



HAL
open science

Amélioration de l'efficacité de détection dans le proche infrarouge de photodétecteurs de type SPAD intégrés dans une technologie CMOS FD-SOI

Shaochen Gao

► **To cite this version:**

Shaochen Gao. Amélioration de l'efficacité de détection dans le proche infrarouge de photodétecteurs de type SPAD intégrés dans une technologie CMOS FD-SOI. Micro et nanotechnologies/Microélectronique. INSA de Lyon, 2023. Français. NNT : 2023ISAL0032 . tel-04246474

HAL Id: tel-04246474

<https://theses.hal.science/tel-04246474>

Submitted on 17 Oct 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N°d'ordre NNT : 2023ISAL0032

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
INSA de Lyon

Ecole Doctorale N° ED 160
EEA (Électronique, Électrotechnique et Automatique)

Spécialité/ discipline de doctorat :
Electronique, micro et nanoélectronique, optique et laser

Soutenue le 12/05/2023, par :
Shaochen GAO

**Amélioration de l'efficacité de détection
dans le proche infrarouge de photo-
détecteurs de type SPAD intégrés dans
une technologie CMOS FD-SOI**

Devant le jury composé de :

IONICA Irina	Maître de Conférences	PHELMA - INP Grenoble	Examinatrice
MAGNAN Pierre	Professeur des Universités	ISAE	Rapporteur
PALA Marco	Directeur de Recherche CNRS	Laboratoire C2N	Rapporteur
UHRING Wilfried	Professeur des Universités	Université de Strasbourg	Président
CATHELIN Andreaia	Docteure - HDR	STMicroelectronics	Examinatrice
MANDORLO Fabien	Maître de Conférences	INSA Lyon	Co-directeur de thèse
OROBTCHOUK Régis	Maître de Conférences	INSA Lyon	Co-directeur de thèse
CALMON Francis	Professeur des Universités	INSA Lyon	Directeur de thèse
GOLANSKI Dominique	Ingénieur	STMicroelectronics	Invité

Département FEDORA – INSA Lyon - Ecoles Doctorales

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON https://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr	M. Stéphane DANIELE C2P2-CPE LYON-UMR 5265 Bâtiment F308, BP 2077 43 Boulevard du 11 novembre 1918 69616 Villeurbanne directeur@edchimie-lyon.fr
E.E.A.	ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE https://edeea.universite-lyon.fr Sec. : Stéphanie CAUVIN Bâtiment Direction INSA Lyon Tél : 04.72.43.71.70 secretariat.edeea@insa-lyon.fr	M. Philippe DELACHARTRE INSA LYON Laboratoire CREATIS Bâtiment Blaise Pascal, 7 avenue Jean Capelle 69621 Villeurbanne CEDEX Tél : 04.72.43.88.63 philippe.delachartre@insa-lyon.fr
E2M2	ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION http://e2m2.universite-lyon.fr Sec. : Bénédicte LANZA Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.e2m2@univ-lyon1.fr	Mme Sandrine CHARLES Université Claude Bernard Lyon 1 UFR Biosciences Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69622 Villeurbanne CEDEX sandrine.charles@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTÉ http://ediss.universite-lyon.fr Sec. : Bénédicte LANZA Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.ediss@univ-lyon1.fr	Mme Sylvie RICARD-BLUM Institut de Chimie et Biochimie Moléculaires et Supramoléculaires (ICBMS) - UMR 5246 CNRS - Université Lyon 1 Bâtiment Raulin - 2ème étage Nord 43 Boulevard du 11 novembre 1918 69622 Villeurbanne Cedex Tél : +33(0)4 72 44 82 32 sylvie.ricard-blum@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHÉMATIQUES http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 infomaths@univ-lyon1.fr	M. Hamamache KHEDDOUCI Université Claude Bernard Lyon 1 Bât. Nautibus 43, Boulevard du 11 novembre 1918 69 622 Villeurbanne Cedex France Tél : 04.72.44.83.69 hamamache.kheddouci@univ-lyon1.fr
Matériaux	MATÉRIAUX DE LYON http://ed34.universite-lyon.fr Sec. : Yann DE ORDENANA Tél : 04.72.18.62.44 yann.de-ordenana@ec-lyon.fr	M. Stéphane BENAYOUN Ecole Centrale de Lyon Laboratoire LTDS 36 avenue Guy de Collongue 69134 Ecully CEDEX Tél : 04.72.18.64.37 stephane.benayoun@ec-lyon.fr
MEGA	MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bâtiment Direction INSA Lyon mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
ScSo	ScSo* https://edsciencessociales.universite-lyon.fr Sec. : Mélina FAVETON INSA : J.Y. TOUSSAINT Tél : 04.78.69.77.79 melina.faveton@univ-lyon2.fr	M. Bruno MILLY Université Lumière Lyon 2 86 Rue Pasteur 69365 Lyon CEDEX 07 bruno.milly@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Remerciements

Ce travail de thèse a été réalisé au sein de l'équipe *Dispositifs Électroniques* de l'*Institut des Nanotechnologies de Lyon* (INL - UMR CNRS 5270) et financé par le projet IPCEI/Nano2022 (Important Projects of Common European Interest).

Je voudrais tout d'abord remercier mon directeur de thèse, Francis Calmon, pour son implication et soutien continus dans toutes les étapes de ce travail, pour ses discussions et explications scientifiques minutieuses et pour m'avoir cru tout au long de ce projet de recherche.

Je tiens à remercier ensuite mon co-directeur de thèse, Fabien Mandorlo, pour ses conseils et remarques judicieux, pour son aide et investissement lors de mes mesures électro-optiques expérimentales et pour m'avoir toujours encouragé dans mes travaux de recherche.

Je remercie grandement mon co-directeur de thèse, Régis Orobtschouk, pour son aide dans la compréhension des phénomènes optiques et pour ses explications détaillées.

Je remercie également le doctorant Dylan Issartel avec lequel j'ai travaillé pendant les deux premières années de cette thèse, pour son soutien continu et son amitié.

J'aimerais aussi présenter tous mes remerciements à Mohammadreza Dolatpoor Lakeh, Pierre Willinger-Adam et M. Wilfried Uhring du laboratoire ICUBE, pour leurs disponibilités, implication et soutien dans les caractérisations des diodes SPAD nanostructurées.

Je tiens à remercier des membres de *STMicroelectronics* et du *CMP*, notamment Mme. Andreea Cathelin, M. Dominique Golanski et M. Jean-François Paillotin, pour nous avoir donné la possibilité de fabriquer tous les circuits intégrés sur lesquels j'ai travaillé tout au long de ce projet de recherche et pour leur soutien technique.

Je souhaiterais remercier les membres de l'équipe *Dispositifs Électroniques* : Liviu Militaru, Etienne Puyoo, Brice Gautier, Damien Deleruyelle, Nicolas Baboux et tous les autres équipes de l'INL.

Finalement, un grand merci à toutes les personnes qui m'ont aidé et supporté pendant ces trois ans. Ce travail n'aurait pas pu être possible sans vous.

Sommaire

Liste des acronymes	11
Introduction	15
1 Généralités sur les détecteurs SPAD	17
1.1 Fonctionnement des SPAD	18
1.2 Critères de performances des SPAD	20
1.2.1 Tension de claquage et courant d'obscurité	20
1.2.2 Taux de comptage dans l'obscurité - <i>DCR</i>	21
1.2.3 Déclenchement secondaire - Afterpulsing	23
1.2.4 Probabilité de détection de photons - <i>PDP</i>	24
1.2.5 Gigue temporelle - <i>Jitter</i>	25
1.2.6 Facteur de remplissage - <i>FF</i>	27
1.2.7 Couplage parasite - Crosstalk	27
1.3 Applications des SPAD	29
1.3.1 Imagerie par mesure de temps de vol - <i>ToF</i>	29
1.3.2 Comptage de photons uniques corrélés dans le temps - <i>TCSPC</i>	30
1.3.3 Spectroscopie Raman	31
1.3.4 Application spatiale	33
1.4 Développement de technologies SPAD et état de l'art	34
1.4.1 SPAD en technologie CMOS standard	34
1.4.2 SPAD en technologie CMOS SOI	35
1.4.3 SPAD en technologie d'empilement 3D	36
1.4.4 SPAD en technologie Ge-Si	37
1.4.5 SPAD en technologie III-V	39
1.4.6 Exemples de diodes SPAD en technologies avancées	40
1.5 Objectifs principaux de la thèse	42
1.6 Conclusion	43
Références	44
2 Amélioration de la probabilité de détection de photons de SPAD intégrées en technologie CMOS FD-SOI	53
2.1 Différentes approches pour améliorer la PDP des diodes SPAD	54
2.1.1 Ingénierie des profils de dopage	54
2.1.2 Introduction d'une cavité faiblement résonante	57
2.1.3 Ingénierie optique par nanostructuration	61
2.2 SPAD en technologie CMOS FD-SOI 28nm	65
2.2.1 Technologie CMOS FD-SOI 28nm	65
2.2.2 SPAD intégrée en technologie CMOS FD-SOI 28nm	66

2.2.3	Contraintes de conception	67
2.2.4	Historique des cellules SPAD CMOS FD-SOI 28nm conçues à l'INL	69
2.3	Amélioration de la PDP par nanostructuration des tranchées STI	74
2.3.1	Approche théorique du réseau de diffraction 2D	74
2.3.2	Application à l'architecture SPAD CMOS FD-SOI 28nm	78
2.3.3	Méthodologie de simulation et simulateurs choisis	80
2.4	Conclusion	81
	Références	82
3	Simulations électro-optiques pour améliorer la probabilité de détection de photons de SPAD FD-SOI	85
3.1	Outil de simulation électrique : <i>Synopsys Sentaurus</i>	87
3.1.1	Module <i>SPROCESS</i> : construction de la structure	87
3.1.2	Module <i>SDEVICE</i> : simulation de comportement électrique	88
3.1.3	Transport des porteurs	89
3.1.4	Génération-recombinaison des porteurs	90
3.1.5	Génération par avalanche et coefficient d'ionisation	92
3.1.6	Calcul de la probabilité de déclenchement d'une avalanche	93
3.1.7	Méthodes d'analyse	94
3.2	Outil de simulation optique : <i>Ansys Lumerical FDTD</i>	97
3.2.1	Implémentation de la méthode FDTD dans <i>Ansys Lumerical FDTD</i>	97
3.2.2	Mise en place des simulations FDTD : principaux réglages	100
3.3	Couplage électro-optique	102
3.3.1	Traitement des données électriques	102
3.3.2	Traitement des données optiques	103
3.3.3	Couplage des données électriques et optiques	104
3.3.4	Vérification sur une structure simple air/Si	106
3.4	Résultats de simulations électro-optiques	108
3.4.1	Configuration des simulations optiques	108
3.4.2	Temps de simulation nécessaire	110
3.4.3	Résultats de simulations en FSI	111
3.4.4	Résultats de simulations en BSI	114
3.4.5	Incorporation de SPAD nanostructurées dans le Test Chip #6 (TC6)	117
3.5	Conclusion	118
	Références	119
4	Caractérisations électro-optiques des structures SPAD FD-SOI	123
4.1	Mesures de DCR	124
4.1.1	Principe de la mesure	124
4.1.2	Récapitulatif des cellules mesurées	126
4.1.3	Résultats de mesures de DCR	126
4.1.4	Simulations TCAD complémentaires et analyses	128
4.2	Mesures de PDP sur les diodes SPAD non nanostructurées	130
4.2.1	Principe de la mesure	131
4.2.2	Récapitulatif des cellules mesurées	132
4.2.3	Mesures de PDP à tension d'excès V_{ex} fixe	133
4.2.4	Mesures de PDP en fonction de V_{ex}	134
4.2.5	Simulations électro-optiques complémentaires	135

4.3	Mesures de PDP sur des SPAD nanostructurées en FSI	136
4.3.1	Banc de mesure	137
4.3.2	Vérification de la caractéristique de la SPAD commerciale	137
4.3.3	Récapitulatif des diodes SPAD mesurées	137
4.3.4	Résultats de mesures de PDP	138
4.3.5	Simulations complémentaires	140
4.3.6	Mesures de la probabilité d'afterpulsing	141
4.4	Conclusion	144
	Références	145
	Conclusion	147
A	Propriétés des matériaux dans <i>Ansys Lumerical FDTD</i>	151
B	Région de simulation FDTD et conditions aux limites dans <i>Ansys Lumerical FDTD</i>	153
C	Types de sources de polarisation et de moniteurs dans <i>Lumerical FDTD</i>	155
D	Principe de fonctionnement du circuit d'étouffement et de recharge actif intégré dans le Test Chip #6 (TC6)	161
	Table des figures	163
	Liste des tableaux	169
	Liste des Publications	171

Liste des acronymes

ABA : *Avalanche Breakdown Analysis*, Analyse de la tension de claquage avec la méthode des intégrales d'ionisation
AP : *Afterpulsing Probability*, Probabilité d'afterpulsing
APD : *Photon Avalanche Diode*, Photo-diode à avalanche
AQAR : *Active Quenching Active Reset* : Circuit d'étouffement et de recharge actif
AQC : *Active Quenching Circuit*, Circuit d'étouffement actif
ARC : *Anti-reflective Coating*, Couches d'antireflet
AR : *Augmented Reality*, Réalité augmentée
ATP : *Avalanche Triggering Probability*, Probabilité de déclenchement d'avalanche
BB : *Body Biasing*, Polarisation du substrat
BEOL : *Back-end of Line*, Couches d'interconnexions
BFMOAT : Zone sans implantation du caisson p
BNW : *Buried n-Well*, Caisson n enterré
BOX : *Buried OXide*, Oxyde enterré
BSI : *Back Side Illumination*, Illumination par la face arrière
B2B : *Band-to-Band Tunneling*, Effet tunnel bande à bande
CIS : *CMOS Image Sensor*, Capteur d'image CMOS
CMOS : *Complementary Metal Oxide Semiconductor*
CNRS : Centre National de la Recherche Scientifique
DBR : *Distributed Bragg Reflector*, Réflecteur de Bragg distribué
DCR : *Dark Count Rate*, Taux de comptage dans l'obscurité
DNW *Deep n-Well*, Caisson n profond
DPW : *Deep p-Well*, Caisson p profond
DSM : *Deep Submicron*, Technologie largement submicronique
DTI : *Deep Trench Isolation*, Isolation par tranchées profondes
d-Tof : *Direct Time of Flight*, Mesure de temps de vol directe
EQE : *External Quantum Efficiency*, Efficacité quantique externe
FBB : *Forward Body Biasing*, Polarisation directe du substrat
FDSOI : *Fully Depleted Silicon-on-Insulator*
FDTD : *Finite Difference Time Domain*, Différences finies dans le domaine temporel
FET : *Field-effect Transistor*, Transistor à effet de champ
FF : *Fill Factor*, Taux de remplissage
FLIM : *Fluorescence Lifetime Imaging Microscopy*, Microscopie d'imagerie de fluorescence résolue dans le temps
FSI : *Front Side Illumination*, Illumination par la face avant
FTI : *Full Trench Isolation*, Isolation par tranchées métalliques
HV-CMOS : *High Voltage CMOS*, Procédé CMOS à haute tension
ICCD : *Intensified Charge-coupled Device*, Dispositif à charges couplées intensifiées
INL : Institut des Nanotechnologies de Lyon

IPCEI : *Important Projects of Common European Interest*, Projets Importants d'Intérêt Européen Commun
 IR : Rayonnement infrarouge
 i-ToF : *Indirect Time of Flight*, Mesure de temps de vol indirecte
 LIBS : *Laser-induced Breakdown Spectroscopy*, Spectroscopie par claquage laser
 LiDAR : *Light Detection and Ranging*, Détection de proximité et la télémétrie
 LVT : *Low V_{th}* , Faible tension de seuil.
 MCM : *Multi-coefficient Model*, Modèle à coefficients multiples
 NEP : *Noise-Equivalent Power*, Puissance équivalente de bruit
 NIR : *Near Infrared*, Proche infrarouge
 NW : *n-Well*, Caisson n
 PDE : *Photon Detection Efficiency*, Efficacité de détection de photons
 PDP : *Photon Detection Probability*, Probabilité de détection de photons
 PEB : *Premature Edge Breakdown*, Claquage prématuré sur les bords
 PEC : *Perfect Electric Conductor*, Conducteur électrique parfait
 PMC : *Perfect Magnetic Conductor*, Conducteur magnétique parfait
 PML : *Perfect Match Layer*, Couche absorbante parfaitement adaptée
 PPD : *Pinned Photodiode*, Photodiode pincée
 PQC : *Passive Quenching Circuit*, Circuit d'étouffement passif
 PSK : *Phosphate Dense Crown*, Verre crown phosphate dense à faible dispersion chromatique
 PSG : *PhosphoSilicate Glass*, Un type de verre phosphosilicate
 PW : *p-Well*, Caisson p
 QKD : *Quantum Key Distribution*, Distribution de clé quantique
 RC : *Resonant Cavity*, Cavité résonante
 RBB : *Reverse Body Biasing*, Polarisation inverse du substrat
 RMS : *Root Mean Squared*, Valeur moyenne quadratique
 RVT : *Regular V_{th}* , Tension de seuil normale
 SACM : *Separated Absorption, Charge et Multiplication*, Approche des zones d'absorption, de charge et de multiplication séparées
 SDEVICE : Module de simulation de *Synopsys Sentaurus* permettant de simuler le comportement électrique de structure semi-conductrices
 SNR : *Signal to Noise Ratio*, Rapport signal sur bruit
 SOI : *Silicon-On-Insulator*, Silicium sur isolant
 SPAD : *Single Photon Avalanche Diode*, Diode à avalanche à photon unique
 SPQE : *Single-Photon Quantum Efficiency*, Efficacité quantique à photon unique
 SPROCESS : Module de simulation de *Synopsys Sentaurus* permettant de créer et simuler les étapes de fabrication d'une structure
 SRH : *Shockley-Read-Hall*, Taux de générations/recombinaisons Shockley-Read-Hall
 STI : *Shallow Trench Isolation*, Isolation par tranchées superficielles
 SWIR : *Short Wave Infrared*, Infrarouge de courtes longueurs d'onde
 TAT : *Trap-Assisted Tunneling*, Effet tunnel assisté par piège
 TC : *Test Chip*, Circuit de test
 TCSPC : *Time-Correlated Single Photon Counting*, Comptage de photons uniques corrélés dans le temps
 TID : *Total Ionization Dose*, Dose ionisante totale
 ToF : *Time of Flight*, Temps de vol
 UMR : Unité Mixte de Recherche

USG : Verre de silicate non dopé

UTTB : *Ultra-Thin Body and Box*, Couches de silicium et d'oxyde enterrée ultra-fines

V_{BD} : *Breakdown voltage*, Tension de claquage

V_{ex} : *Excess bias voltage*, Tension au-delà de la tension de claquage

VR : *Virtual Reality*, Réalité virtuelle

V_{th} : *Threshold Voltage*, Tension de seuil

ZCE : Zone de Charge d'Espace

Introduction

Grâce aux avancées technologiques en nano-micro-électroniques, le développement de nombreuses applications a été accéléré et satisfait de nouveaux besoins aussi bien à l'échelle privée qu'industrielle. Ces dispositifs intégrés de photodétection deviennent tout aussi incontournables dans notre quotidien, dans nos caméras, smartphones et PC. Les secteurs d'application couvrent aussi bien des domaines médicaux avec les systèmes d'imagerie de fluorescence résolue dans le temps (*FLIM, Fluorescence Lifetime Imaging Microscopy*), les systèmes de mobilité avec les systèmes de détection de proximité et de télémétrie (*LiDAR, Light Detection and Ranging*) ou encore les systèmes d'imagerie 3D pour la reconnaissance de formes. Leurs performances en résolution spatiale et sensibilité à la lumière ne cessent de croître.

Les systèmes utilisant la mesure du temps de vol (*ToF, Time of Flight*) font l'objet de nombreuses recherches et montrent un grand potentiel pour les applications telles que l'aide à la navigation (véhicule, drone etc.), la reconnaissance faciale, la robotique et davantage. Ces systèmes sont généralement composés d'une source lumineuse pulsée émettant un signal vers un objet cible, d'un photodétecteur de haute sensibilité recevant le signal réfléchi et d'autres composants de post-traitement permettant d'estimer la distance détecteur-objet.

Parmi les candidats pour les applications de photodétection, les diodes à avalanche à photon unique (SPAD) se révèlent être très adaptées et sont facilement intégrables dans les procédés CMOS. Les diodes SPAD sont basées sur des jonctions pn qui sont polarisées sous fortes tensions inverses au-delà de la tension de claquage (mode *Geiger*). Elles présentent une grande sensibilité et un temps de réponse court, ce qui satisfait tout à fait aux exigences des applications de photodétection et les rend très intéressantes. Actuellement, la plupart des diodes SPAD sont à base de silicium et fabriquées dans les procédés CMOS permettant de réduire grandement le coût de fabrication. Ces diodes SPAD à base de silicium sont peu sensibles dans la gamme spectrale du proche infrarouge (IR) à cause du gap du Si (1,12eV). D'autres matériaux, tels que le germanium et les matériaux III-V (InP, InGaAs, etc.) sont également étudiés intensivement pour l'amélioration de la sensibilité dans l'IR et le proche IR.

Cette thèse s'effectue dans le cadre du projet IPCEI/Nano 2022 et son objectif principal est de poursuivre les travaux antérieurs sur les structures SPAD implémentées dans la technologie CMOS FD-SOI (*Fully Depleted Silicon-On-Insulator*) 28nm de *STMicroelectronics* avec un focus particulier sur l'optimisation de la probabilité de détection de photons (PDP : probabilité pour un photon reçu de déclencher une avalanche). Les travaux réalisés pendant cette thèse ont été menés à l'Institut des Nanotechnologie de Lyon (INL, UMR CNRS 5270) en collaboration avec le laboratoire ICUBE de Strasbourg (UMR CNRS 7357), sous la supervision du Pr. Francis CALMON, du Dr. Fabien MANDORLO et du Dr. Régis OROBTCHOUK. Nous avons bénéficié d'un accès à la technologie via les runs de fabrication multi-projets de *STMicroelectronics*.

Le premier chapitre présente les bases des diodes SPAD et détaille d'abord le fonctionnement et les critères de performances. Ce chapitre présente les applications des diodes SPAD et ses avancées technologiques. Quelques exemples de recherches à l'état de l'art sont également

détaillés.

Le deuxième chapitre est centré sur la notion de la probabilité de détection de photons (PDP) des diodes SPAD. Des approches d'améliorations développées dans la littérature sont d'abord décrites, suivies par une présentation de la technologie CMOS FD-SOI 28nm. Ceci permet d'introduire l'approche que nous avons utilisée pour l'amélioration de la PDP des SPAD CMOS FD-SOI 28nm : nanostructuration des tranchées d'isolation STI (*Shallow Trench Isolation*).

Le troisième chapitre rentre au cœur de la thèse et porte sur les simulations électro-optiques pour l'amélioration de la PDP. Les outils de simulation électrique (*Synopsys Sentaurus*) et optique (*Ansys Lumerical FDTD*) sont d'abord présentés. Un outil de post-traitement permettant de traiter les données électro-optiques et d'estimer la PDP est ensuite détaillé. Les résultats de simulations permettant de proposer des architectures nanostructurées sont enfin discutés.

Dans le quatrième chapitre, les caractérisations électro-optiques des diodes SPAD conçues à l'INL sont menées afin d'évaluer les performances des diodes SPAD CMOS FD-SOI 28nm : comptage dans l'obscurité (DCR), probabilité de détection de photons (PDP), probabilité d'afterpulsing (AP). Des études de simulations complémentaires sont réalisées conjointement afin d'expliquer certaines observations lors des mesures expérimentales.

Enfin, la conclusion générale résume l'ensemble des travaux de simulations et caractérisations réalisés dans le cadre de cette thèse. Ces résultats de simulations et caractérisations obtenus sont discutés et mis en perspective pour une éventuelle suite de ce travail.

Chapitre 1

Généralités sur les détecteurs SPAD

Ce premier chapitre a pour objectif d'aborder les connaissances basiques sur la diode à avalanche à photon unique (*SPAD, Single Photon Avalanche Diode*). Dans un premier temps, nous présentons le principe de fonctionnement de détecteurs de type SPAD. Nous abordons ensuite les caractéristiques clés qui permettent de quantifier leurs performances. Par la suite, nous présentons ses principales applications dans divers domaines, ainsi que les technologies de fabrication de SPAD développées par le monde de la recherche et également par l'industrie. Dans un dernier temps, nous expliquons l'objectif principal de cette thèse et la structuration du manuscrit.

Sommaire

1.1	Fonctionnement des SPAD	18
1.2	Critères de performances des SPAD	20
1.2.1	Tension de claquage et courant d'obscurité	20
1.2.2	Taux de comptage dans l'obscurité - <i>DCR</i>	21
1.2.3	Déclenchement secondaire - Afterpulsing	23
1.2.4	Probabilité de détection de photons - <i>PDP</i>	24
1.2.5	Gigue temporelle - <i>Jitter</i>	25
1.2.6	Facteur de remplissage - <i>FF</i>	27
1.2.7	Couplage parasite - Crosstalk	27
1.3	Applications des SPAD	29
1.3.1	Imagerie par mesure de temps de vol - <i>ToF</i>	29
1.3.2	Comptage de photons uniques corrélés dans le temps - <i>TCSPC</i>	30
1.3.3	Spectroscopie Raman	31
1.3.4	Application spatiale	33
1.4	Développement de technologies SPAD et état de l'art	34
1.4.1	SPAD en technologie CMOS standard	34
1.4.2	SPAD en technologie CMOS SOI	35
1.4.3	SPAD en technologie d'empilement 3D	36
1.4.4	SPAD en technologie Ge-Si	37
1.4.5	SPAD en technologie III-V	39
1.4.6	Exemples de diodes SPAD en technologies avancées	40
1.5	Objectifs principaux de la thèse	42
1.6	Conclusion	43
	Références	44

1.1 Fonctionnement des SPAD

L'architecture des diodes SPAD utilise une jonction pn (Figure 1.1a). Contrairement aux photo-diodes à avalanche (APD, *Photon Avalanche Diode*) qui fonctionnent dans un mode linéaire avec une tension inverse inférieure modérée, où le courant photogénéré est directement proportionnel au flux incident, les diodes SPAD sont inversement polarisées au-delà de la tension de claquage (V_{BD} , *Breakdown Voltage*) (Figure 1.1b). Ce mode de polarisation est appelé Mode Geiger [1]. Avec une telle tension de polarisation, le champ électrique intense présent dans la Zone de Charge d'Espace (ZCE) peut entraîner localement un phénomène d'avalanche (zone de multiplication) : la structure se trouve ainsi dans un état métastable. Aucun courant ne circule dans la structure SPAD pendant un certain temps, jusqu'à ce qu'un porteur libre soit présent dans la ZCE, atteigne la zone de multiplication et déclenche une avalanche. Ainsi théoriquement, un seul porteur libre serait capable de déclencher une avalanche. Ce porteur libre peut être issu du processus de photogénération (l'absorption d'un seul photon pourrait suffire en théorie) ou du bruit intrinsèque lié par exemple à de la génération thermique (cf. section 1.2.2).

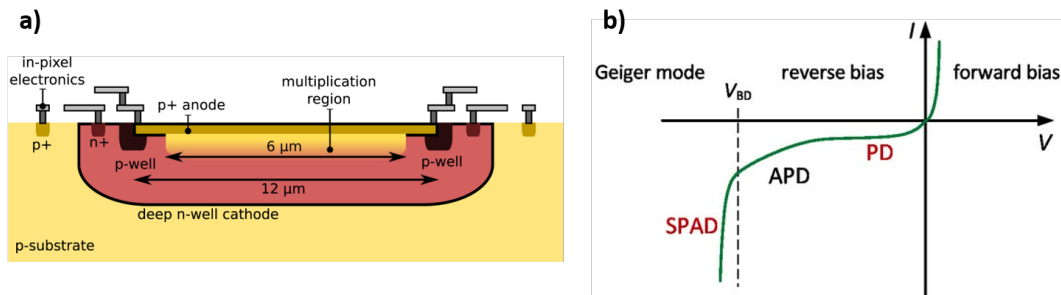


FIGURE 1.1 – a) Exemple de structure d'une jonction SPAD [2]; b) Trois gammes de polarisation inverse pour les photodiodes [3]

Le processus d'avalanche peut être décrit de la manière suivante :

1. les porteurs libres (soit générés thermiquement, soit photogénérés dans la ZCE ou dans les zones adjacentes et qui atteignent la ZCE par diffusion et/ou dérive avec le champ électrique, soit générés par d'autres phénomènes notamment l'effet tunnel bande à bande (B2B, *Band-to-Band Tunneling*)) sont accélérés par le fort champ électrique et acquièrent suffisamment d'énergie cinétique.
2. ces porteurs très énergétiques peuvent impacter des liaisons des atomes du cristal et générer des paires électron-trou (processus d'ionisation par impact).
3. ces paires électron-trou sont également accélérées par le champ électrique et peuvent donner lieu à de nouvelles paires électron-trou.
4. ce processus d'ionisation par impact est répété de manière exponentielle conduisant à un gain de courant théoriquement infini (avalanche) [4].

Ce phénomène d'avalanche nous permet facilement de détecter les photons absorbés, car ils génèrent un courant macroscopique très important. Cependant, ce courant macroscopique risque de détériorer de manière irréversible les diodes SPAD, si aucun circuit d'étouffement n'est mis en place [5]. Comme son nom l'indique, le circuit d'étouffement permet d'abaisser la polarisation en dessous de la tension de claquage et en conséquence d'arrêter l'avalanche

et de diminuer le courant. En outre, une fois étouffé, il est également nécessaire de ramener l'état de polarisation de la diode SPAD à son état initial afin d'être prêt à détecter les événements suivants. Ceci est réalisé via un circuit de recharge.

La manière la plus simple d'étouffer les diodes SPAD consiste à utiliser une résistance ou un transistor se comportant comme une résistance en série avec la SPAD. Ce type de circuit est appelé Circuit d'étouffement passif (*PQC, Passive Quenching Circuit*) (Figure 1.2a). Dans ce cas, la chute de tension qui apparaît aux bornes de la résistance d'étouffement lorsque le courant d'avalanche croît permet de réduire la tension aux bornes de la diode SPAD : ainsi l'avalanche est arrêtée. Le concepteur doit assurer un compromis entre une valeur de résistance suffisamment élevée (en général quelques $100\text{k}\Omega$) pour assurer l'étouffement passif, tout en limitant sa valeur pour que la recharge soit rapide. L'inconvénient du circuit passif est de mal définir le cycle étouffement-recharge, car la forme de la tension d'anode est exponentielle décroissante (cas de la résistance placée sur l'anode). Malgré que les circuits d'étouffement passifs soient généralement plus simples à concevoir, la plupart des concepteurs se focalisent sur un autre type de circuit, appelé Circuit d'étouffement actif (*AQC, Active Quenching Circuit*). Les circuits d'étouffement actifs présentent les avantages d'étouffer beaucoup plus rapidement et efficacement les diodes SPAD, avec la possibilité de contrôler le temps d'étouffement et de recharge et de réduire la probabilité d'afterpulsing (discuté en section 1.2.3) [6]. Ainsi les circuits d'étouffement actifs sont généralement plus complexes. Un exemple de circuit d'étouffement et de recharge actif est illustré sur la figure 1.2b. Lorsqu'une avalanche est déclenchée par un photon incident, le courant d'avalanche traverse la série de transistors M_T et M_S équivalente à une forte résistance et la tension d'anode augmente. Le transistor M_S est ensuite rapidement bloqué lorsque le potentiel de la sortie de l'inverseur INV1 diminue, conduisant au blocage de l'avalanche. Le transistor M_Q devient passant en même temps et la tension d'anode augmente plus rapidement. La tension aux bornes de la SPAD décroît en dessous de la tension de claquage. Par conséquent, le courant diminue et l'avalanche est étouffée rapidement. Lorsque l'avalanche est complètement étouffée, le trigger de Schmitt (*Schmitt-trigger*) bascule et après un court temps, le transistor de recharge M_R est activée pour ramener la diode SPAD à son état de polarisation initiale. Un temps d'étouffement inférieur à $0,7\text{ns}$ et un temps de mort de 4ns sont respectivement atteints.

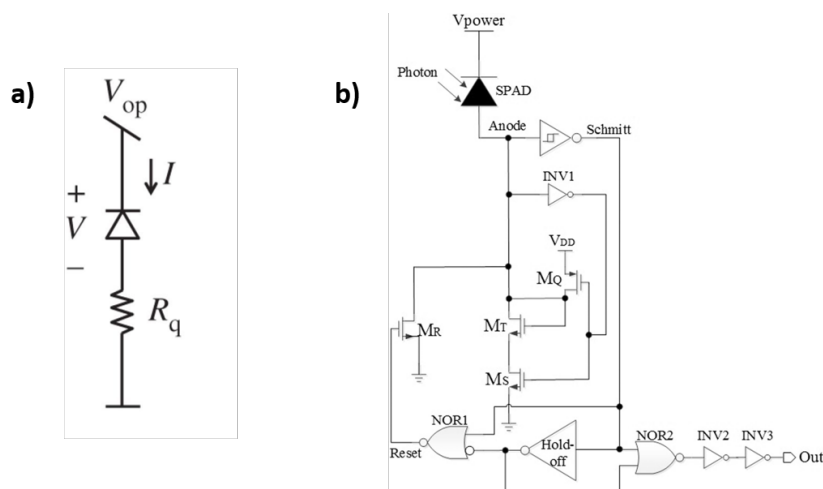


FIGURE 1.2 – Exemples de circuits d'étouffement a) passif (adapté de [1]); b) actif [7]

A chaque événement, les diodes SPAD passent par un cycle d'avalanche illustré sur la figure 1.3. A la première phase, la diode SPAD se positionne à une tension d'excès (V_{ex}) non nulle (différence entre la tension de polarisation V_A et la tension de claquage V_{BD}).

Lorsqu'un porteur libre est présent dans la ZCE, le processus d'ionisation par impact en chaîne commence et le courant d'avalanche monte très vite (état A à B). La SPAD est ensuite étouffée par un circuit d'étouffement qui abaisse le courant et la tension de polarisation (état B à C). Finalement, un circuit de recharge ramène l'état de polarisation à V_A (état C à A) et la SPAD est prête pour détecter les évènements suivants.

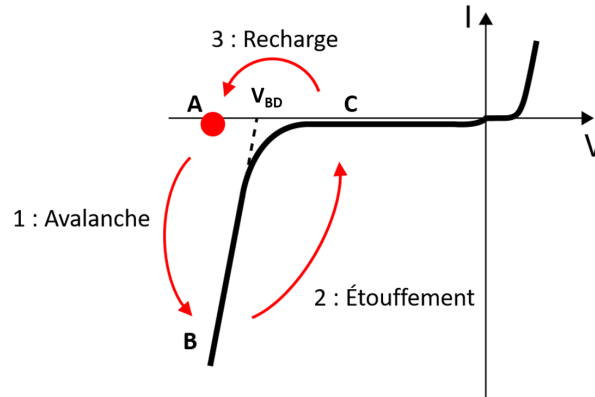


FIGURE 1.3 – Cycle de fonctionnement de diodes SPAD

En pratique, le signal de sortie d'une diode SPAD peut être visualisé en branchant le point commun entre la diode SPAD et le circuit d'étouffement sur un oscilloscope. La forme du signal de sortie après détection d'un évènement dépend de l'électronique associée à la diode SPAD. La figure 1.4 illustre un exemple d'oscillogramme du signal de sortie avec un circuit d'étouffement et de recharge passif. Un pulse sur l'oscillogramme correspond à un évènement engendré par un photon ou plusieurs photons simultanés. Théoriquement, avec un circuit d'étouffement et de recharge rapide, nous pouvons réaliser le comptage de photons uniques.

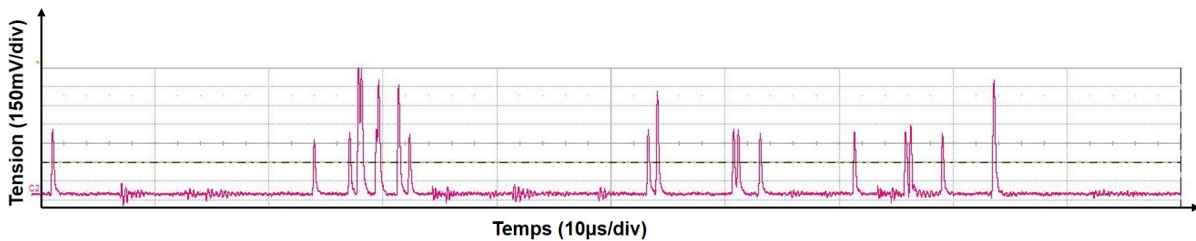


FIGURE 1.4 – Exemple d'oscillogramme représentant le signal de sortie d'une SPAD avec un circuit d'étouffement et de recharge passif (Figure 1.2a)

1.2 Critères de performances des SPAD

Afin de pouvoir évaluer les performances des diodes SPAD, nous avons besoin de connaître quelques critères de performances des SPAD utilisés dans la littérature. Ils seront présentés dans cette section.

1.2.1 Tension de claquage et courant d'obscurité

La tension de claquage V_{BD} d'une diode SPAD correspond à la tension à partir de laquelle l'effet d'avalanche se met en place. Lorsqu'une diode SPAD est caractérisée en balayage inverse courant-tension $I(V)$ en obscurité, la tension de claquage est déterminée au début de

la montée du courant d'avalanche. La détermination de la tension de claquage est très importante, car elle permet de choisir la tension inverse (la tension d'excès V_{ex}), lorsque nous voulons réaliser les caractérisations du bruit (DCR , *Dark Count Rate*) ou de l'efficacité de détection de photons (PDP , *Photon Detection Probability*). La tension de claquage est dépendante des technologies et se trouve généralement entre 10V-30V pour les SPAD en technologie silicium compatible CMOS [8]-[12]. Elle est également dépendante de la température et augmente en fonction de celle-ci (ceci étant la signature d'une avalanche créée par le phénomène d'ionisation par impacts).

Une autre caractéristique, que nous pouvons déterminer lors des balayages $I(V)$, est le courant d'obscurité I_{dark} avant que l'effet d'avalanche ait lieu. Le courant d'obscurité est issu des phénomènes parasites dans l'obscurité dans la zone de multiplication et les zones neutres adjacentes. Le niveau de DCR peut être corrélé avec le niveau de courant d'obscurité. Généralement, une diode SPAD avec un courant d'obscurité important présente un niveau de DCR élevé, mais nous ne pouvons pas affirmer l'inverse, car un fort DCR peut être observé pour des diodes SPAD à faible courant d'obscurité. La figure 1.5 montre un exemple de caractéristique $I(V)$ de 4 variantes de diodes SPAD implémentées dans le procédé *BCDLite* de *GLOBALFOUNDRIES*, basées sur une jonction p+/n épitaxiée sur un substrat Si dopé n.

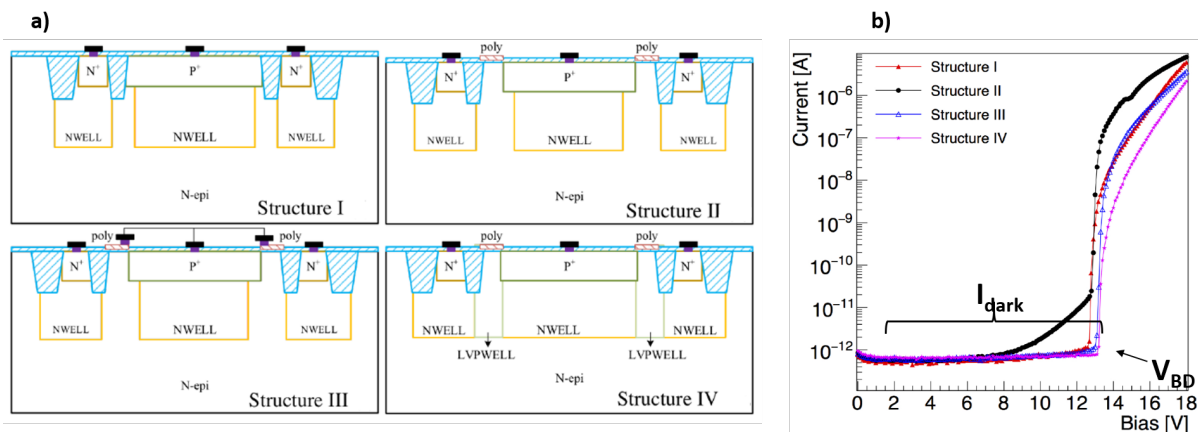


FIGURE 1.5 – a) Architectures de diodes SPAD implémentées dans le procédé *BCDLite* de *GLOBALFOUNDRIES* et b) leurs caractéristiques inverses $I(V)$ (adapté de [13])

Les structures II et III implémentent respectivement une grille flottante et non flottante en polysilicium autour du caisson p+ pour éviter les contacts entre les tranchées d'isolation (*STI*, *Shallow Trench Isolation*) et la zone sensible. La structure IV implémente un anneau de garde physique constitué d'un caisson p faiblement dopé, au lieu d'un anneau de garde virtuel dans les structures I, II et III composé de p+/n-epi. Les structures I, II et IV présentent les niveaux de I_{dark} et de V_{BD} similaires. La structure II présente un niveau de I_{dark} plus important à cause de la fuite de courant entre le substrat et la grille flottante en polysilicium.

1.2.2 Taux de comptage dans l'obscurité - DCR

Le taux de comptage en obscurité (DCR , *Dark Count Rate*) est le bruit intrinsèque des diodes SPAD et est défini comme le nombre d'avalanches causées par les événements indésirables durant un certains temps (Figure 1.6).

Les événements indésirables peuvent provenir des différentes sources, telles que la génération thermique [15], [16], l'effet tunnel bande-à-bande [17], l'effet tunnel assisté par

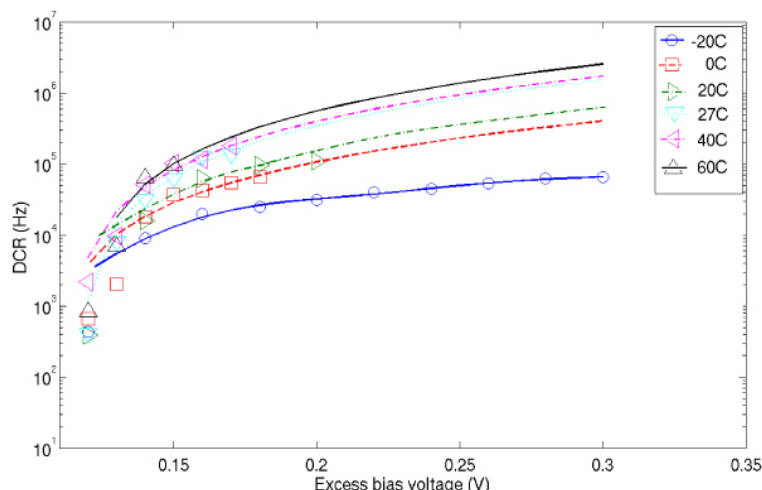


FIGURE 1.6 – Exemple de caractéristique DCR en fonction de la tension d’excès et de la température [14]. Nous observons un comportement classique : le DCR croît avec V_{ex} (la probabilité d’avalanche augmente) et avec la température (la génération thermique augmente)

piège (*TAT, Trap-Assisted Tunneling*) [18], [19], etc. Une autre contribution au DCR est nommée l’effet d’Afterpulsing, qui représente les avalanches déclenchées par des porteurs piégés (avalanches secondaires) lors des précédentes avalanches et relâchés après un certain temps (ce temps de capture dépend généralement de la température). Ce point sera détaillé dans la section 1.2.3. Le DCR est difficile à évaluer analytiquement ou numériquement. Il peut être estimé en prenant en compte le taux de génération de charges libres et la probabilité de déclenchement d’avalanche (*ATP, Avalanche Triggering Probability*), à intégrer sur tout le volume de la diode. Le DCR est très dépendant des technologies, puisque les profils de dopage et la densité de défauts sont très différents d’une technologie à une autre et influencent fortement le niveau de DCR. Le DCR s’exprime en coups par seconde ou Hertz et il est intéressant, pour faire des comparaisons, de le ramener par unité de la surface de la diode SPAD : le DCR est alors en $\text{Hz}/\mu\text{m}^2$. Les conditions de fonctionnement impactent aussi le DCR. La tension de polarisation modifie le champ électrique dans la ZCE. La probabilité de déclenchement d’avalanche est également modifiée, conduisant donc au changement du DCR. De plus, le DCR est d’autant plus important que la température est élevée (Figure 1.6). En effet, l’augmentation de la température fait accroître la génération de type SRH (*Shockley-Read-Hall*) et donc provoque une augmentation de DCR.

Il est possible de connaître l’origine du DCR d’une diode SPAD en extrayant l’énergie d’activation E_a à partir d’un tracé d’Arrhenius : cela revient à représenter le DCR en échelle logarithmique en fonction de l’inverse de $k_B T$ (k_B : constante de Boltzmann et T : température), puisque ces paramètres sont reliés par la loi suivante :

$$DCR = A \cdot e^{-\frac{E_a}{k_B \cdot T}} \quad (1.1)$$

Si E_a est proche de l’énergie de bande interdite E_g , la diffusion de porteurs provenant des zones neutres domine le DCR. Si E_a est proche de $E_g/2$, la génération SRH devient la source principale. Si E_a est très inférieure à $E_g/2$, c’est l’effet tunnel bande à bande qui domine le DCR ou tout mécanisme faiblement activé thermiquement [20]. Un exemple de tracé d’Arrhenius est illustré sur la figure 1.7 où trois diodes SPADs intégrées dans une technologie CMOS 150nm avec différents niveaux de DCR sont représentées.

La diode SPAD avec un faible niveau de DCR (courbe bleue) a deux régions distinctes.

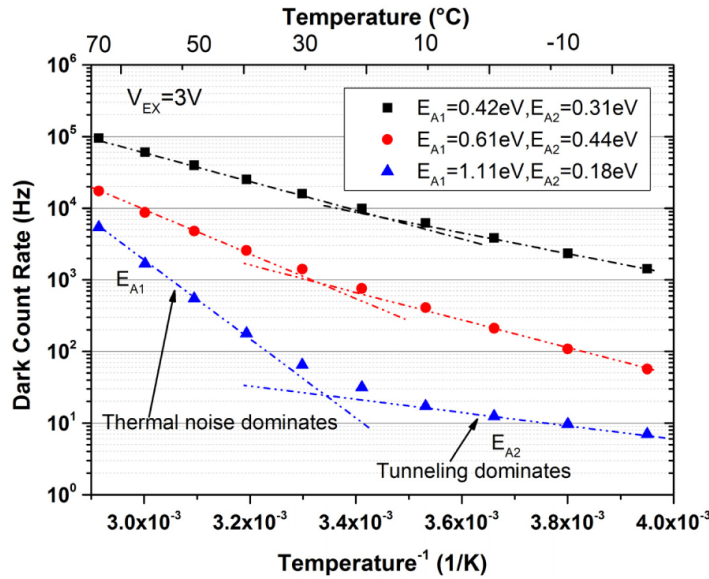


FIGURE 1.7 – Exemple de tracé d'Arrhenius pour une tension d'excès de 3V [9]

Entre -20°C et 27°C , l'effet tunnel bande à bande est le processus de génération dominant. Au de-là de 27°C , la génération thermique devient dominante. On peut remarquer que pour la diode SPAD avec un niveau de DCR plus élevé, la transition entre les deux phases est beaucoup moins prononcée.

1.2.3 Déclenchement secondaire - Afterpulsing

Comme mentionné dans la section 1.2.2, l'afterpulsing est la deuxième source de contribution au DCR et est lié aux avalanches secondaires créées par des porteurs piégés lors des précédentes avalanches par les niveaux intermédiaires dans la bande interdite. Ces porteurs se relâchent après un certain temps supérieur au temps mort (temps d'étouffement et de recharge) de la diode SPAD, conduisant aux avalanches secondaires indésirables. Ce phénomène est illustré sur la figure 1.8.

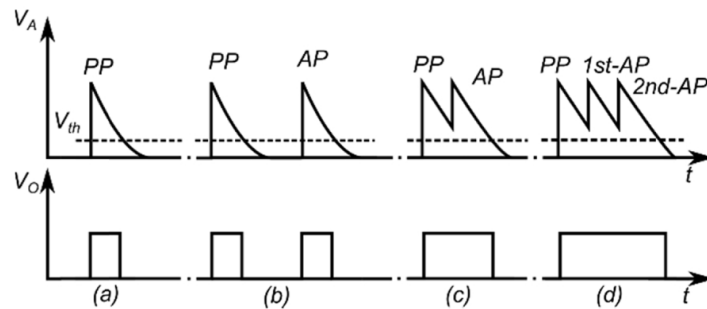


FIGURE 1.8 – Schéma de principe du phénomène d'afterpulsing [9]

La probabilité d'afterpulsing est directement liée à la densité de pièges dans la bande interdite et le temps de relâche des porteurs piégés. Elle est également dépendante du nombre de porteurs générés pendant une avalanche. En général, les pièges sont trop nombreux pour être saturés et l'effet d'afterpulsing est proportionnel au nombre de porteurs dans la ZCE [21], [22].

Une façon de réduire la probabilité d'afterpulsing est d'augmenter le temps mort afin que les porteurs piégés soient relâchés pendant l'éteuffement et ne déclenchent pas d'avalanches secondaires. Cependant, cette méthode réduit grandement le taux de comptage maximum et donc la plage dynamique (*Dynamic Range*, défini comme le rapport entre le taux de comptage maximum et le DCR). Une autre méthode consiste à réduire le nombre de porteurs générés lors d'une avalanche par l'utilisation de circuits d'éteuffement actifs [6].

L'afterpulsing peut être évalué par les mesures statistiques des temps inter-avalanches (temps séparant deux évènements). Un histogramme représentant le nombre d'évènements en fonction du temps inter-avalanche en échelle logarithmique non équidistante (Figure 1.9a) ou équidistante (Figure 1.9b) permet d'extraire la probabilité d'afterpulsing, en faisant une régression de type exponentielle (Figure 1.9a) ou Poissonnien (Figure 1.9b) et en considérant que les parties dépassant la fonction de fit correspondent au nombre d'évènements d'afterpulsing. En faisant le rapport entre le nombre d'évènements d'afterpulsing et le nombre d'évènement total, nous pouvons en déduire la probabilité d'afterpulsing [23].

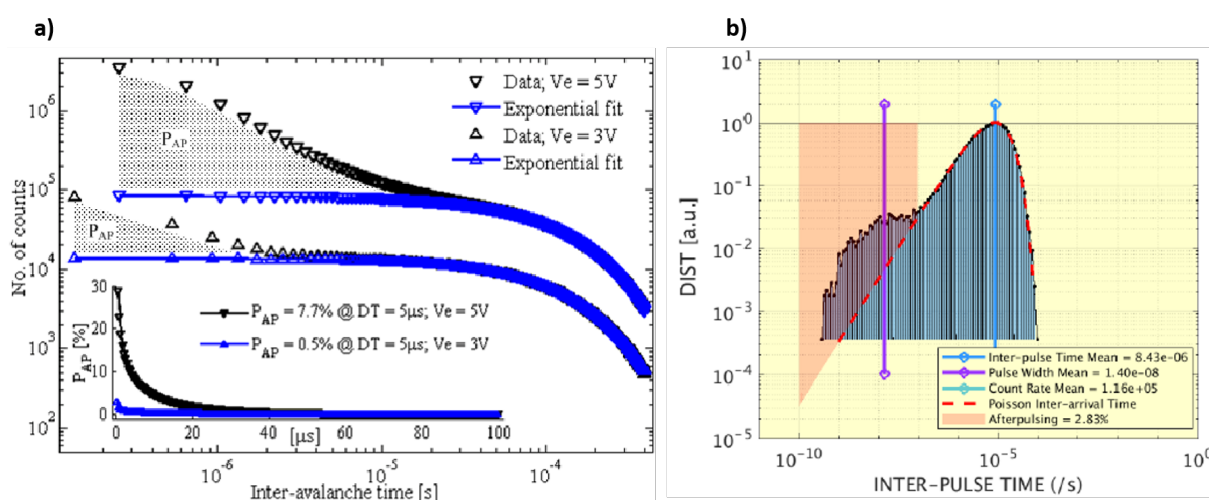


FIGURE 1.9 – Exemples d’histogrammes du nombre d’évènements en fonction du temps inter-avalanches en échelle logarithmique avec un a) intervalle de temps constant [24] ; b) intervalle de temps croissant [25]

1.2.4 Probabilité de détection de photons - PDP

La probabilité de détection de photons (*PDP*, *Photon Detection Probability*) caractérise l’efficacité optique d’une diode SPAD et est définie comme la probabilité pour un photon reçu de générer une impulsion de courant grâce à une avalanche auto-entretenue.

Comme pour le DCR, plusieurs facteurs peuvent impacter la PDP d’une diode SPAD. La PDP est affectée par l’amplitude et la distribution du champ électrique autour de la jonction et donc est dépendante de la tension de polarisation et du niveau de dopage. La PDP est également fonction de la longueur d’onde du photon incident car le coefficient d’absorption du matériau de la jonction varie avec la longueur d’onde. Par conséquent, le choix du matériau et la profondeur de jonction peuvent impacter fortement la longueur d’onde de travail d’une SPAD. Les diodes SPAD de la littérature implémentées avec différents matériaux dans différents gammes spectrales fonctionnent dans l’ultra-violet [26], [27] (diodes SPAD à base de SiC), le visible [28]-[30] (diodes SPAD à base de silicium pour les applications de

communication optique sans fil) et l'infra-rouge [31]-[35] (diodes SPAD à base de matériaux III-V).

La PDP peut être estimée de la façon suivante [36], [37] :

$$PDP(\lambda) = \iiint G(\lambda) \cdot ATP \, dV \quad (1.2)$$

où $G(\lambda)$: taux de photogénération et ATP : probabilité de déclenchement d'avalanche.

De cette formule, la PDP est également impactée par le taux de photogénération dans la ZCE et les zones neutres adjacentes. Il est à noter qu'afin d'estimer la PDP globale, il est nécessaire de prendre en compte les porteurs dans les zones neutres pouvant atteindre la zone de multiplication par processus de diffusion et/ou de dérive. L'ATP est directement impactée par le champ électrique et donc la tension d'excès qui modifie la probabilité d'avalanche (ATP).

La plupart des diodes SPAD étant implémentées en technologies silicium, elles souffrent d'une absorption relativement plus faible pour les longueurs d'onde supérieures à 1000nm (proche infra-rouge et infra-rouge), du fait de la largeur de la bande interdite du silicium ($E_g = 1,12\text{eV}$) et généralement de la faible épaisseur de la ZCE. Ainsi, pour les applications dans cette gamme de longueurs d'onde, l'illumination en face arrière (*BSI, Back-Side Illumination*) est généralement préférable, souvent combinée avec l'assemblage 3D au niveau wafer et de l'ingénierie optique (microlentille, nanostructuration, etc). Plus d'exemples d'architectures d'assemblage 3D seront présentés dans la section 1.4.3.

Dans la littérature, la notion d'efficacité de détection de photon (*PDE, Photon Detection Efficiency*) est beaucoup utilisée pour caractériser l'efficacité des diodes SPAD. La PDE est liée à la PDP par le facteur de remplissage (*FF, Fill Factor*) [38], [39] qui sera présenté dans la section 1.2.6.

$$PDE = PDP \cdot FF \quad (1.3)$$

Pour mesurer la PDP d'une diode SPAD, la méthode la plus communément employée consiste à installer la diode SPAD sur une sphère intégrante. Une photodiode de référence, dont le rendement quantique est connu, est utilisée pour connaître l'intensité optique (irradiance W/m^2) reçue par la diode SPAD et donc remonter au nombre de photons incidents reçus. Un monochromateur permet de laisser passer les photons de longueurs d'onde données issus d'une source lumineuse. Il est donc ensuite possible d'obtenir un tracé de la PDP en fonction de la longueur d'onde pour différentes tensions d'excès, en faisant le rapport entre le nombre d'évènements et le nombre de photons incidents, comme l'exemple illustré sur la figure 1.10b.

1.2.5 Gigue temporelle - Jitter

Une autre caractéristique qui reflète la nature statistique du phénomène d'avalanche est appelée Gigue temporelle (*Time Jitter*). Cette caractéristique provient du fait que la réaction de la SPAD après absorption d'un photon n'est pas instantanée et en pratique l'intervalle de temps entre l'envoi d'un pulse laser et la réponse de la diode SPAD n'est pas constant et une certaine dispersion est observée. Ce phénomène est issu du temps de diffusion ou de dérive des porteurs photogénérés dans les zones neutres pour atteindre la zone de multiplication, de la dispersion spatiale de photogénération dans les zones photosensibles de la diode SPAD, de la non uniformité du champ électrique et donc de l'ATP dans la ZCE.

Afin de déterminer la gigue temporelle, la SPAD est éclairée par une source laser émettant des impulsions dont la largeur du pulse, la longueur d'onde et le taux de répétition sont

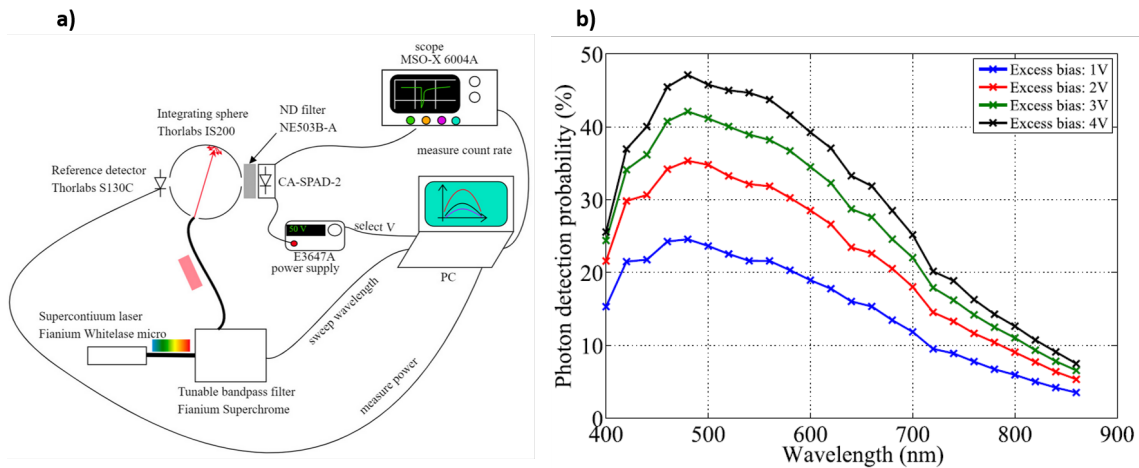


FIGURE 1.10 – a) Exemple de système de mesure de PDP [39]; b) Exemple de tracés de PDP en fonction de la longueur d’onde pour différentes tensions d’excès d’une SPAD intégrée dans une technologie CMOS 180nm [40]

bien contrôlés. L’écart de temps entre l’envoi du pulse et la détection par la SPAD est ensuite mesuré de façon répétitive, afin d’obtenir un histogramme ressemblant à la figure 1.11 [41]. Le pic principal des deux courbes pour deux tensions de polarisation correspond à la fluctuation statistique des avalanches produites par des photons absorbés dans la ZCE et la queue correspond au temps de diffusion et/ou de dérive vers la ZCE des porteurs photogénérés dans les zones neutres. Le petit pic à 0,4ns est dû à la sortie optique laser secondaire de 520nm qui n’est pas complètement supprimée lors du filtrage optique.

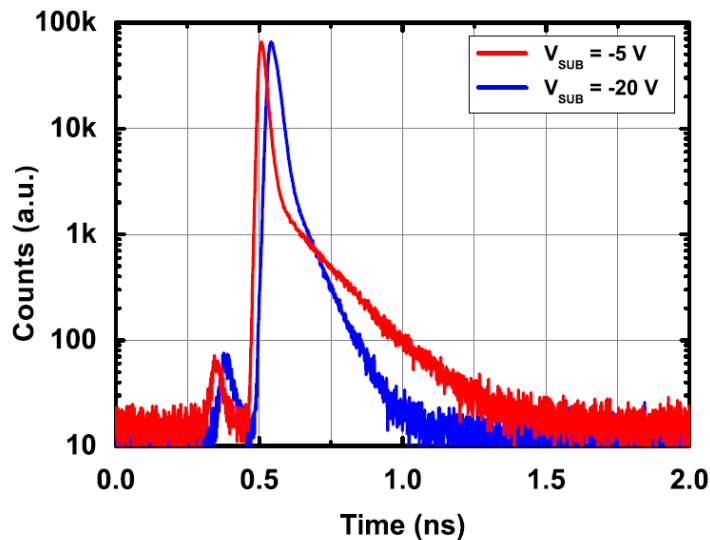


FIGURE 1.11 – Exemple de caractérisation du jitter de SPAD [41]

La gigue temporelle est estimée en extrayant la largeur à mi-hauteur (*FWHM*, *Full Width at Half Maximum*). Nous observons souvent une queue sur les temps les plus longs, qui peut s’expliquer par le temps de parcours par les porteurs photogénérés dans les zones neutres pour atteindre la ZCE [42], [43].

1.2.6 Facteur de remplissage - FF

Le facteur de remplissage (FF , *Fill Factor*) est une autre caractéristique très importante pour les diodes SPAD. Il se définit comme le rapport entre la surface des zones photosensibles et la surface totale :

$$FF = \frac{Surface_{zone\ active}}{Surface_{totale}} \quad (1.4)$$

Les zones non photosensibles dans les technologies d'intégration 2D sont remplies d'éléments constituant la structure SPAD (les anneaux de garde et les contacts) et également d'électroniques associées (les circuits d'étouffement, de recharge et de lecture). Étant donné que ces zones non photosensibles occupent souvent une surface importante, il est préférable de la réduire au maximum afin d'optimiser la sensibilité globale de la diode SPAD représentée par l'efficacité de détection de photon (PDE).

Dans la littérature, de nombreux groupes de recherche proposent différentes approches dans le but de compenser un faible FF [38], [44]-[47]. L'utilisation des microlentilles en fait partie. Comme représentées sur la figure 1.12, les microlentilles focalisent les faisceaux incidents sur le centre des diodes SPAD, ce qui permet d'améliorer grandement la collecte des photons des diodes SPAD.

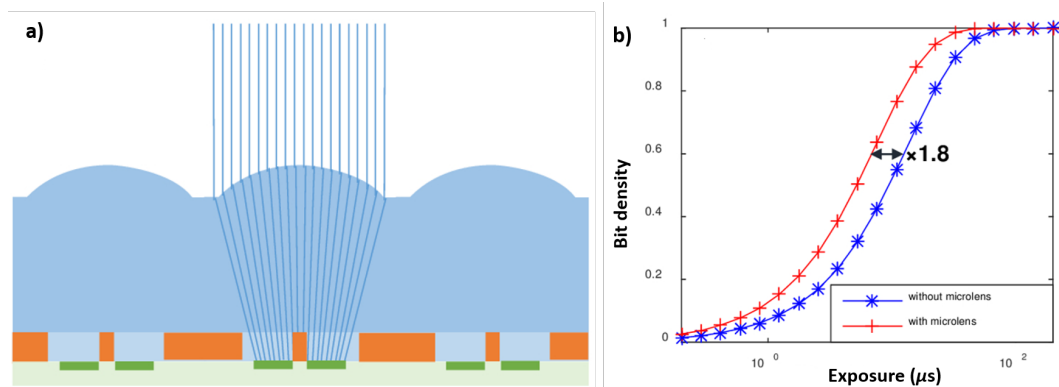


FIGURE 1.12 – a) Schéma explicatif de microlentille sur les matrices de diode SPAD ; b) Réponse de la diode SPAD en fonction du temps d'exposition avec une source lumineuse de 450nm de longueur d'onde [46]

L'empilement 3D a montré récemment sa capacité d'optimiser le FF des diodes SPAD. Il consiste à superposer deux wafers, un contenant les matrices de diodes SPAD et l'autre contenant l'électronique associée. L'intégration de l'électronique associée étant en troisième dimension, le FF est fortement amélioré. De plus, les deux wafers étant fabriqués individuellement, ils peuvent bénéficier des technologies les plus adaptées afin de maximiser leurs performances. Cependant, cette approche est généralement plus onéreuse et nécessite des procédés de fabrication plus complexes [48].

1.2.7 Couplage parasite - Crosstalk

Lors de l'intégration des diodes SPAD dans un système, la partie *Sensing* n'est souvent pas constituée d'une seule diode SPAD, mais d'une matrice de diodes SPAD afin d'augmenter la performance globale. Les diodes SPAD intégrées dans la matrice sont susceptibles de souffrir d'un phénomène nommé *Crosstalk*. Ce phénomène provient de deux sources : la diffusion

latérale des porteurs photogénérés dans une diode SPAD vers une diode SPAD voisine (Cross-talk électrique) et l'absorption dans une diode SPAD d'un photon émis par une diode SPAD voisine à l'issue des recombinaisons de porteurs (Crosstalk optique) (Figure 1.13). Dans les deux cas, la détection est faussée par ces évènements indésirables.

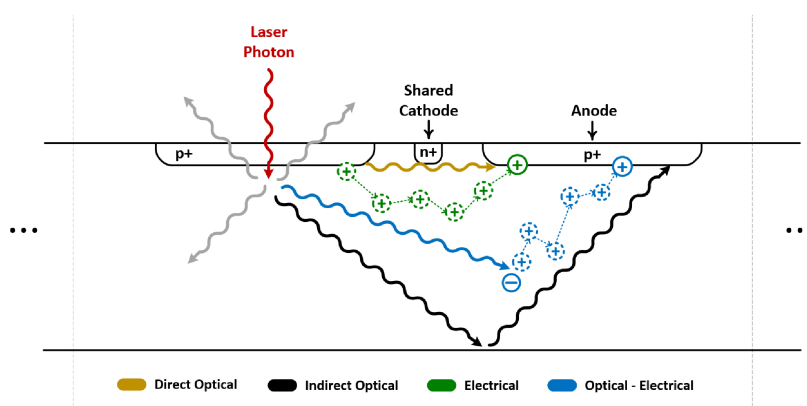


FIGURE 1.13 – Schéma de principe du phénomène de crosstalk ([49])

Afin de minimiser le phénomène de crosstalk dans les matrices de diodes SPAD, un espacement entre les diodes SPAD est souvent mis en place, ce qui détériore le FF. De nombreuses recherches proposent d'insérer les tranchées d'isolation entre les SPAD, permettant de réduire le crosstalk entre elles [50]-[53]. La figure 1.14 illustre trois exemples de tranchées d'isolation : a) tranchées d'isolation constituées de Platine et insérées entre les diodes SPAD InGaAs/InP, permettant de réduire le crosstalk optique direct par 60%; b) DTI (*Deep Trench Isolation*) constitué de tranchées d'oxyde profondes pour éviter le crosstalk entre la diode SPAD et la photodiode voisine (PPD, *Pinned Photodiode*); 3) FTI (*Full Trench Isolation*) constitué de métaux servant d'isolation entre les diodes SPAD intégrées dans une technologie CMOS 90nm.

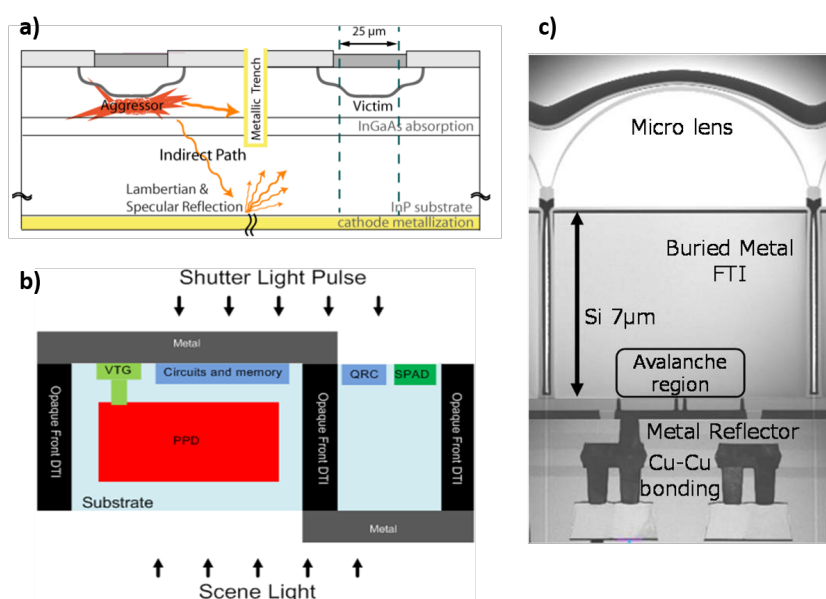


FIGURE 1.14 – Exemples de tranchées d'isolation utilisées pour les applications SPAD : a) tranchées constituées de Platine, utilisées pour les diodes SPAD InGaAs/InP [51]; b) DTI [52]; c) FTI [53]

1.3 Applications des SPAD

Récemment, les demandes pour la détection de phénomènes ultra-rapides par les moyens optiques dans les domaines scientifiques et industriels sont en pleine croissance, ce qui requiert l'utilisation de photodétecteurs de haute résolution temporelle jusqu'à la gamme de la nanoseconde ou même de la picoseconde. Grâce à leur haute résolution temporelle et leur sensibilité élevée, les diodes SPAD font un excellent candidat pour les applications qui ont ces exigences. Parmi elles, l'imagerie par mesure du temps de vol (*ToF*, *Time of Flight*) pour la détection de proximité et la télémétrie (*LiDAR*, *Light Detection and Ranging*) constituent les applications les plus répandues pour les photodétecteurs de type SPAD. Les diodes SPAD sont également beaucoup utilisées en comptage de photons uniques corrélés dans le temps (*TCSPC*, *Time-Correlated Single-Photon Counting*), souvent pour les applications d'imagerie biomédicale, particulièrement la microscopie par imagerie de fluorescence résolue dans le temps (*FLIM*, *Fluorescence Lifetime Imaging Microscopy*). Nous pouvons aussi citer l'utilisation de diodes SPAD dans les applications de spectroscopie Raman, les applications spatiales, les applications de détection de particules chargées (non exhaustives). Cette section détaille certaines de ces applications.

1.3.1 Imagerie par mesure de temps de vol - *ToF*

La cartographie de profondeur 3D (*3D Depth Sensing*) est essentielle dans beaucoup d'applications telles que le véhicule autonome [54], [55], la robotique [56], la réalité virtuelle (*VR*, *Virtual Reality*) et augmentée (*AR*, *Augmented Reality*) [57] et davantage. Deux méthodes sont communément employées : approche passive et active. L'approche passive de la cartographie de profondeur 3D consiste à utiliser plusieurs caméras de différents angles, afin de reconstruire de façon tridimensionnelle la cartographie de profondeur. Quant à l'approche active, un système de cartographie de profondeur 3D actif comprend typiquement une source lumineuse pulsée, un capteur utilisant la technique *ToF* et d'autres composants de post-traitement et de reconstruction d'images. Les capteurs à base de matrice de diodes SPAD sont un excellent choix pour les capteurs *ToF* grâce à la haute sensibilité de la diode SPAD, à sa résolution spatiale élevée et au temps d'acquisition relativement court [58].

Le principe de fonctionnement des capteurs *ToF* repose sur le principe de célérité de la lumière constante dans un milieu homogène. Avec la mesure de temps entre l'émission de lumière pulsée et la réception par le capteur *ToF* après la réflexion par la cible, la distance cible/capteur est ensuite calculée par le produit entre la moitié du temps de parcours de la lumière et la célérité de la lumière :

$$2 \cdot d_{\text{cible/capteur ToF}} = \Delta t \cdot c \quad (1.5)$$

où Δt : temps de parcours de la lumière et c : célérité de la lumière ($\approx 3 \times 10^8$ m/s).

Les capteurs *ToF* peuvent se classer en deux catégories : *ToF* indirect (*i-ToF*) et *ToF* direct (*d-ToF*). Le capteur *i-ToF* mesure la distance cible/capteur indirectement par l'estimation de déphasage relatif entre la lumière d'émission périodique et la réception de la lumière réfléchie, alors que le capteur *d-ToF* repose sur la mesure directe de la différence de temps entre l'émission et la réception de pulses. Une comparaison de ces deux types de capteurs permet de faire ressortir leurs avantages et inconvénients. Pour le capteur *i-ToF*, il est possible de l'implémenter dans les circuits de moindre complexité et la scalabilité est plus facile. Le capteur *d-ToF* requiert des circuits plus complexes. Cependant, le capteur émet la lumière pulsée avec une énergie lumineuse plus concentrée dans le temps et permet de s'affranchir

plus facilement du bruit lié à la lumière ambiante. Le capteur i-ToF est beaucoup plus limité en termes de maximum de distance mesurable et de précision de mesure par le bruit lié à la lumière ambiante.

La figure 1.15a illustre le principe de fonctionnement d'un système de cartographie de profondeur avec un capteur ToF. Une lumière pulsée est émise avec un grand angle d'émission vers une cible et la lumière réfléchie est capturée par le capteur ToF.

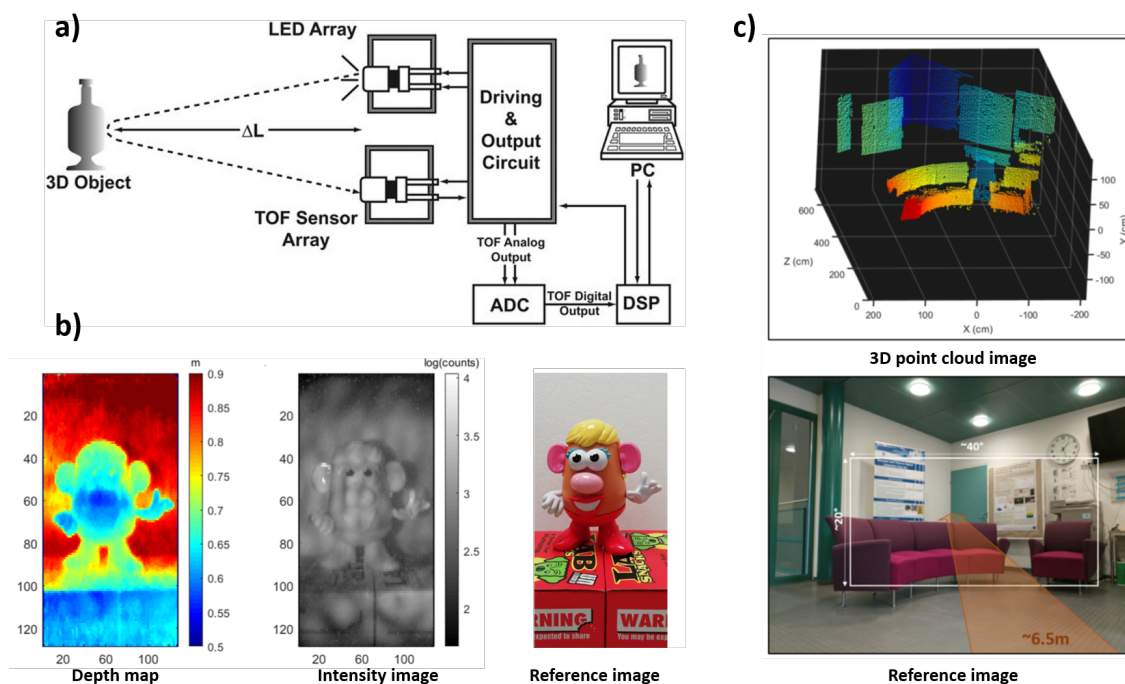


FIGURE 1.15 – a) Schéma de principe de systèmes de mesure de temps de vol [59] ; b) Cartographie de profondeur et l'image d'intensité capturées par un capteur ToF à base d'une matrice de diodes SPAD de 128×128 pixels [60] ; c) Cartographie de profondeur par nuage de points 3D capturée par un capteur ToF à base d'une matrice de diodes SPAD de 32×128 pixels [61]

Les figures 1.15b et 1.15c illustrent les images de cartographies de profondeur capturées respectivement par un capteur ToF à base d'une matrice de diodes SPAD de 128×128 pixels fabriquée avec un procédé CMOS 40nm de *STMicroelectronics* et un capteur ToF à base d'une matrice de diodes SPAD de 32×128 pixels via un procédé HV-CMOS 350nm (*High-Voltage CMOS*).

1.3.2 Comptage de photons uniques corrélés dans le temps - TCSPC

Une autre application des diodes SPAD est le comptage de photons uniques corrélés dans le temps. Cette technique consiste à exciter un échantillon par une source lumineuse pulsée avec un taux de répétition élevé et à mesurer la différence de temps entre l'émission de la lumière pulsée et la réception des photons émis par l'échantillon. Ceci permet de remonter au temps de fluorescence. Un histogramme représentant le nombre de photons émis par l'échantillon en fonction du temps de fluorescence peut être obtenu et représente la durée du déclin de fluorescence [62].

Cette technique est beaucoup utilisée dans l'imagerie biomédicale, plus spécifiquement pour la microscopie par imagerie de fluorescence résolue dans le temps (*FLIM, Fluorescence Lifetime Imaging Microscopy*). La FLIM est une technique d'imagerie permettant de visualiser

les structures et les fonctions des tissus biologiques par marquage des molécules cibles avec les sondes fluorescentes. Les molécules fluorescentes ou les fluorophores émettant des photons avec différentes durées du déclin de fluorescence permet à la FLIM de construire une cartographie de durée de déclin de fluorescence et donc de visualiser la structure globale. Une autre approche consiste à visualiser la distribution des fluorophores en se basant sur le contraste d'intensité de fluorophores. Comparée à cette approche, la FLIM présente l'avantage d'une meilleure résolution dans les zones de basses intensités de fluorophores. La figure 1.16 [63] montre les images de fluorescence capturées par un capteur à base d'une matrice de diodes SPAD de 64×4 pixels. Les images (Figures 1.16a et 1.16b) basées sur l'intensité de fluorophores présentent moins de détails dans les zones de structures fines par rapport à celle utilisant la FLIM (Figure 1.16c). La taille des matrices de diodes SPAD pour l'application FLIM est constamment en croissance (de 128×128 à 512×512 pixels [64]-[66]), permettant d'améliorer la résolution spatiale et de réduire le temps d'acquisition.

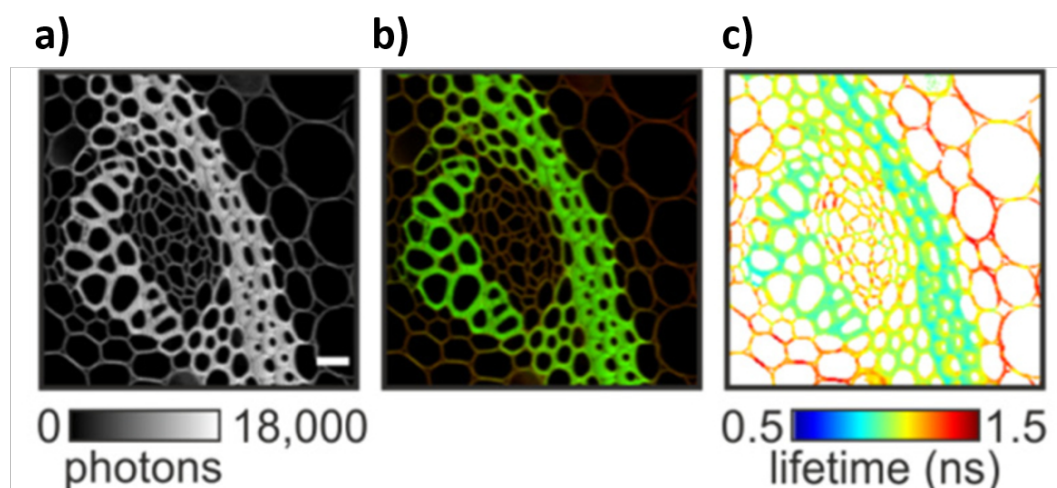


FIGURE 1.16 – Images de fluorescence basées sur l'intensité de fluorophores tracées en échelle grise a), en échelle couleur b) et c) sur la FLIM capturées par un capteur à base d'une matrice de diodes SPAD de 64×4 pixels [63]

1.3.3 Spectroscopie Raman

La spectroscopie Raman est une technique optique non-destructive qui permet de déterminer quantitativement la composition moléculaire et chimique d'un échantillon. Le principe de la spectroscopie Raman repose sur la mesure de la distribution d'intensité des photons diffusés inélastiquement à l'issue d'une interaction matière-lumière monochromatique. Cette interaction modifie les modes de vibration et de rotation des molécules de l'échantillon et l'énergie des photons diffusés est décalée. Ce type de diffusion est nommé Diffusion inélastique (Figure 1.17 [67]).

Le spectre Raman (distribution d'intensité spectrale des photons diffusés de manière Raman) est une propriété unique à chaque composant chimique. L'avantage principal de la spectroscopie Raman est qu'elle demande une quantité de matériaux limitée et qu'elle peut être utilisée quel que soit l'état des matériaux [68].

Cependant, la spectroscopie Raman présente également des désavantages. Le principal réside dans le ratio signal sur bruit (*SNR*, *Signal to Noise Ratio*) médiocre, causé par le fait que le spectre Raman mesuré est souvent masqué par un spectre de fluorescence fort dans

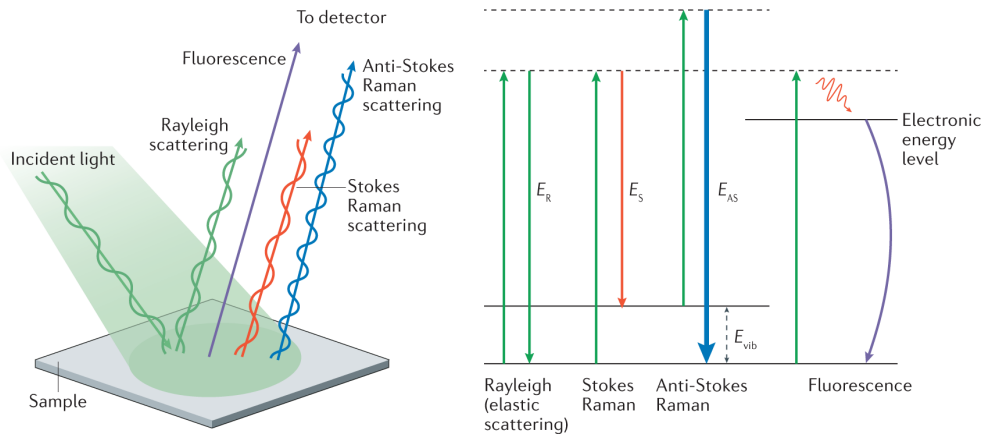


FIGURE 1.17 – Schéma de principe des différents modes de diffusion d'un photon en interaction avec l'échantillon utilisé en spectroscopie Raman [67]

certains échantillons. Comme le spectre de fluorescence ne fournit pas d'informations autant détaillées que le spectre Raman, ce phénomène est susceptible de détériorer fortement le SNR [69]. Ainsi la réduction de spectre de la fluorescence dans le développement de techniques de spectroscopie Raman est devenue une des principales directions de recherches ces derniers temps.

Une des approches de la réduction de spectre de fluorescence les plus prometteuses est basée sur la différence de temps de réponse entre la diffusion Raman ($< 1\text{ps}$) et l'émission de fluorescence ($\approx 10\text{ns}$). En excitant l'échantillon par un laser pulsé et ne collectant que les photons émis par l'échantillon pendant l'impulsion du laser, un grand nombre d'émissions de fluorescence est éliminé (Figure 1.18). Cette collecte des photons pourra se faire avec les détecteurs à sélection temporelle ultra-rapide, dont les photodiodes SPAD.

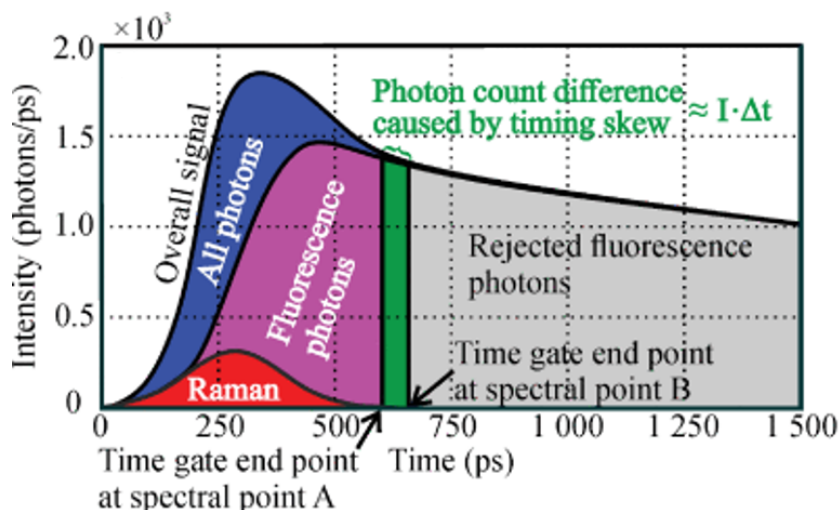


FIGURE 1.18 – Technique d'élimination du spectre de fluorescence basée sur la différence de temps entre la diffusion Raman et l'émission de fluorescence [69]

Ce type de détecteur a été investigué dans diverses recherches. Par exemple, les auteurs dans [70] proposent un obturateur optique à grande vitesse basé sur une cellule Kerr pour réaliser la fonction de sélection temporelle. Un autre système comprenant un dispositif à charges couplées intensifiées (*ICCD*, *Intensified Charge-Coupled Device*), un laser à verrouillage de mode et un spectrographe [71] est utilisé pour démonstration et permet d'atteindre une

résolution temporelle de 200ps. Cependant, les systèmes mentionnés ci-dessus présentent une complexité élevée et sont physiquement encombrants. Le système avec l'intégration d'une matrice de diodes SPAD est en revanche plus avantageux, car il permet de simplifier la complexité et la taille du système et d'intégrer tout le circuit électronique associé avec la matrice de diodes SPAD. Les auteurs dans [72] proposent une matrice de diodes SPAD linéaire de 1024×8 pixels, atteignant une résolution temporelle de 700ps. Les auteurs suggèrent que le détecteur SPAD proposé est non seulement intégrable dans les systèmes de spectroscopie Raman, mais également dans les systèmes de spectroscopie par claquage laser (*LIBS*, *Laser-Induced Breakdown Spectroscopy*).

1.3.4 Application spatiale

L'exploration spatiale est fondamentale dans la politique stratégique de certains pays et organisations afin de mieux comprendre la physique fondamentale et l'astronomie. Les télécommunications optiques entre les satellites, les sondes spatiales et les stations sur Terre font l'objet de nombreuses expérimentations depuis les années 2000.

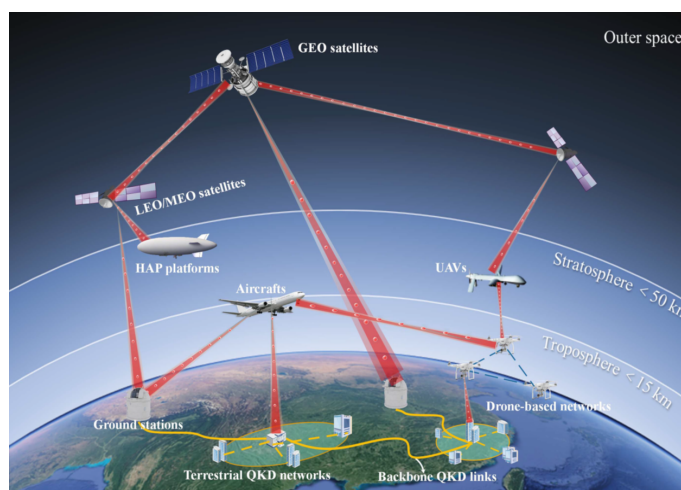


FIGURE 1.19 – Réseau quantique hiérarchique opérant dans différentes couches atmosphériques [73]

Au cours de la dernière décennie, les systèmes d'imagerie spatiale avec l'intégration de détecteurs de type SPAD attirent également l'attention de nombreuses recherches. Les détecteurs SPAD spéciaux sont souvent de faibles masses et consommation énergétique, de sensibilité et gamme dynamique élevées et de résolution temporelle élevée. Ils peuvent aussi être intégrés à l'état solide, ce qui les rend très robustes. La robustesse aux irradiations est une exigence pour les applications spatiales. Le groupe dans [74] a développé un détecteur SPAD Si planaire et le test de robustesse aux irradiations a été réalisé à travers de trois projets de recherche, dont un nommé T2L2 au laboratoire CNES à Toulouse. Le détecteur SPAD a subi une dose ionisante totale (*TID*, *Total Ionization Dose*) de 100krad. La figure 1.20 montre que le DCR, la résolution temporelle et la sensibilité n'ont pas de changements majeurs sous forte irradiation.

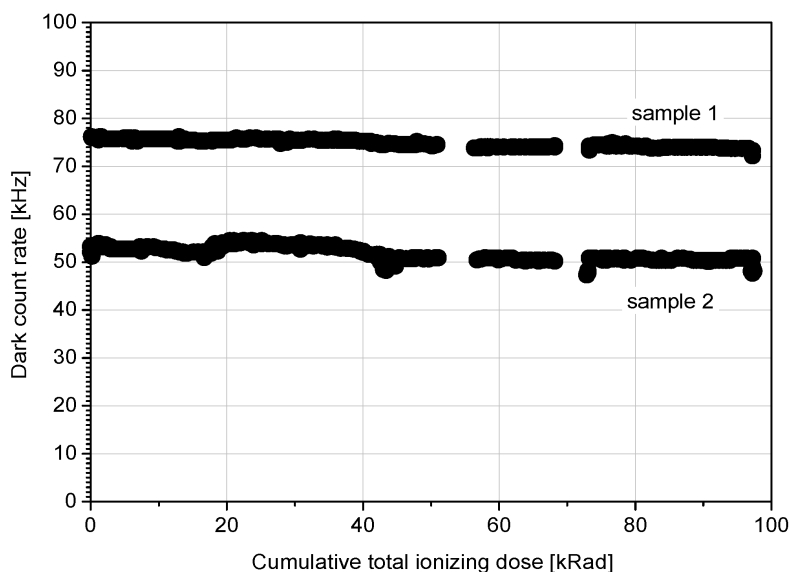


FIGURE 1.20 – Test de stabilité en DCR sous forte irradiation de deux détecteurs SPAD sélectionnés dans le projet TZL2 [74]

1.4 Développement de technologies SPAD et état de l'art

1.4.1 SPAD en technologie CMOS standard

Au cours des dernières décennies, le développement des technologies CMOS (*Complementary Metal Oxide Semiconductor*) a permis la fabrication de dispositifs microélectroniques à très hautes performances (microprocesseurs, mémoires, etc). Les détecteurs SPAD, qui d'abord ont été conçus et fabriqués avec les technologies spécifiques, ont également fortement bénéficié des technologies CMOS. A ce jour, les technologies CMOS sont très matures, permettant des productions en très grande échelle avec une reproductibilité élevée et un coût relativement bas. Cependant, les technologies CMOS ne sont pas initialement prévues et adaptées pour les détecteurs SPAD car elles se focalisent principalement sur la réduction de la taille des composants électroniques, plus spécifiquement des transistors, afin d'améliorer la performance globale du circuit. Souvent dans les technologies CMOS avancées, un fort dopage est appliqué sur des caissons p et n. Ceci est désavantageux pour les applications SPAD, car un fort DCR et une faible PDP sont attendus en raison d'une tension de claquage trop basse. Afin de se servir de la surface d'un wafer au maximum, les formes octogonales des composants électroniques sont préférables. Ceci n'est également pas avantageux pour les diodes SPAD, car le phénomène de claquage prématuré sur les bords (*PEB, Premature Edge Breakdown*) risque d'apparaître à cause de la non-uniformité de la distribution du champ électrique et de détériorer fortement les performances de diodes SPAD. Une façon d'éviter ce phénomène est de concevoir des formes circulaires, ce qui demande souvent de violer les règles de dessin dans l'étape de conception [75]. De plus, afin d'éviter davantage ce phénomène, un caisson moins dopé est souvent mis en place sur les bords de la jonction, servant d'anneau de garde.

Les développements de SPAD dans les technologies CMOS standards ont grandement avancé ces dernières années. Sur la figure 1.21 sont illustrés quelques exemples de diodes SPAD intégrées dans les technologies CMOS de plus en plus avancées. Certaines de leurs caractéristiques sont résumées dans le tableau 1.1. Malgré les avantages des technologies CMOS

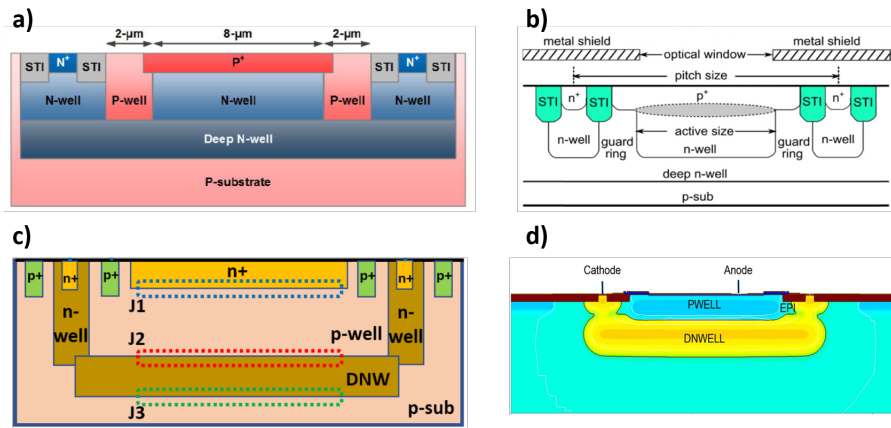


FIGURE 1.21 – Architectures de diodes SPAD dans les technologies CMOS standard a) 180nm [76], b) 150nm [9], c) 65nm [77] et d) 40nm [78]

standard, elles présentent quand même quelques problématiques. Par exemple, le facteur de remplissage de diodes SPAD est souvent limité dû au fait que les électroniques associées sont intégrées de façon planaire, c'est-à-dire au même niveau de wafer que les diodes SPAD elles-mêmes. Ceci peut être amélioré en utilisant les microlentilles, en réduisant la taille des anneaux de garde, etc. L'intégration 3D est une autre solution idéale pour augmenter le FF. Nous allons la détailler dans la section 1.4.3.

Technologie CMOS	V_{BD}	FF	DCR	PDP	Jitter
CMOS 180 nm [76]	10V ($T^\circ=300\text{ K}$)	6,3% (améliorable en matrice en partageant n-well)	10,3kHz/ μm^2 ($V_{ex}=2\text{ V}$ et $T^\circ=300\text{ K}$)	30,4% ($\lambda=535\text{ nm}$, $V_{ex}=2\text{ V}$ et $T^\circ=300\text{ K}$)	92ps ($\lambda=905\text{ nm}$ et $V_{ex}=2\text{ V}$)
CMOS 150nm [9]	18,2V ($T^\circ=20^\circ\text{ C}$)	39,9%	0,4Hz/ μm^2 ($V_{ex}=3\text{ V}$ et $T^\circ=20^\circ\text{ C}$)	31% ($\lambda=450\text{ nm}$, $V_{ex}=5\text{ V}$ et $T^\circ=20^\circ\text{ C}$)	42ps ($\lambda=831\text{ nm}$ et $V_{ex}=4\text{ V}$)
CMOS 65nm [77]	9,45V ($T^\circ=20^\circ\text{ C}$)	28,6% (avec microlentilles)	138kHz/ μm^2 ($V_{ex}=0,3\text{ V}$ et $T^\circ=20^\circ\text{ C}$)	7,34% ($\lambda=440\text{ nm}$, $V_{ex}=0,3\text{ V}$ et $T^\circ=20^\circ\text{ C}$)	200ps ($\lambda=685\text{ nm}$ et $V_{ex}=0,3\text{ V}$)
CMOS 40nm [78]	15,5V ($T^\circ=60^\circ\text{ C}$)	70% (avec microlentilles)	1Hz/ μm^2 ($V_{ex}=1\text{ V}$ et $T^\circ=25^\circ\text{ C}$)	30% ($\lambda=500\text{ nm}$, $V_{ex}=1\text{ V}$ et $T^\circ=25^\circ\text{ C}$)	140ps ($\lambda=840\text{ nm}$ et $V_{ex}=1\text{ V}$)

TABLE 1.1 – Récapitulatif des caractéristiques principales de diodes SPAD intégrées dans différentes technologies CMOS standards

1.4.2 SPAD en technologie CMOS SOI

Une des filières phares des technologies CMOS est basée sur les structures dites *SOI* (*Silicon-On-Insulator*), avec l'intégration d'une couche d'oxyde enterrée (*BOX*, *Buried Oxide*).

Cette technologie CMOS SOI permet d'isoler les transistors du substrat, de réduire le courant de fuite et donc de minimiser la consommation d'énergie. La filière CMOS SOI fournit aux technologies CMOS standards une possibilité de simplifier le procédé de gravure du substrat, en se servant de la couche BOX comme une ligne d'arrêt lors de la gravure. Divers groupes de recherche se sont investis dans l'intégration de SPAD dans les technologies CMOS SOI [79]-[81]. La figure 1.22 illustre un des exemples de diode SPAD CMOS SOI. Les auteurs revendiquent avoir démontré la toute première SPAD intégrée dans une technologie CMOS SOI submicronique profonde (*DSM, Deep-submicron*) (140nm). La diode SPAD présente une PDP de 25,4% à $\lambda=490\text{nm}$ et un DCR de $396,1\text{Hz}/\mu\text{m}^2$ pour $V_{ex}=3\text{V}$. Le jitter est également estimé à 119ps pour $V_{ex}=3\text{V}$ avec un laser de longueur d'onde de $\lambda=637\text{nm}$.

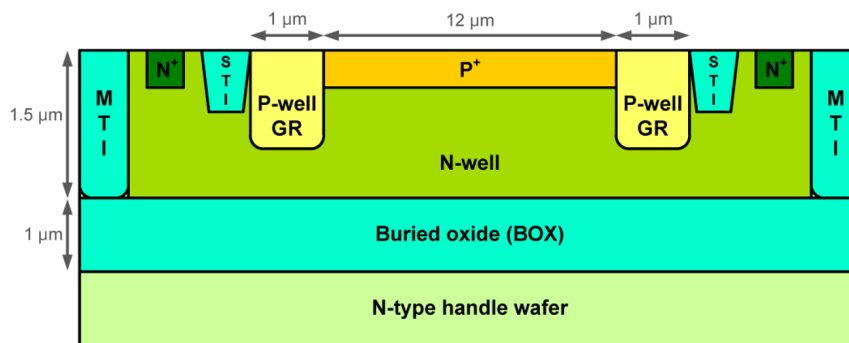


FIGURE 1.22 – Architecture d'une diode SPAD dans une technologie CMOS SOI 140nm [80]

1.4.3 SPAD en technologie d'empilement 3D

A ce jour, les meilleures diodes SPAD sont souvent obtenues en associant les dernières technologies les plus avancées, telles que l'utilisation de microlentilles, la nanostructuration, l'utilisation de couches d'antireflet, l'intégration 3D, etc. L'intégration 3D de diodes SPAD consiste à implémenter séparément le détecteur SPAD et l'électronique associée dans deux wafers. Le wafer contenant toute l'électronique associée est fabriqué avec les procédés CMOS avancés, alors que le wafer contenant les diodes SPAD est souvent fabriqué avec les procédés pour les capteurs d'image CMOS (*CIS, CMOS Image Sensor*). Dans les technologies CMOS avancées, un fort dopage est souvent utilisé, impactant fortement le DCR et la PDP de diodes SPAD. Ainsi les procédés CIS dans lesquels le profil de dopage est optimisé pour les applications SPAD sont très bénéfiques pour les performances de la SPAD. Les deux wafers sont interconnectés par un collage wafer-à-wafer. L'avantage principal des technologies SPAD 3D est la forte amélioration du FF par rapport à la technologie SPAD avec l'intégration planaire, permettant une meilleure absorption de la lumière incidente [48], [82]. Elle permet également une meilleure sensibilité dans le proche infra-rouge (*NIR, Near Infrared*) et une meilleure résolution temporelle.

Dans la littérature, la plupart des recherches concernant cette technologie s'axent autour de l'intégration de diodes SPAD en mode BSI où les deux wafers sont interconnectés sans vias de connection traversants, car les deux wafers sont en face (le wafer contenant les SPADs est aminci à mois de $10\ \mu\text{m}$). La position de la jonction de la diode SPAD étant dans ce cas relativement profonde, les photons de plus grandes longueurs d'onde (*NIR : 900-1000 nm*) seront davantage absorbés. En mode FSI (*Front-Side Illumination*), le substrat du wafer contenant la diode SPAD est relié à la partie supérieure du wafer contenant l'électronique associée à travers des vias de connection (Figure 1.23). La jonction de la diode SPAD se trouve

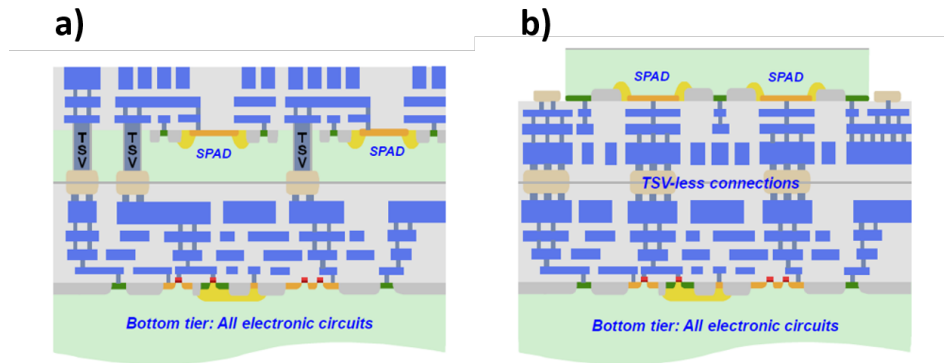


FIGURE 1.23 – Deux modes d’assemblage de diodes SPAD 3D selon le mode d’illumination : a) FSI et b) BSI [83]

à proximité de la surface et la diode SPAD absorbe davantage dans les courtes longueurs d’onde.

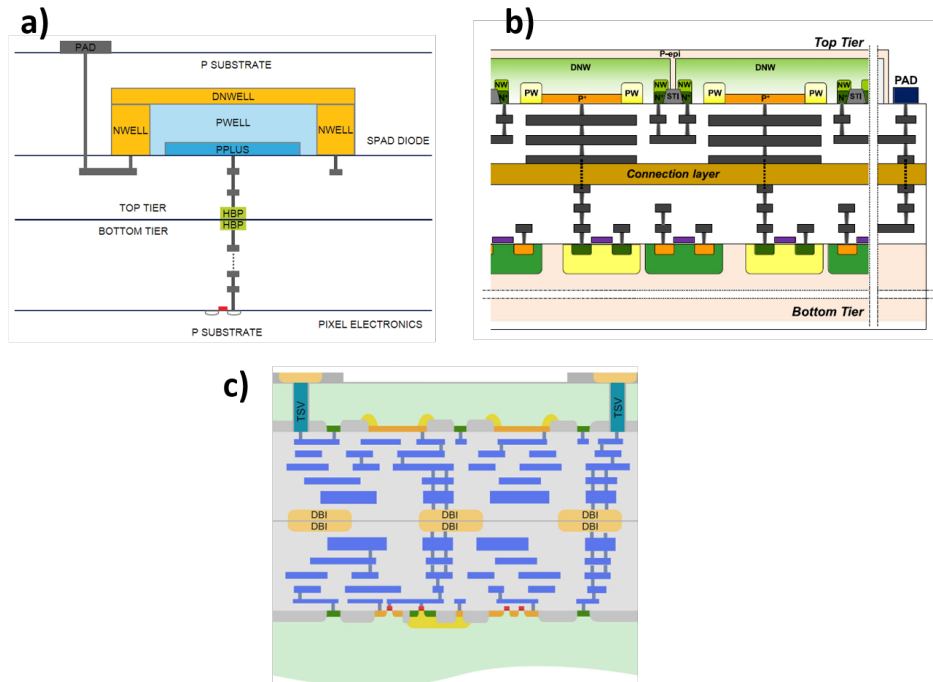


FIGURE 1.24 – Architectures de SPAD 3D dans les technologies a) CMOS 40nm/CIS 65nm [48], b) CMOS 65nm/CIS 45nm [82] et c) CMOS 130nm/CMOS 130nm [35]

Sur la figure 1.24 sont représentés quelques exemples de SPAD intégrées dans les technologies d’intégration 3D. Le tableau 1.2 récapitule les caractéristiques principales de ces SPAD 3D.

1.4.4 SPAD en technologie Ge-Si

En dépit du fort potentiel de réduction d’échelle et de la maturité élevée des technologies SPAD CMOS, le gap du silicium empêche toute utilisation dans les applications qui nécessitent une haute sensibilité dans le NIR et l’infra-rouge de courtes longueurs d’onde (*SWIR*, *Short Wave Infrared*), telles que les télécommunications via fibres optiques, les systèmes de

Technologie	V_{BD}	Zone active	DCR	PDP	Jitter
CMOS 40nm/CIS 65nm [48]	-	$250,7\mu\text{m}^2$	$10,37\text{kHz}/\mu\text{m}^2$ ($V_{ex}=4,4\text{V}$ et $T^\circ=25^\circ\text{C}$) (Valeur moyenne des SPAD mesurées)	29,5% ($\lambda=660\text{nm}$, $V_{ex}=4,4\text{V}$ et $T^\circ=25^\circ\text{C}$)	75ps ($\lambda=700\text{nm}$ et $V_{ex}=4,4\text{V}$)
CMOS 65nm/CIS 45nm [82]	28,5V ($T^\circ=25^\circ\text{C}$)	$122,72\mu\text{m}^2$	$55,4\text{Hz}/\mu\text{m}^2$ ($V_{ex}=2,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	31,8% ($\lambda =$ 600nm, $V_{ex}=2,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	107,7ps ($\lambda=637\text{nm}$ et $V_{ex}=2,5\text{V}$)
CMOS 130nm/CMOS 130nm [35]	16,5V ($T^\circ=25^\circ\text{C}$)	$28\mu\text{m}^2$	$1,25\text{Hz}/\mu\text{m}^2$ ($V_{ex}=1,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	12,8% ($\lambda=700\text{nm}$, $V_{ex}=1,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	500ps ($\lambda=750\text{nm}$ et $V_{ex}=1,5\text{V}$)

TABLE 1.2 – Récapitulatif des caractéristiques principales de SPAD intégrées dans les technologies d'intégration 3D

distribution de clé quantique (*QKD, Quantum Key Distribution*), les détecteurs à base de ToF fonctionnant dans l'IR, etc. En effet, le gap du Si étant à la fois indirect et valant 1,12eV, les détecteurs SPAD à base de Si sont davantage utilisés pour les longueurs d'ondes dans la gamme du visible (500-950nm). L'extension de la gamme spectrale des détecteurs vers l'IR a plusieurs avantages. Pour certaines applications, telles que le LIDAR, il existe un seuil de sécurité oculaire pour la source laser. Une source laser IR est beaucoup moins dangereuse pour les yeux qu'une source laser de faible longueur d'onde pour la même puissance de sortie [84]. En outre, la radiation solaire, qui se comporte comme du bruit de fond, diminue fortement dans le SWIR [85]. Le domaine SWIR facilite également la transmission de signaux à travers des objets obscurcissants (brume, brouillard, fumée...) [86]. Enfin, pour les applications de fibres optiques, les ondes dans la gamme SWIR présentent moins de pertes lors de transmission de signaux optiques.

Actuellement, pour les applications mentionnées ci-dessus, les diodes SPAD à base de InGaAs/InP sont dominantes (plus de détails dans la section 1.4.5). Une alternative aux diodes SPAD InGaAs/InP est l'utilisation de germanium. Ce matériau est sensible aux photons de longueurs d'onde jusqu'à 1600nm. Les diodes SPAD entièrement basées sur Ge ont été investiguées pour les applications dans les laboratoires [87], [88]. Cependant, elles présentent un niveau de DCR relativement élevé dû à l'effet tunnel bande-à-bande à cause du gap du Ge (0,66eV) relativement étroit et dû à la génération thermique. Fonctionner à basses températures peut être une solution pour limiter le niveau de DCR. Cependant, l'efficacité d'absorption dans le SWIR est également restreinte à basses températures. L'intégration de Ge dans les diodes SPAD en technologie Si a été largement investiguée durant la dernière décennie et a montré un fort potentiel. Les architectures de diodes SPAD Ge/Si sont inspirées des structures de diodes SPAD InGaAs/InP, dans lesquelles la zone d'absorption de photons et la zone de multiplication des porteurs sont séparées (*SACM, Separate Absorption, Charge and Multiplication*) et sont constituées de différents matériaux. Sur la figure 1.25 sont illustrés quelques exemples de diodes SPAD à base de Ge/Si.

La première diode SPAD à base de Ge/Si avec une structure de géométrie mesa a été investiguée dans [89] et suivie par une autre réalisation [90] sur une structure mesa avec une amélioration du niveau de bruit. Ces diodes SPAD souffraient d'une puissance équivalente de

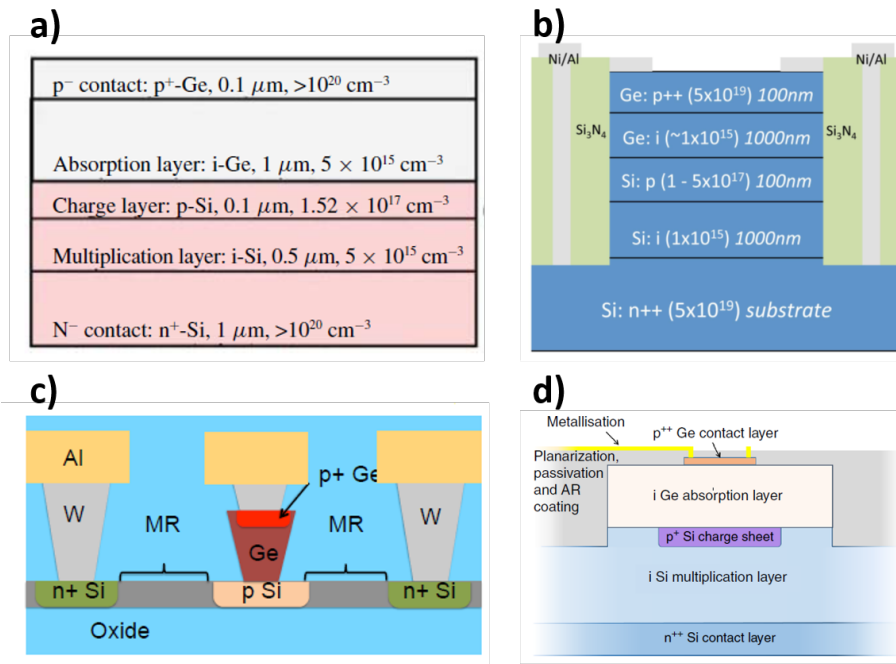


FIGURE 1.25 – Architectures de diodes SPAD Ge-Si a) de structure mesa de $30\mu\text{m}$ de diamètre [89], b) de structure mesa $25\mu\text{m}$ de diamètre [90], c) avec couplage de guides d'onde [91] et d) de structure planaire [92]

bruit (NEP , *Noise-Equivalent Power*) élevée en comparaison d'une diode SPAD commerciale à base de InGaAs/InP et d'un niveau de DCR relativement élevé. D'autres structures (structure avec couplage de guides d'onde [91] et structure planaire [92]) ont été proposées permettant d'améliorer le DCR. Les caractéristiques de certaines SPAD mentionnées ci-dessus sont résumées dans le tableau 1.3.

Technologie	V_{BD}	Zone active	DCR	PDE	Jitter
Ge/Si [90]	32V ($T^\circ=100\text{K}$)	$490,87\mu\text{m}^2$	$\sim 10,1\text{kHz}/\mu\text{m}^2$ ($V_{ex}=3,2\text{V}$ et $T^\circ=100\text{K}$)	4% ($\lambda=1310\text{nm}$, $V_{ex}=3,2\text{V}$ et $T^\circ=100\text{K}$)	300ps ($\lambda=1310\text{nm}$ et $V_{ex}=3,2\text{V}$)
Ge/Si [92]	40V ($T^\circ=78\text{K}$)	$7854\mu\text{m}^2$	$31,83\text{Hz}/\mu\text{m}^2$ ($V_{ex}=2,2\text{V}$ et $T^\circ=78\text{K}$)	30% ($\lambda=1310\text{nm}$, $V_{ex}=2,2\text{V}$ et $T^\circ=78\text{K}$)	310ps ($\lambda=1310\text{nm}$ et $V_{ex}=2,2\text{V}$)

TABLE 1.3 – Récapitulatif des caractéristiques principales de diodes SPAD à base de Ge/Si

1.4.5 SPAD en technologie III-V

Comme mentionné dans la section 1.4.4, la limitation d'absorption du Si dans le NIR et le SWIR a conduit au développement des technologies de diodes SPAD à base des matériaux autres que Si. Les matériaux III-V sont les candidats qui ont un fort potentiel. Les structures de diodes SPAD à base de matériaux III-V emploient généralement le concept de la séparation de la zone d'absorption et de la zone de multiplication. Sur la figure 1.26 sont représentées deux architectures similaires de diodes SPAD à base de matériaux III-V.

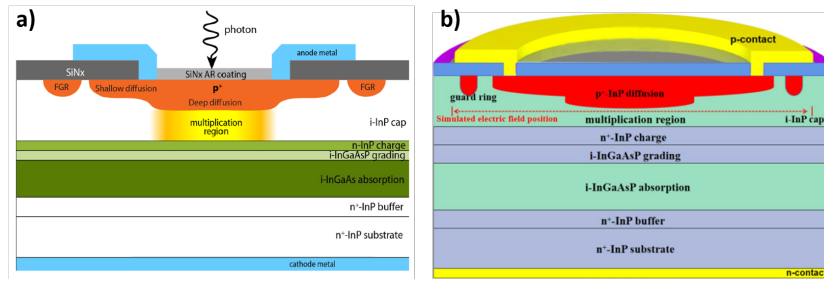


FIGURE 1.26 – Architectures de diodes SPAD InGaAs/InP développées par a) Tosi *et al* [93] et b) Zhou *et al* [94]

La zone d'absorption est constituée d'InGaAs et est empilée sur le substrat InP fortement dopé n à travers une couche tampon d'InP dopée n. La zone de multiplication basée sur une couche d'InP est déposée au-dessus de la couche d'absorption d'InGaAs à travers une couche de gradient d'InGaAsP et une couche d'InP dopée n. La couche de gradient d'InGaAs permet de favoriser le transport des porteurs vers la zone de multiplication et de minimiser les défauts de dislocations. La couche d'InP dopée n a pour rôle de diminuer la génération SRH et par effet tunnel bande-à-bande. Une couche de diffusion constituée d'InP dopée p est ensuite placée au-dessus de la zone de multiplication pour la collecte de porteurs vers le contact d'anode. Certaines des caractéristiques de ces diodes SPAD sont résumées dans le tableau 1.4.

Technologie	V_{BD}	Zone active	DCR	PDE	Jitter
InGaAs/InP [93]	71V ($T^\circ=200K$)	490,87 μm^2	$\sim 12Hz/\mu m^2$ ($V_{ex}=5V$ et $T^\circ=200K$)	35% ($\lambda=1300nm$, $V_{ex}=5V$ et $T^\circ=200K$)	87ps ($\lambda=1550nm$ et $V_{ex} = 5V$)
InGaAs/InP [94]	$\sim 47V$ ($T^\circ=228K$)	$\sim 5000\mu m^2$	$\sim 0,2Hz/\mu m^2$ ($T^\circ=226K$)	30% ($\lambda=1060nm$ et $T^\circ=226K$)	-

TABLE 1.4 – Récapitulatif des caractéristiques principales de diodes SPAD à base de matériaux III-V

1.4.6 Exemples de diodes SPAD en technologies avancées

Afin d'optimiser les performances de diodes SPAD, les dernières SPAD avancées emploient plusieurs approches d'optimisation en même temps. Sur la figure 1.27 sont illustrés deux exemples de diodes SPAD avancées. Le premier exemple [95] intègre un wafer, contenant une matrice de diodes SPAD fabriquée avec un procédé CMOS 90nm, avec un wafer pour l'électronique associée fabriqué via un procédé CMOS 22nm. Les wafers sont liés par un collage Cu-Cu. Une microlentille est utilisée sur le wafer du haut afin d'augmenter la collecte des photons. Dans la structure de diode SPAD individuelle, une nanostructuration sous forme de pyramides en surface (notée PSD) est également employée, permettant d'augmenter le volume d'absorption pour les grandes longueurs d'onde (NIR) par diffraction. Un réflecteur métallique est aussi placé en bas de la diode SPAD pour augmenter davantage l'efficacité d'absorption des photons. Par ingénierie de potentiel, la gigue temporelle, étant censée être moins bonne à cause de la longueur de dérive plus importante, est de même améliorée. Pour

éviter le problème de crosstalk, les couches d'isolation (*FTI, Full Trench Isolation*) sont placées entre les pixels SPAD individuels.

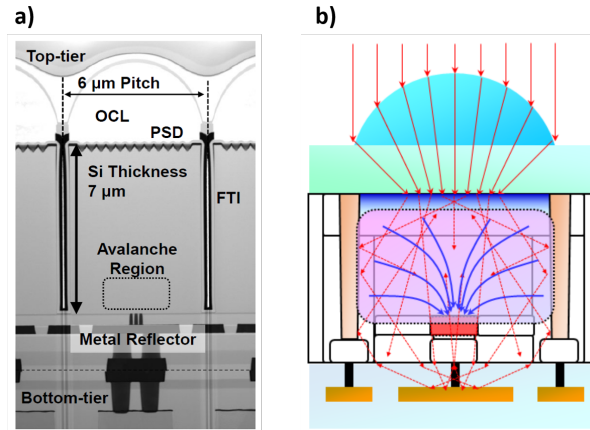


FIGURE 1.27 – Architectures de dernières diodes SPAD avancées développées par a) Shimada *et al* [95] et b) Morimoto *et al* [96]

Le deuxième exemple [96] utilise aussi la technique de l'empilement 3D avec le wafer supérieur contenant une matrice de diodes SPAD de 3,2 mégapixels (2072×1548) et le wafer inférieur contenant l'électronique associée. Le wafer contenant la matrice de SPAD est fabriqué via un procédé CMOS 90nm et celui contenant l'électronique via un procédé CMOS 40nm. Similaire au premier exemple, cette architecture utilise une microlentille et un réflecteur métallique pour améliorer la collecte des photons. Contrairement au concept de nanostructuration surfacique dans le premier exemple, un nouveau concept de focalisation de charges (*Charge focusing*) est utilisé ici. Ceci consiste à augmenter la zone d'absorption tout en gardant la taille de la zone de multiplication réduite et optimiser le caisson Deep-PW pour ramener tous les porteurs vers la zone de multiplication. Ce concept permet d'optimiser grandement le FF, la PDP et également le DCR, car la zone de multiplication où le champ électrique est plus élevé reste très réduite. Il s'agit d'une des meilleures architectures de diode SPAD qui présente un faible DCR et une sensibilité élevée à température ambiante. Certaines des caractéristiques des deux diodes SPAD mentionnées ci-dessus sont résumées dans le tableau 1.5.

Technologie	V_{BD}	Zone active	DCR	PDE	Jitter
CMOS 22nm/CMOS 90nm [95]	22V ($T^\circ=25^\circ\text{C}$)	$36\mu\text{m}^2$	$\sim 0,56\text{Hz}/\mu\text{m}^2$ ($V_{ex}=3\text{V}$ et $T^\circ=25^\circ\text{C}$)	20,2% ($\lambda=940\text{nm}$, $V_{ex}=3\text{V}$ et $T^\circ=25^\circ\text{C}$)	137ps ($\lambda=940\text{nm}$, $V_{ex}=3\text{V}$ et $T^\circ=25^\circ\text{C}$)
CMOS 40nm/CMOS 90nm [96]	30V ($T^\circ=25^\circ\text{C}$)	$40,83\mu\text{m}^2$	$\sim 0,04\text{Hz}/\mu\text{m}^2$ ($V_{ex}=2,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	24,4% ($\lambda=940\text{nm}$, $V_{ex}=2,5\text{V}$ et $T^\circ=25^\circ\text{C}$)	100ps ($\lambda=940\text{nm}$, $V_{ex}=2,5\text{V}$ et $T^\circ=25^\circ\text{C}$)

TABLE 1.5 – Récapitulatif des caractéristiques principales des dernières SPAD avancées

1.5 Objectifs principaux de la thèse

Le développement des technologies CMOS et de leurs filières fait toujours l'objet de recherche des grands groupes industriels, dont *STMicroelectronics*, dans le but de proposer les produits toujours plus performants. La technologie CMOS FD-SOI est une des technologies les plus performantes pour la réalisation de circuits intégrés pour l'internet des objets. La filière CMOS FD-SOI (*Fully-Depleted SOI*) UTBB (*Ultra-Thin Body and Box*) 28nm bénéficie des avantages de la technologie SOI et en parallèle permet de contrôler la tension de seuil (V_{th} , *Threshold Voltage*) des transistors via la polarisation du substrat (*Body Biasing*) (Figure 1.28). Cette nouveauté laisse le choix aux concepteurs de sélectionner les produits plus performants ou moins énergivores (plus de détails sont présentés dans la section 2.2.1).

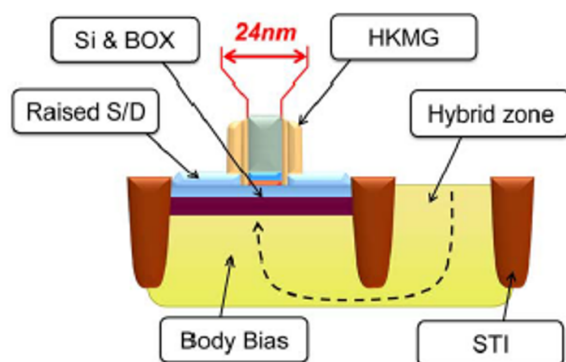


FIGURE 1.28 – Schéma de principe de polarisation du substrat dans la technologie CMOS FD-SOI 28nm [97]

L'idée d'intégrer le détecteur de type SPAD dans la technologie CMOS FD-SOI 28nm a été portée en 2015 à l'Institut des Nanotechnologies de Lyon (INL) durant la thèse de Matteo Vignetti [98] et sa faisabilité a été montrée dans la thèse de Túlio Chaves de Albuquerque pendant 2016-2019 [99]. Diverses conceptions d'architectures et travaux de simulation et de caractérisation ont été réalisés pendant la thèse de Dylan Issartel [100] dans le but de comprendre les phénomènes physiques et optimiser les performances de diodes SPAD intégrées dans la technologie CMOS FD-SOI 28nm principalement en termes de bruit. Cette thèse s'inscrit dans le projet IPCEI/Nano 2022 et prend la suite des travaux réalisés à l'INL avec un centrage particulier sur l'amélioration de l'efficacité de détection de photons.

L'objectif principal de cette thèse est de proposer des solutions dans le but d'optimiser la performance d'efficacité de photodétection des diodes SPAD. Pour ce faire, il est nécessaire de développer un environnement de simulation électro-optique avec les simulateurs choisis, afin de chercher les architectures les mieux adaptées. Les caractérisations électro-optiques sont menées sur ces nouvelles architectures dans le but d'améliorer l'efficacité de détection, mais également nous poursuivons les travaux de caractérisations sur les architectures développées durant les travaux antérieurs.

Dans le deuxième chapitre, nous verrons d'abord les approches d'amélioration de l'efficacité de détection de SPAD diodes proposées dans la littérature. Ensuite, nous présenterons plus en détails la technologie CMOS FD-SOI 28nm et l'intégration de diodes SPAD dans cette technologie et nous introduirons notre approche optique afin d'optimiser plus spécifiquement la performance de détection de photons pour la diode SPAD CMOS FD-SOI 28nm. Dans le troisième chapitre, nous présenterons d'abord le développement de l'environnement de simulation électro-optique avec l'introduction aux simulateurs électronique (*Synopsys Sentaurus*)

et optique (*Ansys Lumerical FDTD*) et le couplage électro-optique via un script *Matlab*. Nous montrerons et analyserons les principaux résultats de simulations optiques. Dans le quatrième chapitre, nous présenterons et discuterons les résultats de diverses caractérisations électro-optiques réalisées sur les anciennes et nouvelles architectures.

1.6 Conclusion

Ce premier chapitre apporte les connaissances générales sur les photodétecteurs de type SPAD. Le fonctionnement de diodes SPAD se base sur le mode Geiger nécessitant une polarisation inverse au-delà de V_{BD} (Tension de claquage). Les composants associés tels que les circuits d'étouffement et de recharge sont nécessaires afin d'arrêter l'avalanche et de ramener la diode SPAD à son état initial pour la détection des prochains évènements. Afin de quantifier la qualité de détecteurs SPAD, les critères de performances, telles que le courant dans l'obscurité, le taux de comptage dans l'obscurité, la probabilité de détection de photons, le facteur de remplissage, la probabilité d'afterpulsing, la gigue temporelle et le crosstalk, sont décrits. Les applications les plus marquantes de diodes SPAD, comme l'imagerie par mesure de temps de vol, le comptage de photons corrélés dans le temps et la spectroscopie Raman, sont discutés, montrant le grand intérêt et le fort potentiel de détecteurs SPAD dans divers domaines. Par la suite, les différentes technologies de détecteurs SPAD, comme les diodes SPAD en technologie CMOS 3D et les SPAD à base d'autres matériaux, ainsi que quelques exemples de diodes SPAD avancées sont présentés, montrant la dynamique de recherche dans ce domaine et l'état de l'art. Enfin, l'objectif principal et les tâches associées sont introduits, permettant de définir la structure principale de ce manuscrit.

Références

- [1] E. CHARBON, « Single-photon imaging in complementary metal oxide semiconductor processes, » *Philosophical Transactions of the Royal Society A*, t. 372, p. 16.5.1-16.5.4, 2014. DOI : [10.1098/rsta.2013.0100](https://doi.org/10.1098/rsta.2013.0100).
- [2] S. BURRI, Y. MARUYAMA, X. MICHALET, F. REGAZZONI, C. BRUSCHINI et E. CHARBON, « Architecture and applications of a high resolution gated SPAD image sensor, » *Opt. Express*, t. 22, n° 14, p. 17 573-17 589, 2014. DOI : [10.1364/OE.22.017573](https://doi.org/10.1364/OE.22.017573).
- [3] O. SKORKA et D. JOSEPH, « CMOS digital pixel sensors : technology and applications, » in *Nanosensors, Biosensors, and Info-Tech Sensors and Systems 2014*, International Society for Optics et Photonics, t. 9060, SPIE, 2014, 90600G. DOI : [10.1117/12.2044808](https://doi.org/10.1117/12.2044808).
- [4] A. GALLIVANONI, I. RECH et M. GHIONI, « Progress in Quenching Circuits for Single Photon Avalanche Diodes, » *IEEE Transactions on Nuclear Science*, t. 57, n° 6, p. 3815-3826, 2010. DOI : [10.1109/TNS.2010.2074213](https://doi.org/10.1109/TNS.2010.2074213).
- [5] E. CHARBON, M. FISHBURN, R. WALKER, R. K. HENDERSON et C. NICLASS, « SPAD-Based Sensors, » in *TOF Range-Imaging Cameras*, F. REMONDINO et D. STOPPA, éd. Berlin, Heidelberg : Springer Berlin Heidelberg, 2013, p. 11-38. DOI : [10.1007/978-3-642-27523-4_2](https://doi.org/10.1007/978-3-642-27523-4_2).
- [6] M. A. WAYNE, A. RESTELLI, J. C. BIENFANG et P. G. KWIAT, « Afterpulse Reduction Through Prompt Quenching in Silicon Reach-Through Single-Photon Avalanche Diodes, » *Journal of Lightwave Technology*, t. 32, n° 21, p. 4097-4103, 2014. DOI : [10.1109/JLT.2014.2346736](https://doi.org/10.1109/JLT.2014.2346736).
- [7] Y. XU, J. LU et Z. WU, « A Compact High-Speed Active Quenching and Recharging Circuit for SPAD Detectors, » *IEEE Photonics Journal*, t. 12, n° 5, p. 1-8, 2020. DOI : [10.1109/JPHOT.2020.3015872](https://doi.org/10.1109/JPHOT.2020.3015872).
- [8] G. BONANNO, M. BELLUSO, S. BILLOTTA, P. FINOCCHIARO et A. PAPPALARDO, « Geiger Avalanche Photodiodes (G-APDs) and Their Characterization, » in *Photodiodes*, Rijeka : IntechOpen, 2011, chap. 11. DOI : [10.5772/18889](https://doi.org/10.5772/18889).
- [9] H. XU, L. PANCHERI, G.-F. D. BETTA et D. STOPPA, « Design and characterization of a p+/n-well SPAD array in 150nm CMOS process, » *Opt. Express*, t. 25, n° 11, p. 12 765-12 778, 2017. DOI : [10.1364/OE.25.012765](https://doi.org/10.1364/OE.25.012765).
- [10] A. GULINATTI, I. RECH, P. MACCAGNANI, M. GHIONI et S. COVA, « Large-area avalanche diodes for picosecond time-correlated photon counting, » in *Proceedings of 35th European Solid-State Device Research Conference, 2005. ESSDERC 2005.*, 2005, p. 355-358. DOI : [10.1109/ESSDER.2005.1546658](https://doi.org/10.1109/ESSDER.2005.1546658).
- [11] C. NICLASS, M. GERSBACH, R. HENDERSON, L. GRANT et E. CHARBON, « A Single Photon Avalanche Diode Implemented in 130-nm CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 13, n° 4, p. 863-869, 2007. DOI : [10.1109/JSTQE.2007.903854](https://doi.org/10.1109/JSTQE.2007.903854).
- [12] C. VEERAPPAN et E. CHARBON, « A Low Dark Count p-i-n Diode Based SPAD in CMOS Technology, » *IEEE Transactions on Electron Devices*, t. 63, n° 1, p. 65-71, 2016. DOI : [10.1109/TED.2015.2475355](https://doi.org/10.1109/TED.2015.2475355).

- [13] N. D'ASCENZO et Q. XIE, « Possible layout solutions for the improvement of the dark rate of geiger mode avalanche structures in the GLOBALFOUNDRIES BCDLITE 0.18 m CMOS technology, » *Journal of Instrumentation*, t. 13, n° 04, T04007-T04007, 2018. DOI : [10.1088/1748-0221/13/04/t04007](https://doi.org/10.1088/1748-0221/13/04/t04007).
- [14] M. A. KARAMI, M. GERSBACH, H.-J. YOON et E. CHARBON, « A new single-photon avalanche diode in 90nm standard CMOS technology, » *Opt. Express*, t. 18, n° 21, p. 22 158-22 166, 2010. DOI : [10.1364/OE.18.022158](https://doi.org/10.1364/OE.18.022158).
- [15] G. GIUSTOLISI, R. MITA et G. PALUMBO, « Verilog-A modeling of SPAD statistical phenomena, » in *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, 2011, p. 773-776. DOI : [10.1109/ISCAS.2011.5937680](https://doi.org/10.1109/ISCAS.2011.5937680).
- [16] Q. HE, Y. XU et F. ZHAO, « An accurate simulation model for single-photon avalanche diodes including important statistical effects, » *Journal of Semiconductors*, t. 34, n° 10, p. 104 007, 2013. DOI : [10.1088/1674-4926/34/10/104007](https://doi.org/10.1088/1674-4926/34/10/104007).
- [17] Z. CHENG, X. ZHENG, D. PALUBIAK, M. J. DEEN et H. PENG, « A Comprehensive and Accurate Analytical SPAD Model for Circuit Simulation, » *IEEE Transactions on Electron Devices*, t. 63, n° 5, p. 1940-1948, 2016. DOI : [10.1109/TED.2016.2537879](https://doi.org/10.1109/TED.2016.2537879).
- [18] Y. XU, P. XIANG, X. XIE et Y. HUANG, « A new modeling and simulation method for important statistical performance prediction of single photon avalanche diode detectors, » *Semiconductor Science and Technology*, t. 31, n° 6, p. 065 024, 2016. DOI : [10.1088/0268-1242/31/6/065024](https://doi.org/10.1088/0268-1242/31/6/065024).
- [19] Y. XU, T. ZHAO et D. LI, « An accurate behavioral model for single-photon avalanche diode statistical performance simulation, » *Superlattices and Microstructures*, t. 113, p. 635-643, 2018. DOI : <https://doi.org/10.1016/j.spmi.2017.11.049>.
- [20] N. LOUKIANOVA, H. FOLKERTS, J. MAAS, D. VERBUGT, A. MIEROP, W. HOEKSTRA, E. ROKS et A. THEUWISSEN, « Leakage current modeling of test structures for characterization of dark current in CMOS image sensors, » *IEEE Transactions on Electron Devices*, t. 50, n° 1, p. 77-83, 2003. DOI : [10.1109/TED.2002.807249](https://doi.org/10.1109/TED.2002.807249).
- [21] M. GHIONI, A. GIUDICE, S. COVA et F. ZAPPA, « High-rate quantum key distribution at short wavelength : Performance analysis and evaluation of silicon single photon avalanche diodes, » *Journal of Modern Optics*, t. 50, n° 14, p. 2251-2269, 2003. DOI : [10.1080/09500340308234577](https://doi.org/10.1080/09500340308234577).
- [22] S. COVA, M. GHIONI, A. LACAITA, C. SAMORI et F. ZAPPA, « Avalanche photodiodes and quenching circuits for single-photon detection, » *Appl. Opt.*, t. 35, n° 12, p. 1956-1976, 1996. DOI : [10.1364/AO.35.001956](https://doi.org/10.1364/AO.35.001956).
- [23] B. S. MICHAEL HOFBAUER et H. ZIMMERMANN, « Temperature Dependence of Dark Count Rate and After Pulsing of a Single-Photon Avalanche Diode with an Integrated Active Quenching Circuit in 0.35 μ m CMOS, » *Journal of Sensors*, t. 2018, 2018. DOI : [10.1155/2018/9585931](https://doi.org/10.1155/2018/9585931).
- [24] I. VORNICU, F. BANDI, R. CARMONA-GALÁN et Á. RODRÍGUEZ-VÁZQUEZ, « Low-Noise and High-Efficiency Near-IR SPADs in 110nm CIS Technology, » in *ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC)*, 2019, p. 250-253. DOI : [10.1109/ESSDERC.2019.8901757](https://doi.org/10.1109/ESSDERC.2019.8901757).
- [25] Y. OUSSAITI, « Modélisation et simulation du comportement électrique et de l'efficacité d'extinction des diodes à avalanche à photon unique, » Thèse, Université Paris-Saclay, déc. 2020.

- [26] J. HU, X. XIN, X. LI, J. H. ZHAO, B. L. VANMIL, K.-K. LEW, R. L. MYERS-WARD, C. R. EDDY et D. K. GASKILL, « 4H-SiC Visible-Blind Single-Photon Avalanche Diode for Ultraviolet Detection at 280 and 350 nm, » *IEEE Transactions on Electron Devices*, t. 55, n° 8, p. 1977-1983, 2008. DOI : [10.1109/TED.2008.926669](https://doi.org/10.1109/TED.2008.926669).
- [27] H. ZHANG, L. SU, D. ZHOU, W. XU, F. REN, D. CHEN, R. ZHANG, Y. ZHENG et H. LU, « Crosstalk Analysis of SiC Ultraviolet Single Photon Avalanche Photodiode Arrays, » *IEEE Photonics Journal*, t. 11, n° 6, p. 1-8, 2019. DOI : [10.1109/JPHOT.2019.2954119](https://doi.org/10.1109/JPHOT.2019.2954119).
- [28] M. KARBALAYGHAREH, F. MIRAMIRKHANI, M. SAFARI et M. UYSAL, « Vehicular Visible Light Communications with SPAD Receivers, » in *2019 IEEE Wireless Communications and Networking Conference (WCNC)*, 2019, p. 1-5. DOI : [10.1109/WCNC.2019.8885957](https://doi.org/10.1109/WCNC.2019.8885957).
- [29] Y. LI, S. VIDEV, M. ABDALLAH, K. QARAQE, M. UYSAL et H. HAAS, « Single photon avalanche diode (SPAD) VLC system and application to downhole monitoring, » in *2014 IEEE Global Communications Conference*, 2014, p. 2108-2113. DOI : [10.1109/GLOCOM.2014.7037119](https://doi.org/10.1109/GLOCOM.2014.7037119).
- [30] C. WANG, H.-Y. YU et Y.-J. ZHU, « A Long Distance Underwater Visible Light Communication System With Single Photon Avalanche Diode, » *IEEE Photonics Journal*, t. 8, n° 5, p. 1-11, 2016. DOI : [10.1109/JPHOT.2016.2602330](https://doi.org/10.1109/JPHOT.2016.2602330).
- [31] T. BABA, Y. SUZUKI, K. MAKINO, T. FUJITA, T. HASHI, S. ADACHI, S. NAKAMURA et K. YAMAMOTO, « Development of an InGaAs SPAD 2D array for flash LIDAR, » in *Quantum Sensing and Nano Electronics and Photonics XV*, International Society for Optics et Photonics, t. 10540, SPIE, 2018, p. 105400L. DOI : [10.1117/12.2289270](https://doi.org/10.1117/12.2289270).
- [32] J. JIANG, A. D. C. MATA, S. LINDNER, E. CHARBON, M. WOLF et A. KALYANOV, « Dynamic time domain near-infrared optical tomography based on a SPAD camera, » *Biomed. Opt. Express*, t. 11, n° 10, p. 5470-5477, 2020. DOI : [10.1364/BOE.399387](https://doi.org/10.1364/BOE.399387).
- [33] J. MATA PAVIA, M. WOLF et E. CHARBON, « Single-Photon Avalanche Diode Imagers Applied to Near-Infrared Imaging, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 291-298, 2014. DOI : [10.1109/JSTQE.2014.2313983](https://doi.org/10.1109/JSTQE.2014.2313983).
- [34] E. VAN SIELEGHEM, A. SÜSS, P. BOULENC, J. LEE, G. KARVE, K. DE MUNCK, C. CAVACO et C. VAN HOOF, « A Near-Infrared Enhanced Silicon Single-Photon Avalanche Diode With a Spherically Uniform Electric Field Peak, » *IEEE Electron Device Letters*, t. 42, n° 6, p. 879-882, 2021. DOI : [10.1109/LED.2021.3070691](https://doi.org/10.1109/LED.2021.3070691).
- [35] J. M. PAVIA, M. SCANDINI, S. LINDNER, M. WOLF et E. CHARBON, « A 1×400 Backside-Illuminated SPAD Sensor With 49.7 ps Resolution, 30 pJ/Sample TDCs Fabricated in 3D CMOS Technology for Near-Infrared Optical Tomography, » *IEEE Journal of Solid-State Circuits*, t. 50, n° 10, p. 2406-2418, 2015. DOI : [10.1109/JSSC.2015.2467170](https://doi.org/10.1109/JSSC.2015.2467170).
- [36] F. CECCARELLI, G. ACCONCIA, A. GULINATTI, M. GHIONI, I. RECH et R. OSELLAME, « Recent Advances and Future Perspectives of Single-Photon Avalanche Diodes for Quantum Photonics Applications, » *Advanced Quantum Technologies*, t. 4, n° 2, p. 2000 102, 2021. DOI : <https://doi.org/10.1002/qute.202000102>.
- [37] V. SAVUSKAN, I. BROUK, M. JAVITT et Y. NEMIROVSKY, « An Estimation of Single Photon Avalanche Diode (SPAD) Photon Detection Efficiency (PDE) Nonuniformity, » *IEEE Sensors Journal*, t. 13, n° 5, p. 1637-1640, 2013. DOI : [10.1109/JSEN.2013.2240154](https://doi.org/10.1109/JSEN.2013.2240154).

- [38] K. MORIMOTO et E. CHARBON, « High fill-factor miniaturized SPAD arrays with a guard-ring-sharing technique, » *Opt. Express*, t. 28, p. 13 068-13 080, 2020. DOI : [10.1364/OE.389216](https://doi.org/10.1364/OE.389216).
- [39] G. JEGANNATHAN, T. VAN DEN DRIES et M. KUIJK, « Current-Assisted SPAD with Improved p-n Junction and Enhanced NIR Performance, » *Sensors*, t. 20, n° 24, 2020, ISSN : 1424-8220. DOI : [10.3390/s20247105](https://doi.org/10.3390/s20247105).
- [40] C. VEERAPPAN et E. CHARBON, « CMOS SPAD Based on Photo-Carrier Diffusion Achieving PDP > 40% From 440 to 580 nm at 4 V Excess Bias, » *IEEE Photonics Technology Letters*, t. 27, n° 23, p. 2445-2448, 2015. DOI : [10.1109/LPT.2015.2468067](https://doi.org/10.1109/LPT.2015.2468067).
- [41] M. BUTTAFAVA, G. BOSO, A. RUGGERI, A. DALLA MORA et A. TOSI, « Time-gated single-photon detection module with 110 ps transition time and up to 80 MHz repetition rate, » *Review of Scientific Instruments*, t. 85, n° 8, p. 083 114, 2014. DOI : [10.1063/1.4893385](https://doi.org/10.1063/1.4893385).
- [42] M. J. HSU, H. FINKELSTEIN et S. C. ESENER, « A CMOS STI-Bound Single-Photon Avalanche Diode With 27-ps Timing Resolution and a Reduced Diffusion Tail, » *IEEE Electron Device Letters*, t. 30, n° 6, p. 641-643, 2009. DOI : [10.1109/LED.2009.2019974](https://doi.org/10.1109/LED.2009.2019974).
- [43] F. SUN, Y. XU, Z. WU et J. ZHANG, « A Simple Analytic Modeling Method for SPAD Timing Jitter Prediction, » *IEEE Journal of the Electron Devices Society*, t. 7, p. 261-267, 2019. DOI : [10.1109/JEDS.2019.2895151](https://doi.org/10.1109/JEDS.2019.2895151).
- [44] P. W. R. CONNOLLY, X. REN, A. MCCARTHY, H. MAI, F. VILLA, A. J. WADDIE, M. R. TAGHIZADEH, A. TOSI, F. ZAPPA, R. K. HENDERSON et G. S. BULLER, « High concentration factor diffractive microlenses integrated with CMOS single-photon avalanche diode detector arrays for fill-factor improvement, » *Appl. Opt.*, t. 59, n° 14, p. 4488-4498, 2020. DOI : [10.1364/AO.388993](https://doi.org/10.1364/AO.388993).
- [45] S. DONATI, G. MARTINI et E. RANDONE, « Improving Photodetector Performance by Means of Microoptics Concentrators, » *J. Lightwave Technol.*, t. 29, n° 5, p. 661-665, 2011. DOI : [10.1109/JLT.2010.2103302](https://doi.org/10.1109/JLT.2010.2103302).
- [46] I. GYONGY, A. DAVIES, B. GALLINET, N. A. DUTTON, R. R. DUNCAN, C. RICKMAN, R. K. HENDERSON et P. A. DALGARNO, « Cylindrical microlensing for enhanced collection efficiency of small pixel SPAD arrays in single-molecule localisation microscopy, » *Opt. Express*, t. 26, n° 3, p. 2280-2291, 2018. DOI : [10.1364/OE.26.002280](https://doi.org/10.1364/OE.26.002280).
- [47] G. INTERMITE, R. E. WARBURTON, A. MCCARTHY, X. REN, F. VILLA, A. J. WADDIE, M. R. TAGHIZADEH, Y. ZOU, F. ZAPPA, A. TOSI et G. S. BULLER, « Enhancing the fill-factor of CMOS SPAD arrays using microlens integration, » in *Photon Counting Applications 2015*, International Society for Optics et Photonics, t. 9504, SPIE, 2015, 95040J. DOI : [10.1117/12.2178950](https://doi.org/10.1117/12.2178950).
- [48] S. LINDNER, S. PELLEGRINI, Y. HENRION, B. RAE, M. WOLF et E. CHARBON, « A High-PDE, Backside-Illuminated SPAD in 65/40-nm 3D IC CMOS Pixel With Cascoded Passive Quenching and Active Recharge, » *IEEE Electron Device Letters*, t. 38, n° 11, p. 1547-1550, 2017. DOI : [10.1109/LED.2017.2755989](https://doi.org/10.1109/LED.2017.2755989).
- [49] S. JAHROMI et J. KOSTAMOVARA, « Timing and probability of crosstalk in a dense CMOS SPAD array in pulsed TOF applications, » *Opt. Express*, t. 26, n° 16, p. 20 622-20 632, 2018. DOI : [10.1364/OE.26.020622](https://doi.org/10.1364/OE.26.020622).

- [50] N. AHMED, F. ROY, G.-N. LU, B. MAMDY, J.-P. CARRERE, A. TOURNIER, N. VIROLLET, C. PERROT, M. RIVOIRE, A. SEIGNARD, D. PELLISSIER-TANON, F. LEVERD et B. ORLANDO, « MOS Capacitor Deep Trench Isolation for CMOS image sensors, » in *2014 IEEE International Electron Devices Meeting*, 2014, p. 4.1.1-4.1.4. DOI : [10.1109/IEDM.2014.7046979](https://doi.org/10.1109/IEDM.2014.7046979).
- [51] N. CALANDRI, M. SANZARO, L. MOTTA, C. SAVOIA et A. TOSI, « Optical Crosstalk in InGaAs/InP SPAD Array : Analysis and Reduction With FIB-Etched Trenches, » *IEEE Photonics Technology Letters*, t. 28, n° 16, p. 1767-1770, 2016. DOI : [10.1109/LPT.2016.2570278](https://doi.org/10.1109/LPT.2016.2570278).
- [52] M. A. KARAMI et M. ANSARIAN, « Optically triggered global shutter image sensor using single-photon avalanche diodes, » *IET Circuits, Devices & Systems*, t. 13, n° 1, p. 7-11, 2019. DOI : <https://doi.org/10.1049/iet-cds.2018.0017>.
- [53] K. ITO, Y. OTAKE, Y. KITANO, A. MATSUMOTO, J. YAMAMOTO, T. OGASAHARA, H. HIYAMA, R. NAITO, K. TAKEUCHI, T. TADA, K. TAKABAYASHI, H. NAKAYAMA, K. TATANI, T. HIRANO et T. WAKANO, « A Back Illuminated 10 μ m SPAD Pixel Array Comprising Full Trench Isolation and Cu-Cu Bonding with Over 14% PDE at 940nm, » in *2020 IEEE International Electron Devices Meeting (IEDM)*, 2020, p. 16.6.1-16.6.4. DOI : [10.1109/IEDM13553.2020.9371944](https://doi.org/10.1109/IEDM13553.2020.9371944).
- [54] I. TAKAI, H. MATSUBARA, M. SOGA, M. OHTA, M. OGAWA et T. YAMASHITA, « Single-Photon Avalanche Diode with Enhanced NIR-Sensitivity for Automotive LIDAR Systems, » *Sensors*, t. 16, n° 4, 2016. DOI : [10.3390/s16040459](https://doi.org/10.3390/s16040459).
- [55] H. AKITA, I. TAKAI, K. AZUMA, T. HATA et N. OZAKI, « An imager using 2-D single-photon avalanche diode array in 0.18- μ m CMOS for automotive LIDAR application, » in *2017 Symposium on VLSI Circuits*, 2017, p. C290-C291. DOI : [10.23919/VLSIC.2017.8008512](https://doi.org/10.23919/VLSIC.2017.8008512).
- [56] M. S. ARA SHAWKAT, S. SAYYARPARAJU, N. MCFARLANE et G. S. ROSE, « Single Photon Avalanche Diode based Vision Sensor with On-Chip Memristive Spiking Neuromorphic Processing, » in *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2020, p. 377-380. DOI : [10.1109/MWSCAS48704.2020.9184433](https://doi.org/10.1109/MWSCAS48704.2020.9184433).
- [57] A. R. XIMENES, P. PADMANABHAN, M.-J. LEE, Y. YAMASHITA, D. N. YAUNG et E. CHARBON, « A 256 \times 256 45/65nm 3D-stacked SPAD-based direct TOF image sensor for LiDAR applications with optical polar modulation for up to 18.6dB interference suppression, » in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, 2018, p. 96-98. DOI : [10.1109/ISSCC.2018.8310201](https://doi.org/10.1109/ISSCC.2018.8310201).
- [58] K. MORIMOTO, « Megapixel SPAD Cameras for Time-Resolved Applications, » Thèse, EPFL, 2021. DOI : [10.5075/epfl-thesis-8773](https://doi.org/10.5075/epfl-thesis-8773).
- [59] S. KAWAHITO, I. A. HALIN, T. USHINAGA, T. SAWADA, M. HOMMA et Y. MAEDA, « A CMOS Time-of-Flight Range Image Sensor With Gates-on-Field-Oxide Structure, » *IEEE Sensors Journal*, t. 7, n° 12, p. 1578-1586, 2007. DOI : [10.1109/JSEN.2007.907561](https://doi.org/10.1109/JSEN.2007.907561).
- [60] F. MATTIOLI DELLA ROCCA, H. MAI, S. W. HUTCHINGS, T. A. ABBAS, K. BUCKBEE, A. TSIAMIS, P. LOMAX, I. GYONGY, N. A. W. DUTTON et R. K. HENDERSON, « A 128 \times 128 SPAD Motion-Triggered Time-of-Flight Image Sensor With In-Pixel Histogram and Column-Parallel Vision Processor, » *IEEE Journal of Solid-State Circuits*, t. 55, n° 7, p. 1762-1775, 2020. DOI : [10.1109/JSSC.2020.2993722](https://doi.org/10.1109/JSSC.2020.2993722).

- [61] S. JAHROMI, J.-P. JANSSON, P. KERÄNEN et J. KOSTAMOVAARA, « A 32×128 SPAD-257 TDC Receiver IC for Pulsed TOF Solid-State 3-D Imaging, » *IEEE Journal of Solid-State Circuits*, t. 55, n° 7, p. 1960-1970, 2020. DOI : [10.1109/JSSC.2020.2970704](https://doi.org/10.1109/JSSC.2020.2970704).
- [62] R. M. FIELD, S. REALOV et K. L. SHEPARD, « A 100 fps, Time-Correlated Single-Photon-Counting-Based Fluorescence-Lifetime Imager in 130 nm CMOS, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 4, p. 867-880, 2014. DOI : [10.1109/JSSC.2013.2293777](https://doi.org/10.1109/JSSC.2013.2293777).
- [63] M. POPLATEEVA, K. T. HAAS, D. STOPPA, L. PANCHERI, L. GASPARINI, C. F. KAMINSKI, L. D. CASSIDY, A. R. VENKITARAMAN et A. ESPOSITO, « Fast and simple spectral FLIM for biochemical and medical imaging, » *Opt. Express*, t. 23, n° 18, p. 23 511-23 525, 2015. DOI : [10.1364/OE.23.023511](https://doi.org/10.1364/OE.23.023511).
- [64] Y. MARUYAMA et E. CHARBON, « An all-digital, time-gated 128X128 spad array for on-chip, filter-less fluorescence detection, » in *2011 16th International Solid-State Sensors, Actuators and Microsystems Conference*, 2011, p. 1180-1183. DOI : [10.1109/TRANSDUCERS.2011.5969324](https://doi.org/10.1109/TRANSDUCERS.2011.5969324).
- [65] I. GYONGY, N. CALDER, A. DAVIES, N. A. W. DUTTON, R. R. DUNCAN, C. RICKMAN, P. DALGARNO et R. K. HENDERSON, « A 256×256 , 100-*k*fps, 61% Fill-Factor SPAD Image Sensor for Time-Resolved Microscopy Applications, » *IEEE Transactions on Electron Devices*, t. 65, n° 2, p. 547-554, 2018. DOI : [10.1109/TED.2017.2779790](https://doi.org/10.1109/TED.2017.2779790).
- [66] A. C. ULKU, C. BRUSCHINI, I. M. ANTOLOVIĆ, Y. KUO, R. ANKRI, S. WEISS, X. MICHALET et E. CHARBON, « A 512×512 SPAD Image Sensor With Integrated Gating for Widefield FLIM, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 25, n° 1, p. 1-12, 2019. DOI : [10.1109/JSTQE.2018.2867439](https://doi.org/10.1109/JSTQE.2018.2867439).
- [67] N. S. SARA MOSCA Claudia Conti et P. MATOUSEK, « Spatially offset Raman spectroscopy, » *Nature Reviews Methods Primers*, t. 1, p. 21, 2021. DOI : [10.1038/s43586-021-00019-0](https://doi.org/10.1038/s43586-021-00019-0).
- [68] K. KONG, C. KENDALL, N. STONE et I. NOTINGHER, « Raman spectroscopy for medical diagnostics — From in-vitro biofluid assays to in-vivo cancer detection, » *Advanced Drug Delivery Reviews*, t. 89, p. 121-134, 2015, Pharmaceutical applications of Raman spectroscopy – from diagnosis to therapeutics. DOI : <https://doi.org/10.1016/j.addr.2015.03.009>.
- [69] J. KEKKONEN, T. TALALA, J. NISSINEN et I. NISSINEN, « On the Spectral Quality of Time-Resolved CMOS SPAD-Based Raman Spectroscopy With High Fluorescence Backgrounds, » *IEEE Sensors Journal*, t. 20, n° 9, p. 4635-4645, 2020. DOI : [10.1109/JSEN.2020.2966119](https://doi.org/10.1109/JSEN.2020.2966119).
- [70] P. MATOUSEK, M. TOWRIE, C. MA, W. M. KWOK, D. PHILLIPS, W. T. TONER et A. W. PARKER, « Fluorescence suppression in resonance Raman spectroscopy using a high-performance picosecond Kerr gate, » *Journal of Raman Spectroscopy*, t. 32, n° 12, p. 983-988, 2001. DOI : <https://doi.org/10.1002/jrs.784>.
- [71] D. V. MARTYSHKIN, R. C. AHUJA, A. KUDRIAVTSEV et S. B. MIROV, « Effective suppression of fluorescence light in Raman measurements using ultrafast time gated charge coupled device camera, » *Review of Scientific Instruments*, t. 75, n° 3, p. 630-635, 2004. DOI : [10.1063/1.1646743](https://doi.org/10.1063/1.1646743).

- [72] Y. MARUYAMA, J. BLACKSBERG et E. CHARBON, « A 1024×8 , 700-ps Time-Gated SPAD Line Sensor for Planetary Surface Exploration With Laser Raman Spectroscopy and LIBS, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 1, p. 179-189, 2014. DOI : [10.1109/JSSC.2013.2282091](https://doi.org/10.1109/JSSC.2013.2282091).
- [73] Y. XUE, W. CHEN, S. WANG, Z. YIN, L. SHI et Z. HAN, « Airborne quantum key distribution : a review, » *Chin. Opt. Lett.*, t. 19, n° 12, p. 122702, 2021. adresse : <http://opg.optica.org/col/abstract.cfm?URI=col-19-12-122702>.
- [74] V. MICHÁLEK, I. PROCHÁZKA et J. BLAŽEJ, « Twenty Years of Rad-Hard K14 SPAD in Space Projects, » *Sensors*, t. 15, n° 8, p. 18178-18196, 2015. DOI : [10.3390/s150818178](https://doi.org/10.3390/s150818178).
- [75] M.-J. LEE et E. CHARBON, « Progress in single-photon avalanche diode image sensors in standard CMOS : From two-dimensional monolithic to three-dimensional-stacked technology, » *Japanese Journal of Applied Physics*, t. 57, n° 10, 1002A3, 2018. DOI : [10.7567/JJAP.57.1002A3](https://doi.org/10.7567/JJAP.57.1002A3).
- [76] J. RHIM, X. ZENG, Z. HUANG, S. R. CHALAMALASETTI, M. FIORENTINO, R. BEAUSOLEIL et M.-J. LEE, « Monolithically-Integrated Single-Photon Avalanche Diode in a Zero-Change Standard CMOS Process for Low-Cost and Low-Voltage LiDAR Application, » *Instruments*, t. 3, n° 2, 2019. DOI : [10.3390/instruments3020033](https://doi.org/10.3390/instruments3020033). adresse : <https://www.mdpi.com/2410-390X/3/2/33>.
- [77] W. JIANG, Y. CHALICH, R. SCOTT et M. J. DEEN, « Time-Gated and Multi-Junction SPADs in Standard 65 nm CMOS Technology, » *IEEE Sensors Journal*, t. 21, n° 10, p. 12092-12103, 2021. DOI : [10.1109/JSEN.2021.3063319](https://doi.org/10.1109/JSEN.2021.3063319).
- [78] S. PELLEGRINI, B. RAE, A. PINGAULT, D. GOLANSKI, S. JOUAN, C. LAPEYRE et B. MAMDY, « Industrialised SPAD in 40 nm technology, » in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 16.5.1-16.5.4. DOI : [10.1109/IEDM.2017.8268404](https://doi.org/10.1109/IEDM.2017.8268404).
- [79] P. SUN, B. MIMOUN, E. CHARBON et R. ISHIHARA, « A flexible ultra-thin-body SOI single-photon avalanche diode, » in *2013 IEEE International Electron Devices Meeting*, 2013, p. 11.1.1-11.1.4. DOI : [10.1109/IEDM.2013.6724606](https://doi.org/10.1109/IEDM.2013.6724606).
- [80] M.-J. LEE, P. SUN et E. CHARBON, « A first single-photon avalanche diode fabricated in standard SOI CMOS technology with a full characterization of the device, » *Opt. Express*, t. 23, n° 10, p. 13200-13209, 2015. DOI : [10.1364/OE.23.013200](https://doi.org/10.1364/OE.23.013200).
- [81] M.-J. LEE, P. SUN, G. PANDRAUD, C. BRUSCHINI et E. CHARBON, « First Near-Ultraviolet and Blue-Enhanced Backside-Illuminated Single-Photon Avalanche Diode Based on Standard SOI CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 25, n° 5, p. 1-6, 2019. DOI : [10.1109/JSTQE.2019.2918930](https://doi.org/10.1109/JSTQE.2019.2918930).
- [82] M.-J. LEE, A. R. XIMENES, P. PADMANABHAN, T.-J. WANG, K.-C. HUANG, Y. YAMASHITA, D.-N. YAUNG et E. CHARBON, « High-Performance Back-Illuminated Three-Dimensional Stacked Single-Photon Avalanche Diode Implemented in 45-nm CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 24, n° 6, p. 1-9, 2018. DOI : [10.1109/JSTQE.2018.2827669](https://doi.org/10.1109/JSTQE.2018.2827669).
- [83] E. CHARBON, C. BRUSCHINI et M.-J. LEE, « 3D-Stacked CMOS SPAD Image Sensors : Technology and Applications, » in *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2018, p. 1-4. DOI : [10.1109/ICECS.2018.8617983](https://doi.org/10.1109/ICECS.2018.8617983).

- [84] A. M. WALLACE, A. HALIMI et G. S. BULLER, « Full Waveform LiDAR for Adverse Weather Conditions, » *IEEE Transactions on Vehicular Technology*, t. 69, n° 7, p. 7064-7077, 2020. DOI : [10.1109/TVT.2020.2989148](https://doi.org/10.1109/TVT.2020.2989148).
- [85] R. BIRD, R. HULSTROM et L. LEWIS, « Terrestrial solar spectral data sets, » *Solar Energy*, t. 30, n° 6, p. 563-573, 1983. DOI : [https://doi.org/10.1016/0038-092X\(83\)90068-3](https://doi.org/10.1016/0038-092X(83)90068-3).
- [86] R. TOBIN, A. HALIMI, A. MCCARTHY, P. J. SOAN et G. S. BULLER, « Robust real-time 3D imaging of moving scenes through atmospheric obscurant using single-photon LiDAR, » *Scientific Reports*, 2021. DOI : [10.1038/s41598-021-90587-8](https://doi.org/10.1038/s41598-021-90587-8).
- [87] G. S. BULLER, S. J. FANCEY, J. S. MASSA, A. C. WALKER, S. COVA et A. LACAITA, « Time-resolved photoluminescence measurements of InGaAs/InP multiple-quantum-well structures at 1.3- μm wavelengths by use of germanium single-photon avalanche photodiodes, » *Appl. Opt.*, t. 35, n° 6, p. 916-921, 1996. DOI : [10.1364/AO.35.000916](https://doi.org/10.1364/AO.35.000916).
- [88] A. LACAITA, P. A. FRANCESE, F. ZAPPA et S. COVA, « Single-photon detection beyond 1 μm : performance of commercially available germanium photodiodes, » *Appl. Opt.*, t. 33, n° 30, p. 6902-6918, 1994. DOI : [10.1364/AO.33.006902](https://doi.org/10.1364/AO.33.006902).
- [89] Z. LU, Y. KANG, C. HU, Q. ZHOU, H.-D. LIU et J. C. CAMPBELL, « Geiger-Mode Operation of Ge-on-Si Avalanche Photodiodes, » *IEEE Journal of Quantum Electronics*, t. 47, n° 5, p. 731-735, 2011. DOI : [10.1109/JQE.2011.2110637](https://doi.org/10.1109/JQE.2011.2110637).
- [90] R. E. WARBURTON, G. INTERMITE, M. MYRONOV, P. ALLRED, D. R. LEADLEY, K. GALLACHER, D. J. PAUL, N. J. PILGRIM, L. J. M. LEVER, Z. IKONIC, R. W. KELSALL, E. HUANTE-CERÓN, A. P. KNIGHTS et G. S. BULLER, « Ge-on-Si Single-Photon Avalanche Diode Detectors : Design, Modeling, Fabrication, and Characterization at Wavelengths 1310 and 1550 nm, » *IEEE Transactions on Electron Devices*, t. 60, n° 11, p. 3807-3813, 2013. DOI : [10.1109/TED.2013.2282712](https://doi.org/10.1109/TED.2013.2282712).
- [91] N. J. D. MARTINEZ, M. GEHL, C. T. DEROSE, A. L. STARBUCK, A. T. POMERENE, A. L. LENTINE, D. C. TROTTER et P. S. DAVIDS, « Single photon detection in a waveguide-coupled Ge-on-Si lateral avalanche photodiode, » *Opt. Express*, t. 25, p. 16 130-16 139, 2017. DOI : [10.1364/OE.25.016130](https://doi.org/10.1364/OE.25.016130).
- [92] P. VINES, K. KUZMENKO, J. KIRDODA, D. C. S. DUMAS, M. M. MIRZA, R. W. MILLAR, D. J. PAUL et G. S. BULLER, « High performance planar germanium-on-silicon single-photon avalanche diode detectors, » *Nature Communications*, t. 10, 2019. DOI : [10.1038/s41467-019-08830-w](https://doi.org/10.1038/s41467-019-08830-w).
- [93] A. TOSI, F. ACERBI, M. ANTI et F. ZAPPA, « InGaAs/InP SPAD with improved structure for sharp timing response, » in *2012 International Electron Devices Meeting*, 2012, p. 24.4.1-24.4.4. DOI : [10.1109/IEDM.2012.6479095](https://doi.org/10.1109/IEDM.2012.6479095).
- [94] M. ZHOU, W. WANG, H. QU, H. HAN, Y. ZHU, Z. GUO, L. GUI, X. WANG et W. LU, « InGaAsP/InP single photon avalanche diodes with ultra-high photon detection efficiency, » *Optical and Quantum Electronics*, t. 52, 2020. DOI : [10.1007/s11082-020-02422-5](https://doi.org/10.1007/s11082-020-02422-5).

- [95] S. SHIMADA, Y. OTAKE, S. YOSHIDA, S. ENDO, R. NAKAMURA, H. TSUGAWA, T. OGITA, T. OGASAHARA, K. YOKOCHI, Y. INOUE, K. TAKABAYASHI, H. MAEDA, K. YAMAMOTO, M. ONO, S. MATSUMOTO, H. HIYAMA et T. WAKANO, « A Back Illuminated 6 μm SPAD Pixel Array with High PDE and Timing Jitter Performance, » in *2021 IEEE International Electron Devices Meeting (IEDM)*, 2021, p. 20.1.1-20.1.4. DOI : [10.1109/IEDM19574.2021.9720639](https://doi.org/10.1109/IEDM19574.2021.9720639).
- [96] K. MORIMOTO, J. IWATA, M. SHINOHARA, H. SEKINE, A. ABDELGHAFAR, H. TSUCHIYA, Y. KURODA, K. TOJIMA, W. ENDO, Y. MAEHASHI, Y. OTA, T. SASAGO, S. MAEKAWA, S. HIKOSAKA, T. KANOU, A. KATO, T. TEZUKA, S. YOSHIZAKI, T. OGAWA, K. UEHIRA, A. EHARA, F. INUI, Y. MATSUNO, K. SAKURAI et T. ICHIKAWA, « 3.2 Megapixel 3D-Stacked Charge Focusing SPAD for Low-Light Imaging and Depth Sensing, » in *2021 IEEE International Electron Devices Meeting (IEDM)*, 2021, p. 20.2.1-20.2.4. DOI : [10.1109/IEDM19574.2021.9720605](https://doi.org/10.1109/IEDM19574.2021.9720605).
- [97] D. JACQUET, F. HASBANI, P. FLATRESSE, R. WILSON, F. ARNAUD, G. CESANA, T. DI GILIO, C. LECOCQ, T. ROY, A. CHHABRA, C. GROVER, O. MINEZ, J. UGINET, G. DURIEU, C. ADOBATI, D. CASALOTTO, F. NYER, P. MENUT, A. CATHELIN, I. VONGSAVADY et P. MAGARSHACK, « A 3 GHz Dual Core Processor ARM Cortex TM -A9 in 28 nm UTBB FD-SOI CMOS With Ultra-Wide Voltage Range and Energy Efficiency Optimization, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 4, p. 812-826, 2014. DOI : [10.1109/JSSC.2013.2295977](https://doi.org/10.1109/JSSC.2013.2295977).
- [98] M. M. VIGNETTI, « Development of a 3D Silicon Coincidence Avalanche Detector (3D-SiCAD) for charged particle tracking, » disponible à <http://theses.insa-lyon.fr/publication/2017LYSEI017/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2017LYSEI017, mars 2017.
- [99] T. CHAVES DE ALBUQUERQUE, « Integration of Single Photon Avalanche Diodes in Fully Depleted Silicon-on-Insulator Technology, » disponible à <http://theses.insa-lyon.fr/publication/2019LYSEI091/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2019LYSEI091, nov. 2019.
- [100] D. ISSARTEL, « Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm, » disponible à <http://theses.insa-lyon.fr/publication/2021LYSEI090/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2021LYSEI090, déc. 2021.

Chapitre 2

Amélioration de la probabilité de détection de photons de SPAD intégrées en technologie CMOS FD-SOI

Dans ce deuxième chapitre, nous allons nous focaliser sur un des critères de performances cruciaux des diodes SPAD : la Probabilité de Détection de Photons (PDP), étant définie comme la probabilité pour un photon absorbé de déclencher une avalanche. Nous allons d’abord détailler quelques approches d’amélioration de la PDP issues de la littérature. Nous présenterons ensuite la technologie CMOS FD-SOI 28nm avec ses contraintes de conception et l’historique des diodes SPAD CMOS FD-SOI développées à l’INL, afin finalement d’introduire l’approche que nous avons envisagée dans le but d’optimiser ce paramètre.

Sommaire

2.1	Différentes approches pour améliorer la PDP des diodes SPAD	54
2.1.1	Ingénierie des profils de dopage	54
2.1.2	Introduction d’une cavité faiblement résonante	57
2.1.3	Ingénierie optique par nanostructuration	61
2.2	SPAD en technologie CMOS FD-SOI 28nm	65
2.2.1	Technologie CMOS FD-SOI 28nm	65
2.2.2	SPAD intégrée en technologie CMOS FD-SOI 28nm	66
2.2.3	Contraintes de conception	67
2.2.4	Historique des cellules SPAD CMOS FD-SOI 28nm conçues à l’INL	69
2.3	Amélioration de la PDP par nanostructuration des tranchées STI	74
2.3.1	Approche théorique du réseau de diffraction 2D	74
2.3.2	Application à l’architecture SPAD CMOS FD-SOI 28nm	78
2.3.3	Méthodologie de simulation et simulateurs choisis	80
2.4	Conclusion	81
	Références	82

2.1 Différentes approches pour améliorer la PDP des diodes SPAD

2.1.1 Ingénierie des profils de dopage

L'intégration de diodes SPAD dans les technologies CMOS a eu un grand succès dès le début des années 2000, lorsque les diodes étaient intégrées dans les procédés CMOS $0,8\mu\text{m}$ [1], [2], ce qui a accéléré le développement des technologies d'imageurs à base de diodes SPAD. Depuis, la tendance vers les diodes SPAD implémentées dans les procédés CMOS submicroniques avancés a permis une meilleure résolution spatiale et un FF plus élevé. Cependant, dans ces procédés CMOS, le niveau de dopage est fréquemment élevé et le temps de recuit est réduit (jonctions peu profondes) afin d'atteindre une meilleure performance des transistors MOSFET. Comme déjà mentionné dans la section 1.4.1, ceci est défavorable pour les applications SPAD car la tension de claquage est trop faible, la densité de défauts est importante et l'épaisseur de la zone de déplétion est relativement fine, ce qui conduit au DCR élevé et à la faible sensibilité lumineuse. Les diodes en technologies d'empilement 3D fournissent une excellente solution, puisque les procédés dédiés peuvent être utilisés pour la fabrication de diodes SPAD et l'électronique associée est réalisée avec les procédés CMOS standards. Cependant, les technologies d'empilement 3D sont plus onéreuses, car elles nécessitent de concevoir des circuits plus complexes et une étape de collage entre deux wafers suivie d'un amincissement (cas de l'éclairage par la face arrière) est également requise, complexifiant encore le procédé.

2.1.1.1 Cas des SPADs intégrées dans des technologies compatibles CMOS

Une alternative est de développer les diodes SPAD CMOS de hautes performances en optimisant le profil de dopage. Les auteurs dans [3] développent les diodes SPAD dans une technologie *Bipolar-CMOS-DMOS (BCD)* 55nm et modifient légèrement le procédé de fabrication pour optimiser le profil de dopage et atteindre une meilleure PDP. Les architectures de référence (SPAD 1) et proposée (SPAD 2) sont représentées sur la figure 2.1.

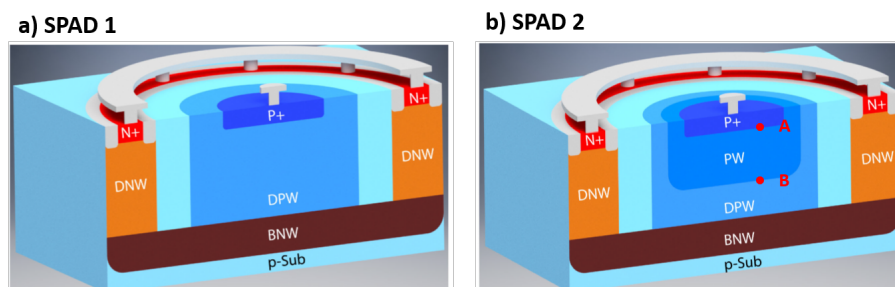


FIGURE 2.1 – a) SPAD de référence ; b) SPAD proposée dans [3]

La SPAD 1 est composée d'une jonction DPW/BNW sur un substrat p-. La seule modification de la SPAD 2 par rapport à la SPAD 1 est l'ajout d'un caisson PW entre le contact d'anode et DPW. L'ajout de ce caisson PW favorise la transition des électrons minoritaires photogénérés dans les régions de type p vers la zone de multiplication. La figure 2.2a illustre le diagramme de bande des deux versions de SPAD. Entre le point A et B, la SPAD 1 crée une légère barrière pour les électrons photogénérés, alors que dans la SPAD 2, les électrons

peuvent transiter plus facilement en direction du caisson BNW. Cette différence est en dehors de la zone de multiplication et apporte peu de modifications sur le champ électrique à travers toute la SPAD (2.2a). Elle élargit cependant grandement la zone de forte ATP (2.2b), permettant donc d'étendre la zone de collecte de photons et d'améliorer la PDP.

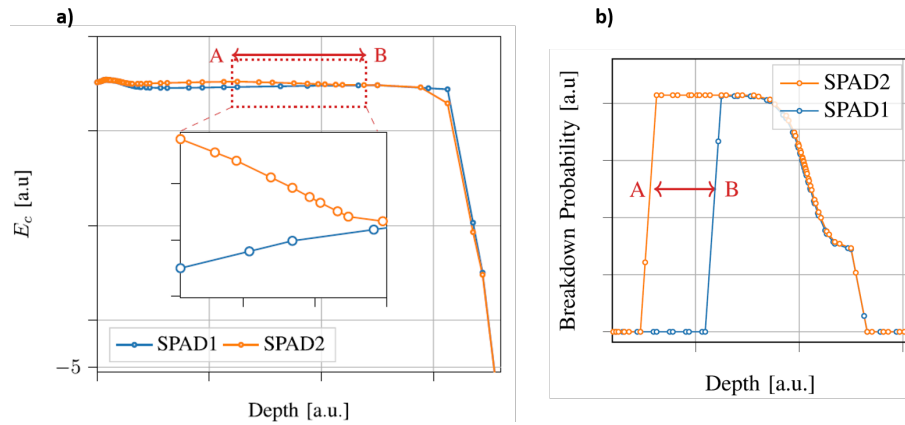


FIGURE 2.2 – a) Diagrammes de bande à $V_{ex}=5V$; b) Profil d'ATP au centre des diodes SPAD de référence et proposée de la figure 2.1 [3]

Les caractérisations en PDP des deux SPAD sont illustrées sur la figure 2.3 avec les tensions d'excès V_{ex} allant de 1V à 7V. Pour $V_{ex}=7V$, la SPAD 1 atteint un pic de PDP de 26 % à $\lambda = 580$ nm, alors que la PDP de la SPAD 2 est plus élevée sur la plage de longueur d'onde de 400-720nm avec un maximum de PDP de 62 % obtenu à $\lambda=530$ nm. Elle maintient une PDP supérieure à 19 % jusque $\lambda=800$ nm. Les auteurs ont revendiqué avoir atteint la meilleure PDP et DCR pour les SPAD implémentées dans les procédés de nœuds inférieurs à 65nm.

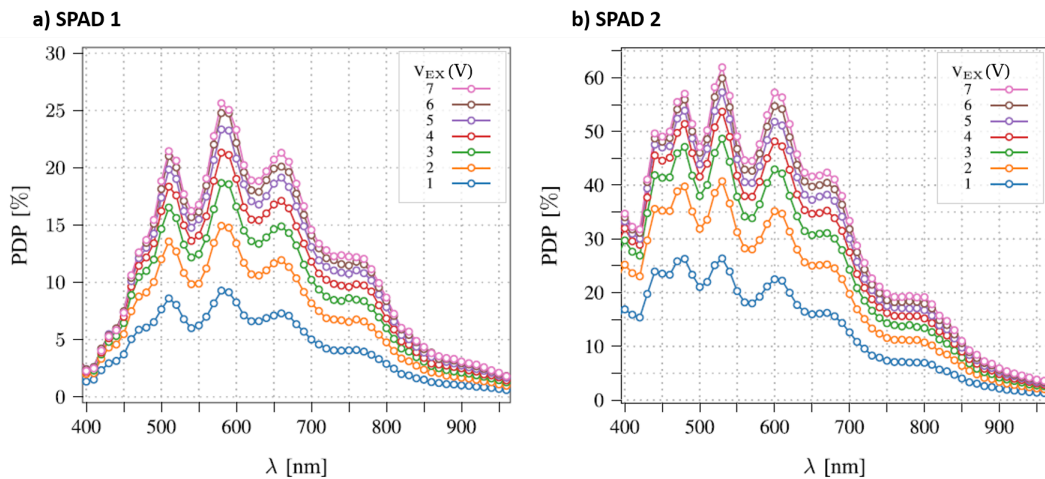


FIGURE 2.3 – Profil de PDP de la diode a) SPAD de référence; b) SPAD proposée [3]

2.1.1.2 Cas des SPAD avec procédé de fabrication dédié

En parallèle des diodes SPAD en technologies CMOS, les diodes SPAD fabriquées via les procédés dédiés font toujours l'objet de recherches. Elles peuvent se classer en deux catégories selon l'épaisseur de la zone d'absorption : SPAD épaisse et mince. La première est caractérisée par une épaisseur d'absorption de quelques dizaines de microns et assure une

absorption dans l'IR. Sa gigue temporelle est cependant plus mauvaise à cause d'une longueur de transit plus importante vers la zone de multiplication pour les porteurs photogénérés. La SPAD mince est plus performante en termes de résolution temporelle grâce à la zone d'absorption plus étroite. Par contre, sa sensibilité dans les grandes longueurs d'onde est plus mauvaise.

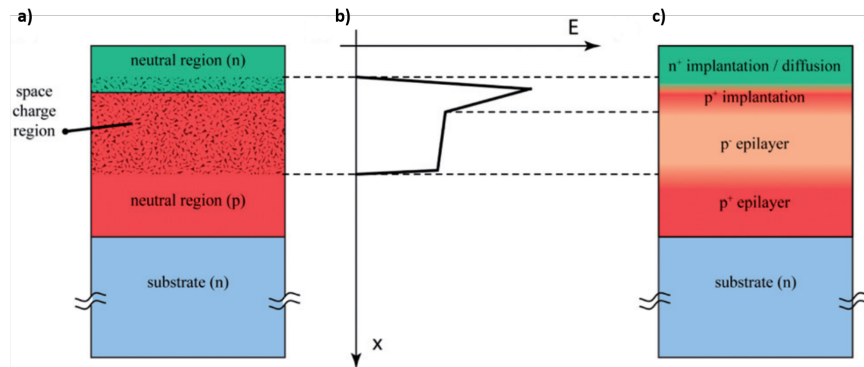


FIGURE 2.4 – a) Quatre types de régions d'un point de vue du processus de la détection de photons ; b) Profil qualitatif du champ électrique ; c) Type et niveau de dopage d'une diode SPAD mince classique [4]

Dans [4], les auteurs proposent de combiner les avantages de deux types de SPAD en utilisant l'ingénierie de profil de dopage. L'architecture proposée est basée sur une SPAD mince classique (Figure 2.4a) dont la zone de dérive dans la ZCE (Figure 2.4c : p- epilayer) est élargie afin d'augmenter la zone de collecte de porteurs photogénérés et donc d'optimiser la PDP. Ceci est d'abord réalisé par l'augmentation de la couche épitaxiale p- (Figure 2.5a). Cela accroît significativement la tension de claquage V_{BD} , calculée à 197V, ce qui n'est pas réaliste pour un détecteur compatible CMOS.

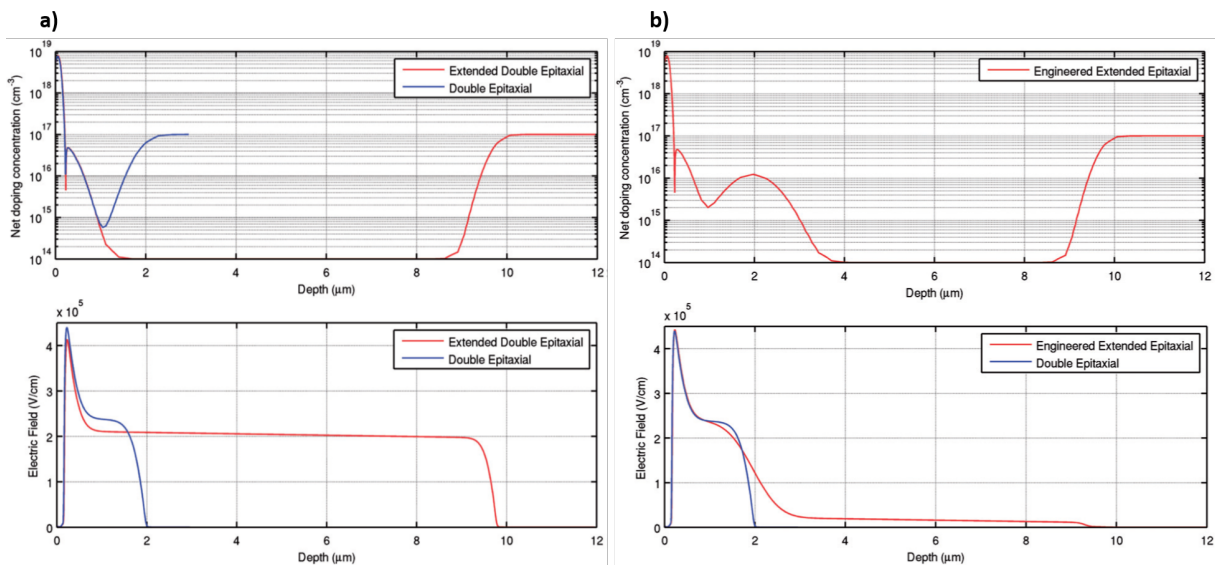


FIGURE 2.5 – Niveau de dopage (haut) et profil du champ électrique (bas) au claquage a) par l'extension simple de la couche p- ; b) par l'ajout du dopant (Bore) à une profondeur de $2\mu\text{m}$ (RE-SPAD) [4]

Pour pallier ce problème, une quantité appropriée de dopant (Bore) est ajoutée à l'interface de la zone de multiplication et de la zone de dérive, afin de réduire l'amplitude du

champ électrique dans la zone de dérive (Passage de 2×10^5 V/cm à 2×10^4 V/cm entre les figures 2.5 a et b respectivement pour les profondeurs au-delà de $3\mu\text{m}$). Cette valeur est suffisamment élevée pour accélérer les électrons minoritaires photogénérés et également suffisamment faible pour limiter la V_{BD} (Passage de 197V à 60V avec le profil de dopage de la figure 2.5b).

Avec cette ingénierie de profil de dopage, la zone de collecte de porteurs photogénérés est grandement augmentée et une meilleure PDP par rapport à la SPAD mince pour les grandes longueurs d'onde est observée. La figure 2.6 représente les courbes de PDE pour les trois types de SPAD : SPAD mince (*Thin SPAD*), SPAD mince avec ajout d'une couche p-épitaxiée et implantation de Bore (RE-SPAD, *Red Enhanced SPAD*) et SPAD épaisse (*Thick SPAD*). La RE-SPAD atteint une PDE de 40% à $\lambda = 800$ nm qui est 2,5 fois plus élevée que la SPAD mince. La SPAD épaisse présente la meilleure PDE grâce à une zone de collecte trois fois plus importante que celle de la RE-SPAD.

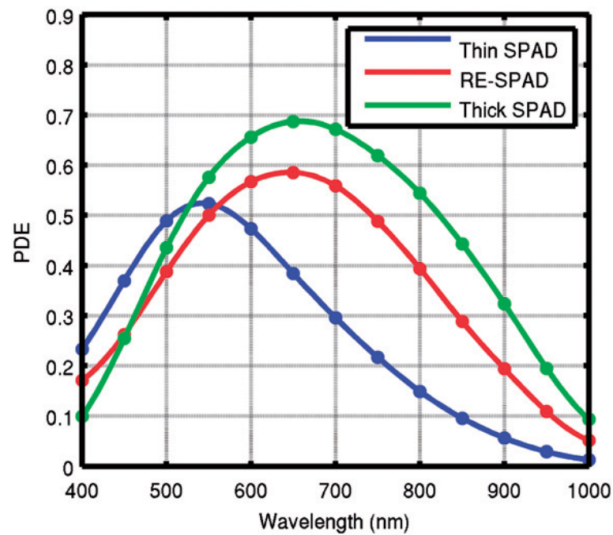


FIGURE 2.6 – Courbes expérimentales de PDE des diodes : SPAD mince, RE-SPAD et SPAD épaisse [4]

2.1.2 Introduction d'une cavité faiblement résonante

Les cavités résonantes (*RC, Résonant Cavity*) sont très utilisées dans le domaine électronique pour sélectionner une fréquence spécifique au sein d'émetteurs ou de récepteurs. Dans le cas des diodes SPAD, la cavité résonante peut jouer le rôle d'amplificateur des ondes électromagnétiques de fréquences données en confinant ces ondes électromagnétiques dans la zone d'absorption des diodes SPAD. Ceci permet donc d'augmenter la PDP sans devoir augmenter l'épaisseur de la zone d'absorption.

La première démonstration de l'utilisation de cavité résonante dans une diode SPAD (*RCE SPAD, Resonant-Cavity-Enhanced SPAD*) est réalisée par Ghioni et al. [5]. L'architecture proposée est constituée d'une jonction n+/p sur un substrat SOI avec un réflecteur de Bragg distribué (*DBR, Distributed Bragg Reflector*) à double période composé d'une couche Si confinée par deux couches SiO_2 (Figure 2.7). La cavité résonante est alors constituée par le silicium épitaxié de la couche active ($5\mu\text{m}$) qui se trouve entre le miroir de Bragg et une couche de silice superficielle de 100 nm d'épaisseur réalisant un anti-reflet (ARC). Les épaisseurs des couches Si et SiO_2 du miroir de Bragg (respectivement 174nm et 437nm) sont soigneusement choisies pour atteindre une réflectivité de 90% pour $\lambda = 850$ nm. Le substrat peut

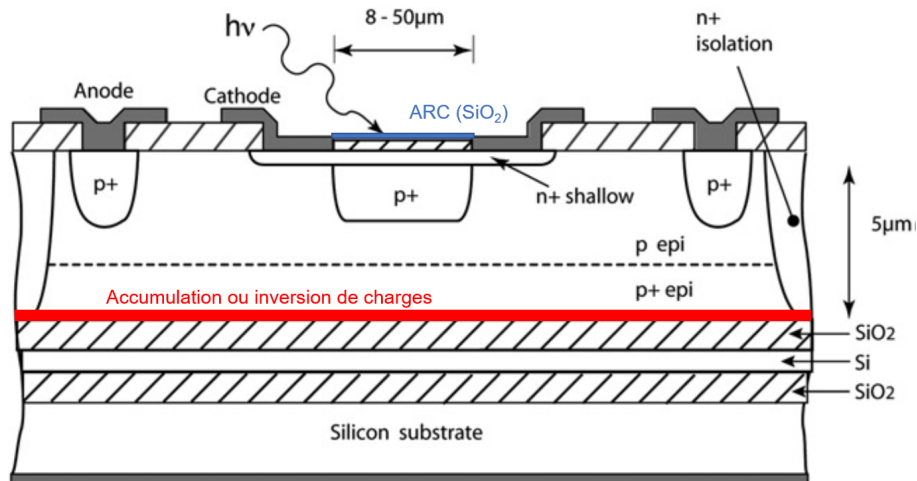


FIGURE 2.7 – Architecture d’une diode SPAD Si avec la cavité résonante développée par Ghioni et al. [5]. La couche active de $5\mu\text{m}$ en silicium constitue une cavité résonante optique délimitée par l’antireflet (ARC) en face avant et un miroir optique en bas (alternances SiO_2/Si)

se comporter comme une grille de polarisation pour induire une couche d’accumulation ou d’inversion à l’interface Si/SiO_2 . Les deux modes sont obtenus en appliquant respectivement une polarisation de -10V et $+10\text{V}$ entre le substrat et l’anode. La figure 2.8 illustre les profils de PDE des diodes SPAD avec cavité résonante fonctionnant en mode d’accumulation (*ACC RCE SPAD*) ou en mode d’inversion (*INV RCE SPAD*) et de la SPAD de référence sans le miroir (*Control*). La résonance a lieu entre 750nm et 950nm et la PDE atteint 34% à $\lambda = 850\text{nm}$ pour l’*ACC RCE SPAD* et 23% pour l’*INV RCE SPAD*, ce qui est nettement plus élevé que pour la SPAD de référence (10%).

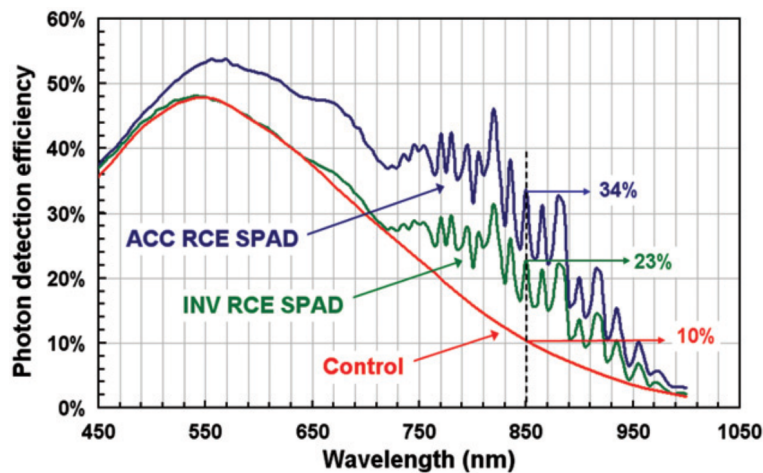


FIGURE 2.8 – Courbes expérimentales de PDE des diodes : SPAD avec cavité résonante en mode d’accumulation (*ACC RCE SPAD*), en mode d’inversion (*INV RCE SPAD*) et SPAD de référence (*Control*) [5]

La différence entre l’*ACC RCE SPAD* et l’*INV RCE SPAD* découle de comportements différents pour les porteurs minoritaires photogénérés dans la zone neutre en-dessous de la jonction $n+/p$ (Figure 2.9). Lorsque la SPAD fonctionne en mode d’inversion (Figure 2.9a), la jonction $n\text{-isolation}/p\text{+epi}$ s’étend vers la cavité résonante et se comporte comme une jonction enterrée. Les électrons minoritaires photogénérés dans la zone neutre de type p seront capturés par la jonction enterrée. Au contraire, lorsque la SPAD fonctionne en mode

d'accumulation (Figure 2.9b), il n'y a pas formation de jonction enterrée et la zone neutre de type p s'étend vers la cavité résonante. La zone de collecte est plus épaisse dans le cas de l'ACC RCE SPAD et les électrons minoritaires photogénérés peuvent être rétrodiffusés et capturés par la zone de multiplication.

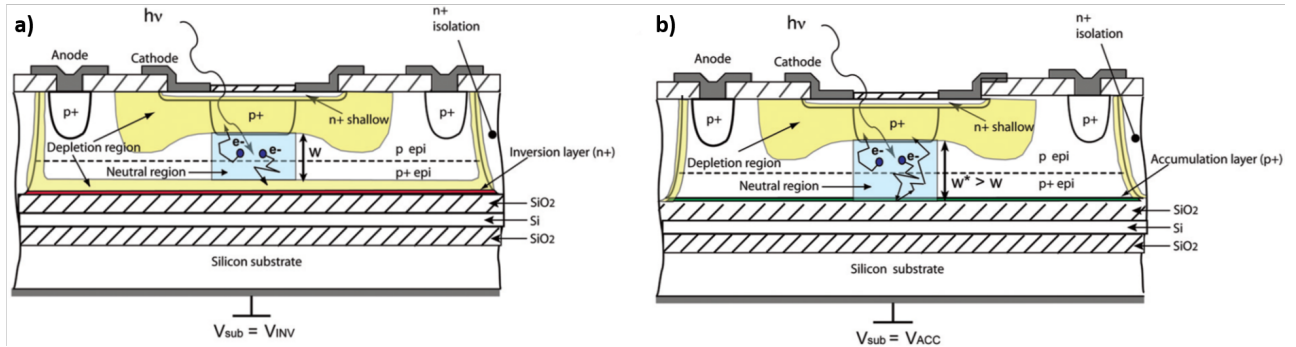


FIGURE 2.9 – SPAD avec cavité résonante a) en mode d'inversion ; b) en mode d'accumulation [5]

Dans [5], la faisabilité de diodes SPAD avec cavité résonante est prouvée expérimentalement. Cependant, les études analytiques montrant les phénomènes optiques de la cavité résonante sont manquantes. La recherche sur les diodes SPAD avec cavité résonante est poursuivie par Zavvari et al. dans le cas de SPAD en matériaux III-V [6]. Les auteurs proposent d'insérer deux cavités résonantes constituées de plusieurs paires de couches InGaAs/InAlAs au-dessus et en-dessous de la région active (Figure 2.10).

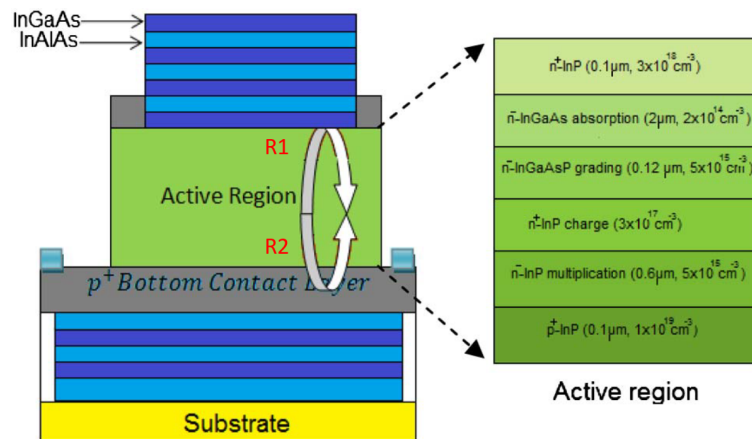


FIGURE 2.10 – Architecture d'une diode SPAD III-V avec la cavité résonante développée par Zavvari et al. [6]

La figure 2.11a montre la réflectivité pour une longueur d'onde de 1550nm en fonction du nombre de couches InGaAs/InAlAs. Une valeur de 12 paires de couches InGaAs/InAlAs est choisie pour garantir une réflectivité suffisante (90 %) et en même temps garder une bonne fiabilité lors de la fabrication. Il est ensuite prouvé que pour une réflectivité interne de 0,1 et 0,9 respectivement pour les couches de paires InGaAs/InAlAs au-dessus et en-dessous de la région active, l'efficacité quantique de la SPAD est maximale (Figure 2.11b). Cependant, sans le DBR supérieur, l'interface air/semi-conducteur engendre une réflectivité interne de 0,3, nettement supérieure à la valeur optimale : moins de photons entrent dans la cavité. Comme la figure 2.11b le montre, le DBR en face arrière permet de nettement améliorer les performances à lui seul (courbes rouge et noire). Les auteurs choisissent donc d'insérer

une couche sans DBR avec une réflectivité de 0,3 au-dessus de la région active pour leurs simulations.

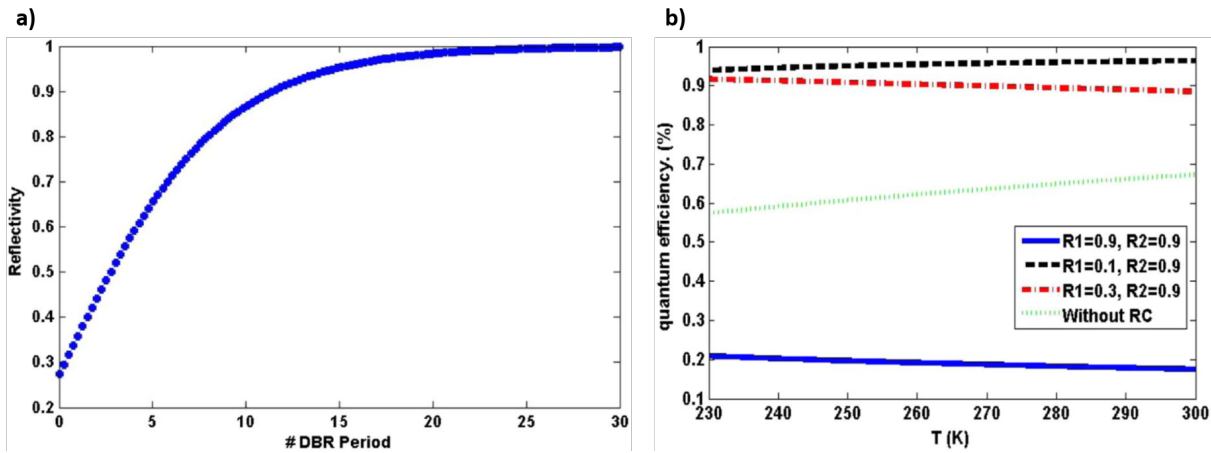


FIGURE 2.11 – a) Réflectivité en fonction du nombre de couches InGaAs/InAlAs à $\lambda=1550$ nm; b) Efficacité quantique en fonction de la température de fonctionnement pour différentes réflectivités internes supérieures (R1) et inférieures (R2) [6]

La Figure 2.12 illustre les profils simulés de l'efficacité quantique à photon unique (*SPQE*, *Single-Photon Quantum Efficiency*) des diodes SPAD avec et sans la cavité résonante en fonction de la tension d'excès relative pour différentes températures. La diode SPAD avec DBR présente un gain considérable en SPQE par rapport à la diode sans DBR.

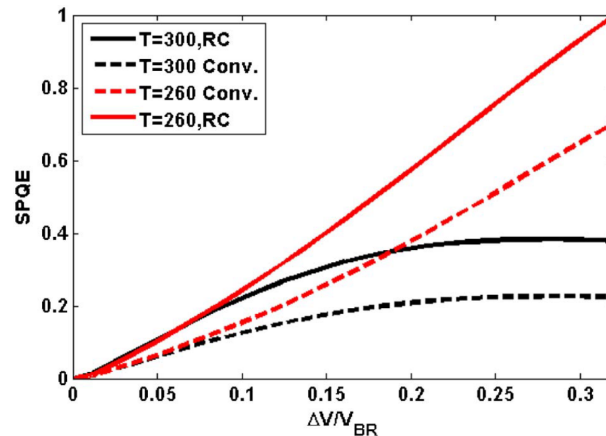


FIGURE 2.12 – Courbes simulées de SPQE des diodes de référence (Conv : conventionnelle) et avec cavité résonante (RC) en fonction de la tension d'excès relative pour différentes températures [6]

Une étude analytique similaire est faite par Chen et al. dans [7] sur une diode SPAD réalisée en GeSn sur un substrat SOI avec DBR constitué de Si/SiO₂ (Figure 2.13a). Le principe de séparation de la zone d'absorption de photons (GeSn) et de la zone de multiplication de porteurs (Si) est utilisé. Les figures 2.13b et 2.13c montrent l'efficacité d'absorption simulée de la diode SPAD en GeSn sans et avec DBR en fonction de l'épaisseur de la couche GeSn respectivement pour une longueur d'onde de 1550nm et 2000nm. Les valeurs d'efficacité d'absorption de plus de 90 % sont obtenues à des épaisseurs de GeSn spécifiques et la valeur moyenne d'efficacité d'absorption de la diode SPAD avec DBR est largement supérieure par rapport à la SPAD sans DBR. Malheureusement, les auteurs n'ont pas montré de comparaisons de SPQE entre les diodes SPAD avec (traits pleins) et sans DBR (traits discontinus).

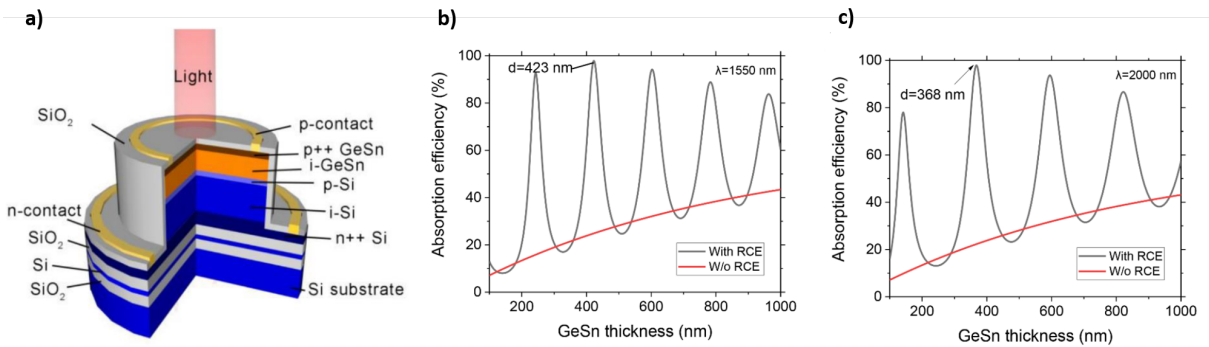


FIGURE 2.13 – a) Architecture d'une diode SPAD GeSn sur Si avec la cavité résonante développée par Chen et al. ; Efficacité d'absorption simulée sans et avec DBR en fonction de l'épaisseur de la couche GeSn à b) $\lambda=1550$ nm ; c) $\lambda=2000$ nm (RCE : *Resonant-Cavity-Enhanced*) [7]

2.1.3 Ingénierie optique par nanostructuration

Comme présentée dans la section précédente, la cavité résonante permet d'optimiser l'efficacité d'absorption sans devoir augmenter l'épaisseur de la zone de collecte de porteurs photogénérés. Cependant, la résonance se produit dans les gammes spectrales étroites, ce qui peut limiter ses applications. Il existe une autre approche permettant d'optimiser les performances de diodes SPAD : la nanostructuration. Cette approche optique est largement utilisée dans le domaine photovoltaïque pour augmenter le rendement de conversion énergétique des cellules solaires. Les diodes SPAD nanostructurées sont également investiguées dans le but d'augmenter l'efficacité d'absorption et de maintenir le faible niveau de gigue temporelle souvent présenté dans une diode SPAD de faible épaisseur.

2.1.3.1 Nanostructuration extérieure à la zone active

L'équipe de Ma et al. [8] modélise une architecture de diode SPAD en Si nanostructurée avec des nanocônes (Figure 2.14a). La diode SPAD est composée d'une jonction p-i-n avec une couche de nanocônes en Si₃N₄ au-dessus et une autre en Si en-dessous.

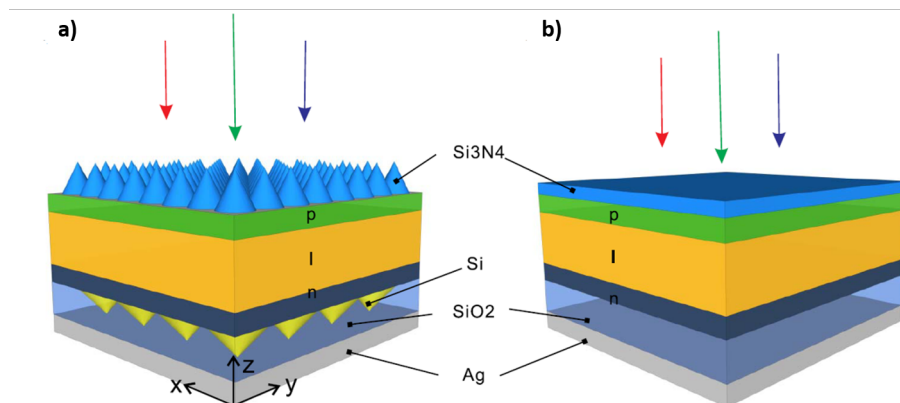


FIGURE 2.14 – a) Architecture d'une diode Si nanostructurée développée par Ma et al. ; b) SPAD de référence [8]

Les nanocônes en Si₃N₄ servent d'antireflet et les nanocônes en Si dispersent les photons incidents vers les directions latérales afin d'améliorer la distribution d'absorption dans toute la structure. Une couche en SiO₂ épaisse est insérée entre la couche de nanocônes en Si et

le miroir en Ag en bas de la structure. Cette structure est comparée à une diode SPAD de référence (Figure 2.14b) se basant sur la même jonction sans nanocônes, mais des couches homogènes de nitrure ou d'oxydes d'épaisseur optimale. Les nanocônes en Si_3N_4 sont remplacés par une couche d'antireflet pour comparaison. Les figures 2.15a et 2.15b montrent respectivement l'efficacité d'absorption simulée et l'efficacité de détection simulée ($V_{ex}=4\text{V}$) de la diode SPAD nanostructurée et de référence. La diode SPAD de référence absorbe beaucoup moins efficacement pour les grandes longueurs d'onde : par conséquent, l'efficacité de détection de la diode SPAD nanostructurée présente un gain considérable.

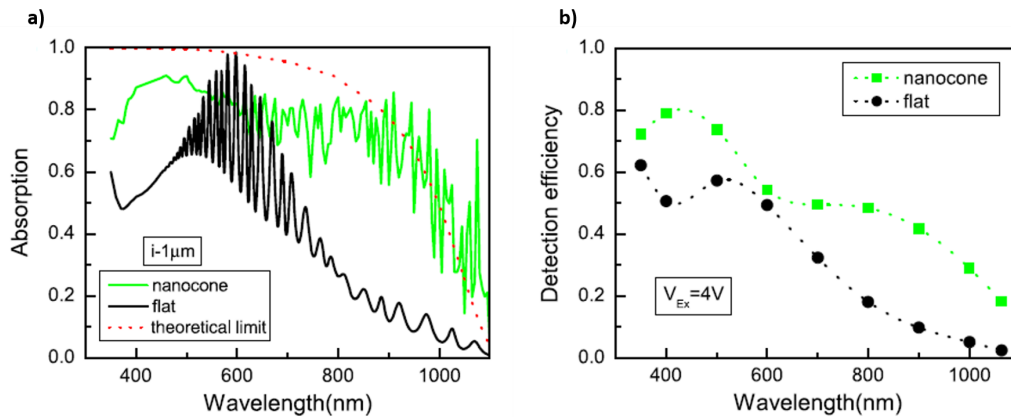


FIGURE 2.15 – a) Efficacité d'absorption simulée ; b) Efficacité de détection simulée des diodes SPAD nanostructurée et de référence [8]

2.1.3.2 Nanostructuration de la couche électriquement active

Dans [9], les auteurs s'intéressent à une diode SPAD Si nanostructurée fabriquée avec un procédé CMOS spécifique. La jonction p-i-n est épitaxiée sur un substrat SOI et la couche n+ supérieure est gravée avec des pyramides inversées. Une couche d'oxyde thermique recouvre la face supérieure et la face latérale servant de passivation et d'anneau de garde. La couche SiO_2 (Figure 2.16) du substrat SOI contribue à favoriser la réflexion en face arrière.

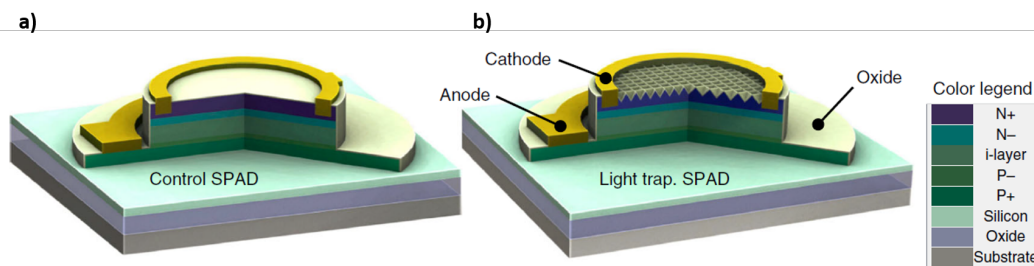


FIGURE 2.16 – a) SPAD de référence ; b) Architecture d'une diode Si nanostructurée développée par Zang et al. [9]

La figure 2.17a illustre la distribution de photons de 850nm de longueur d'onde simulée en considérant une source lumineuse Gaussienne dans 3 cas différents : SPAD de référence sur un substrat SOI, SPAD nanostructurée sur un substrat Si et SPAD nanostructurée sur un substrat SOI. Pour le cas de la diode SPAD de référence, les photons se propagent verticalement sans changer leur direction de propagation. Dans la diode SPAD nanostructurée sur Si,

la structure permet de diffracter les photons dans le plan du silicium et d'augmenter donc l'absorption globale dans la structure. Cependant, la plupart des photons traversent la jonction et pénètrent dans le substrat en raison de l'absence de réflexion sous la couche active. La diode SPAD nanostructurée sur SOI atteint une distribution de photons plus étalée dans toute la structure grâce à une structuration qui redirige la lumière dans le plan du silicium et une couche de silice qui favorise une réflexion importante lorsque la lumière atteint cette couche avec un angle important par rapport à la normale. La figure 2.17b représente l'efficacité quantique externe mesurée (*EQE, External Quantum Efficiency*), définie comme le rapport entre le nombre de porteurs photogénérés et le nombre de photons incidents pour une longueur d'onde donnée. Grâce à la nanostructuration (courbe rouge sur la figure 2.17b), à 850 nm de longueur d'onde, une SPAD nanostructurée de $3\mu\text{m}$ d'épaisseur uniquement parvient à des performances similaires à celles de SPADs de $12\mu\text{m}$ sans structuration. A performance identique, nous pouvons donc se contenter de 4 fois moins d'épaisseur. Les figures 2.17c et 2.17d illustrent les tracés expérimentaux de PDE à $\lambda = 850\text{ nm}$ et $\lambda = 980\text{ nm}$ en fonction de la tension d'excès de la diode SPAD de référence et nanostructurée. La PDE est améliorée de 13 % à 32 % à $\lambda = 850\text{ nm}$ et de 3 % à 6.5 % à $\lambda = 980\text{ nm}$, ce qui montre le potentiel de la nanostructuration sur l'amélioration de l'efficacité de détection dans les diodes SPAD. Bien que ces améliorations soient importantes, cette diode SPAD nanostructurée n'est pas compatible avec les procédés CMOS standards et encore moins intégrée avec l'électronique associée avancée.

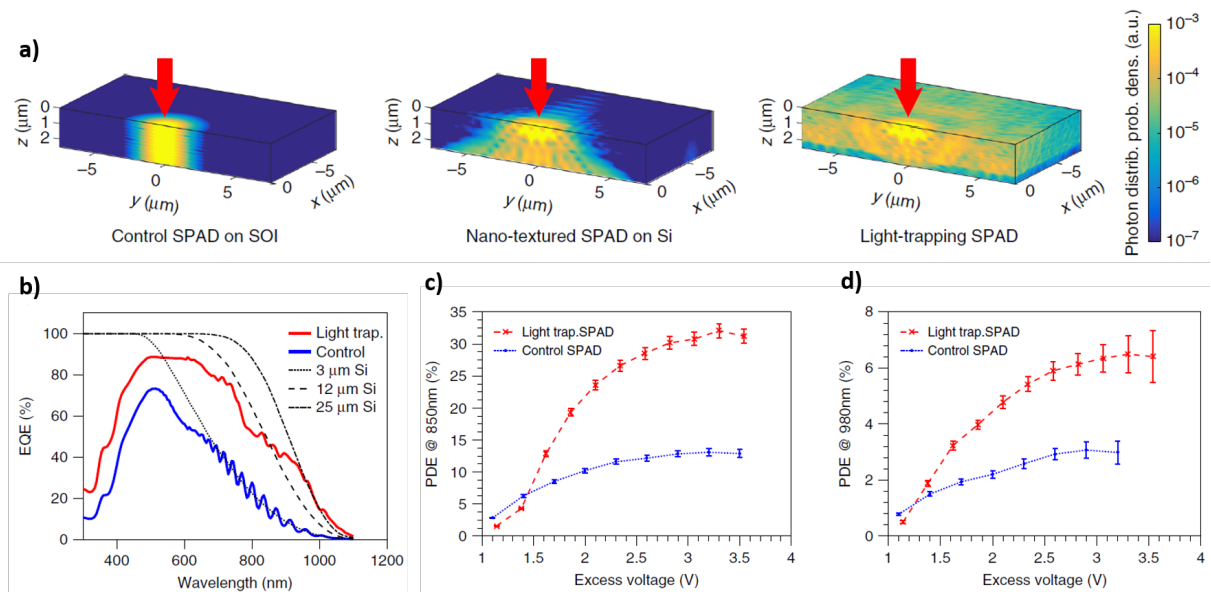


FIGURE 2.17 – a) Distribution de photons ($\lambda=850\text{ nm}$) dans la diode SPAD de référence, SPAD nanostructurée sur un substrat Si et la SPAD nanostructurée sur un substrat SOI; b) Efficacité quantique externe des mêmes diodes SPAD Si de différentes épaisseurs, SPAD de référence et SPAD nanostructurée; Tracés expérimentaux de PDE des diode SPAD de référence et nanostructurée en fonction de la tension d'excès à c) $\lambda=850\text{ nm}$; d) $\lambda=980\text{ nm}$ [9]

2.1.3.3 Nanostructuration de la couche active avec intégration CMOS

Les auteurs dans [10] réalisent une nanostructuration à l'aide de tranchées STI sur une diode SPAD Si (Figure 2.18). Des STI rectangulaires de dimensions optimales permettent de favoriser la transmission des photons et de positionner correctement les maximums d'inter-

férences dans la zone où le champ électrique et l'ATP sont intenses. Ainsi, connaître le profil de l'ATP est nécessaire afin de dimensionner la nanostructuration.

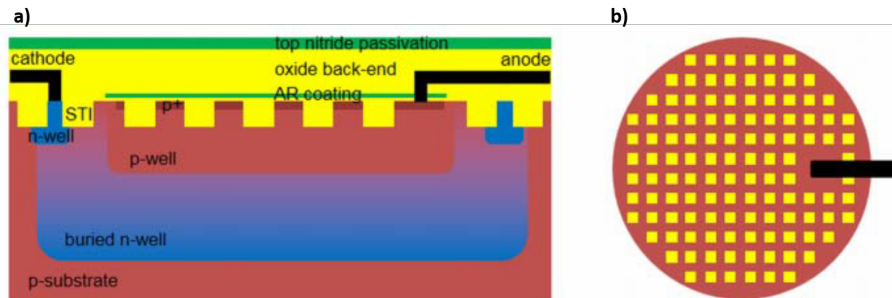


FIGURE 2.18 – a) Vue de coupe; b) vue de dessus de l'architecture d'une SPAD Si nanostructurée développée par Frey et al. [10]

La figure 2.19a montre la cartographie de gain en PDE simulée à $\lambda = 850 \text{ nm}$ par rapport à la diode SPAD de référence en fonction des dimensions latérales de la nanostructuration. Un gain maximum de 55 % est obtenu avec la géométrie A (STI/Si : 310nm/160nm). Les auteurs choisissent finalement la géométrie B (STI/Si : 425nm/305nm), car l'absorption dans la couche nanostructurée proche de l'interface Si/SiO₂ du haut est plus faible, ce qui rend la diode SPAD moins sensible aux défauts de l'interface. La figure 2.19b représente le gain en PDE simulée et caractérisée en fonction de la longueur d'onde à $V_{ex} = 0,6 \text{ V}$ pour la géométrie correspondant au point B. Le gain en PDE moyen se trouve entre 20 %-30 % et est plus faible que prévu pour plusieurs raisons. Il existe un angle de 7° par rapport à la verticale pour les flancs des motifs, rendant la forme de la nanostructuration trapézoïdale. Les couches de passivation et de BEOL (*Back-End of Line*) sont présentes dans le procédé CMOS, introduisant de multiples réflexions à la surface et à l'intérieur des couches BEOL.

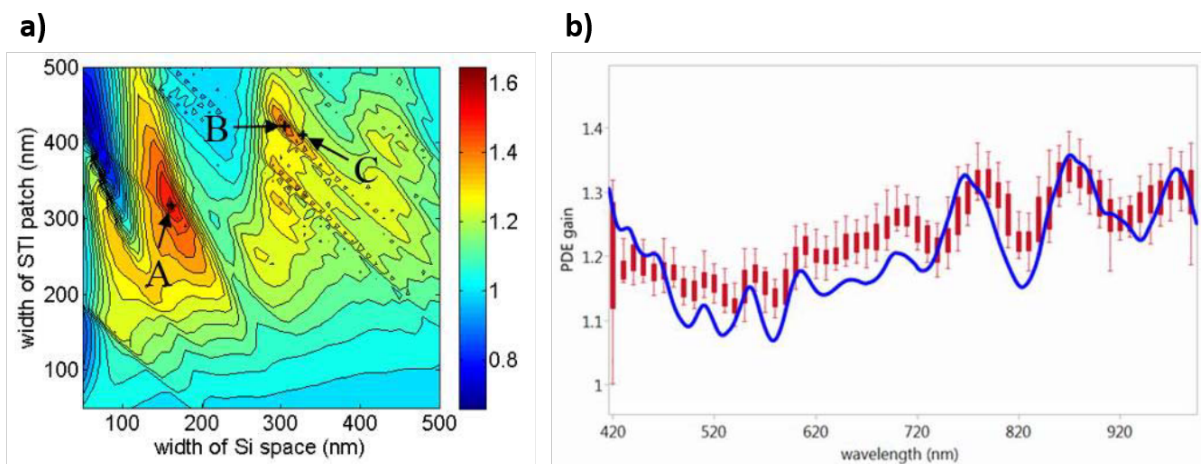


FIGURE 2.19 – a) Cartographie de gain en PDE simulée à $\lambda = 850 \text{ nm}$ par rapport à la diode SPAD de référence en fonction des dimensions latérales d'un motif de nanostructuration; b) Gain en PDE simulée (courbe bleue) et caractérisée (courbe rouge) en fonction de la longueur d'onde avec $V_{ex} = 0,6 \text{ V}$ pour la géométrie correspondant au point B [10]

2.2 SPAD en technologie CMOS FD-SOI 28nm

2.2.1 Technologie CMOS FD-SOI 28nm

Les technologies CMOS dites "Bulk" sont largement répandues dans les fabrications de dispositifs microélectroniques depuis des décennies. La réduction continue du nœud technologique qui suit la loi empirique de Moore permet de continuer à faire croître les performances des transistors. Cependant, de nouvelles problématiques sont apparues dès le nœud technologique 40nm. Les capacités parasites induites par le canal entre la source et le drain et par le thyristor parasite PNP risquent fortement de détériorer les performances des transistors. En plus, comme les transistors ne sont pas électriquement isolés du substrat, un courant de fuite apparaît, augmentant la consommation énergétique totale des transistors. Le développement des technologies CMOS SOI permet de résoudre les limitations mentionnées ci-dessus. L'intégration de la couche d'oxyde enterrée (BOX, *Buried Oxide*) (Figure 2.20a) [11]) réduit la capacité parasite entre jonctions, permettant d'améliorer la vitesse de fonctionnement des transistors et minimise le courant de fuite et donc réduit la consommation énergétique [12].

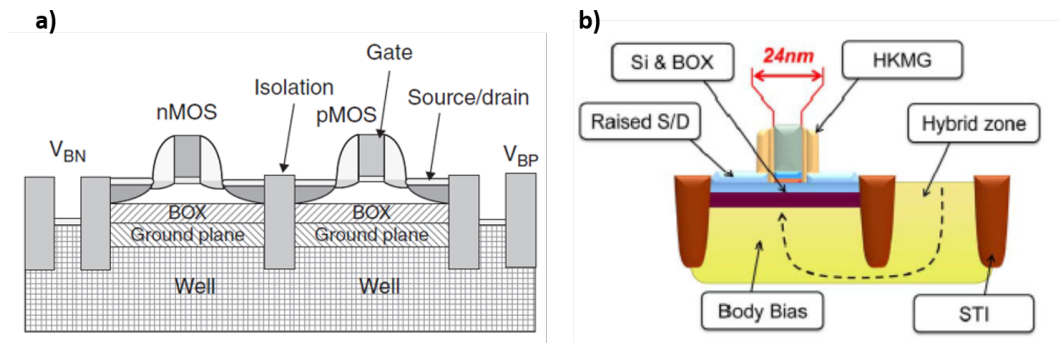


FIGURE 2.20 – a) Architecture SOI [11]; b) Polarisation du substrat dans la technologie CMOS FD-SOI 28nm [13] [14]

STMicroelectronics joue un grand rôle dans le développement des technologies CMOS SOI et propose une technologie dénommée : UTBB (*Ultra-Thin Body and Box*) CMOS FD-SOI (*Fully-Depleted SOI*). Dans ce dernier cas, les épaisseurs du film silicium et de la couche BOX sont respectivement 7nm et 25nm [15]. Le film en silicium non dopé est complètement déplété, permettant de diminuer la tension de seuil (V_{th} , *Threshold Voltage*) des transistors et de réduire davantage le courant de fuite. Ainsi, cette technologie est optimale pour les applications demandant de faible consommation d'énergie. La plus grande nouveauté de cette technologie est qu'elle permet d'ajuster la tension de seuil des transistors via la polarisation du substrat (*BB*, *Body-Biasing*) en se servant de la couche BOX comme une seconde grille (Figure 2.20b). Bien que cette technique existe déjà dans les technologies CMOS Bulk, le facteur de polarisation du substrat (*Body Factor*, défini comme le rapport entre la variation de V_{th} et la polarisation du substrat induisant cette variation) est très limité (25mV/V). Ainsi, l'ajustement de la tension de seuil des transistors dans les technologies CMOS Bulk est limité à quelques dizaines de millivolts. Cependant, la possibilité d'ajuster la tension de seuil est fortement amplifiée par le fait que les transistors sont isolés du substrat et les seules diodes parasites sont Deep-nWell/p-sub pour NMOS et p-Well/Deep-n-Well pour PMOS (Figure 2.21a). Ces diodes sont de type Zener avec une tension d'ouverture (*Opening Voltage*) d'environ 3V, étendant grandement la gamme d'ajustement (0-3V en module) [16]. L'application d'une polarisation inverse sur le substrat (*RBB*, *Reverse Body Biasing*) permet de

réduire la puissance dissipée et l'augmentation de la performance des transistors est réalisée par l'application d'une polarisation directe sur le substrat (*FBB*, *Forward Body Biasing*) [17].

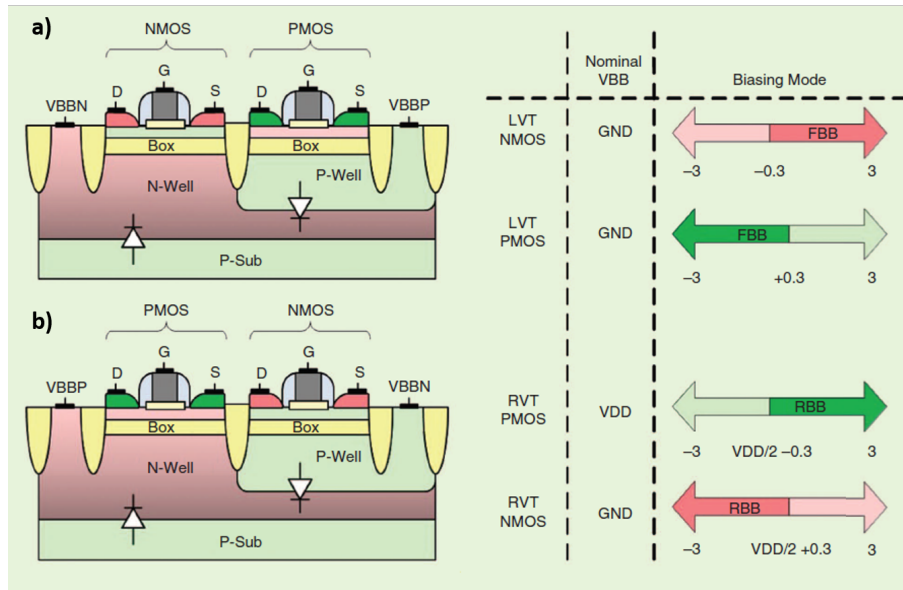


FIGURE 2.21 – a) Polarisation du substrat direct sur les transistors de faible V_{th} ; b) Polarisation du substrat inverse sur les transistors de V_{th} standard [16]

Dans cette technologie, selon le type du caisson en-dessous de la couche BOX, deux familles de transistors peuvent être distinguées : les transistors avec V_{th} standard (*RVT*, *Regular V_{th}*) et les transistors avec faible V_{th} (*LVT*, *Low V_{th}*). Les transistors RVT exploitent des types de dopage opposés dans le silicium sous le BOX, alors que les transistors LVT sont intégrés avec le même type de caisson en-dessous du BOX (*Flipped-Well*) [16]. Les transistors RVT sont toujours polarisés en mode RBB et les transistors LVT sont utilisés en mode FBB (Figure 2.21). Selon l'épaisseur de la grille primaire (Grille G sur la figure 2.21, 1,8nm par défaut et 2,8nm pour l'oxyde de grille plus épais), le facteur de polarisation du substrat varie de 85mV/V à 140mV/V. L'épaisseur plus élevée de l'oxyde de grille primaire (2,8nm) permet d'appliquer une tension de travail drain/source (V_{DS}) plus élevée ($V_{DS}=1,8V$ pour 2,8nm d'épaisseur contre 1V pour 1,8nm d'épaisseur d'oxyde de grille) [15], [18].

2.2.2 SPAD intégrée en technologie CMOS FD-SOI 28nm

L'implémentation de diode SPAD dans la technologie CMOS FD-SOI 28nm consiste à utiliser la jonction verticale p-Well/ Deep-n-Well (PW/DNW) qui se trouve en-dessous du BOX (Figure 2.22) [19]. Le caisson PW est employé pour la polarisation du substrat dans la technologie CMOS FD-SOI 28nm native. Le caisson DNW, polarisé via le caisson NW connecté à la cathode, sert à isoler le caisson PW (anode de la diode) du substrat dopé p. Le film mince de silicium au-dessus du BOX permet d'intégrer des transistors (de type NFET à V_{th} standard et PFET à faible V_{th}) qui sont isolés électriquement de la jonction PW/DNW par le BOX. Les tranchées d'oxyde (STI) sont également présentes pour isoler les différents contacts : anode, cathode et contact du substrat. L'avantage principal de l'implémentation des diodes SPAD dans la technologie CMOS FD-SOI 28nm est que l'architecture est intrinsèquement 3D et améliore grandement le FF (en considérant une illumination par la face arrière après amincissement pour la détection dans le proche infrarouge).

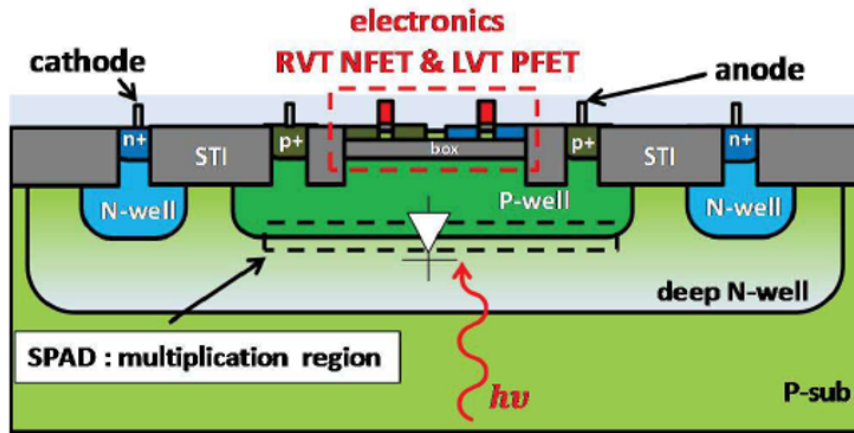


FIGURE 2.22 – Architecture de diode SPAD intégrée dans la technologie CMOS FD-SOI 28nm [19]

Pour les contacts, le caisson PW est l'anode de la diode SPAD. Dans notre choix d'implémentation, l'anode est reliée au circuit d'étouffement et de recharge (par exemple une simple résistance elle-même connectée à la masse). Le potentiel de ce nœud va donc varier suivant l'activité de la diode SPAD. Le caisson DNW est la cathode de la diode SPAD dont le contact cathode est pris via le caisson NW, car le niveau de dopage dans le DNW ne permet pas de réaliser directement un contact ohmique. La cathode est soumise à la tension $V_{BD} + V_{ex}$ pour polariser la jonction PW/DNW en inverse. Le contact du substrat est également connecté à la masse. Enfin, comme le caisson NW est plus dopé que le caisson DNW et se trouve à côté du caisson PW, le phénomène de claquage prématuré sur les bords (*PEB, Premature Edge Breakdown*) peut apparaître. La couche *BFMOAT* (caisson n rétrograde) est intégrée entre les caissons PW et NW et se comporte comme un anneau de garde (Figure 2.23).

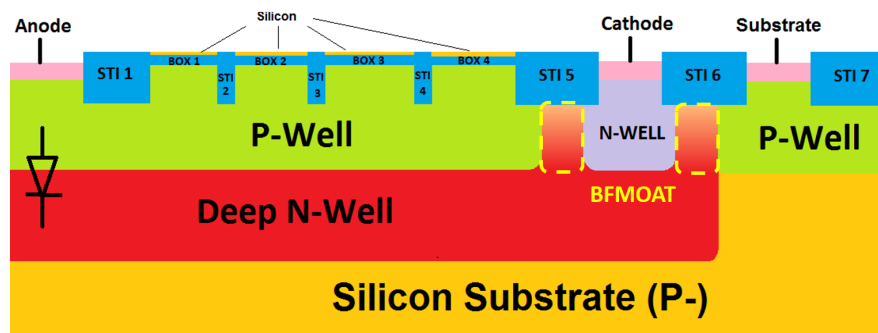


FIGURE 2.23 – Présence d'un anneau de garde entre les caissons PW et le contact NW (nommée BFMOAT)

2.2.3 Contraintes de conception

Cette thèse ne s'étant pas focalisée sur la conception des cellules SPAD, cette section expose certains éléments spécifiques et les contraintes dans la conception des cellules SPAD CMOS FD-SOI 28nm. Cela aidera à mieux comprendre les architectures des cellules SPAD développées durant la totalité du projet IPCEI/Nano2022.

Les cellules SPAD développées dans cette thèse sont conçues puis dessinées avec l'outil de conception *Cadence Virtuoso*. En ce qui nous concerne, les cellules SPAD CMOS FD-SOI 28nm

sont constituées de plusieurs couches. Nous allons présenter certaines d'entre elles tout au long de cette section. Pour faciliter la compréhension, il faut préciser que le caisson PW et l'oxyde (STI) sont présents partout par défaut. Afin de supprimer l'oxyde et mettre en place les différents caissons, les couches jouant les rôles différents sont implémentées. La couche nommée *T3* est d'abord ajoutée pour intégrer le caisson DNW. Le caisson PW (+ BOX et film silicium) est implémenté grâce à la couche *RX fillopc*. Le contact d'anode est réalisé via la couche *NW*. La couche *BFMOAT* met en place ensuite l'anneau de garde entre le PW et le contact sur le NW de l'anode. Les couches métalliques sont finalement ajoutées pour prendre les contacts de la cathode, de l'anode et du substrat. La figure 2.24 illustre les différentes couches constituant les cellules SPAD CMOS FD-SOI 28nm conçues dans *Cadence Virtuoso*.

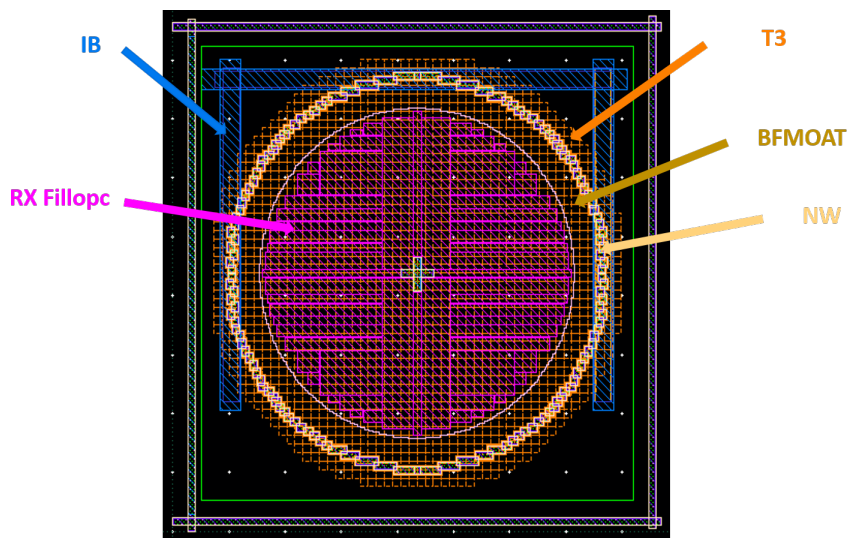


FIGURE 2.24 – Différentes couches constituant la diode SPAD CMOS FD-SOI 28nm conçue dans *Cadence Virtuoso*

Comme pour toute conception de circuit intégré, la conception des SPAD FD-SOI CMOS FD-SOI 28nm dans *Cadence Virtuoso* doit respecter les contraintes pour la fabrication liées au *PDK* (*Physical Design Kit*). Tout d'abord, les formes parfaitement circulaires sont interdites dans *Cadence Virtuoso* pour la technologie CMOS FD-SOI 28nm que nous utilisons. Concevoir des cellules avec des formes rectangulaires est défavorable, car ceci engendre les problèmes de PEB et nuit à la performance globale des diode SPAD. Les formes dites pseudo-circulaires sont ainsi réalisées. En effet, en combinant les rectangles de couches *RX fillopc*, nous pouvons dessiner les pseudo-cercles par approximation de marches d'escalier. Cependant, les rectangles de couches *RX fillopc* doivent respecter un minimum d'espacement de 70nm et les zones n'étant pas recouvertes de couches *RX fillopc* sont donc remplies par les tranchées de STI. Un minimum d'espacement de 350nm existe également entre les couches *RX fillopc* et *BFMOAT* (Figure 2.25). La zone PW termine donc par une zone sous de forme d'anneau qui n'est recouverte ni par la couche *RX fillopc*, ni par la couche *BFMOAT*.

La couche *BFMOAT* jouant le rôle d'anneau de garde a également les limites de dimensions. Deux dimensions ont été testées : $3,5\mu\text{m}$ et $5\mu\text{m}$. Les comportements électriques avec ces deux dimensions ont été expérimentalement similaires [20] et la dimension $3,5\mu\text{m}$ est choisie afin d'obtenir un meilleur FF. Dans la technologie CMOS FD-SOI 28nm disponible pour nos prototypages, huit niveaux métalliques sont disponibles pour assurer les interconnexions et le bon fonctionnement électrique des cellules SPAD. Les dimensions et les formes de ces couches métalliques et des vias associés ont été étudiées afin de minimiser les surfaces

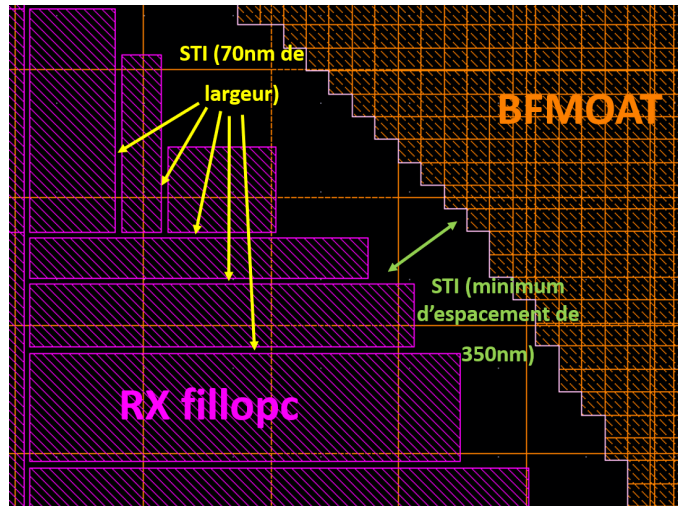


FIGURE 2.25 – Contraintes sur l’espacement entre les couches *RX fillopc* (70nm), ainsi qu’entre la couche *BFMOAT* et les couches *RX fillopc* (350nm)

occupées dans la zone active PW et ainsi augmenter le FF [20].

Par la suite, nous présenterons les architectures de diodes SPAD CMOS FD-SOI 28nm développées à l’INL avec pour but d’optimiser les différents critères de performances. Les contraintes de conception mentionnées ci-dessus ont été violées pour certaines variantes de SPAD, mais ont été acceptées pour la fabrication.

2.2.4 Historique des cellules SPAD CMOS FD-SOI 28nm conçues à l’INL

La fabrication des cellules SPAD CMOS FD-SOI 28nm a commencé pendant la thèse de Túlio Chaves de Albuquerque (2016-2019) et a continué dans la thèse de Dylan Issartel (2018-2021). Au total quatre itérations de circuit de 1mm^2 (*TC*, *Test Chip*) avec des cellules SPAD CMOS FD-SOI 28nm ont été fabriquées avant cette thèse. Le premier circuit (*TC1*) a eu pour but de vérifier la faisabilité de diodes SPAD en technologie CMOS FD-SOI 28nm et de tester différentes formes géométriques (carrée et octogonale, figure 2.26) et dimensions de l’anneau de garde des cellules ($3,5\mu\text{m}$ et $5\mu\text{m}$, évoquées dans la section précédente).

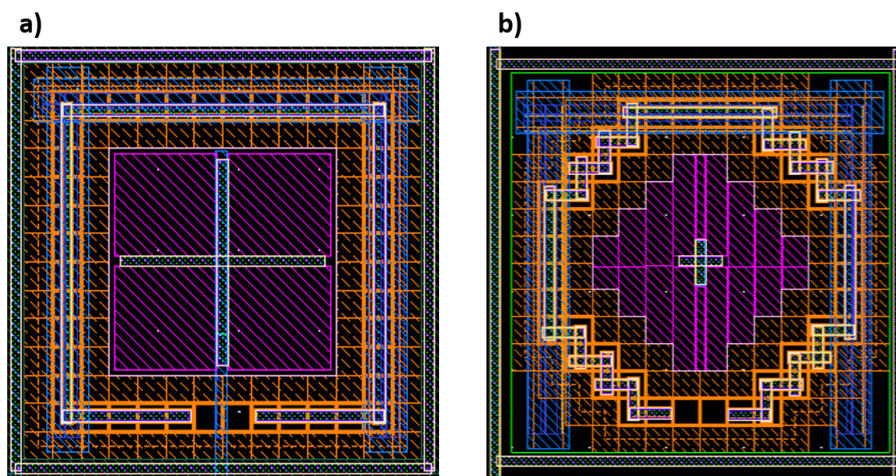


FIGURE 2.26 – a) Forme carrée ; b) Forme octogonale des cellules SPAD dans *TC1* (2017)

Toutes les cellules ont mesuré $28\mu\text{m}$ de diamètre (diamètre dessiné ce qui correspond à

environ $25\mu\text{m}$ en réalité en raison d'une réduction à la réalisation avec un coefficient 0.9). Les mesures de caractéristiques courant-tension $I(V)$ dans l'obscurité ont montré que le niveau de courant I_{dark} était dans la limite de la résolution de l'instrument de mesure. Dans le deuxième circuit (TC2, 2018), la forme pseudo-circulaire a été mise en place et a remplacé la forme carrée principalement pour minimiser les problèmes de PEB. Une modification du profil de dopage (diminution) du caisson DNW a également été mise en place (cellule dite "DNW modifié"), permettant de rendre la jonction PW/DNW beaucoup moins abrupte et d'augmenter la tension de claquage V_{BD} de 9,5V à 15,8V à température ambiante. Depuis le TC2, la distance de l'anneau de garde a été fixée à $3,5\mu\text{m}$, pour réduire le FF sans aucun impact électrique mesuré. Des cellules de $56\mu\text{m}$ de diamètre ont été introduites dès le TC2 pour les mesures $I(V)$. Dans ces deux premiers circuits, les cellules dites de référence sont représentées sur la figure 2.27a. Comme présentée dans la section 2.2.2, la diode SPAD de référence est composée d'une jonction PW/DNW en-dessous du BOX et l'électronique associée est intégrée dans le film silicium au-dessus du BOX. Les tranchées STI sont présentes dans la zone active en accord avec les contraintes de conception mentionnées dans la section 2.2.3. Une variante de cellule de référence dite cellule "STI" est illustrée dans la 2.27b, pour laquelle aucune couche de *RX fillopc* n'est mise en place. Ainsi, une couche d'oxyde épaisse couvre complètement la zone active (supprimant le BOX et le film silicium). Ce type de cellule sert seulement à étudier l'impact des tranchées STI sur les performances des cellules SPAD et n'est pas intéressant pour les applications réelles. Une autre variante est dite cellule "NOSO" (2.27c) dans laquelle la zone active n'est pas recouverte de film silicium, ni de couche d'oxyde. Les couches nommées *Hybrid* se superposent avec les couches *RX fillopc* et l'association de ces types de couches permet d'empêcher la mise en place du film silicium et de l'oxyde.

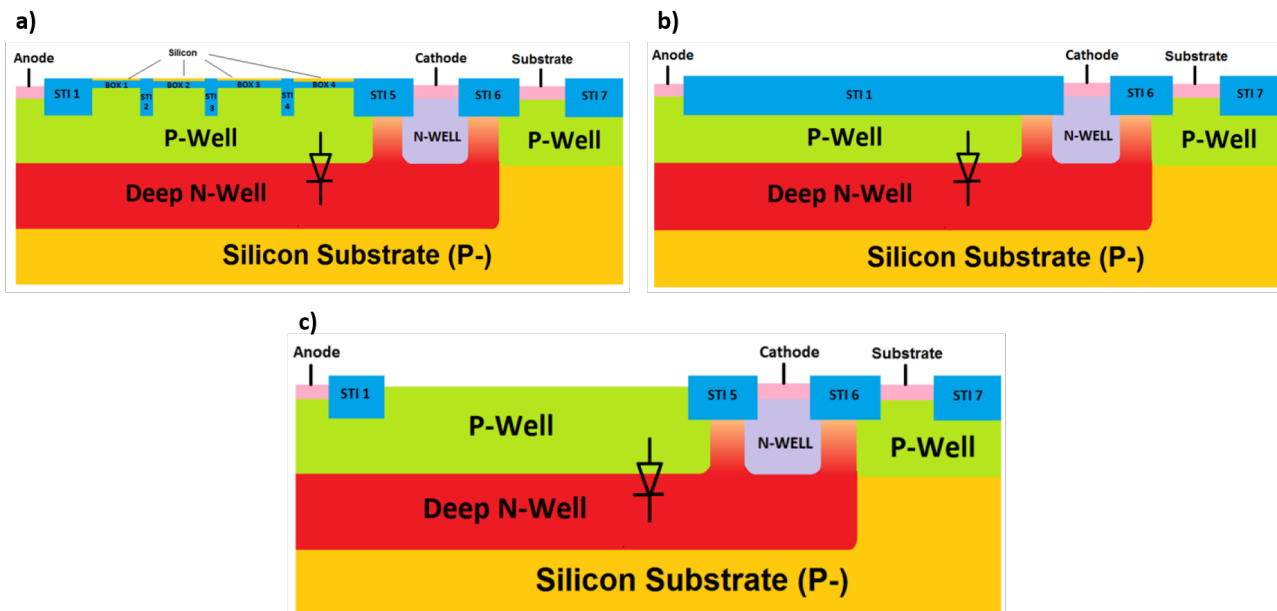


FIGURE 2.27 – a) SPAD de référence ; b) SPAD "STI" ; c) SPAD "NOSO"

Les cellules dites "Sensing" ont été implémentées dans le but de démontrer la détection indirecte des avalanches. Des transistors PMOS et NMOS constituant un pont diviseur sont présents au-dessus du BOX, se comportant comme une résistance variable qui change en fonction de l'effet de *Body Biasing*. Les tensions de seuil des transistors diminuent lors d'une avalanche, alors que la tension du caisson PW augmente. En reliant la sortie de la cellule SPAD (nœud commun entre anode de la SPAD avec résistance d'étouffement) et la sortie du

pont diviseur sur deux voies d'un oscilloscope, nous pouvons observer simultanément les pics de tensions montantes pour la sortie de la cellule SPAD et descendantes pour la sortie du pont diviseur, démontrant la possibilité de détection indirecte de l'activité de la SPAD [21].

Les études plus poussées ont été menées dans le troisième et quatrième circuit (TC3 et TC4). Dans le TC3, nous avons implémenté les cellules dites "Pattern du DNW", pour lesquelles le caisson DNW est réalisé par implantation de plusieurs zones disjointes. En faisant un recuit adéquat, ces zones se fusionnent et le niveau de dopage moyen diminue, permettant d'augmenter la tension de claquage V_{BD} (Figure 2.28a). Cette approche ne nécessite qu'une modification de masques pour le caisson DNW. Une autre étude concernant la réduction de DCR des cellules SPAD a également été menée dans le TC3. Dans toutes les cellules, entre le caisson PW et le contact cathode NW, une tranchée STI périphérique est présente et déborde dans le caisson PW (conséquence des contraintes de conception présentées dans la section 2.2.3). Ce STI5 de la figure 2.28a subit théoriquement deux implantations DNW et PW et risque de présenter plus de défauts aux interfaces STI/silicium pouvant devenir une source majeure de DCR. Dans certaines cellules, nous avons aligné cette tranchée STI par rapport à la jonction PW/DNW sur la périphérie et ces cellules sont dites cellules "STI aligné" (Figure 2.28b). Les mesures de DCR des cellules "STI aligné" ont montré une amélioration globale de DCR [22]. Dans le TC4, cette étude a été encore poussée plus loin avec la réalisation des cellules éloignant davantage cette tranchée de STI du PW. Ces cellules sont dites cellules "Report STI" (Figure 2.28c). Il est à noter que les cellules "Pattern du DNW" (Figure 2.28a) et "Report STI" (Figure 2.28c) ont violé certaines règles de dessin imposées par le PDK, mais qui ont été malgré tout acceptées pour la fabrication. Depuis le TC4, des matrices de SPAD 3×3 sont implémentées dans le circuit afin de caractériser le crosstalk des SPAD. Dans le TC4, trois matrices 3×3 contenant neuf cellules pseudo-circulaires de référence de $28\mu\text{m}$ de diamètre ont été intégrées dans le circuit. La cellule centrale a été séparée de ses voisines par différentes distances afin d'étudier l'impact de la distance de séparation sur le crosstalk.

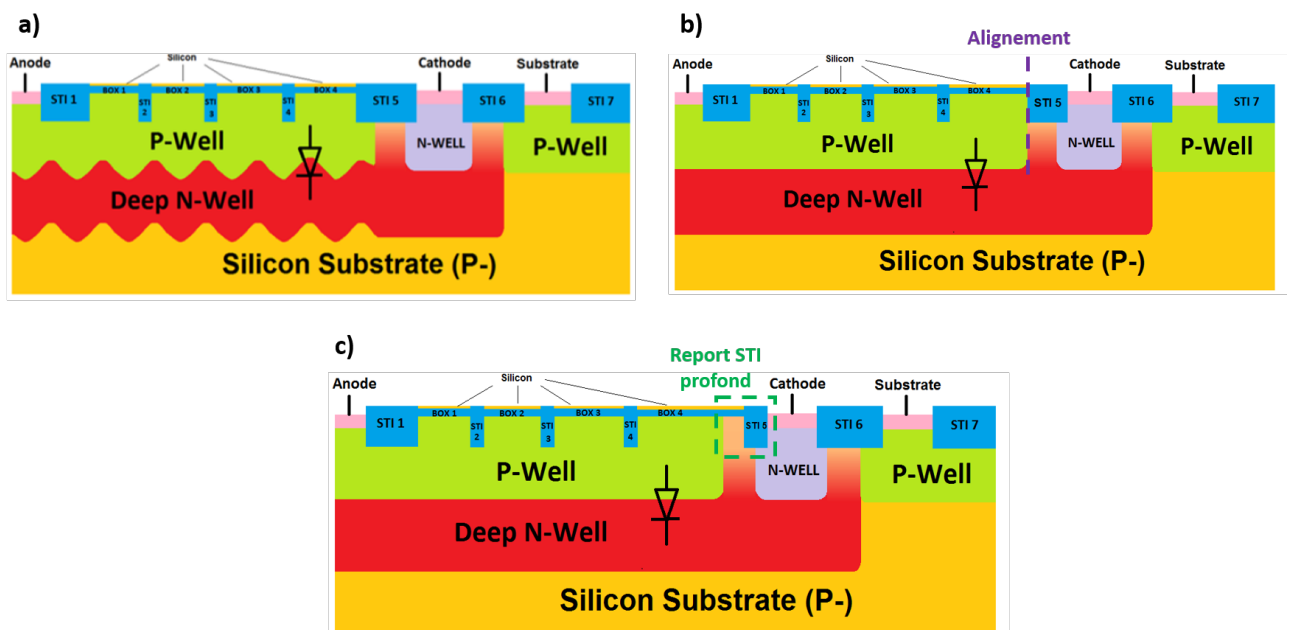


FIGURE 2.28 – a) SPAD avec "Pattern du DNW"; b) SPAD "STI aligné"; c) SPAD avec "Report STI profond"

Pendant cette thèse, deux circuits contenant des cellules SPAD CMOS FD-SOI 28nm ont été fabriqués (TC5 et TC6). Dans le TC5, l'étude sur la réduction de DCR a été poursuivie.

Les simulations électriques transitoires ont montré que les tranchées STI sont potentiellement des sources de DCR. Nous avons eu l'idée de supprimer complètement les tranchées STI présentes dans la zone active en fusionnant les couches *RX fillopc*. Ces cellules sont dites cellules "Fusion". Bien entendu, ces cellules ont violé la contrainte de conception (minimum de distance de séparation des couches *RX fillopc* de 70nm), ce qui a été accepté pour la fabrication. Depuis le TC5, nous avons aussi adapté les motifs de STI sur certaines SPADs pour augmenter leur photosensibilité optique grâce à une nanostructuration des couches Si (PW) et silice (STI/BOX). Pour ces cellules dite cellules "patternées", les tranchées STI sont dimensionnées et positionnées de manière à augmenter le taux de photo-génération moyen dans la zone photosensible. Dans le TC6, les cellules sont majoritairement de type patterné. La plus grande particularité de ce circuit est qu'il intègre un circuit d'étouffement et de recharge actif conçu par le laboratoire ICUBE (Strasbourg), permettant de réduire grandement le temps d'étouffement et de recharge par rapport à un circuit passif. Au total, six circuits contenant des cellules SPAD CMOS FD-SOI 28nm de différentes architectures ont été développés à l'INL. Le tableau 2.1 récapitule les cellules SPAD présentes dans tous les circuits.

TC N°	Année	Variantes	Taille des cellules	Géométrie des cellule	Matrice	Modifications de l'architecture
1	2017	Carrée et octogonale	28 μm	Référence et STI	Non	-
2	2018	Pseudo-circulaire et octogonale	28 μm et 56 μm	Référence et STI	Non	-
2 DNW	2018	Pseudo-circulaire et octogonale	28 μm et 56 μm	Référence et STI	Non	DNW modifié
3	2019	Pseudo-circulaire et Octogonale	28 μm et 56 μm	Référence, STI et NOSO	Non	Pattern du DNW et STI aligné
4	2020	Pseudo-circulaire	28 μm et 56 μm	Référence et NOSO	Matrice 3x3	Report STI
4 DNW	2020	Pseudo-circulaire	28 μm et 56 μm	FD-SOI et NOSO	Matrice 3x3	DNW modifié + Report STI
5	2021	Pseudo-circulaire et octogonale	28 μm et 56 μm	Référence	Matrice 3x3	STI aligné, suppression des tranchées STI dans la zone active (Fusion) et pattern STI
5 DNW	2021	Pseudo-circulaire et octogonale	28 μm et 56 μm	Référence	Matrice 3x3	DNW modifié, STI aligné, suppression des tranchées STI dans la zone active (fusion) et pattern STI
6	2022	Pseudo-circulaire et Octogonale	28 μm	Référence	Matrice 4x4	STI aligné, suppression des tranchées STI dans la zone active (Fusion), pattern STI et circuit d'étouffement et de recharge actif (ICUBE)
6 DNW	2022	Pseudo-circulaire et Octogonale	28 μm	Référence	Matrice 4x4	DNW modifié, STI aligné, suppression des tranchées STI dans la zone active (Fusion), pattern STI et circuit d'étouffement et de recharge actif (ICUBE)

TABLE 2.1 – Récapitulatif des circuits contenant des cellules SPAD CMOS FD-SOI 28nm (bleu pour les échantillons produits pendant la thèse de Tulio Chaves de Albuquerque, vert pour la thèse de Dylan Issartel et rouge pour cette thèse)

2.3 Amélioration de la PDP par nanostructuration des tranchées STI

A partir du TC5, nous avons opté pour la nanostructuration des tranchées STI présentes dans la zone active afin d'améliorer la PDP des diodes SPAD dans la technologie CMOS FD-SOI 28nm. Cette approche a l'avantage de conserver le procédé de fabrication standard et ainsi nous permettra de confronter une approche théorique à des résultats expérimentaux (avec certaines limites décrites ci-après). En revanche, cette approche ne peut apporter qu'une faible amélioration de PDP en comparaison à d'autres solutions telles que celles décrites dans la section 2.1 (mais qui demandent des modifications majeures dans le procédé de fabrication). Dans cette section, nous présenterons d'abord l'approche théorique de la nanostructuration. Nous l'appliquerons ensuite à la diode SPAD CMOS FD-SOI 28nm, en détaillant les contraintes dimensionnelles qui bornent les choix des tailles des tranchées STI et en introduisant les couches BEOL au-dessus du film silicium Si qui limitent la confrontation des simulations aux mesures expérimentales. En effet, les propriétés optiques exactes de ces couches (épaisseur, courbes de dispersion) ne nous ont pas été communiquées puisqu'elles touchent de trop près aux procédés technologiques propres à *STMicroelectronics*. Ces couches perturbent nécessairement le comportement optique et peuvent modifier la quantité de photons transmise à la zone active de la SPAD. Au mieux, nous allons estimer l'impact qu'elles peuvent avoir en les prenant en compte dans les simulations. Finalement, nous présenterons brièvement les outils de simulation choisis pour simuler les comportements électriques et optiques de diode SPAD CMOS FD-SOI 28nm.

2.3.1 Approche théorique du réseau de diffraction 2D

D'un point de vue optique en FSI (éclairage depuis la face contenant des transistors, avec les SPADs en dessous), la structure de notre diode SPAD peut être simplifiée et schématisée par la figure 2.29. Ici, pour les raisons de simplification, la couche d'oxyde SiO_2 et la couche de silicium sont considérées semi-infinies.

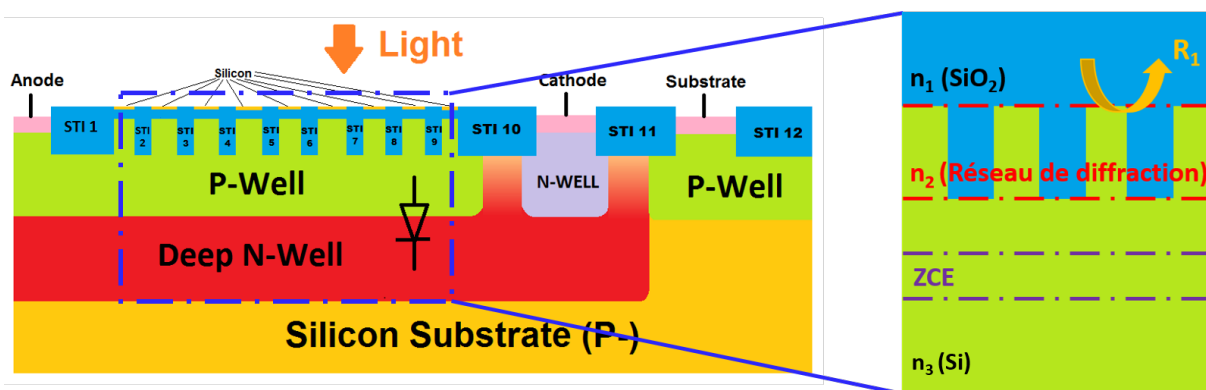
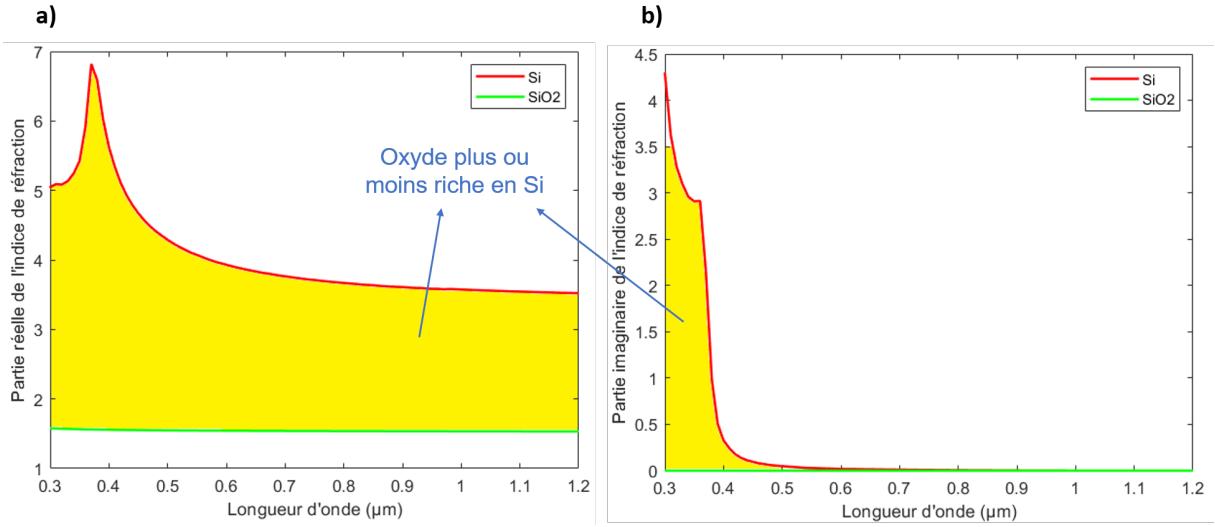


FIGURE 2.29 – Schéma optique simplifié de la diode SPAD CMOS FD-SOI 28nm

2.3.1.1 Propriétés optiques des matériaux considérés

La connaissance des propriétés optiques des matériaux considérés dans le cas de la figure 2.29 est cruciale pour estimer les interactions matière-lumière. Les indices de réfraction du silicium et de la silice sont représentés sur la figure 2.30.


 FIGURE 2.30 – a) Partie réelle et b) Partie imaginaire de l'indice de réfraction du Si et SiO₂

Le Si est particulièrement sensible dans le visible, mais son gap indirect de 1,12eV lui permet quand même d'absorber (moins efficacement) jusqu'à 1,1μm de longueur d'onde environ. Nous pouvons observer que la partie imaginaire de l'indice de réfraction du Si est négligeable devant la partie réelle à partir d'environ $\lambda=500\text{nm}$. Nous visons donc à surtout améliorer la photosensibilité de notre diode SPAD au-delà de cette longueur d'onde. Ainsi, dans toutes les équations de cette section, nous supposons que les indices de réfraction du Si et SiO₂ sont tous réels.

L'indice de réfraction du réseau de diffraction 2D au premier ordre peut être exprimé par [23] :

$$n_{eq,TE}^2 = n_{SiO_2}^2 \cdot (1 - FF) + n_{silicium}^2 \cdot FF \quad (2.1)$$

où $n_{eq,TE}^2$ est l'indice de réfraction équivalent pour le mode TE (Transversale électrique) et FF est le rapport surfacique entre la surface de silicium et la surface totale d'un motif élémentaire utilisé pour la nanostructuration.

En remplaçant $n_{eq,TE}$, n_{SiO_2} et $n_{Silicium}$ par n_2 , n_1 et n_3 :

$$n_2^2 = n_1^2 \cdot (1 - FF) + n_3^2 \cdot FF \quad (2.2)$$

2.3.1.2 Étude de l'empilement structuré

La couche du réseau de diffraction 2D doit jouer le rôle d'antireflet afin de maximiser la puissance optique transmise dans la couche de silicium. En incidence normale, les coefficients de réflexion ne dépendent pas de la polarisation de lumière. Le coefficient de réflexion en énergie à la première interface peut s'exprimer par la formule suivante [24] :

$$R_1 = \left| \frac{r_{n_1/n_2} + r_{n_2/n_3} \cdot e^{j\left(\frac{-4\pi \cdot e_2 \cdot n_2}{\lambda}\right)}}{1 + r_{n_1/n_2} \cdot r_{n_2/n_3} \cdot e^{j\left(\frac{-4\pi \cdot e_2 \cdot n_2}{\lambda}\right)}} \right|^2 \quad (2.3)$$

où n_1 , n_2 et n_3 sont respectivement les indices de réfraction des couches de l'oxyde, du réseau de réfraction 2D et du silicium ; r_{n_1/n_2} et r_{n_2/n_3} sont les coefficients de réflexion en amplitude à l'interface SiO₂/réseau de diffraction et réseau de diffraction/Si.

En considérant que tous les indices sont réels (nous travaillons dans la gamme de longueur d'onde où la partie imaginaire est négligeable devant la partie réelle (Figure 2.30b)), l'équation 2.3 peut se simplifier à la forme suivante :

$$R_1 = \frac{(n_1 - n_2)^2 \cdot (n_2 + n_3)^2 + (n_1 + n_2)^2 \cdot (n_2 - n_3)^2 + 2(n_1^2 - n_2^2) \cdot (n_2^2 - n_3^2) \cdot \cos\left(\frac{4\pi}{\lambda} \cdot n_2 \cdot e_2\right)}{(n_1 + n_2)^2 \cdot (n_2 + n_3)^2 + (n_1 - n_2)^2 \cdot (n_2 - n_3)^2 + 2(n_1^2 - n_2^2) \cdot (n_2^2 - n_3^2) \cdot \cos\left(\frac{4\pi}{\lambda} \cdot n_2 \cdot e_2\right)} \quad (2.4)$$

Les extremums de R_1 peuvent être trouvés en cherchant les solutions de $\partial R_1 / \partial e_2 = 0$ et les solutions qui satisfont cette condition sont :

$$\sin\left(\frac{4\pi}{\lambda} \cdot n_2 \cdot e_2\right) = 0 \Rightarrow \frac{4\pi}{\lambda} \cdot n_2 \cdot e_2 = k\pi, \text{ soit } e_2 = \frac{k \cdot \lambda}{4n_2} \quad (2.5)$$

où k est entier.

Les valeurs maximales et minimales de R_1 se trouvent respectivement à des valeurs de k paires et impaires. Les valeurs impaires de k sont donc souhaitées afin de minimiser la réflexion à la première interface. Dans le cas idéal où R_1 est égal à 0 et k est impair ($\cos(4\pi n_2 e_2 / \lambda) = -1$), le numérateur de l'équation 2.4 est nul. Par simplification :

$$\begin{aligned} & ((n_1 - n_2)^2 \cdot (n_2 + n_3)^2 - (n_1 + n_2)^2 \cdot (n_2 - n_3)^2)^2 = 0 \\ & \Rightarrow 4n_2 \cdot (n_1 \cdot n_3 - n_2^2) \cdot (n_1 - n_3) = 0 \Rightarrow n_2 = \sqrt{n_1 \cdot n_3} \end{aligned} \quad (2.6)$$

où $n_1 = n_3$ est impossible, car $n_{SiO_2} \neq n_{Si}$.

En combinant avec l'équation 2.2, FF peut s'exprimer en fonction de n_1 et n_3 :

$$FF = \frac{n_1}{n_1 + n_3} \quad (2.7)$$

La figure 2.31 illustre le module du FF en ne prenant en compte que de la partie réelle des indices de réfraction et en considérant la forme complexe des indices de réfraction.

Nous pouvons constater que le module du FF dans les deux cas se superposent après $\lambda = 500\text{nm}$ ce qui correspond à la zone où le Si peut être considéré comme un matériau avec la partie imaginaire de l'indice de réfraction négligeable.

Nous pouvons donc calculer la valeur de l'épaisseur e_2 et du FF de la couche du réseau de réfraction 2D pour les longueurs d'onde visées afin de minimiser la réflexion à l'interface SiO_2 /réseau de réfraction.

2.3.1.3 Impact de la nanostructuration sur la photogénération dans le silicium

Dans la section précédente, le FF et l'épaisseur de la couche du réseau de réfraction sont fixés pour favoriser la transmission de lumière dans la structure. Par la suite, il faut encore ajuster la dimension et la géométrie des motifs selon le plan normal à la direction z (Figure 2.29) pour contrôler davantage le signal transmis dans la structure. Ainsi le deuxième rôle du réseau de diffraction 2D est de créer des interférences constructives et de les localiser dans la ZCE de la diode SPAD. Les angles de diffraction étant différents du faisceau transmis dans l'ordre 0 (normal à la surface), les interférences se produisent dans la direction de propagation du faisceau transmis dans l'ordre 0. Pour trouver la position des maximums (interférences constructives) et leur périodicité, nous pouvons calculer la composante k_z du vecteur d'onde des différents faisceaux transmis [25] :

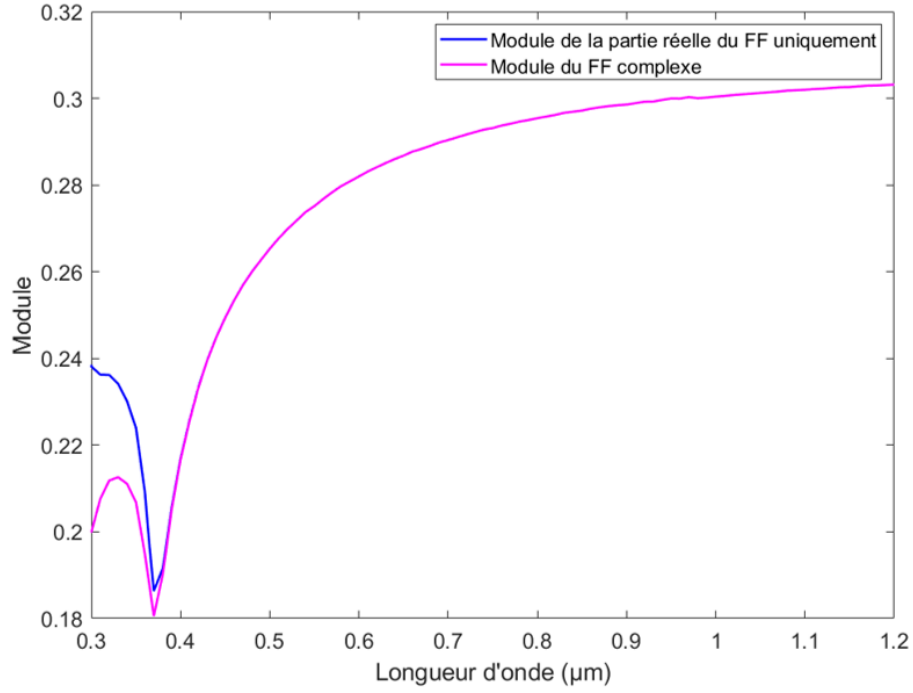


FIGURE 2.31 – Spectre du FF idéal pour un comportement anti-reflet en incidence normale de la couche structurée

$$k_{z,m,n} = \sqrt{n_{Si}^2 \cdot k_0^2 - k_{x,m}^2 - k_{y,n}^2} = k_0 \sqrt{n_{Si}^2 - \left(m \cdot \frac{\lambda}{T_x}\right)^2 - \left(n \cdot \frac{\lambda}{T_y}\right)^2} \quad (2.8)$$

$$\text{avec } k_{x,m} = m \cdot \frac{\lambda}{T_x} \cdot k_0 \text{ et } k_{y,n} = n \cdot \frac{\lambda}{T_y} \cdot k_0 \quad (2.9)$$

où $k_{x,m}$ et $k_{y,n}$ sont les composantes x et y du vecteur d'onde pour des ordres de réfraction m et n ; k_0 est le vecteur d'onde dans le vide ; T_x et T_y sont les périodes des motifs de la nanostructuration dans les directions x et y .

Lorsque la composante k_z est réelle, les ordres des faisceaux diffractés peuvent exister dans le milieu silicium. Si nous considérons une période identique sur les deux axes de structuration ($T_x = T_y$) pour que le comportement de la SPAD soit identique selon ces deux axes, il n'existe que l'ordre 0 lorsque :

$$T_x < \frac{\lambda}{n_{Si}} \quad (2.10)$$

Il existe l'ordre 0 et 1 selon les directions x et y (interférence à deux ondes), lorsque :

$$\frac{\lambda}{n_{Si}} < T_x < \sqrt{2} \cdot \frac{\lambda}{n_{Si}} \quad (2.11)$$

Le champ électrique global \vec{E}_{total} résultant de tous les ordres d'interférences dans un milieu est donnée par :

$$\vec{E}_{total} = \sum_{m=0}^{+\infty} \sum_{n=0}^{+\infty} \vec{E}_{m,n} \cdot e^{j(k_{x,m} \cdot x + k_{y,n} \cdot y + k_{z,m,n} \cdot z)} \quad (2.12)$$

La période des interférences suivant la direction z dans le cas des interférences à deux faisceaux, en négligeant la contribution à l'ordre 2 et au-delà, est donnée par les valeurs de z où :

$$e^{j(k_{z,0,0} \cdot z)} + e^{j(k_{z,0,1} \cdot z)} = 2 \quad (2.13)$$

$$\begin{aligned} &\text{soit } k_{z,0,0} z_p = l \cdot 2\pi \text{ et } k_{z,0,1} z_p = p \cdot 2\pi \\ \Rightarrow z_p &= l \cdot \frac{\lambda}{n_{Si}} \text{ et } z_p = p \cdot \frac{\lambda}{n_{Si} \cdot \sqrt{1 - \left(\frac{\lambda}{T_x \cdot n_{Si}}\right)^2}} \end{aligned} \quad (2.14)$$

où z_p donne les positions correspondantes à des interférences constructives ; l et p sont des entiers.

L'expression 2.13 peut se mettre sous la forme suivante :

$$2 \cdot e^{j\left(\frac{k_{z,0,0} + k_{z,0,1}}{2} \cdot z\right)} \cdot \left(\frac{e^{j\left(\frac{k_{z,0,0} - k_{z,0,1}}{2} \cdot z\right)} + e^{-j\left(\frac{k_{z,0,0} - k_{z,0,1}}{2} \cdot z\right)}}{2}\right) = 2 \cdot e^{j\left(\frac{k_{z,0,0} + k_{z,0,1}}{2} \cdot z\right)} \cdot \cos\left(\frac{k_{z,0,0} - k_{z,0,1}}{2} \cdot z\right) \quad (2.15)$$

En incidence normale, l'intensité lumineuse est maximale lorsque :

$$\frac{k_{z,0,0} - k_{z,0,1}}{2} \cdot z_m = \pi \Rightarrow z_m = \frac{\lambda}{n_{Si} \cdot \left(1 - \sqrt{1 - \left(\frac{\lambda}{T_x \cdot n_{Si}}\right)^2}\right)} \approx \frac{2 \cdot n_{Si} \cdot T_x^2}{\lambda} \quad (2.16)$$

où z_m donne les positions des maximums d'intensité lumineuse.

Nous pouvons donc chercher la valeur de T_x qui permet d'obtenir :

$$a \cdot z_m = z_{ZCE} \quad (2.17)$$

où a est un entier et z_{ZCE} est la profondeur de la jonction de la ZCE.

Ainsi, en optimisant la période de la nanostructuration, nous pouvons théoriquement localiser les interférences constructives dans la ZCE, ce qui permet d'augmenter le taux de photogénération localement et d'améliorer la PDP de la diode SPAD. Cependant, il faut bien noter que ces optimisations sont dépendantes des longueurs d'onde, ce qui signifie que cela favorise le taux de photogénération pour certaines longueurs d'onde en excluant d'autres.

2.3.2 Application à l'architecture SPAD CMOS FD-SOI 28nm

Comme présenté dans la section 2.2.3, les contraintes de conception nous imposent de mettre des tranchées STI dans la zone active. Les tranchées STI doivent faire au moins 70 nm de largeur pour respecter les règles de dessin. Ces dimensions sont compatibles avec l'utilisation de la nanostructuration proposée dans la section précédente. En BSI (éclairage par la face arrière après amincissement), une approche similaire peut être également appliquée en nanostructurant l'interface Si/air.

La figure 2.32 illustre les schémas optiques équivalents simplifiés de la structure de diode SPAD CMOS FD-SOI 28nm en FSI et BSI. En FSI, les photons incidents entrent dans la structure par la couche d'oxyde SiO_2 et le réseau de diffraction est constitué de motifs STI/Si. En BSI, le substrat aminci est illuminé et le réseau de diffraction serait composé de motifs de air/Si.

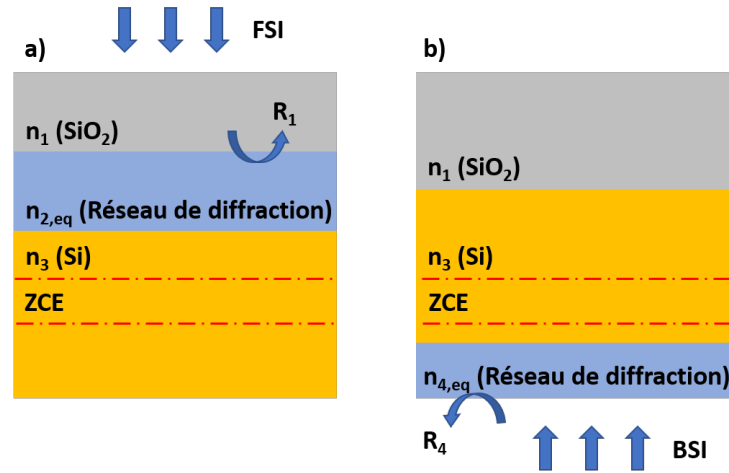


FIGURE 2.32 – Schéma optique équivalent de la diode SPAD CMOS FD-SOI 28nm en a) FSI; b) BSI

Avant de se lancer dans les simulations optiques pour déterminer les dimensions optimales des motifs, il est intéressant de calculer les valeurs théoriques optimales des paramètres dans le cas de l'approche du réseau de diffraction 2D, afin d'obtenir les ordres de grandeur de chacun des paramètres pour ensuite l'adapter à la structure SPAD CMOS FD-SOI 28nm avec le caisson DNW standard (Remarque : la ZCE pour le caisson DNW modifié se trouve plus profonde). Le tableau 2.2 récapitule les valeurs théoriques optimales en FSI et BSI (pour des raisons de simplicité, nous avons décidé qu'en BSI, le pattern est sous forme de cercles et qu'en FSI, le pattern est sous forme de carrés).

Mode d'illumination	Longueur d'onde visée (nm)	Indice de réfraction équivalent du réseau de diffraction ($n_{2,eq}$ pour FSI et $n_{4,eq}$ pour BSI)	Épaisseur du réseau de diffraction (nm) (e_2 pour FSI et e_4 pour BSI)	FF	Période T_x ou T_y (μm)	Largeur du SiO ₂ T_{SiO_2} (μm) (FSI)	Largeur du Si T_{Si} (μm) (FSI)	Rayon du cercle d'air dans un motif (μm) (BSI)
FSI	650	2,368	$k \cdot 68,62$ (k impair)	0,275	0,156 ($a=1$)	0,074 ($a=1$)	0,082 ($a=1$)	-
BSI	900	1,903	$k \cdot 118,23$ (k impair)	0,217	0,735 ($a=1$)	-	-	0,367 (épaisseur du substrat supposée à $5\mu\text{m}$)

 TABLE 2.2 – Récapitulatif des valeurs théoriques optimales des paramètres dans l'approche du réseau de diffraction pour la diode SPAD CMOS FD-SOI 28nm avec le caisson DNW standard (k et a : respectivement entier de l'équation 2.5 et de l'équation 2.17)

En pratique, il existe quelques limitations vis-à-vis de l'approche par réseau de diffraction. En FSI, lorsque nous calculons les couples n_2 et e_2 optimaux pour que R_1 soit minimum, en réalité, l'épaisseur du réseau de diffraction ($\approx 260\text{nm}$) n'est pas paramétrable car imposée par le procédé de fabrication. Nous ne pouvons optimiser que l'indice effectif du réseau de diffraction (via le FF). La seconde limitation vient du fait que la vraie architecture de diode SPAD CMOS FD-SOI 28nm est beaucoup plus complexe que le cas considéré dans notre modé-

lisation. La figure 2.33 représente les couches BEOL au-dessus de la diode SPAD. Dans notre cas, il existe huit niveaux de métaux et des différents vias qui sont entourés par des oxydes dits *backend*. Une couche d'oxyde d'encapsulation et une couche de nitrure de passivation viennent s'ajouter au-dessus. Les matériaux exacts et les propriétés optiques de ces couches BEOL ne sont pas en mesure d'être fournis. Dans nos simulations optiques, nous utilisons les propriétés optiques des matériaux trouvées dans la littérature (plus de détails dans le chapitre suivant). Des écarts entre les résultats issus des simulations et les mesures expérimentales sont donc attendus, principalement si certains oxydes sont plus ou moins riches en Si et peuvent donc absorber plus ou moins (Figure 2.30).

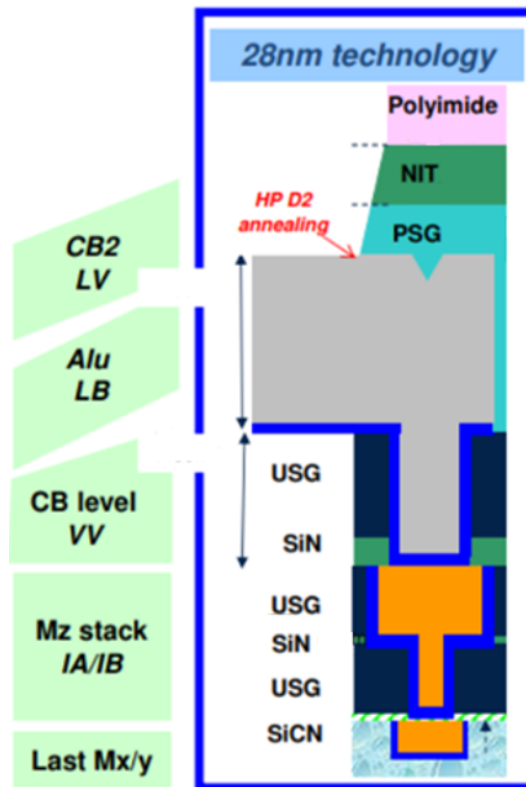


FIGURE 2.33 – Couches BEOL au-dessus du BOX et du film silicium de la SPAD CMOS FD-SOI 28nm

2.3.3 Méthodologie de simulation et simulateurs choisis

Dans le cas réel, l'épaisseur de STI est imposée. Ce paramètre sera donc constant, mais nous allons utiliser les autres valeurs calculées précédemment pour obtenir des points de départ de simulations et cette fois mener une optimisation optique. Ainsi, notre méthodologie de simulation est la suivante :

1. Étape 1 : Optimiser le FF afin de maximiser la transmission dans le Si. Pour cette étape, nous pourrions observer le champs électrique (optique) ou le taux de photogénération.
2. Étape 2 : optimiser la période du motif de pattern afin de localiser les interférences dans la ZCE de diodes SPAD. Nous exploiterons alors des cartographies du taux de photogénération.
3. Étape 3 : calculer le profil de PDP en fonction de la longueur d'onde et comparer à la diode SPAD de référence.

Nous avons choisi d'utiliser *Ansys Lumerical FDTD* pour calculer fidèlement le taux de photogénération et de le combiner avec *Synopsys Sentaurus* pour les simulations électriques (module *SDEVICE*). Afin de prendre en compte des paramètres de fabrication réalistes (dopage, recuit...), nous avons tiré profit du module *SPROCESS* de *Synopsys Sentaurus*. *Ansys Lumerical FDTD* est un module de *Ansys Lumerical*, permettant de réaliser des simulations sur des ondes électro-magnétiques. Dans notre cas, nous l'utilisons afin de définir la structure correspondante d'un point de vue optique et de simuler les comportements optiques avec une source de type onde plane. Le couplage de ces deux simulations pour simuler les comportements électro-optiques des imageurs a été investigué dans les années 2010 [26], [27]. Plus de détails sur l'association de ces deux simulateurs dans notre cas pour estimer la PDP seront présentés dans le chapitre suivant.

2.4 Conclusion

Ce chapitre se focalise sur l'amélioration de la PDP dans différentes technologies de SPAD selon différentes approches soit optiques, soit électriques. Dans un premier temps, les solutions d'ingénierie de profil de dopage sont présentées pour faciliter la collecte des porteurs photogénérés dans une zone spatialement contrainte. Cependant, ces solutions sont peu adaptables à la technologie CMOS FD-SOI 28nm car nous n'avons aucun degré de liberté en termes de modification des implantations. Dans un second temps, les stratégies pour absorber les photons dans la zone de fort champ électrique avec un volume restreint (cavité faiblement résonante) sont analysées. Ces solutions font appel à des miroirs dans le substrat. Ces solutions sont également difficilement intégrables dans la technologie CMOS FD-SOI 28nm car le substrat est constitué du même matériau (Si) que la zone active de la SPAD. Dans le cas de cette thèse, nous avons choisi une troisième approche : la nanostructuration des tranchées STI dans le cas de l'éclairage par la face avant, ce qui ne demande pas de modification du procédé de fabrication. Une introduction à la technologie SPAD FD-SOI CMOS 28nm est faite afin ensuite de présenter l'approche théorique de nanostructuration et les contraintes dimensionnelles imposées par les règles de dessin. L'analyse théorique et la méthodologie de dimensionnement du motif périodique de tranchée STI ainsi que les outils de simulation associés ont été présentés. Cette approche de nanostructuration sera appliquée dans le troisième chapitre et les principaux résultats de simulations seront présentés.

Références

- [1] A. ROCHAS, M. GANI, B. FURRER, P. A. BESSE, R. S. POPOVIC, G. RIBORDY et N. GISIN, « Single photon detector fabricated in a complementary metal–oxide–semiconductor high-voltage technology, » *Review of Scientific Instruments*, t. 74, n° 7, p. 3263-3270, 2003. DOI : [10.1063/1.1584083](https://doi.org/10.1063/1.1584083).
- [2] C. NICLASS, A. ROCHAS, P.-A. BESSE et E. CHARBON, « Toward a 3-D camera based on single photon avalanche diodes, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 10, n° 4, p. 796-802, 2004. DOI : [10.1109/JSTQE.2004.833886](https://doi.org/10.1109/JSTQE.2004.833886).
- [3] F. GRAMUGLIA, P. KESHAVARZIAN, E. KIZILKAN, C. BRUSCHINI, S. S. TAN, M. TNG, E. QUEK, M.-J. LEE et E. CHARBON, « Engineering Breakdown Probability Profile for PDP and DCR Optimization in a SPAD Fabricated in a Standard 55 nm BCD Process, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 28, n° 2 : Optical Detectors, p. 1-10, 2022. DOI : [10.1109/JSTQE.2021.3114346](https://doi.org/10.1109/JSTQE.2021.3114346).
- [4] A. GULINATTI, I. RECH, F. PANZERI, C. CAMMI, P. MACCAGNANI, M. GHIONI et S. COVA, « New silicon SPAD technology for enhanced red-sensitivity, high-resolution timing and system integration, » *Journal of Modern Optics*, t. 59, n° 17, p. 1489-1499, 2012. DOI : [10.1080/09500340.2012.701340](https://doi.org/10.1080/09500340.2012.701340).
- [5] M. GHIONI, G. ARMELLINI, P. MACCAGNANI, I. RECH, M. K. EMSLEY et M. S. ÜNLÜ, « Resonant-cavity-enhanced single photon avalanche diodes on double silicon-on-insulator substrates, » *Journal of Modern Optics*, t. 56, n° 2-3, p. 309-316, 2009. DOI : [10.1080/09500340802272332](https://doi.org/10.1080/09500340802272332).
- [6] M. ZAVVARI, K. ABEDI et M. KARIMI, « Design of resonant cavity structure for efficient high-temperature operation of single-photon avalanche photodiodes, » *Appl. Opt.*, t. 53, n° 15, p. 3311-3317, 2014. DOI : [10.1364/AO.53.003311](https://doi.org/10.1364/AO.53.003311).
- [7] Q. CHEN, S. WU, L. ZHANG, W. FAN et C. S. TAN, « Simulation of High-Efficiency Resonant-Cavity-Enhanced GeSn Single-Photon Avalanche Photodiodes for Sensing and Optical Quantum Applications, » *IEEE Sensors Journal*, t. 21, n° 13, p. 14789-14798, 2021. DOI : [10.1109/JSEN.2021.3074407](https://doi.org/10.1109/JSEN.2021.3074407).
- [8] J. MA, M. ZHOU, Z. YU, X. JIANG, Y. HUO, K. ZANG, J. ZHANG, J. S. HARRIS, G. JIN, Q. ZHANG et J.-W. PAN, « Simulation of a high-efficiency and low-jitter nanostructured silicon single-photon avalanche diode, » *Optica*, t. 2, n° 11, p. 974-979, 2015. DOI : [10.1364/OPTICA.2.000974](https://doi.org/10.1364/OPTICA.2.000974).
- [9] K. ZANG, X. JIANG, Y. HUO, X. DING, M. MOREA, X. CHEN, C.-Y. LU, J. MA, M. ZHOU, Z. XIA, Z. YU, T. I. KAMINS, Q. ZHANG et J. S. HARRIS, « Silicon single-photon avalanche diodes with nano-structured light trapping, » *Nature Communications*, t. 8, 2017. DOI : [10.1038/s41467-017-00733-y](https://doi.org/10.1038/s41467-017-00733-y).
- [10] L. FREY, M. MARTY, S. ANDRÉ et N. MOUSSY, « Enhancing Near-Infrared Photodetection Efficiency in SPAD With Silicon Surface Nanostructuring, » *IEEE Journal of the Electron Devices Society*, t. 6, p. 392-395, 2018. DOI : [10.1109/JEDS.2018.2810509](https://doi.org/10.1109/JEDS.2018.2810509).
- [11] F. ANDRIEU, « 5 - Planar fully depleted (FD) silicon-on-insulator (SOI) complementary metal oxide semiconductor (CMOS) technology, » in *Silicon-On-Insulator (SOI) Technology*, Woodhead Publishing, 2014, p. 124-166, ISBN : 978-0-85709-526-8. DOI : <https://doi.org/10.1533/9780857099259.1.124>.

- [12] S. CRISTOLOVEANU et S. LI, *Electrical characterization of silicon-on-insulator materials and devices*. Springer Science & Business Media, 1995, t. 305. DOI : [10.1007/978-1-4615-2245-4](https://doi.org/10.1007/978-1-4615-2245-4).
- [13] D. JACQUET, F. HASBANI, P. FLATRESSE, R. WILSON, F. ARNAUD, G. CESANA, T. DI GILIO, C. LECOCQ, T. ROY, A. CHHABRA, C. GROVER, O. MINEZ, J. UGINET, G. DURIEU, C. ADOBATI, D. CASALOTTO, F. NYER, P. MENUT, A. CATHELIN, I. VONGSAVADY et P. MAGARSHACK, « A 3 GHz Dual Core Processor ARM Cortex TM -A9 in 28 nm UTBB FD-SOI CMOS With Ultra-Wide Voltage Range and Energy Efficiency Optimization, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 4, p. 812-826, 2014. DOI : [10.1109/JSSC.2013.2295977](https://doi.org/10.1109/JSSC.2013.2295977).
- [14] F. ARNAUD, « FD-SOI Technology, » in *The Fourth Terminal : Benefits of Body-Biasing Techniques for FDSOI Circuits and Systems*, S. CLERC, T. DI GILIO et A. CATHELIN, éd. Cham : Springer International Publishing, 2020, p. 9-57, ISBN : 978-3-030-39496-7. DOI : [10.1007/978-3-030-39496-7_2](https://doi.org/10.1007/978-3-030-39496-7_2).
- [15] N. PLANES, O. WEBER, V. BARRAL, S. HAENDLER, D. NOBLET, D. CROAIN, M. BOCAT, P.-O. SASSOULAS, X. FEDERSPIEL, A. CROS, A. BAJOLET, E. RICHARD, B. DUMONT, P. PERREAU, D. PETIT, D. GOLANSKI, C. FENOUILLET-BÉRANGER, N. GUILLOT, M. RAFIK, V. HUARD, S. PUGET, X. MONTAGNER, M.-A. JAUD, O. ROZEAU, O. SAXOD, F. WACQUANT, F. MONSIEUR, D. BARGE, L. PINZELLI, M. MELLIER, F. BOEUF, F. ARNAUD et M. HAOND, « 28nm FDSOI technology platform for high-speed low-voltage digital applications, » in *2012 Symposium on VLSI Technology (VLSIT)*, 2012, p. 133-134. DOI : [10.1109/VLSIT.2012.6242497](https://doi.org/10.1109/VLSIT.2012.6242497).
- [16] A. CATHELIN, « Fully Depleted Silicon on Insulator Devices CMOS : The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration, » *IEEE Solid-State Circuits Magazine*, t. 9, n° 4, p. 18-26, 2017. DOI : [10.1109/MSSC.2017.2745738](https://doi.org/10.1109/MSSC.2017.2745738).
- [17] J.-P. NOEL, O. THOMAS, M.-A. JAUD, O. WEBER, T. POIROUX, C. FENOUILLET-BERANGER, P. RIVALLIN, P. SCHEIBLIN, F. ANDRIEU, M. VINET, O. ROZEAU, F. BOEUF, O. FAYNOT et A. AMARA, « Multi- V_T UTBB FDSOI Device Architectures for Low-Power CMOS Circuit, » *IEEE Transactions on Electron Devices*, t. 58, n° 8, p. 2473-2482, 2011. DOI : [10.1109/TED.2011.2155658](https://doi.org/10.1109/TED.2011.2155658).
- [18] F. ARNAUD, N. PLANES, O. WEBER, V. BARRAL, S. HAENDLER, P. FLATRESSE et F. NYER, « Switching energy efficiency optimization for advanced CPU thanks to UTBB technology, » in *2012 International Electron Devices Meeting*, 2012, p. 3.2.1-3.2.4. DOI : [10.1109/IEDM.2012.6478970](https://doi.org/10.1109/IEDM.2012.6478970).
- [19] T. C. de ALBUQUERQUE, D. ISSARTEL, R. CLERC, P. PITTET, R. CELLIER, W. UHRING, A. CATHELIN et F. CALMON, « Body-biasing considerations with SPAD FDSOI : advantages and drawbacks, » in *ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC)*, 2019, p. 210-213. DOI : [10.1109/ESSDERC.2019.8901825](https://doi.org/10.1109/ESSDERC.2019.8901825).
- [20] T. CHAVES DE ALBUQUERQUE, « Integration of Single Photon Avalanche Diodes in Fully Depleted Silicon-on-Insulator Technology, » disponible à <http://theses.insa-lyon.fr/publication/2019LYSEI091/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2019LYSEI091, nov. 2019.

- [21] T. CHAVES DE ALBUQUERQUE, D. ISSARTEL, R. CLERC, P. PITTET, R. CELLIER, D. GOLANSKI, S. JOUAN, A. CATHELIN et F. CALMON, « Indirect avalanche event detection of Single Photon Avalanche Diode implemented in CMOS FDSOI technology, » *Solid-State Electronics*, t. 163, p. 107 636, 2020, ISSN : 0038-1101. DOI : <https://doi.org/10.1016/j.sse.2019.107636>.
- [22] D. ISSARTEL, « Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm, » disponible à <http://theses.insa-lyon.fr/publication/2021LYSEI090/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2021LYSEI090, déc. 2021.
- [23] S. SASIVIMOLKUL, S. PECHPRASARN et M. G. SOMEKH, « Analysis of Open Grating-Based Fabry–Pérot Resonance Structures With Potential Applications for Ultrasensitive Refractive Index Sensing, » *IEEE Sensors Journal*, t. 21, n° 9, p. 10 628-10 636, 2021. DOI : [10.1109/JSEN.2021.3063136](https://doi.org/10.1109/JSEN.2021.3063136).
- [24] M. BORN, E. WOLF, A. B. BHATIA, P. C. CLEMMOW, D. GABOR, A. R. STOKES, A. M. TAYLOR, P. A. WAYMAN et W. L. WILCOCK, *Principles of Optics : Electromagnetic Theory of Propagation, Interference and Diffraction of Light*, 7^e éd. Cambridge University Press, 1999. DOI : [10.1017/CB09781139644181](https://doi.org/10.1017/CB09781139644181).
- [25] D. J. GRIFFITHS, *Introduction to Electrodynamics*, 4^e éd. Cambridge University Press, 2017. DOI : [10.1017/9781108333511](https://doi.org/10.1017/9781108333511).
- [26] A. CROCHERIE, P. BOULENC, J. VAILLANT, F. HIRIGOYEN, D. HÉRAULT et C. TAVERNIER, « From photons to electrons : a complete 3D simulation flow for CMOS image sensor, » 2009. adresse : http://www.imagesensors.org/Past%5C%20Workshops/2009%5C%20Workshop/2009%5C%20Papers/036_paper_crocherie_st_modelling.pdf.
- [27] F. HIRIGOYEN, A. CROCHERIE, J. M. VAILLANT et Y. CAZAUX, « FDTD-based optical simulations methodology for CMOS image sensor pixels architecture and process optimization, » in *Sensors, Cameras, and Systems for Industrial/Scientific Applications IX*, International Society for Optics et Photonics, t. 6816, SPIE, 2008, p. 681 609. DOI : [10.1117/12.766391](https://doi.org/10.1117/12.766391).

Chapitre 3

Simulations électro-optiques pour améliorer la probabilité de détection de photons de SPAD FD-SOI

Ce troisième chapitre a pour objectif de présenter la méthodologie et les outils de simulations choisis afin de réaliser les simulations électro-optiques nécessaires à la proposition des architectures nanostructurées des diodes SPAD CMOS FD-SOI 28nm avec pour objectif l'amélioration de la probabilité de détection des photons (PDP). Dans un premier temps, la simulation électrique (*Synopsys Sentaurus*) et la simulation optique (*Ansys Lumerical FDTD*) sont d'abord détaillées avec la description des différents modules de simulations et modèles utilisés. Dans un second temps, l'outil de post-traitement des données électro-optiques basé sur un script *Matlab* est présenté. Finalement, les résultats de simulations électro-optiques sont détaillés et le circuit de test (*Test Chip*) incluant les architectures nanostructurées des diodes SPAD CMOS FD-SOI 28nm est également décrit.

Sommaire

3.1 Outil de simulation électrique : <i>Synopsys Sentaurus</i>	87
3.1.1 Module <i>SPROCESS</i> : construction de la structure	87
3.1.2 Module <i>SDEVICE</i> : simulation de comportement électrique	88
3.1.3 Transport des porteurs	89
3.1.4 Génération-recombinaison des porteurs	90
3.1.5 Génération par avalanche et coefficient d'ionisation	92
3.1.6 Calcul de la probabilité de déclenchement d'une avalanche	93
3.1.7 Méthodes d'analyse	94
3.2 Outil de simulation optique : <i>Ansys Lumerical FDTD</i>	97
3.2.1 Implémentation de la méthode FDTD dans <i>Ansys Lumerical FDTD</i>	97
3.2.2 Mise en place des simulations FDTD : principaux réglages	100
3.3 Couplage électro-optique	102
3.3.1 Traitement des données électriques	102
3.3.2 Traitement des données optiques	103
3.3.3 Couplage des données électriques et optiques	104
3.3.4 Vérification sur une structure simple air/Si	106
3.4 Résultats de simulations électro-optiques	108
3.4.1 Configuration des simulations optiques	108

3.4.2	Temps de simulation nécessaire	110
3.4.3	Résultats de simulations en FSI	111
3.4.4	Résultats de simulations en BSI	114
3.4.5	Incorporation de SPAD nanostructurées dans le Test Chip #6 (TC6) . .	117
3.5	Conclusion	118
	Références	119

3.1 Outil de simulation électrique : *Synopsys Sentaurus*

Synopsys Sentaurus est un simulateur communément employé dans le domaine micro-nano-électronique pour simuler les comportements notamment électriques des dispositifs semi-conducteurs. Dans notre méthodologie de simulations électriques, nous utilisons principalement deux modules : *SPROCESS* et *SDEVICE*. Le module *SPROCESS* permet de construire la structure en prenant en compte certains paramètres du procédé de fabrication réel (implantation, recuit...). Le module *SDEVICE* simule le comportement électrique de la structure créée dans *SPROCESS* en utilisant les modèles électriques (transport des porteurs, modèle avalanche et coefficients d'ionisation, modèles de génération-recombinaison etc.) que nous lui imposons. Nous utilisons également le module *SVISUAL* qui permet d'analyser et de visualiser certaines données électriques.

3.1.1 Module *SPROCESS* : construction de la structure

La création de la structure de la diode SPAD CMOS FD-SOI 28nm dans *Synopsys Sentaurus* est assurée par *SPROCESS*. Le code *SPROCESS* permet de prendre en compte certains paramètres de fabrication réalistes. Cependant, certaines autres étapes sont décrites de façon plus approximative. Nous allons les décrire brièvement dans cette section.

Dans un premier temps, les simulations tridimensionnelles requièrent des ressources de simulation trop importantes : pour cette raison, nous décrivons la structure de façon bidimensionnelle en la couplant avec une symétrie cylindrique. Un substrat de Si de $6\mu\text{m}$ d'épaisseur et $28\mu\text{m}$ de longueur est d'abord créé, qui est gravé aux cotes correspondant au positionnement des tranchées STI et de la couche du BOX. Un dépôt d'oxyde est ensuite réalisé pour la création des tranchées STI et du BOX, suivi par un dépôt de Si pour la réalisation du film mince de Si. Une couche d'oxyde nommée *Screen oxide* est déposée au-dessus et ne sera utilisée que pendant les étapes d'implantations ioniques. Ces étapes de dépôt d'oxyde et de Si ne décrivent pas les étapes de fabrication réalistes. Par contre, elles créent différentes zones de façon conforme à la technologie CMOS FD-SOI 28nm. La structure à cet état de simulation est illustrée sur la figure 3.1 .

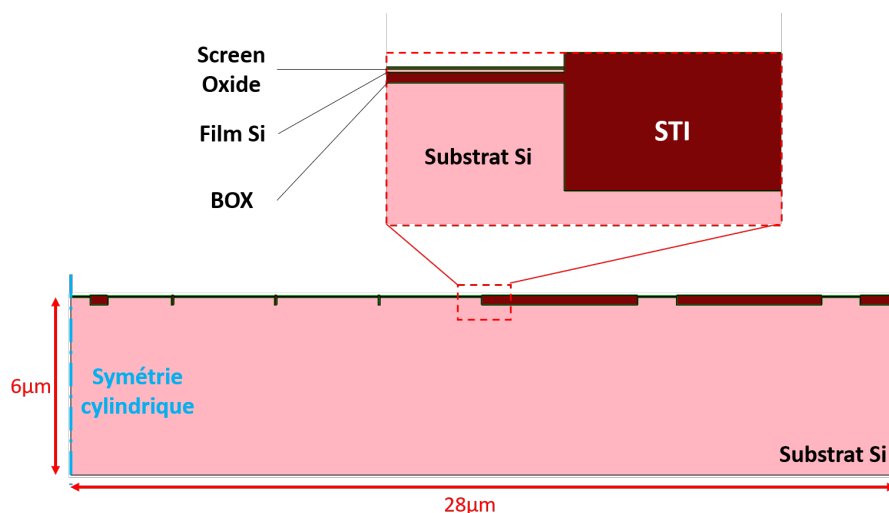


FIGURE 3.1 – Mise en place du film mince de Si (FD-SOI), du BOX, des tranchées STI et de la couche *Screen Oxide*

Une fois que la structure principale est formée, les étapes d'implantations ioniques se

poursuivent en prenant en compte les paramètres réels (dopage et énergie) afin de réaliser les caissons PW (en bleu), DNW (de jaune à rouge) et NW (en rouge) sur la figure 3.2. Ces étapes sont suivies par les étapes de recuits réalistes à différentes températures et durées afin de terminer la création des caissons et prendre en compte à la fois les phénomènes d'activation et de diffusion des impuretés. La couche *Screen oxide* est enfin enlevée. La structure après les étapes d'implantations et de recuits est représentée sur la figure 3.2.

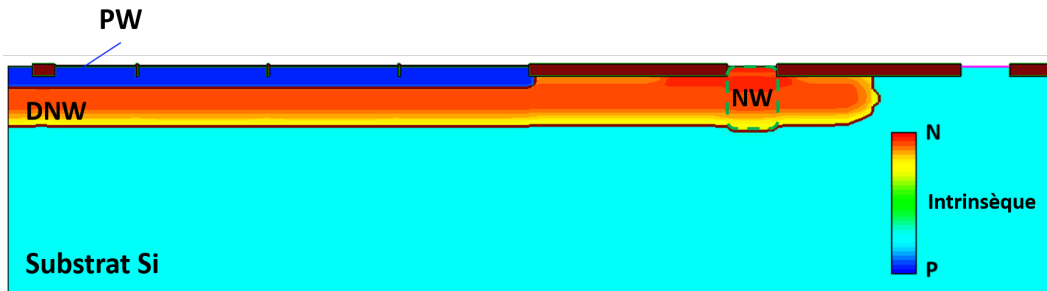


FIGURE 3.2 – Mise en place des caissons PW, DNW et NW

Afin que le module *SDEVICE* prenne en compte la structure créée dans *SPROCESS* et simule son comportement électrique, il faut définir les contacts de l'anode, de la cathode et du substrat. Les contacts appelés "SOI" viennent s'ajouter sur les zones du film mince de Si (FD-SOI) séparées par les tranchées STI afin d'éviter le problème de contacts de Si flottants. Comme tout outil de simulation basé sur les éléments finis, il faut imposer un certain maillage à la structure correspondant à des points de calcul. Un maillage dense est imposé dans les zones de fort champ électrique et à fort gradient de dopage, notamment à l'intérieur et aux alentours de la ZCE afin que les calculs électriques soient les plus précis possibles. La structure finale est illustrée sur la figure 3.3.

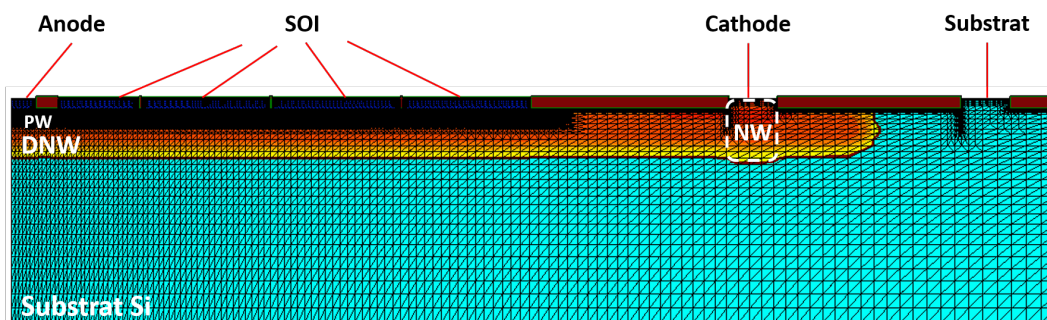


FIGURE 3.3 – Mise en place des contacts de l'anode, de la cathode et du substrat, ainsi que du maillage

3.1.2 Module *SDEVICE* : simulation de comportement électrique

Une fois que la distribution des matériaux a été définie avec *SPROCESS*, le module *SDEVICE* permet d'étudier le comportement électrique, éventuellement optique et thermique de la structure. Avant de lancer les simulations électriques, plusieurs paramétrisations sont à faire. D'abord, les modèles physiques (génération-recombinaison, transport des charges, ionisation...) sont à définir dans la section *Physics* du code *SDEVICE*. Dans la section *Maths*, la configuration mathématique pour la résolution numérique et les critères de convergence est détaillée. Enfin dans la section *Solve*, les types de simulations électriques sont choisis avec

les paramètres associés tels que l'incrément de polarisation inverse, le maximum et le minimum des pas de tension et de courant, etc.

Afin de simuler au mieux les comportements électriques, il faut soigneusement choisir les modèles physiques. Les sections suivantes décrivent les modèles que nous utilisons pour analyser le comportement électrique de SPAD CMOS FD-SOI 28nm.

3.1.3 Transport des porteurs

Synopsis Sentaurus prend en compte plusieurs modèles de transport des porteurs de charges dans les semi-conducteurs. Ils peuvent tous s'écrire sous la forme d'équations de continuité qui décrivent la conservation de charge :

$$\nabla \vec{J}_n = e \cdot (R_{net,n} - G_{net,n}) + e \cdot \frac{\partial n}{\partial t} \quad (3.1)$$

$$-\nabla \vec{J}_p = e \cdot (R_{net,p} - G_{net,p}) + e \cdot \frac{\partial p}{\partial t}$$

où $R_{net,n}$ et $R_{net,p}$ sont respectivement les taux de recombinaison nets des électrons et des trous (en $m^{-3}s^{-1}$).

$G_{net,n}$ et $G_{net,p}$ sont respectivement les taux de génération nets des électrons et des trous (en $m^{-3}s^{-1}$).

\vec{J}_n et \vec{J}_p sont les densités de courant pour les électrons et les trous (en Am^{-2}).

n et p sont les concentrations des électrons et des trous (en m^{-3}).

Le modèle dérive-diffusion des électrons et des trous est utilisé, afin de décrire le transport des porteurs. La dérive des porteurs est causée par le champ électrique et la diffusion des charges est créée par le gradient de leur concentration. Les densités de courant pour les électrons et les trous s'expriment respectivement de la façon suivante :

$$\vec{J}_n = e \cdot \mu_n \cdot n \cdot \vec{E} + e \cdot D_n \cdot \vec{\nabla} n \quad (3.2)$$

$$\vec{J}_p = e \cdot \mu_p \cdot p \cdot \vec{E} - e \cdot D_p \cdot \vec{\nabla} p$$

où μ_n et μ_p sont les mobilités des électrons et des trous (en $m^2V^{-1}s^{-1}$).

D_n et D_p sont les constantes de diffusion des électrons et des trous (en m^2s^{-1}).

$\vec{\nabla} n$ et $\vec{\nabla} p$ sont les gradients des concentrations des électrons et des trous (en m^{-4}).

Les valeurs de dopages étant modérées, les structures simulées sont non-dégénérées et nous nous sommes contentés de la statistique de Boltzmann. La constante de diffusion peut alors s'exprimer par la relation d'Einstein :

$$D = \frac{k \cdot T}{e} \cdot \mu \quad (3.3)$$

Les densités de courant pour les électrons et les trous se ré-écrivent de la façon suivante :

$$\vec{J}_n = -n \cdot e \cdot \mu_n \cdot \vec{\nabla} \phi_n \quad (3.4)$$

$$\vec{J}_p = -p \cdot e \cdot \mu_p \cdot \vec{\nabla} \phi_p \quad (3.5)$$

où ϕ_n et ϕ_p sont les potentiels du quasi niveau de Fermi pour les électrons et les trous.

Le champ électrique est calculé par la relation de Poisson :

$$\text{div } \vec{E} = \frac{\rho}{\varepsilon} \quad (3.6)$$

où ρ est la densité nette de charges (dopant ionisant et porteurs libres).

ε est la permittivité du matériau.

Le champ électrique et le potentiel sont reliés par la relation de gradient suivante :

$$\vec{E} = -\vec{\nabla}V \quad (3.7)$$

où V est le potentiel électrique.

3.1.4 Génération-recombinaison des porteurs

Les mécanismes de génération-recombinaison des porteurs décrivent les échanges de porteurs entre les bandes de conduction et de valence et sont importants pour les dispositifs semi-conducteurs. Parmi eux, la photogénération est le mécanisme qui domine la génération des porteurs sous illumination. Dans l'obscurité, par contre, d'autres mécanismes entrent en jeu et dominent la génération sans avoir besoin d'illumination.

3.1.4.1 Génération-recombinaison non radiative : modèle *Shockley-Read-Hall*

En fonction de la concentration de porteurs, le mécanisme dominant est radiatif (faible concentration), *Shockley-Read-Hall* (SRH), Auger (forte concentration) (Figure 3.4).

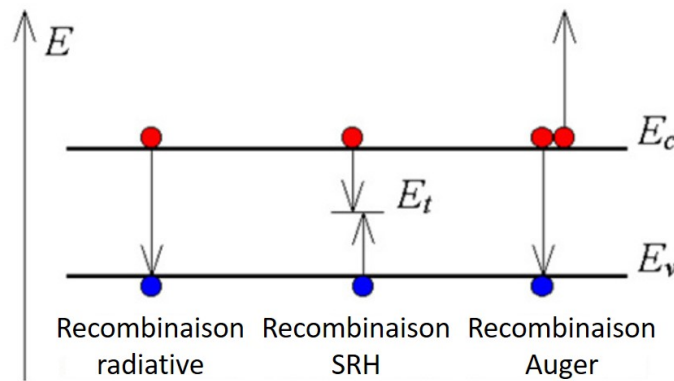


FIGURE 3.4 – Différents mécanismes de génération-recombinaison

Dans notre cas, le mécanisme majeur est modélisé par le modèle *SRH* [1]-[3] (mécanisme majeur dans les zones à relativement faible concentration de porteurs de charges), dans lequel la génération-recombinaison des porteurs est liée des niveaux associés à des défauts induits par la présence d'impuretés. Dans *Synopsys Sentaurus*, ce mécanisme est estimé par la grandeur R_{net}^{SRH} qui représente la différence entre la recombinaison totale et la génération totale :

$$R_{net}^{SRH} = \frac{n \cdot p - n_{i,eff}^2}{\tau_p \cdot (n + n_1) + \tau_n \cdot (p + p_1)} \quad (3.8)$$

avec

$$n_1 = n_{i,eff} \cdot e^{\frac{E_{trap}}{k \cdot T}} \text{ et } p_1 = n_{i,eff} \cdot e^{-\frac{E_{trap}}{k \cdot T}} \quad (3.9)$$

où E_{trap} est la différence entre le niveau moyen du défaut considéré et le niveau intrinsèque. La valeur par défaut est 0eV (ce qui correspond à une position au milieu du gap).

$n_{i,eff}$ est la densité intrinsèque effective des porteurs.

τ_n et τ_p représentent respectivement les durées de vie des électrons et trous.

k_B et T sont respectivement la constante de Boltzmann et la température.

Les durées de vie des électrons et trous sont dépendantes du dopage, de la température, ainsi que du champ électrique :

$$\tau_{n,p} = \tau_{dop} \cdot \frac{f(T)}{1 + g(E)} \quad (3.10)$$

où τ_{dop} représente la dépendance de la durée de vie vis-à-vis du dopage.

$f(T)$ et $g(E)$ représentent respectivement la dépendance de la durée de vie vis-à-vis de la température et de la norme du champ électrique.

La dépendance vis-à-vis du dopage s'exprime par la relation Scharfetter [4], [5] :

$$\tau_{dop} = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + \left(\frac{N_{A,0} + N_{D,0}}{N_{ref}} \right)^\gamma} \quad (3.11)$$

où τ_{min} et τ_{max} sont les valeurs de durée de vie minimales et maximales des électrons et trous.

$N_{A,0}$, $N_{D,0}$ sont respectivement la concentration en dopants de type accepteurs et donneurs.

N_{ref} est la concentration de référence.

γ est un coefficient propre au modèle.

Les paramètres de l'équation 3.11 pouvant être ajustés par l'utilisateur sont : τ_{min} , τ_{max} , N_{ref} et γ . Ces paramètres ont été légèrement ajustés pour obtenir une bonne cohérence entre les courants d'obscurité mesuré et simulé [6].

Dans l'équation 3.10, la dépendance vis-à-vis de la température est décrite de la façon suivante [7] :

$$f(T) = \left(\frac{T}{300K} \right)^\alpha \quad (3.12)$$

où α est un coefficient propre au modèle.

La dépendance vis-à-vis du champ électrique dans l'équation 3.10 est exprimée avec le modèle de Hurkx [8]. Ce modèle décrit le mécanisme de l'effet tunnel assisté par les pièges (*TAT*, *Trap-Assisted Tunneling*) qui s'appuie sur une combinaison entre le mécanisme de l'effet tunnel bande-à-bande (*B2B*, *Band to Band Tunneling*) et le mécanisme SRH :

$$g(E) = \int_0^{\tilde{E}_n} e^{u - \frac{2}{3} \cdot \frac{\sqrt{u^3}}{E}} du \quad (3.13)$$

avec

$$\tilde{E} = \frac{e \cdot \hbar}{2 \cdot \pi \cdot \sqrt{8 \cdot m_0 \cdot m_t \cdot k_B^3 \cdot T^3}} \cdot E \quad (3.14)$$

$$\tilde{E}_n = \begin{cases} 0, & k \cdot T \cdot \ln \frac{n}{n_i} > 0,5E_g \\ \frac{0,5E_g}{k \cdot T} - \ln \frac{n}{n_i}, & E_{trap} \leq k \cdot T \cdot \ln \frac{n}{n_i} \leq 0,5E_g \\ \frac{0,5E_g}{k \cdot T} - \frac{E_{trap}}{k \cdot T}, & E_{trap} > k \cdot T \cdot \ln \frac{n}{n_i} \end{cases} \quad (3.15)$$

où e est la charge élémentaire.

\hbar est la constante de Planck réduite.

m_0 est la masse des porteurs libres.

m_t est la masse effective des porteurs par l'effet tunnel.

3.1.4.2 Effet tunnel bande-à-bande

Un autre mécanisme de génération qui intervient souvent dans les jonctions à fort dopage (champ électrique élevé) est l'effet tunnel bande-à-bande (B2B). Dans *Synopsys Sentaurus*, il existe trois modèles pour décrire le mécanisme B2B : les modèles de Hurkx [8], [9], Schenk [10] (modèle par défaut) et Liou [11]. Les travaux dans la thèse de Túlio Chaves de Albuquerque [12] ont montré que les comportements de la diode SPAD CMOS FD-SOI sont similaires avec les trois modèles. Le modèle de Liou, qui est le plus simple, a donc été choisi et introduit un taux de génération local G^{B2B} tel que :

$$G^{B2B} = A \cdot E^p \cdot e^{-\frac{B}{E}} \quad (3.16)$$

où A , B et p sont les coefficients propres au modèle de Liou.

3.1.5 Génération par avalanche et coefficient d'ionisation

La génération par avalanche dans les diodes SPAD est engendrée par le processus d'ionisation par impact (décrit dans la section 1.1). Le taux de génération de paires électron-trou par des porteurs à très forte énergie cinétique s'exprime de la façon suivante [13] :

$$G^{II} = \alpha_n \cdot n \cdot v_n + \alpha_p \cdot p \cdot v_p \quad (3.17)$$

où α_n et α_p sont les coefficients d'ionisation des électrons et des trous (cm^{-1}).

v_n et v_p sont les vitesses des électrons et des trous (en cm s^{-1}).

α_n et α_p représentent le nombre de paires électron-trou générées par unité de longueur traversée respectivement par les électrons et les trous. Ils sont cruciaux pour la simulation du processus d'avalanche et ont un impact majeur sur le comportement électrique de la structure simulée. Il existe plusieurs modèles pour décrire le processus d'avalanche dans *Synopsys Sentaurus*, dont la plupart sont basés sur le modèle de Chynoweth [14] :

$$\alpha(E) = a \cdot e^{-\frac{b}{E}} \quad (3.18)$$

où a et b sont les constantes propres au modèle de Chynoweth et E la composante du champ électrique dans la direction du courant.

Quatre modèles sont disponibles et ont été testés dans les travaux antérieurs [6], [12] : modèles de Van Overstraeten de Man [15], d'Okuto-Crowell [16], de Lackner [17] et celui développé par l'Université de Bologne (modèle UniBo) [18], [19].

Le modèle de Van Overstraeten de Man est similaire à celui de Chynoweth avec la prise en compte de l'énergie des phonons (dépendance des coefficients d'ionisation vis-à-vis de la température) :

$$\alpha(E) = \gamma \cdot a \cdot e^{-\frac{\gamma \cdot b}{E}} \quad (3.19)$$

où γ représente l'énergie optiques des phonons (variable en fonction de la température).

Ce modèle est applicable pour le champ électrique E se trouvant dans la plage de $1.75 \times 10^5 \text{ Vcm}^{-1}$ à $7 \times 10^5 \text{ Vcm}^{-1}$.

Le modèle d'Okuto-Crowell tient compte d'une plus grande plage de champ électrique ($1 \times 10^5 \text{ Vcm}^{-1}$ à $1 \times 10^6 \text{ Vcm}^{-1}$) et étend la sensibilité à la température :

$$\alpha(E) = a \cdot (1 + c \cdot (T - T_0)) \cdot E^\gamma e^{-\left(\frac{b \cdot (1+d \cdot (T-T_0))}{E}\right)^\delta} \quad (3.20)$$

où a , b , c , d et δ sont les constantes propres au modèle d'Okuto-Crowell et sont ajustées pour le Si.

Le modèle de Lackner est une extension du modèle de Van Overstraeten de Man (ce modèle a été choisi pour toutes nos simulations électriques) avec les pseudo-ionisations locales et étend également la plage d'application du champ électrique ($1 \times 10^5 \text{ Vcm}^{-1}$ à $1 \times 10^6 \text{ Vcm}^{-1}$) :

$$\alpha(E) = \frac{\gamma \cdot a}{Z} \cdot e^{-\frac{\gamma \cdot b}{E}} \quad (3.21)$$

avec

$$Z = 1 + \frac{\gamma \cdot b_n}{E} \cdot e^{-\frac{\gamma \cdot b_n}{E}} + \frac{\gamma \cdot b_p}{E} \cdot e^{-\frac{\gamma \cdot b_p}{E}} \quad (3.22)$$

où a et b sont les constantes propres au modèle de Lackner.

Le modèle récemment développé par l'université de Bologne repose sur la résolution numérique de l'équation de transport de Boltzmann et également sur les données expérimentales. Le coefficient d'ionisation peut être calibré pour les valeurs du champ électrique entre $5 \times 10^4 \text{ Vcm}^{-1}$ et $6 \times 10^5 \text{ Vcm}^{-1}$ et une température entre 300 K et 700 K :

$$\alpha(E) = \frac{E}{a(T) + b(T) \cdot e^{\frac{d(T)}{E+c(T)}}} \quad (3.23)$$

où $a(T)$, $b(T)$, $c(T)$ et $d(T)$ sont les coefficient propres au modèle UniBo qui dépendent de la température.

Une deuxième version du modèle UniBo est récemment proposée par la même équipe [20]-[22], permettant d'étendre la plage d'application de température jusqu'à 773 K. Les deux versions UniBo et UniBo2 sont tous disponibles dans *Synopsys Sentaurus*.

3.1.6 Calcul de la probabilité de déclenchement d'une avalanche

Comme mentionné dans la section 1.2.4 du premier chapitre, la PDP est une fonction de la probabilité de déclenchement d'avalanche (*ATP*, *Avalanche Triggering Probability*) et du taux de photogénération. Simuler correctement l'ATP est crucial pour estimer certains critères de performances, tels que le DCR et la PDP. Dans *Synopsys Sentaurus*, le modèle de McIntyre [23] est utilisé pour simuler l'ATP. Dans le cas d'un problème à une dimension portée par l'axe x , son expression est donnée par la relation suivante :

$$\begin{aligned} ATP(x) &= P_e(x) + P_p(x) - P_e(x) \cdot P_p(x) \\ \Rightarrow ATP(x) &= 1 - (1 - P_e(x)) \cdot (1 - P_p(x)) \end{aligned} \quad (3.24)$$

$$\Rightarrow \frac{dATP(x)}{dx} = (1 - P_e(x)) \cdot \frac{dP_p(x)}{dx} + (1 - P_p(x)) \cdot \frac{dP_e(x)}{dx} \quad (3.25)$$

où $P_e(x)$ et $P_p(x)$ représentent respectivement la probabilité de déclenchement d'avalanche par un électron et par un trou.

Les probabilités P_e et P_p peuvent s'exprimer de la façon suivante selon les travaux d'Oldham [24] :

$$\begin{aligned}\frac{dP_e(x)}{dx} &= (1 - P_e(x)) \cdot \alpha_e \cdot ATP(x) \\ \frac{dP_p(x)}{dx} &= -(1 - P_p(x)) \cdot \alpha_p \cdot ATP(x)\end{aligned}\quad (3.26)$$

En réinjectant les équations d'Oldham dans l'équation de McIntyre, l'équation 3.25 devient :

$$\frac{dATP(x)}{dx} = (1 - ATP(x)) \cdot (\alpha_e - \alpha_p) \cdot ATP(x) \quad (3.27)$$

Enfin, en considérant une largeur de la ZCE W , l'équation de McIntyre prend la forme finale suivante :

$$ATP(x) = \frac{P_p(0) \cdot f(x)}{P_p(0) \cdot f(x) + 1 - P_p(0)} \quad (3.28)$$

où

$$f(x) = e^{\int_0^x (\alpha_e - \alpha_p) dx} \quad (3.29)$$

avec les conditions aux limites suivantes avec le coté dopé n à la position 0 et le coté dopé p à la position W :

$$\begin{cases} P_e(0) = 0 & P_p(W) = 0 \\ ATP(0) = P_p(0) & ATP(W) = P_e(W) \end{cases} \quad (3.30)$$

3.1.7 Méthodes d'analyse

Dans notre méthodologie de simulation, deux méthodes complémentaires de simulations dans le module *SDEVICE* sont utilisées : *Resistor* et *ABA (Approximate Breakdown Analysis)*. Elles permettent d'extraire différentes données de simulations électriques en régime statique (par exemple la tension de claquage). La méthode *Resistor* consomme plus de ressources de calculs et les résultats sont davantage en accord avec les données expérimentales [25]. La méthode *ABA* est basée sur le calcul des intégrales d'ionisation (sans calcul de courant). Elle est numériquement plus efficace, mais moins précise pour extraire certaines données comme la tension de claquage.

3.1.7.1 Méthode *Resistor*

Pour ce type de simulations, le contact d'anode de la structure est associé à une résistance externe de forte valeur qui est reliée à la masse. Le contact de cathode est polarisé en inverse. La courbe caractéristique courant-tension $I(V)$ peut donc être déterminée et il est possible d'activer ou désactiver le modèle d'avalanche (Simulations appelées respectivement *Resistor ON* et *Resistor OFF*). Pour le premier mode, l'avalanche se produit dans la structure et le courant de la courbe $I(V)$ augmente exponentiellement au-delà de la tension de claquage. Nous pouvons estimer le niveau du courant d'obscurité et la tension de claquage à partir de ce type de courbe $I(V)$. Pour l'autre mode, l'avalanche est artificiellement désactivée. Ceci permet

d'estimer l'état de la structure juste avant l'avalanche et de nous aider à déterminer certains critères de performance comme le DCR et la PDP car ils sont déterminés dans un état non-équilibre où l'avalanche ne s'est pas encore produite, mais est susceptible de se déclencher. Le mode *Resistor OFF* est donc notamment utile pour extraire des cartographies des taux de génération/recombinaison, du champ électrique, etc. La courbe $I(V)$ monte progressivement sans avalanche au-delà de la tension de claquage à cause de l'effet Zener (Figure 3.5).

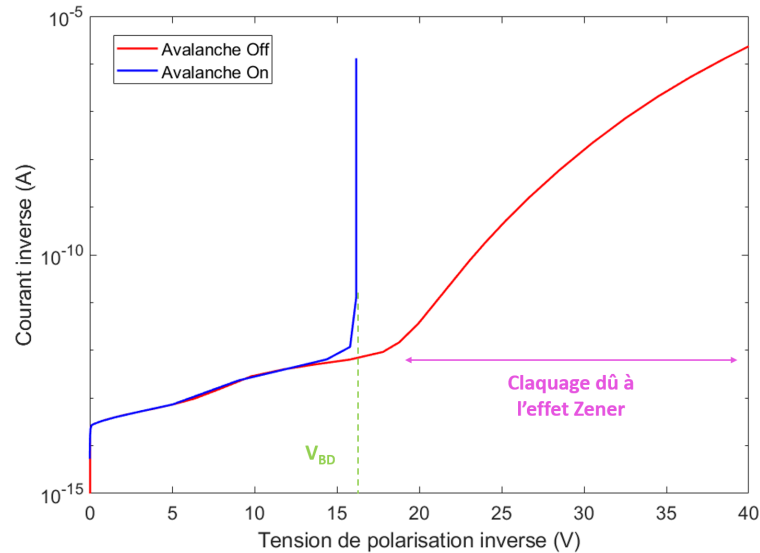


FIGURE 3.5 – Courbes $I(V)$ obtenues avec la méthode *Resistor* et l'avalanche activée (On) ou désactivée (Off) pour une structure SPAD CMOS FD-SOI (DNW modifié) à 300K

3.1.7.2 Méthode ABA

La méthode *ABA* (*Approximate Breakdown Analysis*) calcule l'intégrale d'ionisation des électrons et des trous ϕ_e et ϕ_h selon les équations 3.36 et 3.37 qui décrivent l'injection des électrons et trous respectivement. Étant donné que ces critères ne sont pas dépendants des densités de courant, nous pouvons effectuer une analyse d'avalanche en résolvant unique l'équation de Poisson et les intégrales d'ionisation sous l'hypothèse que le quasi niveau de Fermi reste constant dans la région de déplétion. Ceci nous permet de déterminer le facteur de multiplication M_p qui tend vers l'infini lorsque l'avalanche se produit.

Si nous reprenons le taux de génération par ionisation par impact (équation 3.17), en négligeant la diffusion :

$$G^{II} = \alpha_n \cdot \frac{J_n}{e} + \alpha_p \cdot \frac{J_p}{e} \quad (3.31)$$

La densité du courant totale s'exprime en fonction de celle des électrons et des trous et est constante dans le cas 1D :

$$J = J_n(x) + J_p(x) \quad (3.32)$$

Pour une jonction pn, la densité du courant des trous atteint son maximum à la position $x=W$ (du côté n), alors que celle des électrons est négligeable : $J \approx J_p(W)$. Nous pouvons introduire le facteur de multiplication M_p pour décrire J_p :

$$J_p(x) = M_p \cdot J_p(0) \approx J \quad (3.33)$$

où $J_p(0)$ est la densité de courant des trous à la position $x=0$.

En considérant l'équation 3.1 dans le cas 1D, ainsi que les équations 3.31 et 3.32, la variation de J_p à travers la ZCE est donnée par :

$$\begin{aligned} dJ_p &= J_p \cdot \alpha_p dx + J_n \cdot \alpha_n dx \\ \Rightarrow \frac{dJ_p}{J_p} - \alpha_p &= \alpha_n \end{aligned} \quad (3.34)$$

En prenant en compte la condition aux limites (équation 3.33), la solution de l'équation différentielle 3.34 est :

$$1 - \frac{1}{M_p} = \int_0^W \alpha_p \cdot e^{-\int_0^x (\alpha_p - \alpha_n) dx} dx = \phi_p \quad (3.35)$$

Lors de l'avalanche, M_p tend vers l'infini et l'intégrale d'ionisation des trous tend vers 1 :

$$\int_0^W \alpha_p \cdot e^{-\int_0^x (\alpha_p - \alpha_n) dx} dx = \phi_p \xrightarrow{M_p \rightarrow +\infty} 1 \quad (3.36)$$

Une expression similaire pour les électrons peut être décrite :

$$1 - \frac{1}{M_n} = \int_0^W \alpha_n \cdot e^{-\int_0^x (\alpha_n - \alpha_p) dx} dx = \phi_n \xrightarrow{M_n \rightarrow +\infty} 1 \quad (3.37)$$

En traçant les intégrales d'ionisation ϕ_n et ϕ_p en fonction de la polarisation inverse, la condition d'avalanche s'obtient donc lorsque $\phi_n = \phi_p = 1$. La tension de claquage V_{BD} correspond à l'abscisse commune du point tel que $\phi_n = \phi_p$, c.-à-d. lorsque la multiplication des porteurs tend vers l'infini, aussi bien pour les trous (M_p) que pour les électrons (M_n) (Figure 3.6).

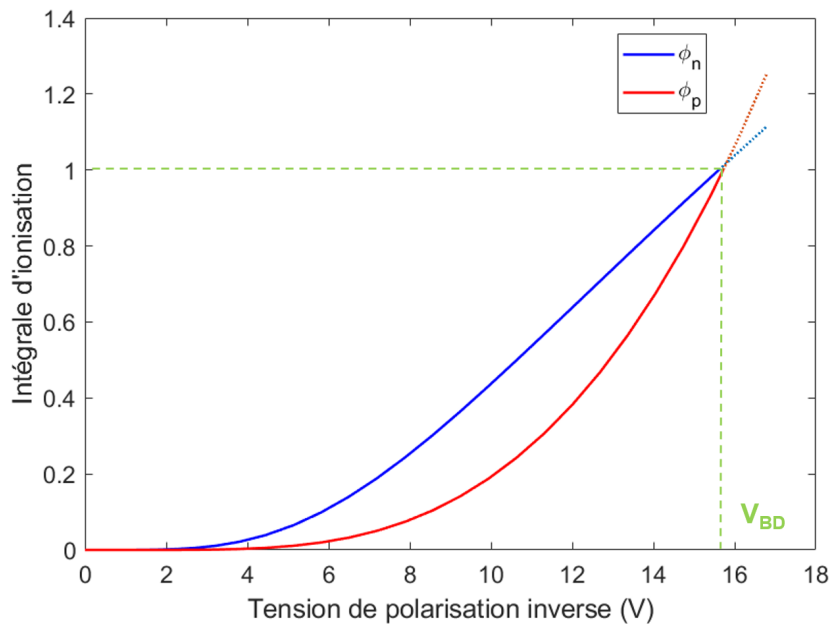


FIGURE 3.6 – Exemple de courbes $\phi(V)$ simulées sur une structure SPAD CMOS FD-SOI (DNW modifié) à 300K

3.2 Outil de simulation optique : *Ansys Lumerical FDTD*

Ansys Lumerical est un ensemble d'outils de simulation multi-physiques pour simuler les phénomènes optiques, électriques, thermiques et quantiques au sein des dispositifs intégrés. Il fournit une grande interopérabilité afin de travailler en conjonction avec des outils d'automatisation de la conception électroniques (*EDA, Electronic design automation*) et des outils de conception optique et d'analyse.

Le module *Ansys Lumerical FDTD* emploie la méthode de calcul des différences finies dans le domaine temporel (*FDTD, Finite Difference Time Domain*) qui est très fréquemment utilisée en électromagnétisme pour résoudre les équations de Maxwell. Ce module fournit la possibilité de réaliser des scripts et des post-traitements intégrés.

3.2.1 Implémentation de la méthode FDTD dans *Ansys Lumerical FDTD*

3.2.1.1 Méthode de résolution des équations de Maxwell

La FDTD est une méthode de calcul pour résoudre les équations de Maxwell dans le domaine temporel :

$$\begin{aligned}\vec{\nabla} \cdot \vec{E} &= \frac{\rho}{\varepsilon} \\ \vec{\nabla} \cdot \vec{B} &= 0 \\ \vec{\nabla} \times \vec{E} &= -\frac{\partial \vec{B}}{\partial t} \\ \vec{\nabla} \times \vec{B} &= \mu \vec{J} + \mu\varepsilon \frac{\partial \vec{E}}{\partial t}\end{aligned}\tag{3.38}$$

où \vec{E} est le champ électrique.

\vec{B} est le champ magnétique.

ρ est la densité volumique de charge libres.

\vec{J} est la densité du courant électrique issue des charges libres

μ et ε sont respectivement la perméabilité et la permittivité du matériau.

Cette méthode calcule toutes les composantes vectorielles du champ électrique et du champ magnétique. Comme la FDTD est une méthode de calcul dans le domaine temporel, une seule simulation est suffisante pour une large gamme de longueur d'onde. Cette méthode est fréquemment utilisée dans les cas où les dimensions de la structure sont du même ordre de grandeur que les longueurs d'onde.

Les équations de Maxwell sont résolues de façon numérique dans le domaine temporel dans un maillage discret de l'espace et du temps, c.-à-d. les champs électrique et magnétique sont discrétisés dans l'espace et dans le temps. Les pas de discrétisation dans l'espace et dans le temps sont notés Δx (ou Δy ou Δz) et Δt et souvent notés i et n respectivement. Les composantes des champs électrique et magnétique sont distribuées dans une cellule unitaire appelée cellule de *Yee* (*Yee cell* ou *Yee lattice* (Figure 3.7)), où chaque composante vectorielle du champ \vec{E} est située à mi-chemin entre une paire de composantes vectorielles de l'excitation magnétique \vec{H} [26].

Pour les matériaux diamagnétiques et paramagnétiques, la relation entre les champs \vec{H} et \vec{B} peut s'exprimer par l'équation suivante :

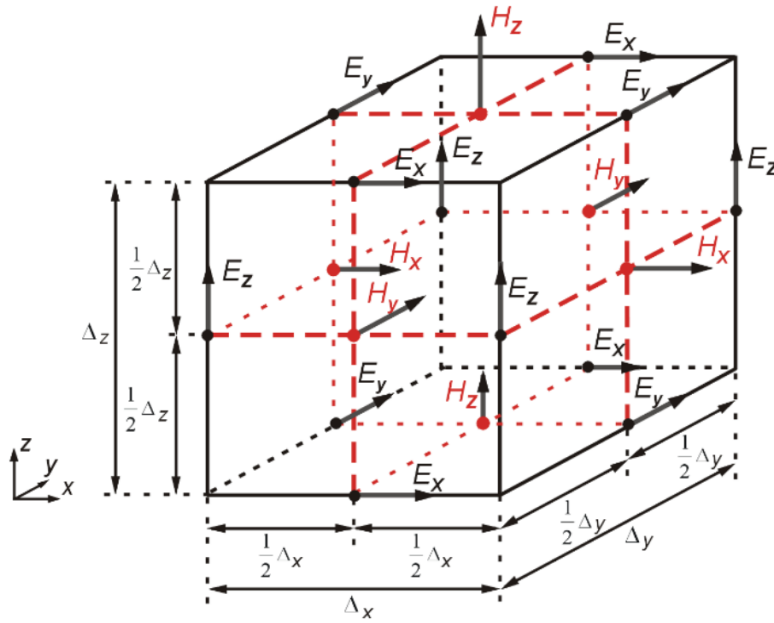


FIGURE 3.7 – Construction de la cellule de Yee [27]

$$\vec{B} = \mu_0 \cdot (1 + \chi) \cdot \vec{H} \quad (3.39)$$

où χ est la susceptibilité magnétique du matériau.

Ceci est fondamental pour la méthode FDTD, car cette approche a démontré une très bonne robustesse pour des structures complexes avec des dimensions multiples.

Dans *Ansys Lumerical FDTD*, le champ électrique est résolu aux instants $n + \frac{1}{2}$ et le champ magnétique est résolu aux instants n (en supposant qu'il n'y a pas de courant induit par la présence de charges libres interagissant avec le signal optique pour la première mise à jour, soit $\rho = 0$ et $\vec{J} = 0$) :

$$\vec{E}^{n+\frac{1}{2}} = \vec{E}^{n-\frac{1}{2}} + \frac{\Delta t}{\varepsilon} \vec{\nabla} \times \vec{H}^n \quad (3.40)$$

$$\vec{H}^{n+1} = \vec{H}^n - \frac{\Delta t}{\mu} \vec{\nabla} \times \vec{E}^{n+\frac{1}{2}}$$

Nous pouvons constater que la mise à jour du champ \vec{E} dépend du champ \vec{E} à l'instant précédent $n - \frac{1}{2}$ et du champ \vec{H} à l'instant n . Similairement pour le champ \vec{H} , la mise à jour dépend du champ \vec{H} à l'instant précédent n et du champ \vec{E} à l'instant $n + \frac{1}{2}$.

Au début de la simulation, les champs \vec{E} et \vec{H} sont nuls. Nous suivons la séquence de mise à jour ci-après jusqu'au moment où nous arrêtons la simulation, une fois que les signaux se stabilisent dans l'espace simulé :

$$\vec{E}^{-\frac{1}{2}} = 0, \vec{H}^0 = 0 \quad (3.41)$$

$$\vec{H}^0 \rightarrow \vec{E}^{\frac{1}{2}} \rightarrow \vec{H}^1 \rightarrow \vec{E}^{\frac{3}{2}} \rightarrow \vec{H}^2 \rightarrow \vec{E}^{\frac{5}{2}} \rightarrow \dots \rightarrow \vec{H}^n \rightarrow \vec{E}^{n+\frac{1}{2}}$$

Les champs \vec{E} et \vec{H} ne sont pas calculés aux mêmes instants et ils sont toujours décalés d'un demi pas temporel. Cependant, lorsque les résultats de simulation sont enregistrés dans un moniteur du type temporel, ce dernier va interpoler les champs \vec{E} et \vec{H} aux mêmes

instants. Cette approche permet d'obtenir une précision du second ordre : les erreurs entre les résultats de simulation FDTD et les solutions exactes des équations de Maxwell évoluent avec le pas de temps au carré.

En plus de la discrétisation du champ \vec{E} et du champ \vec{H} , nous devons également discrétiser la permittivité des matériaux utilisés dans la structure. Dans la plupart des cas, nous n'avons besoin que d'attribuer un profil de permittivité pour tout matériau utilisé. Pourtant, la situation est plus complexe proche des interfaces entre les matériaux, car les interfaces peuvent traverser une cellule à n'importe quelle position et orientation et chaque composante des champs \vec{E} et \vec{H} se trouve à des positions différentes. *Ansys Lumerical FDTD* redéfinit les composantes x, y et z de la permittivité au voisinage des interfaces, même si tous les matériaux sont isotropes : $\varepsilon_{i,j,k}^{x,y,z}$.

3.2.1.2 Temps de calcul et consommation de mémoire

Il est possible de réaliser des simulations FDTD 2D et 3D dans *Ansys Lumerical FDTD*. Pour le cas en 2D, la dimension de la structure est supposée infinie dans la direction z. Par conséquent, la permittivité et les champs \vec{E} et \vec{H} restent constants dans la direction z :

$$\begin{aligned}\frac{\partial \varepsilon}{\partial z} &= 0 \\ \frac{\partial \vec{E}}{\partial z} &= \vec{0} \\ \frac{\partial \vec{H}}{\partial z} &= \vec{0}\end{aligned}\tag{3.42}$$

Avec cette hypothèse, nous pouvons séparer les équations de Maxwell en deux ensembles d'équations souvent appelés *TE (Transverse Electric)* et *TM (Transverse Magnetic)*. Le premier implique les composantes E_x , E_y et H_z , alors que pour le second, les composantes H_x , H_y et E_z sont concernées. Cependant, dans certains cas comme des matériaux anisotropes avec des éléments hors diagonale sur le tenseur représenté par la permittivité ε , cette séparation de polarisation n'est plus valide. En général, dans le cas 2D, *Ansys Lumerical FDTD* lancera une simulation TE ou TM ou une combinaison des deux selon la source polarisée que nous imposons.

Une autre considération importante concerne la façon dont le temps de simulation FDTD et la mémoire consommée évoluent avec la taille d'une maille. Le tableau 3.1 résume les proportionnalités entre le temps de simulations, la mémoire consommée et les points par longueur d'onde ($\frac{\lambda}{n \cdot \Delta x}$, défini comme le rapport entre la longueur d'onde et la taille d'une maille, avec n la partie réelle de l'indice de réfraction du matériau), si nous considérons des mailles uniformes ($\Delta x = \Delta y = \Delta z$) :

	Simulation FDTD 2D	Simulation FDTD 3D
Mémoire consommée	$\sim \left(\frac{\lambda}{n \cdot \Delta x}\right)^2$	$\sim \left(\frac{\lambda}{n \cdot \Delta x}\right)^3$
Temps de simulation FDTD	$\sim \left(\frac{\lambda}{n \cdot \Delta x}\right)^3$	$\sim \left(\frac{\lambda}{n \cdot \Delta x}\right)^4$

TABLE 3.1 – Évolution du temps de simulation et de la mémoire consommée en fonction de la discrétisation spatiale dans les cas 2D et 3D (en supposant un maillage identique sur tous les axes)

Nous pouvons constater que la mémoire consommée augmente en fonction des points par longueur d'onde au carré dans le cas 2D et au cube dans le cas 3D. Quant au temps de simulation, il évolue en fonction des points par longueur d'onde au cube en 2D et à la puissance 4 en 3D. Il est donc important de bien considérer la taille du maillage car un temps de simulation colossal pourra résulter d'une taille de maille trop petite. Les points par longueur d'onde déterminent également la précision des simulations FDTD. En règle générale, les erreurs de certains résultats de simulation comme la transmission et la réflexion sont de l'ordre de 1% à 2% de la solution exacte. Il est également à noter que les points par longueur d'onde sont définis par rapport aux longueurs d'onde dans le matériau. Ainsi, pour les matériaux de permittivité élevée (n grand), une taille de maille plus petite est nécessaire afin d'obtenir une précision similaire.

3.2.2 Mise en place des simulations FDTD : principaux réglages

Dans *Ansys Lumerical FDTD*, nous avons besoin de mettre en place un environnement dans lequel il faut spécifier une région de simulation FDTD, des structures, des matériaux, une source lumineuse et également des moniteurs pour enregistrer les résultats de simulation. Chaque bloc joue un rôle différent et essentiel pour que les simulations puissent tourner correctement. La région de simulation FDTD est l'endroit où les simulations ont lieu. Aucune structure hors de la région de simulation FDTD ne sera prise en compte par les simulations. Les structures dans la région de simulation doivent se référer à un matériau avec ses propriétés optiques bien définies. La source lumineuse et des moniteurs doivent également se placer dans la région de simulation FDTD.

3.2.2.1 Propriétés des matériaux

Il est important de soigneusement définir les propriétés optiques des matériaux utilisés dans la simulation car les résultats de simulation sont basés sur l'interaction entre la source et les matériaux utilisés. *Ansys Lumerical FDTD* est capable de modéliser différents types de matériaux, tels que les matériaux dispersifs linéaires, non-linéaires, anisotropes et dont l'indice de réfraction varie spatialement. Par défaut, plusieurs modèles de matériaux communément utilisés tels que le silicium, le verre, l'air, l'aluminium, l'argent et l'or sont disponibles dans la base de données des matériaux FDTD (*Material Database*). Les propriétés de ces matériaux sont issues de données expérimentales dont l'accès est ouvert au public. En cas de besoin, il est possible d'importer des données expérimentales (par exemple, obtenues en ellipsométrie) ou d'imposer des constantes pour les indices optiques n et k .

A partir de ces différentes entrées définissant les courbes de dispersions, *Ansys Lumerical FDTD* va exploiter une expression algébrique qu'il va ajuster au mieux pour chaque matériau utilisé dans la simulation : ceci permet de limiter le bruit numérique issu des données expérimentales (Figure 3.8). Plus de détails sur les différentes options sont donnés en Annexe A.

3.2.2.2 Conditions aux limites

Outre les réglages en volume, avec des ajustements du maillage localement en cas de besoin, de nombreux réglages concernent les interfaces, dont voici les principaux :

- entre les matériaux, ce qui nécessite parfois de concéder à des approximations sur les courbes de dispersion au voisinage des interfaces.

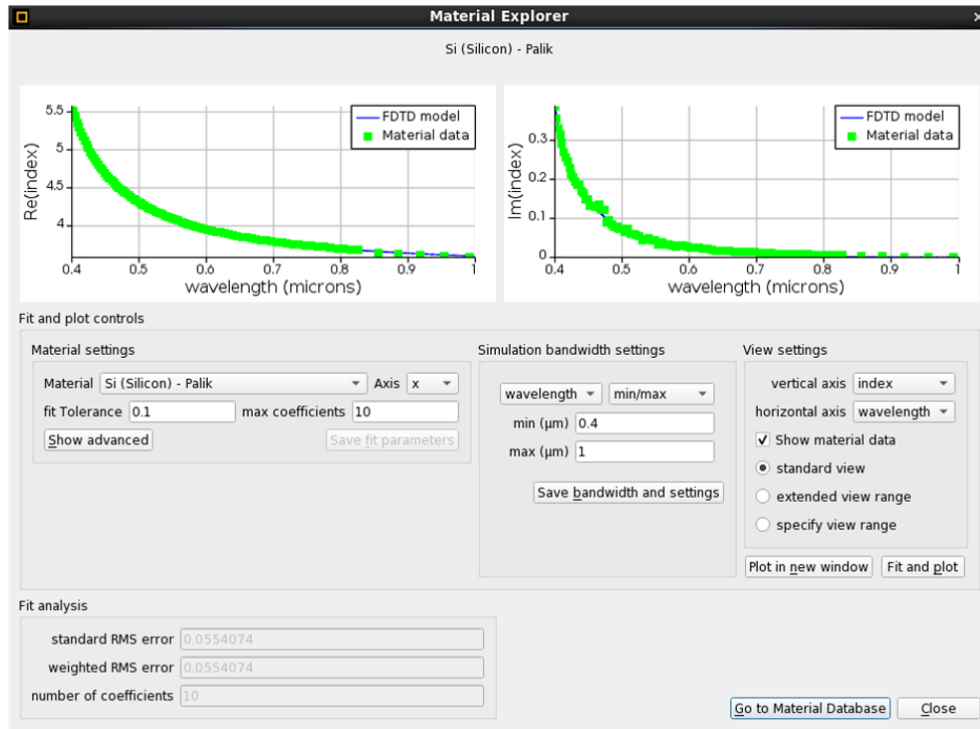


FIGURE 3.8 – Explorateur des matériaux avec les courbes des données modélisées (*FDTD model*) et expérimentales (*Material data*) du Si

- avec les limites de la région simulée. Dans ce cas, différentes conditions sont possibles : périodiques ou de "Bloch" (pour les incidences quelconques), parfaitement absorbantes (*PML, Perfectly Matched Layer*), symétriques ou anti-symétriques, etc.

Ces conditions aux limites appliquées à la structure s'accompagnent de contraintes aux sources lumineuses ou aux moniteurs, notamment si nous souhaitons nous focaliser sur les modes TE ou TM (Figure 3.9). Le choix des conditions aux limites permet très significativement d'accélérer les temps de calcul, surtout pour les structures périodiques supposées infinies. Plus de détails sur les différentes optiques sont détaillés en Annexe B.

3.2.2.3 Sources de lumière et moniteurs

Plusieurs types de sources servent à définir la géométrie des champs électromagnétiques auxquels la structure est exposée :

- les sources de type onde plane ("*Plane Wave*") qui permettent d'exciter la structure avec une onde dont le front d'onde est un plan perpendiculaire à la direction de propagation. Ce type d'onde revient à considérer une source optique placée infiniment loin de la région étudiée. C'est aussi un type d'excitation parfaitement adapté aux cristaux photoniques dont la structure élémentaire est petite devant le front d'onde, exposée à une source polychromatique non cohérente (lumière ambiante, soleil, etc).
- les sources de type gaussiennes qui sont particulièrement adaptées pour les structures exposées à une source Laser (lumière cohérente spatialement et temporellement). Dans ce cas, l'enveloppe d'amplitude dans le plan transversal est donnée par une fonction gaussienne.
- les sources ponctuelles qui sont modélisées par des dipôles. Ce cas est davantage adapté aux cavités fortement résonantes ou couplées, ce qui n'est pas le cas de nos

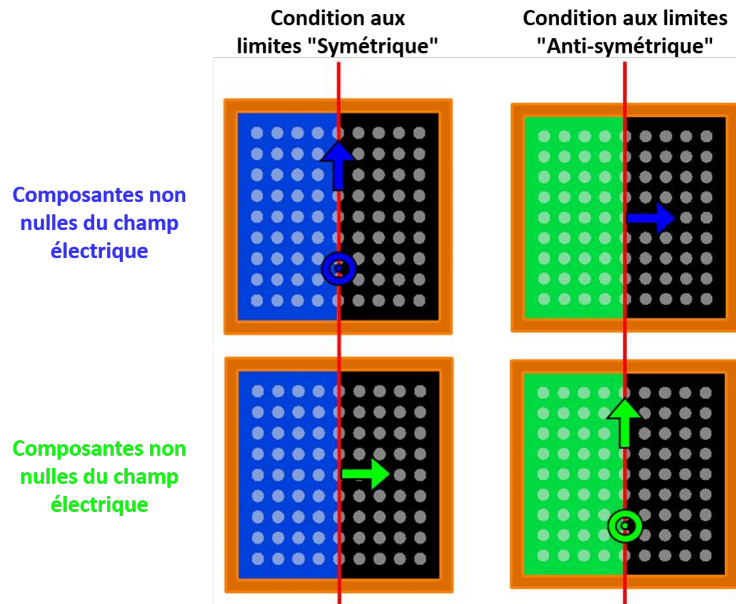


FIGURE 3.9 – Polarisation des composantes non nulles des champs électrique (bleu) et magnétique (vert) au plan de symétrie

diodes SPAD.

Les résultats de simulation sont enregistrés par différents moniteurs, typiquement pour obtenir l'évolution de grandeurs temporelles (champ électrique, magnétique, vecteur de Poynting, etc). Le moniteur fréquentiel permet de remonter aux spectres de transmission et réflexion. Plus de détails sur les sources de lumière et les moniteurs sont décrits en Annexe C.

3.3 Couplage électro-optique

Une fois que les simulations électriques et optiques sont terminées, les données issues de ces simulations ont besoin d'être traitées afin de calculer la PDP de diodes SPAD (équation 1.2). Un script *Matlab* a été développé dans ce sens : celui-ci permet de coupler les données sous différents formats et de réaliser le calcul de PDP. Dans cette section, nous allons détailler cet outil de post-traitement.

3.3.1 Traitement des données électriques

Comme mentionné dans la section 3.1.1, dans notre méthodologie de simulation électrique, la structure est modélisée en 2D avec une symétrie cylindrique qui demande moins de ressources de calculs. Ainsi les données issues des simulations électriques sont disponibles sous forme de tableaux 2D. Les simulations optiques étant en 3D, il faut donc transformer ces tableaux 2D en matrices 3D selon la symétrie cylindrique.

Théoriquement, le maillage dans une ligne x à une profondeur z (Figure 3.10a) est commun pour tout rayon de la structure pseudo-3D à la même profondeur z (par rotation autour de l'axe de symétrie). Si nous considérons le maillage dans *Ansys Lumerical FDTD* à la même profondeur z , nous pouvons calculer le rayon de chaque maille à partir de leurs coordonnées cartésiennes et les rapporter à la ligne x . Nous pouvons ensuite interpoler les données électriques à cette nouvelle maille et attribuer les données interpolées à la maille initiale (Figure

3.10b). En faisant cette interpolation pour toutes les mailles dans toutes les profondeurs dans *Ansys Lumerical FDTD*, nous arrivons à transformer les tableaux 2D de données électriques en matrices 3D.

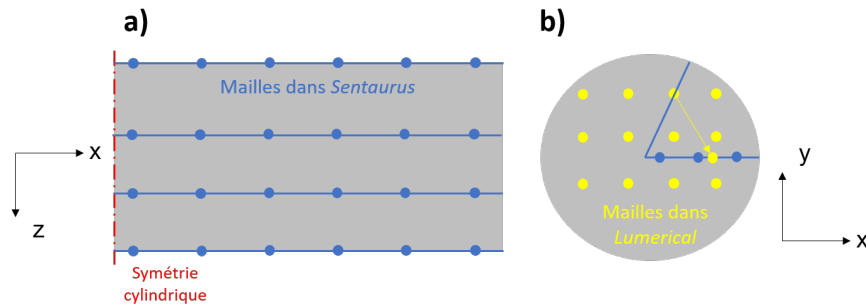


FIGURE 3.10 – Représentation schématique du maillage de diodes SPAD a) en vue en coupe ; b) en vue de dessus

Afin de générer les tableaux 2D de données électriques qui sont sous format *.csv*, nous pouvons utiliser la fonction "Multi-coupe" de *SDEVICE*, qui permet de réaliser des coupes selon z à multiples abscisses x . Le fichier de sortie est un tableau 2D avec les colonnes impaires représentant les profondeurs z et les colonnes paires contenant les données électriques à z correspondant (Figure 3.11). Le maillage vertical à chaque abscisse x étant différent, la taille des colonnes paires et impaires des fichiers *.csv* peut être différente. Pour celles qui ont moins de lignes, les cases manquantes de ces colonnes sont remplies par "-" et ne peuvent pas être traités par le script *Matlab*. Dans ce script, nous remplaçons "-" par "NaN" et ajoutons un détecteur de "NaN" afin d'arrêter la lecture des données à la ligne précédente de celle de "NaN". Un maillage commun peut donc être trouvé en faisant la lecture de toutes les colonnes impaires contenant les profondeurs z et nous pouvons réaliser l'interpolation des données électriques suivant la profondeur z selon ce nouveau maillage.

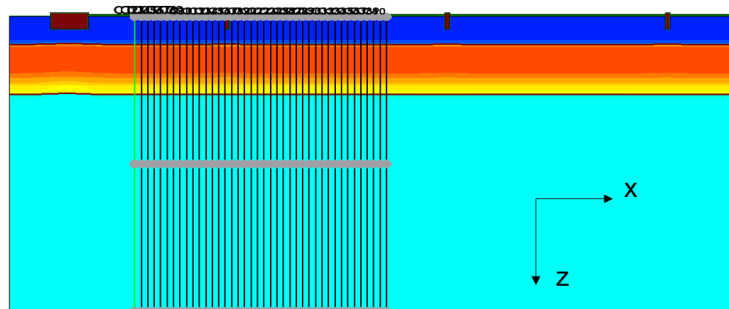


FIGURE 3.11 – Fonction "Multi-coupe" de *SDEVICE*

3.3.2 Traitement des données optiques

Il n'existe pas de moniteur qui permet d'enregistrer directement les données de photogénération dans *Ansys Lumerical LDTD*. Cependant, à l'aide de son interopérabilité, des outils de post-traitement peuvent être intégrés pour calculer d'autres grandeurs avec les données enregistrées par les moniteurs. Il existe ce que nous appelons un groupe d'analyse "CW generation rate" qui combine un moniteur "Champ et puissance dans le domaine fréquentiel" et un moniteur "Indice de réfraction" et un script calculant le taux de génération de paires

électron-trou ($\text{m}^{-3}\text{s}^{-1}$) sous illumination avec des ondes continues. Ce script suppose que chaque photon absorbé donne lieu à une paire électron-trou et il considère que la source est mono-fréquentielle. Si nous imposons une source à large bande, il réalise la moyenne de toutes les longueurs d'onde. Une modification du script a été faite afin qu'il réalise le calcul du taux de génération pour chaque longueur d'onde et qu'il soit compatible avec des simulations à large bande. Les fichiers de sortie sont sous format de matrices *Matlab* 3D (.mat) et peuvent s'ouvrir directement dans *Matlab*. Ces fichiers contiennent les coordonnées de chaque maille et les valeurs du taux de génération sous format d'une matrice 3D.

3.3.3 Couplage des données électriques et optiques

Une fois que les données électriques pseudo-3D et optiques en 3D sont obtenues, nous pouvons réaliser le calcul de la PDP. Le script *Matlab* de post-traitement (Figure 3.12) permet de coupler et analyser les données optiques issues de *Ansys Lumerical FDTD* (taux de photogénération G) et électriques provenant de *Synopsys Sentaurus* (probabilité de déclenchement d'avalanche - ATP, champ électrique) afin de localiser la zone de charge d'espace et les zones neutres pour calculer la PDP.

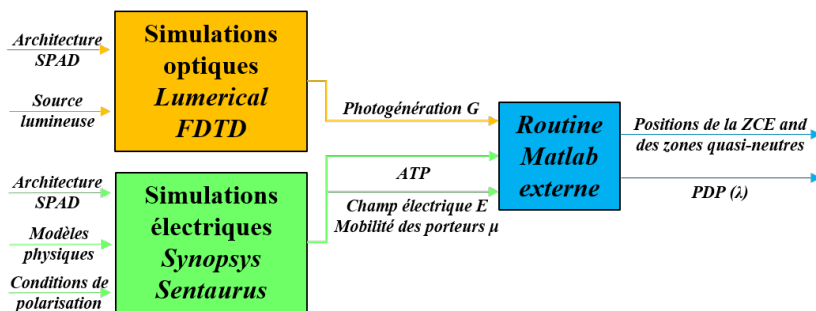


FIGURE 3.12 – Diagramme de bloc du script *Matlab*

Dans notre approche, la SPAD peut être considérée composée de trois zones : une zone quasi-neutre p (dans le p-Well), une zone de charge d'espace (ZCE) et une zone quasi-neutre n (dans le Deep n-Well). Toutes ces zones contribuent à l'absorption des photons et donc au calcul de PDP. Nous étudions le sens et l'amplitude du champ électrique dans la structure et les vitesses de porteurs afin de déterminer les contributions de ces différentes zones. Les figures 3.13 et 3.14 illustrent respectivement les profils du champ électrique et du rapport entre la vitesse de dérive et de diffusion (agitation thermique) des porteurs minoritaires (électron pour le p-Well et trou pour le n-Well) respectivement pour le côté du p-Well et n-Well avec $V_{ex}=1,5\text{V}$.

Nous considérons que le début de la région quasi-neutre du type p (Figure 3.13) est donné par la position où la direction du champ électrique est favorable pour les électrons. La fin de cette région (début de la ZCE) se trouve à la position où le champ électrique est inférieur au seuil (arbitraire) de $-1 \times 10^5 \text{ V/cm}$. Quant à la région quasi-neutre du type n (Figure 3.14), le début (la fin de la ZCE) correspond à la position où le champ électrique dépasse le seuil de $-1 \times 10^5 \text{ V/cm}$. Pour la fin de cette région, le sens du champ électrique n'est plus défavorable pour les trous à partir d'environ $0,9\mu\text{m}$. Cependant, la vitesse de diffusion des trous est dominante sur la vitesse de dérive dans une certaine épaisseur (entre $0,7$ et $12,5\mu\text{m}$ sur la figure 3.14). Au delà de cette position ($z > 0,9\mu\text{m}$), nous considérons que lorsque le rapport entre la vitesse de dérive et la vitesse de diffusion des trous est inférieur à $0,5$, nous sommes toujours dans la région quasi-neutre du type n.

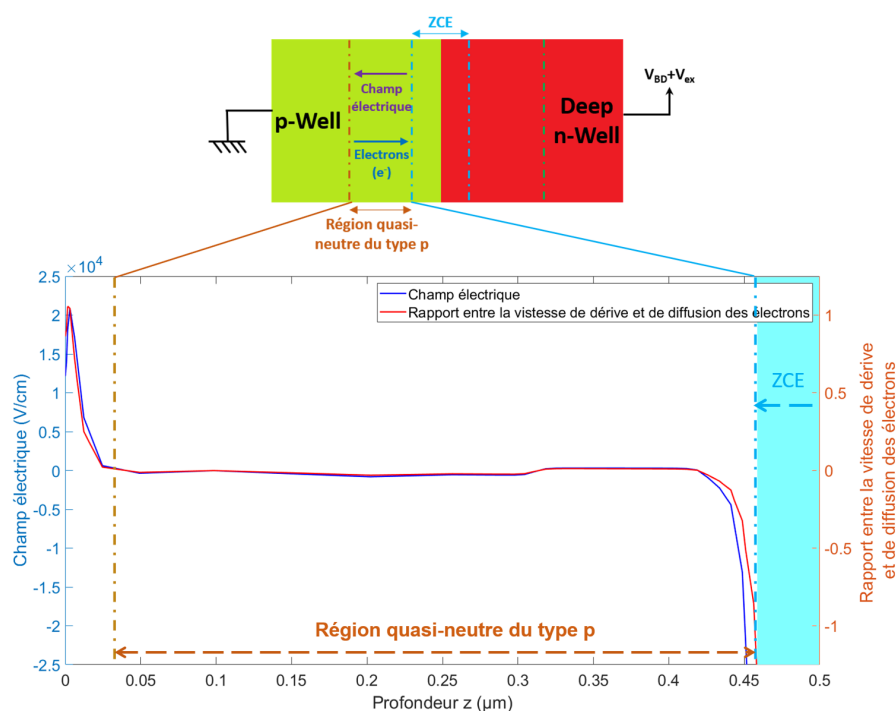


FIGURE 3.13 – Profils du champ électrique et du rapport de la vitesse de dérive et de diffusion des électrons pour le côté du p-Well

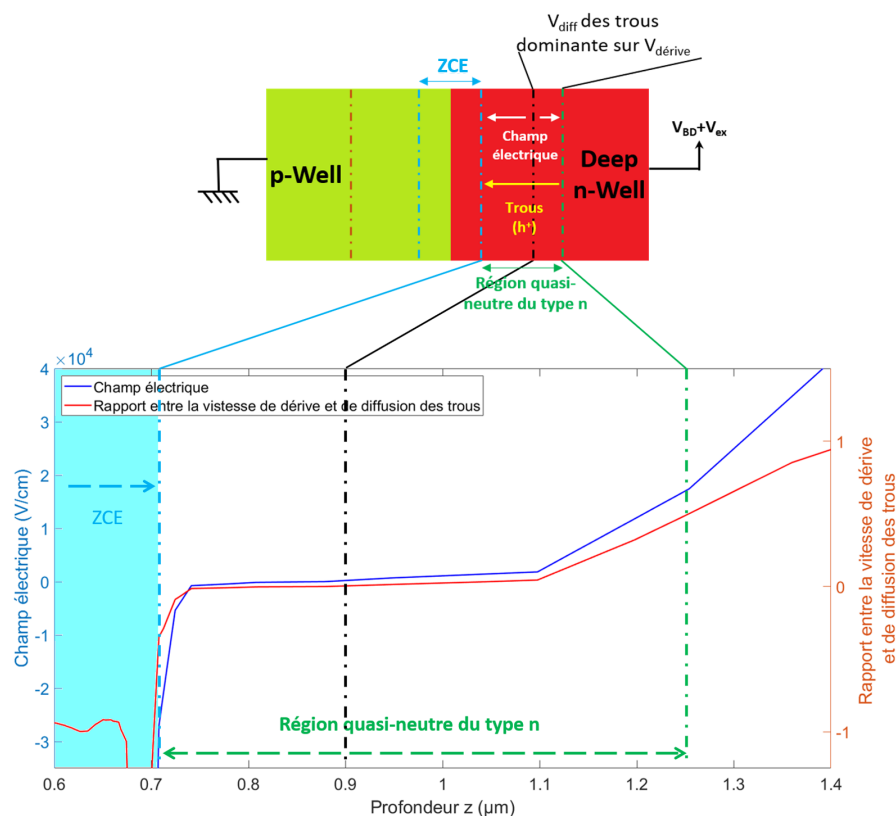


FIGURE 3.14 – Profils du champ électrique et du rapport de la vitesse de dérive et de diffusion des trous pour le côté du n-Well

Nous considérons qu'une partie des porteurs photogénérés dans ces deux zones quasi-neutres pourront atteindre les limites de la ZCE et prendre la valeur de l'ATP à ces limites. Pour les porteurs photogénérés dans la ZCE, ils prennent la valeur de l'ATP à l'endroit de la photogénération. Nous interpolons ensuite les données manquantes aux mailles où il n'y pas de données selon le maillage commun entre celui dans *Synopsys Sentaurus* et celui dans *Ansys Lumerical FDTD*. La PDP est ensuite calculée en faisant une triple intégrale du produit $G \cdot ATP$ dans le volume avec la fonction *trapz* de *Matlab*. Avant de réaliser le calcul de PDP, une étape complémentaire de transformation de données suivant la profondeur z est nécessaire. En effet, *Synopsys Sentaurus* et *Lumerical FDTD* listent les données de sorties de façon différente. Le premier commence par le côté du p-Well et termine par le côté du substrat et le second dans l'autre direction. Nous avons donc besoin de transformer les coordonnées selon une même direction commune avec la même origine.

3.3.4 Vérification sur une structure simple air/Si

Afin de vérifier le bon fonctionnement de cet outil de post-traitement, nous simulons une structure simple air/Si dans *Ansys Lumerical FDTD* avec une source d'onde plane (Figure 3.15a) et reproduisons la même structure en 1D dans *Matlab* avec la loi de *Beer-Lambert* pour l'absorption des photons à une profondeur z :

$$P(z) = P_0 \cdot T \cdot e^{-\alpha_{Si} \cdot z} \quad (3.43)$$

avec

$$T = 1 - \left| \frac{n_{Si} - 1}{n_{Si} + 1} \right|^2$$

où P_0 est densité de puissance optique par unité de surface du flux incident.

T est le coefficient de transmission à l'interface air/Si

α_{Si} est le coefficient d'absorption du Si.

n_{Si} est l'indice de réfraction du Si complexe.

Le taux de photogénération G peut être calculé dans le cas 1D :

$$G = \frac{1}{E_{photons}} \cdot \alpha_{Si} \cdot P(z) \quad (3.44)$$

avec

$$E_{photons} = \frac{h \cdot c}{\lambda}$$

où $E_{photons}$ est l'énergie des photons incidents

h est la constante de Planck.

c est la vitesse de la lumière

λ est la longueur d'onde dans le vide.

Nous considérons une épaisseur d'absorption de $2\mu\text{m}$ sans réflexion à la deuxième interface Si/air. Ainsi, une couche PML est placée à $2\mu\text{m}$ de profondeur. Cette épaisseur d'absorption de $2\mu\text{m}$ couvre la ZCE dont la jonction se trouve à $0,5\mu\text{m}$ de la première interface air/Si (Figure 3.15b). Les conditions aux limites "Périodiques" sont mises en place dans les directions x et y afin que la structure soit infinie dans ces directions et qu'elle corresponde au cas 1D de *Matlab*. La figure 3.16 montre la comparaison entre les courbes de PDP calculées avec le modèle analytique de *Beer-Lambert* et avec les données de porteurs photogénérés obtenues avec *Lumerical FDTD*. Nous pouvons constater qu'il existe une bonne corrélation entre le modèle 1D et la simulation avec la structure correspondante. Ceci montre que l'environnement de post-traitement développé est fonctionnel.

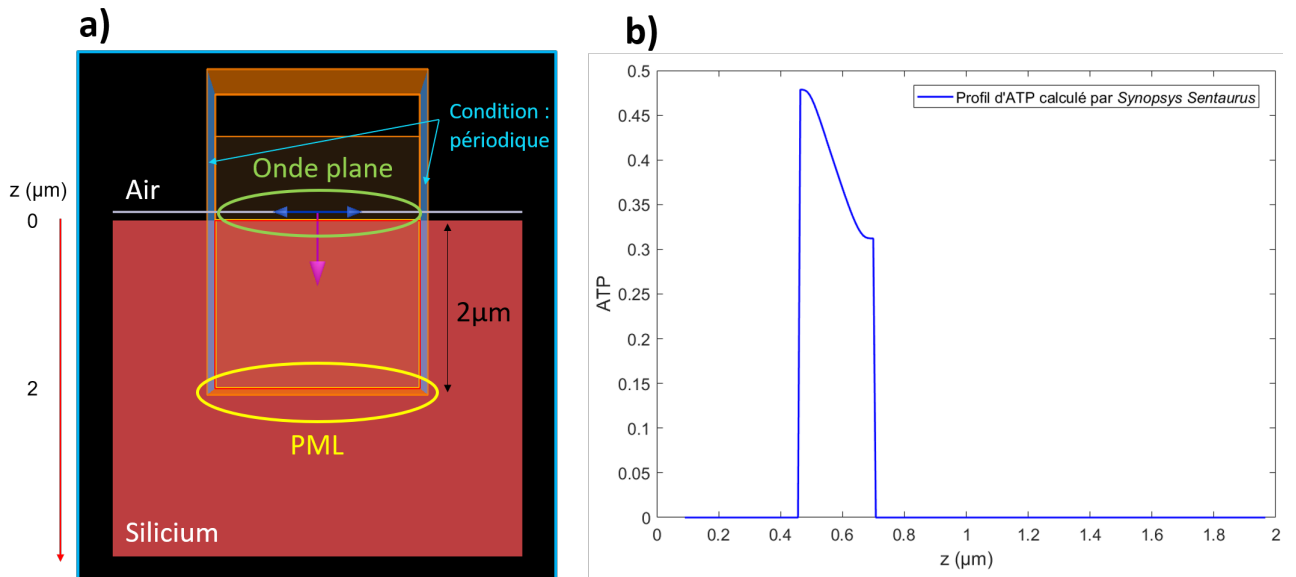


FIGURE 3.15 – a) Vue en coupe de la structure simple air/Si dans *Ansys Lumerical FDTD* ; b) Profil d'ATP calculé par *Synopsys Sentaurus* à $V_{ex} = 1,5V$

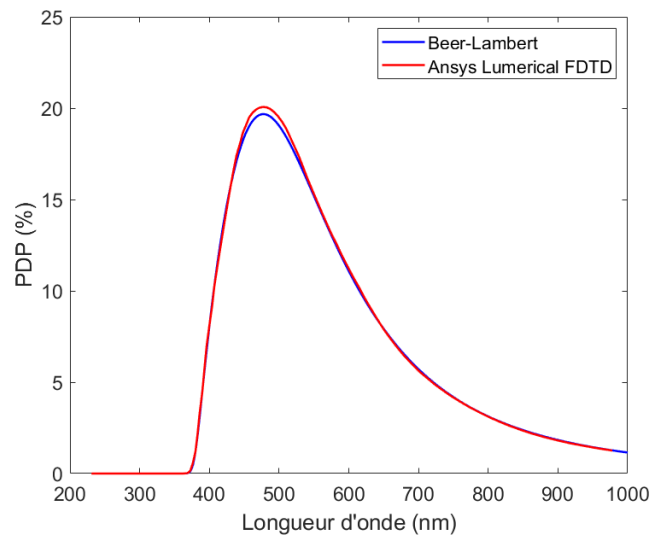


FIGURE 3.16 – Comparaison des courbes de PDP calculées avec le modèle 1D de Beer-Lambert et les données de simulation issues de *Ansys Lumerical FDTD* couplées à celles de *Synopsys Sentaurus*

3.4 Résultats de simulations électro-optiques

Comme mentionné dans le deuxième chapitre, un des objectifs principaux de cette thèse est d'améliorer la PDP de diodes SPAD CMOS FD-SOI par le moyen de la nanostructuration. Même si la structure SPAD FD-SOI a vocation à être utilisée en éclairage par la face arrière - BSI (après amincissement du substrat) pour bénéficier d'un pixel intrinsèquement 3D avec l'électronique intégrée dans le film de silicium, nous allons nous focaliser sur un éclairage par la face avant pour tenter de démontrer la viabilité du concept à la fois théoriquement et expérimentalement (impossibilité de réaliser des structures amincies en vue de la BSI). Dans cette section, nous allons présenter les résultats principaux des simulations optiques qui nous permettent de proposer des architectures de SPAD avec nanostructuration des tranchées STI pour un circuit de test (*TC, Test Chip*) afin de caractériser leurs performances.

3.4.1 Configuration des simulations optiques

Afin de pouvoir modéliser correctement le comportement optique de diodes SPAD CMOS FD-SOI, nous devons considérer non seulement la structure de la jonction elle-même, mais également tout l'empilement des couches BEOL qui se trouvent au-dessus du BOX et du film mince de silicium, puisque les diodes SPAD seront illuminées en FSI et ces couches interviennent dans le chemin optique des photons incidents. Ainsi connaître les propriétés optiques de ces couches est crucial. Néanmoins, comme mentionné dans la section 2.3.2, ces propriétés ne sont pas en mesure d'être fournies. Nous devons donc utiliser les propriétés des matériaux disponibles dans la base de données d'*Ansys Lumerical FDTD* et dans la littérature selon l'architecture illustrée sur la figure 2.33. La figure 3.17 représente l'empilement complet de diodes SPAD CMOS FD-SOI incluant les couches BEOL avec les matériaux pour chacune des couches. Pour des raisons de confidentialité, les épaisseurs des couches ne sont pas mentionnées et les échelles ne sont pas respectées.

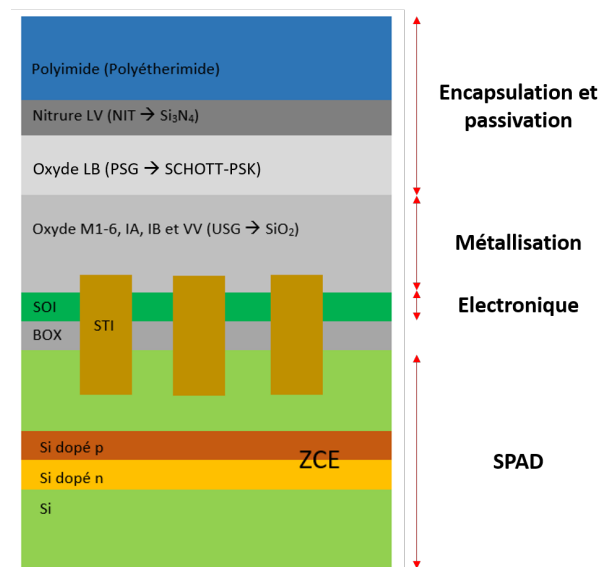


FIGURE 3.17 – Vue schématique de l'empilement de diodes SPAD CMOS FD-SOI simulées dans *Ansys Lumerical FDTD* (PSG : Verre phosphosilicate ; USG : verre de silicate non dopé ; SCHOTT-PSK : verre crown phosphate dense à faible dispersion chromatique de l'entreprise *SCHOTT* [28])

Pour les couches d'oxydes correspondant à l'isolation entre les couches métalliques, le

matériau réellement utilisé est un type de verre de silicate non dopé que nous remplaçons par du SiO_2 en simulation. Au-dessus, une couche d'oxyde PSG (un type de verre phosphosilicate) vient s'ajouter. Pour cette couche, nous avons exploré un grand nombre de verres de différents types (Figure 3.18). Nous avons décidé de choisir *SCOHTT-PSK* de l'entreprise *SCHOTT* qui est un type crown de verre phosphate dense à faible dispersion chromatique, car le profil de la partie réelle de l'indice de réfraction de ce matériau se trouve au milieu parmi tous les matériaux explorés et pourrait être le plus représentatif.

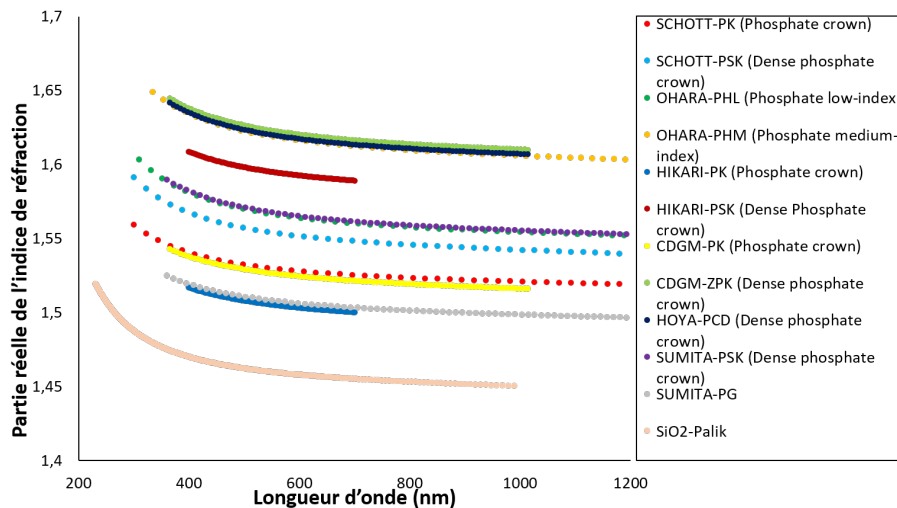


FIGURE 3.18 – Profil de la partie réelle de l'indice de réfraction des différents types de verre

Pour la source de lumière, comme nous modélisons une structure périodique, nous mettons en place une source de type onde plane en incidence normale, dont les longueurs d'onde sont réglées entre 400nm et 1000nm, pour modéliser une source dont la dimension peut être considéré infinie devant un motif de la structure périodique. Afin de réduire le temps de simulation, nous simulons seulement un motif en mettant les conditions de périodicité selon les directions x et y de la région de simulation FDTD (Figure 3.19).

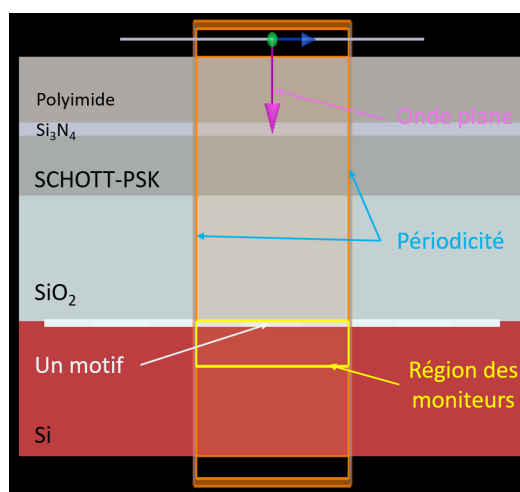


FIGURE 3.19 – Vue en coupe d'une structure nanostructurée de diode SPAD CMOS FD-SOI modélisée dans *Ansys Lumerical FDTD*

3.4.2 Temps de simulation nécessaire

Avant de lancer les simulations optiques, il est important de vérifier que le temps de simulation est suffisamment long pour que les champs électromagnétiques aient le temps de traverser toute la région de simulation FDTD (cf. Annexe B). Pour ce faire, une structure nanostructurée de période de 10nm (Figure 3.20) a été modélisée avec différents temps de simulation et l'évolution du champ électrique à différentes profondeurs en fonction du temps de simulation a été enregistrée. La source de lumière est réglée en incidence normale afin de correspondre à la configuration de simulation décrite dans la section précédente.

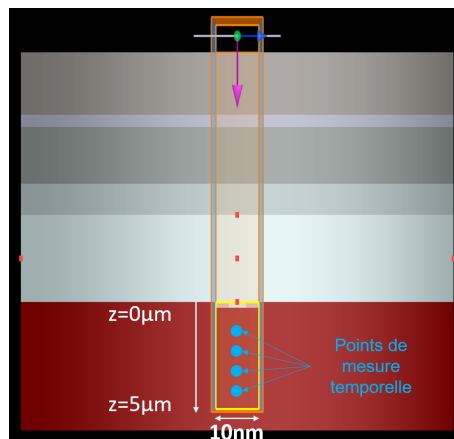


FIGURE 3.20 – Configuration pour les simulations de vérification de temps de simulation

La figure 3.21 représente l'amplitude du champ électrique pour les longueurs d'onde de 500nm et 750nm en fonction du temps de simulation pris au centre de la structure périodique. Nous pouvons constater que ces grandeurs atteignent leur niveau stationnaire à partir d'environ 500fs. Par défaut, le temps de simulation sera réglé à 1000fs, ce qui est largement suffisant pour notre gamme de longueurs d'onde d'intérêt (λ entre 400nm et 1000nm).

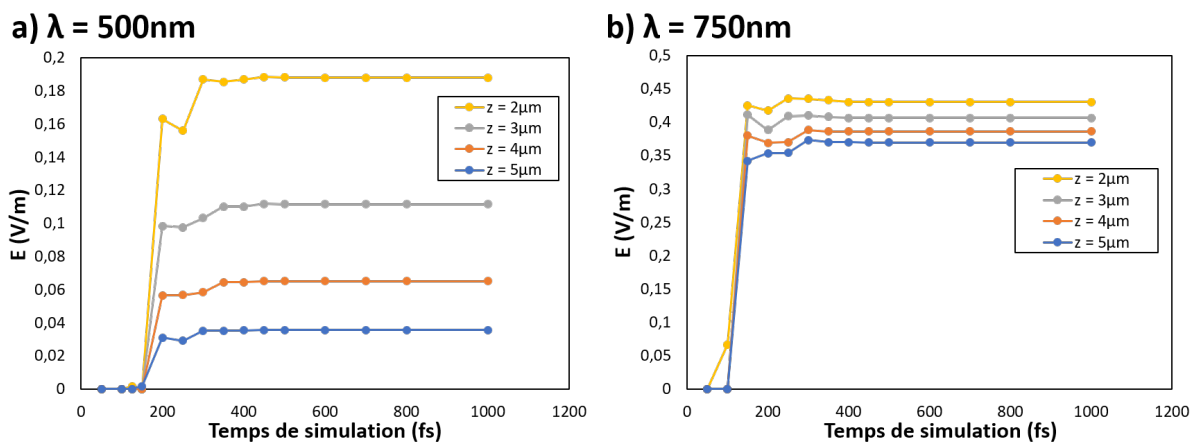


FIGURE 3.21 – Profils du champ électrique en fonction du temps de simulation pris au centre différentes profondeurs pour a) $\lambda=500\text{nm}$; b) $\lambda=750\text{nm}$

3.4.3 Résultats de simulations en FSI

Initialement, le projet IECPI/Nano 2022 visait à prototyper les diodes SPAD CMOS FD-SOI en illumination par la face arrière (BSI) pour la gamme du proche IR ($\sim 950\text{nm}$). Cependant, le substrat des diodes SPAD étant trop épais et la technique d'amincissement dédiée n'étant encore pas disponible, l'illumination par la face avant (FSI) reste la seule possibilité pour obtenir des caractéristiques électro-optiques expérimentales. Nous avons quand même mené quelques études de simulations en BSI comme base exploratoire pour des développements en BSI dans le futur. Ces études seront présentées dans la section 3.4.4. Dans cette section, nous détaillons les résultats de simulation en FSI afin de proposer des architectures nanostructurées pour prototypage dans les circuits de test (TC).

Nous allons suivre la démarche d'optimisation proposée dans le deuxième chapitre (cf. section 2.3.3) : 1) optimisation du FF (surface relative structurée) pour la fonction anti-reflet ; 2) optimisation de la période des motifs (interférences constructives). Le tableau 3.2 récapitule les paramètres utilisés dans la première étape.

Longueurs d'onde visée (nm)	FF
500 et 650	0,10
	0,15
	0,25
	0,30
	0,35
	0,40

TABLE 3.2 – Récapitulatif des paramètres utilisés dans l'optimisation du FF en FSI

Afin d'éviter la diffraction au maximum dans la première étape où nous voulons observer l'effet d'antireflet des motifs, la période des motifs (Figure 3.22) a été réglée à 10nm (négligeable devant les valeurs de longueur d'onde).

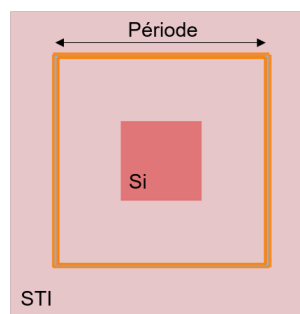


FIGURE 3.22 – Vue de dessus d'un motif STI/Si en FSI

La figure 3.23 montre les profils du taux de photogénération pris proche du centre d'un motif en fonction de la profondeur dans les meilleures des configurations (FF=0,15 et 0,2 pour $\lambda=500\text{ nm}$; FF=0,2 et 0,25 pour $\lambda=650\text{ nm}$). Le gain relatif en taux de photogénération par rapport à la référence est d'environ 30 % dans la ZCE. Il est à noter que les profils du taux de photogénération à $\lambda=650\text{nm}$ présente des oscillations. Ceci est dû au fait qu'une partie des photons incidents n'est pas absorbée et est réfléchi par la face arrière de la diode SPAD. Cette dernière interfère avec les photons incidents, causant des oscillations du taux de photogénération. Ces résultats sont théoriques, car comme mentionné dans le deuxième

chapitre, la structure réelle de diode SPAD est beaucoup plus compliquée que le cas du réseau de diffraction 2D.

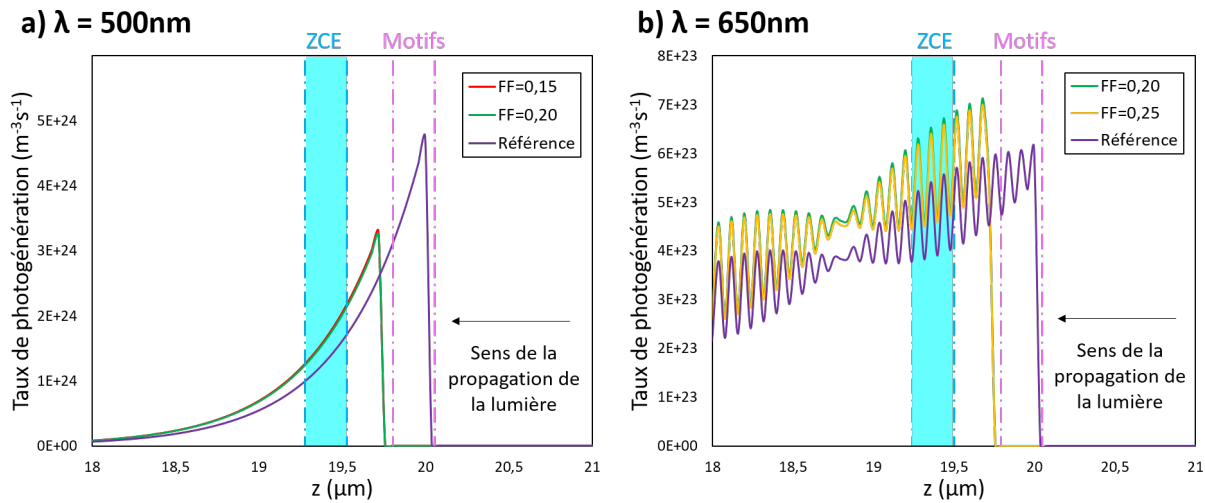


FIGURE 3.23 – Profils du taux de photogénération en fonction de la profondeur pris au centre pour a) $\lambda=500\text{nm}$; b) $\lambda=650\text{nm}$

Dans la deuxième étape, nous avons fixé les valeurs de FF précédemment trouvées et fait varier la période entre $0,26\mu\text{m}$ et $0,5\mu\text{m}$ avec un pas de $0,02\mu\text{m}$. Le tableau 3.3 récapitule les valeurs de périodes permettant d'obtenir les meilleures PDP. Nous pouvons observer que le gain relatif est plus important pour la longueur d'onde de 650nm que pour 500nm . Cependant, les valeurs absolues de PDP sont plus élevées pour 500nm , ce qui est attendu car la structure est illuminée en FSI et est plus sensible aux faibles longueurs d'onde.

Longueur d'onde visée (nm)	FF	Période (nm)	PDP (%)	Gain relatif (%)
500		Référence	29,29	/
	0,15	400	32,20	9,93
		420	32,48	10,87
		480	32,10	9,59
650		Référence	5,98	/
	0,2	340	8,64	44,40
		360	8,39	40,26
		480	8,32	39,16
	0,25	340	7,84	31,46
		440	7,87	31,62
480		8,27	38,38	

TABLE 3.3 – Récapitulatif des paramètres utilisés dans l'optimisation de la période en FSI et gain relatif en PDP pour les longueurs d'onde visées ($V_{ex}=1,5\text{V}$)

La figure 3.24 illustre les cartographies du taux de photogénération dans le plan xz prises à 135nm loin du plan xz central ($y=135\text{nm}$) avec les trois valeurs de FF et la période de 480nm . Nous pouvons observer les interférences constructives présentes dans la ZCE, ce qui permet d'augmenter le taux de photogénération moyen.

Afin de vérifier l'effet de la nanostructuration sur toute la gamme d'intérêt de longueurs d'onde, nous avons modélisé ces structures avec une source multi-fréquentielles qui couvre

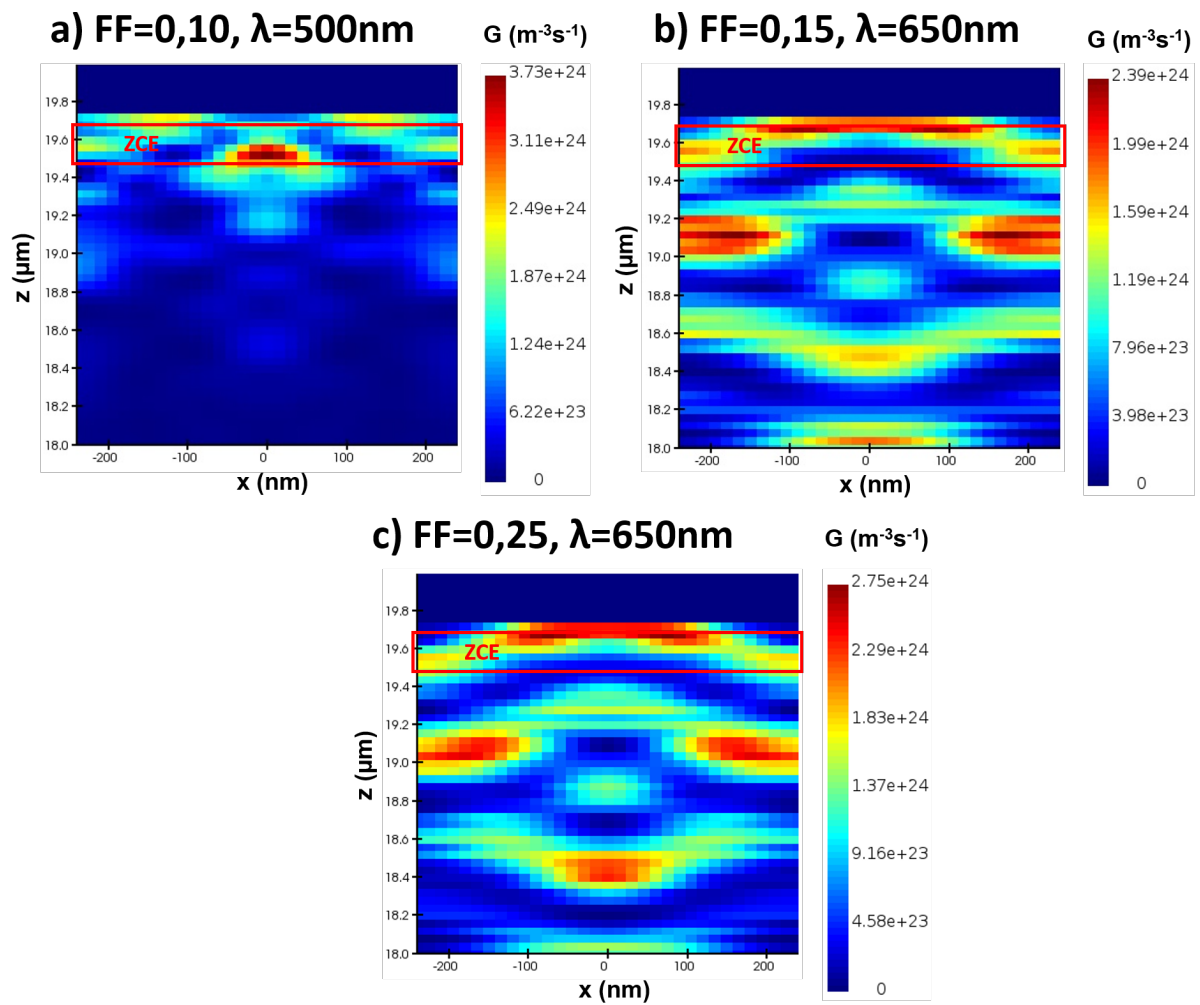


FIGURE 3.24 – Cartographies du taux de photogénération en FSI : a) $FF=0,15$, période=480nm et $\lambda=500\text{nm}$; a) $FF=0,20$, période=480nm et $\lambda=650\text{nm}$; c) $FF=0,25$, période=480nm et $\lambda=650\text{nm}$

la gamme de longueurs d'onde entre 400nm et 1000nm. La figure 3.25 représente les configurations permettant d'obtenir les meilleurs gains en PDP aux longueurs d'onde visées par rapport à la référence pour $V_{ex} = 1,5V$.

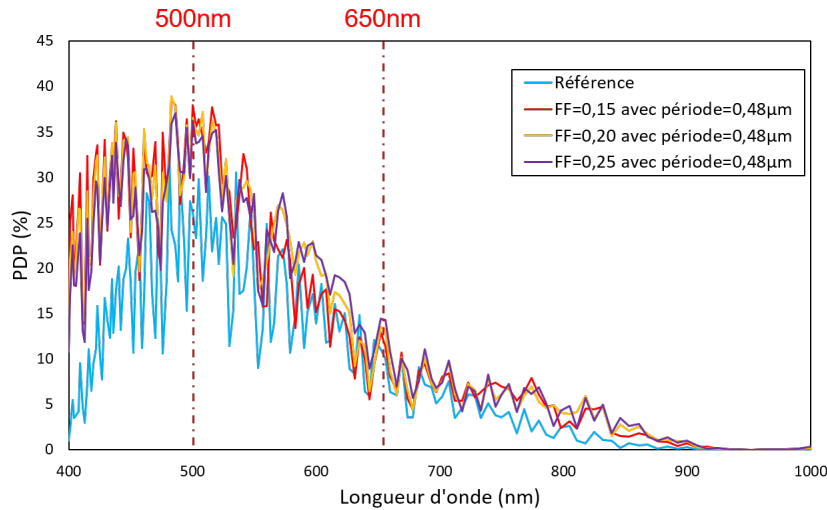


FIGURE 3.25 – Courbes de PDP en FSI en fonction de la longueur d'onde pour différentes architectures nanostructurées

Le gain relatif moyen en PDP pour la gamme de 400-550nm est de plus de 100% avec les valeurs de gain relatif pouvant atteindre 700% pour certaines longueurs d'onde spécifiques. Pour la gamme de 550-700nm, le gain relatif est plus faible et se trouve à environ 35%. Le gain pour la gamme de 700-1000nm vaut environ 300%. Cependant, les valeurs de PDP sont beaucoup plus faibles et ces gains seront difficilement distinguables expérimentalement. Ces résultats de simulation nous ont confirmé l'effet de la nanostructuration sur l'amélioration de la performance de détection de photons et ont permis de proposer ces architectures dans un circuit de test qui sera brièvement présenté dans la section 3.4.5.

3.4.4 Résultats de simulations en BSI

En illumination en BSI, la même démarche d'optimisation a été appliquée à la structure de diodes SPAD CMOS FD-SOI en considérant que le substrat est suffisamment mince (ici $5\mu m$) et que la nanostructuration est composée de motifs cylindriques de Si/air (Figure 3.26).

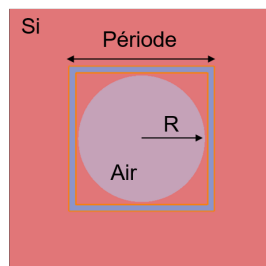


FIGURE 3.26 – Vue de dessous d'un motif cylindrique Si/air en BSI

Comme mentionné dans le deuxième chapitre, nous aurions plus de degrés de liberté dans le cas en BSI qu'en FSI, car nous pourrions régler la profondeur de la couche nanostructurée en BSI, alors qu'en FSI, cette épaisseur est fixée par la profondeur des tranchées STI dans la

zone active. Le tableau 3.4 récapitule les paramètres utilisés dans l'optimisation du FF pour une longueur d'onde de 900nm. La période utilisée dans cette étape est conservée toujours à 10nm et nous conservons les noms des variables selon les définitions du chapitre 2.

Épaisseur de la couche nanostructurée e_4 (nm)	100	110	118 (valeur optimale avec $k=1$)	120	130	340	350	355 (valeur optimale avec $k=3$)	360	370
FF	0,215 (FF_{min}), 0,217 (valeur optimale), 0,230, 0,250, 0,270 et 0,290									
Longueur d'onde visée (nm)	900									

TABLE 3.4 – Récapitulatif des paramètres utilisés dans l'optimisation du FF en BSI avec k : un entier impair (Équation 2.5)

Pour toutes les valeurs de l'épaisseur de la couche nanostructurée (paramètre e_4), l'effet d'antireflet augmente avec le FF. La différence entre les différentes valeurs de FF pour les épaisseurs autour de la valeur optimale avec $k=1$ de l'équation 2.5) (118nm) est moins significative que pour celles autour de la valeur optimale avec $k=3$ (355nm). La figure 3.27 représente les profils du taux de photogénération en fonction de la profondeur et du FF pris proche du centre d'un motif pour deux épaisseurs de structuration $e_4=100$ nm et $e_4=370$ nm. Le gain relatif en taux de photogénération par rapport à la référence se trouve à environ 80%.

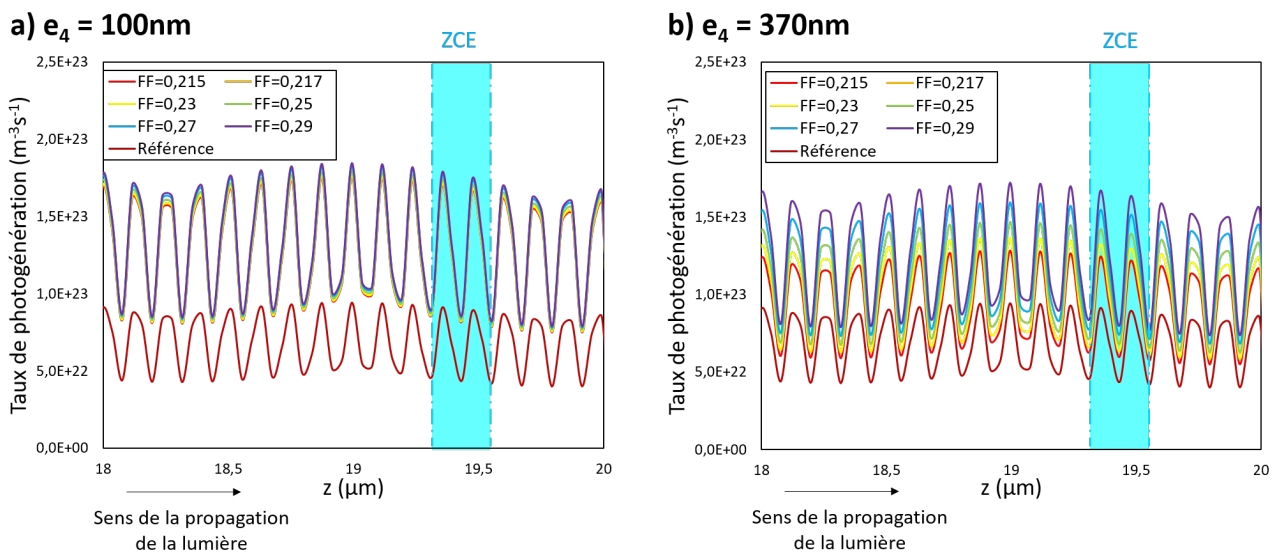


FIGURE 3.27 – Profils du taux de photogénération en fonction de la profondeur et du FF en BSI pour a) $e_4=100$ nm ; b) $e_4=370$ nm pour une longueur d'onde de 900nm et $V_{ex}=1,5$ V

Nous observons que pour les deux valeurs d'épaisseur considérées, les taux de photogénération sont très peu dépendants du FF. Par la suite, nous faisons varier la période autour de la période optimale théorique (735nm) pour $e_4=100$ nm et 370nm. Les paramètres utilisés dans la deuxième étape d'optimisation en BSI sont récapitulées dans le tableau 3.5.

La figure 3.28 montre les cartographies du taux de photogénération dans le plan xz prises à 120nm loin du plan xz central ($y=120$ nm) avec respectivement $e_4=100$ et 370nm et la période=600 et 680nm. Similairement au cas en FSI, des interférences constructives se trouvent dans la ZCE, permettant d'améliorer le taux de photogénération moyen dans le du BSI.

Épaisseur de la couche nanostructurée d (nm)	100 et 370											
FF	0,29											
Période (nm)	600	620	640	660	680	700	720	730	740	760	780	800

TABLE 3.5 – Récapitulatif des paramètres utilisés dans l’optimisation de la période en BSI pour $V_{ex}=1,5V$

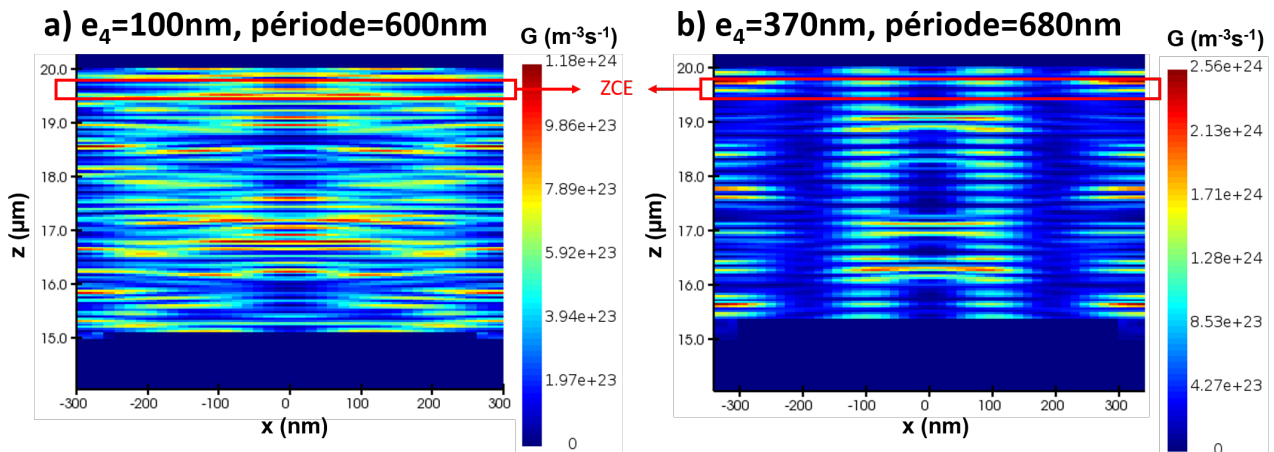


FIGURE 3.28 – Cartographies du taux de photogénération en BSI : a) FF=0,29, $e_4=100nm$, période=600nm, $e_4=100nm$ et $\lambda=900nm$; b) FF=0,29, $e_4=100nm$, période=680nm, $e_4=100nm$ et $\lambda=900nm$

La figure 3.29 montre quelques profils de PDP en fonction de la longueur d'onde avec différentes valeurs de période pour $V_{ex} = 1,5V$. Pour $e_4 = 100nm$ (Figure 3.29a), les simulations montrent des résultats similaires entre les différentes valeurs de période. Le gain relatif en PDP par rapport à la référence pour la gamme de longueurs d'onde de 800-1000nm varie entre quelques pourcents à quelques centaines de pourcents. Le gain moyen relatif est estimé à plus de 120%. Pour $e_4 = 370nm$ (Figure 3.29b), les allures des profils de PDP des structures nanostructurées ne sont pas tout à fait similaires. Le gain relatif varie également entre quelques pourcents à quelques centaines de pourcents et le gain moyen relatif peut atteindre 200%.

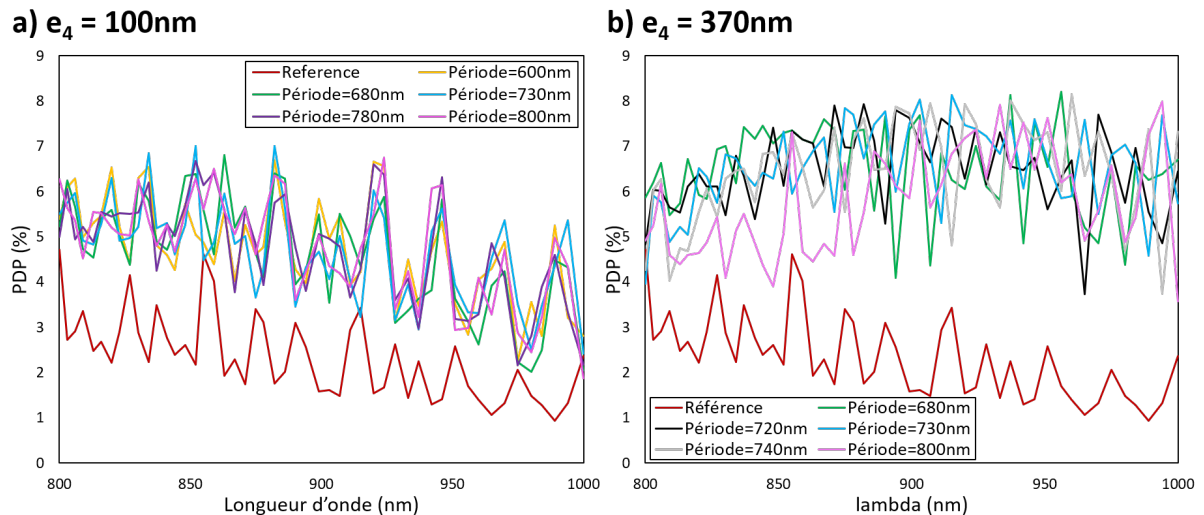


FIGURE 3.29 – Courbes de PDP en BSI en fonction de la longueur d'onde avec différentes valeurs de la période pour a) $e_4 = 100nm$; b) $e_4 = 370nm$

Ces résultats confirment que la nanostructuration permet d'améliorer la performance de détection de nos diodes SPAD dans le proche infrarouge avec un gain relatif important. Cette étude constitue une base pour d'éventuelles réalisations de prototypes en BSI dans le futur. Des améliorations pourront être apportées en considérant éventuellement un empilement plus complexe (couche d'oxyde ou de nitrure assurant la passivation électrique et adapté optiquement).

3.4.5 Incorporation de SPAD nanostructurées dans le Test Chip #6 (TC6)

En 2021, nous avons coopéré avec le laboratoire ICUBE de Strasbourg (spécialisé dans la conception de circuits associés aux diodes SPAD) pour incorporer les diodes SPAD nanostructurées avec un circuit d'étouffement et de recharge actif (AQAR, *Active Quenching and Active Reset*) dans notre sixième circuit de test (TC6). Son fonctionnement est décrit en Annexe D. La figure 3.30 permet de visualiser le layout du circuit TC6 qui mesure $1 \times 1mm$ de côté. les différentes zones du circuit (SPAD seules, matrice de SPAD pour caractériser le crosstalk, circuit AQAR, contacts) peuvent aisément être identifiées.

Au total, dix diodes SPAD sont incorporées dans le TC6 dont six diodes SPAD nanostructurées et quatre servent de référence. Le circuit AQAR est relié à toutes les diodes SPAD. Il permet de contrôler activement le temps d'étouffement et le temps de recharge (la somme est égale au temps mort), ce qui améliore grandement la gestion du bruit (DCR, afterpulsing). Avec ce circuit de test, nous pouvons caractériser les architectures proposées en FSI et

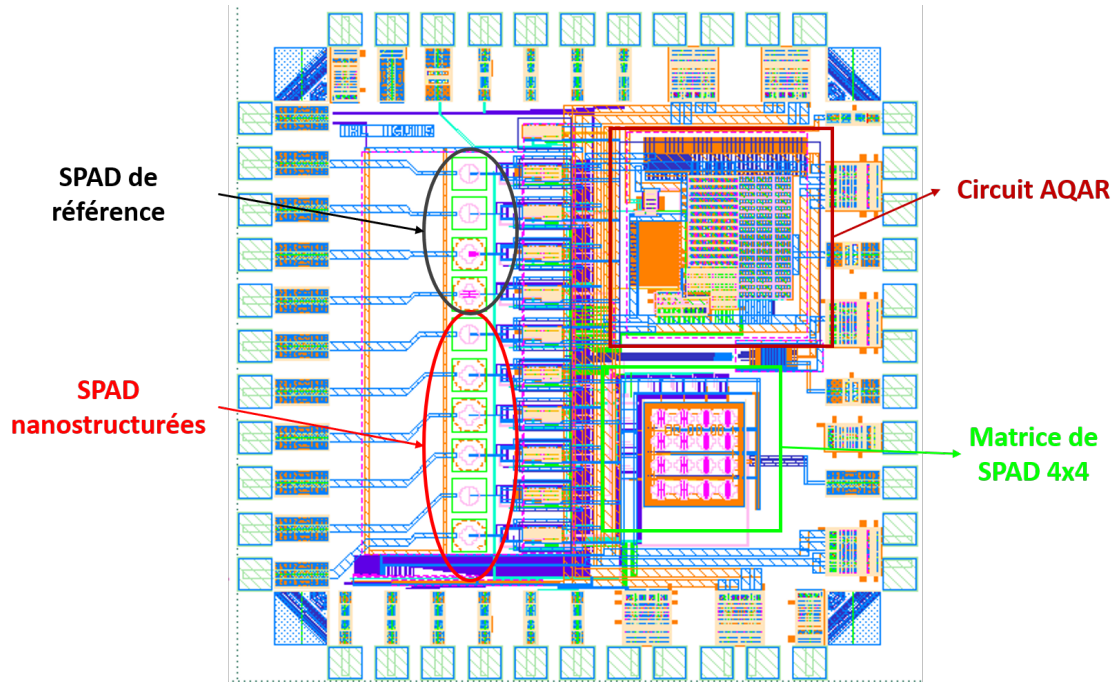


FIGURE 3.30 – Vue de conception du TC6

vérifier l'amélioration de PDP apportée par la nanostructuration des tranchées STI. Plus de détails sur ce TC6 et les résultats de caractérisations électro-optiques des diodes SPAD CMOS FD-SOI seront présentés dans le quatrième chapitre.

3.5 Conclusion

Ce chapitre a présenté la méthodologie de simulation électro-optique de la probabilité de détections de photons ainsi que les résultats obtenus sur les SPAD FD-SOI avec nanostructuration des tranchées STI. D'abord, les outils de simulations électrique (*Synopsys Sentaurus*) et optique (*Ansys Lumerical FDTD*) sont présentés. Les différents modèles utilisés et les blocs de simulations sont détaillés pour chaque simulateur. L'environnement de simulation se complète avec un outil de couplage électro-optique que nous avons développé afin de traiter correctement les données électriques et optiques et de calculer la PDP des diodes SPAD. Les résultats de simulation en illumination par la face avant (FSI) et la face arrière (BSI) en utilisant cet environnement de simulation sont ensuite détaillés pour différentes nanostructurations des tranchées STI. En FSI, des gains relatifs moyens de 100% et 35% sont obtenus respectivement pour la gamme de longueurs d'onde de 400-550nm et 550-700nm grâce à la nanostructuration optimale des tranchées STI. Pour le cas du BSI, le gain relatif moyen se trouve à environ 120% en nanostructurant le silicium. Les résultats de simulations en FSI nous ont permis de proposer quelques architectures de diodes nanostructurées dans le sixième circuit de test (TC6). Les caractérisations sur ces diodes nanostructurées et également sur les diodes visant à améliorer le DCR seront décrites dans le quatrième chapitre.

Références

- [1] R. N. HALL, « Electron-Hole Recombination in Germanium, » *Phys. Rev.*, t. 87, p. 387-387, 2 1952. DOI : [10.1103/PhysRev.87.387](https://doi.org/10.1103/PhysRev.87.387).
- [2] W. SHOCKLEY et W. T. READ, « Statistics of the Recombinations of Holes and Electrons, » *Phys. Rev.*, t. 87, p. 835-842, 5 1952. DOI : [10.1103/PhysRev.87.835](https://doi.org/10.1103/PhysRev.87.835).
- [3] C.-t. SAH, R. N. NOYCE et W. SHOCKLEY, « Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics, » *Proceedings of the IRE*, t. 45, n° 9, p. 1228-1243, 1957. DOI : [10.1109/JRPROC.1957.278528](https://doi.org/10.1109/JRPROC.1957.278528).
- [4] J. FOSSUM et D. LEE, « A physical model for the dependence of carrier lifetime on doping density in nondegenerate silicon, » *Solid-State Electronics*, t. 25, n° 8, p. 741-747, 1982, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(82\)90203-9](https://doi.org/10.1016/0038-1101(82)90203-9).
- [5] J. FOSSUM, R. MERTENS, D. LEE et J. NIJS, « Carrier recombination and lifetime in highly doped silicon, » *Solid-State Electronics*, t. 26, n° 6, p. 569-576, 1983, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(83\)90173-9](https://doi.org/10.1016/0038-1101(83)90173-9).
- [6] D. ISSARTEL, « Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm, » disponible à <http://theses.insa-lyon.fr/publication/2021LYSEI090/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2021LYSEI090, déc. 2021.
- [7] M. TYAGI et R. VAN OVERSTRAETEN, « Minority carrier recombination in heavily-doped silicon, » *Solid-State Electronics*, t. 26, n° 6, p. 577-597, 1983, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(83\)90174-0](https://doi.org/10.1016/0038-1101(83)90174-0).
- [8] G. HURKX, D. KLAASSEN et M. KNUVERS, « A new recombination model for device simulation including tunneling, » *IEEE Transactions on Electron Devices*, t. 39, n° 2, p. 331-338, 1992. DOI : [10.1109/16.121690](https://doi.org/10.1109/16.121690).
- [9] G. HURKX, « On the modelling of tunnelling currents in reverse-biased p-n junctions, » *Solid-State Electronics*, t. 32, n° 8, p. 665-668, 1989, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(89\)90146-9](https://doi.org/10.1016/0038-1101(89)90146-9).
- [10] A. SCHENK, « Rigorous theory and simplified model of the band-to-band tunneling in silicon, » *Solid-State Electronics*, t. 36, n° 1, p. 19-34, 1993, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(93\)90065-X](https://doi.org/10.1016/0038-1101(93)90065-X).
- [11] J. LIOU, « Modeling the tunnelling current in reverse-biased p/n junctions, » *Solid-state electronics*, t. 33, n° 7, p. 971-972, 1990. DOI : [10.1016/0038-1101\(90\)90081-0](https://doi.org/10.1016/0038-1101(90)90081-0).
- [12] T. CHAVES DE ALBUQUERQUE, « Integration of Single Photon Avalanche Diodes in Fully Depleted Silicon-on-Insulator Technology, » disponible à <http://theses.insa-lyon.fr/publication/2019LYSEI091/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2019LYSEI091, nov. 2019.
- [13] S. SZE et K. K. NG, *Physics of Semiconductor Devices*. Hoboken, NJ, USA : John Wiley & Sons, Inc., oct. 2006, ISBN : 9780470068328. DOI : [10.1002/0470068329](https://doi.org/10.1002/0470068329).
- [14] A. G. CHYNOWETH, « Ionization Rates for Electrons and Holes in Silicon, » *Phys. Rev.*, t. 109, p. 1537-1540, 5 1958. DOI : [10.1103/PhysRev.109.1537](https://doi.org/10.1103/PhysRev.109.1537).

- [15] R. VAN OVERSTRAETEN et H. DE MAN, « Measurement of the ionization rates in diffused silicon p-n junctions, » *Solid-State Electronics*, t. 13, n° 5, p. 583-608, 1970, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(70\)90139-5](https://doi.org/10.1016/0038-1101(70)90139-5).
- [16] Y. OKUTO et C. CROWELL, « Threshold energy effect on avalanche breakdown voltage in semiconductor junctions, » *Solid-State Electronics*, t. 18, n° 2, p. 161-168, 1975, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(75\)90099-4](https://doi.org/10.1016/0038-1101(75)90099-4).
- [17] T. LACKNER, « Avalanche multiplication in semiconductors : A modification of Chynoweth's law, » *Solid-State Electronics*, t. 34, n° 1, p. 33-42, 1991, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(91\)90197-7](https://doi.org/10.1016/0038-1101(91)90197-7).
- [18] M. VALDINOCI, D. VENTURA, M. VECCHI, M. RUDAN, G. BACCARANI, F. ILLIEN, A. STRICKER et L. ZULLINO, « Impact-ionization in silicon at large operating temperature, » in *1999 International Conference on Simulation of Semiconductor Processes and Devices. SISPAD'99 (IEEE Cat. No.99TH8387)*, 1999, p. 27-30. DOI : [10.1109/SISPAD.1999.799251](https://doi.org/10.1109/SISPAD.1999.799251).
- [19] S. REGGIANI, A. VALDINOCI, L. COLALONGO, M. RUDAN, G. BACCARANI, A. STRICKER, F. ILLIEN, N. FELBER, W. FICHTNER, S. METTLER, S. LINDENKREUZ et L. ZULLINO, « Surface mobility in silicon at large operating temperature, » in *International Conference on Simulation of Semiconductor Processes and Devices*, 2002, p. 15-20. DOI : [10.1109/SISPAD.2002.1034506](https://doi.org/10.1109/SISPAD.2002.1034506).
- [20] E. GNANI, S. REGGIANI, M. RUDAN et G. BACCARANI, « Extraction Method for the Impact-Ionization Multiplication Factor in Silicon at Large Operating Temperatures, » in *32nd European Solid-State Device Research Conference*, 2002, p. 227-230. DOI : [10.1109/ESSDERC.2002.194911](https://doi.org/10.1109/ESSDERC.2002.194911).
- [21] S. REGGIANI, E. GNANI, M. RUDAN, G. BACCARANI, C. CORVASCE, D. BARLINI, M. CIAPPA, W. FICHTNER, M. DENISON, N. JENSEN, G. GROOS et M. STECHER, « Experimental extraction of the electron impact-ionization coefficient at large operating temperatures, » in *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.*, 2004, p. 407-410. DOI : [10.1109/IEDM.2004.1419171](https://doi.org/10.1109/IEDM.2004.1419171).
- [22] S. REGGIANI, M. RUDAN, E. GNANI et G. BACCARANI, « Investigation about the high-temperature impact-ionization coefficient in silicon, » in *Proceedings of the 30th European Solid-State Circuits Conference (IEEE Cat. No.04EX850)*, 2004, p. 245-248. DOI : [10.1109/ESSDER.2004.1356535](https://doi.org/10.1109/ESSDER.2004.1356535).
- [23] R. MCINTYRE, « On the avalanche initiation probability of avalanche diodes above the breakdown voltage, » *IEEE Transactions on Electron Devices*, t. 20, n° 7, p. 637-641, 1973. DOI : [10.1109/T-ED.1973.17715](https://doi.org/10.1109/T-ED.1973.17715).
- [24] W. OLDHAM, R. SAMUELSON et P. ANTOGNETTI, « Triggering phenomena in avalanche diodes, » *IEEE Transactions on Electron Devices*, t. 19, n° 9, p. 1056-1060, 1972. DOI : [10.1109/T-ED.1972.17544](https://doi.org/10.1109/T-ED.1972.17544).
- [25] T. C. de ALBUQUERQUE, F. CALMON, R. CLERC, P. PITTET, Y. BENHAMMOU, D. GOLANSKI, S. JOUAN, D. RIDEAU et A. CATHELIN, « Integration of SPAD in 28nm FDSOI CMOS technology, » in *2018 48th European Solid-State Device Research Conference (ESSDERC)*, 2018, p. 82-85. DOI : [10.1109/ESSDERC.2018.8486852](https://doi.org/10.1109/ESSDERC.2018.8486852).
- [26] K. YEE, « Numerical solution of initial boundary value problems involving maxwell's equations in isotropic media, » *IEEE Transactions on Antennas and Propagation*, t. 14, n° 3, p. 302-307, 1966. DOI : [10.1109/TAP.1966.1138693](https://doi.org/10.1109/TAP.1966.1138693).

- [27] A. CHOROSZUCHO, « Analysis of the influence of the complex structure of clay hollow bricks on the values of electric field intensity by using the FDTD method, » *Archives of Electrical Engineering*, t. vol. 65, n° No 4 December, p. 745-759, 2016. DOI : [10.1515/ae-2016-0052](https://doi.org/10.1515/ae-2016-0052).
- [28] SCHOTT, adresse : <https://www.schott.com>.

Chapitre 4

Caractérisations électro-optiques des structures SPAD FD-SOI

Dans ce dernier chapitre, nous allons présenter les caractérisations électro-optiques des diodes SPAD CMOS FD-SOI 28nm dessinées à l'INL, avec d'une part les diodes SPAD conçues dans le but d'optimiser le bruit dans l'obscurité (DCR) et d'autre part les diodes SPAD avec nanostructuration des tranchées STI pour améliorer la probabilité de détection de photons (PDP). Le principe de chaque type de caractérisation est d'abord détaillé, suivi par une présentation des bancs de mesures utilisés. Un récapitulatif des résultats principaux est ensuite présenté. Des études complémentaires en simulation sont réalisées afin de compléter certaines observations expérimentales.

Sommaire

4.1 Mesures de DCR	124
4.1.1 Principe de la mesure	124
4.1.2 Récapitulatif des cellules mesurées	126
4.1.3 Résultats de mesures de DCR	126
4.1.4 Simulations TCAD complémentaires et analyses	128
4.2 Mesures de PDP sur les diodes SPAD non nanostructurées	130
4.2.1 Principe de la mesure	131
4.2.2 Récapitulatif des cellules mesurées	132
4.2.3 Mesures de PDP à tension d'excès V_{ex} fixe	133
4.2.4 Mesures de PDP en fonction de V_{ex}	134
4.2.5 Simulations électro-optiques complémentaires	135
4.3 Mesures de PDP sur des SPAD nanostructurées en FSI	136
4.3.1 Banc de mesure	137
4.3.2 Vérification de la caractéristique de la SPAD commerciale	137
4.3.3 Récapitulatif des diodes SPAD mesurées	137
4.3.4 Résultats de mesures de PDP	138
4.3.5 Simulations complémentaires	140
4.3.6 Mesures de la probabilité d'afterpulsing	141
4.4 Conclusion	144
Références	145

4.1 Mesures de DCR

Le DCR (*Dark Count Rate*) quantifie le nombre d'évènements par seconde qui se produisent dans l'obscurité et représente le bruit intrinsèque d'une diode SPAD. Comme mentionné dans le chapitre précédent, plusieurs travaux de recherche ont été réalisés dans le cadre de la thèse de Dylan Issartel [1] dans le but d'améliorer le DCR des diodes SPAD CMOS FD-SOI 28nm. Ces travaux ont été poursuivis dans cette thèse afin de complètement caractériser les diodes SPAD concernées.

4.1.1 Principe de la mesure

Le DCR est exprimé en fonction du nombre d'évènements détectés par unité de temps et par unité de surface (en $\text{Hz}/\mu\text{m}^2$). Selon les circuits d'étouffement et de recharge utilisés, les évènements peuvent prendre différentes formes temporelles afin d'être détectées. Dans notre cas, une résistance d'étouffement de $200\text{ k}\Omega$ est intégrée directement sur puce et fait office de circuit d'étouffement passif. Un amplificateur transimpédance extérieur (modèle DHPKA-100 de la marque *FEMTO*) convertit l'impulsion de courant en impulsion de tension mesurable avec un oscilloscope intégrant une fonction de comptage (Figure 4.1a). Nous pouvons modifier son gain et sa bande passante.

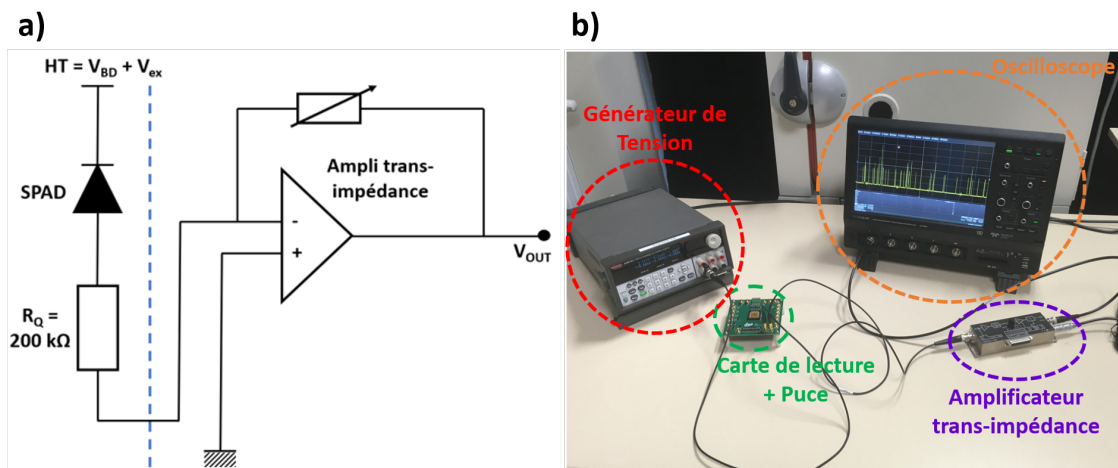


FIGURE 4.1 – a) Schéma représentatif du banc de mesure de DCR ; b) banc de mesure de DCR

Dans le cadre de nos mesures, la configuration suivante est choisie afin de visualiser et compter correctement les pulses sur l'oscilloscope : gain à $1 \times 10^6\text{ V/A}$ et bande passante à 1 MHz . Le banc de mesure de DCR à l'INL est illustré sur la figure 4.1b. Les puces sont intégrées dans une carte de lecture dédiée qui est alimentée par une source de tension continue. La sortie des diodes SPAD est reliée à l'amplificateur transimpédance qui est ensuite connecté à l'oscilloscope. Ainsi dans notre cas, un évènement d'avalanche de la SPAD prendra la forme d'une impulsion de tension mesurable à l'oscilloscope avec un front montant rapide suivi d'une décroissance exponentielle associée à une constante de temps, comme illustré sur la figure 4.2 (liée à la capacité de la diode et à la résistance d'étouffement mais aussi aux éléments parasites).

Les paramètres de visualisation l'oscilloscope (modèle H4096 de la marque *Teledyne LeCroy*) doivent également être adaptés. Par exemple, la tension de sortie augmente avec la tension de polarisation inverse (et la tension d'excès) et l'échelle de tension doit donc être

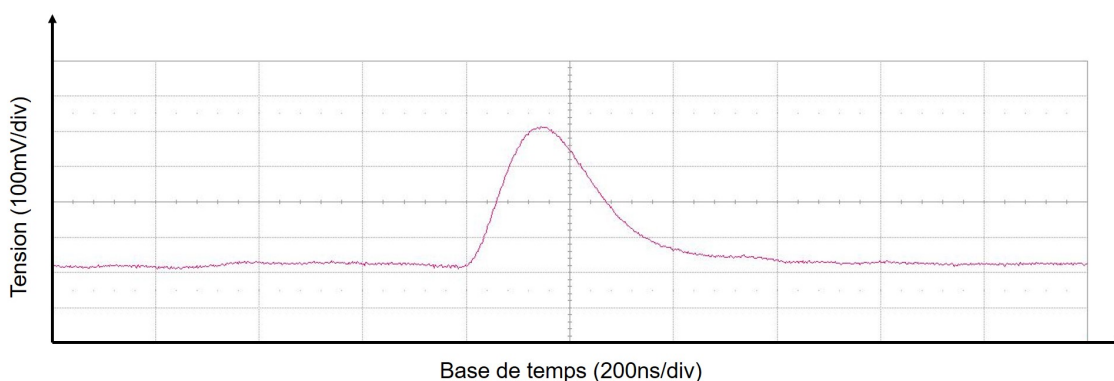


FIGURE 4.2 – Exemple de chronogramme illustrant la forme d’une impulsion de tension

adaptée. Ceci peut être important lorsque la diode SPAD est polarisée avec une forte tension avec en conséquence une probabilité d’afterpulsing élevée, ce qui entraîne que les pulses primaires peuvent être noyés avec les pulses secondaires. Adapter l’échelle de tension permet de visualiser le haut des pulses de tension et d’adapter le seuil de détection afin de prendre en compte tous les pulses et d’estimer correctement le DCR. Le seuil de détection est intégré dans la fonction de l’oscilloscope appelée *edge@level* qui permet de compter directement les impulsions dépassant le seuil de détection. Il existe une autre fonction nommée *period@level* qui permet de mesurer les temps inter-avalanches et d’extraire une valeur moyenne correspondant à l’inverse du DCR. Cette fonction peut également nous donner la distribution temporelle des temps inter-avalanches afin d’extraire la probabilité d’afterpulsing.

Il est à noter que dans la littérature, la définition du DCR est différente selon les chercheurs. Dans notre cadre, le DCR prend en compte les événements primaires (DCR primaire) et également les événements secondaires (afterpulsing).

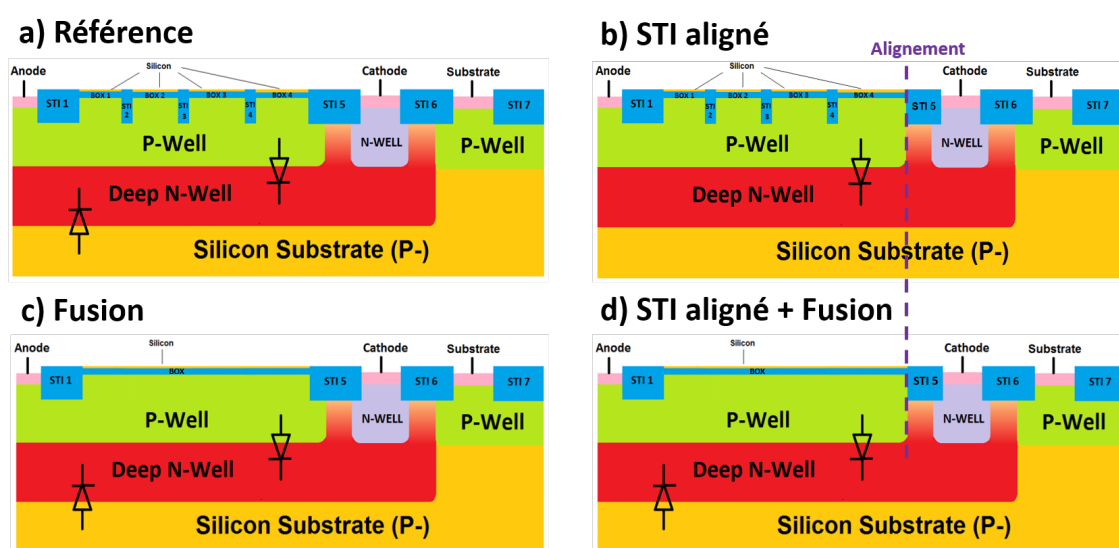


FIGURE 4.3 – Diodes SPAD du TC5 mesurées en DCR : a) Référence ; b) STI aligné ; c) Fusion ; d) STI aligné + Fusion

4.1.2 Récapitulatif des cellules mesurées

Le *Test Chip* concerné dans cette section est le TC5 avec sa version "DNW modifié" (TC5 DNW) dans lequel les diodes SPAD sont principalement conçues pour réduire le niveau de DCR (cf. section 2.2.4). La figure 4.3 illustre les différentes architectures de diodes SPAD du TC5 mesurées en DCR [1]. La forme de ces diodes SPAD est quasi-circulaire. Elles sont mesurées en température allant de -40°C à 50°C dans une enceinte thermique afin d'étudier la variation de DCR en fonction de la température et de tracer les courbes d'Arrhénius pour connaître l'origine du DCR (cf. section 1.2.2).

4.1.3 Résultats de mesures de DCR

Les diodes SPAD concernées sont d'abord mesurées à la température ambiante (20°C) pour différentes tensions d'excès relatives. Les mesures de caractéristiques statiques courant-tension de ces diodes SPAD ont montré que pour la version "DNW modifié", la tension de claquage V_{BD} des différentes variantes est très proche et se trouve autour de $15,8\text{V}$ (Figure 4.4). Nous considérons donc que la tension de claquage est identique pour toutes les diodes SPAD mesurées en DCR.

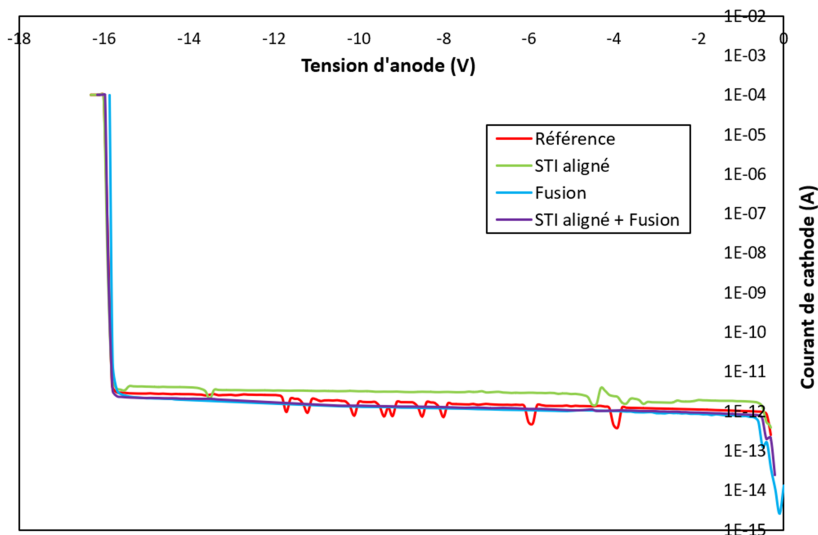


FIGURE 4.4 – Caractéristiques expérimentales courant-tension des diodes SPAD du TC5 DNW

La figure 4.5 représente les mesures de DCR des diodes SPAD du TC5 DNW à 20°C pour différentes tensions d'excès relatives. A faible tension d'excès relative, la diode SPAD "STI aligné" (alignement de la tranchée STI périphérique avec la jonction de la diode SPAD) présente un niveau de DCR plus faible que la référence. Cependant, la diode SPAD "STI aligné" est plus limitée en tension d'excès (maximum de $V_{ex} = 8\%V_{BD}$).

Notre hypothèse est qu'en augmentant la polarisation inverse, la limite supérieure de la ZCE (du côté p-Well) de la diode SPAD "STI aligné" touche rapidement l'interface BOX/p-Well que nous considérons riche en défauts d'interface. Ainsi l'excès de porteurs libérés par les pièges à l'interface BOX/p-Well entraînerait cette rapide augmentation du DCR (cf. section 4.1.4). La diode "Fusion" (suppression des tranchées STI au dessus de la zone active de la diode SPAD) présente un niveau de DCR similaire à la référence aux faibles tensions d'excès relatives et permet de monter plus haut en tension d'excès relative (maximum de $V_{ex} = 18\%V_{BD}$). Nous pourrions l'expliquer par la suppression des tranchées STI dans la zone

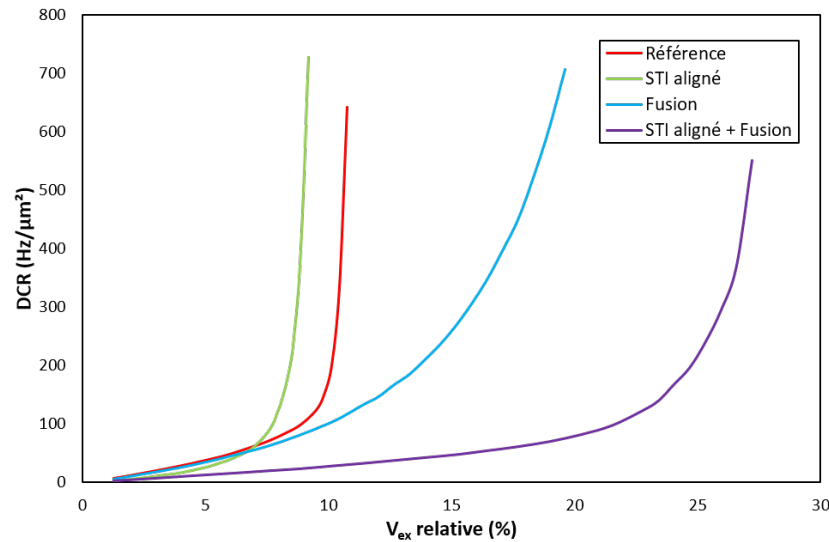


FIGURE 4.5 – Courbes de DCR en fonction de la tension d'excès relative à 20°C des diodes SPAD du TC5 DNW

active, ce qui réduit fortement le nombre de défauts d'interfaces STI/p-Well. Ceci permet également d'uniformiser la distribution du champ électrique dans la zone active. La diode "STI aligné + Fusion" présente le meilleur comportement en termes de DCR. Le niveau de DCR aux faibles tensions d'excès est amélioré et le maximum de tension d'excès que nous pouvons atteindre est même plus élevé que la diode "Fusion" (maximum de $V_{ex} = 27\% V_{BD}$).

Par la suite, les cartes de test sont placées dans l'enceinte thermique afin d'étudier la variation de DCR en fonction de la température. La figure 4.6 représente les courbes de DCR en fonction de la tension d'excès relative à différentes températures. Nous observons qu'à la même tension d'excès relative, le niveau de DCR augmente avec la température, puisque la génération thermique est plus prononcée à hautes températures. Nous pouvons également constater qu'il existe une phase de transition entre deux comportements distincts. A faibles températures, le niveau de DCR reste peu dépendant de la tension d'excès et les diodes SPAD sont rapidement limitées en tension d'excès. A hautes températures, le DCR croît progressivement avec la tension d'excès et les diodes SPAD peuvent atteindre une tension d'excès plus élevée.

La figure 4.7 montre les exemples de courbes d'Arrhénus de DCR pour certaines tensions d'excès. Nous pouvons constater que pour les faibles températures, certains tracés d'Arrhénus de DCR sont croissants avec l'inverse de la température. Ceci pourrait s'expliquer par le fait qu'à faible température, le temps de capture-relâche associé aux pièges augmente. Ainsi, les porteurs capturés sont libérés plus tardivement et déclenchent des avalanches secondaires (Afterpulsing) entraînant une forte et rapide augmentation du DCR (seuil d'emballement observé sur la figure 4.5). Pour une température au-dessus de la température ambiante, il est probable que le temps de capture soit suffisamment court pour que la relâche des porteurs intervienne pendant l'étouffement limitant la probabilité d'afterpulsing. Les énergies d'activation de ces différentes structures sont extraites des profils d'Arrhénus de DCR (Tableau 4.1). Comme expliqué dans la section 1.2.2, lorsque l'énergie d'activation est très inférieure à la moitié du gap du matériau semi-conducteur, l'effet tunnel bande à bande domine le DCR [2]. Ici, les énergies d'activation extraites sont comprises entre 0,2eV et 0,3eV et ne sont pas négligeables devant la moitié du gap du silicium (0,56eV). Ceci pourrait suggérer que les phénomènes de génération SRH assistée par les pièges et l'effet tunnel bande à bande se

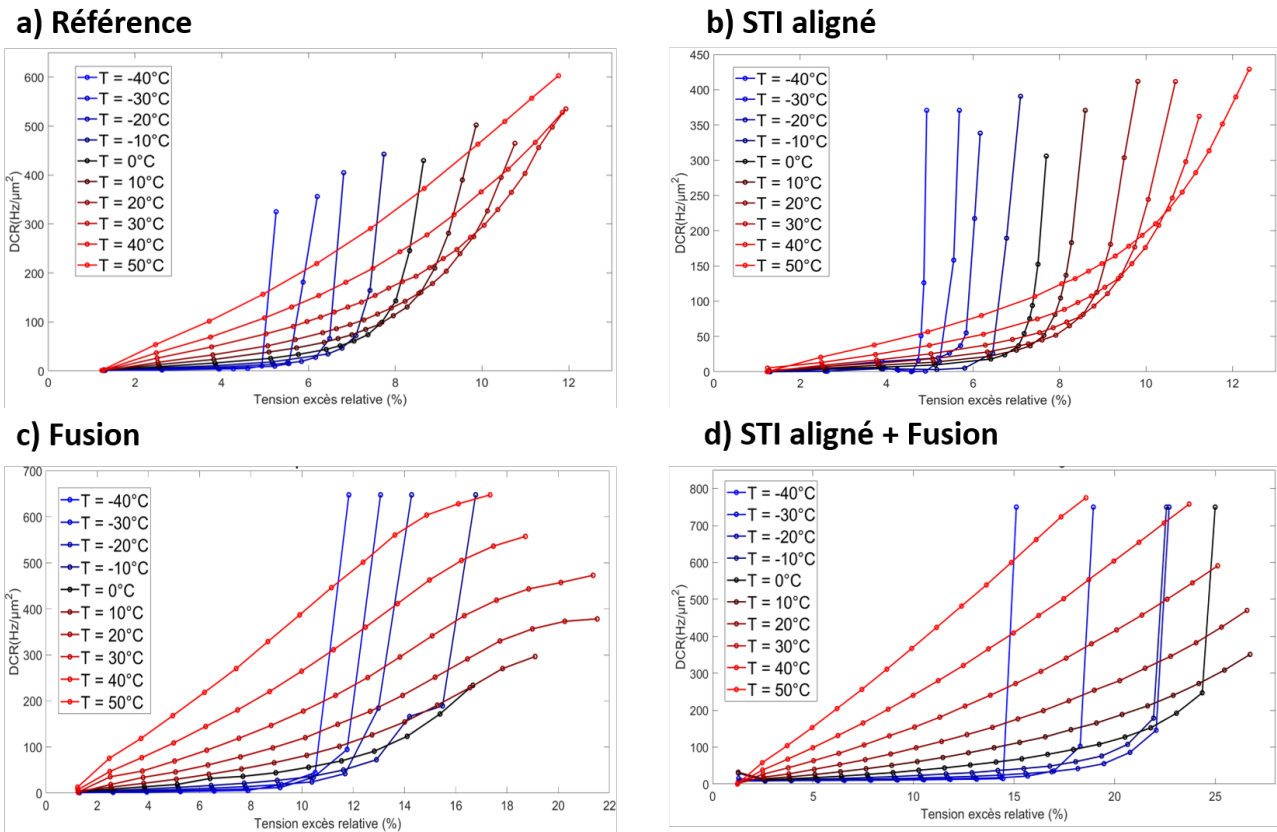


FIGURE 4.6 – Courbes de DCR en fonction de la tension d'excès relative à différentes températures des diodes SPAD du TC5 DNW : a) Référence ; b) STI aligné ; c) Fusion ; d) STI aligné + Fusion

mettent en jeu simultanément et qu'aucun n'est dominant dans nos diodes SPAD.

Structure	Énergie d'activation (eV)
Référence	0,23
STI aligné	0,31
Fusion	0,28
STI aligné + Fusion	0,27

TABLE 4.1 – Énergies d'activation extraites (à $V_{ex}=0,8V$) pour les différentes structures mesurées en DCR

4.1.4 Simulations TCAD complémentaires et analyses

Afin de comprendre les différents comportements des diodes SPAD observés lors des mesures de DCR, nous avons réalisé des simulations électriques complémentaires dans *Synopsys Sentaurus* avec la méthode "Resistor"/"Avalanche off" pour extraire différentes cartographies comme l'ATP par exemple. Nous avons, tout particulièrement, analysé le comportement électrostatique de la structure SPAD "STI aligné".

La figure 4.8 illustre les positions de la limite supérieure de la ZCE des diodes de référence et "STI aligné" respectivement à $V_{bias}=17V$ ($V_{ex}\approx 1V$) et $V_{bias}=5V$. Nous pouvons observer que pour la diode "STI aligné", la limite supérieure de la ZCE touche l'interface BOX/p-Well que nous considérons riche en défauts d'interface même avant d'atteindre la tension de claquage.

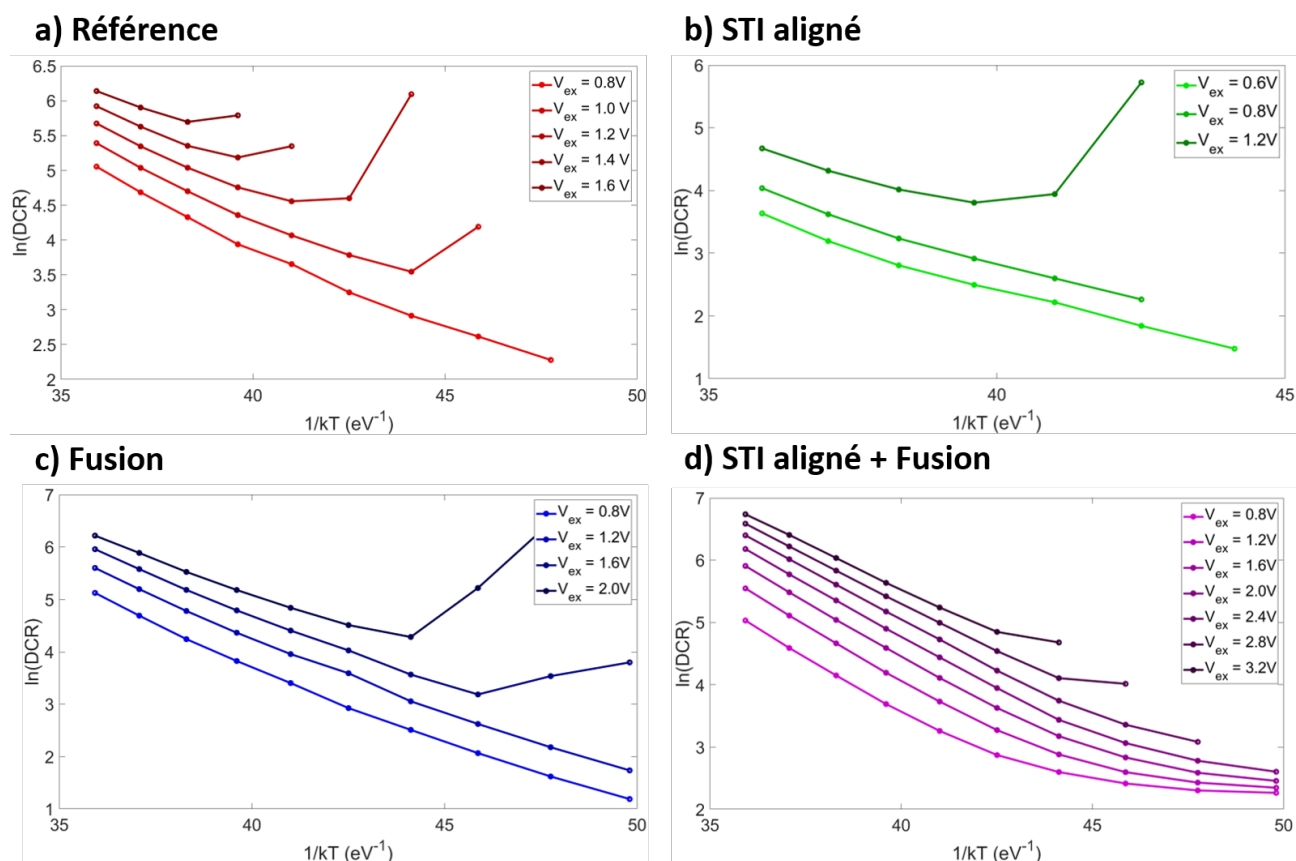


FIGURE 4.7 – Courbes d'Arrhénius de DCR à tensions d'excès des diodes SPAD du TC5 DNW : a) Référence; b) STI aligné; c) Fusion; d) STI aligné + Fusion

Ceci semble confirmer l'hypothèse de la section 4.1.3 et permet d'expliquer l'augmentation prématurée du DCR pour la diode SPAD "STI aligné" par rapport à la référence. Cette observation pourrait également expliquer le niveau de courant d'obscurité plus élevé pour la diode "STI aligné" sur la figure 4.4. Cependant, cette hypothèse ne permet pas d'expliquer la différence entre la référence et la diode "STI aligné+Fusion". En effet, cette dernière présente le meilleur DCR aux faibles tensions d'excès. Elle n'explose pas en DCR avant la référence et peut atteindre les tensions d'excès les plus élevées parmi toutes les diodes SPAD mesurées ($V_{ex}^{max} \approx 27\% V_{BD}$). L'explication pourrait provenir de la quantité de tranchées STI dans la zone active. En effet, comme expliqué dans la section 2.2.3, afin d'aligner la tranchée STI périphérique avec la jonction, la couche *RX fillopc* a besoin d'être alignée avec la couche *BF-MOAT*. Pour ce faire, nous devons allonger les régions rectangulaires de la couche *RX fillopc* en gardant le minimum d'espacement de 70nm qui correspond aux tranchées STI dans la zone active. Ces tranchées STI sont également allongées et donc la quantité de défauts d'interfaces STI/p-Well sera plus importante dans la zone active, ce qui augmenterait la probabilité d'afterpulsing pour la diode "STI aligné". Ceci permettrait d'expliquer les plus hautes tensions d'excès que les diodes "Fusion" et "STI aligné+Fusion" peuvent atteindre avec la suppression de ces tranchées STI au dessus de la zone active. Le niveau similaire de DCR aux faibles tensions d'excès entre la référence et la diode "Fusion" pourrait s'expliquer par le fait que la quantité de tranchées STI périphériques est beaucoup plus importante que ceux dans la zone active qui contribueraient donc moins au DCR. La diode "STI aligné+Fusion" combine les avantages des structures "STI aligné" et "Fusion" et présente le meilleur DCR.

Les cartographies de l'ATP sont extraites du même type de simulations afin d'expliquer la

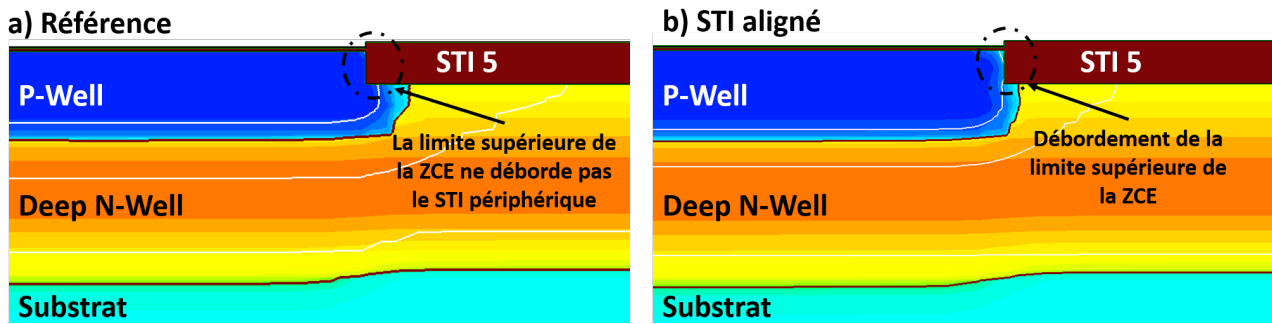


FIGURE 4.8 – Position de la limite supérieure de la ZCE : a) Référence à $V_{bias}=17V$ ($V_{ex}\approx 1V$) ; b) Diode "STI aligné" à $V_{bias}=5V$ ($< V_{BD}$)

différence du niveau de DCR entre la référence et la diode "STI aligné" aux faibles tensions d'excès. La figure 4.9 représente une vue 3D de la distribution 2D avec symétrie de révolution de l'ATP à $V_{bias}=17V$ ($V_{ex}\approx 1V$) aux alentours de la tranchée STI périphérique. Nous pouvons constater que le maximum de l'ATP de la référence se trouve à 45% qui est plus élevé que la diode "STI aligné" ($ATP_{max}=40\%$). Ceci pourrait suggérer que l'alignement de la tranchée STI périphérique permettrait de réduire l'intensité du champ électrique aux alentours de celle-ci, ce qui diminuerait la probabilité de déclencher des avalanches dans l'obscurité et réduirait le DCR.

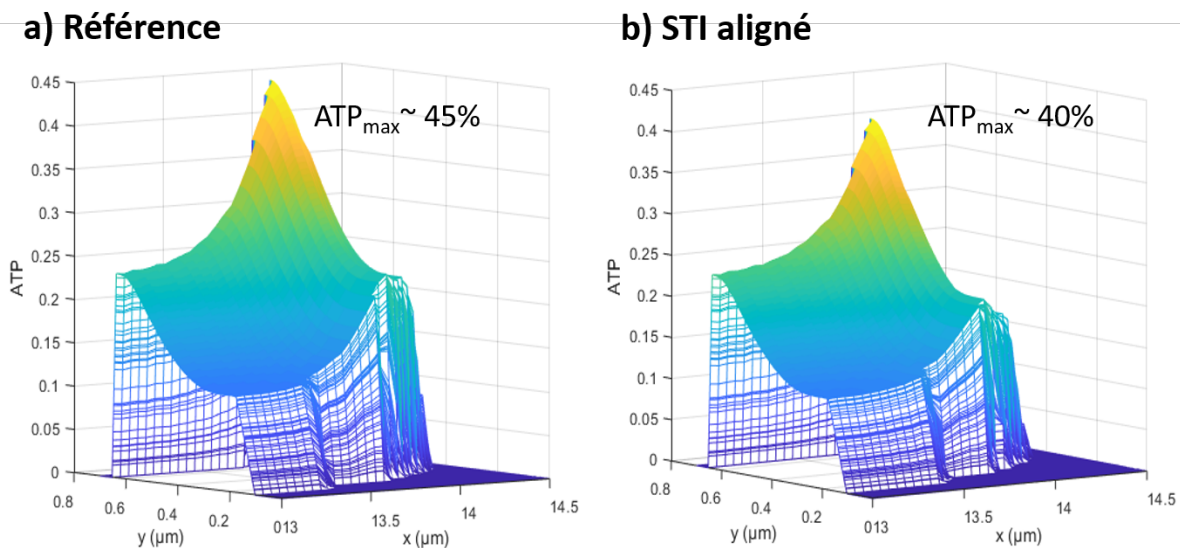


FIGURE 4.9 – Vue 3D de la distribution 2D avec symétrie de révolution 3D de l'ATP à $V_{bias}=17V$ ($V_{ex}\approx 1V$) aux alentours de la tranchée STI périphérique (STI 5) : a) Référence ; b) Diode "STI aligné"

4.2 Mesures de PDP sur les diodes SPAD non nanostructurées

Dans la continuité des caractérisations électro-optiques des diodes SPAD conçues pour améliorer le DCR, nous avons réalisé les mesures de PDP sur les diodes SPAD du TC5 avec

implantation du Deep-N-Well (DNW) modifiée par rapport au procédé standard et nous allons les détailler dans cette section.

4.2.1 Principe de la mesure

La PDP quantifie le rapport entre le nombre d'événements d'avalanches liés à la lumière et le nombre de photons incidents. La PDP d'une diode SPAD est liée d'une part à l'efficacité quantique (probabilité qu'un photon reçu génère une paire électron-trou), et d'autre part à la probabilité d'avalanche (ATP, probabilité que cette paire électron-trou entraîne une avalanche). Expérimentalement, nous pouvons réaliser le comptage des avalanches (impulsions à la sortie de l'amplificateur transimpédance) grâce à l'oscilloscope pendant un certain temps d'acquisition. En connaissant le flux des photons incidents, nous pouvons donc en déduire la PDP. Ce flux de photons incident est obtenu avec un photodétecteur calibré c-à-d présentant une efficacité de détection connue. Dans notre banc expérimental, nous avons choisi un détecteur commercial de haute sensibilité à base de diode SPAD (modèle "PD-050-CTB" de la marque *Micro Photon Devices*) dont nous connaissons les caractéristiques, notamment sa PDP.

La figure 4.10 montre le banc de mesure de PDP à l'INL. Il est composé d'une source lumineuse Xénon, d'un axe optique (monochromateur + polariseurs + analyseurs) et de deux voies de sortie de lumière.

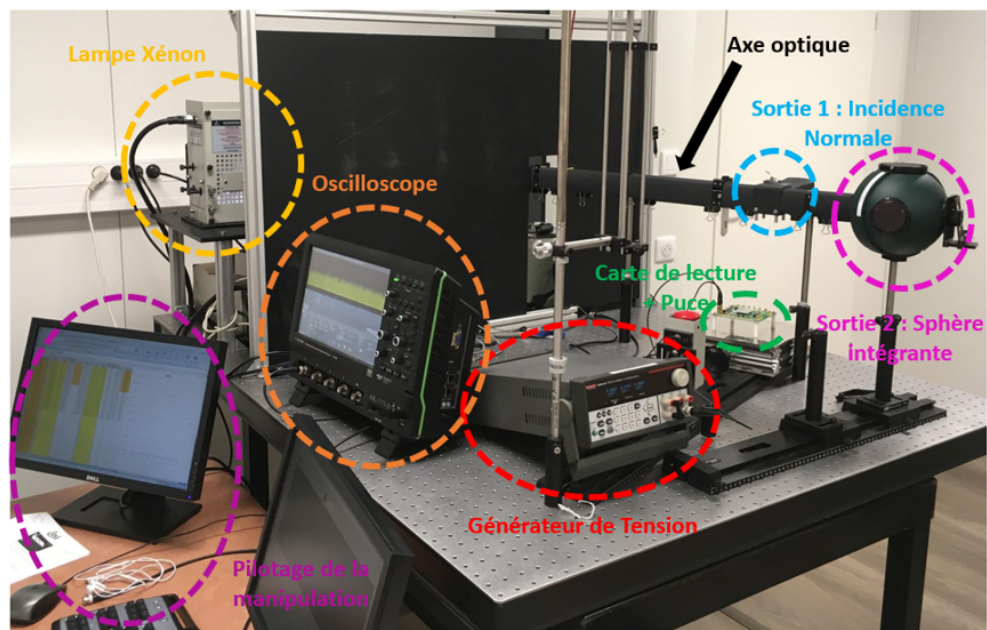


FIGURE 4.10 – Banc de mesure de PDP

La première voie de sortie est utilisée en illumination en incidence normale. Cette voie a été testée et n'a finalement pas été utilisée pour les mesures de PDP, car les résultats ne sont pas reproductibles à cause du contrôle imprécis de la hauteur du support contenant la carte de lecture électronique. En effet, avec cette solution, nous maîtrisons l'orientation de la lumière, mais les mesures se font séquentiellement entre la SPAD et une référence. Nous avons opté pour la deuxième voie utilisant une sphère intégrante où nous pouvons installer la diode SPAD FD-SOI et le photodétecteur SPAD de référence sur deux des quatre sorties de la sphère intégrante et ainsi réaliser des mesures simultanées. La sphère intégrante permet de diffuser la lumière entrante de façon homogène sur toute la sphère. En théorie, en tout

point de la surface de la sphère intégrante, l'intensité lumineuse est identique. La diode SPAD FD-SOI et le photodétecteur SPAD de référence reçoivent donc la même densité de puissance optique. Nous pouvons donc établir les relations suivantes :

$$S_{FD-SOI} \cdot \phi_{photons}(\lambda) \cdot PDP_{FD-SOI}(\lambda) = CR_{FD-SOI}(\lambda) - DCR_{FD-SOI}(\lambda) \quad (4.1)$$

$$S_{ref} \cdot \phi_{photons}(\lambda) \cdot PDP_{ref}(\lambda) = CR_{ref}(\lambda) - DCR_{ref} \quad (4.2)$$

où S_{FD-SOI} et S_{ref} sont les surfaces de la diode SPAD FD-SOI et du photodétecteur SPAD de référence.

$\phi_{photons}(\lambda)$ est le flux de photons incidents.

CR_{FD-SOI} et CR_{ref} sont le taux de comptage sous illumination.

En considérant que les deux diodes SPAD reçoivent le même flux de photons incidents, nous pouvons donc exprimer la PDP de la SPAD FD-SOI sans devoir calculer le flux de photons incidents :

$$PDP_{FD-SOI}(\lambda) = \frac{S_{ref}}{S_{FD-SOI}} \cdot \frac{CR_{FD-SOI}(\lambda) - DCR_{FD-SOI}(\lambda)}{CR_{ref}(\lambda) - DCR_{ref}(\lambda)} \cdot PDP_{ref}(\lambda) \quad (4.3)$$

Ainsi pour ces mesures de PDP, nous devons enregistrer le nombre d'évènements sous illumination et dans l'obscurité et répéter cette expérience pour la gamme de longueurs d'onde comprises entre 400 et 1000nm. Il est également intéressant de garder à l'esprit que nous supposons qu'un évènement détecté correspond à une avalanche créée par libération d'une paire électron-trou après absorption d'un photon incident. Cependant, il y aura certainement des avalanches secondaires (Afterpulsing) à cause des pièges présents dans le matériau et les interfaces. Ce protocole expérimental est simple mais il ne permet pas de retrancher les avalanches secondaires et pourrait donc surestimer la PDP.

4.2.2 Récapitulatif des cellules mesurées

Nous nous sommes focalisés sur les diodes SPAD circulaires pour les mesures de DCR, car toutes les variantes d'architectures (variantes dans les tranchées STI) ont été appliquées pour ce type de SPAD. Pour les mesures de PDP, nous allons également tester les diodes SPAD octogonales qui ont moins de variantes. Le tableau 4.2 récapitule les diodes SPAD mesurées en PDP dans cette section.

Forme	Variante
Circulaire	Référence, STI aligné, Fusion, STI aligné+ Fusion
Octogonale	Référence, STI aligné, STI aligné+ Fusion

TABLE 4.2 – Récapitulatifs des diodes SPAD du TC5 DNW mesurées en PDP

4.2.3 Mesures de PDP à tension d'excès V_{ex} fixe

Afin de comparer les différents comportements des diodes SPAD en PDP, celles-ci ont été d'abord mesurées toutes à une tension d'excès fixe. La tension de claquage V_{BD} de ces diodes SPAD étant considérée identique (Figure 4.4), la tension d'excès est également identique. La figure 4.11 représente les courbes de PDP des diodes SPAD du TC5 DNW mesurées en sphère intégrante à $V_{ex}=0,8V$ avec barres d'incertitudes à température ambiante.

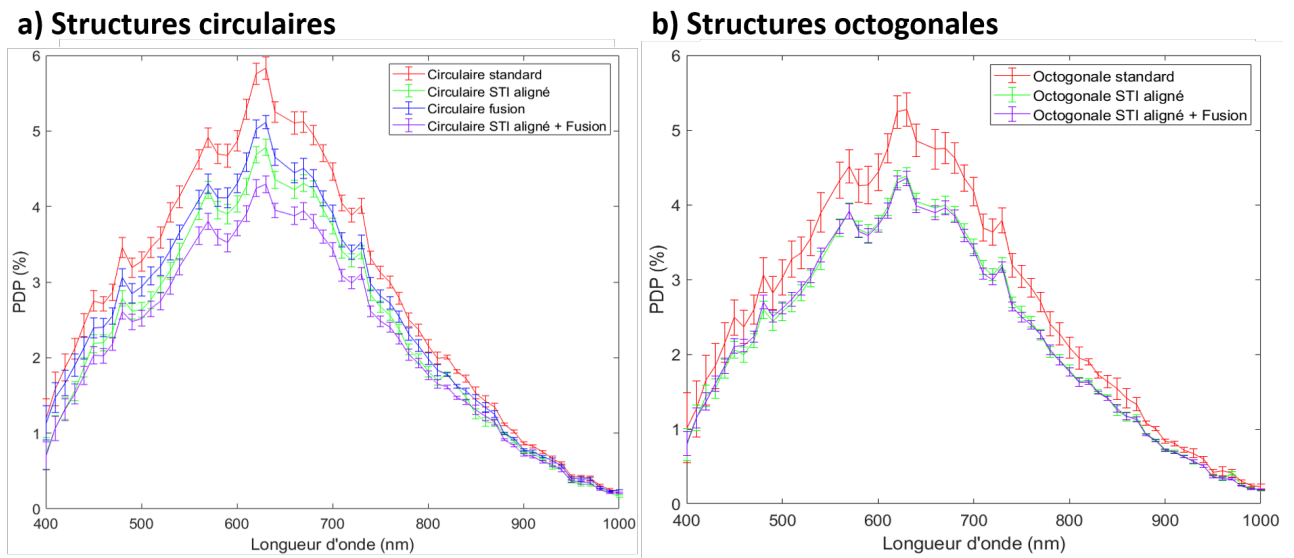


FIGURE 4.11 – Courbes de PDP mesurées des diodes SPAD du TC5 DNW avec barres d'incertitudes : a) structures circulaires ; b) structures octogonales

Nous pouvons constater que la structure de référence (standard, courbes rouges) pour les deux formes présente la meilleure PDP, alors que la structure STI aligné+Fusion qui est la meilleure structure en DCR possède la plus faible PDP. La structure "Fusion" (courbe bleue) présente une PDP légèrement plus forte que la structure "STI aligné" (courbes vertes) et ces deux structures sont comprises entre la référence et la structure "STI aligné+Fusion" (courbes violettes). Il semblerait que ces résultats soient à relier avec la quantité d'interfaces STI/p-well et que la tranchée STI périphérique jouerait un rôle important. La structure de référence présente la plus grosse quantité de tranchées STI (dans la zone active et sur la périphérie) et à l'opposé, la structure "STI aligné fusion" contient le moins de tranchées STI (aucune tranchée sur la zone active et minimisation des tranchées STI périphériques). Les structures "STI aligné" et "Fusion" sont comprises entre les deux. Les résultats obtenus avec les structures "STI aligné" et "Fusion" suggéreraient que l'impact des tranchées STI périphériques est plus importants que les tranchées STI dans la zone active. Comme nous l'avons mentionné dans la section 4.2.1, ces résultats de PDP sont surestimés (Afterpulsing). A cause du circuit d'étouffement passif et du conditionnement du signal externe au circuit intégré avec un amplificateur transimpédance, nous sommes limités sur le temps de réponse et incapables d'estimer correctement l'afterpulsing de nos structures. Nous pouvons donc interpréter ces résultats de PDP de deux manières.

- Si nous considérons que ces structures ont toute une probabilité d'afterpulsing similaire, la meilleure PDP de la structure de référence pourrait provenir du fait que l'amplitude du champ électrique sous les tranchées STI est relativement plus forte (Figure 4.9), ce qui favorise le déclenchement des avalanches. Ceci suggérerait que les structures optimisées en DCR ne seraient pas nécessairement favorables pour l'optimisation

de PDP.

- Si nous mettons le nombre de défauts d'interface et la quantité d'interfaces STI/p-Well en relation et considérons que la probabilité d'afterpulsing n'est pas identique entre ces structures, il faudrait alors être prudent vis-à-vis de ces résultats de PDP.

4.2.4 Mesures de PDP en fonction de V_{ex}

Par la suite, nous allons nous focaliser sur la structure circulaire "STI aligné+Fusion" et réaliser les mesures de PDP en fonction de la tension d'excès V_{ex} . Cette structure nous a permis de monter en tension d'excès en DCR jusqu'à 27% de V_{BD} à température ambiante. Il est donc intéressant de la caractériser également en PDP. La figure 4.12 illustre les courbes de PDP en fonction de V_{ex} à température ambiante.

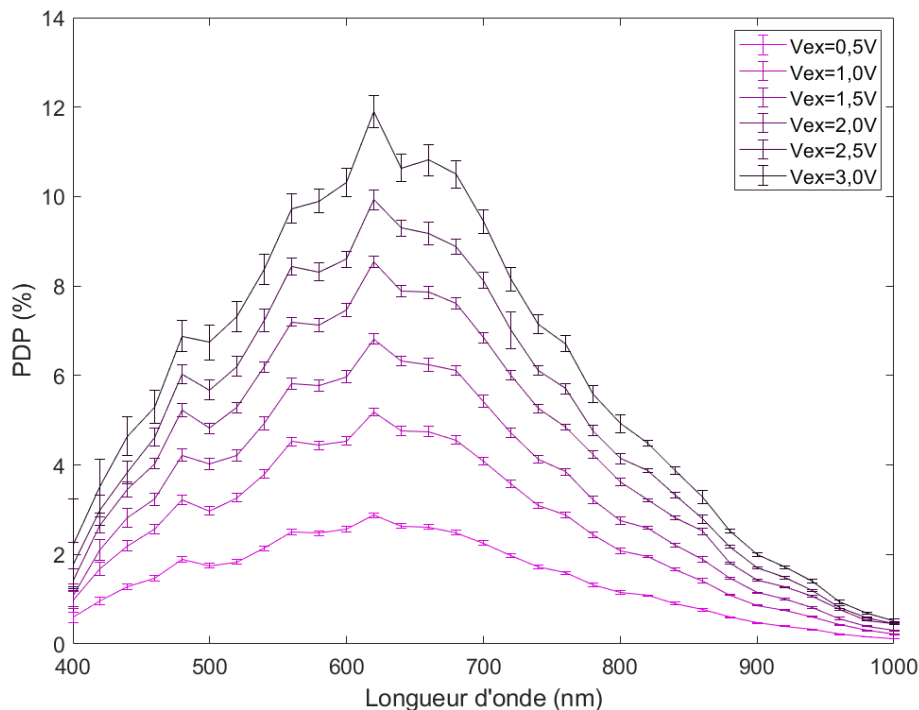


FIGURE 4.12 – Courbes de PDP mesurées de la diode SPAD circulaire "STI aligné+Fusion" en fonction de la tension d'excès ($V_{BD}=15,8V$)

Nous pouvons constater que la PDP augmente régulièrement avec la tension d'excès. Les maximums de PDP sont obtenus à une longueur d'onde d'environ 620nm. Le maximum de PDP à $V_{ex}=3V$ ($\approx 19\%V_{BD}$) se trouve aux alentours de 11,8%. Cette valeur reste comparable à certaines études bibliographiques sur les diodes SPAD CMOS sans procédés spécifiques tels que nanostructuration, lentilles etc. Par exemple, les auteurs dans [3] ont réalisé une matrice 4x4 de diodes SPAD via un procédé CMOS 130nm et ont obtenu un maximum de PDP de 15% à $V_{ex}=3,2V$ pour une longueur d'onde de 500nm ($V_{BD}=15,8V$). Cependant, ces résultats ne sont pas à l'état de l'art (cf. section 1.4.6), ceci pour plusieurs raisons. En effet, les paramètres de fabrication de la technologie CMOS FD-SOI 28nm ne sont pas optimisés pour l'application SPAD. Comme expliqué dans le deuxième chapitre, nous n'avons aucun contrôle sur les paramètres de fabrication pour un fonctionnement optimal. De plus, l'illumination par la face avant (FSI) requiert d'éclairer la SPAD par le côté correspondant aux couches BEOL qui

perturberait la transmission des photons jusqu'à la couche active et donc la photogénération autour de la ZCE, impactant négativement la PDP. Ne bénéficiant pas de toutes les sophistications possibles dans un procédé microélectronique dédié aux applications optoélectroniques (couche antireflet, lentille, nanostructuration etc.), la PDP mesurée sur notre structure SPAD FD-SOI dans sa variante "STI aligné fusion" reste prometteuse.

4.2.5 Simulations électro-optiques complémentaires

Dans la section 3.4.3, nous avons réalisé des simulations électro-optiques afin de proposer des architectures nanostructurées. Le profil de PDP simulé de la structure de référence montre un maximum se trouvant à une longueur d'onde de 500nm (Figure 3.25). Pourtant, les mesures expérimentales montrent un maximum de PDP autour de 620nm de longueur d'onde. Dans les simulations optiques, nous avons considéré qu'aucune des couches BEOL n'était absorbante (la partie imaginaire des indices de réfraction était nulle). Comme nous ne connaissons pas les propriétés optiques exactes de ces couches BEOL, elles peuvent en pratique absorber une partie des photons avant qu'ils n'atteignent la SPAD elle-même.

Dans cette partie, nous allons réaliser des simulations optiques complémentaires dans lesquelles nous allons considérer que les indices de réfraction des couches BEOL possèdent une partie imaginaire non nulle et que les couches BEOL deviennent légèrement absorbantes. Le but n'est pas de reconstruire les couches absorbantes réelles, mais d'obtenir un ordre de grandeur d'une couche absorbante équivalente. En pratique, si les oxydes, et dans une moindre mesure les nitrures, sont plus ou moins riches en silicium, leur courbe de dispersion peut se rapprocher de celle du silicium, entraînant de l'absorption parasite.

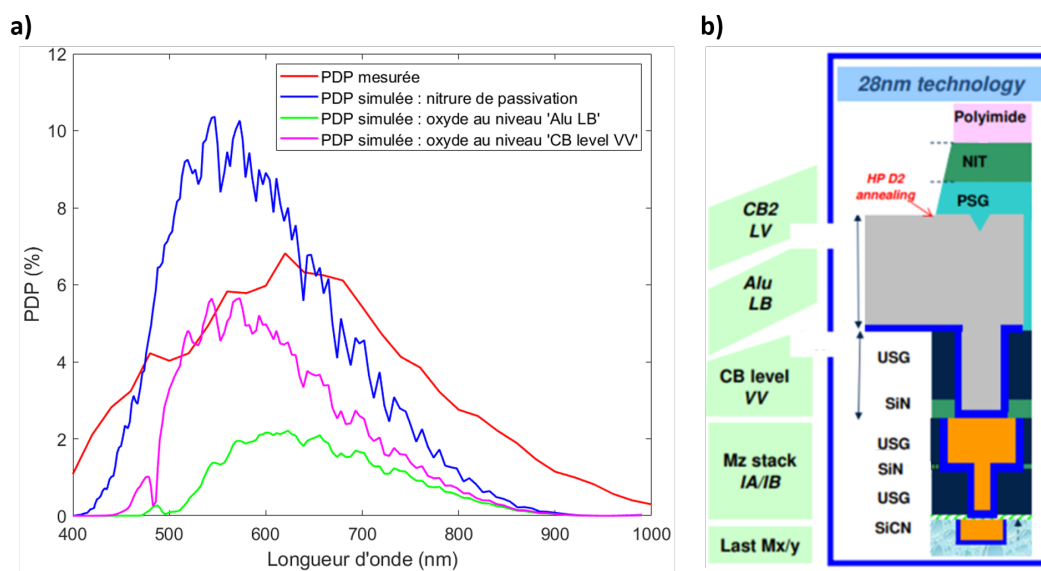


FIGURE 4.13 – a) Courbes de PDP mesurée et simulées sur la diode de référence avec l'attribution de la partie imaginaire de l'indice de réfraction aux couches BEOL individuellement ; b) Couches BEOL au-dessus du BOX

Nous avons considéré la partie imaginaire de l'indice de réfraction du Si qui dépend de la longueur d'onde et l'avons attribué individuellement à certaines fines couches BEOL afin que la position spectrale des maxima de PDP simulée et mesurée soit davantage conforme. La figure 4.13a illustre la courbe de PDP mesurée sur la diode référence circulaire à $V_{ex}=1,5V$ et les courbes de PDP simulées sur la diode référence avec la partie imaginaire de l'indice

de réfraction des couches BEOL non nulle. Nous pouvons constater que les courbes de PDP simulées deviennent fortement dépendantes de l'épaisseur des couches BEOL absorbantes. La couche d'oxyde au niveau 'Alu LB' (Figure 4.13b) étant la plus épaisse, les photons de faibles longueurs d'onde seraient alors davantage absorbés dans cette couche d'oxyde et le pic de PDP se positionnerait alors vers 620nm de longueur d'onde. Ces simulations illustrent que les photons incidents de faibles longueurs d'onde pourraient partiellement être absorbés en traversant les couches BEOL et que les photons de longueurs d'onde plus importantes sont davantage absorbés dans la zone photosensible de la diode SPAD. D'autre part, il serait nécessaire d'étudier la sensibilité de la PDP simulée par rapport aux critères présentés en section 3.3.3 pour la prise en compte de la contribution des porteurs photogénérés dans les zones quasi-neutres adjacentes à la ZCE. Nous pouvons aussi noter que lorsque l'extremum est bien placé, la simulation se montre nettement plus défavorable avec une PDP 3 fois inférieure, conséquence d'une possible dégradation du coefficient de transmission vers le silicium. Ces simulations électro-optiques complémentaires sont bien insuffisantes et révèlent la nécessité de mener un travail complémentaire mais qui ne pourra se faire sans une connaissance des propriétés optiques des couches du BEOL.

4.3 Mesures de PDP sur des SPAD nanostructurées en FSI

Comme présenté dans la section 3.4.5, nous avons implémenté des SPAD FD-SOI nanostructurées avec les tranchées STI dans le sixième *Test Chip* (TC6). Ce circuit a été élaboré en collaboration avec le laboratoire ICUBE de Strasbourg spécialisé dans la conception de circuits intégrés et qui a conçu une électronique intégrée pour l'étouffement et la recharge de diodes SPAD. Les caractérisations électro-optiques des diodes SPAD du TC6 sont ainsi réalisées à ICUBE. Nous nous concentrerons plus particulièrement dans cette partie sur la version DNW modifié (TC6 DNW).

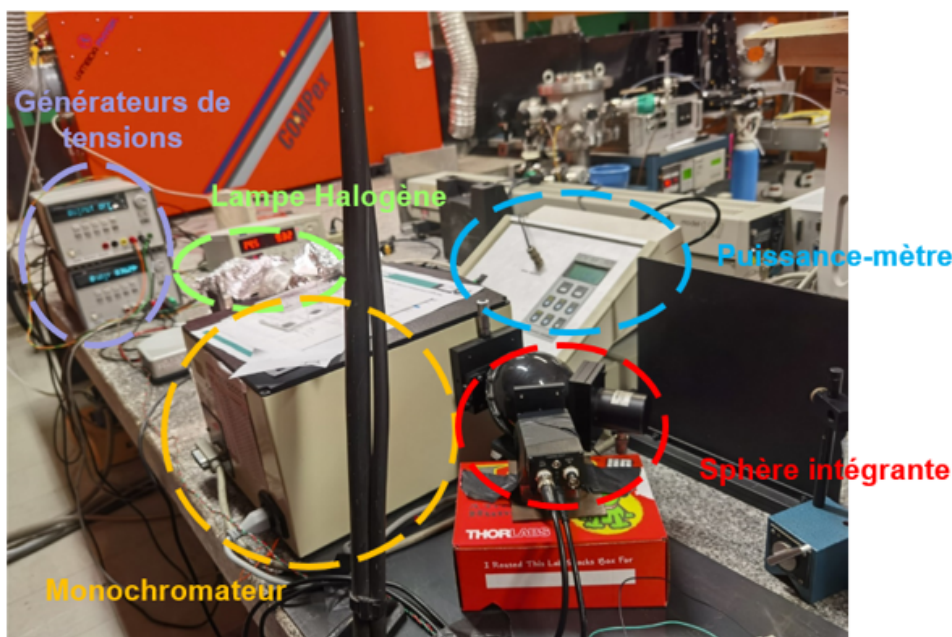


FIGURE 4.14 – Banc de mesures de PDP à ICUBE

4.3.1 Banc de mesure

Le banc de mesures de PDP à ICUBE est relativement similaire à celui de l'INL (Figure 4.14). Il est composé d'une lampe halogène, d'un monochromateur et d'une sphère intégrante. Un détecteur de référence est installé sur la sphère intégrante et sert à mesurer la puissance lumineuse reçue par la diode SPAD. Tous les instruments sont pilotables par *Lab-view* installé sur un ordinateur de travail.

4.3.2 Vérification de la caractéristique de la SPAD commerciale

Avant de caractériser les diodes SPAD du TC6 DNW, nous avons souhaité vérifier la PDP de la SPAD commerciale (nous servant de détecteur de référence) afin de valider nos mesures de PDP à l'INL. La figure 4.15 représente les courbes de PDP donnée par le fabricant et mesurées à ICUBE. Deux configurations ont été utilisées pour la vérification :

- tension de la lampe $V_{lampe}=6V$ et temps d'acquisition=15s pour chaque longueur d'onde
- $V_{lampe}=8V$ et temps d'acquisition=8s

Les réponses mesurées sont proches des données du fabricant, ce qui valide l'usage de ce détecteur calibré pour les mesures de PDP sur les diodes SPAD non nanostructurées à l'INL.

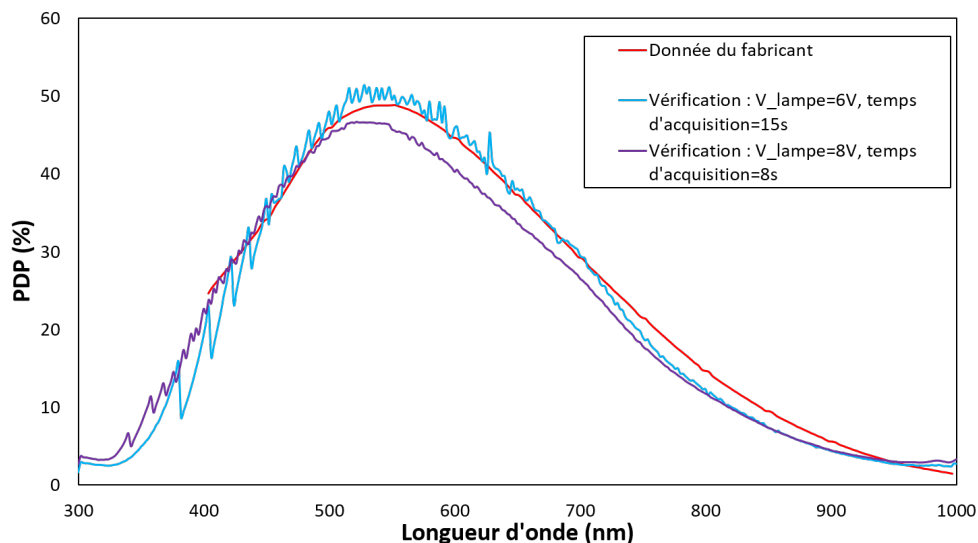


FIGURE 4.15 – Courbes de PDP de la diode SPAD commerciale donnée par le fabricant (rouge) et mesurées à ICUBE (bleu et violet)

4.3.3 Récapitulatif des diodes SPAD mesurées

Par manque de temps, nous n'avons pas été capables de caractériser toutes les diodes SPAD nanostructurées du TC6 DNW dans toutes les configurations possibles. Le tableau 4.3 récapitule les diodes SPAD nanostructurées mesurées en PDP. Il est à noter que les versions octogonales sont toutes implémentées avec l'alignement de la tranchée STI périphérique. Ainsi la diode octogonale "STI aligné" nous sert de nouvelle référence pour les diodes SPAD octogonales nanostructurées.

Forme	Variantes
Circulaire	Référence, nanostructurée avec FF=15% et FF=25%
Octogonale	STI aligné, STI aligné nanostructurée avec FF=15%, FF=20 et FF=25%

TABLE 4.3 – Récapitulatif des diodes SPAD du TC6 DNW mesurées en PDP (FF : rapport entre la surface du Si et la surface totale)

4.3.4 Résultats de mesures de PDP

Les mesures de PDP du TC6 DNW ont été réalisées pendant des périodes séparées à cause de la disponibilité non permanente du banc de mesures à ICUBE. Les premières mesures ont été réalisées en août 2022 principalement sur les diodes SPAD circulaires. En septembre 2022, la deuxième série de mesures a été réalisée sur les diodes octogonales. Les figures 4.16 et 4.17 illustrent respectivement les courbes de PDP des diodes SPAD circulaires et octogonales du TC6 DNW.

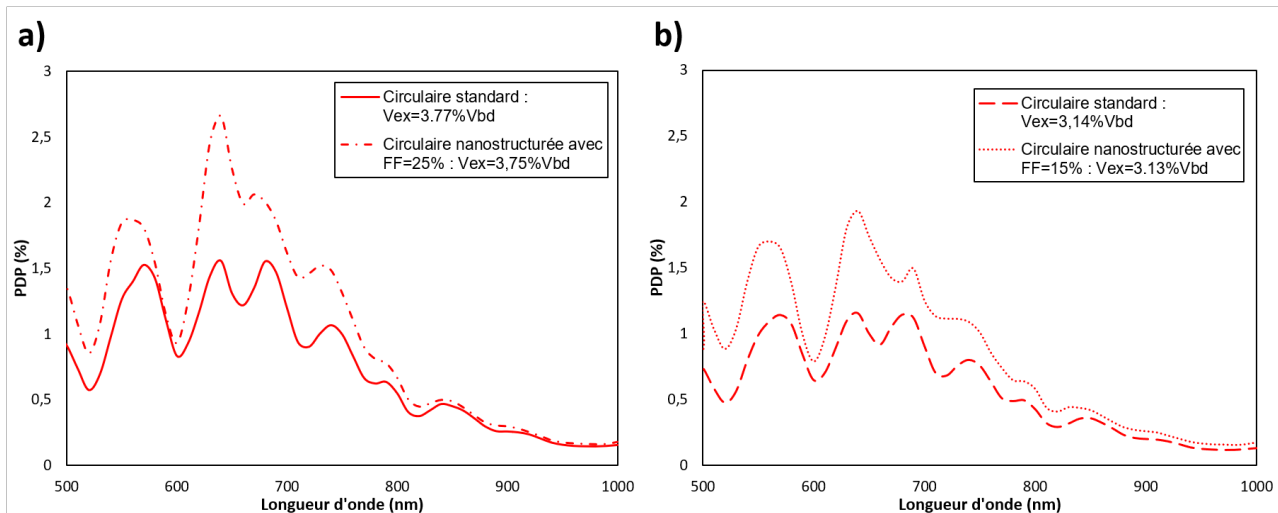


FIGURE 4.16 – Courbes de PDP des diodes SPAD circulaires du TC6 DNW : a) comparaison entre la référence et la diode nanostructurée avec FF=25% ; b) comparaison entre la référence et la diode nanostructurée avec FF=15%

Nous pouvons constater que les diodes SPAD nanostructurées présentent généralement une PDP plus élevée que la référence sur toute la gamme de longueurs d'onde. Le maximum de gain se trouve à une longueur d'onde d'environ 650nm qui correspond à la longueur d'onde visée lors des simulations optiques. Ceci valide notre approche de simulation présentée dans la section 2.3.2. Les gains relatifs sur toute la gamme de longueurs d'onde oscillent entre 10% et 70% pour les structures circulaires (Figure 4.16) et 20% et 80% pour les structures octogonales (Figure 4.17). Le gain relatif moyen peut atteindre 30-40% et 50-60% respectivement pour les structures circulaires et octogonales. Cependant, les valeurs absolues de PDP sont assez faibles (<2,5%). Ceci pourrait provenir du positionnement de la diode SPAD par rapport à l'ouverture de la sphère intégrante. En effet, afin que les distances sphère/détecteur de référence et sphère/diode SPAD soient identiques, la diode SPAD se positionne avec une certaine marge par rapport à l'ouverture de la sphère intégrante (Figure 4.18). Seuls les

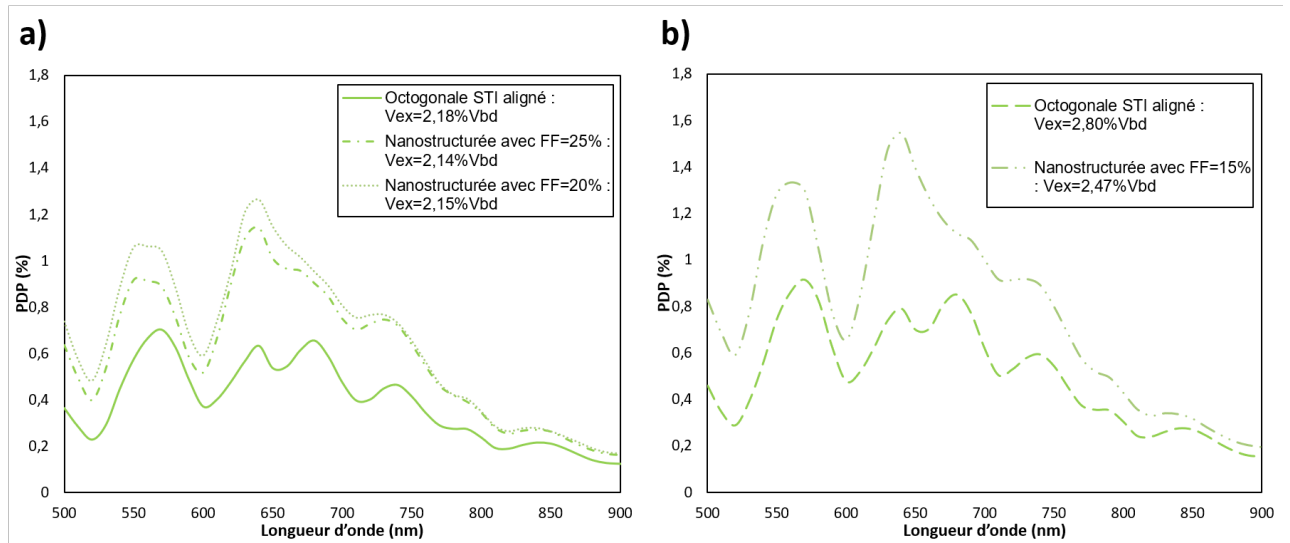


FIGURE 4.17 – Courbes de PDP des diodes SPAD octogonales du TC6 DNW : a) comparaison entre la r f rence et les diodes nanostructur es avec FF=20% et 25% ; b) comparaison entre la r f rence et la diode nanostructur e avec FF=15%

photons avec un angle solide suffisamment proche de la normale peuvent atteindre la diode SPAD, tandis que les autres ne sont pas capt es. Ainsi, nous mesurons une puissance optique plus faible que celle de sortie de la sph re int grante.

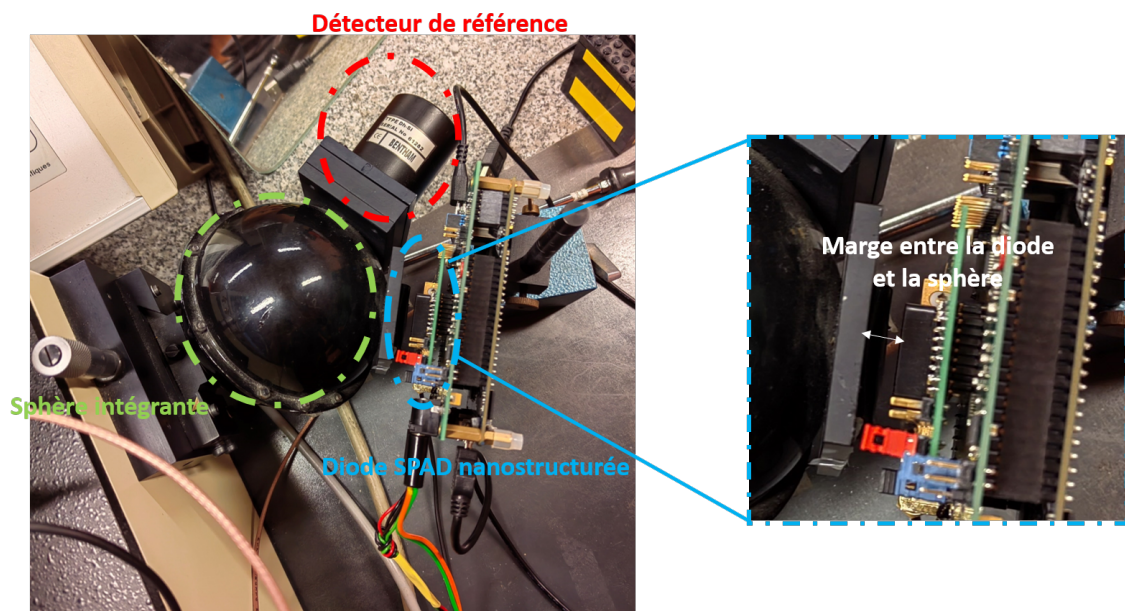


FIGURE 4.18 – Marge entre la sortie de la sph re int grante et la carte de lecture

L'am lioration de la PDP gr ce   la nanostructuration des tranch es STI reste tout de m me relativement faible et doit  tre mise en balance avec la d gradation du DCR associ e. En effet, la pr sence d'une structuration p riodique de tranch es STI entra nera une augmentation du DCR et une limitation en tension d'exc s maximale.

4.3.5 Simulations complémentaires

Lors des mesures de PDP du TC6 DNW, nous avons observé un comportement surprenant des diodes nanostructurées : la coexistence d'une double tension de claquage. La figure 4.19 illustre les chronogrammes des impulsions synchronisées, mémorisées et superposées de la diode SPAD circulaire nanostructurée avec $FF=25\%$ à une tension de polarisation V_{bias} de 16,6V. La différence entre le plateau et le bas du signal correspond à la tension d'excès V_{ex} .

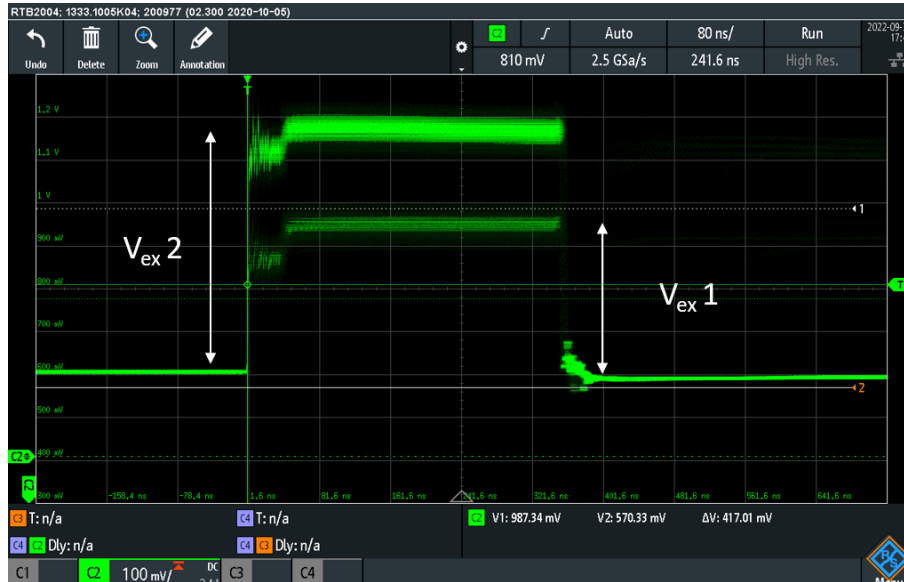


FIGURE 4.19 – Chronogramme des impulsions synchronisées de la diode SPAD circulaire nanostructurée $FF=25\%$ à V_{bias} de 16,6V (échelle de temps : 80ns/div ; échelle de tension : 100mV/div)

Nous pouvons observer qu'il existe deux plateaux correspondant donc à deux tensions de claquage différentes V_{BD} . Notre hypothèse est que la nanostructuration fait croître fortement le nombre de tranchées STI dans la zone active. Comme le champ local sous les tranchées STI est plus fort, ceci pourrait impacter la polarisation nécessaire pour déclencher des avalanches. Nous avons réalisé des simulations électriques TCAD de type transitoire qui nous permettent d'accéder à la variation des grandeurs électriques et physiques dans le temps. L'objectif est de simuler un événement d'avalanche dans la diode SPAD FD-SOI en choisissant la zone où une paire électron/trou est photogénérée et produit une avalanche.

Cette méthodologie de simulations transitoires est basée sur les travaux de Y. Oussaiti [4] et adaptée à la technologie CMOS FD-SOI 28nm [1]. Trois blocs de simulation sont mis en place. Le premier bloc *SPROCESS* est utilisé afin de décrire le procédé de fabrication et de créer la structure de la diode SPAD. Il est suivi par un bloc *SDEVICE* (avec le processus d'avalanche désactivé) qui polarise la cathode progressivement jusqu'à $V_{BD} + V_{ex}$ en régime statique. Ce bloc permet de mettre la structure dans un état (avec le processus d'avalanche désactivé) où des avalanches sont susceptibles de se produire. Enfin un deuxième bloc *SDEVICE*, cette fois-ci en régime transitoire, réactive le modèle d'avalanche et simule l'état de la structure. Dans ce bloc, l'anode est connectée à une résistance d'étouffement externe de $200k\Omega$ en parallèle avec une capacité de 3fF. De plus, nous plaçons une source d'excitation lumineuse pulsée ponctuelle dans la structure (à un endroit spécifique dans la ZCE ou à proximité de la ZCE). Ce type d'illumination nous permet d'étudier et d'analyser le comportement transitoire de la SPAD après le déclenchement d'une avalanche que nous avons initialisée spatialement grâce à la source lumineuse ponctuelle. La source d'illumination ponctuelle est activée 500ps après le début des simulations transitoires et dure 10ps.



FIGURE 4.20 – Description des simulations permettant l'étude transitoire [1]

Afin d'étudier l'impact de la position de l'illumination sur la tension de sortie, une source d'excitation ponctuelle à 600nm de longueur d'onde est placée dans la zone active et sous une tranchée STI (respectivement les positions 1 et 2 sur la figure 4.21). Les courbes de tension de sortie de la diode SPAD (V_{Anode}) en fonction du temps sont ensuite extraites (Figure 4.22).

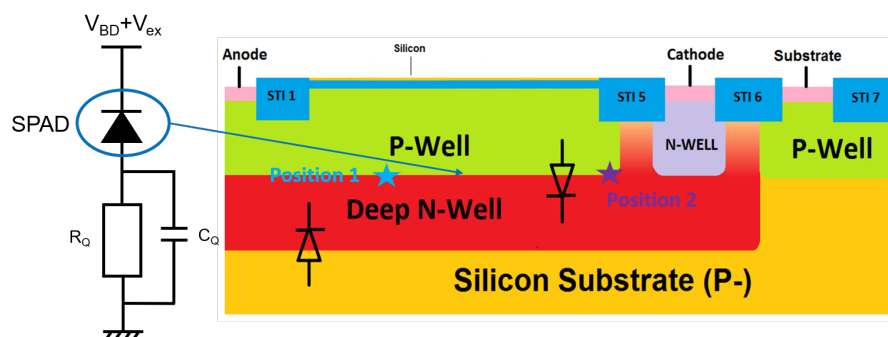


FIGURE 4.21 – Positions de la source d'excitation dans les simulations transitoires

Nous pouvons constater un écart de 0,5V entre les maximums de tension V_{Anode} pour la position 1 et la position 2. Ceci pourrait suggérer que les avalanches se déclencheraient aux différentes tensions de claquage à cause de la différence du champ local, facilitant ainsi la production d'avalanche ou pas. Ici, l'avalanche se déclenche plus facilement sous une tranchée STI. Le nombre important de tranchées STI présentes dans les diodes nanostructurées pourraient rendre ce phénomène local relativement fréquent. Il est à noter que l'écart entre les deux maximums de tension V_{Anode} est dépendant des paramètres des simulations transitoires, tels que la puissance lumineuse (taux de paires électron/trou localement photogénérées), le seuil numérique activant l'avalanche, la résistance, la capacité d'étouffement et bien évidemment la localisation de la source lumineuse ponctuelle à l'origine du déclenchement de l'avalanche.

Dans la configuration simulée, nous pouvons proposer l'analyse suivante : le champ électrique est toujours légèrement plus fort sur la périphérie (de même que sous une tranchée STI) amenant localement une tension de claquage apparente légèrement plus faible. La tension d'excès associée est alors légèrement plus forte ce qui expliquerait une tension anode supérieure pour la position 2 par rapport à la position 1 dans les chronogrammes de la figure 4.22.

4.3.6 Mesures de la probabilité d'afterpulsing

Dans la section 4.2.3, nous avons évoqué nos interprétations du lien entre la PDP et la quantité d'interfaces STI/p-Well. Nous considérons que le nombre de défauts d'interface augmente avec la quantité d'interfaces STI/p-Well. La probabilité d'afterpulsing est ainsi suscep-

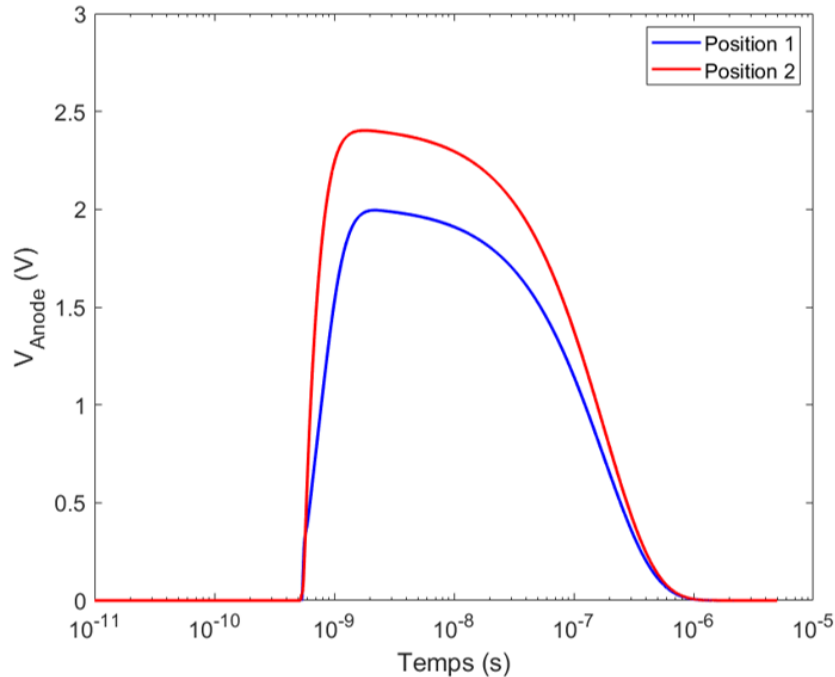


FIGURE 4.22 – Profils simulés de la tension de sortie de la diode SPAD (V_{Anode}) en fonction du temps après déclenchement d'une avalanche à deux positions distinctes

tible d'être plus importante avec la nanostructuration des tranchées STI. Nous avons donc réalisé des caractérisations de la probabilité d'afterpulsing sur certaines diodes SPAD afin de vérifier si le gain de PDP est apporté par l'effet nanophotonique de la nanostructuration ou par l'augmentation de la probabilité d'afterpulsing. Pour ces mesures, les diodes SPAD sont placées dans une enceinte thermique où l'obscurité est assurée et nous pouvons régler la température. La figure 4.23 illustre un exemple d'histogramme de nombre d'évènements en fonction des temps inter-avalanches pour la diode circulaire de référence obtenu avec $V_{ex}=0,7V$ à $20^{\circ}C$. Le temps mort (temps d'étouffement + temps de recharge : temps minimal entre deux avalanches successives).

Un seuil de distinction permet de localiser la limite lorsque l'écart entre l'histogramme et le fit exponentiel dépasse 1%. Tout ce qui dépasse le fit exponentiel est considéré comme des impulsions générées par l'afterpulsing. La probabilité d'afterpulsing peut donc se calculer en faisant le rapport entre le nombre d'impulsions d'afterpulsing et le nombre d'impulsions total.

Le tableau 4.4 résume les mesures d'afterpulsing pour les diodes circulaires de référence et nanostructurées avec $FF=25\%$ aux températures comprises entre 20 et $40^{\circ}C$.

Nous pouvons constater que pour une même tension de polarisation, la probabilité d'afterpulsing de la diode SPAD nanostructurée est légèrement plus élevée que celle de la référence. Ceci pourrait suggérer que le gain de PDP est conjointement apporté par l'augmentation de la probabilité d'afterpulsing et par l'effet nanophotonique de la nanostructuration. Nous pouvons également observer que la diode nanostructurée est encore plus limitée en tension de polarisation. Ceci pourrait suggérer que l'explosion du DCR (principalement afterpulsing) de la diode nanostructurée est très sensible à la tension de polarisation à cause du nombre de défauts d'interface plus élevé.

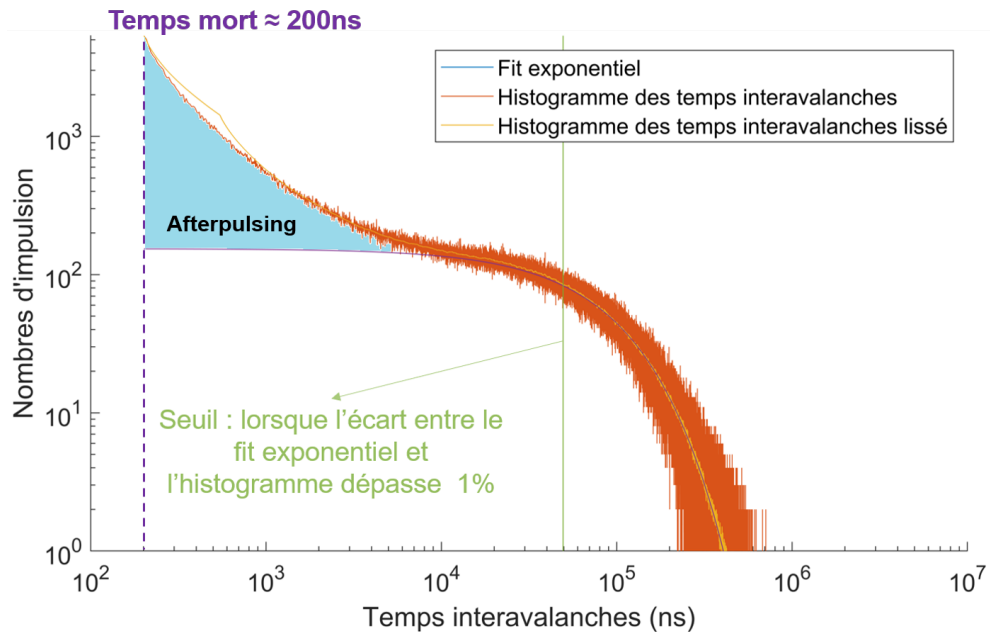


FIGURE 4.23 – Exemple d’histogramme obtenu avec la diode SPAD circulaire de référence à $V_{ex}=0,7V$ et à $20^{\circ}C$

Température ($^{\circ}C$)	V_{bias} (V)	AP : Circulaire de référence	AP : Circulaire nanostructurée (FF=25%)
20	16,2	0,94	/
	16,3	2,73	/
	16,4	6,47	6,48
	16,5	11,62	19,72
	16,6	25,91	/
30	16,3	0,4	/
	16,4	2,5	/
	16,5	5,36	6,28
	16,6	12,67	17,01
	16,7	21,81	/
40	16,8	38,22	/
	16,5	0,048	/
	16,6	3,31	1,58
	16,7	9,7	9,62
	16,8	14,58	/

TABLE 4.4 – Récapitulatif des mesures de la probabilité d’afterpulsing (AP : Afterpulsing Probability) des diodes SPAD du TC6 DNW

4.4 Conclusion

Dans ce chapitre, nous avons présenté les caractérisations électro-optiques sur les diodes SPAD FD-SOI 28nm conçues dans le cadre du projet IPCEI/Nano 2022. Les caractérisations de comptage dans l'obscurité (DCR) concordent avec les travaux de simulation électrique antérieurs (alignement de la tranchée STI périphérique et suppression des tranchées STI dans la zone active). La structure SPAD FD-SOI dans sa variante "STI aligné+Fusion" présente le meilleur niveau de DCR et est capable d'atteindre les tensions d'excès de l'ordre de 27% de la tension de claquage ce qui n'a jamais été atteint par les diodes SPAD CMOS FD-SOI antérieures. Les caractérisations de comptage sous illumination (PDP) en face avant ont permis de montrer l'amélioration de PDP apportée par la nanostructuration des tranchées STI. Le gain en PDP par rapport à la référence n'est pas très significatif, ce qui était attendu, compte tenu de la très faible liberté dans le contrôle des paramètres de fabrication (cf. chapitre 2). Les résultats et analyses présentés dans ce chapitre ont révélé le compromis à faire lors de l'utilisation de la nanostructuration des tranchées STI car celles-ci entraînent une augmentation du DCR. Ces études méritent d'être poursuivies, mais en l'état actuel, il semblerait que la minimisation des tranchées STI sur la zone active soit à privilégier car elle permet de minimiser le DCR, d'augmenter la tension d'excès possible et atteindre une PDP correcte à V_{ex} élevé (nous avons obtenu un maximum de PDP d'environ 11.8 % pour 620nm à $V_{ex}=3V$ pour la diode SPAD circulaire dans sa variante "STI aligne+Fusion"). Enfin, les dernières mesures expérimentales montrent que la nanostructuration tend à augmenter l'afterpulsing.

Références

- [1] D. ISSARTEL, « Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm, » disponible à <http://theses.insa-lyon.fr/publication/2021LYSEI090/these.pdf>, Thèse, Université de Lyon, INSA Lyon, n°2021LYSEI090, déc. 2021.
- [2] N. LOUKIANOVA, H. FOLKERTS, J. MAAS, D. VERBUGT, A. MIEROP, W. HOEKSTRA, E. ROKS et A. THEUWISSEN, « Leakage current modeling of test structures for characterization of dark current in CMOS image sensors, » *IEEE Transactions on Electron Devices*, t. 50, n° 1, p. 77-83, 2003. DOI : [10.1109/TED.2002.807249](https://doi.org/10.1109/TED.2002.807249).
- [3] Z. YOU, L. PARMESAN, S. PELLEGRINI, R. K. HENDERSON et R. K. HENDERSON, « $3\mu\text{m}$ Pitch , $1\mu\text{m}$ Active Diameter SPAD Arrays in 130 nm CMOS Imaging Technology, » 2017.
- [4] Y. OUSSAITI et AL, « Behavior and Models for quench efficiency in Single-Photon Detection, » in *Poster, Single-Photon Workshop, Milan, Italie, 2019*.

Conclusion et perspectives

Cette thèse porte sur la simulation et la caractérisation des diodes à avalanche à photon unique (SPAD) intégrées dans une technologie CMOS FD-SOI (*Fully Depleted Silicon-on-Insulator*) 28nm avec un focus sur l'amélioration de la probabilité de détection de photons (PDP).

Dans le premier chapitre, nous avons présenté les généralités des diodes SPAD (fonctionnement, critères de performances, applications et état de l'art). Connues comme des photodétecteurs fonctionnant en mode Geiger, les diodes SPAD sont basiquement des jonctions pn polarisée avec des fortes tensions inverses au-delà de la tension de claquage. Elles permettent de détecter un faible flux lumineux du fait que l'absorption d'un photon incident va générer un porteur qui sous l'effet du fort champ électrique va déclencher une avalanche dans la zone de multiplication et par conséquent un signal électrique détectable, représentatif d'un événement optique discret. Un circuit d'étouffement et de recharge (actif ou passif) évite l'endommagement issu du fort courant d'avalanche et permet de remettre la diode SPAD à son état instable de polarisation initial dans l'attente du prochain événement d'avalanche. Les diodes SPAD peuvent être évaluées par des critères de performances, tels que le taux de comptage dans l'obscurité (*DCR*), sous illumination (PDP : probabilité de détection de photons), la résolution temporelle (*Time Jitter*), l'afterpulsing (avalanches secondaires) et le couplage électro-optique entre des diodes SPAD voisines (*Crosstalk*). Les diodes SPAD sont utilisées dans diverses applications. Nous pouvons citer l'exemple de la mesure de "temps de vol" (ToF : *Time of Flight*) qui permet d'estimer la distance entre l'objet cible et le système de ToF et qui est communément utilisé pour les applications telles que l'aide à la navigation de véhicule autonome, la reconnaissance faciale, la robotique, etc. Actuellement, les diodes SPAD les plus avancées sont basées sur les technologies d'empilement 3D avec les diodes SPAD et leurs circuits électroniques associés intégrés individuellement dans deux wafers qui sont interconnectés par les techniques de collage au niveau wafer faisant également intervenir une étape d'amincissement. Les diodes SPAD et leurs circuits associés peuvent ainsi bénéficier des dernières technologies de fabrication les plus performantes. Les techniques d'ingénierie optique, telles que les lentilles focalisantes, la nanostructuration, les couches d'antireflet en face avant et les réflecteurs en face arrière, etc. sont également souvent utilisées conjointement afin d'optimiser la photogénération dans la structure SPAD. Dans ce contexte, cette thèse s'est focalisée sur l'implémentation de diodes SPAD dans la technologie CMOS FD-SOI 28nm de *STMicroelectronics* et a pour l'objectif principal d'optimiser l'efficacité de photodétecteur de ces dernières (PDP). Ces diodes SPAD sont réalisées sous le film de silicium, sous l'oxyde enterré en utilisant les couches p-Well (PW) et Deep-n-well (DNW) pour obtenir un pixel intrinsèquement 3D avec illumination par la face arrière après amincissement pour une détection dans le proche infrarouge.

Dans le deuxième chapitre, nous avons, dans un premier temps, réalisé des recherches bibliographiques sur les approches d'amélioration de PDP développées dans la littérature. Depuis des années 2000, la tendance est d'implémenter les diodes SPAD dans des technolo-

gies largement submicroniques qui sont matures et moins onéreuses. Cependant, les niveaux de dopage et les temps de recuit utilisés souvent dans ces technologies ne sont pas optimisés pour les applications SPAD. Ainsi, l'ingénierie des profils de dopage s'avère être une solution prometteuse pour améliorer la PDP des diodes SPAD. Les SPAD 3D permettant de séparer les diodes SPAD de leur électronique sur deux wafers séparés sont préférables pour obtenir les meilleures performances. En parallèle, les recherches visant à augmenter le chemin parcouru par la lumière incidente dans les diodes SPAD et donc à améliorer l'efficacité d'absorption ouvrent d'autres voies d'optimisation de la PDP des diodes SPAD. Parmi elles, les approches de cavité résonante et de nanostructuration sont particulièrement intéressantes. Une cavité résonante dans une diode SPAD est souvent composée d'une couche d'antireflet du côté de l'illumination et d'un réflecteur du côté opposé. La couche d'antireflet favorise grandement la transmission des photons incidents et le réflecteur fait accroître la distance parcourue par les photons dans la structure et donc augmente indirectement l'épaisseur d'absorption de la diode SPAD. Quant à l'approche de la nanostructuration, elle vise à augmenter l'efficacité d'absorption en favorisant la transmission des photons incidents et augmentant la photogénération globale dans la structure.

Nous avons finalement opté pour l'approche de la nanostructuration pour les diodes SPAD CMOS FD-SOI 28nm. En effet, en étant très limité en termes de contrôle sur les paramètres de fabrication (dopage, recuit, etc), l'approche de l'ingénierie du profil de dopage nous apparaissait impossible. La technologie CMOS FD-SOI 28nm utilisant un substrat massif de silicium, il est également irréaliste de modifier la composition du substrat afin d'insérer un réflecteur, car cela nécessite des modifications majeures du procédé de fabrication. Quant à l'approche de la nanostructuration, nous pouvons l'adapter à la technologie FD-SOI CMOS 28nm en nanostructurant les tranchées d'isolation STI (*Shallow Trench Isolation*) présentes dans la zone active des diodes SPAD au-dessus de la jonction p-Well/Deep n-Well. La présence de ces tranchées STI est due aux règles de dessin lors de la conception. Leurs dimensions et positions sont à notre choix et nous pouvons donc les organiser (dimension et période) de sorte à améliorer la photogénération globale dans la structure dans le cas de l'illumination par la face avant (FSI : *Front Side Illumination*).

Dans un second temps, l'approche théorique de la nanostructuration appliquée à la technologie CMOS FD-SOI 28nm a été détaillée (cf. troisième chapitre). En FSI, les motifs des tranchées de STI jouent deux rôles dans cette approche : antireflet ; création et localisation des interférences constructives dans les zones d'absorption (ZCE : zone de charge d'espace et zones adjacentes). Le premier rôle est assuré en optimisant le rapport surfacique entre le silicium et le motif total (FF). En effet, ce facteur est en relation avec le coefficient effectif (équivalent) de réflexion à la première interface par laquelle les photons incidents entrent dans la structure. Après avoir optimisé le FF, les interférences constructives peuvent être créées et localisées en optimisant la période des motifs. Cette dernière permet de correctement localiser les interférences constructives dans les zones d'absorption afin d'augmenter la photogénération globale. L'approche similaire peut aussi être appliquée au cas de l'illumination par la face arrière (BSI : *Back Side Illumination*) pour l'amélioration de PDP dans la gamme spectrale du proche infrarouge, en nanostructurant le substrat de silicium. La nanostructuration est cette fois-ci composée de motifs Si/air.

Avant de se lancer dans les simulations optiques, quelques contraintes vis-à-vis de la technologie CMOS FD-SOI 28nm existent. D'abord, pour le cas en FSI, seules les dimensions latérales (longueur et largeur) des tranchées STI sont modifiables (avec une taille minimale et une forme uniquement rectangulaire). La hauteur, qui est également en lien avec le coefficient de réflexion de la première interface, reste non modifiable. La deuxième contrainte

réside dans l'existence des couches *Backend-of-Line* (BEOL, couches assurant les interconnexions, la passivation et l'encapsulation) dont nous ne connaissons pas les propriétés optiques (profil de l'indice optique). Des propriétés optiques disponibles dans la littérature ont été utilisées pour les simulations optiques et l'écart entre les résultats de simulations et les mesures expérimentales sont donc attendues.

Afin d'obtenir le point de départ de simulation, les valeurs optimales théoriques des paramètres (FF et période) ont été calculées. Nous avons fait varier ces paramètres autour des valeurs optimales théoriques afin d'obtenir les meilleures configurations. Les résultats de simulations optiques ont confirmé notre approche théorique et ont permis d'améliorer la PDP des diodes SPAD en simulations dans toute la gamme de longueurs d'onde (400-1000nm). En FSI, des gains moyens relatifs en PDP par rapport à la référence ont atteint 100% et 35% pour la gamme de longueurs d'onde de 400-500nm et 550-700nm. Pour le en BSI, le gain moyen relatif se trouve environ à 120%. Les résultats de simulations en FSI ont permis de proposer des quelques architectures de diodes nanostructurées dans le sixième Test Chip (TC6) élaborée en collaboration avec le laboratoire ICUBE de Strasbourg, afin de vérifier l'effet photonique de la nanostructuration des tranchées STI dans la zone active sur les diodes SPAD CMOS FD-SOI 28nm.

Cette thèse a permis de poursuivre les travaux antérieurs sur les diodes SPAD CMOS FD-SOI 28nm qui s'était focalisées principalement sur la réduction du bruit (DCR : taux de comptage dans l'obscurité). Dans le quatrième chapitre, plusieurs architectures avaient été proposées et ont été d'abord caractérisées en DCR : "STI aligné" (alignement de la tranchée STI périphérique par rapport à la jonction), "Fusion" (suppression des tranchées STI dans la zone active) et "STI aligné+Fusion". Ces structures ont permis de réduire la quantité d'interfaces STI/p-Well que nous considérons riches en défauts d'interfaces, qui sont susceptibles d'être des sources de DCR et d'afterpulsing. Les caractérisations de DCR réalisées sur ces diodes SPAD ont confirmé ces travaux antérieurs. La structure "STI aligné+Fusion" a présenté le meilleur niveau de DCR aux faibles tensions d'excès V_{ex} et a été capable d'atteindre une tension d'excès de $27\%V_{BD}$ à température ambiante, ce qui n'avait jamais été atteint par les diodes SPAD antérieures conçues à l'INL. La structure "STI aligné" a montré une augmentation prématurée de DCR à une tension d'excès plus faible que la diode SPAD de référence. Les simulations électriques statiques ont montré que la limite supérieure de la ZCE (du côté p-Well) d'une diode "STI aligné" rentre en contact avec l'interface BOX/p-Well considérée riche en défauts d'interface même avant d'atteindre la tension de claquage, ce qui permettrait d'expliquer cette observation. La structure "STI aligné+Fusion" a été caractérisée en PDP à l'INL. Le maximum de PDP se trouve à 11,8% avec $V_{ex}=3V$ pour une longueur d'onde de 620nm. Cette valeur est proche des celles rapportées dans certaines recherches de la littérature sur des développements de SPAD dans des technologies non dédiées. Cependant, ces résultats ne sont pas à l'état de l'art et ceci pour des raisons mentionnées auparavant : limitation en contrôle des paramètres de fabrication ; couches BEOL susceptibles de pénaliser la PDP. Il est à noter qu'en simulations, les courbes de PDP simulées ont montré un maximum à 500nm de longueur d'onde. Les simulations optiques complémentaires ont été réalisés. Elles ont suggéré que certaines couches BEOL seraient absorbantes (en simulation, toutes les couches BEOL sont considérées non absorbantes) et qu'une partie des photons de faibles longueurs d'onde serait absorbée par ces couches BEOL, causant le décalage du maximum de PDP simulée vers 620nm de longueur d'onde.

Les caractérisations électro-optiques (PDP et afterpulsing) sur les diodes SPAD nanostructurées ont été menées au laboratoire ICUBE de Strasbourg. En raison du manque de temps et de la complexité du banc de mesures à ICUBE, nous n'avons pas été capables de tester toutes

les configurations possibles. Les résultats de mesures de PDP ont montré un gain moyen relatif de 30-40% et 40-50% respectivement pour les structures circulaires et octogonales avec les valeurs absolues de PDP $< 2,5\%$ pour des tensions d'excès relatives comprises entre 2-4% de la tension de claquage. Ces faibles valeurs absolues de PDP peuvent s'expliquer par le fait que le banc de mesures n'est pas optimisé. En effet, il existe un espace libre non couvert entre la sortie de la sphère intégrante et la carte de lecture dans laquelle les diodes SPAD sont installées. Des pertes importantes de puissances lumineuses sont susceptibles de se produire. Nous avons également observé le phénomène de la coexistence d'une double tension de claquage sur certaines diodes SPAD. Les simulations électriques transitoires ont montré que selon la localisation du début de l'avalanche (sous tranchée STI ou non), la dynamique est différente et la tension de sortie de la diode SPAD est différente. Ceci pourrait suggérer que la non uniformité du champ électrique (notamment un champ plus élevé sous les tranchées STI) entraînerait une variation de la tension de claquage suivant la localisation du début de l'avalanche. Les mesures de la probabilité d'afterpulsing ont été réalisées en parallèle. Les résultats ont montré une légère augmentation de la probabilité d'afterpulsing, ce qui pourrait suggérer que l'amélioration du PDP est conjointement apportée par la nanostructuration et l'afterpulsing.

En conclusion, les études en simulations électro-optiques nous ont permis de proposer les architectures de SPAD implémentées dans la technologie CMOS FD-SOI 28nm dans le but d'améliorer la probabilité de détection de photons. Elles nous ont également aidé à comprendre les phénomènes observés lors des caractérisations électro-optiques et ont confirmé le potentiel de l'approche de la nanostructuration. Même si ces travaux n'ont pas permis d'obtenir les résultats de PDP à l'état de l'art, nous croyons à un fort potentiel si nous pouvions explorer les voies suivantes : i) mettre en place des techniques de passivation afin de réduire la quantité de défauts d'interface STI/Si ; ii) caractériser les couches *Backend-of-Line* (BEOL) afin de connaître leurs propriétés optiques et de réaliser des simulations électro-optiques avec des conditions plus réalistes ; iii) obtenir plus de degrés de liberté dans la modification du procédé de fabrication pour optimiser le profil de dopage de la diode pour l'application SPAD.

A plus long terme, l'amincissement du substrat des cellules contenant des diodes SPAD CMOS FD-SOI 28nm nous permettra d'éclairer les diodes SPAD en face arrière et d'améliorer leur performance dans la gamme spectrale du proche infrarouge. L'approche de la nanostructuration pourra également s'appliquer et sera moins impactée par les contraintes en face avant (couches BEOL, défauts d'interface STI/Si), permettant d'entrevoir de meilleure performance de photodétection.

Annexe A

Propriétés des matériaux dans Ansys Lumerical FDTD

La plupart des matériaux utilisent le modèle "Données 3D échantillonnées" ("*Sampled 3D data*") qui se base sur les mesures expérimentales de l'indice de réfraction des matériaux. D'autres modèles sont également disponibles. Par exemple, le modèle "Diélectrique" spécifie une constante pour la partie réelle de l'indice de réfraction en fonction de la longueur d'onde. Le modèle "(n,k) Matériaux" définit une valeur pour les parties réelle et imaginaire de l'indice de réfraction pour des simulations mono-fréquentielle. Les structures peuvent être 2D ou 3D. Les structures 2D représentent souvent des couches minces de matériaux conducteurs qui peuvent être considérés infiniment minces. Dans ce cas, le modèle "Données 2D échantillonnées" ("*Sampled 2D data*") est utilisé. Si le matériau que nous voulons simuler n'existe pas dans la base de données des matériaux FDTD, il est possible de l'importer nous-mêmes si nous connaissons ses propriétés optiques. Un autre paramètre à considérer lorsque plusieurs matériaux se superposent est l'ordre de maillage (*Mesh order*, variant de 1 à 3) qui détermine quel matériau prend la priorité sur les autres matériaux à la même position. Le matériau avec une faible valeur de l'ordre de maillage occupe le volume où il se superpose avec les autres.

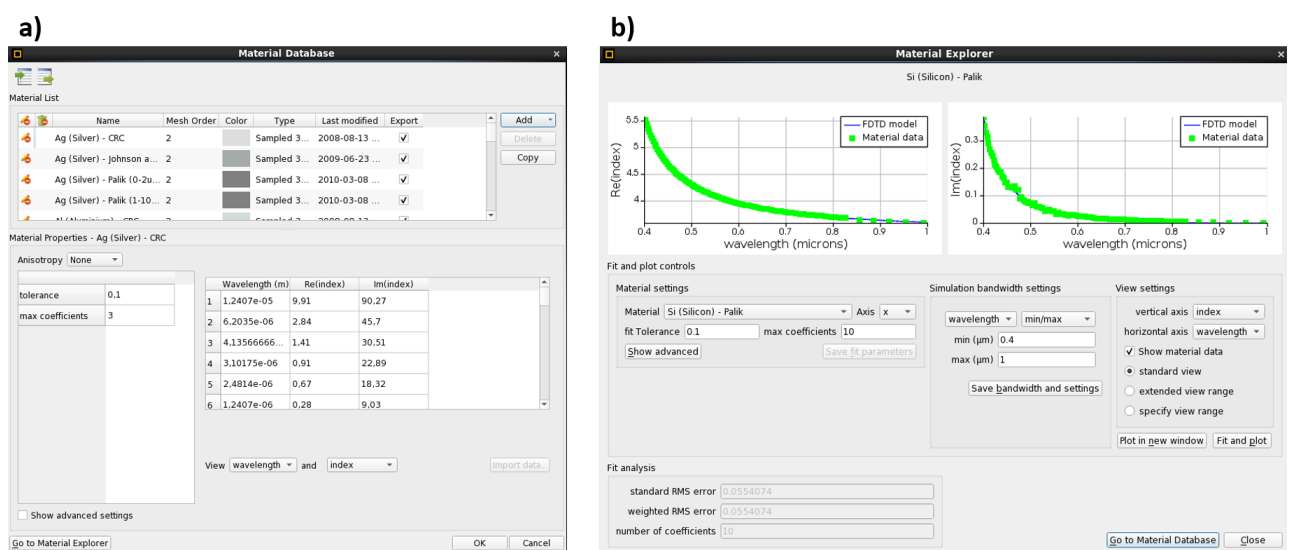


FIGURE A.1 – a) Base de données des matériaux; b) Explorateur des matériaux avec les courbes des données modélisées (*FDTD model*) et expérimentales (*Material data*) du Si

Il est important de comprendre que Ansys Lumerical FDTD n'utilise pas directement les

données expérimentales, mais génère un modèle multi-coefficients (*MCM, Multi-coefficient model*) pour modéliser les propriétés optiques et se rapprocher le plus possible des données expérimentales (Figure A.1b). Ainsi, avant de lancer les simulations, il faut vérifier si les paramètres du modèle *MCM* permettent de modéliser correctement les propriétés optiques dans la fenêtre de l'explorateur des matériaux (*Material Explorer*). Il est possible de visualiser par exemple les données expérimentales et modélisées pour les parties réelle et imaginaire de l'indice de réfraction d'un matériau en fonction de la longueur d'onde ou de la fréquence. Les données simulées peuvent être ajustées par les paramètres du modèle *MCM* : "*fit tolerance*" et "*max coefficients*". Le premier spécifie l'erreur moyenne quadratique (*RMS error, Root Mean Squared error*) ciblée entre les données modélisées et expérimentales. Le second détermine le nombre maximal de coefficients pouvant être utilisés dans l'équation de modélisation. Le nombre de points d'inflexion dans la courbe modélisée augmente avec ce paramètre.

Annexe B

Région de simulation FDTD et conditions aux limites dans *Ansys Lumerical FDTD*

Dans certains cas, par exemple pour des structures périodiques ou des structures 2D (dont une dimension est supposée infinie), nous n'avons besoin de prendre en compte qu'une portion de la structure. Il est donc plus efficace de mettre en place une région de simulation FDTD qui couvre uniquement la zone d'intérêt en exploitant d'éventuelles symétries grâce aux conditions aux limites pour réduire le volume de la zone de calcul.

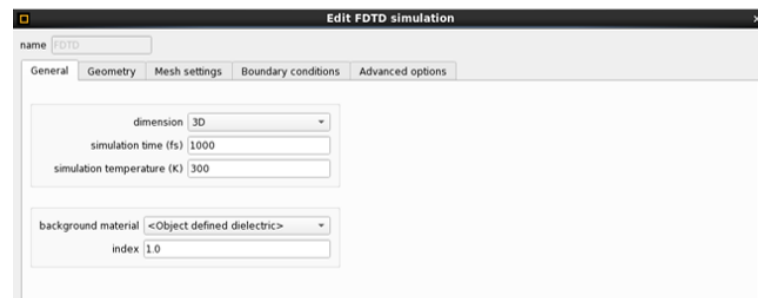


FIGURE B.1 – Fenêtre d'édition de la région de simulation FDTD

Plusieurs paramètres sont à définir pour la région de simulation FDTD. D'abord, le type de la région de simulation FDTD (3D ou 2D) est à spécifier. Le temps de simulation doit être suffisamment long pour que les champs \vec{E} et \vec{B} puissent traverser la région de simulation et obtenir le régime stationnaire. La température (300K par défaut) est à adapter pour les matériaux dont la permittivité est dépendante de la température.

Ensuite, le type de maillage peut être sélectionné. Le type par défaut est "auto non-uniform" qui adapte le maillage automatiquement en fonction des propriétés des matériaux, de la longueur d'onde et du niveau de précision (points par longueur d'onde). Ce type est recommandé pour la plupart des simulations. Les types "uniform" et "custom non-uniform" sont disponibles et sont utilisés moins fréquemment. Souvent dans la région de simulation FDTD, il faut raffiner le maillage dans une zone particulière, comme des films minces, où nous voulons plus de précisions. Pour ce faire, nous pouvons mettre en place une région avec un maillage plus fin (*Mesh override region*), qui remplace le maillage initial automatiquement généré. Ce réglage est fréquemment utilisé en conjonction avec les types de maillage "auto non-uniform" et "custom non-uniform". La méthode de raffinement du maillage doit également être choisie. Elle spécifie comment les interfaces sont traitées et peut être importante lorsque la structure présente les interfaces courbées. Le maillage dans *Ansys Lumerical FDTD*

étant rectangulaire, dans ce cas, il peut y avoir des mailles contenant plusieurs matériaux. L'approche la plus simple est celle de marches d'escalier qui cherche le matériau occupant le plus la maille et applique sa permittivité à toute la maille. Cette approche nécessite souvent des tailles de mailles plus réduites pour obtenir suffisamment de précisions, ce qui augmente significativement le temps de simulation. La technologie "Maillage conforme" (*Conformal Meshing*) permet de résoudre les équations de Maxwell proche des limites de la structure et de mieux représenter les interfaces et donc de gagner en précision. Il existe plusieurs options pour la méthode du maillage conforme. L'option par défaut est "conformal variant 0" qui est utilisée pour les interfaces non-métalliques. D'autres options existent pour d'autres types de matériaux.

Enfin, les conditions aux limites de la région de simulation FDTD sont à spécifier. Il existe plusieurs types de conditions aux limites. Le type "Couche absorbante parfaitement adaptée" (*PML, Perfectly Matched Layer*) est le plus commun. La couche PML permet d'absorber tout champ incident sans créer de réflexion. La performance d'une couche PML est gérée par les profils PML. Le profil "*Standard*" est la meilleure option pour la plupart des cas. Il absorbe un maximum de champ incident sans affecter significativement le temps de simulation. Le profil "*Steep angle*" est utilisé lorsque le champ incident pénètre dans le matériau avec un angle d'incidence typiquement au-delà de 60° . Le profil "*Stabilized*" est utilisé lorsque la simulation rencontre des problèmes de convergence. Le profil "*Custom*" donne accès à tous les paramètres de la couche PML. Le type "Métal" se comporte comme un conducteur électrique parfait (*PEC, Perfect Electric Conductor*) et réfléchit tout champ incident. Le type "Conducteur magnétique parfait" (*PMC, Perfect Magnetic Conductor*) fonctionne de façon similaire à la condition aux limites "Métal". Le type "Périodique" est utilisé pour simuler des structures avec des motifs répétitifs. Nous n'avons besoin d'inclure qu'un seul motif dans la région de simulation qui détermine la périodicité de la simulation. Il faut noter que non seulement la structure doit être périodique, mais le champ électromagnétique et la source le sont également. Pour simuler les structures périodiques avec une source incidente qui pénètre la structure avec un angle, les conditions aux limites "Bloch" doivent être utilisées. Le type "Bloch" est similaire au type "Périodique", sauf qu'il prend en compte le déphasage entre différents motifs dû à l'angle d'incidence. Lorsque la structure présente des plans de symétrie, les conditions aux limites "Symétrique" et "Anti-symétrique" peuvent être utilisées pour réduire significativement le temps de simulation. Le choix entre les types "Symétrique" et "Anti-symétrique" dépend de la polarisation de la source incidente. Pour le type "Symétrique", le champ électrique est parallèle par rapport au plan de symétrie et le champ magnétique y est perpendiculaire. Le cas opposé s'applique au type "Anti-symétrique".

Annexe C

Types de sources de polarisation et de moniteurs dans *Lumerical FDTD*

Sources de lumière

Onde plane

La source de lumière de type onde plane ("Plane wave") modélise une onde dont les surfaces de phase uniforme sont des plans parallèles à la source. Ce type de source est souvent utilisé pour des structures périodiques où la taille du faisceau de la source est beaucoup plus élevée que la taille de la période des structures. La taille du faisceau peut donc être supposée infinie et nous n'avons besoin de simuler qu'une seule période de la structure en utilisant les conditions aux limites de type périodique ou Bloch avec la source de type onde plane.

Il existe trois types d'onde plane : "Bloch/périodique", "BFAST" (technique de source d'angle fixe à large bande), "diffracté". Ils sont utilisés avec les différentes conditions d'injection de la source. Lorsque la source d'onde plane mono-fréquentielle ou à large bande est injectée en incidence normale dans une structure périodique, le type "Bloch/périodique" doit être utilisé avec les conditions aux limites "Périodiques". Lorsque la source est injectée avec un angle d'incidence, pour la source mono-fréquentielle, le type "Bloch/périodique" est utilisé avec les conditions aux limites "Bloch", alors que pour la source à large bande, le type "BFAST" est plus adapté et les conditions aux limites sont automatiquement modifiées à "BFAST" (Figure C.1).

La condition aux limites "Bloch" est souvent utilisée pour la simulation avec l'injection d'une source avec un angle d'incidence dans une structure périodique. Elle prend en compte le déphasage entre les différents motifs périodiques de la structure. Elle impose un déphasage constant quelle que soit la longueur d'onde si la source est à large bande. Ainsi l'angle d'injection varie en fonction de la longueur d'onde afin de remplir la contrainte du déphasage constante de la condition "Bloch". La Figure a ci-dessous montre l'angle d'injection réel pour une source d'onde plane "Bloch/périodique" à large bande injectée à 30°. Nous pouvons constater que seulement la fréquence centrale est injectée à angle de 30°. Ainsi la condition aux limites "Bloch" est utilisée pour les sources mono-fréquentielle en incidence oblique. Afin de pallier ce problème, le type "BFAST" doit être utilisé pour les simulations à large bande. "BFAST" est une technique permettant de fixer l'angle d'injection pour toute la gamme de longueur d'onde (Figure C.2). Il fonctionne également pour les simulations mono-fréquentielles. Ceci n'est pas recommandé, car il consomme beaucoup plus de ressources de calculs.

Le troisième type "Diffracté" modélise l'onde plane qui diffracte à travers une ouverture

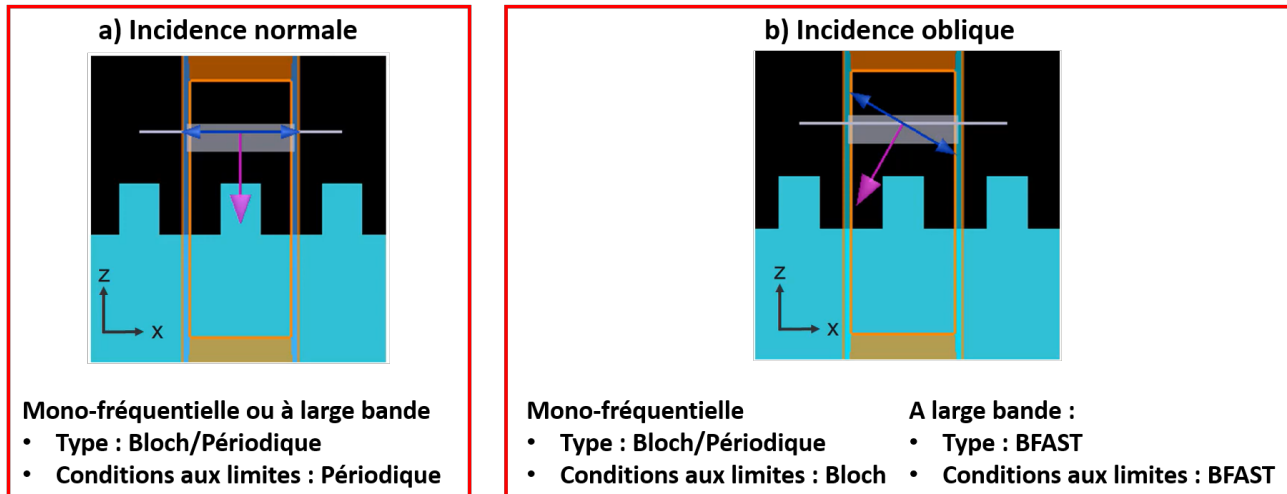


FIGURE C.1 – Injection d'une source de type onde plane a) en incidence normale; b) en incidence oblique

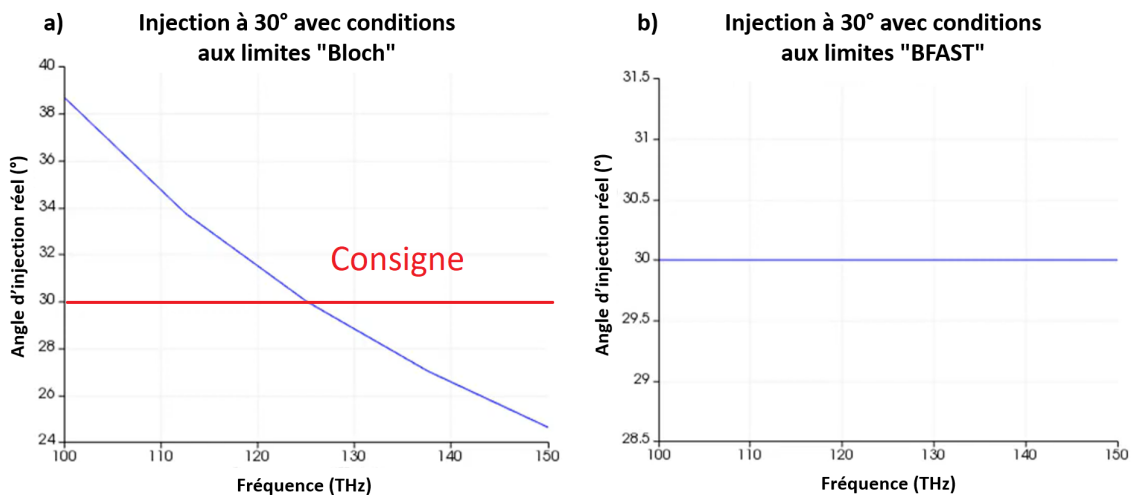


FIGURE C.2 – Angle d'injection réel pour une source de onde plane à large bande injectée à 30° de angle a) "Bloch/périodique"; b) "BFAST"

rectangulaire. La taille de l'ouverture est déterminée par la dimension de la source. Dans ce cas, la source doit être mise dans la zone de simulation et ne doit pas se superposer avec les frontières de la région de simulation FDTD. Par exemple, nous pouvons modéliser la célèbre expérience à doubles fentes de Young où une source d'onde plane diffracte à travers deux ouvertures, en mettant en place deux sources de type "Diffracté" de même dimension.

Source dipolaire

La source dipolaire représente une source ponctuelle et est souvent utilisée pour modéliser par exemple l'excitation des modes dans les cavités résonantes, les diodes OLED (Diode électroluminescente organique), les réseaux périodiques pour calculer leur structure de bande, etc.

Il existe deux types de source dipolaire : électrique et magnétique. La source dipolaire électrique est équivalente à une charge ponctuelle oscillante (oscillating point charge) et

la source dipolaire magnétique est équivalente à une boucle de courant (current loop). La puissance émise par la source dipolaire dépend de l'environnement autour de la source et des autres sources de polarisation, car les champs réfléchis par la structure ou les autres sources de polarisation peuvent interférer avec le champ émis par la source dipolaire. Par exemple, si une source dipolaire est placée proche d'un métal, le métal peut être remplacé par une source dipolaire miroir et le système est équivalent à simuler deux sources dipolaires qui interfèrent et changent la puissance émise totale (Figure C.3).

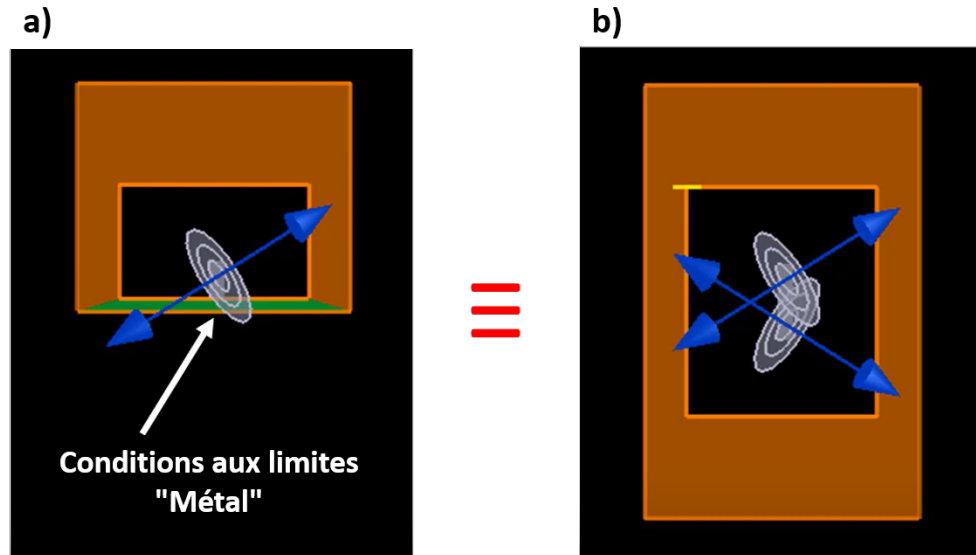


FIGURE C.3 – a) Source dipolaire proche d'un métal ; b) système équivalent : deux sources dipolaires miroirs

Afin de calculer l'émission isotrope d'une source ponctuelle, nous pouvons réaliser trois simulations avec les orientations orthogonales et moyenner les champs obtenus (Figure C.4) :

$$\langle |\vec{E}|^2 \rangle = \frac{1}{3} \{ |\vec{E}_x|^2 + |\vec{E}_y|^2 + |\vec{E}_z|^2 \} \quad (\text{C.1})$$

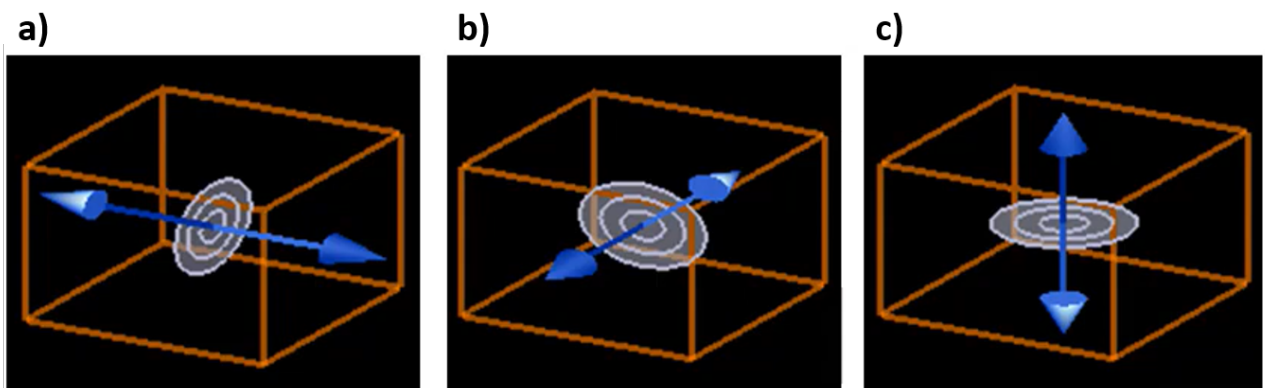


FIGURE C.4 – Modélisation de l'émission isotrope d'une source ponctuelle : source dipolaire dont l'orientation est selon : a) l'axe x ; b) l'axe y ; c) l'axe z

Source gaussienne

La source de polarisation de type gaussien est une radiation électromagnétique dont l'enveloppe d'amplitude dans le plan transversal est donnée une fonction gaussienne. Elle est souvent utilisée pour représenter les sources lasers. Dans *Ansys Lumerical FDTD*, il existe deux méthodes pour modéliser un profil de champ gaussien (Figure C.5) :

- la méthode "Approximation scalaire" ("*Scalar approximation*") : elle suppose que le faisceau de la source gaussienne ne comprend aucune composante dans la direction de propagation. Tous les champs sont donc polarisés dans le plan transversal perpendiculaire à l'axe de propagation. Cette méthode est valide lorsque la largeur du faisceau (*Beam waist* : définie comme le plus faible diamètre du faisceau tout au long de l'axe de propagation où l'intensité du faisceau est maximum) de la source gaussienne est beaucoup plus grand que la longueur d'onde. La distance entre le plan d'injection de la source et le plan focal (où le diamètre du faisceau est égal à la largeur du faisceau) peut être négative pour modéliser un faisceau convergent, si le plan d'injection est devant le plan focal. Elle peut également être positive pour spécifier un faisceau divergent.
- la méthode "Lentille mince ("*Thin lens*") : elle utilisée lorsque le faisceau gaussien est beaucoup plus focalisé avec une largeur de faisceau plus petite que la longueur d'onde ou du même ordre de grandeur Cette méthode considère un faisceau vectoriel dont le profil est calculé par une somme d'ondes planes qui se propagent avec différents angles, représentant un faisceau résultant sortant d'une lentille d'ouverture donnée et de rapport donnée entre le diamètre illuminé et le diamètre total.

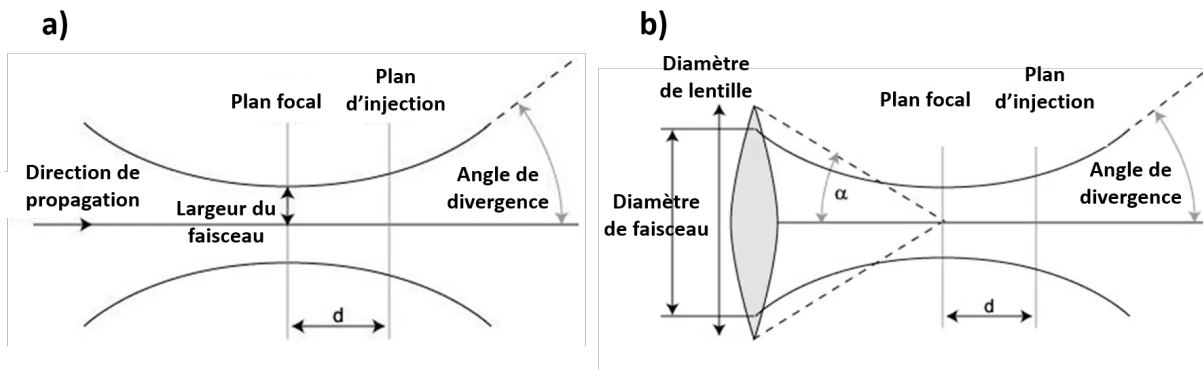


FIGURE C.5 – Vue schématique d'un faisceau gaussien par la a) méthode "Approximation scalaire"; b) méthode "Lentille mince"

Moniteurs

Moniteur "Indice de réfraction"

Le moniteur de type "Indice de réfraction" enregistre l'indice de réfraction ou la conductivité superficielle de la structure dans l'espace. Par défaut, il renvoie les résultats pour une seule fréquence. Ce type de moniteur est souvent utilisé pour des structures complexes constituées de plusieurs matériaux. Il est également très utile dans le cas où la structure contient des objets qui se superposent où il faut vérifier la propriété des objets imposée par l'ordre du maillage. Le moniteur "Indice de réfraction" permet de prévisualiser l'indice de réfraction ou

la conductivité superficielle avant de lancer la simulation, alors que pour la plupart des autres moniteurs, les résultats sont accessibles après la simulation. Les résultats issus d'un moniteur "Indice de réfraction" peuvent être utilisés ultérieurement pour calculer d'autres grandeurs, comme le taux de génération optique, l'absorption spatiale etc.

Moniteur "Temporel"

Le moniteur de type "Temporel" enregistre le champ électromagnétique en fonction du temps. Il peut également enregistrer le vecteur de Poynting lorsque cette option est activée. Par défaut, le moniteur est ponctuel. Les moniteurs 2D et 3D sont disponibles et consomment plus de ressources de calculs. Dans la fenêtre de figures, le tracé du profil de champ peut nous permettre de vérifier si le temps de simulation est suffisamment long. Si le champ ne s'atténue pas à la fin de la simulation, ceci indique que le temps de simulation est trop faible pour que le champ traverse toute la structure et quitte la région de simulation pour enfin se stabiliser. Le moniteur "Temporel" renvoie aussi la Transformée de Fourier des champs électrique \vec{E} et magnétique \vec{B} dans le résultat "spectrum". Ceci est très utile, par exemple pour obtenir des fréquences de résonance lorsque nous excitons un réseau cristallin.

Moniteur "Fréquentiel"

Le moniteur "Fréquentiel" renvoie les données dans le domaine fréquentiel en faisant la Transformée de Fourier du champ électromagnétique dans le domaine temporel :

$$\overrightarrow{E}(\omega) = \int_0^{t_{simulation}} e^{i\omega t} \overrightarrow{E}(t) dt \quad (C.2)$$

avec

$$\omega = \frac{2\pi c}{\lambda}$$

où ω est la pulsation.

$\overrightarrow{E}(t)$ est le champ électrique enregistré par un moniteur temporel.

$\overrightarrow{E}(\omega)$ est le champ électrique dans le domaine fréquentiel.

Cette étape de transformation peut être réalisée pendant que la simulation FDTD est en train de tourner dans une gamme de fréquence prédéfinie. Ceci peut également se réaliser après la simulation par la Transformée de Fourier Rapide (*FFT, Fast Fourier Transform*), tant que les résultats de simulation dans le domaine temporel sont enregistrés pour toute la durée de simulation. Plus concrètement dans *Ansys Lumerical FDTD*, les moniteurs fréquentiels réalisent la Transformée de Fourier discrète (*DFT, Discrete Fourier Transform*) pendant la simulation, alors que les moniteurs temporels enregistrent les données dans le domaine temporel pour les analyses par FFT.

Les données issu d'un moniteur "Fréquentiel" sont normalisées par le spectre de la source (*CW normalization* : normalisation des ondes continues) afin de renvoyer les résultats avec une source dont le spectre est uniforme. Il y a deux types de moniteurs : "Profil de champ dans le domaine fréquentiel" (*Frequency-domain field profile*) et "Champ et puissance dans le domaine fréquentiel" (*Frequency-domain field and power*). La différence entre ces types de moniteurs "Fréquentiel" réside dans la méthode d'interpolation spatiale. Le premier utilise la méthode d'interpolation de position spécifiée (*Specified position*) et le deuxième utilise la méthode d'interpolation de cellule de maillage la plus proche (*Nearest mesh cell*). Le

deuxième type est recommandé pour la plupart des cas. Par défaut, le moniteur renvoie les données des champs \vec{E} et \vec{B} , ainsi que la puissance transmise nette à travers le moniteur. Nous pouvons également choisir d'enregistrer le vecteur de Poynting en activant cette option.

Moniteur "Film"

Le moniteur de type "Film" enregistre le champ électromagnétique issu des sources en fonction du temps. Il se comporte comme un moniteur "Temporel" 2D qui prend des clichés du champ électromagnétique à différents instants et regroupe tous les clichés dans un fichier de type vidéo (fichier *.mpg*). Le moniteur 2D doit être placé dans une section transversale à la structure et il montre une tranche du champ électromagnétique. La résolution des fichiers vidéo peut être éditée dans la fenêtre d'édition de ce moniteur. Il est à noter que la vidéo ne sera pas plus claire en augmentant la résolution, lorsque le maillage de la structure est plus grossier que la résolution de la vidéo, puisque les champs sont calculés par rapport au maillage de la structure. Il n'y a pas de barre de couleurs dans la vidéo pour représenter les intensités des champs. Ainsi le but principal de ce type de moniteur est de donner une idée de la façon dont les champs se propagent dans le temps ou du comportement de la structure à la source d'excitation choisie. Il peut être utilisé pour déboguer des simulations divergentes, dans lesquelles il existe des instabilités numériques qui font tendre les champs vers l'infini. En plaçant un moniteur "Film" dans la structure, nous pouvons visualiser les endroits où les champs commencent à diverger.

Annexe D

Principe de fonctionnement du circuit d'étouffement et de recharge actif intégré dans le Test Chip #6 (TC6)

Le circuit d'étouffement et de recharge actif conçu par ICUBE (Figure D.1) permet de contrôler le temps d'étouffement et le temps de recharge via une carte contenant un FPGA. Il comprend les interrupteurs pour activer ou désactiver les fonctions de l'étouffement actif (AQ_Disabler) et de la recharge active (AR_Disabler). La fonction d'étouffement passif est conservée via un transistor servant de résistance d'étouffement passif (PQ) pour comparaison. Ce circuit comprend également deux sorties distinctes : sortie digitale (Digital_Out) et sortie analogique (Analog_Out).

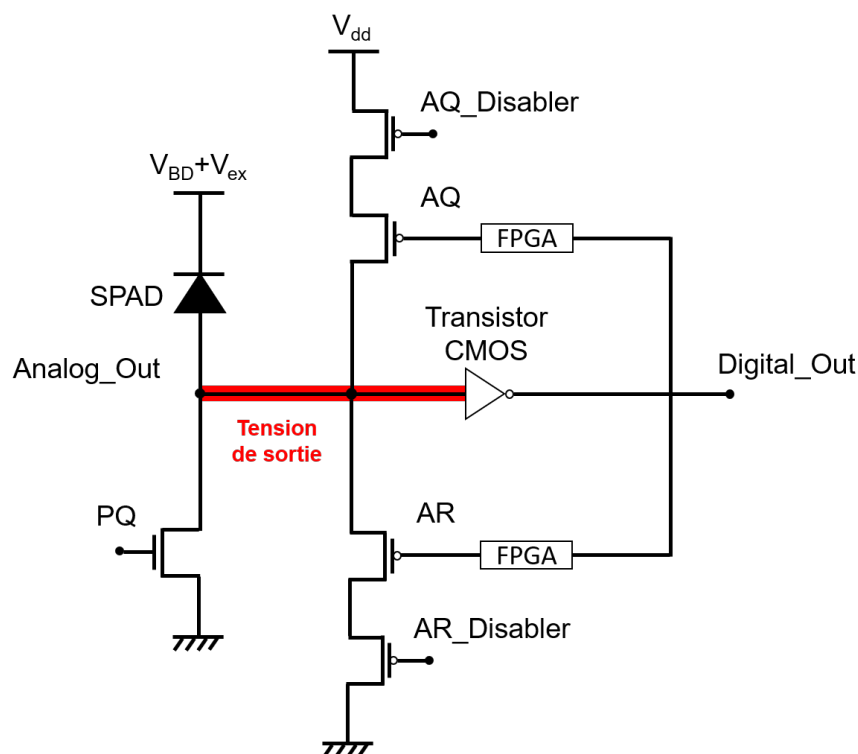


FIGURE D.1 – Schéma électrique du circuit d'étouffement et de recharge actif intégré dans le TC6

Lorsque la diode SPAD subit un évènement d'avalanche, la tension de sortie de la diode SPAD augmente brutalement. Le transistor d'étouffement actif (AQ) devient passant et la

tension continue externe (V_{dd}) vient s'appliquer à la sortie de la diode SPAD. L'avalanche dans la diode SPAD est donc étouffée de façon active pendant un certain temps (imposé par le FPGA) où la diode SPAD est aveugle et les évènements suivants ne sont pas détectés. Au bout du temps d'étouffement actif (aussi imposé par le FPGA), le transistor de recharge active (AR) devient passant et la masse (potentiel 0) s'applique à l'anode de la diode SPAD qui retourne donc à son état de polarisation initiale ($V_{BD} + V_{ex}$).

Sur la sortie analogique du circuit, nous allons d'abord observer la tension de sortie étouffée de façon passive via le transistor PQ et ensuite de façon active avec le transistor AQ (Figure D.2 : délai entre le signal jaune représentant le signal analogique et le signal rouge représentant le signal digital), car il existe un délai entre l'inverseur CMOS détectant l'augmentation de la tension de sortie lors d'un évènement et le transistor AQ devenant passant. La valeur de la résistance d'étouffement passif est réglable via la tension appliquée sur la grille du transistor PQ. Le temps d'étouffement passif diminue lorsque cette valeur diminue. La Figure ci-dessous représente les chronogrammes des signaux de sortie analogique et digital d'une diode circulaire de référence à 20°C avec les transistors AQ et AR activés pour différentes valeurs de la résistance d'étouffement passif PQ. Nous pouvons constater que l'étouffement passif est plus rapide lorsque la valeur de résistance PQ plus petite.

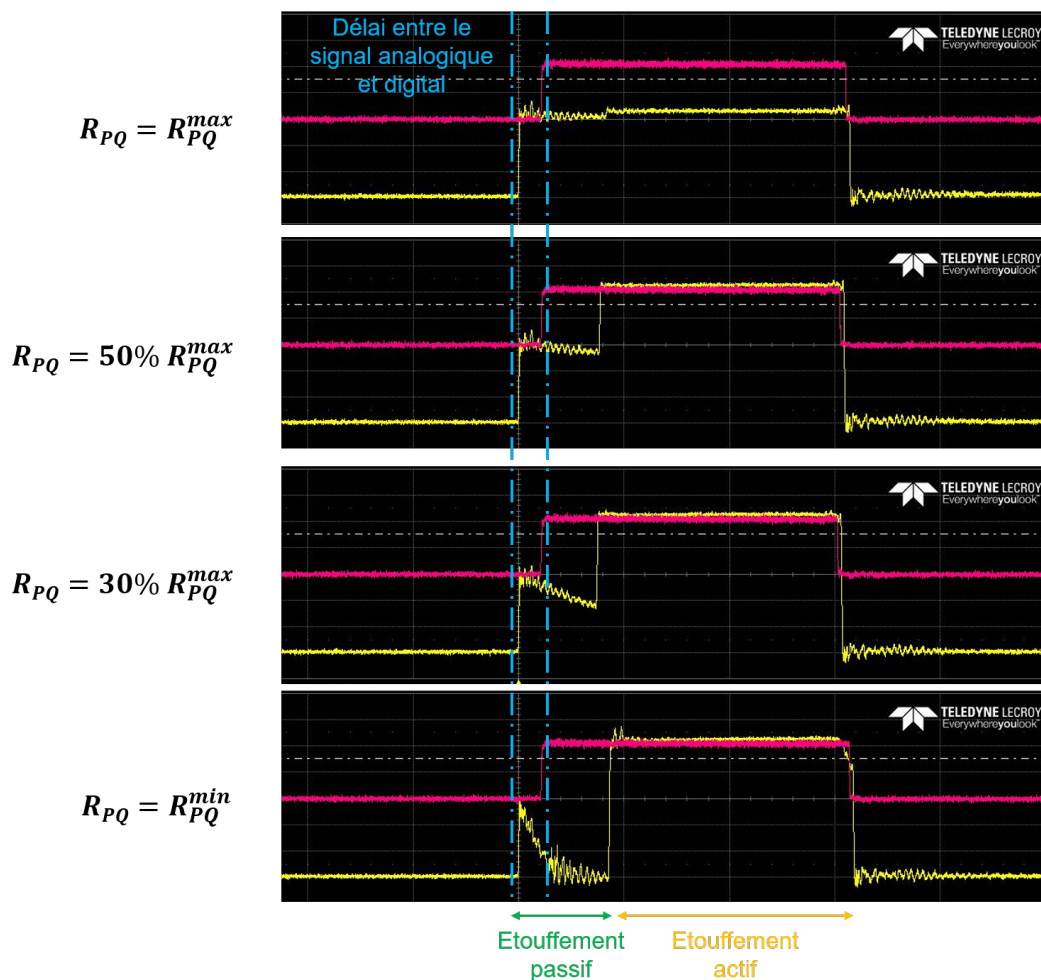


FIGURE D.2 – Chronogrammes des signaux de sortie analogique (jaune) et digitale (rouge) d'une diode SPAD circulaire de référence pour différentes valeurs de la résistance d'étouffement passif avec les transistors AQ et AR activés (Échelle de temps : 50ns/div ; Échelle de tensions : 200mV/div pour la sortie analogique et 1V/div pour la sortie digitale)

Table des figures

1.1	a) Exemple de structure d'une jonction SPAD [2]; b) Trois gammes de polarisation inverse pour les photodiodes [3]	18
1.2	Exemples de circuits d'étouffement a) passif (adapté de [1]); b) actif [7]	19
1.3	Cycle de fonctionnement de diodes SPAD	20
1.4	Exemple d'oscillogramme représentant le signal de sortie d'une SPAD avec un circuit d'étouffement et de recharge passif (Figure 1.2a)	20
1.5	a) Architectures de diodes SPAD implémentées dans le procédé BCDLite de GLOBAL-FOUNDRIES et b) leurs caractéristiques inverses $I(V)$ (adapté de [13])	21
1.6	Exemple de caractéristique DCR en fonction de la tension d'excès et de la température [14]	22
1.7	Exemple de tracé d'Arrhenius pour une tension d'excès de 3V [9]	23
1.8	Schéma de principe du phénomène d'afterpulsing [9]	23
1.9	Exemples d'histogrammes du nombre d'évènements en fonction du temps inter-avalanches en échelle logarithmique avec un a) intervalle de temps constant [24]; b) intervalle de temps croissant [25]	24
1.10	a) Exemple de système de mesure de PDP [39]; b) Exemple de tracés de PDP en fonction de la longueur d'onde pour différentes tensions d'excès d'une SPAD intégrée dans une technologie CMOS 180nm [40]	26
1.11	Exemple de caractérisation du jitter de SPAD [41]	26
1.12	a) Schéma explicatif de microlentille sur les matrices de diode SPAD; b) Réponse de la diode SPAD en fonction du temps d'exposition avec une source lumineuse de 450nm de longueur d'onde [46]	27
1.13	Schéma de principe du phénomène de crosstalk ([49]	28
1.14	Exemples de tranchées d'isolation utilisées pour les applications SPAD : a) tranchées constituées de Platine, utilisées pour les diodes SPAD InGaAs/InP [51]; b) DTI [52]; c) FTI [53]	28
1.15	a) Schéma de principe de systèmes de mesure de temps de vol [59]; b) Cartographie de profondeur et l'image d'intensité capturées par un capteur ToF à base d'une matrice de diodes SPAD de 128×128 pixels [60]; c) Cartographie de profondeur par nuage de points 3D capturée par un capteur ToF à base d'une matrice de diodes SPAD de 32×128 pixels [61]	30
1.16	Images de fluorescence basées sur l'intensité de fluorophores tracées en échelle grise a), en échelle couleur b) et c) sur la FLIM capturées par un capteur à base d'une matrice de diodes SPAD de 64×4 pixels [63]	31
1.17	Schéma de principe des différents modes de diffusion d'un photon en interaction avec l'échantillon utilisé en spectroscopie Raman[67]	32
1.18	Technique d'élimination du spectre de fluorescence basée sur la différence de temps entre la diffusion Raman et l'émission de fluorescence [69]	32
1.19	Réseau quantique hiérarchique opérant dans différentes couches atmosphériques [73]	33
1.20	Test de stabilité en DCR sous forte irradiation de deux détecteurs SPAD sélectionnés dans le projet TZL2 [74]	34

1.21 Architectures de diodes SPAD dans les technologies CMOS standard a) 180nm [76], b) 150nm [9], c) 65nm [77] et d) 40nm [78]	35
1.22 Architecture d'une diode SPAD dans une technologie CMOS SOI 140nm [80]	36
1.23 Deux modes d'assemblage de diodes SPAD 3D selon le mode d'illumination : a) FSI et b) BSI [83]	37
1.24 Architectures de SPAD 3D dans les technologies a) CMOS 40nm/CIS 65nm [48], b) CMOS 65nm/CIS 45nm [82] et c) CMOS 130nm/CMOS 130nm [35]	37
1.25 Architectures de diodes SPAD Ge-Si a) de structure mesa de $30\mu\text{m}$ de diamètre [89], b) de structure mesa $25\mu\text{m}$ de diamètre [90], c) avec couplage de guides d'onde [91] et d) de structure planaire [92]	39
1.26 Architectures de diodes SPAD InGaAs/InP développées par a) Tosi <i>et al</i> [93] et b) Zhou <i>et al</i> [94]	40
1.27 Architectures de dernières diodes SPAD avancées développées par a) Shimada <i>et al</i> [95] et b) Morimoto <i>et al</i> [96]	41
1.28 Schéma de principe de polarisation du substrat dans la technologie CMOS FD-SOI 28nm [97]	42
2.1 a) SPAD de référence ; b) SPAD proposée dans [3]	54
2.2 a) Diagrammes de bande à $V_{ex}=5\text{V}$; b) Profil d'ATP au centre des diodes SPAD de référence et proposée de la figure 2.1 [3]	55
2.3 Profil de PDP de la diode a) SPAD de référence ; b) SPAD proposée [3]	55
2.4 a) Quatre types de régions d'un point de vue du processus de la détection de photons ; b) Profil qualitatif du champ électrique ; c) Type et niveau de dopage d'une diode SPAD mince classique [4]	56
2.5 Niveau de dopage (haut) et profil du champ électrique (bas) au claquage a) par l'extension simple de la couche p- ; b) par l'ajout du dopant (Bore) à une profondeur de $2\mu\text{m}$ (RE-SPAD) [4]	56
2.6 Courbes expérimentales de PDE des diodes : SPAD mince, RE-SPAD et SPAD épaisse [4]	57
2.7 Architecture d'une diode SPAD Si avec la cavité résonante développée par Ghioni <i>et al.</i> [5]	58
2.8 Courbes expérimentales de PDE des diodes : SPAD avec cavité résonante en mode d'accumulation (ACC RCE SPAD), en mode d'inversion (INV RCE SPAD) et SPAD de référence (Control) [5]	58
2.9 SPAD avec cavité résonante a) en mode d'inversion ; b) en mode d'accumulation [5]	59
2.10 Architecture d'une diode SPAD III-V avec la cavité résonante développée par Zavvari <i>et al.</i> [6]	59
2.11 a) Réflectivité en fonction du nombre de couches InGaAs/InAlAs à $\lambda=1550\text{ nm}$; b) Efficacité quantique en fonction de la température de fonctionnement pour différentes réflectivités internes supérieures (R1) et inférieures (R2) [6]	60
2.12 Courbes simulées de SPQE des diodes de référence (Conv : conventionnelle) et avec cavité résonante (RC) en fonction de la tension d'excès relative pour différentes températures [6]	60
2.13 a) Architecture d'une diode SPAD GeSn sur Si avec la cavité résonante développée par Chen <i>et al.</i> ; Efficacité d'absorption simulée sans et avec DBR en fonction de l'épaisseur de la couche GeSn à b) $\lambda=1550\text{ nm}$; c) $\lambda=2000\text{ nm}$ (RCE : <i>Resonant-Cavity-Enhanced</i>) [7]	61
2.14 a) Architecture d'une diode Si nanostructurée développée par Ma <i>et al.</i> ; b) SPAD de référence [8]	61
2.15 a) Efficacité d'absorption simulée ; b) Efficacité de détection simulée des diodes SPAD nanostructurée et de référence [8]	62
2.16 a) SPAD de référence ; b) Architecture d'une diode Si nanostructurée développée par Zang <i>et al.</i> [9]	62

2.17 a) Distribution de photons ($\lambda=850$ nm) dans la diode SPAD de référence, SPAD nanostructurée sur un substrat Si et la SPAD nanostructurée sur un substrat SOI; b) Efficacité quantique externe des mêmes diodes SPAD Si de différentes épaisseurs, SPAD de référence et SPAD nanostructurée; Tracés expérimentaux de PDE des diode SPAD de référence et nanostructurée en fonction de la tension d'excès à c) $\lambda=850$ nm; d) $\lambda=980$ nm [9]	63
2.18 a) Vue de coupe; b) vue de dessus de l'architecture d'une SPAD Si nanostructurée développée par Frey et al. [10]	64
2.19 a) Cartographie de gain en PDE simulée à $\lambda=850$ nm par rapport à la diode SPAD de référence en fonction des dimensions latérales d'un motif de nanostructuration; b) Gain en PDE simulée (courbe bleue) et caractérisée (courbe rouge) en fonction de la longueur d'onde avec $V_{ex}=0,6$ V pour la géométrie correspondant au point B[10]	64
2.20 a) Architecture SOI [11]; b) Polarisation du substrat dans la technologie CMOS FD-SOI 28nm [13] [14]	65
2.21 a) Polarisation du substrat direct sur les transistors de faible V_{th} ; b) Polarisation du substrat inverse sur les transistors de V_{th} standard [16]	66
2.22 Architecture de diode SPAD intégrée dans la technologie CMOS FD-SOI 28nm [19]	67
2.23 Présence d'un anneau de garde entre les caissons PW et le contact NW (nommée BFMOAT)	67
2.24 Différentes couches constituant la diode SPAD CMOS FD-SOI 28nm conçue dans <i>Cadence Virtuoso</i>	68
2.25 Contraintes sur l'espacement entre les couches <i>RX fillopc</i> (70nm), ainsi qu'entre la couche <i>BFMOAT</i> et les couches <i>RX fillopc</i> (350nm)	69
2.26 a) Forme carrée; b) Forme octogonale des cellules SPAD dans TC1 (2017)	69
2.27 a) SPAD de référence; b) SPAD "STI"; c) SPAD "NOSO"	70
2.28 a) SPAD avec "Pattern du DNW"; b) SPAD "STI aligné"; c) SPAD avec "Report STI profond"	71
2.29 Schéma optique simplifié de la diode SPAD CMOS FD-SOI 28nm	74
2.30 a) Partie réelle et b) Partie imaginaire de l'indice de réfraction du Si et SiO ₂	75
2.31 Spectre du FF idéal pour un comportement anti-reflet en incidence normale de la couche structurée	77
2.32 Schéma optique équivalent de la diode SPAD CMOS FD-SOI 28nm en a) FSI; b) BSI	79
2.33 Couches BEOL au-dessus du BOX et du film silicium de la SPAD CMOS FD-SOI 28nm	80
3.1 Mise en place du film mince de Si (FD-SOI), du BOX, des tranchées STI et de la couche <i>Screen Oxide</i>	87
3.2 Mise en place des caissons PW, DNW et NW	88
3.3 Mise en place des contacts de l'anode, de la cathode et du substrat, ainsi que du maillage	88
3.4 Différents mécanismes de génération-recombinaison	90
3.5 Courbes $I(V)$ obtenues avec la méthode <i>Resistor</i> et l'avalanche activée (On) ou désactivée (Off) pour une structure SPAD CMOS FD-SOI (DNW modifié) à 300K	95
3.6 Exemple de courbes $\phi(V)$ simulées sur une structure SPAD CMOS FD-SOI (DNW modifié) à 300K	96
3.7 Construction de la cellule de Yee [27]	98
3.8 Explorateur des matériaux avec les courbes des données modélisées (<i>FDTD model</i>) et expérimentales (<i>Material data</i>) du Si	101
3.9 Polarisation des composantes non nulles des champs électrique (bleu) et magnétique (vert) au plan de symétrie	102
3.10 Représentation schématique du maillage de diodes SPAD a) en vue en coupe; b) en vue de dessus	103
3.11 Fonction "Multi-coupe" de <i>SDEVICE</i>	103
3.12 Diagramme de bloc du script <i>Matlab</i>	104
3.13 Profils du champ électrique et du rapport de la vitesse de dérive et de diffusion des électrons pour le côté du p-Well	105

3.14	Profils du champ électrique et du rapport de la vitesse de dérive et de diffusion des trous pour le côté du n-Well	105
3.15	a) Vue en coupe de la structure simple air/Si dans <i>Ansys Lumerical FDTD</i> ; b) Profil d'ATP calculé par <i>Synopsys Sentaurus</i> à $V_{ex}=1,5V$	107
3.16	Comparaison des courbes de PDP calculées avec le modèle 1D de Beer-Lambert et les données de simulation issues de <i>Ansys Lumerical FDTD</i> couplées à celles de <i>Synopsys Sentaurus</i>	107
3.17	Vue schématique de l'empilement de diodes SPAD CMOS FD-SOI simulées dans <i>Ansys Lumerical FDTD</i> (PSG : Verre phosphosilicate; USG : verre de silicate non dopé; SCHOTT-PSK : verre crown phosphate dense à faible dispersion chromatique de l'entreprise SCHOTT [28])	108
3.18	Profil de la partie réelle de l'indice de réfraction des différents types de verre	109
3.19	Vue en coupe d'une structure nanostructurée de diode SPAD CMOS FD-SOI modélisée dans <i>Ansys Lumerical FDTD</i>	109
3.20	Configuration pour les simulations de vérification de temps de simulation	110
3.21	Profils du champ électrique en fonction du temps de simulation pris au centre différentes profondeurs pour a) $\lambda=500nm$; b) $\lambda=750nm$	110
3.22	Vue de dessus d'un motif STI/Si en FSI	111
3.23	Profils du taux de photogénération en fonction de la profondeur pris au centre pour a) $\lambda=500nm$; b) $\lambda=650nm$	112
3.24	Cartographies du taux de photogénération en FSI : a) $FF=0,15$, période= $480nm$ et $\lambda=500nm$; a) $FF=0,20$, période= $480nm$ et $\lambda=650nm$; c) $FF=0,25$, période= $480nm$ et $\lambda=650nm$	113
3.25	Courbes de PDP en FSI en fonction de la longueur d'onde pour différentes architectures nanostructurées	114
3.26	Vue de dessous d'un motif cylindrique Si/air en BSI	114
3.27	Profils du taux de photogénération en fonction de la profondeur et du FF en BSI pour a) $e_4=100nm$; b) $e_4=370nm$ pour une longueur d'onde de $900nm$ et $V_{ex}=1,5V$	115
3.28	Cartographies du taux de photogénération en BSI : a) $FF=0,29$, $e_4=100nm$, période= $600nm$, $e_4=100nm$ et $\lambda=900nm$; b) $FF=0,29$, $e_4=100nm$, période= $680nm$, $e_4=100nm$ et $\lambda=900nm$	116
3.29	Courbes de PDP en BSI en fonction de la longueur d'onde avec différentes valeurs de la période pour a) $e_4=100nm$; b) $e_4=370nm$	117
3.30	Vue de conception du TC6	118
4.1	a) Schéma représentatif du banc de mesure de DCR ; b) banc de mesure de DCR	124
4.2	Exemple de chronogramme illustrant la forme d'une impulsion de tension	125
4.3	Diodes SPAD du TC5 mesurées en DCR : a) Référence ; b) STI aligné ; c) Fusion ; d) STI aligné + Fusion	125
4.4	Caractéristiques expérimentales courant-tension des diodes SPAD du TC5 DNW	126
4.5	Courbes de DCR en fonction de la tension d'excès relative à $20^\circ C$ des diodes SPAD du TC5 DNW	127
4.6	Courbes de DCR en fonction de la tension d'excès relative à différentes températures des diodes SPAD du TC5 DNW : a) Référence ; b) STI aligné ; c) Fusion ; d) STI aligné + Fusion	128
4.7	Courbes d'Arrhénius de DCR à tensions d'excès des diodes SPAD du TC5 DNW : a) Référence ; b) STI aligné ; c) Fusion ; d) STI aligné + Fusion	129
4.8	Position de la limite supérieure de la ZCE : a) Référence à $V_{bias}=17V$ ($V_{ex}\approx 1V$) ; b) Diode "STI aligné" à $V_{bias}=5V$ ($< V_{BD}$)	130
4.9	Vue 3D de la distribution 2D avec symétrie de révolution 3D de l'ATP à $V_{bias}=17V$ ($V_{ex}\approx 1V$) aux alentours de la tranchée STI périphérique (STI 5) : a) Référence ; b) Diode "STI aligné"	130
4.10	Banc de mesure de PDP	131

4.11	Courbes de PDP mesurées des diodes SPAD du TC5 DNW avec barres d'incertitudes : a) structures circulaires ; b) structures octogonales	133
4.12	Courbes de PDP mesurées de la diode SPAD circulaire "STI aligné+Fusion" en fonction de la tension d'excès ($V_{BD}=15,8V$	134
4.13	a) Courbes de PDP mesurée et simulées sur la diode de référence avec l'attribution de la partie imaginaire de l'indice de réfraction aux couches BEOL individuellement ; b) Couches BEOL au-dessus du BOX	135
4.14	Banc de mesures de PDP à ICUBE	136
4.15	Courbes de PDP de la diode SPAD commerciale donnée par le fabricant (rouge) et mesurées à ICUBE (bleu et violet)	137
4.16	Courbes de PDP des diodes SPAD circulaires du TC6 DNW : a) comparaison entre la référence et la diode nanostructurée avec $FF=25\%$; b) comparaison entre la référence et la diode nanostructurée avec $FF=15\%$	138
4.17	Courbes de PDP des diodes SPAD octogonales du TC6 DNW : a) comparaison entre la référence et les diodes nanostructurées avec $FF=20\%$ et 25% ; b) comparaison entre la référence et la diode nanostructurée avec $FF=15\%$	139
4.18	Marge entre la sortie de la sphère intégrante et la carte de lecture	139
4.19	Chronogramme des impulsions synchronisées de la diode SPAD circulaire nanostructurée $FF=25\%$ à V_{bias} de 16,6V (échelle de temps : 80ns/div ; échelle de tension : 100mV/div)	140
4.20	Description des simulations permettant l'étude transitoire [1]	141
4.21	Positions de la source d'excitation dans les simulations transitoires	141
4.22	Profils simulés de la tension de sortie de la diode SPAD (V_{Anode}) en fonction du temps après déclenchement d'une avalanche à deux positions distinctes	142
4.23	Exemple d'histogramme obtenu avec la diode SPAD circulaire de référence à $V_{ex}=0,7V$ et à $20^{\circ}C$	143
A.1	a) Base de données des matériaux ; b) Explorateur des matériaux avec les courbes des données modélisées (<i>FDTD model</i>) et expérimentales (<i>Material data</i>) du Si	151
B.1	Fenêtre d'édition de la région de simulation FDTD	153
C.1	Injection d'une source de type onde plane a) en incidence normale ; b) en incidence oblique	156
C.2	Angle d'injection réel pour une source de onde plane à large bande injectée à 30° de type a) "Bloch/périodique" ; b) "BFAST"	156
C.3	a) Source dipolaire proche d'un métal ; b) système équivalent : deux sources dipolaires miroirs	157
C.4	Modélisation de l'émission isotrope d'une source ponctuelle : source dipolaire dont l'orientation est selon : a) l'axe x ; b) l'axe y ; c) l'axe z	157
C.5	Vue schématique d'un faisceau gaussien par la a) méthode "Approximation scalaire" ; b) méthode "Lentille mince"	158
D.1	Schéma électrique du circuit d'étouffement et de recharge actif intégré dans le TC6 . .	161
D.2	Chronogrammes des signaux de sortie analogique (jaune) et digitale (rouge) d'une diode SPAD circulaire de référence pour différentes valeurs de la résistance d'étouffement passif avec les transistors AQ et AR activés (Échelle de temps : 50ns/div ; Échelle de tensions : 200mV/div pour la sortie analogique et 1V/div pour la sortie digitale) . .	162

Liste des tableaux

1.1	Récapitulatif des caractéristiques principales de diodes SPAD intégrées dans différentes technologies CMOS standards	35
1.2	Récapitulatif des caractéristiques principales de SPAD intégrées dans les technologies d'intégration 3D	38
1.3	Récapitulatif des caractéristiques principales de diodes SPAD à base de Ge/Si	39
1.4	Récapitulatif des caractéristiques principales de diodes SPAD à base de matériaux III-V	40
1.5	Récapitulatif des caractéristiques principales des dernières SPAD avancées	41
2.1	Récapitulatif des circuits contenant des cellules SPAD CMOS FD-SOI 28nm	73
2.2	Récapitulatif des valeurs théoriques optimales des paramètres dans l'approche du réseau de diffraction pour la diode SPAD CMOS FD-SOI 28nm avec le caisson DNW standard	79
3.1	Évolution du temps de simulation et de la mémoire consommée en fonction de la discrétisation spatiale dans les cas 2D et 3D (en supposant un maillage identique sur tous les axes)	99
3.2	Récapitulatif des paramètres utilisés dans l'optimisation du FF en FSI	111
3.3	Récapitulatif des paramètres utilisés dans l'optimisation de la période en FSI et gain relatif en PDP pour les longueurs d'onde visées ($V_{ex}=1,5V$)	112
3.4	Récapitulatif des paramètres utilisés dans l'optimisation du FF en BSI avec k : un entier impair (Équation 2.5)	115
3.5	Récapitulatif des paramètres utilisés dans l'optimisation de la période en BSI pour $V_{ex}=1,5V$	116
4.1	Énergies d'activation extraites (à $V_{ex}=0,8V$) pour les différentes structures mesurées en DCR	128
4.2	Récapitulatifs des diodes SPAD du TC5 DNW mesurées en PDP	132
4.3	Récapitulatif des diodes SPAD du TC6 DNW mesurées en PDP (FF : rapport entre la surface du Si et la surface totale)	138
4.4	Récapitulatif des mesures de la probabilité d'afterpulsing (AP : Afterpulsing Probability) des diodes SPAD du TC6 DNW	143

Liste des Publications

Articles de journal en tant qu'auteur secondaire

- D. Issartel, **S. Gao**, P. Pittet, R. Cellier, D. Golanski, A. Cathelin et F. Calmon, "Architecture optimization of SPAD integrated in 28 nm FD-SOI CMOS technology to reduce the DCR", *Solid-State Electronics*, t. 191, p. 108 297, 2022, DOI : doi.org/10.1016/j.sse.2022.108297
- T. Chaves de Albuquerque, D. Issartel, **S. Gao**, Y. Benhammou, D. Golanski, R. Clerc, F. Calmon, "An analytical solution for McIntyre's model and avalanche triggering probability for SPAD compact modeling and performance exploration," *Semiconductor Science and Technology*, IOP, Vol. 36, Jul. 2021, DOI : [10.1088/1361-6641/ac00d0](https://doi.org/10.1088/1361-6641/ac00d0).

Conférences en tant que premier auteur

- **S. Gao**, D. Issartel, R. Orobtcouk, F. Mandorlo, D. Golanski, A. Cathelin, F. Calmon, "Improving the Photon Detection Probability of SPAD Implemented in FD-SOI CMOS Technology with light-trapping concept," 2021 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULIS), 2021, pp. 1-4, DOI : [10.1109/EuroSOI-ULIS53016.2021.9560684](https://doi.org/10.1109/EuroSOI-ULIS53016.2021.9560684).
- **S. Gao**, D. Issartel, R. Orobtcouk, F. Mandorlo, D. Golanski, A. Cathelin, F. Calmon, "3D Electro-optical Simulations for Improving the Photon Detection Probability of SPAD Implemented in CMOS FDSOI Technology," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Dallas, USA, 2021, DOI : [10.1109/SISPAD54002.2021.9592555](https://doi.org/10.1109/SISPAD54002.2021.9592555).
- **S. Gao**, D. Issartel, M. Dolatpoor Lakeh, F. Mandorlo, R. Orobtcouk, J.-B Kammerer, A. Cathelin, D. Golanski, W. Uhring, F. Calmon, "Correlations between DCR and PDP of SPAD integrated in a 28 nm FD-SOI CMOS Technology," 2023 International Image Sensor Workshop (IISW), May 2023, accepté pour présentation.

Conférences en tant qu'auteur secondaire

- D. Issartel, **S. Gao**, S. Hagen, P. Pittet, R. Cellier, D. Golanski, A. Cathelin, F. Calmon, "Avalanche Transient Simulations of SPAD integrated in 28nm FD-SOI CMOS Technology," 2021 Joint International EUROSOCI Workshop and International Conference

on Ultimate Integration on Silicon (EUROSOI-ULIS), 2021, DOI : 10.1109/EuroSOI-ULIS53016.2021.9560679.



FOLIO ADMINISTRATIF

THESE DE L'INSA LYON, MEMBRE DE L'UNIVERSITE DE LYON

NOM : **GAO**

DATE de SOUTENANCE : 12/05/2023

Prénoms : Shaochen

TITRE :

Amélioration de l'efficacité de détection dans le proche infrarouge de photo-détecteurs de type SPAD intégrés dans une technologie CMOS FDSOI

NATURE : Doctorat

Numéro d'ordre : 2023ISAL0032

Ecole doctorale : EEA (Électronique, Électrotechnique et Automatique)

Spécialité : Électronique, micro et nanoélectronique, optique et laser

RESUME :

Cette thèse porte sur la simulation et la caractérisation de diodes à avalanche à photon unique (SPAD) intégrées dans la technologie CMOS FDSOI (Fully-depleted Silicon-on-Insulator) 28nm de STMicroelectronics. L'objectif principal de cette thèse se concentre sur l'amélioration de la probabilité de détection de photons (PDP) de ces dernières. Grâce à leur photosensibilité élevée et temps de réponse court, les diodes SPAD sont d'excellents candidats pour les applications ToF (Time of Flight : temps de vol), telles que l'aide à la navigation de véhicule autonome, la reconnaissance faciale, la télémétrie, etc. Les diodes SPAD CMOS FDSOI sont composées d'une jonction p-Well/Deep n-Well dans un substrat silicium. La jonction est insérée sous une couche BOX (couche d'oxyde enterrée) et l'électronique associée est intégrée dans une fine couche de silicium au-dessus du BOX. Cette implémentation permet de créer un pixel intrinsèquement 3D, ce qui optimise le facteur de remplissage en illumination par la face arrière après amincissement. Afin d'améliorer la PDP des diodes SPAD CMOS FDSOI, l'approche de la nanostructuration des tranchées STI présentes nativement dans la zone (dues aux règles de dessin) a été choisie pour l'illumination par la face avant. En dimensionnant et positionnant soigneusement les tranchées STI, nous pouvons augmenter le taux de photogénération moyen dans la ZCE (zone de charge d'espace) et les couches adjacentes et ainsi améliorer la PDP. Les simulations électro-optiques ont montré que les diodes SPAD nanostructurées avec un rapport entre la surface de Si et la surface totale d'un motif variant de 15% à 25% et une période 0,48 μ m présentent un gain relatif moyen en PDP de 100% et 35% respectivement pour la gamme spectrale de 400-550nm et 550-700nm avec une tension d'excès de 1,5V. Ces résultats nous ont permis de proposer des architectures nanostructurées dans un circuit de test. Les caractérisations ont montré un gain relatif moyen de 30-50% avec les valeurs absolues de PDP < 2,5% pour des tensions d'excès relatives comprises entre 2-4% de la tension de claquage. Même si ces travaux n'ont pas permis d'atteindre les performances de photodétection de l'état de l'art, les résultats de caractérisation électro-optiques restent prometteurs, compte-tenu des contraintes lors des simulations et caractérisations (propriétés optiques des couches d'interconnexions non connues, faible degré de liberté sur le contrôle du procédé de fabrication, compromis entre le DCR (taux de comptage dans l'obscurité) et la PDP relié aux défauts d'interface apportés par les tranchées STI). Les futurs travaux envisageables pourraient s'axer autour de l'amincissement du substrat pour l'illumination par la face arrière, ce qui permettrait d'améliorer la performance de photodétection dans la gamme spectrale du proche infrarouge.

MOTS-CLÉS : SPAD (Single Photon Avalanche Diode,) CMOS FDSOI UTBB (Fully-depleted SOI, Ultra-Thin-Body and BOX), PDP (Probabilité de détection de photons), simulation TCAD, caractérisation électro-optique

Laboratoire (s) de recherche : Institut des Nanotechnologies de Lyon (INL) – UMR CNRS 5270

Directeur de thèse : Pr. Francis CALMON

Co-directeur de thèse : Dr. Fabien MANDORLO et Dr. Régis OROBTCHOUK

Président de jury : Pr. Wilfried UHRING

Composition du jury : Marco PALA (rapporteur), Pierre MAGNAN (rapporteur), Andreia CATHELIN (examinatrice), Pr. Wilfried UHRING (président), Irina IONICA (examinatrice), Pr. Francis CALMON, Dr. Fabien MANDORLO, Dr. Régis OROBTCHOUK et Dominique GOLANSKI (invité)