



**HAL**  
open science

**”Contrôle modulaire décentralisé - Application aux convertisseurs multi-phasés isolés entrelacés et magnétiquement couplés”.**

Zijian Xiao

► **To cite this version:**

Zijian Xiao. ”Contrôle modulaire décentralisé - Application aux convertisseurs multi-phasés isolés entrelacés et magnétiquement couplés”.. Energie électrique. Institut National Polytechnique de Toulouse - INPT, 2013. Français. NNT : . tel-04311535v2

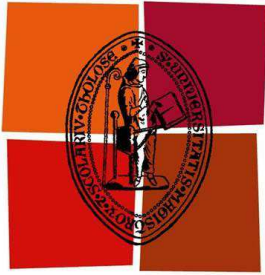
**HAL Id: tel-04311535**

**<https://theses.hal.science/tel-04311535v2>**

Submitted on 16 Dec 2013 (v2), last revised 28 Nov 2023 (v3)

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L’archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d’enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université  
de Toulouse

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Institut National Polytechnique de Toulouse  
Discipline ou spécialité : Génie Electrique

---

Présentée et soutenue par *Zijian XIAO*  
Date prévue le mercredi 20 novembre 2013

**Titre :**

*Contrôle modulaire décentralisé - Application aux convertisseurs multi-phasés isolés entrelacés et magnétiquement couplés*

---

### JURY

*Emmanuel Sarraute--Directeur de thèse*  
*Marc Cousineau--Co-directeur de thèse*  
*Stéphane Lefebvre—Rapporteur*  
*Luis Maria Marroyo Palomo—Rapporteur*  
*Yves Lembeye—Examineur*  
*Stéphane Ollitrault-- Examineur*

---

**Ecole doctorale :** GEET  
**Unité de recherche :** LAPLACE  
**Directeur(s) de Thèse :** Emmanuel Sarraute, Marc Cousineau  
**Rapporteurs :** Stéphane Lefebvre, Luis Maria Marroyo Palomo



## Résumé

Le domaine de la conversion d'énergie requiert, la plupart du temps, la mise en œuvre d'études spécifiques et coûteuses pour répondre, avec les meilleures performances possibles (rendement, compacité, CEM), aux diverses applications. Afin de proposer une solution générique et évolutive, nous nous sommes intéressés à l'utilisation d'un réseau de micro-convertisseurs optimisés, de faible puissance, que l'on peut associer en série et/ou en parallèle, pour couvrir un large domaine d'applications. Dans ces conditions, un effort unique de réflexion est à porter sur le dimensionnement d'un micro-convertisseur optimisé qui joue le rôle de cellule élémentaire ou de brique de base pour l'établissement du réseau complet. Cependant, cela suppose de mettre en œuvre également une méthode de contrôle adaptée au grand nombre de micro-convertisseurs ainsi qu'une technique de communication entre tous les micro-convertisseurs, pour assurer un bon équilibrage de la puissance.

L'objectif principal de cette thèse est de fournir une solution intégrée pour le contrôle à la fois des cellules de commutation internes du micro-convertisseur et du réseau lui-même. Pour y parvenir, une solution modulaire de contrôle entièrement décentralisé est proposée. Trois étapes essentielles sont alors étudiées : la génération des porteuses entrelacées, l'équilibrage des courants de phase et la régulation des grandeurs de sortie courant et/ou tension. Ces trois étapes sont abordées de manière à proposer une solution entièrement décentralisée.

Plusieurs cartes de test ont été réalisées pour valider chaque fonction indépendamment. Un circuit intégré (démonstrateur), implémentant l'ensemble des fonctions nécessaires au contrôle d'un micro-convertisseur 5V-2A-1MHz, a également été conçu et testé. Les résultats expérimentaux montrent clairement la validité des solutions proposées, ce qui ouvre la voie vers un contrôle mieux adapté aux nouveaux types d'architectures multi-phasées et distribuées en réseau.

Mots-clés :

- Convertisseur multiphasé entrelacés isolé couplé.
- Contrôle modulaire.
- Equilibrage de courants.
- Structure répartie, décentralisée des commandes.
- ASIC analogique.

## Abstract

The field of energy conversion requires, in most cases, the implementation of specific and expensive studies in order to answer to various applications with the best performances of efficiency, compactness, and EMC for example. To propose a generic and scalable solution, we are interested in the use of a network of optimized micro-converters, low power, which can be combined in series and/or in parallel, to cover a wide range of applications. Under these conditions, one single effort is to focus on the design of an optimized micro-converter which plays the role of individual cell or brick base for the establishment of the complete network. However, this means also to implement a control method adapted to many micro-converters and a communication method between all micro-converters, to ensure a good balance of power.

The main objective of this thesis is to provide an integrated solution for controlling both internal commutation cells of each micro-converter and the all network itself. To achieve this, a modular and fully decentralized control solution is proposed. Three essential steps are studied: the generation of interleaved carriers, the phase currents balancing and the output variables regulation (current and / or voltage). These three steps are discussed in order to propose a fully decentralized solution.

Several test cards were realized to validate each function independently. An integrated circuit (demonstrator), implementing all the necessary control functions for a 5V-2A-1MHz micro-converter has also been designed and tested. The experimental results clearly demonstrate the validity of the proposed solutions, which opens the way to a control much more adapted to these new architectures of multi-phase conversion and distributed network.

Key words:

- Multiphase interleaved isolated coupled converter
- Modular control
- Currents balancing.
- Distributed structure, decentralized control.
- Analog ASIC.

## Remerciements

Je tiens à adresser en premier lieu mes plus chaleureux remerciements à mes directeurs de thèse Emmanuel Sarraute et Marc Cousineau. Ils n'ont pas simplement accepté de diriger ma thèse, ils m'ont transmis la passion de la recherche et n'ont eu de cesse de m'encourager et de me soutenir durant ces trois années. J'en profite pour eux exprimer ici ma plus profonde gratitude.

Je remercie toutes les personnes dans l'équipe Conservateurs Statiques pour le climat sympathique dans lequel ils m'ont permis de travailler. Les nombreuses discussions que j'ai pu avoir avec chacun m'ont beaucoup apporté. Sans vos soutiens, je ne peux pas avoir une grande réussite de ma thèse.

Je voudrais exprimer particulièrement toute mes collègues de bureau à Nicolas Videau, Xavier Bonnin, Julio Brandelero, Thi Bang Doan et Olivier Goulard pour leur gentillesse, leur compétence et leur humour.

Je remercie également toutes les personnes dans le projet ANR MiCoNet. Toutes les réunions et les vidéoconférences que nous avons passées ensemble me permettent de réfléchir et définir clairement mon travail suivant et il me permet d'aussi de bien savoir la démarche de la conduite de projet.

Je tiens à remercier tous les membres de jury. Merci donc à Stéphane Lefebvre, Luis Maria Marroyo Palomo, Yves Lembeye et Stéphane Ollitrault, ils m'ont donné une grande contribution sur la lecture de mon manuscrit de thèses. Toutes les questions posées pendant la soutenance me permettent de bien réfléchir sur des perspectives de mon travail.

Enfin, les mots les plus simples étant les plus forts, j'adresse toute mon affection à ma famille. Malgré mon éloignement depuis de (trop) nombreuses années, leur intelligence, leur confiance, leur tendresse, leur amour me portent et me guident tous les jours. Je vous aime.



# Table des matières

<b>Résumé .....</b>	<b>III</b>
<b>Abstract .....</b>	<b>IV</b>
<b>Remerciements .....</b>	<b>V</b>
<b>Table des matières .....</b>	<b>VII</b>
<b>Table des figures.....</b>	<b>IX</b>
<b>Liste des tableaux .....</b>	<b>XIV</b>
<b>Introduction Générale.....</b>	<b>1</b>
<b>Chapitre 1 Présentation du projet MiCoNet .....</b>	<b>3</b>
<b>1.1 Objectifs de l'ANR MiCoNet et ceux de la thèse .....</b>	<b>4</b>
<b>1.2 Contrôle d'une cellule élémentaire .....</b>	<b>6</b>
<b>1.3 Contrôle d'un réseau de micro-convertisseurs .....</b>	<b>7</b>
1.3.1 Communication entre deux micro-convertisseurs voisins .....	8
1.3.2 Communication du secondaire (sortie) vers le primaire (entrée).....	10
1.3.3 Régulation du réseau de micro-convertisseurs en courant et/ou tension .....	13
<b>1.4 Etat de l'art sur le contrôle modulaire de convertisseurs parallèles .....</b>	<b>14</b>
1.4.1 Equilibrage des courants des branches.....	15
1.4.2 Contrôle modulaire d'un convertisseur parallèle .....	20
<b>1.5 Conclusion.....</b>	<b>24</b>
<b>Chapitre 2 Etude et conception d'un générateur modulaire de porteuses entrelacées .....</b>	<b>25</b>
<b>2.1 Introduction .....</b>	<b>26</b>
<b>2.2 Générateur modulaire analogique de porteuses entrelacées.....</b>	<b>26</b>
2.2.1 Principe d'auto-alignement des porteuses.....	26
2.2.2 Mise en œuvre du générateur de porteuse .....	31
2.2.3 Résultats expérimentaux .....	34
<b>2.3 Générateurs simplifiés (numérique) de porteuses auto-alignées .....</b>	<b>36</b>
2.3.1 Conception simplifiée (numérique) du générateur porteuse .....	37
2.3.2 Simulations de validation .....	42
2.3.3 Résultats expérimentaux .....	44
<b>2.4 Conclusion.....</b>	<b>46</b>
<b>Chapitre 3 Contrôle modulaire entièrement décentralisé.....</b>	<b>47</b>
<b>3.1 Introduction .....</b>	<b>48</b>
<b>3.2 Approche modulaire d'équilibrage des courants .....</b>	<b>49</b>



3.3	<b>Principe du calcul décentralisé du rapport-cyclique de mode-commun.....</b>	<b>51</b>
3.4	<b>Adaptation de la méthode modulaire d'équilibrage des courants.....</b>	<b>54</b>
3.5	<b>Calcul du correcteur d'équilibrage des courants et stabilité du système.....</b>	<b>57</b>
3.6	<b>Bilan et propriété de reconfigurabilité .....</b>	<b>62</b>
3.7	<b>Résultats expérimentaux.....</b>	<b>63</b>
3.8	<b>Conclusion.....</b>	<b>68</b>
<b>Chapitre 4 Réalisation de l'ASIC dédié à la commande du micro-</b>		
<b>convertisseur .....</b>		<b>69</b>
4.1	<b>Introduction .....</b>	<b>70</b>
4.2	<b>Conception des briques élémentaires .....</b>	<b>71</b>
4.2.1	Les circuits de polarisation.....	72
4.2.2	Amplificateur opérationnel rail-to-rail .....	74
4.2.3	Amplificateur d'instrumentation.....	77
4.3	<b>Circuit générateur de porteuse auto-alignée .....</b>	<b>78</b>
4.3.1	Le générateur de signal triangulaire .....	79
4.3.2	Obtention des seuils dynamiques .....	80
4.3.3	Alignement en phase .....	81
4.3.4	Contrôle de la fréquence .....	82
4.4	<b>Boucles de régulation .....</b>	<b>86</b>
4.4.1	Mode-commun (AVP).....	86
4.4.2	Mode-différentiel (égalisation des courants).....	88
4.5	<b>Mesure de courant.....</b>	<b>90</b>
4.6	<b>Circuit Complet .....</b>	<b>96</b>
4.7	<b>Résultats expérimentaux.....</b>	<b>98</b>
4.8	<b>Conclusion.....</b>	<b>103</b>
<b>Conclusion générale et perspectives .....</b>		<b>105</b>
<b>Bibliographies .....</b>		<b>107</b>

## Table des figures

Figure 1.1: Principe d'utilisation du réseau de micro-convertisseurs : 4 configurations possibles : (a) entrée en série, sortie en parallèle (b) entrée en série, sortie en série (c) entrée en parallèle, sortie en parallèle (d) entrée en parallèle, sortie en série.....	5
Figure 1.2 : Architecture interne du micro-convertisseur : convertisseur isolé entrelacé à inductances couplées, (en verte : un couplage magnétique fort, en jaune : un couplage magnétique faible).....	7
Figure 1.3: Application photovoltaïque : Structure entrée série (forte tension) et sortie parallèle (fort courant).....	8
Figure 1.4 : Transmission d'un signal entre deux puces A et B référencées à des potentiels différents : (a) Transmission de A vers B ; (b) Transmission de B vers A. ....	9
Figure 1.5 : Transmission d'un signal en tension entre deux puces A et B référencées à des potentiels différents (la puce B se trouve à un potentiel plus haut que celui de la puce A)....	10
Figure 1.6 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un dispositif onduleur-redresseur. ....	11
Figure 1.7 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un dispositif VCO-PLL. ....	11
Figure 1.8 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant une liaison optique. ....	12
Figure 1.9 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un système de miroir de courant. ....	12
Figure 1.10 : Schéma équivalent « vu de la sortie » d'un réseau de micro-convertisseurs connectés en série sur leurs sorties.....	13
Figure 1.11 : Schéma équivalent « vu de la sortie » d'un réseau de micro-convertisseurs connectés en parallèle sur leurs sorties. ....	13
Figure 1.12 : Principe général de contrôle d'un convertisseur multi-phase ( $K_{v_o}(s)$ : régulation de mode-commun, $K_{i_i}(s)$ : équilibrage des courants de branche). ....	15
Figure 1.13 : Topologie d'un convertisseur utilisant un seul capteur pour mesurer la valeur des courants des branches. ....	16
Figure 1.14 : Formes d'onde des trois courants de branche et mise en évidence des temps d'échantillonnage optimaux (cas $D < 1/3$ ). ....	16
Figure 1.15 : Mesure des courants de branche par l'utilisation d'un seul capteur et la duplication des interrupteurs High-Side.....	17
Figure 1.16 : Equilibrage des courants de branche par observation de la composante alternative de la tension d'entrée.....	18
Figure 1.17 : Formes d'onde des courants de branche, de leur différence et de la composante alternative de la tension d'entrée : (a) $i_{L2} > i_{L1}$ ; (b) $i_{L2} < i_{L1}$ ( $i_{in}$ : courant d'entrée, $i_{L1}$ et $i_{L2}$ : courants des branches, $i_{Ci}$ : courant de la capacité d'entrée, $V_{in,r}$ : composante alternative de la tension d'entrée).....	18
Figure 1.18 : Mesure peu intrusive du courant de branche par l'utilisation d'un filtre RC. ....	19

Figure 1.19 : Equilibrage naturel des courants par l'utilisation de coupleurs magnétiques présentant une forte réjection des modes différentiels. ....	20
Figure 1.20 : Schéma de principe d'un circuit d'équilibrage de courant modulaire par communications locales inter-modules « phase-link connexion ».....	21
Figure 1.21 : Principe de génération de porteuses entrelacées de façon modulaire.....	22
Figure 1.22 : Principe de génération des déphasages inter-porteurs.....	22
Figure 1.23 : Principe du générateur modulaire de signaux PWM entrelacés.....	22
Figure 1.24 : Reconfiguration du système de 3 phases à 2 phases.....	22
Figure 1.25 : Equilibrage des courants et calcul du rapport-cyclique de mode commun obtenus de façon modulaire.....	23
Figure 2.1 : a) Dispositif à cinq porteuses correctement entrelacées. Le signal $V_{diff}(t)$ représente la différence entre la porteuse précédente $V_{triP}$ et la porteuse suivante $V_{triN}$ ; b) Principe : Le signal $V_{diff}(t)$ est superposé aux seuils $V_h$ et $V_l$ et guide ainsi en phase la génération de $V_{tri}$ .....	27
Figure 2.2 : Circuit de génération de porteuse triangulaire mettant en œuvre les seuils statiques $V_h$ et $V_l$ .....	28
Figure 2.3 : Détermination du coefficient d'atténuation $\alpha$ : a) Valeurs maximales du terme $\Delta V_{tri}/\Delta V_{diff}$ ; b) Valeurs minimales du terme $\Delta V_{tri}/\Delta V_{diff}$ .....	29
Figure 2.4 : Approche modulaire pour la génération de porteuses entrelacées : a) Circuits internes d'un module; b) Configuration chaînée de communication.....	30
Figure 2.5 : Principe du circuit d'aiguillage permettant d'ajouter ou d'ôter un module de la chaîne ( $En = '1'$ présent; $En = '0'$ absent).....	31
Figure 2.6 : a) Circuit permettant de générer les deux seuils dynamiques $V_l(t)$ et $V_h(t)$ ; b) Circuit de génération de porteuse auto-alignée résultant.....	32
Figure 2.7 : Simulation du démarrage d'un système à cinq porteuses : convergence au bout de 7 périodes de découpage.....	33
Figure 2.8 : Simulation de reconfiguration du nombre de porteuses entrelacées ; (a) Passage de 5 porteuses à 4 ; (b) Passage de 4 porteuses à 5.....	34
Figure 2.9 : Test de démarrage : a) Cas de 3 porteuses démarrant en phase ; b) Cas de 3 porteuses incluant un délai initial.....	35
Figure 2.10 : Test de reconfiguration du nombre de porteuses entrelacées ; (a) Passage de 4 porteuses à 3 ( $20\mu s/div$ , $1V/div$ ); (b) Passage de 3 porteuses à 4 ( $10\mu s/div$ , $1V/div$ ).....	36
Figure 2.11 : Analyse du comportement du signal généré dans les cas d'avance et de retard de phase (cas $V_{tri}(1)$ et $V_{tri}(2)$ ) : a) Signal ascendant ; b) Signal descendant.....	38
Figure 2.12 : Générateur de signal triangulaire piloté ayant 3 actions possibles : 'montée', 'descente', 'constant'.....	39
Figure 2.13 : Circuits logiques permettant de générer les signaux de commande $V_{div2\_controle}$ , $V_{h\_controle}$ et $V_{l\_controle}$ .....	40
Figure 2.14 : Séquence de démarrage dans le cas de 3 porteuses : a) Niveau incertain pour la porteuses 3 ; b) Aucune incertitude et croisement de 1 et 3 assuré.....	41

Figure 2.15 : Solution de démarrage assurant la convergence du système dans le cas général ( $N > 3$ ).....	42
Figure 2.16 : Simulation du démarrage d'un convertisseur à 5 porteuses : a) Séquence de démarrage ; b) Convergence du système.....	43
Figure 2.17 : Simulation des cas de reconfiguration du nombre de porteuses : a) Passage de 5 porteuses à 4 ; b) Passage de 4 porteuses à 5. ....	44
Figure 2.18 : Test de la génération des porteuses entrelacées dans un cas à $N=3$ : a) Pentés de $V_{tri}$ fonction du croisement de $V_{trip}$ et $V_{trin}$ ; b) Comportement des bits de contrôle. ....	45
Figure 3.1 : Contrôle d'un convertisseur parallèle à $N$ bras : a) Approche standard, b) Méthode décentralisée.....	48
Figure 3.2 : Description du calcul « modulaire » de correction de rapport-cyclique pour égaliser les courants des bras du convertisseur.[23] .....	49
Figure 3.3 : Principe d'égalisation des courants : a) Approche standard; b) Méthode modulaire.[23].....	50
Figure 3.4 : Mise en œuvre de l'équilibrage modulaire des courants d'un système régulé en tension.[23].....	51
Figure 3.5 : a) Circuit de régulation classique; b) Caractéristique de sortie d'un bras et schéma équivalent Thévenin; (c) Circuit équivalent du convertisseur parallèle à $N$ -bras. ....	52
Figure 3.6 : a) Circuit de régulation de type AVP; b) Caractéristique de sortie d'un bras et schéma équivalent Thévenin; (c) Circuit équivalent résultant du convertisseur parallèle à $N$ -bras. ....	52
Figure 3.7 : Régulation de tension décentralisée : a) $N$ régulations de type AVP en parallèle b) Schéma équivalent Thévenin du $i^{ème}$ bras. ....	55
Figure 3.8 : Caractéristique de sortie: a) sans correction de pente b) avec correction de pente. ....	56
Figure 3.9 : Implémentation du contrôle décentralisé: a) Dispositif de correction de pente; b) Régulation locale de type AVP avec correction de pente. ....	57
Figure 3.10 : Etude de stabilité du mode différentiel : Fonction de transfert en boucle ouverte du mode différentiel (rouge). ....	60
Figure 3.11 : Etude de stabilité du mode différentiel : Simulation « petit signal » du module (en haut) et de la phase (en bas) de $FT_{OLdiff_i}$ .....	61
Figure 3.12 : Reconfiguration du système en connectant les modules voisins entre eux : a) Le module 3 est enlevé; b) Eléments internes au modules et ports de communication ( $V_{trip}$ : porteuse précédente, $V_{trin}$ : porteuse suivante, $V_{tri}$ : porteuse du module; idem pour les courants). ....	63
Figure 3.13 : a) Carte d'évaluation CMS d'un module implémentant les trois fonctions principales (dimensions $8.0 \times 5.5$ cm <sup>2</sup> ) ; b) Convertisseur parallèle utilisant 3 modules de contrôle connectés dans une configuration chaînée ( $V_{in}=12V$ ; $V_{out}=1V$ ; $I_{out}=15A$ ; $F_{sw}=40KHz$ ). ....	64
Figure 3.14 : Démarrage et comportement de l'équilibrage de courant : a) Séquence de démarrage avec des coupleurs saturés ( $1A/div$ , $1V/div$ , $100ms/div$ ); b) Régime établi ( $500mA/div$ , $20\mu s/div$ ). ....	65

Figure 4.1 : Fonctions internes d'un module de commande pour contrôler une cellule de commutation:(a) Régulation de mode commun centralisée (b) Contrôle entièrement modulaire (AVP). .....	70
Figure 4.2 : Polarisation des circuits internes : Copie systématique d'un courant de référence externe. ....	72
Figure 4.3 : Vue Layout du circuit de polarisation. ....	73
Figure 4.4 : Amplificateur opérationnel « rail-to-rail » en technologie CMOS.....	75
Figure 4.5 : Etude de la marge de gain et de phase de l'amplificateur rebouclé au gain unitaire (-40°C, 27°C et 125°C). ....	76
Figure 4.6 : Vue Layout de l'amplificateur opérationnel. ....	77
Figure 4.7 : Amplificateur d'instrumentation constitué de trois AOPs avec réglage de gain externe. ....	77
Figure 4.8 : Vue Layout de l'amplificateur d'instrumentation. ....	78
Figure 4.9 : Fonctions internes du générateur de porteuse auto-alignée.....	79
Figure 4.11 : Génération des tensions de seuil $V_h(t)$ et $V_h(t)$ par calcul analogique.....	81
Figure 4.13 : Vue Layout du trigger de Schmitt. ....	82
Figure 4.14 : Circuit de réglage de la fréquence : source de courant contrôlée en tension.....	83
Figure 4.15 : Vue Layout du générateur de porteuse complet. ....	84
Figure 4.16 : Simulation du générateur de la porteuse: a) Démarrage des cinq porteuses ; b) Génération du signal triangulaire et positionnement par rapport à ses voisines. ....	85
Figure 4.17 : Circuit de régulation de mode commun configurable ( $Z_1$ et $Z_2$ sont des composants externes). ....	86
Figure 4.18 : (a) Contrôle par un rapport-cyclique calculé en externe ; (b) Contrôle interne de type AVP. ....	87
Figure 4.19 : Calcul de l'erreur de courant et mise en place du correcteur de mode différentiel. ....	88
Figure 4.20 : Principe d'égalisation des courants dans un dispositif utilisant une régulation de mode commun classique (pas d'AVP). ....	89
Figure 4.21 : Simulation du correcteur différentiel : convertisseur à 3 bras, $V_{ref}=3V$ , $R_{ch}=0.5\Omega$ et une résistance de $30m\Omega$ est ajoutée sur le bras 2 pour créer un déséquilibre. ....	89
Figure 4.22 : Vue Layout du circuit d'équilibrage des courants. ....	90
Figure 4.23 : Circuit de mesure du courant utilisant un double échantillonneur-bloqueur.....	91
Figure 4.24 : Première méthode pour obtenir les signaux de commande des deux échantillonneur-bloqueurs.....	92
Figure 4.26 : Interrupteur de l'échantillonneur-bloqueur réalisé en technologie CMOS. ....	93
Figure 4.27 : Résultat de simulation de la mesure de courant : a) Tension aux bornes de la résistance de shunt $V_{chute}$ et tension mesurée $V_{mes}$ par l'amplificateur d'instrumentation ; b) Tensions de sortie des échantillonneur-bloqueurs. ....	95
Figure 4.28 : Vue Layout du circuit implémentant la première méthode de mesure du courant. ....	95

Figure 4.29 : Vue Layout du circuit implémentant la seconde méthode de mesure du courant. .....	96
Figure 4.30 : Vue Layout de l'ASIC final (6.8mm <sup>2</sup> ). .....	97
Figure 4.31 : Interfaces d'entrée/sortie de la puce. ....	98
Figure 4.32 : Photo de l'ASIC final (technologie AMS CMOS 0,35um, 6.8mm <sup>2</sup> ). ....	99
Figure 4.33 : Carte de test (4 couches, 13cm*9.5cm). ....	99
Figure 4.34 : Test de l'alignement des porteuses : observation externe fournie par le sixième module (10us/div, 1V/div). ....	100
Figure 4.35 : Test du circuit de mesure du courant (gain théorique du circuit : 33). ....	100
Figure 4.36 : Test de la génération du signal MLI : Comparaison de la porteuse avec la modulante à 850 KHz (400ns/div, 1v/div). ....	101
Figure 4.37 : Test du déphasage des commandes : Exemple des deux commandes $cmd_1$ et $cmd_6$ déphasées de $\pi$ (400ns/div, 1v/div). ....	102
Figure 4.38 : Test du déphasage relatif de trois commandes contiguës (400ns/div, 1v/div)..	102

## Liste des tableaux

Tableau 2.1 : Détermination du rapport des amplitudes crête-à-crête des signaux $V_{tri}$ et $V_{diff}$ en fonction de nombre de phases $N$ . .....	28
Tableau 2.2 : Première règle d'évolution du signal triangulaire en fonction du comportement de ses voisins. ....	37
Tableau 2.3 : Deuxième règle d'évolution du signal triangulaire en fonction de sa position par rapport aux seuils $V_h$ et $V_l$ . ....	37
Tableau 2.4 : Signaux binaires permettant de déterminer le comportement de la porteuse générée. ....	39
Tableau 2.5 : Comportement du signal $V_{tri}$ fonction de l'état des bits $V_{h_{limit}}$ , $V_{l_{limit}}$ et $V_{croisement}$ . ....	39
Tableau 2.6 : Signaux de commande des interrupteurs fonctions des combinaisons des signaux $V_{h_{limit}}$ , $V_{l_{limit}}$ et $V_{croisement}$ . ....	40
Tableau 3.1 : Valeurs des composants du filtre $C_{lavpi}$ pour un cas pratique. ....	61
Tableau 4.1 : Inventaire des gammes de fréquences réglables. ....	83
Tableau 4.2 : Réponse en tension du circuit de mesure du courant. ....	100
Tableau 4.3 : Déphasages relatifs des commandes MLI obtenues (830kHz, déphasage nominale= 240ns). ....	103

# Introduction Générale

---

Le domaine de la conversion d'énergie est une branche du génie électrique qui traite essentiellement des moyens à mettre en œuvre pour transférer l'énergie provenant d'une source vers une charge avec un rendement le plus élevé possible. Depuis le milieu du XXème siècle, ce domaine n'a cessé d'évoluer, impactant de nombreuses applications comme la production d'énergie renouvelable, l'habitat, l'aéronautique, le transport, etc... Dans une optique de diminution du coût, du poids et du volume des systèmes électriques requis, un effort important est aujourd'hui observé dans l'élaboration de nouvelles structures de conversion mieux adaptées, mettant en œuvre des technologies d'intégration innovantes et des méthodes de contrôle optimisées.

Cependant, pour chaque cahier des charges, divers aspects scientifiques et technologiques sont à étudier de manière spécifique par des spécialistes, ce qui rend les études longues et coûteuses. Les principaux axes d'étude à traiter sont : les architectures (isolées ou non, simple mono ou multicellulaires), les filtres (la nature des éléments passifs et leur volume), les pertes (insertion de dispositifs de refroidissement), les perturbations électromagnétiques occasionnées et l'optimisation des commandes spécifiques. Afin de proposer une solution générique et évolutive, nous nous sommes intéressés à l'utilisation d'un réseau de micro-convertisseurs optimisés, de faible puissance, que l'on peut associer en série et en parallèle, pour couvrir un large domaine d'applications [1-3]. Dans ces conditions, un effort unique de réflexion est à porter sur le dimensionnement d'un micro-convertisseur optimisé qui joue le rôle de cellule élémentaire ou de brique de base à l'établissement du réseau complet. Cependant, cela suppose de mettre en œuvre également une technique de communication entre tous les micro-convertisseurs permettant d'implémenter une commande assurant une bonne distribution de la puissance.

Le travail mené dans cette thèse s'inscrit dans le cadre du projet national MiCoNet (Micro Converter Network), financé par l'ANR et associant les compétences de plusieurs laboratoires CNRS (Satie, Ampère, G2eLab, LGEP, Laplace). Il s'est déroulé au sein du groupe Convertisseur Statiques du laboratoire LAPLACE. Les différents aspects du projet ont porté sur quatre axes principaux distincts :

- L'étude de l'architecture interne du micro-convertisseur,
- Le contrôle interne d'un micro-convertisseur et celui du réseau final.
- Le dimensionnement des composants passifs et leur réalisation intégrée.
- L'intégration monolithique optimisée des nombreuses cellules de commutation du micro-convertisseur.

Le travail de thèse, présenté ici, n'aborde qu'un seul des points du projet : celui du contrôle du micro-convertisseur et du réseau mis en œuvre.

La conception du micro-convertisseur optimal fait apparaître une architecture multi-phasée, entrelacée, isolée et couplée. De plus, l'association d'un grand nombre de ces éléments dans un réseau procure également une structure de conversion répartie. Dans les deux cas, une approche modulaire du contrôle paraît particulièrement appropriée et offre l'optique de simplifier la problématique générale de la commande. Dès lors, les études qui vont être développées dans ce mémoire s'articulent autour de quatre points principaux :



- Tout d'abord, les méthodes de communication à mettre en œuvre pour le transfert d'informations du secondaire au primaire des micro-convertisseurs, ainsi que celles nécessaires à la communication inter-micro-convertisseurs,
- L'élaboration d'un dispositif modulaire d'entrelacement des commandes.
- La conception d'un équilibrage des courants des phases procédant lui-aussi de façon modulaire.
- Et enfin la décentralisation de la régulation de mode-commun permettant ainsi d'obtenir un élément de contrôle unique, local et universel.

A l'issue de ces études, et afin de valider la nature des solutions proposées, la réalisation d'un circuit intégré implémentant de façon monolithique l'ensemble des fonctions nécessaires au contrôle du micro-convertisseur sera présentée.

Dans le premier chapitre, on présentera tout d'abord le contexte du projet MiCoNet ainsi que les diverses configurations possibles du réseau de micro-convertisseurs. Le détail de l'architecture interne du micro-convertisseur, ainsi qu'une brève description de son fonctionnement sera faite. La problématique des communications inter-cellules ainsi que celles relatives aux échanges d'informations entre primaire et secondaire du transformateur d'isolement seront abordées. Enfin, et ce afin de justifier les choix qui seront pris pour le développement des fonctions modulaires nécessaires, la synthèse d'une étude bibliographique portant sur ce sujet particulier sera présentée.

Dans le deuxième chapitre, la problématique de l'obtention de commandes entrelacées par une approche modulaire sera abordée. Dans un premier temps, on présentera les résultats d'une étude antérieure concernant la génération modulaire de porteuses à auto-alignement en phase permettant de répondre à ce point. Cette solution étant entièrement analogique et d'une mise en œuvre délicate, on proposera alors une simplification des procédés qu'elle implémente grâce à l'utilisation exclusive de calculs combinatoires. Ainsi une solution « numérique » relativement simple à implémenter et moins sensible que la précédente aux perturbations électroniques sera obtenue. Enfin, la problématique relative à l'équilibrage des courants de phase sera abordée avec la présentation d'une solution modulaire originale ne nécessitant que des communications locales entre les éléments de contrôle.

Dans le troisième chapitre, la dernière étape permettant d'obtenir un contrôle entièrement décentralisé d'une structure multi-phasée sera abordée. Il s'agit du report au niveau de chaque cellule élémentaire, de la régulation de mode-commun, généralement réalisée globalement au niveau du système, de façon centralisée. Son principe sera exposé ainsi que les résultats de test obtenus permettant de valider la solution proposée.

Enfin, dans le quatrième et dernier chapitre, on donnera les détails relatifs à la conception et la réalisation d'un circuit intégré implémentant l'ensemble des fonctions électroniques nécessaires au contrôle d'un micro-convertisseur. Une carte de test ainsi que les résultats expérimentaux obtenus seront présentés et commentés.

# Chapitre 1 Présentation du projet MiCoNet

<b><u>1.1</u></b>	<b><u>Objectifs de l'ANR MiCoNet et ceux de la thèse</u></b> .....	<b>4</b>
<b><u>1.2</u></b>	<b><u>Contrôle d'une cellule élémentaire</u></b> .....	<b>6</b>
<b><u>1.3</u></b>	<b><u>Contrôle d'un réseau de micro-convertisseurs</u></b> .....	<b>7</b>
<b><u>1.3.1</u></b>	<b><u>Communication entre deux micro-convertisseurs voisins</u></b> .....	<b>8</b>
<b><u>1.3.2</u></b>	<b><u>Communication du secondaire (sortie) vers le primaire (entrée)</u></b> .....	<b>10</b>
<b><u>1.3.3</u></b>	<b><u>Régulation du réseau de micro-convertisseurs en courant et/ou tension</u></b> .....	<b>13</b>
<b><u>1.4</u></b>	<b><u>Etat de l'art sur le contrôle modulaire de convertisseurs parallèles</u></b> .....	<b>14</b>
<b><u>1.4.1</u></b>	<b><u>Equilibrage des courants des branches</u></b> .....	<b>15</b>
<b><u>1.4.2</u></b>	<b><u>Contrôle modulaire d'un convertisseur parallèle</u></b> .....	<b>20</b>
<b><u>1.5</u></b>	<b><u>Conclusion</u></b> .....	<b>24</b>

## 1.1 Objectifs de l'ANR MiCoNet et ceux de la thèse

Les techniques de conception et de réalisation des convertisseurs d'électronique de puissance sont actuellement principalement basées sur l'association et l'assemblage de composants discrets. Ainsi un convertisseur peut être vu comme un ensemble de composants passifs et actifs interconnectés pour réaliser la fonction recherchée pour un cahier de charges donné. Chaque composant est alors choisi en fonction des contraintes qui lui seront imposées par ce cahier des charges. Cette approche nécessite donc une étude spécifique pour chaque fonction à réaliser ce qui va avoir plusieurs conséquences :

- La diversité des fonctions que l'on rencontre en électronique de puissance : convertisseurs AC/DC, DC/DC, DC/AC isolé ou non ... mais aussi les larges domaines d'application : de quelques Watt à plusieurs Méga Watt, font qu'il est indispensable de maintenir un large panel de technologies et de composants passifs et actifs pour répondre à ce besoin.
- A chaque nouvelle application correspond un nouveau convertisseur, ce qui conduit à revoir et re-concevoir systématiquement de nouvelles structures de conversion et s'avère coûteux en temps et en argent. Ceci peut conduire à des développements technologiques spécifiques qui, eux aussi ont des conséquences sur le coût de développement des solutions d'électronique de puissance.
- La maîtrise des fonctions de conversion et des phénomènes électriques, magnétiques, thermiques et mécaniques complexes et couplés qui interviennent dans le fonctionnement d'un convertisseur nécessitent une excellente connaissance multi physique réservée aux seuls spécialistes.
- Les trois points précédents induisent des durées et des coûts de développement importants nécessaires pour l'obtention d'une électronique de puissance à haut rendement de conversion dans les applications grand public et industrielles.

Pourtant l'amélioration et le développement des éléments de conversion de l'électronique de puissance est une nécessité pour les décennies à venir. En effet, compte tenu de l'essor important des nouvelles sources d'énergie (photovoltaïque, éolien, pile à combustible...) et des moyens de stockage (stockage électrochimique, mécanique ...), il devient indispensable de mettre en œuvre des systèmes efficaces et adaptés pour traiter ces énergies. Il en va de même au sujet des charges avec une grande dissémination de celles-ci dans l'habitat, l'automobile et les transports en général. Or, seule la constante amélioration des électroniques de puissance permettra de conditionner l'énergie électrique avec les meilleurs rendements possibles pour limiter l'explosion de nos consommations énergétiques face au fort accroissement de ces charges et sources.

Afin de contourner les difficultés énumérées ci-dessus, il est proposé, dans le projet MiCoNet, de mettre en œuvre une nouvelle approche permettant de répondre de manière totalement flexible à n'importe quel cahier des charges. Cette approche s'inspire, d'une certaine manière, de la révolution occasionnée en électronique analogique par l'introduction de l'amplificateur opérationnel. Elle vise à créer un composant unique appelé, cellule élémentaire (micro-convertisseur), permettant de répondre à tous types de cahier des charges, par la mise en réseau d'un nombre plus ou moins important d'éléments (voir figure 1.1). La grandeur à traiter dans toute application d'électronique de puissance étant l'énergie, c'est par l'association, en série et/ou en parallèle, de plusieurs de ces cellules élémentaires que l'on ajuste les calibres en tension et/ou en courant du convertisseur à réaliser.

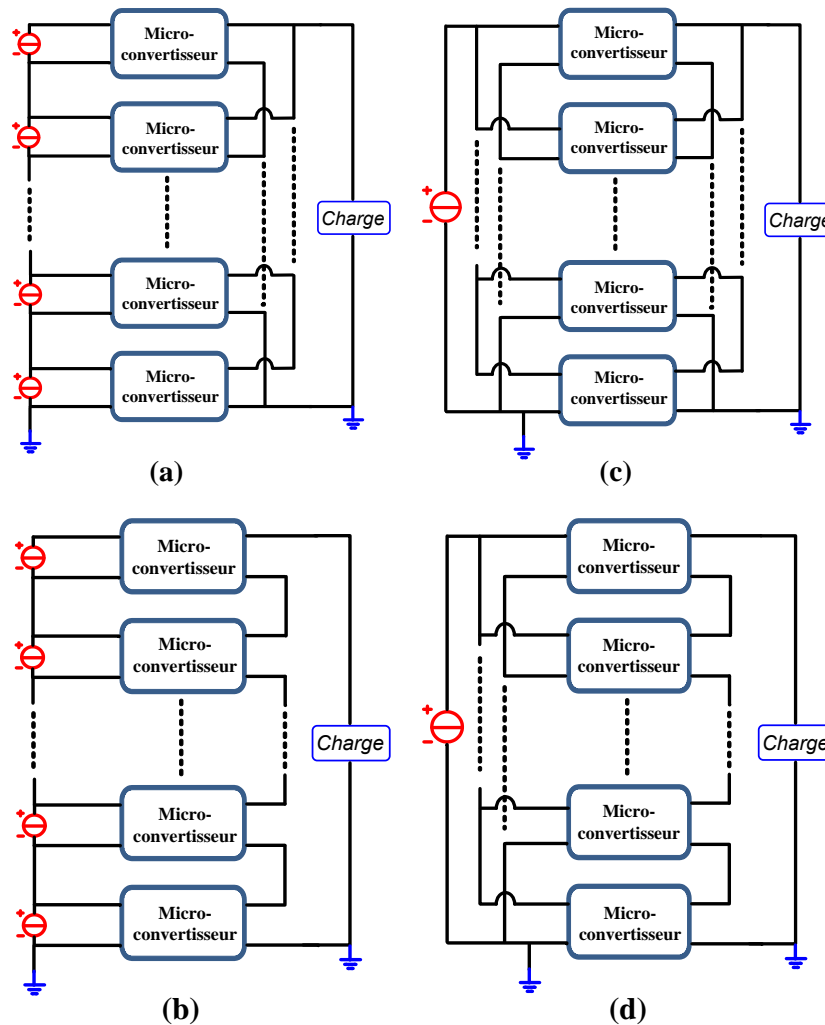


Figure 1.1: Principe d'utilisation du réseau de micro-convertisseurs : 4 configurations possibles : (a) entrée en série, sortie en parallèle (b) entrée en série, sortie en série (c) entrée en parallèle, sortie en parallèle (d) entrée en parallèle, sortie en série.

Dans le cadre de cette thèse, nous limiterons cette étude aux seuls convertisseurs DC/DC. Les grandeurs d'entrée et de sortie seront donc invariantes dans le temps. Afin d'obtenir pour la cellule élémentaire un objet de petite dimension, le choix est fait de réaliser les organes de commande et les cellules de commutation sur un même substrat, dans un circuit intégré. Pour limiter le coût de ce dernier, une technologie CMOS 5V est proposée. Chaque micro-convertisseur sera alors capable de convertir une puissance proche de 5W. Afin de pouvoir adresser tout type de gamme de puissance, des associations massives de ces éléments doivent être envisagées. La figure 1.1 montre les associations possibles de micro-convertisseurs pour adresser plusieurs types d'applications:

(a) Les cellules élémentaires sont empilées en entrée pour traiter une tension quelconque  $> 5V$ . Leurs sorties sont placées en parallèle afin de délivrer, sur une charge, un courant de forte intensité. Chaque micro-convertisseur se comporte « vu de sa sortie » comme une source de courant.

(b) De même les cellules élémentaires sont empilées en entrée, mais leurs sorties sont placées en série afin de fournir une tension élevée sur une charge. Ici, chaque micro-convertisseur se comporte « vu de sa sortie » comme une source de tension.

(c) et (d) Les cellules élémentaires sont placées en parallèle en entrée et se répartissent une fraction du courant fourni par la source. Leurs sorties sont placées soit en parallèle (source de courant) soit en série (source de tension) pour répondre aux besoins de l'application.

Comme les références locales (les masses) des cellules sont portées à des potentiels différents suivant les cas, le convertisseur doit être de nature isolé et présenter en son sein un transformateur. Si des études sont menées dans plusieurs laboratoires sur l'architecture de la cellule élémentaire, le dimensionnement des cellules de commutation et sur la réalisation du transformateur, l'objet de cette thèse concerne uniquement l'étude et la conception du circuit de contrôle.

Ce circuit de contrôle se voit alors attribuer une double mission :

- le contrôle du fonctionnement interne de chacun des micro-convertisseurs (cellule élémentaire de conversion),
- le contrôle de l'ensemble du réseau de micro-convertisseurs en fonction des différentes configurations envisagées.

## 1.2 Contrôle d'une cellule élémentaire

Dans une optique de forte intégration de la fonction de conversion, en premier lieu, si l'on souhaite que la cellule élémentaire soit miniaturisée, peu invasive, il est nécessaire de réduire sa taille en travaillant à la fois sur les éléments passifs, actifs, leur commande et sur leur intégration. Concernant les éléments passifs, la réduction de leur taille passe principalement par une augmentation de la fréquence de découpage et par le choix de techniques appropriés de dépôt de matériaux magnétiques. Dans le même but de réduction de taille, la partie active du convertisseur, comprenant sa commande et sa puissance, devra aussi être réalisée de façon intégrée. Aujourd'hui, plusieurs fondeurs (AMS, AMIS, ST ...) proposent des technologies de type CMOS permettant de répondre à nos attentes. Ces technologies présentent des caractéristiques différentes en fonction de leur résolution de masque (0.6 $\mu$ m, 0.35 $\mu$ m, 135nm...). La mise en œuvre des connexions nécessaires entre les parties actives et passives de la cellule élémentaire pourront s'appuyer sur des travaux déjà réalisées concernant les techniques de report de puces que ce soit par des techniques classiques comme le bonding ou le bump mais aussi par des techniques plus originales telles que le contact pressé. Il en ira de même pour les connexions entre les cellules au sein du réseau avec des contacts par broches par exemple.

La figure 1.2 montre l'architecture retenue pour la cellule élémentaire (le micro-convertisseur). Il s'agit d'un convertisseur entrelacé isolé implémentant dix phases magnétiquement couplées entre elles par un transformateur de type monolithique. Cette structure [4] a été spécialement étudiée pour maximiser la compacité. En particulier, l'ordre de succession des phases des tensions alimentant deux enroulements primaires adjacents a été choisi de façon à assurer une compensation des ampères-tours dans les fenêtres de bobinage et par la même minimiser le dimensionnement du circuit magnétique. Dans cette version non réversible, le secondaire est associé à un redresseur à diodes permettant d'obtenir un courant de sortie issu des contributions positives de chaque courant de phase. Les cellules de commutations sont associées par paire, déphasées d'un angle  $\pi$  et sont reliées entre elles par un élément inductif (une jambe du transformateur monolithique, primaire du transformateur). Ainsi, suivant le sens du courant circulant dans cette inductance, un courant résultant

apparaîtra au secondaire. Par exemple, si le courant  $i_{1p}$  est positif, un courant  $i_{1s}'$  sera fourni à la charge au secondaire et contribuera à augmenter la valeur du courant  $I_{out}$ . En revanche, si le courant  $i_{1p}$  est négatif, un courant  $i_{1s}$  sera fourni cette fois ci à la charge.

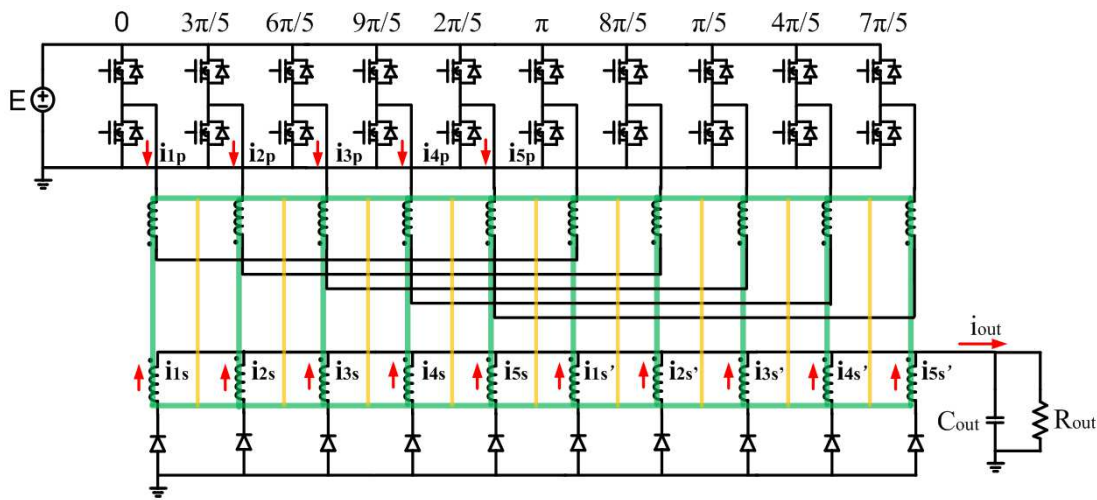


Figure 1.2 : Architecture interne du micro-convertisseur : convertisseur isolé entrelacé à inductances couplées, (en vert : un couplage magnétique fort, en jaune : un couplage magnétique faible).

Les dix cellules de commutation sont donc contrôlées par dix signaux MLI déphasés entre eux d'un angle égal à  $2\pi/10$ . Si cette structure couplée entrelacée permet de réduire l'ondulation du courant présent dans les phases, elle demande cependant d'équilibrer correctement la valeur des courants de chaque branche afin d'éviter une saturation possible du coupleur magnétique. Le contrôle de ce convertisseur nécessite donc :

- de générer correctement dix signaux MLI entrelacés permutés,
- de mettre en place un dispositif d'égalisation des courants de branche (correcteur différentiel),
- et d'implémenter un dispositif de régulation de la grandeur de sortie tension et/ou courant (régulateur de mode commun).

Tous les points énumérés ci-dessus seront étudiés en détail dans les chapitres suivants.

### 1.3 Contrôle d'un réseau de micro-convertisseurs

Le projet MiCoNet, afin d'obtenir à terme un composant démonstrateur, se propose d'aborder la problématique d'une application photovoltaïque. La figure 1.3 montre le type d'association envisagée. Les cellules élémentaires sont placées en entrée de façon série et reçoivent du panneau photovoltaïque une succession de tensions proches de 5V. En sortie, une charge reçoit la somme des courants délivrés par les différents micro-convertisseurs.

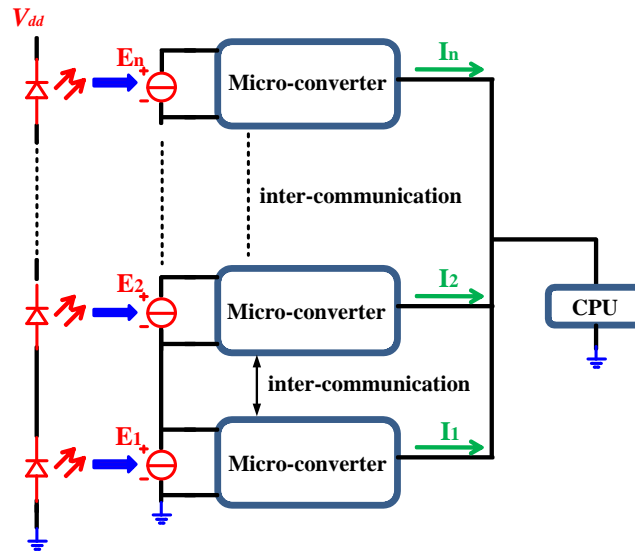


Figure 1.3: Application photovoltaïque : Structure entrée série (forte tension) et sortie parallèle (fort courant).

L'organisation et le contrôle de ce système complexe constitué d'un grand nombre de micro-convertisseurs connectés entre eux en entrée et en sortie demande de mettre en place un dispositif de communication inter-cellule. Des échanges d'informations sont nécessaires entre les différentes cellules élémentaires pour assurer, d'une part, un fonctionnement équilibré de l'ensemble et, d'autre part, garantir la fiabilité de fonctionnement en permettant, par exemple, de détecter et d'isoler une cellule défectueuse. De plus, afin de pouvoir réguler la grandeur de sortie (le courant dans cette application), des méthodes de communication entre le secondaire des transformateurs et les primaires doivent être évaluées.

### 1.3.1 Communication entre deux micro-convertisseurs voisins

Dans l'application visée, les références locales (les masses) des cellules élémentaires sont portées à des potentiels différents. Or, afin de pouvoir assurer un équilibrage de l'ensemble et imposer un entrelacement global, il semble nécessaire de permettre aux divers éléments de conversion de pouvoir communiquer entre eux. Diverses solutions s'offrent à nous. On peut imaginer utiliser :

- soit des isolations galvaniques pour transmettre un signal alternatif contenant l'information dans sa fréquence par exemple,
- soit franchir aisément les différences de potentiel par l'utilisation d'opto-coupleurs,
- soit encore transmettre un signal par liaison optique (utilisation de fibres optiques avec transmetteurs et récepteurs permettant d'obtenir une très grande isolation).
- soit enfin utiliser des transmissions hertziennes (avec un protocole de communication de type BlueTooth). L'inconvénient majeur de cette approche est lié à la présence d'une consommation excessive.

Ces diverses approches présentent des inconvénients majeurs : un coût élevé, un encombrement non négligeable et surtout une consommation importante pouvant avoir un impact dramatique sur le rendement de chaque cellule.

La solution adoptée est simple, d'un encombrement réduit et peu consommatrice. La figure 1.4 montre le principe retenu. Deux puces A et B placées à des potentiels de référence différents s'échangent une information sous la forme d'un courant. Dans l'exemple considéré, on suppose que la puce A est placée à un potentiel plus bas que celui de la puce B. Dans la figure 1.4(a), la puce A transmet une information  $i$  à la puce B. Le courant  $i$ , interne à la puce A est fourni au drain d'un transistor MOS par le biais d'un montage miroir de courant. Ce courant transite par un transistor bipolaire de type NPN référencé au potentiel  $V_{biasn}$  de la puce émettrice. Le courant est récupéré sur le collecteur du NPN par la puce B. Celle-ci transmet en interne cette information en utilisant de nouveau un miroir de courant. De la sorte, les tensions Drain-Source des transistors MOS, internes aux puces, ne voient jamais des potentiels supérieurs à 5V ( $V_{biasn}$  moins une tension base-émetteur pour l'une et une tension grille-source pour l'autre). La quasi-totalité de l'écart de tension existant entre les deux puces est supporté par le transistor NPN externe. Ce dernier est choisi afin de pouvoir tenir un tel écart de tension ainsi qu'une puissance égale à  $V_{ce} \times i$ . Le courant  $i$  peut être d'une valeur égale ou inférieure à 1mA afin de limiter la puissance que doit absorber le transistor. La figure 1.4(b) montre le cas dual d'une communication de la puce B (potentiel haut) vers la puce A (potentiel bas).

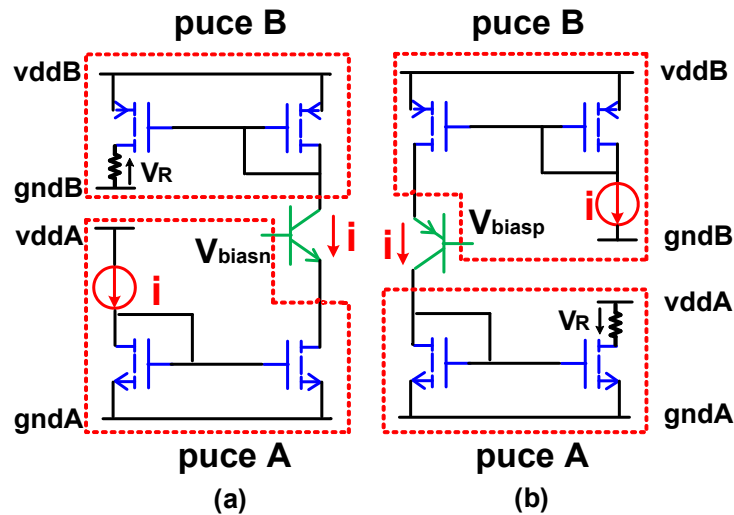


Figure 1.4 : Transmission d'un signal entre deux puces A et B référencées à des potentiels différents :  
 (a) Transmission de A vers B ; (b) Transmission de B vers A.

Si on souhaite faire transiter l'information sous forme de tension (et non de courant), une approche similaire peut être utilisée. La figure 1.5 montre le principe proposé.

A l'aide d'un montage suiveur, on impose aux bornes d'une résistance  $R$ , externe à la puce A, la valeur de la tension à transmettre. Cette résistance, référencée au potentiel bas de la puce A, est parcourue par un courant  $V/R$ , qui transite via le transistor bipolaire NPN externe jusqu'à une seconde résistance de même valeur référencée au potentiel haut de la puce B. De la sorte, l'information en tension a bien été transmise d'une puce à l'autre malgré le fait que ces puces aient des potentiels de référence différents. Comme pour le cas précédent, les transistors MOS internes aux puces ont des tensions Drain-Source limitées ( $< 5V$ ) et le transistor NPN est choisi de manière à tenir l'écart de tension présent entre les deux puces.



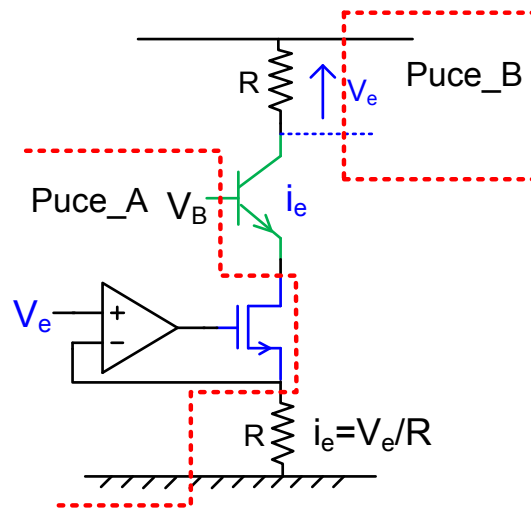


Figure 1.5 : Transmission d'un signal en tension entre deux puces A et B référencées à des potentiels différents (la puce B se trouve à un potentiel plus haut que celui de la puce A).

### 1.3.2 Communication du secondaire (sortie) vers le primaire (entrée)

Afin de pouvoir réguler correctement la grandeur de sortie du réseau (le courant dans la charge dans le cas considéré), il est nécessaire de pouvoir transmettre une information de la sortie vers l'entrée (secondaire du transformateur de la cellule vers le primaire). En effet, par comparaison du courant de sortie avec un courant de référence, un régulateur sera à même de déterminer la valeur du rapport cyclique de mode commun à appliquer aux diverses cellules de commutation du système. De par sa topologie, le micro-convertisseur impose une isolation galvanique entre l'entrée et la sortie. La grandeur de sortie ne peut donc pas être directement lue en entrée. Quatre méthodes de transmission de l'information sont alors possibles :

- utilisation d'un transformateur associé à un dispositif onduleur-redresseur (information contenue dans l'amplitude du signal),
- une isolation galvanique utilisant un montage VCO-PLL (information contenue dans la fréquence du signal),
- une transmission optique (opto-coupleur ou fibre optique)
- ou enfin, un circuit électronique tolérant aux forts écarts de tension présents entre les potentiels de référence des puces.

La figure 1.6 montre un schéma de principe utilisant un transformateur associé à un dispositif onduleur-redresseur. Ici, une isolation de type galvanique est utilisée pour transmettre un signal du secondaire (sortie) vers le primaire (entrée). La tension de sortie, qui est une valeur continue, est fournie à un onduleur afin de générer un signal alternatif. Ce signal transite dans un transformateur de faible taille dont les enroulements sont référencés de part et d'autre du micro-convertisseur. Le signal alternatif recueilli en entrée est enfin redressé afin de fournir une tension image de la grandeur mesurée en sortie.

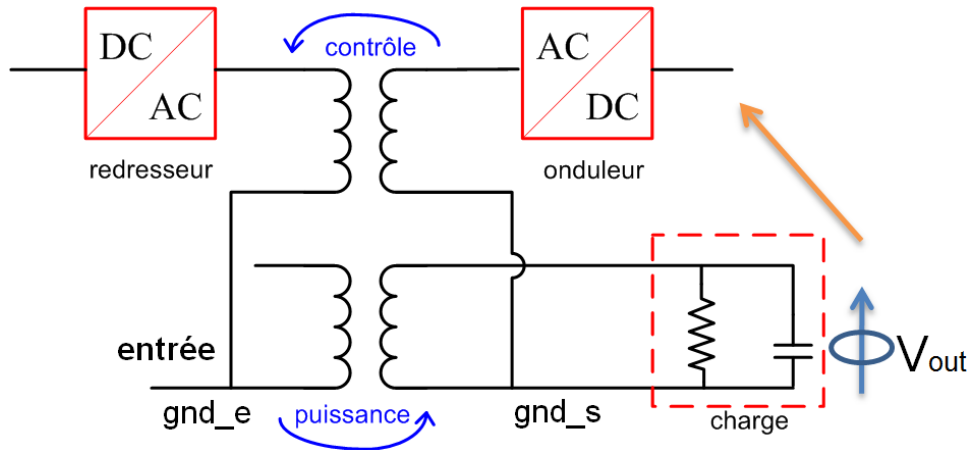


Figure 1.6 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un dispositif onduleur-redresseur.

La figure 1.7 présente une structure similaire. Ici, le principe de transmission est légèrement différent. Le dispositif précédent est remplacé par une association VCO-PLL. La grandeur de sortie est convertie par le VCO en un signal sinusoïdal. La fréquence de ce signal est l'image de la valeur à transmettre. En entrée du micro-convertisseur, une PLL recueille cette information via un petit transformateur d'isolation et le transforme en une tension continue représentative de la grandeur mesurée.

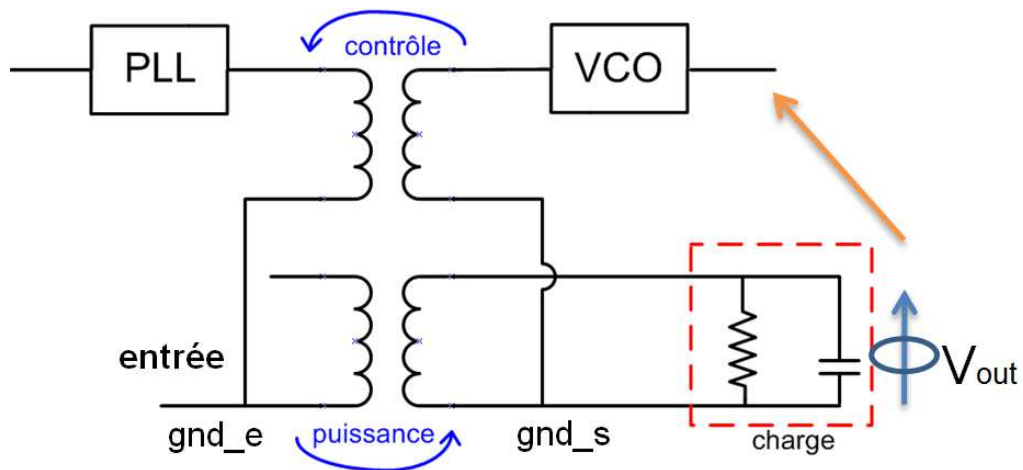


Figure 1.7 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un dispositif VCO-PLL.

Les deux méthodes évoquées précédemment mettent en jeu des électroniques complexes. Certains produits commerciaux basés sur ces principes facilitent la mise en œuvre de la liaison ([5-7]). Cependant, un problème d'encombrement et une consommation d'énergie excessive sont à prévoir.

Afin de réduire l'encombrement du dispositif de communication, on peut opter pour l'utilisation d'une électronique fortement intégrée mettant en jeu une liaison optoélectronique. La figure 1.8 illustre le principe proposé. La grandeur de sortie à transmettre au primaire du transformateur monolithique est convertie en courant et est transformée en faisceau lumineux par le biais d'une diode électroluminescente. Un phototransistor produit à l'entrée un courant proportionnel à ce faisceau et permet de fournir l'information nécessaire à la régulation du

système. L'implémentation de cette solution est relativement aisée en utilisant des composants du commerce ([8][9]), cependant sa consommation reste significative.

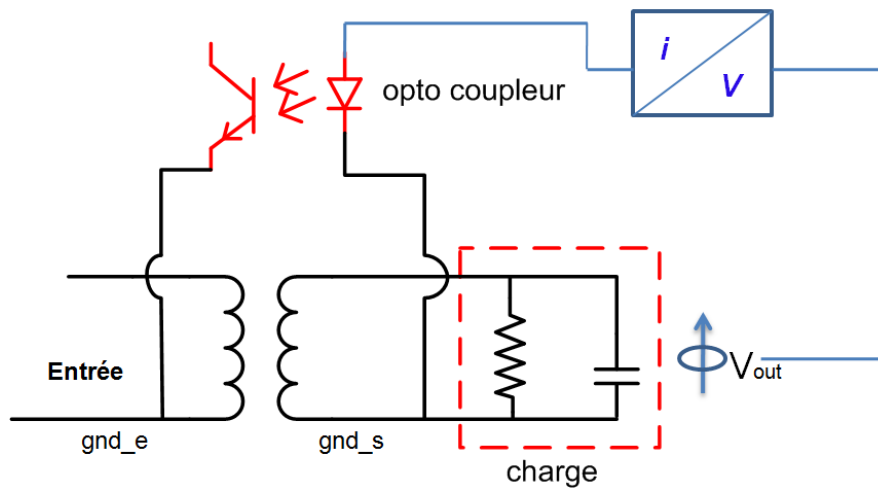


Figure 1.8 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant une liaison optique.

La dernière approche qui semble la plus performante en terme d'encombrement, de consommation et de facilité de mise en œuvre est présentée par la figure 1.9. Son principe consiste à transmettre un signal, qui se présente sous la forme d'un courant, du secondaire vers le primaire, en utilisant des miroirs de courant. La grandeur de sortie est convertie en courant ( $< 1\text{mA}$ ). Ce courant transite par un miroir de courant référencé au potentiel le plus élevé du système et est acheminé jusqu'aux entrées des divers micro-convertisseurs.

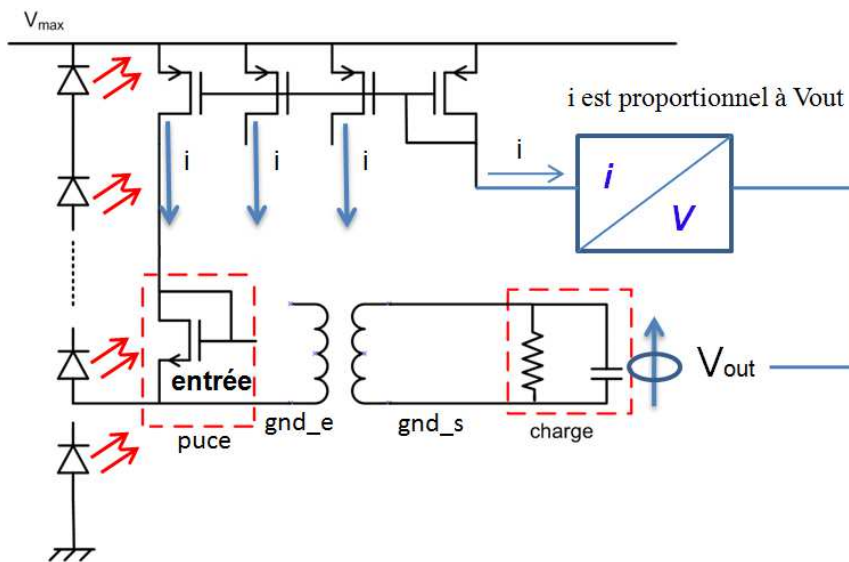


Figure 1.9 : Transmission d'un signal de la sortie du réseau vers l'entrée en utilisant un système de miroir de courant.

Dans ce cas, les transistors externes utilisés doivent pouvoir supporter la tension la plus grande de l'application. Afin de garantir une bonne recopie du courant dans chaque branche, les miroirs de courant peuvent être réalisés de manière cascodés.

### 1.3.3 Régulation du réseau de micro-convertisseurs en courant et/ou tension

Les figures 1.10 et 1.11 illustrent les deux types d'architectures possibles lorsque les entrées des cellules élémentaires sont placées en série. En fonction de la nature de la charge (de l'application), les sorties des micro-convertisseurs pourront être placées soit en série, soit en parallèle. Suivant les cas, les cellules élémentaires devront se comporter soit en sources de tension (cas série), soit en sources de courant (cas parallèle).

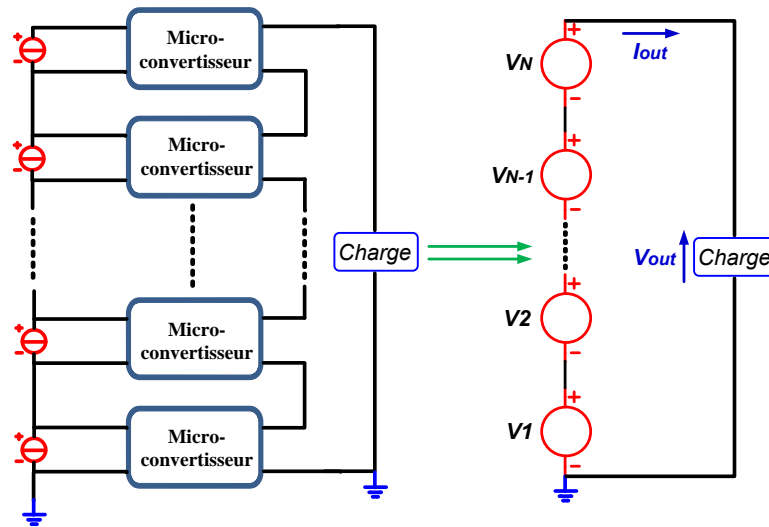


Figure 1.10 : Schéma équivalent « vu de la sortie » d'un réseau de micro-convertisseurs connectés en série sur leurs sorties.

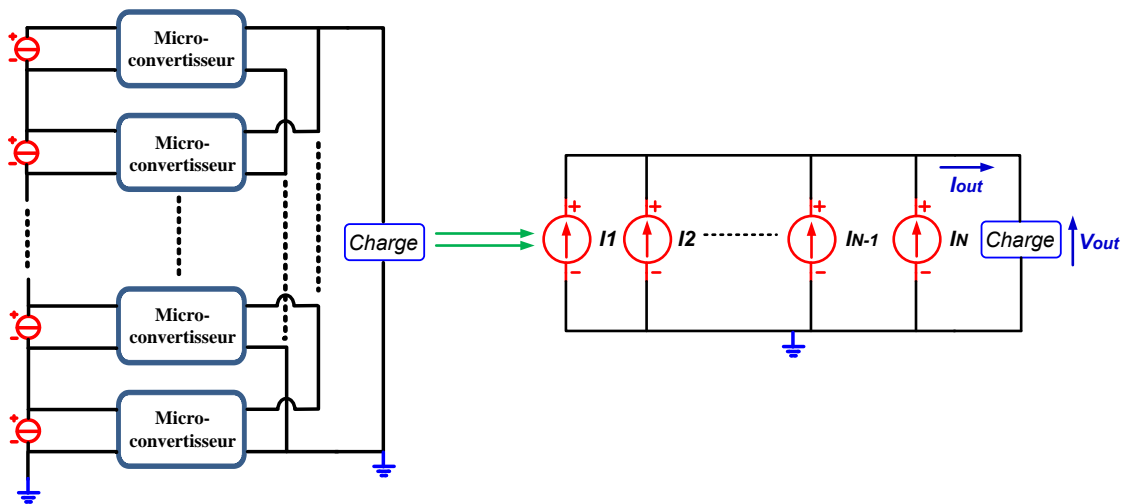


Figure 1.11 : Schéma équivalent « vu de la sortie » d'un réseau de micro-convertisseurs connectés en parallèle sur leurs sorties.

On peut vouloir réguler, dans les deux cas, soit le courant de sortie  $I_{out}$ , soit la tension de sortie  $V_{out}$ . Pour la mise en œuvre de la régulation, quatre cas sont donc à considérer :

Cas série :

- Régulation du courant : Chaque cellule élémentaire se comporte comme une source de tension contrôlée en courant. Une lecture du courant de sortie  $I_{out}$  doit être effectuée et transmise à l'ensemble des cellules (côté primaire). Chaque cellule doit aussi recevoir la valeur de sa tension de sortie. Le courant  $I_{out}$  sera alors comparé localement à une référence de courant commune. Il devient alors difficile de garantir que toutes les tensions  $V_1$  à  $V_N$  seront rigoureusement égales.

- Régulation de la tension : la tension que doit fournir chaque cellule est égale à  $V_{out}/N$ . Une consigne en tension peut donc être fournie à l'ensemble des cellules (côté primaire). Une communication secondaire/primaire est nécessaire pour transmettre l'information de la tension de sortie de la cellule au dispositif de régulation.

Cas parallèle :

- Régulation du courant : le courant que doit fournir chaque cellule est égal à  $I_{out}/N$ . Une consigne en courant peut donc être fournie à l'ensemble des cellules (côté primaire). Une version sans communication secondaire/primaire peut être envisagée car le courant de la cellule peut être lu au primaire.

- Régulation de la tension : Chaque cellule élémentaire se comporte comme une source de courant contrôlée en tension. Une lecture de la tension de sortie  $V_{out}$  doit être effectuée et transmise à l'ensemble des cellules (côté primaire). Chaque cellule a une connaissance de son courant de sortie par la mesure du courant au primaire (pas de transmission locale nécessaire). La tension  $V_{out}$  sera alors comparée localement à une référence de tension commune. Il devient alors difficile de garantir que tous les courants  $I_1$  à  $I_N$  seront rigoureusement égaux.

En conclusion, seul le cas parallèle en régulation de courant ne nécessite pas de communication du secondaire vers le primaire.

## 1.4 Etat de l'art sur le contrôle modulaire de convertisseurs parallèles

Avant d'aborder en détail les travaux qui ont été menés dans le cadre de cette thèse, on présente ici les résultats d'une première étude bibliographique qui nous ont permis d'effectuer certains choix. Le réseau de micro-convertisseurs désiré met en jeu un nombre important de cellules élémentaires. De plus, au sein de chaque cellule, une structure parallèle entrelacée apparaît afin de convertir l'énergie avec un dispositif de taille réduite, à haute fréquence de découpage apparente dans les branches et en sortie entraînant une réduction importante de la taille des éléments passifs requis (faible encombrement du transformateur monolithique par exemple).

Afin de contrôler correctement un tel dispositif, une approche modulaire de la commande semble particulièrement appropriée. En effet, en fournissant un effort important sur le développement d'un circuit de contrôle modulaire localisé au niveau d'une cellule de commutation, on peut espérer résoudre la problématique du contrôle du système complet en dupliquant « simplement » cet organe de contrôle autant de fois que nécessaire. Les tentatives de contrôle modulaire de convertisseurs parallèles sont nombreuses dans la littérature et

relativement récentes. On abordera ici deux points importants concernant ces approches de contrôle modulaire :

- l'équilibrage des courants de branche. Il s'agira de l'implémentation de la correction dite de mode différentiel.
- et la régulation « locale » de la grandeur commune de sortie (tension ou courant). Il s'agira ici de l'implémentation de la régulation de mode commun.

### 1.4.1 Equilibrage des courants des branches

Un convertisseur multiphasé nécessite la mise en œuvre d'une fonction d'équilibrage des courants de branche afin d'homogénéiser la répartition de la puissance dans la structure et, dans le cas de l'utilisation d'inductances couplées, d'éviter toute saturation des éléments magnétiques présents dans le circuit pouvant entraîner une destruction partielle du système [10-21].

Le principe général d'égalisation des courants de branche peut être représenté par la figure 1.12.

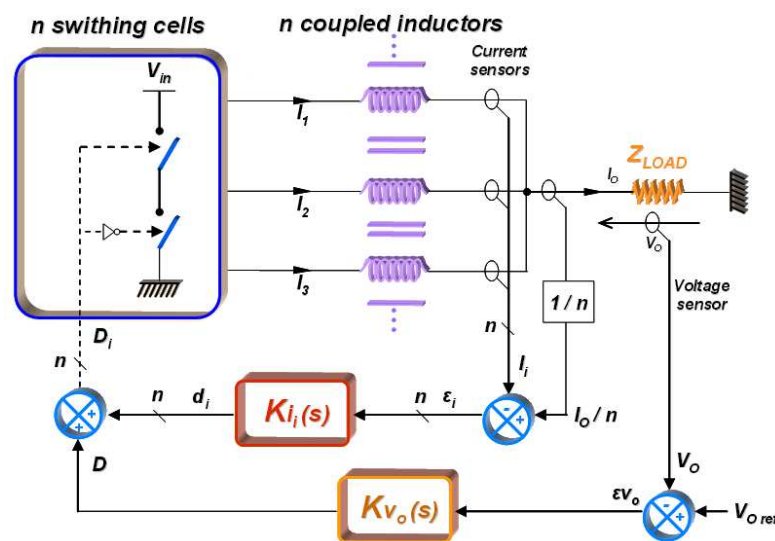


Figure 1.12 : Principe général de contrôle d'un convertisseur multi-phase ( $K_{V_o}(s)$  : régulation de mode commun,  $K_{i_i}(s)$  : équilibrage des courants de branche).

Une boucle de régulation du mode commun détermine, par comparaison de la tension de sortie  $V_o$  avec une référence  $V_{Oref}$ , la valeur moyenne du rapport-cyclique  $D$  à appliquer à l'ensemble des cellules de commutation du convertisseur. Dans cette boucle, le régulateur  $K_{V_o}(s)$  a un comportement de type intégrateur ( $V_o = V_{Oref}$  en statique) et permet d'introduire les pôles et zéros de la fonction de transfert assurant la stabilité du système. Afin d'égaliser les courants de branche,  $n$  nouvelles boucles de correction sont ajoutées (avec  $n$  : nombre de branches du convertisseur). Chaque boucle met en œuvre : un capteur de courant dans la branche considérée, un soustracteur, un correcteur  $K_{i_i}(s)$  et un additionneur. L'opération effectuée est la suivante :

- chaque courant est comparé à la valeur moyenne de tous les courants de branche,
- cette différence est envoyée à un correcteur local différentiel  $K_{i_i}(s)$ ,

- ce dernier, pour annuler l'erreur mesurée, fournit une valeur de correction de rapport-cyclique locale  $d_i$ ,
- enfin, cette correction est ajoutée au rapport-cyclique moyen  $D$  (mode-commun) pour modifier la valeur du courant de la branche considérée sans altérer la valeur de la tension de sortie.

A partir sur cette méthode « classique », un grand nombre de variantes ont été proposées dans la littérature. On se propose ici de n'énumérer que celles qui ont retenus notre attention de part leur originalité, leur simplicité de mise en œuvre et l'intérêt évident qu'elles présentent pour notre étude.

La première approche d'équilibrage proposée dans l'article [22] est illustrée par la figure 1.13. Ici, un seul capteur, placé entre la masse du circuit et le point commun des interrupteurs Low-Side, permet de recueillir un signal contenant l'ensemble des valeurs des courants circulant dans les branches du montage. Comme le montre l'analyse des formes d'onde des signaux (figure 1.14), le signal capté  $I_{LS}$  présente, à certains temps particuliers  $t_{opt,i}$ , la valeur du courant  $I_{Li}$  circulant dans la branche  $i$ . Ainsi, par l'utilisation d'échantillonneur-bloqueurs synchronisés avec la commande des interrupteurs, on est à même de stocker l'ensemble des valeurs des courants parcourant le convertisseur. La deuxième étape consiste à comparer chacune de ces valeurs avec la valeur moyenne de tous les courants pour déterminer la correction locale à appliquer à chaque cellule de commutation.

Cette méthode offre l'avantage de n'insérer dans le convertisseur qu'un seul capteur. Cependant, afin de recueillir un signal « lisible » et exploitable, les capacités de découplage des cellules de commutation doivent être déportées. En effet, ces capacités ont pour objectif de filtrer la composante alternative du courant d'entrée. Or l'information nécessaire ici est contenue dans cette composante. Ceci peut entraîner un fonctionnement partiellement dégradé du convertisseur [23].

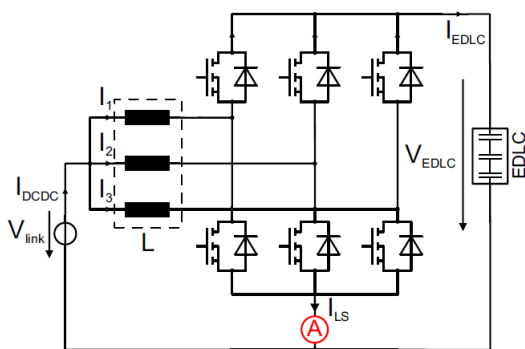


Figure 1.13 : Topologie d'un convertisseur utilisant un seul capteur pour mesurer la valeur des courants des branches.

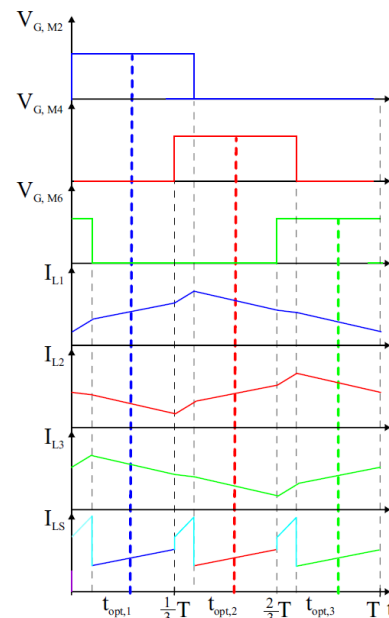


Figure 1.14 : Formes d'onde des trois courants de branche et mise en évidence des temps d'échantillonnage optimaux (cas  $D < 1/3$ ).



Dans l'article [24] une approche similaire, n'utilisant qu'un seul capteur dans le système, est proposée. La figure 1.15 montre le principe de la mesure mise en œuvre. Les interrupteurs High-Side sont systématiquement divisés en deux interrupteurs (ici les couples  $Q_{11}, Q_{13}$  et  $Q_{21}, Q_{23}$ ) : l'un directement connecté à la tension à convertir, l'autre aiguillant le courant de la cellule de commutation vers une résistance de mesure placée en série avec lui. En observant l'ordre des commandes, on peut remarquer que le courant circulant dans une branche est aiguillé « de temps en temps » vers cette résistance de mesure. Ainsi, l'utilisateur peut recueillir la valeur du courant désiré aux bornes de cette résistance au moment où il le souhaite en isolant ce courant des autres présents dans le système. De plus, en effectuant une mesure peu fréquente (dans une période parmi  $N$ ) à l'aide d'un échantillonneur-bloqueur, les pertes engendrées par la mise en série de cette résistances sont minimisées. La correction se fait de manière similaire au cas précédent. Les capacités de découplage peuvent être placées à proximité des interrupteurs  $Q_{11}$  et  $Q_{21}$ , et un mode dégradé n'intervient que lors des mesures des courants.

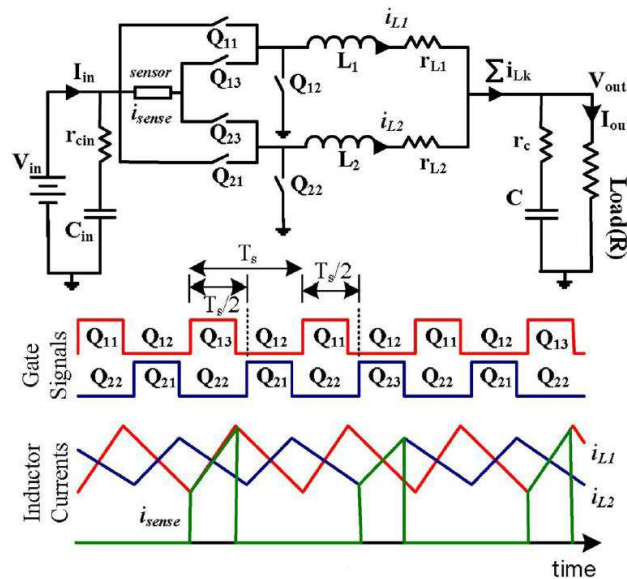


Figure 1.15 : Mesure des courants de branche par l'utilisation d'un seul capteur et la duplication des interrupteurs High-Side.

La solution présentée dans l'article [25] propose une méthode d'équilibrage n'utilisant pas de capteur de courant mais seulement un seul capteur de tension. Cette approche est plus facile à mettre en œuvre et moins intrusive. Son principe est illustré par les figures 1.16 et 1.17. En partant du principe que la (ou les) capacité(s) du filtre d'entrée présente(nt) une ESR de forte valeur (Equivalent Serial Resistor), la forme d'onde de la tension d'entrée présente une ondulation image de celle du courant d'entrée. Or, l'information relative au déséquilibre des courants circulants dans les branches du convertisseur est présentée à des instants donnés sur la composante alternative du courant d'entrée. En échantillonnant la composante AC de la tension d'entrée  $V_{in,r}$  à des instants particuliers, on est capable d'obtenir la valeur des différences de courants présentes dans le système. Un dispositif de correction d'erreur est alors mis en place afin de calculer les corrections de rapport-cyclique locales à appliquer.



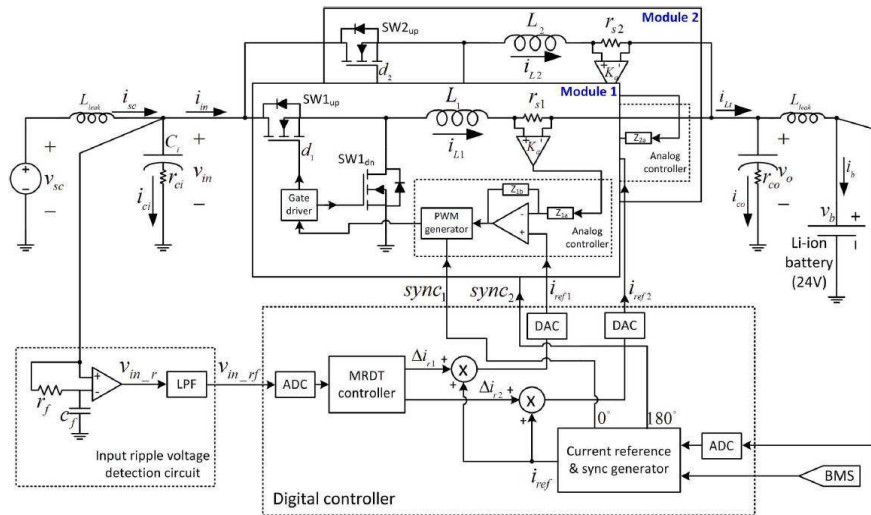


Figure 1.16 : Equilibrage des courants de branche par observation de la composante alternative de la tension d'entrée.

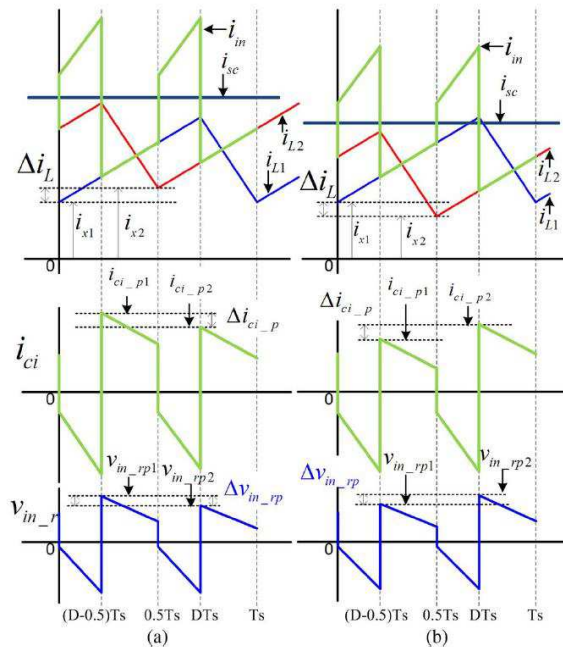


Figure 1.17 : Formes d'onde des courants de branche, de leur différence et de la composante alternative de la tension d'entrée : (a)  $i_{L2} > i_{L1}$ ; (b)  $i_{L2} < i_{L1}$  ( $i_{in}$  : courant d'entrée,  $i_{L1}$  et  $i_{L2}$  : courants des branches,  $i_{ci}$  : courant de la capacité d'entrée,  $V_{in\_r}$  : composante alternative de la tension d'entrée)

On peut noter que cette méthode séduisante requiert la présence d'une résistance ESR de forte valeur permettant d'observer un signal d'amplitude suffisante. Ceci n'est, dans la plupart des cas, pas souhaitable et provoque, outre des pertes supplémentaires, une baisse des performances du filtre d'entrée.

Dans l'article [26], une méthode d'équilibrage des courants de branche est proposée mettant en œuvre un capteur dans chaque branche du convertisseur. Ces capteurs, peu intrusifs, sont de simples filtres RC placés au niveau de la cellule de commutation (point commun du High-Side et du Low-Side). La figure 1.18 montre le schéma de principe. Chaque branche du convertisseur comporte une inductance présentant une résistance série intrinsèque appelée

DCR (Direct Current Resistance) (ici  $R_{13}$  et  $R_{23}$ ). En observant la valeur moyenne de la tension du nœud commutant de chaque cellule de commutation, on obtient l'information :  $V_{ci} = I_{oi} \cdot R_{i3} + V_o$  (avec  $V_{ci}$  : tension observée,  $I_{oi}$  : courant de la branche,  $R_{i3}$  : DCR de l'inductance de branche et  $V_o$  : tension de sortie commune aux branches). Ces valeurs sont recueillies sur les capacités  $C$  du schéma. On récupère de la sorte des signaux contenant l'information des courants circulant dans chaque branche du convertisseur. On va pouvoir, par la suite, utiliser ces signaux pour égaliser les courants en corrigeant localement les rapport-cycliques des branches (signaux  $D_1$  et  $D_2$ ).

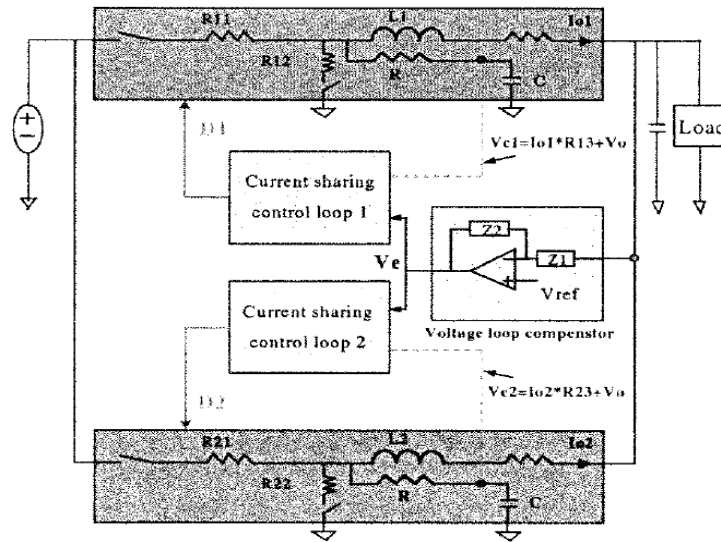


Figure 1.18 : Mesure peu intrusive du courant de branche par l'utilisation d'un filtre RC.

Pour appliquer avec succès cette méthode, deux conditions sont nécessaires : les DCR des inductances, ainsi que les résistances à l'état passant des interrupteurs, doivent être de valeurs identiques et la valeur du produit  $I_{oi} \times DCR$  doit être suffisamment élevée pour mesurer un signal d'amplitude significative. Si la première condition a un impact direct sur la qualité de l'équilibrage obtenu, le deuxième impacte directement le rendement du convertisseur (pertes cuivres importantes dans les inductances).

Enfin, dans le cas de l'utilisation d'inductances couplées dans les branches du convertisseur, il est possible d'obtenir un équilibrage « naturel » des courants sans avoir recours à un dispositif de correction d'erreur. La méthode proposée dans l'article [27] est illustrée par la figure 1.19. Cette figure est un schéma simplifié d'un convertisseur multi-branches à quatre branches (une seule cellule de commutation est représentée). Les branches de ce convertisseur sont couplées entre elles par l'utilisation d'un coupleur monolithique à quatre jambes ( $L_1$  à  $L_4$ ). Elles sont également liées entre elles par l'utilisation de petits transformateurs  $T_a$ ,  $T_b$  et  $T_c$  (appelé coupleurs dans ce cas). L'étude théorique du montage montre que si un écart de courant apparaît entre les branches, une composante différentielle apparaît au niveau des coupleurs magnétiques. Ceux-ci sont dimensionnés afin de fournir une forte réjection de mode différentiel à la fréquence que présentent les composantes alternatives des courants (chapitre 2 du [28]). En choisissant correctement la nature des noyaux magnétiques utilisés (faible réluctance), il est démontré que le dispositif retourne naturellement à l'équilibre. Cette dernière solution est séduisante mais elle nécessite un nombre rapidement important de coupleurs magnétiques pour des convertisseurs utilisant beaucoup de branches parallèles.

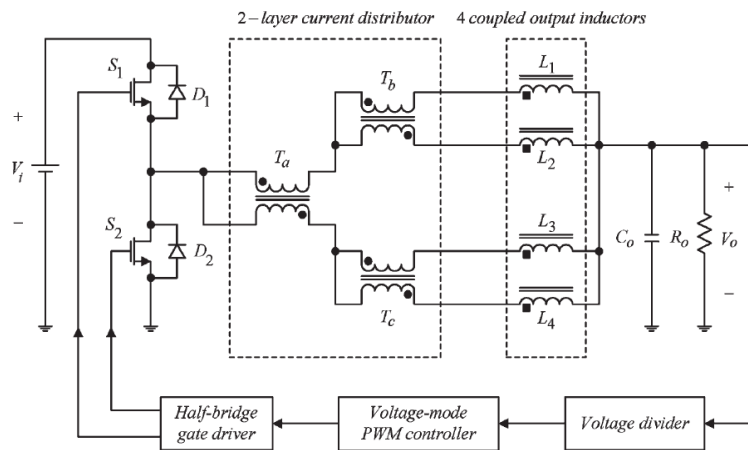


Figure 1.19 : Equilibrage naturel des courants par l'utilisation de coupleurs magnétiques présentant une forte réjection des modes différentiels.

### 1.4.2 Contrôle modulaire d'un convertisseur parallèle

Le contrôle modulaire d'un convertisseur multiphasé consiste à créer un circuit de contrôle local (associé à chaque cellule de commutation), communiquant avec le reste du dispositif et copié « à l'identique » autant de fois que nécessaire. De la sorte, en fonction de l'application cible, on peut dupliquer aisément ces éléments et répondre de manière simplifiée aux spécificités du convertisseur. Grâce à sa modularité, le contrôle modulaire fait apparaître une propriété dite de reconfigurabilité. C'est-à-dire que, selon les besoins, on peut enlever ou ajouter une branche dans le dispositif parallèle sans complexifier la commande. Cette propriété peut être particulièrement utile : dans un contexte de production de masse de branches parallèles copiées à l'identique, ou peut servir à assurer une continuité de mission lors de la défaillance d'une ou de plusieurs branches. Pour obtenir un circuit de contrôle modulaire complet, il est nécessaire de franchir trois étapes :

- Concevoir une fonction d'équilibrage des courants opérant de façon modulaire [29-31],
- Concevoir un générateur de porteuse local permettant d'entrelacer les commandes [32-39],
- Et enfin « décentraliser » le dispositif de régulation de mode-commun et le placer au niveau de la cellule de commutation.

Un contrôle modulaire complet n'est pas simple à concevoir. Ce point représente sûrement l'intérêt principal de la thèse. Nous étudierons les trois points énumérés plus haut en détail dans les chapitres suivants. D'abord, nous allons présenter certaines techniques récentes permettant d'obtenir un équilibrage des courants de façon modulaire.

Une première idée, détaillée dans l'article [40], consiste à obtenir une correction locale de rapport-cyclique par la comparaison d'un courant de branche avec son proche voisin. La figure 1.20 donne le schéma de principe de la méthode de régulation proposée. Sur ce schéma, les composants  $M_i$  représentent les interrupteurs des cellules de commutation à piloter,  $V_{REG}$  : la tension de sortie,  $DREF$  : la consigne en tension,  $V_{er}$  : l'erreur de tension à annuler,  $IREG_i$  : le courant mesuré dans la branche  $i$ ,  $V_c$  : l'image en tension du rapport-cyclique de mode-

commun,  $V_{cii}$  : les corrections locales de rapport-cyclique (mode différentiel) et  $V_{ci}$  : l'image en tension du rapport-cyclique appliqué à la  $i^{ème}$  cellule de commutation.

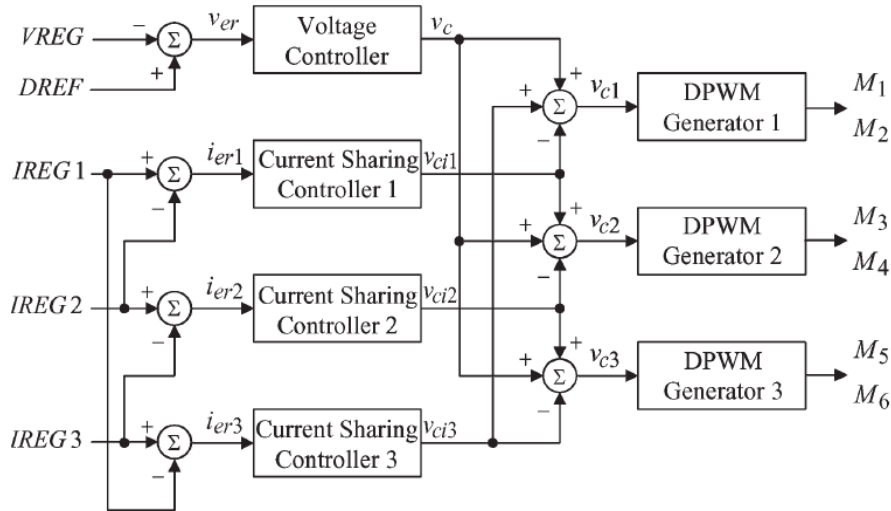


Figure 1.20 : Schéma de principe d'un circuit d'équilibrage de courant modulaire par communications locales inter-modules « phase-link connexion ».

Dans son principe, au niveau du module, l'erreur de courant est annulée par comparaison du courant circulant dans la branche considérée avec la moyenne des courants des branches voisines. En effet, si on calcule les expressions des tensions  $V_{ci}$  (image en tension du rapport-cyclique corrigé), on obtient :

$$\begin{aligned} V_{c1} &= V_c + V_{ci3} - V_{ci1} = V_c + k_P \times (IREG2 + IREG3 - 2 \times IREG1) \\ V_{c2} &= V_c + V_{ci1} - V_{ci2} = V_c + k_P \times (IREG1 + IREG3 - 2 \times IREG2) \\ V_{c3} &= V_c + V_{ci2} - V_{ci3} = V_c + k_P \times (IREG2 + IREG1 - 2 \times IREG3) \end{aligned}$$

où  $k_P$  représente le gain dynamique de la fonction « Current Sharing Controller ».

En utilisant un montage de type intégrateur pour les correcteurs de courant, le gain  $k_P$  est supposé infini en régime statique. Ceci correspondant bien à la volonté d'annuler la distance existant entre la valeur d'un courant et celle de la moyenne de ses voisins. On démontre assez facilement que ce principe est convergent et procure l'équilibrage attendu [41]. L'avantage principal de cette approche modulaire réside dans le fait que ce concept peut être appliqué à  $N$  phases avec  $N$  quelconque supérieur ou égal à 3.

L'article suivant [42] traite de l'obtention d'un entrelacement correct des porteuses du système en adoptant un principe modulaire. La figure 1.21 donne le schéma de la solution proposée. Les porteuses du système sont des signaux en dent de scie (bloc « Saw Tooth ») dont la phase est définie par un signal  $InCLK$ . Dès que ce signal présente un front montant, la dent de scie commence un cycle périodique infini. Afin d'obtenir un décalage entre les porteuses des modules, le module suivant reçoit du précédent ce même signal de démarrage mais décalé d'un délai ajustable depuis l'extérieur par une tension  $V_{ph}$ . Le bloc générant le délai procède de la façon suivante : la dent de scie démarre à un temps donné avec une pente ascendante et dès que celle-ci atteint le seuil  $V_{ph}$ , un signal de démarrage  $OutCLK$  est envoyé au module suivant (voir figure 1.22).

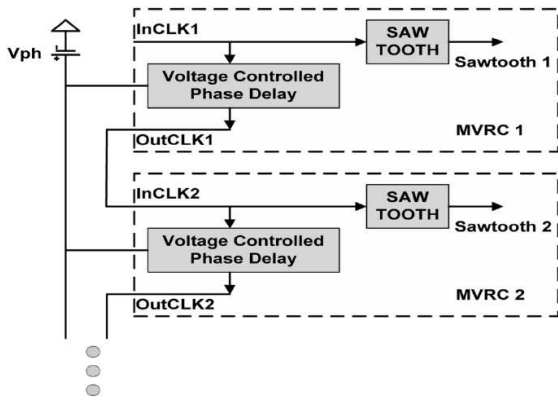


Figure 1.21 : Principe de génération de porteuses entrelacées de façon modulaire.

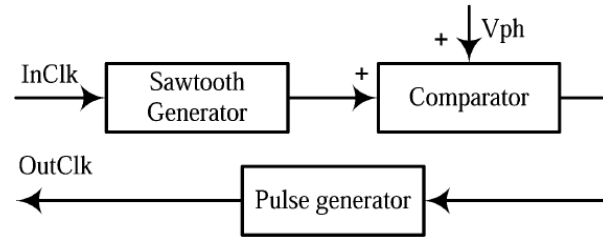


Figure 1.22 : Principe de génération des déphasages inter-porteuses.

En ajustant correctement la valeur du seuil externe, on est capable de régler un déphasage inter-porteuses fixe correspondant à celui requis pour un convertisseur comportant  $N$  branches parallèles. L'inconvénient majeur de cette solution réside dans le fait que toute erreur sur la valeur de la tension  $V_{ph}$  produit un entrelacement erroné des signaux engendrant sur le signal de sortie la présence de sous harmoniques indésirables.

La figure 1.23 présente un principe différent d'un auto-alignement de signaux MLI pour un cas de trois phases. Dans cette approche [43], une horloge globale est imposée au dispositif (signal 1). Chaque module reçoit ce signal d'horloge et génère un signal logique (signal 2). Enfin, en fonction de la valeur du rapport-cyclique, un second signal local est généré (exemple : signal 3 pour la première phase). Le signal 4, représentant le signal MLI de la première phase est généré grâce à la présence du premier front montant du signal 2 et celle du front montant du signal 3. En procédant de façon identique, la seconde et troisième phase du dispositif génèrent leurs commandes MLI (signaux 5 et 6). Comme le montre la figure, ces signaux sont correctement déphasés de  $2\pi/3$ .

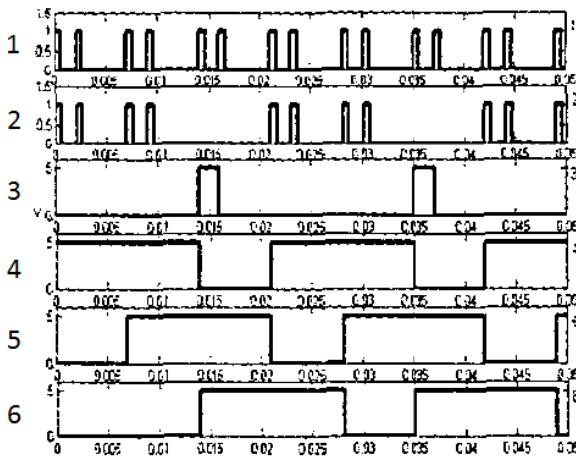


Figure 1.23 : Principe du générateur modulaire de signaux PWM entrelacés.

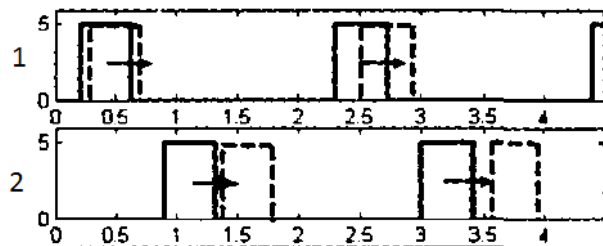


Figure 1.24 : Reconfiguration du système de 3 phases à 2 phases.

Le système est conçu de sorte à pouvoir changer le nombre de phases du convertisseur. Il règle automatiquement les déphasages de ses signaux MLI lors d'un changement du nombre de modules présents dans le système. La figure 1.24 illustre une reconfiguration de 3 phases vers 2 phases. Dans cet exemple, les signaux 1 et 2 sont les horloges locales des phases restantes. Comme on peut le constater, au bout de quelques périodes de découpage, les

signaux se décalent correctement pour obtenir un entrelacement correct (montré par les courbes pointillées).

La dernière étape consiste à placer le calcul du rapport-cyclique de mode-commun au niveau du circuit de contrôle modulaire. L'article [44] propose une solution originale pour y parvenir. La figure 1.25 donne le détail des éléments de contrôle présents au niveau de chaque cellule de commutation. Tout d'abord, pour obtenir un équilibrage des courants, un capteur fournit à un correcteur (bloc « Current averaging and comparators ») la valeur du courant mesuré dans la branche considérée. Ensuite, ce bloc réalise deux opérations : il fournit cette valeur sur un bus commun à tous les modules permettant de déterminer la valeur moyenne des courants présents (principe du « share wire »), et ensuite il compare cette valeur moyenne à celle du courant de sa branche pour en déduire la valeur de l'erreur à corriger. Enfin il fournit en sortie un signal  $d_{ii}$  correspondant à la correction locale de rapport-cyclique à appliquer.

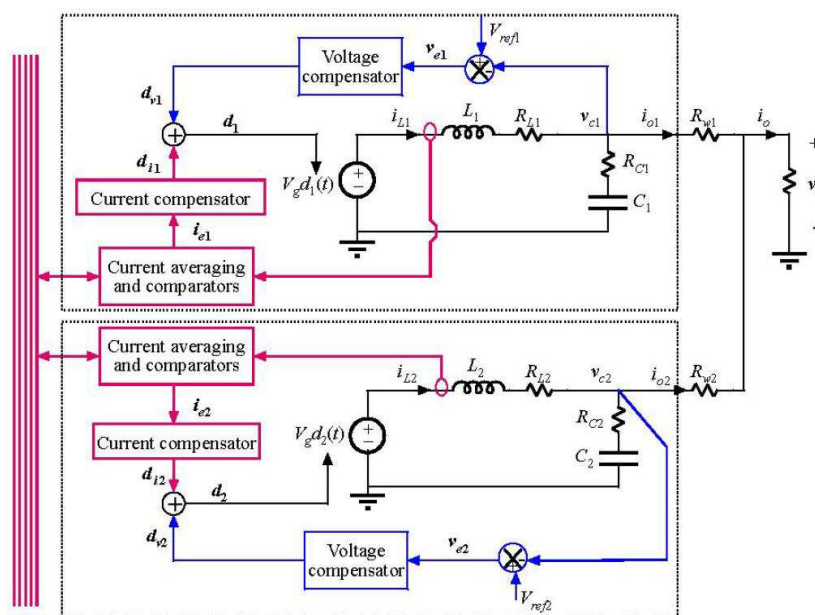


Figure 1.25 : Equilibrage des courants et calcul du rapport-cyclique de mode commun obtenus de façon modulaire.

La boucle de mode-commun compare, quant à elle, la tension de sortie de la branche avec une référence externe  $V_{refi}$  pour déterminer l'erreur de tension à corriger. Par l'utilisation d'un régulateur de tension (bloc « Voltage compensator »), elle détermine la valeur du rapport-cyclique de mode commun  $d_{vi}$ . La somme de ces deux calculs fournit la valeur du rapport-cyclique corrigé à appliquer à la cellule de commutation (signal  $d_i$ ).

Si cette solution paraît séduisante, elle présente en revanche deux inconvénients majeurs. Le premier vient du fait que chaque branche se comporte dès lors comme une source de tension idéale en sortie. La mise en parallèle de tels éléments étant interdit, l'ajout de résistances  $R_{wi}$  en série avec les inductances est obligatoire. Ce point entraîne nécessairement une baisse significative du rendement du convertisseur. Le deuxième inconvénient vient du fait que les deux boucles présentes (courant et tension) doivent fonctionner avec des bandes passantes très élevées et proches l'une de l'autre. Ce dernier point est nécessaire afin de minimiser les valeurs des résistances  $R_{wi}$ . De grandes difficultés de réglage s'en suivent pour garantir la



stabilité de l'ensemble dans tous les cas de fonctionnement du convertisseur (transitoires de charge, de tension d'entrée).

Les travaux présentés dans ce mémoire auront pour objet, entre autres, de trouver des solutions plus robustes en termes de stabilité et plus intéressante en termes de rendement pour la mise en œuvre de la régulation de mode-commun au niveau du circuit de contrôle modulaire.

## 1.5 Conclusion

Ce chapitre a permis de présenter le cadre scientifique dans lequel les travaux de cette thèse se sont déroulés. Le projet ANR MiCoNet a en effet pour but de réaliser et de mettre en œuvre de façon parallélisé et sérialisé des micro-convertisseurs de faible puissance afin de remplir des missions de conversion d'énergie pour des applications diverses sur une large gamme de niveaux de puissance.

La thèse focalise ses efforts sur l'étude et la conception d'un organe de contrôle permettant de gérer correctement la commande d'un tel réseau de micro-convertisseur.

Après avoir présenté la structure interne du micro-convertisseur de faible puissance (la cellule élémentaire), un premier constat est fait sur les moyens nécessaires à mettre en œuvre pour pouvoir effectuer le contrôle du réseau : méthodes de communication entre deux micro-convertisseurs voisins, communications nécessaire du secondaire vers le primaire des transformateurs internes d'isolement, et méthodes de régulation du réseau lui-même en courant et/ou tension.

Dans un deuxième temps, afin d'orienter correctement les travaux de la thèse, les conclusions d'une étude bibliographique sont exposés et commentés. Dû au nombre considérable d'éléments à contrôler, cette étude bibliographique prospective traite principalement des problématiques liées à la mise en œuvre d'une commande dite « modulaire » des cellules de commutation présentes dans la structure. Le contrôle modulaire aborde trois sujets principaux : l'équilibrage des courants des branches du convertisseur, la génération de signaux entrelacés et enfin la mise en place à un niveau « local » de la régulation de mode-commun.

En s'inspirant de certaines solutions évoquées dans la littérature, les travaux abordés dans ce document tenteront de répondre aux derniers points bloquants permettant d'obtenir un contrôle entièrement décentralisé d'un convertisseur multiphasé entrelacé.

# Chapitre 2 Etude et conception d'un générateur modulaire de porteuses entrelacées

<b><u>2.1</u></b>	<b><u>Introduction</u></b> .....	<b>26</b>
<b><u>2.2</u></b>	<b><u>Générateur modulaire analogique de porteuses entrelacées</u></b> .....	<b>26</b>
<u>2.2.1</u>	<u>Principe d'auto-alignement des porteuses</u> .....	26
<u>2.2.2</u>	<u>Mise en œuvre du générateur de porteuse</u> .....	31
<u>2.2.3</u>	<u>Résultats expérimentaux</u> .....	34
<b><u>2.3</u></b>	<b><u>Générateurs simplifiés (numérique) de porteuses auto-alignées</u></b> .....	<b>36</b>
<u>2.3.1</u>	<u>Conception simplifiée (numérique) du générateur porteuse</u> .....	37
<u>2.3.2</u>	<u>Simulations de validation</u> .....	42
<u>2.3.3</u>	<u>Résultats expérimentaux</u> .....	44
<b><u>2.4</u></b>	<b><u>Conclusion</u></b> .....	<b>46</b>



## 2.1 Introduction

L'objectif principal de cette étude est de fournir une méthode permettant de contrôler un dispositif parallèle de façon décentralisé. En effet, on souhaite pouvoir contrôler le micro-convertisseur sans avoir recours à un organe central de commande nécessitant un nombre important de liaisons avec les cellules de commutations (signaux MLI, Capteur de courant).

Pour ce faire, trois fonctions, réalisées le plus souvent au niveau du circuit central, sont à « penser » de façon modulaire. Ces trois fonctions sont :

- la génération de porteuses triangulaires entrelacées,
- un dispositif d'équilibrage des courants circulant dans les inductances du convertisseur,
- la régulation principale (de tension et/ou de courant) déterminant le rapport cyclique de mode commun.

De plus, dans ces applications mettant en œuvre un grand nombre de sous ensembles, la notion de reconfiguration doit également être prise en compte pour pallier des éventuels défauts.

Dans ce chapitre, nous présentons le principe utilisé pour générer, de façon modulaire, les porteuses entrelacées nécessaires à la commande à MLI des micro-convertisseurs. Pour démarrer, nous nous sommes appuyés sur des travaux antérieurs menés au laboratoire, mettant en œuvre une solution entièrement analogique que nous avons adaptée en vue de son implémentation dans le démonstrateur final. Dans un second temps, nous nous sommes intéressés à une approche plus numérique de notre méthode, de façon à améliorer son immunité en termes de CEM, compte-tenu de la proximité des circuits de commande et des circuits de puissance. Cette deuxième approche permet également de simplifier son implémentation dans le démonstrateur final, par la seule utilisation de circuits logiques.

Les aspects relatifs à l'équilibrage des courants et du calcul de la régulation de mode commun seront abordés dans le chapitre suivant.

## 2.2 Générateur modulaire analogique de porteuses entrelacées

### 2.2.1 Principe d'auto-alignement des porteuses

Des travaux antérieurs, menés au laboratoire [45], ont fourni une première solution pour générer des porteuses triangulaires permettant de régler « automatiquement » leurs phases afin d'obtenir un système parfaitement entrelacé. Ces générateurs de porteuses communiquent entre eux dans une configuration chaînée (communications de proximité avec leurs voisins directs) pour déterminer les corrections de phases appropriées.

L'objectif n'est pas ici d'expliquer en détail le principe de fonctionnement de ces générateurs, détails fournis dans [23], mais plutôt de rappeler la méthode utilisée afin de présenter les quelques fonctions qui ont été implémentées dans le circuit intégré démonstrateur final (voir Chapitre 4).

Dans un premier temps, afin de simplifier l'analyse des régulations à implémenter, on décomposera le rapport cyclique en deux composantes distinctes :

- Celle de mode commun qui agit sur les valeurs moyennes des grandeurs de sortie : tension aux bornes de la charge et courant total fourni par le dispositif. Elle sera notée  $D$ .
- Celle de mode différentiel qui représente une correction locale apportée au premier pour annuler les différences de courants existant dans les inductances. Elle sera notée  $d_i$  ; avec  $i$  l'indice du bras considéré.

On obtient ainsi un rapport cyclique pour le  $i^{\text{ème}}$  bras du convertisseur noté  $D_i = D + d_i$ .

La figure 2.1(a) montre un dispositif de cinq porteuses parfaitement entrelacées présentant un déphasage égal à  $2\pi/N$  ( $N$  étant le nombre de bras du convertisseur). L'observation de cette figure nous montre que chaque signal triangulaire  $V_{tri}$  (porteuse du bras  $i$ ) est rigoureusement centré par rapport à ses voisins  $V_{triP}$  et  $V_{triN}$ . En effectuant la différence des porteuses voisines, on obtient un signal  $V_{diff}(t)$  dont chaque passage à zéro correspond à un changement de pente du signal  $V_{tri}$ .

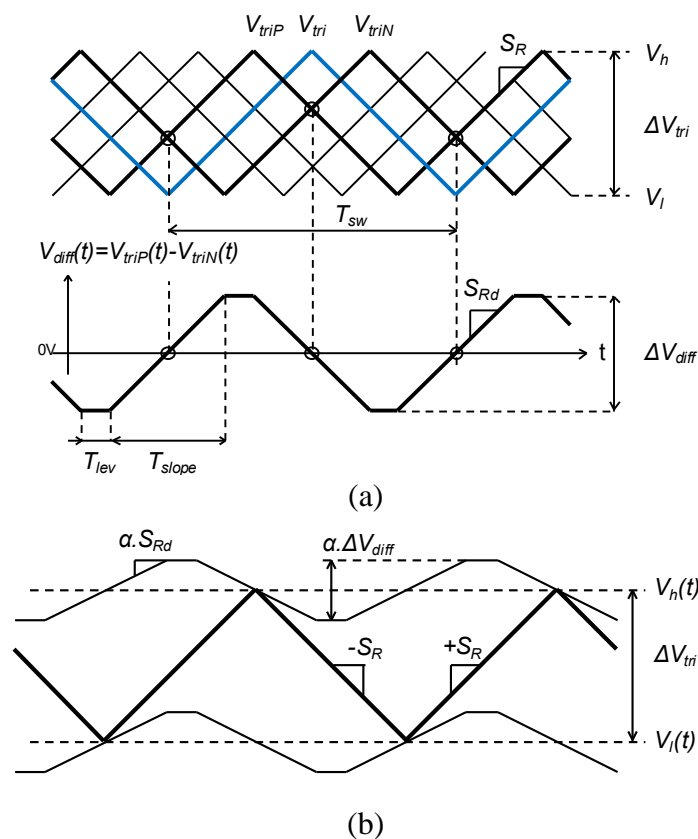


Figure 2.1 : a) Dispositif à cinq porteuses correctement entrelacées. Le signal  $V_{diff}(t)$  représente la différence entre la porteuse précédente  $V_{triP}$  et la porteuse suivante  $V_{triN}$ ; b) Principe : Le signal  $V_{diff}(t)$  est superposé aux seuils  $V_h$  et  $V_l$  et guide ainsi en phase la génération de  $V_{tri}$ .

Cette remarque nous guide vers la solution recherchée. Supposons que l'on génère le signal triangulaire  $V_{tri}$  à l'aide du circuit de la figure 2.2 qui met en jeu deux niveaux de tension haut et bas (seuils du Trigger), respectivement  $V_h$  et  $V_l$ .

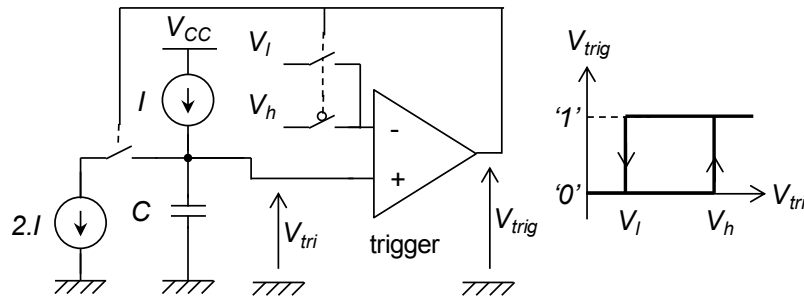


Figure 2.2 : Circuit de génération de porteuse triangulaire mettant en œuvre les seuils statiques  $V_h$  et  $V_l$ .

Il suffit alors de superposer à ces deux seuils le signal  $V_{diff}(t)$  pour obtenir un dispositif qui va guider en phase la génération de la porteuse. On obtient, après convergence, le régime établi montré par la figure 2.1(b). Les seuils du Trigger sont maintenant variables dans le temps et répondent aux équations suivantes :

$$\begin{cases} V_h(t) = V_h + \alpha \cdot (V_{triP}(t) - V_{triN}(t)) \\ V_l(t) = V_l + \alpha \cdot (V_{triP}(t) - V_{triN}(t)) \end{cases} \quad (2.1)$$

avec  $\alpha$  : facteur d'atténuation permettant de diminuer l'amplitude crête-à-crête de la composante alternative des seuils.

Le terme d'atténuation  $\alpha$  doit être dimensionné de telle sorte que l'amplitude des signaux  $V_h(t)$  et  $V_l(t)$  soit ni trop faible (problèmes possibles de convergence, manque d'immunité au bruit), ni trop forte (pente des signaux plus élevée que celle du triangle généré). Afin de pouvoir mettre en place certains critères pour la détermination de la valeur de  $\alpha$ , on détermine l'interdépendance qui existe entre les grandeurs  $\Delta V_{tri}$  et  $\Delta V_{diff}$ . Celles-ci représentent respectivement l'amplitude crête-à-crête du signal  $V_{tri}$  et celle du signal  $V_{diff}$ . Par analyse des formes d'onde, on démontre que :

$$\Delta V_{diff}|_{N>3} = \frac{8 \cdot \Delta V_{tri}}{N}, \quad \Delta V_{diff}|_{N=3} = \frac{4 \cdot \Delta V_{tri}}{3} \quad (2.2)$$

Cette dépendance est fonction du nombre de bras  $N$ . On obtient ainsi le tableau suivant :

$N$	3	4	5	6	7	8	9	10	$\infty$
$\Delta V_{diff}(t) / \Delta V_{tri}$	4/3	2	8/5	4/3	8/7	1	8/9	4/5	0

Tableau 2.1 : Détermination du rapport des amplitudes crête-à-crête des signaux  $V_{tri}$  et  $V_{diff}$  en fonction de nombre de phases  $N$ .

Si on souhaite maintenant que l'amplitude crête-à-crête des signaux  $V_h(t)$  et  $V_l(t)$  soit égale à la moitié de celle du signal triangulaire  $V_{tri}$ , on peut déterminer une valeur majorante pour le coefficient d'atténuation  $\alpha$  que l'on note :

$$\alpha_{50\%} = \frac{1}{2} \cdot \frac{\Delta V_{tri}}{\Delta V_{diff}} \quad (2.3)$$

De même, si l'on souhaite que l'amplitude crête-à-crête des signaux  $V_h(t)$  et  $V_l(t)$  soit au moins égale à un dixième de l'amplitude  $\Delta V_{tri}$ , on obtient une valeur minorante pour ce coefficient :

$$\alpha_{10\%} = \frac{1}{10} \cdot \frac{\Delta V_{tri}}{\Delta V_{diff}} \quad (2.4)$$

Enfin, on peut proposer un dernier critère en proposant que la pente des signaux  $V_h(t)$  et  $V_l(t)$  reste inférieure ou égale à celle du signal  $\Delta V_{tri}$ . Il vient :

$$\alpha_{Max} = \frac{1}{2} \quad (2.5)$$

La figure 2.3 donne un bilan des valeurs possibles de  $\alpha$  répondant à ces trois critères. Dans notre application, la valeur retenue sera égale à 0.1 (avec  $N=5$ ).

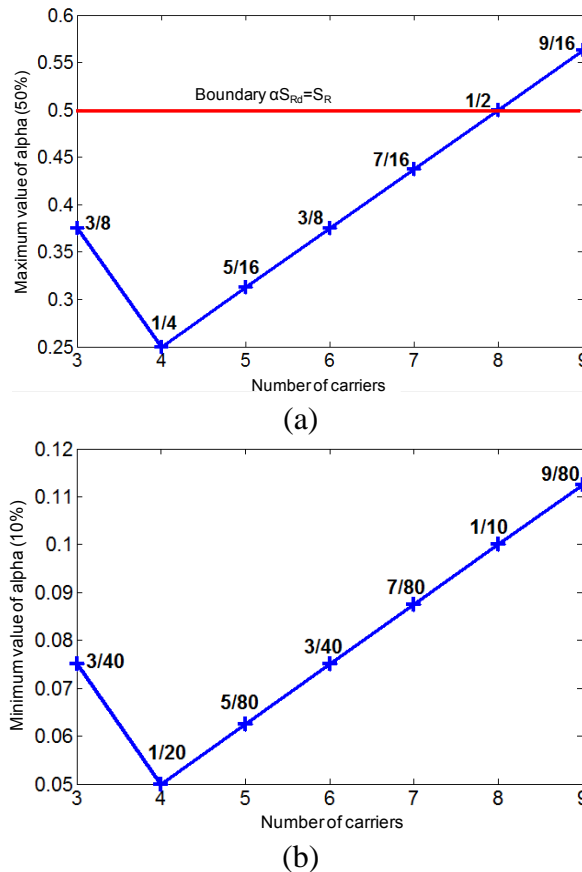


Figure 2.3 : Détermination du coefficient d'atténuation  $\alpha$ : a) Valeurs maximales du terme  $\Delta V_{tri}/\Delta V_{diff}$  ; b) Valeurs minimales du terme  $\Delta V_{tri}/\Delta V_{diff}$ .

Chaque générateur de porteuse est associé à une cellule de commutation. Afin de régler correctement sa phase, il doit communiquer avec ses proches voisins. La figure 2.4(a) montre le schéma de principe de la solution obtenue. Ici,  $V_{mod}$  représente le signal modulant

nécessaire pour obtenir, par comparaison avec la porteuse, un signal MLI. Les signaux présents dans les interfaces de communication sont : la porteuse générée par le module ( $V_{tri}$ ), celle fournie par le module précédent ( $V_{triP}$ ) et enfin celle fournie par le module suivant ( $V_{triN}$ ). Ces générateurs sont dupliqués autant de fois qu'il y a de bras mis en parallèle dans le convertisseur et sont liés entre eux par des interfaces de communication dans une configuration chaînée. La figure 2.4(b) illustre le principe de mise en œuvre des modules dans le convertisseur.

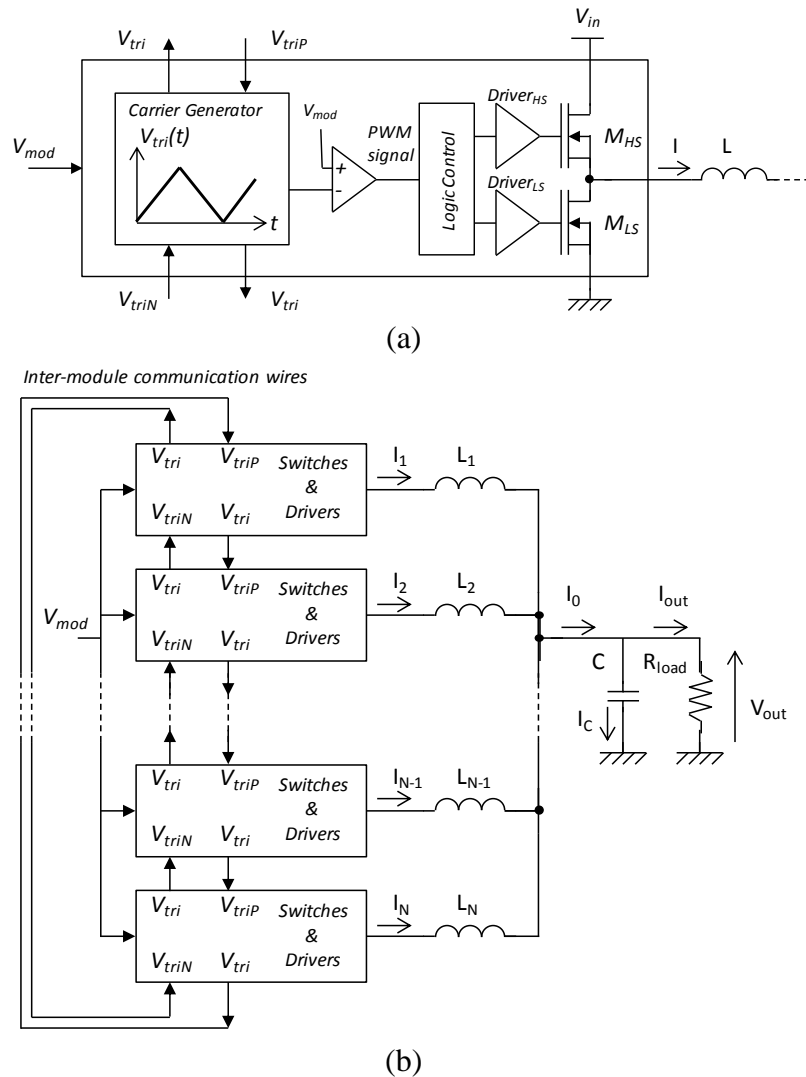


Figure 2.4 : Approche modulaire pour la génération de porteuses entrelacées : a) Circuits internes d'un module; b) Configuration chaînée de communication.

Comme par construction ce principe d'auto-alignement en phase est fonctionnel quel que soit le nombre de bras, il devient envisageable de pouvoir ajouter ou enlever un module de la chaîne, simplement tout en garantissant un entrelacement correct des porteuses. En effet, pour soustraire un élément de la chaîne, il suffit d'éteindre la cellule de commutation qu'il pilote, d'ôter les communications qu'il opère dans le système, et de connecter entre eux ses proches voisins afin de refermer la chaîne de communication. Pour ajouter un élément, le processus contraire doit être effectué.

Afin de pouvoir modifier le nombre de modules présents dans la chaîne, ceux-ci doivent comporter un dispositif dit « d'aiguillage » leur permettant de maintenir la chaîne de communication fermée quel que soit leur état (présent ou absent). La figure 2.5 montre la mise en œuvre d'un tel dispositif d'aiguillage contrôlé par un bit *Enable* permettant de préciser l'état du module dans la chaîne.

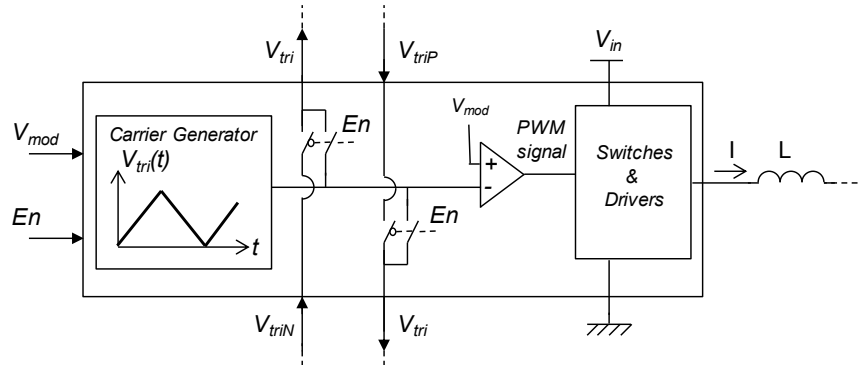


Figure 2.5 : Principe du circuit d'aiguillage permettant d'ajouter ou d'ôter un module de la chaîne ( $En = '1'$  présent;  $En = '0'$  absent).

## 2.2.2 Mise en œuvre du générateur de porteuse

La technologie du circuit intégré choisie pour implémenter les générateurs de porteuses fonctionne avec une alimentation maximale de 5V. Afin d'assurer un fonctionnement des amplificateurs opérationnels dans leur zone linéaire, l'amplitude crête-à-crête  $\Delta V_{tri}$  des signaux triangulaires est prise à 3V (min à 1V et max à 4V). La figure 2.6(a) montre la méthode utilisée pour, d'une part générer les tensions continues des seuils  $V_h$  et  $V_l$ , et d'autre part leur superposer la composante alternative issue de la différence des signaux triangulaires voisins. Une tension constante  $V_{div2}$ , égale strictement à la moitié de la tension d'alimentation  $V_{cc}$ , est générée. Les amplificateurs étant polarisés entre la masse et  $V_{cc}$ , cette tension représentera dans toute la puce la tension de mode commun. Pour cette raison, on retrouve cette grandeur systématiquement sur les entrées positives des amplificateurs. Par construction, les résistances  $R_1$  et  $R_2$  étant appairées entre elles, les deux seuils  $V_h$  et  $V_l$  présentent le même écart vis-à-vis de la tension  $V_{div2}$ . Pour cette raison, les tensions de sortie des amplificateurs sommateur-inverseur (à droite sur la figure) ont bien comme valeur  $V_l + \alpha \cdot \Delta V_{diff}(t)$  (respectivement  $V_h + \alpha \cdot \Delta V_{diff}(t)$ ) alors que l'on place  $V_h$  ( $V_l$ ) sur l'une de leurs entrées.

Le circuit résultant est présenté sur la figure 2.6(b). Les seuils avec leur composante alternative sont présents au niveau du Trigger (à droite sur la figure) alors que le signal triangulaire  $V_{tri}$  est obtenu par ajout (ou retrait) d'un même courant constant  $I$  dans une capacité  $C$ .

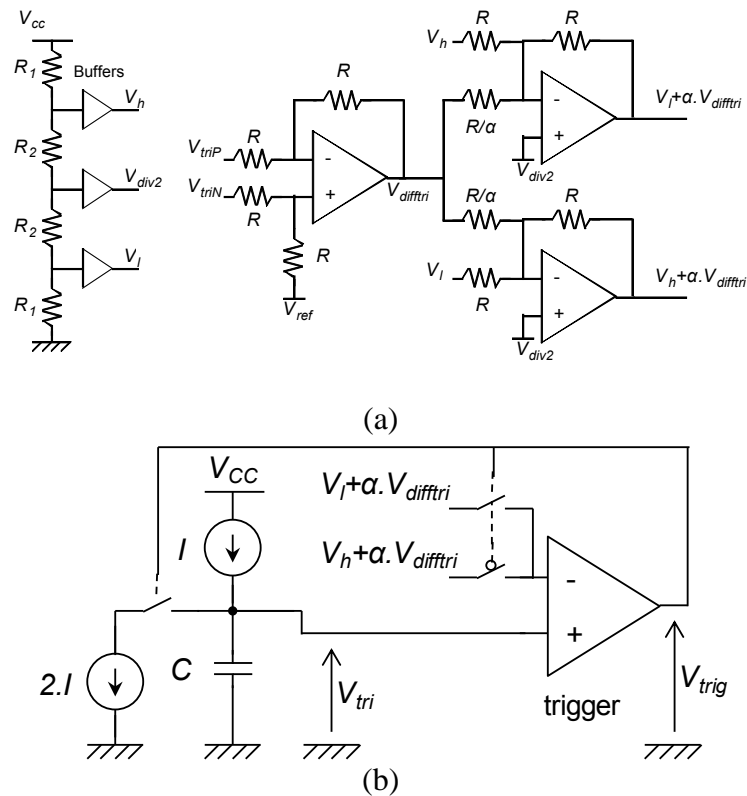


Figure 2.6 : a) Circuit permettant de générer les deux seuils dynamiques  $V_l(t)$  et  $V_h(t)$ ; b) Circuit de génération de porteuse auto-alignée résultant.

Il est aussi possible d'utiliser un circuit intégrateur, réalisé à l'aide d'un amplificateur opérationnel, pour générer un triangle. Cependant, la constante de temps  $RC$  du circuit alors obtenu est mal définie (forte dispersion d'un wafer à l'autre sur les éléments passifs) et surtout non modifiable. Grâce à la méthode proposée, on obtient un signal triangulaire dont la pente dépend certes de  $C$  mais aussi du courant  $I$  réglable de façon externe. On se donne ainsi la possibilité d'ajuster la fréquence des porteuses pour répondre au mieux aux besoins de l'application. La fréquence résultante est définie par :

$$F_{sw} = \frac{1}{T_{sw}} = \frac{1}{2} \cdot \frac{I}{C \cdot \Delta V_{tri}} \quad (2.6)$$

Afin de valider cette méthode de génération de porteuse à auto-alignement en phase, une première simulation de validation est réalisée. La figure 2.7 montre le cas du démarrage d'un convertisseur à cinq bras parallèles. Tout d'abord, tous les signaux triangulaires démarrent en phase sauf un. Ceci permet d'imposer un déséquilibre initial qui force les porteuses à changer leurs phases afin de se placer au centre de leurs voisines. Le dispositif est convergent et au bout de quelques périodes de commutation, les signaux sont parfaitement entrelacés. Le signal « somme des porteuses » (en rouge au bas de la figure) en témoigne. En effet, pour un nombre impair de porteuses, la somme des triangles est un signal triangulaire de faible amplitude ayant une fréquence égal à  $N \times F_{sw}$  (où  $F_{sw}$  est la fréquence de découpage); pour un nombre pair des porteuses, la somme des triangles donne un signal continu. Après sept périodes de découpage, on observe un signal « stable » présentant la fréquence attendue et témoignant de l'entrelacement correct des porteuses.

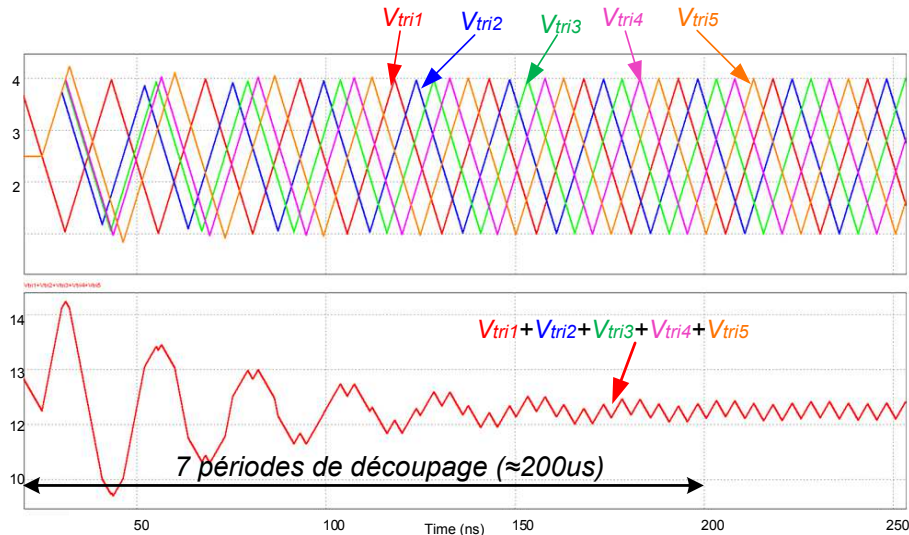


Figure 2.7 : Simulation du démarrage d'un système à cinq porteuses : convergence au bout de 7 périodes de découpage.

Comme ce dispositif met en œuvre une configuration chaînée de communication, il présente une propriété de reconfiguration. Afin de valider ce concept, des circuits d'aiguillage sont ajoutés aux modules simulés et des analyses de reconfiguration sont effectuées.

La figure 2.8(a) montre le résultat d'une simulation de reconfiguration pour un dispositif passant de cinq porteuses chaînées à quatre. Comme précédemment, un signal « somme des porteuses » est présenté pour attester de la convergence de l'ensemble. A un moment prédéfini, la porteuse 3 est enlevée et ses voisines (2 et 4) sont connectées ensemble. On constate, dans cet exemple, que les porteuses ajustent rapidement leurs phases respectives pour passer d'un entrelacement à cinq vers un entrelacement à quatre. Approximativement cinq périodes de découpage sont nécessaires pour obtenir le nouvel état d'équilibre. On peut remarquer que les signaux, durant la phase transitoire, ne présentent pas de discontinuité (sauf pour le cas de la porteuse 3 qui se place à la tension  $V_{div2}$ ). Ce point est particulièrement important puisque les rapport-cycliques des bras du convertisseur seront obtenus par la comparaison d'une tension modulante et de ces signaux triangulaires. On peut conclure que ces phases transitoires n'auront que très peu d'incidence sur la valeur des rapport-cycliques des bras.

La figure 2.8(b) montre le cas dual : passage de quatre porteuses à cinq. Cette fois, 7 périodes de découpage sont nécessaires, le nombre de signaux étant plus important. De nouveau, la convergence est assurée en conservant une bonne continuité sur les signaux triangulaires.



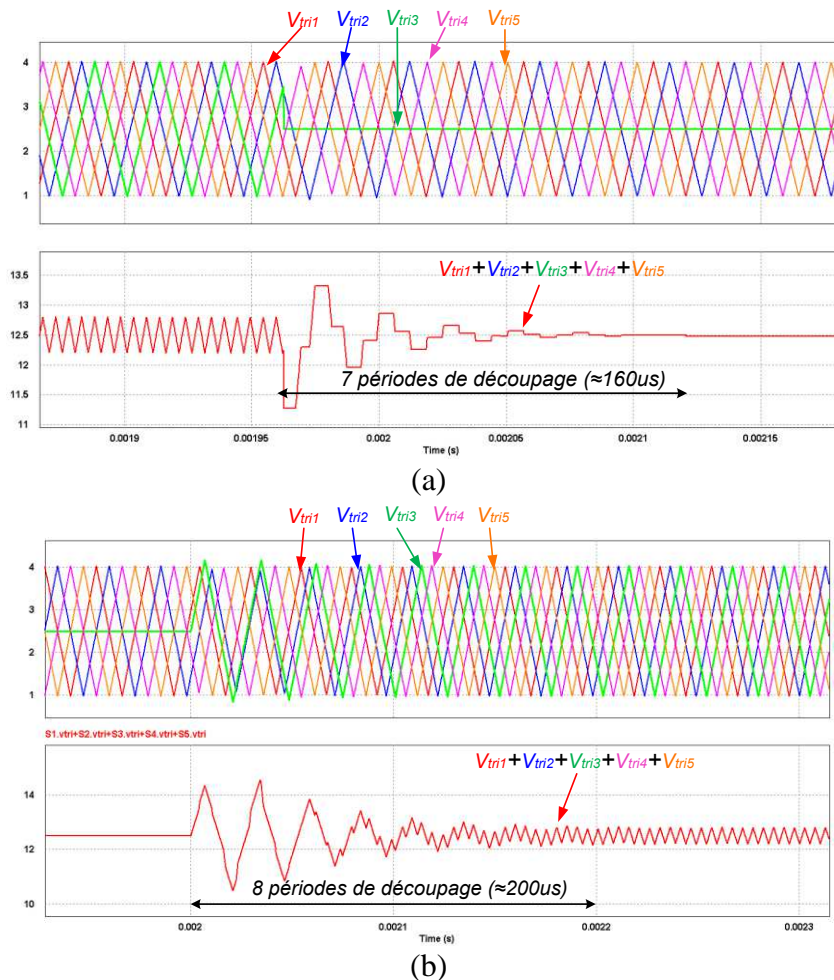


Figure 2.8 : Simulation de reconfiguration du nombre de porteuses entrelacées ; (a) Passage de 5 porteuses à 4 ; (b) Passage de 4 porteuses à 5.

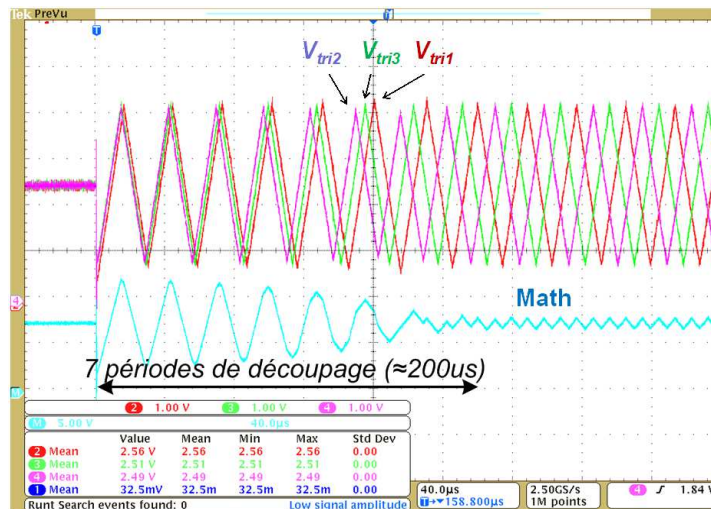
### 2.2.3 Résultats expérimentaux

Afin de valider expérimentalement cette approche modulaire de génération de porteuses entrelacées, une carte de test a été développée. Le détail de cette carte sera présenté plus tard dans le chapitre 3 (voir figure 3.13(a)).

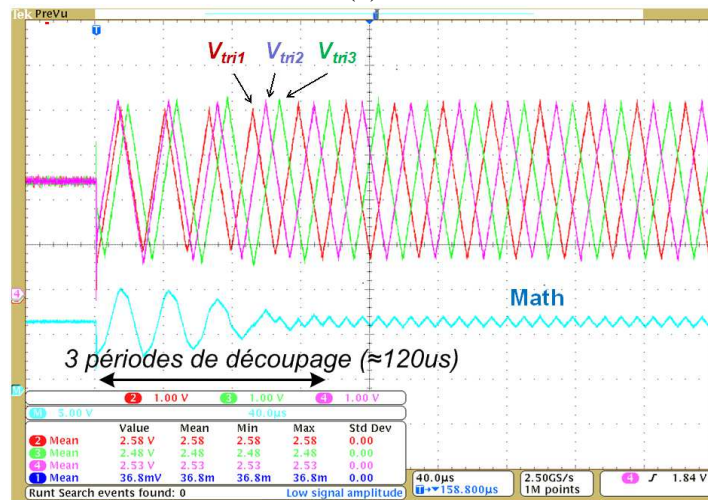
De nombreux tests de démarrage du système ont été effectués et tous sont concluants. La figure 2.9(a) montre le résultat expérimental obtenu concernant le démarrage d'un dispositif à trois porteuses. Dans le cas considéré, les trois porteuses démarrent en même temps (en phase). Au départ, il n'existe quasiment pas d'écart sur leurs valeurs et les signaux  $V_{diff}(t)$  obtenus sont de très faibles valeurs. Comme de faibles disparités existent, dues aux imperfections du circuit, ces signaux ne sont pas nuls et le système va pouvoir lentement converger vers l'état d'équilibre attendu. Un entrelacement parfait à trois porteuses est obtenu à terme. Le signal *Math*, somme des trois porteuses, atteste de la bonne convergence du système et de sa stabilité. Dans ce cas, sept périodes de découpage sont nécessaires pour obtenir un entrelacement correct.

La figure 2.9(b) montre cette fois le cas d'un démarrage à trois porteuses dans lequel on a pris soin d'insérer un délai volontaire au départ sur l'un des signaux triangulaires. Ceci permet d'augmenter l'amplitude des signaux  $V_{diff}(t)$  et ainsi de réduire le temps de convergence de

l'ensemble. On obtient alors un temps égal à trois périodes de découpage pour obtenir un entrelacement correct.



(a)



(b)

Figure 2.9 : Test de démarrage : a) Cas de 3 portuses démarrant en phase ; b) Cas de 3 portuses incluant un délai initial.

On peut, à présent, tester la propriété de reconfiguration du système de génération de portuses. En imposant la valeur des *Enable* des circuits d'aiguillage implémentés dans chaque modules, on est à même d'ajouter ou d'enlever dynamiquement un triangle de la chaîne. La figure 2.10(a) montre le cas d'une reconfiguration d'un système à quatre portuses vers un système à trois. Ici, la portuse 4 est enlevée, et les modules voisins (3 et 1) sont connectés entre eux pour refermer la chaîne de communication. Les résultats obtenus sont très similaires à ceux prévus par la simulation. La voie *Math* calcule la somme des portuses triangulaires et atteste de nouveau de la bonne fonctionnalité du procédé. Le cas dual est présenté par la figure 2.10(b). Des conclusions identiques peuvent être tirées.

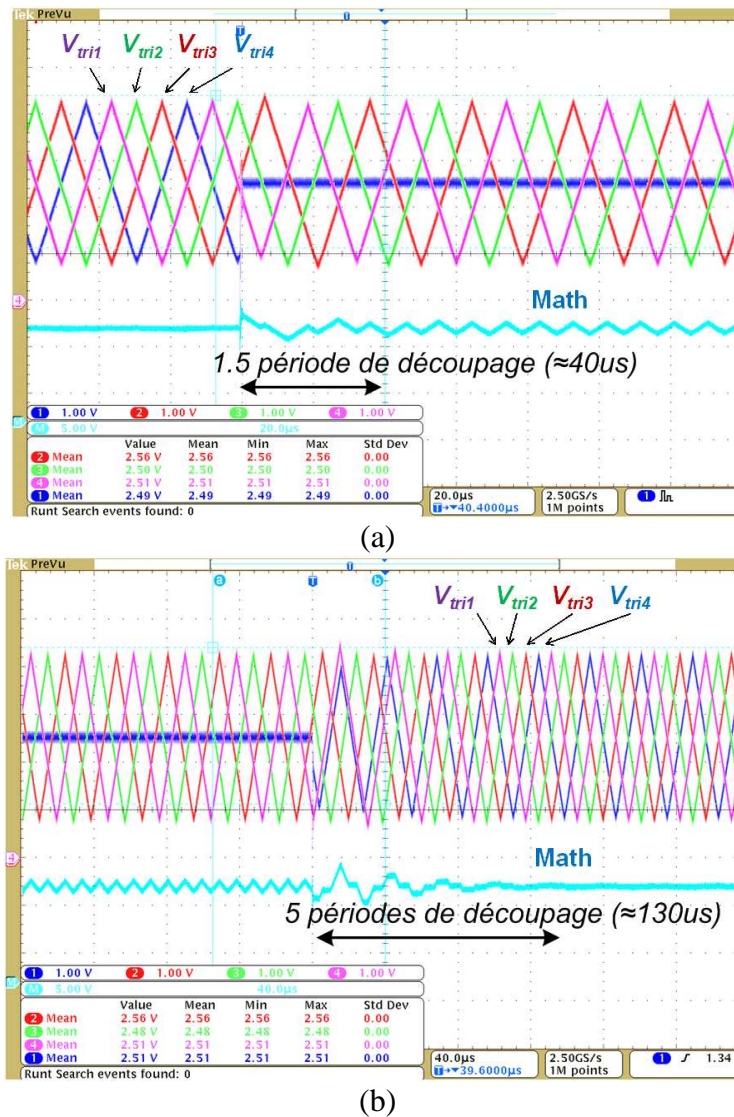


Figure 2.10 : Test de reconfiguration du nombre de porteuses entrelacées ; (a) Passage de 4 porteuses à 3 ( $20\mu\text{s}/\text{div}$ ,  $1\text{V}/\text{div}$ ); (b) Passage de 3 porteuses à 4 ( $10\mu\text{s}/\text{div}$ ,  $1\text{V}/\text{div}$ ).

## 2.3 Générateurs simplifiés (numérique) de porteuses auto-alignées

Les générateurs de porteuses à auto-alignement en phase, présentés dans le paragraphe précédent, ont été implémentés dans le circuit intégré final. Cependant, on peut noter que la méthode utilisée est purement analogique et requiert une certaine expérience de la mise en œuvre de ces fonctions. De plus, les circuits réalisés peuvent être sensibles au bruit électronique et, notamment, aux commutations internes de certains signaux.

Les signaux internes  $V_{diff}(t)$  peuvent être de faible amplitude et leur perturbation par des éléments parasites peut entraîner des erreurs importantes de déphasage inter-porteuses. Enfin, le circuit final a besoin de nombreux amplificateurs opérationnels qui peuvent chacun amener des erreurs dues notamment à la présence d'offsets différents.

Pour cette raison, une étude supplémentaire a été menée dans le cadre de cette thèse pour fournir une approche plus « numérique » de la génération de ces signaux triangulaires.

### 2.3.1 Conception simplifiée (numérique) du générateur porteuse

La nouvelle approche proposée diffère de la précédente par le fait qu'elle utilise essentiellement des comparateurs et des portes logiques pour obtenir un entrelacement « automatique ».

L'observation de la figure 2.1 peut nous mener à de nouvelles constatations. En effet, on peut remarquer que, dans un cas parfaitement entrelacé, le signal  $V_{tri}$  change de pente à chaque croisement de ses porteuses voisines. En d'autres termes, lorsque  $V_{triP} > V_{triN}$ , le signal  $V_{tri}$  a une pente ascendante. A contrario, lorsque  $V_{triP} < V_{triN}$ , le signal  $V_{tri}$  présente une pente descendante.

Ceci peut être résumé dans le tableau suivant et considéré comme une première règle :

$V_{triP} > V_{triN}$	$V_{tri}$ a une pente ascendante
$V_{triP} < V_{triN}$	$V_{tri}$ a une pente descendante

Tableau 2.2 : Première règle d'évolution du signal triangulaire en fonction du comportement de ses voisins.

Ce signal triangulaire doit aussi être borné en amplitude. En effet, si la valeur de ses pentes est fixée, sa fréquence sera déduite de la valeur de son amplitude crête-à-crête  $\Delta V_{tri}$ . Afin de limiter l'amplitude du signal, des seuils haut et bas, respectivement  $V_h$  et  $V_l$ , doivent être définis. Lorsque le signal atteint ces niveaux, soit on décide de changer sa pente (sorte de rebond sur un seuil), soit on le maintient stationnaire sur ce seuil. La seconde approche est retenue. En effet, on montrera par la suite que cette stratégie permet de recalibrer en phase la porteuse. Si, en revanche, le signal a dépassé les seuils (au démarrage par exemple), il lui faudra les rejoindre. Cela nous permet d'énoncer, dans le tableau ci-dessous, une deuxième règle :

$V_{tri} > V_h$	$V_{tri}$ a une pente descendante
$V_{tri} < V_l$	$V_{tri}$ a une pente ascendante

Tableau 2.3 : Deuxième règle d'évolution du signal triangulaire en fonction de sa position par rapport aux seuils  $V_h$  et  $V_l$ .

Le principe consiste donc à fournir des consignes pour la génération du signal  $V_{tri}$  déduites de l'observation des porteuses adjacentes et du niveau des seuils. Comme dans le cas précédent, les générateurs vont être associés entre eux dans une configuration de communication chaînée.

Il nous faut maintenant analyser le comportement de l'ensemble et vérifier que ce dernier converge bien vers l'état d'équilibre attendu. Trois cas sont alors à considérer :

- Comportement d'un signal  $V_{tri}$  en avance de phase,
- Comportement d'un signal  $V_{tri}$  en retard de phase,
- Démarrage du système.

La figure 2.11(a) montre le comportement du signal généré en fonction de la position de ses voisins et de sa phase. Ce signal va suivre les règles énoncées précédemment. Dans la première partie de la courbe (moitié de gauche sur la figure) le signal est ascendant puisque  $V_{triP} > V_{triN}$ .

Le cas avance de phase est illustré par le signal  $V_{tri}(1)$ . Celui est ascendant et atteint le seuil haut avant le croisement de ses porteuses voisines. Il reste donc invariant sur ce niveau et change de pente dès que le croisement a lieu. Le signal est maintenant centré par rapport à ses voisins et l'entrelacement correct est obtenu.

Le cas retard de phase est montré par le signal  $V_{tri}(2)$ . Ici, le croisement de ses porteuses voisines intervient avant que le signal ait pu atteindre le seuil haut. En observant les règles citées plus haut, le signal change de pente et devient descendant. Sa position en phase n'est toujours pas correcte. Cependant elle a été corrigée sensiblement et à la période suivante cette erreur de position (retard) sera moindre. Le dispositif, à terme, va obligatoirement centrer le signal  $V_{tri}$  entre ses voisins  $V_{triP}$  et  $V_{triN}$ .

La figure 2.11(b) montre le cas d'un signal descendant au départ, pour les cas avance et retard de phase. Les conclusions sont identiques à celles du cas précédent.

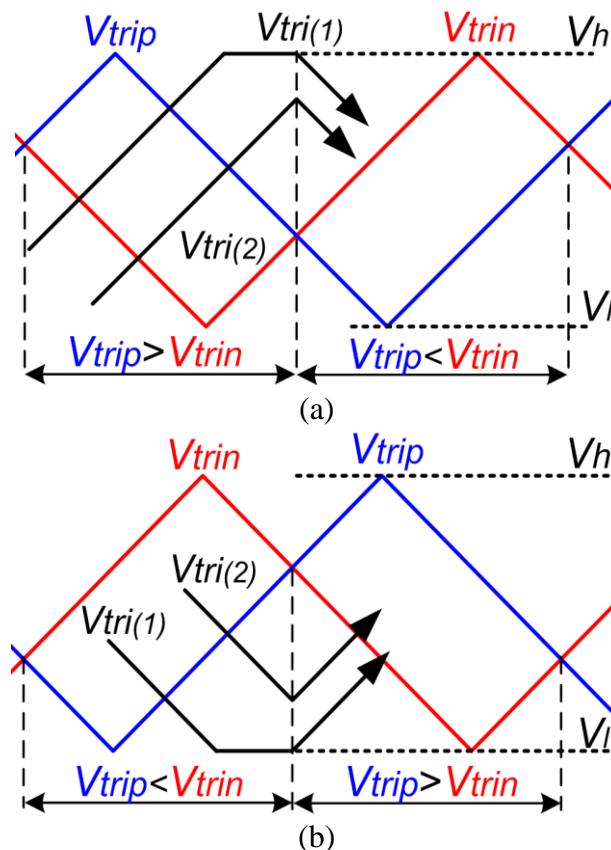


Figure 2.11 : Analyse du comportement du signal généré dans les cas d'avance et de retard de phase (cas  $V_{tri}(1)$  et  $V_{tri}(2)$ ) : a) Signal ascendant ; b) Signal descendant.

Cette méthode de générateur de porteuses entrelacées ne nécessite aucun calcul analogique. Cette analyse nous permet de synthétiser le circuit générateur de porteuse par la mise en œuvre de trois conditions Booléennes obtenues par l'utilisation de simples comparateurs :



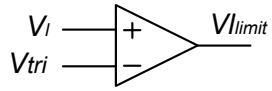
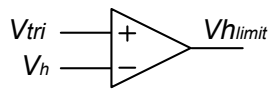
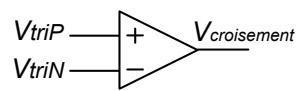
	$\begin{cases} V_{l_{limit}} = 0 & V_{tri} > V_l \\ V_{l_{limit}} = 1 & V_{tri} < V_l \end{cases}$
	$\begin{cases} V_{h_{limit}} = 0 & V_{tri} < V_h \\ V_{h_{limit}} = 1 & V_{tri} > V_h \end{cases}$
	$\begin{cases} V_{croisement} = 0 & V_{triP} < V_{triN} \\ V_{croisement} = 1 & V_{triP} > V_{triN} \end{cases}$

Tableau 2.4 : Signaux binaires permettant de déterminer le comportement de la porteuse générée.

Les trois bits  $V_{h_{limit}}$ ,  $V_{l_{limit}}$  et  $V_{croisement}$  donnent respectivement des informations sur la position du signal  $V_{tri}$  par rapport au seuil haut, par rapport au seuil bas et donnent le signe de sa pente en fonction du comportement de ses voisins. Six cas possibles doivent être considérés et sont présentés dans le tableau 2.5.

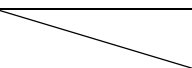
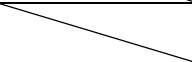
$V_{croisement} \backslash V_{h_{limit}}, V_{l_{limit}}$	00	01	11	10
0	<i>descente</i>	<i>constant</i>		<i>descente</i>
1	<i>montée</i>	<i>montée</i>		<i>constant</i>

Tableau 2.5 : Comportement du signal  $V_{tri}$  fonction de l'état des bits  $V_{h_{limit}}$ ,  $V_{l_{limit}}$  et  $V_{croisement}$ .

Afin de réaliser un générateur de signal triangulaire tenant compte des trois états possibles (descente, montée et invariance), un circuit intégrateur utilisant trois niveaux de tension fixes et des interrupteurs contrôlés est proposé (voir figure 2.12).

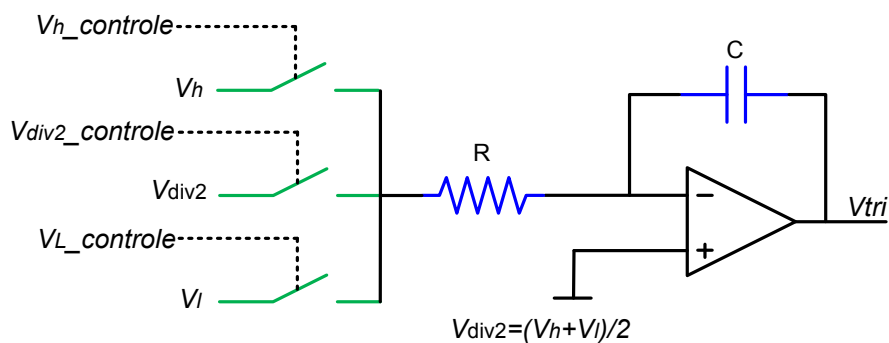


Figure 2.12 : Générateur de signal triangulaire piloté ayant 3 actions possibles : 'montée', 'descente', 'constant'.

Il s'agit d'un circuit analogique. On peut noter qu'une réalisation entièrement numérique de cette fonction est tout à fait envisageable. Les principaux critères qui ont guidés ici nos choix sont : une simplicité de mise en œuvre, une consommation réduite et une fréquence d'utilisation élevée (1 MHz).

Lorsque la résistance  $R$  est reliée à la tension  $V_h$  (seuil haut supérieur à  $V_{div2}$ ), le condensateur  $C$  se décharge et le signal de sortie  $V_{tri}$  descend. Lorsque cette résistance est reliée à la tension  $V_l$  (seuil bas inférieur à  $V_{div2}$ ), le condensateur  $C$  se charge et le signal  $V_{tri}$  augmente. Enfin, si la résistance  $R$  est connectée à la tension  $V_{div2}$ , comme celle-ci est connectée à l'entrée positive de l'amplificateur opérationnel, la charge du condensateur reste invariante et le signal  $V_{tri}$  est stationnaire.

Un seul des trois interrupteurs doit être fermé à la fois. Ils ne doivent pas non plus être tous ouverts en même temps (sauf temps mort). On peut résumer leur contrôle par la définition des signaux de commande  $V_{l\_control}$ ,  $V_{div2\_control}$  et  $V_{h\_control}$ , présentés dans le tableau 2.6:

$V_{croisement} \backslash \begin{matrix} V_{h\_limit}, V_{l\_limit} \\ 0 \\ 1 \end{matrix}$	$00$	$01$	$11$	$10$
$0$	$V_{h\_control}$	$V_{div2\_control}$		$V_{h\_control}$
$1$	$V_{l\_control}$	$V_{l\_control}$		$V_{div2\_control}$

Tableau 2.6 : Signaux de commande des interrupteurs fonctions des combinaisons des signaux  $V_{h\_limit}$ ,  $V_{l\_limit}$  et  $V_{croisement}$ .

Les signaux de commande répondent aux équations suivantes et les circuits logiques, qui en sont déduits, sont présentés sur la figure 2.13 :

$$\begin{cases} V_{h\_control} = \overline{V_{croisement}} \cdot \overline{V_{l\_limit}} \\ V_{l\_control} = V_{croisement} \cdot \overline{V_{h\_limit}} \\ V_{div2\_control} = V_{croisement} \cdot V_{h\_limit} \cdot \overline{V_{l\_limit}} + \overline{V_{croisement}} \cdot V_{h\_limit} \cdot V_{l\_limit} \end{cases} \quad (2.7)$$

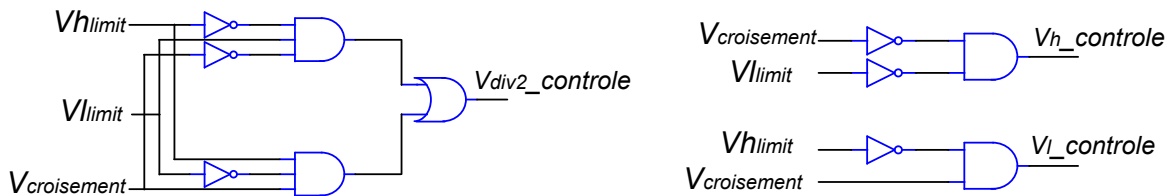


Figure 2.13 : Circuits logiques permettant de générer les signaux de commande  $V_{div2\_control}$ ,  $V_{h\_control}$  et  $V_{l\_control}$ .

Reste à considérer maintenant le fonctionnement de l'ensemble au démarrage. Ce point est particulièrement important puisque, en fonction de la position des porteuses, les signaux risquent soit de rester stationnaires, soit de diverger. En effet, dans le cas où toutes les porteuses démarrent sur un même niveau de tension, aucune décision concernant le signe des pentes ne peut être prise et le système est indéterminé. Par ailleurs, si les porteuses démarrent dans une configuration telle qu'aucun croisement ne peut intervenir, le système est divergent et les signaux restent, à terme, 'bloqués' sur les niveaux des seuils haut et bas.

Il est donc nécessaire d'imposer, au démarrage, des niveaux déterminés pour les porteuses afin d'assurer la convergence de l'ensemble. Pour ce faire, quelques réflexions permettent de fixer des règles simples et de fournir, à terme, la solution pour le cas général ( $N$  quelconque). On peut tout d'abord énoncer deux règles évidentes.

Dans le cas général, au démarrage :

- Les porteuses  $V_{triP}$  et  $V_{triN}$  doivent avoir des niveaux différents pour imposer le signe de la pente de la porteuse  $V_{tri}$  (éviter toute incertitude),
- Le démarrage doit assurer le croisement d'au moins deux signaux au bout d'un certain temps (entraîner une variation certaine d'un signal).

Pour le cas  $N=3$ , l'application de ces deux règles impose qu'au moins trois niveaux de tension distincts doivent être disponibles au départ. La figure 2.14 illustre cette réflexion.

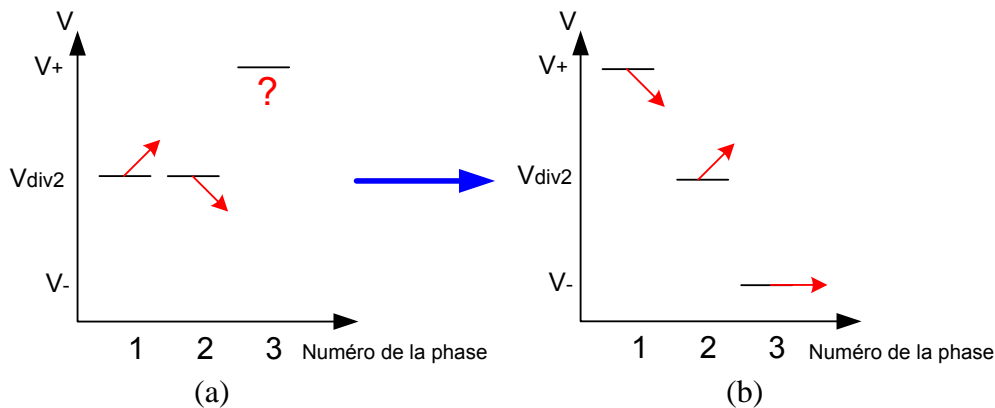


Figure 2.14 : Séquence de démarrage dans le cas de 3 porteuses : a) Niveau incertain pour la porteuses 3 ; b) Aucune incertitude et croisement de 1 et 3 assuré.

Si deux, des trois signaux, démarrent sur un même niveau de tension, leur comparaison est impossible et aucune décision ne peut être prise pour le troisième signal (figure 2.14(a)). En revanche, si chaque signal démarre sur un niveau différent, le sens de variation est déterminé pour chacun et un croisement de deux porteuses peut être assuré (figure 2.14(b)). Cette dernière configuration de démarrage est la solution pour le cas d'un convertisseur utilisant trois porteuses.

Plaçons-nous maintenant dans un cas général où le nombre de porteuses est quelconque (supérieur à trois). L'application des règles précédentes sur la dernière porteuse du système ( $N^{ième}$  signal) nous permet d'énoncer de nouvelles lois :

- La  $N^{ième}$  porteuse doit avoir un niveau différent de la deuxième porteuse (sinon indétermination pour la première porteuse).
- La  $N^{ième}$  porteuse doit avoir un niveau différent de la  $N-2^{ième}$  porteuse (sinon indétermination pour la  $N-1^{ième}$  porteuse).
- Et enfin, plus subtil, la  $N^{ième}$  porteuse doit avoir un niveau différent de la première porteuse (sinon on est incapable n'ajouter une  $N+1^{ième}$  porteuse dans notre réflexion).

La mise en application de ces trois nouvelles règles nous conduit à une solution de démarrage possible présentée par la figure 2.15.



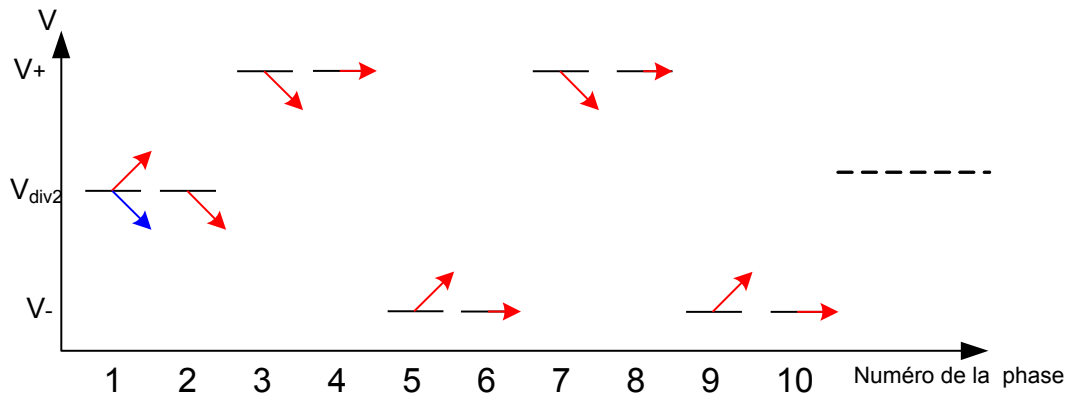
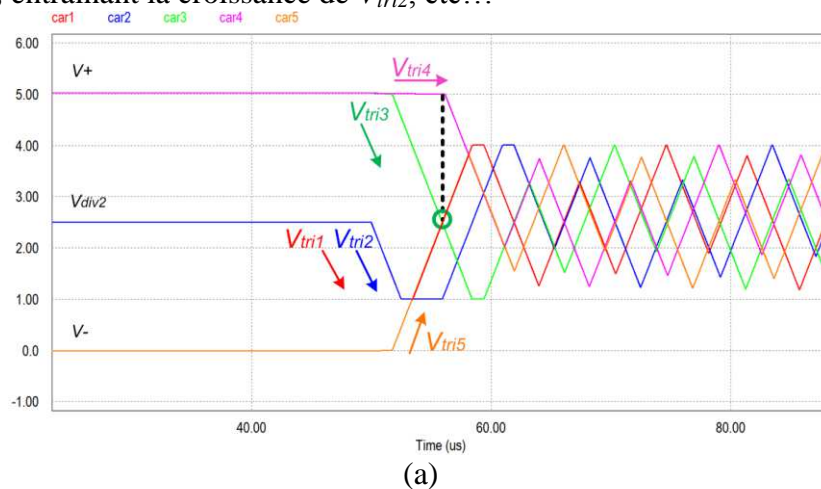


Figure 2.15 : Solution de démarrage assurant la convergence du système dans le cas général ( $N > 3$ ).

Dans cette solution, les deux premières porteuses commencent sur le même niveau de tension  $V_{div2}$ . Ensuite, les niveaux de tension de démarrage alternent entre deux valeurs distinctes haute et basse ( $V_+$  et  $V_-$ ) toutes les deux porteuses. Les flèches sur la figure indiquent le sens de variation des signaux au démarrage et montrent que des croisements de porteuses adjacentes sont garantis. Suivant la valeur de  $N$ , pair ou impair, le signe de la pente de la première porteuse diffère. Si la  $N^{ième}$  porteuse est à  $V_+$ , la première porteuse va monter, sinon elle va descendre. On remarque qu'un même motif, à partir de la  $7^{ième}$  porteuse, est dupliqué, ce qui donne une solution générale pour  $N$  quelconque. On peut noter que le cas à trois porteuses est un cas particulier pour lequel la solution de la figure 2.15 ne s'applique pas.

### 2.3.2 Simulations de validation

La figure 2.16(a) présente une simulation de démarrage pour un cas à cinq porteuses. Trois niveaux différents sont imposés au démarrage conformément à l'étude précédente ( $V_{tri1}$  et  $V_{tri2}$  sur  $V_{div2}$ ,  $V_{tri3}$  et  $V_{tri4}$  sur  $V_+$  et  $V_{tri5}$  sur  $V_-$ ). Au départ, les signaux  $V_{tri1}$  et  $V_{tri2}$  ayant une pente négative rejoignent le seuil de niveau bas  $V_l=1V$ . Le signal  $V_{tri5}$  ayant une pente positive croise  $V_{tri2}$  et impose un changement de pente pour  $V_{tri1}$ . Les signaux  $V_{tri3}$  et  $V_{tri5}$  ayant une pente de signe opposé se croisent entraînant la décroissance de  $V_{tri4}$ . Au même instant  $V_{tri1}$  croise  $V_{tri3}$  entraînant la croissance de  $V_{tri2}$ , etc...



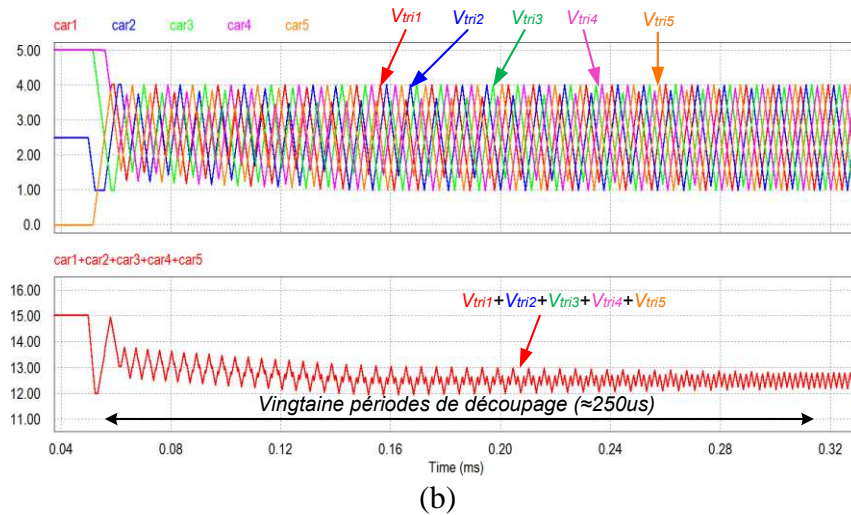


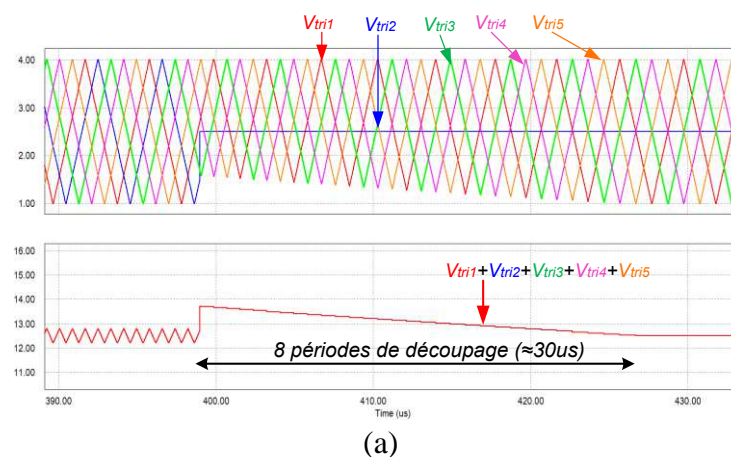
Figure 2.16 : Simulation du démarrage d'un convertisseur à 5 porteuses : a) Séquence de démarrage ; b) Convergence du système.

Le croisement successif des porteuses entraîne leurs variations dans un système borné en amplitude par les niveaux de tension  $V_h=4V$  et  $V_l=1V$ . La figure 2.16(b) montre la convergence du système vers un entrelacement parfait des porteuses. En effet, la somme des porteuses triangulaires est montrée par le signal rouge (bas de la figure). Celui-ci atteint un comportement stable au bout d'une vingtaine de périodes de découpage, de faible amplitude  $\Delta V_{tri}/5$  et de fréquence égale à  $5 \times F_{sw}$ .

On peut noter que le temps mis par le dispositif pour atteindre l'état de convergence souhaité est fortement dépendant du nombre de signaux présents, de leur fréquence et de leur amplitude. Cette méthode d'auto-alignement peut s'avérer plus longue au démarrage que celle présentée en début de chapitre (approche entièrement analogique).

A priori, ce principe de génération de porteuses auto-entrelacées possède, comme dans le cas précédent, une propriété intrinsèque de reconfigurabilité.

On peut en effet espérer ôter ou ajouter une porteuse du dispositif, à condition de prendre soin de refermer en conséquence la chaîne de communication, et voir les signaux triangulaires converger vers un nouvel entrelacement correct. La figure 2.17(a) montre le cas du passage d'un système à 5 porteuses vers un système à 4.



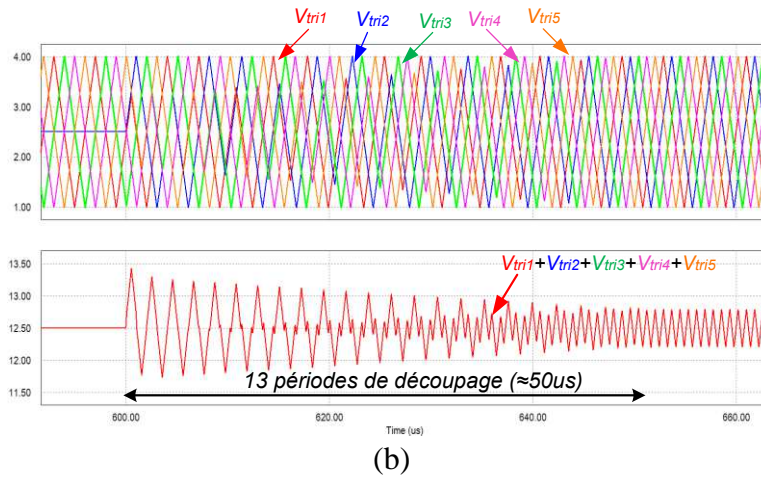


Figure 2.17 : Simulation des cas de reconfiguration du nombre de porteuses : a) Passage de 5 porteuses à 4 ; b) Passage de 4 porteuses à 5.

La simulation montre que le dispositif parvient à fournir en entrelacement correct des quatre porteuses au bout de quelques périodes de découpage. Cependant, on peut noter que l'amplitude des signaux triangulaires, durant la phase transitoire, est fortement altérée. Ceci peut avoir des conséquences importantes pour le convertisseur car les rapport-cycliques des branches risquent de voir temporairement leurs valeurs changer dans de grandes proportions.

La figure 2.17(b) montre une reconfiguration d'un convertisseur à 4 porteuses vers 5. Le système converge au bout d'une dizaine de périodes et montre de fortes variations sur le signal  $V_{tri2}$  durant la phase transitoire (signal bleu).

On peut conclure que :

- Cette méthode de génération de porteuses à auto-alignement en phase offre l'avantage d'être simple à mettre en œuvre : quelques comparateurs et un peu de logique suffisent,
- Elle est modulaire et opérationnelle quel que soit le nombre de porteuses présentes dans le convertisseur ( $N > 2$ ),
- Dans les cas de reconfiguration dynamique (considération optionnelle cependant), elle est moins performante durant les transitoires que la version analogique présentée en début de chapitre.

### 2.3.3 Résultats expérimentaux

Afin de valider cette méthode modulaire de génération de porteuses, une carte a été développée incluant dans chaque module, un intégrateur à trois niveaux de tension sélectionnables, trois comparateurs et les portes logiques nécessaires pour contrôler la génération de la porteuse.

La figure 2.18(a) montre le résultat obtenu pour le cas d'un dispositif à 3 porteuses. Le système est montré en régime établi et on peut observer que les signaux sont correctement entrelacés. Le bit  $V_{croisement}$  montre le résultat de la comparaison des signaux  $V_{triP}$  et  $V_{triN}$ . Le signe des pentes du signal  $V_{tri}$  correspond bien à l'état de ce bit.

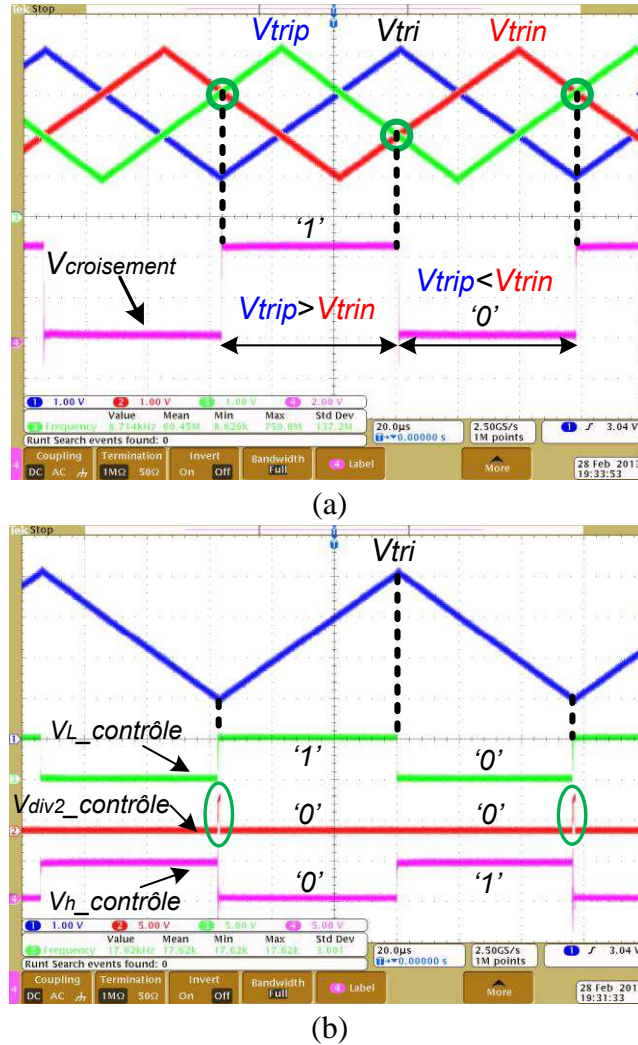


Figure 2.18 : Test de la génération des porteuses entrelacées dans un cas à  $N=3$  : a) Pentes de  $V_{tri}$  fonction du croisement de  $V_{trip}$  et  $V_{trin}$ ; b) Comportement des bits de contrôle.

La figure 2.18(b) donne le comportement des bits de contrôle des interrupteurs en régime établi. Le signal  $V_{tri}$  augmente lorsque le bit  $V_{L\_contrôle}$  est à '1'. Il diminue lorsque le bit  $V_{h\_contrôle}$  est à '1'. Enfin, lorsque l'un des seuils est atteint, dans le cas où aucun croisement n'a été constaté sur les porteuses voisines, le bit  $V_{div2\_contrôle}$  impose au signal  $V_{tri}$  de rester stationnaire. Dans le cas présent, seul un faible 'glitch' apparaît sur ce bit. Ceci atteste du bon entrelacement des signaux présent (on ne reste pas longtemps sur les seuils).

La figure 2.19 présente le résultat obtenu pour la séquence de démarrage d'un dispositif à trois porteuses. Au départ, chaque signal est positionné sur un niveau constant, conformément aux instructions de la figure 2.14 (figure des niveaux de démarrage à 3). Les signaux  $V_{tri1}$ ,  $V_{tri2}$  et  $V_{tri3}$  sont placés respectivement sur les tensions  $V_{div2}$ ,  $V_+$  et  $V_-$ . Quand le système démarre, la porteuse  $V_{tri1}$  descend et croise le signal  $V_{tri2}$ , ce qui entraîne une croissance de  $V_{tri3}$ . Le signal  $V_{tri1}$  atteint le seuil bas et y reste. Ensuite, le croisement de  $V_{tri1}$  avec  $V_{tri3}$  conduit à la décroissance de  $V_{tri2}$ . Les signaux poursuivent leur logique de changement de pente et convergent vers l'entrelacement attendu. On peut noter que, pour ce test, les niveaux de seuils sont faibles ( $V_h=4V$  et  $V_l=1V$ ) comparés aux tensions de démarrages ( $V_+=15V$  et  $V_-=-15V$ ). Ceci est principalement dû à des considérations pratiques de réalisation.

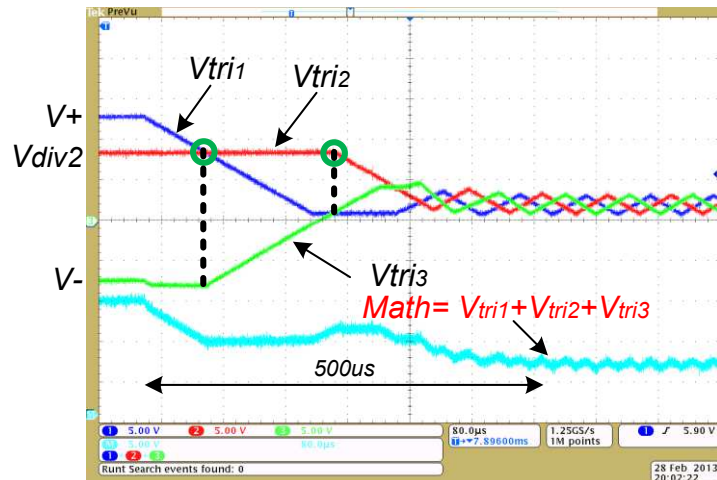


Figure 2.19 : Porteuses se démarrent avec des différentes tensions ( $V_+$ ,  $V_-$  et  $V_{div2}$ ).

Le signal *Math* représente la somme des signaux triangulaires et atteste de l'entrelacement correct obtenu à terme.

## 2.4 Conclusion

Dans ce chapitre, la première fonction importante concernant la génération modulaire de porteuses triangulaires entrelacées pour la commande à MLI des micro-convertisseurs a été abordée. Deux approches ont été proposées.

La première approche met en œuvre une solution purement analogique. Bien que tout à fait satisfaisante sur le plan fonctionnel, cette approche présente néanmoins quelques inconvénients en termes de CEM du fait de la proximité sur un même substrat des signaux de commande et de puissance. De plus, compte-tenu du nombre important d'amplificateurs opérationnels, des erreurs peuvent apparaître par la dérive d'offsets.

La deuxième approche, plus « numérique », diffère de la précédente par le fait qu'elle utilise essentiellement des comparateurs et des portes logiques. Cela permet de contourner les problèmes d'immunité aux bruits et de dérive. Les principes utilisés restent sensiblement les mêmes mais leur implémentation s'en trouve simplifiée.

Dans les deux cas, les principes ont été discutés et analysés par simulation. Nous avons en particulier démontré le caractère générique et auto-adaptatif de notre approche qui autorise une reconfiguration dynamique de la commande et donc offre la possibilité de travailler en mode dégradé en cas de perte d'un micro-convertisseur du réseau. Nous avons montré que l'auto-alignement des porteuses suit un processus rapide qui s'effectue seulement en quelques périodes de commutation.

Enfin, nous avons réalisé deux cartes de test qui nous ont permis de valider expérimentalement le bien-fondé de notre approche.

# Chapitre 3 Contrôle modulaire entièrement décentralisé

<b><u>3.1</u></b>	<b><u>Introduction</u></b> .....	<b>48</b>
<b><u>3.2</u></b>	<b><u>Approche modulaire d'équilibrage des courants</u></b> .....	<b>49</b>
<b><u>3.3</u></b>	<b><u>Principe du calcul décentralisé du rapport-cyclique de mode-commun</u></b> .....	<b>51</b>
<b><u>3.4</u></b>	<b><u>Adaptation de la méthode modulaire d'équilibrage des courants</u></b> .....	<b>54</b>
<b><u>3.5</u></b>	<b><u>Calcul du correcteur d'équilibrage des courants et stabilité du système</u></b> .....	<b>57</b>
<b><u>3.6</u></b>	<b><u>Bilan et propriété de reconfigurabilité</u></b> .....	<b>62</b>
<b><u>3.7</u></b>	<b><u>Résultats expérimentaux</u></b> .....	<b>63</b>
<b><u>3.8</u></b>	<b><u>Conclusion</u></b> .....	<b>68</b>



### 3.1 Introduction

L'objectif principal de ce chapitre est de montrer en détail les études qui ont été menées pour obtenir, à terme, un contrôle entièrement décentralisé d'un dispositif présentant des éléments en parallèle (les branches du convertisseur, mais aussi le réseau de micro-convertisseurs lui-même). Ainsi, le contrôle d'un dispositif complexe, massivement parallélisé, pourra être envisagé sans la présence d'un organe central de commande.

Dans la continuité des travaux menés dans le chapitre précédent sur l'auto-alignement en phase des porteuses du système, nous allons maintenant aborder l'étude et la conception de l'équilibrage des courants de branche et du calcul du rapport-cyclique de mode-commun d'une manière modulaire.

La figure 3.1 illustre l'objectif visé. Dans l'approche standard [47-48], trois fonctions sont implémentées au niveau du superviseur : la génération de porteuses entrelacées, la détermination de la modulante pour réguler une grandeur de sortie (mode-commun) et un dispositif d'égalisation des courants des bras apportant des corrections locales (mode-différentiel).

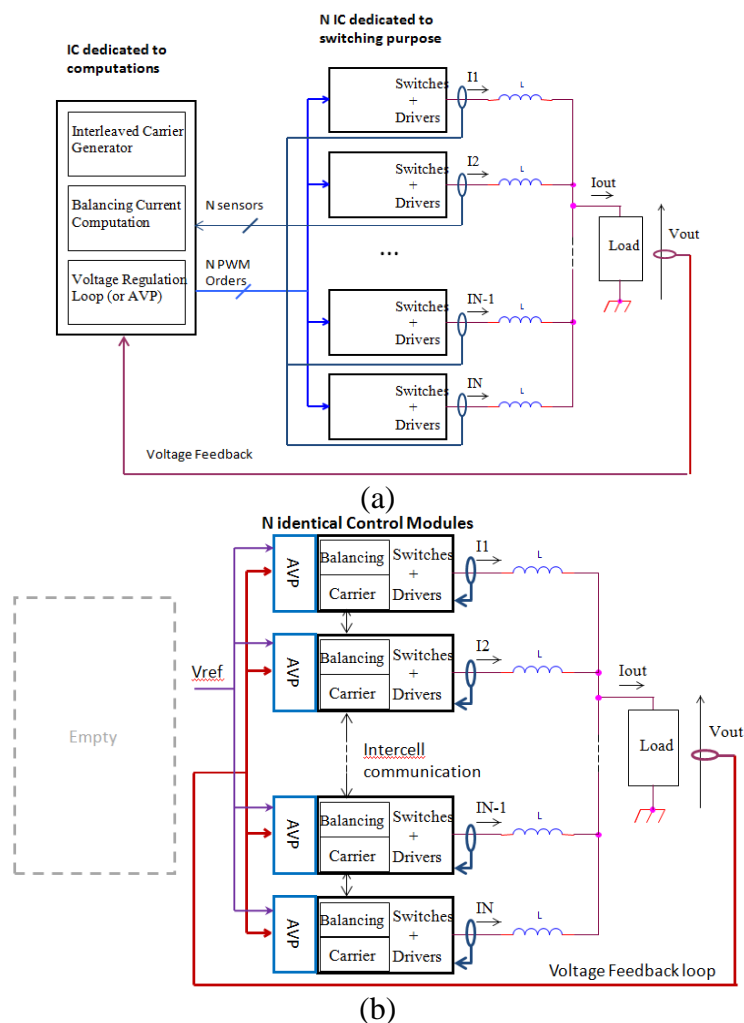


Figure 3.1 : Contrôle d'un convertisseur parallèle à  $N$  bras : a) Approche standard, b) Méthode décentralisée.

Sur la figure 3.1(b), on observe que ces trois fonctions ont été reportées au niveau des cellules de commutation. Afin que les bons signaux puissent être générés, ces éléments de contrôle (ou modules) communiquent entre eux dans une configuration de communication chaînée. De la sorte, un circuit central de commande (FPGA ou ASIC) est supprimé et seulement deux fils de communication restent nécessaires au niveau du système : la tension de référence  $V_{ref}$  et la tension de sortie  $V_{out}$ .

## 3.2 Approche modulaire d'équilibrage des courants

Des travaux antérieurs [23] [45] [46] ont fournis une solution modulaire d'équilibrage des courants des bras. La méthode proposée s'inspire fortement de l'approche utilisée pour réaliser les générateurs de porteuses à auto-alignement en phase. L'objectif ici est de rappeler brièvement le principe de cette méthode afin de pouvoir, par la suite, expliquer plus simplement son adaptation au principe final de contrôle décentralisé.

La figure 3.2 montre le principe du calcul réalisé au niveau de chaque bras. Le  $i^{\text{ème}}$  module mesure le courant  $I_i$  de son bras et demande à ses voisins la valeur de leurs courants  $I_{i+1}$  et  $I_{i-1}$ . De la sorte, une erreur est calculée représentant l'écart existant entre la valeur du courant du bras et la moyenne de ses voisins. Un correcteur de type intégrateur permet d'annuler ce terme d'erreur en produisant une correction locale de rapport-cyclique notée  $d_i$ .

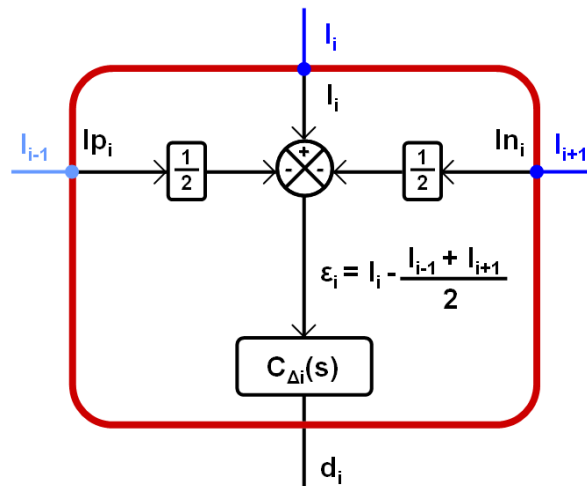


Figure 3.2 : Description du calcul « modulaire » de correction de rapport-cyclique pour égaliser les courants des bras du convertisseur.[23]

Cette nouvelle méthode diffère fondamentalement de l'approche standard communément utilisée pour laquelle chaque courant de bras est comparé à la valeur moyenne globale des courants et une erreur locale  $\varepsilon_i$  en est déduite. En annulant ces erreurs à l'aide d'un correcteur, une égalité pour tous les courants est obtenue. La figure 3.3(a) montre le principe de correction usuel.



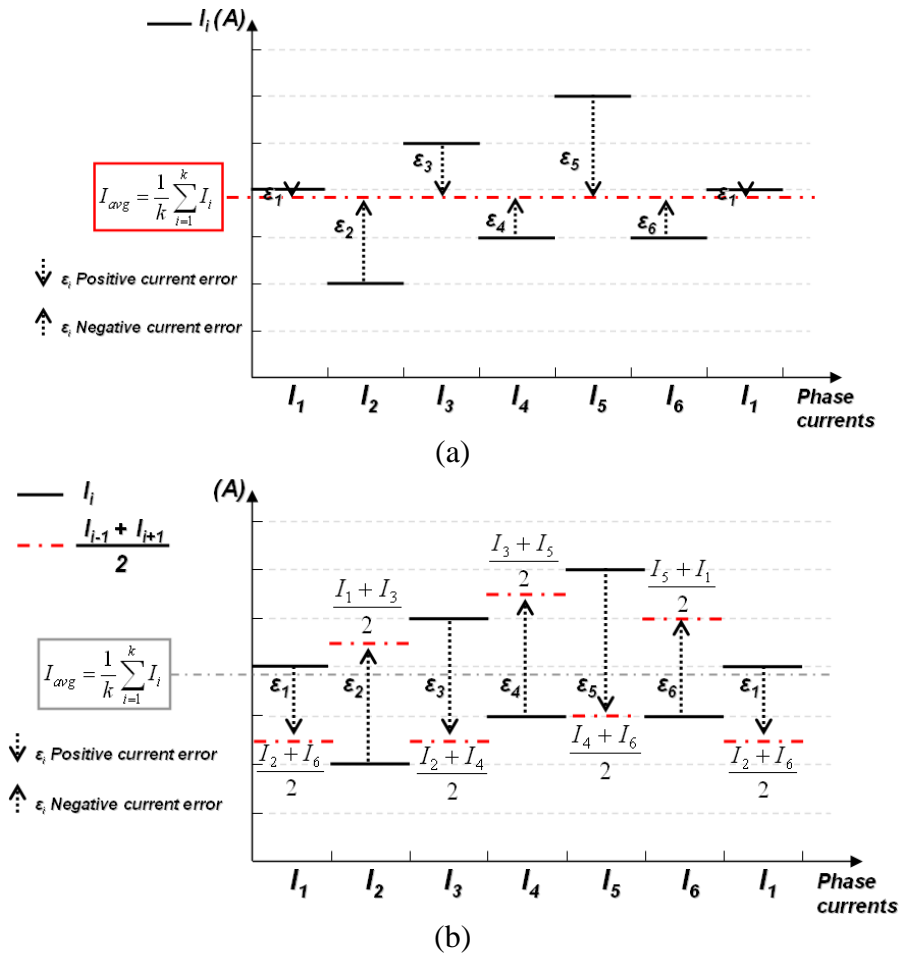


Figure 3.3 : Principe d'égalisation des courants : a) Approche standard; b) Méthode modulaire.[23]

L'approche proposée ici se distingue par le fait que la valeur moyenne des courants n'est pas connue par le module qui ne voit que ses voisins. Chaque module cherche indépendamment à se caler sur la valeur moyenne locale des courants issus de ses deux voisins. La figure 3.3(b) montre graphiquement, pour un cas similaire de déséquilibre, les valeurs obtenues pour les erreurs locales. On peut aisément conclure que si ces erreurs sont annulées « trop rapidement », un déséquilibre différent apparaîtra, ce qui entraînera de nouvelles corrections : une instabilité du système sera obtenue. La correction mise en place doit donc être suffisamment « lente » pour éviter un tel comportement.

Dans [41], il est montré que le système de correction modulaire est convergent et que la valeur commune atteinte par les courants est celle de leur moyenne initiale. On obtient bien ainsi le même résultat que celui de l'approche classique.

La figure 3.4 donne le schéma de principe de l'imbrication des boucles de mode commun (régulation de tension) et de mode différentiel (équilibre).

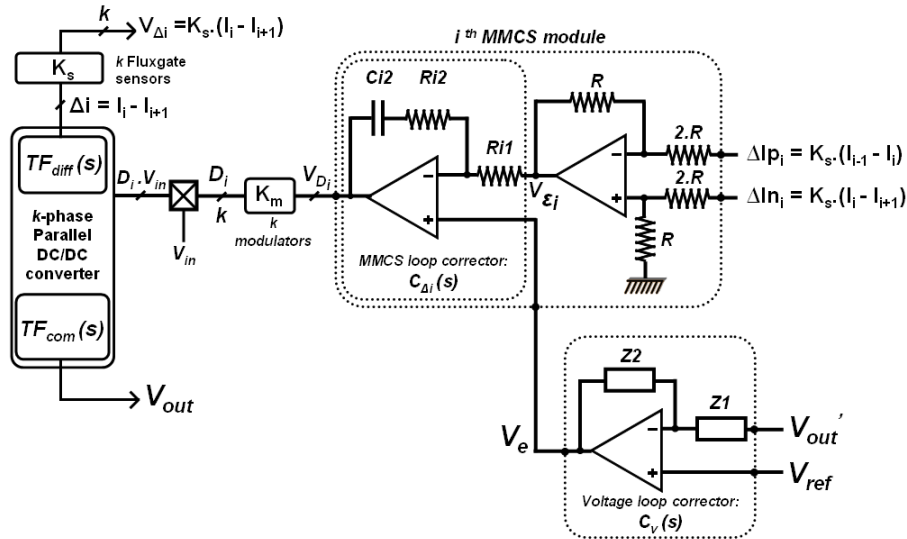


Figure 3.4 : Mise en œuvre de l'équilibrage modulaire des courants d'un système régulé en tension.[23]

Sur cette figure, le circuit appelé MMCS (Masterless Modular Current-Sharing) détermine la valeur de la correction locale  $V_{ei}$  à partir des valeurs des courants des modules voisins ( $I_{i+1}$  et  $I_{i-1}$ ) et de celui de son bras ( $I_i$ ). Le correcteur de mode-différentiel  $C_{\Delta i}(s)$  de faible bande passante réalise deux opérations en même temps : il annule cette erreur et ajoute la correction obtenue à la modulante de mode commun notée  $V_e$ . Le correcteur de mode commun large bande est noté ici  $C_v(s)$ . L'obtention d'une modulante locale  $V_{Di}$  corrigée, comparée à une porteuse (opération du bloc 'modulators'), fournit le rapport-cyclique local  $D_i$ .

Ce dispositif a été mis en place au sein de l'ASIC final et sera montré plus en détails dans le chapitre 4.

### 3.3 Principe du calcul décentralisé du rapport-cyclique de mode-commun

A présent, les deux premières fonctions (générateur de porteuse et équilibrage des courants) ont été placées de façon modulaire au niveau des cellules de commutation du convertisseur. On obtient des circuits de contrôle identiques communiquant entre eux dans une structure chaînée. Ainsi, le système obtenu entrelace ses porteuses et équilibre ses courants de bras de manière « automatique » et décentralisé. Seul le calcul du rapport cyclique de mode commun reste général au système et est effectué par un organe central.

La dernière étape consiste à reporter ce calcul au niveau des bras du convertisseur. Ainsi chaque bras déterminera son propre rapport-cyclique afin de réguler la tension de sortie et d'obtenir l'égalité des courants dans le convertisseur.

Si on place, au niveau de chaque module, une régulation de tension conventionnelle (cherchant à obtenir l'égalité  $V_{out}=V_{ref}$ ), vue de la sortie, chaque bras va se comporter comme une source idéale de tension. La figure 3.5 illustre ce propos. Si on place en parallèle des bras régulés de la sorte, on obtient une mise en parallèle de sources de tension idéales. Ainsi, la moindre erreur sur la valeur de ces sources (différence des offsets des amplificateurs par

exemple) va entraîner des écarts de courants de bras incontrôlés. Pour cette raison, cette association parallèle est interdite.

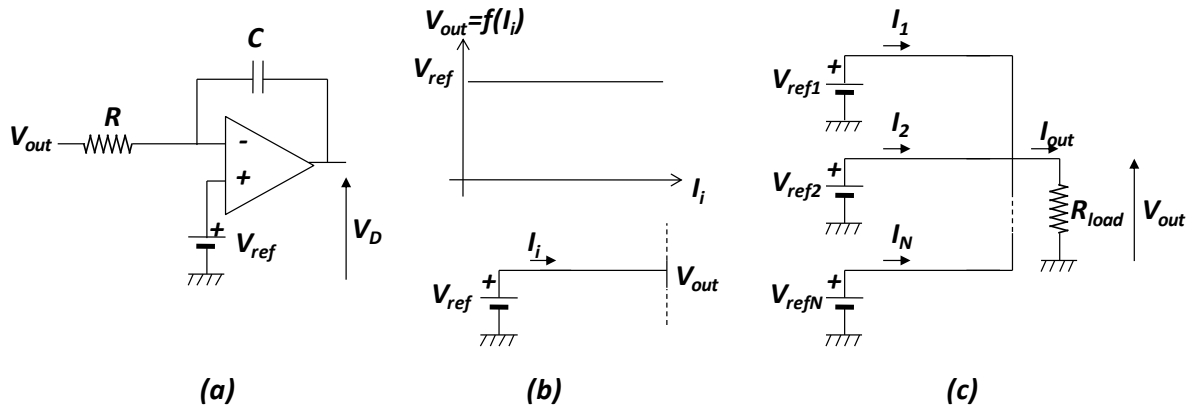


Figure 3.5 : a) Circuit de régulation classique; b) Caractéristique de sortie d'un bras et schéma équivalent Thévenin; (c) Circuit équivalent du convertisseur parallèle à  $N$ -bras.

Une solution consiste à s'inspirer des méthodes de régulation appelées AVP (Adaptative Voltage Positioning). Ces régulations permettent d'obtenir, par le biais de l'injection d'une fraction du courant de sortie dans la boucle, une valeur régulée de tension de sortie dépendante de la consigne  $V_{ref}$  et du courant débité  $I_{out}$  :  $V_{out}=f(V_{ref}, I_{out})$ .

Appliquée à notre cas, on peut espérer modifier le comportement équivalent des bras du convertisseur et ainsi mieux maîtriser la valeur des courants distribués.

La figure 3.6 montre le principe de la régulation AVP appliquée au cas d'un convertisseur parallèle à  $N$ -bras.

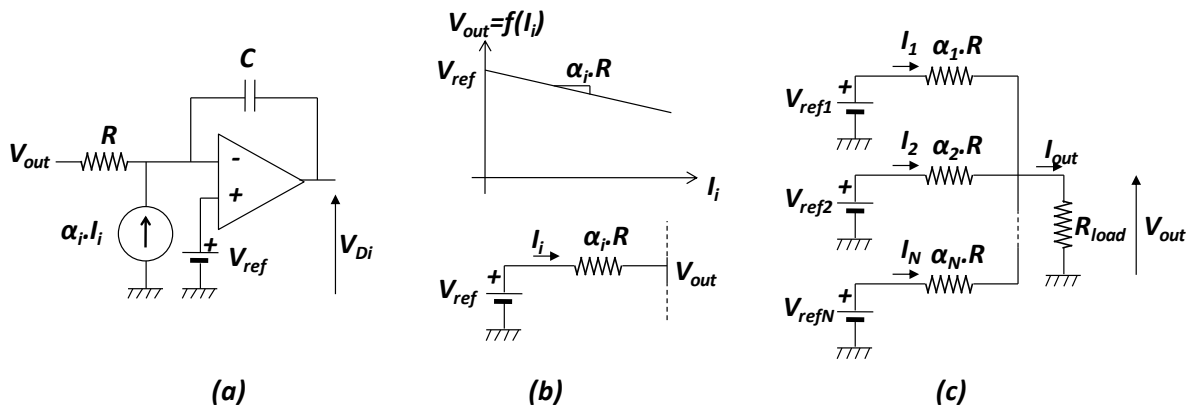


Figure 3.6 : a) Circuit de régulation de type AVP; b) Caractéristique de sortie d'un bras et schéma équivalent Thévenin; (c) Circuit équivalent résultant du convertisseur parallèle à  $N$ -bras.

Sur la figure 3.6(a), on voit qu'une fraction du courant circulant dans le  $i^{me}$  bras est réinjectée dans la boucle de régulation. Par construction, ce circuit imbrique une boucle de régulation de tension avec une boucle de courant. En effet, avec une approximation « petit signal », on obtient, dans le domaine de Laplace, l'équation suivante :

$$V_{Di}(s) = -\frac{1}{C.s} \cdot \frac{V_{out}(s)}{R} - \frac{1}{C.s} \cdot \alpha_i \cdot I_i(s) \quad (3.1)$$

avec  $s$  : la variable de Laplace;  $V_{Di}$  : la tension de sortie de l'amplificateur opérationnel dans le  $i^{\text{ème}}$  bras;  $I_i$  : le courant circulant dans le  $i^{\text{ème}}$  bras ;  $\alpha_i$  : un facteur d'atténuation dans le  $i^{\text{ème}}$  bras (représentatif du capteur de courant);  $V_{out}$  : tension aux bornes de la charge.

On peut noter que  $V_{Di}$  représente l'image en tension du rapport-cyclique obtenu dans le bras considéré. Les variations de ce dernier sont bien fonctions de celles de la tension de sortie et de celles du courant circulant dans le bras.

Le système bouclé tentant d'annuler la différence des tensions présentes sur les entrées positive et négative de l'amplificateur opérationnel, on obtient l'équation suivante :

$$V_{out} = V_{ref} - \alpha_i \cdot R \cdot I_i \quad (3.2)$$

avec  $V_{ref}$  : consigne en tension.

La figure 3.6(b) montre la caractéristique statique de sortie obtenue. La tension diminue lorsque le courant du bras augmente. On obtient un schéma équivalent Thévenin mettant en jeu une source de tension idéale de valeur  $V_{ref}$  en série avec une impédance de valeur  $\alpha_i \cdot R$ .

On peut maintenant placer en parallèle ces bras ainsi régulés et on obtient le schéma équivalent donné par la figure 3.6(c). Cette fois, si des disparités existent entre les diverses grandeurs présentes dans le système, les valeurs des courants de bras peuvent être calculées.

En effet, on peut écrire :

$$V_{out} = \frac{\sum_N \frac{V_{refi}}{\alpha_i \cdot R}}{\frac{1}{R_{load}} + \sum_N \frac{1}{\alpha_i \cdot R}} \quad (3.3)$$

avec  $V_{refi}$  : la tension de référence équivalente du  $i^{\text{th}}$  bras (prenant en compte l'offset de l'amplificateur);  $\alpha_i$  : le facteur d'atténuation du  $i^{\text{ème}}$  bras (dénotant des disparités présentes sur les capteurs de courant) et  $R_{load}$  : l'impédance de sortie.

Ainsi, la valeur des courants de chaque bras est déterministe et peut être calculée :

$$I_i = \frac{V_{refi} - V_{out}}{\alpha_i \cdot R} \quad (3.4)$$

Dans le cas d'un système idéal ne présentant aucune disparité sur ses composants, on peut écrire :

$$\begin{cases} V_{ref1} = V_{ref2} = \dots = V_{refN} \\ \alpha_1 = \alpha_2 = \dots = \alpha_N \end{cases} \quad (3.5)$$

Ce qui conduit à une égalité parfaite des courants de bras :

$$I_1 = I_2 = I_3 = \dots = I_N = \frac{I_{out}}{N} \quad (3.6)$$

Cependant, dans le cas d'une réalisation concrète d'un convertisseur, les circuits de contrôle des bras ne sont pas exactement identiques. De plus, dû à l'utilisation de composants discrets (cellule de commutation réalisée par l'association de composants siliciums discrets, inductances), les pertes ohmiques résultantes dans les bras sont différentes. On obtient alors des déséquilibres inhérents à la réalisation et des disparités sur les valeurs des courants circulant dans les bras deviennent inévitables.

Une boucle de correction interne dédiée à l'équilibrage des courants est donc nécessaire et doit être étudiée. On peut ajouter, de plus, qu'elle devient incontournable dans le cas de l'utilisation d'inductances couplées entre elles dans les bras du convertisseur. En effet, le moindre écart de courant de bras peut entraîner des variations importantes de flux dans les noyaux magnétiques mis en jeu. Ceci peut conduire, dans certains cas de dimensionnement, à la saturation des inductances et à une destruction possible de composants.

Le principe d'équilibrage modulaire des courants, décrit précédemment, ne peut pas être directement appliqué aux boucles de régulation de type AVP. Il faut alors développer une nouvelle approche pour adapter cet équilibrage de courants à notre dispositif de régulation de mode commun décentralisé.

### 3.4 Adaptation de la méthode modulaire d'équilibrage des courants

La figure 3.7(a) montre l'implémentation des régulations de type AVP dans chaque module contrôlant les bras du convertisseur en y incluant les diverses dispersions pouvant intervenir sur les composants. Les impédances  $Z_{Li}$ , les facteurs d'atténuation  $\alpha_i$  et les offsets  $V_{offi}$  des amplificateurs opérationnels sont différents. De plus, on suppose que les pertes ohmiques  $R_{ONi}$  présentes dans les bras sont également de valeurs différentes. On notera que  $Z_2$  est une impédance capacitive.

La figure 3.7(b) fournit le schéma équivalent Thévenin résultant pour le  $i^{me}$  bras.

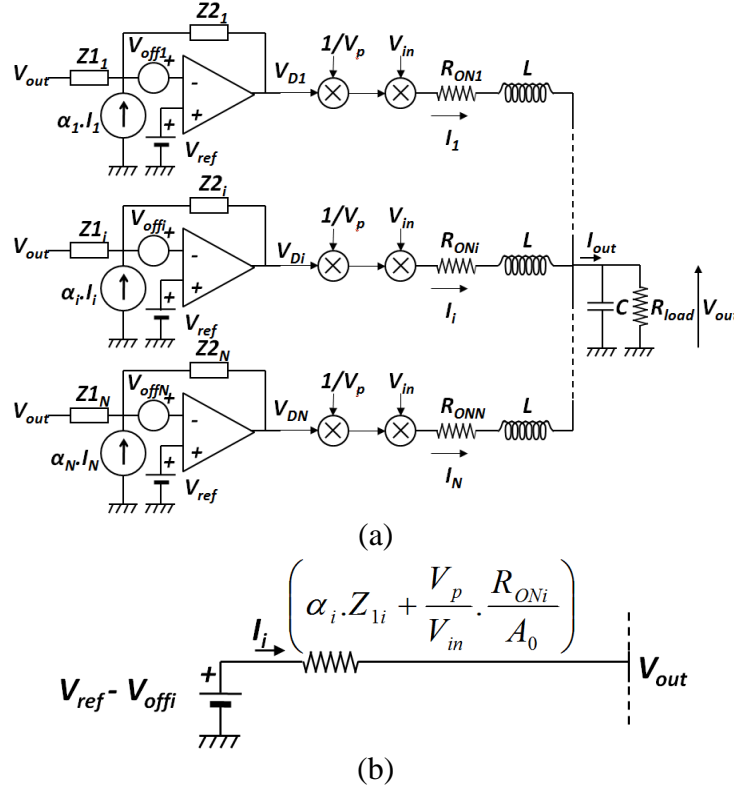


Figure 3.7 : Régulation de tension décentralisée : a)  $N$  régulations de type AVP en parallèle b) Schéma équivalent Thévenin du  $i^{ème}$  bras.

En régime établi, on peut écrire l'équation suivante pour chaque bras :

$$(V_{ref} - V_{offi} - \alpha_i \cdot Z1_i \cdot I_i - V_{out}) \cdot A_0 \cdot \frac{1}{V_p} \cdot V_{in} - R_{ONi} \cdot I_i = V_{out} \quad (3.7)$$

d'où

$$V_{out} \cdot \left( 1 + \frac{V_p}{V_{in}} \cdot \frac{1}{A_0} \right) = V_{ref} - V_{offi} - (\alpha_i \cdot Z1_i + V_{erri}) \cdot I_i \quad (3.8)$$

$$\text{avec } V_{erri} = \frac{V_p}{V_{in}} \cdot \frac{R_{ONi}}{A_0} \quad (3.9)$$

où  $V_p$  est la tension crête-à-crête de la porteuse triangulaire,  $\alpha_i$  est le coefficient d'atténuation du  $i^{ème}$  bras et  $A_0$  représente le gain statique de l'amplificateur opérationnel.

Comme le paramètre  $A_0$  peut être considéré très grand ( $>1000$ ), le terme  $V_{erri}$  est très faible et devient négligeable devant  $\alpha_i \cdot Z1_i$ . Afin de simplifier l'étude, l'équation suivante peut être considérée comme représentative du comportement du  $i^{ème}$  bras :

$$V_{out} = V_{ref} - V_{offi} - (\alpha_i \cdot Z1_i + V_{erri}) \cdot I_i \quad (3.10)$$

Un schéma équivalent Thévenin est alors proposé (voir figure 3.7(b)). Un tel dispositif donne la caractéristique statique montrée par la figure 3.8(a). La tension de sortie présente sur la charge est commune à tous les bras du convertisseur. On note sur cette figure  $V_{out0}$  la valeur obtenue en régime établi. Chaque caractéristique présente une tension à courant nul différente

et une pente spécifique. La valeur du courant circulant dans un bras est obtenue à l'intersection de la caractéristique du bras considéré avec la droite  $V_{out0}$ . On observe que, par construction, les courants résultants ne sont pas de valeurs égales.

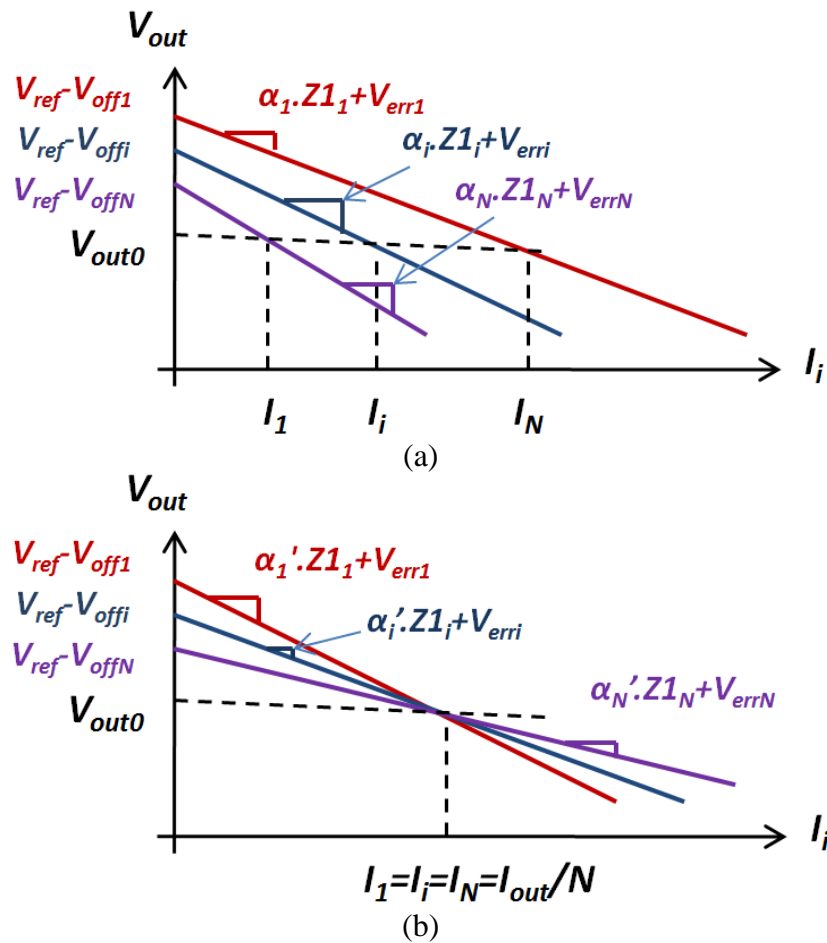


Figure 3.8 : Caractéristique de sortie: a) sans correction de pente b) avec correction de pente.

La figure 3.9(b) montre le principe de la stratégie adoptée. En modifiant la valeur des pentes des caractéristiques, on peut trouver un point focal pour lequel la tension de sortie  $V_{out0}$  reste inchangée et l'égalité des courants des bras est obtenue. La modification des pentes revient à considérer que les impédances  $\alpha_i \cdot Z_{1i}$  deviennent ajustables. En comparant les courants des bras avec la moyenne de leurs voisins, on obtient des termes d'erreur avec lesquels on doit être en mesure de déterminer les corrections de pente à apporter.

La figure 3.9(a) illustre ce procédé. Le courant du  $i^{ème}$  bras  $I_i$  est comparé à la valeur moyenne de ses voisins  $I_{i+1}$  et  $I_{i-1}$ . Un correcteur de type intégrateur, utilisé pour annuler l'erreur  $\epsilon_{idiff}$  obtenue, calcule un terme de correction de pente noté  $V_{ctrli}$ .

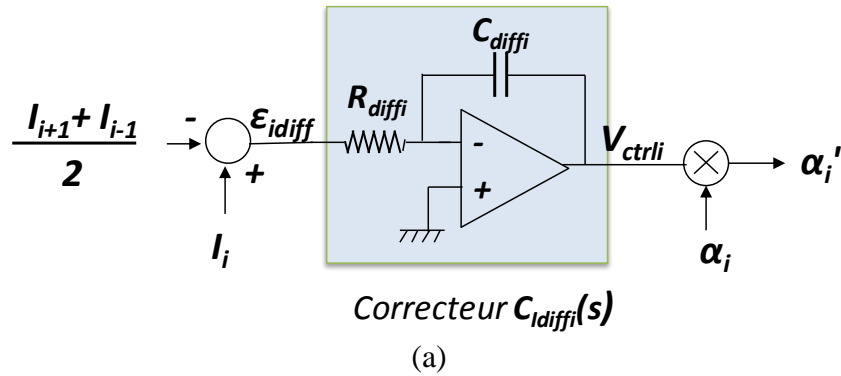
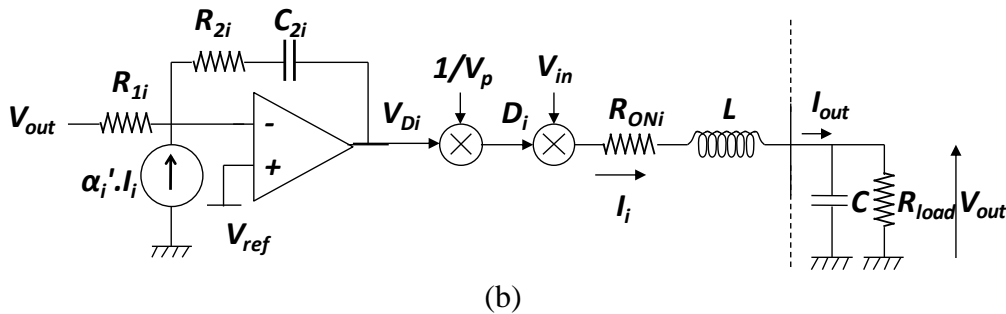
**Correction de pente (mode différentiel)**

**Régulation en tension de type AVP(mode commun)**


Figure 3.9 : Implémentation du contrôle décentralisé: a) Dispositif de correction de pente; b) Régulation locale de type AVP avec correction de pente.

Ce terme est multiplié au facteur d'atténuation du bras  $\alpha_i$  afin de fournir un coefficient corrigé  $\alpha'_i$  comme illustré par l'équation suivante :

$$\alpha'_i = \alpha_i \cdot V_{ctrli} \quad (3.11)$$

où  $\alpha'_i$  représente le facteur d'atténuation corrigé influant directement sur la pente de la caractéristique statique du  $i^{\text{ème}}$  bras et  $V_{ctrli}$  est le facteur de correction de pente (terme sans unité).

Ce facteur d'atténuation corrigé est appliqué au régulateur de tension de type AVP comme montré sur la figure 3.9(b). Ainsi, chaque bras calcule sa propre correction de pente et l'applique à sa caractéristique statique afin de converger vers un point focal commun.

Il faut noter cependant que si tous les bras appliquent la même opération de correction de pente, plusieurs points focaux deviennent possibles. Afin d'éviter ce problème, il suffit que l'un des bras parmi  $N$  n'applique pas de correction de pente et garde fixe la valeur de sa pente. De la sorte, ce bras imposera le point focal vers lequel les autres bras convergeront.

### 3.5 Calcul du correcteur d'équilibrage des courants et stabilité du système

Le régulateur de mode commun de type AVP permet de réguler la tension de sortie avec une dépendance du courant de sortie. Pour déterminer la nature du filtre mis en jeu, de nombreux



travaux sont disponibles dans la littérature et propose des solutions adaptées pour chaque type d'application [49-59].

En revanche, aucun travail préalable n'a été effectué pour le dimensionnement du correcteur  $C_{Idiff}$ .

Le calcul de ce correcteur  $C_{Idiff}$  doit être réalisé dans l'optique de garantir la stabilité du convertisseur et d'annuler les éventuels écarts de courants présents dans les bras. L'annulation des erreurs de courants concerne le mode différentiel.

Pour cette raison, dans cette étude, toutes les grandeurs de sortie (courant et tension) sont considérées invariantes. Ainsi, la valeur moyenne des courants circulant dans les bras est invariante et seul leur écart est à prendre en considération.

On peut noter :

$$I_i(t) = \bar{I} + i_i(t) \text{ avec } \bar{I} = \frac{I_{out}}{N} \quad (3.12)$$

où  $\bar{I}$  représente la valeur moyenne des courants des bras du convertisseur,  $i_i(t)$  représente l'écart du  $i^{\text{ème}}$  courant avec cette moyenne et  $I_{out}$  est le courant présent dans la charge.

De même, on peut noter l'expression du rapport cyclique du  $i^{\text{ème}}$  bras sous la forme :

$$D_i(t) = D + d_i(t) \quad (3.13)$$

avec  $D$  : Rapport-cyclique de mode commun ;  $d_i(t)$  correction locale du rapport cyclique (mode différentiel).

L'étude de la réponse du convertisseur en mode différentiel [41] nous permet d'écrire l'expression de la fonction de transfert suivante :

$$H_i(s) = \frac{I_i(s)}{D_i(s)} = \frac{V_{in}}{R_{ONi}} \cdot \frac{1}{1 + \frac{L}{R_{ONi}} \cdot s} \quad (3.14)$$

Elle représente la réponse en courant différentiel d'une excitation différentielle de rapport cyclique présente sur deux bras consécutifs. D'autres boucles différentielles pourraient être considérées dans le système, introduisant d'autres constantes de temps. Cependant, on démontre que la boucle « locale » est la plus rapide et la plus contraignante. Pour cette raison, on ne garde que cette expression simplifiée qui représente le pire cas.

Considérons maintenant l'expression du système bouclé. Les deux schémas de la figure 3.9 nous montrent que deux boucles de courant sont imbriquées : celle participant au correcteur de type AVP (en bas) et celle permettant de réaliser la correction de pente (en haut).

La première boucle (correcteur AVP) répond à l'équation suivante :

$$\alpha_i \cdot I_i = (V_{ref} - V_{Di}) / Z_{2i} + (V_{ref} - V_{out}) / R_{1i} \quad (3.15)$$

où  $Z_{2i}$  représente l'impédance placée entre la sortie et l'entrée négative de l'AOP.

En décomposant les variables en deux termes, l'une représentant la valeur moyenne (notée  $\bar{x}$ ) et l'autre la composante alternative (notée  $\tilde{x}$ ), on peut poser :

$$\alpha_i' = \bar{\alpha}_i' + \tilde{\alpha}_i', \quad I_i = \bar{I}_i + \tilde{I}_i \quad \text{et} \quad V_{Di} = \bar{V}_{Di} + \tilde{V}_{Di} \quad (3.16)$$

On obtient ainsi l'expression suivante :

$$(\bar{\alpha}_i' + \tilde{\alpha}_i') \cdot (\bar{I}_i + \tilde{I}_i) = (V_{ref} - \bar{V}_{Di} - \tilde{V}_{Di}) / Z_{2i} + (V_{ref} - V_{out}) / R_{1i} \quad (3.17)$$

En ne considérant que le comportement « petit signal », (3.15) et (3.17) nous donnent :

$$\bar{\alpha}_i' \cdot \tilde{I}_i + \tilde{\alpha}_i' \cdot \bar{I}_i + \tilde{\alpha}_i' \cdot \tilde{I}_i = -\tilde{V}_{Di} / Z_{2i} \quad (3.18)$$

Le produit des deux variations  $\tilde{\alpha}_i' \cdot \tilde{I}_i$  est négligeable devant les autres termes variationnels. On obtient alors :

$$\tilde{V}_{Di} = -Z_{2i} \cdot (\bar{\alpha}_i' \cdot \tilde{I}_i + \tilde{\alpha}_i' \cdot \bar{I}_i) \quad (3.19)$$

La deuxième boucle maintenant (correction de pente) nous permet d'écrire :

$$\tilde{\alpha}_i' = \alpha_i \cdot \tilde{V}_{ctrl} = \alpha_i \cdot \tilde{I}_i \cdot C_{Idiffi} \cdot \gamma \quad (3.20)$$

où  $\gamma$  est un facteur d'échelle (égal à  $IA^{-1}$  dans notre application) et  $C_{Idiffi}$  est le correcteur de la boucle d'équilibrage des courants.

A l'aide des équations (3.19) et (3.20), on peut déterminer l'expression de la variation du rapport cyclique  $\tilde{V}_{Di}$  en fonction d'une variation différentielle de courant  $\tilde{I}_i$  :

$$\tilde{V}_{Di} = -Z_{2i} \cdot (\bar{\alpha}_i' \cdot \tilde{I}_i + \alpha_i \cdot \tilde{I}_i \cdot C_{Idiffi} \cdot \gamma \cdot \bar{I}_i) \quad (3.21)$$

$$\text{avec } \bar{\alpha}_i' = \alpha_i \cdot \bar{V}_{ctrl} \quad (3.22)$$

En supposant que  $\bar{V}_{ctrl} = 1V$  et  $\bar{I}_i = \bar{I} = \frac{I_{out}}{N}$  (correction autour de l'équilibre), on peut traduire l'influence des deux boucles de régulation par la fonction de transfert suivante :

$$C_{lavpi}(s) = \frac{D_i(s)}{I_i(s)} = -\frac{Z_{2i}(s)}{V_p} \cdot \alpha_i \cdot [1 + \bar{I} \cdot \gamma \cdot C_{Idiffi}(s)] \quad (3.23)$$

où  $Z_2(s)$  est l'impédance donnée par la mise en série de  $C_{2i}$  avec  $R_{2i}$ ,  $\gamma$  est un facteur d'échelle (égal à  $IA^{-1}$  dans notre application) et  $C_{Idiffi}$  est le correcteur de la boucle d'équilibrage des courants.

Le terme  $C_{lavpi}(s)$  est représentatif du correcteur différentiel global que montre le dispositif. On observe bien, dans son expression, l'intervention de deux termes additifs : l'un relatif à la régulation AVP, l'autre au dispositif de correction de pente.

On peut, dès lors, déterminer l'expression de la fonction de transfert en boucle ouverte de mode différentiel en courant du convertisseur :

$$FT_{OLdiff\_i}(s) = C_{lavpi}(s) \cdot H_i(s) \quad (3.24)$$

Pour déterminer la forme du correcteur  $C_{ldiffi}$  plusieurs stratégies sont possibles. Il faut cependant que ce correcteur se comporte comme un intégrateur aux basses fréquences (annulation de l'erreur différentielle) et que la stabilité de l'ensemble soit assurée.

En utilisant un simple intégrateur, comme montré sur la figure 3.9(a), on obtient pour  $FT_{OLdiff\_i}$  l'expression généralisée suivante :

$$FT_{OLdiff\_i}(s) = \frac{V_{in}}{R_{ONi}} \cdot \frac{1}{1 + \frac{L}{R_{ONi}} \cdot s} \cdot \frac{\alpha_i}{V_P} \cdot R_{2i} \cdot \frac{1 + R_{2i} \cdot C_{2i} \cdot s}{R_{2i} \cdot C_{2i} \cdot s} \cdot \frac{1 + (R_{diffi} \cdot C_{diffi} / \bar{I}) \cdot s}{(R_{diffi} \cdot C_{diffi} / \bar{I}) \cdot s} \quad (3.25)$$

La marge de phase de cette fonction de transfert doit être analysée afin de garantir la stabilité du système régulé.

La figure 3.10 montre, de façon synthétique, la contribution de chaque étage à la fonction de transfert  $FT_{OLdiff\_i}$ . La courbe résultante (en rouge) ne se comporte pas tout le temps comme un premier ordre. Ceci indique clairement qu'il nous faut être prudent sur le calcul des composants du filtre  $C_{ldiffi}$  afin d'obtenir une marge de phase suffisante.

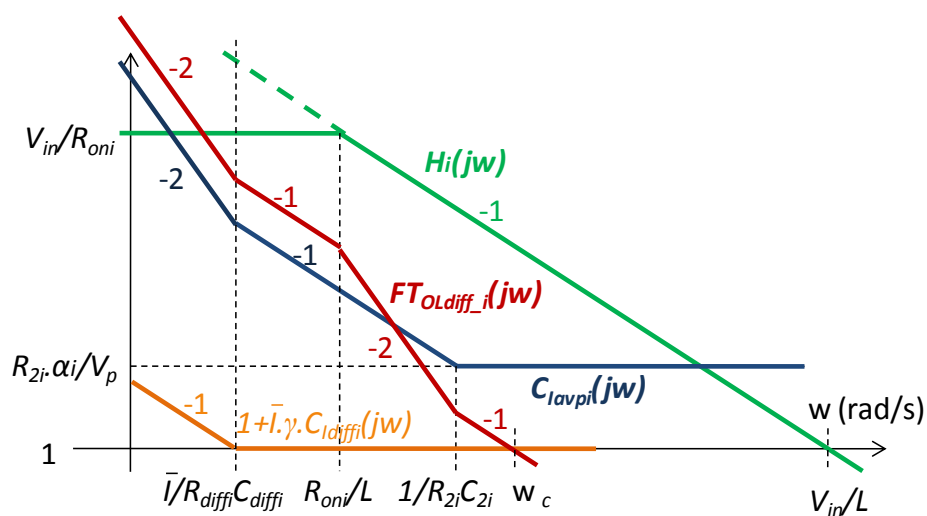


Figure 3.10 : Etude de stabilité du mode différentiel : Fonction de transfert en boucle ouverte du mode différentiel (rouge).

La fréquence  $f_c$  représente la bande passante de la boucle différentielle. Par l'analyse des courbes de la figure 3.10, on peut écrire:

$$f_c = \frac{1}{2\pi} \cdot \alpha_i \cdot \frac{V_{in}}{V_p} \cdot \frac{R_{2i}}{L} \tag{3.26}$$

La figure 3.11 montre les résultats de simulation du système linéarisé pour un cas pratique d'étude. Les données fournies dans le tableau 3.1 donne la liste des valeurs des éléments considérés.

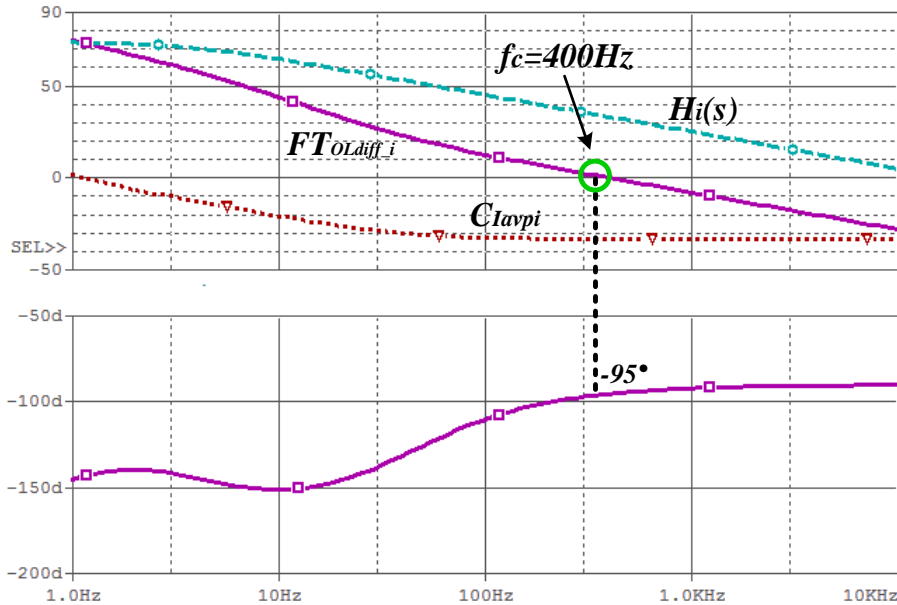


Figure 3.11 : Etude de stabilité du mode différentiel : Simulation « petit signal » du module (en haut) et de la phase (en bas) de  $FT_{OLdiff\_i}$ .

La marge de phase obtenue est égale à  $85^\circ$ . La constante de temps du filtre  $C_{diff}$  est volontairement choisie élevée (très faibles fréquences). Dans ce cas, seule l'influence des désappairages constants ou quasi-statiques du système pourront être corrigés par la boucle différentielle. Ceci convient pour la plupart des cas. En effet, les déséquilibres sont principalement dus aux différences des pertes ohmiques présentes dans les bras (phénomène statique) ou aux écarts de température présents dans les composants siliciums (phénomène à constante de temps lente).

$V_{in}$	$V_{ref}$	$R_{out}$	$L$	$R_{ONi}$	$f_{sw}$	$R_{diffi}$	$C_{diffi}$	$R_{2i}$	$C_{2i}$	$N$
5V	2.5V	0.3Ω	44uH	1mΩ	40kHz	10kΩ	22uF	663Ω	6uF	4

Tableau 3.1 : Valeurs des composants du filtre  $C_{lavpi}$  pour un cas pratique.

Cette simulation donne des résultats conformes à l'étude théorique présentée.

## 3.6 Bilan et propriété de reconfigurabilité

La figure 3.12(b) montre le schéma de principe des fonctions implémentées au sein du module de contrôle. On y trouve :

- Un générateur de porteuse triangulaire à auto-alignement de phase communiquant avec ses modules voisins,
- Un dispositif de calcul de correction de pente nécessaire pour obtenir un équilibrage des courants des bras du convertisseur. Cette fonction communique aussi avec ses modules voisins,
- Et enfin un régulateur de type AVP permettant de réguler la tension aux bornes de la charge. Il détermine la valeur de la modulante notée  $V_D$  à partir de la tension externe  $V_{out}$ , de la tension de référence  $V_{ref}$ , du courant du bras et du facteur de pente corrigé. Ces régulateurs sont ici autonomes et n'ont pas besoin de communication externe.

On peut noter qu'un capteur de courant doit être associé au module afin de relever la valeur du courant circulant dans le bras considéré. Cette question sera abordée dans le dernier chapitre.

Les modules sont donc connectés entre eux dans une configuration chaînée. Il devient alors possible d'ajouter ou de retrancher un module de la chaîne en implémentant dans ce dernier un circuit d'aiguillage contrôlé par un bit *Enable*.

Ainsi, lorsqu'on enlève le module  $i$ , on referme la chaîne en connectant entre eux les modules  $i-1$  et  $i+1$ . Pour ajouter un module, on ouvre la chaîne et on insère l'élément en le connectant avec ses voisins.

Cette propriété peut être particulièrement intéressante en cas de défaillance d'un bras. En effet, on peut désactiver ce dernier (par le biais de fusibles par exemple) tout en s'assurant que le dispositif fonctionnera dans une configuration à  $N-1$  bras équilibrées, régulées et correctement entrelacées. On peut aussi utiliser cette propriété pour mettre en place des bras secours disponibles en cas de défaillance. Enfin, on peut aussi imaginer chercher à optimiser le rendement du convertisseur en ajustant dynamiquement le nombre de bras placés en parallèle pour répondre au mieux, par exemple, à des variations de charge.

La figure 3.12(a) montre le cas du retrait d'un module de la chaîne. Chaque module a un bit *Enable*. Lorsque celui-ci est actif  $En='1'$ , le module communique avec ses voisins. Lorsqu'il est inactif  $En='0'$ , la cellule de commutation est désactivée et le module établit un lien direct de communication entre ses voisins. De la sorte, la chaîne passe d'un nombre  $N$  de modules communicants à un nombre  $N-1$ . Les générateurs de porteuses modifient leurs phases pour fonctionner à  $N-1$  porteuses entrelacées (déphasage inter-porteuses  $\Delta\varphi=2.\pi/(N-1)$ ). Les régulateurs de type AVP modifient la valeur du rapport-cyclique moyen pour maintenir la tension de sortie constante. Enfin, les correcteurs de pente ajustent leur variable interne  $V_{ctrli}$  pour assurer le maintien de l'équilibrage des courants. Si un module est ajouté à la chaîne, son bit *Enable* est placé à '1' et le procédé de reconfiguration de  $N-1$  bras à  $N$  bras est similaire au cas précédent.

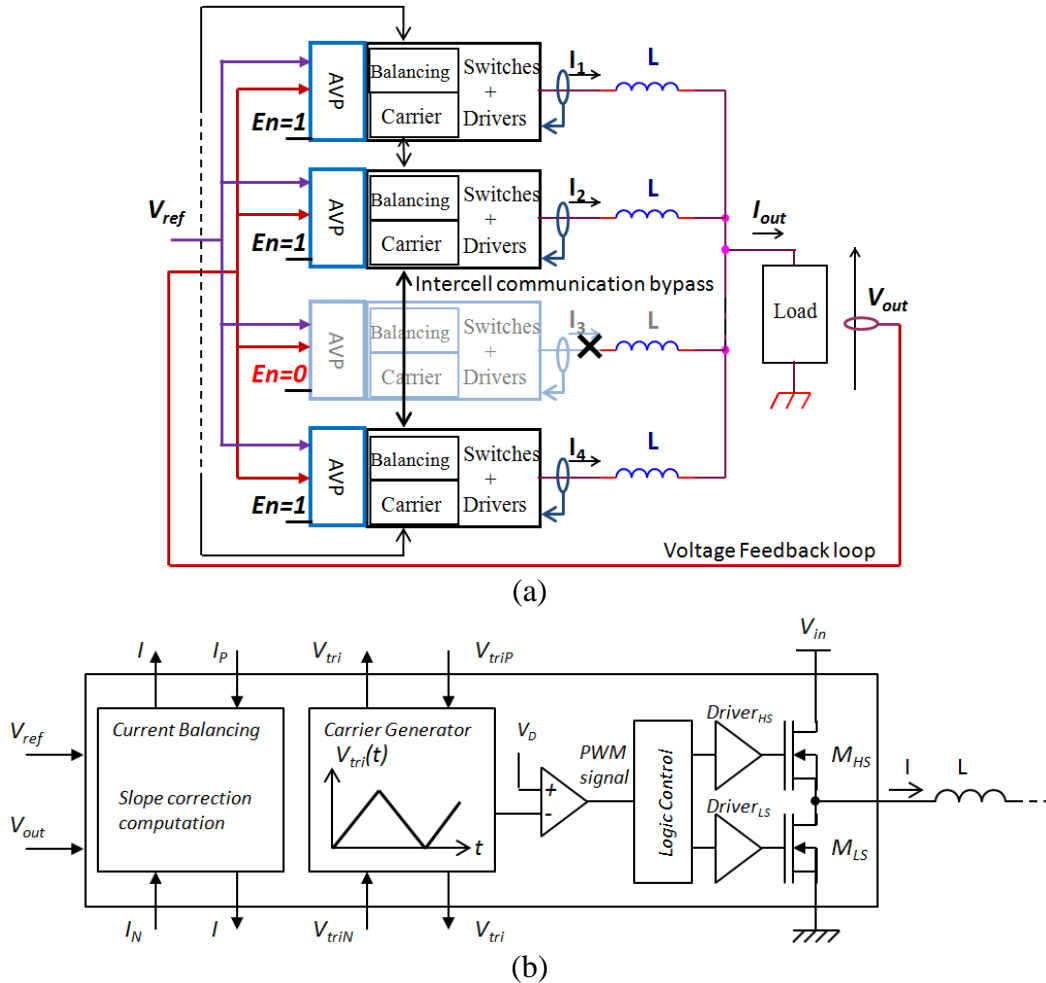


Figure 3.12 : Reconfiguration du système en connectant les modules voisins entre eux : a) Le module 3 est enlevé; b) Eléments internes au modules et ports de communication ( $V_{trip}$ : porteuse précédente,  $V_{trin}$ : porteuse suivante,  $V_{tri}$ : porteuse du module; idem pour les courants).

### 3.7 Résultats expérimentaux

Dans un premier temps, pour vérifier expérimentalement la validité de la solution proposée, une carte d'évaluation a été réalisée. Par la suite, ce circuit sera implémenté dans un ASIC pour fournir la solution finale de contrôle du micro-convertisseur.

La figure 3.13(a) montre une photo de cette carte. Les trois fonctions principales sont implémentées à l'aide de composants CMS : le générateur de porteuse (première version entièrement analogique), le système d'équilibrage des courants et le régulateur de tension de type AVP. Un capteur de courant, composant ACS758 mettant en œuvre une mesure par effet Hall, est ajouté afin de fournir la valeur du courant circulant dans le bras contrôlé par le module. Les ports de communication sont placés sur les bords haut et bas de la carte afin de pouvoir connecter ces derniers dans une configuration chaînée. Les informations échangées sont donc : les signaux de porteuses triangulaires et les valeurs des courants de bras.

La figure 3.13(b) présente un convertisseur à trois bras parallèles utilisant la méthode de contrôle décentralisé. Dans le cas présent, les inductances sont couplées deux à deux sous

forme de coupleurs et agencées dans une configuration cascade-cyclique (avec  $L_m=1.2mH$  pour l'inductance magnétisante et  $L_f=6\mu H$  pour l'inductance de fuite). Les cartes de contrôle sont dupliquées à l'identique autant de fois qu'il y a de bras dans le convertisseur. Chaque module de contrôle fournit les signaux MLI requis pour piloter les cellules de commutations externes.

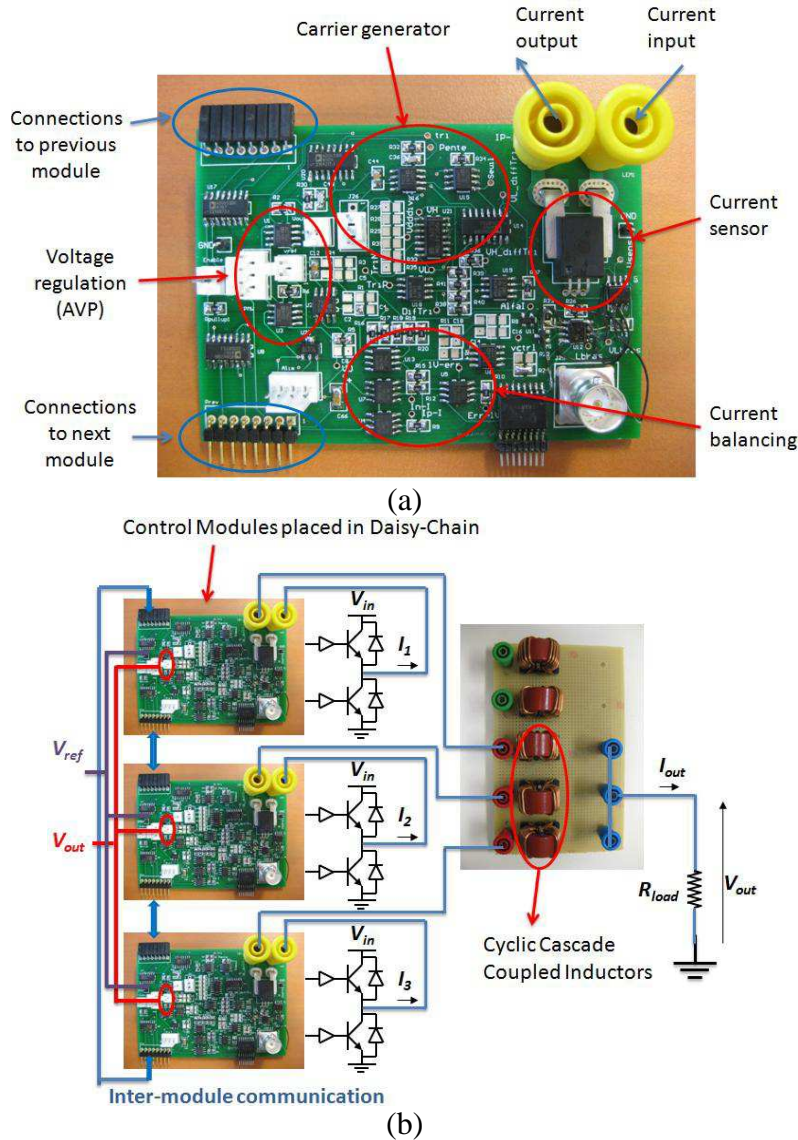


Figure 3.13 : a) Carte d'évaluation CMS d'un module implémentant les trois fonctions principales (dimensions  $8.0 \times 5.5 \text{ cm}^2$ ) ; b) Convertisseur parallèle utilisant 3 modules de contrôle connectés dans une configuration chaînée ( $V_{in}=12V$ ;  $V_{out}=1V$ ;  $I_{out}=15A$ ;  $F_{sw}=40KHz$ ).

La figure 3.14(a) montre une séquence de démarrage du convertisseur. Ici aucune précaution n'est prise et le système ne bénéficie pas d'un « soft-start » (démarrage progression du rapport-cyclique). Au départ, les courants des bras sont différents et très rapidement les noyaux magnétiques des coupleurs sont saturés. Le signal  $V_{ctrl}$  montre le comportement d'une des boucles de régulation de courant (facteur de correction de pente). Après 220ms, tous les courants sont égaux et présentent une fréquence d'ondulation 3 fois plus grande que la fréquence de découpage (figure 3.14(b)).



La constante de temps de la boucle de régulation différentielle est volontairement prise très grande (environ 100ms). Elle a pour but de compenser les disparités statiques ou lentement variables du dispositif (pertes ohmiques des bras, écarts de température, etc...). On peut diminuer sa valeur, mais il faut cependant garder une certaine marge pour éviter une instabilité du système.

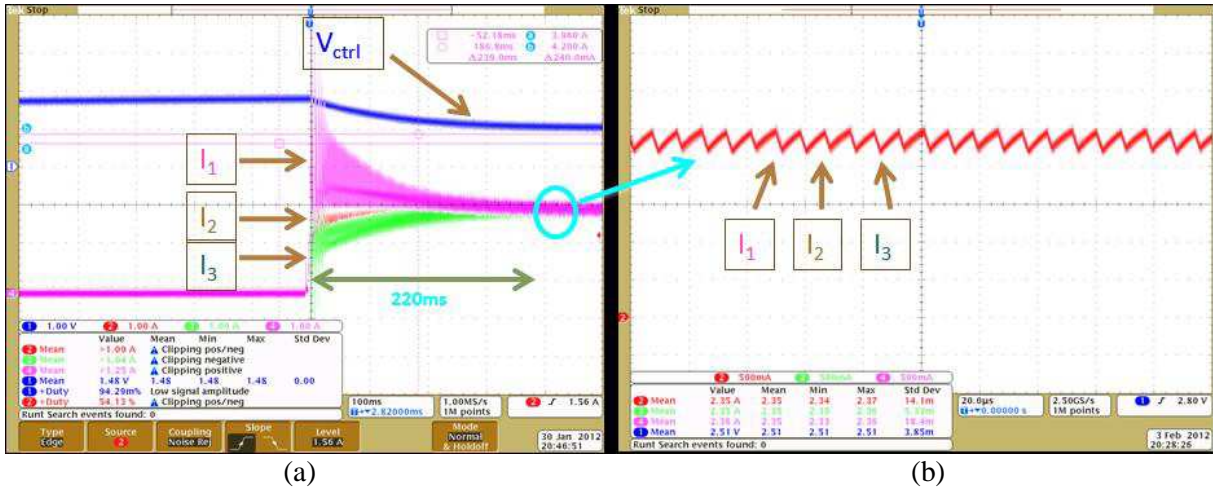
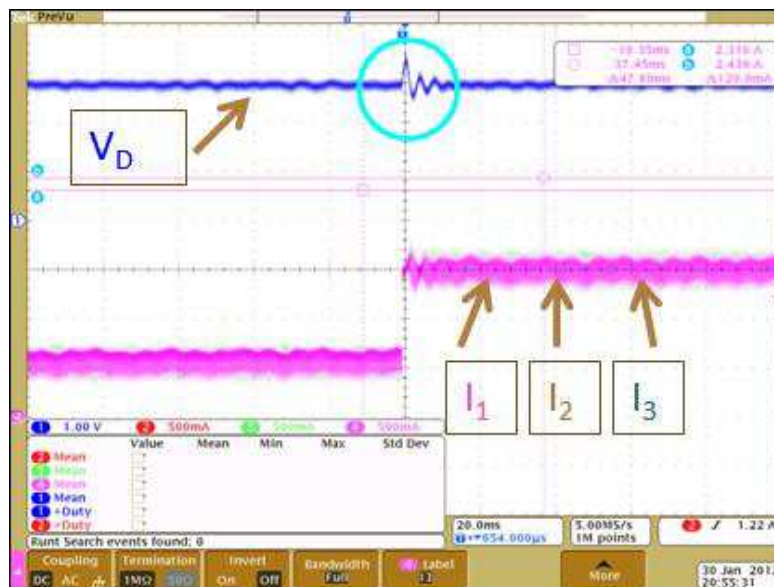


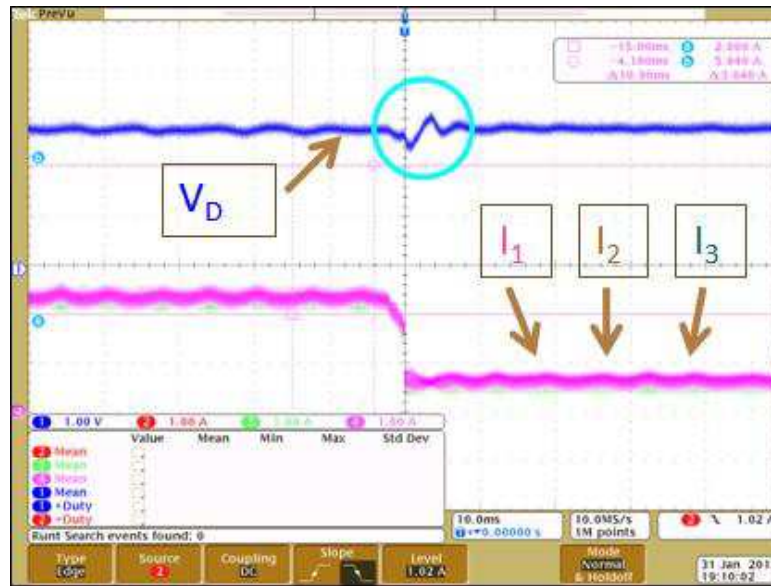
Figure 3.14 : Démarrage et comportement de l'équilibrage de courant : a) Séquence de démarrage avec des coupleurs saturés (1A/div, 1V/div, 100ms/div); b) Régime établi (500mA/div, 20us/div).

La figure 3.15 présente la réponse du convertisseur à des variations rapides de charge. On observe la réponse de la boucle de mode commun qui est très rapide. Le signal  $V_D$  représente la sortie d'un des régulateurs de type AVP des modules. Ce dernier montre que la tension de sortie reste correctement régulée et que le système bouclé est stable. On peut noter que les courants des bras restent égaux entre eux et que seule leur valeur moyenne change pour maintenir constante la tension de sortie. La variable interne  $V_{ctrli}$ , qui a pour fonction de réaliser une correction de pente pour égaliser les courants, n'a pas le temps de changer car sa constante de temps est grande. Ce test démontre la validité de l'approche proposée.



(a)



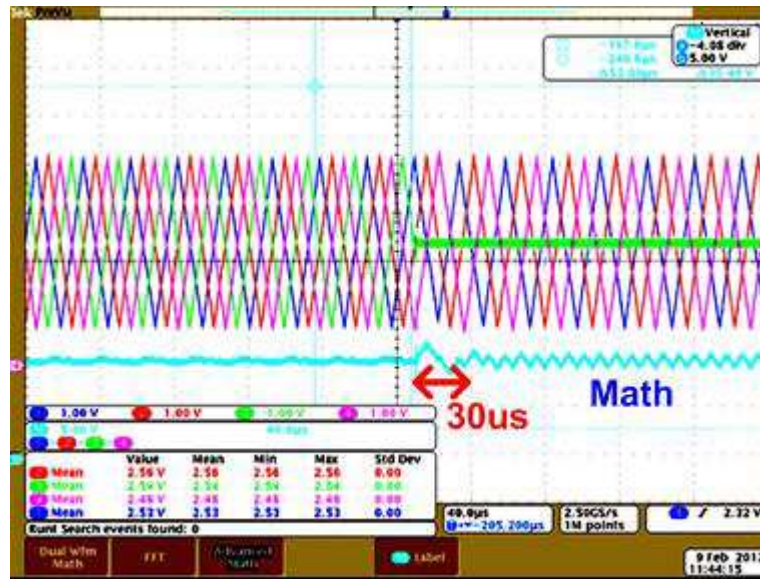


(b)

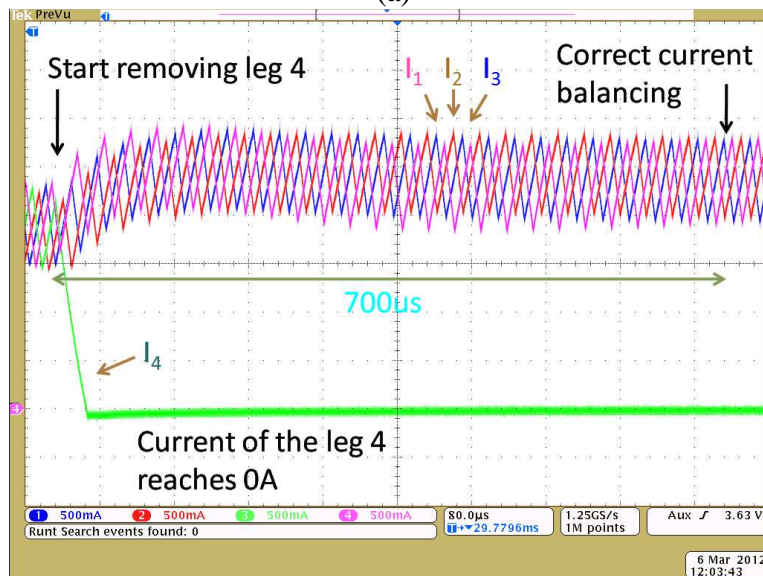
Figure 3.15 : Réponse à des transitoires de charge : a)  $R_{load}$  de  $1.5\Omega$  à  $0.5\Omega$  ( $500mA/div$ ,  $1V/div$ ,  $20ms/div$ ); b)  $R_{load}$  de  $0.5\Omega$  à  $1.5\Omega$  ( $500mA/div$ ,  $1V/div$ ,  $10ms/div$ ).

La figure 3.16(a) montre le résultat expérimental d'un test de reconfiguration de porteuses de 4 vers 3. Le module 4 est ôté de la chaîne et ses modules voisins (3 et 1) sont connectés ensemble. Les porteuses triangulaires changent automatiquement leurs phases respectives pour fournir un entrelacement correct dans une configuration à trois. Le transitoire est relativement court et ne dure que quelques périodes de commutation. Le comportement observé est conforme aux résultats annoncés par la simulation.

Enfin, La reconfiguration dynamique du convertisseur est testée. Il s'agit d'observer le comportement de ce dernier, en fonctionnement, lorsqu'on lui enlève un bras. Le test est réalisé pour un convertisseur à quatre bras utilisant des inductances de  $6\mu H$  non couplées (le cas couplé étant plus délicat). La figure 3.16(b) montre le résultat obtenu pour la transition d'un système à quatre bras vers un fonctionnement à trois. Le bit *Enable* du module 4 est mis à zéro ( $En=0$ ). Les signaux MLI de ce bras sont placés à zéro, déconnectant de ce fait la cellule de commutation associée. Le courant circulant dans l'inductance du bras déconnecté peut, dès lors, recirculer par la diode de l'interrupteur du bas (low side) afin de s'annuler. On observe que les courants des bras adaptent leur valeur moyenne afin de garantir l'obtention d'une tension régulée en sortie. Ce phénomène est produit par les régulateurs de type AVP présents dans les modules de contrôle. La composante alternative des courants est triangulaire et nous renseigne sur la position en phase des porteuses des bras. On constate que ces porteuses règlent leurs phases automatiquement afin de s'entrelacer en quelques périodes seulement.



(a)



(b)

Figure 3.16 : a) Reconfiguration des porteuses de 4 vers 3 ( $40\mu\text{s}/\text{div}$ ,  $1\text{V}/\text{div}$ ), Le signal *Math* est la somme des signaux triangulaires; b) Reconfiguration dynamique du convertisseur de 4 vers 3 bras ( $500\text{mA}/\text{div}$ ,  $80\mu\text{s}/\text{div}$ ). Au démarrage  $I_1=I_2=I_3=I_4=1,75\text{A}=7\text{A}/4$ ; à la fin  $I_4=0\text{A}$ ,  $I_1=I_2=I_3=2,33\text{A}=7\text{A}/3$ .

Ce résultat est très encourageant et montre la puissance de la méthode de contrôle décentralisé proposée. Cette solution a fait l'objet d'un dépôt de brevet [60].

## 3.8 Conclusion

Dans ce chapitre ont été exposées en détail les deux dernières étapes qui ont permis d'obtenir un contrôle modulaire entièrement décentralisé d'un convertisseur statique mettant en jeu un nombre quelconque de bras en parallèle.

On obtient, *in fine*, des circuits de contrôle identiques, appelés modules, placés au niveau de chaque cellule de commutation et communiquant entre eux, de façon locale, dans une configuration chaînée pour garantir le fonctionnement correct du convertisseur.

Les trois fonctions nécessaires, implémentées dans les modules, sont :

- Un générateur de porteuse à auto-alignement en phase permettant de garantir un entrelacement correct des signaux triangulaires dans une configuration à  $N$  modules (avec  $N > 2$ ).
- Un régulateur de type AVP permettant de réguler la tension de sortie (mode-commun) de manière décentralisée.
- Un correcteur permettant de garantir l'égalité des courants circulants dans les bras du convertisseur (mode différentiel), fournissant un terme correctif sous la forme d'un facteur de pente.

L'utilisation de ces modules permet d'obtenir un entrelacement automatique des porteuses, de garantir l'égalité des courants des bras et de réguler correctement la grandeur de sortie. Une étude de stabilité des boucles différentielles a été réalisée afin de fournir des règles importantes et nécessaires pour la mise en œuvre du système.

A l'aide de ces modules de contrôle, la mise en œuvre de la commande d'un micro-convertisseur comportant 10 bras placés en parallèle devient aisée. En effet, il ne suffit plus que d'implémenter un module complet dans une technologie et de réaliser une sorte de « copié-collé » de cet élément autant de fois que nécessaire.

Pour des considérations liées à la fréquence de découpage élevée ( $1\text{ MHz}$ ) et à la nécessité de minimiser la consommation de la partie commande, ces modules seront réalisés par une approche analogique (consommation maîtrisée, large bande-passante, faible encombrement).

# Chapitre 4

## Réalisation de l'ASIC dédié à la commande du micro-convertisseur

<b><u>4.1</u></b>	<b><u>Introduction</u></b> .....	<b>70</b>
<b><u>4.2</u></b>	<b><u>Conception des briques élémentaires</u></b> .....	<b>71</b>
4.2.1	<u>Les circuits de polarisation</u> .....	72
4.2.2	<u>Amplificateur opérationnel rail-to-rail</u> .....	74
4.2.3	<u>Amplificateur d'instrumentation</u> .....	77
<b><u>4.3</u></b>	<b><u>Circuit générateur de porteuse auto-alignée</u></b> .....	<b>78</b>
4.3.1	<u>Le générateur de signal triangulaire</u> .....	79
4.3.2	<u>Obtention des seuils dynamiques</u> .....	80
4.3.3	<u>Alignement en phase</u> .....	81
4.3.4	<u>Contrôle de la fréquence</u> .....	82
<b><u>4.4</u></b>	<b><u>Boucles de régulation</u></b> .....	<b>86</b>
4.4.1	<u>Mode-commun (AVP)</u> .....	86
4.4.2	<u>Mode-différentiel (égalisation des courants)</u> .....	88
<b><u>4.5</u></b>	<b><u>Mesure de courant</u></b> .....	<b>90</b>
<b><u>4.6</u></b>	<b><u>Circuit Complet</u></b> .....	<b>96</b>
<b><u>4.7</u></b>	<b><u>Résultats expérimentaux</u></b> .....	<b>98</b>
<b><u>4.8</u></b>	<b><u>Conclusion</u></b> .....	<b>103</b>

## 4.1 Introduction

Ce chapitre aborde la conception du circuit intégré dédié à la commande du micro-convertisseur 5V-2A. L'intérêt principal de la réalisation d'un ASIC pour la commande est de minimiser et de maîtriser la consommation globale de la partie contrôle. De plus, une forte intégration permet de réduire le nombre d'interconnexions nécessaires ainsi que leurs longueurs afin de pouvoir fonctionner à des fréquences élevées. L'objectif de ce circuit est de générer 10 signaux de commande MLI ayant un déphasage relatif égal à  $2\pi/10$  afin de contrôler 10 cellules de commutations externes au circuit.

Les diverses fonctions décrites dans les chapitres précédents vont être implémentées dans une technologie CMOS 0,35um 5V. Le choix de cette technologie est guidé par son coût (relativement faible) et ses performances fréquentielles (quelques dizaines de MHz de bande passante pour les amplificateurs).

La figure 4.1 donne un aperçu des fonctions présentes dans un module de contrôle. Les trois fonctions essentielles sont présentées: l'équilibrage des courants, le générateur de porteuse et le régulateur de mode-commun.

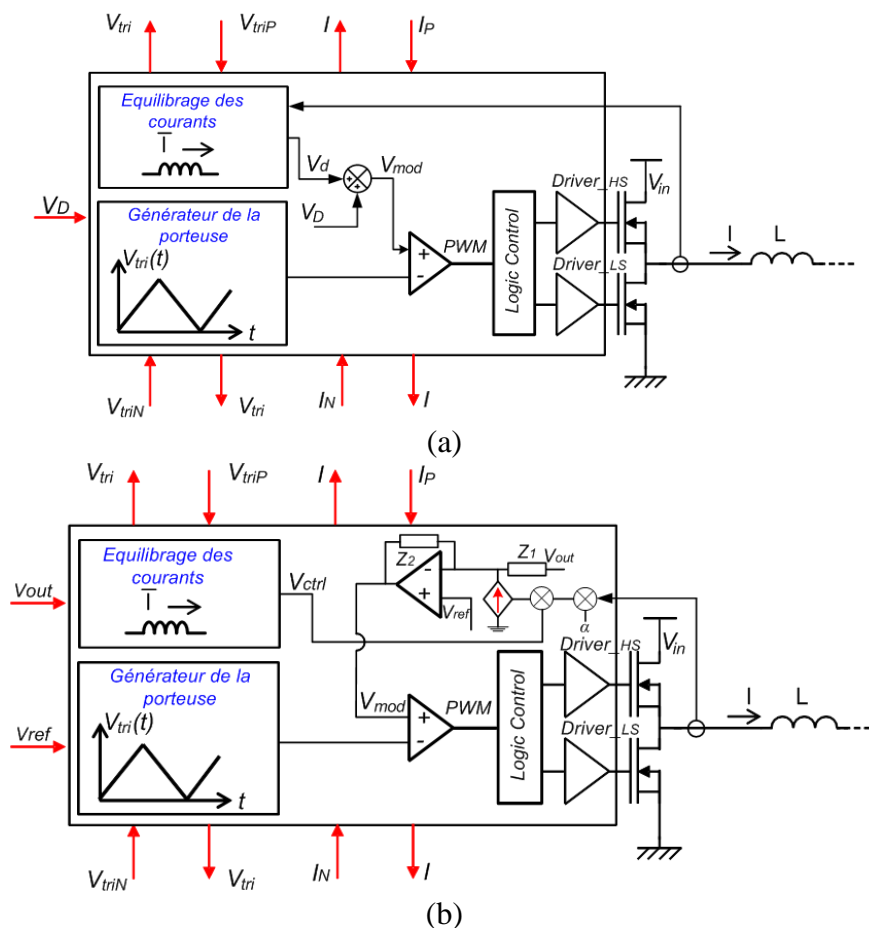


Figure 4.1 : Fonctions internes d'un module de commande pour contrôler une cellule de commutation:(a) Régulation de mode commun centralisée (b) Contrôle entièrement modulaire (AVP).

Les deux premières fonctions nécessitent des communications avec les modules voisins (signaux des porteuses  $V_{tri}$ ,  $V_{triP}$ ,  $V_{triN}$  et signaux des courants  $I$ ,  $I_P$ ,  $I_N$ ). La troisième fonction peut, selon les cas, être incluse ou non au sein du module.

En effet, on peut souhaiter :

- soit ne décentraliser que les deux fonctions relatives à l'entrelacement des commandes et à l'équilibrage des courants et garder le calcul de rapport-cyclique de mode-commun externe (signal  $V_D$ ). Ceci peut être particulièrement avantageux si le calcul de  $V_D$  nécessite de prendre en considération un nombre important d'évènements (séquence de démarrage, transitoires de charge, gestion thermique, modes de fonctionnement particulier, etc...) qui doivent être traités par un microcontrôleur externe. La figure 4.1 (a) illustre ce premier cas.
- soit reporter ce calcul au niveau du circuit associé à la cellule de commutation pour obtenir une commande entièrement modulaire. La figure 4.1 (b) illustre ce dernier cas et montre qu'un dispositif de régulation de type AVP est inclus dans le module et que ce dernier nécessite l'apport de deux signaux externes ( $V_{out}$  : tension à réguler,  $V_{ref}$  : consigne de tension).

Dans ce chapitre, les diverses étapes de conception du circuit intégré de test sont donc exposées. La conception des fonctions élémentaires (AOP, miroir de courant) permettant de construire des circuits plus élaborés est tout d'abord abordée. Ensuite est décrite la conception du générateur de porteuse à auto-alignement en phase. Puis, la mise en place des régulations de mode-commun et de mode-différentiel est détaillée. Et enfin, la fonction de mesure de courant à double échantillonneur-bloqueur est décrite.

Le chapitre conclura par l'analyse du circuit complet réalisé et l'inventaire des résultats expérimentaux obtenus.

## 4.2 Conception des briques élémentaires

Afin d'accélérer le développement de l'ASIC et de minimiser les risques de design (multiplicité de circuits différents procurant des fonctions similaires), certains circuits récurrents, appelés « briques élémentaires », sont tout d'abord abordés.

Dans ce cadre, trois fonctions sont identifiées :

- Les circuits de polarisation qui ont pour but principal celui de distribuer au sein de la puce des courants identiques alimentant les diverses fonctions,
- L'amplificateur opérationnel (ou AOP) servant à réaliser un nombre important de fonctions. Ce dernier sera développé avec comme souci celui d'être polyvalent en terme de gamme de fréquences et de tensions et d'assurer la stabilité du système dans tous les cas,
- Et enfin, l'amplificateur d'instrumentation fournissant un signal représentatif de la différence de deux signaux d'entrée ; ce dernier étant constitué par les AOPs précédents.

### 4.2.1 Les circuits de polarisation

Afin de polariser l'ensemble des fonctions implémentées dans l'ASIC, une stratégie simple et performante est utilisée :

Chaque fonction interne de la puce est conçue de telle sorte qu'elle nécessite l'apport d'un courant de référence lui imposant la polarisation interne de ses mailles. Ce procédé permet d'imposer la consommation globale de la puce par le réglage d'un courant externe.

Par le biais d'une résistance externe à l'ASIC, un courant de polarisation est tout d'abord réglé. Ensuite, par l'utilisation de miroirs de courants successifs, ce courant externe est copié avec un facteur approprié et acheminé au travers de la puce jusqu'aux fonctions qu'il doit polariser.

L'intérêt principal de cette approche réside dans le fait qu'un courant peut circuler sur une longue distance dans la puce sans que sa valeur ne soit affectée aisément par la proximité d'éléments perturbateurs (fils comportant des signaux carrés de haute fréquence par exemple). En effet, les couplages magnétiques inter-fils sont négligeables au regard de ceux capacitifs qui affectent de façon sensible les grandeurs exprimées en tension.

La figure 4.2 montre le circuit utilisé pour recopier le courant externe de référence en un ensemble de courants qui seront distribués dans la puce. Ce courant  $i_{pol}$  entre, par le drain du transistor  $M_1$ , dans un miroir de courant cascodé de gain unitaire composé des transistors NMOS  $M_1$ ,  $M_2$ ,  $M_3$  et  $M_4$ . Le courant résultant est copié, à son tour, par un miroir cascodé de type PMOS (transistors  $M_{P0}$  à  $M_{Pn}$  et  $M_{PP0}$  à  $M_{PPn}$ ) en autant de courants de polarisation que nécessaire (courants  $i_{pol\_1}$  à  $i_{pol\_n}$ ).

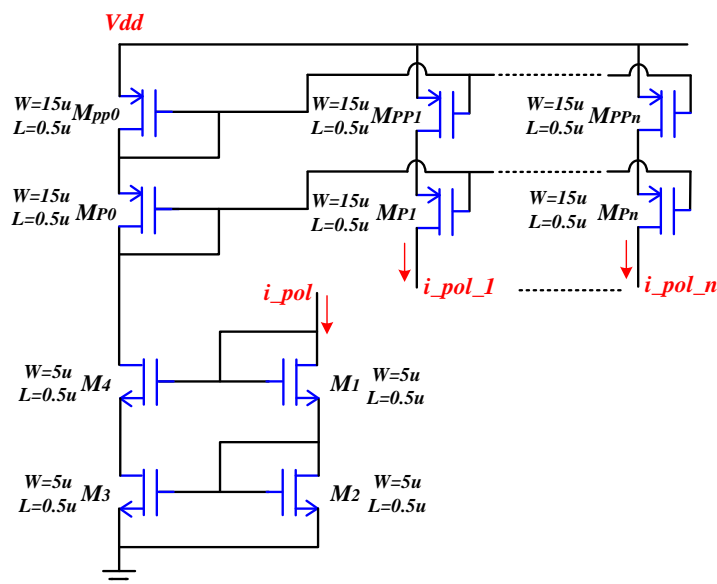


Figure 4.2 : Polarisation des circuits internes : Copie systématique d'un courant de référence externe.

De façon générale, en régime saturé, l'expression (au premier ordre) du courant drain est la suivante :



$$I_D = \frac{1}{2} \cdot \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot (V_{gs} - V_{th}) \cdot (1 + \lambda \cdot V_{ds}) \quad (4.1)$$

avec  $W$  : la largeur effective de la grille,  $L$  : la longueur effective de la grille,  $\mu$  : la mobilité des porteurs du canal,  $C_{ox}$  : la capacité surfacique de grille,  $V_{th}$  : la tension de seuil du transistor et  $\lambda$  : le coefficient de modulation du canal.

En supposant du deuxième ordre le terme lié à la tension  $V_{ds}$ , on obtient :

$$V_{gs} \approx \sqrt{\frac{2 \cdot I_D}{\mu \cdot C_{ox} \cdot W/L}} + V_{th} \quad (4.2)$$

On peut noter que la mobilité des électrons est trois fois plus grande que celle des trous. Ainsi, si on impose un rapport  $W/L$  pour les transistors PMOS ( $W=15\mu$ ,  $L=0.5\mu$ ) trois fois plus grand que celui des NMOS ( $W=5\mu$ ,  $L=0.5\mu$ ), on obtient, pour un même courant circulant dans les transistors des deux types, des tensions grille-source quasi-identiques.

En pratique, pour des courants drains proches de  $10\mu A$ , on dimensionne les rapports géométriques  $W/L$  afin d'obtenir  $V_{gs} \approx 1V$ .

La figure 4.3 montre le dessin des masques réalisés pour implémenter le circuit. Les transistors de même type et de même taille sont placés côte à côte afin de respecter les règles d'appariage des composants. Tous les transistors de type PMOS sont placés dans un même caisson dopé N polarisé à la tension la plus élevée. Des anneaux de garde N+ et P+ sont placés respectivement autour des transistors PMOS et NMOS. De la sorte, les thyristors parasites présents dans le volume sont désinhibés. Deux rails d'alimentation,  $V_{dd}$  et  $gnd$  sont mis en place en haut et en bas du circuit, à une distance fixe et constante sur tous les circuits. Ainsi, il sera aisé par la suite d'assembler les blocs fonctionnels en les plaçant de façon cascadié. Enfin, une capacité de découplage d'alimentation est insérée systématiquement sur chaque bloc (à gauche sur la figure). Cette pratique permet d'assurer l'obtention à terme d'un découplage distribué dans toute la puce.

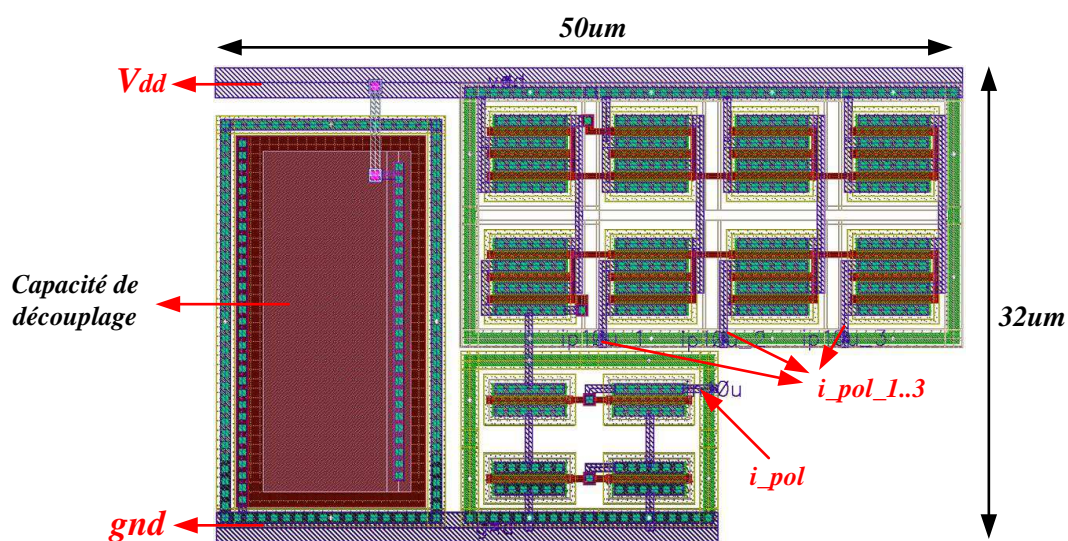


Figure 4.3 : Vue Layout du circuit de polarisation.



## 4.2.2 Amplificateur opérationnel rail-to-rail

L'amplificateur opérationnel (AOP) est une brique élémentaire permettant de réaliser un nombre important de fonctions analogiques : filtre, sommateur, différentiateur, etc... Afin de bénéficier d'un élément polyvalent pour la réalisation de nos fonctions, ce dernier doit être développé avec le souci d'offrir :

- Une large bande passante,
- Une stabilité au gain unitaire pour assurer une stabilité inconditionnelle,
- Et des niveaux de signaux d'entrée et de sortie pouvant couvrir la gamme complète de tensions (de  $gnd$  à  $V_{dd}$ ).

Tout d'abord, pour obtenir ce dernier point, le circuit de la figure 4.4 est réalisé. Il met en œuvre une double paire différentielle symétrique en entrée. La première paire différentielle est composée des transistors  $M_1$ - $M_4$  polarisés par une source de courant de  $10\mu A$  (transistor  $M_{17}$ ). Les transistors  $M_{11}$  et  $M_{12}$  constituent la charge active de cet étage. Elle est capable d'amplifier une différence de tension, présente sur les pattes  $V_{in-}$  et  $V_{in+}$ , pour une gamme de tension de mode commun allant de  $IV$  à  $V_{dd}$ . Son gain est donné par l'expression :

$$a_{v1}' = \frac{gm_N}{g_{ds3} + g_{ds4} + g_{ds12}} \text{ avec } g_{dsx} = \lambda_x \cdot I_{Dx} \text{ et } gm_N = \sqrt{\frac{2 \cdot (W_1 + W_2) \cdot \mu \cdot C_{ox} \cdot (I_{D1} + I_{D2})}{L}} \quad (4.3)$$

avec  $g_{dsx}$  : l'admittance dynamique drain-source du transistor  $M_x$ ,  $\lambda_x$  : le coefficient de modulation du transistor  $M_x$  et  $gm_N$  : la transconductance de la paire différentielle composée de  $M_1$ - $M_4$ .

La deuxième paire différentielle est composée de  $M_5$ - $M_8$ , d'une charge active (transistors  $M_9$  et  $M_{10}$ ) et polarisée par un courant fourni par  $M_{16}$ . Elle couvre une gamme de tension de mode commun allant de  $gnd$  à  $V_{dd} - IV$ . Deux termes de gain sont obtenus :

$$a_{v1}'' = \frac{gm_P}{g_{ds7} + g_{ds8} + g_{ds10}} \text{ avec } gm_P = \sqrt{\frac{2 \cdot (W_5 + W_6) \cdot \mu \cdot C_{ox} \cdot (I_{D5} + I_{D6})}{L}} \quad (4.4)$$

avec  $gm_P$  : la transconductance de la paire différentielle composée de  $M_5$ - $M_8$ .

Comme un recouvrement de tension existe entre les deux gammes de tension de mode commun des paires différentielles, le circuit permet d'obtenir un gain différentiel quels que soient les niveaux des tensions d'entrée.

L'étage de sortie est composé des transistors  $M_{18}$  et  $M_{19}$  qui sont placés dans une configuration « Source commune ». Il s'agit donc d'un deuxième étage de gain qui présente une structure symétrique. De même, deux termes de gain sont fournis par cet étage :

$$a_{v2}' = \frac{gm_{18}}{g_{ds18} + g_{ds19}} \text{ avec } gm_{18} = \sqrt{\frac{2 \cdot W_{18} \cdot \mu \cdot C_{ox} \cdot I_{D18}}{L}} \quad (4.5)$$

$$a_{v2}'' = \frac{gm_{19}}{g_{ds18} + g_{ds19}} \text{ avec } gm_{19} = \sqrt{\frac{2 \cdot W_{19} \cdot \mu \cdot C_{ox} \cdot I_{D19}}{L}} \quad (4.6)$$

Le gain total du circuit est donné par la contribution des deux chemins d'amplification dynamique, soit :

$$a_v = a_{v1}' \cdot a_{v2}' + a_{v1}'' \cdot a_{v2}'' \quad (4.7)$$

On obtient en pratique un gain proche de  $68dB$ .

Par construction, la tension de sortie peut aller du niveau  $gnd$  jusqu'au niveau  $V_{dd}$ . En effet, sur ces niveaux extrêmes, l'un des deux transistors reste actif et fonctionne en zone ohmique (canal non pincé).

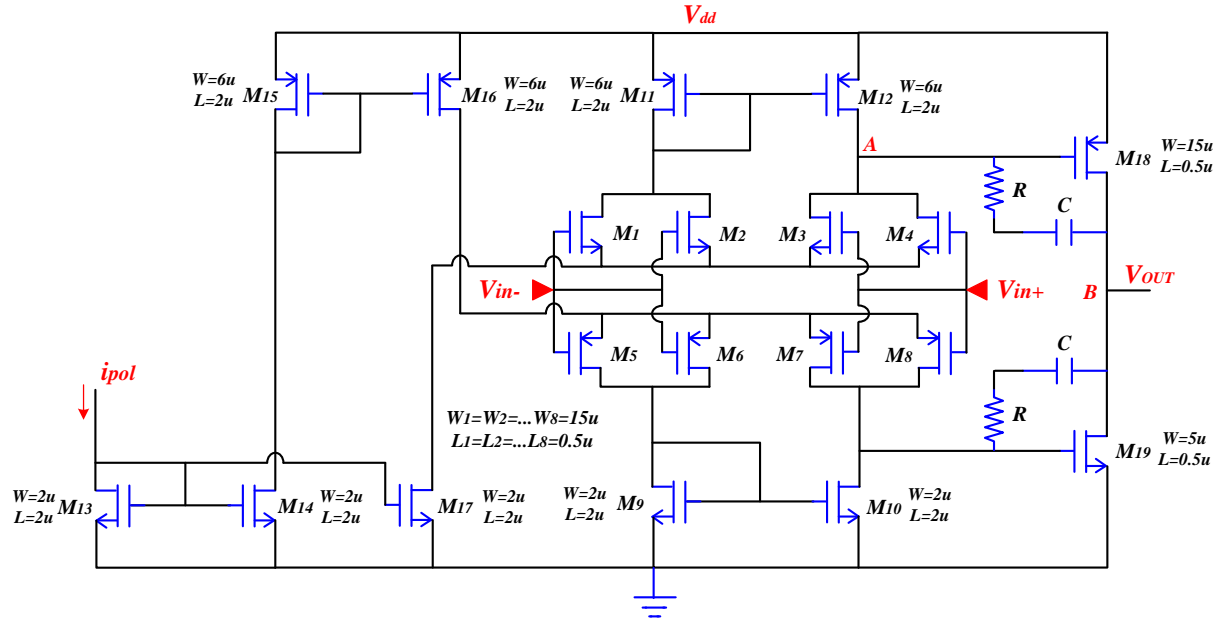


Figure 4.4 : Amplificateur opérationnel « rail-to-rail » en technologie CMOS.

On aborde maintenant l'étude de la bande passante de l'amplificateur et celle de sa stabilité (les deux études étant liées).

En observant un chemin dynamique (gains  $a_{v1}'$  et  $a_{v2}'$  par exemple), on note l'existence de deux points à haute d'impédances dans ce schéma: les points A et B [61] [62]. A chacun de ces points est associé un pôle basse fréquence dans la fonction de transfert. Afin d'imposer un pôle dominant et d'assurer la stabilité de l'ensemble, une capacité Miller, notée C, est placée entre les deux points. On obtient alors un produit gain-bande dont l'expression est rappelée ici (avec  $R=0\Omega$  sur la figure):

$$f_{gb} = \frac{g_{mN} + g_{mP}}{2 \cdot \pi \cdot C} \quad (4.8)$$

Cependant, l'étude de la fonction de transfert en boucle ouverte de l'amplificateur fait apparaître l'existence d'un zéro positif dû à la présence de C. Son expression est la suivante :

$$\tau_z = \frac{C}{g_{m18}} \quad \text{soit} \quad f_z = \frac{g_{m18}}{2 \cdot \pi \cdot C} \quad (4.9)$$

Si la fréquence  $f_z$  intervient avant  $f_{gb}$ , le module de la fonction de transfert ne franchit pas le gain unitaire et la stabilité n'est pas assurée. Pour remédier à ce problème, on insère en série avec  $C$  une résistance  $R$  qui modifie l'expression du zéro. On obtient :

$$f_{z\_corrige} = \frac{1}{2\pi \cdot C \cdot \left| \frac{1}{g_{m18}} - R \right|} \quad (4.10)$$

Ainsi, en ajustant la valeur de  $R$ , on peut : soit faire disparaître ce zéro (avec  $R=1/g_{m18}$ ), soit le rendre négatif et le placer à plus haute fréquence. La deuxième solution permet, en outre, de faire remonter la phase de la fonction de transfert un peu après le passage au gain unitaire, ce qui garantit la stabilité de l'ensemble dans tous les cas de température et de process..

La figure 4.5 présente le résultat de simulation, effectué sous l'environnement CADENCE<sup>TM</sup>, permettant de vérifier la stabilité de l'amplificateur. Cette vérification est réalisée pour trois cas de température (-40°C, 27°C et 125°C) et pour les quatre « pires-cas » process : soit 12 cas considérés.

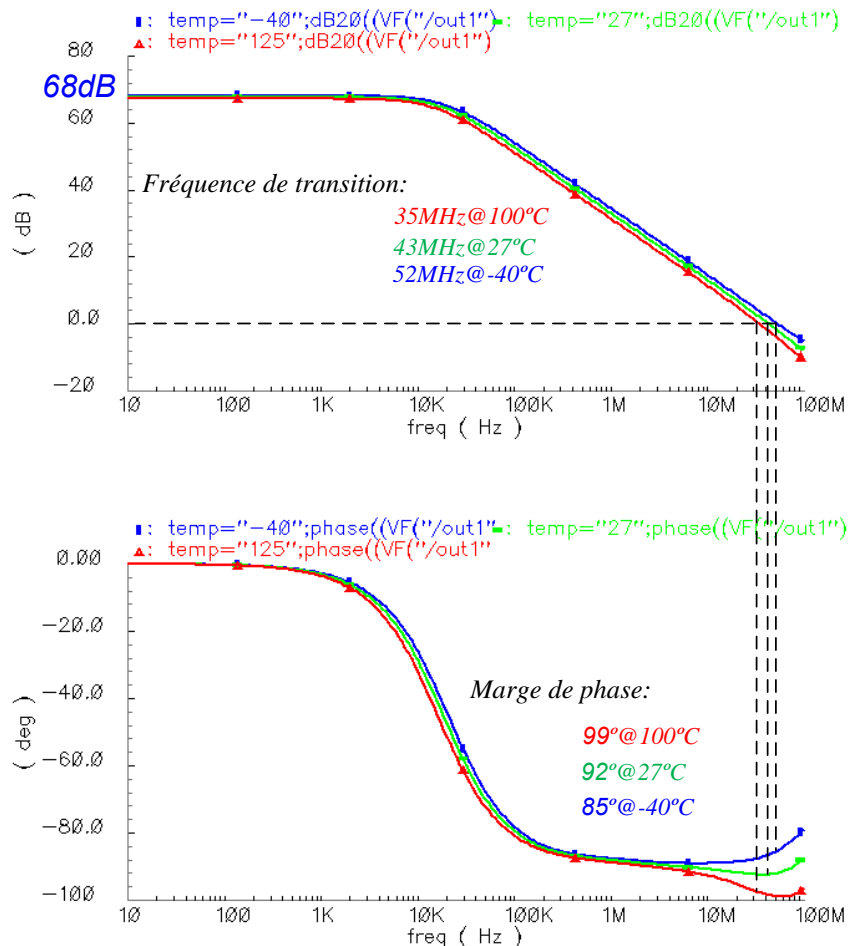


Figure 4.5 : Etude de la marge de gain et de phase de l'amplificateur rebouclé au gain unitaire (-40°C, 27°C et 125°C).

Dans notre cas pratique, on obtient un produit gain-bande  $f_{gb}$  égal à 43MHz. Ceci est très nettement suffisant pour notre application dont la fréquence de découpage est de 1MHz. La

marge de phase est supérieure à  $70^\circ$  dans tous les cas ce qui assure la stabilité. On observe bien sur cette simulation l'influence du zéro négatif qui relève la phase un peu après  $f_{gb}$ .

La figure 4.6 montre le dessin des masques réalisés pour implémenter le circuit. On observe que les deux paires différentielles ont été implémentées en utilisant une structure « centroïde ». Ceci permet d'obtenir des offsets de faible valeur et quasiment insensibles aux non-homogénéités de température et de process potentiellement présentes sur la puce. Les règles d'appairage sont observées et des anneaux de garde sont placés autour des transistors. La distance entre les deux rails d'alimentation,  $V_{dd}$  et  $gnd$ , est conservée. Les deux capacités  $C$  de compensation sont placées au-delà de ces rails et leur facteur de forme est imposé pour donner à l'ensemble un format rectangulaire.

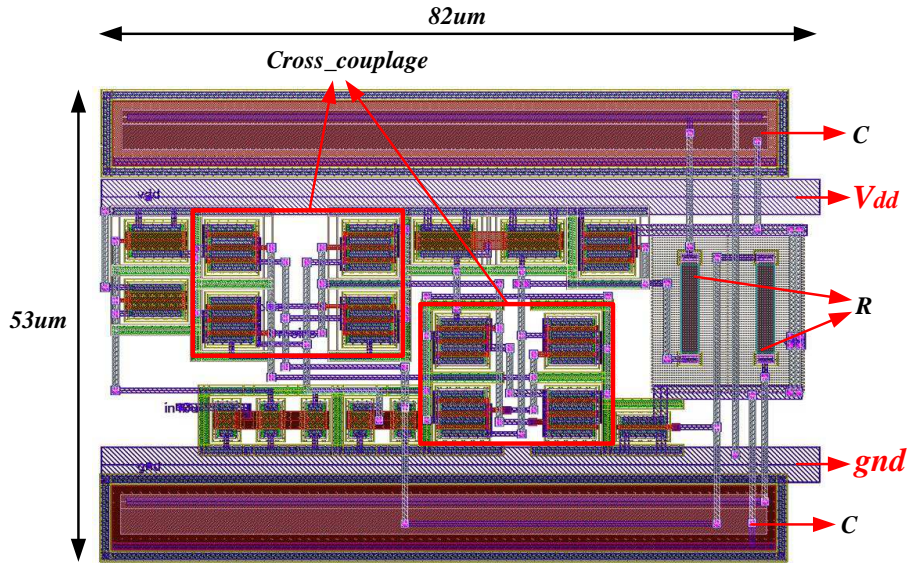


Figure 4.6 : Vue Layout de l'amplificateur opérationnel.

### 4.2.3 Amplificateur d'instrumentation

Cette fonction, utilisée de façon récurrente dans le projet, a pour but de fournir un signal analogique en sortie représentatif de la différence de deux signaux d'entrée évoluant potentiellement entre les niveaux  $gnd$  et  $V_{dd}$ . La figure 4.7 montre le schéma du circuit mis en œuvre. Il contient trois AOPs, quelques résistances appairées et une résistance  $R_G$  permettant de régler le gain de la fonction.

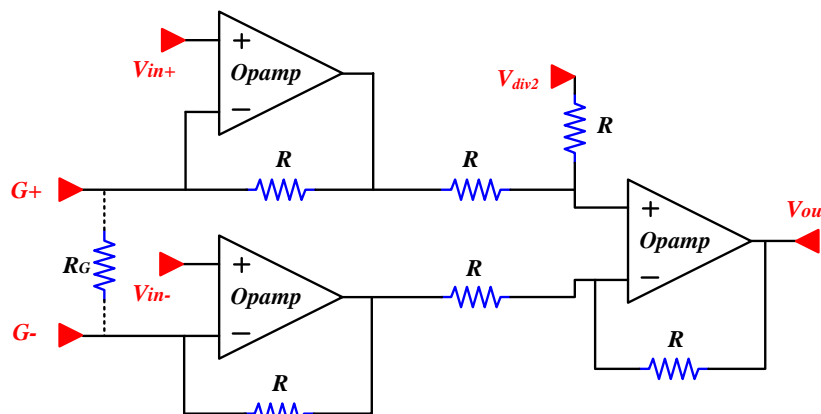


Figure 4.7 : Amplificateur d'instrumentation constitué de trois AOPs avec réglage de gain externe.

L'équation obtenue en sortie de la fonction est la suivante :

$$V_{out}(t) = V_{div2} + G \cdot (V_{in+}(t) - V_{in-}(t)) \text{ avec } G = 1 + \frac{2 \cdot R}{R_G} \quad (4.11)$$

Le gain  $G$  est susceptible d'être réglable de façon externe.

Dans cette fonction, les amplificateurs opérationnels précédents sont utilisés. Ainsi, la stabilité est garantie (gain de chaque boucle locale  $\geq 1$ ), la bande passante est très élevée et le calcul effectué peut être réalisé sur toute la gamme de tension d'alimentation.

La figure 4.8 présente le routage de l'amplificateur d'instrumentation. Les trois AOPs sont placés côte à côte. Au milieu, un système de miroir de courant est utilisé pour polariser les amplificateurs. Deux capacités sont ajoutées pour découpler l'une la tension  $V_{div2}$  et l'autre la tension  $V_{dd}$ . Les résistances de mêmes valeurs sont placées côte à côte afin de garantir un appariage correct (à droite sur la figure).

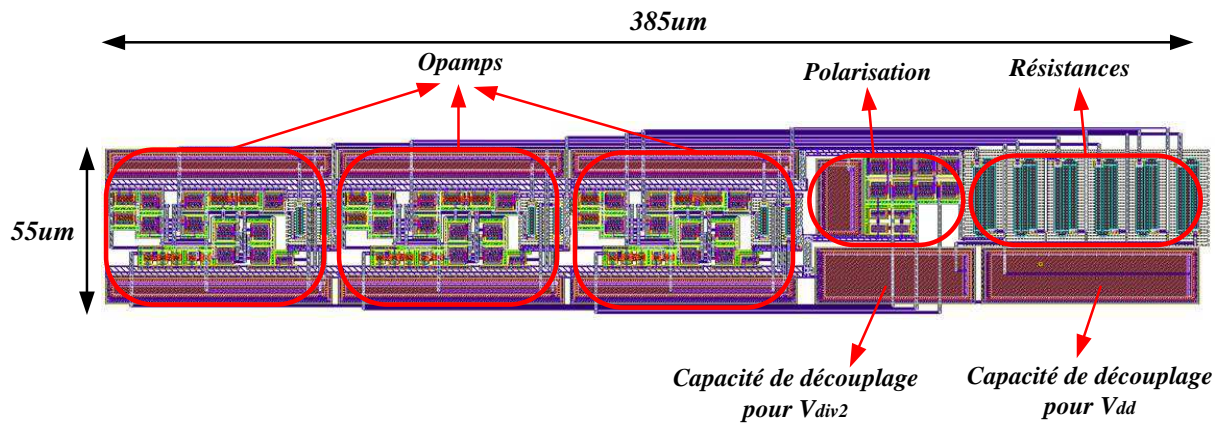


Figure 4.8 : Vue Layout de l'amplificateur d'instrumentation.

### 4.3 Circuit générateur de porteuse auto-alignée

Le principe du générateur de porteuse à auto-alignement en phase utilise la méthode modulaire qui a été présentée au chapitre précédent. Chaque générateur a besoin de recevoir les signaux de ses porteuses voisines afin de pouvoir se centrer par rapport à elles et, par le fait, régler automatiquement sa phase dans un système entrelacé. La figure 4.9 donne le schéma des sous-blocs constituant le générateur. Ces sous-blocs sont :

- 'Système de polarisation' qui sert à générer des courants de polarisation pour tous les sous-systèmes.
- 'Générateur triangulaire' qui utilise un courant constant  $i_{freq}$  permettant de charger ou de décharger une capacité afin de générer un signal triangulaire symétrique.
- 'Générateur des seuils dynamiques' qui superpose un signal alternatif, représentatif de la différence de des porteuses adjacentes, aux tensions fixes des seuils  $V_h$  (4V) et  $V_l$  (1V). Ces seuils déterminent l'amplitude crête-à-crête du signal triangulaire. Ils sont symétrique par rapport la tension  $V_{div2}$  (2.5V).
- 'Contrôle de la phase' qui effectue la comparaison du signal triangulaire  $V_{tri}$  généré aux seuils dynamiques  $V_h(t)$  et  $V_l(t)$  pour obtenir un signal binaire  $V_{trig}$  permettant de

- déterminer le signe de la pente.
- ‘Contrôle de la fréquence’ permettant d’ajuster le courant  $i_{freq}$  afin de régler la fréquence du signal triangulaire.

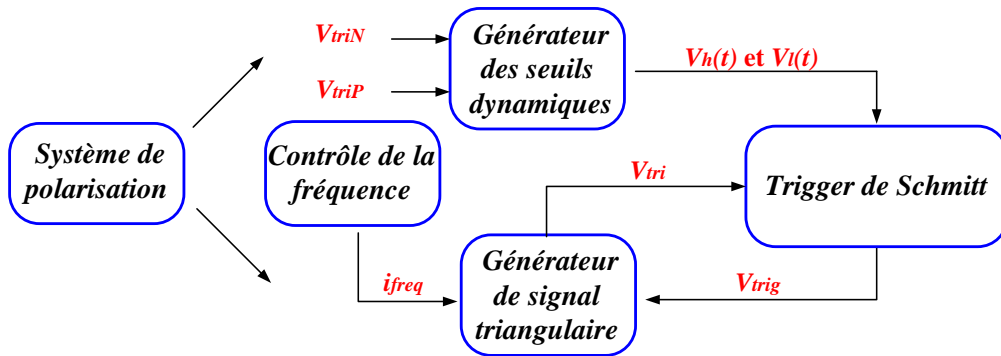


Figure 4.9 : Fonctions internes du générateur de porteuse auto-alignée.

### 4.3.1 Le générateur de signal triangulaire

La Figure 4.10 montre le circuit utilisé pour générer un signal triangulaire. Il s’agit d’un circuit implémentant deux sources de courant permettant de charger ou de décharger la capacité placée en sortie suivant la valeur du bit  $V_{trig}$ .

Le courant  $i_{freq}$  entre dans un premier miroir de courant cascodé constitué des transistors  $M_1 - M_4$ . Il est copié « vers le haut » par le miroir de courant  $M_5-M_6$  et « vers le bas » par les transistors  $M_8$  et  $M_9$ .

Lorsque le signal  $V_{trig}$  est égal à  $gnd$  (bit égal à ‘0’), le transistor  $M_7$  se comporte comme un interrupteur ouvert et le courant  $i_{freq}$  fourni par  $M_6$  charge la capacité  $C_1$ . Lorsque le signal  $V_{trig}$  est égal à  $V_{dd}$  (bit égal à ‘1’), le transistor  $M_7$  se comporte alors comme un interrupteur fermé.  $M_6$  continue de fournir le courant  $i_{freq}$  mais, maintenant, les transistors  $M_8$  et  $M_9$  tirent à eux deux un courant égal à 2 fois  $i_{freq}$ . Au bilan, la capacité  $C_1$  est déchargée par un courant de valeur  $i_{freq}$  identique au courant de charge précédent.

Afin de pouvoir changer la gamme de fréquence, pour des raisons de test ou pour répondre aux besoins d’une autre application, une capacité  $C_2$  d’une valeur dix fois plus grande que celle de  $C_1$  est ajoutée. A l’aide d’un interrupteur contrôlé par un bit externe à la puce (bit  $digfreq$ ), cette capacité peut être ajoutée en parallèle à  $C_1$  et changer ainsi la pente et la fréquence des signaux triangulaires.



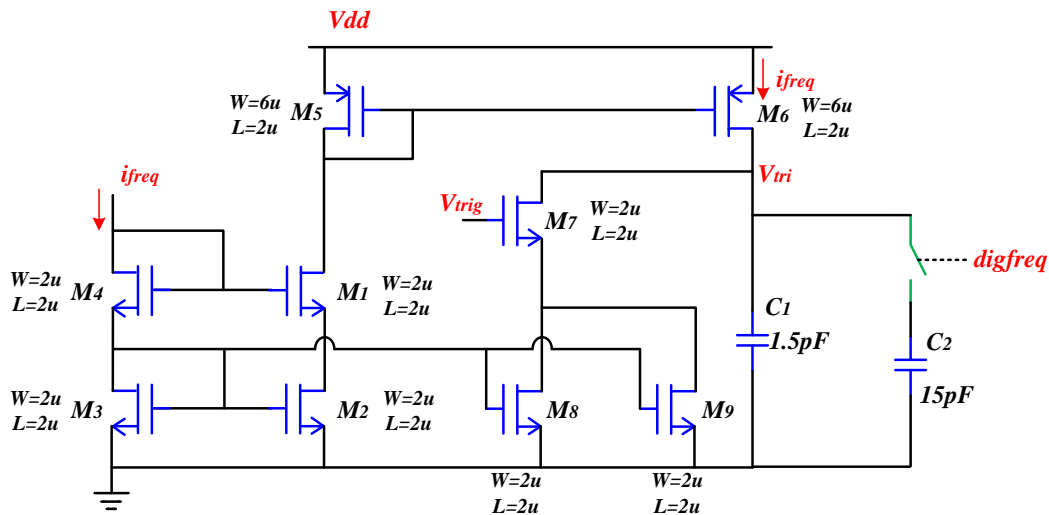


Figure 4.10 : Circuit générateur de signal triangulaire: charge et décharge d'une capacité à courant constant.

Les valeurs des pentes du signal triangulaire sont fonctions des valeurs des courants chargeant et déchargeant la capacité vue en sortie. Leur égalité dépend fortement des performances des miroirs de courant. Pour obtenir de meilleurs résultats, il serait souhaitable de cascader ces miroirs afin de minimiser les écarts obtenus. Cependant, le « budget en tension » de 5V qu'offre cette technologie ne donne que peu de marge pour ajouter des transistors en série avec  $M_6$ ,  $M_8$  et  $M_9$ . Pour cette raison, et pour garder une dynamique en tension suffisante pour le signal triangulaire (3V crête-à-crête), le circuit est conservé dans cette configuration.

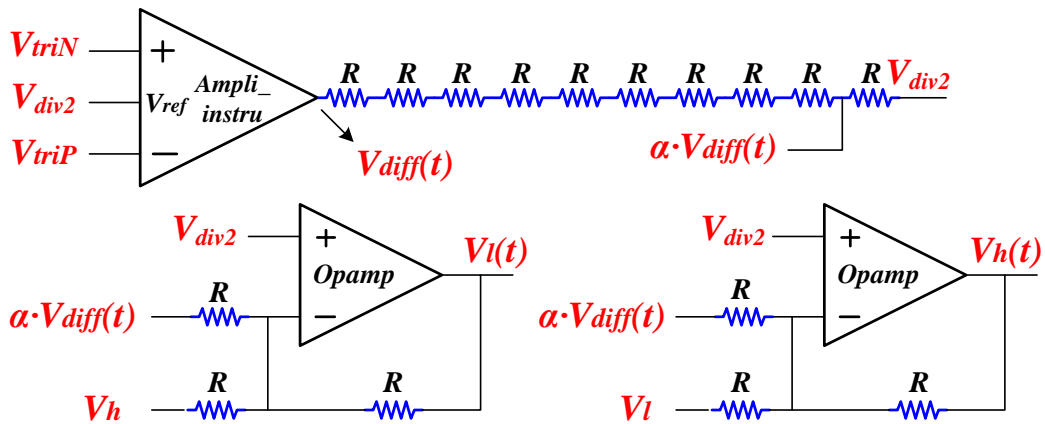
### 4.3.2 Obtention des seuils dynamiques

Avant de réaliser le circuit permettant de générer le signal  $V_{trig}$ , il est nécessaire dans un premier temps d'obtenir les signaux  $V_h(t)$  et  $V_l(t)$  qui représentent les seuils dynamiques. Ces signaux sont issus de la superposition d'une valeur moyenne constante prédéfinie ( $V_l = 1V$  et  $V_h = 4V$ ) avec un signal représentatif de la différence des porteuses voisines, noté ici  $V_{diff}(t)$  (cf. équation 2.1).

La figure 4.11 montre le circuit réalisé. Le signal  $V_{diff}(t)$  est directement obtenu à l'aide d'un amplificateur d'instrumentation dont les entrées sont : les porteuses voisines  $V_{triN}$  et  $V_{triP}$  et le signal de référence de mode-commun de la puce  $V_{div2} = V_{dd}/2 = 2,5V$ . On a donc :

$$V_{diff}(t) = V_{div2} + (V_{triN}(t) - V_{triP}(t)) \quad (4.12)$$

Afin d'appliquer un coefficient d'atténuation  $\alpha$ , on utilise un pont résistif utilisant des résistances  $R$  correctement appariées et connectées d'un côté sur la sortie de l'amplificateur d'instrumentation et de l'autre sur le niveau  $V_{div2}$ . Ainsi, seule la valeur alternative du signal se trouve être atténuée. On peut noter que le signal  $V_{div2}$  est bufferisé (issu d'un AOP rebouclé au gain unitaire) afin de pouvoir fournir ou absorber des courants importants (10mA).

Figure 4.11 : Génération des tensions de seuil  $V_h(t)$  et  $V_l(t)$  par calcul analogique.

Le signal obtenu est enfin ajouté aux deux seuils  $V_h$  et  $V_l$  par l'intermédiaire de circuits sommateur-inverseur (en bas sur la figure). La tension de référence  $V_{div2}$  ( $V_{dd}/2$ ) est appliquée sur les entrées positives des AOPs. Ainsi, une tension de  $1V$  appliquée sur l'une des entrées résistives du circuit se transforme en  $V_{div2} + (V_{div2} - 1V) = 3V$  à la sortie (influence de l'inverseur). Pour cette raison, on applique la tension  $V_l$  sur l'entrée du premier montage pour obtenir  $V_h(t)$  à sa sortie et  $V_h$  sur l'entrée de l'autre montage pour obtenir  $V_l(t)$  à sa sortie.

### 4.3.3 Alignement en phase

Le réglage correct de la phase du signal triangulaire généré est effectué par l'obtention du signal de commande du trigger de Schmitt  $V_{trig}$ . Ce signal, en effet, qui détermine le sens de variation du triangle, contient l'information de la position du signal  $V_{tri}$  par rapport à celles de ses porteuses voisines.

La figure 4.12 montre le circuit mis en œuvre. A l'aide de deux comparateurs et d'une bascule RS, le signal binaire  $V_{trig}$  est obtenu de la sorte :

- Lorsque  $V_{tri}$  atteint le seuil bas  $V_l(t)$ , la sortie du comparateur  $Com_p$  (en haut sur la figure) passe à '1' et effectue un 'reset' sur la bascule. Le signal  $V_{trig}$  passe à '0' et la pente du signal  $V_{tri}$  devient ascendante.

- Lorsque  $V_{tri}$  atteint le seuil haut  $V_h(t)$ , la sortie du comparateur  $Com_n$  (en bas sur la figure) passe à '1' et effectue un 'set' sur la bascule. Le signal  $V_{trig}$  passe à '1' et la pente du signal  $V_{tri}$  devient descendante.

L'utilisation de deux comparateurs nous permet de mieux appréhender le fait que, d'une part le signal  $V_h(t)$  est proche de la tension d'alimentation  $V_{dd}$ , et que d'autre part le signal  $V_l(t)$  est proche de  $gnd$ . Les comparateurs sont donc conçus de façon différente, avec une paire différentielle en NMOS pour l'un et en PMOS pour l'autre, afin d'optimiser leurs temps de commutation sur les niveaux de comparaison qui les concernent.



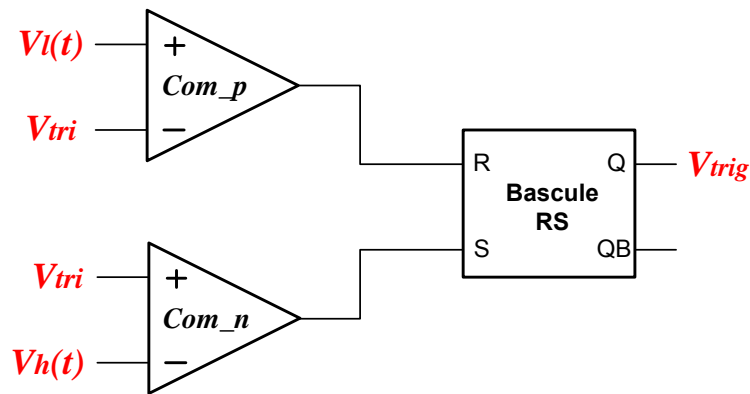


Figure 4.12 : Trigger de Schmitt réalisé à base de comparateurs et d'une bascule RS.

La figure 4.13 montre le dessin des masques réalisé pour cette fonction. On observe bien que les paires différentielles des comparateurs sont de natures différentes. Elles sont « centroïdes » et protégées par des anneaux de garde. La bascule RS est implémentée à base de portes logiques Nand et d'inverseurs. Ces portes ont été entièrement refaites (pas issue de la librairie standard) afin de pouvoir traiter des signaux de niveaux 0-5V.

Enfin, une capacité de découplage est placée dans le circuit (en haut à gauche sur la figure) pour permettre aux comparateurs de pouvoir commuter rapidement sans perturber le reste du circuit (réserve de charges locale, découplage de l'alimentation).

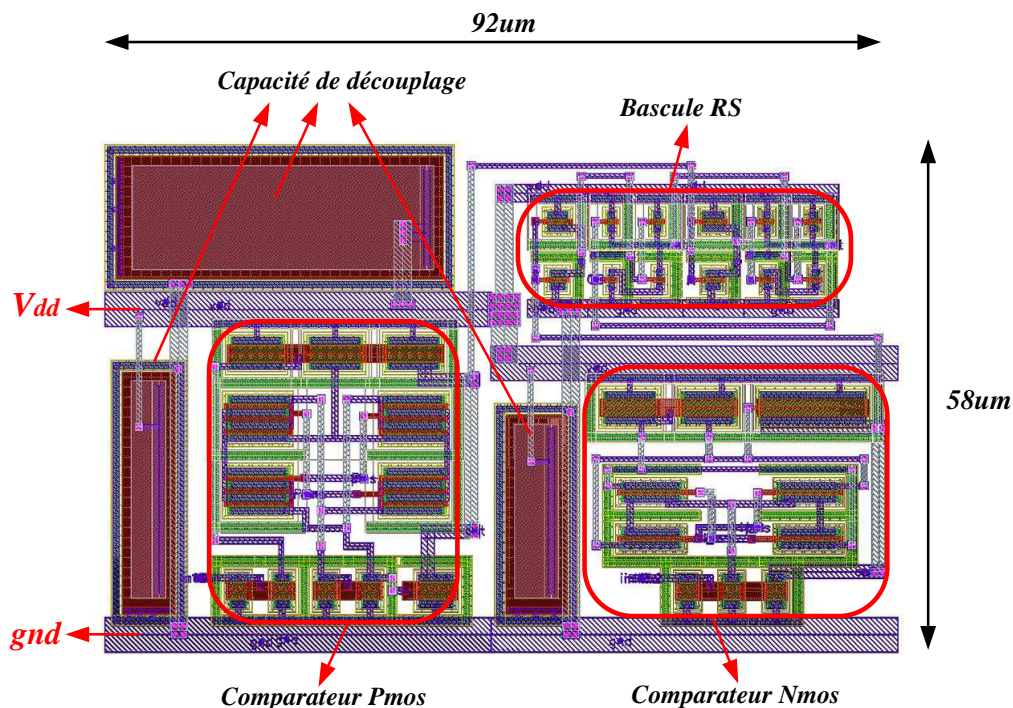


Figure 4.13 : Vue Layout du trigger de Schmitt.

#### 4.3.4 Contrôle de la fréquence

Afin de pouvoir ajuster, de façon externe, la valeur du courant  $i_{freq}$  déterminant la valeur des pentes du signal triangulaire, un circuit additionnel est implémenté au sein de la puce. La figure 4.14 montre le schéma du circuit utilisé.

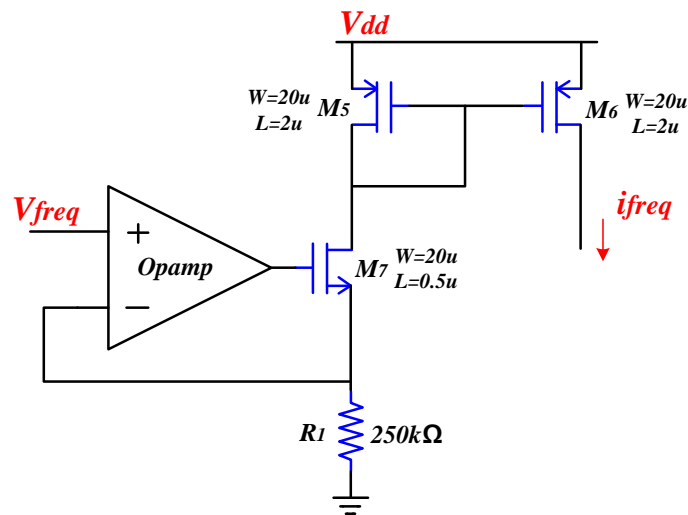


Figure 4.14 : Circuit de réglage de la fréquence : source de courant contrôlée en tension.

Le circuit constitué d'un AOP, du transistor  $M_7$  et de la résistance  $R_1$ , permet en effet d'imposer la valeur d'un courant de maille par une tension externe  $V_{freq}$ . Il s'agit d'un système bouclé qui tente d'annuler la différence de tension présente sur les entrées positive et négative de l'amplificateur. Ainsi, la tension  $V_{freq}$  se retrouve imposée aux bornes de la résistance et le courant obtenu est égal à :

$$i_{freq} = \frac{V_{freq}}{R_1} \quad (4.13)$$

On peut en déduire la fréquence du signal triangulaire résultante qui répond à l'équation :

$$f_{viri} = \frac{V_{freq}}{(V_h - V_l) \cdot R_1 \cdot C_{eq}} \quad \text{avec } C_{eq} = C_1 + digfreq \cdot C_2 \quad (4.14)$$

où  $digfreq$  est le bit permettant de déterminer la gamme de fréquence choisie.

Le tableau 4.1 donne un résumé des gammes de fréquences obtenues et des courants internes de la puce résultants.

$V_{freq}$	$I_{freq}$	$F_{dec}$	
		$digfreq='0'$	$digfreq='1'$
4V	16uA	1.78MHz	160kHz
2.5V	10uA	1.11MHz	100kHz
1V	4uA	444kHz	40kHz

Tableau 4.1 : Inventaire des gammes de fréquences réglables.

La figure 4.15 donne une vue du dessin des masques du générateur de porteuse complet. On reconnaît sur la figure les six amplificateurs opérationnels qui sont utilisés. Outre l'ajout de quelques capacités supplémentaires de découplage, deux bits de contrôle du circuit sont implémentés. Il s'agit :

- D'un bit 'Start' qui permet d'initialiser correctement les diverses fonctions au démarrage. Il permet de plus de créer un délai différent pour les générateurs de porteuse de la puce afin de garantir une convergence rapide du système vers un entrelacement correct.
- Et un bit 'Enable' permettant de réinitialiser, si nécessaire, l'ensemble de la puce.

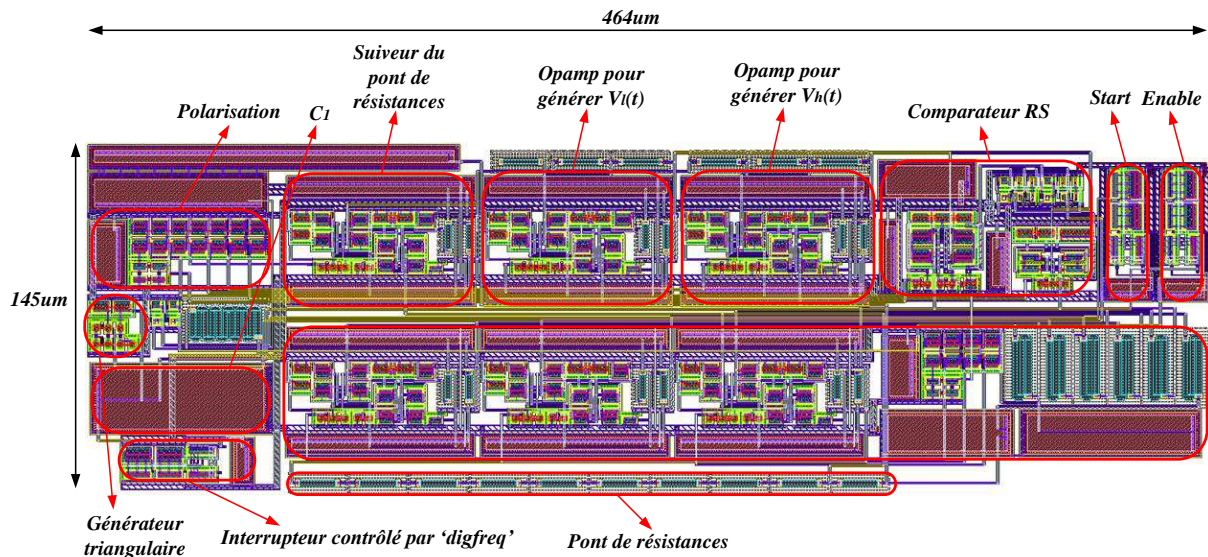


Figure 4.15 : Vue Layout du générateur de porteuse complet.

Avant de réaliser concrètement l'ASIC, des simulations de vérification sont effectuées sous l'environnement CADENCE<sup>TM</sup> pour chaque fonction. Ces simulations réalisées à l'aide du simulateur SPECTRE<sup>TM</sup>, permettent d'observer le comportement du circuit étudié dans tous les cas de température et de process.

La figure 4.16(a) montre le comportement de l'ASIC au démarrage. Ce dernier comporte cinq générateurs de porteuse qui sont connectés entre eux dans une configuration chaînée. Un délai d'une demi-période est imposé pour quatre des cinq porteuses. Le signal représentant la somme des signaux triangulaires (au bas de la figure) atteste de la bonne convergence du système vers un entrelacement correct des porteuses. Six périodes de découpage sont environ nécessaires pour obtenir l'état d'équilibre attendu.

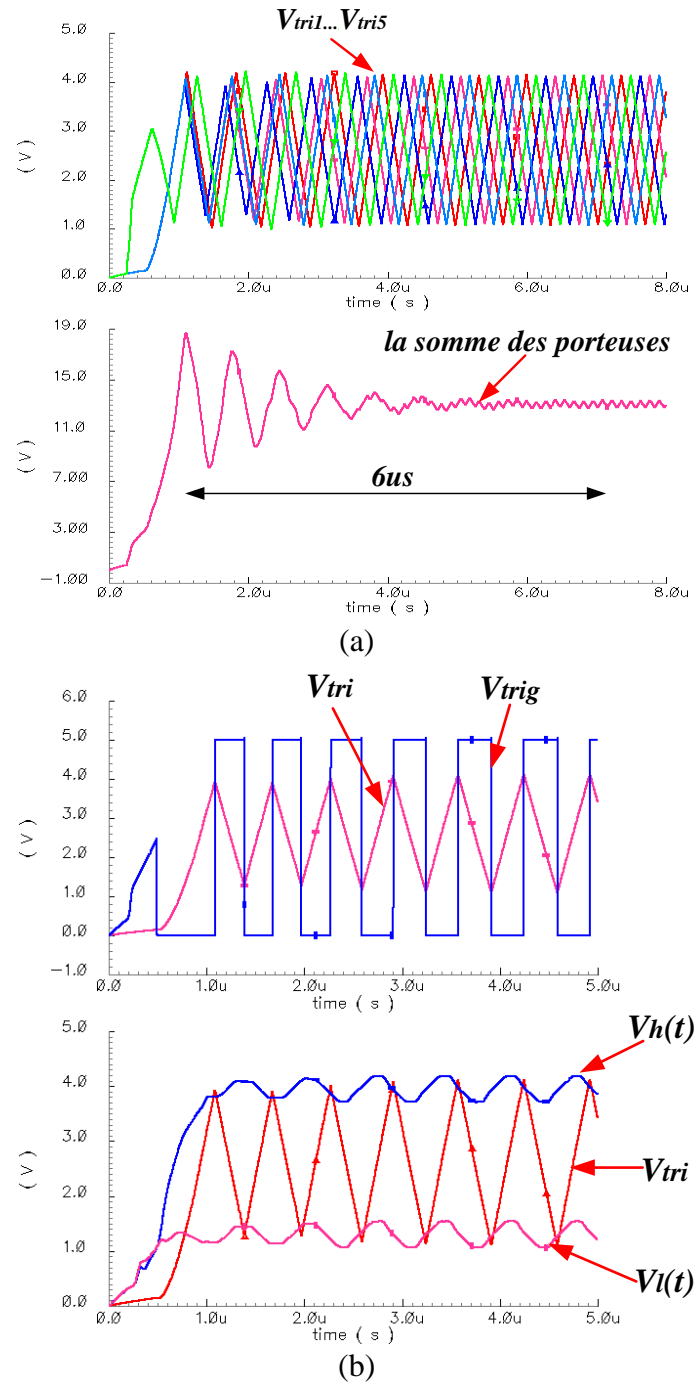


Figure 4.16 : Simulation du générateur de la porteuse: a) Démarrage des cinq porteuses ; b) Génération du signal triangulaire et positionnement par rapport à ses voisines.

La figure 4.16(b) montre un détail de la génération du signal triangulaire. En haut, le signal de contrôle de pente  $V_{trig}$  et le signal triangulaire  $V_{tri}$  généré. En bas, la comparaison de ce signal avec les seuils dynamiques  $V_h(t)$  et  $V_l(t)$  guidant en phase le signal. On peut remarquer que l'amplitude crête-à-crête des seuils n'est ni trop faible (grande devant le bruit électronique) ni trop forte (de pente inférieure à celle de  $V_{tri}$ ). Ceci confirme le choix approprié du facteur d'atténuation  $\alpha$ .

## 4.4 Boucles de régulation

### 4.4.1 Mode-commun (AVP)

Dans le chapitre précédent, afin de réaliser une commande de convertisseur parallèle de façon entièrement décentralisée, le principe de régulation de chaque branche par une approche de type AVP a été évoquée.

Dans le cas présent (5 branches parallèles entrelacées et couplées), on va se donner la possibilité :

- soit de contrôler les cinq branches par un rapport-cyclique commun calculé au sein de la puce,
- soit de permettre à chaque branche de déterminer son propre rapport-cyclique en implémentant pour chacune d'elle un régulateur de type AVP.

On place un même circuit dans chaque module et suivant les connections effectuées, on choisira soit l'une soit l'autre approche de régulation.

La figure 4.17 présente le correcteur implémenté dans l'ASIC. Afin de pouvoir changer la configuration du filtre, les trois pattes de l'amplificateur opérationnel sortent de la puce. Ainsi, le type de filtre peut être réglé avec des composants discrets externes. Dans tous les cas, la sortie de l'amplificateur fournit une tension représentative du rapport cyclique de mode commun  $V_D$  qui va être appliquée aux cellules de commutation. La connexion  $V_{mes2}$  sert à piloter une source de courant contrôlée en tension qui permet d'implémenter une régulation de type d'AVP.

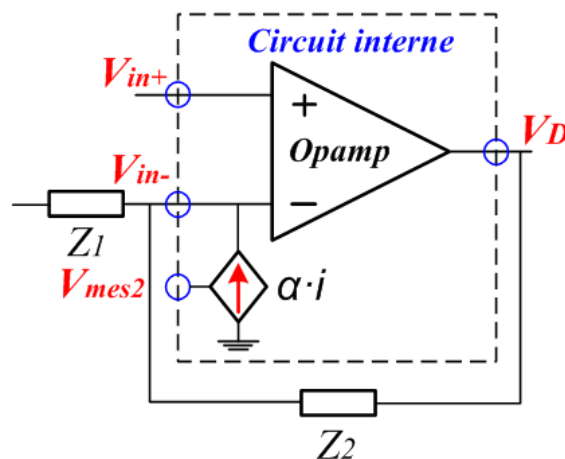


Figure 4.17 : Circuit de régulation de mode commun configurable ( $Z_1$  et  $Z_2$  sont des composants externes).

Maintenant, les figures 4.18(a) et (b) montrent les connections à effectuer pour obtenir la stratégie de contrôle désirée. Dans le premier cas, l'amplificateur opérationnel est branché dans une configuration classique de régulation. Une tension représentative de la tension appliquée à la charge externe ( $V_{out}$ ) est présente sur son entrée inverseuse, une tension de référence ( $V_{ref}$ ) est présente sur l'entrée non-inverseuse et le dispositif de recopie du courant est désactivé en plaçant sa patte d'entrée ( $V_{mes2}$ ) à la masse. Ainsi, la tension de sortie

résultante  $V_D$  est représentative du rapport-cyclique calculé qui doit être appliqué aux cellules de commutation. Dans ce cas, cette valeur est insensible à la valeur des courants circulant dans les branches du convertisseur.

Dans la deuxième approche, on met en place le régulateur de type AVP. Une tension de référence  $V_{ref}$  est placée sur l'entrée positive de l'AOP, une résistance  $Z_1$  est insérée entre la tension à réguler  $V_{out}$  et l'entrée négative de l'AOP, une impédance  $Z_2$  (présentant un caractère capacitif) est placée entre l'entrée négative et la sortie de l'AOP et enfin, le dispositif de recopie de courant est rendu actif en plaçant sur la patte d'entrée de ce circuit une tension représentative du courant circulant dans la branche contrôlée par le module.

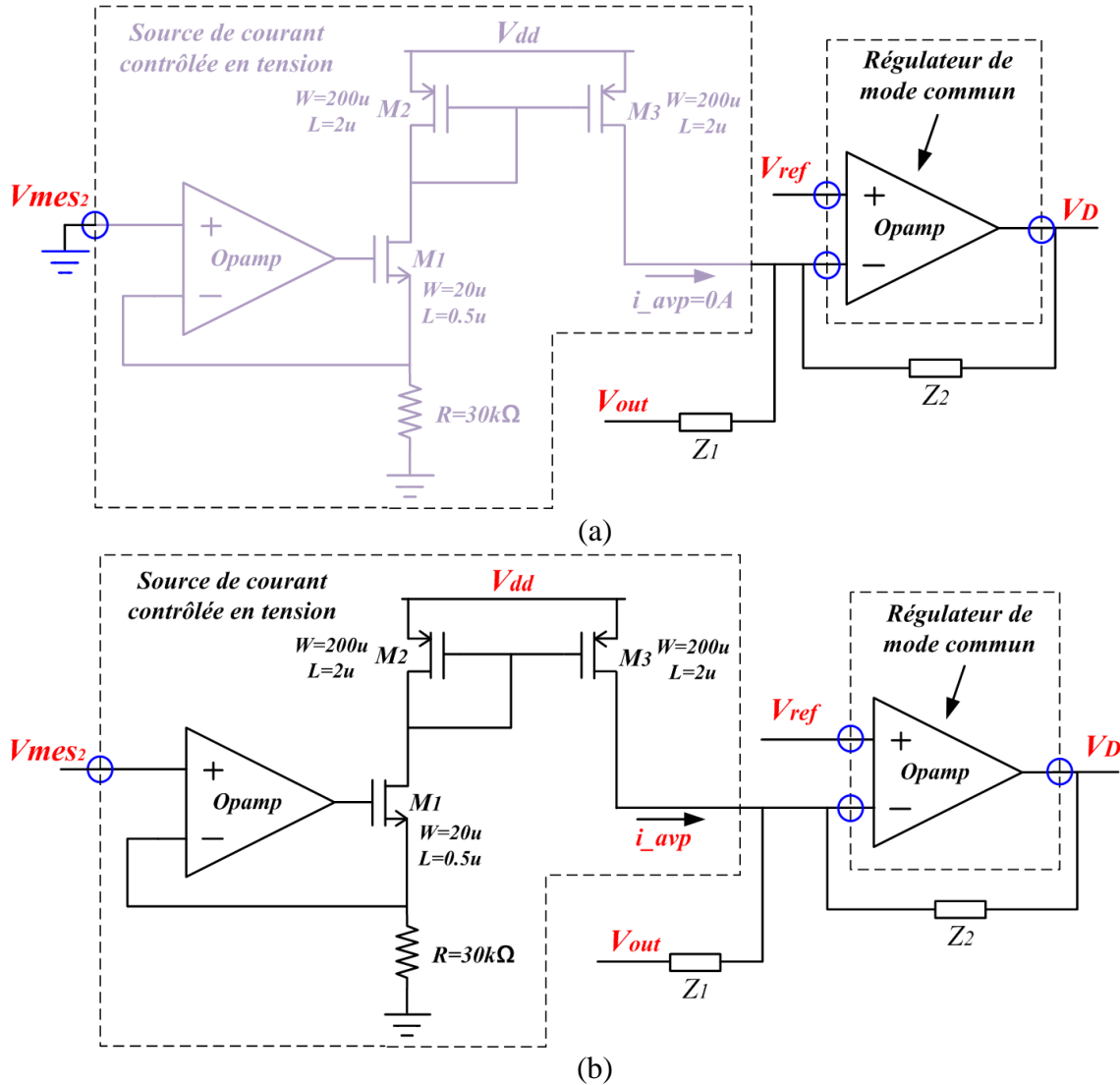


Figure 4.18 : (a) Contrôle par un rapport-cyclique calculé en externe ; (b) Contrôle interne de type AVP.

De la sorte, les deux stratégies de régulation sont implémentées au sein de la puce à peu de frais et pourront être testées séparément.



#### 4.4.2 Mode-différentiel (égalisation des courants)

La boucle de mode différentiel a pour objectif celui d'égaliser les courants circulant dans les branches du primaire du micro-convertisseur. Le principe de l'approche modulaire qui procède par correction locale a été expliqué dans le chapitre précédent.

La figure 4.19 montre le schéma du circuit implémenté dans l'ASIC. Afin de comparer la valeur du courant de la branche locale avec celles des branches voisines, trois amplificateurs d'instrumentation sont nécessaires. Les deux premiers (à gauche sur la figure) fournissent la différence d'une tension  $V_{Ii}$  (image du courant local) avec, d'une part celui de la branche voisine suivante  $V_{IN}$ , et d'autre part celui de la branche précédente  $V_{IP}$ .

La tension  $V_{div2}$  représente la tension interne médiane de l'ASIC qui est égale à  $V_{dd}/2$ . Les valeurs des courants sont donc exprimées en tension et référencées par rapport à cette tension. Par exemple :  $V_{Ii}=V_{dd}/2$  représente un courant nul,  $V_{Ii}>V_{dd}/2$  un courant positif non nul et  $V_{Ii}<V_{dd}/2$  un courant négatif non nul.

Le troisième amplificateur d'instrumentation (au centre de la figure) fournit la différence de ces deux calculs précédents et donne le résultat  $V_{div2}+2\cdot V_{Ii}-(V_{IN}+V_{IP})$ . Il s'agit bien de la différence du courant de branche local avec la moyenne des courants voisins (valeur centrée par rapport à  $V_{dd}/2$ ). Cette grandeur est présentée à l'entrée du correcteur différentiel. Afin de pouvoir régler la nature de ce correcteur ainsi que les constantes de temps appropriées, les trois pattes de l'amplificateur opérationnel (à droite sur la figure) sont accessibles depuis l'extérieur de l'ASIC. La nature du correcteur sera donc ajustée par la mise en place de composants passifs externes.

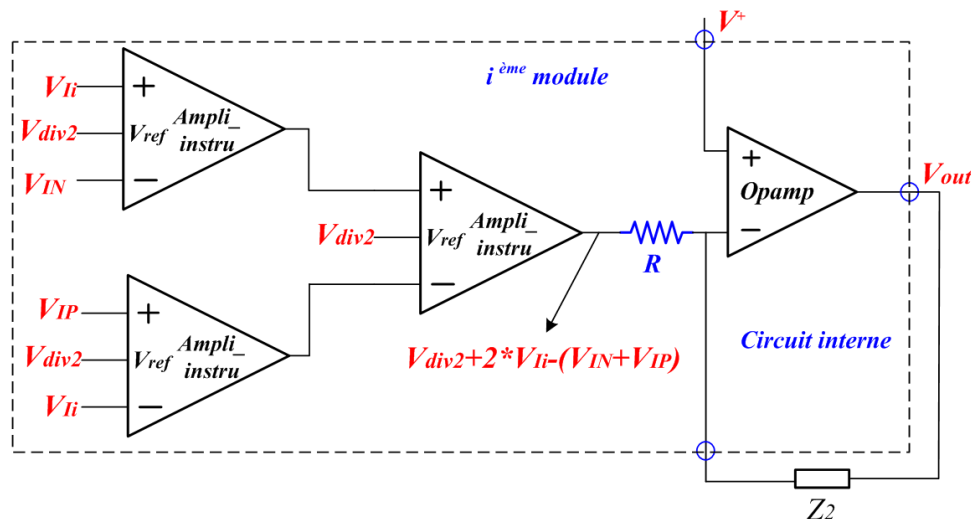


Figure 4.19 : Calcul de l'erreur de courant et mise en place du correcteur de mode différentiel.

Deux principes de correction sont alors possible :

- soit on place sur le nœud  $V^+$  une tension égale à  $V_{div2}=V_{dd}/2$  : auquel cas le correcteur (de type intégrateur) donnera en sortie une tension représentant la correction de rapport cyclique  $V_{di}$  à apporter pour annuler le terme  $2 \cdot V_{Ii} - (V_{IN} + V_{IP})$ .

- soit on place sur le nœud  $V^+$  la tension issue du correcteur de mode commun. On démontre que cette approche permet d'obtenir en sortie des correcteurs les tensions  $V_D+V_{di}$  représentatives des rapport-cycliques corrigés tout en compensant les termes d'offset présentés par les AOPs. Dans ce cas, la tension  $V^+$  est égale à la somme des offsets des amplificateurs des modules (proche de zéro) avec la tension  $V_{div2}$  et aucune dérive de la valeur moyenne des courants de branche n'est possible (cf. figure 4.20).

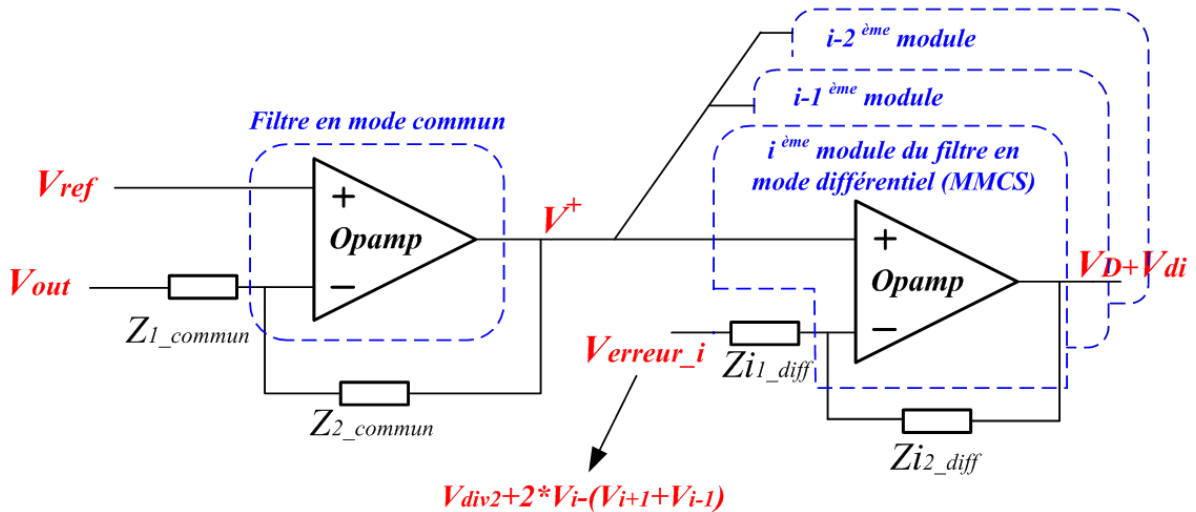


Figure 4.20 : Principe d'égalisation des courants dans un dispositif utilisant une régulation de mode commun classique (pas d'AVP).

Afin de valider par simulation le comportement des circuits d'équilibrage de courant, on réalise l'étude d'un système naturellement déséquilibré. La figure 4.21 montre le résultat de simulation obtenu pour le cas d'un convertisseur à trois modules dont l'une des branches (branche 2) comporte une résistance de faible valeur ( $30\text{m}\Omega$ ) en série avec l'inductance. Cette résistance introduit un déséquilibre naturel.

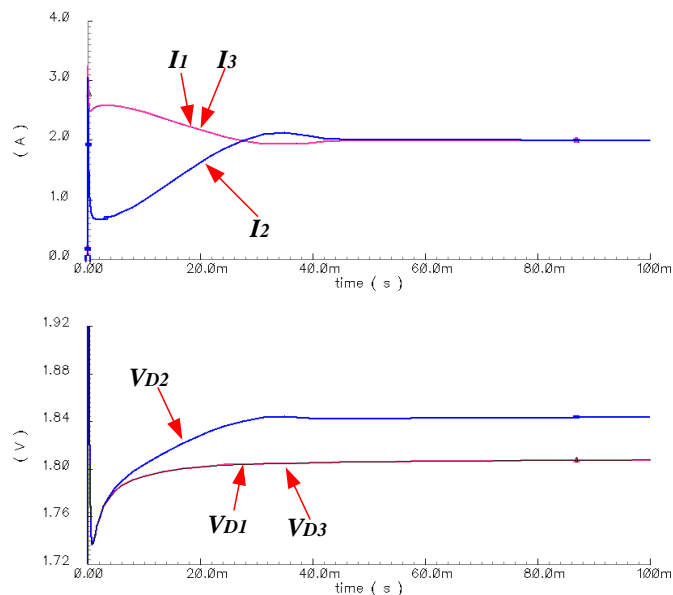


Figure 4.21 : Simulation du correcteur différentiel : convertisseur à 3 bras,  $V_{ref}=3\text{V}$ ,  $R_{ch}=0.5\Omega$  et une résistance de  $30\text{m}\Omega$  est ajoutée sur le bras 2 pour créer un déséquilibre.



On observe qu'au départ, les rapports cycliques étant les mêmes sur les trois modules, le courant  $I_2$  est différent des courants  $I_1$  et  $I_3$ . Les trois correcteurs d'erreur de courant apportent leurs corrections locales avec une constante de temps importante (environ 10ms). A terme, les trois courants sont égaux, leur valeur est égale à la moyenne des valeurs initiales et les trois modulantes  $V_{D1}$ ,  $V_{D2}$  et  $V_{D3}$  atteignent leur valeur finale en incluant la correction désirée.

La figure 4.22 montre le dessin des masques réalisés pour cette fonction. On distingue clairement les trois amplificateurs d'instrumentation incluant chacun trois amplificateurs opérationnels. On peut noter la présence d'un interrupteur, connecté entre l'entrée négative de l'AOP et sa sortie, permettant d'initialiser le correcteur au démarrage (initialisation d'un intégrateur).

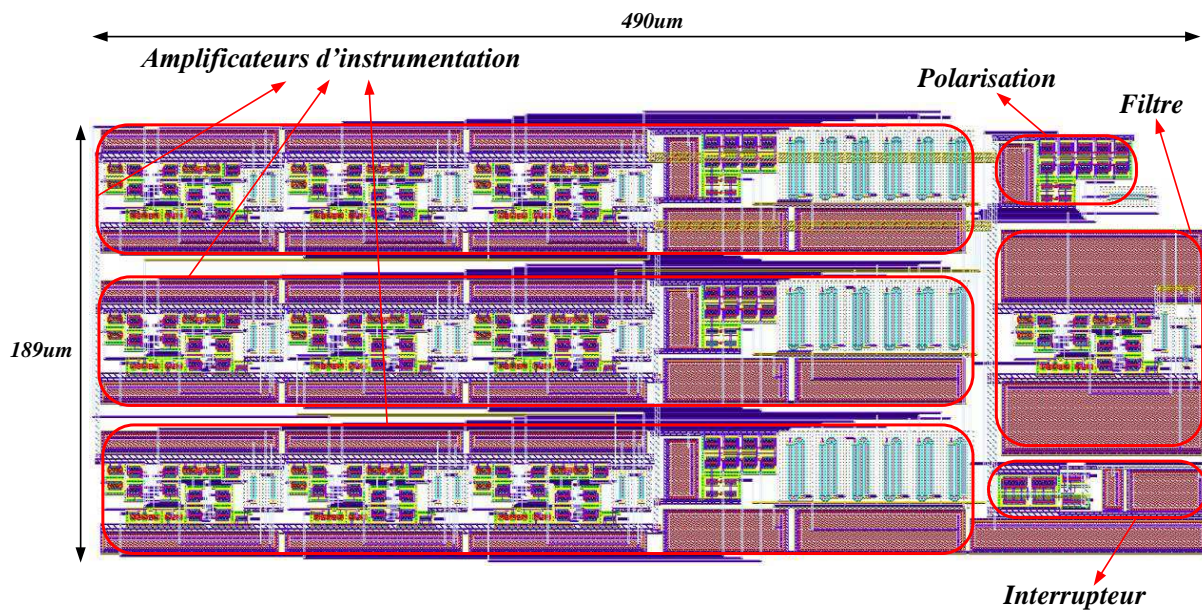


Figure 4.22 : Vue Layout du circuit d'équilibrage des courants.

## 4.5 Mesure de courant

Afin de pouvoir réaliser un équilibrage des courants circulant dans les bras du convertisseur, chaque module doit avoir accès à la valeur du courant lui correspondant. A ces fins, un dispositif de mesure de courant est réalisé. Plusieurs stratégies sont envisageables : mesure du courant circulant dans l'inductance (tension aux bornes d'une résistance série, utilisation de la partie résistive de l'inductance DCR) ou du courant circulant dans l'un des interrupteurs High-side ou Low-side. Pour une raison de polyvalence, on fait le choix de mesurer la valeur du courant durant la mise ON du transistor High-side. Une tension, représentative du courant circulant dans la branche, est amenée à l'entrée d'un amplificateur d'instrumentation (les niveaux de tension peuvent être quelconques compris entre  $gnd$  et  $V_{dd}$ ) et la valeur résultante est « stockée » à l'aide d'un échantillonneur-bloqueur. Ainsi, on peut saisir cette valeur soit aux bornes du transistor High-side (intéressant lorsque les puces contrôle et puissance seront réalisées sur un même substrat), soit directement par la lecture d'une tension présente aux bornes d'une résistance placée en série avec l'inductance (cas pratique pour simplifier les tests de validation).

La structure du micro-convertisseur montre que deux cellules de commutation déphasés de  $180^\circ$  sont connectées ensemble par le biais d'une inductance et transitent le même courant. On a donc besoin d'un seul capteur pour deux phases.

La figure 4.23 présente le principe de la mesure. La forme d'onde du courant circulant dans un bras du convertisseur est un signal triangulaire de valeur moyenne non nulle. Sa valeur est recueillie aux bornes d'une résistance de faible valeur placée en série avec l'inductance. Cette grandeur est ensuite stockée à l'aide de deux échantillonneur-bloqueurs (EBs) pilotés de façon synchrone avec le signal de commande MLI de la cellule de commutation. L'utilisation de deux EBs permet d'obtenir une valeur en sortie parfaitement continue.

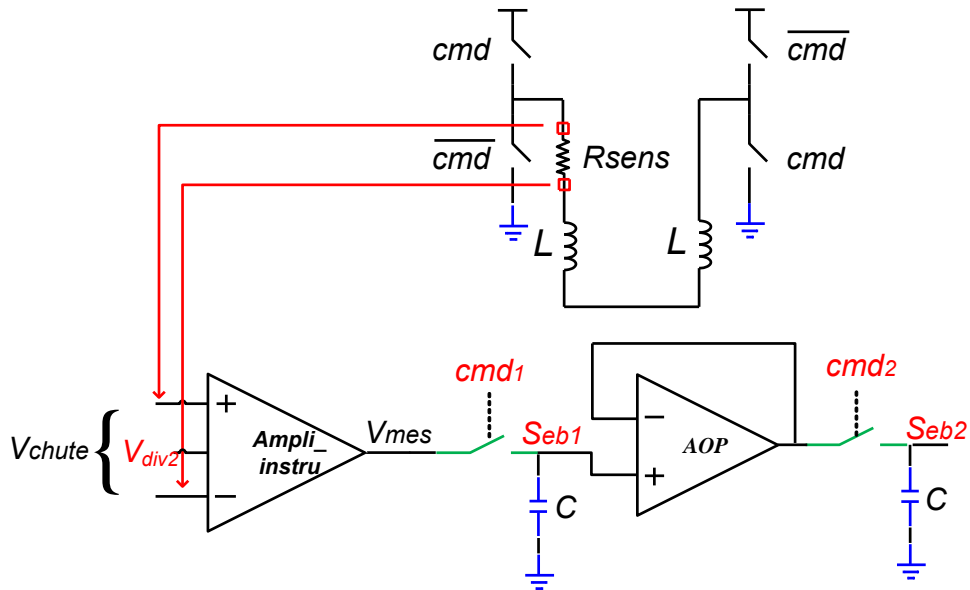


Figure 4.23 : Circuit de mesure du courant utilisant un double échantillonneur-bloqueur.

Deux stratégies de contrôle des interrupteurs des échantillonneur-bloqueurs sont envisageables.

La première est illustrée par la figure 4.24.

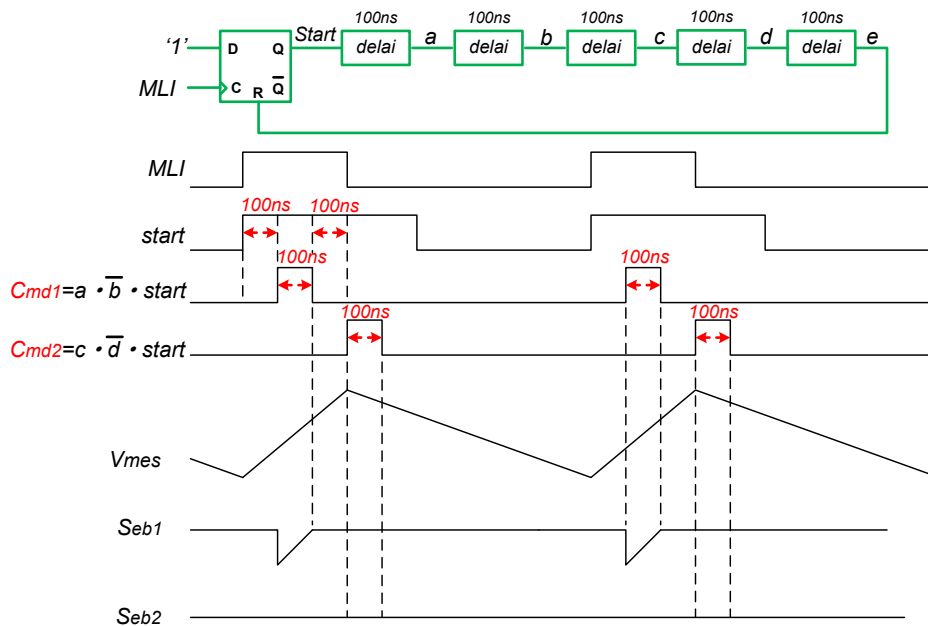


Figure 4.24 : Première méthode pour obtenir les signaux de commande des deux échantillonneur-bloqueurs.

Lorsque le transistor High-side est commandé à l'amorçage (mise ON), un premier signal de commande  $C_{md1}$  est appliqué au premier EB après un délai fixe. Ce délai permet de s'assurer que l'interrupteur est bien fermé et que la valeur lue correspond bien au courant mesuré. On obtient alors un signal  $S_{eb1}$  contenant l'information désirée. Cependant, ce signal présente une forme non constante dans le temps puisqu'une partie du triangle est présent. Afin de faire disparaître ce transitoire, le deuxième EB est commandé par le signal  $C_{md2}$  après un délai fixe. Ainsi, le signal recueilli présente alors une valeur invariante dans le temps en régime établi. Sa valeur est représentative de celle que présente le courant du bras 200ns après la fermeture du transistor High-side. Il ne s'agit pas de la valeur moyenne du courant. Cependant, si tous les modules adoptent la même stratégie et présentent des délais identiques, l'égalisation de ces valeurs mesurées correspondra bien à l'égalisation des valeurs moyennes des courants.

La deuxième stratégie consiste à stocker exactement la valeur moyenne du courant mesuré. La figure 4.25 montre le principe de génération des signaux de commande  $C_{md1}$  et  $C_{md2}$  permettant d'obtenir ce résultat. L'analyse des formes d'ondes montre que le signal de commande MLI est généré par la comparaison de la modulante (signal  $V_D$ ) avec la porteuse (signal  $V_{tri}$ ). Par construction ce signal est « centré » par rapport à la porteuse. Durant la fermeture du transistor High-side, le courant circulant dans le bras à une pente ascendante (descendante ailleurs). Ainsi, le courant passe par sa valeur moyenne exactement lorsque la porteuse triangulaire change de pente. Cette remarque va permettre de stocker exactement la valeur moyenne du courant mesuré.

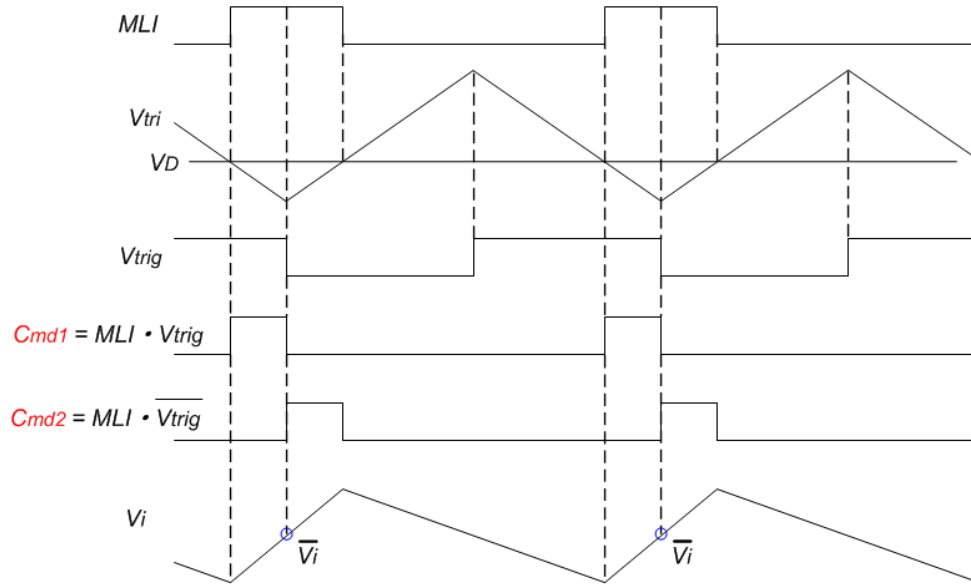


Figure 4.25 : Seconde méthode pour obtenir les signaux de commande des deux échantillonneur-bloqueurs.

A l'aide d'un signal binaire  $V_{trig}$  représentatif du signe de la pente de  $V_{tri}$ , on peut générer les deux signaux de commande  $C_{md1}$  et  $C_{md2}$  des EBs comme suit :

$$C_{md1} = MLI \cdot V_{trig} \quad (4.15)$$

$$C_{md2} = MLI \cdot \overline{V_{trig}} \quad (4.16)$$

Le premier EB arrête de stocker la valeur du courant lorsque ce dernier atteint sa valeur moyenne et le deuxième EB récupère cette valeur et fournit un signal invariant temporellement.

L'interrupteur utilisé dans les EBs est une porte de transmission (ou interrupteur CMOS). La figure 4.26 montre le schéma de cet interrupteur.

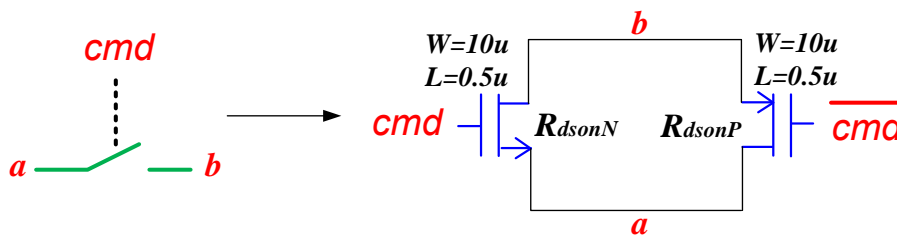


Figure 4.26 : Interrupteur de l'échantillonneur-bloqueur réalisé en technologie CMOS.

Ce dernier met en œuvre deux transistors MOS complémentaires afin d'assurer la fermeture correcte de l'interrupteur quelle que soit la valeur du signal analogique d'entrée. Ils sont commandés par des signaux binaires complémentaires. La résistance que présente la porte de transmission à l'état passant est une valeur importante dans l'étude car, associée à la capacité de stockage, elle va déterminer la constante de temps de l'EB. Sa valeur est donnée par la relation suivante :

$$R_{dson\_switch} = R_{dsonN} // R_{dsonP} \quad (4.17)$$

avec

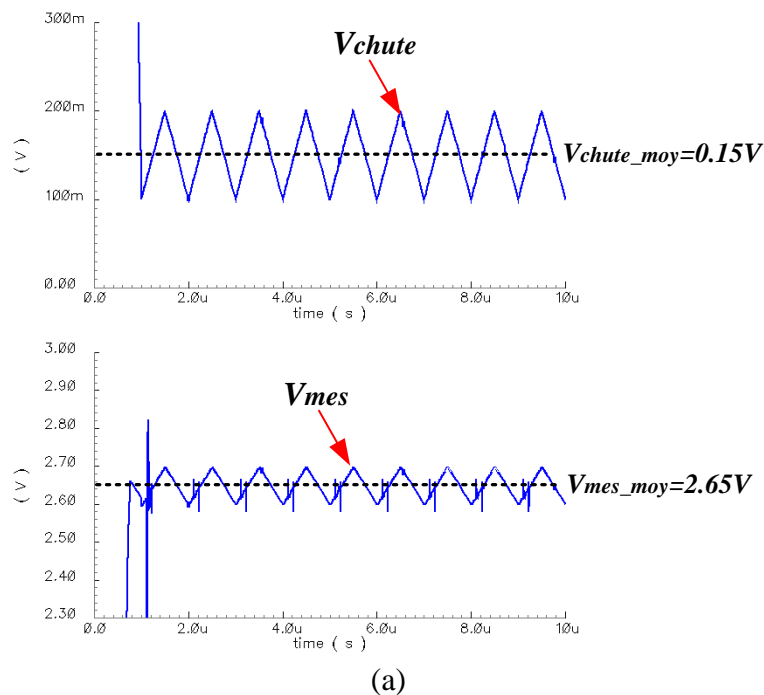
$$R_{dsonN} \approx \frac{L}{K'_N \cdot W_N (V_{dd} - V_e - V_{th})} \text{ et } R_{dsonP} \approx \frac{L}{K'_P \cdot W_P (V_e - V_{th})} \quad (4.18)$$

où  $V_e$  représente la tension analogique d'entrée de l'interrupteur.

On peut noter que, pour une question d'encombrement, les largeurs des transistors  $W_N$  et  $W_P$  sont prises de mêmes valeurs. L'impédance minimale à l'état passant du PMOS sera donc trois fois plus importante que celle du NMOS. Au final, l'impédance de l'interrupteur sera fonction de la tension d'entrée  $V_e$  et pourra varier de  $R_{dsonN}$  ( $V_e = 0$ ) à trois fois cette valeur.

La résistance  $R_{dson\_switch}$  résultante et la capacité de stockage  $C$  constituent un circuit RC. Sa constante de temps doit être très inférieure à celle du temps de blocage de l'EB (100ns). Avec  $C=5\text{pF}$  et  $R_{dson\_switch}=416\Omega$ , on obtient  $\tau_{EB}=2\text{ns}$ .

La figure 4.27 montre les résultats de simulation obtenus pour la mesure du courant. En haut, figure 4.27(a), on observe le signal présent aux bornes de la résistance de mesure (signal  $V_{chute}$ ) et le signal recueilli au sein de la puce (signal  $V_{mes}$ ). En bas, figure 4.27(b), on observe le signal obtenu à la sortie du premier EB synchronisé avec la commande MLI et le signal de sortie du second EB. Conformément à nos attentes, ce dernier signal est bien constant pour une valeur moyenne de courant invariante.





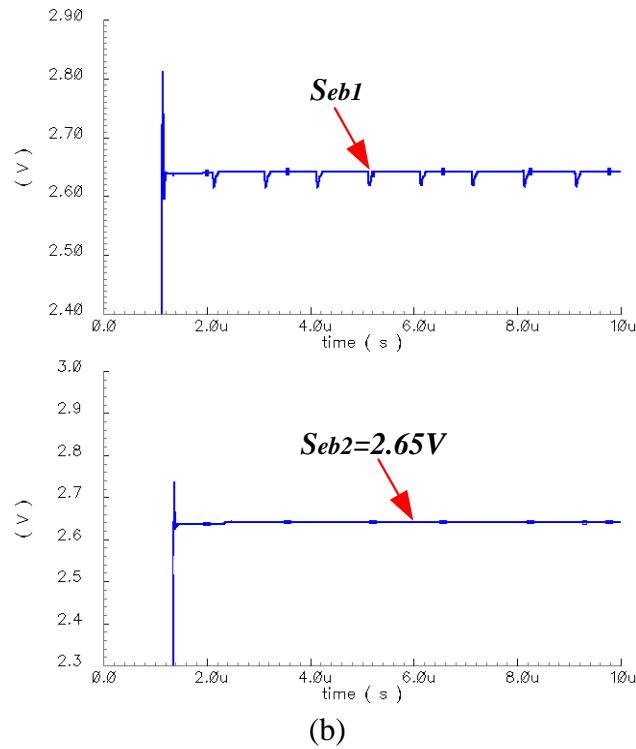


Figure 4.27 : Résultat de simulation de la mesure de courant : a) Tension aux bornes de la résistance de shunt  $V_{chute}$  et tension mesurée  $V_{mes}$  par l'amplificateur d'instrumentation ; b) Tensions de sortie des échantillonneur-bloqueurs.

Les figures 4.28 et 4.29 montrent le dessin des masques réalisés pour la fonction de mesure du courant à double EB. La première figure concerne l'implémentation de la première méthode de mesure. On peut remarquer que les interrupteurs des EBs ont un encombrement non négligeable et que la fonction logique générant les signaux de commande est aussi de taille significative.

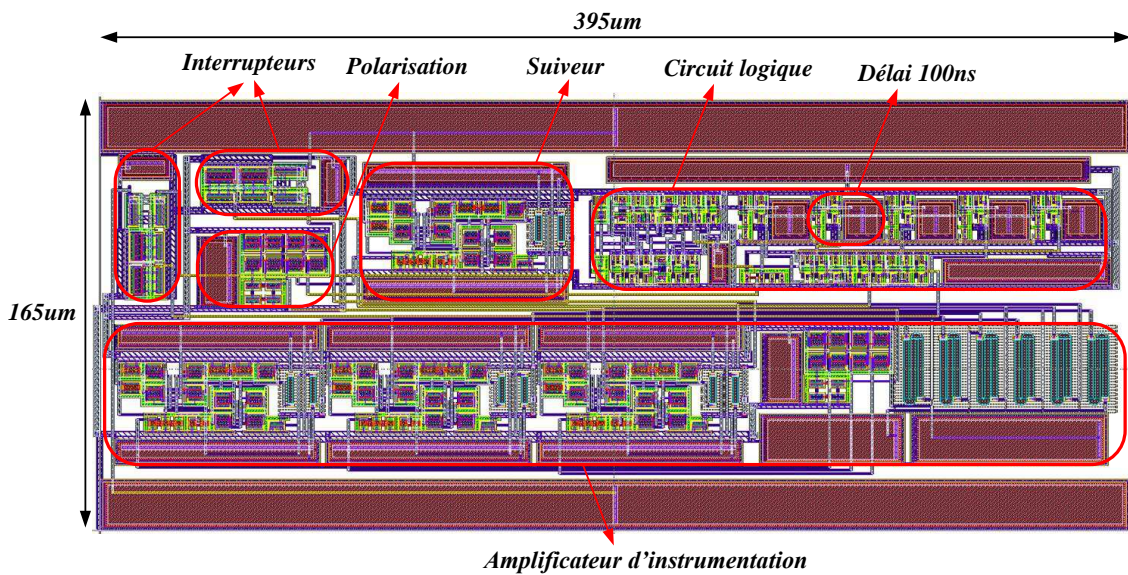


Figure 4.28 : Vue Layout du circuit implémentant la première méthode de mesure du courant.

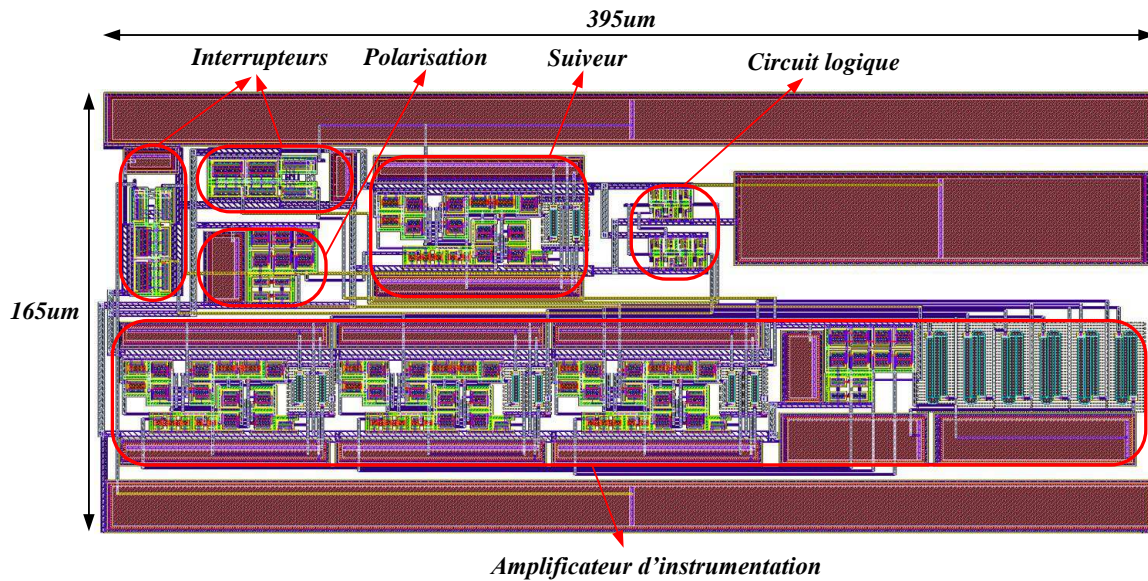


Figure 4.29 : Vue Layout du circuit implémentant la seconde méthode de mesure du courant.

La deuxième figure représente l'implémentation de la deuxième méthode de mesure du courant qui est, par construction, plus représentative de la valeur moyenne de ce courant. Ici, la fonction logique est plus simple et beaucoup moins encombrante. Les deux méthodes ont été intégrées dans la version finale afin de pouvoir évaluer leurs performances respectives.

## 4.6 Circuit Complet

Afin de pouvoir tester la fonctionnalité de la commande élaborée, un circuit intégré a été réalisé. Pour obtenir des bandes passantes suffisantes pour les fonctions analogiques utilisées (proche de 10 MHz), tout en minimisant le coût de fabrication du circuit, une technologie CMOS 0,35µm proposée par le fondeur AMS (Austria Micro Systems) a été choisie (coût environ égal à 1000€/mm<sup>2</sup>).

La figure 4.30 montre le layout complet du circuit intégré. Six modules de contrôle ont été placés. Chaque module assure la génération d'une porteuse à auto-alignement en phase, l'équilibrage des courants de branche et la régulation de mode commun. Par comparaison d'un signal « image » du rapport cyclique (signal modulant) avec la porteuse triangulaire, un signal MLI est obtenu. A l'aide de ce signal, chaque module fournit les deux commandes nécessaires pour piloter deux cellules de commutation dont les phases sont décalées de  $\pi$ . Ainsi, seulement cinq modules sont nécessaires pour commander le micro-convertisseur qui comporte dix cellules de commutation.

Les cinq modules sont liés entre eux par des communications locales et forment une chaîne communicante fermée.

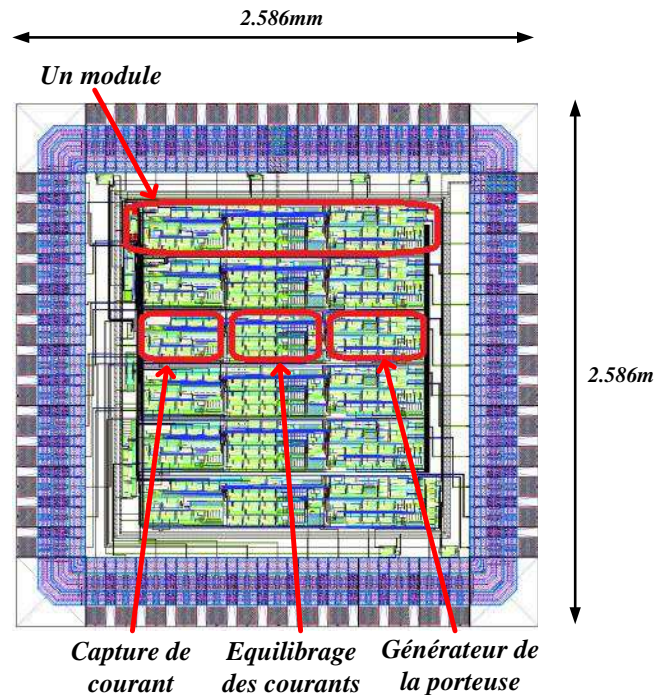


Figure 4.30 : Vue Layout de l'ASIC final ( $6.8\text{mm}^2$ ).

Le sixième module présent sur le circuit n'est pas solidaire des autres. Il est indépendant et présente ses ports de communication sur les pattes d'accès du circuit intégré. De la sorte, il devient possible d'utiliser chaque ASIC comme un seul module et de réaliser un circuit de commande pour une application à  $N$  cellules de commutation en utilisant  $N$  circuits intégrés reliés entre eux.

La figure 4.31 montre le nom des pattes de l'ASIC. L'agencement de ces pattes est fait avec le souci d'éviter que des nœuds présentant des signaux à fortes variations (signaux MLI par exemple) soient proches de nœuds de contrôle. On observe donc :

- à droite : les 12 signaux MLI de contrôle (2 par module) ainsi que la tension d'alimentation de l'ASIC ( $V_{dd}$ ).
- en haut : les signaux dédiés au contrôle du circuit ainsi que la masse ( $gnd$ ) et les 4 ports de communication du module indépendant (communication avec la puce précédente).
- à gauche : les accès nécessaires aux régulateurs internes pour placer à l'extérieur de la puce les capacités et résistances définissant la nature des correcteurs désirés, ainsi que 2 pattes par module dédiés à la lecture du courant circulant dans les branches.
- en bas : idem cas précédent, avec les 4 ports de communication du module indépendant (communication avec la puce suivantes).



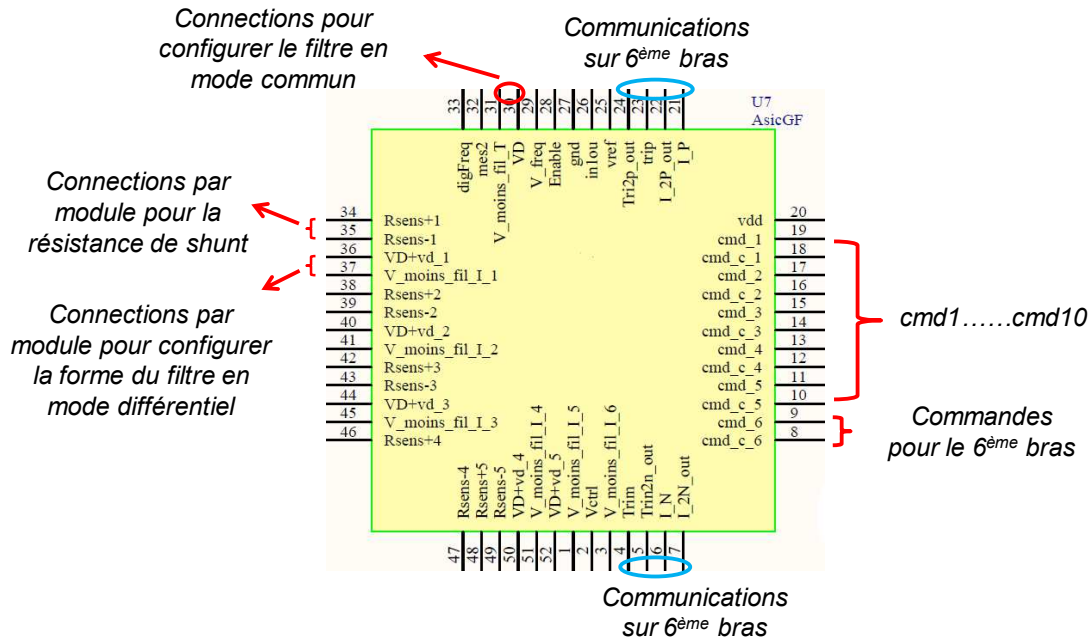


Figure 4.31 : Interfaces d'entrée/sortie de la puce.

## 4.7 Résultats expérimentaux

Les figures 4.32 et 4.33 montrent respectivement une photo de l'ASIC réalisé et la carte d'évaluation élaborée. Concernant cette carte, plusieurs points peuvent être mentionnés :

- la puce est insérée dans un boîtier JLCC52 présentant des broches métalliques latérales. Ceci permet d'utiliser un support de test adapté, comportant une partie amovible idéale pour tester un grand nombre de puces sans avoir à effectuer des opérations de soudure.
- Des supports tulipes sont placés afin également de pouvoir placer les composants passifs (résistances, capacités) dédiés aux filtres de régulation sans avoir à souder ces composants sur la carte. Ainsi, plusieurs types de correcteurs peuvent être testés aisément pour une application donnée (en fonction de la nature de la charge et du transformateur utilisé).
- Enfin, afin de pouvoir effectuer des tests sur le sixième module indépendant, quelques fonctions sont ajoutées. Il s'agit principalement d'un multiplieur permettant de tester en externe la fonction AVP et d'un générateur de signaux triangulaires déphasés (de fréquence réglable) pour évaluer la fonction d'auto-alignement en phase du module.

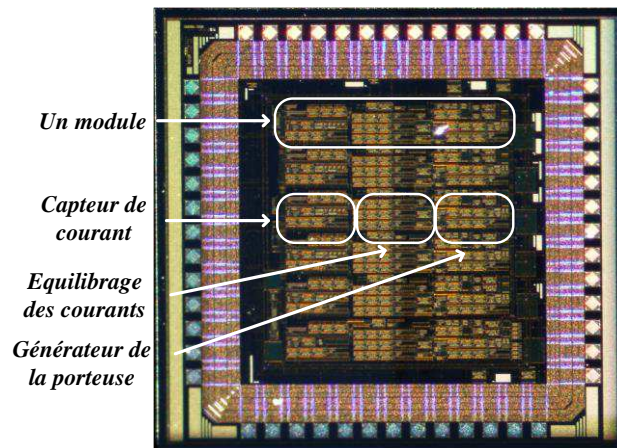


Figure 4.32 : Photo de l'ASIC final (technologie AMS CMOS 0,35um, 6.8mm<sup>2</sup>).

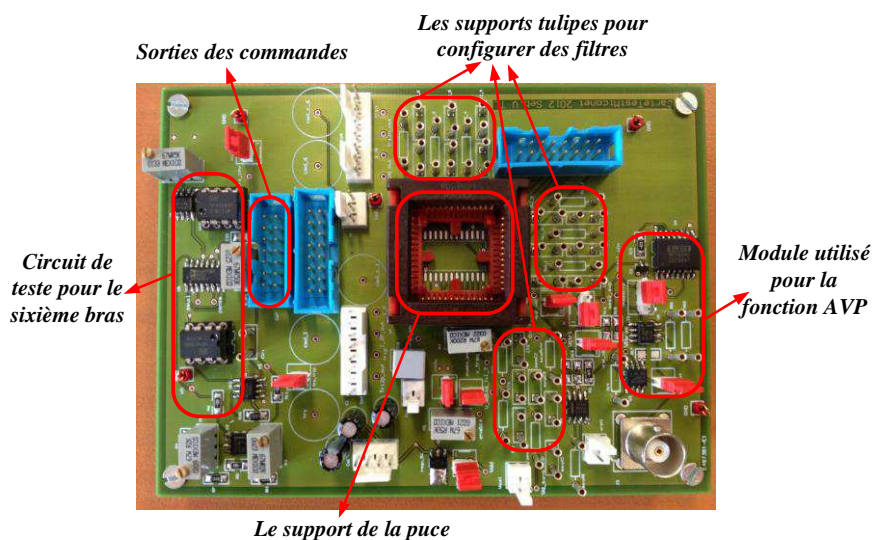


Figure 4.33 : Carte de test (4 couches, 13cm\*9.5cm).

La figure 4.34 montre le résultat du test de l'alignement des porteuses triangulaires. Ce test est effectué en plaçant deux porteuses synchrones décalées en phase sur les ports de communication du sixième module indépendant. On observe bien que la porteuse du module (en vert sur la figure) se place correctement au centre de ses porteuses voisines. Le principe d'auto-alignement en phase montre que si la porteuse du module considéré n'a pas exactement la même fréquence ni les mêmes pentes que ses voisines, à terme une fréquence identique sera obtenue. Cependant de légères erreurs apparaîtront sur la phase du signal et sur son amplitude.

Afin de limiter l'impact d'un désappariement des fréquences libres des signaux triangulaires, il peut être envisagé de placer pour chaque module une fonction PLL permettant d'imposer de façon externe cette fréquence.

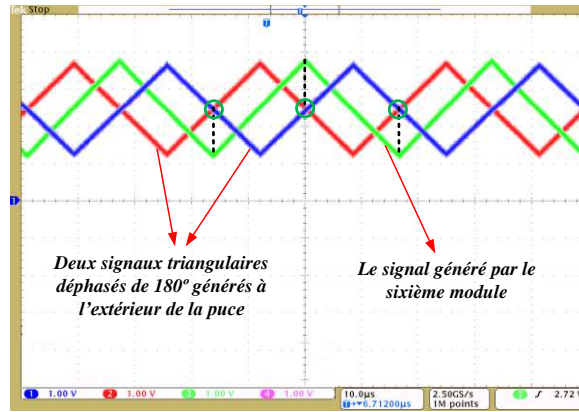


Figure 4.34 : Test de l'alignement des porteuses : observation externe fournie par le sixième module (10us/div, 1V/div).

La figure 4.35 montre la fonction de transfert du circuit interne de mesure du courant. Une tension différentielle  $V_{chute}$ , centrée autour de la tension interne de référence  $V_{dd}/2$ , est placée en entrée de l'amplificateur différentiel du sixième module. Cette tension est représentative d'un courant (+/- 600mA) circulant dans une résistance de mesure (100mΩ) placée en série avec l'inductance de branche.

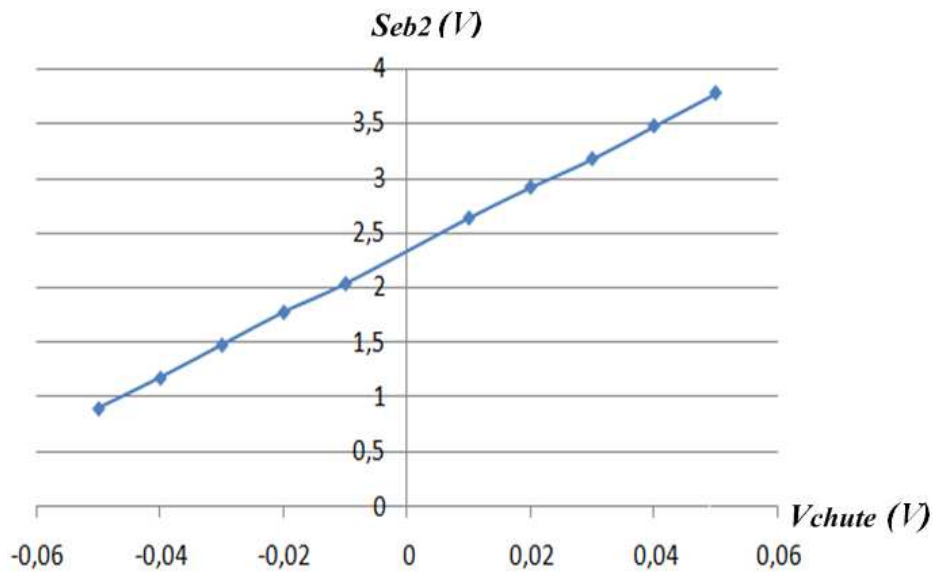


Figure 4.35 : Test du circuit de mesure du courant (gain théorique du circuit : 33).

Le signal obtenu  $S_{eb2}$  sortie du second EB (patte  $I_{2N\_out}$  de l'ASIC) est lui aussi centré autour de  $V_{dd}/2$  et répond de façon linéaire aux variations du signal d'entrée.

Le tableau suivant donne les points de mesures réalisés et montre qu'un gain approximatif de 29 est obtenu pour cette fonction.

$V_{chute}$	-0.05	-0.04	-0.03	-0.02	-0.01	0.01	0.02	0.03	0.04	0.05
$S_{eb2}$	0.9	1.18	1.48	1.78	2.04	2.64	2.92	3.18	3.48	3.78
Gain	29.2	29.5	29.3	29	32	28	28	27.3	28	28.4

Tableau 4.2 : Réponse en tension du circuit de mesure du courant.

Tout désappariage de cette mesure d'un module à l'autre entraîne une erreur statique sur l'équilibrage des courants. Afin de réduire tout déséquilibre, on peut soit s'assurer que tous les modules sont implémentés sur la même puce et placer les résistances fixant le gain proches les unes des autres, soit donner la possibilité d'imposer de façon externe la valeur de ces résistances (en ajoutant deux ports d'accès à la puce par exemple).

La figure 4.36 montre une mesure relative à la génération du signal MLI présent en sortie de chaque module. Cette mesure a été effectuée grâce à la présence du sixième module qui donne accès au signal triangulaire qu'il génère. On observe le résultat (en rouge) de la comparaison d'un signal modulant (en bleu) avec la porteuse (en vert). On peut noter que la porteuse a une amplitude crête-à-crête de 3V et que les comparateur fournissent une réponse rapide sur des charges capacitives de 20pF ( $t_r = 40\text{ns}$  à une fréquence de 850kHz).

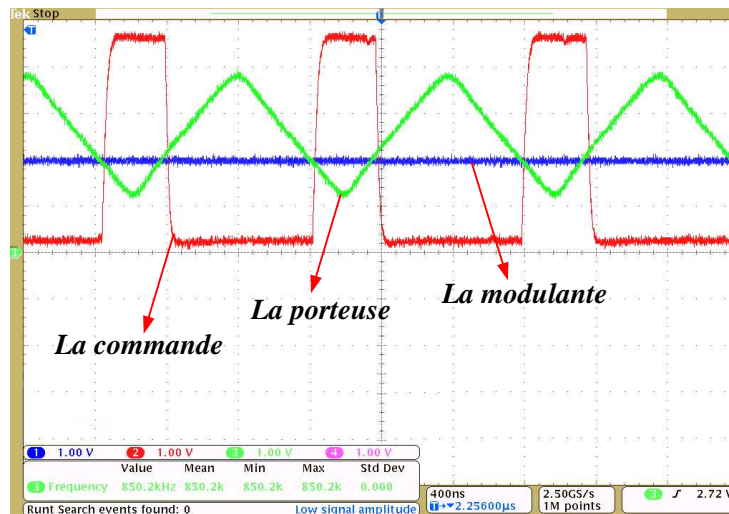


Figure 4.36 : Test de la génération du signal MLI : Comparaison de la porteuse avec la modulante à 850 KHz (400ns/div, 1v/div).

La figure 4.37 montre le comportement des deux signaux MLI issus d'un seul et même module. Leur fréquence est égale ici à 890kHz.

Le déphasage de ces signaux est très proche de  $\pi$  et leurs rapports cycliques sont quasiment égaux (erreur de 1,5%). Ces deux dispersions sont dues au même phénomène : afin de générer le signal déphasé (vert par rapport au rouge), la porteuse interne est inversée par rapport à la tension  $V_{dd}/2$  et est comparée au même signal modulant. On obtient ainsi un signal MLI de même rapport cyclique déphasé de  $\pi$ . Lors de cette opération, l'offset de l'AOPs présent dans la fonction inverseuse introduit les deux erreurs (phase et rapport cyclique). Si l'erreur de phase n'a qu'une faible incidence sur le fonctionnement du micro-convertisseur (apparition de sous-harmoniques sur la composante alternative du courant de sortie), celle de rapport cyclique est importante. En effet, une inductance est placée entre les deux cellules de commutation contrôlées par ces deux signaux. Dû à l'écart de valeur des rapport-cycliques, une différence de potentiel faible mais non nulle est alors présente à ses bornes. On peut donc s'attendre à obtenir une lente mais constante dérive du courant de branche. Pour remédier à ce problème, soit on fait confiance à la boucle de régulation pour réguler la valeur moyenne du courant (apparition d'une composante faible fréquence sur la modulante), soit on introduit au sein de la puce un dispositif d'égalisation des rapports cycliques.

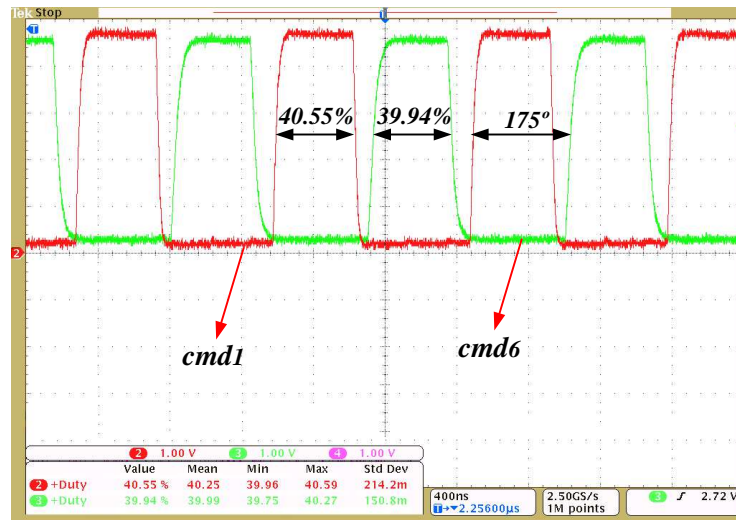


Figure 4.37 : Test du déphasage des commandes : Exemple des deux commandes  $cmd_1$  et  $cmd_6$  déphasées de  $\pi$  (400ns/div, 1v/div).

La figure 4.38 montre le résultat expérimental de la mesure du déphasage inter-module. En utilisant cinq modules chaînés, on souhaite obtenir un déphasage égal à  $72^\circ$  entre deux signaux de commande MLI consécutifs. Les signaux présentés ont une fréquence égale à 621kHz, soit une période égale à 1,6 $\mu$ s. On s'attend donc à obtenir un décalage inter-commande égal à 320ns.

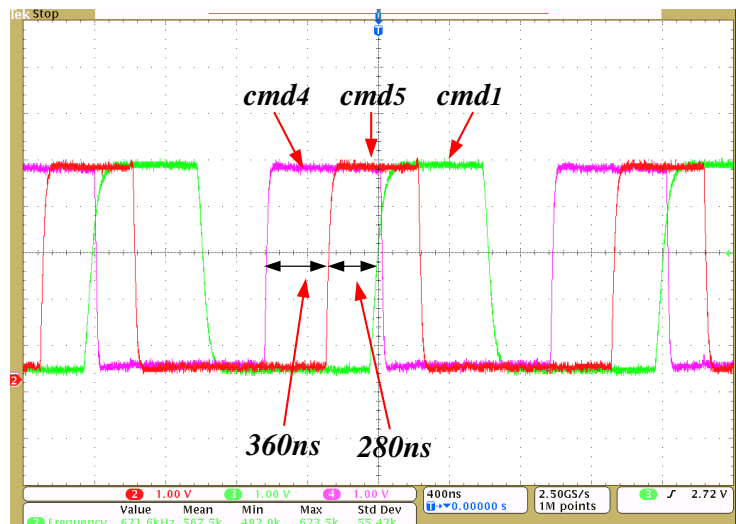


Figure 4.38 : Test du déphasage relatif de trois commandes contiguës (400ns/div, 1v/div).

Le tableau suivant donne la valeur des déphasages relatifs mesurés pour une fréquence de découpage à 830kHz. On remarque qu'une erreur importante intervient entre certaines phases. Après étude, cette erreur est due à un mauvais entrelacement des porteuses internes à la puce. Malgré les précautions prises, certains couplages capacitifs inter-pistes entraînent des perturbations sur les seuils des triggers provoquant ce phénomène. Afin d'y remédier, une deuxième version de la puce, tenant compte des corrections nécessaires à apporter, est en cours de développement.



Déphasages relatif		Décalage (ns)	Déphasage (°)	Erreur relative (%)
phase a	phase b			
1	→ 2	276	82.8	+15
2	→ 3	180	54	-25
3	→ 4	312	93.6	+30
4	→ 5	192	57.6	-20
5	→ 1	180	54	-25

Tableau 4.3 : Déphasages relatifs des commandes MLI obtenues (830kHz, déphasage nominale= 240ns).

## 4.8 Conclusion

Dans ce chapitre les divers aspects relatifs à la conception du circuit intégré de contrôle du micro-convertisseur ont été développés. Pour l'essentiel, les circuits constitutifs d'un module de contrôle sont : les briques élémentaires (polarisation, amplificateur opérationnel, amplificateur d'instrumentation), le générateur de porteuse à auto-alignement en phase, les dispositifs de régulation (mode commun et mode différentiel) et le circuit de mesure du courant de branche à double échantillonneur-bloqueur.

Cinq modules de commande, connectés entre eux dans une configuration chaînée ont été implémentés dans le circuit final. Un sixième module, indépendant des autres, a été ajouté à des fins soit de mesure soit pour permettre d'adresser des applications nécessitant plus d'éléments de contrôle.

Une carte de test a été développée afin d'analyser les performances de la puce de contrôle. Les mesures montrent que les performances attendues sont obtenues. Une légère défaillance est observée au niveau de l'entrelacement des signaux MLI de sortie. La raison est principalement due à des couplages capacitifs d'interconnexions au sein de la puce. Afin d'y remédier, une seconde réalisation de la puce, prenant en compte ces considérations, est en cours.

Cependant, toutes les fonctionnalités implémentées dans le circuit sont opérationnelles et un test final du circuit de commande avec la puce de puissance est envisagé à court terme.



# Conclusion générale et perspectives

---

Le travail de recherche qui a été mené dans cette thèse concerne la définition et la mise au point de nouvelles techniques de contrôle modulaire décentralisé, adaptées à la commande de structures de conversion statique distribuées, évolutives et mises en réseau, dans le but de répondre à différentes applications par la simple association en série et/ou en parallèles de modules de conversion élémentaires optimisés jouant le rôle de briques de base et appelés micro-convertisseurs.

Cette approche originale pour la conception des structures de conversion de puissance a été définie dans le cadre du projet MiCoNet (Micro Converter Network) soutenu par l'ANR et impliquant plusieurs laboratoires CNRS afin de couvrir tous les champs disciplinaires liés au projet. La volonté d'illustrer la démarche et d'aboutir à la mise en œuvre d'un démonstrateur nous a conduit à effectuer le choix d'une technologie de type CMOS 0.35 $\mu$ m pour la réalisation des composants, technologie à la fois facile d'accès, éprouvée et relativement peu coûteuse pour ce travail prospectif. Ce choix a permis de préciser les spécifications d'un micro-convertisseur : 5V-2A-1MHz. A partir de ces spécifications, le dimensionnement optimal du micro-convertisseur a conduit à la définition d'une structure de conversion DC-DC isolée, multiphasée, magnétiquement couplée et à commandes entrelacées.

Ainsi, notre travail a consisté à définir le principe d'une technique de contrôle assurant :

- le fonctionnement interne de chacun des micro-convertisseurs, c'est à dire (i) la commande à MLI de chacune des cellules de commutation, (ii) l'équilibrage des courants de phase pour garantir une équi-répartition de la puissance commutée et la non saturation des coupleurs magnétiques, (iii) la régulation de la tension de sortie
- la communication au sein et entre les micro-convertisseurs des informations de contrôle

Par ailleurs, compte-tenu de la nature multiphasée des micro-convertisseurs et du nombre important de ces derniers à associer, nous avons tenu compte des défaillances possibles de certains éléments et donc de la nécessité de pouvoir reconfigurer la commande pour assurer une continuité de fonctionnement de l'ensemble des convertisseurs placés en réseau.

Dans ce mémoire, nous avons présenté de façon graduelle, l'ensemble des fonctions à réaliser pour parvenir à ce résultat. Une démarche originale pour la mise en œuvre de la commande des architectures massivement parallélisées a été choisie afin de répondre le plus simplement possible à la mise en œuvre des circuits de contrôle nécessaires. Cette démarche repose sur une conception « modulaire » des organes de contrôle, c'est-à-dire sur l'élaboration des fonctions d'entrelacement des commandes, de l'équilibrage des courants et de la régulation de l'ensemble du système de manière décentralisée. Ainsi, chaque circuit de contrôle, implémentant les trois fonctions nécessaires, est directement associé à une seule cellule de commutation et parvient à générer les signaux MLI attendus par des communications « locales » avec ses proches voisins. Ceci permet de minimiser considérablement la difficulté que pose le contrôle d'un grand nombre d'éléments agencés en parallèle (cellules de commutation avec leur inductance de branche ou les micro-convertisseurs eux-mêmes). Les circuits de contrôle obtenus sont alors placés dans une structure de communication chaînée,



bouclée, leur permettant d'échanger des informations avec leurs proches voisins et procurant à l'ensemble une propriété d'auto-organisation.

Après avoir exposé les résultats d'une étude bibliographique, elle-même centrée sur le domaine du contrôle modulaire, permettant d'effectuer les choix nécessaires au démarrage des travaux de la thèse, les divers aspects relatifs à l'étude et la conception des principales fonctions constitutives du circuit de contrôle modulaire ont été exposés les uns à la suite des autres. Pour rappel, les trois fonctions principales du circuit sont :

- un générateur de porteuse triangulaire à auto-alignement en phase,
- un correcteur « relatif » d'équilibrage de courant de branche ne prenant en compte que trois valeurs de courant (celui de la branche considérée et celles des branches voisines),
- et un dispositif « décentralisé » de régulation du mode-commun, c'est-à-dire un régulateur « local » permettant d'asservir la grandeur de tension et/ou courant de sortie commune à l'ensemble des éléments contrôlés.

L'implémentation de cinq modules de contrôle dans un circuit intégré en technologie CMOS, dédiés à la commande d'un micro-convertisseur comportant dix cellules de commutation, a été décrite en détail, en donnant pour chaque fonction réalisée un inventaire des principes théoriques nécessaires à son élaboration et une vue commentée des dessins des masques indispensables à sa réalisation.

Enfin, une carte de caractérisation permettant de tester l'ensemble des fonctionnalités de l'ASIC obtenu a été conçue et développée au sein du laboratoire. Les résultats expérimentaux du circuit complet montrent une parfaite adéquation entre les prévisions théoriques, les analyses de simulations et les mesures effectuées.

Afin d'améliorer l'immunité aux perturbations CEM du circuit intégré travaillant dans un environnement perturbé (présence de fortes commutations réparties dans la structure par exemple), une seconde version de notre ASIC, intégrant ces considérations CEM pour le dessin des masques, est envisagée.

Enfin, on peut noter que cette approche innovante de contrôle de structures parallèles laisse entrevoir un nouveau champ d'applications pour la commande de convertisseurs multicellulaires mettant en œuvre un grand nombre de cellules de commutation placées soit en série, soit en parallèle, ou les deux. Cette solution de commande décentralisée a fait l'objet d'un dépôt de brevet [60] relatif au contrôle de convertisseurs multi-phases et de convertisseurs multi-niveaux dit « Flying-cap ».

## Bibliographies

- [1] R.K. Hester, C. Thornton, S. Dhople, Z. Zheng, N. Sridhar, and D. Freeman, "High efficiency wide load range buck/boost/bridge photovoltaic microconverter," Applied Power Electronics Conference and Exposition, APEC 2011, pp.309-313, 6-11 March 2011.
- [2] S. Harb, H. Haibing, N. Kutkut, I. Batarseh, and Z.J. Shen, "A threeport Photovoltaic (PV) micro-inverter with power decoupling capability," Applied Power Electronics Conference and Exposition, APEC 2011, Twenty-Sixth Annual IEEE , pp.203-208, 6-11 March 2011.
- [3] O. Deleage, J.C. Crebier, M. Brunet, Y. Lembeye, and H.T. Manh, "Design and Realization of Highly Integrated Isolated DC/DC Microconverter," Industry Applications, IEEE Transactions on , vol.47, no.2, pp.930-938, March-April 2011.
- [4] F. Forest, T. Meynard, E. Labouré, B. Gelis, J.-J. Huselstein, and J.C. Brandelero, "An Isolated Multicell Intercell Transformer Converter for Applications With a High Step-Up Ratio," Power Electronics, IEEE Transactions on , vol.28, no.3, pp.1107,1119, March 2013.
- [5] Texas Instruments, "TLC2932A", Datasheet, disponible: <http://www.ti.com/lit/ds/symlink/tlc2932a.pdf>.
- [6] Analog Device, "ADF4360-5", Datasheet, disponible: <http://www.farnell.com/datasheets/1595881.pdf>.
- [7] V. Semiconductor, "1KAB-E", Datasheet, disponible: <http://www.vishay.com/docs/93559/1kabe.pdf>.
- [8] F. Semiconductor, "FOD060L, FOD260L", Datasheet, disponible: <http://www.farnell.com/datasheets/1524123.pdf>.
- [9] V. Semiconductor, "IL300", Datasheet, disponible: <http://www.farnell.com/datasheets/6558.pdf>.
- [10] A. Kelly, "Current Share in Multiphase DC–DC Converters Using Digital Filtering Techniques," Power Electronics, IEEE Transactions on , vol.24, no.1, pp.212,220, Jan. 2009.
- [11] H. Mao, L. Yao, S. Deng, O. Abdel-Rahman, J. Liu and I. Batarseh, "Inductor current sharing of current doubler rectifier in isolated DC-DC converters," Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE , vol., no., pp.6 pp., 19-23 March 2006.
- [12] J.A. Abu-Qahouq, L. Huang and D. Huard, "Sensorless Current Sharing Analysis and Scheme For Multiphase Converters," Power Electronics, IEEE Transactions on, vol.23, no.5, pp.2237,2247, Sept. 2008.

- [13] A. Bhinge, N. Mohan, R. Giri and R. Ayyanar, "Series-parallel connection of DC-DC converter modules with active sharing of input voltage and load current," Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE , vol.2, no., pp.648,653 vol.2, 2002.
- [14] Z. Ye, J. Praveen and S. Paresh, "Multiple Resonant Inverters in Parallel with a Novel Current Sharing Control Based on Current Decomposition Method," Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE , vol., no., pp.1,7, 18-22 June 2006.
- [15] Qahouq, A.Abu Jaber, L. Huang, D. Huard and A. Hallberg, "Novel Current Sharing Schemes for Multiphase Converters with Digital Controller Implementation," Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE , vol., no., pp.148,156, Feb. 25 2007-March 1 2007.
- [16] G. Eirea and S.R. Sanders, "Phase Current Unbalance Estimation in Multiphase Buck Converters," Power Electronics, IEEE Transactions on , vol.23, no.1, pp.137,143, Jan. 2008.
- [17] H. Mao; L. Yao; C. Wang and I. Batarseh, "Analysis of Inductor Current Sharing in Nonisolated and Isolated Multiphase dc-dc Converters," Industrial Electronics, IEEE Transactions on , vol.54, no.6, pp.3379,3388, Dec. 2007.
- [18] J.A. Abu-Qahouq, "Analysis and Design of N-Phase Current-Sharing Autotuning Controller," Power Electronics, IEEE Transactions on , vol.25, no.6, pp.1641,1651, June 2010.
- [19] D.J. Perreault, K. Sato, R.L. Selders and J.G. Kassakian, "Switching-ripple-based current sharing for paralleled power converters," Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on , vol.46, no.10, pp.1264,1274, Oct 1999.
- [20] J. B. Wang, R. Lo and J. H. Chang, "Paralleled DC/DC converter via primary current droop current sharing control," Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on , vol., no., pp.1119,1124, 2-5 Nov. 2009.
- [21] J. Sun, Y. Qiu, B. Lu, M. Xu, F.C. Lee and W.C. Tipton, "Dynamic performance analysis of outer-loop current sharing control for paralleled DC-DC converters," Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE , vol.2, no., pp.1346,1352 Vol. 2, 6-10 March 2005.
- [22] J.C. Schroeder, M. Petersen and F.W. Fuchs, "One-sensor current sharing in multiphase interleaved DC/DC converters with coupled inductors," Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International, pp.DS3c.1-1,DS3c.1-7, 4-6 Sept. 2012.
- [23] M. LeBolloch, "Commandes adaptées pour les convertisseurs statiques multiphases à inductances couplées," Université de Toulouse, 13 Décembre 2010.
- [24] R.P. Singh and A.M. Khambadkone, "Current Sharing and Sensing in N-Paralleled Converters Using Single Current Sensor," Industry Applications, IEEE Transactions on , vol.46, no.3, pp.1212,1219, May-june 2010.

- [25] S. Chae, Y. Song, S. Park and H. Jeong, "Digital Current Sharing Method for Parallel Interleaved DC-DC Converters Using Input Ripple Voltage," *Industrial Informatics, IEEE Transactions on*, vol.8, no.3, pp.536,544, Aug. 2012.
- [26] X. Zhou; P. Xu and F.C. Lee, "A novel current-sharing control technique for low-voltage high-current voltage regulator module applications," *Power Electronics, IEEE Transactions on*, vol.15, no.6, pp.1153,1162, Nov 2000.
- [27] K. I. Hwu and Y. H. Chen, "Applying Differential-Mode Transformer to Current Sharing With Current Ripple Considered," *Industrial Electronics, IEEE Transactions on*, vol.58, no.7, pp.2755,2771, July 2011.
- [28] N. Bouhalli, "Etude et intégration de convertisseurs multicellulaires parallèles entrelacés et magnétiquement couplés," *Université de Toulouse*, 11 Décembre 2009.
- [29] D.J. Perreault, R.L. Selders and J.G. Kassakian, "Frequency-based current-sharing techniques for paralleled power converters," *Power Electronics, IEEE Transactions on*, vol.13, no.4, pp.626,634, Jul 1998.
- [30] T. Wu, Y. Wu, H. Hsieh and Y. Chen, "Current Weighting Distribution Control Strategy for Multi-Inverter Systems to Achieve Current Sharing," *Power Electronics, IEEE Transactions on*, vol.22, no.1, pp.160,168, Jan. 2007.
- [31] Y. Zhang, R. Zane and D. Maksimovic, "Current Sharing in Digitally Controlled Masterless Multi-phase DC-DC Converters," *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, vol., no., pp.2722,2728, 16-16 June 2005.
- [32] R. Naderi and A. Rahmati, "Phase-Shifted Carrier PWM Technique for General Cascaded Inverters," *Power Electronics, IEEE Transactions on*, vol.23, no.3, pp.1257,1269, May 2008.
- [33] B.P. McGrath and D.G. Holmes, "Multicarrier PWM strategies for multilevel inverters," *Industrial Electronics, IEEE Transactions on*, vol.49, no.4, pp.858,867, Aug 2002.
- [34] C. Qiu and S.Huang, "Carrier phase-shifted discontinuous PWM algorithm for cascaded H-bridge inverters," *Electrical Machines and Systems (ICEMS), 2011 International Conference on*, vol., no., pp.1,4, 20-23 Aug. 2011.
- [35] R. F. Foley, R. C. Kavanagh, W. P. Marnane, and M. G. Egan, "Multiphase digital pulsewidth modulator," *IEEE Trans. Power Electron.*, vol. 21, no. 3, pp. 842-846, May 2006.
- [36] X. Wang and M. Kazerani, "A modular photo-voltaic grid-connected inverter based on phase-shifted-carrier technique," *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, vol.4, no., pp.2520,2525 vol.4, 13-18 Oct. 2002.
- [37] Z. Lukic, Z. Zhao, A. Prodic, and D. Goder, "Digital controller for multiphase dc-dc converters with logarithmic current sharing," in *Proc. IEEE Power Electron. Spec. Conf.*, pp. 119-123, 2007.

- [38] Z. Lukic, C. Blake, S.C. Huerta and A. Prodic, "Universal and Fault-Tolerant Multiphase Digital PWM Controller IC for High-Frequency DC-DC Converters," Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE , vol., no., pp.42,47, Feb. 25 2007-March 1 2007.
- [39] T. Carosa, R. Zane and D. Maksimovic, "Scalable Digital Multiphase Modulator," Power Electronics, IEEE Transactions on , vol.23, no.4, pp.2201,2205, July 2008.
- [40] K. I. Hwu and Y. H. Chen, "Current Sharing Control Strategy Based on Phase Link," Industrial Electronics, IEEE Transactions on , vol.59, no.2, pp.701,713, Feb. 2012.
- [41] M. LeBolloch, M. Cousineau and T. Meynard, "Current-sharing control technique for interleaving VRMs with coupled inductors," 13th European Conference on Power Electronics and Applications, EPE 2009, Barcelona, Spain, 8-10 September 2009.
- [42] X. Zhang and A. Huang, "Monolithic/Modularized Voltage Regulator Channel," Power Electronics, IEEE Transactions on , vol.22, no.4, pp.1162,1176, July 2007.
- [43] F. Liang and W. Qu, "Implementation of an automatic interleaving approach for parallel DC/DC converter without interleaving bus," Electrical Machines and Systems, 2003. ICEMS 2003. Sixth International Conference on , pp.368,371 vol.1, 9-11 Nov. 2003.
- [44] Y. Zhang; R. Zane and D. Maksimovic, "System Modeling and Digital Control in Modular Masterless Multi-phase DC-DC Converters," Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, pp.1,7, 18-22 June 2006.
- [45] M. Cousineau, M. LeBolloch, N. Bouhalli, E. Sarraute and T. Meynard, "Triangular Carrier Self-Alignment Using Modular Approach for Interleaved Converter Control," EPE 2011: 14th European Conference on Power Electronics and Applications, Birmingham, UK, 1st Septembre 2011.
- [46] M. LeBolloch, M. Cousineau and T. Meynard, "New Masterless Modular Current-Sharing Technique for DC/DC Parallel Converters," EPE-PEMC 2010: International Power Electronics and Motion Control Conference, Ohrid, République de Macédoine, 6-8 septembre 2010.
- [47] R. Giri, V. Choudhary, R. Ayyanar and N. Mohan, "Common-duty-ratio control of input-series connected modular DC-DC converters with active input voltage and load-current sharing," Industry Applications, IEEE Transactions on , vol.42, no.4, pp.1101,1111, July-Aug. 2006.
- [48] P. Li and B. Lehman, "A design method for paralleling current mode controlled DC-DC converters," Power Electronics, IEEE Transactions on , vol.19, no.3, pp.748,756, May 2004.
- [49] H. Huang, C. Hsieh, J. Liao and K. Chen, "Adaptive Droop Resistance Technique for Adaptive Voltage Positioning in Boost DC-DC Converters," Power Electronics, IEEE Transactions on , vol.26, no.7, pp.1920,1932, July 2011.

- [50] K. Yao, Y. Ren, J. Sun, K. Lee, M. Xu, J. Zhou and F.C. Lee, "Adaptive voltage position design for voltage regulators," Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE , pp.272,278 Vol.1, 2004.
- [51] R.B. Ridley, B.H. Cho and F.C.Y. Lee, "Analysis and interpretation of loop gains of multiloop-controlled switching regulators (power supply circuits)," Power Electronics, IEEE Transactions on , vol.3, no.4, pp.489,498, Oct. 1988.
- [52] M. Lee, D. Chen, C. Liu, K. Huang, E. Tseng and B. Tai, "Comparisons of Three Control Schemes for Adaptive Voltage Position (AVP) Droop for VRMs Applications," Power Electronics and Motion Control Conference, 2006. EPE-PEMC 2006. 12th International, pp.206,211, Aug. 30 2006-Sept. 1 2006.
- [53] X. Xie, J. Zhang, Y. Ma and Z. Qian, "Control-Loop Design for Three-loop Voltage Regulators With Adaptive Voltage Position Control," Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, pp.1,5, 18-22 June 2006.
- [54] K. Yao, M. Xu, M. Yu and F.C. Lee, "Design considerations for VRM transient response based on the output impedance," Power Electronics, IEEE Transactions on , vol.18, no.6, pp.1270,1277, Nov. 2003.
- [55] C. Chen, D. Chen, C. Huang, M. Lee and E.K.-L.Tseng, "Modeling and Design Considerations of a Novel High-Gain Peak Current Control Scheme to Achieve Adaptive Voltage Positioning (AVP) for DC Power Converters," Power Electronics, IEEE Transactions on , vol.24, no.12, pp.2942,2950, Dec. 2009.
- [56] K. Yao, K. Lee, M. Xu and F.C. Lee, "Optimal design of the active droop control method for the transient response," Applied Power Electronics Conference and Exposition 2003. APEC '03. Eighteenth Annual IEEE, vol.2, pp.718,723 vol.2, 9-13 Feb. 2003.
- [57] G. Schuellein, "VRM Design Optimization for Varying System Requirements," Applications Center International Rectifier – 233 Kansas St., El Segundo CA 90245.
- [58] M. Lee, D. Chen, C. Liu, K. Huang, E. Tseng and B. Tai, "Compensator Design for Adaptive Voltage Positioning (AVP) for Multiphase VRMs," Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE , vol., no., pp.1,7, 18-22 June 2006.
- [59] Y. Dong, M. Xu and F.C. Lee, "DCR Current Sensing Method for Achieving Adaptive Voltage Positioning(AVP) in Voltage Regulators with Coupled Inductors," Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE , vol., no., pp.1,7, 18-22 June 2006.
- [60] Patent FR 12 56408 : Dépôt de brevet FR 12 56408 du 4 juillet 2012 (INP Toulouse/CNRS) intitulée "convertisseurs statiques à architecture parallèle ou série et à commande modulaire décentralisée".
- [61] Randall L. Geiger, Phillip E. Allen, and Noel R. Strader, "VLSI Design techniques for analog and digital circuits".
- [62] Roubik Gregorian, "Introduction to Cmos Op-AMPS and comparators".