



HAL
open science

Développement d'un système de conversion et de transmission de données haute fréquence pour applications en milieux électromagnétiquement perturbés

Roman Leduc

► To cite this version:

Roman Leduc. Développement d'un système de conversion et de transmission de données haute fréquence pour applications en milieux électromagnétiquement perturbés. Electronique. Université de Pau et des Pays de l'Adour, 2022. Français. NNT : 2022PAUU3074 . tel-04323436

HAL Id: tel-04323436

<https://theses.hal.science/tel-04323436v1>

Submitted on 5 Dec 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THESE

UNIVERSITÉ DE PAU ET DES PAYS DE L'ADOUR
ÉCOLE DOCTORALE DES SCIENCES EXACTES ET LEURS APPLICATIONS
(ED 211)

Présentée et soutenue le 15 décembre 2022 par
Roman LEDUC

Pour obtenir le grade de docteur
de l'Université de Pau et des Pays de l'Adour

Spécialité : Génie Electrique

Développement d'un système de conversion et de transmission de données haute fréquence pour applications en milieux électromagnétiquement perturbés

Devant le jury composé de :

Rapporteurs :	Pierre BONNET	Professeur, Université de Clermont Auvergne
	Christophe GUIFFAUT	Chargé de recherche CNRS HDR, Institut de recherche XLIM
Examineurs :	Geneviève DUCHAMP	Professeure, Université de Bordeaux
	Sonia BEN DHIA	Professeure, Institut National des Sciences Appliquées (INSA) Toulouse
	Laurent COURTOIS	Docteur-Ingénieur, Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) CESTA
	Antoine CHAULOUX	Docteur-Ingénieur, Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) Gramat
Co-Directeurs de thèse :	Robert RUSCASSIÉ	Maître de Conférences, Université de Pau et des Pays de l'Adour
	Jean-Marc DIENOT	Professeur, Université Paul Sabatier - Toulouse III

Remerciements

Je remercie mon co-directeur de thèse Robert Ruscassié. Tout simplement parce que premièrement, cette thèse n'aurait pas existé sans lui. Mais au-delà de cette évidence, de m'avoir choisi et fait confiance pour la réaliser. D'avoir pris son rôle à cœur et de m'avoir orienté du début à la fin, tout en m'écoutant. D'avoir su mêler la rigueur attendue d'un encadrant avec bienveillance, humanisme et - en prenant un peu de recul - optimisme, qui s'est révélé être juste ! Je dois remercier à cette occasion Anca Petre qui, je le sais, a joué un grand rôle quant à ta disponibilité ! Au-delà de ça, je te remercie pour ta confiance et ton amitié.

Je remercie mon co-directeur de thèse Jean-Marc Dienot, de m'avoir partagé son expérience pour le monde de la recherche, ses connaissances en CEM, ou ses nombreuses ressources bibliographiques qui m'ont été indispensables, sans rentrer dans le détail, sur de nombreux points théoriques cruciaux de mes travaux. J'ai beaucoup appris de sa générosité scientifique et humaine ; générosité transparaissant dans une prolixité indéniable !

Je tiens à remercier Christophe Guiffaut et Pierre Bonnet pour m'avoir fait l'honneur de rapporter sur ces travaux. Je joins à ces remerciements mes examinatrices et examinateurs de thèse, Sonia Ben Dhia, Geneviève Duchamp, Laurent Courtois et Antoine Chauloux, pour leurs discussions passionnantes et leurs conseils lors de la soutenance. C'était un grand plaisir de pouvoir partager ce travail et d'avoir un point de vu extérieur, vivifiant dans la façon d'aborder les problèmes.

Je remercie encore Laurent Courtois du CEA CESTA pour ta sympathie, pour m'avoir fait confiance, et pour avoir travaillé ensemble. C'est ce projet qui m'en a appris autant sur les FPGA et la conception de PCB. Je t'en suis très reconnaissant. Je remercie encore Antoine Chauloux du CEA Gramat, pour ta bienveillance, pour ta confiance également. Tu nous as reçu de multiples fois et écouté sincèrement. C'est un grand plaisir de pouvoir continuer cette aventure à vos côtés.

Je remercie le directeur du Laboratoire SIAME, Laurent Pécastaing, pour m'avoir ouvert les portes et pour la confiance qu'il m'a accordé depuis mes premiers stages de Master, il y a de ça plus de 5 années désormais, et pour m'avoir conseillé et soutenu dans tous les aspects professionnels.

Un grand merci, bien-sûr, à Marc Rivaletto, parce que tu m'as proposé ces stages de Master. Ils m'ont amené au laboratoire et ta bonne compagnie, ton honnêteté, ta volonté de me faire comprendre les choses, a largement contribué à me motiver pour continuer

l'aventure.

Merci à Antoine Sylvestre de Ferron, responsable de notre équipe PHT, pour ton accompagnement, tes précieux conseils lors des manipulations, ils m'ont grandement aidé à mettre les pieds dans le « vrai monde », souvent bien différent des bancs de classe. Merci pour ta sympathie.

Merci Thierry Reess pour ta compagnie, tes conseils, et les nombreuses discussions que l'on a pu avoir sur le travail ou non, mais toujours enrichissantes !

Merci à toute l'équipe du laboratoire SIAME, je pense donc aux « non-permanents » qui constituent une bonne part du collectif : merci à Rémi, Anton, Alexey, Véronika, Éric, Ejlal, Ivan, Charlie, Thomas, Manning, Estelle. Continuez à apporter cette bonne ambiance qui est nécessaire pour progresser paisiblement durant une thèse, je pense notamment à Rémi qui est le prochain sur la liste au moment où j'écris ces mots ! Je remercie mes anciens collègues et amis également qui ne sont plus là, Yoan, Robin, Fati : une grande époque ! Merci à Sylvain Paquet de la société EFFITECH pour les innombrables moments de discussions, pour m'avoir aidé à « débayer » mes cartes grâce à tes grandes connaissances, ce qui m'a fait gagner de précieux jours !

Je remercie spécialement un collègue et ami, Jean-Marie Larbaig, mon « Maître Jedi », qui m'a tant appris, sur les FPGA-SoC et bien d'autre. La détermination pour atteindre ses objectifs et entreprendre des projets, c'est une de tes grandes forces, un exemple, et tu as su me la transmettre et me le rappeler quotidiennement.

Je remercie mes parents, Françoise et Thierry, franchement, pour tout. Il est difficile de savoir quels choix sont les meilleurs pour le futur de ses enfants, en tous cas, c'était le bon choix. Merci maman pour ta sensibilité, parfois intense, merci papa pour ta science, parfois étonnante. Merci à mon frère, Swann, de m'avoir supporté et conseillé durant ces 3 années, ou plutôt durant ces 28 années. Cette complicité naturelle de frères, indispensable remède !

Je remercie ma famille, mes grands-parents Jeanne et Gérard, ma grand-mère Yvette, mes tata, tontons, mes cousins et cousines, pour m'avoir soutenu chacun à votre manière. Je vous le dis, c'est un travail d'équipe.

Je remercie enfin, celle qui n'était pas là à mes débuts, je ne lui en veux pas, elle ne pouvait pas le savoir. Mais qui a rattrapé son retard par sa joie de vivre et son énergie débordante. Merci Njomza pour ce que tu m'as donné et pour m'avoir épaulé, drita e syve tē mi !

« Mais je voudrais croire, moi aussi, qu'il n'existe pas de limite au possible ou que cette limite se situe très loin. »

Andrzej Sapkowski

A ma famille,

Table des matières

Table des figures	ix
Liste des tableaux	xvii
Introduction générale	3
1 Acquisition de signaux haute fréquence en milieux électromagnétique-ment perturbés	11
1.1 La conversion analogique-numérique	13
1.1.1 Les capteurs et leur évolution	13
1.1.2 Technologies de convertisseurs analogique-numérique	16
1.1.2.1 Paramètres d'un CAN	16
1.1.2.2 Technologies de convertisseurs AN	17
1.1.2.3 Convertisseurs AN Flash	18
1.1.2.4 Convertisseurs AN Pipeline	19
1.1.3 Conditionnement du signal	20
1.1.3.1 Théorème de Nyquist-Shannon	20
1.1.4 Techniques de filtrage	21
1.1.4.1 Filtrage analogique	22
1.1.4.2 Filtrage numérique	24
1.1.4.2.1 Filtrage FIR	25
1.1.4.2.2 Filtre IIR	29
1.1.4.2.3 Domaines d'application des FIR et IIR	30
1.2 Technologies d'intelligence programmable	31
1.2.1 Microcontrôleurs	31
1.2.2 Les FPGA-SoC	33
1.2.2.1 Technologie FPGA	33
1.2.2.2 Technologie FPGA-SoC	36
1.3 Transport et gestion des données	38
1.3.1 Technologies de communication	38
1.3.1.1 Connexions filaires	38
1.3.1.2 Fibre optique	40
1.3.1.3 Connexions sans fil	43
1.3.1.4 Conclusions sur les technologies de communication	46
1.3.2 Gestion des données	46

1.3.2.1	Stockage des données	46
1.3.2.2	Logiciels de gestion des données	48
1.3.2.3	Bases de données Streaming	50
1.4	Milieux perturbés et aspects CEM	50
1.4.1	Interférences électromagnétiques	51
1.4.1.1	Sources de perturbations électromagnétiques	51
1.4.1.2	Classification des IEM	52
1.4.2	Caractérisation des couplages	53
1.4.3	CEM des systèmes électroniques	56
1.4.4	Amélioration de l'immunité électromagnétique	56
1.4.4.1	Blindage électromagnétique	57
1.4.4.2	Techniques d'optimisation des blindages boîtiers	58
1.4.4.3	Filtrages et protections électriques	59
1.5	Système développé et objectifs visés	61
	Bibliographie	65
2	Développement d'un système d'acquisition haute fréquence	75
2.1	Description du concept envisagé	81
2.1.1	Fonctionnalités proposées	81
2.1.2	Spécification des performances d'acquisition	82
2.2	Conception d'un système de synchronisation SAD	84
2.2.1	Contexte et cahier des charges	84
2.2.1.1	Système Anti-Débris	84
2.2.1.2	Synchronisation SAD et intérêt de la technologie FPGA-SoC	86
2.2.2	Développement du système de synchronisation	87
2.2.2.1	Choix du système FPGA-SoC	87
2.2.2.2	Implémentation des fonctions et réalisation de la carte.	89
2.2.2.3	Mise en œuvre d'un banc d'essai	94
2.2.2.4	Test et validation des fonctions et performances	95
2.2.3	Conclusions	96
2.3	Conception d'un système d'acquisition HF	97
2.3.1	Choix de la technologie	97
2.3.1.1	Protocole JESD204B	97
2.3.1.2	Choix du convertisseur analogique-numérique	102
2.3.1.3	Choix de la plateforme FPGA-SoC	103
2.3.2	Développement de prototypes	105
2.3.2.1	ContactKit92	105
2.3.2.2	Précisions sur les interfaces de signaux logiques basse tension	111
2.3.2.3	Interfacage et terminaison des signaux sur le prototype Contact-Kit92	115

2.3.3	Développement et réalisation d'une carte PCB haute vitesse	121
2.3.3.1	Longueur critique d'une ligne de transmission sur PCB.	121
2.3.3.2	Choix de la configuration PCB	123
2.3.3.3	Dimensionnement des lignes de transmission.	126
2.3.3.4	Contrôle temporel des signaux	130
2.3.4	Etude de l'intégrité des signaux	132
2.3.4.1	Analyse d'impédance par réflectométrie temporelle	133
2.3.4.2	Analyse TDR des signaux SERDOUT	134
2.3.4.3	Analyse temporelle des signaux SERDOUT par diagramme de l'oeil	137
2.3.4.4	Analyse temporelle numérique et expérimentale de l'horloge d'échantillonnage H_{CAN}	140
2.3.5	Conclusions	143
2.4	Conclusions et perspectives	144
	Bibliographie	147
3	Étude de l'efficacité des blindages multicouches	153
3.1	Contexte de l'étude	155
3.1.1	Caractérisation de l'environnement perturbé	155
3.1.2	Matériaux de blindages EM typiques	157
3.1.3	Une première approche aux blindages multicouche	159
3.2	Etude analytique du blindage par effet cage de Faraday	161
3.2.1	Théorie de blindage d'un écran métallique simple couche	161
3.2.1.1	Atténuation d'un écran électromagnétique	161
3.2.1.2	Impédance caractéristique du champ EM	161
3.2.1.3	Impédance caractéristique d'un écran métallique	163
3.2.1.4	Efficacité de blindage par réflexion	164
3.2.1.5	Efficacité de blindage par absorption	165
3.2.1.6	Multiples réflexions et facteur de correction	167
3.2.1.7	Efficacité de blindage totale	168
3.2.1.8	Efficacité de blindage multicouches	168
3.2.2	Etude analytique sur la bande de fréquence des IEMI	170
3.2.2.1	Choix du matériau	170
3.2.2.2	Etude analytique d'un écran théorique	171
3.3	Analyse numérique de blindages multicouche	174
3.3.1	Validation du modèle CST pour un blindage simple couche	174
3.3.2	Etude paramétrique de blindages multicouche	176
3.3.2.1	Écran 2 couches	176
3.3.2.2	Écran 3 couches	178
3.3.2.3	Épaisseurs asymétriques d'isolants	179

3.3.2.4	Discussions sur les résultats	181
3.4	Blindage d'une zone localisée sur PCB et analyse numérique	182
3.4.1	Modélisation de la source d'agression IEMI	182
3.4.1.1	Choix de la source de rayonnement	182
3.4.1.2	Paramètres dimensionnels de l'antenne demi-onde	183
3.4.1.3	Positionnement de l'antenne	185
3.4.2	Mise en place du modèle de simulation complet	187
3.4.2.1	Modèle 3D du boîtier victime	187
3.4.2.2	Mesure de l'efficacité de blindage	189
3.4.2.3	Paramètres d'excitation de l'antenne	189
3.4.3	Discussions sur les résultats obtenus par simulation	191
3.4.3.1	Configuration B : simple couche	191
3.4.3.2	Configuration C : multicouche	193
3.5	Conclusions et perspectives	194
	Bibliographie	196
	Conclusion générale	201
	Publications et communications	205

Table des figures

1.1	(a) Thermomètre à mercure exposé au musée Galilée (Italie) [MGle].(b) Illustration du XVIII ^{ème} siècle d'une expérience reproduisant l'effet Seebeck.[ala19].	14
1.2	Transformée de fourier (ici discrète) d'un signal apériodique.[KSB21]	15
1.3	(a) Représentation temporelle de la mesure d'un signal selon différentes bandes passantes de capteurs. (b) Représentation fréquentielle.	15
1.4	Représentation graphique de la numérisation d'un signal analogique pour une résolution de 4 bits, et une fréquence d'échantillonnage donnée.	17
1.5	Comparaison des différentes familles de convertisseur AN selon la résolution et la fréquence d'échantillonnage proposée.	17
1.6	Exemple de la structure d'un CAN Flash 4 bits.	18
1.7	Structure d'un CAN semi-Flash 12 bits	19
1.8	Structure d'un CAN Pipeline reconstituant une conversion d'une résolution de N bits.	20
1.9	(a) Visualisation dans le domaine temporel de l'apparition d'une fréquence d'aliasing lorsque la fréquence de la sinusoïde est inférieure à la fréquence de Nyquist. (b) Représentation dans le domaine fréquentiel.	21
1.10	Schéma d'intégration des filtres analogiques et numériques dans un système de conversion analogique-numérique.	22
1.11	(a) Topologie typique d'un filtre Sallen-Key passe-bas de gain unitaire. (b) Réponse fréquentielle des fonctions de transfert des filtres Bessel, Chebyshev et Butterworth.	22
1.12	Comparaison selon différents critères de plusieurs processeurs de traitement de signaux (DSP ou DSC).	25
1.13	Exemple d'un filtre par moyenne glissante à 4 échantillons.	26
1.14	Filtrage FIR par moyenne glissante sur 4 échantillons.	26
1.15	Réponse fréquentielle d'un filtre à moyenne glissante selon le nombre d'échantillons moyennés.	27
1.16	Réponse fréquentielle d'un filtre à moyenne glissante selon le nombre d'échantillons moyennés.	28
1.17	Application d'un filtre FIR passe-bas sur un signal présentant des hautes fréquences non désirées.	28
1.18	Schéma logique d'un filtre à réponse impulsionnelle infinie (IIR)	29
1.19	Définition du type de microcontrôleur et de son fonctionnement selon trois caractéristiques : la localisation de la mémoire, l'architecture, et le type d'instructions.	32
1.20	Structure interne d'un FPGA.	34

1.21 (a) Structure interne d'une Look up Table à trois entrées.(b) Table de vérité correspondante.	35
1.22 (a) Logique combinatoire d'un FPGA permettant de réaliser 4 opérations en 2 cycles d'horloge.(b) Série d'instructions algorithmiques réalisant les mêmes opérations en 4 cycles d'horloge.	36
1.23 Constitution et interfaçage d'un d'un FPGA-SoC avec ses périphériques.	37
1.24 Exemple d'un système d'acquisition et de supervision de signaux pilotés par une IHM externe.	37
1.25 Carte présentant le premier télégraphe sous-marin déployé entre l'Irlande et Terre-Neuve en 1858.	38
1.26 Evolution des taux de transfert et de leur standard au court des dernières décennies [Hul14].	39
1.27 Elias Snitzer travaillant à l'American Optical Laboratory en 1964 [Ros12].	40
1.28 Différentes géométries de section de fibre optique selon le mode utilisé.	41
1.29 Propagation d'un faisceau de lumière selon différents types de fibre optiques.	42
1.30 (a) Allure temporelle d'une modulation d'amplitude. (b) Allure temporelle d'une modulation fréquentielle.	44
1.31 (a) Couverture du réseau 4G en France en 2020 [Jaw20]. (b) Prévision du déploiement du réseau Lora Objenious au cours de l'année 2016 [Arn16].	45
1.32 Différentes architectures de stockage de données, de la plus simple à la plus complète.	47
1.33 Gestion d'une base de données entre client et serveur par SGBD.	48
1.34 Structuration d'une base de données SQL.	49
1.35 Différences entre une base de donnée avec un traitement de type batch, et de type streaming.	50
1.36 (a) Impact de foudre. (b) Décharge électrostatique.	51
1.37 Classification des IEM par bande de fréquence [GT04].	52
1.38 Modes de couplages entre une source et une victime.	53
1.39 Couplage par impédance commune.	54
1.40 Couplages de mode rayonné sur dans un système électrique.	54
1.41 Modes de couplages rayonnés en champ E et en champ H.	55
1.42 Diagramme représentatif des marges CEM d'un système par rapport à la probabilité de réalisation des évènements.	56
1.43 Faradisation d'un système dans un environnement à perturbation EM.	57
1.44 Représentation réaliste d'un boîtier de blindage avec ses ouvertures et ses fentes.	58
1.45 (a) Tension en sortie d'un redresseur brute (rouge) et filtrée (bleu) . (b) Tension perturbée par des commutations rapides brute. Bruit parasite haute fréquence sur une tension d'alimentation.	60
1.46 Amélioration de l'impédance équivalente d'un filtre passe-bas avec l'ajout de condensateurs en parallèle.	61

1.47	Schéma de principe du système de pilotage d'un moteur triphasé par MLI contrôlé par une plateforme FPGA-SoC avec une acquisition embarquée [Lar21].	62
1.48	Schéma de principe du système d'acquisition embarqué illustrant les différents étages de conversion.	63
2.1	Impact de foudre sur le SLS (Space Launch System) au centre spatial Kennedy en avril 2022 [May22].	77
2.2	Fonctions élémentaires d'un chaîne d'acquisition de données.	79
2.3	Rapport entre les différentes fréquences intervenant dans une conversion analogique-numérique.	79
2.4	Schéma de principe du système d'acquisition embarqué illustrant les différents étages de conversion.	81
2.5	(a) Configuration finale de l'installation EPURE avec ses trois axes. (b) Machine de radiographie X éclair AIRIX au sein de l'installation EPURE.	84
2.6	Schéma de principe du système SAD installé sur le parcours du tube de propagation de faisceau d'électrons.	85
2.7	Disques du SAD en rotation opposée à vitesse différente, entraînant un alignement des ouvertures cadencé selon la fréquence de coïncidence.	85
2.8	Procédure de génération du signal de pré-coïncidence selon les différents signaux mis en jeux entre le système Synchro et le SAD.	86
2.9	(a) Carte de développement FPGA-SoC Terasic System on Module. (b) Schéma de principe de sélection du support de mémoire flash (micro SD ou eMMC).	89
2.10	Synoptique de la logique intégrée dans la partie FPGA.	90
2.11	(a) Vue de dessus de la carte d'interface fibre optique. (b) Vue dessous de la carte d'interface fibre optique connectée à la plateforme FPGA-SoC Sockit.	91
2.12	(a) PCB 4 couches avec les couches externes utilisées comme blindage EM. (b) Rebords de la carte comportant un nombre important de vias juxtaposés proches les uns des autres, méthode appelée via shielding.	92
2.13	Etablissement d'un protocole MODBUS TCP/IP via l'interface RJ45 et capture d'une communication.	93
2.14	(a) Système Synchro vue de dessus. (b) Vue de face avant.	94
2.15	(a) Synoptique du banc de test à deux cartes. (b) Banc de test en fonctionnement.	94
2.16	(a) Signaux d'horloges en sortie du FPGA côté SAD. (b) Signaux d'horloges reçus côté Synchro, mettant en avant les incertitudes temporelles liées aux IC.	96
2.17	Schéma de principe de la mise en série de données parallèles et relation avec la fréquence d'opération.	98
2.18	Schéma de principe de la mise en place et du fonctionnement de l'interface JESD204B pour un transfert de données sérialisées.	99
2.19	Schéma de principe de l'agencement des transactions JESD204B selon les paramètres L,M,N,F, sans le codage 8b/10b.	101

2.20	Schéma de principe de l'alignement de 4 voies grâce à la latence déterministe.	101
2.21	Différentes configurations de transfert de données sérialisées pour une fréquence d'échantillonnage de 250 Me/s et une résolution de 14 bits.	103
2.22	(a) Plateforme Sockit avec connecteur HSMC.(b) Plateforme HAN Pilot avec connecteur FMC et fibre optiques SPF+.	105
2.23	Synoptique du prototype ContactKit92 avec deux voies d'entrées et une interface typique JESD204B entre le CAN AD9250 et le FPGA.	106
2.24	Schéma de principe de la suppression des perturbations de mode commun avec un transport différentiel des signaux.	107
2.25	Schéma électrique de l'amplificateur différentiel ADA4930 avec une entrée single 50Ω [Dev].	108
2.26	Ajustement des résistances R_G et R_T de l'amplificateur différentiel ADA4930 pour obtenir un gain de 2 sur une impédance d'entrée adaptée à l'impédance du signal de 50Ω [Dev].	109
2.27	Schéma électrique de la génération des horloges $F_{éch}$ et $SY SREF$ à partir d'un oscillateur à crystal.	110
2.28	Schéma électrique typique d'un driver CMOS inverseur.	112
2.29	Schéma électrique typique d'un driver LVDS.	112
2.30	Schéma électrique typique d'un driver LVPECL [Hol02].	113
2.31	Représentation schématique généralisée de la structure d'un driver CML.	114
2.32	Représentation des niveaux logiques selon l'interface employée [Hol02].	115
2.33	Schéma de principe d'une transmission d'un signal entre un émetteur et récepteur avec ses réseaux d'adaptation d'impédance.	115
2.34	Schématization des interfaces de signaux haute vitesse du prototype ContactKit92 mises en jeu.	117
2.35	Couplage AC d'une interface différentielle présentant différents niveaux de signaux entre le Driver et le Receiver.	118
2.36	Différents comportements de la tension de sortie du couplage AC du signal d'horloge oscillateur de 250 MHz pour $C_c=100\text{pF}$ (a), $C_c=4,7\text{nF}$ (b), $C_c=0,1\mu\text{F}$ (c).	119
2.37	Interfaçage d'un driver LVPECL avec couplage AC vers un Receiver de technologie différente.	119
2.38	Comparaison entre une terminaison d'une ligne de transmission incomplète impliquant des réflexions, et une terminaison au niveau de la puce FPGA grâce aux résistances programmables.	120
2.39	Synthèse des interfaçages haute vitesse de la carte d'acquisition ContactKit92.	121
2.40	Front typique d'un signal LVDS à l'entrée d'une ligne de transmission.	121
2.41	Amplitudes de réflexions en sortie pour $\Gamma_l = 1$ et $\Gamma_0 = -1$ pour un échelon de temps de montée égal à 100 ps, et un délai de propagation dans la ligne de 10% du temps de montée (a), 40% (b) et 100% (c).	122
2.42	Synoptique électrique complet de la carte d'acquisition ContactKit92.	123

2.43	Arrangement d'un PCB 4 couches (GND-Alim-Signaux-GND) priorisant le blindage EM et représentation générale d'une transmission entre deux composants.	125
2.44	(a) Placement classique de vias reliant les pins d'un circuit intégré, en respectant l'espacement minimal d_{min} entre les vias. (b) Placement des vias sous les pins (via-in-pad).	125
2.45	Ligne de transmission par éléments distribués.	126
2.46	(a) Vue en coupe de la section d'une stripline single. (b) Vue 3D isométrique d'une stripline single.	128
2.47	Vue de coupe de la structure du PCB 4 couches du prototype ContactKit92.	129
2.48	Mise en avant de l'inductance mutuelle l_m et de la capacité mutuelle c_m d'une ligne de transmission stripline différentielle couplée.	129
2.49	Illustration des contraintes temporelles à prendre en compte pour éviter les phénomènes de métastabilité.	131
2.50	Routage des signaux Horloge SYSREF et Horloge ADC entre les circuits AD-CLK925 et le CAN AD9250 avec adaptation de la longueur des pistes.	131
2.51	(a) Vue d'ensemble 2D du routage du PCB ContactKit92, avec en (1) les connecteurs SMA, (2) l'amplificateur différentiel ADA4930, (3) le CAN AD9250, (4) l'oscillateur 250 MHz, (5) le diviseur d'horloge AD9515, (6) les cavalier de configuration de la division et du déphasage de l'AD9515, (7) les distributeurs d'horloge ADCLK925, (8) le connecteur HSMC, (9) le circuit de protection et de filtrage de l'alimentation générale 3,3V, (10) les divers signaux permettant la configuration des CI ou leur mise en veille si possible. (b) Vue d'ensemble 3D du PCB ContactKit92.	132
2.52	Schéma de principe de la réflectométrie temporelle.	133
2.53	Visualisation temporelle des signaux de type carré et Gaussien avec représentation de leur composantes fréquentielles respectives par transformée de Fourier.	134
2.54	Pistes différentielles reliant les deux voies de sortie des signaux sérialisés de l'AD9250 au connecteur haute vitesse HSMC.	134
2.55	Observation de la réflexion du signal incident sur les lignes SERDOUT_1 (a) et SERDOUT_2 (b).	135
2.56	Visualisation du signal d'excitation se propageant à travers SERDOUT_1 à différents instants sans résistance d'adaptation en fin de ligne (circuit ouvert).	136
2.57	Impédances différentielles des lignes SERDOUT_1 (a) et SERDOUT_2 (b) calculée par TDR.	136
2.58	Diagramme de l'oeil constitué d'une superposition de différentes séquences de 3 bits.	137
2.59	Masque imposé par les performances des Receiver haute vitesse du FPGA Intel Cyclone V.	138
2.60	Modèle de simulation des signaux de sérialisation en sortie du CAN AD9250 se propageant via les lignes SERDOUT.	138

2.61	Visualisation du contrôle d'un des signaux de sortie du modèle IBIS (signal positif de la ligne différentielle SERDOUT_1 à 1 Gbit/s).	139
2.62	(a) Diagramme de l'oeil en entrée de ligne à 1 Gbit/s. (b) Diagramme de l'oeil en fin de ligne avec masque à 1 Gbit/s.	139
2.63	Diagramme de l'oeil du signal SERDOUT_1_S à différents taux de transfert : (a) 1,5 Gbit/s, (b) 2 Gbit/s, (c) 2,5 Gbit/s.	140
2.64	Modèle de simulation du signal H_{CAN} en sortie du distributeur d'horloge AD-CLK925 et à destination du CAN AD9250 via une piste différentielle 100 couplée AC et adaptée à 100 Ω .	141
2.65	(a) Vue d'ensemble du montage de la carte d'acquisition avec la plateforme FPGA Socket. (b) Vue rapprochée de la carte d'acquisition.	141
2.66	(a) Simulation du signal d'horloge V_{HCAN} à 125 MHz adapté à 100 Ω . (b) Mesure expérimentale du même signal V_{HCAN} sur le prototype ContactKit92.	142
2.67	(a) Étude numérique et paramétrique de l'adaptation d'impédance du signal H_{CAN} en faisant varier R_T entre 100 Ω et 50 Ω . (b) Visualisation du comportement des réflexions par mesure expérimentale sur le prototype ContactKit92 lors du changement de l'impédance d'adaptation de 100 Ω à 60 Ω .	143
2.68		145
3.1	Plage de fréquence des IEMI et correspondance avec les dimensions des systèmes électroniques.	156
3.2	Signal d'excitation de type Gaussienne (0-6 GHz) utilisé pour agresser les blindages (normalisé à 1).	157
3.3	Blindage par effet cage de Faraday à différentes échelles. (a) Capots de blindage BLS sur circuit électronique. (b) Baies de serveur Faradisées dans un centre de données. (c) Benfield Anechoic Facility, plus grande chambre anéchoïque (CEM) du monde avec le bombardier B-1B en test.	158
3.4	(a) Illustration schématique du blindage multicouches (5 couches) [CuFNiF/Si]. (b) Efficacité de blindage des deux échantillons de blindages multicouches [CuFNiF/Si] et [AgFCoCF/PI]. [MHGK18]	160
3.5	(a) Différents échantillons de blindage simple couche et multicouches pour une même épaisseur totale. (b) Pertes d'insertions mesurées pour chaque échantillon représentant l'efficacité de l'isolation du couplage inductif entre les deux bobines.[WRW+18]	160
3.6	Impédance caractéristique des champs E et H en fonction de la distance.	163
3.7	Impédance caractéristique d'un écran métallique en fonction de la fréquence pour une épaisseur donnée.	164
3.8	Représentation de l'atténuation d'une onde EM se propageant dans un milieu de conductivité non nulle.	165
3.9	Représentation de l'absorption du champ E par effet de peau.	166

3.10	multiples réflexions apparaissant au sein d'un écran d'épaisseur e	167
3.11	Schéma de principe d'un écran de blindage multicouches.	168
3.12	Schéma d'un champ EM normal à un plan métallique applicable à la théorie de blindage.	171
3.13	Atténuation d'un écran théorique (Cu et Al) pour différentes épaisseurs sur la plage des IEMI.	172
3.14	Contribution des différents mécanismes de blindage d'un écran de cuivre ($e = 6\mu\text{m}$) entre 1 MHz et 5 GHz.	173
3.15	Modèle d'écran simple couche sur CST MW.	174
3.16	Comparaison entre atténuations obtenues théoriquement et par simulation pour un écran d'aluminium (Al) sur la plage des IEMI pour 3 épaisseurs différentes.	175
3.17	Comparaison entre atténuations obtenues théoriquement et par simulation pour un écran de cuivre (Cu) sur la plage des IEMI pour 3 épaisseurs différentes.	175
3.18	Schéma d'un écran de blindage 2 couches (Cu-Air-Cu) dont l'épaisseur inter-couche isolante varie.	176
3.19	Comparaison entre les pertes d'insertion obtenues par simulation pour un écran 2 couches (Cu-Air-Cu) donc l'espace entre les deux couches varie, sur la plage des IEMI.	177
3.20	Schéma de deux écrans de blindages : 2 couches (Cu-Air-Cu) et 3 couches (Cu-Air-Cu-Air-Cu) de même épaisseur totale.	178
3.21	Comparaison entre les pertes d'insertions obtenues par simulation pour des écrans 2 couches (Cu-Air-Cu) et 3 couches (Cu-Air-Cu-Air-Cu) de même épaisseur totale.	178
3.22	Schéma de la configuration d'écran 3 couches avec une asymétrie entre les épaisseurs d'isolants pour une même épaisseur totale d'isolant de $100\mu\text{m}$ sur la plage des IEMI.	179
3.23	Pertes d'insertions pour différentes configurations d'asymétries des couches d'isolant d'un écran 3 couches pour une même épaisseur totale sur la plage 1-3 GHz.	180
3.24	Mise en évidence de la symétrie des pertes d'atténuations entre différentes configurations pour un écran à 3 couches et à 1 GHz.	180
3.25	Agression IEMI d'un boîtier de blindage protégeant un circuit PCB.	182
3.26	Schéma de principe d'une antenne dipôle ou antenne demi-onde.	183
3.27	Paramètres S11 d'une antenne demi-onde dimensionnée pour 3 GHz.	184
3.28	(a) Vue 3D du rayonnement en champ lointain d'une antenne dipôle demi-onde à 3 GHz. (b) Diagramme de rayonnement mettant en avant le gain à 1,61 en linéaire (ou 2,08 dBi, soit proche de la théorie avec 2,14 dBi pour un dipôle idéal [Stu98].)	185
3.29	Comparaison entre l'estimation du champ E théorique et les résultats obtenus par simulation sur CST pour une puissance d'alimentation de l'antenne de 1 W.	187

3.30 (a) Portion de carte PCB utilisée dans le modèle de simulation CST incluant le Quartz. (b) Vue de coupe de la carte avec le boîtier métallique étudié et blindant la carte.	188
3.31 Positionnement de la sonde de champ E à 2,5 mm au-dessus de la carte PCB.	189
3.32 Modèle de simulation CST incluant l'antenne dipolaire et le boîtier de blindage victime.	190
3.33 (a) Représentation temporelle de l'impulsion Gaussienne. (b) Représentation temporelle de l'intégrale de l'impulsion Gaussienne.	190
3.34 (a) Transformée de Fourier des champs E mesurés à 2,5 mm de la carte avec la configuration A (EP-100 μm). (b) Transformée de Fourier des champs E mesurés à 2,5 mm de la carte avec la configuration B (Cu-12 μm / EP-100 μm).	192
3.35 (a) Comparaison des mesures temporelles des champs E à 2,5 mm de la carte avec $F_{antenne} = 3GHz$ entre les configurations A et B. (b) Transformée de Fourier des signaux temporels avec mise en apparence de la fréquence de résonance de l'antenne.	192
3.36 Comparaison de l'efficacité de blindage entre un écran plan théorique et un boîtier aux dimensions finies (configuration B).	193
3.37 Comparaison de l'efficacité de blindage entre un écran plan théorique et un boîtier aux dimensions finies (configurations B et C).	194

Liste des tableaux

1.1	Tableau de coefficients Q et F_F selon le type de filtre appliqué. [Lan75]	24
1.2	Comparatif des caractéristiques et domaines d'applications des filtres FIR et IIR [Kes03][Ned20].	30
1.3	Comparatif des performances de microcontrôleurs typiques précisant la taille de bus, la taille de mémoire, le nombre de pins d'entrée / sortie (I/O), la fréquence d'horloge et le prix.	33
1.4	Comparaison des caractéristiques, performances et applications entre fibres monomode et multimode [Pho10]	43
1.5	Comparaison de différentes technologies de communication sans fil.	45
1.6	Classification des IEMI selon la largeur de bande.	53
1.7	Comparaison des différents types de condensateurs de filtrage.	60
2.1	Comparatif de différentes cartes de développement FPGA-SoC.	88
2.2	Comparaison entre les standards SERDES et JESD204	98
2.3	Comparaison entre différents modèles de convertisseurs analogiques numériques utilisant l'interface JESD204B.	102
2.4	Taux de transfert des données sérialisées entre le CAN et la plateforme FPGA selon la fréquence d'utilisation et les paramètres du protocole JESD204B.	103
2.5	Comparaison des performances de transmission de données haute vitesse entre les plateformes Sockit et HAN Pilot.	104
2.6	Comparaison des performances entre différentes interfaces de transmissions de signaux haute vitesse [Ins08].	114
2.7	Ensemble des interfaces haute vitesse de signaux numériques de la carte d'acquisition ContactKit92.	118
2.8	Comparatifs des performances de production de différents fabricants PCB.	126
2.9	Comparatifs des performances de différentes méthodes de calculs de l'impédance de lignes de transmission.	128
3.1	Conductivité et perméabilité relative au Cuivre de matériaux de blindage [Cha07].	170
3.2	Configurations écrans 3 couches à épaisseurs d'isolant asymétriques pour une épaisseur totale d'isolant de $100 \mu m$	179
3.3	Calcul de la distance antenne - boîtier pour chaque configuration fréquentielle.	186
3.4	Différents agencements des couches du boîtier de blindage.	188

INTRODUCTION GÉNÉRALE

Introduction générale

Ces dernières décennies ont été marquées par une importante progression technologique s'appuyant principalement sur l'électronique et semble aujourd'hui inéluctable. Cette révolution transforme et concerne de plus en plus de domaines d'applications : dans l'industrie, le médical, la recherche ; et se retrouve même au sein des foyers à travers la domotique. Tous ces systèmes basés sur l'électronique, quels qu'ils soient, interagissent avec le monde extérieur, dans le but de réaliser une fonction établie par le fabricant et désirée par l'utilisateur. Cette interaction qui peut s'exprimer de diverses manières, passe aujourd'hui presque tout le temps par la conversion d'une grandeur physique dite analogique (température, tension, lumière, accélération) en une grandeur numérique, mais aussi par l'interfaçage avec l'être humain (écran de visualisation, interface de contrôle ou de surveillance). Selon l'application souhaitée, le traitement, le transport, et l'exploitation des données peuvent être plus ou moins complexes et faire appel à diverses gammes de technologies adaptées.

Nous retrouvons dans la majorité des secteurs de l'industrie ou de la recherche - notamment dans le génie électrique - des applications requérant souvent un grand nombre de données, de signaux, de valeurs, à contrôler ou surveiller. Dans un souci d'ergonomie, d'efficacité, de bonne gestion, et de convenance pour l'utilisateur, il est souvent nécessaire de disposer d'un ensemble de systèmes permettant la mesure et la centralisation des données dans le but de les rendre toutes accessibles en un seul endroit. Un constat que l'on peut dresser aujourd'hui est la limitation des technologies actuelles à pouvoir combiner plusieurs aspects fondamentalement intéressants tels que : le nombre maximal de voies d'acquisition, la précision temporelle de la mesure, la vitesse de transmission des données, la vitesse de traitement des données, la bonne interaction avec l'utilisateur, ou encore la capacité de stockage des données numériques générées. Il n'est pas rare que dans le cahier des charges, la cohabitation d'un tel nombre de fonctionnalités et de performances oblige à l'utilisation de multiples systèmes dédiés à la réalisation d'une tâche spécifique, ce qui aura pour conséquence de rendre le système global très lourd vis à vis de sa mise en oeuvre, de sa manipulation, ou de sa maintenance. De plus, dans les domaines engageant de fortes puissances électriques, de par l'utilisation de moteurs électriques, de générateurs de puissances pulsées, ou de cartes de pilotage fonctionnant à haute fréquence, le problème de la protection électromagnétique (EM) du système de mesure se pose.

La thèse présentée ici a pour dessein d'apporter des réponses aux diverses problématiques énoncées ci-dessus, à travers l'étude le développement, et la réalisation d'un système d'acquisition et de centralisation de données à hautes performances (vitesse d'acquisition, nombre

de voies, fonctionnalités utilisateur) qui permet de préserver l'intégrité des signaux et leur immunité dans des environnements EM agressifs. Cette ambition s'appuie sur une technologie parue lors de la dernière décennie, le FPGA-SoC, alliant rapidité d'opération, modularité, et haut niveau de fonctionnalités. Cette technologie se trouve être opportune face au constat venant d'être énoncé, puisqu'elle offre les fonctionnalités d'un FPGA et d'un microprocesseur couplées en une seule et même puce électronique. Le FPGA-SoC ne se présente donc pas comme une technologie distincte de ses prédécesseurs, mais doit être vu comme l'unification de ces deux dernières. En conséquence, cette technologie peut aujourd'hui s'envisager pour toute une gamme d'applications faisant intervenir de multiples et nombreux niveaux de fonctionnalités en améliorant grandement leur efficacité de mise en oeuvre. La solution que nous proposons s'appuie sur l'utilisation de la technologie FPGA-SoC comme plateforme de centralisation et de traitement de divers signaux relatifs au fonctionnement d'un système, (e.g. capteurs multiples ou points de mesures analogiques représentant l'état d'une machine ou d'un générateur à différents endroits stratégiques). Pour des raisons de fiabilité, d'intégrité et d'immunité, les signaux analogiques sont convertis en signaux numériques le plus tôt possible, c'est à dire au niveau local du point de mesure. En procédant ainsi, la mesure relevée à un instant t est figée, et les risques d'altération de la valeur de la mesure, lors de sa transmission vers la plateforme FPGA-SoC, sont amoindris. Le système d'acquisition global envisagé se distingue donc en deux entités séparées : la plateforme de centralisation FPGA-SoC, et les cartes de conversion analogique-numérique (CAN) opérant localement et à proximité de chaque mesure. Cet agencement implique également le besoin d'assurer la protection des cartes CAN puisqu'elles opèrent en environnement potentiellement perturbé électromagnétiquement - par rayonnement ou par conduction - à proximité d'installations de forte puissance électrique.

Le Chapitre 1 présente un état de l'art des outils et techniques existantes, nécessaires à la conception et à la réalisation d'un système d'acquisition embarqué. Premièrement, le principe de conversion d'un signal électrique analogique en provenance d'un capteur, vers un signal numérique est décrit. Plusieurs technologies et méthodes permettant la mise en oeuvre fiable d'une conversion de signaux sont exposées. Les caractéristiques et performances d'intelligences programmables pour le traitement et la gestion de données numériques sont ensuite présentées et comparées, avec notamment une mise en avant de la technologie FPGA-SoC adoptée dans cette thèse. De plus, les aspects liés au transport des données à haute vitesse, ainsi qu'à la gestion et au stockage de grands nombres de données y sont détaillés. Ce chapitre aborde par la suite le point de vue de la protection électromagnétique (EM) de systèmes électriques. Les sources de perturbations EM existantes pouvant menacer leur fonctionnement sont caractérisées, notamment sur la plage de fréquence des IEMI (Interférences ÉlectroMagnétiques Intentionnelles). Les principes de couplages entre un système victime et une source de perturbation EM sont présentés, et permettent d'introduire la notion de compatibilité électromagnétique d'un système. Enfin, différentes techniques permettant d'améliorer et d'optimiser l'immunité EM d'un système électronique

sont illustrées. Le chapitre se termine en exposant les objectifs de cette thèse s’inscrivant dans la conception d’un système d’acquisition embarqué fonctionnant en milieux perturbés EM, plus précisément, sur le développement d’une carte de conversion analogique-numérique haute vitesse communiquant avec une plateforme de technologie FPGA-SoC, et sur l’étude de blindages électromagnétiques compacts, ultra-fins, et ainsi adaptés à cette contrainte de fiabilité embarquée.

Le Chapitre 2 décrit la démarche suivie dans l’étude, le développement et la réalisation d’une carte de conversion analogique-numérique haute vitesse. Tout d’abord, le contexte et les spécifications du système d’acquisition global sont énoncés et permettent de définir les défis à relever dans la conception de la carte de conversion. Par la suite, un besoin émis par le CEA CESTA, et ayant mené au développement d’un système de surveillance et de contrôle de signaux dédiés à la protection des équipements de radiographie éclair EPURE est présenté. Ce système ne comporte pas de carte de conversion analogique-numérique puisqu’il opère directement avec les signaux logiques des équipements, mais implique l’utilisation de la technologie FPGA-SoC pour le traitement rapide des signaux. Cette technologie se justifie car elle offre des fonctionnalités et des performances pleinement en accord avec le cahier des charges proposé par le CEA. Ce projet a pu permettre de valider efficacement le choix de cette technologie, notamment pour assurer définitivement son implication essentielle au sein du système d’acquisition envisagé dans la thèse. Dans la continuité de cette étude, en troisième partie, le développement d’une carte de conversion analogique-numérique haute vitesse est décrit. Les règles mises en jeu dans le dimensionnement et la conception de telles cartes sont étudiées, expliquées et appliquées. Avec l’appui de plusieurs modèles numériques réalisés à l’aide du solveur *CST Studio Suite*, le comportement électromagnétique fin des divers éléments constituant la carte de conversion - notamment les pistes de transmission des signaux - est représenté et permet ainsi l’optimisation de l’intégrité des signaux numériques et de la mesure.

Enfin, le Chapitre 3 expose les études réalisées sur la protection électromagnétique des systèmes électriques, notamment par une approche innovante de solutions de blindages : les blindages multicouche. Premièrement, la théorie et les mécanismes de blindages électromagnétiques nécessaires pour déterminer l’efficacité de blindage EM d’écrans simple couche et multicouches sont rappelés. Ensuite, une étude analytique d’un cas de blindage simple couche est présentée et permet, outre la validation du modèle en regard des résultats connus de la littérature, d’illustrer le rôle et l’impact de chaque mécanisme dans l’efficacité de blindage totale d’un écran. En troisième section, une analyse numérique 3D d’écrans de blindages multicouches réalisée à l’aide du solveur temporel et TLM (Transmission Line Matrix) de *CST Microwave Studio* est détaillée. De nombreux paramètres dimensionnels et qualitatifs dans la conception de l’écran de blindage sont examinés et permettent de déterminer la structuration optimale pour maximiser l’efficacité de blindage EM. Dans la dernière section, les modèles de blindages multicouches étudiés sont intégrés dans un modèle numérique 3D

plus complet, et appliqués sur une portion de la carte de conversion analogique-numérique dans le but d'observer l'impact d'un capot de blindage sur l'immunité EM de la carte. Dans ce modèle 3D, une source d'agression de type IEMI est dimensionnée et intégrée à une certaine distance de la carte. Cette approche permet la simulation complète en un seul modèle, d'un scénario d'agressions EM entre une source et une victime.

Finalement, des conclusions seront émises sur les deux principaux aspects étudiés au cours de cette thèse, par le biais de discussions sur les principaux résultats obtenus autour de la conception de cartes d'acquisition haute fréquence, et autour de l'immunité électromagnétique des systèmes électriques par blindage multicouche. Ces conclusions seront complétées par quelques perspectives établies en réponse aux obstacles et défis rencontrés durant ces travaux de thèse.

CHAPITRE 1

ACQUISITION DE SIGNAUX HAUTE FRÉQUENCE EN MILIEUX ÉLECTROMAGNÉTIQUEMENT PERTURBÉS

CHAPITRE 1

Acquisition de signaux haute fréquence en milieux électromagnétiquement perturbés

Table des matières

1.1	La conversion analogique-numérique	13
1.1.1	Les capteurs et leur évolution	13
1.1.2	Technologies de convertisseurs analogique-numérique	16
1.1.2.1	Paramètres d'un CAN	16
1.1.2.2	Technologies de convertisseurs AN	17
1.1.2.3	Convertisseurs AN Flash	18
1.1.2.4	Convertisseurs AN Pipeline	19
1.1.3	Conditionnement du signal	20
1.1.3.1	Théorème de Nyquist-Shannon	20
1.1.4	Techniques de filtrage	21
1.1.4.1	Filtrage analogique	22
1.1.4.2	Filtrage numérique	24
1.1.4.2.1	Filtrage FIR	25
1.1.4.2.2	Filtre IIR	29
1.1.4.2.3	Domaines d'application des FIR et IIR	30
1.2	Technologies d'intelligence programmable	31
1.2.1	Microcontrôleurs	31
1.2.2	Les FPGA-SoC	33
1.2.2.1	Technologie FPGA	33
1.2.2.2	Technologie FPGA-SoC	36
1.3	Transport et gestion des données	38
1.3.1	Technologies de communication	38
1.3.1.1	Connexions filaires	38
1.3.1.2	Fibre optique	40
1.3.1.3	Connexions sans fil	43
1.3.1.4	Conclusions sur les technologies de communication	46
1.3.2	Gestion des données	46
1.3.2.1	Stockage des données	46

1.3.2.2	Logiciels de gestion des données	48
1.3.2.3	Bases de données Streaming	50
1.4	Milieux perturbés et aspects CEM	50
1.4.1	Interférences électromagnétiques	51
1.4.1.1	Sources de perturbations électromagnétiques	51
1.4.1.2	Classification des IEM	52
1.4.2	Caractérisation des couplages	53
1.4.3	CEM des systèmes électroniques	56
1.4.4	Amélioration de l'immunité électromagnétique	56
1.4.4.1	Blindage électromagnétique	57
1.4.4.2	Techniques d'optimisation des blindages boîtiers	58
1.4.4.3	Filtrages et protections électriques	59
1.5	Système développé et objectifs visés	61
	Bibliographie	65

Introduction

Dans ce premier chapitre, les multiples problématiques orbitant autour du développement d'un système d'acquisition embarqué sont exposées. Les aspects technologiques impliqués dans la mesure et le transport de signaux haute fréquence (jusqu'à 100 MHz) sont présentés et concernent le système d'acquisition développé dans le cadre de la thèse. Ce système devant être capable d'opérer dans des environnements à forte perturbation électromagnétique (EM), les notions de compatibilité électromagnétique (CEM) et de sources de perturbation EM sont exposées. Par la suite, diverses technologies de traitement des données (logique programmable) sont comparées dans le but de souligner l'intérêt de la technologie FPGA-SoC (Field Programmable Gate Array - Software on Chip) lorsque l'on est confronté à ce type d'applications. Enfin, les méthodes existantes de stockage et gestion des données pour les rendre accessibles à l'utilisateur seront présentées.

1.1 La conversion analogique-numérique

La conversion analogique-numérique est une technologie omniprésente et utilisée dans le quotidien de tout un chacun. Elle permet de convertir, afin de visualiser, d'apprécier, d'enregistrer ou d'analyser n'importe quelle mesure réelle analogique, en une valeur numérique, binaire, pouvant être comprise et traitée dans la sphère digitale. Cette technologie n'est qu'un maillon dans l'ensemble de la chaîne complète d'acquisition, dont le premier élément constitutif est un capteur.

1.1.1 Les capteurs et leur évolution

Le capteur permet la conversion d'une grandeur physique (température, accélération, courant, champ magnétique) en valeur exploitable. Le thermomètre à mercure, inventé en 1724 par Daniel G. Fahrenheit [WM16] permet d'exprimer la température linéairement selon la hauteur de mercure dans le tube de verre (voir Figure 1.1a). En 1821, Thomas J. Seebeck crée le thermocouple basé sur l'effet Seebeck du même nom que l'inventeur. L'effet Seebeck correspond à l'émergence d'une tension entre les jonctions de deux conducteurs de nature différente lorsqu'elles sont chauffées ou refroidies [VS86]. Illustrée en Figure 1.1b, la première expérience consistait à visualiser le déplacement de l'aiguille d'une boussole placée entre deux conducteurs dont l'extrémité était chauffée.

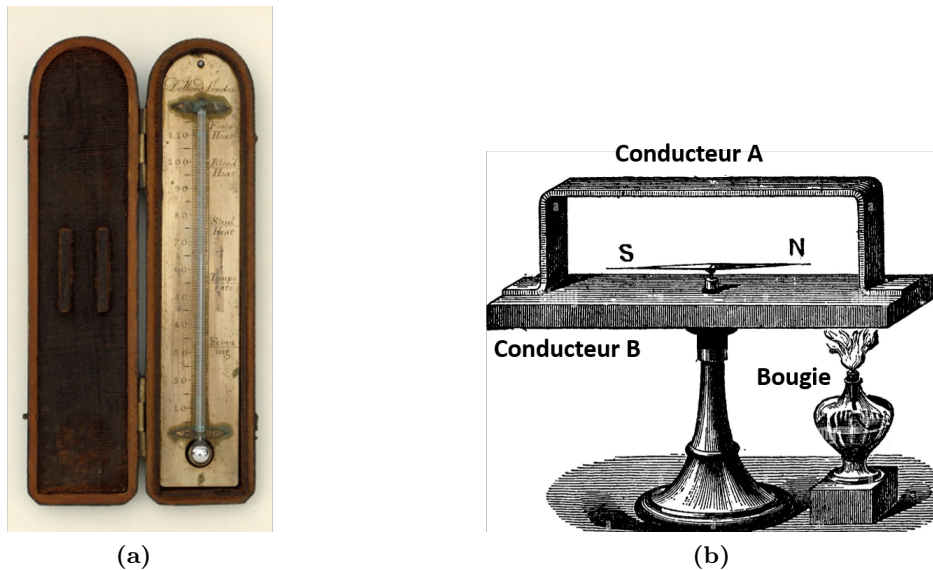


FIGURE 1.1 – (a) Thermomètre à mercure exposé au musée Galilée (Italie) [MGle].(b) Illustration du XVIII^{ème} siècle d’une expérience reproduisant l’effet Seebeck.[ala19].

Le thermocouple est l’un des premiers capteurs électriques à se différencier des outils de mesure antérieurs puisque la valeur mesurée s’exprime proportionnellement à sa tension de sortie. Une multitude de capteurs ont été développés au fil des siècles suivants, et se sont largement diversifiés dans le type de mesures. Il est de nos jours possible de mesurer toute sorte de grandeur physique ; les limitations ne sont donc pas liées au type de mesure, mais plutôt à la précision de la mesure dans un contexte donné. La qualité d’un capteur, et donc la capacité à effectuer une mesure précise peut être décrite suivant trois angles [DBCR⁺19] :

- **Précision de la mesure** : Elle représente un ensemble de critères pouvant affecter la justesse de la grandeur mesurée par rapport à la grandeur réelle. On y retrouve la sensibilité du capteur représentant le ratio entre la variation en entrée du capteur δx et la variation en sortie δy ; la véracité du capteur, illustrant la déviation moyenne des mesures par rapport à la valeur réelle ; et la reproductibilité du capteur, exprimant l’homogénéité d’une même mesure réalisée sous différentes conditions (différents environnements, vieillissement, perturbations momentanées).
- **Plage de mesure** : La précision d’un capteur est garantie tant que la grandeur physique mesurée est en deçà d’extremums spécifiés par le constructeur. Au-delà, le capteur n’est plus dans sa plage de fonctionnement nominale et peut présenter des déviations de mesure ; la précision n’est plus contrôlée.
- **Bande passante** : Elle décrit la vitesse de variation maximale temporelle mesurable par le capteur. Un capteur est capable de mesurer de manière fiable une grandeur physique tant que la vitesse de variation de cette dernière ne dépasse pas ses limites.

En effet, si les procédures de calibration sont bien connues, et les plages de mesures facilement ajustables au besoin, la vitesse de lecture quant à elle est une caractéristique

fondamentale dans la mesure de signaux, notamment pour les signaux rapides. Tout signal périodique, ou apériodique peut voir ses variations aux cours du temps décrites comme une composition de sinusoïdes dont la période (donc la fréquence) et l'amplitude varient. Cette description se base sur la transformée de Fourier, et permet de représenter fréquemment de manière continue ou discrète tout signal temporel, comme illustré en Figure 1.2 [Bra99].

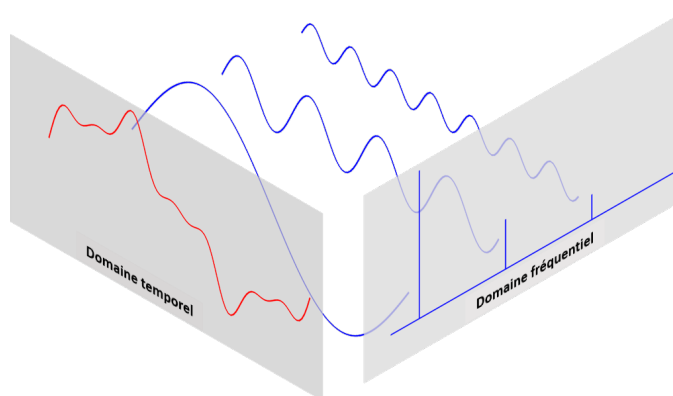


FIGURE 1.2 – Transformée de fourier (ici discrète) d'un signal apériodique.[KSB21]

La bande passante d'un capteur indique la fréquence maximale, appelée fréquence de coupure f_c , à laquelle la mesure peut être effectuée. A cette fréquence, la puissance du signal est atténuée de moitié, soit de -3 dB en échelle logarithmique. Au delà de f_c , les composantes fréquentielles d'un signal ne sont plus perçues par le capteur. La Figure 1.3 illustre la mesure d'un signal selon différentes fréquences de coupure f_c du capteur.

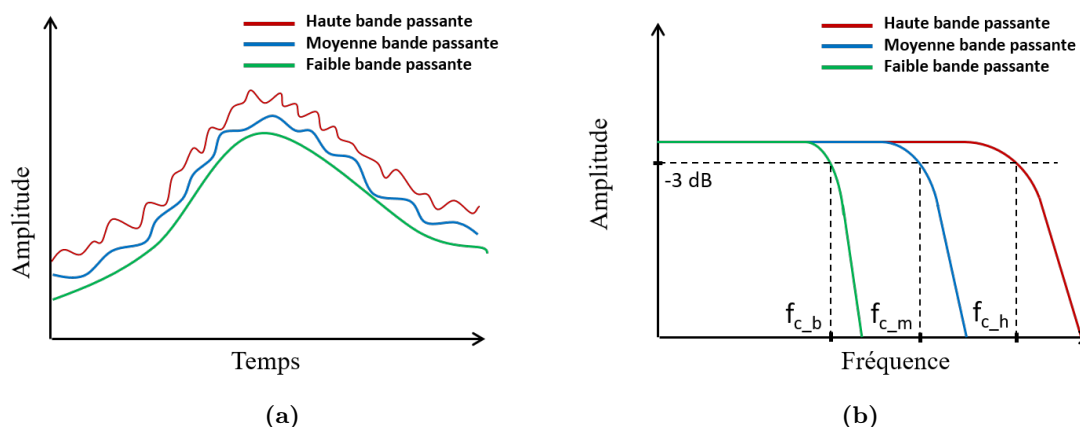


FIGURE 1.3 – (a) Représentation temporelle de la mesure d'un signal selon différentes bandes passantes de capteurs. (b) Représentation fréquentielle.

La mesure d'un signal ne sera donc jamais l'exacte image de la réalité, mais une approximation plus ou moins satisfaisante selon le besoin. Il est donc nécessaire de connaître la bande de fréquence minimale requise d'un signal pour laquelle la mesure est estimée correcte

et représentative du phénomène réel, afin de déterminer judicieusement les performances fréquentielles du capteur, et du système d'acquisition.

Au fil des décennies, les capteurs se sont vus transformés et optimisés pour atteindre des performances de bande passante remarquables. Cette exigence est nécessaire dans les applications opérant avec des signaux aux variations rapides, telles que l'étude de la foudre [HZQ⁺19] ou des phénomènes nucléaires [CEA22], l'imagerie médicale [QBK12] ou encore la détection de défauts fugaces au sein de systèmes électriques [Lar21].

1.1.2 Technologies de convertisseurs analogique-numérique

1.1.2.1 Paramètres d'un CAN

Les convertisseurs analogique-numérique (CAN), comme leur nom l'indique, convertissent la valeur mesurée par un capteur, qui est électrique mais analogique en une valeur numérique. Un signal analogique est défini par sa continuité dans le temps, alors qu'un signal numérique n'est constitué que de valeurs discrétisées dans le temps. Le signal numérique est généré par le CAN et est caractérisé par quatre grandeurs, illustrées en Figure 1.4 [ins15].

- **Fréquence d'échantillonnage**

La fréquence d'échantillonnage F_{ech} représente le nombre de fois que le CAN capture la valeur du signal en entrée par seconde, exprimée en Éch/s (échantillons par seconde), pour la convertir au format numérique. Cette fréquence dépend de la technologie utilisée et de la vitesse de conversion du CAN. Elle est l'inverse de la période d'échantillonnage T_{ech} .

- **Résolution**

La résolution N d'un CAN indique la précision de la conversion du signal analogique au format numérique, binaire, exprimée en nombre de bits. Un échantillon capturé sur N bits peut prendre 2^N valeurs entre son minimum et son maximum mesurable.

- **Pleine échelle**

La pleine échelle V_P correspond à l'amplitude de variation maximale du signal en entrée, exprimée en Volts. Les valeurs minimales et maximales sont indiquées par le constructeur, et permettent, en ayant connaissance de la résolution, de déterminer la variation minimale mesurable appelée quantum.

- **Quantum**

Le quantum Q , défini mathématiquement en (1.1), est une fraction de la pleine échelle inversement proportionnelle à la résolution, exprimé en Volts. Les variations du signal d'entrée inférieures au quantum sont ignorées par le CAN, alors qu'une variation supérieure provoque le changement de la valeur numérique.

$$Q = \frac{V_P}{2^N} \tag{1.1}$$

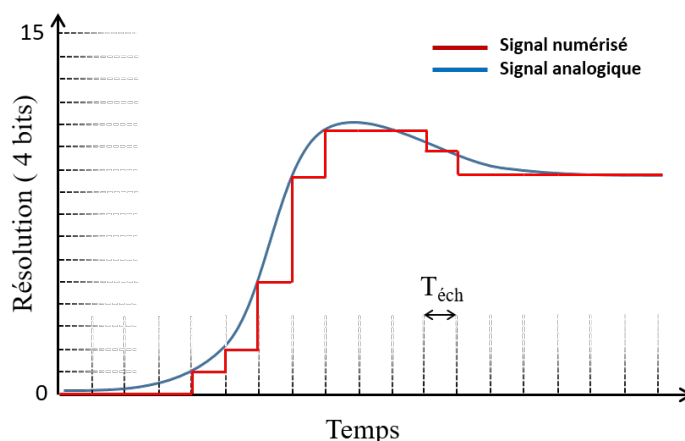


FIGURE 1.4 – Représentation graphique de la numérisation d’un signal analogique pour une résolution de 4 bits, et une fréquence d’échantillonnage donnée.

1.1.2.2 Technologies de convertisseurs AN

Plusieurs technologies comparées en Figure 1.5 permettent de réaliser une conversion analogique-numérique, et présentent chacune des performances privilégiant résolution ou fréquence d’échantillonnage [adc21].

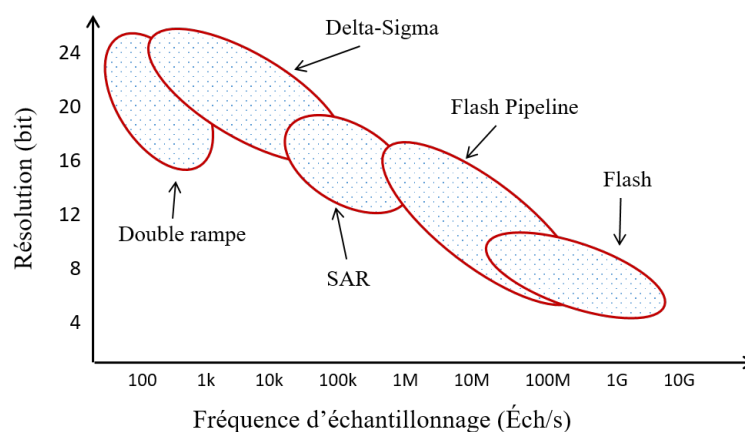


FIGURE 1.5 – Comparaison des différentes familles de convertisseur AN selon la résolution et la fréquence d’échantillonnage proposée.

Le nombre de familles de convertisseur est conséquent et l’on distingue deux catégories : les technologies double rampe et delta-sigma offrent la meilleure résolution, mais une vitesse d’acquisition limitée en-dessous du méga-échantillon par seconde (Méch/s) [ST+05]. Deuxièmement, la technologie Flash (et Flash pipeline) est la plus rapide (jusqu’à quelques

Géch/s) mais sa résolution reste limitée, alors que les convertisseurs SAR (de l'anglais Successive Approximation Register) présentent un compromis entre résolution et vitesse.

Les technologies Flash et Pipeline sont les plus adéquates dans le cadre de la thèse et du développement d'un système d'acquisition de signaux haute fréquence de l'ordre de la centaine de mégahertz. Le principe de fonctionnement de ces deux technologies est décrit ci-après.

1.1.2.3 Convertisseurs AN Flash

Les convertisseurs Flash sont les plus rapides puisqu'ils effectuent la conversion complète du signal en seulement deux étages. Le premier est un pont diviseur constitué d'un nombre de résistances égal à 2^N avec N le nombre de bits de résolution (voir Figure 1.6). Alors chaque étage du pont diviseur correspond à une fraction de la tension de référence V_{ref} (souvent égale à la tension de pleine échelle V_P) et est comparée à la tension du signal d'entrée. Les $2^N - 1$ niveaux de tension sont ensuite encodés en N signaux de base 2 (binaire) [OnM21].

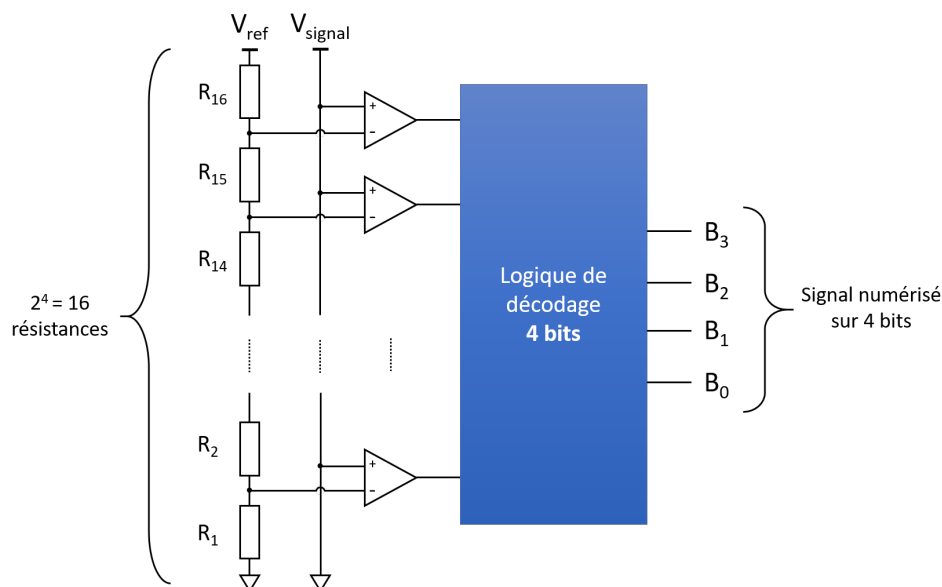


FIGURE 1.6 – Exemple de la structure d'un CAN Flash 4 bits.

Bien que ces convertisseurs soient très efficaces temporellement, le nombre de résistances constitutives croît de manière exponentielle en fonction de la résolution. Les CAN Flash de 12 bits comportent 4096 résistances à router dans un seul composant, soit 4095 signaux à comparer et à décoder ! Cette structure devient significativement encombrante, volumineuse, et coûteuse si un besoin supérieur en résolution est nécessaire parallèlement à une grande vitesse d'acquisition. Une solution répondant à cette double problématique est la structure Pipeline.

1.1.2.4 Convertisseurs AN Pipeline

Un premier type de convertisseurs Pipeline est le Semi-Flash. Son principe de fonctionnement consiste à diviser un bloc de conversion de N bits en deux blocs de conversion successifs de $N/2$ bits chacun. De cette façon, passer d'un convertisseur 12 bits à deux fois 6 bits reviendrait à réduire le nombre de comparateurs de 4095 à $2 \times 2^6 - 1 = 127$. Le schéma logique est présenté en Figure 1.7.

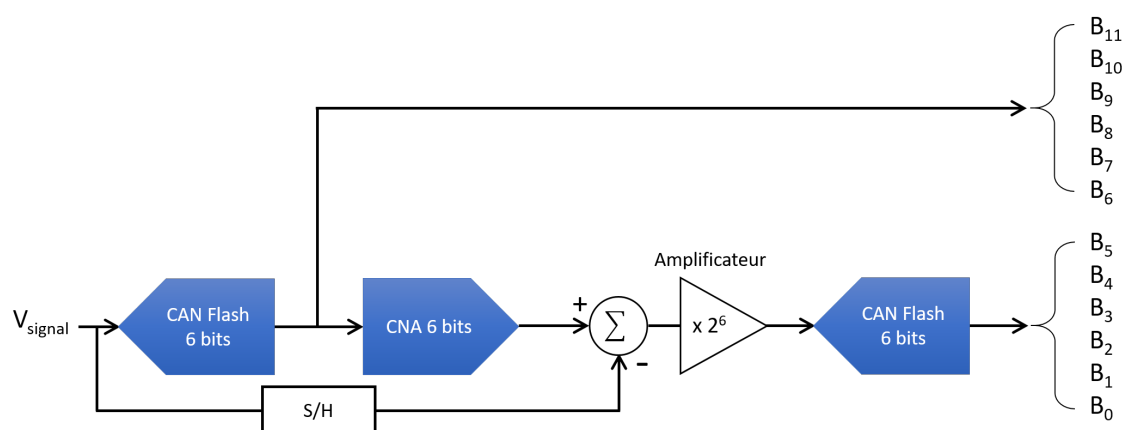


FIGURE 1.7 – Structure d'un CAN semi-Flash 12 bits

Le premier échantillonnage représente les 6 bits de poids fort de l'échantillon final de 12 bits. Cet échantillon est reconverti en valeur analogique par le biais d'un CNA (convertisseur numérique analogique) et est comparé à la valeur réelle du signal en entrée. Cette différence est amplifiée pour retrouver la pleine échelle du 2^{ème} CAN et convertie pour constituer les 6 bits de poids faible de l'échantillon. La résolution totale de la conversion revient à une résolution de 12 bits. Le bloc « S/H » (sample/hold) permet de maintenir la valeur du signal le temps de la conversion du premier échantillon afin de comparer la même valeur capturée à un instant t .

Sur ce même principe, le pipeline est constitué d'une chaîne de CAN / CNA réalisant le même procédé, mais en allant plus loin avec une résolution de seulement 1 bit pour chaque étage (voir Figure 1.8). Le nombre de comparateurs par CAN est donc réduit à 1, ceci pour un gain en compacité et en coût de composants incontestable.

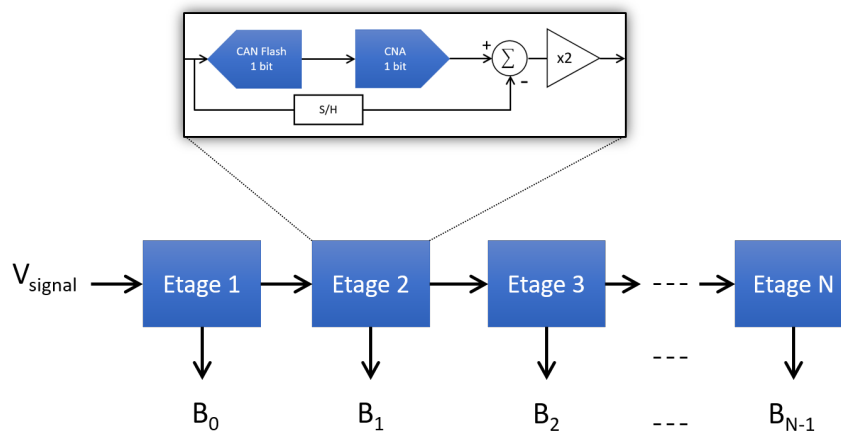


FIGURE 1.8 – Structure d’un CAN Pipeline reconstituant une conversion d’une résolution de N bits.

Si le principe de division de la résolution d’un CAN en plusieurs étages pour réduire la complexité matérielle est convainquant, l’ajout de chaque étage contribue à l’augmentation du délai de conversion entre l’entrée du signal et sa sortie numérique. Chaque étage réalisant une conversion à une fréquence d’échantillonnage donnée $F_{éch}$ impose un délai d’un cycle $T_{éch}$. Un pipeline de résolution N bits impose donc un délai égal à $T_{éch} \times N$, qui doit être connu et compatible avec nos contraintes dans le cas d’applications exigeant un temps de réponse minimum par rapport au signal d’entrée .

1.1.3 Conditionnement du signal

1.1.3.1 Théorème de Nyquist-Shannon

En 1949, Claude E. Shannon, en appui sur les travaux de Harry Nyquist, érige un pilier dans le monde du traitement du signal numérique par la publication d’un théorème, ultérieurement connu sous le nom de théorème de Nyquist-Shannon, énonçant [Sha49] :

« Si une fonction ne contient pas de fréquences plus hautes que W Hz, elle est entièrement déterminée en donnant ses ordonnées en une série de points espacés de $1/2W$ secondes. »

En d’autres mots, toutes les informations fréquentielles d’une fonctions, ou d’un signal, peuvent être connues si la fréquence d’échantillonnage vaut au moins deux fois la fréquence maximale impliquée dans cette fonction. Cette fréquence frontière est appelée fréquence de Nyquist, est exprimée $f_N = f_{éch}/2$, et correspond à la fréquence maximale mesurable correctement par le convertisseur pour un signal donné.

Un signal échantillonné ne respectant pas le théorème de Nyquist-Shannon peut faire face au phénomène de repliement spectral, de l’anglais *aliasing* [Smi97a]. Le repliement spectral exprime la reconstitution d’une fréquence initialement inexistante dans le signal, signe d’un mauvais échantillonnage. La représentation temporelle de ce phénomène est illustrée en

Figure 1.9a.

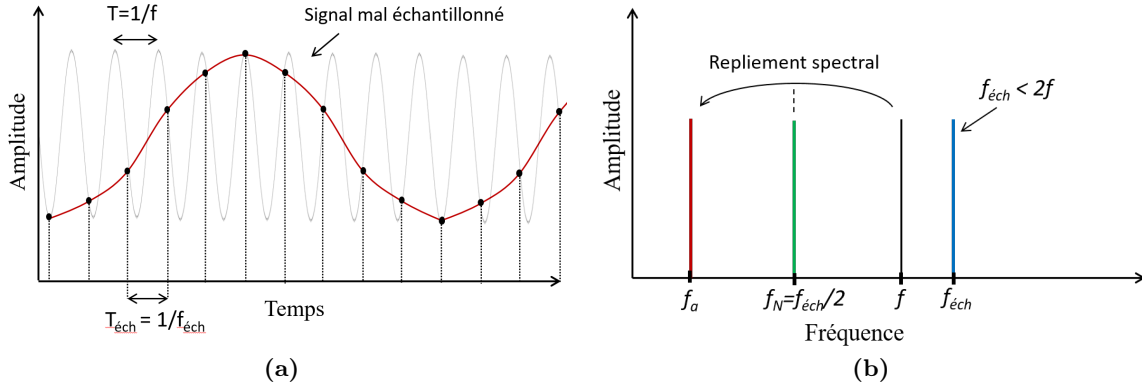


FIGURE 1.9 – (a) Visualisation dans le domaine temporel de l’apparition d’une fréquence d’aliasing lorsque la fréquence de la sinusoïde est inférieure à la fréquence de Nyquist. (b) Représentation dans le domaine fréquentiel.

En Figure 1.9b, la fréquence d’aliasing f_a est représentée. Elle peut être calculée pour toute fréquence f , selon la fréquence d’échantillonnage $f_{éch}$ grâce à la relation suivante [SC12] :

$$f_a = |f - m \cdot f_{éch}| \quad (1.2)$$

Avec m l’entier naturel le plus proche exprimant le nombre de périodes du signal contenues dans une période d’échantillonnage.

Le phénomène de repliement spectral concerne également les fréquences parasites (bruit haute fréquence non souhaité, ou bien perturbations externes au système), pouvant demeurer au delà de la bande passante considérée du signal et être la cause d’aliasing . C’est la raison pour laquelle il est fondamental de neutraliser, ou de filtrer si possible, toute fréquence au-delà de la fréquence de Nyquist.

1.1.4 Techniques de filtrage

Il existe deux types de filtrages (voir Figure 1.10). Les filtrages analogiques, sont constitués de composants passifs (circuits RLC) et aussi possiblement de composants actifs (AOP), physiquement intégrés sur la carte électronique entre le signal d’entrée et le CAN : ils affectent donc directement le signal mesuré. Les filtrages numériques quant à eux, représentent le post-traitement des données par opérations mathématiques, une fois numérisées et stockées en mémoire, en sortie du CAN. Ils sont virtuels et codés dans la logique programmable utilisée pour effectuer le traitement du signal (processeurs, microcontrôleurs, FPGA, ...).

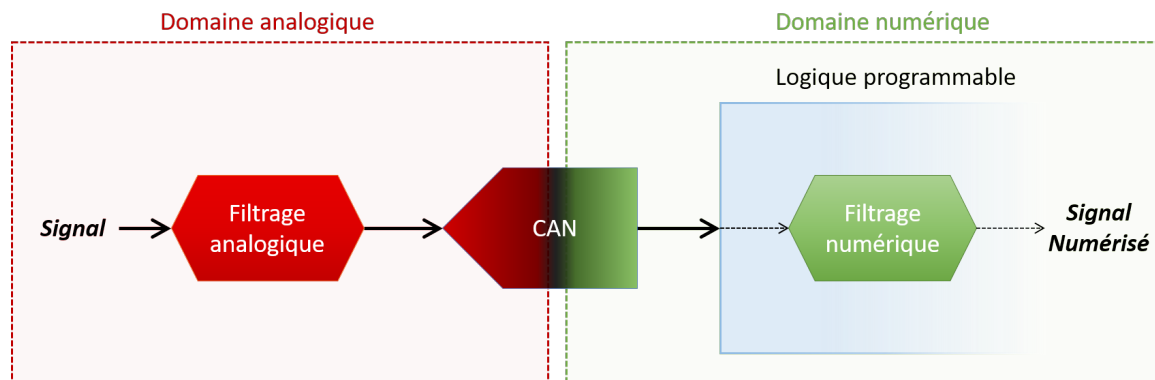


FIGURE 1.10 – Schéma d’intégration des filtres analogiques et numériques dans un système de conversion analogique-numérique.

1.1.4.1 Filtrage analogique

Les filtrages analogiques sont communément utilisés dans le filtrage des hautes fréquences, c’est à dire des fréquences au-delà de f_N ; la fréquence de coupure f_c à -3 dB des filtres passe-bas est donc fixée à f_N . Un filtre idéal aurait une réponse fréquentielle « plate » (0 dB) pour des fréquences inférieures à f_c , et une coupure instantanée du gain à partir et au-delà de f_c . Dans la réalité malheureusement, il est impossible de retrouver ces conditions. Cependant, trois types de filtres passe-bas, permettent de choisir un équilibre entre précision ou stabilité de la bande plate à 0 dB et rapidité de transition (voir Figure 1.11b). Ces filtres se différencient dans le choix des paramètres de leur fonction de transfert, et peuvent être implémentés dans une topologie typique de filtre telle que le Sallen-Key, présenté en Figure 1.11a, et sont les suivants [Lan75] :

- Filtre de Bessel
- Filtre de Chebyshev
- Filtre de Butterworth

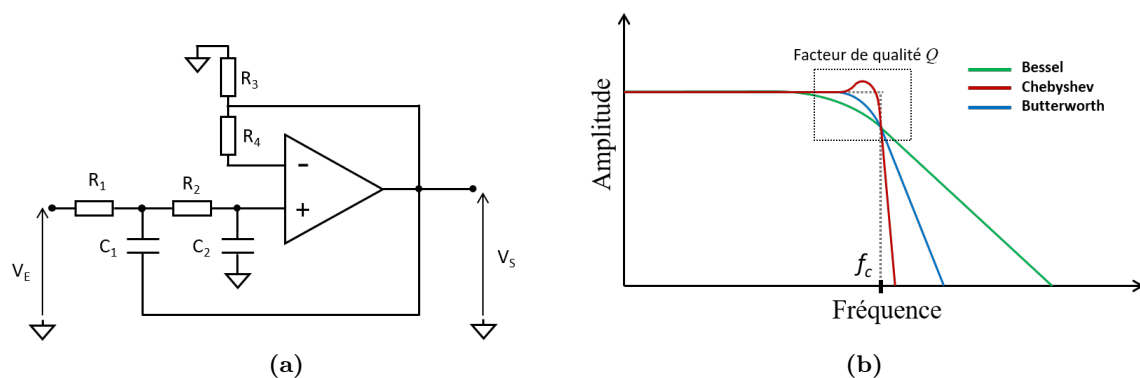


FIGURE 1.11 – (a) Topologie typique d’un filtre Sallen-Key passe-bas de gain unitaire. (b) Réponse fréquentielle des fonctions de transfert des filtres Bessel, Chebyshev et Butterworth.

Les trois réponses fréquentielle présentées en Figure 1.11b sont la même fonction de transfert $H(p)$ du filtre Sallen-Key exprimée en (1.3), dont les valeurs des éléments passifs $\{R_1, R_2, C_1, C_2, R_3, R_4\}$ varient selon le filtrage souhaité.

$$H(p) = \frac{V_s(p)}{V_e(p)} = \frac{K}{1 + \frac{p}{Q\omega_c} + \frac{p^2}{\omega_c^2}} \quad (1.3)$$

Avec K le gain imposé par R_3 et R_4 :

$$K = \frac{R_3 + R_4}{R_3} \quad (1.4)$$

Q le facteur de qualité et ω_c la fréquence de coupure à -3 dB :

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_2 + R_1 C_2 (1 - K)} \quad (1.5)$$

$$\omega_c = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (1.6)$$

Le facteur de qualité Q est l'élément majeur différenciant les filtres et déterminant la réactivité fréquentielle du filtre aux environs de f_c . Plus le facteur Q est élevé, plus le filtre sera réactif, mais laissera grandir l'effet de résonance (augmentation du gain) autour de f_c , on dira alors que le filtre est sous-amorti. Un facteur Q faible garantira un gain stable mais donnera un système moins réactif, le filtre est alors sur-amorti. Le point critique d'un filtre de 2^{nd} ordre, frontière entre les deux régimes - appelé amortissement critique - est donné pour $Q=0,707$: c'est ce qui définit le régime de fonctionnement du filtre de Butterworth.

Les paramètres Q et F_F (facteur de fréquence) déterminant les pôles de l'équation du 2^{nd} ordre $(1 + \frac{p}{Q\omega_c} + \frac{p^2}{\omega_c^2})$ sont généralement donnés (voir Tableau 1.1) et définissent le type de filtre utilisé [Ins02]. Le facteur de fréquence F_F est un facteur de correction propre à chaque type de filtre ajustant la fréquence de coupure. Pour obtenir des filtres d'ordre supérieur (de pente plus abrupte à partir de f_c), plusieurs structures Sallen-Key (étages) peuvent être mises en cascade. L'ajout d'un filtre classique RC (1^{er} ordre) permet d'obtenir les filtres d'ordre impair.

Ordre	Filtre Butterworth				Filtre Bessel				Filtre Chebyshev			
	Etage 1		Etage 2		Etage 1		Etage 2		Etage 1		Etage 2	
	F_F	Q	F_F	Q	F_F	Q	F_F	Q	F_F	Q	F_F	Q
2 nd	1	0,707	-	-	1,27	0,577	-	-	0,841	1,304	-	-
3 ^{ème}	1	1	1	-	1,452	0,691	1,327	-	0,916	3,068	0,298	-
4 ^{ème}	1	0,541	1	0,306	1,419	1,521	0,591	0,805	0,442	1,076	0,95	5,57

TABLE 1.1 – Tableau de coefficients Q et F_F selon le type de filtre appliqué. [Lan75]

1.1.4.2 Filtrage numérique

Le filtrage numérique est un outil considérablement utilisé dans le traitement des signaux discrets obtenus en sortie du CAN. Ils servent comme deuxième filtre en complément aux filtres analogiques et peuvent corriger les erreurs de ces derniers, souvent dues aux fluctuations physiques des composants passifs (R,C) ou actifs (AOP) en regard des variations de température ou de leur vieillissement. Ils sont d'ailleurs insensibles aux conditions physiques réelles puisqu'ils sont virtuels, mais également facilement modifiables par programmation, et sont capables de réaliser diverses opérations mathématiques en quelques lignes de code, alors qu'elles seraient difficiles, voire impossible à implémenter avec un filtre analogique [Kes03].

Il existe deux façons d'exploiter un filtre numérique dans une logique programmable :

- Filtrage numérique opérant en temps réel avec l'acquisition
- Filtrage numérique opérant en différé de l'acquisition

Les filtres n'opérant pas en temps réel avec l'acquisition traitent les données stockées dans des mémoires accessibles par la logique programmable. Ils sont donc affranchis de toute contrainte temporelle, et notamment de vitesse d'opération.

Un filtre numérique temps réel quant à lui, doit être capable d'exécuter toutes ses opérations de routine de filtrage en un temps inférieur au temps d'acquisition d'un échantillon par le CAN $T_{éch}=1/f_{éch}$. Cette condition peut être particulièrement contraignante dans l'acquisition de signaux à bande passante élevée, au delà de 100 MHz. Les circuits intégrés dédiés au traitement de signaux numériques, DSP (de l'anglais digital signal processor) ou DSC (digital signal controller, hybride entre micro-contrôleur et DSP), ont une vitesse d'exécution par instruction (opération logique) comprise entre 1000 MIPS (méga instructions par seconde) pour les plus performants et 10 MIPS pour les plus abordables. Ce temps fait référence à la fréquence d'horloge pilotant leur logique interne. Une routine de filtrage, selon sa complexité peut impliquer entre 25 et 400 instructions [Smi97b]. Un ordre de grandeur typique est donc de considérer des temps de traitement compris entre 25 ns et 4 μ s, limitant

la bande passante du signal échantillonné à 40 MHz ou 250 kHz selon la gamme de DSP, et le niveau de filtre appliqué. Quelques processeurs sont comparés en Figure 1.12.

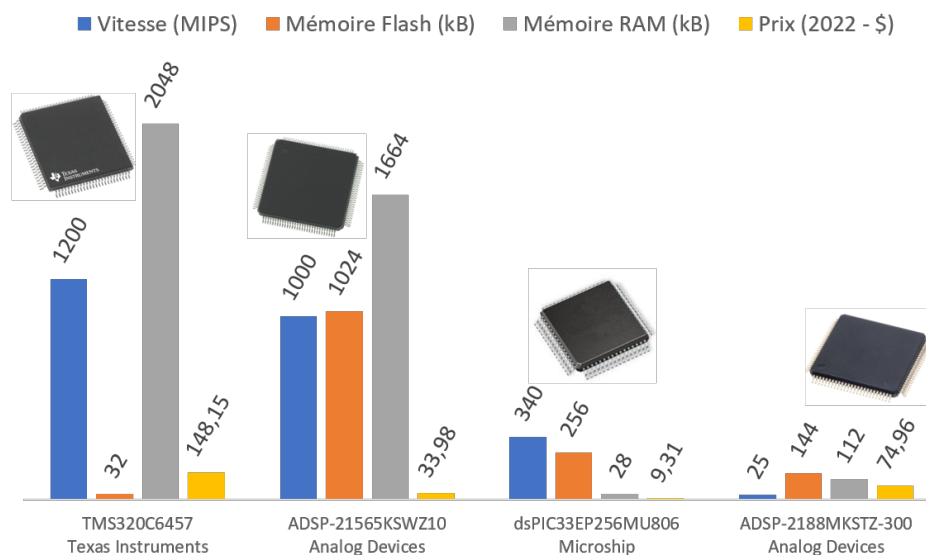


FIGURE 1.12 – Comparaison selon différents critères de plusieurs processeurs de traitement de signaux (DSP ou DSC).

La mémoire Flash est une mémoire dédiée au stockage du programme donné par l'utilisateur. Elle est conservée lors de la mise hors-tension du système. La mémoire RAM (Random Access Memory) est utilisée par le programme pour stocker temporairement des données et variables utilisées lors des opérations ; elle ne conserve pas les données stockées si le système n'est plus sous tension [San22]. Outre les DSP et logiques programmables basées sur des architectures de processeurs, la technologie FPGA présente un avantage considérable dans le domaine du traitement des signaux numériques, notamment grâce à sa vitesse d'opération et à sa structure apportant la parallélisation des instructions. Les intérêts liés à cette technologie sont présentés ultérieurement dans la section dédiée en 1.3.

Au-delà de l'utilisation en temps réel du filtre ou non, les filtres en eux mêmes sont regroupés en deux catégories fondamentales : les filtres FIR (Finite Impulse Response), et les filtres IIR (Infinite Impulse Response).

1.1.4.2.1 Filtrage FIR

La forme la plus rudimentaire d'un filtre à réponse impulsionnelle (FIR) est la moyenne glissante. Ce simple concept est très efficace pour « lisser » un signal temporel de faible fréquence présentant du bruit de haute fréquence indésirable (voir illustration en Figure 1.13) [Kes03].

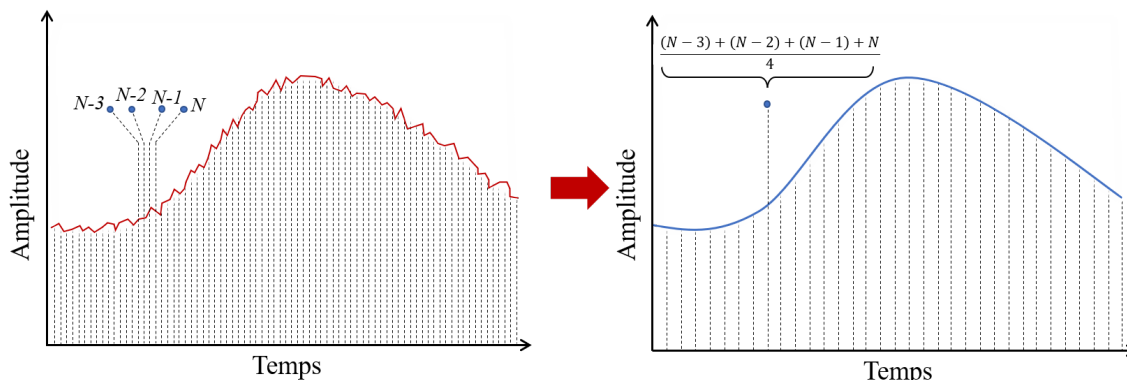


FIGURE 1.13 – Exemple d'un filtre par moyenne glissante à 4 échantillons.

Dans l'exemple de la Figure 1.13, le moyennage sur 4 échantillons signifie qu'un échantillon en sortie du filtre correspond à la somme de 4 échantillons du signal discret brut, chacun divisés par le nombre d'échantillons, ici 4. La moyenne glissante est exprimée de la façon suivante :

$$y(n) = \frac{1}{M} \sum_{m=0}^{M-1} x(n-m) \quad (1.7)$$

Avec $y(n)$ le signal discret filtré, $x(n)$ le signal discret original, M le nombre d'échantillons n à moyennage, et m la variable comprise entre 0 et M . En fait, cette méthode peut être illustrée de manière plus générale, et en s'appuyant sur le schéma logique en Figure 1.14. Elle consiste à définir un échantillon de la fonction $y(n)$ par la multiplication d'une fenêtre d'échantillons $x(n) \dots x(n_M)$ par un certain coefficient, ici $1/M$.

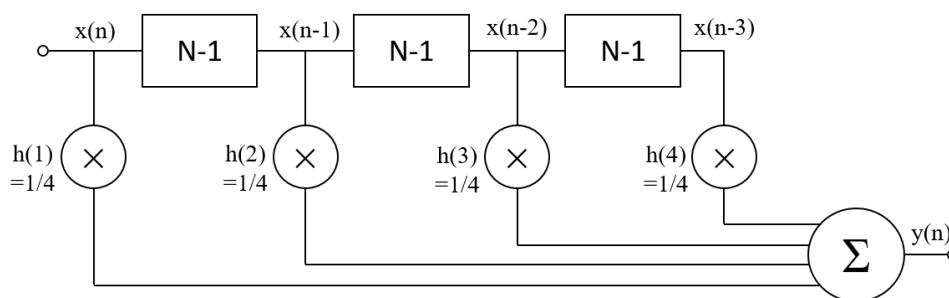


FIGURE 1.14 – Filtrage FIR par moyenne glissante sur 4 échantillons.

Le coefficient est ici constant pour tout échantillon et vaut $1/4$ dans cet exemple. Il peut être assimilé à une fonction appelée $h(m)$, valant $0,25$ en tout point. Alors l'équation (1.7) peut être réécrite :

$$y(n) = \sum_{m=0}^{M-1} x(n-m) \times h(m) = x(n) * h(n) \quad (1.8)$$

Cette fonction mathématique grandement utilisée dans le domaine du traitement des signaux possède son propre opérateur, le produit de convolution noté : *. Le filtrage par moyenne glissante apparaît efficace et simple pour lisser un signal dans le domaine temporel, et filtrer les hautes fréquences à l’instar d’un passe-bas. Cependant, en observant son comportement fréquentiel en Figure 1.15, l’allure est différente et bien moins irréprochable que celle d’un filtre passe-bas analogique.

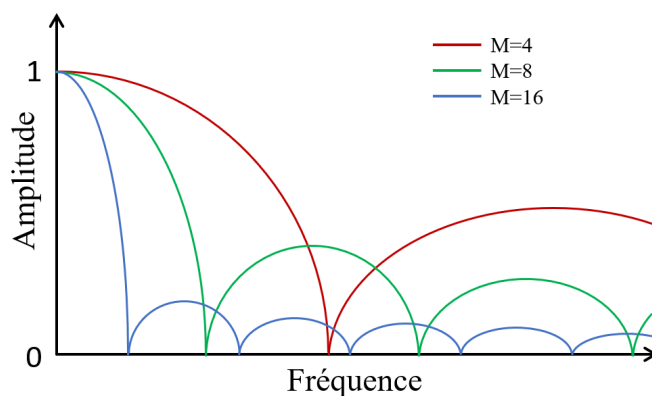


FIGURE 1.15 – Réponse fréquentielle d’un filtre à moyenne glissante selon le nombre d’échantillons moyennés.

La pente de coupure de gain reste lente, et même si l’ajout du nombre de points moyennés permet de la raidir, les lobes secondaires à plus haute fréquence persistent et limitent l’efficacité du filtre en tant que passe-bas. Il est cependant possible d’augmenter l’efficacité du filtre et de réduire les lobes en choisissant judicieusement les coefficients imposés par $h(n)$ plutôt que de les fixer à une valeur constante de $1/M$.

Puisqu’un filtre passe-bas parfait est idéalement souhaité, une idée serait de connaître les coefficients de $h(n)$ à appliquer - donc la valeur de $h(n)$ selon n - donnant la fonction de transfert $H(f)$ d’un filtre passe-bas parfait. La transformée de Fourier discrète inverse de $H(f)$ permet d’obtenir mathématiquement $h(n)$, et fait apparaître dans le domaine temporel une forme d’impulsion (voir Figure 1.16), donnant son nom au filtres à réponse impulsionnelle FIR et IIR.

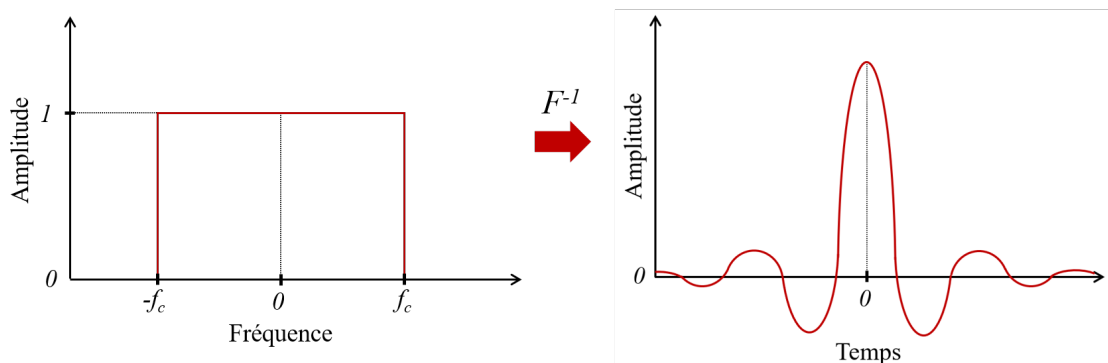


FIGURE 1.16 – Réponse fréquentielle d'un filtre à moyenne glissante selon le nombre d'échantillons moyennés.

Cette forme typique d'un filtre à réponse impulsionnelle est la fonction sinus cardinal $\sin(n)/n$. Un filtre à réponse impulsionnelle finie (FIR) utilise cette fonction, mais tronquée à ses extrémités, représentant un certain nombre d'échantillons N (voir Figure 1.17). En effet, si celle-ci n'était pas bornée, le sinus cardinal s'étendrait à l'infini et nécessiterait, en théorie, un temps de calcul infini. Le filtre FIR doit être cependant optimisé en réponse à d'autres problèmes, et ajusté par ses coefficients selon le besoin de l'utilisateur pour gagner en rapidité ou en précision, de la même manière qu'un filtre Sallen-Key (voir Section 1.1.4.1).

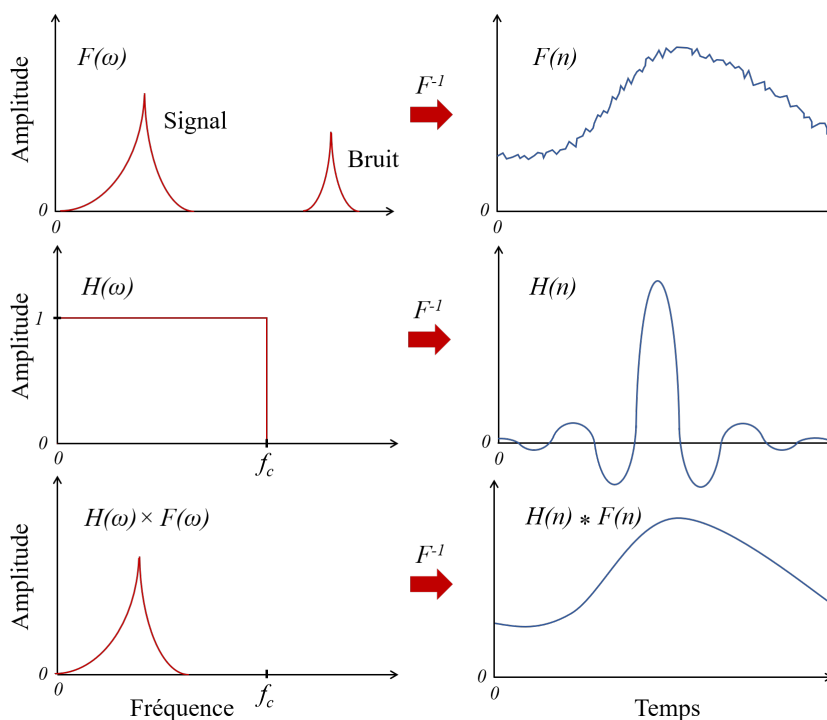


FIGURE 1.17 – Application d'un filtre FIR passe-bas sur un signal présentant des hautes fréquences non désirées.

1.1.4.2.2 Filtre IIR

Les filtres à réponse impulsionnelle infinie (IIR) se différencient des FIR dans l'ajout d'un retour de la sortie du filtre $y(n)$ dans la fonction de transfert (ajout d'un *feedback* en anglais). Le schéma logique est illustré en Figure 1.18, son expression mathématique est donnée en 1.9 [Kes03].

$$y(n) = \underbrace{\sum_{m=0}^{M-1} x(n-m) \times h(m)}_{\text{Filtre FIR}} + \underbrace{\sum_{k=1}^{K-1} y(n-k) \times i(k)}_{\text{Feedback}} \quad (1.9)$$

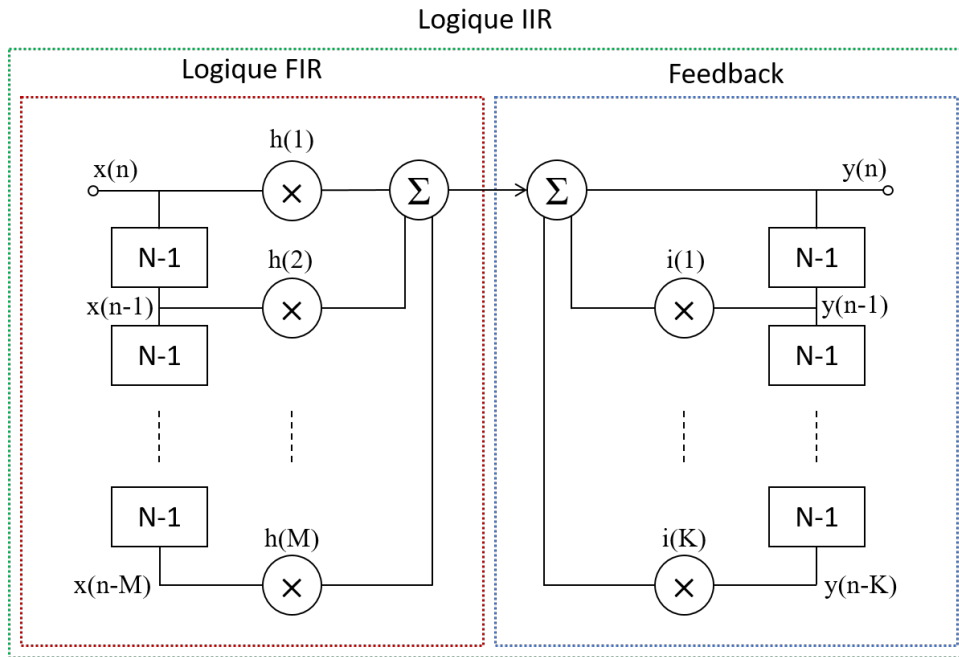


FIGURE 1.18 – Schéma logique d'un filtre à réponse impulsionnelle infinie (IIR)

L'ajout d'une boucle de retour dans la fonction de transfert engendre une réponse $y(n)$ à une impulsion s'étendant vers l'infini temporellement, à l'inverse d'un filtre FIR qui est borné dans le temps et finira toujours par revenir à 0. Un filtre IIR comporte un nombre d'opérations logiques double par rapport à un filtre FIR, cependant l'ordre du filtre (ou le nombre de coefficients) nécessaire pour obtenir la même efficacité (même rapidité de coupure à f_c qu'un FIR) est bien moindre.

La fonction de transfert d'un filtre IIR, exprimée en (1.12) peut être assimilée à celle d'un filtre analogique comportant différents zéros (coefficients au numérateur) et pôles (coefficients au dénominateur). La fonction de transfert est obtenue par transformée en Z à partir de l'expression en (1.9), qui est l'équivalent de la transformée de Laplace pour des signaux discrets [Smi97c].

$$H(z) = \frac{y(z)}{x(z)} = \frac{\sum_{m=0}^{M-1} h_m \cdot Z^{-m}}{1 + \sum_{k=1}^{K-1} i_k \cdot Z^{-k}} \quad (1.10)$$

Il est alors possible d’appliquer les mêmes coefficients connus d’un filtre analogique d’ordre N (par exemple ceux d’un filtre de type Sallen-Key passe-bas) et de les appliquer au filtre IIR. Ces coefficients peuvent être calculés au moyen d’outils numériques tel que Matlab.

1.1.4.2.3 Domaines d’application des FIR et IIR

Les filtres IIR et FIR nécessitent une approche différente dans la détermination des coefficients et ciblent des domaines d’applications différents. Leurs multiples avantages et inconvénients sont résumés ci-après.

Filtre FIR	Filtre IIR
Caractéristiques	
<ul style="list-style-type: none"> - Pente moins raide à f_c - Pas d’équivalent analogique - Stable (réponse tronquée) - Phase linéaire - Coefficients déterminables par logiciel - Implémentation en code lourde 	<ul style="list-style-type: none"> - Pente plus raide à f_c - Équivalent analogique - Risque d’instabilité (réponse infinie) - Phase non-linéaire (délai différent selon la fréquence) - Coefficients déterminables par logiciel - Implémentation en code allégée
Domaines d’application	
<ul style="list-style-type: none"> - Systèmes non limités en vitesse de calcul, applications en temps différé pour traitements plus lourds - Applications nécessitant une phase linéaire : besoin de reconstitution fidèle de l’allure temporelle du signal (métrologie) 	<ul style="list-style-type: none"> - Systèmes embarqués, mémoire ou capacité de calcul limités, applications en temps réel - Applications n’étant pas affectées par la non-linéarité de phase : audio, systèmes contrôlant l’amplitude des signaux, télécommunication RF.

TABLE 1.2 – Comparatif des caractéristiques et domaines d’applications des filtres FIR et IIR [Kes03][Ned20].

Les technologies de filtrage numérique utilisées offrent différents niveaux de performances selon l’application visée (temps réel, représentation temporelle ou fréquentielle), mais se distinguent également par l’espace mémoire utilisé pour réaliser une fonction. Dans notre

application, la technologie utilisée et présentée en Section 1.2.2, le FPGA-SoC, démontrera une capacité suffisante pour pouvoir intégrer des filtres IIR ou FIR. Les filtres IIR pourront être privilégiés dans le cas d'applications temps réel, et au contraire les filtres FIR seront retenus pour des applications plus exigeantes sur la qualité de mesure nécessitant un post-traitement plus complexe.

1.2 Technologies d'intelligence programmable

Tout système électronique interagissant avec le monde extérieur est contrôlé par une intelligence programmable, couramment par microcontrôleur, réalisant des opérations logiques ou des fonctions plus complexes en accord avec l'application souhaitée. La majeure partie des applications (contrôle de température, mesure de l'accélération, mesure de vibration, contrôle de moteurs) travaillent avec une définition temporelle autour de la milliseconde : la vitesse d'opération d'un microcontrôleur en moyenne autour de 10 Méga instructions par seconde (MIPS) n'est donc pas une limitation à considérer. Cependant, pour certaines applications plus spécifiques, le domaine temporel de contrôle ou de mesure des signaux requis peut atteindre la microseconde, voire la nanoseconde. L'afflux de données en provenance d'un CAN, est donné par la fréquence d'échantillonnages multipliée par le nombre de bits de résolution pour une voie d'acquisition. Il peut atteindre ou dépasser les 1 Gbit/s et surcharger la capacité des microcontrôleurs classiques à traiter ces données en temps réel, ou en un temps différé raisonnable par rapport à l'application visée. Une technologie récente, les FPGA-SoC, utilise une architecture logique différente des microcontrôleurs, et semble être opportune pour répondre à cette problématique. Cette section a pour but de présenter le principe de fonctionnement des microcontrôleurs et des FPGA-SoC, de comparer leurs performances, et de mettre en avant cette nouvelle technologie privilégiée dans le développement de systèmes d'acquisition haute fréquence embarqués.

1.2.1 Microcontrôleurs

Un microcontrôleur est un micro système embarqué constitué d'un processeur contenant le programme réalisant les instructions, ainsi que divers périphériques (convertisseurs CAN / CNA, compteurs, mémoire RAM et Flash), le tout dans un seul composant d'une taille moyenne de 1 cm². Les microcontrôleurs sont utilisés dans tout système nécessitant une intelligence plus ou moins complexe (contrôle thermostats, oscilloscopes, lave-vaisselles, pilotage de moteurs...) [PDD13]. En effet, ils intègrent en un seul composant les fonctionnalités nécessaires pour un grand nombre d'applications : entrées/sorties tout ou rien, CAN et CNA sur ≈ 10 bits et ≈ 10 -100 kéch/s, interfaces de communication,...) [BP05].

Il existe plusieurs types de microcontrôleurs, définis selon trois critères illustrés en Figure 1.19 [GW07] :

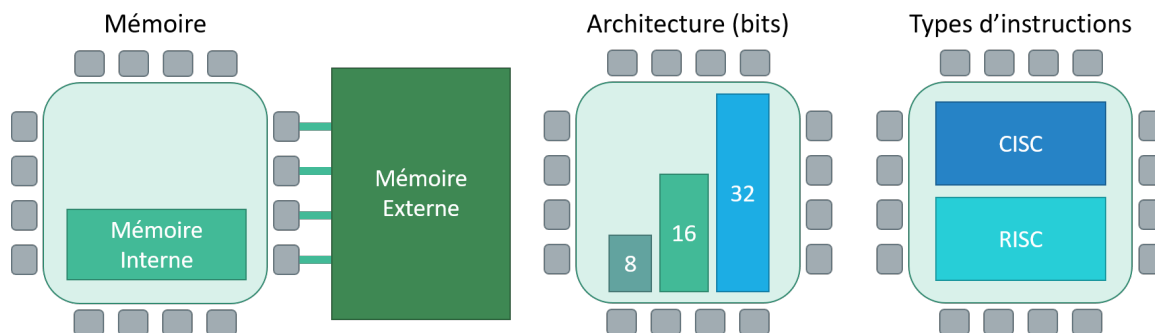


FIGURE 1.19 – Définition du type de microcontrôleur et de son fonctionnement selon trois caractéristiques : la localisation de la mémoire, l’architecture, et le type d’instructions.

- **Localisation Mémoire :** Les microcontrôleurs ne disposent que de peu d’espace physique pour intégrer une mémoire (Flash et RAM) conséquente au sein du composant, inférieure à 100 kbits pour la mémoire Flash, et à 1kbit pour la mémoire RAM. Cette taille limite la complexité du programme (mémoire Flash) ainsi que le nombre de données à traiter lors du fonctionnement (mémoire RAM). Certains microcontrôleurs offrent la possibilité de travailler avec une mémoire externe Flash et RAM, repoussant donc les limites imposées par leur structure interne.
- **Architecture :** L’architecture en bits d’un microcontrôleur définit la largeur du bus de données transitant entre la mémoire RAM et le processeur. Un bus de 8 bits peut faire transiter 8 bits simultanément, sur 8 voies en parallèle. Un bus de 16 bits peut faire transiter et traiter 2 fois plus de données qu’un bus de 8 bits, et 2 fois moins qu’un bus de 32 bits. L’architecture fait également référence à la taille de la mémoire RAM puisque le bus de données est aussi utilisé comme bus d’adresses. Avec 8 bits, $2^8 = 256$ adresses sont disponibles, 16 bits offrent 64000 adresses et 32 bits en permettraient 4 milliards (on parle de mémoire 4 Gbit). Cependant il n’est pas possible aujourd’hui d’intégrer une telle mémoire dans un microcontrôleur : celle-ci est souvent tronquée à un bus de 16 bits. Le bus 32 bits permet cependant d’accueillir des mémoires externes et offre de meilleures performances en vitesse de traitement du programme.
- **Types d’instructions :** Les instructions RISC ou CISC définissent le type d’instructions pouvant être réalisées par le processeur. Une instruction RISC (Reduced Instruction Set Computer) utilise une série d’instructions basiques pour réaliser une fonction, sur plusieurs cycles d’horloge, alors qu’une instruction CISC (Complex Instruction Set Computer) permet de regrouper plusieurs instructions pour réaliser une fonction plus complexe en un seul cycle d’horloge légèrement plus lent. La vitesse de la réalisation d’un programme (par instruction CISC ou RISC) est exprimée :

$$\frac{\text{Temps}}{\text{Programme}} = \frac{\text{Nb instructions}}{\text{Programme}} \times \frac{\text{Nb cycles d'horloge}}{\text{Instruction}} \times \text{Temps d'un cycle} \quad (1.11)$$

Le temps de traitement d'un programme, ou d'une fonction est donc proportionnel au nombre d'instructions. Dès lors, la fréquence d'opération du système se retrouve être un critère majeur dans le choix du microcontrôleur. Précédemment, la vitesse d'opération des processeurs de traitement de signaux, DSP, avait été énoncée. Les DSP sont adaptés et optimisés pour le traitement de données échantillonnées, avec une vitesse d'instruction comprise entre 10 MIPS et 1000 MIPS [Smi97b]. Les microcontrôleurs n'ayant généralement pas pour rôle le traitement des données à haute vitesse, les vitesses d'instruction, et donc la fréquence d'horloge sont moindres. Les caractéristiques et performances de microcontrôleurs typiques sont comparées dans le tableau suivant :

Modèle	Bus (bits)	Flash	RAM	I/O	Fréquence Horloge	Prix (2022)
PIC16F18044	8 bits	7 kB	512 B	18	32 MHz	2,5 €
PIC16F76		14 kB	368 B	22	20 MHz	6,53 €
PIC24FJ128GL303	16 bits	128 kB	8 kB	29	32 MHz	2,87 €
MSP430F5635IZCAT		256 kB	18 kB	74	25 MHz	13,81 €
PIC32MK0256GPG048T	32 bits	256 kB	64 kB	37	80 MHz	7,58 €
TMS320F28232ZAYA		128 kB	52 kB	88	100 MHz	27,53 €

TABLE 1.3 – Comparatif des performances de microcontrôleurs typiques précisant la taille de bus, la taille de mémoire, le nombre de pins d'entrée / sortie (I/O), la fréquence d'horloge et le prix.

Les microcontrôleurs aujourd'hui omniprésents sont disponibles avec de larges gammes de performances. Il est pertinent de choisir au mieux les paramètres de cette technologie lors du développement d'un système pour qu'elle soit le mieux adaptée à l'application (nombre de voies, vitesse, mémoire) sans être sur-dimensionnée (consommation d'énergie, prix, taille de la puce).

1.2.2 Les FPGA-SoC

1.2.2.1 Technologie FPGA

La technologie FPGA (Field Programmable Gate Array) est basée sur une philosophie différente de celle des microcontrôleurs dans le sens où aucun processeur n'est nécessaire pour exécuter une fonction. En effet, les FPGA sont de la famille des circuits logiques programmables. Leur structure principale est constituée d'entrées / sorties, et d'éléments logiques pouvant être connectés les uns aux autres. Les fonctions sont directement réalisées au sein du circuit en connectant les divers éléments logiques. Les FPGA ne consistent donc pas en une programmation algorithmique procédurale (soft) réalisant une liste d'instructions,

mais en une « programmation » matérielle (hard) de composants [KTR+08].

Plus en détail, un FPGA est constitué des éléments suivants (voir Figure 1.20) :

- Look Up Table (LUT) : Element pouvant réaliser diverses opérations logiques
- Flip-Flops : Stockage des données en sortie des LUT
- Matrices : réseau d'interconnexion permettant de relier les divers blocs logiques entre eux selon toutes les combinaisons possibles.
- Blocs I/O : bloc permettant de relier le FPGA aux périphériques externes.

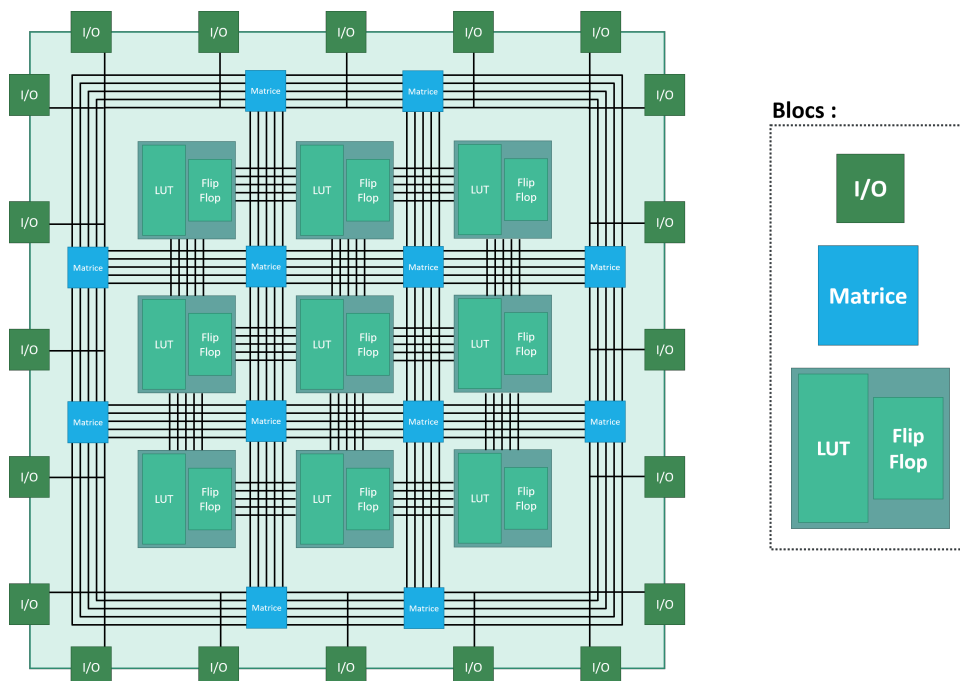


FIGURE 1.20 – Structure interne d'un FPGA.

Un FPGA est composé de LUT à X entrées logiques, par exemple 3 : A,B,C et 1 sortie logique D. Toutes les combinaisons possibles entre A,B,C mènent à un état de la sortie D déterminé selon la fonction réalisée par l'utilisateur. Un nombre démesuré de portes logiques serait nécessaire à chaque LUT pour pouvoir contenir toutes les combinaisons possibles et satisfaire la fonction logique, aussi complexe soit elle, demandée par l'utilisateur. Les LUT doivent être vues comme de petites mémoires RAM (appelées SRAM) à trois entrées (voir Figure 1.21a) pouvant donc contenir 2^3 adresses, représentant toutes les combinaisons A,B,C possibles. Alors la valeur stockée à chaque adresse permet de représenter D sans avoir à générer la logique combinatoire complexe correspondante.

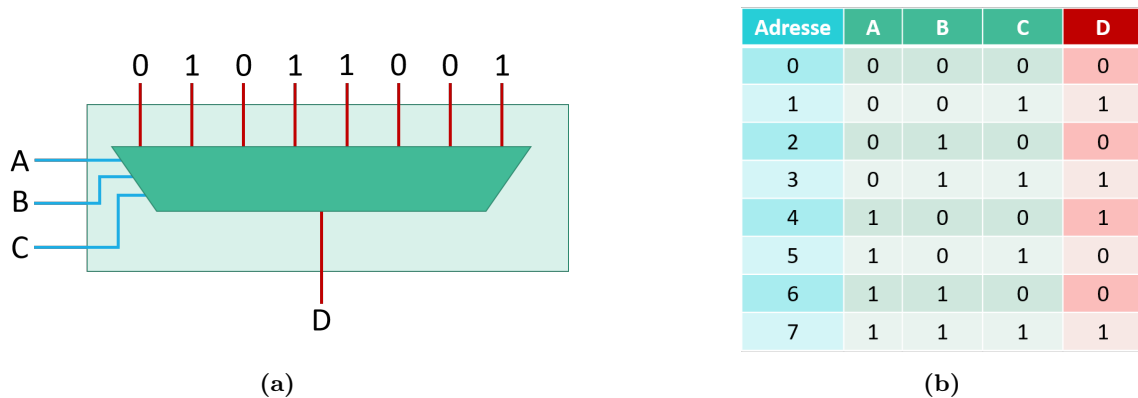


FIGURE 1.21 – (a) Structure interne d'une Look up Table à trois entrées.(b) Table de vérité correspondante.

La table de vérité d'une fonction (correspondance entre les entrées et les sorties) est établie lors de la compilation du programme écrit en VHDL ou Verilog (langages de programmation matérielle utilisés pour les FPGA) de l'utilisateur. Les 8 données D sont ensuite stockées à chaque adresse de la LUT, ou SRAM.

Il est connu que les mémoires de type RAM perdent leur données lorsque le système n'est plus alimenté électriquement. Un FPGA doit être reprogrammé à chaque démarrage, en général via une mémoire Flash interne contenant le fichier de programmation se chargeant de reconfigurer le FPGA automatiquement. Une alternative aux FPGA basés sur des LUT SRAM, sont les FPGA LUT Flash, qui comme leur nom l'indique, construisent les éléments LUT sur des mémoires de type Flash, ce qui permet de maintenir l'état de la mémoire à l'arrêt. Si cette méthode permet de s'affranchir d'une mémoire Flash externe utilisée au moment du démarrage et consomme moins de puissance, elle se trouve moins populaire pour des applications à grande précision temporelle à cause d'une vitesse d'opération plus faible que celle d'une mémoire SRAM.

La différence majeure entre les FPGA et les microcontrôleurs réside donc dans leur architecture interne. Un FPGA constitué d'un grand nombre d'éléments logiques peut opérer de multiples fonctions en parallèle sur un même cycle d'horloge, alors qu'un microcontrôleur doit lire étape par étape les instructions d'un programme, puisqu'un unique bus est utilisé pour aller chercher les données à traiter par le processeur dans une unique mémoire RAM. Un exemple de illustrant la différence du principe d'opération entre les deux technologies est présenté en Figure 1.22 [BL86].

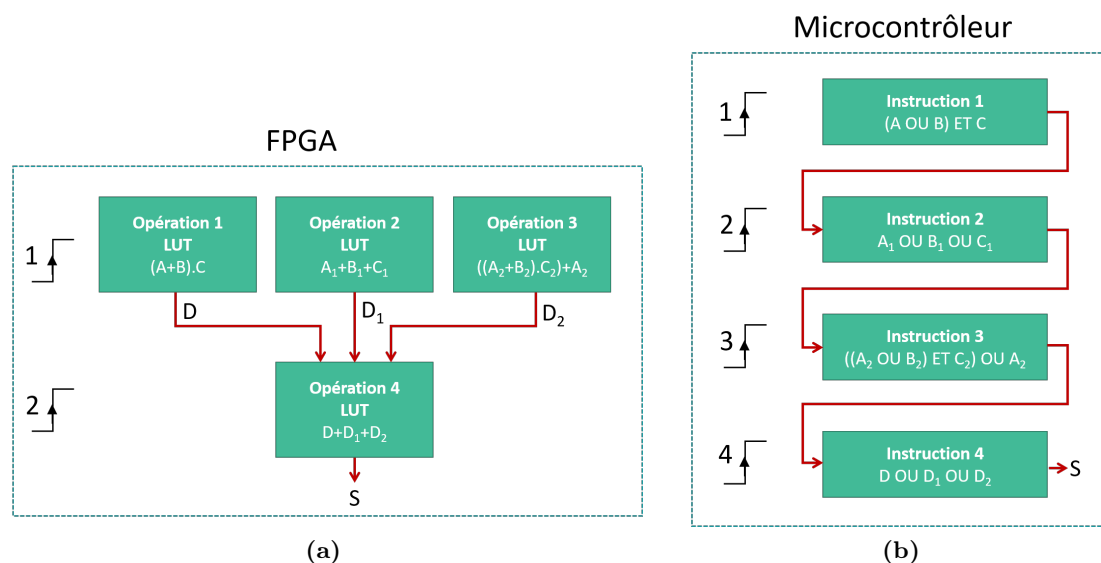


FIGURE 1.22 – (a) Logique combinatoire d'un FPGA permettant de réaliser 4 opérations en 2 cycles d'horloge.(b) Série d'instructions algorithmiques réalisant les mêmes opérations en 4 cycles d'horloge.

1.2.2.2 Technologie FPGA-SoC

Un FPGA est capable de réaliser un grand nombre d'opérations à haute vitesse comparativement à un microcontrôleur. Cependant, l'architecture des FPGA est optimisée pour réaliser des opérations logiques, entre signaux logiques. Si une application requiert un ensemble de fonctionnalités allant au-delà du traitement rapide de données (système d'exploitation, interface homme machine (IHM), stockage de données, connectivité sur réseau,...), le FPGA peut s'avérer limité dans ses capacités. L'intégration de microprocesseur au sein d'un FPGA est possible - c'est à dire la programmation matérielle des LUT pour reconstituer un microprocesseur - mais il occuperait une grande partie de la mémoire totale du FPGA. Le FPGA se retrouve à imiter le fonctionnement d'un processeur classique (par exemple Intel propose le module NIOS II, qui est un processeur 32 bits embarqué sur FPGA, et permet de faire fonctionner un système d'exploitation tel que Linux [JDZ09]). Une autre solution consistait à ajouter un processeur (CPU) en plus d'un FPGA au sein du même système. Cependant, une communication entre FPGA et CPU non standardisée et propre à chaque développeur n'exclut pas les problèmes de fiabilité, de vitesse d'opération et de puissance consommée, limitant l'intérêt de ce type de solutions dans le cas d'applications embarquées exigeantes [JP19].

Dans le courant de l'année 2012, Intel a lancé le premier FPGA-SoC (System on Chip) qui regroupe en un seul composant, un FPGA et un HPS (Hard Processor System). Un HPS est une version avancée des microcontrôleurs, constitués d'un processeur accéléré, de plus grandes mémoires Flash et RAM externes pouvant atteindre quelques Gigabits, et de

périphériques (USB, Ethernet, HDMI, etc...) [Int]. La communication entre les deux entités est régie par un pont, ou une interface de type « AXI » (Advanced eXtensible Interface) (voir Figure 1.23), qui est une interface standard de communication rapide pour circuits hautement intégrés entre différents éléments tels qu'entre le FPGA et le HPS, ou entre le HPS et la mémoire RAM.

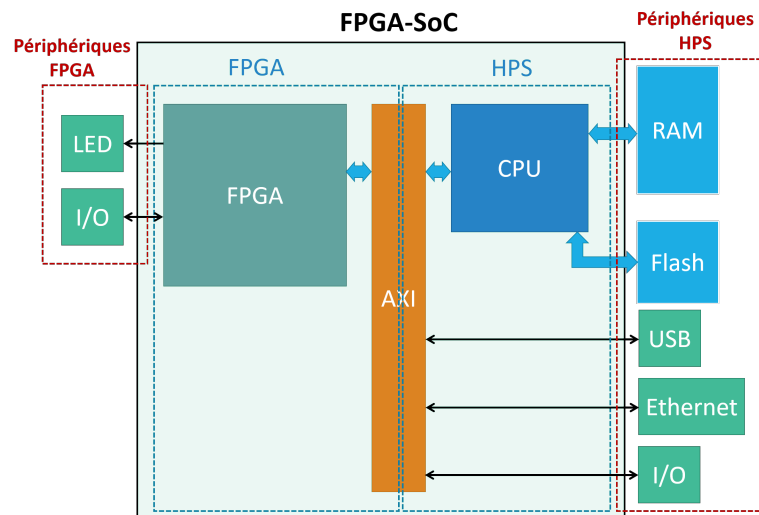


FIGURE 1.23 – Constitution et interfaçage d'un d'un FPGA-SoC avec ses périphériques.

Cette nouvelle technologie propose un outil complet et embarqué pour le traitement de données haute performance et pour la gestion de plus grandes quantités de données à haut niveau, soit pour le stockage et la supervision de données. Une application typique d'un système d'acquisition développé sur la technologie FPGA-SoC est présentée en Figure 1.24.

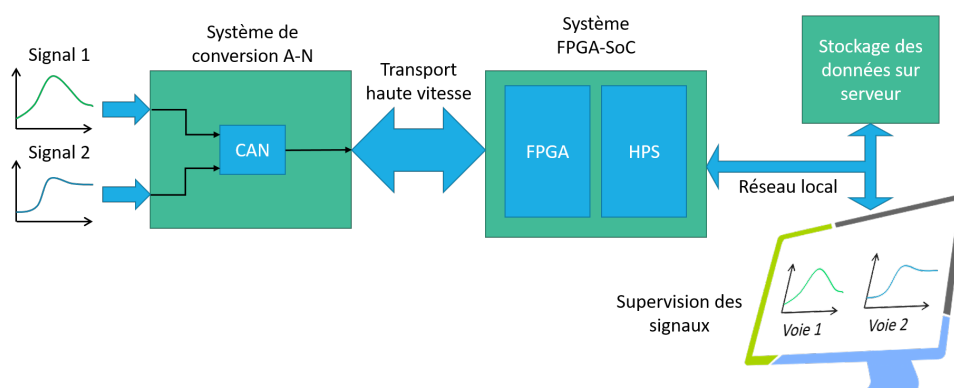


FIGURE 1.24 – Exemple d'un système d'acquisition et de supervision de signaux pilotés par une IHM externe.

La technologie FPGA-SoC permet dans cet exemple, de gérer à la fois le traitement de signaux haute vitesse, et le déploiement d'une connectivité sur réseau local pour y transférer et stocker les données. Les signaux en sortie de capteurs sont numérisés grâce à un système de conversion analogique-numérique externe, communiquant ses données au FPGA-SoC.

1.3 Transport et gestion des données

Cela paraît évident, la mesure et l'acquisition de signaux n'ont de raison d'être que si les résultats peuvent être exploités. Ils peuvent être utilisés sans intervention de l'humain : un système peut réagir et prendre une décision automatiquement en un temps très court, entre la nanoseconde et plusieurs microsecondes selon le niveau de traitement des données réalisé en amont (voir Section 1.1.4.2). Les résultats peuvent également nécessiter l'intervention humaine pour analyser diverses données, suivre l'évolution temporelle de signaux en temps réel ou en différé, à l'instar d'un oscilloscope ; ou ils peuvent être sauvegardés et stockés pour de futures études portant sur de plus grandes quantités de données. Cette section a pour but de présenter l'avancement technologique lié aux méthodes de gestion de données (interfaces, stockage, outils d'analyses), mais également celui lié à leur transport. Il ne faut pas oublier en effet, qu'entre la source du signal mesuré et le lieu d'exploitation des données (système ou IHM), les données transitent via une multitude d'interfaces pour pouvoir communiquer de façon adéquate entre les différents éléments d'un système d'acquisition complet.

1.3.1 Technologies de communication

1.3.1.1 Connexions filaires

En 1858, le premier câble électrique permettant de communiquer par télégraphie entre les continents américain et européen fut installé à travers l'Atlantique sur plus de 3000 km (voir Figure 1.25). Le temps de transmission d'un message en morse dépendait, outre le délai négligeable du signal se propageant le long du câble, de la vitesse de l'opérateur à coder le message. Les plus exercés pouvaient alors atteindre au mieux, jusqu'à 30 mots par minute. Malheureusement, le câble ne tiendra que trois semaines ; il faudra attendre 1866 pour l'établissement d'une nouvelle communication stable et ininterrompue [Pic08].

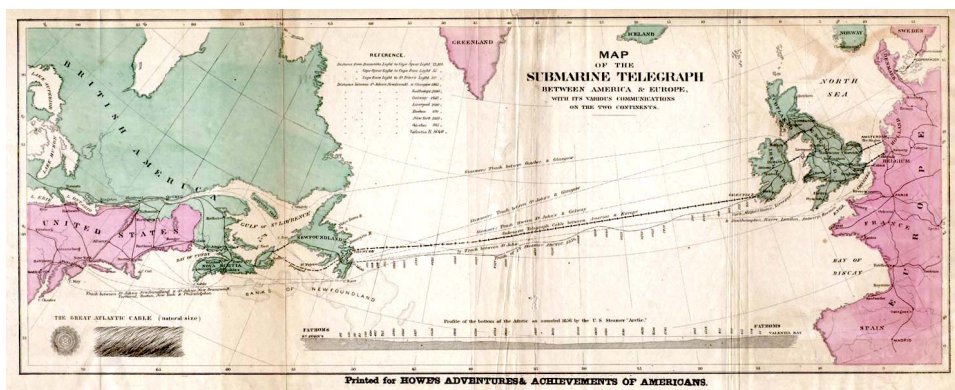


FIGURE 1.25 – Carte présentant le premier télégraphe sous-marin déployé entre l'Irlande et Terre-Neuve en 1858.

Un siècle et demi plus tard, malgré la diversification des moyens de communication (fibre optique et sans fil), la transmission de données par connexion filaire cuivrée est

toujours présente. En effet, l'histoire du télégraphe transatlantique a montré que la vitesse de transmission de données, appelé taux de données, n'est pas liée au moyen de transport du signal, mais dépend de la vitesse des systèmes en charge de l'émission des données à une extrémité, appelés transmetteurs (TX), et de la réception à l'autre extrémité, appelés receveurs (RX). Ces systèmes appelés transceiver (l'équivalent français est émetteur-récepteur) fonctionnent en duplex. Cela signifie qu'ils peuvent émettre et recevoir dans les deux sens, et peuvent atteindre aujourd'hui des taux de 10 Gb/s, 40 Gb/s, voire 100 Gb/s. L'évolution technologique de ces émetteurs-récepteurs est présentée en Figure 1.26.

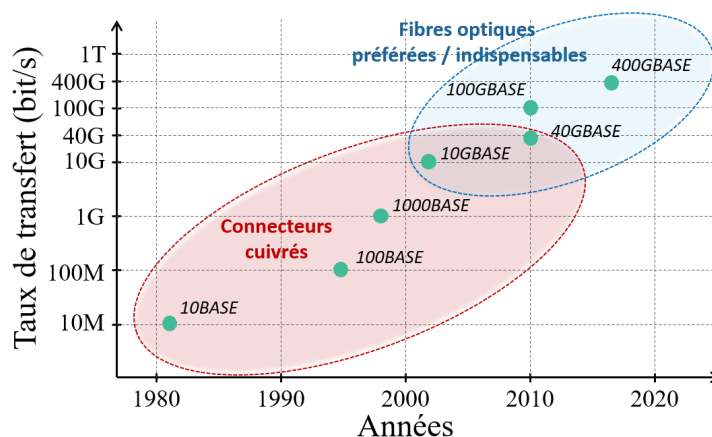


FIGURE 1.26 – Evolution des taux de transfert et de leur standard au court des dernières décennies [Hul14].

Bien que des transceivers au-delà de 10 Gb/s soient rarement utilisés hors du cadre du déploiement de réseaux inter-serveurs, cet exemple montre que la technologie de transceivers n'est pas une limite dans le transport des données.

Pendant, les câbles de cuivre présentent un inconvénient majeur : ce ne sont pas des conducteurs parfaits. Un conducteur présente des pertes liées à une résistance R dépendant de son diamètre et de sa longueur, exprimée :

$$R_c = \rho \times \frac{L}{S} \quad (1.12)$$

Avec ρ la résistivité du conducteur (en $\Omega.m$), L la longueur du câble et S sa section. De plus, cette résistance se voit augmenter à de plus hautes fréquences avec l'effet de peau, qui est la tendance du courant à circuler en périphérie du conducteur, réduisant la section effective [Whe42]. Ainsi les connexions cuivrées présentent divers inconvénients insécables :

- Si la distance augmente, les pertes augmentent
- Si la fréquence augmente, les pertes augmentent
- Le signal peut être perdu pour une certaine distance maximale selon la fréquence
- La puissance d'émission doit être augmentée pour compenser les pertes et aller plus loin

Les standards IEEE gérant une grande partie des normalisations de transfert de données indiquent en 2002 (norme IEEE Std 802.3ae-2002 [Soc04]) une distance maximale de 15 mètres pour des câbles cuivrés, ceci pour des transferts de données basés sur la technologie Ethernet 10Gbit/s. Les connexions filaires présentent donc une limite relativement contraignante dans le domaine des technologies embarquées devant transporter une quantité importante de données sur de grandes distances, notamment sur des sites isolés (sans proximité de réseau).

1.3.1.2 Fibre optique

La théorie de la fibre optique fit sa première apparition en 1961 dans le journal Optica Publishing Group grâce aux travaux d'Elias Snutzer [SO61]. Les premières fibres optiques sont utilisées dans les réseaux téléphoniques en 1975 aux Etats-Unis, et serviront dans les années 1990 à déployer un réseau Internet haut débit, offrant un taux de transfert (en téléchargement) de 33 à 64 kbit/s pour l'utilisateur [GS12].

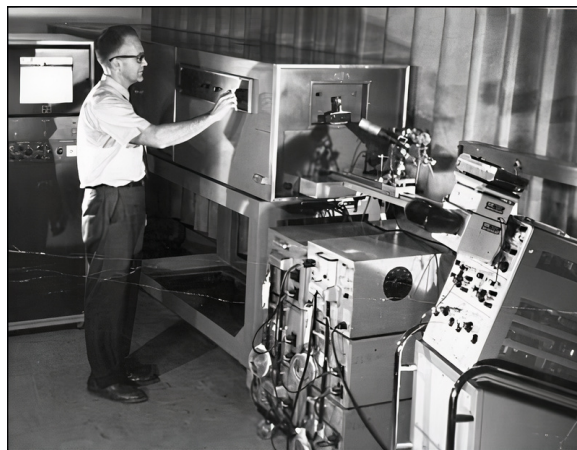


FIGURE 1.27 – Elias Snutzer travaillant à l'American Optical Laboratory en 1964 [Ros12].

Les fibres optiques apportent différents avantages considérables par rapport aux conducteurs électriques.

- **Moins encombrantes** : La fibre de verre est un matériau beaucoup moins lourd que le cuivre, et possédant un diamètre très fin de cœur de fibre (âme en verre et gaine) standardisé à 0,125 μm .
- **Moins énergivore** : Le transport du signal se faisant par la lumière, aucun conducteur n'est impliqué, et aucune perte par résistivité électrique ou par effet de peau.
- **Plus de distance** : Pour les mêmes raisons, l'absence de pertes lors de la propagation du signal à travers la fibre permet de déployer des longueurs de fibres beaucoup plus longues. Les pertes limitant la distance de propagation sont dues à la dispersion du laser au sein de la fibre, et de l'atténuation imposée par le milieu de propagation (verre) à de plus hautes fréquences. À 10 Gbit/s, alors qu'un câble de cuivre est limité à une distance maximale de 15 m, une fibre optique classique peut atteindre 10 km sans système de répétition.

- **Plus haute fréquence** : Du fait de la diminution des pertes, la bande passante d'une fibre optique est beaucoup plus haute que celle d'un conducteur. Elle est limitée par la dispersion et l'atténuation du faisceau optique lors de sa propagation le long de la fibre optique, et dépend donc de sa longueur.
- **Insensibles aux interférences EM** : Les fibres optiques ne sont constituées d'aucun matériau conducteur, à l'inverse d'un câble en cuivre. De ce fait, aucune interaction n'existe entre l'environnement électromagnétique et les signaux. Réciproquement, les fibres n'irradient pas autour d'elles ; elles peuvent être regroupées avec d'autres fibres sans risque d'interférence.

Deux technologies de fibre optique existent : les fibres monomode et les fibres multimode. La différence se joue sur deux paramètres, le diamètre de la fibre optique, et la longueur d'onde λ de la source de lumière (voir Figure 1.28) [WFY08].

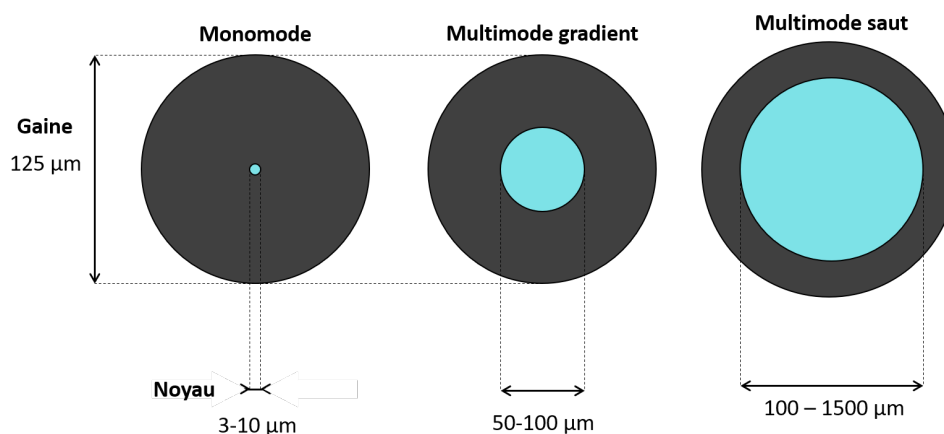


FIGURE 1.28 – Différentes géométries de section de fibre optique selon le mode utilisé.

Le type monomode signifie que le faisceau de lumière, au cours de la propagation le long de la fibre, se propage en ligne droite au centre du noyau sans venir réfléchir sur les parois de la gaine (voir Figure 1.29). Ce mode est présent si le diamètre est inférieur à une certaine limite pour une longueur d'onde donnée λ . Au-delà, le faisceau est susceptible de dévier de son axe central, induisant la perte du monomode. La fibre monomode est le type offrant la plus grande bande passante, de 100 GHz à 1 km, et utilise des sources de type laser avec λ compris entre 850 et 1550 nm.

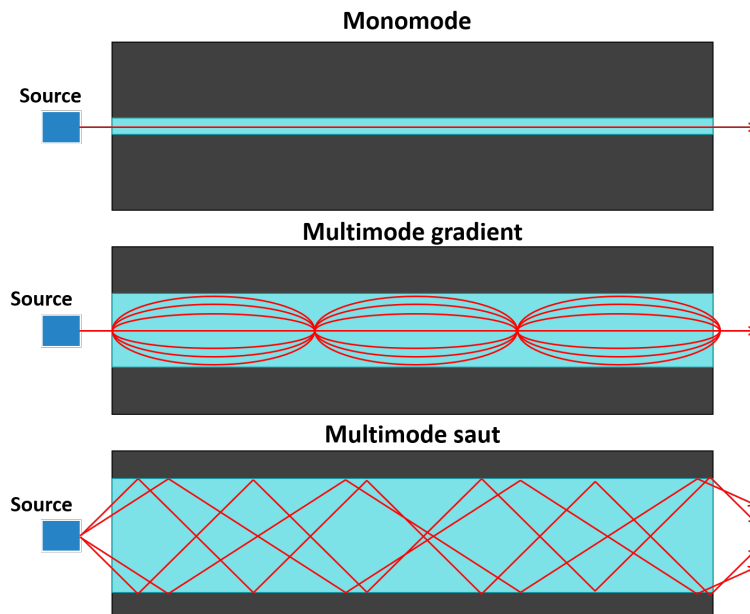


FIGURE 1.29 – Propagation d’un faisceau de lumière selon différents types de fibre optiques.

Les fibres multimodes utilisent un diamètre de noyau bien supérieur à celui d’une fibre monomode. Ces diamètres correspondent à l’apparition de modes bien déterminés par rapport à λ . Il existe deux types de multimodes illustrés en Figure 1.29, le multimode à gradient d’indice et le multimode à saut d’indice.

- **Multimode à gradient d’indice :** Le noyau de la fibre est constitué d’un matériau dont l’indice de réfraction diminue progressivement entre son centre et son diamètre extérieur en contact avec la gaine. De ce fait, les faisceaux se propageant le plus en périphérie du noyau sont plus rapides que ceux se propageant proche du centre. Les fibres multimodes permettent d’obtenir une bande passante de 500 MHz à 1 km pour $\lambda=1300$ nm, et de 160 MHz à 1 km pour $\lambda=850$ nm.
- **Multimode à saut d’indice :** L’indice de réfraction du matériau utilisé est homogène dans tout le noyau. Les faisceaux optiques se propagent à la même vitesse indifféremment de leur position dans le noyau. Les sources de faisceaux ayant un plus grand angle d’incidence dans la fibre vont subir plus de réflexions, menant à une distance parcourue au sein du noyau plus longue. Différents angles d’incidence permettent donc d’obtenir différents modes (de même que pour le multimode à gradient d’indice). Les fibres multimode à saut d’indice sont les plus simples à concevoir et atteignent une bande passante de 20 MHz à 1 km, pour $\lambda < 1260$ nm.

Les différentes caractéristiques, performances et applications des trois types de fibres sont résumées dans le tableau suivant [Pho10].

Type	Diamètre noyau	Bande passante (à 1 km)	Applications
Monomode	3 - 10 μm	100 GHz	-Très haut débit & longue distance
Multimode gradient	50 - 100 μm	160 - 500 MHz	-Très haut débit & courte distance -Débit moyen & longue distance
Multimode saut	100 - 1500 μm	20 MHz	-Transfert de puissance par laser -Courte distance

TABLE 1.4 – Comparaison des caractéristiques, performances et applications entre fibres monomode et multimode [Pho10]

Bien que le coût d’implémentation d’une fibre soit plus élevé (émetteurs diode /laser, récepteurs photodiode) que celui d’un connecteur cuivré (simple contact électrique), il se retrouve vite amorti sur de longues distances puisqu’une fibre permet de hauts débits pouvant atteindre le kilomètre sans besoin de « réamplifier » ou « répéter » le signal par de l’électronique, comparativement à son prédécesseur limité à la dizaine de mètres (notamment pour des débits supérieurs au Gbit/s). Au-delà des performances de débit et de distance, la fibre optique est aujourd’hui préférée en regard de sa consommation en énergie et en matières première. Il a été estimé par la commission européenne en 2020 que la consommation moyenne par foyer pour une année et pour un débit de 50 Mbit/s se situe autour de 56 kWh pour un réseau fibré contre 88 kWh pour un réseau cuivré (RJ45) [Com20].

1.3.1.3 Connexions sans fil

Les connexions sans fil ont existé bien avant qu’elles n’aient été utilisées dans les réseaux de communication contemporains (WiFi, Bluetooth, 4G). Les stations radios, depuis les années 1920, reposent sur la même méthode de transmission d’un signal : la modulation [Reg05], en alternative à la méthode initiale de bande de base.

Cette méthode répond à une problématique lié à la longueur des antennes. Une antenne accordée est inversement proportionnelle à la fréquence du signal l’excitant (et proportionnelle à la longueur d’onde λ). Notamment, les antennes radio, omnidirectionnelles, doivent être accordées à $\lambda/4$. En supposant le besoin de transmettre un signal sonore, le spectre audible autour du kilohertz imposerait des longueurs d’antennes démesurées et inconcevables [Top22].

La modulation permet de résoudre ce problème en utilisant un signal de fréquence plus élevée, appelé porteuse, pour transporter un signal de bande spectrale faible, appelé signal de modulation. Deux méthodes principales existent, la modulation d’amplitude (AM), et la

modulation fréquentielle (FM) (voir Figure 1.28).

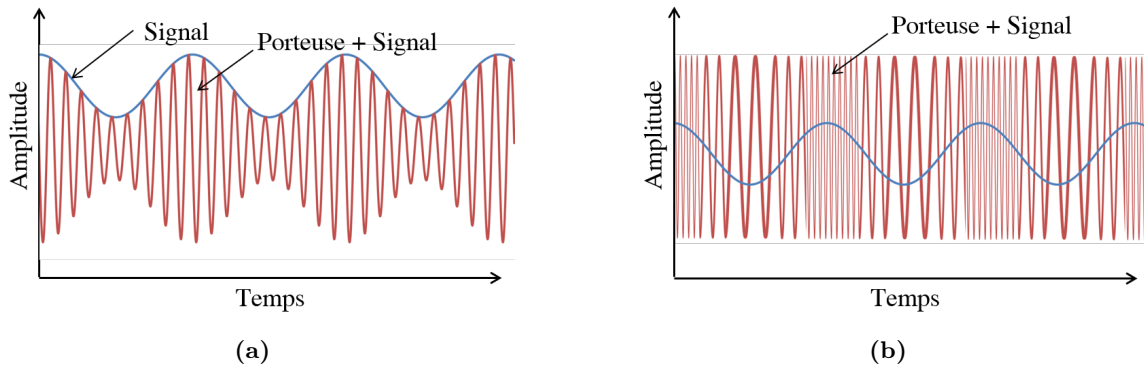


FIGURE 1.30 – (a) Allure temporelle d’une modulation d’amplitude. (b) Allure temporelle d’une modulation fréquentielle.

Si la modulation d’amplitude offre une portée de communication, grâce à sa bande de fréquence de porteuse plus faible (entre 535 et 1605 kHz) et son interaction avec la ionosphère [Gur76], les signaux transmis sont affectés par l’amplitude et les bruits EM environnant de fréquence similaire. La modulation FM, de fréquence de porteuse plus haute (entre 88,1 et 108,1 MHz) est moins sensible aux parasites lors de la transmission du signal, en plus d’avoir un rendement énergétique plus élevé [Ana22].

Les données transmises aujourd’hui ne sont plus uniquement des signaux sonores ou analogiques, mais potentiellement des données numériques en provenance d’un ordinateur, d’un microcontrôleur ou d’un FPGA-SoC. Les technologies de modulation numérique utilisées (fréquence, amplitude, phase) dépendent alors du système développé [Mer20]. Selon l’application visée, les spécifications du système de communication sans fil peuvent varier. En effet, une station météo extérieure pour domicile fonctionnant sur batterie ne requiert pas un taux de transfert de données élevé, mais doit économiser sa consommation d’énergie. Au contraire, le transfert de données plus lourdes (flux vidéo, mesure de signaux haute précision) met la priorité sur la vitesse de transfert au détriment de sa consommation. De plus, une caractéristique additionnelle à considérer est la portée du signal.

De nombreuses technologies de communication sans fil se sont développées au cours des dernières décennies et permettent de répondre à différents cas d’application (voir Tableau 1.6).

Technologie	Bande de fréquence	Débit maximal	Portée	Consommation
Lora	868 MHz	0,3 - 37,5k/s	5 - 15 km	Très faible
ZigBee	2,4 GHz	250 kb/s	30 m	Très faible
SigFox	868 MHz	100 - 600 b/s	10 - 50 km	Très faible
Bluetooth	2,4 GHz	1 Mb/s	≈ 100 m	Faible
Wifi 4	2,4 / 5 GHz	600 Mb/s	250 m (extérieur)	Moyenne
4G	800/1800/2600 MHz	100 Mb/s	10-30 km	Forte

TABLE 1.5 – Comparaison de différentes technologies de communication sans fil.

Evidemment, la facilité d'accès et d'usage d'une technologie ou d'une autre dépend du niveau de déploiement de son réseau à l'échelle locale, régionale, nationale voire internationale. Si la couverture réseau de la 4G est presque omniprésente (à l'exception de la haute montagne ou des océans), et qu'il est facile de connecter un appareil isolé sur le réseau Internet, les réseaux Lora ont du attendre la fin de la décennie 2010 pour déployer et proposer un réseau disponible et fiable (voir Figure 1.31).

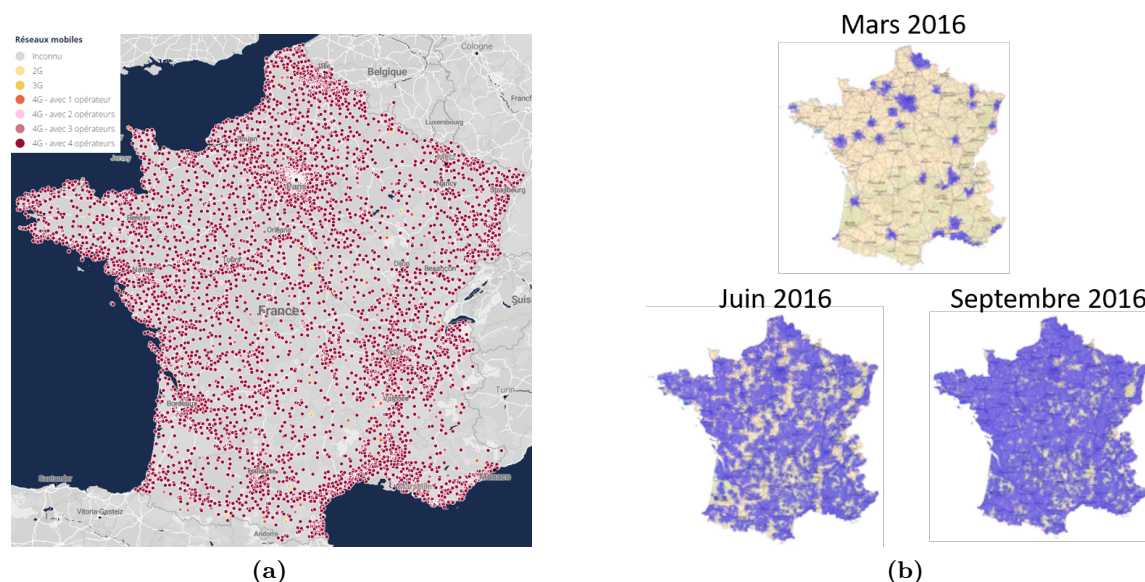


FIGURE 1.31 – (a) Couverture du réseau 4G en France en 2020 [Jaw20]. (b) Prévission du déploiement du réseau Lora Objenious au cours de l'année 2016 [Arn16].

Cependant, si ces réseaux proposent une très bonne disponibilité, ce sont des réseaux propriétaires : un abonnement est nécessaire pour pouvoir utiliser la 4G ou les réseaux LoraWan proposés par Orange ou Bouygues [Ora22] : à l'inverse du bluetooth ou du WiFi pouvant être utilisés en réseau local et en accès libre. Si un réseau tel que LoraWan, ZigBee, ou SigFox, est propriétaire, il est important cependant de distinguer leur utilisation ciblant les

objects embarqués et connectés, avec un protocole optimisé et privilégiant une consommation d'énergie moindre.

1.3.1.4 Conclusions sur les technologies de communication

Trois technologies distinctes de communication ont été décrites dans cette section : les communications filaires, optiques, sans-fil. Dans le cas d'applications nécessitant le transfert haute vitesse, la fibre optique apparaît être la plus adéquate pour ce besoin, car elle permet d'atteindre des vitesses de transfert bien au-delà de la dizaine de Gb/s. Cette technologie semble être la plus adaptée dans le cas de notre application, pour un transfert de données locales, point à point, entre divers systèmes d'acquisition générant un nombre important de données, vers une plateforme de centralisation et de traitement des données telles qu'une plateforme FPGA-SoC, sur une distance pouvant aller d'une centaine de mètres, jusqu'au kilomètre.

La connexion sans-fil quant à elle, présente un intérêt, dans le cas où l'ensemble du système (acquisition et plateforme FPGA) se trouve en site isolé (montagne, site en mer). Le système, grâce à la connexion sans-fil, par exemple WiFi, peut être rattaché à un réseau local sans connexion physique (filaire ou fibre optique) pour enfin transmettre les données allégées et traitées par la plateforme FPGA-SoC sur le réseau.

La complémentarité fibre optique et sans-fil est essentielle et contribue à apporter un aspect embarqué au système, tout en maintenant une grande performance de mesure et de traitement de données. En effet, cette dualité offre une grande souplesse dans la mise en oeuvre d'un système d'acquisition et de supervision, et une grande capacité de centralisation de données de mesures.

1.3.2 Gestion des données

La façon dont sont organisées les données générées par un simple capteur, ou par une centrale de mesure plus complexe, doit être précisément définie. Selon l'application, la quantité et le type de données peuvent varier et nécessiter un traitement différent. Dans notre cas, le développement d'un système d'acquisition de signaux haute fréquence présente deux applications possibles : la visualisation de signaux acquis en temps réel, sur une plage d'amplitude et de temps définie ; et la visualisation différée de données préalablement sauvegardées dans une base de données pour de plus amples analyses. Dans tous les scénarios envisagés, il sera toujours nécessaire d'un espace de stockage des données, et d'un logiciel de gestion des données.

1.3.2.1 Stockage des données

La structure en charge de stocker les données est un élément indispensable pour assurer la pérennité des données acquises par un système, sur de longues durées, comme sur de

courtes durées. Le stockage de données peut être effectué sur des périphériques, connectés à l'utilisateur soit en direct, soit par l'intermédiaire d'un réseau (voir Figure 1.32) [IBM22].

Le stockage en direct, consiste à disposer d'un système de stockage connecté directement à un ordinateur (par USB), uniquement accessible par le seul ordinateur relié au périphérique. Il peut être sous forme de disque dur (HDD pour Hard Disk Drive), ou de disque à mémoire flash (SSD pour Solid-State Drive). Ce type de stockage est nécessaire dans le cas d'un stockage local temporaire mais est limité en terme de partage.

Le stockage sur réseau, aussi appelé NAS (Network Attached Storage), est un espace de stockage disponible sur un réseau et accessible depuis plusieurs utilisateurs sur le même réseau. Un NAS est plus apte à sécuriser les données par la déportation physique du stockage de l'ordinateur local sur un autre site, et est ajusté au grands besoins de stockage. On parle également de SAN (Storage Area Network) pour représenter l'ensemble des systèmes connectés au réseau et apportant divers outils et fonctionnalités liés au stockage et à la gestion des données. Lorsqu'un système dispose de plus de fonctionnalités qu'un simple espace de stockage (logiciels, gestion des accès, sauvegarde et copie périodique des données) on parle de serveur.

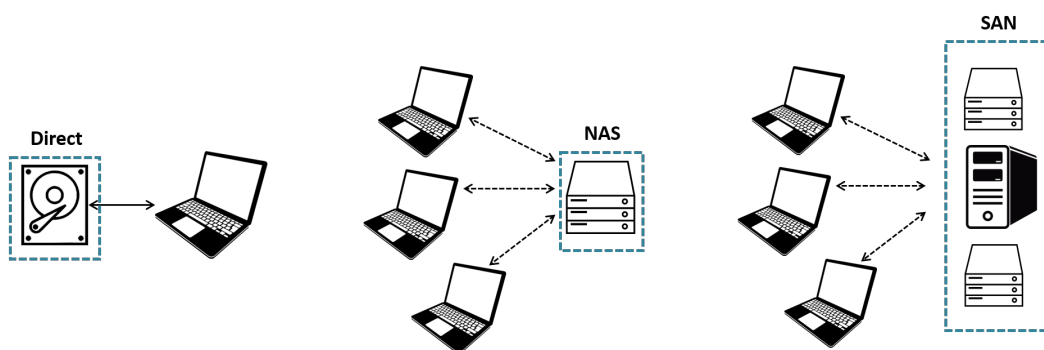


FIGURE 1.32 – Différentes architectures de stockage de données, de la plus simple à la plus complète.

Plusieurs technologies de stockage existent et présentent chacune leurs avantages :

- **Stockage HDD** : Le principe d'écriture ou de lecture de données sur un disque dur (ou HDD) est basé sur le mouvement mécanique d'un bras venant agir sur un disque en rotation (jusqu'à 15000 tours/min). Bien qu'optimisés technologiquement, leur vitesse de lecture/écriture reste limitée entre 80 et 160 Mb/s [Sto22].
- **Stockage SSD** : Basé sur une technologie de mémoire à semi-conducteurs (aussi appelée mémoire flash), le SSD ne présente pas de mécanisme en mouvement et est donc plus rapide qu'un disque dur classique (HDD), dont la vitesse de lecture/écriture peut atteindre les 550 Mb/s [Sto22]. Cette technologie est cependant plus chère pour de grand espaces de stockage.
- **Stockage hybride** : Souvent utilisé pour réduire le coût du déploiement d'un

système de stockage en mêlant SSD, pour les données souvent consultées / modifiées, et HDD pour les données sollicitées moins fréquemment.

- **Stockage virtuel** : Serveur déporté au lieu d'être local. Il peut être utilisé comme espace de stockage virtuel, dans le sens où il est mis à disposition par un fournisseur en ligne. Cet espace de stockage est hautement sécurisé physiquement, mais également virtuellement puisque le fournisseur s'occupe de l'administration et de la sécurité de l'infrastructure. Le Cloud peut être accédé par réseau public (Internet) ou privé dans le cas de données nécessitant une plus grande sécurité.

Si les entreprises possèdent leurs propres serveurs de stockage et de gestion de données sur réseau local privé, il peut être intéressant pour une même structure d'opter pour un stockage virtuel, éliminant les coûts de maintien et d'opération, et offrant une flexibilité si l'ajout de capacité de stockage supplémentaire est nécessaire.

1.3.2.2 Logiciels de gestion des données

Les systèmes de gestion de bases de données (SGBD) sont des logiciels permettant de faciliter la structuration et la gestion de multiples données sur un serveur. Les SGBD font le lien entre l'utilisateur (le client) et les données stockées sur le serveur (voir Figure 1.33 [Mul22]).



FIGURE 1.33 – Gestion d'une base de données entre client et serveur par SGBD.

Il existe deux catégories de logiciels SGBD : les relationnels, appelés SQL (Structured Query Language), et les non-relationnels appelés NoSQL.

Les logiciels se basant sur une structuration SQL regroupent les données en tableaux à deux dimensions (lignes et colonnes). Une nouvelle ligne correspond à une nouvelle donnée, dont des attributs lui sont associés à chaque colonne. Cette structuration est efficace pour la gestion de données riches en attributs et récurrentes, par exemple pour une base de données de comptes utilisateurs, ou la gestion d'un inventaire (voir Figure 1.34).

Une base de données SQL peut être facilement modifiée et gérée par un utilisateur sans avoir de connaissances en informatique. Les logiciels SGBD disposent d'un outil d'administration permettant de gérer la façon dont les données seront affichées pour chaque utilisateur. Selon l'utilisateur, le type et le nombre d'attributs accessibles en lecture ou écriture pour une donnée peut varier. Ces droits vont de pair avec la vue transmise à l'utilisateur, c'est à dire concrètement la page web qui s'affichera, et la façon dont les données sont représentées et utilisées. Par exemple, la personne chargée de la gestion d'un inventaire aura la possibilité de

Ligne	Identifiant	Type	Valeur	Format	Quantité
1	R104	Résistance	100 Ω	CMS_0402	1500
2	C223D5	Condensateur	2,2 μF	Alu_D5	1200
3	C176	Condensateur	100 nF	CMS_0603	850
4	L158	Inductance	10 μH	CMS_0805	900
...	

FIGURE 1.34 – Structuration d’une base de données SQL.

modifier la quantité, le prix, d’ajouter de nouveaux éléments à la base de donnée, alors que le compte d’un client n’aura que la vue permettant d’acheter différents objets de l’inventaire. De nombreux SGBD SQL gratuits très complets existent (Oracle, MySQL, PostgreSQL) alors que d’autres payants proposent des fonctionnalités additionnelles (analyse de données, statistiques,...) tels que Solarwinds, SQL Servers ou Oracla Database.

Les bases de données NoSQL sont destinées à la gestion de données en très grande quantité (initialement utilisées par les géants du web, les GAFa). Les données n’ont pas de relations entre elles (catégorisation par attributs similaires), et imposent un temps de traitement moins important qu’une base de donnée SQL. Chaque donnée est unique et n’est pas liée à une autre. Les données sont organisées en « clé-valeur », c’est à dire un numéro d’identifiant, et la valeur y correspondant. Une valeur peut être un simple mot, une image, ou un fichier contenant une liste de X échantillons en provenance d’une centrale de mesure. Les données étant parfaitement indépendantes, les bases de données NoSQL sont beaucoup plus évolutives que les SQL, notamment par l’ajout de capacités de stockage, sans avoir à se concentrer sur le maintien de la bonne concordance entre toutes les données à chaque modification. Néanmoins, et de par sa structuration, une base de données SQL plus rigide, sera toujours plus efficace et rapide dans le tri d’un grand nombre de données.

Dans le cas de notre application, définie en Section 1.5 , il n’y a pas réelles conséquences à choisir entre une base de données SQL ou NoSQL. Les limites d’une base de donnée SQL ou NoSQL, en espace de stockage et en rapidité, ne sont perçues qu’à très haut niveau de sollicitation (très grand nombre d’utilisateurs, ou de types de données). Le stockage de données de mesures en provenance d’un système d’acquisition, aussi performant soit-il, ne consiste finalement qu’au stockage de fichiers de X acquisitions sur une seule colonne. Généralement, la base de données SQL est malgré tout privilégiée car elle est suffisamment performante pour un grand nombre d’applications et propose une gestion des données organisée et standard.

1.3.2.3 Bases de données Streaming

Si les bases de données classiques (SQL, NoSQL) sont intuitives et assimilables à un simple espace de stockage, leur gestion et leur administration peuvent se trouver loin d'être optimales pour des applications temps réel. En effet, les bases de données utilisées communément sont mises à jour manuellement par un administrateur, ou peuvent être envoyées automatiquement et périodiquement par paquets (batch) depuis un autre système. Le streaming quant à lui (voir Figure 1.35), consiste à l'envoi continu de données en plus faible quantité, mais sur de plus petits intervalles [Tat10]. De cette manière, les données reçues peuvent être traitées selon l'application souhaitée en un temps beaucoup plus faible (inférieur à la seconde, jusqu'à la milliseconde selon la complexité du traitement).

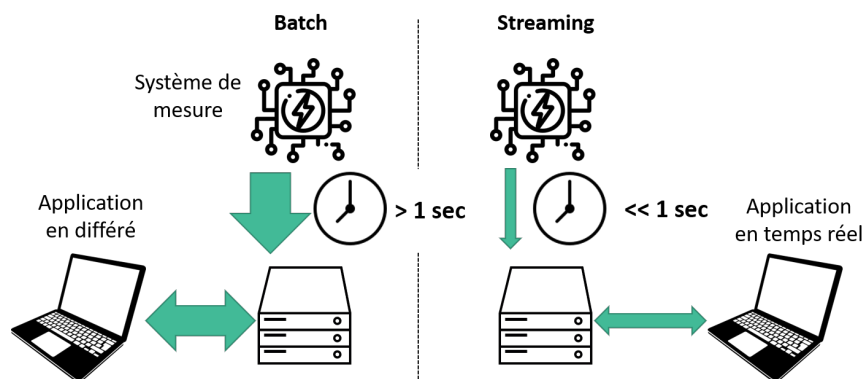


FIGURE 1.35 – Différences entre une base de donnée avec un traitement de type batch, et de type streaming.

De manière générale, les outils permettant l'exploitation des données sont multiples et adaptés à tous type d'application. Une application en temps réel, c'est à dire la visualisation d'un ensemble de données dans le temps à la manière d'un oscilloscope, verra ses performances dépendant du nombre de points affichés sur une courbe et de la fréquence de rafraichissement des données. Ces exigences sont limitées par les performances de l'ensemble de la chaîne de transfert de données, du stockage local du système embarqué (plateforme FPGA-SoC), jusqu'à l'écran de l'utilisateur connecté au même réseau. La vitesse de transmission dépendra de la technologie de communication utilisée pour établir le transfert (voir Section 1.3.1.3 sur les connexions sans fil), et l'affichage des données dépendra des performances du système de gestion des données.

1.4 Milieux perturbés et aspects CEM

Cette section introduit les notions d'interférences électromagnétiques (IEM), observables dans de nombreux environnements et pouvant remettre en cause l'intégrité de la mission ou le fonctionnement d'un système électronique. Dans notre cas de figure, un système d'acquisition travaillant avec des signaux haute fréquence et de faibles niveaux de tension présente une grande vulnérabilité. Ces perturbations EM peuvent provenir de sources variées,

de manière volontaire ou non, et interagissent différemment avec le système victime selon les caractéristiques de la source. Dans ce cadre, le concept de compatibilité électromagnétique (CEM) est abordé, et diverses méthodes d'amélioration de l'immunité EM des systèmes exposés sont présentées.

1.4.1 Interférences électromagnétiques

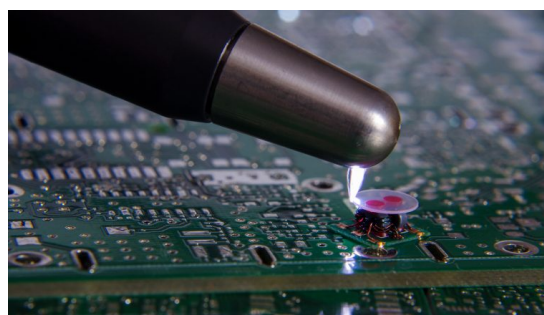
1.4.1.1 Sources de perturbations électromagnétiques

Les perturbations électromagnétiques peuvent provenir de multiples sources. Il existe trois catégories décrivant l'origine de ces perturbations [KKM11] :

- **Naturelles** : l'environnement extérieur peut être contraignant pour les systèmes électroniques. L'exemple le plus parlant est la foudre, mais les phénomènes de décharge électrostatique entre un humain et le système, ou encore les éruptions solaires sont également des sources potentielles d'interférences EM.



(a)



(b)

FIGURE 1.36 – (a) Impact de foudre. (b) Décharge électrostatique.

- **Non-intentionnelles** : Les systèmes électroniques peuvent comporter un nombre important de sources IEM non désirées, apparaissant lors de la commutation rapide d'interrupteurs à état solide (transistors, CMOS, MOSFET). Ces commutations chargent et déchargent les circuits impliqués et génèrent des courants et tensions transitoires, pouvant affecter le comportement normal de composants à proximité.
- **Intentionnelles** : les interférences électromagnétiques intentionnelles (IEMI) nécessitent une source de puissance rayonnante et générant un champ EM dans le but de perturber le fonctionnement d'un système, de le rendre inapte, voire de le détruire. Ces IEMI sont particulièrement menaçantes alors que l'électronique est omniprésente dans diverses applications potentiellement sensibles, telles que la médecine, la défense, le contrôle aérien, etc...

1.4.1.2 Classification des IEM

Il existe plusieurs façons de classifier les IEM. Hormis la catégorisation par type de source, les IEM peuvent être reconnues selon leur bande fréquentielle (voir Figure 1.37) [GT04].

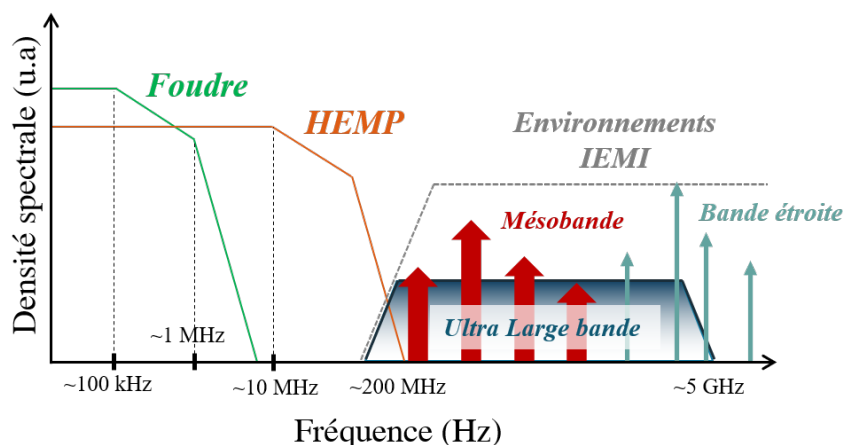


FIGURE 1.37 – Classification des IEM par bande de fréquence [GT04].

On remarque en Figure 1.37 que la foudre possède une bande de fréquence relativement basse s'arrêtant autour de 1 MHz, mais de forte puissance. Les HEMP (de l'anglais High altitude ElectroMagnetic Pulse) est un domaine particulier des environnements IEM et correspond aux armes de grande envergures (arme atomique) pouvant générer des IEMN (Interférences Electromagnétique Nucléaires). La bande de fréquence regroupant la majorité des IEM les plus susceptibles d'interférer avec les systèmes électroniques est comprise entre 200 MHz et 5 GHz, et est la bande des environnements IEMI. Si cette bande est normée et fait référence aux agressions intentionnelles, il est intéressant de la considérer également dans le cas d'agressions accidentelles, provoquées par le bruit de commutation de composants électroniques de haute performance souvent compris dans cette bande.

Les IEMI peuvent être classées par leur largeur de bande fréquentielle, on y retrouve :

- Les ultra Grandes Bandes (ULB)
- Les Mésobandes (MB)
- Les Bandes Étroites (BE)

Ces bandes sont qualifiées selon un critère faisant référence à leur largeur de bande, le rapport de bande br exprimé :

$$br = \frac{f_h}{f_l} \tag{1.13}$$

Avec f_h la fréquence de coupure haute et f_l la fréquence de coupure basse du signal. Les trois familles de bande ULB, MB et BE, présentées en Tableau 1.6, sont caractérisées selon

leur rapport de bande [GT04] :

Type de bande	rapport de bande br
Ultra Large Bande	$3 \leq br$
Mésobande	$1,01 \leq br < 3$
Bande Étroite	$br < 1,01$

TABLE 1.6 – Classification des IEMI selon la largeur de bande.

Le rapport de bande implique également un comportement différent de propagation. Les signaux BE, de part leur fréquence centrale plus élevée et leur densité spectrale concentrée sur une bande fréquentielle beaucoup plus fine, ont une portée plus grande que leurs homologues de plus grande bande.

La bande de fréquence des IEMI comprise entre 200 MHz et 5 GHz est suffisamment étendue pour interférer avec une grande gamme de systèmes et de composants électroniques. En effet, une relation appelée couplage EM, entre la source d’agression et le système subissant le rayonnement, permet de caractériser le niveau de perturbation ressenti.

1.4.2 Caractérisation des couplages

Le couplage EM définit la conversion d’une perturbation électrique extérieure, en une perturbation électrique interne au système victime. Il existe deux modes de couplage, ou de transmission (voir Figure 1.38) [WZ77] :

- Couplage par mode conduit
- Couplage par mode rayonné

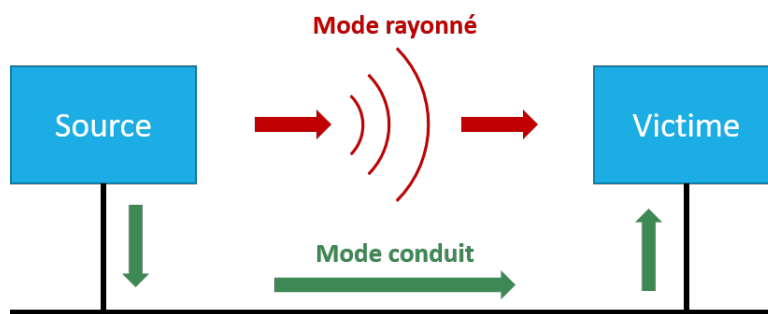


FIGURE 1.38 – Modes de couplages entre une source et une victime.

Le couplage de mode conduit est un phénomène courant et implique un conducteur commun entre deux systèmes (source - victime). Le cas le plus explicite est la référence de masse ; tous les éléments d’un circuits finissent par être reliés à la même référence de masse 0V. Lorsque celle-ci est perturbée par un élément externe ou interne au système, tous

les composants verront leur référence affectée et donc leur fonctionnement potentiellement perturbé.

La principale cause de perturbations induites par mode conduit est liée à l'impédance commune entre les deux circuits (voir Figure 1.39).

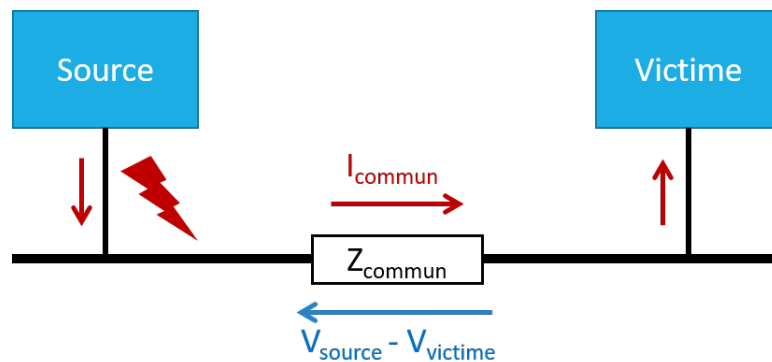


FIGURE 1.39 – Couplage par impédance commune.

Lorsqu'une tension non désirée est appliquée à une extrémité du conducteur, l'impédance impose une différence de potentiel et génère un courant. Si un courant perturbé déjà le conducteur lui-même, l'inductance parasite de l'impédance rayonne un champ magnétique, menant à des perturbations subséquentes.

Les couplages de mode rayonné sont multiples. Premièrement, on reconnaît trois types de couplage liés aux grandeurs internes d'un système à considérer lors de son développement, illustrés en Figure 1.40.

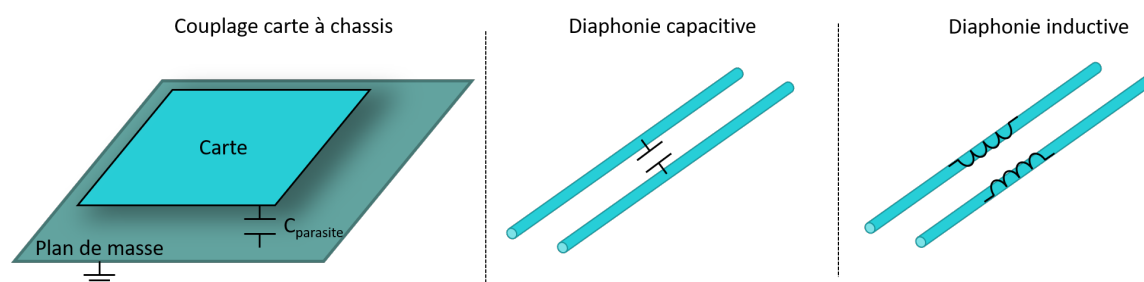


FIGURE 1.40 – Couplages de mode rayonné sur dans un système électrique.

Le couplage carte à châssis représente les courants de déplacement induits par la capacité parasite apparaissant entre une carte électronique et un boîtier métallique, ou au sein même de la carte entre ses conducteurs et les plans de masse. Cette capacité est aussi présente entre deux conducteurs suffisamment proches, on parle alors de diaphonie capacitive. De la même manière, l'inductance parasite mutuelle entre deux conducteurs peut induire un courant non désiré.

Les solutions suivantes permettent de minimiser ces modes de couplage :

- Réduire / éloigner la source de perturbation si connue
- Réduire la capacité et l'inductance mutuelle en éloignant les pistes d'un circuit
- Pour les connexions filaires, utiliser des câbles coaxiaux
- Découpler les alimentations par capacité de découplage pour filtrer les perturbations haute fréquence

Le couplage rayonné peut faire intervenir également des perturbations externes au système. Dans ce cas là, deux modes de couplage existent, illustrés en Figure 1.41.

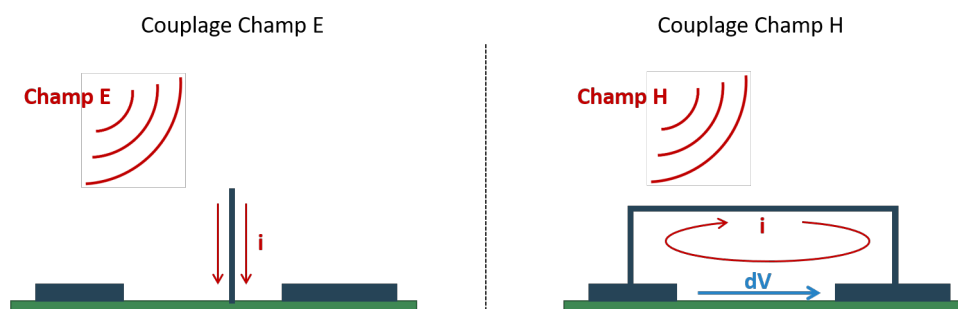


FIGURE 1.41 – Modes de couplages rayonnés en champ E et en champ H.

Le couplage champ E se traduit par l'effet d'antenne d'un conducteur (câble ou piste) isolé dont la longueur est proche, ou accordée à un quart de la longueur d'onde λ du champ E. Il est nécessaire de contrôler les effets d'antennes dans un système et de les minimiser si possible. Pour les câbles les solutions suivantes sont recommandées :

- blindage par film, écran métallique efficace en haute et basse fréquence
- Utilisation de câbles coaxiaux
- Rapprocher les câbles d'un plan de masse pour diminuer l'effet d'antenne

Le couplage champ H quant à lui implique tout système comportant des boucles de conducteurs de différente impédance, entre câbles, pistes, plans de masse ou plans de puissance. Ces boucles de surface S sont liées à la capacité à capturer un certain flux dû à la variation du champ magnétique environnant. La tension induite par ce flux dans la boucle est exprimée :

$$u(t) = S\mu_0 \frac{H(t)}{dt} \quad (1.14)$$

Avec $u(t)$ la tension induite, S la surface équivalente de la boucle, et $H(t)$ le champ magnétique. Les solutions permettant la réduction de ce couplage sont les suivantes :

- Réduction de la surface équivalente de la boucle
- Utilisation de ferrites sur les câbles, à proximité de la connexion
- Blindage haute fréquence similaire au blindage du champ électrique (écran métallique simple)

1.4.3 CEM des systèmes électroniques

La compatibilité électromagnétique (CEM) d'un système est définie par l'aptitude d'un système à fonctionner de façon satisfaisante dans son environnement sans introduire de perturbations électromagnétiques intolérables pour quoi que ce soit dans cet environnement [Pau06]. Elle se caractérise donc par deux niveaux, appelés seuil d'immunité (système en tant que victime) et seuil d'émission (système en tant que source), représentés en Figure 1.42.

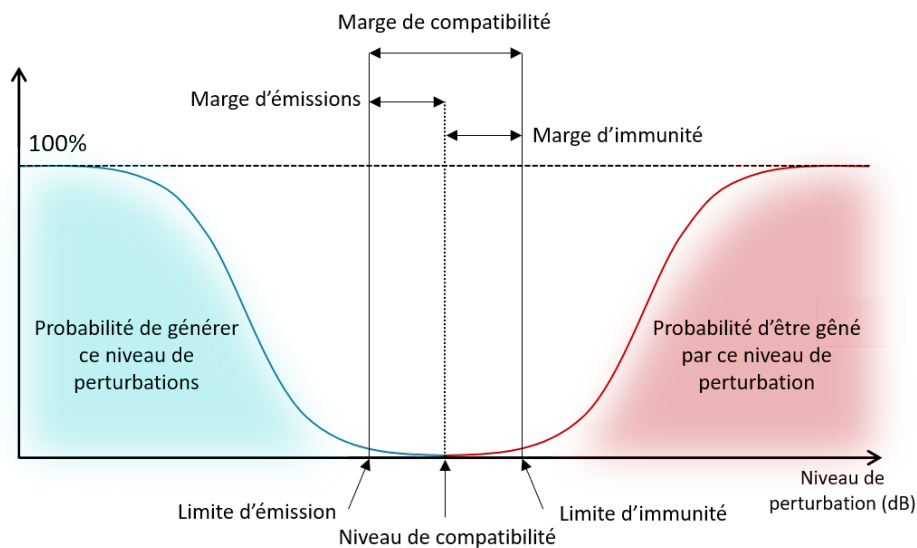


FIGURE 1.42 – Diagramme représentatif des marges CEM d'un système par rapport à la probabilité de réalisation des événements.

La CEM établit le niveau de perturbations qu'un système peut émettre, par rapport au seuil maximal d'émissions autorisé ; et le niveau de sensibilité d'un système par rapport au seuil minimal accordé. La marge d'immunité représente donc la différence de niveaux entre l'émission et l'immunité d'un système. Plus cette marge est grande, plus le système est dit compatible. Cependant, une marge minimale de compatibilité est requise pour qu'un produit soit commercialisé / validé puisque tout système électronique est soumis aux normes fondamentale du CEI (Comité Électrotechnique International), notamment la NF EN CEI 61000 en France [Wik18]. Ces normes ont pour but d'anticiper et d'harmoniser la cohabitation de systèmes électroniques de plus en plus présents.

1.4.4 Amélioration de l'immunité électromagnétique

Certains systèmes sont amenés à travailler dans un environnement à forte perturbation électromagnétique. Il est nécessaire, dans le but d'assurer leur fonctionnalités, d'optimiser ou de renforcer l'immunité électromagnétique du système. Il existe alors deux méthodes [Cha07] :

- Par blindages (mode rayonné)
- Par filtrages et protections (mode conduit)

1.4.4.1 Blindage électromagnétique

Le blindage électromagnétique est l'approche la plus classique lors d'une confrontation à de fortes perturbations électromagnétiques externes. Il consiste à isoler un environnement interne préservé d'un environnement externe où subsistent des interférences électromagnétiques. L'isolement EM du système est apporté par l'ajout d'un écran métallique entre les deux environnements, on parle de faradisation (voir Figure 1.43).

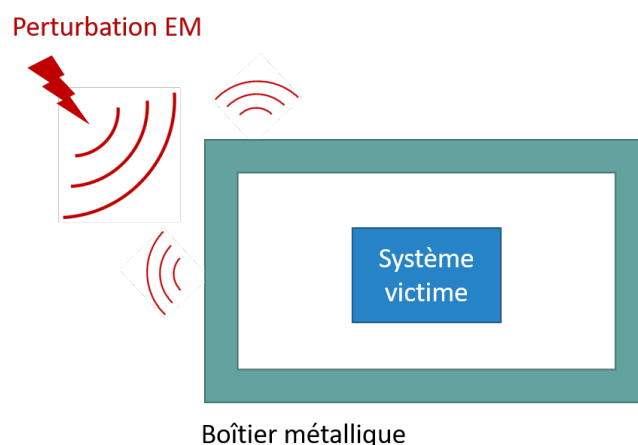


FIGURE 1.43 – Faradisation d'un système dans un environnement à perturbation EM.

L'efficacité d'un blindage EM peut être mesurée comparant la valeur du champ E ou H au niveau du système obtenue sans boîtier de blindage, puis avec boîtier. Le rapport entre les deux valeurs de champs est exprimé en décibels [Cha07] :

$$EB = 20 \log \left(\frac{\text{Champ mesuré sans blindage}}{\text{Champ mesuré avec blindage}} \right) \quad (1.15)$$

Les mécanismes de blindage dépendent grandement du type de source et sont décrits ultérieurement en Chapitre 3. Le blindage est une solution généralement adoptée dans les domaines de l'industrie, du médical, de l'informatique, ou du civil, puisque ces solutions sont souvent simples à mettre en place et efficaces pour la plupart des perturbations. L'efficacité d'un blindage n'est pas à débattre : un boîtier d'épaisseur de 1 mm est largement suffisant pour imposer une atténuation de façon significative du champ E ou H. Les propriétés intrinsèques d'un boîtier métallique ne font généralement pas défaut sur l'immunité d'un système ; ce sont plutôt les ouvertures et interstices apparents qui seront responsables de la diminution de l'efficacité de blindage, notamment à haute fréquence (voir Section 1.4.4.2). Une subtilité est à noter pour le champ H basse fréquence, qui ne repose pas sur les mécanismes de blindage classiques : un boîtier métallique en aluminium de faible perméabilité magnétique

relative ($\mu_r \approx 1$) apparaîtra transparent face à un champ H basse fréquence. Il est nécessaire dans ce scénario d'utiliser des matériaux ferromagnétiques ($\mu_r \gg 1$) tels que la ferrite ou le fer permettant l'absorption et la redirection du flux magnétique à travers leur géométrie [KMK11].

En supposant des agressions de type IEMI de bande de fréquence allant de 200 MHz à 5 GHz, le champ magnétique est considéré comme haute fréquence. Le blindage est donc efficace pour la plupart des types d'application. Cependant, certaines applications ne peuvent pas permettre l'ajout d'un boîtier métallique dont le poids est non négligeable, pour leur offrir une immunité électromagnétique. L'étude de blindages multicouches présentée en Chapitre 3 apporte une contribution intéressante dans cette problématique. Elle démontre une efficacité de blindage suffisante pour immuniser un système au moyen d'écrans ultra fins (dizaine de micromètres) optimisés grâce à un agencement particulier de couches aux différentes propriétés électromagnétiques, notamment par l'alternance de couches conductrices et de couches isolantes.

1.4.4.2 Techniques d'optimisation des blindages boîtiers

Comme illustré en Figure 1.44, un boîtier présente irrémédiablement des ouvertures laissant passer des connexions nécessaires au fonctionnement du système (signaux d'entrées / sorties, alimentation, fentes et pas de vis du boîtier). L'atténuation théorique d'un boîtier de blindage de plusieurs centaines de décibels n'est pas celle de la réalité, et culmine en général autour de 60 dB à 80 dB pour les bons boîtiers.

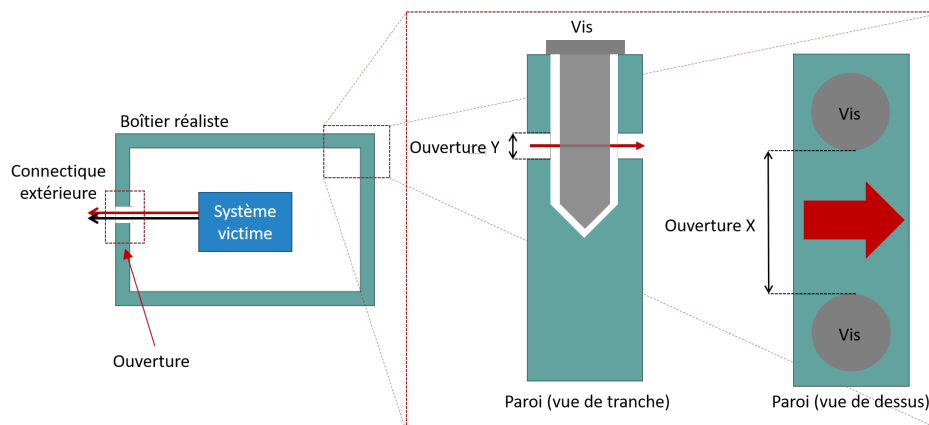


FIGURE 1.44 – Représentation réaliste d'un boîtier de blindage avec ses ouvertures et ses fentes.

Diverses techniques permettent d'optimiser et de minimiser le passage des interférences EM à travers les ouvertures [Ott11] :

- Passe-câble métallique et blindage
- Câble coaxiaux reliés à la masse du boîtier
- Augmentation du nombre de vis / réduction de l'espace entre les vis

- Chicanes au niveaux des jointures du boîtier pour une meilleure fermeture
- Joints souples aux propriétés d'absorption EM.

1.4.4.3 Filtrages et protections électriques

Les interférences résiduelles doivent être également considérées. Ces perturbations passées outre le blindage via les ouvertures finissent par se coupler aux conducteurs pour devenir des perturbations de mode conduit. Dès lors, il s'agit de filtrer les tensions et courants induits dans le système. Typiquement, lorsque les perturbations sont à risque, il convient de protéger les systèmes, et notamment leurs alimentations, contre les surtensions. Trois principales technologies de protection contre les surtensions existent :

- **Les varistances** : résistances dont la valeur initialement très grande, peut chuter à une valeur proche de zéro lorsque la tension à ses bornes dépasse un certain seuil. Un court-circuit est alors imposé, permettant la chute de la tension ; un fusible en amont est nécessaire. Leur temps de réponse est entre la dizaine et centaine de nanosecondes [ASAE04].
- **Les diodes Transil** : diodes zener optimisées pour un temps de réponse rapide (quelques nanosecondes, voire centaines de picosecondes). Elles deviennent passantes au-delà d'un certain seuil et provoquent un court-circuit, de la même manière qu'une varistance. Leur temps de réaction plus faible contraint à une énergie absorbée plus faible [BCC⁺14].
- **Les éclateurs** : Commutateur mécanique constitué de deux électrodes entre l'alimentation et la masse. Lorsque la tension à ses bornes dépasse la tension disruptive de l'isolant entre les deux électrodes espacées d'une certaine distance, le commutateur agit comme un court-circuit. Son temps de réponse lent (dizaine de microsecondes) offre en contre partie une grande capacité d'absorption d'énergie [Sta89].

Pour assurer une alimentation stable et non perturbée par des agressions de plus faible énergie (bruit), des filtres passe-bas placés au plus proche de la sortie d'alimentation permettent de filtrer les parasites haute fréquence, notamment via des condensateurs de découplage. Ces condensateurs sont utilisés pour le filtrage des IEM, mais également de diverses sources de bruit, telles qu'en provenance d'alimentations à découpage ou de commutations diverses, de redresseurs (voir Figure 1.45) [Elp22a].

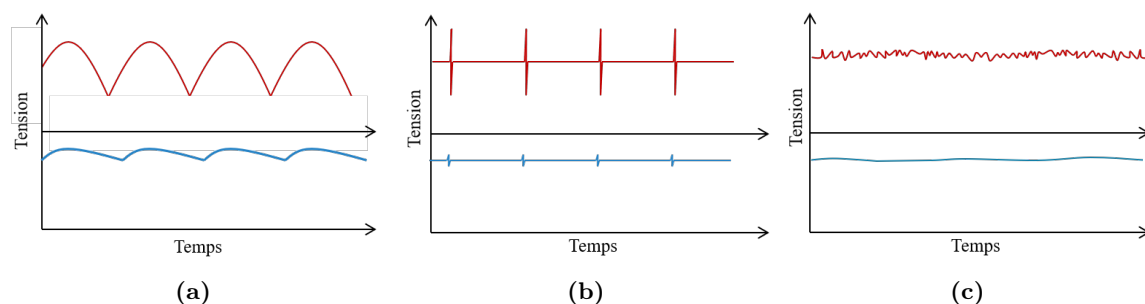


FIGURE 1.45 – (a) Tension en sortie d’un redresseur brute (rouge) et filtrée (bleu) . (b) Tension perturbée par des commutations rapides brute. Bruit parasite haute fréquence sur une tension d’alimentation.

Différents types de condensateurs existent et peuvent être adaptés à une application particulière. Les condensateurs de filtrage peuvent être regroupés en trois catégories : les chimiques (aussi appelées Aluminium), les MLCC (MultiLayer Ceramic Capacitor) et les Tantale, dont les performances sont décrites en Tableau 1.7 [Elp22b].

Type de condensateur	Plage de fréquence	Taille	Prix
Aluminium	< 1 MHz	5 mm	Moyen
MLCC	10 MHz - 1 GHz	≤ 1 mm	Faible
Tantale	< 100 MHz	≤ 1 mm	Elevé

TABLE 1.7 – Comparaison des différents types de condensateurs de filtrage.

Les condensateurs Aluminium en Tantalum sont adaptés à un filtrage plutôt basse fréquence (filtrage redresseur), sachant que la technologie Tantalum offre les mêmes performances pour un volume réduit, mais un coût plus élevé. Les condensateurs Tantalum sont également polyvalents et peuvent monter à plus haute fréquence de par leur volume réduit. Le volume joue un rôle important à de très hautes fréquences (> 10 MHz) puisqu’il y impose une inductance et une résistance série parasites appelées ESR et ESL. Plus le volume est important, plus ces éléments auront une valeur grande. Les MLCC sont la technologie la plus utilisée pour les très hautes fréquences puisqu’elles peuvent descendre à des valeurs très basses, de l’ordre du picoFarad. En général, un filtrage est effectué avec la contribution de plusieurs technologies de condensateurs en parallèles et de valeur différentes (voir Figure 1.46). Cette méthode permet d’accumuler les performances de chaque condensateur, et de compenser les inductances et résistances série parasites [Web18].

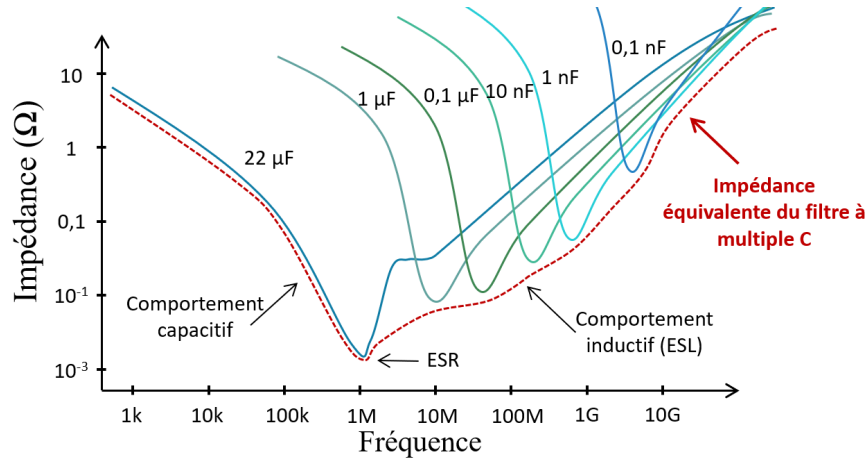


FIGURE 1.46 – Amélioration de l'impédance équivalente d'un filtre passe-bas avec l'ajout de condensateurs en parallèle.

1.5 Système développé et objectifs visés

L'idée de la conception d'un système d'acquisition embarqué et basé sur la technologie FPGA-SoC a émergée d'une précédente thèse réalisée par Jean-Marie Larbaig [Lar21], et concentrée sur l'étude des contraintes électromagnétiques de commutateurs MOSFET SiC (Carbure de Silicium). Dans le cas d'application du pilotage d'un moteur triphasé par MLI, un banc d'essai initialement contrôlé par microcontrôleur (μC) avec la disposition d'une IHM a été développé. Des limitations sont apparues, notamment avec l'ajout de voies d'acquisitions à une seule et même plateforme μC et ses limitations pour associer et traiter un nombre conséquent de fonctions rapidement. La technologie FPGA-SoC s'est trouvée être une alternative présentant un nombre considérable d'avantages par rapport à un microcontrôleur, notamment sa grande capacité de stockage mémoire, ses multiples opérations en parallèle et contrôlées en temps réel, un nombre de voies d'entrée ou sortie souvent élevé, ou encore sa modularité. L'utilisation de cette technologie a donc permis l'intégration d'une composante d'acquisition avec le déploiement d'une solution de conversion analogique-numérique au système de pilotage, accordant la possibilité de mesurer les signaux en s'affranchissant de l'utilisation de sondes commerciales et d'équipements de visualisation tels qu'un oscilloscope. Les sondes développées dans le cadre de la thèse de J.M Larbaig sont des boucles à champ magnétique et sont directement conçues sur la carte PCB par le tracé d'une piste de cuivre selon une géométrie circulaire de sonde, et ce, à proximité du signal mesuré : notamment au niveau du circuit de puissance pilotant les bobinages du moteur (voir Figure 1.47).

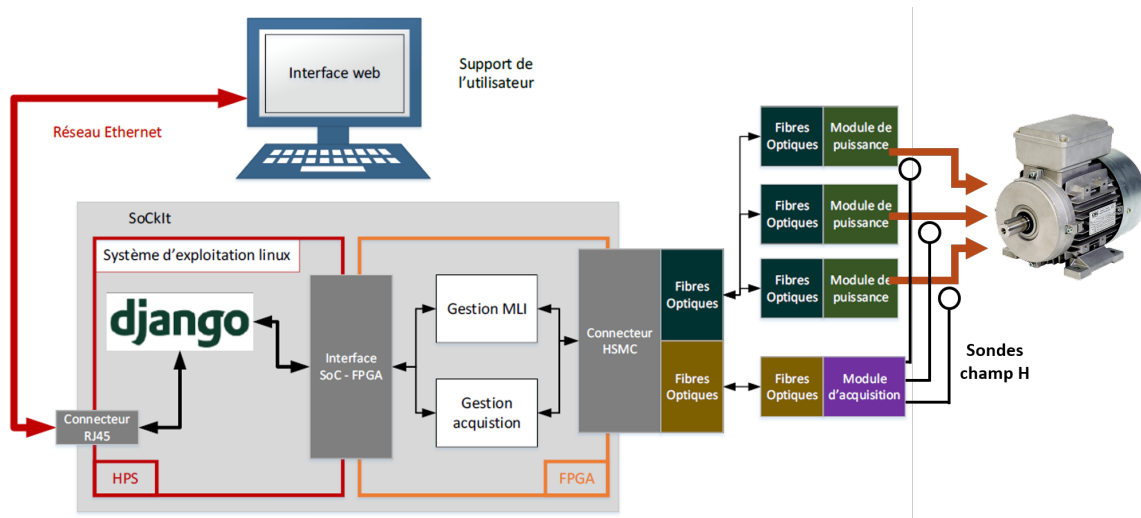


FIGURE 1.47 – Schéma de principe du système de pilotage d'un moteur triphasé par MLI contrôlé par une plateforme FPGA-SoC avec une acquisition embarquée [Lar21].

De plus, la plateforme du FPGA-SoC permet le stockage local ainsi que l'exportation des données vers une interface utilisateur modulable. Dans la thèse précédente, l'interface a été développée au moyens du framework open source Django [Man22], qui est un outil de développement d'interfaces web permettant la gestion de bases données SQL et la personnalisation de l'interface par l'utilisateur. L'ajout de la communication par fibre optique permet d'obtenir une isolation galvanique entre la plateforme FPGA-SoC, et les sources de perturbations EM que sont les MOSFETs et le circuit de puissance du moteur. Outre l'immunité EM des signaux d'acquisitions lors de leur transfert via la fibre optique, la technologie permet de déporter la plateforme FPGA-SoC sur de longues distances (de la centaine de mètres, au kilomètre), soit hors de la zone de perturbation EM.

Les travaux de la thèse de J.M Larbaig ont donc contribué à corroborer l'intérêt de la technologie FPGA-SoC dans la conception d'un système d'acquisition haute vitesse embarqué pouvant prendre en charge plusieurs voies d'acquisition ou de contrôle en parallèle. C'est à partir de cette philosophie qu'est née l'idée d'un système embarqué dédié à l'acquisition de signaux haute fréquence et adapté aux milieux à forte perturbation EM (applications où les tensions et courants transitoires peuvent mettre en danger la fiabilité du système de mesure). Ce système se présente sous la forme conceptuelle d'une solution matérielle générique, présenté en Figure 1.48.

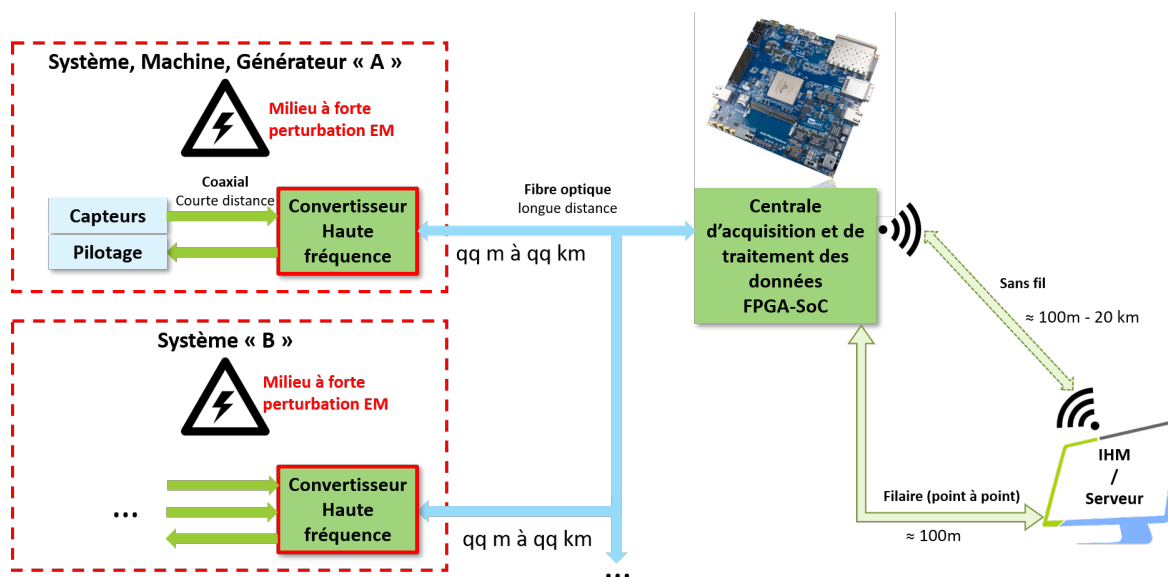


FIGURE 1.48 – Schéma de principe du système d’acquisition embarqué illustrant les différents étages de conversion.

Cet agencement permet à l’utilisateur de disposer pleinement des fonctionnalités et performances proposées par une plateforme FPGA-SoC.

Premièrement, son intérêt se retrouve dans le cas d’une application nécessitant la lecture et le contrôle de signaux en temps réel :

- Acquisition à haute fréquence d’échantillonnage (~ 100 Méch/s – ~ 1 Géch/s)
- Traitement numérique par FPGA du signal de quelques cycles d’horloge : délai de réponse du système extrêmement faible, autour de quelques nanosecondes ou dizaines de nanosecondes maximum (dépend de la fréquence d’horloge).
- Traitement parallélisé sur de multiples voies : le nombre de voies n’affecte pas le temps de traitement total du FPGA.
- Contrôle temporel des signaux logiques de retours synchronisés à une même horloge à faible jitter (< 1 ns).

Deuxièmement, la capacité à opérer un nombre important de fonctions complexes en milieu perturbé EM est assurée par l’optimisation de l’immunité globale du système via :

- L’élimination des couplages induits par un câble conducteur entre la plateforme FPGA-SoC et la carte de conversion haute vitesse opérant en milieu perturbé EM.
- L’étude et l’optimisation du blindage de la carte de conversion fortement perturbée.
- Un protocole de sérialisation permettant le transfert de données à haute vitesse sur un nombre de voies réduit et simplifié.

Deux aspects fondamentaux du système d’acquisition envisagé ont été étudiés exhaustivement et sont présentés dans cette thèse. Tout d’abord, après avoir repris plus en détail les

spécifications du système d'acquisition visé, le Chapitre 2 décrit le développement en partenariat avec le CEA Cesta, d'un système de surveillance de signaux basé sur la technologie FPGA-SoC permettant de qualifier les performances de cette technologie. La troisième section du chapitre 2 est ensuite axée sur le développement de la carte de conversion analogique-numérique haute fréquence (située à gauche en Figure 1.48). Les méthodes de conception de PCB haute vitesse y sont étudiées et appliquées. Ainsi, plusieurs modèles numériques développés à l'aide de différents modules du logiciel de simulation électromagnétique *CST Studio Suite* nous ont aidé à valider l'intégrité des signaux de transmission de données haute fréquence selon différentes approches pour aboutir à une conception fiable. Les confrontations des résultats de simulations aux résultats expérimentaux, en accord avec la théorie, sont discutées.

Dans le chapitre 3, l'aspect immunité EM des systèmes électroniques devant opérer dans des milieux à forte perturbation EM est abordé. Plus spécifiquement, une géométrie de blindage compacte des systèmes : les blindages multicouches, optimisant le rapport entre l'efficacité et l'encombrement/la masse de boîtiers ou d'écrans de blindages à partir de matériaux ultra-fins et légers est étudiée. Les intérêts de cette solution sont quantifiés et analysés numériquement selon de nombreux paramètres dimensionnels et qualitatifs. Également, l'établissement d'un modèle numérique 3D réalisé sur *CST Microwave Studio* démontre la possibilité d'intégrer à la fois les sources d'agressions de type IEMI, et les systèmes électroniques « victimes » dotés des blindages étudiés, en vue d'estimer leur immunité. Ces deux éléments : la fiabilité de la conception de PCB haute vitesse, et l'immunité EM de ces derniers, sont décisifs dans la qualité de mesure et dans l'objectif d'assurer les pleines fonctionnalités attendues en aval d'un système d'acquisition embarqué aux performances élevées.

Bibliographie

- [adc21] History of analog-to-digital converters (adcs). <https://dewesoft.com/daq/history-of-analog-to-digital-converters>, 27 Septembre 2021.
- [ala19] alamyimages. Effet seebeck par le dessin de lignes anciennes ou l'illustration de gravure. <https://www.alamyimages.fr/ce-diagramme-represente-l-effet-seebeck-le-dessin-de-lignes-anciennes-ou-l-illustration-de-gravure-image348634407.html>, 2019.
- [Ana22] Cadence System Analysis. Amplitude modulation vs. frequency modulation for communication. <https://resources.system-analysis.cadence.com/blog/msa2021-amplitude-modulation-vs-frequency-modulation-for-communication>, Consulté : Aout 2022.
- [Arn16] Sylvain Arnulf. Quel avenir pour objenious, la start-up internet des objets de bouygues télécom? <https://www.usine-digitale.fr/article/quel-avenir-pour-objenious-la-start-up-internet-des-objets-de-bouygues-telecom.N377192>, 2 février 2016.
- [ASAE04] M Abdel-Salam, Nabil A Ahmed, and Ibrahim S Elhamd. Varistor as a surge protection device for electronic equipments. In *2004 IEEE International Conference on Industrial Technology, 2004. IEEE ICIT'04.*, volume 2, pages 688–694. IEEE, 2004.
- [BCC⁺14] Daoheung Bouangeune, Sang-Sig Choi, Chel-Jong Choi, Deok-Ho Cho, and Kyu-Hwan Shim. Bidirectional transient voltage suppression diodes for the protection of high speed data line from electrostatic discharge shocks. *JSTS : Journal of Semiconductor Technology and Science*, 14(1) :1–7, 2014.
- [BL86] Marco Bellia and Giorgio Levi. The relation between logic and functional languages : a survey. *The Journal of Logic Programming*, 3(3) :217–236, 1986.
- [BP05] Steven F Barrett and Daniel J Pack. Microcontrollers fundamentals for engineers and scientists. *Synthesis lectures on digital circuits and systems*, 1(1) :1–124, 2005.
- [Bra99] Ronald N Bracewell. *Fourier Transform and Its Applications*. McGraw Hill Higher Education, Maidenhead, England, 3 edition, November 1999.
- [CEA22] CEA. Le programme franco-britannique teutates. <http://www-teutates.cea.fr/installation-epure.html>, Consulté : 15 Juin 2022.
- [Cha07] Alain Charoy. *CEM : parasites et perturbations des electroniques. regles et conseils d'installation*, pages 5–15. Dunod, Paris, 2007.

- [Com20] European Commission. Fibre is the most energy efficient broadband technology, 24 Novembre 2020.
- [DBCR⁺19] Can Dincer, Richard Bruch, Estefanía Costa-Rama, Maria Teresa Fernández-Abedul, Arben Merkoçi, Andreas Manz, Gerald Anton Urban, and Firat Güder. Disposable sensors in diagnostics, food, and environmental monitoring. *Advanced Materials*, 31(30) :1806739, 2019.
- [Elp22a] Elprocus. What is decoupling capacitor and its working. <https://www.elprocus.com/what-is-decoupling-capacitor-and-its-working/>, Consulté : Février 2022.
- [Elp22b] Elprocus. What is decoupling capacitor and its working. <https://www.elprocus.com/capacitors-types-applications/>, Consulté : Février 2022.
- [GS12] Arun Gangwar and Bhawana Sharma. Optical fiber : the new era of high speed communication (technology, advantages and future aspects). *International Journal of Engineering Research and Development*, 4(2) :19–23, 2012.
- [GT04] DV Giri and FM Tesche. Classification of intentional electromagnetic environments (ieme). *IEEE Transactions on Electromagnetic compatibility*, 46(3) :322–328, 2004.
- [Gur76] Aleksandr V Gurevich. Nonlinear phenomena in the ionosphere. *Radiophysics and Quantum Electronics*, 19(6) :595–597, 1976.
- [GW07] Gunther Gridling and Bettina Weiss. Introduction to microcontrollers. *Vienna University of Technology Institute of Computer Engineering Embedded Computing Systems Group*, 2007.
- [Hul14] Robert Hult. Ethernet evolution : To 100 gb/s and beyond. <https://connectorsupplier.com/071712-ethernet-evolution-100gbs-hult/>, 13 Juillet 2014.
- [HZQ⁺19] Liyang Huang, Qi Zhang, Shi Qiu, Lihua Shi, Jianbao Wang, and Cheng Gao. Development of a high-speed optical system for lightning flash observation. *Measurement*, 131 :85–91, 2019.
- [IBM22] IBM. Qu’est ce que le stockage de données. <https://www.ibm.com/fr-fr/topics/data-storage>, Consulté : Aout 2022.
- [Ins02] Texas Instruments. Active low-pass filter design. <https://www.ti.com/lit/an/sloa049b/sloa049b.pdf>, Septembre 2002.
- [ins15] Texas instrument. Principles of data acquisition and conversion. <https://www.ti.com/lit/an/sbaa051a/sbaa051a.pdf>, Avril 2015.

- [Int] Intel. Hard processor system. <https://www.intel.com/content/www/us/en/docs/programmable/683717/current/hard-processor-system-hps.html>.
- [Jaw20] Bemove / OpenStreetMap Contributors Jawg. Carte de couverture mobile 4g. <https://www.ariase.com/mobile/carte-couverture-mobile?iframe=1&partner=ariase&lat=46.412813121448124&lng=1.4682343973822753&zoom=5.46958821737708&interactive=1>, 31 décembre 2020.
- [JDZ09] Nivedita N Joshi, PK Dakhole, and PP Zode. Embedded web server on nios ii embedded fpga platform. In *2009 Second International Conference on Emerging Trends in Engineering & Technology*, pages 372–377. IEEE, 2009.
- [JP19] Vivek Jayakrishnan and Chirag Parikh. Embedded processors on fpga : Soft vs hard. In *Proceedings of the 2019 ASEE North Central Section Conference*, 2019.
- [Kes03] Walt Kester. Section 6 - digital filters. In Walt Kester, editor, *Mixed-signal and DSP Design Techniques*, pages 147–187. Newnes, Burlington, 2003.
- [KKM11] Mandeep Kaur, Shikha Kakar, and Danvir Mandal. Electromagnetic interference. In *2011 3rd International Conference on Electronics Computer Technology*, volume 4, pages 1–5. IEEE, 2011.
- [KMK11] A Keshtkar, A Maghoul, and A Kalantarnia. Magnetic shield effectiveness in low frequency. *International Journal of Computer and Electrical Engineering*, 3(4) :507, 2011.
- [KSB21] Qingkai Kong, Timmy Siau, and Alexandre M Bayen. page Chapitre 24. Elsevier, 2021.
- [KTR⁺08] Ian Kuon, Russell Tessier, Jonathan Rose, et al. Fpga architecture : Survey and challenges. *Foundations and Trends® in Electronic Design Automation*, 2(2) :135–253, 2008.
- [Lan75] Don Lancaster. *Active-filter Cookbook*. Longman Higher Education, Harlow, England, nov 1975.
- [Lar21] Jean-Marie Larbaig. *Étude des contraintes électromagnétiques induites par les composants SIC d’une chaîne de conversion d’énergie en vue d’une optimisation pour des applications HF*. Theses, Université de Pau et des Pays de l’Adour, March 2021.
- [Man22] Timothy Mansfield. What is django and why is it great for creating websites? <https://interaction.net.au/articles/what-django-and-why-it-great-creating-websites/>, Consulté : 29 juin 2022.

- [Mer20] Cisco Meraki. Wireless fundamentals : modulation, Octobre 2020.
- [MGle] Italie Musée Galilée. Mercury thermometer, Fin XVIIIème siècle.
- [Mul22] Craig S. Mullins. Database management system (dbms). <https://www.techtarget.com/searchdatamanagement/definition/database-management-system>, Consulté : Aout 2022.
- [Ned20] Advanced Solutions Nederlands. Difference between iir and fir filters : a practical design guide. <https://www.advsolned.com/difference-between-iir-and-fir-filters-a-practical-design-guide/>, Avril 2020.
- [OnM21] OnMyPhD. Analog-digital converters. [http://book.itep.ru/depositary/ADC/Analog-Digital_Converters_\(ADC\)_Tutorial.htm](http://book.itep.ru/depositary/ADC/Analog-Digital_Converters_(ADC)_Tutorial.htm), Consulté : 18 juin 2021.
- [Ora22] Orange. Lorawan connect by orange. <https://www.orange-business.com/fr/reseau-iot>, Consulté : Septembre 2022.
- [Ott11] Henry W Ott. *Electromagnetic compatibility engineering*. John Wiley & Sons, 2011.
- [Pau06] Clayton R Paul. *Introduction to electromagnetic compatibility*. John Wiley & Sons, 2006.
- [PDD13] Manas Kumar Parai, Banasree Das, and Gautam Das. An overview of micro-controller unit : from proper selection to specific application. *International Journal of Soft Computing and Engineering (IJSCE)*, 2(6) :228–231, 2013.
- [Pho10] Photonics. Fiber optics : Understanding the basics. https://www.photonics.com/Articles/Fiber_Optics_Understanding_the_Basics/a25151#, 2010.
- [Pic08] John M Picker. Atlantic cable. *Victorian Review*, 34(1) :34–38, 2008.
- [QBK12] Céline Quinsac, Adrian Basarab, and Denis Kouamé. Frequency domain compressive sampling for ultrasound imaging. *Advances in Acoustics and Vibration*, 2012 :1–16, May 2012.
- [Reg05] Brian Regal. *Radio : The life story of a technology*. Greenwood Publishing Group, 2005.
- [Ros12] Melinda Rose. Fiber laser pioneer honored with ieee milestone. https://www.photonics.com/Articles/Fiber_Laser_Pioneer_Honored_with_IEEE_Milestone/a52186, 31 Octobre 2012.
- [San22] Sandisk. Les différences entre mémoire ram et mémoire flash. , Septembre 2022.
- [SC12] B. Shaparenko and J. M. Cimballa. *International Journal of Mechanical Engineering Education*, 39(3) :195–199, 2012.

- [Sha49] C.E. Shannon. Communication in the presence of noise. *Proceedings of the IRE*, 37(1) :10–21, 1949.
- [Smi97a] Steven W Smith. *The scientist and engineer's guide to digital signal processing*, pages 39–48. California Technical Pub, dec 1997.
- [Smi97b] Steven W Smith. *The scientist and engineer's guide to digital signal processing*, pages 526–531. California Technical Pub, dec 1997.
- [Smi97c] Steven W Smith. *The scientist and engineer's guide to digital signal processing*, pages 79–95. California Technical Pub, dec 1997.
- [SO61] Elias Snitzer and Harold Osterberg. Observed dielectric waveguide modes in the visible spectrum. *JOSA*, 51(5) :499–505, 1961.
- [Soc04] IEEE Computer Society. Ieee standard for information technologyó telecommunications and information exchange between systemsó local and metropolitan area networksó specific requirements part 3 : Carrier sense multiple access with collision detection (csma/cd) access method and physical layer specifications. https://www.ieee802.org/21/doctree/2006_Meeting_Docs/2006-11_meeting_docs/802.3ah-2004.pdf, 2004.
- [ST⁺05] Richard Schreier, Gabor C Temes, et al. *Understanding delta-sigma data converters*, volume 74. IEEE press Piscataway, NJ, 2005.
- [Sta89] Ronald B Standler. Technology of fast spark gaps. 1989.
- [Sto22] Pure Storage. Ssd vs. hdd speeds : What's the difference ?, 4 Janvier 2022.
- [Tat10] Nesime Tatbul. Streaming data integration : Challenges and opportunities. In *2010 IEEE 26th International Conference on Data Engineering Workshops (ICDEW 2010)*, pages 155–158. IEEE, 2010.
- [Top22] Toppr. Need for modulation. <https://www.toppr.com/ask/content/concept/need-for-modulation-210643/>, Consulté : Septembre 2022.
- [VS86] A.W. Van Herwaarden and P.M. Sarro. Thermal sensors based on the seebeck effect. *Sensors and Actuators*, 10(3) :321–346, 1986.
- [Web18] Tech Web. Effective use of decoupling (bypass) capacitors point 1. <https://techweb.rohm.com/knowledge/emc/s-emc/03-s-emc/7669>, 25 octobre 2018.
- [WFY08] Qian Wang, Gerald Farrell, and Wei Yan. Investigation on single-mode–multimode–single-mode fiber structure. *Journal of Lightwave Technology*, 26(5) :512–519, 2008.
- [Whe42] Harold A Wheeler. Formulas for the skin effect. *Proceedings of the IRE*, 30(9) :412–424, 1942.

-
- [Wik18] Wikipedia. Cei 61000, 6 août 2018.
- [WM16] William F. Wright and Philip A. Mackowiak. Origin, evolution and clinical application of the thermometer. *The American Journal of the Medical Sciences*, 351(5) :526–534, 2016.
- [WZ77] JC Wynn and KL Zonge. Electromagnetic coupling. *Geophysical prospecting*, 25(1) :29–51, 1977.

CHAPITRE 2

**DÉVELOPPEMENT D'UN SYSTÈME D'ACQUISITION
HAUTE FRÉQUENCE**

CHAPITRE 2

Développement d'un système d'acquisition haute fréquence

Table des matières

2.1	Description du concept envisagé	81
2.1.1	Fonctionnalités proposées	81
2.1.2	Spécification des performances d'acquisition	82
2.2	Conception d'un système de synchronisation SAD	84
2.2.1	Contexte et cahier des charges	84
2.2.1.1	Système Anti-Débris	84
2.2.1.2	Synchronisation SAD et intérêt de la technologie FPGA-SoC	86
2.2.2	Développement du système de synchronisation	87
2.2.2.1	Choix du système FPGA-SoC	87
2.2.2.2	Implémentation des fonctions et réalisation de la carte.	89
2.2.2.3	Mise en œuvre d'un banc d'essai	94
2.2.2.4	Test et validation des fonctions et performances	95
2.2.3	Conclusions	96
2.3	Conception d'un système d'acquisition HF	97
2.3.1	Choix de la technologie	97
2.3.1.1	Protocole JESD204B	97
2.3.1.2	Choix du convertisseur analogique-numérique	102
2.3.1.3	Choix de la plateforme FPGA-SoC	103
2.3.2	Développement de prototypes	105
2.3.2.1	ContactKit92	105
2.3.2.2	Précisions sur les interfaces de signaux logiques basse tension	111
2.3.2.3	Interfacage et terminaison des signaux sur le prototype ContactKit92	115
2.3.3	Développement et réalisation d'une carte PCB haute vitesse	121
2.3.3.1	Longueur critique d'une ligne de transmission sur PCB.	121
2.3.3.2	Choix de la configuration PCB	123

2.3.3.3	Dimensionnement des lignes de transmission.	126
2.3.3.4	Contrôle temporel des signaux	130
2.3.4	Etude de l'intégrité des signaux	132
2.3.4.1	Analyse d'impédance par réflectométrie temporelle	133
2.3.4.2	Analyse TDR des signaux SERDOUT	134
2.3.4.3	Analyse temporelle des signaux SERDOUT par diagramme de l'oeil	137
2.3.4.4	Analyse temporelle numérique et expérimentale de l'horloge d'échantillonnage H_{CAN}	140
2.3.5	Conclusions	143
2.4	Conclusions et perspectives	144
	Bibliographie	147

Introduction

La mesure ou l'acquisition de signaux haute fréquence est un défi croissant depuis ces dernières décennies. En effet, elle va de paire avec l'imperturbable volonté d'améliorer les performances de systèmes impliquant des phénomènes électriques transitoires rapides. Ces phénomènes sont définis par l'évolution d'un potentiel électrique (en Volts) d'un état A vers un état B sur un interval temporel court résultant en une variation rapide de tension ou de courant, dits transitoires.

Les transitoires peuvent être d'origine naturelle. La foudre est un évènement récurrent de forte énergie et met en jeu la sécurité des installations ou des moyens de transport humains. Il est dès lors important, dans l'étude de ces occurrences et dans le développement de systèmes de protections, de pouvoir mesurer de manière fiable et précise leur amplitude et leur évolution temporelle, au moyen de systèmes d'acquisition performants. Au Cap Canaveral en Floride, les impacts de foudre récidivent fréquemment (le Space Launch System, le nouveau lanceur géant de la NASA en cours de développement, a déjà été touché 4 fois par la foudre en 2022! [May22]) et peuvent mettre à l'épreuve l'armature des équipements d'acquisition ainsi que leur électronique (voir Figure 2.1). La NASA dispose de ses propres outils de surveillance et d'analyse de la foudre afin de mieux préparer les véhicules spatiaux et les plateformes de lancement [Hoy12]. Mais la foudre n'est pas le seul facteur impactant leur sécurité : les fortes vibrations de quelques kilohertz imposées lors du lancement, la température ou encore l'humidité de l'environnement doivent être également connus et surveillés. En somme, un large panel de capteurs et de systèmes d'acquisitions aux performances variées doivent être impliqués et déployés.

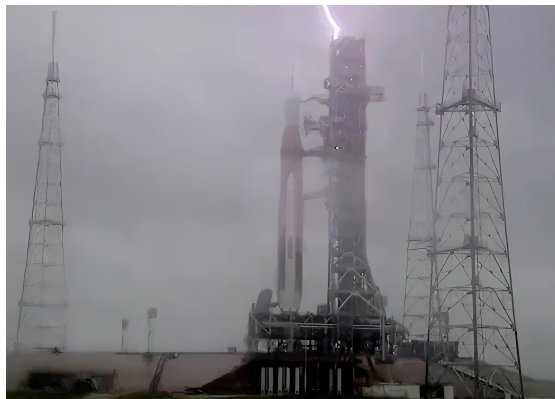


FIGURE 2.1 – Impact de foudre sur le SLS (Space Launch System) au centre spatial Kennedy en avril 2022 [May22].

Les transitoires peuvent être aussi d'origine humaine et non désirés. L'étude du comportement des arcs électriques survenant au cours de l'ouverture d'un système en cours-circuit, sert à optimiser la réactivité des équipements de protection de forte puissance (industrie,

traction ferroviaire, postes haute tension). Par ailleurs, des phénomènes plus fugaces tels que la dégradation de l'isolant au sein des bobinages de moteurs, liés aux forts dV/dt des commutateurs pilotant le moteur par MLI, impliquent la mesure de signaux aux composantes spectrales élevées, comprises entre 1 et 100 MHz [Lar21]. Les phénomènes transitoires peuvent être également volontaires et sont générées grâce aux technologies de puissances pulsées (PP). Initialement liées à l'étude du comportement des armes nucléaires et du développement d'armes de défenses par le biais de générateurs de forte envergure, les PP sont utilisées dans de vastes applications industrielles (traitement de matériaux, stérilisation sans produits chimiques [ITH22]), médicales (traitement de cellules cancéreuses par électrochimiothérapie [IVA+20]), ou autres [ASN+07].

De nos jours, toute application intègre en son système nombre de capteurs et de convertisseurs de données permettant de garantir la fiabilité des différentes fonctions dont les responsabilités et les conséquences impliquées peuvent varier. La technologie mise en oeuvre pour accomplir de telles acquisitions est imposée par le degré d'exigence de la fonction et par l'environnement dans lequel opère le système, comme illustré précédemment. Un système d'acquisition (présenté en Chapitre 1) n'est pas constitué d'un unique convertisseur analogique-numérique (CAN), mais est une chaîne de fonctions transportant le signal mesuré par le capteur vers sa destination, un ordinateur, un serveur, une IHM ou toute plateforme intelligente permettant le traitement des données en accord avec le besoin exprimé. La chaîne est donc une succession d'étages contribuant chacun à réaliser, une fois mis bout à bout, l'acquisition du signal. Une chaîne d'acquisition est scindée en quatre blocs distincts (voir Figure 2.2) :

- **Capteur** : converti une grandeur physique réelle (température, accélération, courant, champ électrique, champ magnétique) en une tension de faible niveau (quelques volts) adaptée à l'entrée d'un CAN.
- **Conditionnement du signal** : fonctions de traitement et de mise en forme primaires du signal telles que le filtrage du signal adapté à la fréquence d'échantillonnage du CAN, l'ajustement du signal à la pleine échelle du CAN (amplitude maximale en entrée du CAN), conversion du signal single en différentiel, et autre.
- **Conversion analogique-numérique** : converti le signal analogique en entrée, en signal numérique d'une résolution de N bits à une fréquence d'échantillonnage F.
- **Post-traitement de l'acquisition** : système(s) externes s'occupant du stockage et du post-traitement du signal numérique. A l'inverse des fonctions de pré-traitement du signal de l'étage de conditionnement, ces fonctions n'opèrent pas nécessairement en temps réel et peuvent être donc plus complexes ou chronophages.

Chaque élément de la chaîne d'acquisition peut être composé de plusieurs fonctions (notamment le conditionnement du signal) et inévitablement, plus la chaîne sera complexe, plus chacune des fonctions concrètement réalisées par des circuits intégrés (CI) affectera le signal original, avant d'achever sa course. En effet, chaque CI (amplificateur de gain,

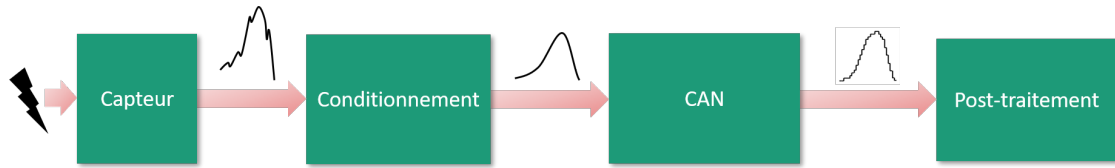


FIGURE 2.2 – Fonctions élémentaires d'un chaîne d'acquisition de données.

convertisseurs simple à différentiel, convertisseur analogique-numérique (CAN),...) possède ses propres limitations en terme de délais, de niveau de bruit et d'immunité électromagnétique (EM), et ne peuvent être améliorées : celles-ci sont dépendantes du constructeur de chaque IC.

Également, le transport des signaux entre chaque circuit intégré (CI) et chaque étage de la chaîne d'acquisition joue un rôle fondamental quant à la fiabilité de la mesure. A de hautes fréquences, les câbles et les pistes sur carte PCB (Printed Circuit Board en anglais) dont la longueur L est de l'ordre de grandeur des longueurs d'onde λ associées aux composantes fréquentielles du signal ne se comportent plus comme un conducteur à faible impédance constante. Cette impédance d'un câble ou d'une piste doit être connue et contrôlée, et en accord avec les impédances des CI en entrée et en sortie de la ligne dans le but de minimiser les réflexions (voir section 2.3.3). Ce spectre fréquentiel, lorsque le signal est numérisé, n'est plus celui du signal analogique. Bien qu'il faille prendre en compte la fréquence d'échantillonnage, les fréquences les plus élevées sont surtout liées à la vitesse de commutation des CI générant la valeur binaire d'une acquisition (le principe est illustré en Figure 2.3).

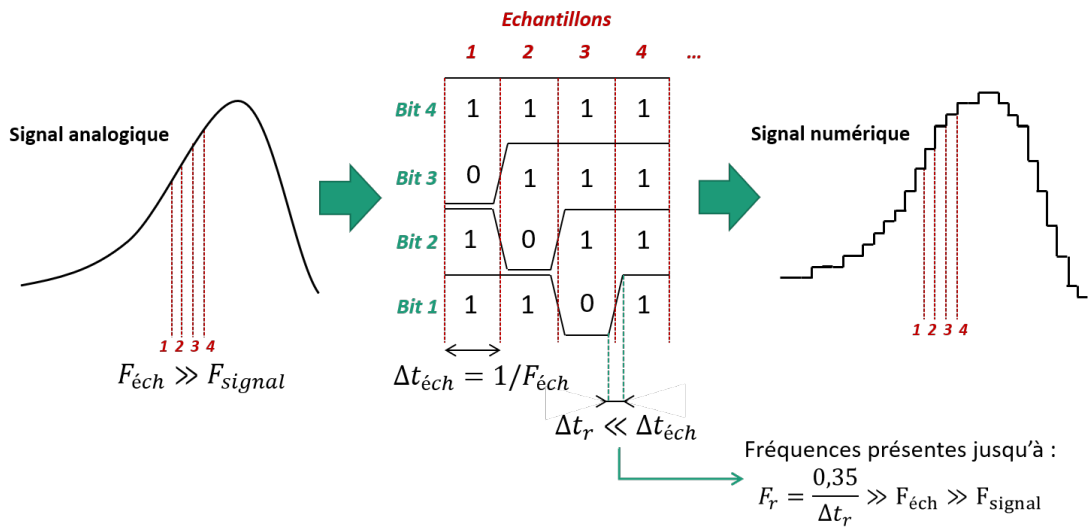


FIGURE 2.3 – Rapport entre les différentes fréquences intervenant dans une conversion analogique-numérique.

La vitesse de commutation des états hauts et états bas dépend de la technologie utilisée par les circuits intégrés (présentés en section 2.3.2.2) et représente la composante fréquentielle la plus élevée du spectre, donc la plus sensible aux phénomènes de propagation le long d'une ligne de transmission (notamment aux phénomènes de réflexion), et à la fois la plus contraignante en terme d'émissions EM (fort dV/dt). Une commutation rapide (~ 100 ps, 1 ns) permet un taux de transfert de données élevé en Gigabits par secondes, mais est beaucoup plus sensible qu'une commutation plus lente (> 1 μ s, 1 ms) dont le taux de transfert est plus faible, de l'ordre du Mbits/s ou du kbits/s.

En première section du chapitre, sont abordées les fonctionnalités principales du système développé dans le cadre de cette thèse, ainsi que ses performances visées. La deuxième section présente une application en partenariat avec le CEA CESTA pour laquelle la technologie FPGA-SoC en association avec une communication fibre optique, sans la conversion analogique-numérique, se prêtait aux besoins émis. Le développement d'un système de surveillance de signaux numériques lents (centaine de hertz) s'assurant du bon fonctionnement des équipements de protection du générateur à radiographie X éclair EPURE du CEA a permis de concentrer la conception du système sur les aspects présentés en première section. Cette application a permis d'écarter les problématiques liées aux hautes fréquences et donc de valider la technologie et sa mise en oeuvre pour le système plus complet développé en troisième partie. Dans celle-ci, l'étude, la conception et la réalisation à l'aide du logiciel de simulation électromagnétique *CST PCB Studio* et du logiciel de conception de PCB *Altium Designer* d'une carte d'acquisition PCB haute vitesse pouvant atteindre une fréquence d'échantillonnage de 250 MHz sur deux voies, et transitant des données numérisées au-delà du gigahertz sont exposées. Cette carte, dans sa première version, permet de se connecter directement à la carte comportant le système FPGA-SoC, mais dispose, dans la deuxième version, d'une interface fibre optique haute vitesse permettant d'éloigner les deux cartes. Cette spécificité permet d'ajouter une composante essentielle au système d'acquisition qui est de pouvoir éloigner la structure FPGA-SoC d'un environnement à forte perturbation électromagnétique et de convertir les signaux acquis par les capteurs en signaux optiques (insensibles aux perturbations EM) le plus tôt possible afin de fiabiliser la mesure. Enfin, des conclusions ainsi que des perspectives vis à vis des retours d'expérience que nous avons obtenus dans le cadre de nos avancées seront exposées sur les méthodes de développement de PCB haute vitesse et de mise en oeuvre d'une chaîne d'acquisition complète.

2.1 Description du concept envisagé

2.1.1 Fonctionnalités proposées

Les différents aspects de la problématique ont mené vers la solution développée et exposée en section 2.3. Le système propose de répondre aux multiples défis évoqués précédemment grâce à une association d'éléments constituant la chaîne d'acquisition et l'interface (voir Figure 2.4, présentée également en Chapitre 1). Ces défis pour rappel sont l'immunité électromagnétique et donc la fiabilité des mesures et la sécurité du système, les performances haute fréquence de l'acquisition, et la grande souplesse matérielle du système grâce à la séparation de l'acquisition de la plateforme FPGA-SoC.

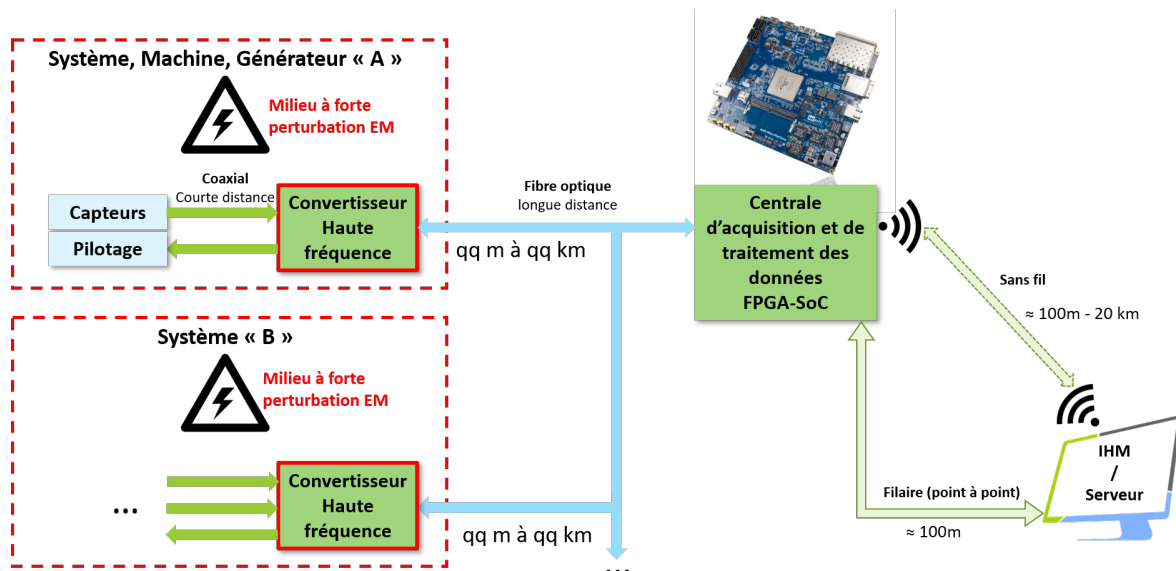


FIGURE 2.4 – Schéma de principe du système d'acquisition embarqué illustrant les différents étages de conversion.

On distingue 6 entités constituant le système :

- Les carte de conversion de données pouvant intervenir sur plusieurs sites localisés (CNA ou CAN en définitive, cependant l'étude pour le moment est concentrée sur la partie CAN) dont la fonction principale est de recevoir le signal en tension transmis par le capteur, et de le convertir au format numérique pour être transmis vers la carte FPGA-SoC. Une carte d'acquisition peut transmettre plusieurs canaux de mesures selon le nombre de CAN dont elle dispose.
- La transmission fibre optique permet de transférer sur de longues distances (>100 m) les données en sortie du CAN à haute vitesse et haute fréquence vers la carte FPGA-SoC. Le protocole utilisé pour transmettre les données via les fibres optiques décrit en section 2.3.1.1 (protocole JESD204B) permet d'utiliser un nombre total de fibres réduit.

- La carte FPGA-SoC traite à haute fréquence et met en forme des données reçues via la fibre optique pour les stocker dans une mémoire locale accessible par l'utilisateur.
- Certaines applications opérant en milieux isolés naturels et loin de l'activité humaine (quelques kilomètres) requièrent l'accès à distance, sans fil, aux données récupérées par système. Dans ce scénario, l'établissement d'un pont de connexion sans fil (WiFi longue portée, 4G,...) vers une passerelle connectée au réseau de l'utilisateur.
- Les données peuvent être stockées sur serveur privé ayant une plus grande capacité de stockage que la mémoire locale de la carte FPGA-SoC. En plus de cet intérêt, le serveur offre la possibilité de sauvegarder des données temporaires émises par le FPGA-SoC.
- Les données sont enfin rendues accessibles depuis toute interface utilisateur à partir du moment où elles sont connectées sur le même réseau que le serveur.

La solution regroupe en un seul système différentes compétences répondant aux défis mentionnées précédemment. La technologie FPGA-SoC associée aux fibres optiques permet de distinguer trois caractéristiques fondamentales du système.

- **Immunité EM**

- Etude et optimisation du blindage de la carte d'acquisition, exposée aux perturbations EM.
- Extraction des données par fibre optique, immunisées électromagnétiquement lors du transport sur de longues distances.

- **Acquisition haute performance**

- Convertisseurs analogique-numérique haute fréquence (> 100 Méc/s) et de bonne résolution (>10 bits) (voir section 2.3.1.3).
- Réduction du nombre de voies de fibre optique par l'utilisation d'un protocole de sérialisation haute vitesse (voir section 2.3.1.2).

- **Système embarqué**

- La communication par fibre optique apporte d'elle-même la capacité à transporter les données sur de longues distances entre la carte d'acquisition et la plateforme FPGA-SoC (centaine de mètres, jusqu'au kilomètre).
- Les plateformes FPGA-SoC et donc le microprocesseur permet l'implémentation facile d'un module de connexion filaire ou sans fil sur réseau local, et permet la centralisation des données, accessibles sur serveur. L'emplacement des données est donc dématérialisé et accessible dès lors que l'utilisateur peut accéder au réseau.

2.1.2 Spécification des performances d'acquisition

La solution proposée ici vise à atteindre des performances d'acquisition présentant un intérêt pour le domaine des puissances pulsées dont les bandes de fréquences assimilées peuvent varier autour de la centaine de megahertz. Le domaine des puissances pulsées est un milieu particulièrement exigeant en terme de performances d'acquisitions, et mesurer

de telles fréquences requiert comme présenté en Chapitre 1 Section 1.1.2, des fréquences d'échantillonnage au-moins de 2 fois la composante fréquentielle la plus élevée considérée du signal mesuré. Avec l'objectif de répondre à ces critères dans le futur, les premiers prototypes de la carte d'acquisition développés dans cette thèse ont été basés sur les spécifications suivantes :

- **Fréquence d'échantillonnage**

La fréquence d'échantillonnage des CAN visée pour les premiers prototypes est de $F_{éch} = 125\text{Méch}$. Elle est suffisamment grande pour tester l'efficacité de la transmission des données sérialisées en sortie du CAN, dont la fréquence de sérialisation, liée à $F_{éch}$, peut atteindre le gigahertz selon la configuration du protocole JESD204B. L'élément sensible du système complet est donc la transmission de ces données à très haute fréquence entre les cartes CAN et FPGA-SoC. Nous verrons par la suite que ce sont les modèles de la carte FPGA-SoC qui limitent via leurs interfaces PCIe (Peripheral Component Interconnect express) le taux de transfert à 3,125 GHz, et donc $F_{éch}$ à 125 *Méch*. D'autres modèles cependant permettront de viser des performances jusqu'à $F_{éch} = 250\text{Méch}$.

- **Résolution**

Contrairement à la fréquence d'échantillonnage du CAN, la résolution n'est pas limitée par le nombre d'entrées du FPGA-SoC puisque les données transmises sont sérialisées sur une seule voie. En revanche, c'est le nombre de CAN associés au FPGA-SoC qui est limité. Le choix de la résolution est peu contraignant, et selon les modèles de CAN disponibles sur le marché possédant le protocole JESD204B (décrits en section 2.3.1.2), elle a été fixée dans notre configuration à 14 bits. Cette résolution permet d'obtenir une plage d'acquisition en amplitude d'une précision de $1/2^{14}$, soit 16384 valeurs. Cette résolution est un bon compromis entre obtenir une bonne précision de la mesure, notamment pour des applications haute tension, et la quantité de données générées par le CAN qui affectera la vitesse d'extraction de ces dernières lorsqu'elles sont sérialisées.

La validation de la chaîne d'acquisition complète et des méthodes de conception permettront d'envisager, le cas échéant, de futurs prototypes aux fréquences d'échantillonnages plus élevées (jusqu'à 500 MHz voire 1 GHz) dont la principale subtilité de conception résidera majoritairement dans les techniques de routage de PCB pour un fonctionnement haute vitesse. En section 2.2, le système SAD développé exclu la carte de conversion AN et comporte uniquement la partie FPGA-SoC. En section 2.3, le système inclu cette fois-ci une carte CAN dont les deux prototypes développés seront exposés.

2.2 Conception d'un système de synchronisation SAD

2.2.1 Contexte et cahier des charges

EPURE est une installation franco-britannique de radiographie éclair située sur le site de la DAM (Direction des Applications Militaires) du CEA (Commissariat à l'Énergie Atomique et aux Énergies Alternatives), à Valduc. La radiographie éclair permet de visualiser par le biais d'impulsions de rayons X courtes (dizaine de nanosecondes) des phénomènes à haute vitesse (de quelques kilomètres par seconde) évoluant dans un corps opaque et entouré de lumière visible intense. Cette technique est utilisée particulièrement pour des applications concernant la balistique ou la détonique. La génération de ces impulsions consiste à appliquer un très fort courant (pouvant atteindre 1 MA) entre une anode et une cathode placées sous vide. Le courant est provoqué par la décharge d'une tension de l'anode appliquée par une source de puissance pulsée, par exemple un générateur de Marx [JT75]. Pour le CEA, l'installation EPURE (voir Figure 2.36) constituée de 3 axes de radiographie éclair, vise à étudier la fiabilité des armes nucléaires en reconstituant des effets de déformation extrême de la matière par des expériences hydrodynamiques [CEA22].

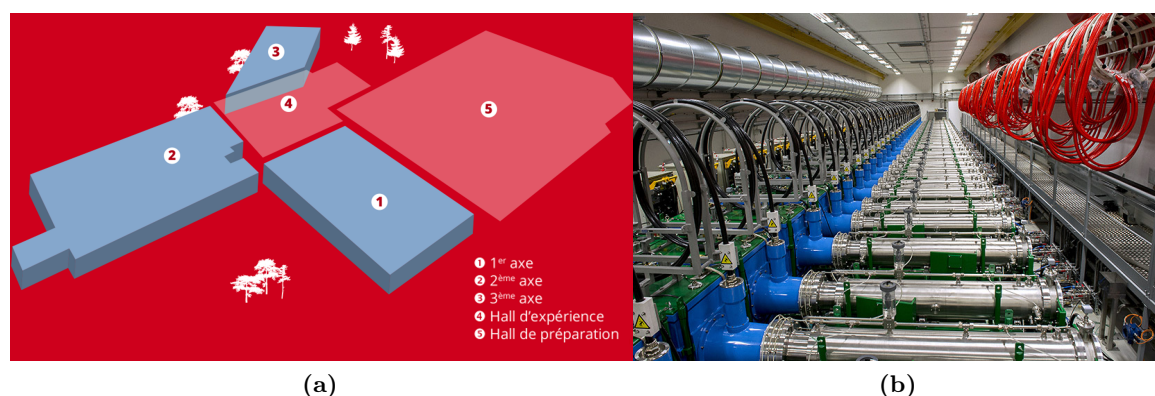


FIGURE 2.5 – (a) Configuration finale de l'installation EPURE avec ses trois axes. (b) Machine de radiographie X éclair AIRIX au sein de l'installation EPURE.

2.2.1.1 Système Anti-Débris

Le SAD (Système Anti-Débris) illustré en Figure 2.6 consiste à bloquer les débris générés lors de l'impact avec la cible observée remontant le tube de propagation du faisceau d'électrons vers les équipements de radiographie EPURE, afin de les protéger. Le SAD consiste en un jeu de deux disques en rotation en sens opposé obstruant le tube de propagation, et disposant chacun d'une ouverture permettant de laisser passer le faisceau d'électrons à un moment bien déterminé.

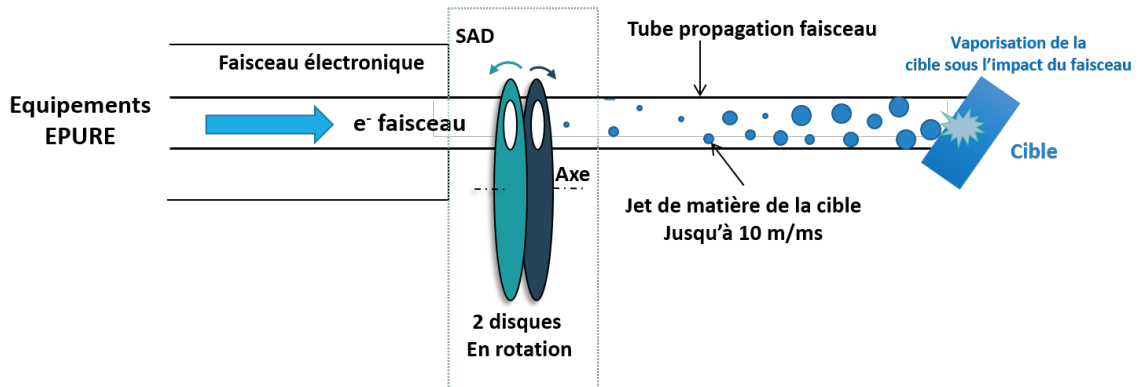


FIGURE 2.6 – Schéma de principe du système SAD installé sur le parcours du tube de propagation de faisceau d'électrons.

Le principe d'obstruction réside dans la différence de vitesse des deux disques en rotation opposée (voir Figure 2.7). La fréquence de rotation du premier disque est de 100 Hz, tandis que celle du deuxième est de 80 Hz. Cette différence de vitesse impose l'alignement des deux ouvertures à une certaine fréquence nommée fréquence de coïncidence, égale à 20 Hz.

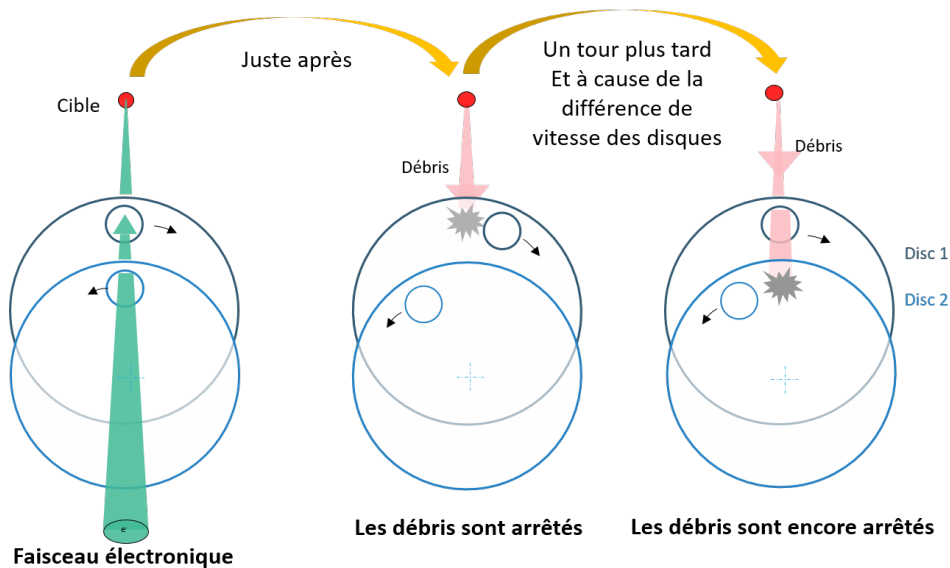


FIGURE 2.7 – Disques du SAD en rotation opposée à vitesse différente, entraînant un alignement des ouvertures cadencé selon la fréquence de coïncidence.

EPURE étant constitué de 3 axes de radiographie, une synchronisation entre les différents SAD présents sur les différents axes est requise. Dès lors, il fut nécessaire de remplacer l'indexation entre les deux disques jusqu'ici mécanique, par un nouveau pilotage électronique de deux moteurs distincts. Cette évolution permet de contrôler au même moment l'état des disques de plusieurs axes jusqu'ici isolés, mais également autorise le contrôle de la parfaite synchronicité des horloges moteurs et par conséquent des disques, au moment de la coïncidence : apportant une sécurité supplémentaire. Le projet SAD consiste donc à développer le système pilotant et s'assurant de la synchronisation des disques pour garantir

la protection apportée par le SAD au moment du tir, appelé système Synchro SAD.

2.2.1.2 Synchronisation SAD et intérêt de la technologie FPGA-SoC

Les différentes fonctions du système Synchro SAD à réaliser ainsi que leurs exigences sont les suivantes :

- Transmettre les horloges générées en amont vers deux paires de disques SAD (soit quatre horloges)
- Mesurer le déphasage entre les deux disques lors de la coïncidence avec une précision inférieure à **20 ns**.
- Mesurer la période des deux horloges avec une fréquence d'échantillonnage de **50 MHz**.
- S'assurer de la position physique des disques par rapport aux horloges moteur grâce à un indicateur laser en provenance des disques, avec une tolérance d'écart de position dans le temps entre la mesure et ce qui est attendu de $\pm 50 \mu\text{s}$.
- Mesurer la période de coïncidence ici encore à **20 ns** près.
- Générer une impulsion **1,1 ms** avant la coïncidence (appelée pré-coïncidence) permettant d'indiquer au système EPURE l'imminence et l'autorisation du tir seulement si les mesures précédentes ont été validées au cours du dernier cycle de coïncidence.
- Etablir une communication suivant le protocole **MODBUS** pour rendre accessible les données et le pilotage via une IHM de plus haut niveau.
- Toutes les émissions/réceptions de signaux ainsi que la communication MODBUS doivent être transmises par **fibres optiques**, pour des raisons d'immunité EM.
- L'ensemble doit être installé dans un boîtier rack-able blindé EM et relativement compact.

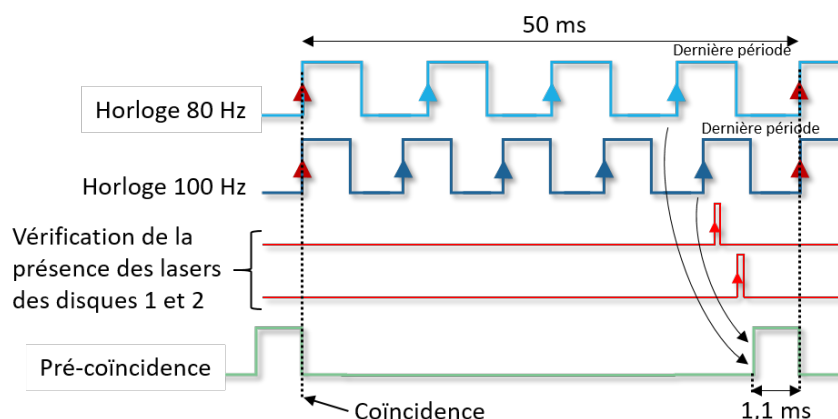


FIGURE 2.8 – Procédure de génération du signal de pré-coïncidence selon les différents signaux mis en jeu entre le système Synchro et le SAD.

La figure 2.8 résume la procédure de génération d'une impulsion de pré-coïncidence conformément aux exigences temporelles. On remarque alors l'importance de disposer d'un

système capable de gérer de multiples entrées et sorties en parallèle de manière synchrone et déterminée.

Les besoins établis dans le cadre du système Synchro sont parfaitement en adéquation avec la technologie FPGA-SoC sur laquelle nous avons choisi de baser nos travaux concernant le développement d'un nouveau type de système d'acquisition dans le cadre de cette thèse. En effet, les fonctionnalités et performances énoncées en Chapitre 1 Section 1.5 de la technologie FPGA-SoC conviennent parfaitement aux cahier des charges présenté précédemment ; notamment pour le traitement de multiples signaux en parallèles synchrones à une même horloge, la vitesse d'opération, la présence d'un système d'exploitation Linux permettant l'intégration d'applications utilisateur (protocoles communication), ou encore le stockage en mémoire embarquée eMMC (embedded Multimedia Memory Card) corroborant la durée de vie de la logique interne. La pertinence du choix d'une solution FPGA-SoC étant bien établie, quelques plateformes vont être ci-après comparées afin de comprendre les critères nous ayant conduit à sélectionner la plus adéquate.

2.2.2 Développement du système de synchronisation

2.2.2.1 Choix du système FPGA-SoC

Il existe deux fabricants dominant la production de puces FPGA-SoC, Xilinx et Intel. Une importante gamme de cartes de développement intégré sont conçues à partir de ces derniers et constituent la « carte mère » des systèmes développés pour une application donnée. Plusieurs modèles aux performances et fonctionnalités variées sont comparés dans le tableau 2.1.

On pourrait se demander pourquoi la caractéristique fondamentale du système Synchro, c'est à dire la fréquence de mesure des signaux imposée au moins à 50 MHz, n'est pas mise en avant dans le tableau 2.1. Il faut savoir que tout circuit intégré programmable (FPGA, FPGA-SoC, microcontrôleur) est muni d'un oscillateur (quartz) dont les fréquences standards sont très souvent 33 MHz, 50 MHz, ou 100 MHz. Dans le cadre du système Synchro, en choisissant une carte dont la fréquence d'horloge vaut 50 MHz, il n'est même pas nécessaire de l'adapter puisqu'elle convient directement à la fréquence requise. De plus, du fait de la technologie FPGA, l'intégration d'éléments logiques telles des PLL (Phase Locked Loop) permet d'obtenir des fréquences d'horloges allant jusqu'au gigahertz [Bes07].

Modèle	Constructeur	FPGA	Blocs logiques	Fonctions principales	Prix (2022)
DE0-Nano	Terasic	Intel Cyclone-V	22,3k	72 I/O, 32MB SDRAM, Capteur G, ADC 200kSps	100\$
PYNQ-Z1	Digilent	Xilinx Zynq-7000	13,3k (6in)	16 I/O, 523MB DDR3, Ethernet 1Gb, ADC, HDMI	336\$
ZedBoard	Digilent	Xilinx Zynq-7000	13,3k (6in)	24 I/O, 523MB DDR3, Ethernet 1Gb, ADC, HDMI	500\$
TSOM	Terasic	Intel Cyclone-V	110k	1GB DDR3, 16 GPIO, ADC 500kSps, HDMI, eMMC	547\$
Socketit	Terasic	Intel Cyclone-V	110k	1GB DDR3, HSMC PCIe (8 XVCR)	612\$
HAN Pilot	Terasic	Intel Arria 10	660k	1GB DDR3, FMC, SFP+ 40Gb/s, Conn. SATA x4	4020\$
VMK180	Xilinx	Xilinx VM1802	900k	8GB LPDDR4, QSFP28 x2, FMC x2	9,345\$

TABLE 2.1 – Comparatif de différentes cartes de développement FPGA-SoC.

Les cartes présentées en tableau 2.1 sont donc toutes capables de réaliser les fonctions demandées. Cependant, le modèle TSOM (Terasic System on Module) nous est apparu comme le meilleur choix pour les raisons suivantes : restant dans une gamme de prix abordable, offrant la possibilité de « booter » (démarrer le système) sur une mémoire eMMC de 8GB (Embedded MultiMedia Card) permettant de s'affranchir de la carte SD (voir Figure 2.9). De plus, un critère important dans la sélection d'une plateforme, qui n'a pas été mis en avant dans le tableau, sont les dimensions de la carte pour les performances offertes.

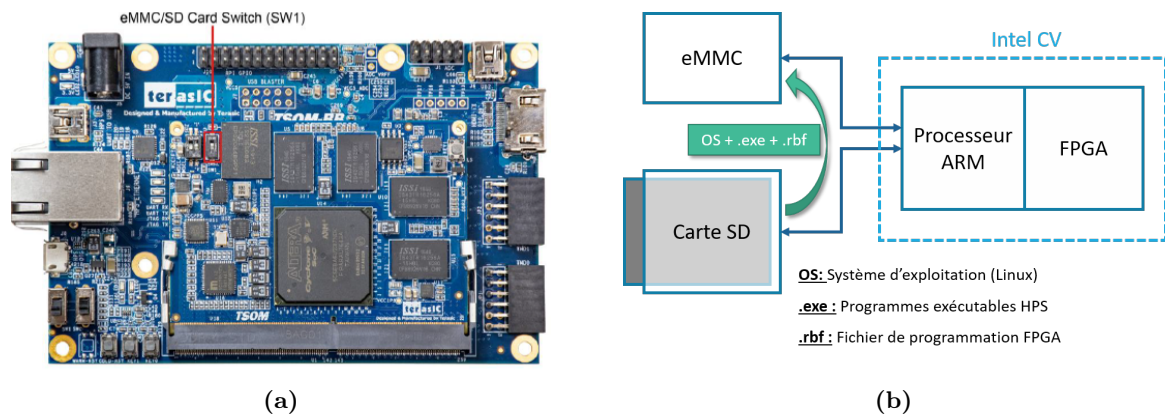


FIGURE 2.9 – (a) Carte de développement FPGA-SoC Terasic System on Module. (b) Schéma de principe de sélection du support de mémoire flash (micro SD ou eMMC).

Une mémoire eMMC, est une mémoire flash intégrée directement sur la carte. Ces mémoires maintiennent leur contenu lorsqu'elle ne sont plus alimentées en tension, à l'instar des mémoires SSD (Solid-State Drive) qui sont aussi des mémoires flash, plus performantes et utilisées communément dans les ordinateurs. L'avantage d'une mémoire eMMC par rapport à une carte SD amovible est une meilleure durée de vie mécanique puisqu'elle est fixée, une vitesse L/E plus rapide (environ 400 Mb/s contre environ 100 Mb/s pour les cartes SD), et moins encline à la corruption de données [SLM16]. Pour cette raison principale, le modèle TSOM a été choisi comme base pour développer le système Synchro.

2.2.2.2 Implémentation des fonctions et réalisation de la carte.

● Schéma logique de la génération de la pré-coïncidence

A partir des fonctions présentées par le cahier des charges en section 2.2.1.2, un synoptique de la réalisation des fonctions logiques a été conçu et proposé :

On distingue les fonctions suivantes :

- **Sélection Ext/Int** : Permet de choisir entre les horloges moteur externes ou bien une des horloges générées en interne (débugage).
- **Mesure H1/H2** : Mesure la période d'une horloge via un compteur 50 MHz. Teste si la différence entre les valeurs mesurées et attendues est inférieure à 100 ns. Si la condition est valide, Flag et Faute restent à 0.
- **Détection Coïncidence** : Génère une impulsion de 300 ns si l'écart entre les fronts des horloges moteur 1 et 2 est inférieur à 100 ns.
- **Mesure Coïncidence** : Mesure la période entre deux fronts montants de l'impulsion de détection de la coïncidence. Teste si la différence entre la valeur mesurée et la valeur attendue est inférieure à 100 ns. Si la condition est valide, Flag et Faute restent à 0.

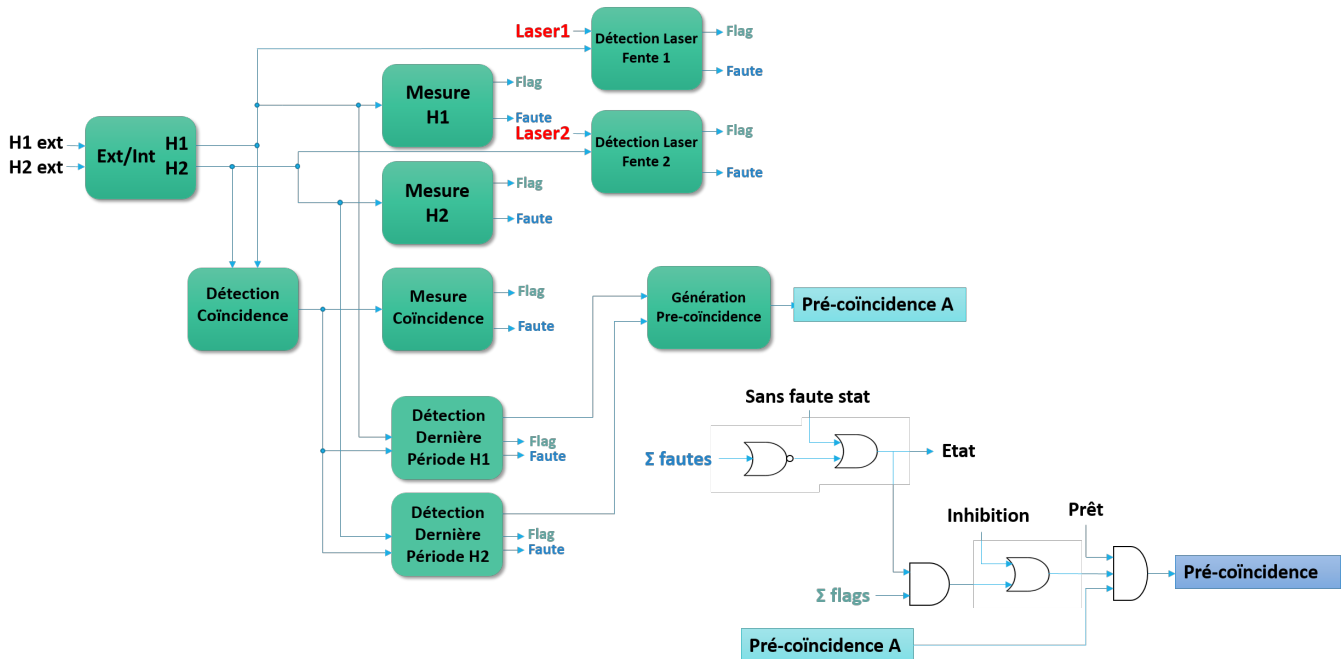


FIGURE 2.10 – Synoptique de la logique intégrée dans la partie FPGA.

- **Détection dernière période H1/H2** : Selon les fréquences connues des deux horloges, compte le nombre de fronts montants et indique la phase de dernière période par un état logique à 1 en sortie (voir Figure 2.10).
- **Détection Laser 1/2** : Teste la présence d'une impulsion laser en provenance du disque à un moment précis par rapport au front montant de l'horloge moteur pour s'assurer de la bonne position physique des disques. Si la condition est valide, Flag et Faute restent à 0.
- **Génération Pré-coïncidence** : Génère une impulsion de pré-coïncidence 1,1ms avant le prochain front d'horloge lorsque la dernière période avant coïncidence est détectée.
- **Flag** : Pour chaque fonction, vaut 1 lorsqu'une erreur est détectée, et repasse à 0 si l'erreur disparaît.
- **Faute** : Pour chaque fonction, passe à 1 si une erreur est détectée, et revient à 0 uniquement sur demande de l'utilisateur.
- **Pré-coïncidence A → Pré-coïncidence** : Vérifie l'état des Fautes et des Flags, s'ils sont pris en compte, et si l'utilisateur est prêt. Le cas échéant, la pré-coïncidence est transmise aux systèmes externes supérieurement en charge du contrôle du SAD.

La logique du système vérifie donc la correspondance entre les mesures des différents signaux (horloges de pilotage des disques, impulsions lasers indiquant le bon positionnement

mécanique des disques, coïncidence des ouvertures des disques assez précise) et les valeurs attendues par l'utilisateur, et reste en état « valide » lorsque tel est le cas. Dans ces conditions, la fonction de précoïncidence consiste à indiquer l'arrivée de la coïncidence des disques (alignement des ouvertures) quelques temps avant cette dernière à une console de pilotage externe du SAD, et donc à autoriser le tir d'un faisceau d'électron en garantissant le fonctionnement du système anti-débris.

● Réalisation de la carte d'interface

Une carte d'interface connectée à la « carte-mère » TSOM est nécessaire pour adapter le format des signaux d'entrée et de sortie au FPGA. Les interfaces présentées dans le cahier des charges sont les suivantes :

- **4 récepteurs fibre-optique 860nm** : Laser 1/2, Horloge_E 1/2.
- **6 transmetteurs fibre-optique 860nm** : 2 × Horloge_S 1/2, 2 × Pré-coïncidence.
- **8 sorties connecteurs SMA (pour debogage)** : Copie Horloge_E 1/2, Copie Horloge_S 1/2, Copie Laser 1/2, Copie 2 × Pré-coïncidence.
- **10 sorties LED** : Horloge_E 1/2 valides, Laser 1/2 valides, Faute, Flag, Alimentation 5V, 2 × Pré-coïncidence, Communication MODBUS active.

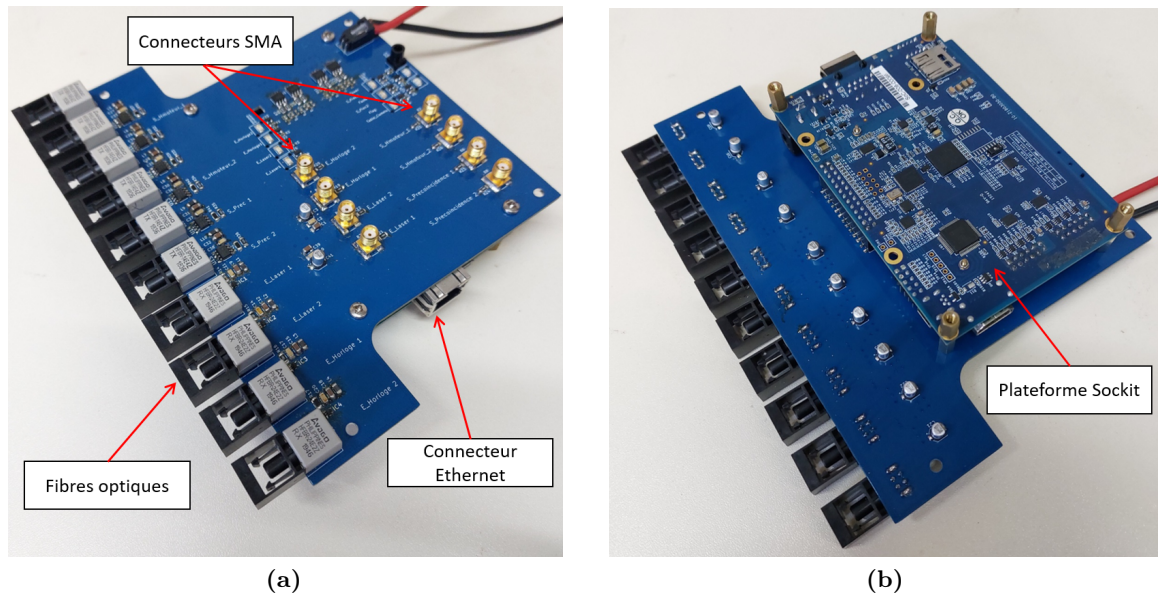


FIGURE 2.11 – (a) Vue de dessus de la carte d'interface fibre optique. (b) Vue dessous de la carte d'interface fibre optique connectée à la plateforme FPGA-SoC Sockit.

Les connecteurs fibre-optique utilisés pour les transmissions (TX) et réceptions (RX) sont respectivement les fibres HFBR-24E2Z et HFBR-14E2Z. Celles-ci présentent un design optimisé pour augmenter l'immunité EM du connecteur. Le PCB de la carte (voir Figure 2.11) a été conçu à l'aide du logiciel de conception PCB *Altium Designer* puis imprimée industriellement, et la pose des composants a été effectuée au laboratoire. Les règles de

conception utilisées étant plus pertinentes dans le développement de la carte d'acquisition haute fréquence en section 2.3.3, celles-ci ne sont volontairement pas présentées dans le cas de la carte d'interface du système Synchro SAD. Cependant, il est à noter que nous avons essayé de prendre en considération l'amélioration du blindage EM de la carte aux agressions extérieures en associant deux éléments dans le design (voir Figure 2.12) :

- Constitution multicouches du PCB
- Via shielding au niveau des rebords de la carte

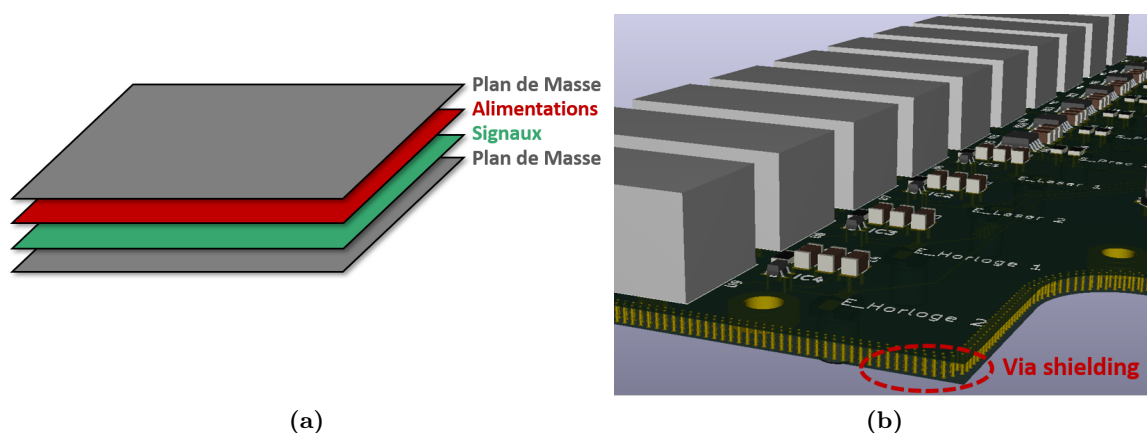


FIGURE 2.12 – (a) PCB 4 couches avec les couches externes utilisées comme blindage EM. (b) Rebords de la carte comportant un nombre important de vias juxtaposés proches les uns des autres, méthode appelée via shielding.

Le principe du blindage d'un PCB multicouches (ici 4 couches) permet d'apporter une immunité EM dans l'axe normal au plan de la carte PCB, tandis que le via shielding consiste au rapprochement et à l'alignement de vias dans le but de constituer des « barrières », protégeant contre les agressions dans un plan latéral à la carte PCB) [AD02]. Les spécificités et les intérêts des PCB multicouches par rapport aux PCB classiques de 1 ou 2 couches sont plus amplement présentées lors de la description sur le développement de la carte d'acquisition en section 2.3.3.

● Implémentation d'une connectivité MODBUS côté HPS

La possibilité de pouvoir communiquer avec une supervision de niveau supérieur fait partie intégrante de notre cahier des charges. L'établissement d'une communication MODBUS vers une IHM de supervision permet d'envoyer les valeurs des périodes attendues pour les horloges moteurs, la coïncidence, la position des lasers, etc... La carte TSOM dispose d'un connecteur RJ45 (Ethernet) et permet la mise en oeuvre d'un protocole MODBUS via l'interface RJ45, appelé MODBUS TCP/IP. Le schéma présenté en Figure 2.13 représente l'interface mise en oeuvre par ce protocole développé en C. L'accès au système d'exploitation Linux de la plateforme TSOM est réalisé sur ordinateur (sous Windows) via une connexion série RS-232 et le logiciel Putty. L'ordinateur simule l'IHM pouvant envoyer les données à la

TSOM (période des horloges, période de coïncidence, reset, ...) et permet de lire les valeurs mesurées par le FPGA.

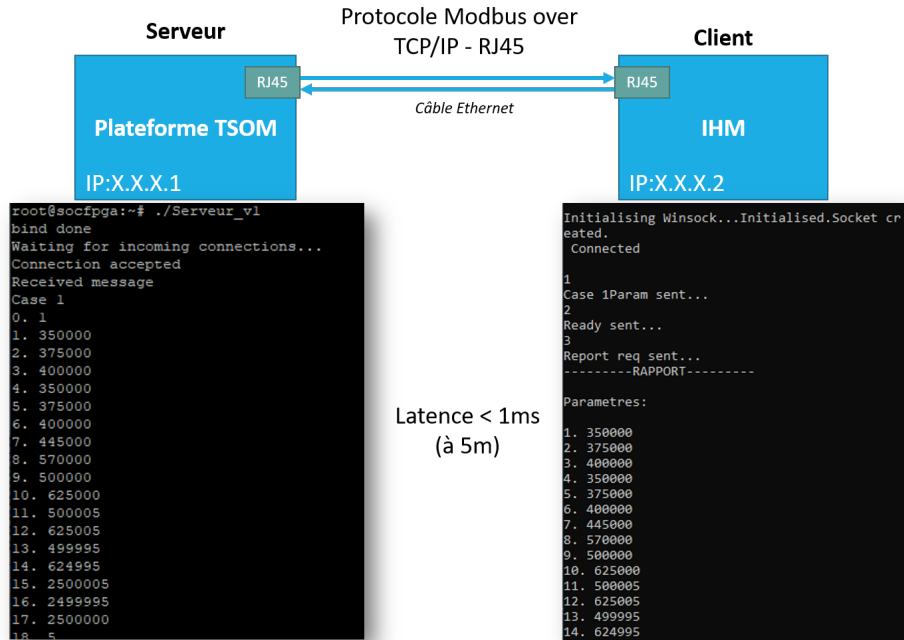


FIGURE 2.13 – Etablissement d'un protocole MODBUS TCP/IP via l'interface RJ45 et capture d'une communication.

● Intégration du système complet

Il nous a été précisé dans le cahier des charges que le système Synchro doit disposer des tensions d'alimentation nécessaires converties à partir d'une alimentation secteur 230V. Le système Synchro ainsi que les autres éléments relatifs à la commande du SAD étant centralisés dans une baie, un rack type 2U a été choisi pour constituer le système Synchro. Ce rack inclut la carte TSOM et sa carte d'interface développée par nos soins, les convertisseurs AC-DC nécessaires pour fournir les tensions d'alimentation, un interrupteur équipé d'un fusible. Comme on peut le remarquer en Figure 2.14 Il est également équipé d'extensions pour les connecteurs SMA et LEDs afin qu'ils soient accessibles en façade du rack.

Le convertisseur Ethernet (pour l'interface MODBUS TCP/IP) en fibre optique a été ajouté pour réduire les risques de défaut de communication en milieu perturbé EM. Plus précisément, c'est une des interfaces dont le fonctionnement doit être garanti car elle est fondamentale pour ce qui est de la visualisation et du pilotage du système Synchro via l'IHM.

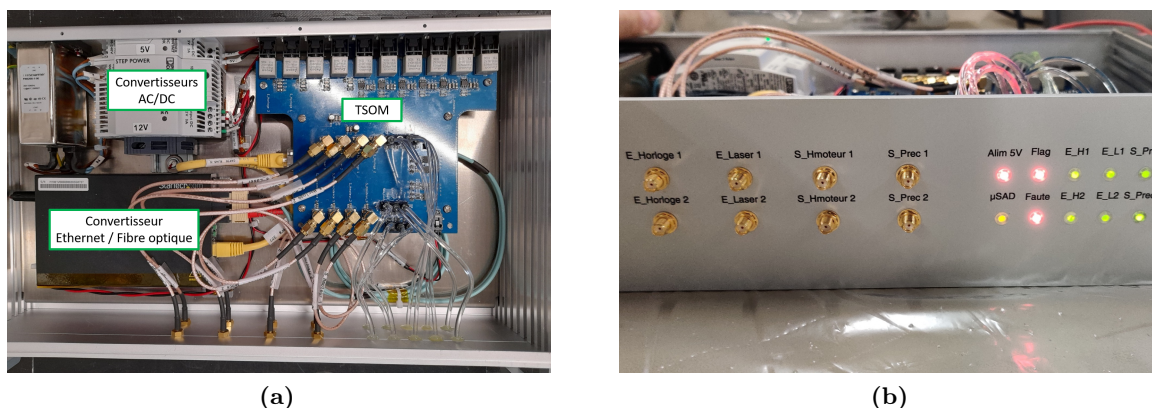


FIGURE 2.14 – (a) Système Synchro vue de dessus. (b) Vue de face avant.

2.2.2.3 Mise en œuvre d'un banc d'essai

Afin de valider le fonctionnement du système Synchro répondant aux différents scénarios possibles, il a été nécessaire de développer un banc d'essai permettant de simuler le comportement du SAD et des équipements environnants. Plusieurs exemplaires du système Synchro ont été produits, conformément au cahier des charges, et ont donné l'idée d'utiliser un deuxième système Synchro jumeau pour réaliser le banc d'essai. En effet, la reconfigurabilité des plateformes FPGA choisies offre la possibilité de reprogrammer facilement la logique et de pouvoir ainsi réattribuer les entrées/sorties des fibres optiques. La configuration du banc d'essai est représentée en Figure 2.15. Il est important de noter que cette configuration de test à cartes jumelles permet de simplifier grandement la mise en œuvre du banc d'essai et de réduire notablement le recours à des appareils externes supplémentaires.

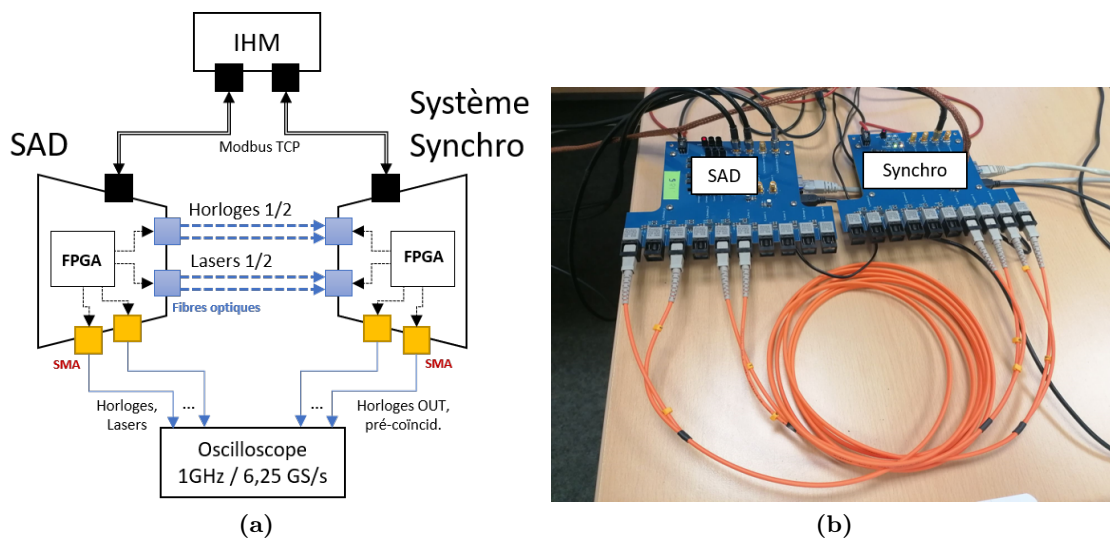


FIGURE 2.15 – (a) Synoptique du banc de test à deux cartes. (b) Banc de test en fonctionnement.

La deuxième carte FPGA est reconfigurée dans le but de générer les signaux d'horloge à transmettre au système Synchro, ainsi que les signaux lasers des deux disques indiquant leur position, nécessaires au système Synchro pour pouvoir amorcer le signal de pré-coïncidence. Les deux cartes sont pilotées via l'interface MODBUS TCP/IP, et les mesures des signaux sont obtenues via les connecteurs SMA à l'aide d'un oscilloscope de bande passante de 1 GHz et de fréquence d'échantillonnage de 6,25 GS/s. Ces performances permettent de garantir la qualité des mesures. En effet, la précision demandée par le cahier des charges étant de 20 ns, il faut donc être en capacité de mesurer des phénomènes temporels liés au temps de retard des CI (notamment des connecteurs fibre optique) ou à leur temps de montée de 10% à 90% (Tr_{10-90}) susceptibles d'entraîner un déphasage non négligeable entre les horloges des moteur 1 et 2. Pour obtenir une mesure valide du front d'un signal passant de l'état bas à l'état haut en un temps Tr_{10-90} , il est établi que la bande de fréquence de l'oscilloscope doit être au moins égale à la fréquence de coupure du signal. Cette fréquence va se trouver à la valeur pour laquelle l'amplitude du signal vaut -3dB et s'exprime par rapport à Tr_{10-90} comme étant :

$$F_{-3dB} = \frac{0,35}{Tr_{10-90}} \quad (2.1)$$

La bande passante de l'oscilloscope utilisé permet donc de mesurer des fronts de :

$$Tr_{10-90} = \frac{0,35}{1 \text{ GHz}} = 350 \text{ ps} \quad (2.2)$$

Cette configuration permet de valider, outre le programme FPGA, l'intégrité des signaux transitant sur la carte d'interface. L'allure des signaux mesurés par rapport aux exigences est présentée et discutée dans la section suivante .

2.2.2.4 Test et validation des fonctions et performances

Les relevés présentés en Figure 2.16a et Figure 2.16b représentent l'allure des fronts d'horloges moteur 1 et 2 transmises en sortie du FPGA côté système « SAD », et des fronts d'horloges reçus en entrée du FPGA côté système « Synchro », respectivement.

Un déphasage de 2 ns est mis en évidence lorsque les signaux sont mesurés en fin de course, c'est à dire après leur transmission via les fibres optiques. Ce déphasage correspond à l'incertitude des fronts de montée des convertisseurs fibres optiques receveurs HFBR-24E2Z donnée entre 3,3 ns typiquement et 6,3 ns au maximum, et est dû à aux exigences en qualité de production de ces derniers, selon le constructeur. Ces mesures ont été effectuées sur différents convertisseurs HFBR-24E2Z d'une même commande et provoquent un déphasage pouvant varier de 1 à 3 ns, conformément à ce qui est indiqué dans la documentation du constructeur.

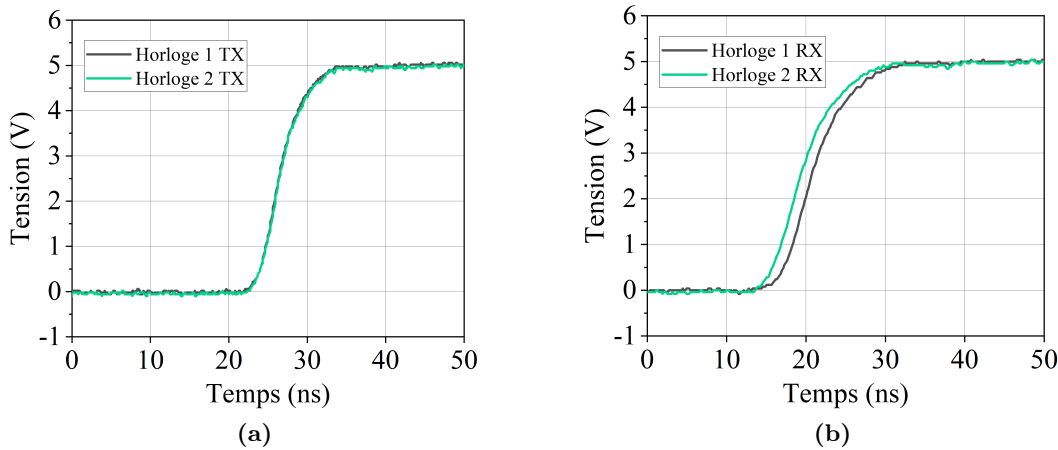


FIGURE 2.16 – (a) Signaux d’horloges en sortie du FPGA côté SAD. (b) Signaux d’horloges reçus côté Synchro, mettant en avant les incertitudes temporelles liées aux IC.

Les fonctionnalités et les mesures de l’intégrité des signaux ont été validées puisqu’elles rentrent dans les spécifications du cahier des charges. Dans le pire des cas, un des exemplaires des systèmes Synchro développés peut présenter un déphasage entre les horloges pouvant aller jusqu’à 3 ns, ce qui reste largement inférieur à la précision de mesure demandée de 20 ns.

2.2.3 Conclusions

En conclusion, un système de supervision « Synchro » des différents signaux régissant le fonctionnement du SAD a été étudié, développé, testé et validé. Ce système est basé sur la technologie FPGA-SoC car les performances de gestion de multiples voies d’entrée / sortie en parallèle correspondaient aux exigences du système Synchro. Plus précisément, le besoin de s’assurer de la synchronicité de deux horloges moteurs pilotant les disques du SAD, et de la bonne concordance temporelle avec d’autres signaux ont motivé ce choix. De plus, la combinaison avec un microprocesseur intégré au FPGA a permis l’implémentation d’une interface de communication basée sur le protocole MODBUS TCP/IP sans avoir à adjoindre une carte d’interface Ethernet spécifique supplémentaire. Enfin le système a été intégré dans un boîtier métallique rackable pour améliorer l’immunité EM et y introduire les différentes alimentations de la carte, ainsi le convertisseur Ethernet / fibre optique. Grâce à la reconfigurabilité des FPGA, un deuxième système Synchro a été utilisé pour simuler les différents signaux du SAD, et donc pour réaliser un banc d’essai, offrant la possibilité de valider l’intégrité des signaux, ce qui permettra de simplifier et d’alléger les procédures de dépannage. De manière générale, les performances temporelles des signaux sont affectées et imposées majoritairement par la qualité des convertisseurs fibre optique des signaux d’horloge (incertitude moyenne des fronts de montée de 2 ns). D’autres modèles de connecteurs fibre

optique plus performants existent et offrent des performances beaucoup plus intransigeantes sur la stabilité temporelle des fronts de montée ou de descente, de l'ordre de la centaine de ps.

Outre l'effort dans l'amélioration de l'immunité EM de la carte d'interface, l'impact de la qualité de conception du PCB et de la considération des règles de routage haute vitesse sur l'allure finale des signaux fut secondaire, puisque ces conditions ne deviennent pertinentes qu'à des fréquences supérieures au gigahertz. En effet, dans la section suivante, l'étude et la conception d'une carte de conversion de signaux analogiques numériques à haute fréquence vont introduire les problématiques de PCB haute vitesse et de l'importance des règles associées à ces niveaux.

2.3 Conception d'un système d'acquisition HF

Cette troisième section décrit l'étude et la conception de deux cartes de conversion analogique-numérique transmettant les données à un système FPGA-SoC (voir synoptique en Figure 2.4). La première ne dispose pas de transmission fibre optique et est directement connectée sur la carte FPGA via un connecteur haute vitesse dédié (version « statique »). La deuxième dispose d'une interface fibre optique pour communiquer avec le FPGA et offre la possibilité de mener la mesure à distance (version « embarquée »).

2.3.1 Choix de la technologie

2.3.1.1 Protocole JESD204B

Une des caractéristiques majeures du système d'acquisition développé dans le cadre de la thèse est la séparation matérielle de l'étage de conversion analogique-numérique et de l'étage de traitement des données par le FPGA. Pour garder un encombrement minimum en nombre de voies communicant entre les deux, il est nécessaire d'avoir recours à la sérialisation des données. Comme l'illustre la Figure 2.17, le principe de sérialisation / désérialisation permet de convertir un bus de N bits en parallèles en un bus de 1 bit et inversement.

Le lien intrinsèque entre la taille du bus en amont (le nombre de bits en parallèle) et la fréquence d'opération du sérialiseur / désérialiseur ; et donc de la fréquence de transfert des données sur une voie apparaît évident. Cette taille de bus dans notre cas est initialement la résolution du convertisseur, fixée en section 2.1.2, soit 14 bits. En conséquence, un compromis doit être envisagé entre une minimisation du nombre de voies de transfert par rapport à la résolution et la fréquence maximale de transfert des données sérialisées qui en résulte sans compromettre l'ergonomie ou la fiabilité du système, respectivement.

Depuis 2001, un standard d'interface de sérialisation-désérialisation (SERDES) basé sur la technologie de commutateurs LVDS (voir section 2.3.2.2) permet un taux de transfert de données garanti jusqu'à 1 Gb/s [Kem02]. Cette technologie, bien qu'utilisée encore aujourd'hui

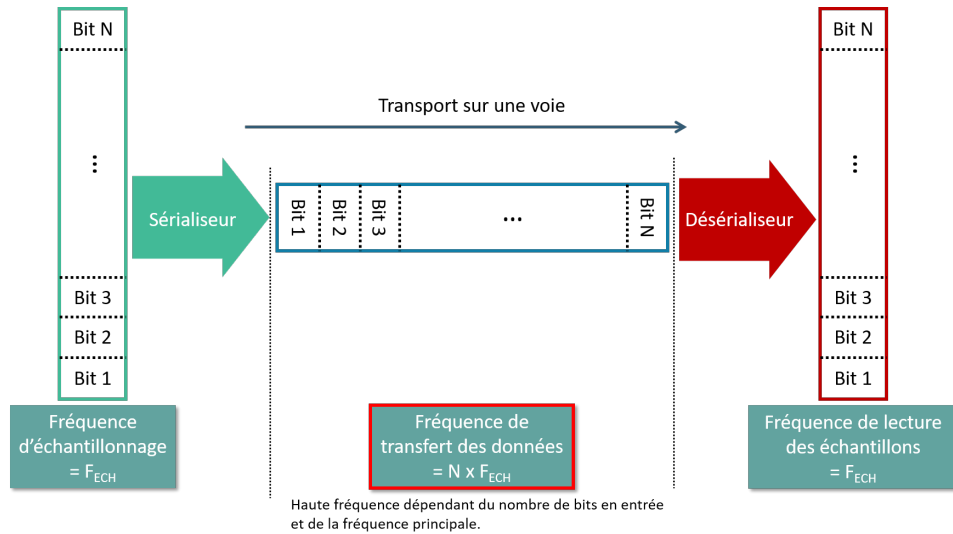


FIGURE 2.17 – Schéma de principe de la mise en série de données parallèles et relation avec la fréquence d’opération.

dans de nombreuses applications, se retrouve obsolète face à l’augmentation perpétuelle de la vitesse d’opération des CANs et ne peut pas suivre leur évolution. En 2006, le JEDEC (Joint Electron Device Engineering Council) établi donc le standard JESD204 [Dev14]. Le JESD204 est à la fois un standard permettant de simplifier le développement et l’interopérabilité de systèmes de communication, mais est également une interface physique basée sur une technologie de commutation plus performante, les CML (également présenté en section 2.3.2.2). Cette interface a été pensée pour être reconfigurable selon différents paramètres et adaptable aux divers systèmes déployés utilisant la technologie FPGA. Les FPGA disposent de voies de communications rapides pouvant être programmées physiquement à n’importe quelle logique interne au FPGA, notamment à l’interface JESD204B disponible en tant que IP (Intellectual Property), ou comme « fonction » facilement implémentable dans un FPGA.

Les différences entre les standards LVDS et les trois version du JESD204 sont résumées dans le tableau 2.2.

Critères	LVDS	JESD204	JESD204A	JESD204B
Année de sortie	2001	2006	2008	2011
Taux de transfert maximum	1 Gb/s	3,125 Gb/s	3,125 Gb/s	12,5 Gb/s
Multiples voies	-	-	Oui	Oui
Synchronisation inter-voies	-	-	Oui	Oui
Synchronisation inter-composants	-	Oui	Oui	Oui
Latence déterministe	-	-	-	Oui

TABLE 2.2 – Comparaison entre les standards SERDES et JESD204

Les caractéristiques exposées en Tableau 2.2 définissent ce dont l'interface JESD204 est constituée. Au-delà du gain en taux de transfert par rapport à une interface SERDES classique, les apports du JESD204 se concentrent autour de la gestion de plusieurs voies de transfert en parallèle, par les éléments suivants :

- **Multiple voies** : permet de répartir la sérialisation des données sur plusieurs voies de transfert à la place d'une seule, divisant le taux de transfert d'un échantillon par le nombre de voies impliquées.
- **Synchronisation inter-voies** : synchronise à l'aide d'un signal appelé SYSREF les différentes horloges de pilotage des voies pour minimiser la latence inter-voies.
- **Synchronisation inter-composants** : synchronise à l'aide d'un signal appelé SYNC les différentes horloges de pilotage des composants CAN ou CNA pour initialiser le transfert des échantillons au même instant.
- **Latence déterministe** : permet d'imposer un délai (donc connu) entre les différentes voies à la réception des données transmises. Cette caractéristique élimine les variations aléatoires de délai du transfert des données propres à chaque voie dues aux variations de température, de tension d'alimentation ou du niveau de sollicitation du CAN/CNA. Cette fonction est indispensable pour des applications nécessitant l'acquisition et le traitement synchronisé de plusieurs signaux, ou le contrôle simultané d'équipements à haute vitesse.

La latence déterministe (LD) est la fonctionnalité essentielle de la révision B du standard JESD204. En plus de la synchronisation lors de l'émission des données sur plusieurs voies, elle permet de les synchroniser à leur réception, éliminant les déphasages induits lors du transport des données. Le synoptique en figure 2.18 décrit le principe de fonctionnement de transferts CAN vers FPGA et les différents signaux impliqués utilisant l'interface JESD204B.

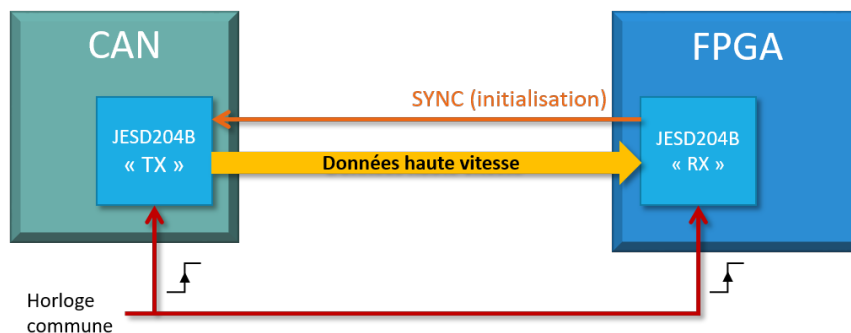


FIGURE 2.18 – Schéma de principe de la mise en place et du fonctionnement de l'interface JESD204B pour un transfert de données sérialisées.

Le JESD204B se présente sous la forme d'un module complet, ou comme une fonction, implémentable facilement dans un FPGA ou autre logique programmable (microcontrôleurs) et mis à disposition dans les CAN ou CNA par leurs constructeurs. Deux instances se distinguent, les TX (transmission) et les RX (réception). Un CAN, dans l'exemple de la

figure 2.18 transmettra toujours des données vers l'instance de réception RX du FPGA. Afin d'assurer les différentes fonctions de synchronisation du JESD204B présentées dans le tableau 2.2, il est primordial de garantir une horloge de pilotage commune et synchrone à toutes les instances JESD204B d'un système. En d'autres mots, s'intéresser au contrôle temporel de la transaction de données haute vitesse entre deux systèmes ne peut se faire qu'à partir du moment où ces systèmes, eux mêmes, sont déjà synchrones entre eux. Par ailleurs, le signal d'initialisation SYNC, permet de synchroniser au-delà de l'horloge commune, le début d'une transmission sur plusieurs voies L.

Le taux transfert en bits/s noté DR (pour data rate en anglais) en accord avec le nombre de voies de transfert, est corrélé à un certain nombre de paramètres définissant le fonctionnement du JESD204B, imposés par le système et/ou l'utilisateur. Les paramètres en question sont les suivants :

- **L** : Nombre de voies de transfert des données sérialisées haute vitesse.
- **M** : Nombre de convertisseurs CAN en entrée du module JESD204B.
- **N** : Résolution du convertisseur CAN en bits.
- **F** : Nombre d'octets par acquisition (arrondi à l'octet supérieur) constituant une « trame ».
- **S** : Nombre d'échantillons par acquisition et par convertisseur CAN.
- **K** : Compteur du nombre de « trames » K permettant d'imposer la durée de la latence déterministe (LD).

Le taux de transfert est exprimé par la relation suivante :

$$DR = \frac{F_{éch} \times M \times N' \times 10/8}{L} \quad (2.3)$$

Avec $F_{éch}$ la fréquence d'échantionnage du CAN. N' représente le nombre réel de bits transmis par rapport à la résolution, mieux représenté en figure 2.19, et le codage $8b/10b$ propre au standard JESD204 permet la conversion de tout symbole de 8 bits en symbole de 10 bits. Ce codage utilisé dans de nombreux protocoles de transmission série haute vitesse permet d'équilibrer le nombre de « 1 » et de « 0 » à chaque transmission, évitant ainsi la présence d'un courant continu le long de la ligne [SP97].

La figure 2.19 permet d'illustrer plus explicitement la manière dont les paramètres L, M, N, F, jouent sur la construction des trames de données transitant entre le CAN et le FPGA. Dans cet exemple, deux convertisseurs d'une résolution de 14 bits transmettent leur données sur deux voies.

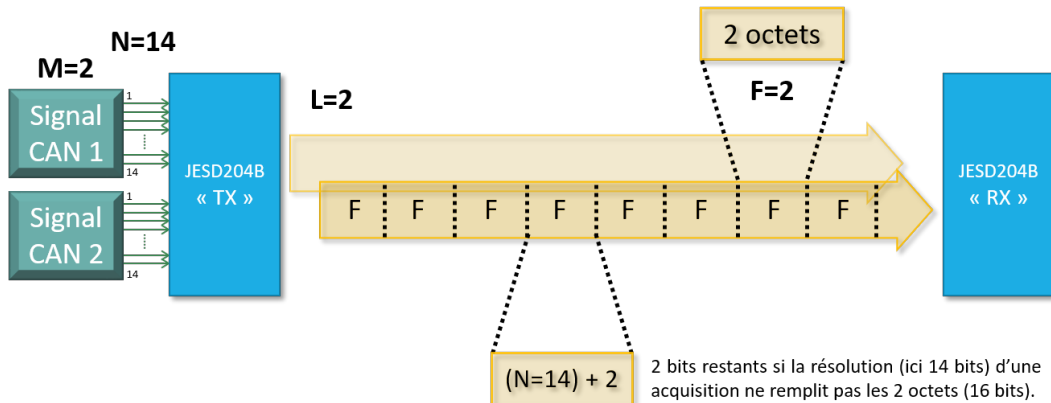


FIGURE 2.19 – Schéma de principe de l'agencement des transactions JESD204B selon les paramètres L,M,N,F, sans le codage 8b/10b.

La détermination du paramètre K et donc de la latence déterministe est plus subtile à appréhender. Elle permet de passer outre les variations aléatoires dues aux différents délais intervenant le long de la chaîne de transmission JESD204B, et fixe un délais connu. Le principe de synchronisation global grâce aux trois signaux suivants : SYNC, SYSREF, et le compteur K est décrit en Figure 2.20.

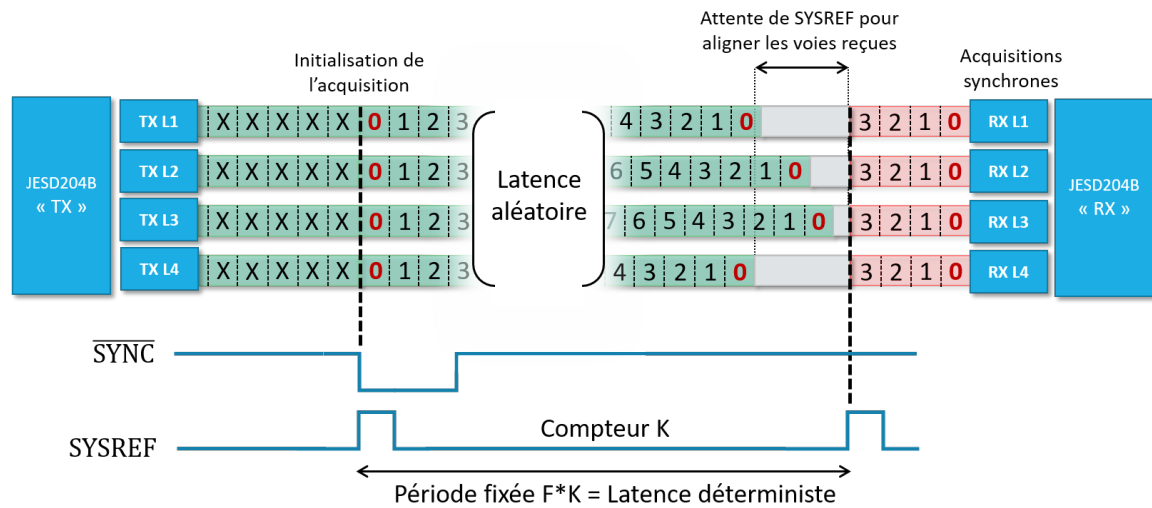


FIGURE 2.20 – Schéma de principe de l'alignement de 4 voies grâce à la latence déterministe.

La première impulsion SYSREF permet de lancer une acquisition côté « TX » avec le symbole 0. La deuxième impulsion cherche si toutes les voies ont bien transmis le symbole 0, et le cas échéant, permet la transmission de toutes les voies vers le FPGA au même instant ; l'acquisition est donc synchronisée et déterminée dans le temps.

Cependant, la latence déterministe et la valeur du compteur K (généralisant le signal SYSREF) impose une condition : il est indispensable d'avoir une période SYSREF strictement supérieure à la latence aléatoire. Dans le cas contraire, tous les symboles 0 peuvent être ou

ne pas être reçus, au gré de la latence aléatoire. Si une voie n'a pas transmis le symbole 0 lors de la deuxième impulsion, la transmission côté « RX » ne sera effectuée qu'à la troisième impulsion. Dans un tel scénario, la latence « déterministe » peut ainsi varier erratiquement de K à 2K. Il est donc nécessaire au préalable de mesurer et estimer la latence du système en tenant compte de ses variations conditionnelles afin d'imposer une latence déterministe stable.

2.3.1.2 Choix du convertisseur analogique-numérique

Le convertisseur analogique-numérique (CAN) constitue le coeur des systèmes d'acquisition et requiert une attention particulière concernant son choix, en accord avec l'application et les performances de mesure visées. Dans le cadre de la thèse, le développement du système d'acquisition haute vitesse est centré sur la preuve de concept plutôt que sur une application particulière. Le choix des performances demeure donc abstrait, mais est cependant circonscrit dans le domaine des phénomènes transitoires rapides.

L'étude des contraintes électromagnétiques imposées par des commutateurs MOSFET SiC (Carbure de Silicium) menée dans la thèse de J-M. Larbaig a entre autres mené à l'observation des décharges partielles dans les bobinages moteurs lors de leur vieillissement. Ces décharges affectent le spectre fréquentiel des signaux de pilotage sur une bande de 1 à 100 MHz et requièrent, dans le but de conserver la totalité des informations dans le domaine fréquentiel, une fréquence d'échantillonnage d'au-moins 2 fois la fréquence maximale impliquée, $2 \times 100MHz = 200 \text{ Me/s}$ [Lar21].

En s'inscrivant dans la continuité de ce type d'application, cette bande fréquentielle a été retenue comme contrainte pour la fréquence d'échantillonnage. Présenté en section 2.1.2, une résolution de 14 bits a été considérée comme étant un bon compromis entre la quantité de données générées à transporter et la précision suffisante de la mesure. Plusieurs CAN sont présentés dans le tableau 2.3, et intègrent tous le standard de sérialisation JESD204B.

Référence	Fréquence d'échantillonnage	Résolution	Voies d'acquisition	Prix
AD9250-250	250 Me/s	14 bits	2	231 \$
AD9683-250	250 Me/s	14 bits	1	127 \$
AD9690-500	500 Me/s	14 bits	1	238 \$
AD9690-1000	1000 Me/s	14 bits	1	511\$

TABLE 2.3 – Comparaison entre différents modèles de convertisseurs analogiques numériques utilisant l'interface JESD204B.

Toutes les références de CAN commencent par AD et représentent Analog Devices. En effet, parmi les grands constructeurs, Texas Instrument, Maxim Integrated ou encore

STMicroelectronics, et bien que tous compétitifs, Analog Devices est apparu être le seul proposant des convertisseurs aux interfaces JESD204B disposant des caractéristiques énoncées précédemment. Le convertisseur AD9250-250 accepte deux voies d'acquisition sur la même puce et apporte un avantage considérable en compacité par rapport à l'utilisation de deux AD9683-250. Une fréquence d'acquisition excessivement supérieure n'étant pas nécessaire pour les premiers prototypes, c'est donc l'AD9250 qui a été retenu pour constituer le coeur du système d'acquisition.

2.3.1.3 Choix de la plateforme FPGA-SoC

La connaissance du CAN est indispensable pour pouvoir spécifier les besoins de la carte FPGA-SoC traitant les données à transiter. En s'appuyant sur la figure 2.4, on rappelle l'ensemble des éléments constituant le système complet, notamment les deux parties physiques à développer que sont la carte CAN et la carte FPGA-SoC. Le modèle de la carte FPGA-SoC doit être en capacité de recevoir les données cadencées à un taux de transfert DR imposé par les caractéristiques du CAN AD9250. Notamment, à partir du Tableau 2.4, DR peut varier selon les paramètres M et L choisis : le nombre de convertisseurs utilisés, et le nombre de voies de transfert, respectivement. La figure 2.21 schématise les différents agencements selon les quatre configurations proposées.

$F_{éch}$	M	L	N'	Taux de transfert
250 Me/s	2	14 + 2	1	5 Gb/s
250 Me/s	1	14 + 2	1	2,5 Gb/s
250 Me/s	2	14 + 2	1	10 Gb/s
250 Me/s	1	14 + 2	1	5 Gb/s

TABLE 2.4 – Taux de transfert des données sérialisées entre le CAN et la plateforme FPGA selon la fréquence d'utilisation et les paramètres du protocole JESD204B.

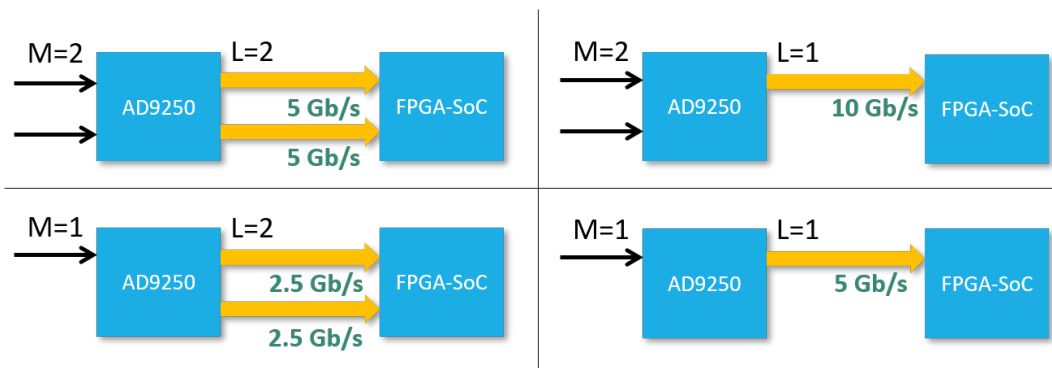


FIGURE 2.21 – Différentes configurations de transfert de données sérialisées pour une fréquence d'échantillonnage de 250 Me/s et une résolution de 14 bits.

La première configuration ($M=2, L=2$) résulte en un taux de transfert de 5 Gb/s par voie et par convertisseur. Dans l'idée de garder ces deux voies en entrée du CAN qui constituaient un avantage par rapport aux autres convertisseurs, c'est cette configuration qui a été choisie.

Deux modèles de plateforme FPGA-SoC disponibles au laboratoire ont permis le développement des prototypes décrits en Section 2.3.2. Ces deux plateformes présentées en tableau 2.1 sont rappelées en tableau 2.5, où sont comparés notamment les taux de transfert maximaux des connecteurs haute vitesse permettant de transmettre/recevoir les données sérialisées.

Modèle	FPGA	Connecteur haute vitesse	Nombre de voies	Fréquence maximale
Socket	Intel Cyclone V	HSMC	4 TX / 4 RX	3.125 Gb/s
HAN Pilot	Intel Arria 10	FMC	10 TX / 10 RX	10 Gb/s
		Connecteur fibre optique SPF+	2 TX / 2 RX	40 Gb/s

TABLE 2.5 – Comparaison des performances de transmission de données haute vitesse entre les plateformes Socket et HAN Pilot.

La première plateforme Socket dispose d'un connecteur HSMC permettant la réception de 4 voies haute vitesse à 3,125Gb/s maximum. Ce taux est bien-sûr inférieur au taux défini précédemment de 5 Gb/s imposé par l'AD9250. A l'inverse la plateforme HAN Pilot intègre un connecteur FMC autorisant un plus grand nombre d'entrées et un taux de transfert jusqu'à 10 Gb/s. De plus, elle offre la possibilité de recevoir 2 signaux fibre optique haute vitesse à une vitesse maximale de 40 Gb/s, ce qui correspond à la configuration $M=2$ et $L=2$ en nombre de voies et convient largement en terme de vitesse.

Cependant, avec son connecteur HSMC plus facile à intégrer dans nos propres cartes d'interface par rapport aux connecteurs FMC (voir figure 2.22), la plateforme Socket permet le développement d'un premier prototype moins exigeant (le placement des composants et la soudure à la main étant réalisés au laboratoire, la difficulté de réalisation est un vrai facteur limitant). La vitesse maximale étant limitée à 3,125 Gb/s, il est nécessaire de limiter la fréquence d'acquisition du CAN. En la divisant par 2, on obtient le taux de transfert suivant :

$$DR = \frac{F_{éch}/2 \times M \times N' \times 10/8}{L} \quad (2.4)$$

$$DR = \frac{(250 * 10^6)/2 \times 2 \times 16 \times 1,25}{2} \quad (2.5)$$

$$DR = 2,5 \text{ Gb/s} < 3,125 \text{ Gb/s} \quad (2.6)$$

Un premier prototype sans fibre optique mais directement connecté via HSMC a donc été proposé afin de valider la chaîne de transmission incluant le protocole JESD204B en limitant la fréquence d'échantillonnage à 125 Me/s. Ce premier prototype limite les contraintes trop exigeantes en vitesse et en complexité de connectique, afin de se concentrer sur le fonctionnement primaire du protocole. Le deuxième prototype consiste à inclure la connection fibre optique, directement grâce aux connecteurs SPF+ de la HAN pilot, ou à l'aide une carte d'interface développée et connectée au FMC. De cette façon, le CAN AD9250 pourra être utilisé à sa fréquence d'échantillonnage nominale (250 Me/s) via fibre optique. Ce deuxième prototype représente le système d'acquisition présenté en début de chapitre, Figure 2.4.

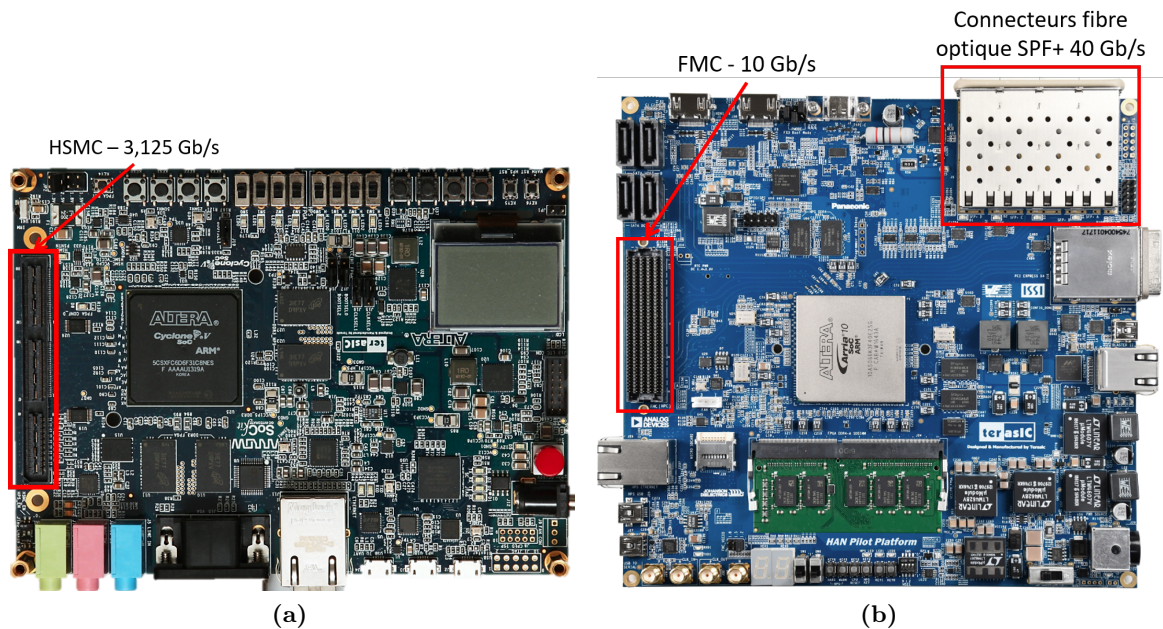


FIGURE 2.22 – (a) Plateforme Sockit avec connecteur HSMC.(b) Plateforme HAN Pilot avec connecteur FMC et fibre optiques SPF+.

Le développement des prototypes introduits est présenté en détail dans la section qui suit. Ces prototypes incluent la carte d'acquisition haute fréquence et la plateforme FPGA dans chaque cas, et l'étude de l'intégrité des signaux exposée en section 2.3.3 porte sur le développement du PCB de la carte d'acquisition.

2.3.2 Développement de prototypes

2.3.2.1 ContactKit92

Le nom du premier prototype « ContactKit92 » s'inspire des deux éléments majeurs le constituant et définissant ses capacités, la plateforme FPGA SocKit d'un côté et le convertisseur analogique-numérique AD9250 de l'autre. L'absence de communication via fibre optique entre ces deux instances, directement réalisée par la connexion mâle-femelle

des connecteurs HSMC justifie le « Contact ».

Le développement d'une carte concerne donc la partie CAN du système, puisque la plateforme FPGA SocKit ne requiert aucune interface ou extension de connectique, le connecteur HSMC étant déjà présent. Le synoptique du ContactKit92 est présenté en figure 2.23 et fait apparaître les signaux transitant entre la carte de conversion et la plateforme FPGA.

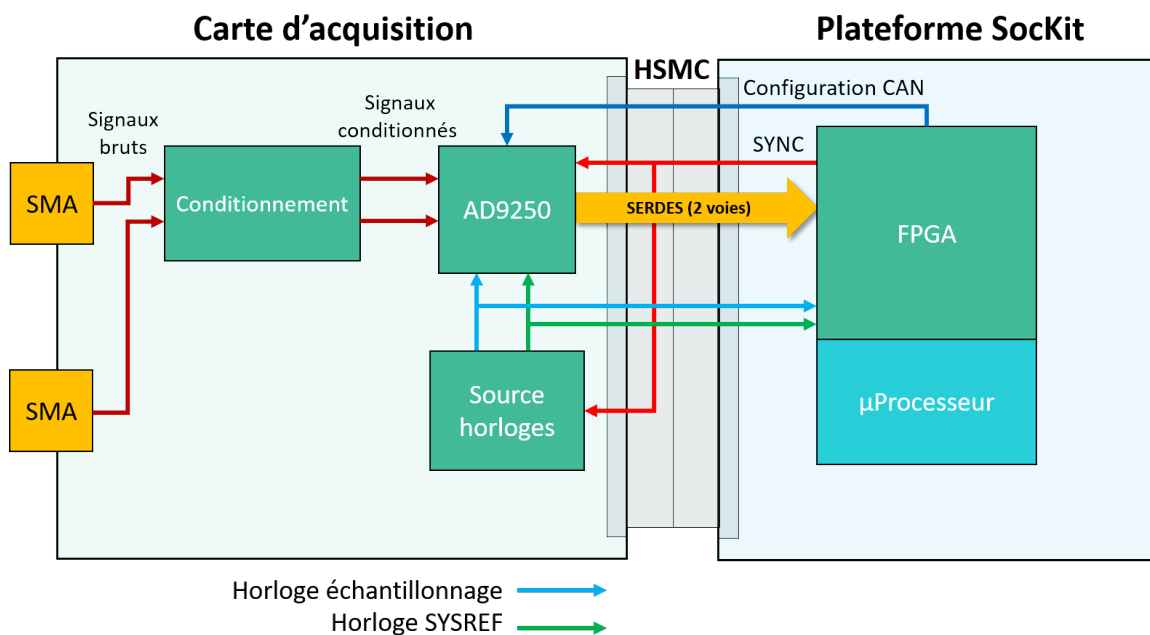


FIGURE 2.23 – Synoptique du prototype ContactKit92 avec deux voies d'entrées et une interface typique JESD204B entre le CAN AD9250 et le FPGA.

Outre le CAN, deux éléments se distinguent au niveau de la carte d'acquisition. Tout d'abord, la source d'horloges est réalisée à partir d'un seul et même composant de génération d'horloge. A de telles vitesses, lorsque de multiples horloges doivent être générées, il est préférable de limiter au mieux les divergences dans le comportement des horloges (jitter, temps de montée, déphasage) induites par différentes sources. L'horloge d'échantillonnage pilote de manière synchrone l'AD9250 ainsi que la FPGA et assure la stabilité temporelle de l'interface JESD204B. Pour des fréquences d'horloges aussi élevées (>100 MHz) il est préférable d'utiliser une source d'horloge dédiée la plus stable possible (jitters < 1 ps) plutôt que de la générer directement sur la FPGA via une PLL. Bien que l'encombrement en composants nécessaires serait réduit, les performances d'une PLL sont plus limitées, avec jitters de la dizaine de picosecondes. Comme expliqué en section 2.3.1.2, l'horloge SYSREF permet le contrôle de la latence déterministe en indiquant le départ d'une transaction côté CAN et sa réception côté FPGA. Le signal SYNC, actif à l'état bas, ordonne une réinitialisation synchrone entre l'AD9250 et la génération d'horloge. D'autre part, le conditionnement des signaux en entrée des connecteurs SMA est nécessaire pour les ajuster au convertisseur et réaliser un filtrage

passé-bas primaire.

● Conditionnement du signal

Le conditionnement du signal consiste en deux fonctions. La première est la conversion du signal de type single en différentiel. Le principe des lignes différentielles permet, par le transport du signal et de son complément sur deux voies distinctes, l'élimination des perturbations de mode commun. La figure 2.24 illustre le principe.

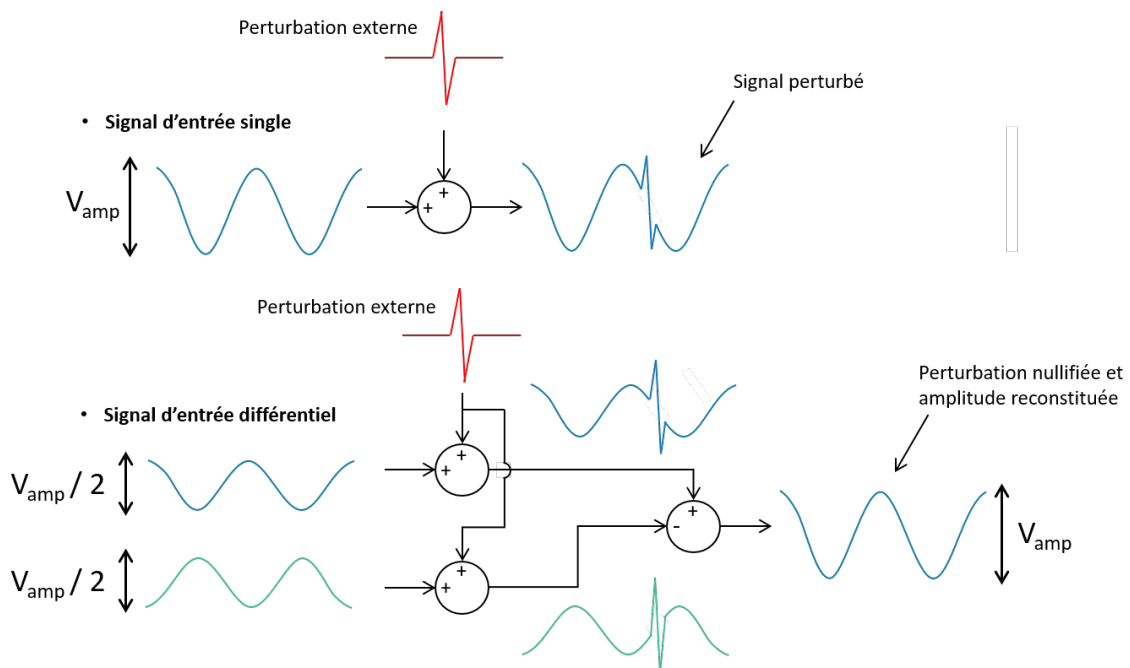


FIGURE 2.24 – Schéma de principe de la suppression des perturbations de mode commun avec un transport différentiel des signaux.

Les signaux différentiels routés sur PCB sont en général tracés proches l'un de l'autre (dits couplés) et de ce fait subissent des perturbations très similaires et de même signe. Ainsi, lors de la reconstitution du signal par la soustraction du signal nominal au signal inverse, toute affectation reproduite des deux côtés sera alors soustraite et égale à 0.

La deuxième fonction de conditionnement est l'ajustement de l'amplitude initiale du signal à la plage d'amplitude acceptée par le CAN. Le prototype ne ciblant pas une application définie, l'ajustement a été fixé à un gain de 1. C'est à dire que le signal d'entrée conservera son amplitude initiale et doit concorder avec la plage acceptée en entrée de l'AD9250, comprise entre 0 et 2 V.

L'amplificateur différentiel haute vitesse référencé ADA4930, conçu chez Analog Devices, permet de réaliser une conversion single-différentiel avec un ajustement du gain. Le schéma électrique de l'amplificateur différentiel avec une entrée single est présenté dans la figure suivante, et met en avant une relation entre l'impédance du signal, l'impédance d'entrée de l'amplificateur et son gain.

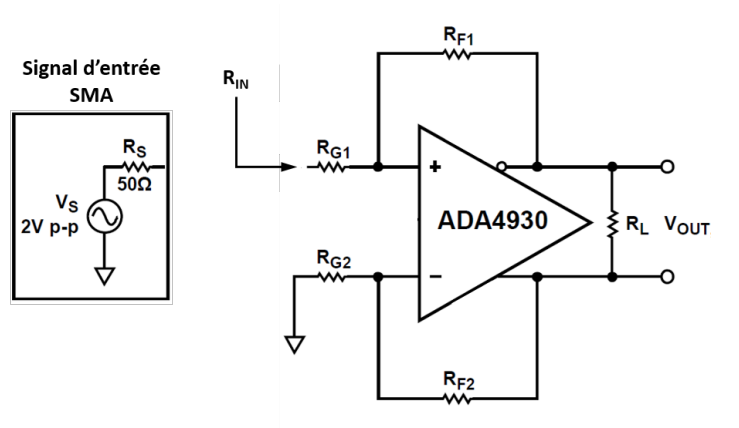


FIGURE 2.25 – Schéma électrique de l'amplificateur différentiel ADA4930 avec une entrée single $50\ \Omega$ [Dev].

Dans cette configuration, les signaux en entrée de R_{G1} et de R_{G2} ne sont pas équilibrés puisqu'une des entrées est le signal mesuré oscillant entre 0 et 2V, d'impédance $50\ \Omega$, alors que l'autre est à la masse. Le gain unitaire V_S/V_{OUT} est égal à R_F/R_G et doit être équilibré pour générer le moins de bruit en sortie. Le système est dit équilibré lorsque les coefficients de contre-réactions β_1 et β_2 exprimés en (2.7) sont égaux.

$$\beta_1 = \frac{R_{G1}}{R_{G1} + R_{F1}} \quad \beta_2 = \frac{R_{G2}}{R_{G2} + R_{F2}} \quad (2.7)$$

Pour un système équilibré :

$$R_{G1} = R_{G2} = R_G \quad \text{et} \quad R_{F1} = R_{F2} = R_F \quad (2.8)$$

$$\beta_1 = \beta_2 = \frac{R_G}{R_G + R_F} \quad (2.9)$$

Lorsque le système est équilibré, l'impédance d'entrée R_{IN} (voir Figure 2.25) peut être écrite comme il suit :

$$R_{IN} = \frac{R_G}{1 - \frac{R_F}{2(R_G + R_F)}} \quad (2.10)$$

L'impédance d'entrée R_{IN} doit être adaptée à l'impédance caractéristique du signal, c'est à dire à $50\ \Omega$. En assumant au départ $R_G = R_F = 301\ \Omega$, et d'après (2.10), R_{IN} vaut $401,33\ \Omega$. Une résistance en parallèle de R_{G1} d'une valeur de $57,12\ \Omega$ doit alors être ajoutée pour adapter R_{IN} à $50\ \Omega$. Le fait d'être adapté sur $50\ \Omega$ entre le conduit du signal et l'entrée de l'amplificateur divise par deux son amplitude : un gain de 2 est donc désiré pour retrouver l'amplitude initiale du signal. Seulement, augmenter le gain, donc augmenter R_F

ou diminuer R_G revient à changer l'impédance d'entrée, qui ne sera plus égale à 50Ω . En suivant la méthode exposée en [Dev], de multiples itérations entre l'ajustement du gain et de l'impédance d'entrée permettent de convenir des valeurs de R_T et R_G pour retrouver une impédance d'entrée R_{IN} suffisamment proche de 50Ω et un gain compensatoire suffisamment proche de 2. Ces résistances doivent être associées à l'ADA4930, dont les emplacements et valeurs sont illustré 2.26.

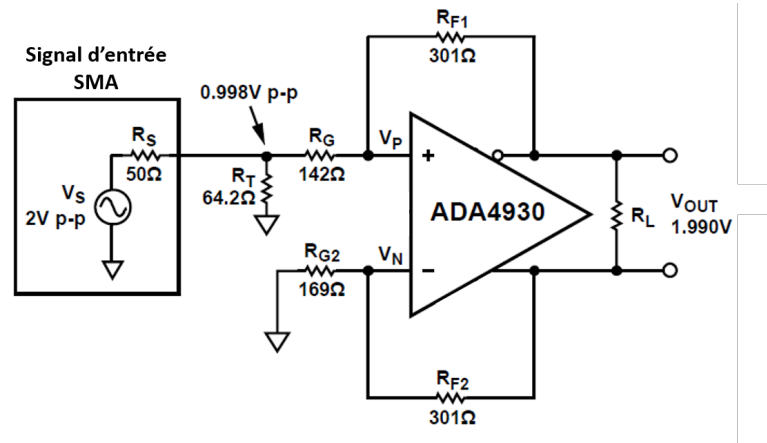


FIGURE 2.26 – Ajustement des résistances R_G et R_T de l'amplificateur différentiel ADA4930 pour obtenir un gain de 2 sur une impédance d'entrée adaptée à l'impédance du signal de 50Ω [Dev].

Le signal en sortie de cet étage de conditionnement est différentiel, d'amplitude égale à celle du signal d'entrée dont l'impédance est adaptée, minimisant les possibles réflexions dues aux discontinuités d'impédances entre le signal et l'ADA4930.

● Génération des horloges

Deux horloges sont nécessaires au fonctionnement du CAN AD9250 et du protocole de sérialisation JESD204B, l'horloge d'échantillonnage $F_{éch}$ et l'horloge SYSREF. L'horloge d'échantillonnage permet simplement de réguler la fréquence d'échantillonnage, fixée à 125 MHz, et est synchrone au FPGA afin de pouvoir reconstituer les échantillons. L'horloge SYSREF quand à elle contrôle la latence déterministe (LD), dont la période est égale au délai de transmission entre l'envoi d'un échantillon côté CAN et sa réception côté FPGA. La période de SYSREF est régulée par le paramètre K, fixant le nombre de trames d'échantillons à recevoir par voie avant de libérer toutes les voies au même instant côté FPGA. Le standard JESD204B permet de choisir le compteur K entre 1 et 32, ce qui correspond à une latence déterministe exprimée en (2.11).

$$LD = \frac{K}{F_{éch} \times S} \quad (2.11)$$

Avec S le nombre d'échantillons par acquisition. La valeur de K est fixée par défaut à

16, c'est cette valeur (reconfigurable dans le futur) qui est utilisée pour illustrer la suite du développement du prototype. Pour $F_{éch}=125$ MHz (fréquence d'échantillonnage fixée pour notre prototype), cela correspond à une valeur minimale de LD à 8 ns minimum, et maximale à 256 ns. Ce délai correspond à une distance D de parcours entre le CAN AD9250 et la plateforme FPGA, en considérant uniquement le parcours des signaux SERDES via fibre optique de :

$$D_{min} = \nu_{f.o} \times LD_{min} = 17m \quad (2.12)$$

$$D_{max} = \nu_{f.o} \times LD_{max} = 547m \quad (2.13)$$

Avec $\nu_{f.o}$ la vitesse de la lumière dans une fibre optique monomode de $2,14.10^8 m.s^{-1}$. La distance maximale prise en compte par la latence déterministe est d'environ un demi kilomètre, ce qui offre une souplesse pour un grand nombre d'applications, notamment dans notre cas, où l'objectif est d'isoler la plateforme FPGA d'une zone à forte perturbation électromagnétique.

La génération d'une horloge « mère » est issue d'un oscillateur à crystal, et servira à obtenir les deux horloges désirées H_{CAN} et SYSREF. Le schéma électrique est présenté ci-dessous.

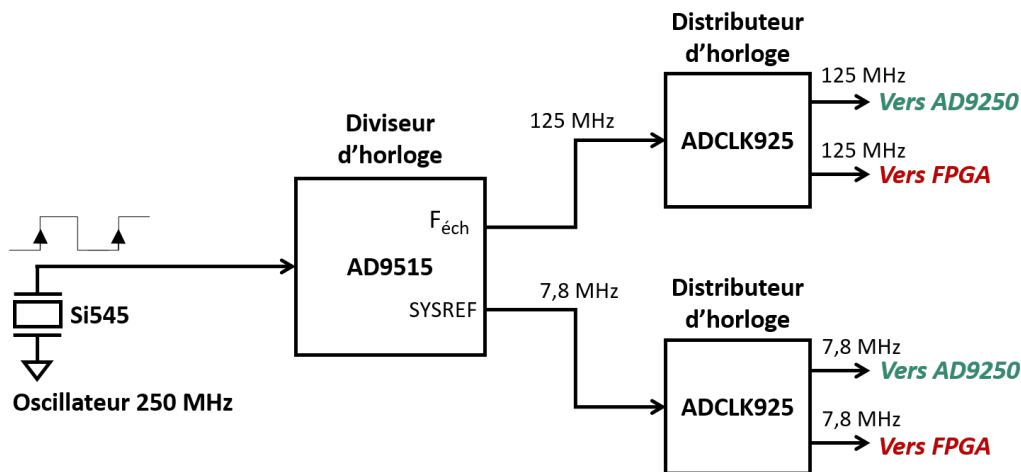


FIGURE 2.27 – Schéma électrique de la génération des horloges $F_{éch}$ et $SYSREF$ à partir d'un oscillateur à crystal.

Le diviseur d'horloge AD9515 permet de diviser l'horloge en entrée par un facteur variant entre 1 et 32 et variant avec un pas de 1. Le diviseur est donc parfaitement adapté pour la génération de l'horloge SYSREF, et peut opérer avec des fréquences en entrée jusqu'à 1,6 GHz. Par ailleurs, il offre un jitter en sortie (plage de variations entre les différentes périodes de l'horloge) très faible, typiquement entre 50 et 300 fs (10^{-15} secondes!) selon le rapport de division. Les distributeurs ADCLK925 dédoublent une horloge donnée en entrée,

en deux horloges en sortie de même fréquence. Elles fonctionnent jusqu'à une fréquence de 7,5 GHz pour un jitter moyen de 60 fs. Une grande rigueur temporelle est nécessaire puisque deux distributeurs sont utilisés pour partager chaque horloge, F_{ADC} et $YSREF$, vers le FPGA et vers le CAN, et que la qualité de synchronicité des deux horloges provenant du même diviseur AD9515 doit être maintenue. Les hautes performances de l'ADCLK925 permettent de s'assurer que cette condition est bien satisfaite.

Le routage et la conception de la carte d'acquisition découle de l'étude préliminaire de l'intégrité des signaux par analyse numérique et fait l'objet de la section 2.3.3.1, présentant la démarche suivie pour optimiser la fiabilité du design de la carte.

2.3.2.2 Précisions sur les interfaces de signaux logiques basse tension

En sortie des convertisseurs CAN ou des sources d'horloges, des signaux numériques sont générés. Ils s'illustrent par la commutation rapide d'interrupteurs générant deux niveaux de tension, dits état haut et état bas. De multiples technologies standardisées de drivers (signifiant « pilotes » en anglais) existent et permettent de commander les alternances de niveaux selon le critère de fonctionnement qui sera considéré comme prédominant : la fréquence de commutation, la puissance consommée, ou le niveau de bruit électromagnétique généré. Ces signaux, transmis au moyen de pistes sur cartes PCB ou par fibre optique entre différentes cartes, n'ont de raison d'être que s'ils sont capables d'être réceptionnés correctement de l'autre côté de la voie de transmission. Les standards utilisés pour recevoir les signaux sont les mêmes que ceux utilisés pour les transmettre, et permettent donc de simplifier le développement des circuits électroniques utilisant des circuits intégrés en provenance de différents fabricants.

Il existe un nombre important de ces interfaces standards, les principales étant le **CMOS** (Complementary MOS), le **LVDS** (Low Voltage Differential Signal), le **LVPECL** (Low Voltage Positive Emitter-Coupled Logic) et le **CML** (Current Mode Logic) [Hol02]. Ces standards se définissent selon plusieurs critères, notamment par les niveaux de tension état haut et état bas et par la vitesse de transition entre ces deux derniers.

- **CMOS**

Les drivers CMOS [Cir20] sont constitués de deux transistors : un NMOS et un PMOS mis en série, et connectés entre une tension d'alimentation (V_{dd}) et la masse (voir Figure 2.28).

Cette structure inverse donc la tension de sortie par rapport à la commande V_E des transistors et peut osciller entre V_{dd} (généralement 5 V) et 0 V. La commutation simultanée des deux transistors impose durant un très court instant une faible impédance entre V_{dd} et la masse, engendrant un courant transitoire responsable de perturbations importantes si les commutations sont récurrentes à une fréquence supérieure à 100 MHz. Pour cette raison, les CMOS ne sont généralement pas utilisés comme interface de transmission haute vitesse.

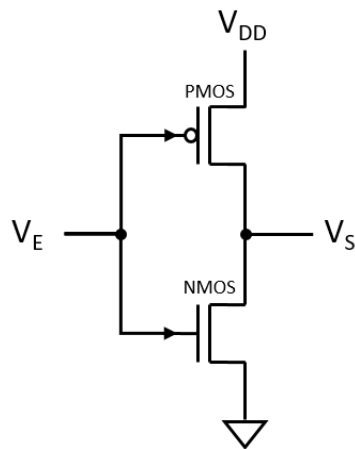


FIGURE 2.28 – Schéma électrique typique d'un driver CMOS inverseur.

● LVDS

L'interface LVDS, apparue en 1994 et définie par la SCI (Scalable Coherent Interface) Community [IEE97], est une interface opérant à des tensions crête-à-crête beaucoup plus faibles que son prédécesseur, autour de 350 mV, et fonctionnant en différentiel (voir Figure 2.29). Ce standard réduit donc les perturbations EM émises en abaissant le courant nécessaire pour commuter d'un état à un autre, et bénéficie comme expliqué en section 2.3.2.1 de la réjection de perturbations de mode commun.

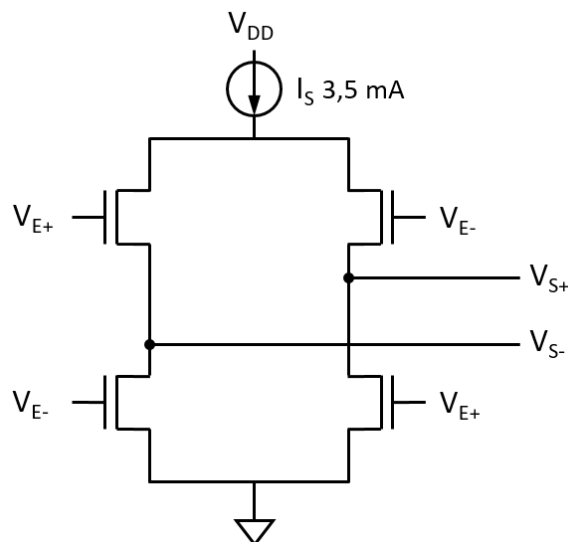


FIGURE 2.29 – Schéma électrique typique d'un driver LVDS.

Le driver LVDS dispose d'une source de courant de 3,5 mA, et de ce fait impose une charge de 100Ω en sortie pour obtenir une tension oscillant entre 0 et 350 mV. Typiquement cette charge est placée entre V_{S+} et V_{S-} car elle permet de s'adapter aux impédances des lignes différentielles et d'éviter de possibles réflexions (expliqué plus tard dans cette section).

Le standard LVDS définit également une tension de mode commun de 1,2 V autour de laquelle oscillent les états haut et bas. Le signal de sortie résultant peut alterner entre 1 V et 1,4 V.

● LVPECL

Le standard LVPECL [HS02] remonte aux années 1970 et se différencie des interfaces présentées jusqu'ici puisque les sorties V_{S+} et V_{S-} sont chacune reliées aux émetteurs de transistors NPN. La sortie est donc contrôlée à la fermeture (état haut), mais pas à l'ouverture du transistor (état bas). L'utilisateur doit donc relier la sortie à un potentiel externe appelé V_{bias} permettant de contrôler l'état bas (voir figure 2.30). Le standard impose un état haut à 2,4 V et un état bas à 1,6 V de telle sorte à ce que l'on retrouve une tension de mode commun de 2 V imposée par le V_{bias} . Puisque l'impédance doit être également adaptée à 100 Ω (qui est l'impédance typique d'une ligne différentielle), il est nécessaire de connaître la tension disponible sur la carte PCB souvent différente de V_{bias} pour reconstituer à l'aide d'un réseau de résistances le V_{bias} et l'adaptation à 100 Ω . De plus, en tenant compte de la chute de tension de la jonction base-émetteur du transistor de 0,7 V, la tension V_{bias} cherchée n'est pas 2 V mais 1,3 V.

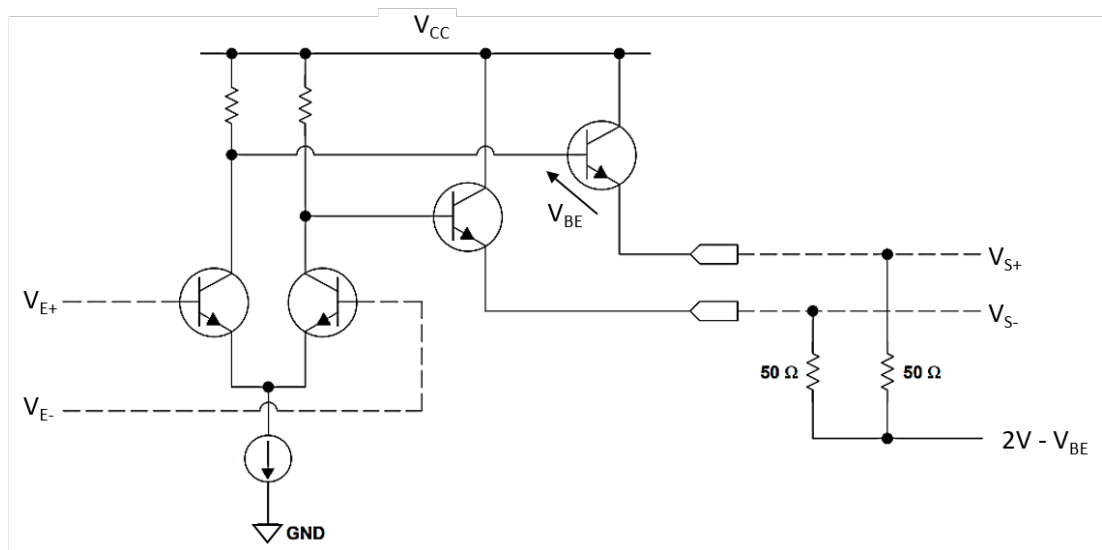


FIGURE 2.30 – Schéma électrique typique d'un driver LVPECL [Hol02].

● CML

La technologie Current Mode Logic (CML) est similaire au LVDS dans l'implication de sources de courant continu pour générer les états haut et bas du signal transmis. Cependant, le CML n'est pas un standard et laisse le fabricant libre de choisir la tension crête-à-crête et la tension de mode commun. Cette souplesse permet d'ajuster facilement les niveaux de tension selon le taux de transmission, pouvant aller jusqu'à la dizaine de gigabits. Le CML est principalement utilisé dans les transmissions sérialisées, et notamment avec l'interface JESD204B.

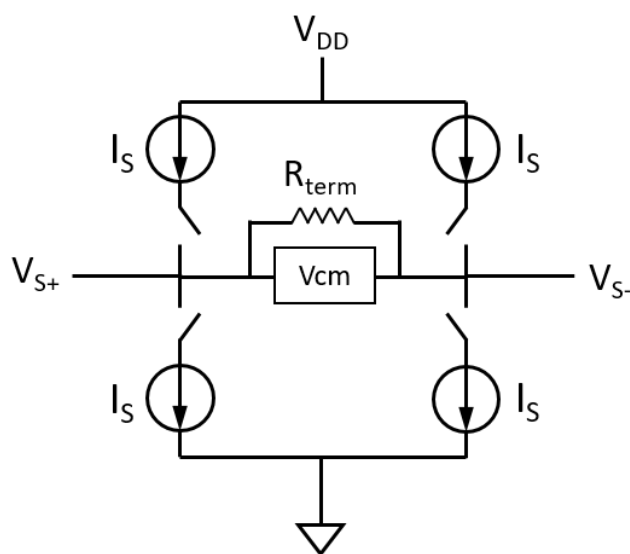


FIGURE 2.31 – Représentation schématique généralisée de la structure d'un driver CML.

Le driver CML [HS02] dispose d'une résistance R_{term} optionnelle permettant de réduire les réflexions en entrée du driver, très probables à de telles vitesses de transmission. Dans le cas du CAN AD9250 utilisé dans les prototypes présentés en section 2.3.2, l'interface CML est définie pour une tension de mode commun de 1,5 V et une tension crête-à-crête de 800 mV.

Le tableau 2.6 confronte les différentes performances des quatre interfaces présentées, sachant que seulement trois des interfaces seront utilisées dans les prototypes. En effet, les circuits intégrés choisis pour la réalisation de la carte (génération et diviseurs d'horloge, CAN) disposent uniquement des interfaces LVDS, LVPECL et CML. De plus, pour les signaux numériques impliqués visant des fréquences supérieures à la centaine de megahertz, l'interface CMOS n'est plus envisageable.

Interface	V_{CM}	$V_{c.à.c}$	Temps de montée / descente	Taux de transfert maximal	Consommation de puissance
CMOS	2,5 V	5 V	2 ns	~ 100 Mb/s	Fort
LVDS	1,2 V	400 mV	350 ps	3,125 Gb/s	Faible
LVPECL	2 V	800 mV	175 ps	~ 10 Gb/s	Moyen / Fort
CML	1,5 V	800 mV	100 ps	~ 10 Gb/s	Moyen

TABLE 2.6 – Comparaison des performances entre différentes interfaces de transmissions de signaux haute vitesse [Ins08].

Les niveaux de chaque type de signaux sont illustrés en Figure 2.32 (à l'exception du CMOS qui n'est pas utilisé) ce qui permet une meilleure représentation des différences entre les tensions de sortie selon l'interface choisie.

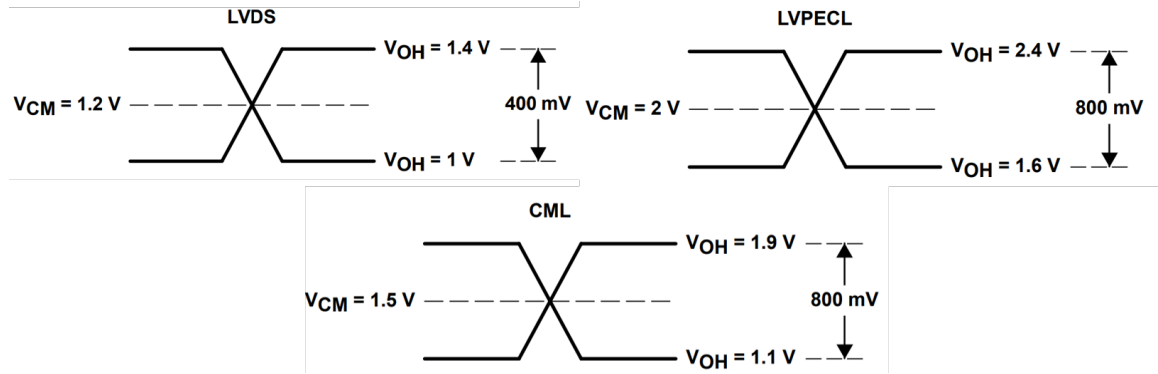


FIGURE 2.32 – Représentation des niveaux logiques selon l'interface employée [Hol02].

2.3.2.3 Interfacage et terminaison des signaux sur le prototype ContactKit92

L'intégrité d'un signal, qu'il soit numérique ou analogique, est tout d'abord, et avant d'évoquer les phénomènes de perturbations externes, intrinsèque à sa bonne transmission. Du point de vue des interfaces de transmissions de signaux haute vitesse présentées précédemment, une bonne transmission se traduit par l'adaptation des terminaisons (en entrée ou en sortie de la ligne de transmission) selon le standard, et en accord avec les caractéristiques de la ligne de transmission. Toute transmission de signaux haute vitesse respecte l'agencement présenté en Figure 2.33. Plus spécifiquement, les signaux transitent à travers deux lignes de transmission pour les interfaces LVDS, LVPECL ou CML puisqu'elles utilisent le mode différentiel.

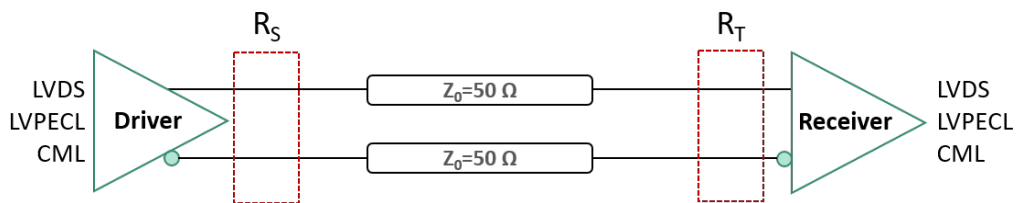


FIGURE 2.33 – Schéma de principe d'une transmission d'un signal entre un émetteur et récepteur avec ses réseaux d'adaptation d'impédance.

Les réseaux d'adaptation d'impédance R_S et R_T ont pour but d'ajuster les impédances en entrée et sortie de ligne afin qu'elles soient le plus proche de l'impédance caractéristique de la ligne de transmission de Z_0 de 100Ω . Les coefficients de réflexion Γ_0 et Γ_l exprimés en (2.14) représentent selon les rapports des impédances concernées (purements résistives), quelle fraction de l'amplitude d'un signal incident est réfléchié vers le côté opposé de la ligne.

$$\Gamma_0 = \frac{R_{\text{entrée}} - Z_0}{R_{\text{entrée}} + Z_0} \quad (2.14)$$

$$\Gamma_l = \frac{R_{\text{sortie}} - Z_0}{R_{\text{sortie}} + Z_0} \quad (2.15)$$

Sachant qu'en entrée de ligne, la résistance interne du Driver est souvent faible (quelques ohms) et que la résistance d'entrée apparente $R_{\text{entrée}}$ est ajustée avec une résistance en série R_S et s'exprime :

$$R_{\text{entrée}} = R_{\text{driver}} + R_S \quad (2.16)$$

Alors qu'en sortie de ligne, à l'inverse, la résistance interne du Receiver est souvent haute (dizaine de kilo ohms), l'ajout d'une résistance R_T en parallèle permet d'ajuster l'impédance de sortie R_{sortie} :

$$R_{\text{sortie}} = \frac{R_{\text{receiver}} \times R_T}{R_{\text{receiver}} + R_T} \quad (2.17)$$

Il apparait naturellement un coefficient de réflexion minimum (égal à 0) si $R_{\text{entrée}}$ ou R_{sortie} est égal à Z_0 . Adapter l'entrée et la sortie d'une transmission est la manière optimale de limiter au minimum la génération de réflexions au niveau des terminaisons. Cependant, si l'adaptation d'impédance en sortie de ligne est indispensable puisqu'elle est la 1ère réflexion du signal incident, et donc la plus importante, l'adaptation en entrée, elle peut être facultative car elles réfléchissent uniquement une fraction de la 1ère réflexion renvoyée en entrée. De plus, en s'appuyant sur (2.18), on constate que l'ajout d'une résistance R_S dans le but d'obtenir une impédance d'entrée adaptée et égale à celle de sortie diviserait par deux l'amplitude du signal généré.

$$V_{\text{sortie}} = V_{\text{entrée}} \times \frac{R_{\text{sortie}}}{R_{\text{entrée}} + R_{\text{sortie}}} \quad (2.18)$$

Dans les étapes initiales du développement du prototype ContactKit92, les terminaisons en entrée de lignes ne sont donc pas considérées. A l'inverse, les terminaisons R_T doivent être dimensionnées. La connaissance des différents standards d'interfaces utilisés en entrée et sortie de chaque signal impliqué dans la carte d'acquisition est nécessaire, et est récapitulée en Figure 2.34.

L'entrée des lignes de transmission différentielles indique la génération du signal côté Driver, et la sortie (côté flèche) indique la lecture du signal par le Receiver. Il apparaît sur certains Receivers, la mention X, signifiant qu'aucun standard LVDS, CML, LVPECL ou autre n'est spécifié, mais qui peut s'adapter à un plus large éventail de niveaux de signaux

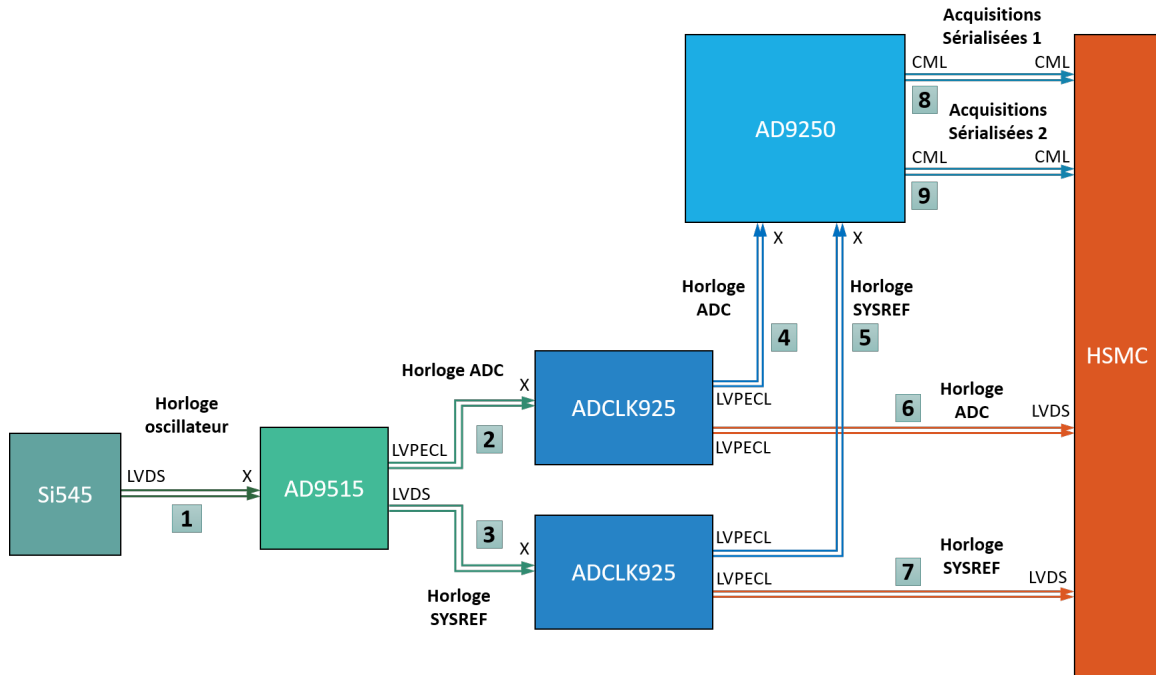


FIGURE 2.34 – Schématisation des interfaces de signaux haute vitesse du prototype ContactKit92 mises en jeu.

indépendamment de la technologie. Il est nécessaire de distinguer trois caractéristiques à prendre en compte côté Receiver :

- **Résistance interne** : La présence d'une résistance interne d'adaptation (souvent de $100\ \Omega$) côté Receiver.
- **V_{bias} externe** : Le besoin de changer la tension de mode commun du signal d'entrée car elle ne correspond pas à la plage de tension acceptée par le Receiver (intervention d'une tension V_{bias} externe).
- **V_{bias} interne** : Le changement de la tension de mode commun qui est imposée par une tension interne V_{bias} du Receiver.

Le tableau 2.7 reprend les différentes interfaces de signaux numériques se trouvant sur le schéma en Figure 2.34 afin de spécifier la technique de terminaison des lignes selon les différentes combinaisons possibles.

Plusieurs scénarios s'imposent et peuvent être regroupés en différentes catégories. Lorsque la tension de mode commun du Receiver est différente de celle du Driver (interfaces 1,4,5,6 et 7), il est nécessaire d'appliquer un couplage AC (voir Figure 2.35). Le couplage AC, à l'aide de capacités en série, permet de filtrer la composante continue (DC) du signal généré, étant la tension de mode commun V_{CM} . De ce fait, le Receiver est libre d'imposer sa tension V_{CM} au signal sans composante continue. De plus, pour les interfaces 1,4 et 6, si le Receiver ne dispose pas de résistance d'adaptation interne, il convient de rajouter une résistance R_T adaptée à l'impédance caractéristique des lignes différentielles, de $100\ \Omega$.

N°	Driver	Receiver	V_{bias} ?	Résistance receiver interne
1	LVDS ($V_{CM} = 1,2V$)	X ($V_{CM} = 1,6V$)	Interne	Non
2	LVPECL ($V_{CM} = 2V$)	X ($V_{CM} = 2V$)	Non	Oui
3	LVDS ($V_{CM} = 1,2V$)	X ($V_{CM} = 1,2V$)	Non	Oui
4	LVPECL ($V_{CM} = 2V$)	X ($V_{CM} = 0,9V$)	Interne	Non
5	LVPECL ($V_{CM} = 2V$)	LVDS ($V_{CM} = 1,2V$)	Interne	Oui
6	LVPECL ($V_{CM} = 2V$)	X ($V_{CM} = 0,9V$)	Interne	Non
7	LVPECL ($V_{CM} = 2V$)	LVDS ($V_{CM} = 1,2V$)	Interne	Oui
8	CML ($V_{CM} = 0,9V$)	CML ($V_{CM} = 0,9V$)	Non	Oui
9	CML ($V_{CM} = 0,9V$)	CML ($V_{CM} = 0,9V$)	Non	Oui

TABLE 2.7 – Ensemble des interfaces haute vitesse de signaux numériques de la carte d'acquisition ContactKit92.

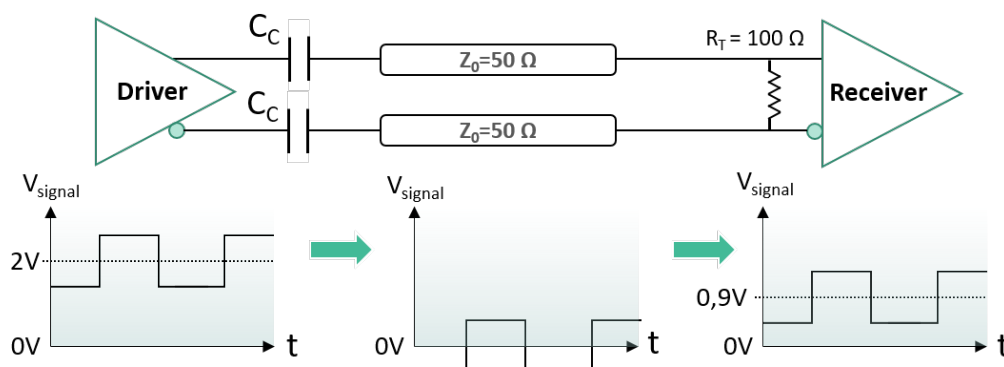


FIGURE 2.35 – Couplage AC d'une interface différentielle présentant différents niveaux de signaux entre le Driver et le Receiver.

Le couplage AC est valable pour les interfaces 1,4,5,6 et 7, et la valeur de la capacité dépend de la fréquence du signal. En effet, si cette valeur est trop faible, le signal risque d'être affecté en bloquant les états hauts / états bas du signal, trop longs par rapport à la constante de temps $R_T C_C$. Cependant, une trop grande capacité augmenterait trop le temps de réponse à filtrer les basses fréquences et notamment les composantes continues. Les réponses selon la valeur de la capacité couplant le signal d'horloge oscillateur de 250 MHz avec une charge de 100Ω ont été analysées numériquement sur LTSpice afin d'illustrer les différents cas.

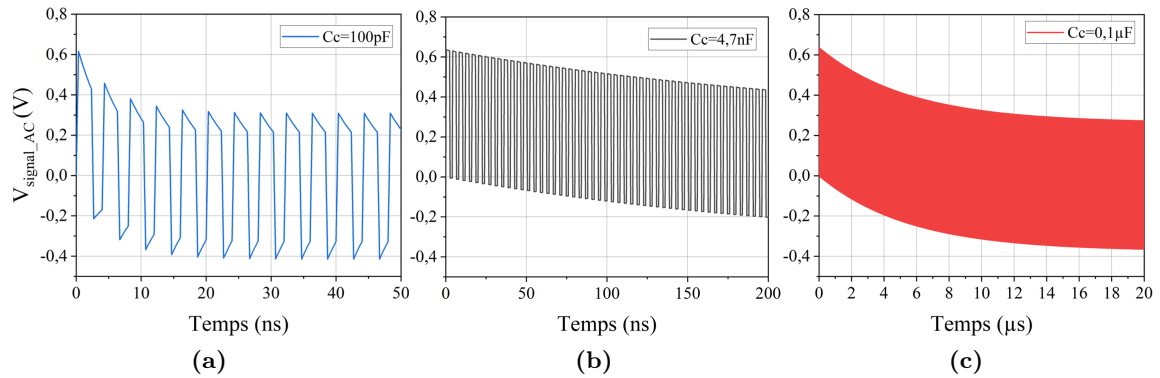


FIGURE 2.36 – Différents comportements de la tension de sortie du couplage AC du signal d'horloge oscillateur de 250 MHz pour $C_c=100\text{pF}$ (a), $C_c=4,7\text{nF}$ (b), $C_c=0,1\mu\text{F}$ (c).

Le meilleur compromis entre temps de réponse du couplage et bonne intégrité des états haut et bas, pour des fréquences autour de la centaine de mégahertz et pour des impédances de ligne adaptées à $100\ \Omega$ implique des valeurs de capacité entre 1 et 10 nF. Les états haut et bas ne sont pas affectés de manière significative, et le temps de réponse attendu est de l'ordre de la microseconde (voir Figure 2.36b). Une capacité trop élevée, en Figure 2.36c, présente la meilleure conservation des états hauts et bas mais impose un temps de réponse trop important, de plusieurs dizaines de microsecondes. Bien que des valeurs au-delà de ces limites ne soient pas critiques dans le cas du prototype, la valeur des capacités a été fixée à 4,7 nF (capacités standards facilement disponibles sur le marché).

Dans le cas d'un Driver LVPECL couplé en AC (interfaces 4,5,6,7) la technologie ne présentant pas de contrôle à l'ouverture du transistor et donc de l'état bas, la capacité de couplage en série ne pourrait pas se décharger après le premier état bas du signal (circuit ouvert côté Driver). Pour cette technologie, un chemin vers la masse doit donc être apporté. Une solution consiste à placer une résistance en parallèle des lignes avec la masse comme présenté en Figure 2.37. Une valeur de $240\ \Omega$ permet au front descendant (décharge de la capacité) d'être suffisamment réactif tout en limitant la consommation de courant.

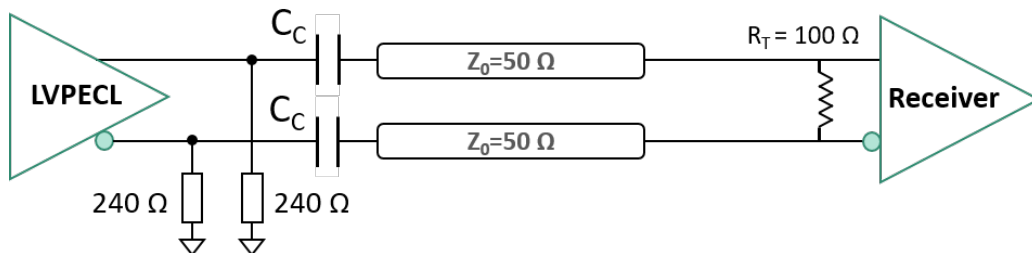


FIGURE 2.37 – Interfaçage d'un driver LVPECL avec couplage AC vers un Receiver de technologie différente.

Les interfaces CML opèrent aux fréquences les plus importantes dans le système puisqu'elles transfèrent les signaux sérialisés (SERDES) à un taux exprimé en (2.7) de 2,5 Gb/s. Cependant, la plateforme FPGA dispose d'une entrée SERDES avec comme technologie de Receiver le CML. A de telles fréquences, il est préférable qu'une interface ait la même technologie de Driver et de Receiver. De cette façon, le couplage AC ainsi qu'un encombrement en composants est évité. De plus, et pour tous les signaux ayant pour destination la plateforme FPGA via le connecteur haute vitesse HSMC, une résistance de terminaison $100\ \Omega$ n'est pas nécessaire pour la raison suivante. Comme illustré en Figure 2.38, la longueur totale d'une ligne de transmission inclut la longueur de piste sur la carte d'acquisition développée, ainsi que la longueur de piste sur la carte FPGA. En tenant compte de l'entièreté du système, la terminaison doit être alors placée à l'entrée de la puce FPGA. Le FPGA Cyclone V dispose de résistances de terminaison de $100\ \Omega$ directement « programmables » à chaque entrée de signal. Pour cette raison, aucune résistance d'adaptation n'est placée au niveau du connecteur HSMC représentant la fin de la ligne de transmission côté carte d'acquisition.

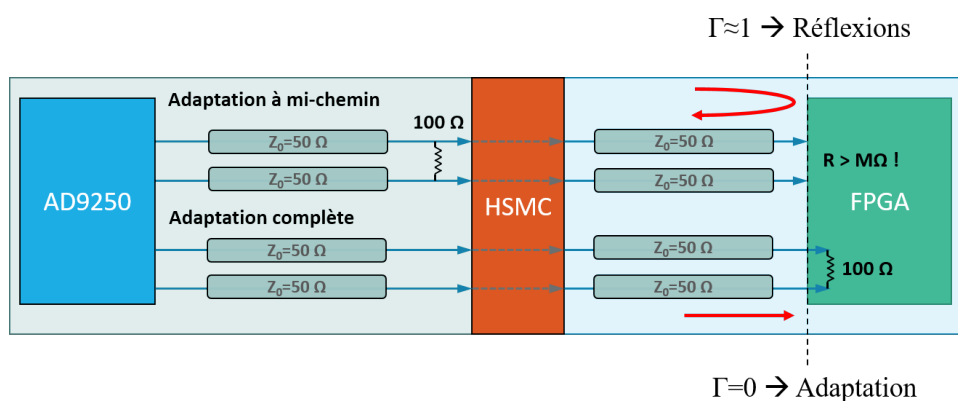


FIGURE 2.38 – Comparaison entre une terminaison d'une ligne de transmission incomplète impliquant des réflexions, et une terminaison au niveau de la puce FPGA grâce aux résistances programmables.

Les différents interfaçages utilisés pour transiter les signaux numériques du prototype, en accord avec les interfaces en Tableau 2.5 sont synthétisés dans la figure ci-après.

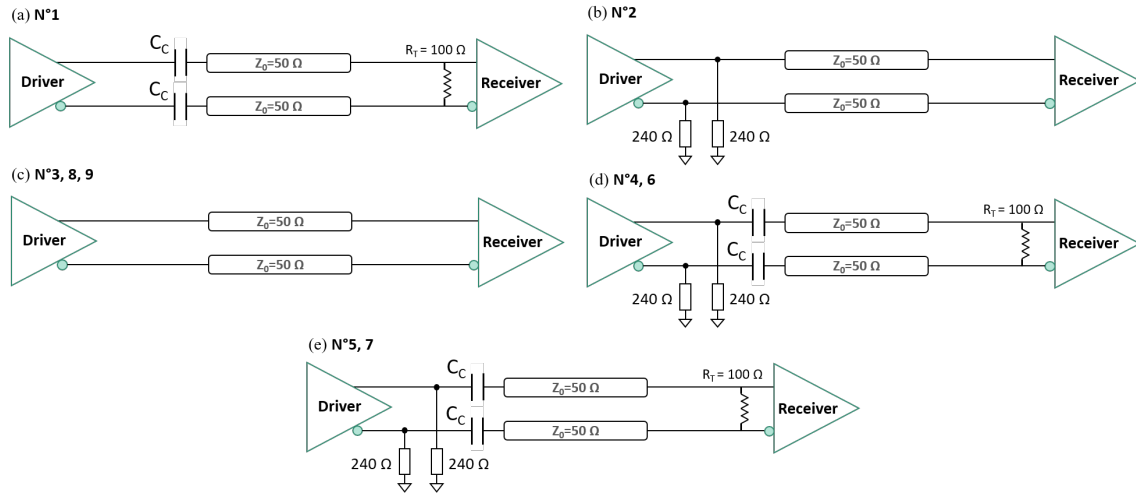


FIGURE 2.39 – Synthèse des interfaçages haute vitesse de la carte d'acquisition Contact-Kit92.

2.3.3 Développement et réalisation d'une carte PCB haute vitesse

2.3.3.1 Longueur critique d'une ligne de transmission sur PCB.

La conception de PCB à haute fréquence implique de considérer les pistes de cuivre comme des lignes de transmission. Cela ne signifie pas une fréquence d'horloge élevée, mais plutôt à un temps de montée ou de descente (temps de commutation) rapide des signaux numériques (voir Figure 2.40). Il convient de définir la relation établissant la longueur critique d'une ligne à partir de laquelle les phénomènes de propagation et donc de réflexion doivent être considérés.

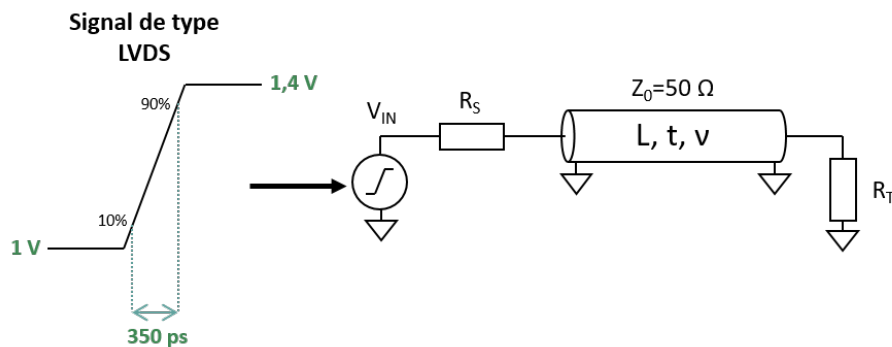


FIGURE 2.40 – Front typique d'un signal LVDS à l'entrée d'une ligne de transmission.

Dans le cas d'un Driver de technologie LVDS, les temps de montée et de descente (à 10-90%) valent typiquement de 350 ps. Avec la connaissance de la longueur L , et la vitesse de propagation du signal dans la ligne ν , le délai de propagation t peut être déterminé. La vitesse est dépendante du diélectrique de la ligne de transmission et est exprimée en (2.19). Les cartes PCB sont faites généralement d'un composite de résine Epoxy et de fibre de verre

appelé FR4, dont la constante diélectrique ϵ_r vaut en moyenne 4,4.

$$\nu = \frac{c}{\sqrt{\epsilon_r}} \tag{2.19}$$

$$\nu = \frac{c}{\sqrt{4}} = 1,43 \cdot 10^8 \text{ m/s} \tag{2.20}$$

En supposant une ligne initialement non adaptée ($\Gamma_0 \approx -1$ avec $R_S \ll Z_0$ et $\Gamma_l \approx 1$ avec $R_T \gg Z_0$), alors les réflexions seront maximales lorsque la ligne imposera un délai égal ou supérieur à 350 ps, soit pour la longueur de ligne suivante :

$$L = \nu \times t_{montée} \tag{2.21}$$

$$L = 1,43 \cdot 10^8 \times 350 \cdot 10^{-12} \approx 5 \text{ cm} \tag{2.22}$$

Un délai de propagation dix fois inférieur au temps de montée est suffisant pour ne plus considérer les réflexions comme critiques, dans le cas des signaux numériques. La Figure 2.41 représente la tension en sortie de ligne en réponse à un échelon ayant pour temps de montée 100 ps pour différentes longueurs de ligne. L'impédance caractéristique de la ligne est fixée à $Z_0=50 \Omega$, ainsi que les résistances de terminaisons avec $R_S=1 \Omega$ et $R_T=1 \text{ M}\Omega$.

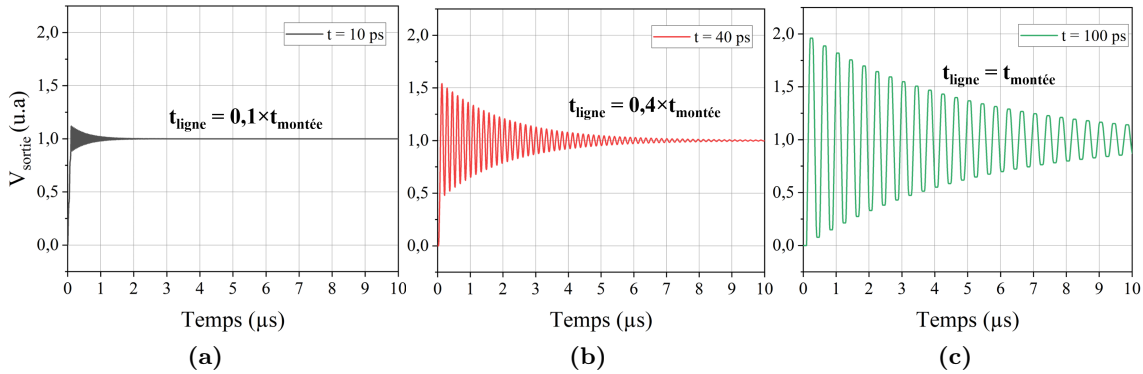


FIGURE 2.41 – Amplitudes de réflexions en sortie pour $\Gamma_l = 1$ et $\Gamma_0 = -1$ pour un échelon de temps de montée égal à 100 ps, et un délai de propagation dans la ligne de 10% du temps de montée (a), 40% (b) et 100% (c).

A partir d'un temps de propagation t_{ligne} supérieur ou égal au temps de montée de l'échelon, les réflexions saturent à leur amplitude maximale imposée par les coefficients de réflexion Γ (Figure 2.41c). Pour un délai dix fois inférieur au temps de propagation, les réflexions engendrées ne peuvent pas induire une erreur ou une confusion de lecture du signal par le Receiver entre l'état haut ou l'état bas. Avec comme référence la longueur critique en 2.22 pour un front de montée standard d'une interface LVDS, une piste de longueur supérieure à 2,1 cm peut donc être considérée comme une ligne de transmission.

2.3.3.2 Choix de la configuration PCB

Pour déterminer l'impédance des pistes en tant que lignes de transmission, il est d'abord nécessaire de connaître la structuration du PCB, plus précisément l'arrangement de ses couches de cuivre. Un circuit imprimé (ou PCB pour Printed Circuit Board en anglais), est un empilement de couches conductrices de cuivre, espacées par un matériau isolant, notamment le FR4. Sur les surfaces externes peuvent être fixés mécaniquement par soudure des composants électroniques, connectés entre eux si besoin en gravant les pistes nécessaires dans la couche de cuivre. Avant l'arrivée de l'informatique et du progrès technologique, une seule couche de cuivre suffisait pour la faible densité de composants utilisés [PEH05]. Avec l'augmentation des contraintes en nombre de composant et en fréquence d'opération, les PCB à deux couches (donc deux conducteurs) ont permis, outre une double surface de placement et de routage, le contrôle de l'impédance des pistes dès lors considérées comme lignes de transmission. Aujourd'hui les PCB répondent à des besoins extrêmes en densité de composants, de signaux, et de fréquence d'opération [GRB+11] [GC10], et le nombre de couches grandissant (toujours en nombre paire) de 4 puis 8, 16 voire jusqu'à 32 offre une souplesse appréciable. Le nombre de couches adéquat à la conception d'une carte est déterminé par la densité de composants et de signaux électriques, ainsi que les différentes contraintes liées à l'application. En effet, un PCB multicouches permet de dédier des couches uniques à un niveau d'alimentation (en volts), à une référence de masse, ou à certains signaux. Pour déterminer le nombre de couches adéquates au prototype ContactKit92, il convient d'abord de présenter en Figure 2.42 l'entièreté du schéma électrique regroupant les parties analogiques et numériques.

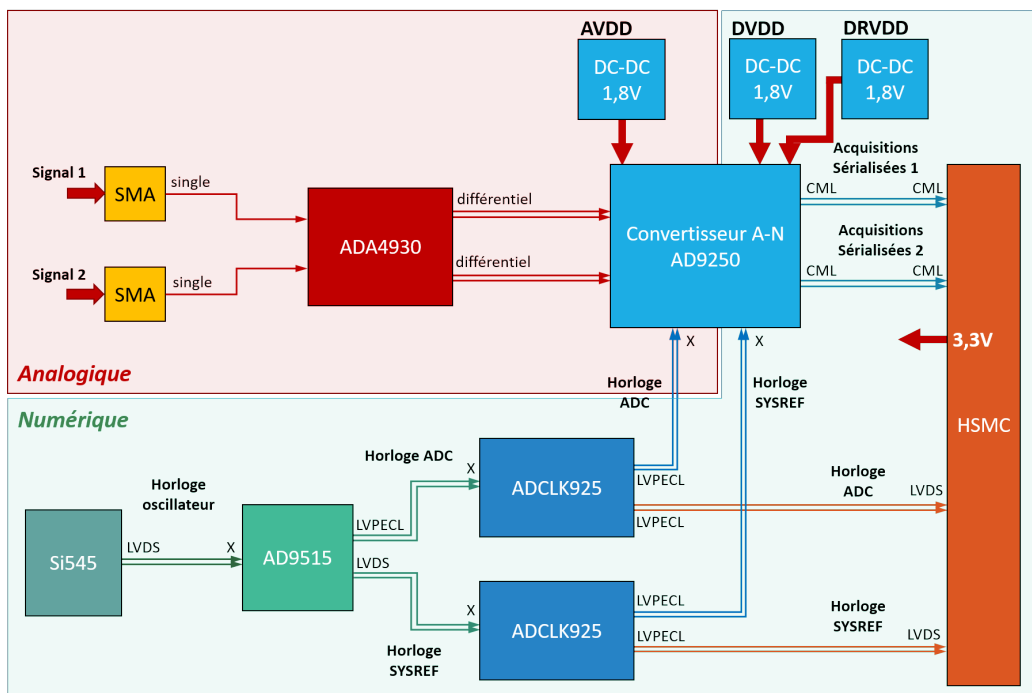


FIGURE 2.42 – Synoptique électrique complet de la carte d'acquisition ContactKit92.

Le circuit intégré ADA4930 est un convertisseur single-différentiel avec ajustement du gain présenté en Figure 2.25. Tous les composants (à l'exception du CAN) sont alimentés par la carte FPGA en 3,3 V via le connecteur HSMC. L'alimentation 3,3 V FPGA disponible permet une consommation pouvant aller jusqu'à 1,5 A. Le CAN requiert une alimentation plus faible de 1,8 V, séparée en trois blocs d'alimentation, pour les parties analogiques (AVDD), numériques (DVDD), et pour la sérialisation des données (DRVDD). Les convertisseurs 3,3-1,8V (référence TSP7A11) sont des convertisseurs de type linéaire et permettent la conversion DC-DC à très faible bruit, contrairement à une alimentation à découpage classique. Ce type d'alimentations ne peut qu'abaisser une tension à l'instar d'un pont diviseur, et ne permet pas d'apporter une forte puissance (inférieur à l'ampère et à la dizaine de volts) mais est adapté à l'alimentation spécifique de petits composants tels qu'un CAN.

L'ensemble des éléments constituant la carte présentée en Figure 2.42 permet d'avoir une idée de la quantité de composants et de signaux à considérer. La largeur de la carte ne doit pas excéder la longueur du connecteur HSMC de 7 cm ; une carte de 7×7 cm pour ce prototype reste ergonomique et compacte sans trop contraindre l'agencement des composants et des signaux. Compte tenu de l'alimentation de chaque composant, et des signaux contraints de se croiser, un PCB à 2 couches mènerait à un enchevêtrement complexe des nombreuses pistes au moyen de vias (passage d'un signal d'une couche à une autre pour contourner une autre piste). Les PCB 4 couches offrent une meilleure agilité et permettent également de mieux décider du rôle de chaque couche. De manière générale, il est avantageux de spécifier une couche comme référence à 0 V (plan de masse), une couche comme alimentation des composants (plan de puissance), et une couche pour router les signaux et établir les connexions entre différents composants. Une quatrième couche est donc libre, et sera utilisée pour le prototype comme deuxième plan de masse. En disposant les 4 couches (Alimentation-Masse-Signaux-Masse) comme présenté en Figure 2.43, un blindage électromagnétique intrinsèque au PCB est donc apporté et protège donc potentiellement les signaux d'agressions extérieures. Il est à noter cependant que les plans de masses, avec une plus grande surface, augmentent les capacités parasites de mode commun aux signaux, et doivent être considérés dans le design (espacement des pistes de signaux pour que le chemin de retour du courant des signaux ne se perturbent pas).

Il est désormais possible, grâce à la connaissance de la structure du PCB, de déterminer l'impédance des pistes transmettant les signaux haute fréquence puisqu'elles dépendent des conducteurs voisins. Cependant, un PCB doit avant toute chose être dimensionné en tenant compte de performances et des limites techniques imposées par le fabricant chez qui la carte sera imprimée. Les fabricants de PCB en petite quantité (autre que de la production en série) ont émergé ces dernières années, débridant et facilitant le développement de prototypes à des prix abordables avec une qualité de production exemplaire. La plupart des fabricants sont compétitifs et disposent des techniques de production nécessaires pour contrôler, conformément à notre demande, l'impédance des pistes single ou différentielles

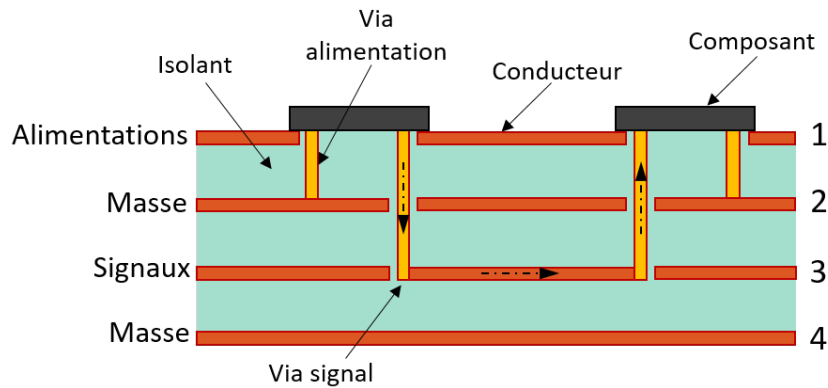


FIGURE 2.43 – Arrangement d'un PCB 4 couches (GND-Alim-Signaux-GND) priorisant le blindage EM et représentation générale d'une transmission entre deux composants.

autour de 50 ou 100 Ω respectivement. Cependant, le choix du fabricant a été déterminé par la possibilité de placer les vias (reliant les pins des CI aux différentes couches nécessaires) directement sous les pins des composants. Le principe est illustré en Figure 2.44 et démontre un gain en compacité non négligeable dans la conception de PCB.

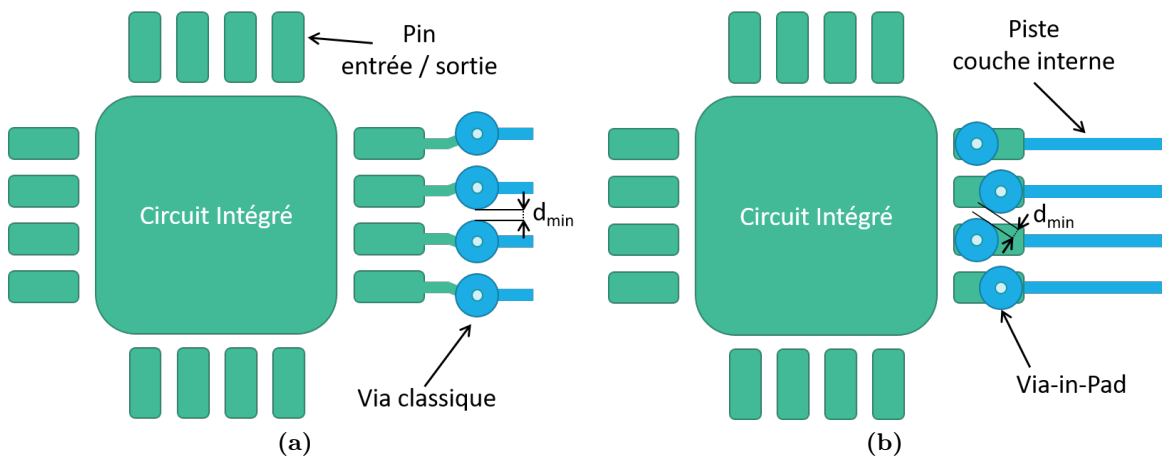


FIGURE 2.44 – (a) Placement classique de vias reliant les pins d'un circuit intégré, en respectant l'espacement minimal d_{min} entre les vias. (b) Placement des vias sous les pins (via-in-pad).

La possibilité de placer des via-in-pad est contrainte aux dimensions minimales admissibles d'espacement entre deux vias et des diamètres minimums de perçage et de couronne externe du via, par rapport à l'espacement imposé par les pattes du circuit intégré. Les pins des circuits intégrés utilisés et présentés en Figure 2.42 sont espacés d'une distance de 0,5 mm entre elles. Les performances en terme de qualité de production de plusieurs fabricants sont comparées en Tableau 2.8 et nous ont permis de faire le choix le plus adapté dans le cas du prototype.

Fabricant	Diamètre perçage min.	Largeur couronne via min.	Espacement min.	Via-in-pad	Localisation	Coût
JLCPCB	0,2 mm	5 mils	5 mils	Non	Chine	€
Pcbway	0,15 mm	3 mils	3 mils	Oui	Chine	€
Eurocircuits	0,1 mm	4 mils	4 mils	Oui	Europe	€€
4PCB	0,1 mm	3 mils	3 mils	Oui	USA	€€€

TABLE 2.8 – Comparatifs des performances de production de différents fabricants PCB.

Les fabricants incluant le placement de via-in-pads proposent tous des diamètres et espacements suffisants pour pouvoir placer les vias sur des pads espacés de 0,5 mm. Cependant, en tenant compte des coûts de production, et de l'existence d'un service client en France, le choix s'est porté vers Eurocircuit. En effet, la disponibilité du fabricant et la bonne communication avec le client s'est révélé être cruciale lors de la commande des PCB et de l'ajustement de différents paramètres.

2.3.3.3 Dimensionnement des lignes de transmission.

L'impédance d'une ligne de transmission dépend de sa géométrie, et des propriétés des matériaux qui la constituent. Une ligne de transmission peut être assimilée à un modèle à une dimension d'éléments passifs (voir Figure 2.45) représentant chacun un tronçon de la ligne de longueur L_0 .

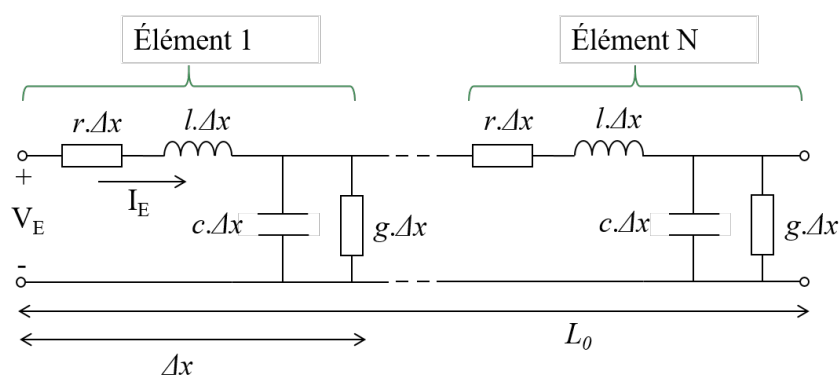


FIGURE 2.45 – Ligne de transmission par éléments distribués.

Ces éléments distribués sont déterminés selon la longueur sur laquelle ils sont observés, par la résistance r (en Ω/m) de la ligne représentant les pertes liées à conductivité imparfaite du matériau conducteur, et à la géométrie de la piste (notamment la section). L'inductance l (en H/m) est liée à la perméabilité magnétique μ du matériau et également à la géométrie du conducteur. La capacité équivalente c (en F/m) apparaît entre les deux conducteurs, elle

dépend de leur géométrie et de la permittivité diélectrique de l'isolant ε . Enfin, g (en S/m) représente en faible proportions les pertes tangentielles δ dues à la conductivité du matériau diélectrique à de plus hautes fréquences. L'impédance locale de la ligne de transmission à chaque tronçon de longueur Δx (supposant une ligne homogène) est exprimée en (2.23) :

$$Z_0 = \sqrt{\frac{r.\Delta x + jl.\Delta x\omega}{g.\Delta x + jc.\Delta x\omega}} = \sqrt{\frac{r + jl\omega}{g + jc\omega}} \quad (2.23)$$

Dans les bandes de fréquences utilisées pour notre prototype (autour du gigahertz), $l\omega \gg r$ et $c\omega \gg g$. L'impédance peut alors être approximée à :

$$Z_0 = \sqrt{\frac{l}{c}} \quad (2.24)$$

Et la vitesse de propagation de l'onde au sein d'un élément :

$$\nu_0 = \frac{1}{\sqrt{l.c}} \quad (2.25)$$

On remarque que (2.25) ne dépend plus de la fréquence. C'est pourquoi il est important de savoir si la plage de fréquence permet l'omission des paramètres r et g . De plus, lorsque $\omega \rightarrow \infty$, r et g ne sont plus constants : r augmente avec l'effet de peau, qui exprime la tendance du courant à circuler en périphérie du conducteur lorsque la fréquence augmente [Whe42], et g n'est alors plus négligeable puisqu'à haute fréquence, les pertes par conductivité du diélectrique entre les deux conducteurs d'une ligne deviennent importantes [PMH68]. Dans notre cas, les signaux haute vitesse (où les pistes sont considérées comme lignes de transmission) impliquent comme fréquence minimale, la fréquence d'échantillonnage fixée à 125 MHz. Les fréquences les plus élevées proviennent des fronts de montée et de descente des drivers. L'interface CML présentée en Tableau 2.6 commute à une vitesse de 100 ps, dont la composante fréquentielle la plus élevée à considérer est de $0,35/100 \text{ ps} = 3,5 \text{ GHz}$. La plage de fréquence 125 MHz - 3,5 GHz n'est pas concernée par les pertes diélectriques typiques attendues dans une carte PCB, puisqu'elles sont négligeables au moins jusqu'à 10 GHz selon [Cor10] pour une résine isolante classique utilisée dans les PCB : le FR4.

Différentes méthodes de calcul existent et sont utilisées pour calculer l'impédance des lignes de transmission. Celles-ci sont comparées en Tableau 2.9, et l'on distingue les modèles analytiques des solveurs de champs (2D et 3D). Les premières équations utilisées comme références dans le design de lignes de transmission haute vitesse sont proposées par Harold A. Wheeler en 1977 [Whe77] et par Brian C. Wadell en 1991 [Wad91] qui incluent une plus grande variété de géométries, et permettent notamment le calcul de l'impédance des pistes de cuivre haute vitesse d'un PCB. Bien que de nombreuses géométries de pistes soient considérées, la fiabilité de ces calculs est correcte tant que le design reste simple. De plus,

les modèles analytiques ne tiennent pas compte des pertes diélectriques et de la rugosité des couches de cuivre qui sont des caractéristiques non négligeables à partir de très hautes fréquences (>10 GHz).

Méthode	Fiabilité	Difficulté	Temps
IPC-2141	Faible	Faible	Faible
Wadell	Modérée	Modérée	Faible
Solveurs de champ 2D	Haute	Faible	Faible
Solveurs de champ 3D	Très haute	Très haute	Très haut

TABLE 2.9 – Comparatifs des performances de différentes méthodes de calculs de l'impédance de lignes de transmission.

Les solveurs de champ 2D quant à eux établissent leur calculs à partir de l'agencement réel des couches proposé par l'utilisateur, permettant de considérer des modèles plus complexes impliquant différents diélectriques et différentes épaisseurs (assymétries) n'étant souvent pas incluses dans les modèles analytiques. Ce type de solveur est utilisé par des logiciels de design PCB tels que *Altium Designer*. Les solveurs de champ 3D sont les plus complets puisqu'ils tiennent compte du modèle 3D exact de la ligne de transmission. Le solveur *CST MicroWave Studio* permet l'estimation de l'impédance d'une ligne par TDR (de l'anglais *Time Domain Reflectometry*) [Sys22] et inclut en outre les pertes diélectriques du matériau utilisé et la rugosité en surface d'un conducteur.

En repartant de l'agencement des couches du PCB développé (Figure 2.43), le type de ligne de transmission pour les signaux est déterminé comme « stripline ». Une stripline (Figure 2.46) est une piste de couche interne à un PCB multicouche, cernée par les couches conductrices supérieures et inférieures. Dans le cas du prototype ContactKit92, les signaux (couche 3) sont compris entre la couche 4 de masse, et la couche 2 d'alimentation.

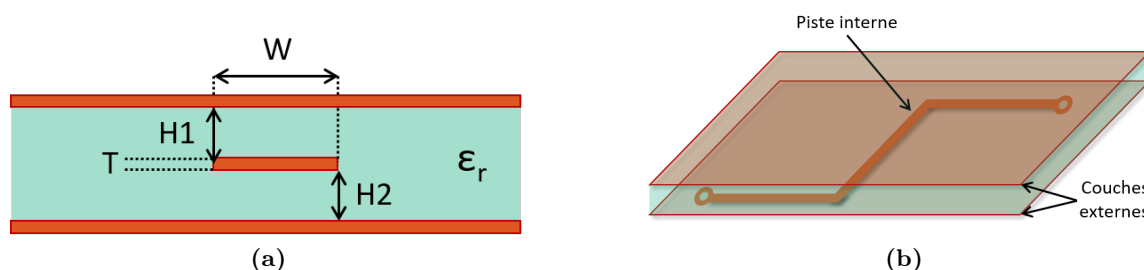


FIGURE 2.46 – (a) Vue en coupe de la section d'une stripline simple. (b) Vue 3D isométrique d'une stripline simple.

La structuration des couches de PCB est imposée par le fabricant choisi Eurocircuit (voir section 2.3.3.2). La configuration est présentée en Figure 2.47, où l'on peut remarquer

l'utilisation de deux résines isolantes différentes, le « core » (coeur) et le « prepreg » (pré-imprégné). Le core est l'élément principal d'une carte PCB et est constitué d'une couche de résine d'environ 1 mm d'épaisseur, avec deux couches de conducteur (souvent de cuivre) de chaque côté généralement d'une épaisseur de 18 μm ou 36 μm . Le prepreg est utilisé dans la conception de PCB multicouches et permet de fusionner plusieurs cores ensemble, constituant ainsi des PCB au nombre de couches pair.

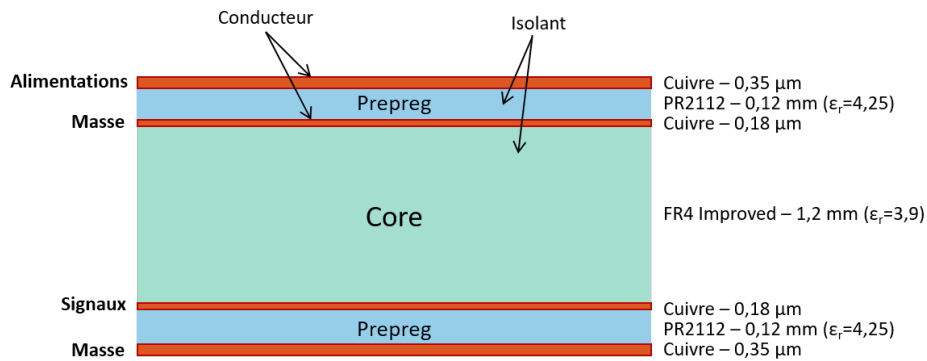


FIGURE 2.47 – Vue de coupe de la structure du PCB 4 couches du prototype ContactKit92.

En ayant connaissance des paramètres dimensionnels de la carte PCB et des caractéristiques électriques des différents matériaux employés, la largeur des pistes tracées sur la couche « Signaux » peut être définie pour obtenir une impédance caractéristique Z_0 de stripline de 50 Ω (comprise entre les deux couches de masses). Le PCB étant développé à l'aide du logiciel *Altium Designer*, la largeur de piste suggérée pour obtenir une impédance caractéristique Z_0 de 50 Ω est de 0,16 mm.

Cette largeur est estimée par le solveur de champ 2D d'*Altium* pour une stripline single. Cependant, à l'exception des signaux compris entre les connecteurs SMA et l'amplificateur différentiel ADA4930, la plupart des signaux présentés sur le schéma de la carte en Figure 2.42 sont différentiels. Une stripline différentielle est constituée de deux lignes conductrices de polarité opposée. En considérant, toujours dans un modèle d'éléments distribués, la capacité mutuelle c_m entre les deux conducteurs et leur inductance mutuelle l_m (voir Figure 2.48), alors lorsque les conducteurs sont suffisamment proches l'un de l'autre, les valeurs de c_m et l_m infléchissent l'impédance caractéristique de chaque ligne de telle sorte qu'elles ne peuvent pas être négligées dans le calcul de l'impédance propre à chaque ligne.

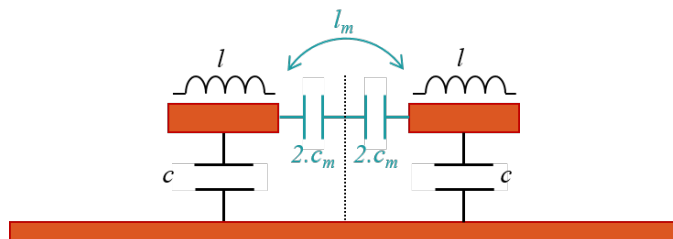


FIGURE 2.48 – Mise en avant de l'inductance mutuelle l_m et de la capacité mutuelle c_m d'une ligne de transmission stripline différentielle couplée.

L'impédance d'une ligne couplée à une autre et de polarité inverse est appelée impédance de mode impaire Z_{odd} et se différencie de son impédance caractéristique Z_0 lorsque celle-ci est isolée de tout autre ligne conductrice sur le même plan. Z_{odd} est exprimée en (2.26) et est utilisée pour calculer l'impédance différentielle de la ligne Z_{diff} , qui est simplement la somme deux impédances impaires de chaque ligne, soit $2Z_{odd}$. C'est à cette impédance différentielle que doivent être adaptées les terminaisons.

$$Z_{odd} = \sqrt{\frac{l - l_m}{c + 2.c_m}} \quad (2.26)$$

$$Z_{diff} = 2 \times Z_{odd} = 2 \times \sqrt{\frac{l_0 - l_m}{c + 2.c_m}} \quad (2.27)$$

La largeur des pistes w ainsi que l'espacement entre les deux s , pour le PCB donné en Figure 2.47, doivent être fixées pour obtenir une impédance différentielle Z_{diff} de 100Ω . Les valeurs recommandées par *Altium* sont $w=0,12$ mm et $s=0,22$ mm.

Les impédances de lignes single et différentielles sont ajustées à leur valeurs respectives de 50Ω et 100Ω , en fixant la géométrie de leur section par le biais du solveur de champ 2D d'*Altium*. Cependant, ni la géométrie 3D (piste comprenant des virages ou des vias) et ni l'environnement complet du PCB (pistes ou vias à proximité) ne sont pris en compte dans le calcul. Ces omissions peuvent mener à une approximation s'écartant de l'impédance réelle de la ligne en tous points, et donc a des réflexions. En conséquence, dans une démarche d'optimisation, l'analyse numérique de l'impédance des lignes par solveur de champ 3D, et donc par la méthode de réflectométrie de domaine temporel (TDR) a été menée et fait l'objet de la section 2.3.4.1.

2.3.3.4 Contrôle temporel des signaux

Dans l'intérêt d'assurer le fonctionnement et la fiabilité de l'interface JESD204B transmettant les données numériques et sérialisées au sein du CAN AD9250, il est indispensable de garantir la synchronicité des différentes horloges pilotant cette dernière : l'horloge d'échantillonnage H_{ADC} de 125 MHz, et l'horloge SYSREF de 7,8125 MHz (divisée par un facteur 16). Ces horloges sont générées et distribuées chacune par le circuit intégré ADCLK925 (voir Figure 2.27), et selon le placement des ces derniers, la longueur de l'acheminement des horloges au CAN peut être différente. L'interface JESD204B fonctionne de telle sorte qu'à chaque front montant de l'horloge H_{ADC} l'état de SYSREF est relevé (haut ou bas). Il est important de s'assurer que l'état de SYSREF soit bien établi au moment de la lecture par H_{ADC} . Deux règles doivent alors être respectées, celle du temps d'établissement : t_{setup} , et celle du temps de maintien : t_{hold} . Comme illustré en Figure 2.49, les transitions du signal SYSREF (état haut ou état bas) doivent être effectuées avant t_{setup} et après t_{hold} . Dans le cas contraire, les transitions seraient considérées trop proches du front de montée

de H_{ADC} et pourraient mener à une confusion de la lecture de l'état de SYSREF, et à une décision aléatoire de l'état haut ou bas. Ce phénomène d'incertitude dans la reconnaissance des signaux numériques est appelée métastabilité [Gin11] et est un challenge à considérer dans le cas d'applications dont les périodes d'horloges sont proches des temps d'établissement et de maintien du signal.

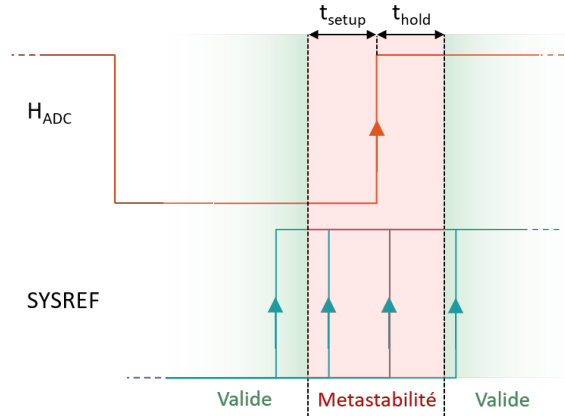


FIGURE 2.49 – Illustration des contraintes temporelles à prendre en compte pour éviter les phénomènes de métastabilité.

Le temps de maintien de l'horloge H_{ADC} indiqué par la documentation de l'AD9250 est de 0 ns et ne requiert donc pas d'attention particulière. Au contraire, le temps d'établissement t_{setup} spécifié est de 0,31 ns. Le diviseur d'horloge AD9515 permet l'introduction d'un déphasage d'une précision de 0,50 ns minimum entre SYSREF et H_{ADC} , et permet de s'assurer de cette condition. Comme évoqué précédemment, les longueurs de pistes des deux signaux doivent être similaires et contrôlées, au risque d'ajouter un déphasage positif ou négatif. L'adaptation de longueur de piste se fait typiquement par l'ajout de serpentins sur la trajectoire de la piste la plus courte, pour correspondre à la piste la longueur de la plus grande (voir Figure 2.50).

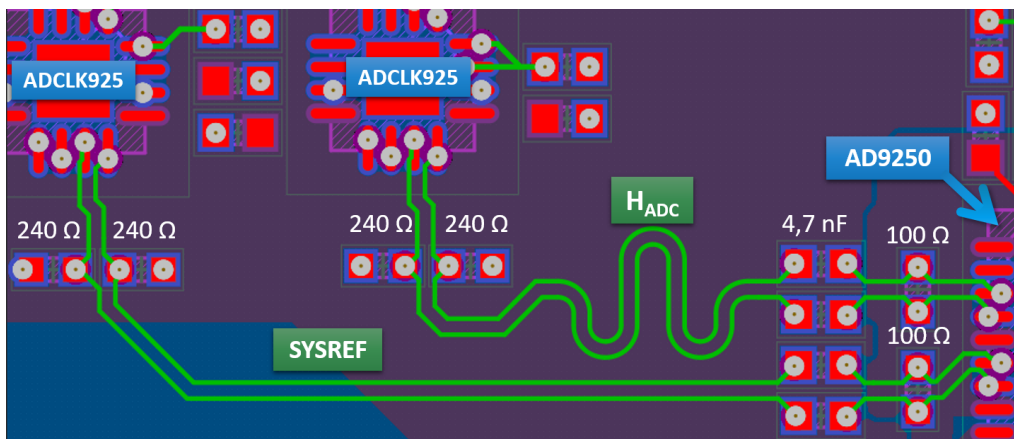


FIGURE 2.50 – Routage des signaux Horloge SYSREF et Horloge ADC entre les circuits ADCLK925 et le CAN AD9250 avec adaptation de la longueur des pistes.

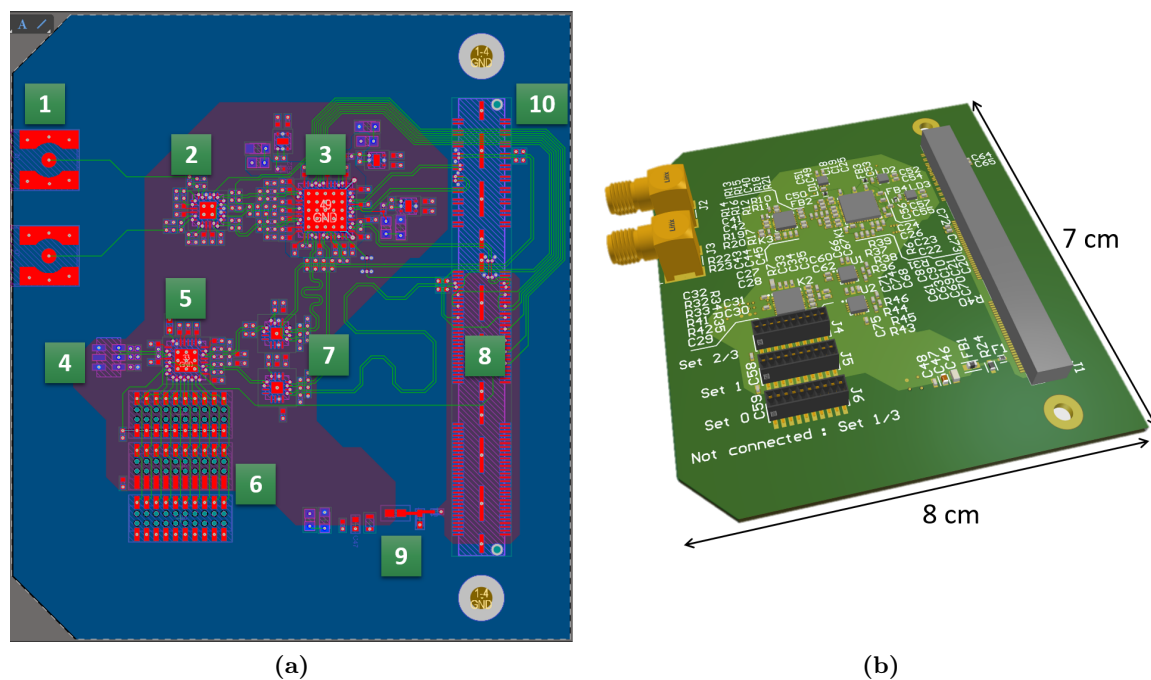


FIGURE 2.51 – (a) Vue d'ensemble 2D du routage du PCB ContactKit92, avec en (1) les connecteurs SMA, (2) l'amplificateur différentiel ADA4930, (3) le CAN AD9250, (4) l'oscillateur 250 MHz, (5) le diviseur d'horloge AD9515, (6) les cavalier de configuration de la division et du déphasage de l'AD9515, (7) les distributeurs d'horloge ADCLK925, (8) le connecteur HSMC, (9) le circuit de protection et de filtrage de l'alimentation générale 3,3V, (10) les divers signaux permettant la configuration des CI ou leur mise en veille si possible. (b) Vue d'ensemble 3D du PCB ContactKit92.

Les terminaisons de ligne et le couplage AC via les capacités spécifiques à cette interface ont été présentés en section 2.3.2.2, et notamment en Figure 2.39. Les pistes et composants environnants ont été enlevés pour mieux visualiser l'adaptation de longueur des deux signaux (mesurant tous deux 32,9 mm). L'ensemble du routage de la carte PCB est présenté en Figure 2.51a, et sa vue 3D en Figure 2.51b.

2.3.4 Etude de l'intégrité des signaux

Les PCB dits haute vitesse impliquent des signaux opérant à minima au-delà de la centaine de mégahertz, pouvant transiter généralement à proximité les uns des autres et se perturber mutuellement selon la densité de pistes de cuivres tracées sur la carte. Le développement d'outils de conception de PCB perfectionnés, et d'outils d'analyse numérique électromagnétique 3D ont repoussé les limites de design de PCB haute vitesse. L'avantage de ces outils à contrôler l'intégrité des signaux avant même d'avoir produit la carte est aujourd'hui indéniable. Bien qu'ils ne considèrent pas les impuretés et imprécisions de production (couches de PCB parfaitement lisses et d'épaisseur constante), ces logiciels

ont apporté une amélioration dans le contrôle des signaux allant au-delà des modèles et approches théoriques classiques, pour toute géométrie de lignes aussi complexes soient-elles. À basse fréquence en effet, les divergences entre le schéma envisagé et le design du PCB sont quasi-nulles. À haute fréquence, les modèles analytiques 2D de lignes de transmission sont indispensables pour une première approche, mais les effets sur les propriétés de lignes de transmission en provenance la géométrie 3D du PCB ne peuvent plus être négligées. La section suivante présente les moyens mis en oeuvre pour illustrer cet avant-propos dans le cas de l'optimisation du routage de la carte ContactKit92.

2.3.4.1 Analyse d'impédance par réflectométrie temporelle

La réflectométrie temporelle est une méthode de mesure des signaux réfléchis au sein d'une ligne à partir d'une impulsion basse tension envoyée en entrée de cette dernière (voir Figure 2.52). L'observation de réflexions dans le domaine temporel, exprime une discontinuité d'impédance, et donc une non homogénéité des paramètres caractérisant la ligne (géométrie ou propriétés électriques des matériaux) à une certaine distance, en supposant la vitesse de propagation de l'onde connue.

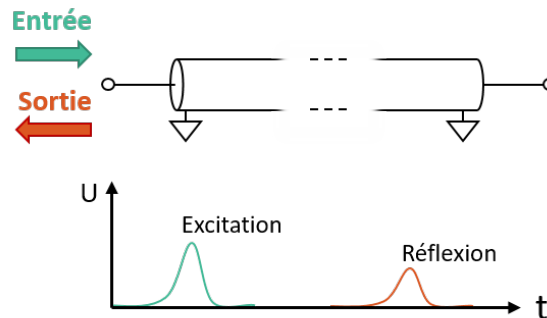


FIGURE 2.52 – Schéma de principe de la réflectométrie temporelle.

Le signal d'excitation de la ligne utilisé dans *CST MW Studio* est une Gaussienne, et permet d'exprimer une réponse continue dans le spectre fréquentiel à l'inverse d'un signal d'excitation carré (spectre fréquentiel de la forme d'un sinus amorti, comportant donc des fréquences d'amplitude nulle, voir Figure 2.53). De cette manière, aucune information sur l'amplitude du signal réfléchi en fonction de la fréquence du signal n'est perdue.

L'impédance de la ligne à chaque instant, et donc en tout point, est calculée à partir de l'intégrale temporelle de l'amplitude des signaux d'excitation et de réflexion :

$$Z(t) = Z_0 \frac{\int_0^{+\infty} i(\tau) d\tau + \int_0^t o(\tau) d\tau}{\int_0^{+\infty} i(\tau) d\tau - \int_0^t o(\tau) d\tau} \quad (2.28)$$

Avec Z_0 l'impédance constante du port d'entrée excitant la ligne, $i(\tau)$ l'amplitude du signal d'excitation de type Gaussien, et $o(\tau)$ l'amplitude du signal réfléchi.

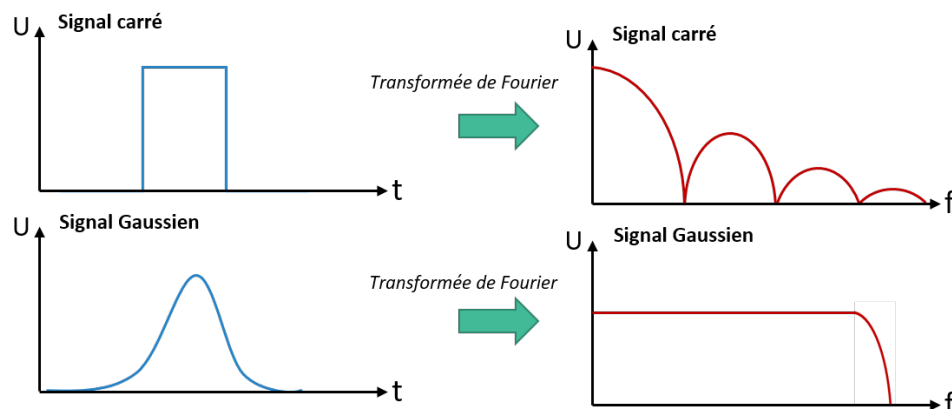


FIGURE 2.53 – Visualisation temporelle des signaux de type carré et Gaussien avec représentation de leur composantes fréquentielles respectives par transformée de Fourier.

2.3.4.2 Analyse TDR des signaux SERDOUT

Les deux voies acquisitions numériques sérialisées appelées SERDOUT_1 et SERDOUT_2 en sortie du CAN (voir Figure 2.54) ont comme destination la plateforme FPGA, et comportent les composantes fréquentielles les plus élevées avec un taux de transfert de bits à 2,5 Gbit/s, et des commutations de l'état haut à bas ou inversement de 100 ps (soit une bande de fréquence de $0,35/100\text{ps} = 3,5$ GHz).

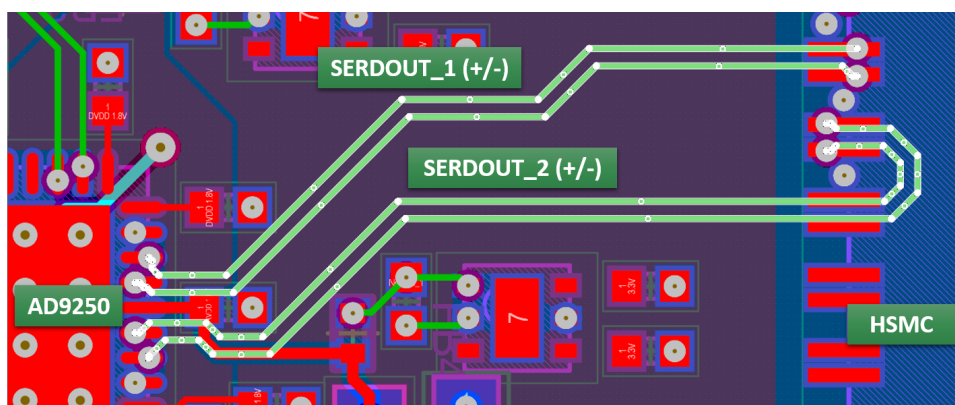


FIGURE 2.54 – Pistes différentielles reliant les deux voies de sortie des signaux sérialisés de l'AD9250 au connecteur haute vitesse HSMC.

La bonne intégrité des signaux, et donc le minimum de réflexions perçues découlent de l'homogénéité de l'impédance des pistes stripline différentielles (exprimée en (2.28)) et de leur adaptation aux impédances de terminaison. C'est pourquoi il est important de connaître l'impédance caractéristique réelle de la ligne différentielle afin d'ajuster au mieux l'impédance de terminaison.

La portion du modèle 3D du PCB contenant les pistes SERDOUT a été exportée

d'*Altium Designer* au format « odb++ ». Ce format tient compte des propriétés électriques des matériaux (conducteurs et isolants), et permet l'analyse du comportement des différentes lignes par solveur de champ électromagnétique 3D, notamment sur *CST MW Studio*. Un signal d'excitation de type Gaussien de bande de fréquence de 3,5 GHz a été appliqué en entrée de ligne (de polarité opposée pour chaque ligne d'une piste différentielle SERDOUT+ et SERDOUT-) afin d'observer le signal réfléchi et retourné en entrée de ligne (voir Figure 2.55). Le port utilisé pour ce type d'excitation est un guide d'onde (waveguide), ce qui permet d'exciter une ligne de transmission directement par une onde plane [Sys].

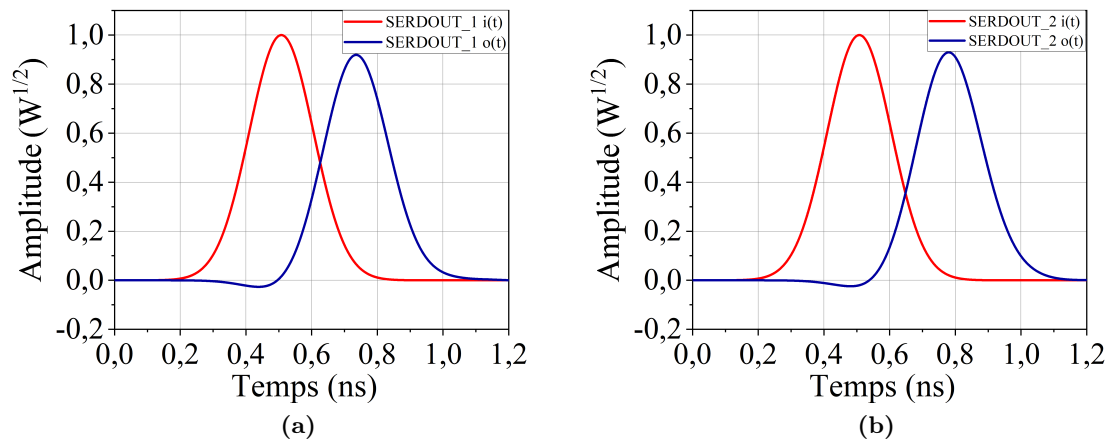


FIGURE 2.55 – Observation de la réflexion du signal incident sur les lignes SERDOUT_1 (a) et SERDOUT_2 (b).

A partir de (2.19), la vitesse de propagation de l'onde à travers la ligne dans un diélectrique de permittivité relative $\varepsilon_r=4,25$, peut être calculée à $145 \times 10^6 m.s^{-1}$. Les temps de propagation t_{2L} de l'onde pour effectuer un aller-retour dans chaque ligne de longueur $L_{SERDOUT_1} = 19,1$ mm et $L_{SERDOUT_2} = 21,9$ mm, sont estimés à 262 ps et 302 ps, respectivement. Ces temps correspondent aux intervalles observés en Figure 2.55 entre le signal d'excitation et le signal réfléchi en entrée de ligne. Le signal se propageant le long de la ligne SERDOUT_1 à différents instants peut être visualisé en Figure 2.56.

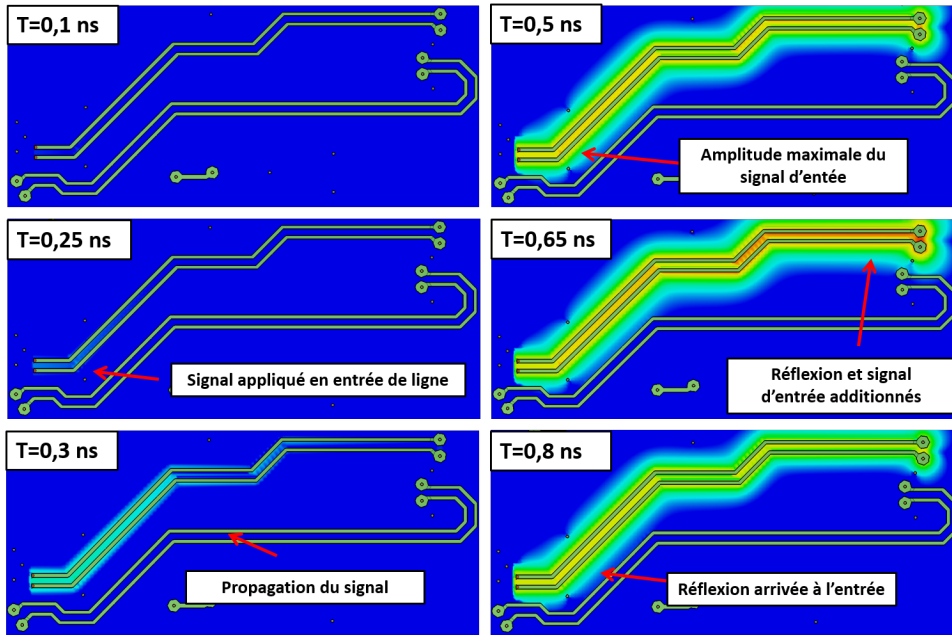


FIGURE 2.56 – Visualisation du signal d'excitation se propageant à travers SERDOUT_1 à différents instants sans résistance d'adaptation en fin de ligne (circuit ouvert).

L'impédance de ligne différentielle $Z_{diff}(t)$ est déterminée grâce à la relation exprimée en (2.28) pour SERDOUT_1 et SERDOUT_2 et représentée en Figures 2.57a et 2.57b, respectivement.

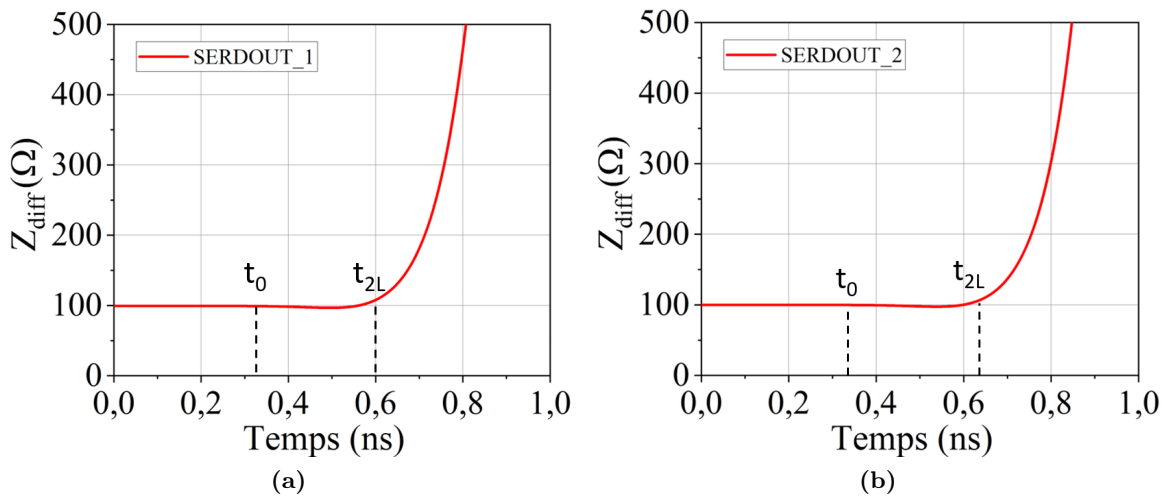


FIGURE 2.57 – Impédances différentielles des lignes SERDOUT_1 (a) et SERDOUT_2 (b) calculée par TDR.

En t_0 , la ligne est excitée par le signal d'entrée (Figure 2.55), et en t_{2L} se trouve le temps à partir duquel le signal réfléchi est revenu en entrée de ligne. On peut remarquer en Figure 2.57 que ce temps correspond à l'instant où la montée de l'impédance différentielle calculée par TDR représentant le circuit ouvert en fin de ligne et est en accord avec le comportement

attendu. Durant la propagation du signal, l'impédance de ligne observée (donc le long de la ligne) reste entre $99,9 \Omega$ et $97,5 \Omega$ et reste donc proche des 100Ω estimés précédemment par le solveur de champ 2D d'*Altium Designer*, avec une marge d'erreur maximale de 2,5 %. En supposant une adaptation de 100Ω en fin de ligne, le pire scénario de désadaptation de $97,5 \Omega$ mènerait à un coefficient de réflexion de 1,2 %, ce qui reste négligeable.

2.3.4.3 Analyse temporelle des signaux SERDOUT par diagramme de l'oeil

Le diagramme de l'oeil est un outil permettant de visualiser la qualité d'un signal numérique en superposant toutes les combinaisons d'états logiques (état bas et état hauts représentant les 0 et les 1) possibles sur une séquence de 3 bits (voir Figure 2.58) [Bre05]. Cette méthode permet d'anticiper tous les comportements du signal pouvant diverger, entre une alternance lente d'états (succession de 0 ou de 1 avant de changer d'état) ou une alternance rapide (un seul 0 ou 1 avant de changer d'état).

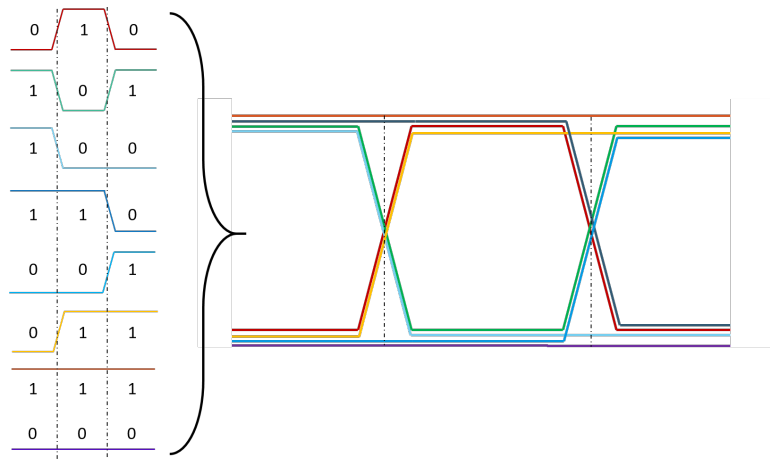


FIGURE 2.58 – Diagramme de l'oeil constitué d'une superposition de différentes séquences de 3 bits.

La formation de l'ouverture sur le bit central de la séquence peut être comparée au gabarit, ou masque, représentant les niveaux des états hauts minimum et des états bas maximum admissibles sur l'axe vertical (V_{diff}). L'axe horizontal représente la plage temporelle minimale requise par le Receiver pour capturer l'état du signal appelé T_C [Tek10].

Les signaux SERDOUT sont émis par le CAN AD9250 via une interface de technologie CML présentant un niveau haut appelé V_H de 1,1 V et un niveau bas V_L de 0,7 V, dont les fronts de montée et de descente, T_M et T_D respectivement valent typiquement 100 ps. Les signaux sont reçus par le FPGA Cyclone V de la plateforme SockKit utilisée pour le prototype ContactKit92. La documentation Intel [Int19] indique les conditions de capture du signal avec comme variation de tension crête à crête minimale $V_{diff} = 200$ mV et un temps de capture minimal $T_C = 350$ ps. Ces informations permettent d'établir le masque à respecter, c'est à dire que l'oeil formé par la superposition des signaux reçus doit rester en

deça du masque (voir Figure 2.59).

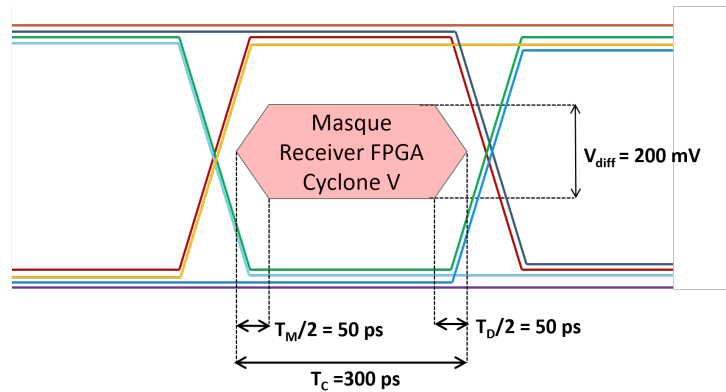


FIGURE 2.59 – Masque imposé par les performances des Receiver haute vitesse du FPGA Intel Cyclone V.

Les essais de validation grâce au diagramme de l'oeil des signaux SERDOUT_1 et SERDOUT_2 ont été réalisés sur *CST PCB Studio*. La carte PCB importée au format odb++ permet d'assigner des signaux de pilotage similaires aux voies de sortie de l'AD9250, en entrée des lignes différentielles. En effet, il est commun pour un fabricant de circuits intégrés de mettre à disposition une librairie de signaux mesurés expérimentalement du composant en question. Ces modèles de signaux, appelés modèles IBIS (de l'anglais I/O Buffer Information), décrivent les fronts de montée et de descente typiques selon l'interface et permettent de caractériser l'allure temporelle des trames de bits envoyées dans les lignes. Les modèles IBIS des Drivers CML des signaux SERDOUT du CAN AD9250 sont disponibles chez le constructeur *Analog Devices* et sont utilisés pour simuler les transmissions de signaux sérialisés, à une fréquence maximale de 2,5 Gbit/s. Le modèle de simulation est présenté en Figure 2.60.

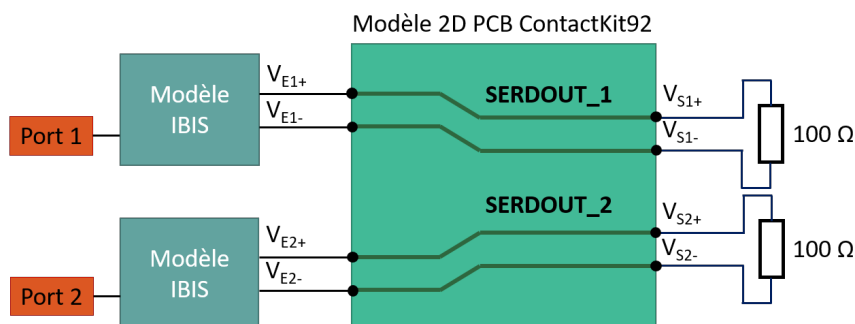


FIGURE 2.60 – Modèle de simulation des signaux de sérialisation en sortie du CAN AD9250 se propageant via les lignes SERDOUT.

Le comportement des signaux de sortie du modèle IBIS V_{E1+} , V_{E1-} , V_{E2+} , V_{E2-} , est contrôlé par des ports de type booléen (ouvert ou fermé) en entrée des modèles IBIS et générés aléatoirement, avec $V_{fermé}=0$ V et $V_{ouvert}=1,8$ V. Ici, sur la Figure 2.61 la génération

des signaux est fixée à un taux de transfert de 1 Gbit/s pour mieux visualiser les trames de bits.

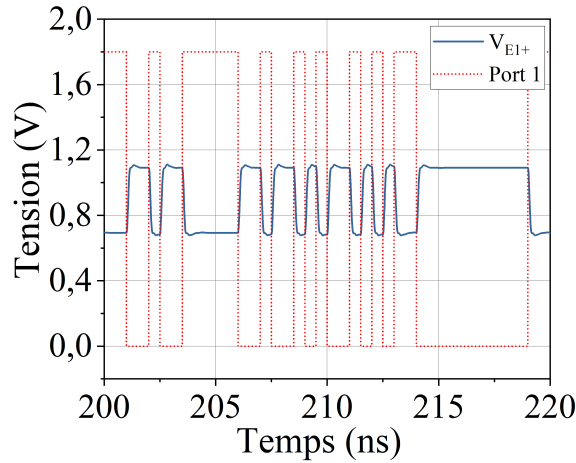


FIGURE 2.61 – Visualisation du contrôle d'un des signaux de sortie du modèle IBIS (signal positif de la ligne différentielle SERDOUT_1 à 1 Gbit/s).

Les états hauts et bas des signaux de sortie présentent une tension haute V_H de 1,1 V et une tension basse de $V_L = 0,7$ V, comme indiqué dans la documentation de l'AD9250. La tension différentielle des lignes SERDOUT est de deux fois la différence entre V_H et V_L exprimée, en entrée et en sortie de ligne, en (2.29) et (2.30). Les diagrammes de l'oeil des signaux différentiels de la voie SERDOUT_1 en entrée ($V_{SERDOUT_1_E}$) et en sortie ($V_{SERDOUT_1_S}$), en réponse à une trame de bits aléatoires à un taux de transmission de 1 Gbit/s, peuvent être comparés en Figure 2.62a et Figure 2.62b. En sortie de ligne (côté Receiver), l'impédance est adaptée à 100 Ω , et en entrée de ligne (côté Driver) une résistance interne de 0,5 Ω est indiquée par le modèle IBIS. Le masque requis par le FPGA pour une bonne capture des signaux transmis figure sur le diagramme de l'oeil côté Receiver.

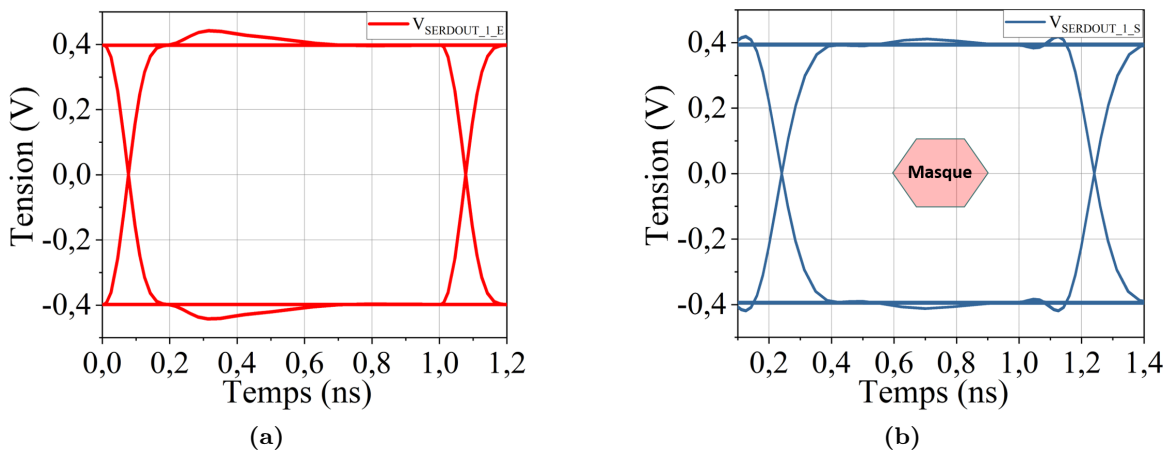


FIGURE 2.62 – (a) Diagramme de l'oeil en entrée de ligne à 1 Gbit/s. (b) Diagramme de l'oeil en fin de ligne avec masque à 1 Gbit/s.

$$V_{SERDOUT_E} = V_{E+} - V_{E-} \quad (2.29)$$

$$V_{SERDOUT_S} = V_{S+} - V_{S-} \quad (2.30)$$

Le taux de transfert de 1 Gbit/s reste suffisamment bas en comparaison avec les limites imposées par le masque, et permet d'assurer une bonne lecture des signaux à cette vitesse. En augmentant le taux de transfert jusqu'à 2,5 Gbit/s, la vitesse nominale prévue pour ContactKit92, nous pouvons constater la fermeture horizontale et temporelle de l'oeil (voir Figure 2.63).

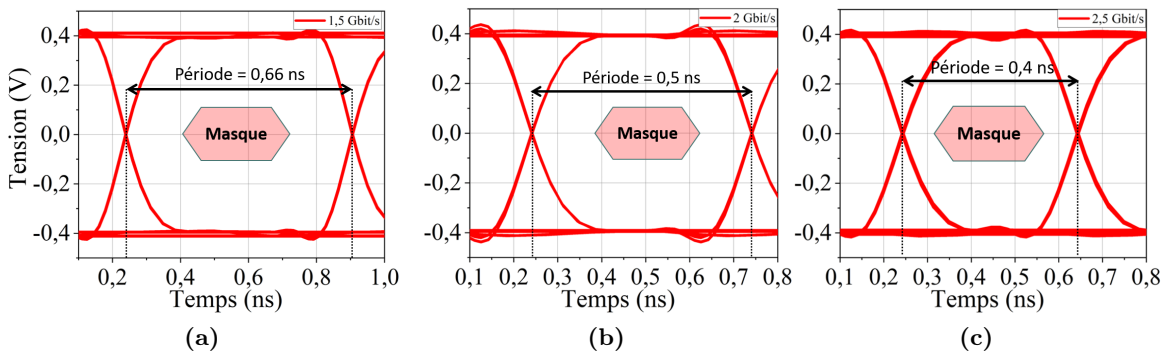


FIGURE 2.63 – Diagramme de l'oeil du signal SERDOUT_1_S à différents taux de transfert : (a) 1,5 Gbit/s, (b) 2 Gbit/s, (c) 2,5 Gbit/s.

Jusqu'au taux de transfert maximal de 2,5 Gbit/s, l'ouverture du diagramme se rapproche du masque, mais laisse une marge temporelle suffisamment importante (400 ps par rapport à la limite de 300 ps du masque, imposée par les Receivers côté FPGA).

2.3.4.4 Analyse temporelle numérique et expérimentale de l'horloge d'échantillonnage H_{CAN}

L'horloge d'échantillonnage de l'AD9250, H_{CAN} possède une fréquence d'échantillonnage de 125 MHz. Cette fréquence est très inférieure au taux d'échantillonnage de 2,5 Gbit/s, et il semblerait négligeable de considérer les pistes comme des lignes de transmission. Rappelons que le spectre fréquentiel d'un signal périodique carré dépend du temps de transition des états bas ou haut, largement inférieurs à la période du signal. L'horloge H_{CAN} est générée par le distributeur d'horloge ADCLK925 par une interface de type LVPECL, de fronts de montée ou de descente de $T_f = 175$ ps, soit une bande passante de $0,35/T_f = 2$ GHz. La piste acheminant H_{CAN} de l'ADCLK925 au CAN AD9250 est exposée en Figure 2.62.

D'une manière analogue à l'analyse temporelle des signaux SERDOUT, le modèle de simulation via *CST PCB Studio* a été réalisé avec la combinaison de modèles IBIS du modèle PCB 2D de la piste étudiée. Dans ce cas, l'impédance d'adaptation 100Ω est déjà prévue sur la ligne, cette dernière comprenant également un couplage capacitif AC (voir 2.64). La

configuration expérimentale est présentée en Figure 2.65.

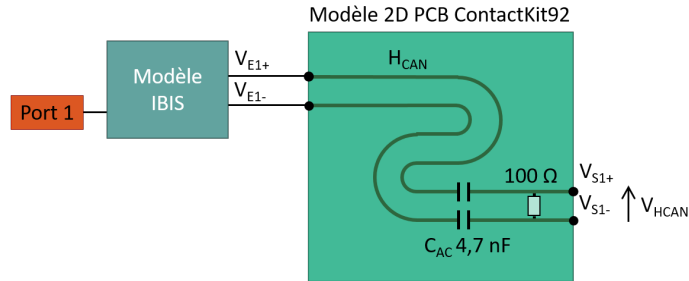


FIGURE 2.64 – Modèle de simulation du signal H_{CAN} en sortie du distributeur d'horloge ADCLK925 et à destination du CAN AD9250 via une piste différentielle 100 couplée AC et adaptée à 100Ω .

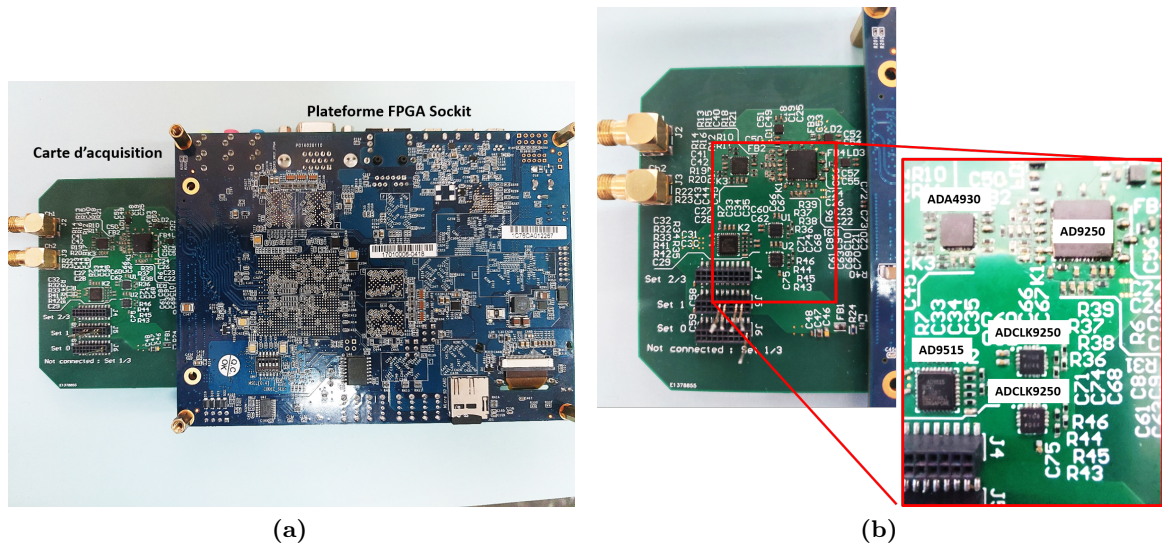


FIGURE 2.65 – (a) Vue d'ensemble du montage de la carte d'acquisition avec la plateforme FPGA Sockit. (b) Vue rapprochée de la carte d'acquisition.

Les mesures des signaux sont visualisés sur un oscilloscope Tektronix MSO56 de bande passante 2 GHz et de fréquence d'échantillonnage 6,25 Géc/s; la sonde de tension utilisée possède une bande passante de 1 GHz. La bande passante de la sonde est la plus haute disponible au laboratoire, et ne permet pas une acquisition pleine bande du signal de type LVPECL (bande passante déterminée de 2 GHz pour des fronts transitoires de 175 ps). De ce fait, la présence de réflexions peut être visualisée mais la mesure de l'amplitude sera atténuée par rapport aux amplitudes estimées lors de la simulation. Les mesures expérimentales et les résultats de simulation du signal différentiel $V_{H_{CAN}}$ en réponse à une excitation de 125 MHz typique en sortie de l'ADCLK925 (signal carré d'horloge) d'amplitude crête à crête de 800 mV, soit de 1,6V en différentiel, sont représentés et comparés en Figure 2.66.

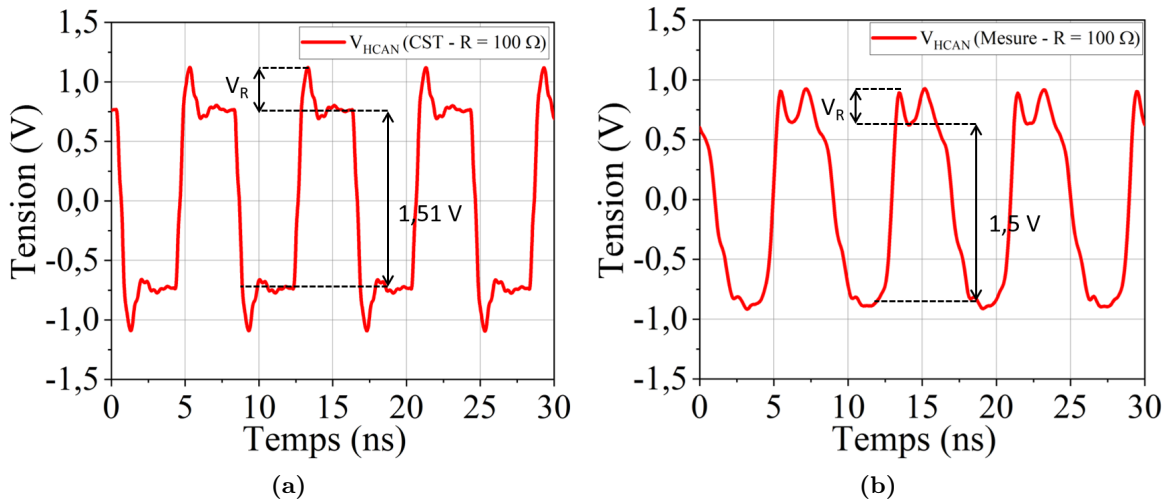


FIGURE 2.66 – (a) Simulation du signal d'horloge V_{HCAN} à 125 MHz adapté à 100 Ω . (b) Mesure expérimentale du même signal V_{HCAN} sur le prototype ContactKit92.

Les mesures expérimentales ainsi que l'évaluation numérique de V_{HCAN} expriment l'apparition d'un pic au niveau des transitions (de 0,38 V par simulation), manifestant la présence de réflexions en fin de ligne, d'un coefficient Γ_l de $(0,38/1,45) = 0,26$. La polarité positive de la réflexion laisse supposer une impédance de ligne inférieure à l'impédance d'adaptation connue de 100 Ω . Cette réflexion est comme attendu de plus faible amplitude par mesure expérimentale, ce qui est en accord avec la limitation de bande passante de la sonde.

La réflexion négative observée en simulation n'est quant à elle pas retrouvée expérimentalement. Cette absence est expliquée par la technologie de génération de signaux utilisée pour H_{CAN} , contrôlant l'état-bas du signal par une résistance de pull-down illustrée en Figure 2.37 de 240 Ω . Cette résistance permet de limiter la consommation de courant, mais réduit en contrepartie la réactivité du front descendant, par rapport au front montant. Ce phénomène n'affecte pas l'intégrité de la fréquence fondamentale du signal d'horloge de 125 MHz et permet en outre d'atténuer la réflexion sur ce front. Le deuxième pic observé expérimentalement n'a pas pu être évalué numériquement, ce qui met en avant le besoin d'affiner le modèle de ligne LVPECL présentant entre autres, un couplage AC, pour ainsi fiabiliser les résultats obtenus par simulation.

Une étude paramétrique, dont les résultats sont présentés en Figure 2.67a, permet de déterminer l'amplitude de réflexion selon l'ajustement de l'impédance d'adaptation R_T entre 100 Ω et 50 Ω . Cette étude a pour but, à l'inverse de l'analyse par TDR des signaux SERDOUT, d'exposer une alternative en solution d'adaptation. Si l'impédance des pistes dévie de l'impédance caractéristique visée, il est toujours possible d'ajuster l'impédance d'adaptation sans avoir à modifier la géométrie de la piste. Cette solution est notamment inévitable dans le cas où les prototypes sont déjà conçus.

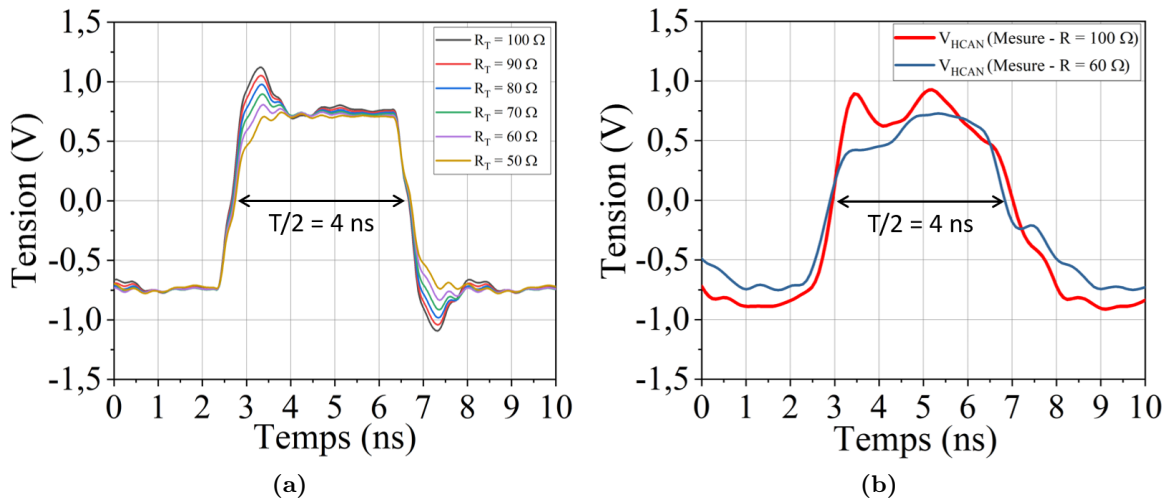


FIGURE 2.67 – (a) Étude numérique et paramétrique de l'adaptation d'impédance du signal H_{CAN} en faisant varier R_T entre 100 Ω et 50 Ω . (b) Visualisation du comportement des réflexions par mesure expérimentale sur le prototype ContactKit92 lors du changement de l'impédance d'adaptation de 100 Ω à 60 Ω .

En s'appuyant sur les résultats obtenus par simulation, l'impédance de 60 Ω semble être le meilleur compromis dans l'atténuation des réflexions, sans ralentir le front de montée. En effet, outre l'apparition de réflexions négatives dans le cas où R_T devient inférieure à l'impédance différentielle de la ligne, celles-ci imposeraient par leur nature un affaissement des fronts transitoires puisqu'elles se soustraient au signal nominal. Les fronts mesurés moins raides témoignent de la limite de bande passante de la sonde de 1 GHz. Spécifiquement, les temps de montée de 10% à 90% mesurés à 100 Ω et à 60 Ω sont de 0,4 ns et 0,39 ns, respectivement, et reflètent une bande passante proche de 900 MHz.

En admettant une amélioration de l'intégrité du signal d'horloge par la suppression des réflexions, la fréquence d'utilisation reste toutefois suffisamment faible pour laisser le temps au signal d'établir ses états hauts et bas, au-delà des réflexions potentielles. En Figure 2.67 la période du signal et les niveaux hauts et bas sont maintenus et constants selon différents cas d'adaptation. De plus, à l'inverse des signaux SERDOUT transitant des trames de données binaires, la période d'une horloge est constante et non aléatoire. Les performances de capture de signal d'horloge par un Receiver sont donc moins contraintes avec un signal n'ayant qu'un seul et même comportement à chaque transition d'état. De plus, la fréquence d'horloge utilisée de 125 MHz reste faible par rapport aux performances temporelles de capture des Receiver du convertisseur AD9250.

2.3.5 Conclusions

La conception d'une carte d'acquisition haute fréquence accompagnée d'une étude numérique 2D et 3D par solveur de champs s'est révélée être une contribution importante dans la compréhension des règles régissant l'amélioration de l'intégrité des signaux. D'une

part, l'analyse numérique d'un modèle 3D par réflectométrie temporelle est un outil nécessaire pour le contrôle de l'impédance des pistes, avec un ajustement rendu possible par simulation de la bande passante fréquentielle étudiée. D'autre part, l'interprétation des pistes comme lignes de transmission discrétisées par le solveur 2D permet une étude temporelle spontanée des signaux, notamment par diagramme de l'oeil. Cependant, les résultats se sont avérés d'emblée satisfaisants au regard des contraintes imposées par les interfaces capturant les signaux, avant même l'optimisation de ces derniers. Ces résultats encourageants peuvent s'expliquer par le fait que les équations de Wheeler / Wadell, pour les fréquences maximales considérées ici de 3,5 GHz sont suffisamment fidèles au comportement réel de l'impédance d'une ligne. L'ensemble de ces outils démontre que nous avons pu acquérir une méthodologie efficiente quant au développement de PCB incluant des signaux haute fréquence autour du gigahertz. Ces mêmes outils se révéleront de plus en plus indispensables et décisifs à de plus hautes fréquences, et pour de plus hautes performances.

2.4 Conclusions et perspectives

Dans ce chapitre, la conception, la réalisation, et la validation d'un système de surveillance des signaux du SAD (assurant la protection du générateur de radiographie éclair EPURE) par la réception et l'émission de signaux optiques, basé sur la technologie FPGA-SoC a été présenté. Cette technologie répond à un besoin de haute précision dans la mesure temporelle des signaux impliqués (< 20 ns), et de synchronicité pour la mesure de ces derniers en parallèle. La plateforme FPGA-SoC utilisée a permis la validation de ces critères, ainsi que l'implémentation d'une connexion MODBUS au moyen d'une interface RJ45. Il est bon de souligner également que la technologie FPGA-SoC utilisée accorde une souplesse précieuse pour de futures reconfigurations éventuelles du programme, ou pour un déploiement de multiples systèmes de surveillance parallélisés (notamment sur les différents axes du générateur EPURE).

Par la suite, un système de conversion de signaux analogique-numérique également basé sur la technologie FPGA-SoC a été étudié, conçu et développé. La conception du système a été concentrée sur l'étude de la carte d'acquisition opérant la conversion des signaux de haute fréquence. L'intégrité des signaux d'horloge a été optimisée et validée par analyse numérique et expérimentale. L'intégrité des signaux de sérialisation SERDES a été validée par simulation uniquement, alors que les signaux d'horloge, de fréquence moindre ont été optimisés par simulation et ont pu être validés expérimentalement ; démontrant par conséquent d'une certaine fiabilité des outils de simulation à établir un modèle numérique pour PCB à haute fréquence. En effet, la fréquence des signaux SERDES représentent un challenge quant à leur mesure expérimentale. D'une part, les sondes les plus performantes disponibles ne permettent pas la mesure des signaux sérialisés d'une bande passante de 3,5 GHz. D'autre part la génération de ces signaux implique le fonctionnement du programme FPGA permettant d'établir l'interface JESD204B, régissant le transfert des données sérialisées. Si le programme

est développé, sa compilation et donc son utilisation dans notre système requiert l'achat de la licence de l'IP JESD204B. Cet achat représente un investissement lourd et contraignant puisqu'il serait préférable de le réaliser après la validation de la preuve de concept. Cet élément est indispensable pour valider la chaîne d'acquisition complète au-delà de la carte d'acquisition développée, et implique donc les perspectives suivantes :

- Achat de la licence JESD204B pour l'établissement du transfert de données et la validation expérimentale de l'intégrité des signaux de sérialisation sur le prototypes ContactKit92.
- Développement et validation d'une interface fibre optique (prototype FiberKit92) permettant la communication des signaux entre la carte d'acquisition ContactKit92 et la plateforme Sockit.
- Validation expérimentale embarquée par *SignalTap* de l'acquisition sur la plateforme FPGA-SoC.
- Stockage et traitement des données converties.

Le prototype FiberKit92 consiste en l'ajout d'un étage de conversion fibre optique des signaux, permettant l'isolation de la carte d'acquisition de la plateforme FPGA Sockit. Ce prototype est en cours de développement et implique le développement de deux interfaces fibres optiques (côté carte d'acquisition sur batterie, et côté plateforme FPGA sur secteur). Une première version du prototype présentée en Figure 2.68 a été conçue, et permet le transfert des deux signaux de données sérialisées (SERDES), ainsi que des signaux nécessaires au fonctionnement de l'interface JESD204B (horloges H_{CAN} , SYSREF, et signal de synchronisation SYNC).

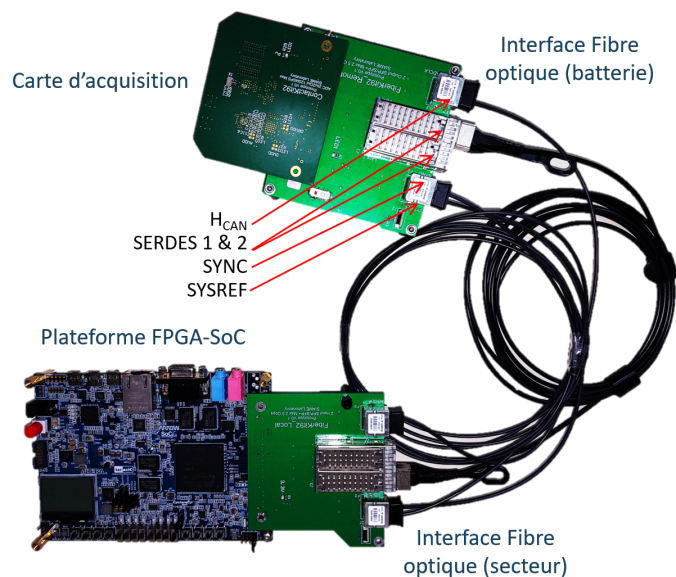


FIGURE 2.68

Cependant, la problématique de génération et de mesure / validation des signaux

SERDES rencontrée avec le prototype ContactKit demeure avec l'ajout des interfaces fibres optiques. Cette première version matérialise le concept du système d'acquisition embarqué envisagé, et permettra l'étude du comportement réel des signaux de plus faible fréquence (H_{CAN} , SYSREF, SYNC), de la consommation et de l'autonomie énergétique du prototype, en vue d'optimisations pour de futures versions.

Dans l'ambition de développer une méthode indispensable de validation des signaux haute fréquence (SERDES) inaccessibles par mesure expérimentale, l'approche logicielle proposée par l'environnement de programmation FPGA, *Quartus*, est envisagée. Un outil de mesure embarqué FPGA intégré à *Quartus*, *SignalTap* permet l'intégration de sondes logiques physiques routées au sein du FPGA par programmation [YQL⁺12]. La fréquence d'acquisition de ces sondes est fixée selon les horloges disponibles, et la mesure permet de détecter les niveaux logiques 0 ou 1 d'un signal. Cet outil se présente comme une alternative à la mesure expérimentale, et permet de visualiser si la capture des signaux se fait correctement et sans confusion, manifestant une bonne intégrité des signaux. Dès lors, les données transmises une fois stockées pourront être traitées et disponibles pour une interface utilisateur.

La bonne intégrité des signaux, et la fiabilité du fonctionnement d'un système d'acquisition, n'est pas uniquement due à la conception correcte du PCB haute fréquence. Cette intégrité peut être affectée par l'environnement dans lequel opère le système, et notamment dans le cas de signaux électriques, par des agressions électromagnétiques. Il est crucial, dans le développement d'un système, d'appuyer les efforts sur les aspects de CEM (Compatibilité ÉlectroMagnétique), et notamment d'immunité EM. Ce sujet fait l'objet du Chapitre 3, l'étude de blindages innovants et compacts appelés multicouches sont présentés.

Bibliographie

- [AD02] Bruce Archambeault and James Drewniak. *PCB design for real-world EMI control*. The Springer International Series in Engineering and Computer Science. Springer, New York, NY, 2002 edition, August 2002.
- [ASN⁺07] Hidenori Akiyama, Takashi Sakugawa, Takao Namihira, Koichi Takaki, Yasushi Minamitani, and Naoyuki Shimomura. Industrial applications of pulsed power technology. *IEEE Transactions on Dielectrics and Electrical Insulation*, 14(5) :1051–1064, 2007.
- [Bes07] Roland E Best. *Phase Locked Loops*. McGraw-Hill Professional, New York, NY, 6 edition, August 2007.
- [Bre05] Gary Breed. Analyzing signals using the eye diagram. *High Frequency Electronics*, 4(11) :50–53, 2005.
- [CEA22] CEA. Le programme franco-britannique teutates. <http://www-teutates.cea.fr/installation-epure.html>, Consulté : 15 Juin 2022.
- [Cir20] CircuitBread. What is cmos technology ?, 18 Novembre 2020.
- [Cor10] Rogers Corporation. Dissipation factor variation, lcp, all polyimide, and fr-4 laminates, 2010.
- [Dev] Analog Devices. Ultralow noise drivers for low voltage adcs, ada4930-1/ada4930-2.
- [Dev14] Analog Devices. JESD204B survival guide, 2014.
- [GC10] K Gutierrez and Keven Coates. Pcb design guidelines for 0.5 mm package-on-package applications processor, part i. *Texas Instrum., Dallas, TX, USA, Appl. Rep. SPRABB3*, 2010.
- [Gin11] Ran Ginosar. Metastability and synchronizers : A tutorial. *IEEE Design & Test of Computers*, 28(5) :23–35, 2011.
- [GRB⁺11] Aditya Gour, A Santhana Raj, RP Behera, Nagarajan Murali, and SA V Satya Murthy. Design & development of soft-core processor based remote terminal units for nuclear reactors. In *2011 International Conference on Field-Programmable Technology*, pages 1–4. IEEE, 2011.
- [Hol02] Nick Holland. Interfacing between lvepl, vml, cml, and lvds levels. *Texas Instrument Application Report SLLA120*, 2002.
- [Hoy12] Michael Hoyer. Use high-speed data acquisition systems to measure transient electrical events. <https://www.eetimes.com/use-high-speed-data-acquisition-systems-to-measure-transient-electrical-events/>, 2012.

- [HS02] Nick Holland and Serial Gigabit Solutions. Interfacing between lvpecl, vml, cml, and lvds levels. *Texas Instruments Application Report*, 192, 2002.
- [IEE97] IEEE. *IEEE standard for low-voltage differential signals(lvds) for scalable coherent interfaces (sci)*. Institute of Electrical & Electronics Enginee, January 1997.
- [Ins08] Texas Instrument. *LVDS Owner's Manual - 4th edition*. 2008.
- [Int19] Intel. Cyclone v device datasheet. [intel.com/content/www/us/en/docs/programmable/683801/current/cyclone-v-device-datasheet.html](https://www.intel.com/content/www/us/en/docs/programmable/683801/current/cyclone-v-device-datasheet.html), 2019.
- [ITH22] ITHPP. Stérilisation par faisceau d'électrons pulsés. <https://www.ithpp-alcen.com/fr/industrie/sterilisation-par-faisceau-delectrons-pulses>, Consulté : 8 mai 2022.
- [IVA⁺20] Njomza Ibrahim, Leslie Vallet, Franck M. Andre, Laurent Ariztia, Marc Rivalletto, Antoine Silvestre de Ferron, Bucur M. Novac, Lluís M. Mir, and Laurent Pécastaing. A subnanosecond pulsed electric field system for studying cells electroporation. *IEEE Transactions on Plasma Science*, 48(12) :4242–4249, 2020.
- [JT75] Francis Jamet and Gustav Thormer. *Flash Radiography*. Elsevier Science, London, England, December 1975.
- [Kem02] Stephen Kempainen. Low-voltage differential signaling (lvds). *Altera Co-operation*, 2002.
- [Lar21] Jean-Marie Larbaig. *Étude des contraintes électromagnétiques induites par les composants SIC d'une chaîne de conversion d'énergie en vue d'une optimisation pour des applications HF*. Theses, Université de Pau et des Pays de l'Adour, March 2021.
- [May22] Nathalie Mayer. La méga-fusée de la nasa a été foudroyée 4 fois! <https://www.futura-sciences.com/sciences/breves/sls-mega-fusee-nasa-ete-foudroyee-4-fois-6195/>, year=Consulté : 15 juillet 2022, 2022.
- [PEH05] Kirstie Petherbridge, Peter Evans, and David Harrison. The origins and evolution of the pcb : a review. *Circuit World*, 31(1) :41–45, 2005.
- [PMH68] R.A. Pucel, D.J. Masse, and C.P. Hartwig. Losses in microstrip. *IEEE Transactions on Microwave Theory and Techniques*, 16(6) :342–350, 1968.
- [SLM16] Bianca Schroeder, Raghav Lagisetty, and Arif Merchant. Flash reliability in production : The expected and the unexpected. In *14th USENIX Conference on File and Storage Technologies (FAST 16)*, pages 67–80, Santa Clara, CA, February 2016. USENIX Association.

- [SP97] K.A. Schouhamer and L. Patrovics. Performance assessment of dc-free multimode codes. *IEEE Transactions on Communications*, 45(3) :293–299, 1997.
- [Sys] Dassault Systemes. Computer simulation technology. https://space.mit.edu/RADIO/CST_online/mergedProjects/3D/special_overview/special_overview_waveguideover.htm, year=Consulté : 19 Août 2022.
- [Sys22] Dassault Systemes. Time domain reflectometry. https://space.mit.edu/RADIO/CST_online/mergedProjects/3D/common_preloadedmacro/common_preloadedmacro_1d_tdr.htm, Consulté : 23 Août 2022.
- [Tek10] Tektronix. Anatomy of an eye diagram, 2010.
- [Wad91] Brian Charles Wadell. *Transmission Line Design Handbook*. Microwave Library. Artech House, Norwood, MA, May 1991.
- [Whe42] Harold A Wheeler. Formulas for the skin effect. *Proceedings of the IRE*, 30(9) :412–424, 1942.
- [Whe77] H.A. Wheeler. Transmission-line properties of a strip on a dielectric sheet on a plane. *IEEE Transactions on Microwave Theory and Techniques*, 25(8) :631–647, 1977.
- [YQL⁺12] Cui Yajun, Chen Qingshan, Zhu Lianqing, Guo Yangkuan, and Pan Zhikang. Signal tap-ii based debugging approach for the data acquisition system of multi-joint coordinate measuring machine. In *2012 Second International Conference on Instrumentation, Measurement, Computer, Communication and Control*, pages 1182–1184. IEEE, 2012.

CHAPITRE 3
ÉTUDE DE L'EFFICACITÉ DES BLINDAGES
MULTICOUCHES

CHAPITRE 3

Étude de l'efficacité des blindages multicouches

Table des matières

3.1	Contexte de l'étude	155
3.1.1	Caractérisation de l'environnement perturbé	155
3.1.2	Matériaux de blindages EM typiques	157
3.1.3	Une première approche aux blindages multicouche	159
3.2	Etude analytique du blindage par effet cage de Faraday	161
3.2.1	Théorie de blindage d'un écran métallique simple couche	161
3.2.1.1	Atténuation d'un écran électromagnétique	161
3.2.1.2	Impédance caractéristique du champ EM	161
3.2.1.3	Impédance caractéristique d'un écran métallique	163
3.2.1.4	Efficacité de blindage par réflexion	164
3.2.1.5	Efficacité de blindage par absorption	165
3.2.1.6	Multiplés réflexions et facteur de correction	167
3.2.1.7	Efficacité de blindage totale	168
3.2.1.8	Efficacité de blindage multicouches	168
3.2.2	Etude analytique sur la bande de fréquence des IEMI	170
3.2.2.1	Choix du matériau	170
3.2.2.2	Etude analytique d'un écran théorique	171
3.3	Analyse numérique de blindages multicouche	174
3.3.1	Validation du modèle CST pour un blindage simple couche	174
3.3.2	Etude paramétrique de blindages multicouche	176
3.3.2.1	Écran 2 couches	176
3.3.2.2	Écran 3 couches	178
3.3.2.3	Épaisseurs asymétriques d'isolants	179
3.3.2.4	Discussions sur les résultats	181
3.4	Blindage d'une zone localisée sur PCB et analyse numérique	182
3.4.1	Modélisation de la source d'agression IEMI	182
3.4.1.1	Choix de la source de rayonnement	182
3.4.1.2	Paramètres dimensionnels de l'antenne demi-onde	183
3.4.1.3	Positionnement de l'antenne	185

3.4.2	Mise en place du modèle de simulation complet	187
3.4.2.1	Modèle 3D du boîtier victime	187
3.4.2.2	Mesure de l'efficacité de blindage	189
3.4.2.3	Paramètres d'excitation de l'antenne	189
3.4.3	Discussions sur les résultats obtenus par simulation	191
3.4.3.1	Configuration B : simple couche	191
3.4.3.2	Configuration C : multicouche	193
3.5	Conclusions et perspectives	194
	Bibliographie	196

Introduction

Une caractéristique fondamentale des systèmes d'acquisition ou de conversion de signaux haute fréquence est leur immunité EM (électromagnétique) définie en Chapitre 1 Section 1.4.3. Elle décrit la sensibilité du système face à des agressions EM dont les conséquences peuvent varier ; allant de la capacité à fournir une réponse précise, fiable et non affectée par les perturbations, jusqu'à la survie du système en lui-même opérant dans des environnements à forte perturbation EM. L'immunité EM intervient à différents niveaux sur une carte électronique, que ce soit par protection physique (boîtier métallique accueillant la carte, capots de blindage sur PCB) pour l'élimination de perturbations de mode rayonné, ou par filtrage (analogique passif / actif, numérique) pour celles de mode conduit. Cette étude porte sur l'immunité de systèmes face à des perturbations de mode rayonné, ce sont donc les solutions de blindages physiques qui sont étudiées ; connues sous le nom de blindage par effet de cage de Faraday.

Par ailleurs, rappelons-le, le système d'acquisition développé dans le contexte de la thèse est un système embarqué. Il est alors souhaitable de vouloir garantir un encombrement minimum de blindage en volume et poids tout en proposant une immunité performante. C'est la problématique de ce compromis qui est étudiée dans ce chapitre. Premièrement, il s'agira de situer le contexte de l'étude en spécifiant les agressions EM considérées pour dimensionner les blindages, puis de justifier le choix porté sur les blindages multicouches par rapport aux blindages existants. En seconde partie, la théorie de blindage simple couche sera présentée et comparée aux résultats de simulation numériques 3D afin de valider les modèles proposés pour la suite de l'étude en troisième partie, précisément sur les blindages multicouche. La quatrième partie présentera les résultats obtenus par simulation pour les blindages utilisés comme BLS (Board Level Shielding, ou « blindages au niveau de la carte ») sur une carte PCB. Enfin, les conclusions émanant de cette étude seront évoquées.

3.1 Contexte de l'étude

3.1.1 Caractérisation de l'environnement perturbé

Afin d'étudier correctement les différents blindages existants, il est nécessaire de définir en premier lieu à quelles agressions EM ils seront confrontés. Présenté en Chapitre 1 Section 1.4.1, l'environnement IEM est très vaste tant en type de source qu'en composition spectrale ou type d'effets sur les appareils électroniques, ciblés volontairement ou non [GT04]. Dans le cas de cette étude, et en considérant de nos jours la miniaturisation des composants électroniques, l'abaissement des niveaux de tensions des protocoles haute vitesse, et la fréquence d'opération de ces derniers, il apparaît une vulnérabilité sur les PCB d'acquisition HF vis-à-vis d'une bande de fréquence particulière des IEM. La catégorie de perturbations

ayant la composition fréquentielle la plus élevée sont les IEMI, et présentée en Figure 3.1, sa bande de fréquence s'étend de 200 MHz à 5 GHz, correspondant à des longueurs d'ondes de l'ordre de la 10^{aine} de cm dans l'air et coïncide fortement avec les dimensions des prototypes PCB développés en Chapitre 2 Section 2.3.2.

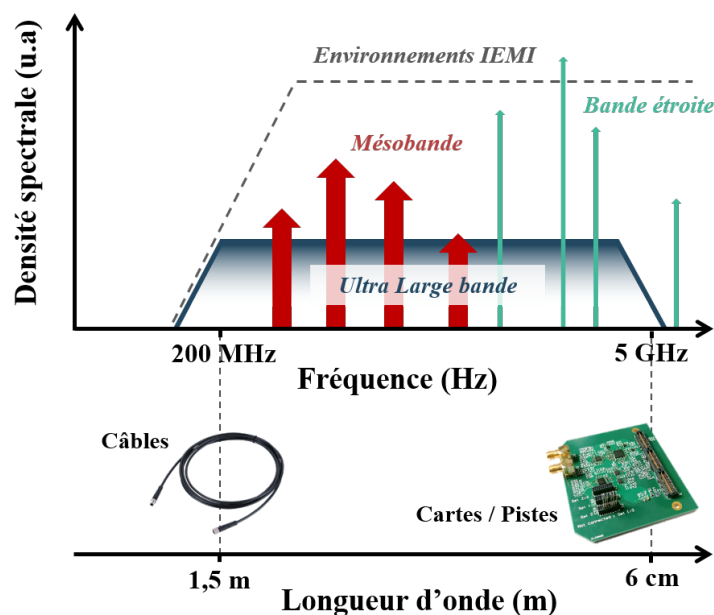


FIGURE 3.1 – Plage de fréquence des IEMI et correspondance avec les dimensions des systèmes électroniques.

Cette concordance met en avant deux raisons pour lesquelles le risque de susceptibilité EM est accru :

- Couplage important entre les perturbations EM dont la longueur d'onde est proche des dimensions des éléments de la carte.
- Forte perturbation des signaux numériques dont la fréquence d'opération est voisine aux IEMI.

Pour les raisons énoncées ci-dessus, tous les résultats des analyses numériques réalisées seront interprétés sur la plage de fréquence des IEMI, entre 200 MHz et 5 GHz. Le type d'onde quant à lui, pour l'étude préliminaire de caractérisation de matériaux de blindages, sera dans un premier temps considéré comme un champ lointain et plan. Cette configuration permet de respecter les conditions de la théorie de blindage afin de pouvoir calculer l'efficacité de blindage sans se préoccuper de contraintes dimensionnelles du blindage pouvant affecter les résultats. La forme d'onde de l'agression pour cette première étude est de type Gaussienne et générée spécifiquement par les Time Domain Solvers (Solveurs de Domaine Temporel) de CST [Sys22], ce qui permet de couvrir le spectre fréquentiel des IEMI (voir Figure 3.2) entre 0 et 6 GHz. Les spécificités de génération de cette onde sont décrites en Section 3.4.2.3

Dans un second temps, l'agression simulée sera générée par une antenne dipôle demi-onde

de bande étroite (configuration présentée en 3.4.2), permettant de cibler des fréquences particulières dans la plage des IEMI. Cette onde sera cette fois-ci utilisée pour agresser un système « victime » (dans ce cas le prototype ContactKit92) et placée dans des conditions de champ lointain. Les résultats obtenus pour des solutions de blindages classiques, et ceux issus de l'étude seront présentés et comparés.

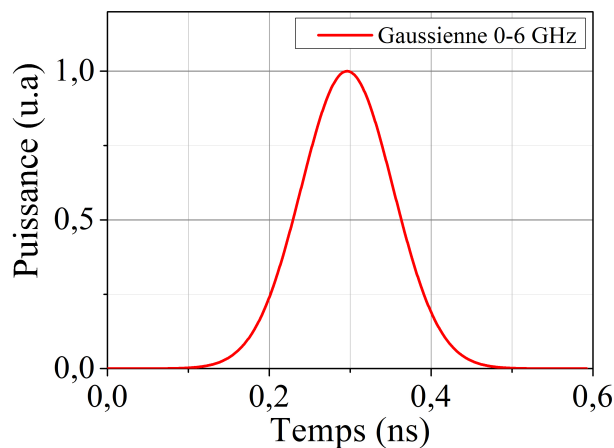


FIGURE 3.2 – Signal d'excitation de type Gaussienne (0-6 GHz) utilisé pour agresser les blindages (normalisé à 1).

3.1.2 Matériaux de blindages EM typiques

Les solutions de blindage par effet cage de Faraday consistent à encapsuler le système sensible dans un compartiment métallique maillé ou plein, offrant une isolation EM à l'intérieur de ce dernier [VG88]. Cette méthode a fait ses preuves depuis des années et a été adoptée par l'ensemble des industriels et fabricants pour améliorer la CEM des systèmes électroniques [AMW88]. Illustré en Figure 3.3, on les retrouve à petite échelle au niveau des cartes PCB, appelés Board Level Shielding (BLS) [LHKD19], dans les ordinateurs ou smartphones, mais aussi à plus grande échelle, dans les centres de données et baies de serveurs, ou dans les salles anéchoïques pour tests CEM, dont les murs sont nécessairement Faradisés. L'efficacité de blindage (EB) d'un écran métallique repose sur les propriétés intrinsèques du matériau, les mécanismes qui y sont liés seront décrits ultérieurement en 3.2.1.

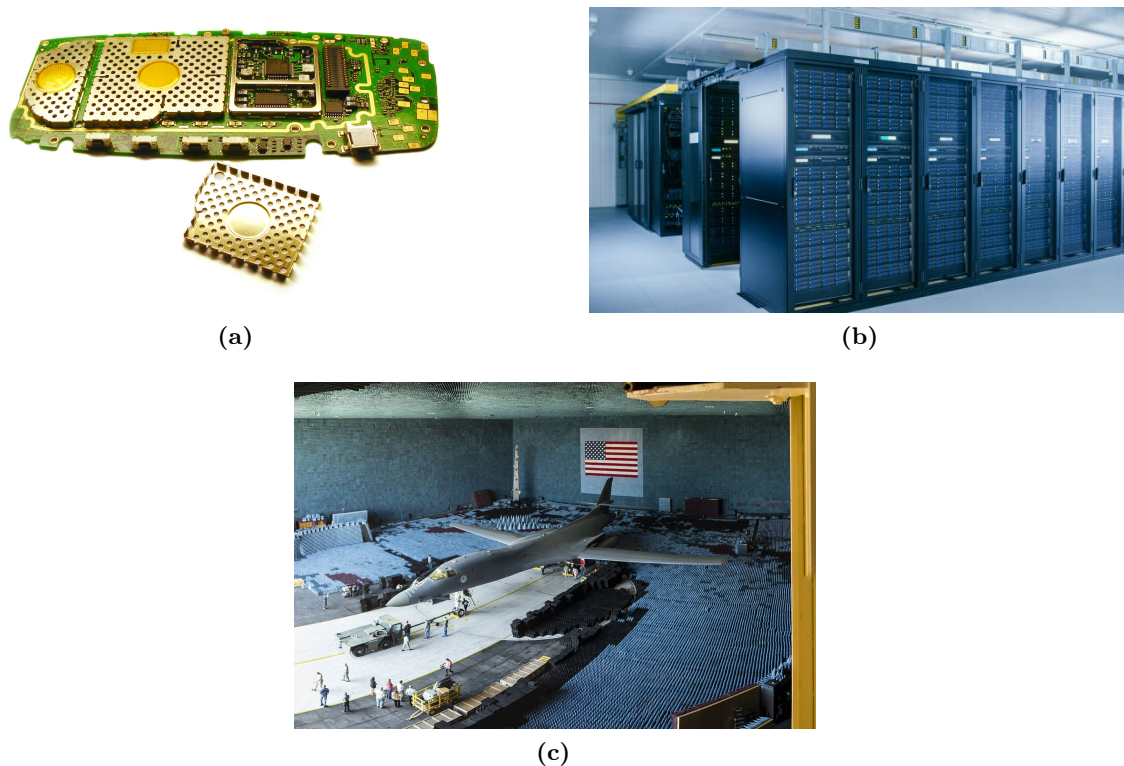


FIGURE 3.3 – Blindage par effet cage de Faraday à différentes échelles. (a) Capots de blindage BLS sur circuit électronique. (b) Baies de serveur Faradisées dans un centre de données. (c) Benefield Anechoic Facility, plus grande chambre anéchoïque (CEM) du monde avec le bombardier B-1B en test.

Ces blindages sont largement satisfaisants pour la majorité des applications, mais bien que leurs dimensions puissent être ajustées selon le niveau de perturbation, ils présentent une limite dans leur mise en oeuvre. En effet, tant qu'il est possible d'utiliser des boîtiers métalliques épais et robustes, alors aucune question ne se pose car ils sont les plus efficaces. Mais dans certains cas, le lieu d'installation du système ou son application peut imposer des limites en poids, volume, dimensions particulières ou autre contraintes telles qu'il faut s'affranchir de cette solution. D'autres méthodes de blindage par écran se sont développées au fil des dernières décennies, notamment l'utilisation de matériaux composites aux propriétés EM comme les polymères conducteurs (PC), polymères nano-composites, les matériaux carbonés (Graphite, Graphène, ...) [Shu19]. Chacun de ces néo-matériaux de blindage possèdent une particularité utile pour certaines applications en bio-médecine, chimie, optique ou électronique selon leur densité, flexibilité, résistance thermique, taille ou facilité de production. Cependant il est difficile d'une part de réunir plusieurs de ces avantages pour un seul de ces matériaux, et d'autre part d'obtenir une efficacité de blindage proche de celle d'un simple écran de métal pour une même épaisseur donnée. Un écran, par exemple de cuivre, est très efficace car il possède une des meilleures conductivités, est facile à produire et compacte.

Il existe d'autres solutions de blindages légers comme les sprays ou vernis conducteurs, les toiles ou tissus métalliques qui présentent en somme les mêmes avantages et inconvénients que les néo-matériaux.

3.1.3 Une première approche aux blindages multicouche

Une solution abordée dans plusieurs travaux de recherche mérite d'y porter un intérêt, ce sont les blindages multicouche. Ils consistent en une superposition alternée de couches de matériaux aux différentes propriétés EM. Il faut garder en tête que l'objectif étant de substituer les boîtiers métalliques classiques, ces films de blindage multicouches pourraient être appliqués comme revêtement sur des boîtiers plastiques plus légers et ajustables aux contraintes imposées par l'application, ou même remplacer les capots de blindage BLS de carte électronique sensibles. Le multicouche a premièrement fait son apparition dans les blindages EM transparents, c'est-à-dire des matériaux bloquant certaines fréquences (micro-ondes, ultraviolet, . . .) mais laissant passer le spectre visible. On retrouve ces matériaux pour les applications nécessitant transparence et conductivité comme dans les Organic LED (OLED), écrans d'affichage ou cellules photovoltaïques [Jar19a]. Par conséquent, et puisque ce n'était pas l'intérêt prédominant, encore peu de travail a été porté sur l'efficacité de blindage de ces matériaux à proprement parler. Cependant, deux études proches de cette idée visant à améliorer leur efficacité de blindage montrent que de telles configurations peuvent avoir leur intérêt.

La première ([MHGK18]) propose deux arrangements de 5 couches, l'un alternant des couches de Cuivre (Cu) et Nickel (Ni) avec des couches de Silicone (Si) ; l'autre des couches d'Argent (Ag) et Cobalt (Co) avec des couches de Kapton. Les résultats en Figure 3.4 montrent une efficacité de blindage supérieure à 90 dB entre 1 et 10 GHz. Cependant l'absence d'informations majeures sur les dimensions de la structure, et de comparaisons avec un blindage simple couche ne permet pas de conclure sur un avantage significatif du multicouche.

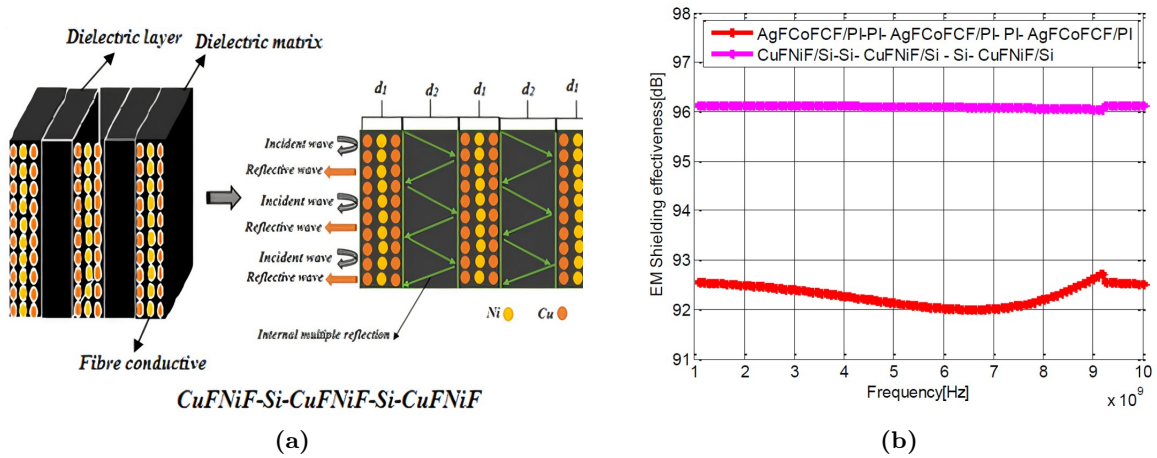


FIGURE 3.4 – (a) Illustration schématique du blindage multicouches (5 couches) [CuF-NiF/Si]. (b) Efficacité de blindage des deux échantillons de blindages multicouches [CuF-NiF/Si] et [AgFCoFCF/PI]. [MHGK18]

La deuxième étude ([WRW+18]) cette fois-ci apporte des réponses sur la pertinence du multicouches dans le blindage EM. Les échantillons d'écrans de blindage sont placés entre deux bobines dont une génère un champ magnétique oscillant entre 1 et 100 MHz : notons une plage de fréquence relativement différente de celle des IEMI. Les pertes par insertion sont comparées en Figure 3.5 pour des configurations simple couche de Cu, Nickel / Fer (NiFe) ou Titane (Ti), et multicouches composées de ces trois matériaux. Il apparaît une plus grande atténuation avec les configurations multicouches : une différence autour de -35 dB par rapport aux simples couches.

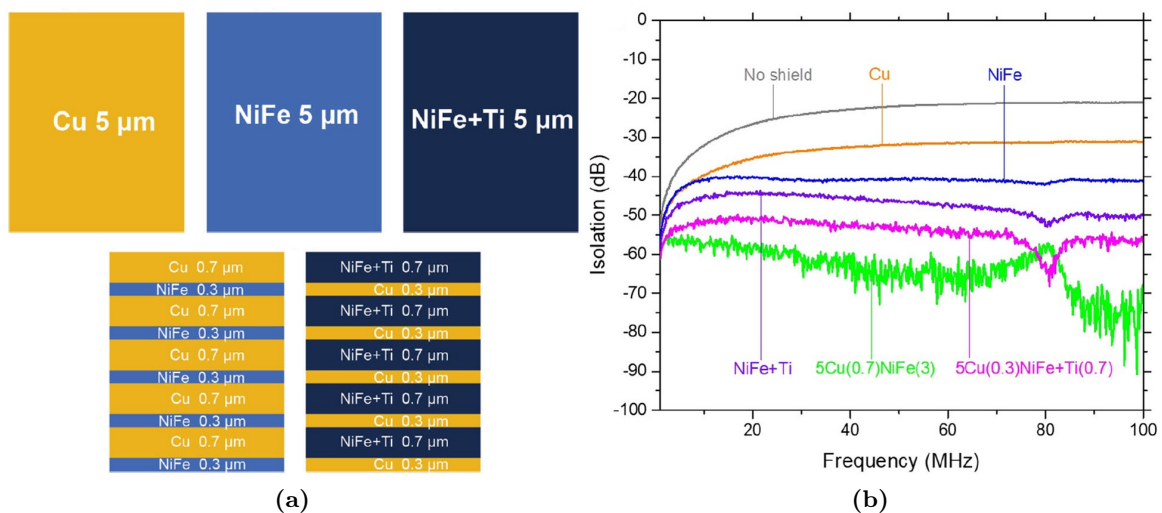


FIGURE 3.5 – (a) Différents échantillons de blindage simple couche et multicouches pour une même épaisseur totale. (b) Pertes d'insertions mesurées pour chaque échantillon représentant l'efficacité de l'isolation du couplage inductif entre les deux bobines. [WRW+18]

Il est important de noter que les deux études ont été réalisées à différentes plages de fréquences et avec différentes configurations. Ces paramètres jouent un rôle crucial quant aux mécanismes de blindage d'un écran et son efficacité : à basse ou haute fréquence, à proximité ou loin de la source, le principe de blindage EM n'est pas le même et la contribution du blindage multicouches peut être variable. Ces mécanismes, essentiels à la compréhension du monde du blindage et des études analytiques et numériques portées dans ce chapitre, sont décrits dans la section suivante. Les configurations de blindage multicouches qui y seront présentées sont le résultat d'analyses numériques réalisées sur le logiciel de simulation électromagnétique *CST Microwave Studio*, et apportent pour la première fois une réponse précise sur l'impact du blindage multicouches par rapport au simple couche, selon des paramètres dimensionnels et qualitatifs.

3.2 Etude analytique du blindage par effet cage de Faraday

3.2.1 Théorie de blindage d'un écran métallique simple couche

3.2.1.1 Atténuation d'un écran électromagnétique

Un mot plus juste pour parler de blindage en CEM serait plutôt d'*écran électromagnétique*. Un tel écran est fait de matériau conducteur (de métal dans la plupart des cas, mis à part les matériaux évoqués en Section 3.1.3) et se comporte comme une enveloppe isolant une région interne d'une région externe source de perturbations EM.

La capacité d'un écran à isoler une région d'une autre est appelée *efficacité de blindage*. Elle se définit par le rapport entre la mesure du champ atténué dans la zone d'intérêt sans écran, et avec écran :

$$EB = 20 \log \left(\frac{\text{Champ sans écran}}{\text{Champ avec écran}} \right) \quad (3.1)$$

Avec EB l'efficacité de blindage pour tout champ exprimée en dB. Le champ considéré peut être électrique, magnétique ou couplé selon le type de source et sa distance par rapport à la source (notions *champ proche / champ lointain* présentées en 3.2.1.2) Il est possible d'estimer cette efficacité de façon analytique grâce à la théorie de blindage existant dans la littérature [KM20]. Celle-ci repose sur deux phénomènes principaux : la réflexion et l'absorption du champ EM. Les sections qui suivent, outre la présentation et quantification ces mécanismes, introduisent une composante fondamentale de la propagation des ondes EM : leur impédance.

3.2.1.2 Impédance caractéristique du champ EM

Toute onde mécanique ou électromagnétique se propageant dans un milieu homogène décrit un transfert d'énergie d'un point A vers un point B. Dans le cas d'une onde EM, cette

énergie se propage dans un milieu (ex. dans l'air) décrit par sa permittivité diélectrique ε (en $F.m^{-1}$) et sa perméabilité magnétique μ (en $H.m^{-1}$). Ce milieu va caractériser l'impédance de l'onde, de façon analogue à la loi d'Ohm, entre le champ électrique (E) et le champ magnétique (H) et s'écrit :

$$Z_c = \frac{E}{H} \quad (3.2)$$

Avec Z_c l'impédance du champ EM (en Ω), E le champ électrique (en $V.m^{-1}$) et H le champ magnétique (en $A.m^{-1}$). En champ lointain, c'est à dire à une distance supérieure à $\lambda/2\pi$ de la source, avec λ la longueur d'onde du champ EM (en m), les champs sont couplés, on parle alors d'impédance intrinsèque ; dans l'air elle vaut 377Ω (3.3). Attention, d'un point de vue impédance du champ, la distance de transition champ proche / champ lointain est bien considérée à $\lambda/2\pi$, à la différence de la distance généralement considérée délimitant la zone de Fraunhofer exprimée en 1.1.

$$Z_0 = \sqrt{\frac{\mu_0}{\varepsilon_0}} \approx 377 \Omega \quad (3.3)$$

Avec μ_0 la perméabilité magnétique du vide ($4\pi \times 10^{-7} H.m^{-1}$) et ε_0 la permittivité diélectrique du vide ($8.85 \times 10^{-12} F.m^{-1}$). A l'inverse, à une distance inférieure à $\lambda/2\pi$ de la source, on parle de champ proche. Les champs E et H ne sont pas couplés et ont chacun leur propre impédance exprimée :

$$Z_E = \frac{1}{2\pi\varepsilon_0 f D} \quad Z_H = 2\pi\mu_0 f D \quad (3.4)$$

Avec Z_E et Z_H les impédances des champs E et H (en Ω), f la fréquence (en Hz) et D la distance par rapport à la source (en m). La variation de l'impédance caractéristique en fonction de la distance à la source par rapport à $\lambda/2\pi$ est représentée en Figure 3.6. Il est important de noter que le champ rayonné en champ proche dépendra du type de source ; un dipôle électrique rayonnera majoritairement un champ E , et une boucle magnétique majoritairement un champ H .

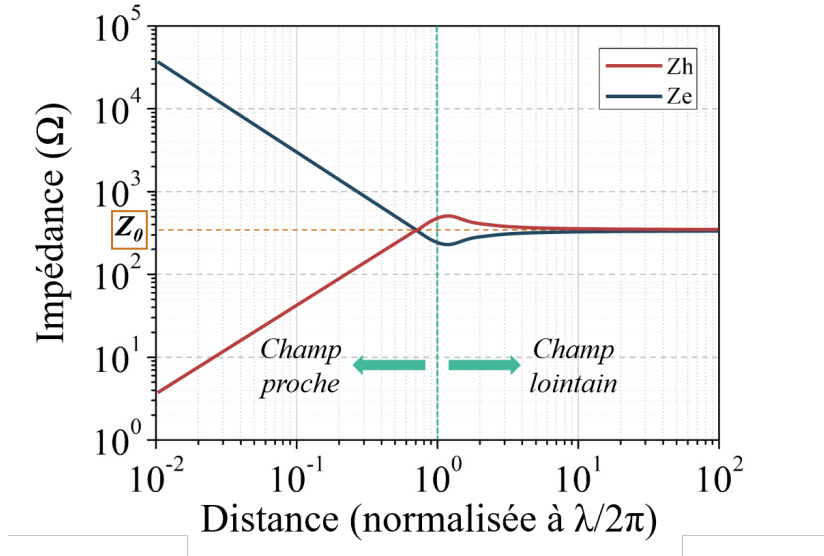


FIGURE 3.6 – Impédance caractéristique des champs E et H en fonction de la distance.

3.2.1.3 Impédance caractéristique d'un écran métallique

Lorsqu'une onde EM rencontre un écran de conductivité σ_e non-nulle (en S.m^{-1}), alors un phénomène de réflexion décrit en 3.2.1.3 intervient. Cette réflexion est due à la différence d'impédance entre l'écran et le champ EM. Il y a deux impédances à considérer pour exprimer l'impédance d'un écran : en basse fréquence, la résistance surfacique (indépendante de la fréquence) est dominante si l'épaisseur de l'écran e (en mm) est inférieure à $0,7 \times \delta$, avec δ l'épaisseur de peau (en mm) décrite en 3.2.1.5 [Cha07] :

$$R_S = \frac{1}{\sigma_e e} \quad (3.5)$$

Avec R_S la résistance surfacique (en Ω). Dans le cas contraire ($e > 0,7 \times \delta$), l'effet de peau intervient et c'est l'impédance intrinsèque Z_i qui devient dominante ; elle est complexe et dépend cette fois-ci de la fréquence et non de l'épaisseur de l'écran. Si l'on suppose un matériau de bonne conductivité ($\sigma_e \gg \omega \varepsilon_e$ avec ε_e la permittivité diélectrique de l'écran), cette impédance s'exprime :

$$Z_i = \sqrt{\frac{j\omega\mu_e}{\sigma_e + j\omega\varepsilon_e}} \approx \sqrt{\frac{j\omega\mu_e}{\sigma_e}} \quad (3.6)$$

Avec Z_i l'impédance intrinsèque de l'écran (en Ω), μ_e la perméabilité magnétique de l'écran, et ω la pulsation du champ EM incident (en rad.s^{-1}). L'allure de l'impédance caractéristique d'un écran métallique est illustrée en Figure 3.7

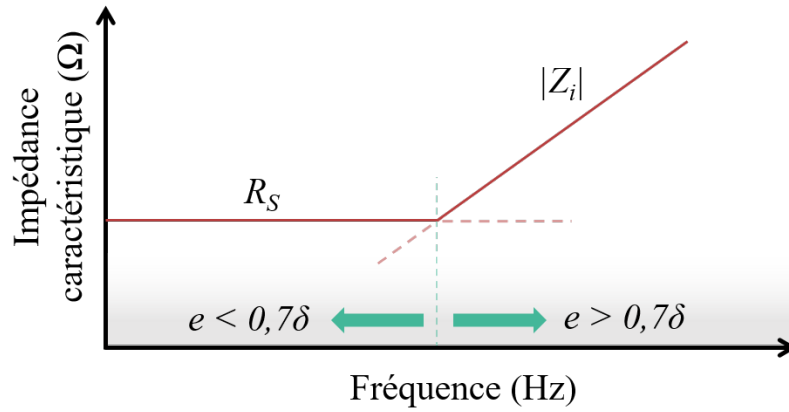


FIGURE 3.7 – Impédance caractéristique d'un écran métallique en fonction de la fréquence pour une épaisseur donnée.

3.2.1.4 Efficacité de blindage par réflexion

Comme présenté en 3.2.1.1 et 3.2.1.2, la différence d'impédances caractéristiques entre le champ EM et l'écran de blindage engendre une réflexion du champ incident. Si l'on est en champs couplés, la relation exprimant l'efficacité de blindage par réflexion est directement le rapport des deux impédances :

$$R_B = \left| 20 \log \frac{Z_0}{Z_{\text{écran}}} \right| \quad (3.7)$$

Avec R_B l'efficacité de blindage par réflexion (en dB), Z_0 l'impédance intrinsèque du champ EM (en Ω) et $Z_{\text{écran}}$ l'impédance caractéristique de l'écran, Z_i ou R_S (en Ω). Dans le cas du champ proche, R_B sera exprimé selon le champ dominant considéré :

$$R_{BH} = \left| 20 \log \frac{Z_H}{4Z_{\text{écran}}} \right| \quad R_{BE} = \left| 20 \log \frac{Z_E}{4Z_{\text{écran}}} \right| \quad (3.8)$$

Avec R_{BH} et R_{BE} l'efficacité de blindage par réflexion des champs, respectivement H et E (en dB).

L'impédance d'un champ à dominance magnétique en champ proche est faible (voir Figure 3.6), et se rapproche de l'impédance caractéristique d'un écran conducteur ; son efficacité par réflexion en est amoindrie. A l'inverse, un écran réfléchira toujours très bien le champ électrique en champ proche car son impédance est très élevée.

3.2.1.5 Efficacité de blindage par absorption

Un deuxième mécanisme profitant au blindage EM par écran apparaît à haute fréquence et dans les milieux à pertes (où σ n'est pas négligeable devant $\omega\varepsilon$), c'est le phénomène d'absorption EM. Le comportement d'une onde EM se propageant dans un milieu avec conduction (que ce soit un diélectrique à faible conduction, ou dans un très bon conducteur) est décrit par l'équation suivante (supposant un champ E se propageant dans l'axe z , avec une composante unique en x) :

$$E_x(z) = E_0 e^{-\alpha z} e^{-j\beta z} \quad (3.9)$$

Où $E_x(z)$ est l'amplitude du champ E_x (en V/m) selon z (en m), E_0 l'amplitude du champ en $z = 0$, α le coefficient d'atténuation (en m^{-1}) et β la constante de phase (en $rad.m^{-1}$). On remarque deux composantes exponentielles, l'une réelle représentant l'atténuation de forme exponentielle amortie de l'amplitude du champ E, et l'une complexe décrivant le comportement de l'oscillation du champ dans le milieu conducteur. Cette relation est illustrée en Figure 3.8

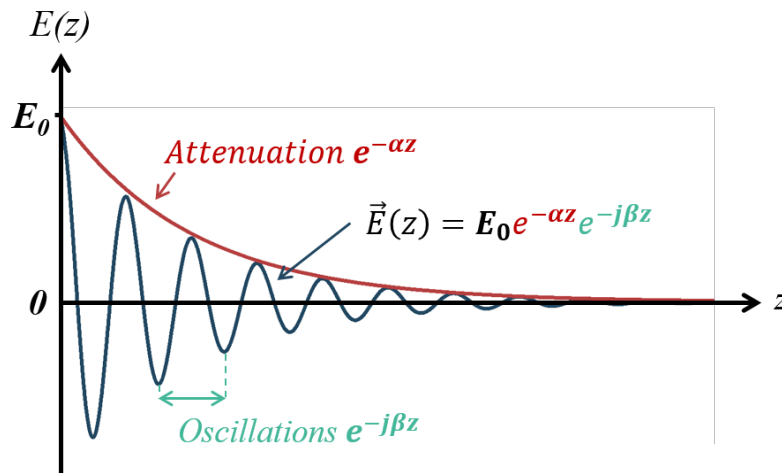


FIGURE 3.8 – Représentation de l'atténuation d'une onde EM se propageant dans un milieu de conductivité non nulle.

Les coefficients α et β sont tous les deux dépendants de la fréquence, et s'expriment dans le cas d'un écran métallique, pour un bon conducteur [Poz12] :

$$\alpha = \sqrt{\frac{\omega\mu\sigma}{2}} \quad \beta = \frac{2\pi}{\lambda} \quad (3.10)$$

L'efficacité de blindage par absorption A_B est directement calculée grâce à la composante exponentielle d'atténuation (en dB) selon l'épaisseur de l'écran e :

$$A_B(z) = \left| 20 \log e^{-\alpha e} \right| \quad (3.11)$$

On remarque que si l'épaisseur $e = 1/\alpha$, alors l'efficacité d'absorption en linéaire sera égale à $1/e^1$. Cette distance particulière exprimée en (3.11) et illustrée en Figure 3.9 s'appelle l'épaisseur de peau nommée δ (en m) et équivaut à une diminution de l'amplitude à environ 37 % de E_0 [Ott09a].

$$\delta = \frac{1}{\alpha} = \sqrt{\frac{2}{\omega \mu \sigma}} \quad (3.12)$$

Pour rappel, en 3.2.1.2, l'impédance de l'écran était déterminée selon deux cas d'épaisseurs : $e < 0,7\delta$ ou $e > 0,7\delta$. Cette épaisseur particulière donne en fait une atténuation de 50% (voir (3.11) et Figure 3.9). Explicitement, cela signifie que la théorie considère cette épaisseur comme « charnière » entre une absorption suffisante, et une absorption trop faible où un facteur de correction doit être appliqué pour estimer l'efficacité de blindage, expliqué dans la section suivante [Cha07].

$$A_B(z) = \left| 20 \log e^{-0,7\alpha\delta} \right| \quad (3.13)$$

$$A_B(z) = \left| 20 \log e^{-\frac{0,7\alpha}{\alpha}} \right| \quad (3.14)$$

$$A_B(z) = \left| 20 \log e^{0,7} \right| \approx 6dB \Leftrightarrow 0,5E_0 \quad (3.15)$$

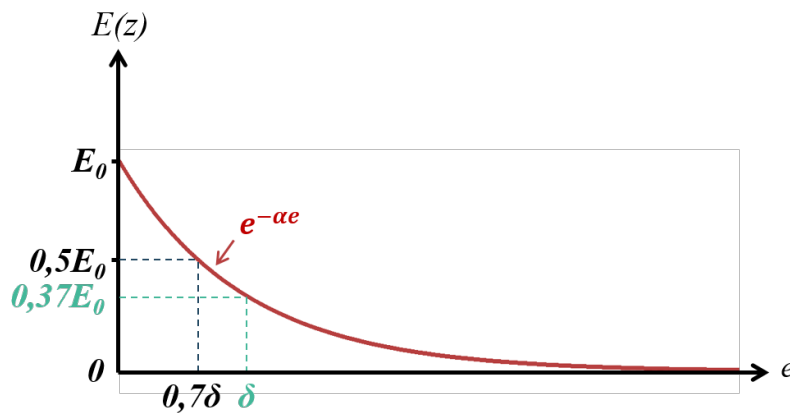


FIGURE 3.9 – Représentation de l'absorption du champ E par effet de peau.

3.2.1.6 Multiples réflexions et facteur de correction

Le troisième phénomène jouant un rôle sur l'efficacité de blindage, sont les multiples réflexions. Dans un écran métallique, lorsque la partie résiduelle de l'onde (atténuée par la réflexion en surface, et par l'absorption à l'intérieur de l'écran) atteint l'autre côté de l'écran, un changement de milieu est observé (métal vers air). Ce changement engendre une différence d'impédance et donc une nouvelle réflexion repartant vers l'entrée de l'écran, qui sera à son tour réfléchi lorsqu'elle atteindra l'entrée, et vice versa ... (voir Figure 3.10).

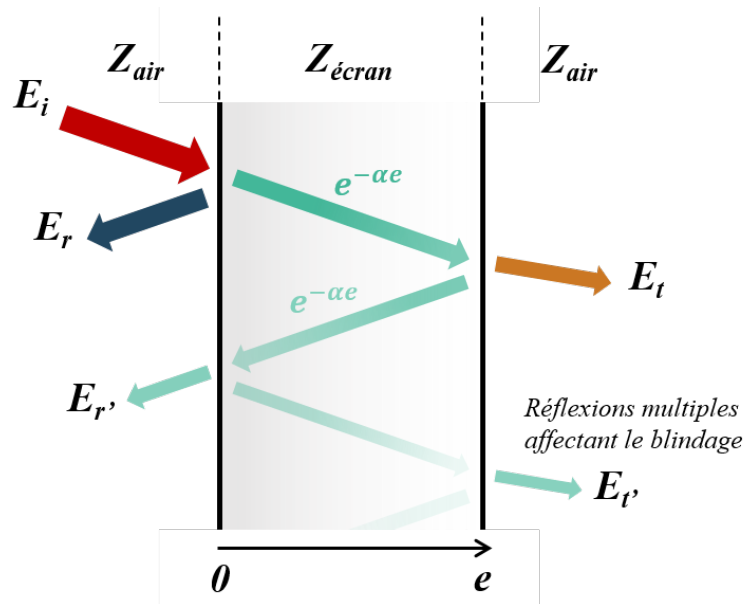


FIGURE 3.10 – Multiples réflexions apparaissant au sein d'un écran d'épaisseur e

Ce va-et-vient de l'onde EM dans l'écran va à chaque réflexion transmettre une très faible part d'énergie de part et d'autre de l'écran et donc dégrader le blindage. Cependant, ces multiples réflexions sont négligeables si l'épaisseur de l'écran est plus grande que 0,7 fois l'épaisseur de peau δ ; en d'autres mots si l'efficacité par absorption A_B est suffisamment efficace et supérieure à 6 dB (3.15). Si l'écran est électriquement fin ($e < 0,7\delta$, ou $A_B < 6dB$), alors un facteur de correction, négatif, doit être pris en compte dans le calcul du blindage total [Ott09b] :

$$M_B = 20 \log \left(1 - \left(\frac{Z_0 - Z_i}{Z_0 + Z_i} \right)^2 e^{-\frac{2e}{\delta}} \right) \quad (3.16)$$

Avec M_B le facteur de correction de blindage (en dB) dû aux multiples réflexions internes. Il faut garder en tête que les calculs de blindages sont approximés pour des matériaux bons conducteurs, où l'on peut négliger $\omega\varepsilon$ (voir 3.2.1.2). Le facteur de correction est une bonne approximation tant que l'épaisseur de l'écran n'est pas exagérément petite par rapport à δ . Si le facteur de correction est du même ordre de grandeur que l'absorption, cela signifie que

nous n'avons pas la condition $\sigma \gg \omega\epsilon$, et que les formules utilisées ne sont plus exactes. Dans cette étude, les matériaux considérés seront uniquement de bons conducteurs, ou des isolants ; ces formules pourront alors être utilisées et comparées aux analyses numériques.

3.2.1.7 Efficacité de blindage totale

En tenant compte des trois coefficients de blindages décrits précédemment (Réflexion R_B , Absorption A_B , Multiples réflexions M_B), l'efficacité de blindage totale d'un écran peut être calculée en sommant simplement les trois termes :

$$EB = R_B + A_B + M_B \tag{3.17}$$

Avec EB l'efficacité de blindage totale (en dB), sachant que R_B et A_B sont positifs, et M_B négatif. Comme vu en 3.2.1.5, il est admis que M_B peut être omis dans le cas où l'épaisseur de l'écran e est supérieur à $0,7\delta$.

3.2.1.8 Efficacité de blindage multicouches

A partir de la théorie de blindage multicouches présentée en 1988 par R.B. Schulz [SPB88], et des récents travaux sur un nouveau modèle analytique [SWLY22], il est possible d'estimer l'efficacité de blindage d'un écran constitué d'un empilement de plusieurs couches conductrices et isolantes (voir Figure 3.11). L'équation 3.17 exprimant l'efficacité de blindage peut être réécrite pour un blindage multicouches comme étant la somme des efficacités de chaque couche :

$$EB_{totale} = EB_1 + EB_2 + \dots + EB_N \tag{3.18}$$

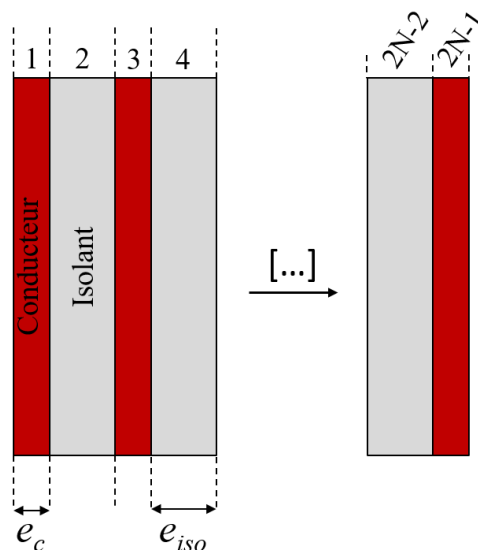


FIGURE 3.11 – Schéma de principe d'un écran de blindage multicouches.

L'arrangement de couches est considéré comme une alternance entre couches conductrices et isolantes comme présenté en Figure 3.11. En fixant désormais N comme étant le nombre de couches métalliques, alors les couches $2N-1$ sont conductrices et les couches $2N-2$ sont isolantes. Si les couches $2N-1$ ont les mêmes dimensions et propriétés électriques entre elles, ainsi que les couches $2N-2$, alors 3.19 peut s'écrire :

$$EB_{totale} = N \times E_{B_{metal}} + (N - 1) \times E_{B_{isolant}} \quad (3.19)$$

$E_{B_{metal}}$ est connu d'après la théorie de blindage classique pour de bons conducteurs. Le calcul de $E_{B_{isolant}}$ quant à lui doit être approché différemment car le matériau n'est plus un conducteur, mais au contraire un isolant. Dans cette étude, les isolants sont supposés avoir les mêmes propriétés que l'air, c'est à dire une conductivité σ nulle, et une permittivité électrique et perméabilité magnétique relatives égales à 1. En tenant compte de ces propriétés et en reprenant (3.11), il est facile de trouver une absence d'absorption (voir (3.21) et d'anticiper la grande responsabilité des réflexions multiples au sein de la couche d'isolant « emprisonnée » entre deux couches de métal. De plus, l'approximation $\sigma \gg \omega\varepsilon$ et la relation (3.16) ne sont plus valables. Ainsi, selon [SWLY22], le coefficient M_{iso} responsable des multiples réflexions dans une couche d'isolant peut s'exprimer :

$$M_{B_{iso}} = 20 \log \left| \left(1 - \left(\frac{Z_0 - Z_i}{Z_0 + Z_i} \right)^2 \left(\cos 4\pi \frac{e_{iso}}{\lambda_0} - j \sin 4\pi \frac{e_{iso}}{\lambda_0} \right) \right) \right| \quad (3.20)$$

$$A_{B_{iso}} = 0 \text{ car } \sigma = 0 \quad (3.21)$$

L'efficacité de blindage totale d'un écran multicouches dans cette configuration peut alors être simplifiée par :

$$EB_{tot} = N \times (E_{B_{metal}}) + (N - 1) \times M_{B_{iso}}. \quad (3.22)$$

Sachant que $\left(\frac{Z_0 - Z_i}{Z_0 + Z_i} \right)^2 \leq 1$ alors $M_{B_{iso}} < 0$. Ce facteur représente bien toujours une dégradation de l'efficacité de blindage totale puisqu'il est négatif. C'est pour cette raison que de supposer que le blindage multicouches pourrait être amélioré grâce aux multiples réflexions internes est erroné. La différence entre un blindage simple couche et deux couches de même épaisseur totale résiderait dans la double réflexion apparaissant à chaque couche conductrice face au champ incident. Cette efficacité par réflexion est ensuite atténuée par les multiples réflexions qui ne sont pas absorbées dans les couches isolantes.

L'étude présentée dans les sections suivantes étant portée sur la plage de fréquence des IEMI (3.1.2), les notions de blindage basse fréquence, notamment de champ magnétique, ne sont pas abordées car les mécanismes de blindages ne reposent pas sur de la réflexion ou absorption, mais sur la déflexion des lignes de champs avec des matériaux à fort μ [Jar19b].

Les blindages multicouches dans cette étude ne sont donc pas considérés pour ce type de champs.

3.2.2 Etude analytique sur la bande de fréquence des IEMI

3.2.2.1 Choix du matériau

Dans l'idée de dimensionner des capots de blindages multicouche, il est nécessaire de déterminer quels matériaux sont les plus propices à offrir une bonne efficacité de blindage, tout en restant abordables en prix et en accessibilité. Il a été vu en 3.2.1.2 que les métaux et alliages bons conducteurs pour écrans de blindage sont caractérisés par leur conductivité σ et leur perméabilité magnétique μ . Plusieurs de ces matériaux sont présentés en Tableau 3.1 [Cha07]. A noter que pour des raisons pratiques, les paramètres sont exprimés relativement par rapport au Cuivre, celui-ci étant un des meilleurs conducteurs et avec la plus faible perméabilité. On note σ_{rCu} et μ_{rCu} respectivement la conductivité et la perméabilité magnétique relatives par rapport au Cuivre.

Matériau	σ_{rCu}	μ_{rCu}
Acier inox (type 304 ou 316)	0,023	1,01
Acier ordinaire (type ANSI 1010)	0,1	500
Aluminium (Al)	0,61	1
Argent (Ag)	1,06	1
Chrome (Cr)	0,65	1
Cuivre (Cu)	1	1
Étain (Sn)	0,15	1
Fer pur (Fe)	0,14	5000
Graphite (C)	0,002	1
Magnésium (Mg)	0,38	1
Mumétal	0,028	20000
Nickel (Ni)	0,22	1 en HF
Or (Au)	0,75	1
Plomb (Pb)	0,08	1
Supermalloy	0,03	100000
Zinc (Zn)	0,3	1

TABLE 3.1 – Conductivité et perméabilité relative au Cuivre de matériaux de blindage [Cha07].

D'après (3.6), l'impédance intrinsèque d'un écran est proportionnelle à $\sqrt{\frac{\mu}{\sigma}}$. Pour avoir la meilleure réflexion, il faut la plus petite impédance Z_i possible (3.7); parmi ces matériaux, le cuivre offre la plus faible impédance avec un rapport entre σ_{rCu} et μ_{rCu} de 1. Pour cette principale raison, et également pour sa disponibilité sur le marché en très fines épaisseurs (de l'ordre du μm à la dizaine de μm), le cuivre a été choisi comme matériau pour la suite de l'étude. Des épaisseurs de cet ordre de grandeur permettront de limiter l'efficacité de blindage de l'écran et donc les niveaux atténués de champ E ou H mesurés. Cette limitation a pour perspective de rendre possible la comparaison entre les résultats de simulations présentés dans les sections suivantes, et des mesures expérimentales. Par exemple, une puissance émise de 30 dBmW (1 W) atténuée de 100 dB résulterait en une puissance transmise de -70 dBmW (100 pW) de l'autre côté de l'écran. Mesurer une puissance de 100 pW (10^{-10} W) nécessiterait d'avoir un équipement de mesure (analyseur de spectre, analyseur de réseau vectoriel) dont le NFL (Noise Floor Level, ou niveau de bruit de fond) est inférieur à -70 dBmW : seuls des équipements très performants peuvent atteindre ces niveaux. Les notions de calcul de bruit généré par ces équipements sont détaillés en [Mol].

3.2.2.2 Etude analytique d'un écran théorique

La théorie de blindage suppose un plan métallique aux dimensions infinies, sans condition de bord, sans ouverture, dont l'onde EM se propage dans une direction normale à ce plan. Ces conditions sont schématisées en Figure 3.12.

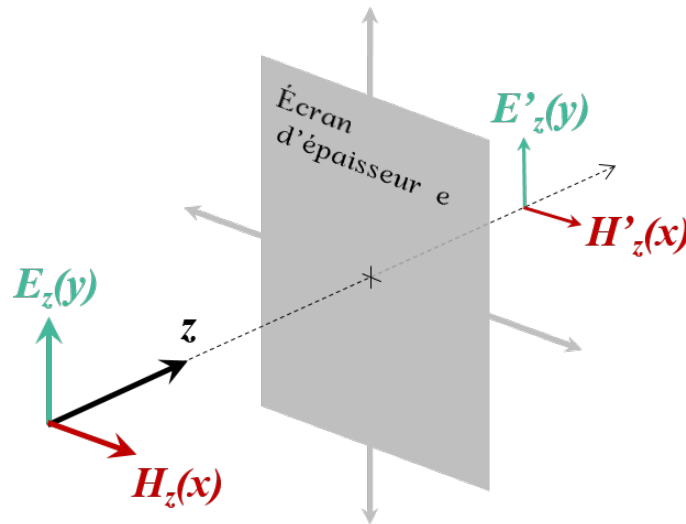


FIGURE 3.12 – Schéma d'un champ EM normal à un plan métallique applicable à la théorie de blindage.

Les résultats en Figure 3.13 représentent l'atténuation (en dB) entre un champ incident supposé lointain (couplé) et le champ transmis d'après la théorie sur la plage de fréquence des IEMI. Par corrélation et puisque les calculs sont théoriques, on peut se permettre de transposer directement l'atténuation (négative en dB) en efficacité de blindage avec un simple changement de signe. Les épaisseurs considérées sont de 6 μm , 12 μm et 18 μm , car les efficacités de blindage théoriques sont largement suffisantes pour ces épaisseurs, et les films de cuivre pur (99%) de 6 μm étaient les plus fins de disponibles sur le marché lors de la réalisation de l'étude. En plus du cuivre, l'aluminium a été considéré dans les calculs afin d'apporter une comparaison logique de l'atténuation.

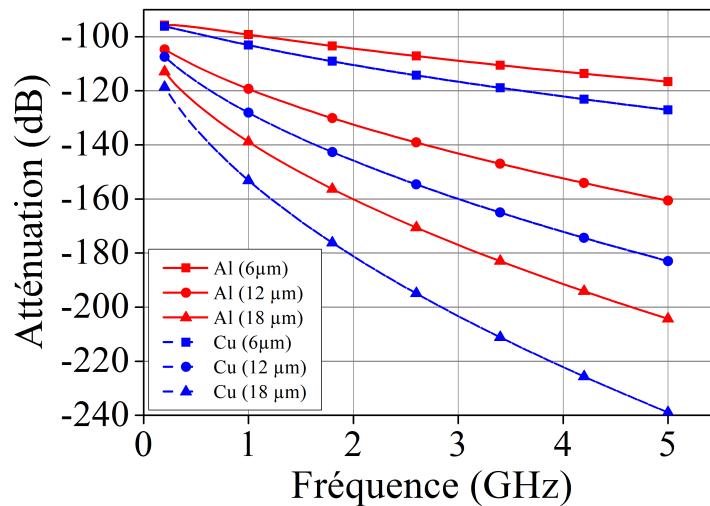


FIGURE 3.13 – Atténuation d'un écran théorique (Cu et Al) pour différentes épaisseurs sur la plage des IEMI.

Sans parler des niveaux d'atténuation, l'allure des différentes courbes semble cohérente car d'après (3.11), l'efficacité en absorption augmente avec la fréquence grâce à l'effet de peau. Cependant, la réflexion (3.7) devrait quant à elle diminuer car l'impédance de l'écran augmente. On peut dissocier (voir Figure 3.14 pour un écran de cuivre d'épaisseur de 6 μm) les deux efficacités de blindage afin de visualiser au mieux quel phénomène contribue le plus à l'atténuation selon la fréquence.

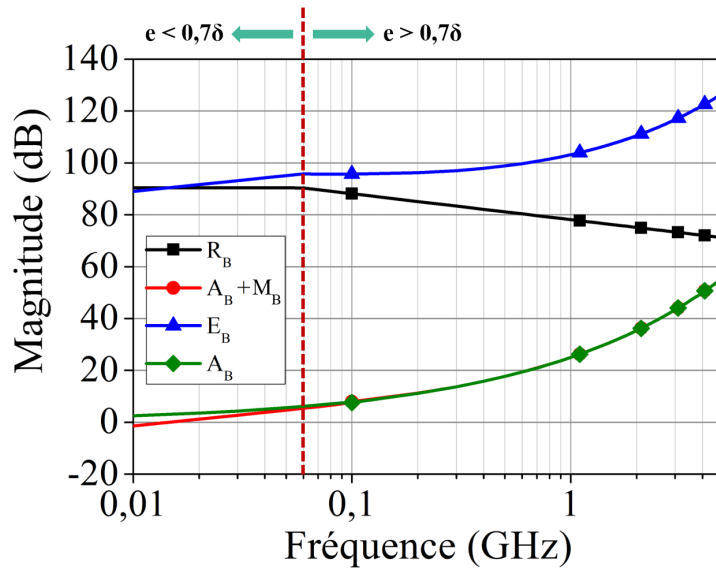


FIGURE 3.14 – Contribution des différents mécanismes de blindage d'un écran de cuivre ($e = 6\mu\text{m}$) entre 1 MHz et 5 GHz.

On remarque qu'en champ lointain l'efficacité en réflexion R_B est dominante sur toute la plage de fréquence ; la fine épaisseur de l'écran (ici $6\mu\text{m}$) imposerait d'avoir une fréquence très élevée ($> 10\text{ GHz}$) pour observer une absorption A_B dominante. Les écrans électriquement fins (autour de δ ou la dizaine de δ), sont donc majoritairement réfléchissants. Cependant, deux points sont à noter :

- Dans la partie haute de la plage de fréquence entre 1 et 5 GHz, la décroissance de R_B devient remarquable ($\sim -20\text{ dB}$ par rapport au maximum). Ce qui est normal puisque l'impédance intrinsèque de l'écran augmente.
- En basse fréquence, en-dessous de $\sim 100\text{ MHz}$, le facteur de correction M_B est appliqué à A_B . On remarque que $A_B + M_B$ tend à être négatif en très basse fréquence, ce qui est impossible : cela prouve les limitations du facteur de correction lorsque $e \ll \delta$!

Enfin, il ne faut pas oublier que les calculs sont une approximation théorique d'un écran plan sans dimensions. Les valeurs d'efficacité totale de blindage EB estimées sont relativement hautes (la centaine de dB) par rapport à ce que l'on pourrait mesurer en réalité sur un boîtier métallique, en tenant compte des fentes et ouvertures, des modes de résonance du boîtier, de l'environnement de mesure, de l'angle d'incidence et de la polarisation de l'onde [Cha07].

3.3 Analyse numérique de blindages multicouche

3.3.1 Validation du modèle CST pour un blindage simple couche

L'étude visant à déterminer l'efficacité de blindages multicouches est réalisée sur des simulations numériques à l'aide de CST Microwave Studio, et s'appuie en majeure partie sur des simulations, les analyses théoriques et approximations étant insuffisantes pour ce type de structures complexes. Il est cependant nécessaire de s'assurer au préalable que le modèle d'écran de blindage sur CST est valide ; pour cela un premier modèle d'écran simple couche est analysé et comparé aux prévisions théoriques exposées en 3.2.2.2.

La Figure 3.15 présente le modèle d'écran réalisé sur CST. Les ports 1 et 2 sont des ports de type « guide d'onde ». Le port 1 est excité par une gaussienne présentée auparavant en Figure 3.2 couvrant la plage des IEMI de 0,2 à 5 GHz. Les simulations ont été effectuées pour un écran de cuivre et d'aluminium pour les 3 épaisseurs de 6, 12 et 18 μm . On précise que l'écran est un plan carré de 10 cm de côté, et la distance entre les ports et l'écran est de 30 cm. Les conditions de bords du modèle 3D définies comme conducteurs parfaits imposent les champs E et H nuls en tout plan (normal et tangent) ; le comportement d'une onde plane à l'intérieur du modèle est donc reproduit.

L'épaisseur du modèle étant très fine (quelques μm), utiliser le solveur de domaine temporel typique FIT (Finite Integration Technique) n'est pas adapté et demanderait des temps de simulations excessifs. Pour ce modèle, le deuxième solveur 3D de domaine temporel TLM (Transmission Line Matrix) est utilisé et permet, comme son nom l'indique, une modélisation matricielle de ligne de transmission pour des écrans ou films conducteurs très fins devant la longueur d'onde du signal d'excitation. Ce solveur est par conséquent adapté pour des modèles comportant des revêtements ou couches conductrices.

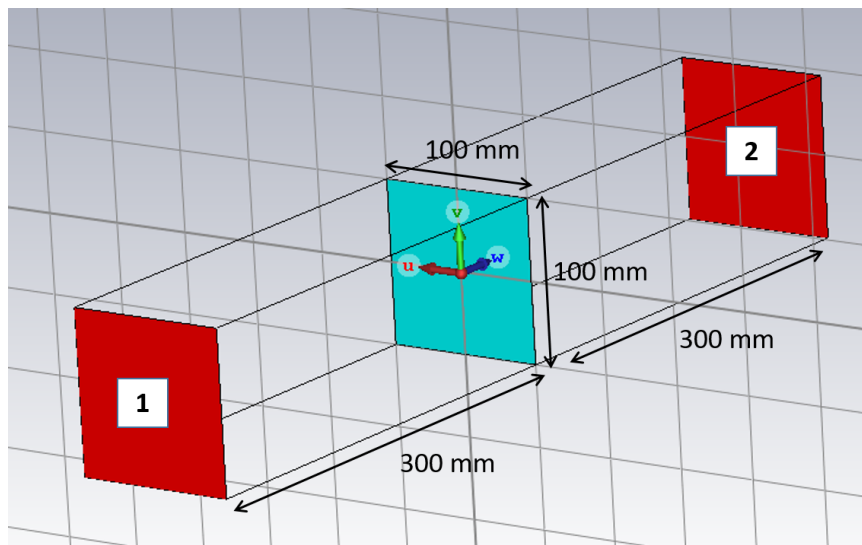


FIGURE 3.15 – Modèle d'écran simple couche sur CST MW.

Les résultats présentés en Figures 3.16 et 3.17 comparent le coefficient d'insertion S_{21} obtenu par simulation avec les atténuations calculées théoriquement pour des écrans de cuivre et d'aluminium. Une analogie peut être faite entre les paramètres S et les caractéristiques d'un blindage :

- S_{21} - Coefficient d'insertion \Leftrightarrow Efficacité de blindage totale
- S_{11} - Coefficient de réflexion \Leftrightarrow Efficacité de blindage par réflexion

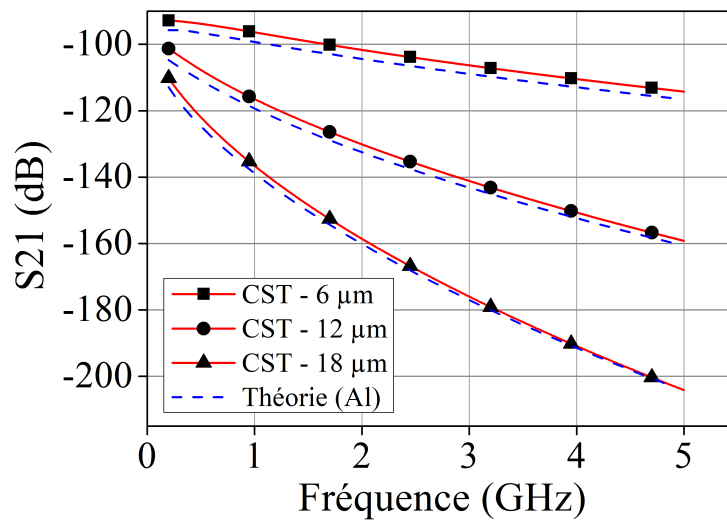


FIGURE 3.16 – Comparaison entre atténuations obtenues théoriquement et par simulation pour un écran d'aluminium (Al) sur la plage des IEMI pour 3 épaisseurs différentes.

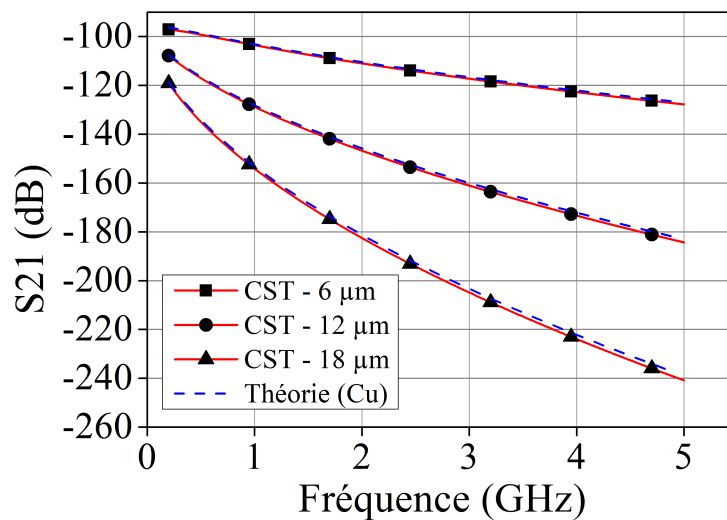


FIGURE 3.17 – Comparaison entre atténuations obtenues théoriquement et par simulation pour un écran de cuivre (Cu) sur la plage des IEMI pour 3 épaisseurs différentes.

La simulation est très similaire à la théorie sur les 3 épaisseurs, ce qui permet de valider le modèle sur cette plage de fréquence avec le solveur TLM. L'aluminium représente une EB plus faible que le cuivre conformément à la théorie puisque sa conductivité est moindre.

3.3.2 Étude paramétrique de blindages multicouche

La validation du modèle CST grâce à la théorie de blindage simple couche permet de pouvoir procéder à l'étude de blindages multicouches. Un tel blindage dans cette étude est un écran constitué d'un empilement de couches alternées de matériaux conducteurs et d'isolants (les différents agencements seront présentés dans cette section). Les isolants sont considérés parfaits et sans propriétés EM, c'est à dire avec ε_r et μ_r valant 1 et σ_r valant 0. Le modèle utilisé est le même que présenté en Figure 3.15, seul l'agencement des couches de l'écran (désormais multicouche) et leur épaisseur seront précisés. Par convention, un écran multicouches sera désigné par son nombre de couches conductrices ; un écran constitué de 5 couches alternées entre cuivre et isolant (Cu-Iso-Cu-Iso-Cu) est un écran « 3 couches ».

3.3.2.1 Écran 2 couches

La première analyse numérique consiste à vérifier l'évolution de l'atténuation d'un écran constitué de 2 couches de matériaux conducteurs de $6 \mu\text{m}$ et d'une couche d'isolant entre elles, dont l'épaisseur d'isolant varie (voir Figure 3.18). La simulation prend en compte une variation de $0 \mu\text{m}$ à $100 \mu\text{m}$, ($0 \mu\text{m}$ signifiant une simple couche de cuivre de $12 \mu\text{m}$), les résultats sont présentés en Figure 3.19.

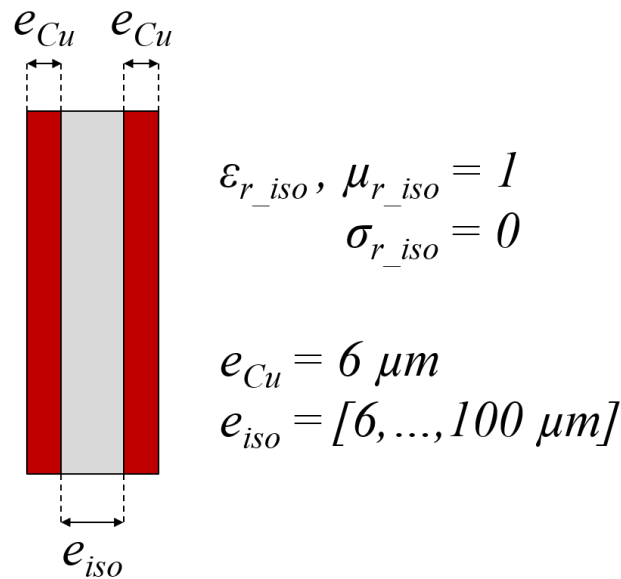


FIGURE 3.18 – Schéma d'un écran de blindage 2 couches (Cu-Air-Cu) dont l'épaisseur inter-couche isolante varie.

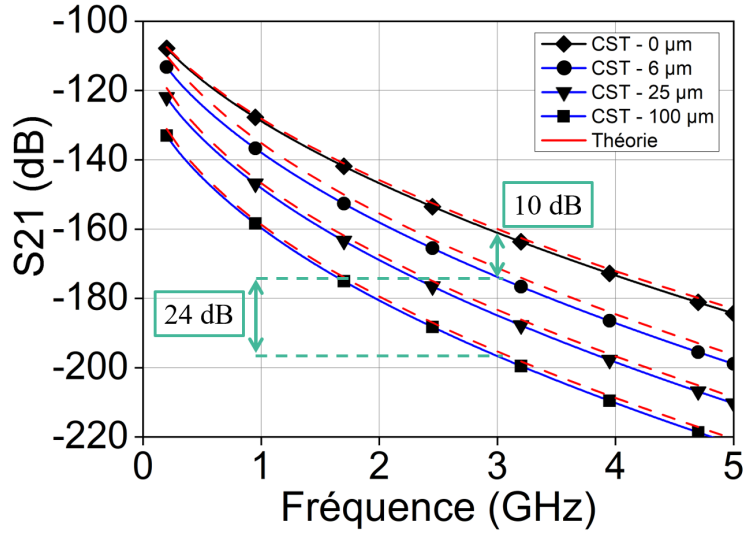


FIGURE 3.19 – Comparaison entre les pertes d'insertion obtenues par simulation pour un écran 2 couches (Cu-Air-Cu) donc l'espace entre les deux couches varie, sur la plage des IEMI.

Premièrement, une bonne concordance entre les résultats obtenus par simulation et la théorie de blindage multicouches est constatée et de ce fait valide le modèle CST. Ensuite, au niveau des résultats, deux remarques peuvent être faites. D'une part, une plus forte atténuation est constatée lorsqu'il y a un espace entre les deux couches de cuivre de 6 μm par rapport à celles espacées de 0 μm , soit une simple couche de 12 μm : on observe 10 dB de différence à 3 GHz, un écart grandissant avec la fréquence. D'autre part, l'atténuation semble être proportionnelle à la distance entre les 2 couches sur toute la plage de fréquence étudiée. Lorsque l'espacement est doublé, l'atténuation est doublée (-6 dB). Lorsque l'on passe de 6 μm à 100 μm d'espacement, l'atténuation est très proche du rapport 6 μm / 100 μm .

Cas 6 μm \rightarrow 12 μm :

$$S21_{CST\ 12\mu\text{m}} - S21_{CST\ 6\mu\text{m}} \approx -5.63\text{dB} \quad (3.23)$$

$$20\log\left(\frac{6}{12}\right) = -6\text{dB} \quad (3.24)$$

Cas 6 μm \rightarrow 100 μm :

$$S21_{CST\ 100\mu\text{m}} - S21_{CST\ 6\mu\text{m}} \approx -23,19\text{dB} \quad (3.25)$$

$$20\log\left(\frac{6}{100}\right) = -24,43\text{dB} \quad (3.26)$$

3.3.2.2 Écran 3 couches

L'amélioration de l'efficacité de blindage en ajoutant un espace entre deux couches laisse penser que cela est dû aux multiples réflexions que va subir le champ incident lorsqu'il se propage à travers les deux écrans au lieu d'un seul, augmentant l'atténuation. Il s'agit de vouloir confirmer ce principe, en comparant l'atténuation entre des écrans 2 et 3 couches avec la même épaisseur totale (illustré en 3.20). Les deux écrans présentés ont une épaisseur totale de 118 μm dont les agencements sont détaillés.

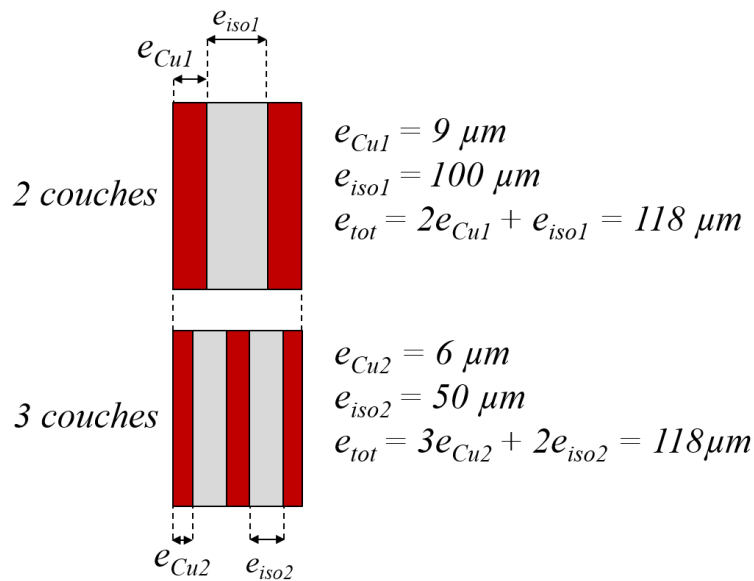


FIGURE 3.20 – Schéma de deux écrans de blindages : 2 couches (Cu-Air-Cu) et 3 couches (Cu-Air-Cu-Air-Cu) de même épaisseur totale.

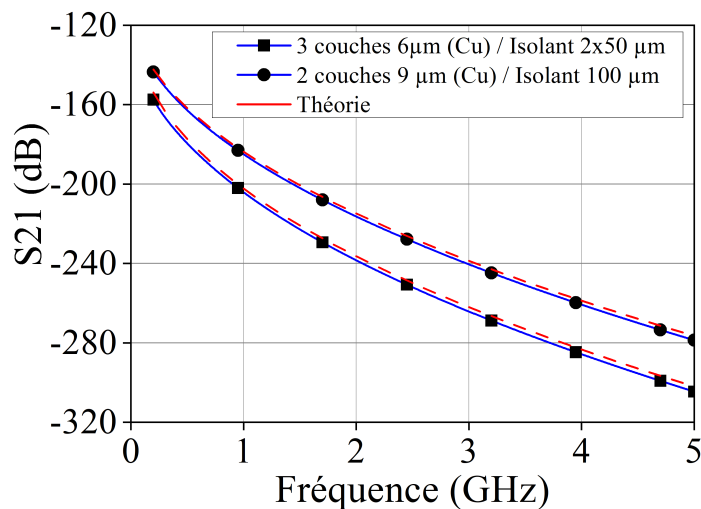


FIGURE 3.21 – Comparaison entre les pertes d'insertions obtenues par simulation pour des écrans 2 couches (Cu-Air-Cu) et 3 couches (Cu-Air-Cu-Air-Cu) de même épaisseur totale.

Les résultats présentés en Figure 3.21, toujours confirmés par la théorie, mettent en avant une amélioration de l'atténuation et donc de l'efficacité de blindage lorsque le nombre de couches de l'écran passe de 2 à 3 pour une même épaisseur totale. L'effet observé en Figure 3.19 pour 2 couches est ici renforcé lorsque l'écran est divisé en 3 couches. Cela conforte l'hypothèse d'une amélioration de l'efficacité de blindage en augmentant le nombre de subdivisions d'un écran en plusieurs couches.

3.3.2.3 Épaisseurs asymétriques d'isolants

Un troisième paramètre intéressant à prendre en compte est l'asymétrie des épaisseur des couches d'isolants. En effet, une question se pose quant à l'altération de l'efficacité de blindage si l'ont vient à introduire une asymétrie entre deux couches d'isolants d'un écran de blindage 3 couches (Cu-Air-Cu-Air-Cu) tout en gardant la même épaisseur totale d'isolant (illustré en Figure 3.22). Dans cette étude, l'écran de configuration 3 couches a été simulé pour différentes distributions des deux couches d'isolants selon un rapport de division η_{div} compris entre 1/9 et 9 (voir Tableau 3.2).

$\eta_{div} = \frac{e_{iso1}}{e_{iso2}}$	1/9	0,25	3/7	4/6	1	6/4	7/3	0,25	9
e_{iso1} (μm)	10	20	30	40	50	60	70	80	90
e_{iso2} (μm)	90	80	70	60	50	40	30	20	10

TABLE 3.2 – Configurations écrans 3 couches à épaisseurs d'isolant asymétriques pour une épaisseur totale d'isolant de 100 μm

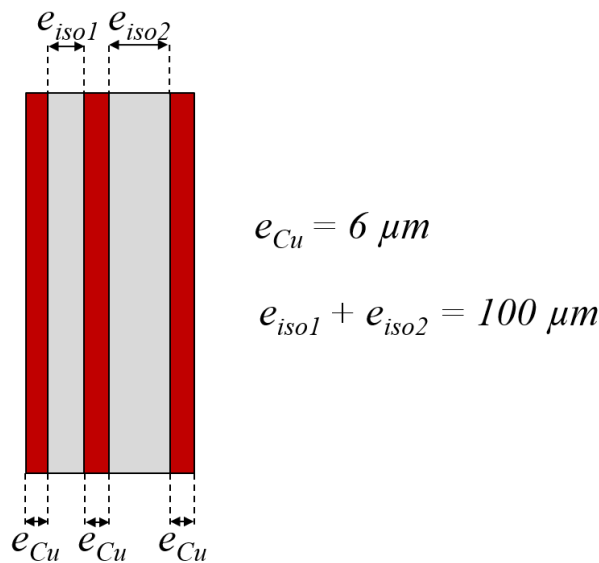


FIGURE 3.22 – Schéma de la configuration d'écran 3 couches avec une asymétrie entre les épaisseurs d'isolants pour une même épaisseur totale d'isolant de 100 μm sur la plage des IEMI.

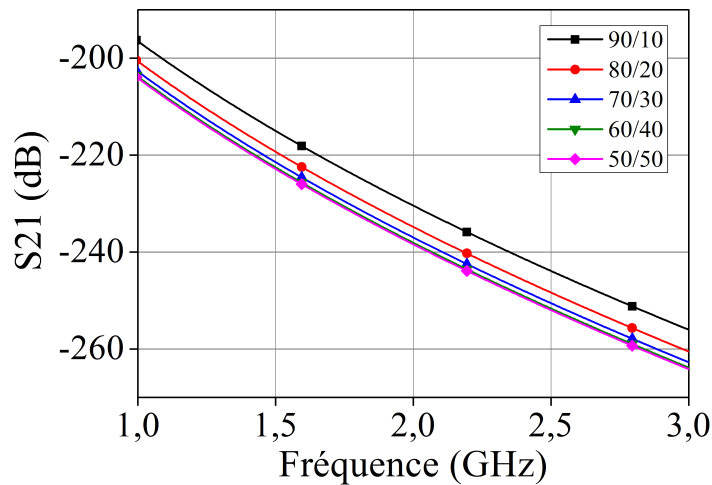


FIGURE 3.23 – Pertes d'insertions pour différentes configurations d'asymétries des couches d'isolant d'un écran 3 couches pour une même épaisseur totale sur la plage 1-3 GHz.

D'après les résultats présentés en Figure 3.23, l'introduction d'une asymétrie entre les couches d'isolants réduit les pertes d'insertions (l'effet est mieux visualisé en réduisant la plage de fréquence entre 1 et 3 GHz). Jusqu'à ~ 6 dB sont perdus en efficacité de blindage entre un ratio symétrique ($50 \mu m / 50 \mu m$) et un ratio très asymétrique de 9/1. Il est important de garder en tête les résultats précédents : de cette façon il apparaît évident que plus l'asymétrie est grande - et donc plus une des deux couches tend vers $0 \mu m$ - plus l'efficacité de blindage tend vers celle d'un écran 2 couche. En fait, cette plage de variation d'efficacité en jouant sur l'asymétrie rentre exactement entre les courbes présentées en Figure 3.21. Par ailleurs, l'ordre des couches asymétriques n'importe pas, des ratios $\eta_{div} = 9$ et $\eta_{div} = 1/9$ donnent le même résultat (voir Figure 3.24).

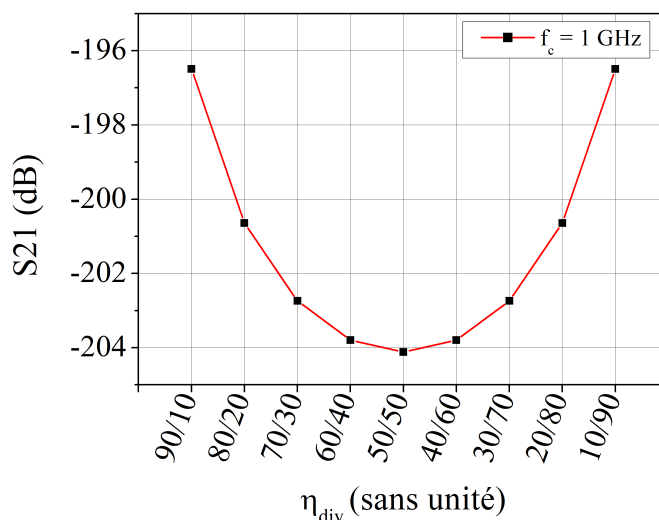


FIGURE 3.24 – Mise en évidence de la symétrie des pertes d'atténuations entre différentes configurations pour un écran à 3 couches et à 1 GHz.

3.3.2.4 Discussions sur les résultats

A l'issue des simulations, il semble apparaître un intérêt pour le blindage multicouches par rapport au simple couche. D'une part, l'efficacité de blindage d'un écran est améliorée lorsqu'un écran est subdivisé en deux couches de conducteurs au lieu d'une seule, et en intercalant une couche d'isolant entre elles (3.3.2.1). Attention, l'efficacité entre un écran 1 et 2 couches est comparée pour une même épaisseur totale de conducteur : l'épaisseur totale de l'écran incluant la couche d'isolant est bien-entendu supérieure. Par exemple, en tenant compte de ces résultats, il serait préférable lors de la composition d'un blindage multicouche, d'appliquer un revêtement conducteur de part et d'autre d'une paroi ou d'un film plastique plutôt que d'un seul côté ; de même pour des tissus ou blindages transparents, évoqués en 3.1.2. D'autre part, en considérant un écran multicouches - à minima deux couches de conducteur - son efficacité se voit augmenter lorsque le nombre de subdivisions de l'écran augmente, pour une même épaisseur totale cette fois-ci. Un écran de 3 couches aura une meilleure efficacité de blindage qu'un écran de 2 couches (3.3.2.2), alors qu'ils ont tous deux les mêmes épaisseurs totales de couches conductrices et isolantes. Egaleme nt, il a été constaté que la structure interne des couches a son importance : l'efficacité optimale est trouvée lorsque les différentes couches d'isolants d'un écran ont la même épaisseur (3.3.2.3).

On peut se poser la question de la transposition des résultats lorsque l'échantillon de blindage n'est plus un plan théorique de dimensions idéales et non-finies mais un boîtier réel protégeant l'électronique d'une carte PCB, et est agressée par une source IEMI ponctuelle ne pouvant être nécessairement une onde plane bien déterminée. Cette interrogation est traitée dans la section suivante, présentant le dimensionnement d'une source IEMI, et les résultats de simulations afin de déterminer l'efficacité de blindage de boîtiers exposés à cette source d'agression.

3.4 Blindage d'une zone localisée sur PCB et analyse numérique

3.4.1 Modélisation de la source d'agression IEMI

3.4.1.1 Choix de la source de rayonnement

Un apport essentiel à l'étude est de pouvoir estimer l'efficacité de blindage en se détachant des conditions de simulations « parfaites » du modèle actuel. L'idée n'est plus d'agresser un plan métallique sans dimensions, mais un boîtier aux dimensions finies (voir Figure 3.25) ayant pour rôle de protéger une carte PCB, introduisant des phénomènes pouvant affecter l'efficacité de blindage, notamment par les modes de résonances du boîtier. De plus, la source d'agression ne serait plus une onde plane dont la direction de propagation est orthogonale à l'écran, mais une source IEMI générée à une certaine distance du boîtier ; ce faisant, l'angle d'incidence en tout point et les conditions particulières lors de la transition champs proche / champs lointain sont prises en compte dans la simulation.

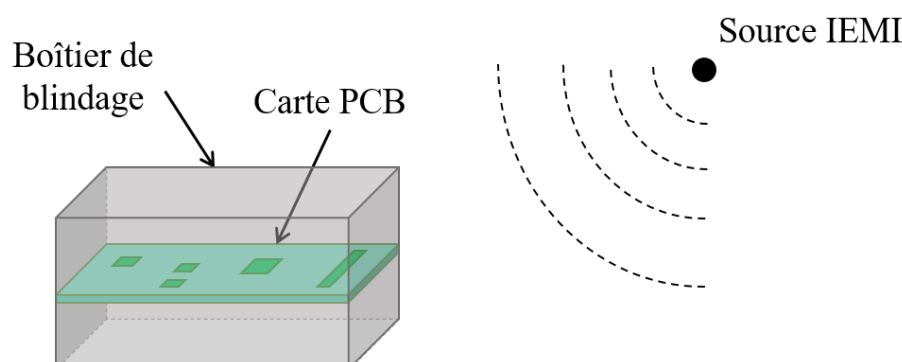


FIGURE 3.25 – Agression IEMI d'un boîtier de blindage protégeant un circuit PCB.

Pour générer l'onde de type IEMI qui va agresser le boîtier de blindage, il faut une source de rayonnement : une antenne. Celle-ci va permettre de contrôler la bande de fréquence, la direction de propagation et l'amplitude du champ EM généré. Il existe de nombreuses structures d'antennes (filaires, guides d'onde, réflecteurs, réseau, lentilles, microstrip) [Bal97] dont chacune d'entre elles est adaptée à un type d'application. Dans le contexte de cette étude, le besoin d'avoir une source de perturbation EM dont le champ n'est pas plan, mais généré et rayonné par une structure réelle est la principale justification de l'utilisation d'une antenne dans le modèle de simulation CST. Avec cette exigence, le paramètre prédominant dans le choix de l'antenne est sa taille : celle-ci peut affecter rigoureusement le temps de simulation. La géométrie d'antenne la plus connue, simple à modéliser et peu encombrante est l'antenne dipolaire demi-onde (Figure 3.26). Les paramètres de fonctionnement de l'antenne décrits ci-après sont déterminés selon ses dimensions, avec L la longueur de l'antenne, D son diamètre, et G (pour gap en anglais) la distance séparant les deux brins de polarité opposée de l'antenne.

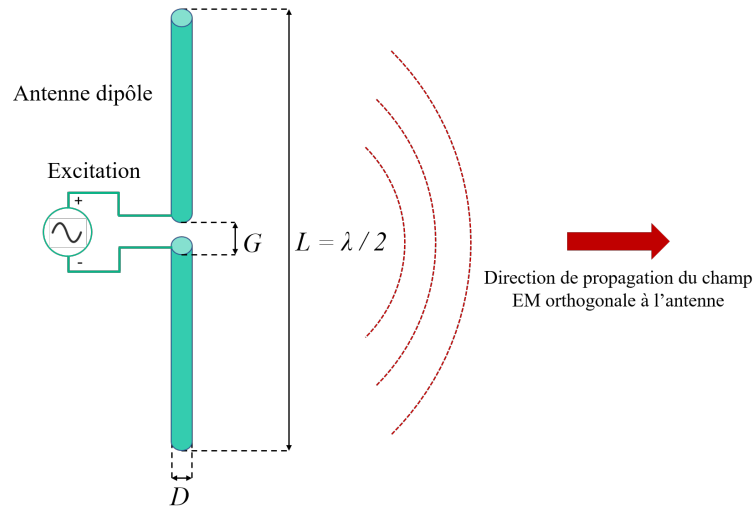


FIGURE 3.26 – Schéma de principe d'une antenne dipôle ou antenne demi-onde.

3.4.1.2 Paramètres dimensionnels de l'antenne demi-onde

La puissance maximale rayonnée d'une antenne demi-onde est atteinte pour la fréquence dont la longueur d'onde vaut deux fois la longueur de l'antenne ; c'est la fréquence de résonance. L'antenne devient peu efficace pour les fréquences éloignées de cette dernière. La largeur de bande étant relativement étroite, le bandratio br défini en Chapitre 1 Section 1.4.1 d'une antenne dipôle est généralement compris entre 0,1 et 0,3 et correspond à un spectre de mésobande.

L'intérêt d'avoir une agression mésobande permet de se concentrer sur l'effet du blindage à la fréquence de résonance principalement. Cependant, l'étude étant portée sur une grande plage de fréquence (0,2 à 5 GHz), il est nécessaire de dimensionner plusieurs antennes demi-onde pour couvrir toute cette plage. Il a été convenu de modéliser 10 antennes, chacune adaptées pour une fréquence centrale de 0,5 à 5 GHz, par pas de 0,5 GHz. La fréquence minimale considérée des IEMI de 0,2 GHz a été exclue pour question de volume du modèle de simulation trop important (la longueur de l'antenne augmentant lorsque la fréquence diminue). La plage de 0,5 à 5 GHz est suffisamment proche de la plage complète des IEMI pour que les résultats soient interprétés convenablement. À noter qu'une alternative pour observer la plage de fréquence complète serait d'utiliser une antenne log-périodique. Dans une première approche de validation de concept, cette étude s'est concentrée sur le dimensionnement et l'intégration d'antennes dipôles élémentaires dans nos modèles 2D complets.

Outre la longueur de l'antenne L (en m), les autres dimensions telles que le diamètre de l'antenne D (en m) et la distance (ou *gap*) entre les deux brins d'antenne G (en m) jouent un rôle sur la puissance maximale rayonnée à la fréquence de résonance [Stu98]. Une configuration possible optimale est obtenue pour :

$$L = 0,475\lambda \quad (3.27)$$

$$G = \frac{L}{200} \quad (3.28)$$

$$D = \frac{\lambda}{2000} \quad (3.29)$$

Par conditions optimales, on entend que le ratio entre la longueur de l'antenne et son diamètre concordent pour obtenir une impédance purement résistive (d'environ 70Ω) à la fréquence de résonance et donc subir le moins de pertes possibles par réactance. Le diamètre de l'antenne joue un rôle majeur sur la réactance, mais elle peut être éliminée en ajustant légèrement la longueur théorique initialement de $0,5\lambda$ à - dans notre cas - $0,475\lambda$.

Le modèle de l'antenne a été validé sur CST, la fréquence de résonance peut être visualisée en Figure 3.27 grâce aux paramètres S_{11} , dans ce cas d'une antenne 3 GHz ; son diagramme de rayonnement en champ lointain apparaît en Figure 3.28. On constate conformément à la théorie que l'antenne n'est pas directionnelle, son diagramme est circulaire et se propage avec la même intensité tout autour de l'antenne dans un plan orthogonal à sa longueur, on parle d'antenne omnidirectionnelle.

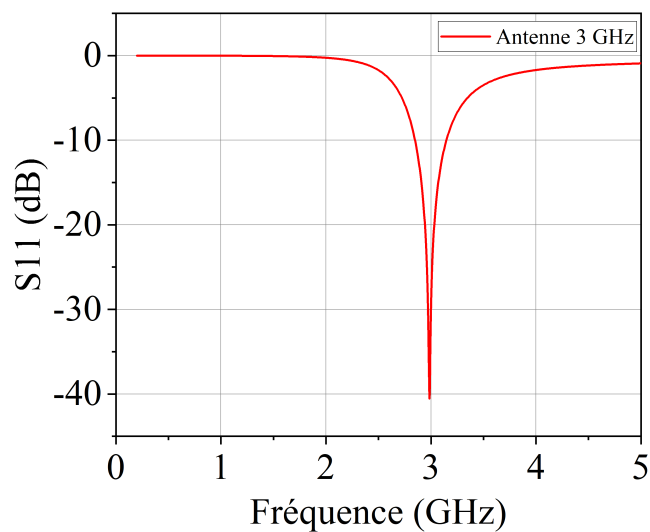


FIGURE 3.27 – Paramètres S_{11} d'une antenne demi-onde dimensionnée pour 3 GHz.

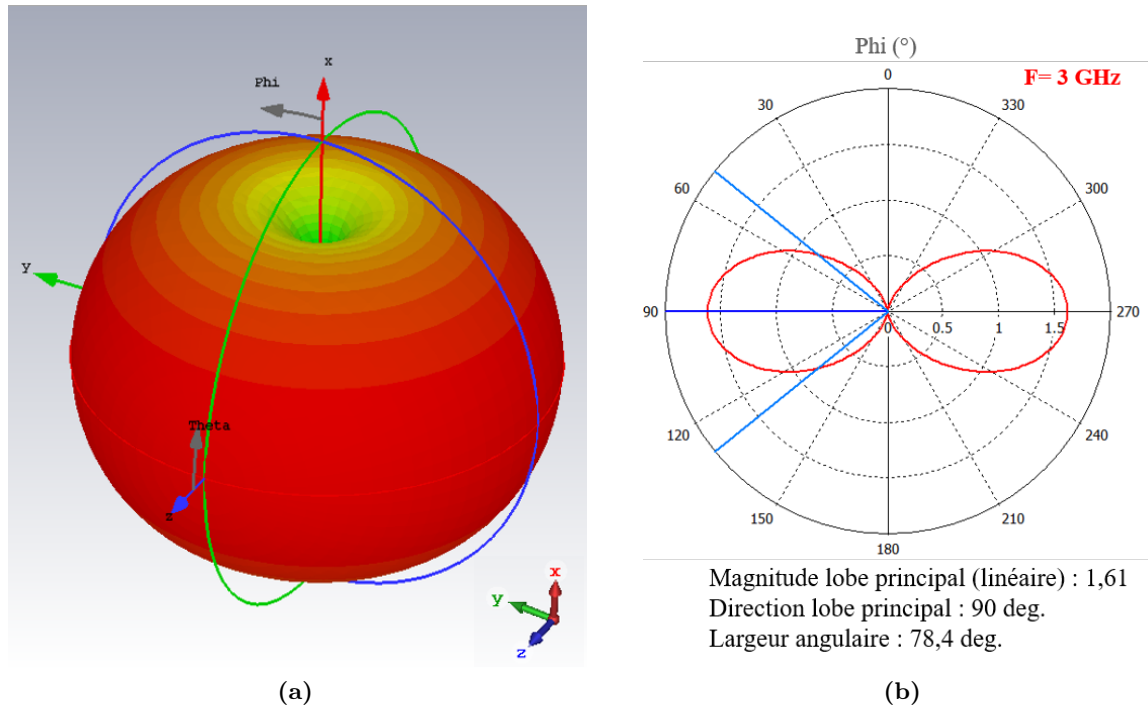


FIGURE 3.28 – (a) Vue 3D du rayonnement en champ lointain d’une antenne dipôle demi-onde à 3 GHz. (b) Diagramme de rayonnement mettant en avant le gain à 1,61 en linéaire (ou 2,08 dBi, soit proche de la théorie avec 2,14 dBi pour un dipôle idéal [Stu98].)

3.4.1.3 Positionnement de l’antenne

Un paramètre important à déterminer est le positionnement de l’antenne par rapport au boîtier victime. La distance entre les deux va permettre d’établir la condition champ proche / champ lointain, le niveau du champ électrique à hauteur du boîtier, et son angle d’incidence. Afin de comparer les résultats d’efficacité de blindage avec les précédentes études, les conditions doivent être les mêmes, c’est à dire en champ lointain. Pour cela, la distance champ lointain de $((2L^2)/\lambda)$ doit être respectée, et dépendra des dimensions de l’antenne. Les différents paramètres calculés sont représentés dans le Tableau 3.3, où la distance de l’antenne par rapport au boîtier est 2 fois la distance de champ lointain théorique (pour s’assurer de cette condition). Egalement, cette distance induit un délai de propagation dans l’air propre à chaque antenne pour atteindre le boîtier exprimé :

$$t_p = \frac{d}{c} \quad (3.30)$$

Avec t_p le temps de propagation (en s), d la distance antenne - boîtier (en m) et c la célérité (en $\text{m}\cdot\text{s}^{-1}$).

Fréquence antenne (GHz)	Longueur antenne $L = 0,475\lambda$ (mm)	Distance $d = 2 \times \frac{2L^2}{\lambda}$ (mm)	Temps de propagation $t_p = \frac{d}{c}$ (ns)
0,5	285	600	2
1	142,5	300	1
1,5	95	200	0,667
2	71,25	150	0,5
2,5	57	120	0,4
3	47,5	100	0,333
3,5	40,7	85,7	0,285
4	35,6	75	0,25
4,5	31,67	66,5	0,222
5	28,5	60	0,2

TABLE 3.3 – Calcul de la distance antenne - boîtier pour chaque configuration fréquentielle.

Connaitre la distance de la source d'agression par rapport à la victime est important, car elle permet de déterminer la puissance d'alimentation de l'antenne en fonction du champ électrique mesuré à une certaine distance de l'antenne. Si l'on est placé en champ lointain, alors la valeur du champ E en un point P placé sur l'axe de propagation de l'onde une antenne dipolaire peut être estimé avec la relation suivante [rad75] :

$$E = \frac{\sqrt{P}\sqrt{Z}}{2\sqrt{\pi}d} \quad (3.31)$$

Avec E le champ électrique (en V/m), P la puissance de rayonnement de l'antenne (en W), Z l'impédance du champ EM (en Ω) et d la distance (en m). La puissance est exprimée relativement à celle d'une antenne isotrope. Dans le cas d'une antenne demi-onde avec un gain de 1,64 dont le champ se propage dans l'air, l'expression donne :

$$E = \frac{\sqrt{1,64P}\sqrt{377}}{2\sqrt{\pi}d} \quad (3.32)$$

$$E \approx 7\frac{\sqrt{P}}{d} \quad (3.33)$$

La Figure 3.29 illustre cette relation et est comparée avec les résultats issus de la simulation pour une antenne à 3 GHz alimentée avec une puissance de 1 W.

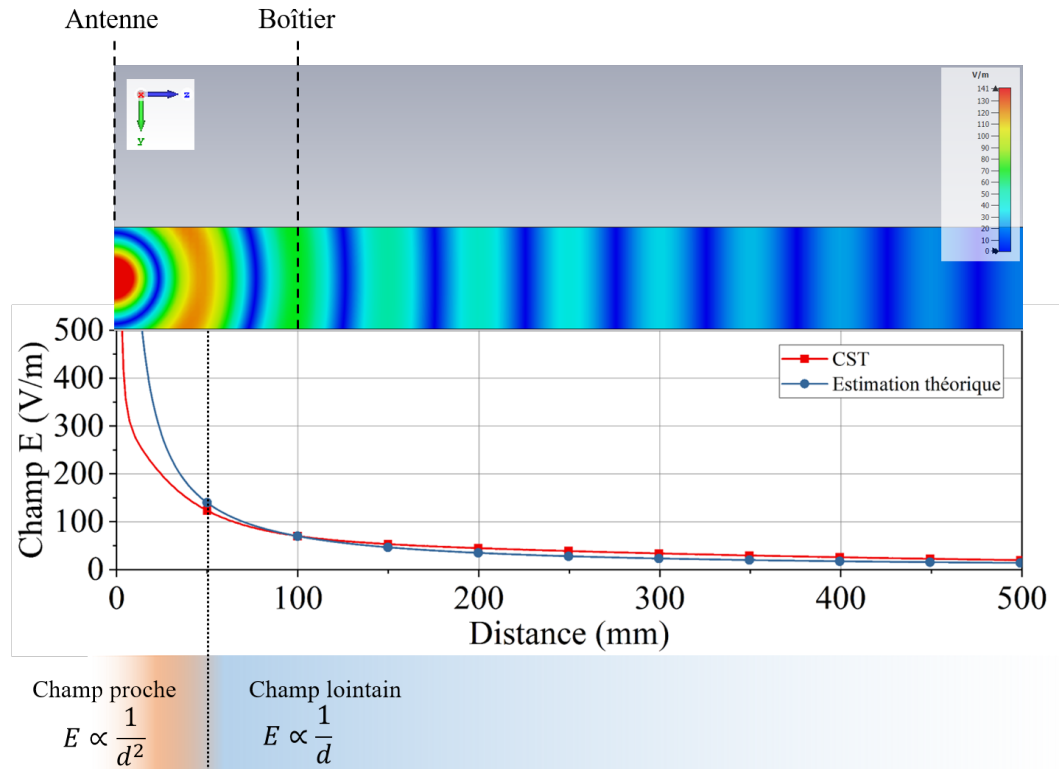


FIGURE 3.29 – Comparaison entre l'estimation du champ E théorique et les résultats obtenus par simulation sur CST pour une puissance d'alimentation de l'antenne de 1 W.

L'estimation 3.33 n'est valide qu'en champ lointain puisqu'elle considère une atténuation en $1/d$, alors qu'en champ proche le champ E décroît en $1/d^2$. On peut visualiser également les ondes de champ s'établir à la distance de positionnement du boîtier, bien qu'il serait préférable d'être à une distance équivalente à au moins 10 fois la longueur d'onde pour s'assurer d'être en champ lointain. Cependant, l'estimation du champ E, particulièrement à la distance d est satisfaisante par rapport aux simulations, et les résultats présentés dans la section suivante corroborent la validité de cette configuration.

3.4.2 Mise en place du modèle de simulation complet

3.4.2.1 Modèle 3D du boîtier victime

La carte PCB utilisée pour les simulations d'agression IEMI est une portion du prototype *ContactKit92* présenté en Chapitre 2 Section 2.3.2.1. Elle se concentre sur la zone de génération d'horloge, notamment du quartz et fait 1,6 cm sur 2,2 cm (voir Figure 3.30a). Cette portion de PCB est suffisamment large pour faire apparaître la totalité de la piste différentielle acheminant le signal d'horloge du quartz vers l'entrée du composant chargé de diviser la fréquence d'horloge. De cette façon il est possible de visualiser l'intégrité des signaux sur

la carte en fonctionnement, et lors d'une agression. Egalement, elle est suffisamment petite pour ne pas excéder des temps de simulations trop conséquents (de plusieurs heures pour chaque simulation).

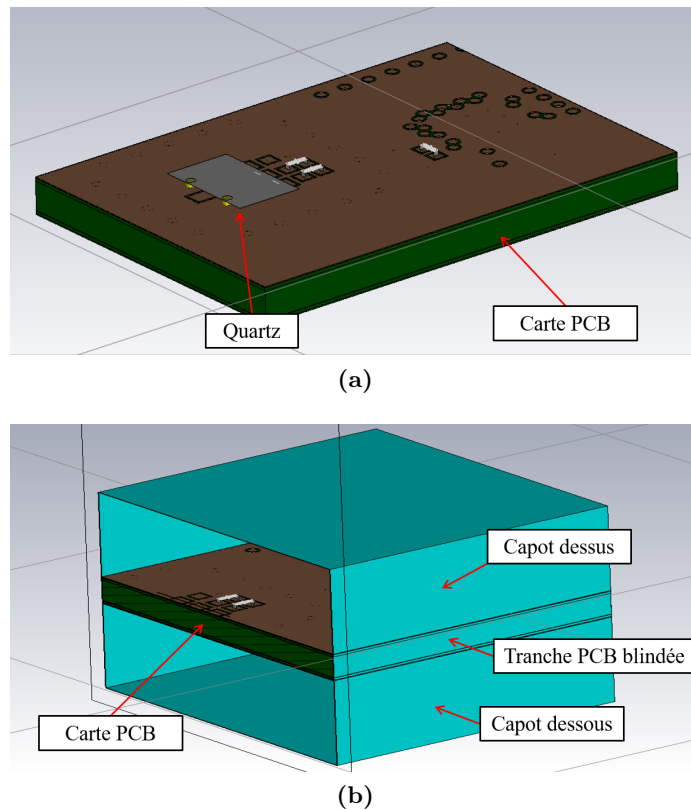


FIGURE 3.30 – (a) Portion de carte PCB utilisée dans le modèle de simulation CST incluant le Quartz. (b) Vue de coupe de la carte avec le boîtier métallique étudié et blindant la carte.

En Figure 3.30b, deux capots de blindage d'une hauteur de 5 mm sont ajoutés de part et d'autre du PCB. Initialement, les capots sont constitués d'une couche isolante en résine époxy (EP) de 100 μm . Trois différents agencements de couches A, B, et C, sont ensuite proposés en Tableau 3.4 dont l'efficacité de blindage sera déterminée par simulation et comparée aux conditions théoriques présentées en Section 3.3.2.

Configuration	Couche n°1	Couche n°2	Couche n°3	Épaisseur totale
A	-	EP (100 μm)	-	100 μm
B	Cu (12 μm)	EP (100 μm)	-	112 μm
C	Cu (6 μm)	EP (100 μm)	Cu (6 μm)	112 μm

TABLE 3.4 – Différents agencements des couches du boîtier de blindage.

La configuration A ne présente pas de blindage puisqu'il n'y a que la couche en EP qui n'est que le support mécanique, c'est donc le modèle témoins déterminant la valeur de champ E en absence de blindage. Les configurations B et C présentent respectivement un arrangement avec 1 couche et 2 couches de Cuivre dont l'épaisseur totale est la même.

3.4.2.2 Mesure de l'efficacité de blindage

L'efficacité de blindage EB ne peut plus être la mesure directe du niveau d'atténuation entre le champ incident et le champ transmis de l'autre côté de la paroi, puisque les conditions théoriques d'écran plan ne sont plus respectées. EB est donc calculé selon le rapport entre le niveau de champ mesuré au point d'intérêt avec, et sans blindage (voir equation 3.1). Pour ce faire, une sonde de champ E est utilisée dans CST au milieu de la carte et à une hauteur de 2,5 mm (voir Figure 3.31), soit à mi-distance entre le PCB et la paroi haute du capot de blindage. Le champ E (absolu) mesuré en absence de blindage (configuration A) ou non (configurations B et C) permet de déterminer EB selon l'expression 3.34.

$$EB = 20 \log \frac{E_{A_{2.5mm}}}{E_{BC_{2.5mm}}} \quad (3.34)$$

Avec $E_{A_{2.5mm}}$ le champ E mesuré avec la configuration A et $E_{BC_{2.5mm}}$ le champ E mesuré les configurations B ou C.

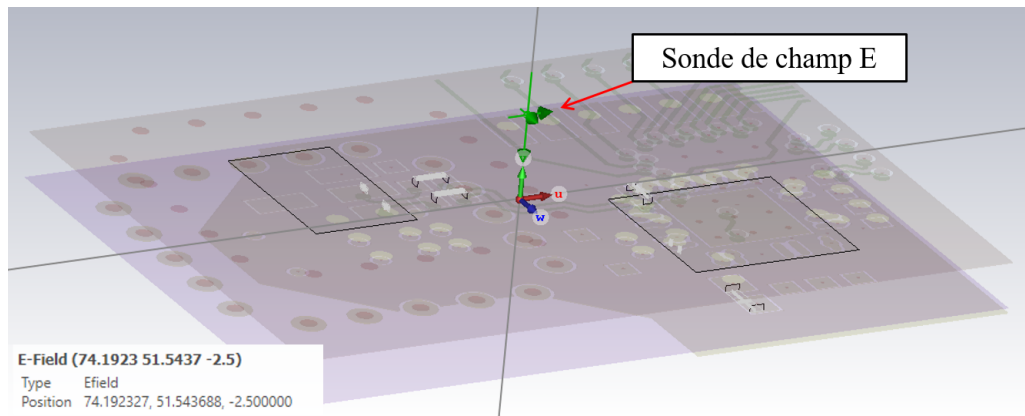


FIGURE 3.31 – Positionnement de la sonde de champ E à 2,5 mm au-dessus de la carte PCB.

3.4.2.3 Paramètres d'excitation de l'antenne

L'antenne émettrice de l'agression IEMI est placée au-dessus de la carte à la distance mentionnée en Tableau 3.3 selon la fréquence étudiée. Le modèle de simulation complet peut être observé en Figure 3.32 dans le cas d'une antenne demi-onde dimensionnée pour fonctionner à 3 GHz, avec une distance $d = \lambda_{3GHz} = 100 \text{ mm}$.

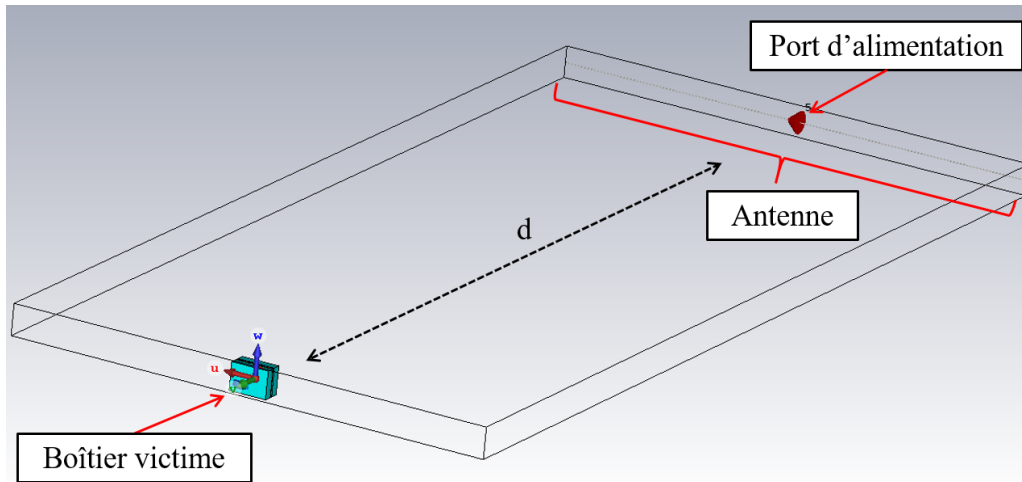


FIGURE 3.32 – Modèle de simulation CST incluant l'antenne dipolaire et le boîtier de blindage victime.

L'impulsion d'excitation en entrée de l'antenne est une gaussienne générée par CST. La forme d'onde est caractérisée par le temps de montée de l'intégrale de la gaussienne, représentée en Figure 3.33. Ce temps de montée est calculé automatiquement par CST à partir de la fréquence spécifiée par l'utilisateur d'après la relation suivante :

$$T_{rise} = \frac{0,876}{F_{max}} \quad (3.35)$$

Avec T_{rise} le temps de montée de l'échelon représentant l'intégrale de la gaussienne utilisée comme signal d'excitation, et F_{max} la fréquence de coupure du signal.

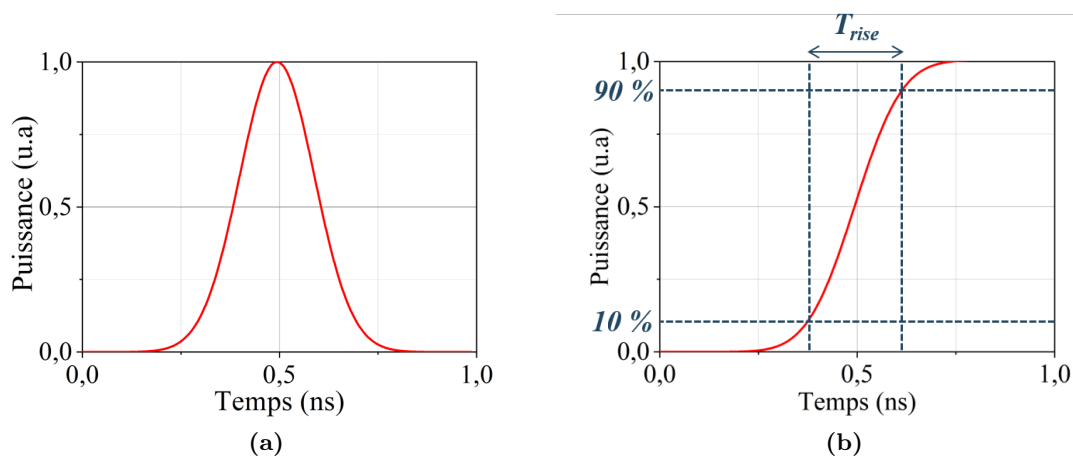


FIGURE 3.33 – (a) Représentation temporelle de l'impulsion Gaussienne. (b) Représentation temporelle de l'intégrale de l'impulsion Gaussienne.

Choisir une fréquence maximale de deux fois la fréquence de résonance de chaque antenne permet de s'assurer que la fréquence de coupure de la gaussienne est supérieure à cette dernière. De cette façon, pour une antenne demi-onde fonctionnant à 3 GHz la fréquence de coupure de la gaussienne est fixée à 6 GHz.

Le choix de l'amplitude crête de l'impulsion d'excitation V_{ex} (en V) quant à lui n'est pas décisif. On rappelle que l'efficacité de blindage est une mesure relative entre deux champs E (3.34) : la variation étant linéaire sur cette plage de fréquence, l'efficacité ne dépend pas de la puissance du champ E incident. L'efficacité de blindage sera donc la même pour deux amplitudes crêtes différentes. L'amplitude crête aurait pu être normalisée à 1 V, cependant les valeurs de champs E mesurées en champ lointain, émis par une antenne peu directive seraient très faibles et difficilement visualisables. Par conséquent, la valeur de V_{ex} a été établie en référence aux différentes sources IEMI existantes, dont les plus puissantes sont capables d'atteindre des impulsions d'amplitude crête en entrée de l'antenne de 1 MV (source JOLT [BBP⁺04]). En ayant connaissance de ces sources, l'amplitude crête de la gaussienne a été spécifiée pour les analyses numériques à 1 MV. Une telle amplitude permet d'obtenir des valeurs de champs E aux distances de champ lointain suffisamment grandes, et des tensions de couplages sur les pistes comparables aux niveaux de tension usuels des signaux de la carte (notamment sur cette portion de PCB, les signaux d'horloge de type LVDS sont compris entre 0,9 et 1,6 V).

3.4.3 Discussions sur les résultats obtenus par simulation

Les résultats présentés dans cette section ont été obtenus par simulation complète du modèle 3D incluant la source et la victime. L'efficacité de blindage des configurations B et C (simple couche et double couche) ont été déterminées selon la relation (3.34) exprimant le ratio entre le champ E mesuré à l'intérieur du boîtier sans blindage (configuration A) et avec blindage (configurations B et C).

3.4.3.1 Configuration B : simple couche

Le spectre fréquentiel du champ E mesuré par la sonde à 2,5 mm de la carte est représenté en Figure 3.34 pour chacune des 10 fréquences et pour les configurations de boîtier A et B. En Figure 3.34a, le spectre fréquentiel de chaque fréquence présente un pic d'amplitude sur une bande de fréquence étroite : c'est la fréquence de résonance des antennes demi-onde. Ce pic d'amplitude est fortement diminué dans les mesures de champs E obtenues dans la configuration B (plus de 100 dB d'atténuation). Cette atténuation est mieux visualisée en Figure 3.35 pour une antenne à la fréquence particulière de 3 GHz, où le signal est représenté temporellement et fréquentiellement.

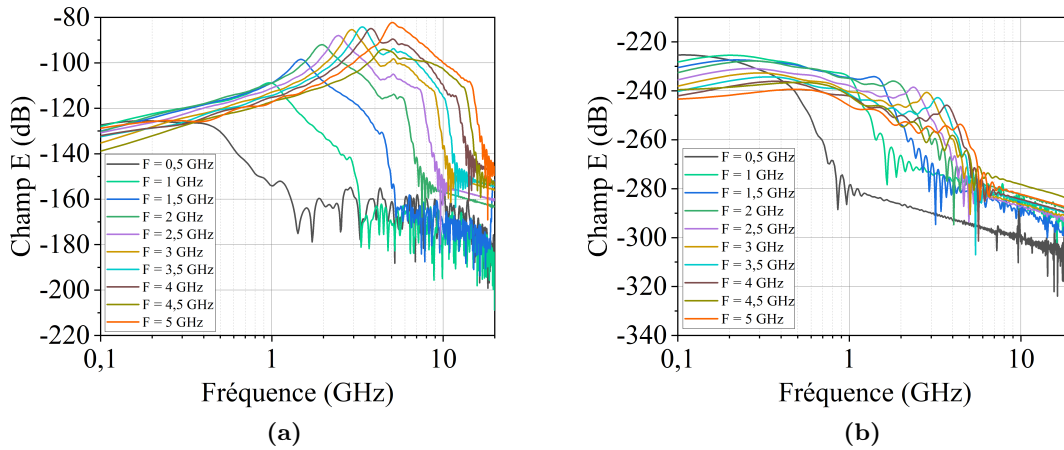


FIGURE 3.34 – (a) Transformée de Fourier des champs E mesurés à 2,5 mm de la carte avec la configuration A (EP-100 μm). (b) Transformée de Fourier des champs E mesurés à 2,5 mm de la carte avec la configuration B (Cu-12 μm / EP-100 μm).

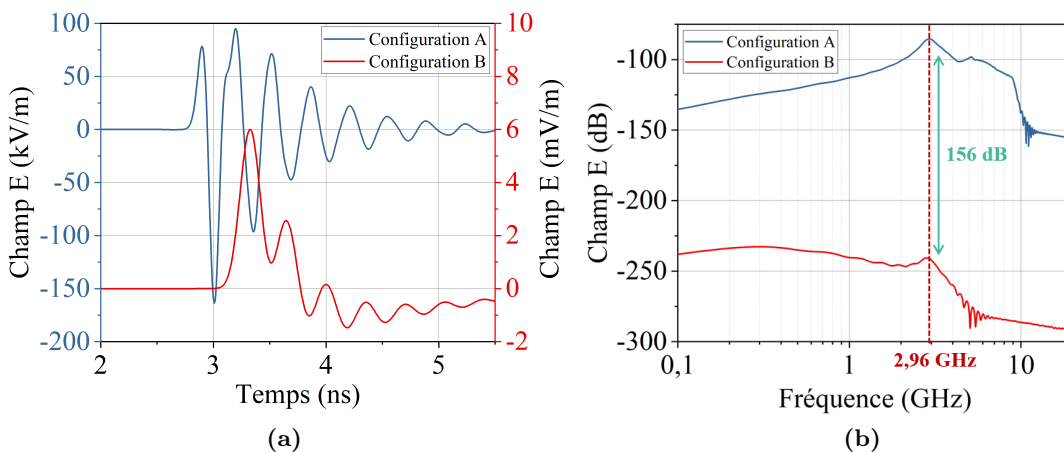


FIGURE 3.35 – (a) Comparaison des mesures temporelles des champs E à 2,5 mm de la carte avec $F_{\text{antenne}} = 3\text{GHz}$ entre les configurations A et B. (b) Transformée de Fourier des signaux temporels avec mise en apparence de la fréquence de résonance de l'antenne.

La fréquence d'intérêt mise en avant sur la Figure 3.35b fait apparaître une atténuation de 156 dB à 3 GHz, ce qui représente l'efficacité de blindage *EB*. En appliquant ce procédé pour les 10 modèles 3D (les 10 fréquences définies en Tableau 3.3), *EB* peut être reconstitué sur toute la plage de fréquence de 0,5 à 5 GHz. Cette efficacité de blindage pour la configuration B (Cu-12 μm) est comparée en Figure 3.36 aux résultats obtenus lors des simulations avec un écran plan théorique avec les mêmes caractéristiques.

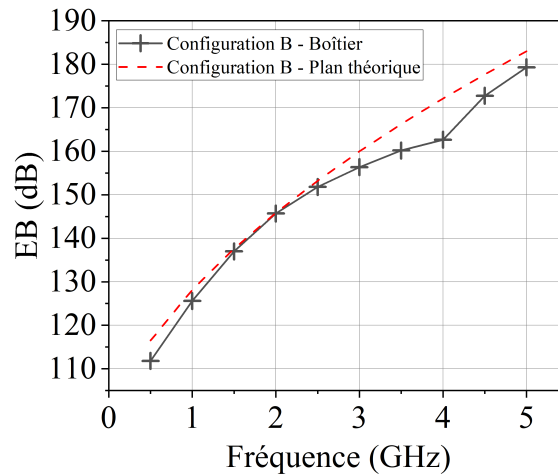


FIGURE 3.36 – Comparaison de l'efficacité de blindage entre un écran plan théorique et un boîtier aux dimensions finies (configuration B).

La tendance de l'efficacité de blindage du boîtier de blindage est très similaire à celle du plan théorique, ainsi que ses valeurs. Cependant, une légère diminution de EB apparaît autour de 4 GHz, mais il est difficile de déterminer l'origine de cette atténuation. La complexité du modèle empêche de prédire les modes de résonance du boîtier analytiquement puisqu'il n'est pas vide.

3.4.3.2 Configuration C : multicouche

De la même manière qu'avec la configuration B à une couche, l'efficacité de blindage du boîtier avec la configuration C multicouches (Cu-6 μm /EP-100 μm /Cu-6 μm) a pu être retracée à partir des résultats de simulation et comparée à celle obtenue avec un écran plan théorique. Les efficacités de blindages des configurations B et C sont comparées en Figure 3.37.

La configuration C garde la même allure que la configuration B, c'est à dire une efficacité proche de celle obtenue pour un plan théorique, et une baisse de l'efficacité autour de 4 GHz. D'un point de vue relatif, la différence d'efficacité entre B et C est la même que celle observée en Figure 3.19, entre un écran 1 couche et un écran 2 couches avec 100 μm d'épaisseur de couche isolante : l'avantage du blindage multicouches est conservé. De plus, ces résultats confortent quant à l'utilisation de la théorie de blindage pour des géométries autres que des écrans plans pour estimer en amont l'efficacité de blindage (notamment pour un boîtiers rectangulaires).

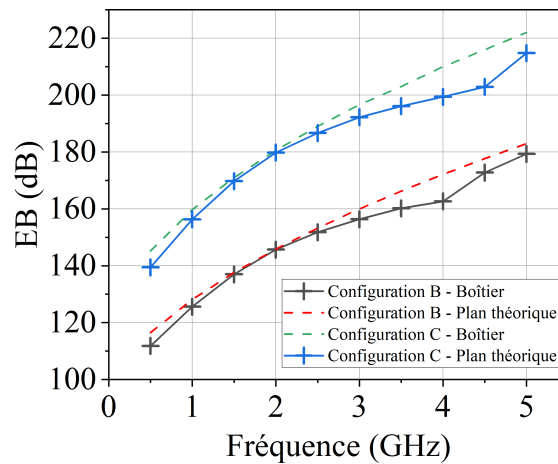


FIGURE 3.37 – Comparaison de l'efficacité de blindage entre un écran plan théorique et un boîtier aux dimensions finies (configurations B et C).

3.5 Conclusions et perspectives

L'étude sur des solutions de blindages EM compactes portée dans ce chapitre a démontré par simulations l'intérêt des blindages multicouche. Premièrement, des écrans multicouches infiniment plans ont été étudiés selon plusieurs paramètres dimensionnels (épaisseurs, nombre de couches) et intrinsèques (conductivité, perméabilité, permittivité) et validés par corrélation avec la théorie de blindage simple couche, dont les calculs supposent un écran plan. Avec de tels modèles, s'affranchir des contraintes dimensionnelles a permis de concentrer l'étude sur les propriétés intrinsèques à la constitution de l'écran multicouche. Les résultats obtenus ont mené aux constats suivants :

- Diviser un écran métallique simple en au moins 2 couches améliore l'efficacité de blindage EB de l'écran.
- Augmenter l'épaisseur d'isolant entre les deux couches conductrices améliore EB .
- Pour une même épaisseur totale de couches conductrices, diviser en un plus grand nombre de couches améliore EB .
- EB est optimal si les couches d'isolants (s'il y en a plusieurs) ont la même épaisseur entre elles : la symétrie est préférée.

Deuxièmement, ces solutions de blindages ont été appliquées sur un boîtier BLS utilisé comme capot de blindage sur carte PCB dédiée comme victime. Cette configuration permet cette fois-ci de prendre en compte les dimensions du blindage et d'étudier une efficacité de blindage plus représentative de la réalité. Les résultats ont montré que l'efficacité du blindage multicouches est toujours supérieure à celle d'un blindage simple couche, malgré la prise en compte des dimensions du boîtier. Bien qu'un affaiblissement de l'efficacité apparaisse

autour de 4 GHz, ce dernier est présent sur les deux configurations de blindage : d'un point de vue relatif il n'est donc pas visualisé.

Outre les résultats encourageants, les simulations ont mis en avant la possibilité d'appliquer la théorie de blindage aux cavités rectangulaires, et non pas uniquement aux écrans sans dimensions. Celle-ci n'est pas parfaitement adaptée pour calculer précisément l'efficacité d'un blindage d'un point de vue mathématique, mais pouvoir estimer et anticiper des niveaux de blindages à 10 dB près peut se révéler utile en pratique.

Ces premiers résultats ouvrent la porte à de futures études, où les modèles de blindages devront être encore plus proches de la réalité.

En effet, un coffret ou une enceinte métallique englobant l'entièreté d'un système électronique (carte PCB et connectique, câbles) est indéniablement contraint à présenter des ouvertures à travers ses parois. Ces coffrets n'ont pas un rôle unique de blindage EM, mais également de protection mécanique, de protection contre l'humidité ou poussières. Le simple fait d'avoir des ouvertures, de l'ordre du millimètre ou en deça, réduit grandement l'efficacité de blindage. C'est la quantité d'énergie pouvant passer à travers les ouvertures qui régie le niveau d'atténuation du boîtier (généralement autour de 60 dB pour de bons blindages avec minimisation des ouvertures). On comprends alors que peu importe le type de blindage, entre des parois d'aluminium de 2 mm d'épaisseur ou un blindage de 3 couches (Cu-6 μm /PE-100 μm /Cu-6 μm), si de telles ouvertures sont présentes l'efficacité sera la même.

L'intérêt du blindage multicouches se joue à un niveau d'atténuation beaucoup plus fort, et donc pour des utilisations différentes. En se référant aux résultats de la Figure 3.37, la configuration C améliore l'efficacité en moyenne de 30 dB par rapport à une atténuation déjà très grande (supérieure à 100 dB) sur toute la plage de fréquence des IEMI. Pour profiter de cet avantage, il est nécessaire de s'assurer de la parfaite étanchéité électromagnétique du boîtier. Un coffret parfaitement étanche est difficilement réalisable pour les raisons énoncées ci-dessus, mais un capot de blindage BLS est largement plus envisageable. Ce type de capot peut être soudé directement sur la carte à des plans conducteurs (plans de masse et vias) et donc proposer un minimum de fentes (de l'ordre du la dizaine de micromètres). L'étude de la persistance de l'amélioration l'efficacité de blindages multicouches par rapport aux blindages simple couche avec ouvertures fait donc partie des perspectives. L'ajout de cette caractéristique aux simulations permettrait de se trouver très proche de la réalité, rendant possible une comparaison à des mesures expérimentales indispensables pour valider des solutions de blindages multicouches optimisées et compactes.

Bibliographie

- [AMW88] T. Amato, D.J. Mis, and B.B. Willard. Shielding effectiveness before and after the effects of environmental stress on metalized plastics. *IEEE Transactions on Electromagnetic Compatibility*, 30(3) :312–325, 1988.
- [Bal97] Constantine Balanis. *Antenna theory : analysis and design*, pages 4–9. Wiley, New York, 1997.
- [BBP⁺04] C.E. Baum, W.L. Baker, W.D. Prather, J.M. Lehr, J.P. O’Loughlin, D.V. Giri, I.D. Smith, R. Altes, J. Fockler, D.M. McLemore, M.D. Abdalla, and M.C. Skipper. Jolt : a highly directive, very intensive, impulse-like radiator. *Proceedings of the IEEE*, 92(7) :1096–1109, 2004.
- [Cha07] Alain Charoy. *CEM : parasites et perturbations des electroniques. regles et conseils d’installation*, pages 5–15. Dunod, Paris, 2007.
- [GT04] D.V. Giri and F.M. Tesche. Classification of intentional electromagnetic environments (ieme). *IEEE Transactions on Electromagnetic Compatibility*, 46(3) :322–328, 2004.
- [Jar19a] Maciej Jaroszewski. *Advanced materials for electromagnetic shielding : fundamentals, properties, and applications*, pages 168–172. Wiley, Hoboken, NJ, 2019.
- [Jar19b] Maciej Jaroszewski. *Advanced materials for electromagnetic shielding : fundamentals, properties, and applications*, pages 112–116. Wiley, Hoboken, NJ, 2019.
- [KM20] Subhash B. Kondawar and Prerna R. Modak. Chapter 2 - theory of emi shielding. In Kuruvilla Joseph, Runcy Wilson, and Gejo George, editors, *Materials for Potential EMI Shielding Applications*, pages 9–25. Elsevier, 2020.
- [LHKD19] Yuanzhuo Liu, Ruijie He, Victor Khilkevich, and Paul Dixon. Shielding effectiveness of board level shields with absorbing materials. In *2019 IEEE International Symposium on Electromagnetic Compatibility, Signal and Power Integrity (EMC+SIPI)*, pages 84–89, 2019.
- [MHGK18] Tahar Merizgui, Abdechafik Hadjadj, Bachir Gaoui, and Mecheri Kious. Comparison electromagnetic shielding effectiveness between smart multilayer arrangement shields. In *2018 International Conference on Applied Smart Systems (ICASS)*, pages 1–5, 2018.
- [Mol] Frédéric Molina. Noise figure measurement with spectrum analyzer and vector network analyzer.

- [Ott09a] Henry Ott. *Electromagnetic compatibility engineering*, pages 245–246. John Wiley & Sons, Hoboken, N.J, 2009.
- [Ott09b] Henry Ott. *Electromagnetic compatibility engineering*, pages 56–57. John Wiley & Sons, Hoboken, N.J, 2009.
- [Poz12] David Pozar. *Microwave engineering*, pages 17–19. Wiley, Hoboken, NJ, 2012.
- [rad75] *Reference data for radio engineers*, pages 675–676. Howard W. Sams and Co, Indianapolis, 1975.
- [Shu19] Vineeta Shukla. Review of electromagnetic interference shielding materials fabricated by iron ingredients. *Nanoscale Adv.*, 1 :1640–1671, 2019.
- [SPB88] R.B. Schulz, V.C. Plantz, and D.R. Brush. Shielding theory and practice. *IEEE Transactions on Electromagnetic Compatibility*, 30(3) :187–201, 1988.
- [Stu98] Warren Stutzman. *Antenna theory and design*. J. Wiley, New York, 1998.
- [SWLY22] Xiangang Sun, Bing Wei, Yuebo Li, and Jie Yang. A new model for analysis of the shielding effectiveness of multilayer infinite metal meshes in a wide frequency range. *IEEE Transactions on Electromagnetic Compatibility*, 64(1) :102–110, 2022.
- [Sys22] Dassault Systemes. Computer simulation technology. <https://www.3ds.com/>, Consulté : 15 Avril 2022.
- [VG88] E.F. Vance and W. Graf. The role of shielding in interference control. *IEEE Transactions on Electromagnetic Compatibility*, 30(3) :294–297, 1988.
- [WRW⁺18] Atom O. Watanabe, Pulugurtha Markondeya Raj, Denny Wong, Ravi Mullapudi, and Rao. R. Tummala. Multilayered electromagnetic interference shielding structures for suppressing magnetic field coupling. *Journal of Electronic Materials*, 47 :5243–5250, 2018.

CONCLUSION GÉNÉRALE

Conclusion générale

Les travaux exposés tout au long de ce manuscrit concernent deux aspects et domaines distincts gravitant autour de la thématique de l'acquisition de données en milieux perturbés électromagnétiquement. Dans l'idée de développer à terme un système d'acquisition basé sur la technologie FPGA-SoC, et, de plus, communiquant par fibre optique vers une carte de conversion analogique-numérique opérant en milieux perturbés, les objectifs de la thèse se sont pleinement concentrés sur ces deux piliers indispensables afin d'assurer la fiabilité de la solution proposée dans le futur.

Le premier aspect consiste à la mise en oeuvre de méthodes et techniques de conception de cartes PCB (de l'anglais Printed Circuit Board) haute vitesse, impliquant des signaux opérants dans la gamme du gigahertz. Les signaux rapides se propageant via les pistes d'un circuit PCB impliquent des caractéristiques d'impédance devant être rigoureusement contrôlées dans le but d'assurer la validité des informations transmises, et l'intégrité des données. Ces nouvelles méthodes de conception qui n'existaient pas encore au sein de notre laboratoire ont été appliquées et étudiées à l'aide d'analyses numériques variées permettant de reconstituer le comportement des signaux et les caractéristiques adéquates des pistes PCB. Les résultats obtenus par analyses numériques, comparés aux résultats expérimentaux de nos propres carte de conversion, ont pu témoigner d'une bonne efficacité des modèles de simulation développés pour s'assurer du bon fonctionnement des prototypes avant leur envoi en production. Ces travaux nous permettent de qualifier la méthodologie que nous avons mis en place vis à vis de la conception de prototypes PCB haute vitesse et démontrent d'une bonne maîtrise en matière de contrôle de l'intégrité des signaux sensibles. Dans le cadre de la réalisation de nos prototypes de cartes d'acquisition AN durant cette thèse, avec les moyens du laboratoire, l'implantation finale des composants de type CMS sur un design de routage très précis a pu affecter et expliquer les faibles écarts relevés lors des comparaisons entre les simulations et les performances visualisées expérimentalement. Une solution envisagée assez facile à mettre en oeuvre sera de confier la réalisation complète de futurs cartes à un professionnel, sur la base de nos plans et designs de haut niveau apportés par notre approche. Une autre perspective d'amélioration de notre étude concerne les signaux de transmission haute vitesse acheminant les données de mesures numérisées entre la carte de conversion et la plateforme FPGA-SoC. En effet, les fréquences impliquées dans ces signaux étant relativement hautes (jusqu'à 3,5 GHz), la configuration actuelle des prototypes ne permet pas d'envisager de mesures expérimentales. De plus, ces signaux particuliers ne sont générés qu'en présence de la programmation du convertisseur analogique-numérique (CAN), nécessitant une licence de la fonction utilisée pour établir l'interface de communication

entre le CAN et le FPGA. Outre l'achat de cette license que nous envisageons dans un proche avenir, la mesure des signaux peut être considérée par le biais de deux solutions. La première prévoit l'intégration d'une copie électrique du signal haute fréquence dans les prototypes, accessibles par câble SMA. Les signaux peuvent ainsi être directement mesurés sans rapport de division puisque les niveaux restent de l'ordre du volt. La deuxième solution sera appliquée quoi qu'il en soit, puisqu'elle consiste à vérifier numériquement la bonne réception des signaux directement stockés sur le FPGA. Une dégradation du signal trop importante entraînerait la détection d'une faute grâce à l'interface de communication haute vitesse employée. En parallèle, les prototypes de cartes d'interfaces fibre optique développés récemment sont amenés à faire communiquer de manière isolée la carte de conversion avec la plateforme FPGA-SoC. Ces prototypes seront optimisés et permettront prochainement de valider l'ensemble de la chaîne d'acquisition lorsque l'interface de communication haute vitesse sera fonctionnelle et intégrée.

Dans les premières phases de nos travaux, la technologie FPGA-SoC a pu être employée dans la conception d'un système de surveillance de signaux transitant par fibre optique pour la protection des équipements de radiographie éclair, EPURE, en partenariat avec le CEA CESTA. Ce projet a été une opportunité pour répondre à un besoin de rapidité d'opération et d'applications en temps réel. Le système de surveillance a pu être développé à partir de la technologie FPGA-SoC, et cette dernière a également offert la possibilité de développer un banc d'essai associé. En effet, la grande reconfigurabilité d'un FPGA-SoC a permis d'employer deux systèmes de surveillance identiques, la logique interne d'un des deux ayant été reprogrammée dans le but de simuler le comportement et les différents défauts possibles des équipements concernés par la surveillance. Le système a donc pu être validé expérimentalement grâce au banc d'essai, en démontrant des performances temporelles et des performances de traitement de données, tout à fait satisfaisantes vis à vis des besoins émis par le CEA.

Le deuxième aspect concerne l'immunité électromagnétique de la carte de conversion, et plus généralement celle des systèmes électroniques embarqués présentant des contraintes d'encombrement et de poids induites par leur blindage EM. Ces dernières années, plusieurs études soulignent un intérêt pour les structures ultra-fines dites multicouche, notamment dans le cas d'un blindage électromagnétique, et semblent être porteuses d'un intérêt pour répondre aux contraintes énoncées précédemment, tout en assurant une efficacité de blindage toute à fait correcte. Une première étude a permis de démontrer la validité de modèles numériques en accord avec les prévisions théoriques, pour des blindages simple couche et multicouche. L'impact de nombreux paramètres dimensionnels et qualitatifs des blindages multicouches a ensuite été étudié numériquement. Les résultats obtenus ont permis de déterminer clairement les conditions permettant d'optimiser l'efficacité d'un blindage multicouches pour une même épaisseur totale. Par la suite, le développement d'un modèle de simulation électromagnétique 3D plus complet a été considéré. Dans l'idée de converger vers des représentations plus réalistes, une source d'agression de type IEMI (Interférence Électromagnétique Intentionnelle)

a d'abord été étudiée et modélisée. D'autre part, une portion de la carte de conversion réalisée à été utilisée pour représenter un système « victime » dans le modèle de simulation, pour être soumis aux agressions de la source IEMI placée à une certaine distance. Dans cette configuration, les efficacités de différents blindages multicouches appliqués comme capots sur la carte victime ont été caractérisées. Les résultats obtenus dans ce scénario convergent avec ceux obtenus lors de nos précédentes études numériques, plus idéales. Ces résultats sont décisifs pour la démonstration de la cohérence d'un modèle numérique complet, au niveau de la complexité de sa mise en oeuvre, et de la pertinence des résultats obtenus. La maîtrise de ces modèles permet également de se projeter vers de futures études pour évaluer et définir de manière reproductible l'immunité et la protection EM de nouvelles cartes, mais également afin de considérer des scénarios permettant de caractériser plus efficacement la compatibilité électromagnétique de nos futurs prototypes.

Les travaux réalisés dans le cadre de cette thèse nous ont confortés dans le choix du scénario que nous avons établi vis à vis du développement d'un système d'acquisition et de centralisation de données à haute performance, et nous encourageant à poursuivre les dernières étapes de sa conception. Plus particulièrement, la philosophie d'une telle solution suscite un intérêt pour de futures applications en partenariat avec le CEA, dans la cadre de la collaboration avec le Laboratoire SIAME (UPPA) via le laboratoire de recherche commun LRC SAGE. En effet, les performances de traitement de données rapides de la technologie FPGA-SoC seraient compatibles avec la détection de défauts de signaux en provenance de générateurs à impulsions de haute puissance. Dans ce contexte, il est primordial de pouvoir disposer d'un système pouvant réagir le plus rapidement possible à la présence d'un défaut, c'est à dire avec un temps de réaction de l'ordre de la dizaine de nanosecondes. Si le FPGA-SoC est l'outil le plus adapté en matière de rapidité de traitement de signaux logiques, il se prête tout aussi bien au suivi de l'évolution potentielle de l'application et à la supervision étendue de ses fonctionnalités (nombre de capteurs, optimisation du traitement de données, évolution de l'interface) sans compromettre aucunement sa mission initiale. D'autre part, les avancées réalisées sur l'étude des blindages compacts multicouches suscitent également un intérêt pour des applications de blindage de cartes PCB dans des systèmes présentant de fortes contraintes d'encombrement et de poids. Certains équipements très spécifiques disponibles au CEA permettent d'envisager la validation expérimentale de solutions de blindages compacts à forte efficacité. En effet, les sources de rayonnement de type IEMI et de forte puissance, l'environnement adéquat pour des essais CEM (chambre anéchoïque), et les antennes suffisamment sensibles et adaptées aux plages de fréquences visées, constituent un ensemble d'éléments indispensables pour aboutir à la caractérisation fidèle des performances de blindages dans de telles conditions. Ces expérimentations permettront de qualifier le niveau de blindage multicouches utile à appliquer aux cartes de conversion CAN, dans l'idée d'assurer ainsi leur intégrité et leur bon fonctionnement en milieu à forte perturbation EM ; et viendraient conforter la pertinence des avancées de nos objectifs de thèse, décrites dans ce manuscrit.

Publications et communications

Publications

- **Roman Leduc, Njomza Ibrahimi, Jean-Marc Dienot, Veronika Gavrilenko and Robert Ruscassié**, « Analytical and 3D Numerical Study of Multilayer Shielding Effectiveness for Board Level Shielding Optimization », in Multidisciplinary Digital Publishing Institute (MDPI) Electronics, 2022

Communications internationales

- **Roman Leduc, Robert Ruscassié, Thierry Reess, Jean-Marie Larbaig, Laurent Courtois**, « High frequency FPGA based data control system working under electromagnetically disturbed environment », 47th IEEE International Conference on Plasma Sciences (ICOPS), Singapour (online), 2020
- **Roman Leduc, Jean-Marc Dienot, Robert Ruscassié, Jean-Marie Larbaig, Thierry Reess**, « Investigation of multilayer electromagnetic shielding effectiveness using high and low permeability materials », 8th Euro-Asian Pulsed Power Conference & 23rd International Conference on High Power Beams (BEAMS) & 17th International Conference on Megagauss Magnetic Field Generation and Related Topics (MG-XVII) (MEGAGAUSS), Biarritz, 2021
- **Roman Leduc, Jean-Marc Dienot, Robert Ruscassié, Jean-Marie Larbaig, Thierry Reess, Laurent Courtois**, « High frequency signals synchronisation using FPGA-SoC for security system in a radiography equipment », 8th Euro-Asian Pulsed Power Conference & 23rd International Conference on High Power Beams (BEAMS) & 17th International Conference on Megagauss Magnetic Field Generation and Related Topics (MG-XVII) (MEGAGAUSS), Poster, Biarritz, 2021
- **Roman Leduc, Robert Ruscassié, Jean-Marc Dienot, Jean-Marie Larbaig, Thierry Reess**, « Multilayer shielding designs for sensitive devices under harsh electromagnetic environment », IEEE Pulsed Power Conference (PPC) & Symposium On Fusion Engineering (SOFE), Denver (online), 2021
- **Roman Leduc, Robert Ruscassié, Jean-Marc Dienot, Njomza Ibrahimi, Veronika Gavrilenko**, « Multilayer Shielding Effectiveness against Intentional Electromagnetic Interferences (IEMI) Using 3D Numerical Modelling Approach », 9th Euro-Asian Pulsed Power Conference (IEEE) & 24th International Conference on High Power Beams (BEAMS), Seoul, 2022

Communications nationales

- **Roman Leduc, Jean-Marc Dienot, Robert Ruscassié, Jean-Marie Larbaig, Thierry Reess, Laurent Courtois**, « Système de surveillance d'équipements de radiographie éclair par la synchronisation de signaux haute fréquence à l'aide de la technologie FPGA-SoC », Poster, Neuvième Conférence Plénière du GDR ONDES, Poster, Lille, 2021