



HAL
open science

Conception d'un front-end avec amplificateur de puissance, VGA et déphaseur en technologie SiGe pour des applications 5G aux fréquences millimétriques

Anaïs Tourissaud

► To cite this version:

Anaïs Tourissaud. Conception d'un front-end avec amplificateur de puissance, VGA et déphaseur en technologie SiGe pour des applications 5G aux fréquences millimétriques. Electronique. Université de Bordeaux, 2023. Français. NNT : 2023BORD0410 . tel-04394003

HAL Id: tel-04394003

<https://theses.hal.science/tel-04394003>

Submitted on 15 Jan 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEURE DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

SPÉCIALITÉ ÉLECTRONIQUE

Par **Anaïs TOURISSAUD**

**Conception d'un front-end avec amplificateur de puissance,
VGA et déphaseur en technologie SiGe pour des applications
5G aux fréquences millimétriques**

Sous la direction de : **Éric KERHERVÉ**

Co-directrice : **Nathalie DELTIMPLE**

Soutenue le 14 décembre 2023

Membres du jury :

Mme Audrey MARTIN	Maîtresse de Conférences HDR	Université de Limoges	Rapporteuse
M. Didier BELOT	Ingénieur	STMicroelectronics	Rapporteur
M. Christian PERSON	Professeur des Universités	IMT Atlantique	Président
M. Romain MATHIEU	Ingénieur	UMS	Examineur
M. Éric KERHERVÉ	Professeur des Universités	Bordeaux INP	Directeur de thèse
Mme Nathalie DELTIMPLE	Professeure des Universités	Bordeaux INP	Co-directrice de thèse
M. Didier FLORIOT	Ingénieur	UMS	Invité

« L'art de la réussite consiste à savoir s'entourer des meilleurs. »

John Fitzgerald Kennedy

Remerciements

Je souhaite exprimer ma reconnaissance envers toutes les personnes ayant contribué de près ou de loin au bon déroulement de cette thèse. La thèse est une expérience incroyablement enrichissante qui mérite d'être vécue, les bons moments comme les périodes plus compliquées. Elle amène à une réflexion profonde de plusieurs années et permet d'acquérir une certaine capacité d'adaptation. Merci à tous d'avoir cru en moi durant toutes ces années.

Je tiens avant tout à remercier mon directeur de thèse Éric Kerhervé ainsi que ma co-directrice de thèse Nathalie Deltimple pour leur encadrement et leur soutien indéfectible même dans les moments de doute. Leur expertise et leurs qualités humaines m'ont permis de mener mes travaux de recherche dans un environnement sain et agréable. Merci Éric d'avoir cru en moi dès le départ lorsque mon hésitation pesait sur ma décision. Merci Nathalie de m'avoir accompagnée à Rio pour présenter mes publications. Cela restera un excellent souvenir.

Je remercie également l'entreprise UMS avec laquelle j'ai collaboré dans le cadre du projet IPCEI SMART3 et plus particulièrement Romain Mathieu qui m'a suivie tout au long de ma thèse. Cette collaboration a été pour moi très enrichissante et m'a permis de découvrir le point de vue industriel dans le domaine de la microélectronique.

Je tiens à remercier Didier Belot et Audrey Martin, les deux rapporteurs de mon manuscrit de thèse, pour l'avoir lu en détail et pour avoir apporté leurs commentaires et questions constructifs. Leur travail m'a permis d'enrichir et compléter certains éléments tant dans le manuscrit que dans la présentation orale. Cela a également mené à une discussion fort intéressante lors de la soutenance. Merci également à Christian Person qui a accepté de présider mon jury de thèse.

Je souhaite remercier les ingénieurs, professeurs et enseignants chercheurs que j'ai pu côtoyer tout au long de ces années et avec qui j'ai eu des échanges agréables, que ce soit à l'ENSEIRB-MATMECA ou au laboratoire IMS.

Mes remerciements suivants vont aux doctorants du laboratoire IMS avec lesquels j'ai pu travailler et passer d'excellents moments. Tout d'abord, je remercie Benjamin, Steeven et Gwennaël, anciens doctorants d'Éric, qui ont su m'apporter leur aide précieuse chacun à leur manière du début à la fin de ma thèse et ce même à distance (voire très longue distance). Vos connaissances et votre expertise sur la conception de circuits en général m'ont énormément apporté et m'ont permis de ne jamais perdre pied lors des moments difficiles. Je vous en suis tellement reconnaissante. Je remercie également les doctorants des équipes Circuits And Systems et Circuits et Systèmes Hyperfréquences avec qui j'ai pu échanger tout au long de ces années. Je pense notamment à Antoine, Sébastien G., Corentin, Pierre, Maxime G., Salime, Maxandre, Rémi, Martin, JC, Timothée.

J'aimerais exprimer ma profonde gratitude envers mes amis et ma famille pour leur soutien constant et leur compréhension tout au long de cette aventure. Vos encouragements et

vosre présence permanente ont été des sources de motivation essentielles à ma réussite. Je remercie particulièrement ma sœur qui a toujours cru en moi et me l'a toujours fait savoir ainsi que mes parents pour leur soutien sans faille et leur dévouement de tout instant. Je prends pleinement conscience de la chance que j'ai de vous avoir à mes côtés. Merci aux membres de ma famille qui me soutiennent. Merci Camille dite Sac, mon amie depuis presque 10 ans, pour ton éternelle présence. Merci à mes amis de prépa et d'école d'ingénieurs : Razvan, Emily, Romain, Rémi, Louis, Louis, Lorena, JB, Marion.

Je tiens à remercier Paul Van Haver dit Paulo pour sa musique et ses chansons qui me permettent de m'évader et pour les nombreux concerts au premier rang.

Enfin, je remercie Cannelle, Féline, Zelda qui m'ont apporté beaucoup de soutien psychologique et de réconfort.

Merci à vous tous.

Table des Matières

Table des Figures	3
Liste des Tableaux.....	10
Liste des Acronymes	11
Introduction générale.....	14
Chapitre I – Le beamforming numérique pour la 5G.....	16
Introduction	16
Partie 1 – Les télécommunications mobiles	16
1.1 – Evolution des télécommunications numériques.....	16
1.2 – La 5 ^{ème} génération de communications.....	18
1.2.1 – Capacité d’un système 5G.....	19
1.2.2 – Les modulations numériques.....	21
1.2.3 – Le canal de propagation	25
1.2.4 – L’Orthogonal Frequency-Division Multiplexing (OFDM).....	26
Partie 2 – Le principe de beamforming	28
2.1 – Généralités	28
2.2 – Application aux stations de base.....	32
2.3 – Etat de l’art des beamformers à 27 GHz.....	33
Partie 3 – La place d’un déphaseur, un VGA et un PA dans le beamforming 5G.....	38
3.1 – Caractéristiques d’un déphaseur	39
3.2 – Caractéristiques d’un amplificateur à gain variable.....	39
3.3 – Caractéristiques d’un amplificateur de puissance.....	40
3.3.1 – Linéarité et classes de fonctionnement.....	40
3.3.2 – Paramètres liés à la modulation.....	45
3.3.3 – Le rendement et la PAE	48
Références	51
Conclusion du Chapitre I.....	52
Chapitre II – Conception d’amplificateurs de puissance à 27 GHz en technologie SiGe 130 nm BiCMOS.....	54
Introduction	54
Partie 1 – Etat de l’art des PA SiGe à 27 GHz et cahier des charges de l’amplificateur de puissance	54
1.1 – Cahier des charges du PA	55
1.2 – Etat de l’art des PA SiGe à 27 GHz.....	55
Partie 2 – Choix de la technologie	69
2.1 – Comparaison des technologies AsGa et SiGe.....	69
2.2 – Back-End-Of-Line de la technologie SiGe 130 nm BiCMOS9MW de STMicroelectronics et transistors utilisés	70
2.3 – Phénomènes liés aux transistors bipolaires.....	73
2.4 – Fiabilité des transistors et des composants passifs	77
Partie 3 – Méthodologie de conception d’amplificateur de puissance large bande	79
3.1 – Topologies d’amplificateurs de puissance	79
3.2 – Dimensionnement des transistors de puissance	81
3.3 – Dimensionnement et optimisation des composants passifs	83
3.3.1 – Analyse load-pull et détermination des impédances optimales.....	83
3.3.2 – Dimensionnement large bande et optimisation des transformateurs.....	85
3.4 – Dimensionnement des miroirs de courant.....	86

3.4.1 – Le miroir de courant élémentaire	87
3.4.2 – Le miroir de courant à compensation d’avalanche.....	89
3.5 – Stabilité linéaire et non-linéaire du PA	92
3.5.1 – Stabilité linéaire du PA	92
3.5.2 – Neutrodynage des émetteurs communs.....	94
3.5.3 – Stabilité non linéaire du PA	97
3.6 – Résultats des simulations Post-Layout de l’amplificateur de puissance.....	99
Partie 4 - Comparaison à l’état de l’art.....	104
Références	105
Conclusion du Chapitre II	107
Chapitre III – Conception des sous-circuits du beamformer : déphaseur, VGA et co-conception avec le PA	109
Introduction	109
Partie 1 – Cahier des charges et état de l’art des déphaseurs & VGA à 27 GHz.....	110
1.1 – Le cahier des charges de l’ensemble déphaseur + VGA.....	110
1.2 – Le déphaseur	110
1.2.1 – Le modulateur vectoriel.....	111
1.2.2 – Le RTPS (Reflexion-Type Phase Shifter)	112
1.2.3 – Etat de l’art des déphaseurs à 27 GHz.....	116
1.3 – Le VGA.....	121
1.3.1 – Principe du VGA et ses limites	121
1.3.2 – Etat de l’art des VGA à 27 GHz.....	122
Partie 2 – Circuits de contrôle de la phase et de l’amplitude aux fréquences millimétriques	130
2.1 – Conception du déphaseur large bande en SiGe à 27 GHz à faible variation des pertes	130
2.2 – Simulations post-layout du déphaseur et comparaison à l’état de l’art.....	136
2.3 – Conception du VGA à faible variation d’impédance et faible variation de phase à 27 GHz avec inversion de phase	139
2.4 – Simulations post-layout du VGA à 27 GHz et comparaison à l’état de l’art	144
2.5 – Assemblage du déphaseur et du VGA, simulations PLS et comparaison au cahier des charges	147
2.6 – Comparaison des performances PLS de ce module avec le cahier des charges	152
Partie 3 – Beamformer complet	153
3.1 – Co-conception du déphaseur, du VGA et du PA	153
3.2 – Simulations PLS de la puce complète.....	153
Références	158
Conclusion du Chapitre III	159
Conclusion générale et perspectives	161
Conclusion générale.....	161
Perspectives	162
Annexe	164
Liste des travaux publiés	167
Résumé/Abstract	168

Table des Figures

I-1 : Evolution des générations de télécommunication de 1990 à 2020.....	17
I-2 : Priorité de performances en fonction du domaine d'application [3].....	19
I-3 : Réseau hétérogène constitué d'une couche d'antennes longue portée complétée localement par des antennes moyenne portée [2].....	19
I-4 : Répartition des bandes de fréquences allouées aux différentes générations de télécommunications.....	20
I-5 : Réseau 5G avec utilisation de petites cellules pour un ciblage précis en comparaison avec un réseau 4G [5].....	21
I-6 : Constellations des modulations (a) 16-QAM (b) 64-QAM (c) 1024-QAM.....	22
I-7 : Illustration de l'EVM sur une constellation de 16-QAM.....	23
I-8 : Chaîne d'émission-réception pour une modulation QPSK.....	24
I-9 : Constellation (a) des symboles émis a_n et (b) des symboles reçus r_n pour une modulation QPSK.....	24
I-10 : Constellation des symboles reçus r_n avec (a) $\frac{E_b}{N_0} = 10\text{dB}$, (b) $\frac{E_b}{N_0} = 5\text{dB}$, (c) $\frac{E_b}{N_0} = 3\text{dB}$...25	25
I-11 : Parcours multi-trajet d'une onde dans l'air [10].....	26
I-12 : Schéma complet de la puce visée après ces travaux : chaînes d'émission comprenant une puce MMIC SiGe destinées au <i>beamforming</i>	29
I-13 : Différentes techniques d'envoi et réception de signaux.....	29
I-14 : Fonctionnement de la technique MIMO utilisée dans le <i>beamforming</i>	29
I-15 : Illustration des communications 5G.....	31
I-16 : Illustration d'un système de <i>beamforming</i>	32
I-17 : Cellules 5G plus ou moins étendues en fonction de la situation (ville ou campagne)...32	32
I-18 : Illustration du (a) balayage de faisceau et des (b) faisceaux de trafic à la demande des utilisateurs.....	33
I-19 : Schéma du système complet de <i>beamforming</i>	34
I-20 : Schématisation du VGA (a) et du PA (b).....	34
I-21 : Simulations grand signaux : (a) P_{sat} et OP1dB en fonction du gain (dBm) (b) Gain (dB), OP1dB (dBm) et P_{sat} (dBm) en fonction de la consommation du PA en linéaire.....	35
I-22 : OP1dB (dBm), P_{sat} (dBm) et gain (dB) sur la bande de fréquence 26 - 30 GHz (a) et Abaque des phases balayées par le système de <i>beamforming</i> (b).....	35
I-23 : Schématisation du VGA suivi du PA.....	36
I-24 : Simulations grands signaux : (a) OP1dB sur la bande 24 - 38 GHz (b) P_{out} (P_{in}) pour les deux polarisations.....	36
I-25 : Schématisation du VGA (a) et paramètres S sur la bande 20 - 35 GHz.....	37
I-26 : (a) Gain et PAE à 29 GHz et (b) Evolution sur la bande de 24 à 31 GHz la P_{sat} (dBm) et la PAE (%) à P_{sat}	37
I-27 : Schéma d'un système <i>beamforming</i> à plusieurs voies.....	40
I-28 : Courbe de la puissance de sortie (P_{out}) en fonction de la puissance d'entrée (P_{in}).....	41
I-29 : Distorsion (a) d'amplitude (AM-AM) et (b) de phase (AM-PM).....	42

Table des Figures

I-30 : Raies d'amplitude générées en cas d'utilisation des signaux d'entrée de pulsation ω_1 et ω_2	43
I-31 : Illustration du produit d'intermodulation d'ordre 3.....	43
I-32 : Schéma d'un transistor câblé en émetteur commun.....	44
I-33 : Evolution du courant de collecteur I_c en fonction de la tension base-émetteur (V_{be}) faisant apparaître les différentes classes de fonctionnement.....	44
I-34 : Illustration du PAPR [23].....	46
I-35 : Recul en puissance requis en fonction de la génération de communications [23].....	47
I-36 : Illustration des remontées dans les canaux adjacents (ACPR).....	48
I-37 : Synoptique d'un PA avec les différentes puissances générées.....	48
I-38 : Evolution de la PAE en fonction de la puissance de sortie : PAE au point de compression à 1dB et avec un recul en puissance.....	49
II-1 : Schématique (a) et layout (b) du PA Doherty.....	56
II-2 : Performances de l'amplificateur sur la bande 20 - 34 GHz : (a) Simulations petits signaux (paramètres S) et (b) Simulations grands signaux (P_{sat} (dBm), PAE_{max} (%) et $PAE_{@6dBBO}$ (%)).....	56
II-3 : Mesures grands signaux en fonction de P_{out} (dBm) : (a) PAE (%) et (b) Gain (dB) à différentes fréquences.....	57
II-4 : Architecture (a) et Layout (b) du PA Doherty avec DAT.....	57
II-5 : Simulations et mesures des paramètres S (a) et mesures de la PAE (%) et du gain (dB) en fonction de P_{out} (dBm) à 30 GHz et PAE_{max} et P_{sat} (dBm) sur toute la bande de fréquence (b).....	58
II-6 : (a) Architecture du balun triaxial et (b) Layout du PA complet.....	58
II-7 : Schématique de l'amplificateur classe F^{-1} (a) et son layout (b).....	59
II-8 : Comparaison avec et sans l'inductance dégénérative L_{deg} : (a) Pertes d'insertion et (b) AM-PM	59
II-9 : Mesures petits signaux (a) et grands signaux à 28 GHz (b).....	60
II-10 : (a) Schématique et (b) layout du PA.....	60
II-11 : Simulations (a) petits signaux et (b) grands signaux à 28 GHz.....	61
II-12 : Architecture du PA incluant le réseau d'adaptation avec réglage des harmoniques en sortie.....	61
II-13 : Simulations (a) petits signaux et (b) grands signaux à 28,5 GHz.....	62
II-14 : Schématique du PA classe AB continue avec réseau de réglage des harmoniques en sortie.....	62
II-15 : Layout du PA avec pads (a) PAE (%) et mesures de P_{out} (dBm) à P1dB et à 6 dB de recul en puissance (b).....	63
II-16 : (a) Paramètres S entre 20 et 67 GHz et mesures de (b) Gain (dB), PAE (%) en fonction de P_{out} (dBm) à 28 GHz et P_{out} (dBm) et PAE_{max} (%) sur 20 - 43 GHz.....	63
II-17 : Schématique (a) et Layout (b) du PA complet (c) Paramètres S mesurés.....	64
II-18 : (a) Schématique et (b) layout du PA [1].....	64
II-19 : Paramètres S sur la bande 22 - 32 GHz (a), PAE et P_{out} entre 24 et 30 GHz	65
II-20 : Schématique (a) du PA complet et (b) de la polarisation adaptative.....	65
II-21 : (a) Paramètres S mesurés et simulés entre 15 et 40 GHz et (b) OP1dB (dBm) et PAE (%) sur la bande 22 - 32 GHz.....	66

II-22 : (a) Architecture de l'amplificateur équilibré et schématique d'un PA, (b) Layout de l'amplificateur équilibré (c) mesures des paramètres S.....	66
II-23 : Mesures grands signaux (a) OCP1 en fonction de la charge (b) P_{out} (Fréq) et (c) P_{avg} , ACLR (Fréq).....	67
II-24 : Schématique d'un PA (a) et layout du circuit intégré comprenant les quatre PA (b)...	67
II-25 : Schéma (a) et photo des mesures (b) du circuit complet.....	68
II-26 : Paramètres S et mesures grands signaux de la puce complète.....	68
II-27 : Répartition des PA des technologies intégrées et III-V entre 20 et 50 GHz [40].....	70
II-28 : Back-End-Of-Line du BiCMOS9MW (a) et élément unitaire du plan de masse final (b)	71
II-29 : Différentes configurations du transistor npn vhs : CBE, CBEB, CBEB-C.....	73
II-30 : Déplacement des charges dans un transistor NPN.....	73
II-31 : (a) Phénomènes présents dans les transistors bipolaires [18] (b) évolution du courant de collecteur en fonction de la tension collecteur-émetteur.....	74
II-32 : Evolution de la largeur de base dans le cas de l'effet Kirk [18].....	75
II-33 : Evolution de I_c et V_{be} en fonction de V_{cb} en cas de Pinch-In (a) et évolution de la tension critique en fonction de la polarisation (b) [18].....	75
II-34 : Courant i_b en fonction de V_{ce} (a) et modélisation du phénomène d'ionisation par impact dans un transistor bipolaire (b).....	76
II-35 : Evolution du courant de base en fonction de la tension collecteur-émetteur en cas d'auto-échauffement.....	77
II-36 : Vue 3D d'une (a) capacité MIM et d'une (b) capacité polysilicium.....	78
II-37 : Différentes topologies de montage en mode commun (a) émetteur commun, (b) collecteur commun et (c) base commune.....	80
II-38 : Amplificateur cascode pseudo-différentiel.....	81
II-39 : Evolution de la densité de courant à f_{max} en fonction de la longueur d'émetteur [18]...82	82
II-40 : Vues 3D des transistors de puissance (a) du cascode et (b) de l'étage de gain.....83	83
II-41 : Schématique du PA avec polarisation des émetteurs communs par des miroirs de courant élémentaires.....	84
II-42 : Schématique de la cellule de puissance cascode et les impédances présentées en entrée et sortie	84
II-43 : Schématique de la cellule de gain avec les impédances présentées en entrée et sortie....85	85
II-44 : Vue 3D du transformateur inter-étage avec le miroir de courant élémentaire et les capacités de découplage.....	86
II-45 : Vues 3D (a) du balun d'entrée avec le miroir de courant élémentaire et (b) du balun de sortie.....86	86
II-46 : Schématique d'un miroir de courant élémentaire.....87	87
II-47 : Miroir de courant élémentaire en cas d'avalanche.....88	88
II-48 : Courant de sortie des transistors du cascode en fonction de la tension collecteur-émetteur.....88	88
II-49 : Schématique du miroir de courant à compensation d'avalanche.....89	89
II-50 : Schématique du miroir à compensation d'avalanche complet avec (a) l'influence de Q5 et (b) l'influence de Q7.....	91

II-51 : Courant de sortie des transistors du cascode en fonction de V_{ce} avec le miroir à compensation d'avalanche.....	91
II-52 : Schématique de l'amplificateur de puissance avec un miroir de courant à compensation d'avalanche.....	92
II-53 : Performances en puissance de l'amplificateur avec le miroir à compensation d'avalanche : (a) gain (b) puissance de sortie (c) PAE.....	92
II-54 : Amplificateur et ses capacités de Miller.....	94
II-55 : Schéma petit signal de l'émetteur commun avec neutralisation.....	95
II-56 : PA pseudo-différentiel monté en émetteur commun avec neutrodynage par (a) capacités et (b) transistors.....	96
II-57 : Vues 3D des transistors de neutrodynage (a) du cascode et (b) de l'étage de gain.....	97
II-58 : Paramétrage des sondes de tension et courant sur Cadence virtuoso Goldengate®.....	98
II-59 : Affichage des pôles et zéros sur l'outil STAN®.....	99
II-60 : Vue 3D de l'amplificateur de puissance.....	100
II-61 : Paramètres S du PA avec miroir de courant élémentaire sur la bande 0 - 100 GHz (a) et sur la bande 24,25 - 30,5 GHz (b).....	100
II-62 : Simulations grands signaux : Gain (dB), PAE (%) en fonction de P_{out} (dBm) (a) et P_{out} (dBm) (b).....	101
II-63 : Simulations PLS : Gain (dB) et PAE (%) en fonction de P_{out} (dBm) (a) à 24,25GHz et (b) à 30,5 GHz.....	101
II-64 : Evolution de la puissance de saturation, l'OCP1dB, la PAE_{max} , la PAE à 6 dB et 8 dB de recul en puissance.....	102
Figure II-65 : Facteur de rollet K entre 0 et 100 GHz.....	102
II-66 : Répartition des pôles et zéros (a) de la base de l'émetteur commun du cascode de la voie de gauche et (b) celle de droite.....	103
II-67 : Répartition des pôles et zéros (a) de la base de l'émetteur commun de l'étage de gain de la voie de gauche et (b) celle de droite.....	103
II-68 : Répartition des pôles et zéros (a) en entrée et (b) en sortie.....	103
III-1 : Puce SiGe conçue dans ces travaux suivie d'un HPA GaN.....	109
III-2 : Schéma (a) d'un modulateur vectoriel et (b) d'un RTPS suivi d'un VGA [5].....	111
III-3 : Fonctionnement du modulateur vectoriel [5].....	111
III-4 : Schéma d'un RTPS composé d'un coupleur hybride 90° et deux charges réfléchives... 112	112
III-5 : Vue en coupe et caractéristique de la capacité associée à une varactor (a) basée sur un transistor NMOS et (b) de type A-MOS [5].....	113
III-6 : Schématique (a) et vue en coupe (b) de la varactor avec parasites [5].....	114
III-7 : Vue 3D du coupleur hybride 90° utilisé dans les RTPS du déphaseur du projet.....	115
III-8 : Caractéristique du coupleur hybride 90° utilisé.....	116
III-9 : Déphaseur : (a) Schématique du RTPS, (b) schématique de la charge réfléchive avec contrôle numérique, (c) layout du circuit.....	117
III-10 : Résultats de mesures du déphaseur : (a) S_{21} et (b) S_{11} pour tous les états du déphaseur sur la bande 24 - 32 GHz.....	117
III-11 : Synoptique (a) et layout (b) du déphaseur.....	118

III-12 : Paramètres S (a) et Décalage en phases (b) pour tous les codes binaires.....	118
III-13 : Nouvelle topologie de déphaseur mixant STPS et inversion de phase (a) schématique et (b) layout.....	119
III-14 : Mesures du déphaseur : (a) Niveaux de phase atteints, (b) Pertes d'insertion et erreur RMS de gain et phase sur la bande 26,5 - 29,5 GHz.....	119
III-15 : Schéma de principe des VM (a) avec le schéma de l'additionneur (b) un IMN pour des solutions à gain élevé (c) et compactes (d).....	120
III-16 : Mesures des circuits : (a) Paramètres S et (b) Phases couvertes par les déphaseurs à 28GHz	120
III-17 : Schématique (a) du VGA complet et son layout (b).....	122
III-18 : Différents niveaux de gain atteints par le VGA (a) et phases associées entre 0 et 45 GHz (b)	123
III-19 : Schématique du VGA (a) et son layout (b).....	123
III-20 : Différents niveaux de gain atteints par le VGA (a) et variation de la phase sur la bande pour tous les niveaux de gain (b).....	124
III-21 : Schématique (a) du VGA et son layout (b).....	124
III-22 : Niveaux de gain atteints (a) et variation de phase (b).....	125
III-23 : Schématique du VGA complet (a) et son layout (b).....	125
III-24 : Différents niveaux de gain couverts par le VGA sur la bande 23 - 28 GHz (a) et la variation de phase associée (b).....	126
III-25 : Schématique du VGA (a) et photo du circuit réalisé (b).....	126
III-26 : Différents niveaux de gain atteints par le VGA (a) variations de phases associées (b).127	
III-27 : Schématique du VGA (a) et layout associé (b).....	127
III-28 : Différents niveaux de gain atteints par ce VGA (a) OP1dB et erreur de gain RMS entre 20 et 40 GHz (b).....	128
III-29 : Schématique du VGA (a) et photo du circuit réalisé (b).....	128
III-30 : Différents niveaux de S_{21} , S_{11} , S_{22} sur la bande 15 - 40 GHz (a) et évolution de la variation de phase en fonction du niveau de gain (b).....	129
III-31 : Schématique du déphaseur complet.....	131
III-32 : Charge réfléchive unitaire du premier RTPS sur 5 bits pour le balayage continu de 0 à 45° (a) et layout des deux charges réfléchives du RTPS1 (b).....	132
III-33 : Schématique de la méthode de compensation.....	132
III-34 : Layout (a) et phases (b) du RTPS1	133
III-35 : Charge réfléchive unitaire du second RTPS sur 1 bit pour le déphasage 0/45° discret (a) et layout des deux charges réfléchives du RTPS2.....	133
III-36 : Layout (a) et phases (b) du RTPS2.....	134
III-37 : Charge réfléchive unitaire du troisième RTPS sur 1 bit pour le déphasage discret 0/90° (a) et layout des deux charges réfléchives du RTPS3 (b).....	134
III-38 : Layout (a) et phases (b) du RTPS3.....	135
III-39 : Layout du déphaseur sans les pads : 0,18 mm ²	135
III-40 : Layout du déphaseur complet avec les pads : 0,65 mm ²	136
III-41 : Paramètre S_{11} du déphaseur seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	137

Table des Figures

III-42 : Paramètre S_{22} du déphaseur seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	137
III-43 : Paramètre S_{21} du déphaseur seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	137
III-44 : Abaque des phases parcourues par le déphaseur seul.....	138
III-45 : Synoptique complet du VGA.....	139
III-46 : Schématisation du VGA : (a) Cellule unitaire complète avec contrôle en courant DC (b) Quatre cellules en parallèle formant le VGA complet.....	140
III-47 : Cœur du VGA : (a) Layout et (b) Schématisation.....	143
III-48 : Layout de la partie active du VGA (sans les pads) : 0,12 mm ²	143
III-49 : Layout du VGA complet avec les pads : 0,55 mm ²	144
III-50 : Paramètre S_{11} du VGA seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	144
III-51 : Paramètre S_{22} du VGA seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	145
III-52 : Paramètre S_{21} du VGA seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)	145
III-53 : (a) Variation de phases en fonction du code binaire du VGA et (b) inversion de phase à 27 GHz	145
III-54 : Simulations en puissance du VGA avec deux configurations de polarisation différentes : (a) Gain (P_{out}) et (b) P_{out} (P_{in}).....	146
III-55 : Layout de l'ensemble déphaseur + VGA : 1,5 mm ²	148
III-56 : Zoom sur la partie active de l'ensemble déphaseur + VGA.....	148
III-57 : Simulations SP avec balayage des bits du VGA : (a) S_{21} et S_{12} entre 0 et 60 GHz et (b) Différents gains entre 24 et 31 GHz.....	149
III-58 : Paramètres S_{11} et S_{22} (a) entre 0 et 60 GHz et (b) entre 24 et 31 GHz.....	149
III-59 : Abaque des phases à 27 GHz avec balayage des 7 bits du déphaseur.....	150
III-60 : Abaque des phases à 24 GHz (a) et 31 GHz (b).....	150
III-61 : Facteur de rollet pour tous les états du module PS + VGA.....	150
III-62 : Abaque de phases et gains à 27 GHz de l'ensemble PS + VGA.....	151
III-63 : Abaques de phases et gains (a) à 24 GHz et (b) 31 GHz.....	151
III-64 : P_{out} en sortie de l'ensemble PS + VGA + étage de gain permettant de piloter le PA... 152	152
III-65 : Layout du module RF complet contenant le déphaseur, le VGA et le PA.....	153
III-66 : Partie active du module RF complet contenant le déphaseur, le VGA et le PA.....	153
III-67 : Paramètres S pour tous les gains possibles à phase constante (a) entre 0 et 60 GHz et (b) entre 24,25 et 30,5 GHz.....	154
III-68 : Variation des phases pour tous les états de gains (a) et Abaque des phases à gain constant à 27 GHz (b).....	154
III-69 : Abaques des phases à gain constant (a) à 24,25 GHz et (b) 30,5 GHz.....	154
III-70 : Facteur de Rollet K du module RF complet incluant PS, VGA et PA pour tous les états de gain et phase.....	155
III-71 : Abaque des phases et gains à 27 GHz de la chaîne complète.....	155
III-72 : Abaques de gains et phases de la chaîne complète (a) à 24,25 GHz et (b) 30,5 GHz... 155	155

Table des Figures

III-73 : P_{out} (dBm) en fonction de P_{in} (dBm) (a) et Gain (dB) en fonction de P_{out} (dBm) (b) de la chaîne complète à 27 GHz pour tous les états de gains.....	156
III-74 : PAE en fonction de P_{out} pour tous les niveaux de gain à 27 GHz.....	156
III-75 : Pôles et zéros entre 24,25 et 27 GHz sur la base de l'émetteur commun du cascode..	157
III-76 : Pôles et zéros entre 27 et 30,5 GHz sur la base de l'émetteur commun du cascode...	157

Liste des Tableaux

I-1 : Standards des différentes générations de télécommunications [2].....	18
I-2 : Spécifications EVM en % en fonction du type de modulation [9].....	25
I-3 : Bilan de l'état de l'art des <i>beamformers</i> à 27 GHz.....	38
I-4 : Comparaison entre l'état de l'art des <i>beamformers</i> à 27 GHz et le cahier des charges....	53
II-1 : Cahier des charges du PA du projet.....	55
II-2 : Résumé des performances des HBT HS, MV, HV pour $L_E = 15 \mu\text{m}$ et $N_{BE} = 5$ [41].....	72
II-3 : Récapitulatif des performances des différentes configurations de transistors unitaires....	80
II-4 : Tableau récapitulatif des dimensions du transformateur et des baluns du PA.....	86
II-5 : Conditions de stabilité du facteur de Rollet K et du paramètre Δ	93
II-6 : Bilan de l'état de l'art des PA SiGe BiCMOS autour de 27 GHz.....	104
II-7 : Comparaison du cahier des charges et des simulations PLS.....	108
III-1 : Cahier des charges des circuits de contrôle de phase et de gain.....	110
III-2 : Bilan de l'état de l'art des déphaseurs à 27GHz.....	121
III-3 : Bilan de l'état de l'art des VGA à 27 GHz.....	130
III-4 : Comparaison du déphaseur avec de l'état de l'art et le cahier de charges.....	139
III-5 : Dimensionnement des transistors bipolaires utilisés pour la double paire différentielle et des NMOS de contrôle	142
III-6 : Comparaison du VGA avec de l'état de l'art.....	147
III-7 : Comparaison des résultats de simulations PLS avec le cahier des charges du module PS + VGA + étage de gain.....	152
III-8 : Comparaison du module RF en PLS avec le cahier des charges.....	157

Liste des Acronymes

1G First generation
2G Second generation
3G Third generation
4G Fourth generation
5G Fifth generation
6G Sixth generation
ACLR/ACPR Adjacent Channel Leakage Ratio
AM Modulation d'Amplitude
AR Réalité Augmentée
AWGN Bruit Additif Blanc Gaussien
BEOL Back-End Of Line
BO Back-off
BW Bandwidth
CAO Conception Assistée par Ordinateur
CB Base Commune
CC Collecteur Commun
CDF Cumulative Distribution Function
CDMA Code Division Multiple Access
CE Emetteur Commun
CMOS Complementary Metal Oxide Semiconductor
CMRR Common Mode Rejection Ratio
CS Common Source
CW Continuous Wave
DAC Digital to Analog Converter
DAT Distributed Active Transformer
DC Direct Current
DE Drain Efficiency
DK Design Kit
DRC Design Rules Check
DRM Design Rules Manual
DSP Digital Signal Processor
EDGE Enhanced Data rates for GSM Evolution
EER Envelope Elimination and Restoration
EM ElectroMagnetic
eMBB Enhanced Mobile BroadBand
ESD ElectroStatic Discharge
EVM Error Vector Magnitude
FFT Transformée de Fourier
 f_{\max} Maximum oscillation Frequency
 f_T Transition Frequency
AsGa Gallium Arsenide

GaN Gallium Nitride
Gb/s Gigabit par seconde
GND Ground
GSM Global System for Mobile communications
HBT Heterojunction Bipolar Transistor
HPA High Power Amplifier
IEEE Institute of Electrical and Electronic Engineer
IFFT Transformée de Fourier inverse
IIP3 Point d'intersection d'ordre 3 en entrée
IMD3 Distortions d'intermodulation d'ordre 3
InP Phosphure d'Indium
IoT Internet of Things
IP3 Point d'intersection d'ordre 3
IPI Ionisation Par Impact
ISI Interférences entre symboles
kb/s kilobit par seconde
LNA Low Noise Amplifier
LTE Long Term Evolution
Mb/s Megabit par seconde
MIM Metal-Isolant-Metal
MIMO Multi-Input Multi-Output
MMIC Monolithic Microwave Integrated Circuit
mMTC massive Machine-Type Communications
mmW millimeter-Wave
MOM Metal-Oxide-Metal
MOS Metal Oxide Semiconductor
NPNHV Transistor NPN High Voltage
NPNMV Transistor NPN Medium Voltage
NPNVHS Transistor NPN Very High Speed
NR New Radio
NSA Non Stand Alone
OBO Output Back-Off
OFDM Orthogonal Frequency-Division Multiplexing
OFDMA Orthogonal Frequency-Division Multiplexing Access
OIP3 Point d'intersection d'ordre 3 en sortie
P_{-1dB} Puissance de sortie à 1dB de compression (aussi nommée **OCP_{-1dB}**)
PA Power Amplifier
PAE Power Added Efficiency
PAPR Peak-to-Average Power Ratio
PBO Power Back-Off
P_{ac} Puissance consommée DC
PDF Probability Density Function
PIRE Puissance Isotrope Rayonnée Equivalente

PLS Post Layout Simulations
PM Modulation de Phase
P_{out} Puissance de sortie
PS Phase Shifter (déphaseur)
P_{sat} Puissance de saturation
QAM Modulation d'amplitude en quadrature
QPSK Modulation de phase numérique
RF RadioFréquence
RMS Valeur quadratique moyenne
ROS Rapport d'onde stationnaire
RTPS Reflection-Type Phase Shifter
RX Receiver
SA Stand Alone
SDMA Spatial Division Multiple Access
Si Silicium
SiGe Silicium-Germanium
SINR Signal-to-Noise Ratio
SIW Substrate Integrated Waveguide
SNR Signal-to-Noise Ratio
SoC System on Chip
SOI Silicon On Insulator
SSB Faisceaux de signalisation
STPS Switch-Type Phase Shifter
TDD Time-Division Duplex
TDMA Time Division Multiple Access
TOS Taux d'Onde Stationnaire
TRX Transceiver
TX Transmitter
UMS United Monolithic Semiconductors
uRLLC ultra-Reliable Low Latency Communication
VCO Voltage Controlled Oscillator
VGA Variable Gain Amplifier
VR Réalité Virtuelle
VSPS Vector-Summing Phase Shifter
VSWR Voltage Standing Wave Ratio
WiFi Wireless Fidelity
ZCE Zone de Charge d'Espace

Introduction générale

Le trafic de données est en constante augmentation et l'émergence des objets connectés a conduit à l'évolution des réseaux de communication sans fil. La 5G impose des débits importants, ce qui a mené à l'exploitation de plus hautes bandes de fréquences de 24 à 40 GHz. Travailler à très haute fréquence permet d'avoir des largeurs de bande améliorées en modulation, ce qui mène à de hauts débits.

L'inconvénient de ces fréquences concerne la portée des ondes millimétriques. La technique de *beamforming* est alors utilisée afin de recombinaison des signaux émis par un réseau d'antennes dans l'espace. Pour cela, la méthode MIMO utilisée dans la 4G est exploitée également pour les nouvelles générations de télécommunication.

Le premier chapitre présente un aperçu des systèmes de communication actuels et met en évidence l'évolution vers des systèmes complexes composés de vastes réseaux d'antennes. Les différents aspects d'un système de communication sans fil sont étudiés pour comprendre les contraintes imposées sur les circuits qui composent une chaîne d'émission. Les caractéristiques de la 5G sont détaillées ainsi que le principe de *beamforming*. L'enjeu de la conception des sous-circuits d'une chaîne d'émission est analysé. La place d'un déphaseur, d'un amplificateur à gain variable, d'un amplificateur de puissance est évoquée en dernière partie. En effet, ce sont ces trois blocs auxquels un intérêt sera porté dans ces travaux. Ils seront conçus séparément puis assemblés afin de construire un module RF front-end polyvalent pour les applications 5G. Les phénomènes liés aux transistors bipolaires sont évoqués et notamment l'avalanche. Un miroir à compensation d'avalanche est ainsi détaillé et simulé en post-layout dans le PA.

Le second chapitre détaille le processus de conception de l'amplificateur de puissance avec l'état de l'art des PA à 27 GHz suivi du choix de la technologie utilisée qui est la technologie SiGe 130nm BiCMOS et enfin une méthode de conception du PA large bande entre 24,25 et 30,5 GHz afin de constituer la cellule de puissance du module RF destiné au *beamforming* pour les applications 5G. Le dimensionnement des passifs (baluns, transformateur) et des transistors est présenté. Le PA est constitué d'un étage de gain émetteur commun et un étage de puissance cascode, le tout en pseudo-différentiel. La stabilité linéaire et non linéaire du PA seul est étudiée sur la bande grâce à l'outil STAN® développé par l'entreprise AMCAD. Les simulations post-layout du PA sont alors proposées afin de démontrer les bonnes performances atteintes.

Le troisième chapitre se concentre sur les aspects du contrôle et de la correction de l'amplitude et de la phase d'un signal dans un système de *beamforming* : le déphaseur et l'amplificateur à gain variable avec pour contrainte un déphaseur à consommation nulle (passif) et un VGA à très faible variation d'impédance et de phase selon le code binaire utilisé. Dans ce type de système, les erreurs sur les signaux de chaque antenne sont inévitables et affectent le rayonnement optimal du réseau. L'objectif de cette étude est de rechercher des solutions techniques permettant un contrôle précis de la phase et de l'amplitude. Le choix des architectures est justifié dans ce chapitre dans le but de répondre au cahier des charges. Le circuit conçu contient un déphaseur utilisant des RTPS qui permet de couvrir 180° de dynamique ainsi qu'un VGA avec inversion de phase permettant ainsi de couvrir les 360° de dynamique de phase. Ce dernier est constitué de quatre cellules contrôlées indépendamment avec des bits et d'un contrôle fin en courant DC égal pour chaque cellule. L'architecture est

telle que le nombre de transistors actifs est le même pour tous les états de gain, ce qui permet d'assurer une consommation du VGA constante ainsi qu'une très faible variation d'impédance.

Ces travaux entrent dans le cadre d'une collaboration avec l'entreprise United Monolithic Semiconductors (UMS), au sein du projet SMART3. Ce projet a pour objectif l'intégration hétérogène de différentes technologies au sein d'une même puce.

Chapitre I – Le beamforming numérique pour la 5G

Introduction

Les avancées technologiques en matière de communication par radiofréquence avec l'arrivée de la 5^{ème} génération de réseaux mobiles (5G) et l'utilisation croissante de ces réseaux [1] suscitent un vif intérêt pour la recherche et l'innovation dans ce domaine. Les travaux présentés dans ce manuscrit s'inscrivent dans ce contexte et se concentrent sur l'utilisation des fréquences millimétriques (24 - 31 GHz) et de la technique de recombinaison de faisceaux (ou *beamforming*) pour les communications. Ce premier chapitre examine les implications de ces évolutions technologiques sur les systèmes radiofréquences, en particulier sur les chaînes d'émission. Les aspects tels que les modulations choisies, le canal de transmission et la technique de communication OFDM (multiplexage par répartition orthogonale de fréquences) auront des impacts sur les circuits des chaînes d'émission.

L'utilisation des fréquences millimétriques a pour objectif principal d'augmenter le débit de communication. Cependant, à ces fréquences, la portée de la communication est limitée. Pour surmonter cette limitation, l'utilisation de la technique de *beamforming* est devenue essentielle. Cette technique repose sur l'utilisation d'un réseau d'antennes dont la phase de chaque antenne est contrôlée pour diriger la puissance du signal dans une direction précise. Cela permet d'éviter d'envoyer de la puissance dans des directions inutiles et de différencier les utilisateurs dans l'espace, augmentant ainsi la capacité du réseau. Cette technique de *beamforming* et la technologie de MIMO massive seront examinées en détail pour comprendre les contraintes qui pèsent sur les circuits des chaînes d'émission. L'objectif est de garantir une efficacité spectrale et énergétique maximale tout en conservant une certaine flexibilité pour faire face à l'environnement.

Dans ce chapitre sont évoquées les télécommunications mobiles en Partie 1 et plus particulièrement la 5G. Le principe de *beamforming* est détaillé en Partie 2 avec un état de l'art des beamformers à 27 GHz. On se concentrera dans ces travaux sur le déphaseur, l'amplificateur à gain variable (VGA) et l'amplificateur de puissance (PA). Leur place et leur rôle sont enfin précisés en Partie 3.

Partie 1 – Les télécommunications mobiles

1.1 – Evolution des télécommunications numériques

Les communications mobiles n'ont cessé d'évoluer ces 30 dernières années. Les générations de télécommunication se succèdent : la 2G, la 3G, la 4G, la 5G (Fig. I-1) et la 6G dont le déploiement est programmé en 2030. Ces nouveaux standards de communication amènent avec eux des progrès technologiques [1].

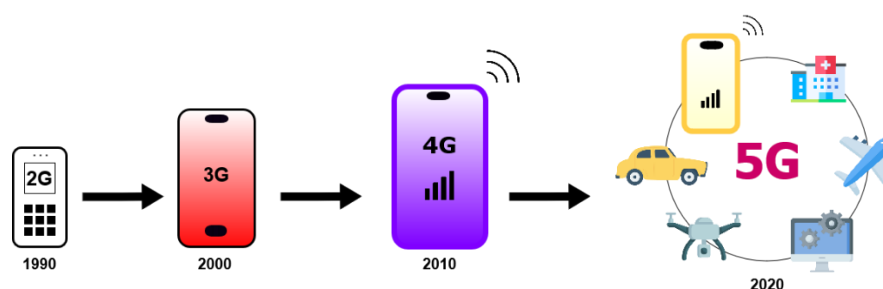


Figure I-1 : Evolution des générations de télécommunication de 1990 à 2020

2G

La 2^{ème} génération de télécommunication (ou 2G) assurait la transmission de voix et SMS par téléphone. Le standard concerné s'appelait le GSM (Global System for Mobile Communications). Ce standard a subi quelques améliorations au fil du temps avec le 2,5G ou GPRS (General Packet Radio Services) et le 2,75G ou EDGE (Enhanced Data rates for Global Evolution). Les bandes de fréquences pour la 2G sont à 900, 1800 et 1900 MHz. Le standard 2G assure un débit de données de l'ordre de 100 kbps.

3G

La 3^{ème} génération de télécommunication (ou 3G) a permis d'introduire la navigation sur internet. Ce standard apparaît au début des années 2000 et assure des débits de l'ordre de 300 kbps. Comme pour la 2G, le standard 3G a subi diverses améliorations au fil du temps comme la 3G+, la H+ permettant d'atteindre des débits de l'ordre de 5 à 10 Mbps grâce notamment à la technologie MIMO (Multiple-Input Multiple-Output).

4G

La 4^{ème} génération de télécommunication (ou 4G) apparaît dans les années 2010 avec la norme LTE (Long Term Evolution). Cette norme reprend les principes de la 3G avec quelques améliorations grâce à l'utilisation de l'OFDMA (Orthogonal Frequency Division Multiple-Access) permettant de partager une même ressource à plusieurs utilisateurs simultanément. Une version améliorée, la LTE-Advanced, assure un débit de l'ordre de 100 Mbps. Les fréquences 4G sont situées dans les bandes 700, 800, 900, 1800, 2100 et 2600 MHz. Ce standard de communications est donc marqué par une augmentation des débits par rapport aux standards précédents ainsi que l'utilisation de nouvelles fréquences et de nouvelles techniques de multiplexage. La 4G permet de regarder des vidéos en streaming où que soit l'utilisateur dans le monde.

5G

La 5^{ème} génération de télécommunication (ou 5G) est arrivée au début des années 2020 pour subvenir au besoin toujours grandissant de haut débit et pour répondre à des demandes dans des cas d'utilisation spécifiques tels que l'IoT (Internet of Things) ou encore M2M (Machine to Machine). La 5G permet donc d'améliorer les générations précédentes tout en proposant de

nouveaux services. Comme les précédents standards, la 5G aura des améliorations avant la prochaine génération : la **6G**.

Le tableau I-1 répertorie les différentes générations de communications de la 2G à la 5G avec leur date de déploiement ainsi que le débit théorique en téléchargement qui leur est associé.

Génération	Norme	Date de déploiement	Débit théorique en téléchargement
2G	GSM	1992	Quelques dizaines de kbps
3G	UMTS	2004	Quelques dizaines de Mbps
4G	LTE	2012	Une centaine de Mbps
5G	NR	2020	Une dizaine de Gbps

Tableau I-1 : Standards des différentes générations de télécommunications [2]

1.2 – La 5^{ème} génération de télécommunication

Au début des années 2020, la 5^{ème} génération de télécommunication est donc apparue. La 5G utilise des éléments clés pour l'exposition dans de nouvelles bandes de fréquences, notamment des antennes à faisceaux orientables qui ciblent les utilisateurs, des bandes de fréquences plus larges, des faisceaux plus fins et un mode d'exposition alterné (mode TDD). Les conséquences attendues de ces éléments sont une exposition réduite en dehors des faisceaux, une exposition accrue dans les faisceaux et une durée d'exposition plus courte [2]. Elle apporte plusieurs améliorations significatives par rapport à la 4G sur plusieurs points :

- **Vitesse** : La 5G offre une vitesse de téléchargement théorique allant jusqu'à 20 Gbit/s, soit environ 20 fois plus rapide que la 4G. Cela signifie que les utilisateurs peuvent télécharger des fichiers plus rapidement et profiter d'une meilleure expérience de streaming vidéo.
- **Latence** : La 5G offre une latence considérablement plus faible que la 4G, ce qui signifie que les temps de réponse sont beaucoup plus courts. La latence de la 5G est d'environ 1 milliseconde, tandis que celle de la 4G est d'environ 30 millisecondes. Cela est particulièrement utile pour les applications nécessitant une communication en temps réel, comme la réalité virtuelle, les jeux en ligne, la conduite autonome ou encore l'e-santé.
- **Capacité** : La 5G permet de connecter un plus grand nombre d'appareils simultanément sur le même réseau, ce qui améliore l'efficacité de l'utilisation des ressources réseau. Cela permet également une connectivité plus stable et plus rapide pour les utilisateurs dans les zones densément peuplées.
- **Fiabilité** : La 5G utilise des antennes plus petites et plus nombreuses que la 4G, appelées antennes millimétriques. Cela permet de fournir une connectivité plus fiable, même dans les zones à forte densité de population.
- **Innovation** : La 5G offre des possibilités de développement et d'innovation dans les domaines de l'Internet des objets (IoT), de la réalité augmentée (AR) et de la réalité virtuelle (VR).

De nombreux domaines utilisent et utiliseront le réseau 5G, c'est pourquoi les attentes en matière de performances sont propres à l'application. En effet, une puce 5G de station de base n'aura pas le même cahier des charges qu'une puce 5G présente dans un téléphone. Toutes ces applications peuvent être classées selon trois grandes familles (Fig. I-2) :

- L'uRLLC (ultra-Reliable and Low Latency Communications) pour les applications critiques où la fiabilité sera primordiale.
- Le mMTC (massive Machine Type Communications) pour la communication entre machines.
- L'eMBB (enhanced Mobile BroadBand) pour les applications haut-débit.

Ces travaux sont plutôt orientés pour une application station de base mais on verra qu'ils pourront être utilisés dans de multiples autres applications au vu de leurs performances.

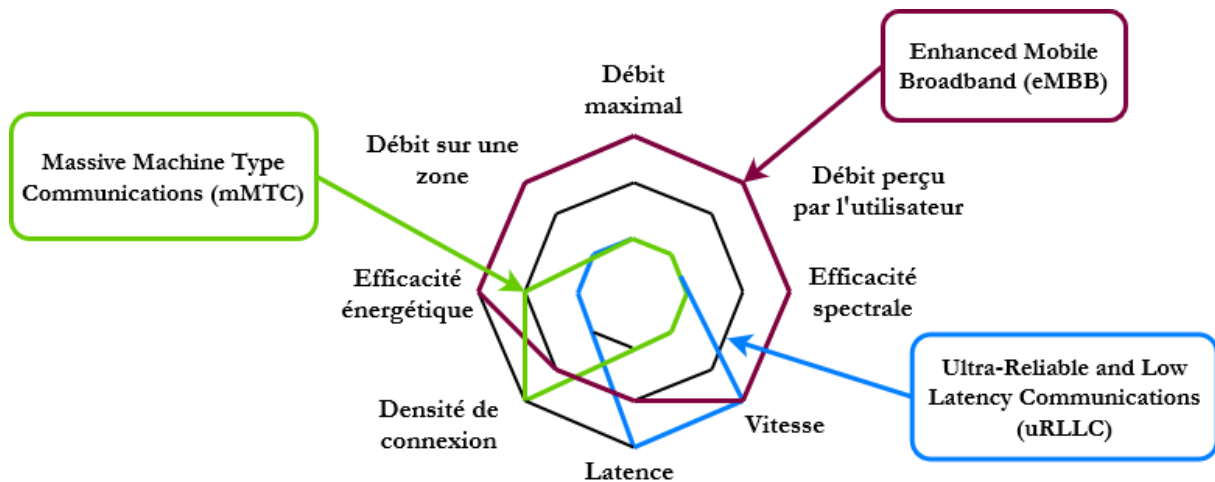


Figure I-2 : Priorité de performances en fonction du domaine d'application [3]

Actuellement, les réseaux mobiles (2G, 3G et 4G) sont principalement constitués d'antennes longue portée appelées "macro" et déployées pour assurer une couverture complète du terrain, qu'il s'agisse de zones urbaines denses ou de territoires ruraux. Cependant, avec l'utilisation de bandes de fréquences plus élevées en 5G, qui ont une propagation moins efficace, il pourrait être nécessaire de compléter cette couverture par des petites antennes de moyenne portée (Fig. I-3) afin d'améliorer la connectivité pour tous, notamment dans les zones les plus denses.

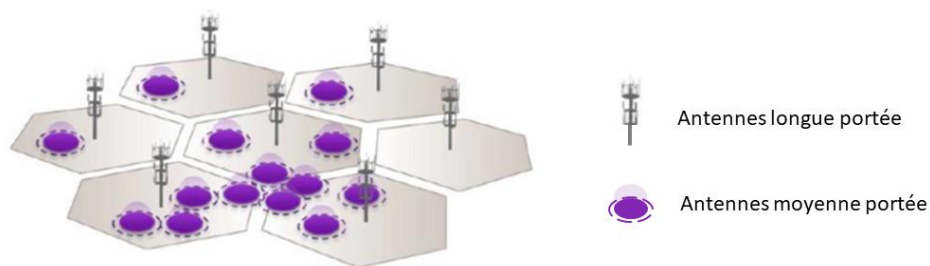


Figure I-3 : Réseau hétérogène constitué d'une couche d'antennes longue portée complétée localement par des antennes moyenne portée [2]

1.2.1 – Capacité d'un système 5G

Une particularité de la 5G est l'utilisation de fréquences plus hautes que les précédents standards de communications [4]. En effet, la 5G possède plusieurs bandes de fréquences dont des fréquences déjà allouées aux autres générations de télécommunication mais aussi des bandes de fréquences millimétriques. Les fréquences 5G sont résumées dans la Fig. I-4.

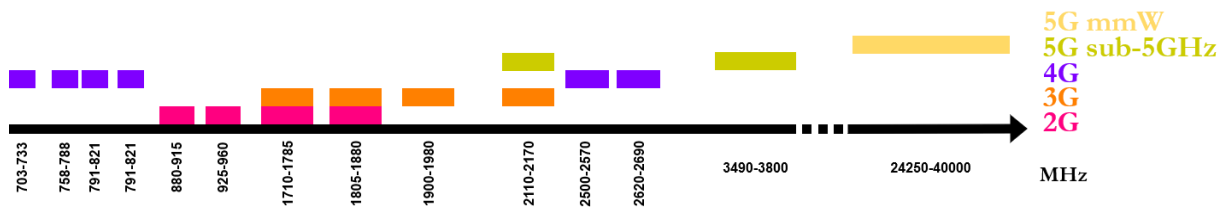


Figure I-4 : Répartition des bandes de fréquences allouées aux différentes générations de télécommunications

La formule de Shannon [I-1] fournit le débit maximal théorique qui peut être atteint dans un canal AWGN tout en minimisant les erreurs. Cette capacité maximale peut être atteinte grâce aux techniques de traitement du signal telles que les codes correcteurs d'erreurs, les modulations d'ordre élevé et le filtrage de canal. Pour augmenter davantage le débit, il est nécessaire d'augmenter la capacité du canal, ce qui peut être réalisé en augmentant la largeur de bande et/ou le rapport signal sur bruit et interférence (SINR). La 5G-mmW est conçue pour améliorer considérablement le débit en utilisant des largeurs de bande allant jusqu'à 400 MHz et en améliorant le SINR grâce à la technologie massive-MIMO (*beamforming*). De plus, l'utilisation de fréquences millimétriques, qui ont une portée limitée, permettra d'augmenter considérablement la capacité dans une zone donnée. En effet, le nombre de cellules d'un réseau mobile sera plus important par rapport à une cellule typique de la 4G pour une même zone [5].

$$C_{bps} = B \log_2 \left(1 + \frac{S}{I + N} \right) \quad [I - 1]$$

- C_{bps} la capacité d'un canal avec un bruit additif blanc gaussien (AWGN)
- B la largeur de bande
- S la puissance du signal transmis
- N la puissance du bruit
- I la puissance des interférences

Dans le cadre de ces travaux, on se concentrera sur les fréquences millimétriques et plus particulièrement sur une bande d'environ 7 GHz autour de 27 GHz. L'utilisation de telles fréquences permet d'augmenter les débits et donc la vitesse de transfert de données mais en contrepartie, l'atténuation des ondes dans l'air sera plus importante d'où la nécessité de trouver des solutions pour contrer ce problème. Une des solutions de la 5G pour contrer le problème d'atténuation est de cibler les utilisateurs. En effet, comme le montre la Fig. I-5, contrairement à la 4G, au lieu d'émettre dans toutes les directions, la 5G va créer des cellules séparées dans lesquelles elle va envoyer des données différentes et ainsi mieux cibler le destinataire.

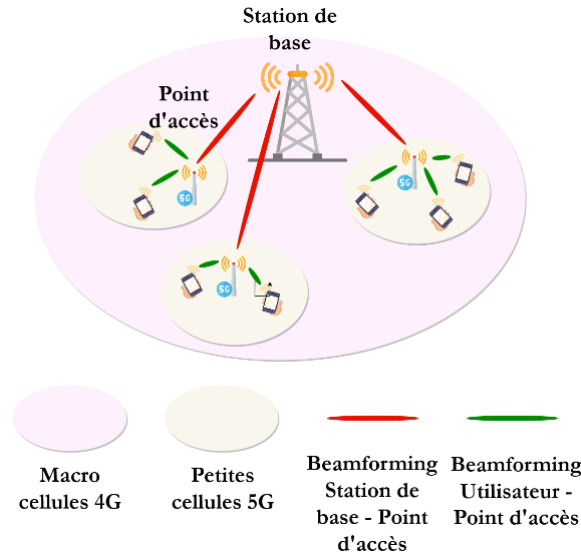


Figure I-5 : Réseau 5G avec utilisation de petites cellules pour un ciblage précis en comparaison avec un réseau 4G [5]

Cela permet d’augmenter la capacité globale du système dans chaque zone, grâce au principe de *beamforming*. Les systèmes de télécommunications dépendent des chaînes d’émission-réception radiofréquences (RF) car les données sont transmises sous forme de signaux analogiques à travers un canal physique. Ainsi, la performance globale du réseau est fortement influencée par la qualité de ces chaînes. L’augmentation de l’efficacité spectrale permet d’augmenter la capacité du canal, comme l’illustre la formule de Shannon.

En utilisant le multiplexage spatial (Fig. I-5), il sera possible d’augmenter le nombre d’utilisateurs en permettant le partage de la même ressource temporelle et fréquentielle au sein d’une petite cellule. Dans chaque zone, la formule de Shannon peut alors s’écrire :

$$C_{zone, bps} = \sum_{cellule} K B \log_2 \left(1 + \frac{S}{I + N} \right) \quad [I - 2]$$

Avec :

K le nombre d’utilisateurs par cellule

Pour atteindre cette capacité, il est nécessaire d’augmenter l’ordre des modulations, ce qui peut avoir des répercussions sur les circuits RF. Il est donc essentiel pour le concepteur de connaître ces contraintes afin d’optimiser les circuits tout en garantissant la meilleure efficacité énergétique possible. Dans notre étude, nous nous concentrons uniquement sur la partie émission (TX) en utilisant le *beamforming* numérique pour la 5G.

1.2.2 – Les modulations numériques

Pour obtenir des débits supérieurs à 1 Gbps en utilisant une bande passante de 400 MHz, il sera nécessaire d’utiliser des modulations d’ordre élevé. Le nombre de bits par symbole dépend de la modulation utilisée ; plus ce nombre est grand, plus le débit binaire D_b pour une bande de fréquence donnée sera élevé. Le débit symbole D_s correspond à la bande de fréquence utilisée par le signal à transmettre, et peut être calculé comme étant égal à $\frac{1}{T_s}$ avec T_s le temps

symbole. Actuellement, dans la plupart des communications sans fil haut débit, les modulations de type QAM (Modulation d'Amplitude en Quadrature) [6] sont utilisées. Pour la 5G, la modulation utilisée sur chaque sous-porteuse est de 64-QAM à 1024-QAM (Fig. I-6).

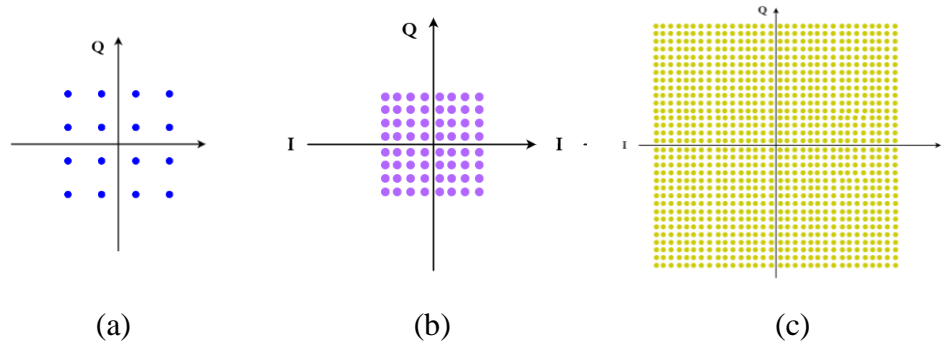


Figure I-6 : Constellations des modulations (a) 16-QAM (b) 64-QAM (c) 1024-QAM

Les modulations QAM reposent sur la somme de deux signaux en quadrature (I et Q) [5] modulés en amplitude, ce qui correspond mathématiquement à l'envoi d'un signal complexe. Ces modulations présentent l'avantage d'augmenter le nombre de bits par symbole en optimisant la marge d'erreur acceptable. Cette marge d'erreur dépend de la distance entre les points d'une constellation. Plus l'espace entre les points est faible, plus la marge d'erreur est faible. En d'autres termes, plus la modulation sera d'ordre élevé et plus les contraintes de conception des systèmes électroniques seront importantes.

Dans le cas des modulations QAM, la puissance de sortie dépend du symbole émis. Cela impose des contraintes de linéarité sur la chaîne RF pour éviter les erreurs de symbole à l'envoi et à la réception. La linéarité est mesurée par l'Error Vector Magnitude (EVM) qui représente la distance entre le symbole de référence et le symbole mesuré. En général, la linéarité d'un système est caractérisée sur plusieurs symboles et est mesurée en utilisant la valeur EVM_{RMS} , qui correspond à la valeur RMS (valeur quadratique moyenne) des EVM pour chaque symbole. Elle s'exprime comme suit [I-3] :

$$EVM_{RMS,\%} = 100 \sqrt{\frac{\sum_{i=1}^N [(I_{mesurée,i} - I_{ref,i})^2 + (Q_{mesurée,i} - Q_{ref,i})^2]}{NP_{moyenne}}} [\%] \quad [I - 3]$$

$$EVM_{RMS,dB} = 20 \log \left(\frac{EVM_{RMS,\%}}{100} \right) [dB] \quad [I - 4]$$

Avec :

- $I_{mesurée,i}$ et $Q_{mesurée,i}$ les composantes I et Q mesurées du $i^{\text{ème}}$ symbole
- $I_{ref,i}$ et $Q_{ref,i}$ les composantes I et Q de référence du $i^{\text{ème}}$ symbole
- N le nombre de symboles
- $P_{moyenne}$ la puissance moyenne du signal modulé

Pour réaliser une modulation M-QAM, on utilise des architectures à deux voies, I et Q, déphasées de 90° l'une de l'autre et modulées en amplitude. Chaque voie est une chaîne d'émission RF composée de différents circuits. Ces circuits permettent de convertir le signal numérique en analogique (Convertisseur Numérique-Analogique), monter en fréquence (mélangeur et oscillateur local avec PLL), sommer, amplifier, filtrer et envoyer vers l'antenne (amplificateur de puissance). La conception de ces blocs doit être précise afin d'optimiser les performances de l'ensemble de la chaîne et notamment l'amplificateur de puissance qui est le composant final d'une chaîne de transmission RF avant l'antenne. Pour cela, le concepteur doit s'assurer d'une bonne linéarité des composants de la chaîne pour limiter l'EVM.

L'EVM est en pratique mesurée sur les constellations de symboles (Fig. I-7). Plus la modulation sera d'ordre élevé, plus il y aura de bits par symboles, de symboles dans la constellation et plus la probabilité d'avoir une erreur sera importante. En effet, quand le nombre de points dans une constellation devient trop important, la probabilité pour que des symboles différents soient confondus est accrue.

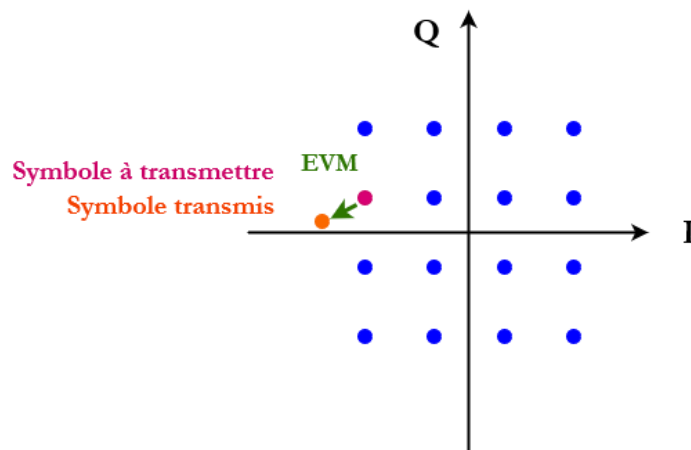


Figure I-7 : Illustration de l'EVM sur une constellation de 16-QAM

Le bruit est aussi un élément à prendre en compte [5]. Plus le bruit sera présent, plus les symboles seront susceptibles d'avoir des erreurs, c'est-à-dire plus l'EVM sera importante. En outre, les communications seront altérées et de mauvaise qualité.

Pour évaluer le bruit, on peut regarder les constellations de symboles en entrée et sortie en fonction du rapport $\frac{E_b}{N_0}$ ou SINR qui correspond au rapport du signal utile sur le bruit. Plus ce rapport sera grand, plus le signal reçu sera proche du signal transmis.

Considérons une chaîne dans le cas d'une modulation QPSK [7] avec l'architecture suivante :

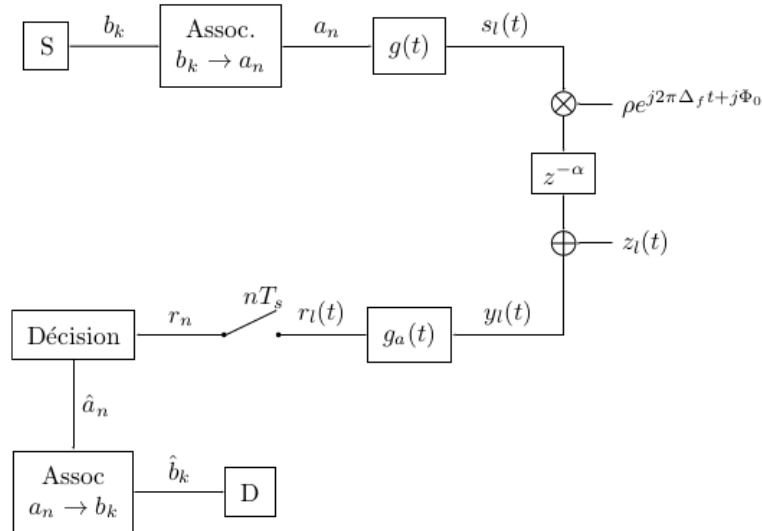


Figure I-8 : Chaîne d’émission-réception pour une modulation QPSK

On peut identifier les symboles transmis a_n et les symboles reçus r_n . Sans aucune perturbation dans la chaîne (ni bruit, ni désynchronisation fréquentielle, ni altération du signal par le canal, ni déphasage, ni retard), les constellations des symboles en entrée (a_n) et sortie (r_n) sont les suivantes (Fig. I-9) :

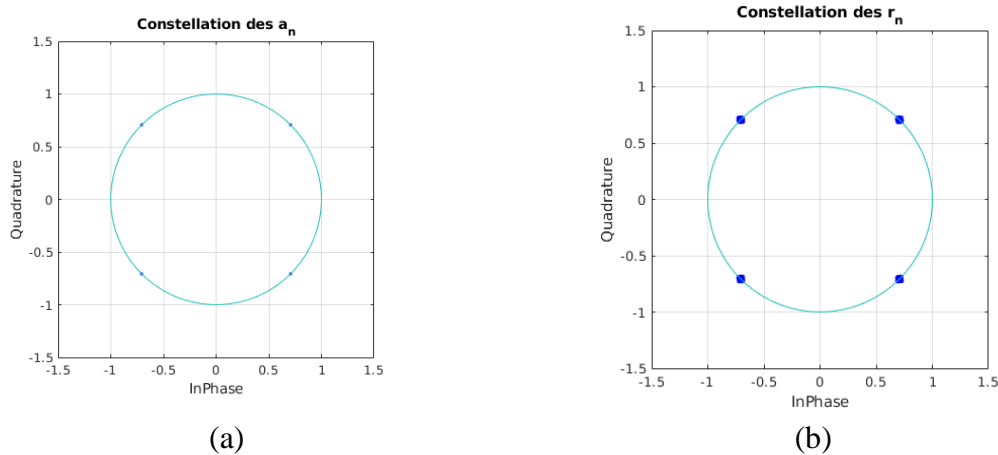


Figure I-9 : Constellation (a) des symboles émis a_n et (b) des symboles reçus r_n pour une modulation QPSK

La constellation des a_n correspond à la constellation des symboles. En utilisant une modulation QPSK, nous en avons quatre séparés de $\frac{\pi}{2}$, disposés sur le cercle trigonométrique. Afin de limiter le nombre d’erreurs à la réception, nous utilisons un codage de Gray, il n’y a donc qu’un seul bit sur les deux qui change entre deux symboles consécutifs. Ceci évite en effet les erreurs de transmission puisque d’un symbole à son voisin, si une confusion est faite, un seul des deux bits sera modifié, ce qui réduit la probabilité d’erreurs de réception. On remarque Fig. I-9 que les symboles reçus sont bien ceux envoyés.

Si l’on introduit du bruit dans la chaîne ($z_l(t)$), les symboles transmis sont identiques quel que soit le rapport $\frac{E_b}{N_0}$ puisque le bruit est ajouté dans la chaîne après l’entrée donc les symboles en entrée ne sont évidemment pas altérés [8].

En revanche, si on regarde les symboles en sortie en fonction de $\frac{E_b}{N_0}$, on obtient les constellations suivantes (Fig. I-10) :

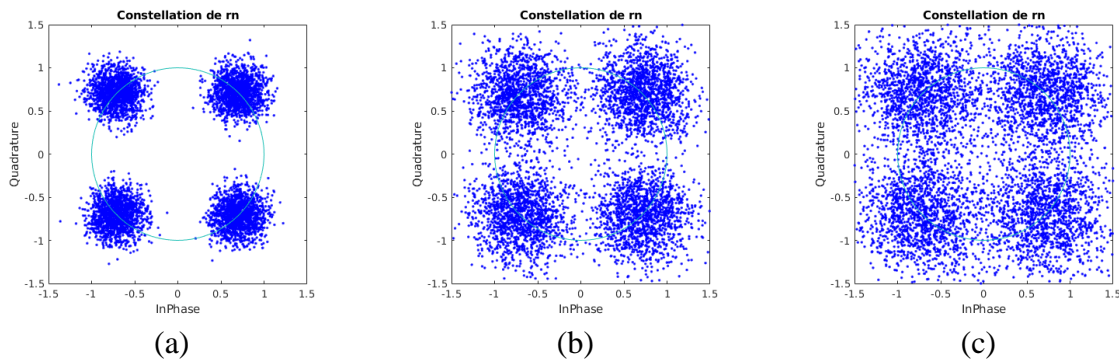


Figure I-10 : Constellation des symboles reçus r_n avec (a) $\frac{E_b}{N_0} = 10 \text{ dB}$, (b) $\frac{E_b}{N_0} = 5 \text{ dB}$, (c) $\frac{E_b}{N_0} = 3 \text{ dB}$

On observe que plus le rapport $\frac{E_b}{N_0}$ est faible, plus la constellation est altérée et moins les symboles reçus seront lisibles. Pour $\frac{E_b}{N_0} = 10 \text{ dB}$, on peut toujours récupérer les symboles reçus puisqu'ils n'atteignent pas les symboles adjacents. En revanche, pour $\frac{E_b}{N_0} = 3$ et 5 dB , le signal reçu sera compliqué à déchiffrer. Autrement dit, plus le rapport signal sur bruit est élevé et moins les erreurs sont probables.

Chaque modulation impose donc des limites en matière d'EVM à ne pas dépasser pour s'assurer de la bonne qualité de la communication. Ces limites sont répertoriées dans le Tab. I-2.

Type de modulation	Spécifications EVM (%)
QPSK	17,5%
16QAM	12,5%
64QAM	8%
256QAM	3,5%

Tableau I-2 : Spécifications EVM en % en fonction du type de modulation [9]

On remarque que les modulations d'amplitude de type QAM sont celles ayant le plus de contraintes puisque les symboles sont plus proches les uns des autres. Cela est d'autant plus vrai lorsque l'ordre de la modulation et donc le nombre de symboles dans la constellation augmentent.

Par ailleurs, le canal de propagation peut également avoir un impact sur la communication.

1.2.3 – Le canal de propagation

En termes simples, un système de transmission radioélectrique permet de convertir un signal électrique émis $e(t)$ en un signal électrique reçu $s(t)$ en utilisant des ondes électromagnétiques. Le canal de propagation correspond au système qui transforme le signal $e(t)$ en $s(t)$ en prenant en compte les effets des interactions entre les ondes électromagnétiques et leur environnement. Il est important de différencier le canal de propagation, qui représente

les transformations des ondes électromagnétiques lors de leur propagation, et le canal de transmission, qui inclut également le diagramme de rayonnement des antennes utilisées (Fig. I-11). Bien que certains auteurs assimilent parfois le canal de transmission au canal de propagation, cette distinction est cruciale lors de l'analyse de canaux à entrées et sorties multiples, ou MIMO (Multiple Input Multiple Output) [10].

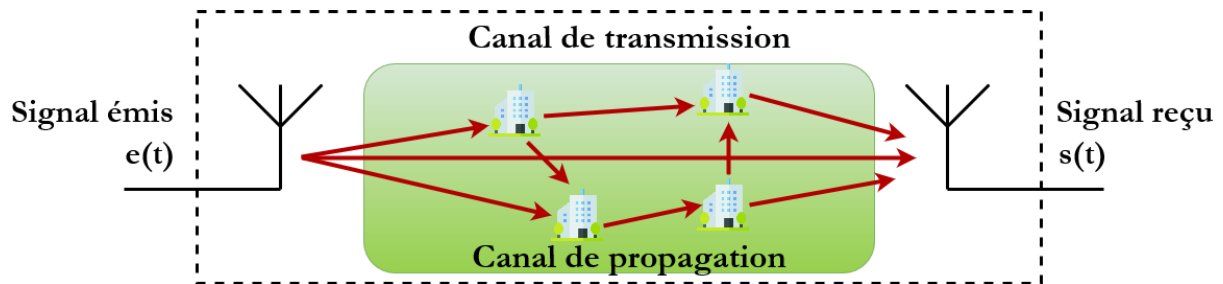


Figure I-11 : Parcours multi-trajet d'une onde dans l'air [10]

En situation réelle, la transmission d'un signal se produit habituellement en utilisant non seulement un trajet direct, mais également plusieurs autres chemins de propagation possibles (Fig. I-11). Ces chemins peuvent être variables en nombre et subissent divers effets en fonction de l'interaction entre l'onde et les éléments de l'environnement. Le signal capté par l'antenne réceptrice est une combinaison de ces ondes qui ont subi une atténuation et une rotation de phase différentes, et qui arrivent au récepteur avec un certain délai dû à la longueur du trajet de propagation. La présence de multiples chemins de propagation peut entraîner une distorsion importante du signal reçu.

On appelle dispersion temporelle la différence de temps entre le trajet le plus long et le trajet le plus court. Elle est notée T_d . On note T_s le temps symbole. Lorsque T_s est inférieur à T_d , plusieurs symboles vont arriver en même temps au niveau du récepteur, ce qui crée des interférences entre symboles (ISI). Le symbole précédent agit alors comme du bruit pour le symbole suivant, ce qui rend la communication moins fiable. Lors d'une communication mobile où l'utilisateur est en mouvement, le canal de propagation est amené à changer en fonction du temps, ce qui peut impliquer une mauvaise qualité de la communication. L'utilisation de fréquences millimétriques accentue ce phénomène. La 5G doit alors permettre d'assurer la robustesse des communications. Pour contrer ces problèmes d'ISI et de changement de canal, plusieurs solutions sont utilisées comme l'algorithme de Viterbi, l'OFDM ou l'OFDMA. On se concentre ici sur l'OFDM utilisé dans la 5G.

1.2.4 – L'Orthogonal Frequency-Division Multiplexing (OFDM)

L'OFDM (Multiplexage par répartition orthogonale de fréquences) est une méthode de codage de signaux numériques qui utilise des sous-porteuses orthogonales multiples. Ce processus permet de contrer les effets de canaux sélectifs en fréquence en facilitant une égalisation simple. La 5G utilise des modulations basées sur une technique multiporteuse [11] de type OFDM pour améliorer les débits de transmission. Les modulations OFDM transposent les données dans le domaine fréquentiel sur plusieurs fréquences sous-porteuses, ce qui équivaut à superposer plusieurs signaux sinusoïdaux de fréquences différentes dans le domaine temporel. Contrairement aux modulations classiques avec une seule fréquence porteuse, ce type de modulation entraîne une grande dynamique en amplitude pour le signal à amplifier et à

transmettre. Cette grande dynamique du signal d'entrée impose des contraintes sévères sur la linéarité du PA, qui est définie par des paramètres tels que le PAPR (Peak to Average Power Ratio), l'OBO (Output Back-Off), l'EVM (Error Vector Magnitude) et l'ACLR (Adjacent Channel Leakage Ratio). Un signal OFDM s'exprime de la manière suivante :

$$s(t) = \sum_{k=0}^{N-1} S_k p_k(t) = \sum_{k=0}^{N-1} S_k e^{j2\pi k \frac{kt}{T}}, 0 \leq t \leq T \quad [I - 5]$$

Avec :

- $s(t)$ le signal OFDM sur une durée T
- $p_k(t)$ la $k^{\text{ème}}$ sous-porteuse
- S_k le $k^{\text{ème}}$ symbole transmis
- N le nombre de sous-porteuses

Le signal a un débit symbole de $D_s = \frac{N}{T}$, ce qui est la somme des débits des signaux individuels sur chaque sous-porteuse k . Au lieu de transmettre N symboles consécutifs pendant une durée de T avec un temps symbole de $\frac{T}{N}$, les N symboles sont transmis simultanément pendant une durée T . Pour pouvoir les récupérer lors de la réception, il est crucial que les signaux soient orthogonaux les uns aux autres. Cette propriété peut être exprimée de la manière suivante :

$$\langle p_{k_1}(t), p_{k_2}(t) \rangle = \frac{1}{T} \int_0^T p_{k_1}(t) p_{k_2}(t) dt = \frac{1}{T} \int_0^T e^{j2\pi(k_1 - k_2) \frac{t}{T}} dt = \delta_{k_1 k_2} \quad [I - 6]$$

Avec :

- $\delta_{k_1 k_2} = \begin{cases} 1 & \text{si } k_1 = k_2 \\ 0 & \text{si } k_1 \neq k_2 \end{cases}$ le symbole de Kronecker

Afin de récupérer les symboles sur chaque sous-porteuse, il est nécessaire de prendre le produit scalaire entre le signal reçu et chaque sous-porteuse, ce qui correspond à une transformée de Fourier discrète. Pour cela, des blocs d'IFFT sont utilisés en émission et des blocs de FFT en réception.

L'orthogonalité des signaux en OFDM permet d'effectuer une estimation et une égalisation du canal pour chaque sous-porteuse indépendamment des autres, ce qui facilite les calculs. De plus, étant donné que l'atténuation est considérée comme plate pour chaque sous-porteuse, cela facilite encore plus l'égalisation, ce qui est particulièrement avantageux dans le contexte du massive-MIMO qui est essentiel pour la 5G-mmW.

Cependant, puisque les signaux sont indépendants, il peut y avoir des pics d'amplitude importants lorsque tous les signaux sont additionnés de manière constructive, ce qui entraîne une forte PAPR, c'est-à-dire une puissance maximale élevée par rapport à la puissance moyenne du signal. Une forte PAPR peut engendrer des contraintes de linéarité importantes sur la chaîne RF, qui doit être capable de fournir à la fois la puissance moyenne et la puissance maximale.

L'OFDM est utilisé dans de nombreux systèmes sans fil à haut débit de données en raison des nombreux avantages qu'il offre. L'un des avantages clés de l'OFDM est sa résilience aux interférences, car les interférences qui affectent un canal ont une bande passante limitée et n'affectent donc pas tous les sous-canaux. En outre, l'OFDM utilise efficacement le spectre disponible, ce qui constitue un avantage significatif en matière d'efficacité du spectre. L'OFDM est également très résistant à l'interférence inter-symbole et inter-trame, grâce au faible débit de données sur chacun des sous-canaux. Enfin, l'utilisation de plusieurs sous-canaux par l'OFDM permet une égalisation simple des canaux, contrairement à d'autres systèmes qui peuvent nécessiter une égalisation complexe.

L'OFDM présente l'avantage d'offrir une méthode pratique pour allouer les ressources entre différents utilisateurs. La station de base est en mesure de contrôler le nombre de sous-porteuses allouées à chaque utilisateur, leur positionnement dans le spectre et la durée d'attribution. Cette technique d'allocation de ressources est connue sous le nom d'OFDMA et est déjà utilisée dans le réseau LTE, ainsi que dans la 5G. En plus d'un accès multiple par l'OFDMA, permettant à la fois un accès fréquentiel et temporel, la technologie massive-MIMO permet un multiplexage spatial pour augmenter les degrés de liberté et, par conséquent, la capacité. L'exploitation de cette technologie est cruciale pour la 5G, en particulier aux fréquences millimétriques. Le *beamforming* utilise ce principe et fait l'objet de l'étude suivante.

Partie 2 – Le principe de *beamforming*

2.1 – Généralités

Le *beamforming* [12] est une technique qui permet d'améliorer la qualité du signal reçu en concentrant l'énergie du signal dans une direction spécifique. Cette méthode permet d'envoyer des signaux plus clairs et plus fiables, sans avoir besoin d'augmenter la puissance d'émission. En pratique, cela signifie que les transferts de données sont plus rapides et moins propices aux erreurs. Le *beamforming* est une technique très recherchée pour améliorer les communications sans fil, car elle permet de réduire les interférences subies par les autres signaux en diffusant le signal uniquement dans les directions nécessaires. En somme, le *beamforming* est considéré comme une solution idéale pour les réseaux sans fil.

Ce principe nécessite des systèmes associés adaptés. En effet, le signal doit pouvoir être déphasé en fonction de l'orientation souhaitée. Dans ces travaux, un système à 8 voies est prévu à long terme. Les 8 voies sont constituées des mêmes blocs à savoir une chaîne RF suivie d'un amplificateur de puissance dans le cas d'un *beamforming* numérique qui est le type de *beamforming* utilisé dans la 5G. Dans cette chaîne, trois circuits seront réalisés : un déphaseur, un VGA et un PA ainsi que l'assemblage des trois pour constituer un module RF à contrôle de phase, contrôle d'amplitude et amplification de puissance. Le système complet est représenté dans la Fig. I-12.

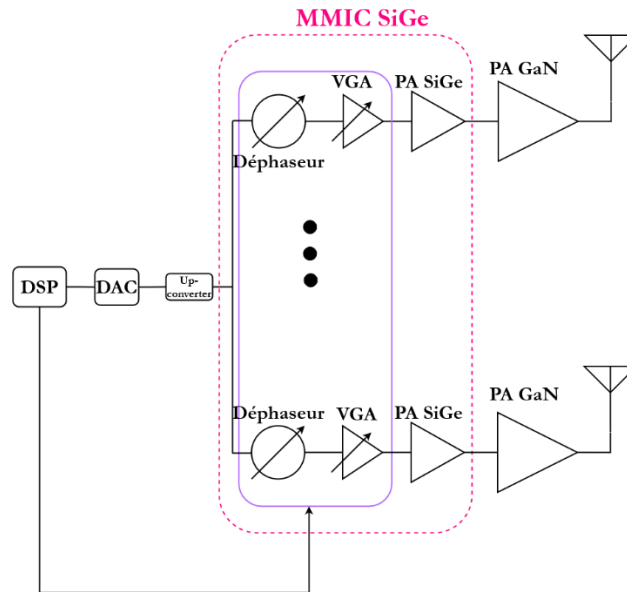


Figure I-12 : Schéma complet de la puce visée après ces travaux : chaînes d'émission comprenant une puce MMIC SiGe destinées au *beamforming*

La Fig. I-13 rappelle les différentes techniques d'envoi et réception de signaux. Dans les travaux présentés ici, la technique massive MIMO est utilisée et est détaillée ci-dessous.

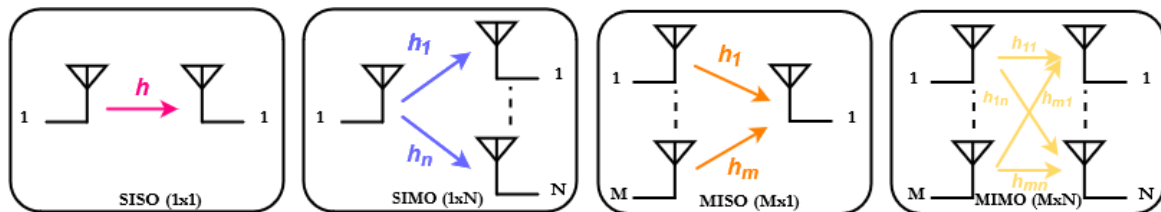


Figure I-13 : Différentes techniques d'envoi et réception de signaux

Systèmes MIMO et massive MIMO : La liaison MIMO peut être considérée comme la fusion d'une liaison SIMO et d'une liaison MISO (Annexe). Ainsi, lorsque le canal est connu, on peut bénéficier du gain de *beamforming* à la fois en émission et en réception, ce qui permet d'augmenter la puissance du signal. En utilisant un système comportant M antennes d'émission et N antennes de réception, on peut obtenir un gain de *beamforming* égal à MN , comme l'illustre la Fig. I-14.

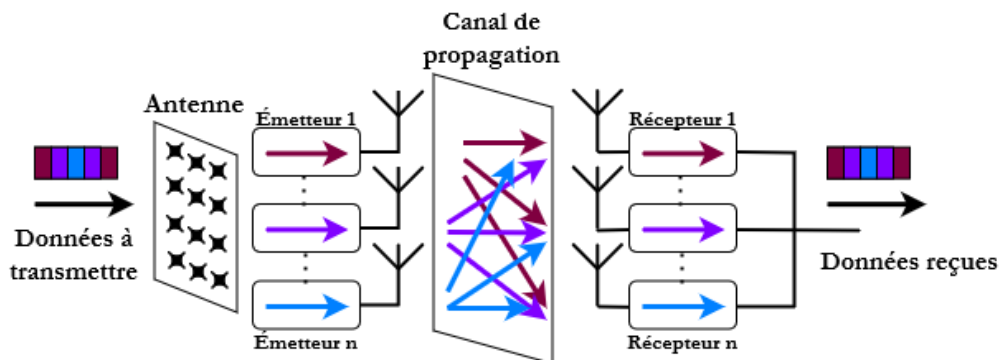


Figure I-14 : Fonctionnement de la technique MIMO utilisée dans le *beamforming*

Lorsque l'environnement de communication présente des multi-trajets, il est possible d'aller plus loin en envoyant simultanément deux symboles avec deux faisceaux ayant des angles différents. Dans ce cas, on ne se limite plus à un simple gain de puissance, mais on bénéficie plutôt d'un gain de multiplexage, qui équivaut à deux canaux indépendants. La capacité de cette liaison MIMO est alors la somme des capacités des deux sous-canaux. On modélise le canal d'une liaison MIMO avec la matrice $\mathbf{H}=(h_{ij}), 1 \leq i \leq M, 1 \leq j \leq N \in \mathbb{C}^{M \times N}$ avec h_{ij} correspondant au gain du canal entre l'antenne d'émission i et l'antenne de réception j . Le signal reçu peut alors être exprimé comme suit :

$$\mathbf{y}[m] = \mathbf{H}\mathbf{x}[m] + \mathbf{w}[m] \quad [I - 16]$$

Avec :

- $\mathbf{y} = (y_1, y_2, \dots, y_N) \in \mathbb{C}^N$ le vecteur représentant le signal reçu,
- $\mathbf{x} = (x_1, x_2, \dots, x_M) \in \mathbb{C}^M$ le vecteur représentant le signal envoyé,
- $\mathbf{w} = (w_1, w_2, \dots, w_N) \in \mathbb{C}^N$ avec $w_k \sim \mathcal{CN}(0, N_0)$ le bruit à la réception sur l'antenne k .

La capacité d'un système MIMO s'exprime ainsi :

$$C_{MIMO, \text{bps/Hz}} = \sum_{k=1}^n \log_2 \left(1 + \frac{\lambda_k^2 P_k}{BN_0} \right) \quad [I - 17]$$

Avec :

- P_k la puissance du signal sur le sous-canal k vérifiant $\sum_{k=1}^n P_k = P$
- λ_k les coefficients de la matrice de changement d'échelle

En ajustant de manière astucieuse la puissance en fonction de l'atténuation des sous-canaux, on peut obtenir une capacité supérieure à celle obtenue par simple gain de puissance (*beamforming*), en particulier à haut rapport signal sur bruit (SNR). Pour maximiser le débit entre la station de base et l'utilisateur, on envoie davantage de puissance dans la direction où le signal subit la moindre atténuation. Il est important d'avoir l'information sur le canal à l'émission afin de répartir la puissance de manière efficace en fonction de la direction. Cette répartition est réalisable dans une communication TDD qui est la solution choisie pour la 5G. Dans cette configuration, le récepteur peut envoyer les informations sur le canal en supposant que celui-ci ne varie que peu entre le moment de la liaison descendante (downlink) et montante (uplink). Toutefois, si cette condition n'est pas remplie, une information partielle telle que le SINR peut déjà permettre une amélioration significative. Lorsqu'il s'agit de communiquer entre une station de base et un seul utilisateur, il est possible d'utiliser les degrés de liberté spatiaux pour améliorer le débit de données à un rapport signal sur bruit élevé. Cependant, en élargissant cette technique à un environnement avec plusieurs utilisateurs, il est possible d'améliorer l'efficacité spectrale du réseau en utilisant ces degrés de liberté spatiaux pour allouer la même ressource temps-fréquence à différents utilisateurs qui sont spatialement séparés. Cette technique est appelée massive-MIMO [12]. La Fig. I-15 montre un exemple de communication massive-MIMO avec M antennes d'émission et K utilisateurs avec N antennes de réception. Dans ce cas, il s'agit d'une communication MIMO entre une station de base avec M antennes et un utilisateur avec $K \cdot N$ antennes. Pour qu'il y ait au moins un degré de liberté par utilisateur, le nombre d'utilisateurs K doit être inférieur au nombre d'antennes d'émission M .

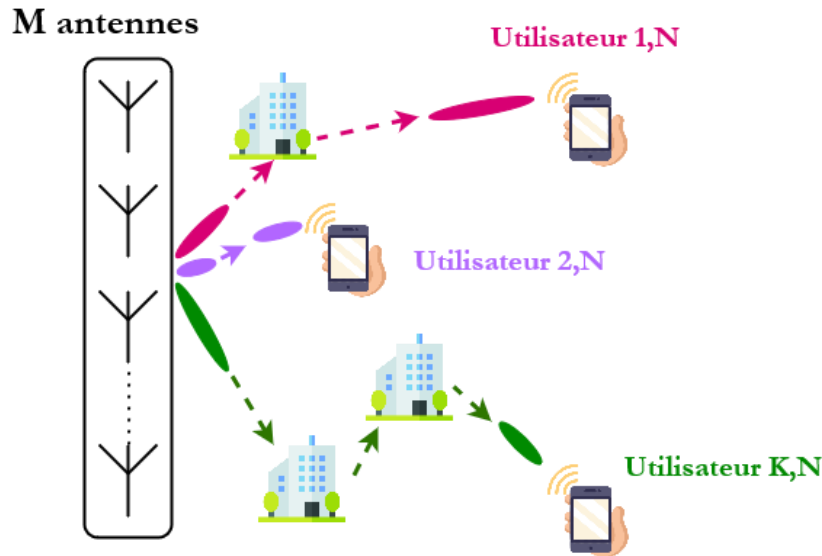


Figure I-15 : Illustration des communications 5G

La capacité totale de cette liaison est alors déterminée en utilisant l'équation (I-18) avec $n = \min(M,KN)$, qui tient compte de la contribution des interférences I entre les différents utilisateurs, en plus du bruit. Elle s'exprime comme suit :

$$C_{massiveMIMO,bps/Hz} = \sum_{k=1}^n \log_2 \left(1 + \frac{\lambda_k^2 P_k}{B(N_0 + I)} \right) \quad [I - 18]$$

Avec :

- I la puissance des interférences,
- P_k la puissance du signal sur le sous-canal k vérifiant $\sum_{k=1}^n P_k = P$,
- λ_k les coefficients de la matrice de changement d'échelle.

L'objectif pendant la communication est de maximiser le rapport signal sur interférence plus bruit (SINR) en réduisant ou éliminant les interférences entre les utilisateurs tout en augmentant le gain de puissance par utilisateur. La méthode de partage des ressources de puissance avec les degrés de liberté spatiaux, appelée SDMA (Spatial Division Multiple Access), n'est pas nécessairement optimale en fonction du niveau de rapport signal sur bruit (SNR) :

- À un SNR élevé, le gain de degrés de liberté est plus important que le gain de puissance pour optimiser la capacité.
- À un SNR faible, le gain de puissance est plus important que le gain de degrés de liberté pour optimiser la capacité.

La capacité à s'adapter à différentes situations d'utilisation est due au fait que chaque antenne peut être contrôlée de manière indépendante des autres. Néanmoins, afin de réduire la complexité du système, diverses architectures radio ont été élaborées pour permettre la fonction de formation de faisceaux avec des niveaux de performance variables. C'est au *beamforming* (Fig. I-16) numérique, utilisé dans la 5G, que l'on s'intéresse ici.

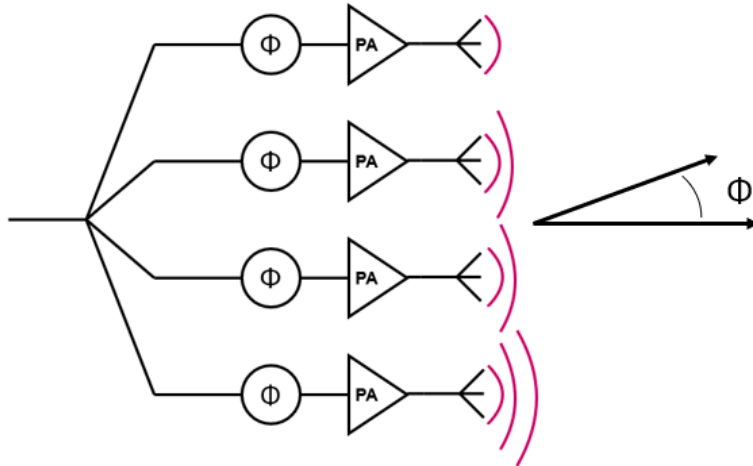


Figure I-16 : Illustration d'un système de beamforming

La 5G propose plusieurs nouveautés, dont l'utilisation du massive-MIMO qui permet une meilleure couverture des zones très fréquentées telles que les stades, les centres commerciaux et les aéroports. Le massive-MIMO améliore la fiabilité de la communication, réduit la latence et augmente les débits.

2.2 – Application aux stations de base

Un réseau cellulaire se compose d'un réseau d'accès et d'un réseau cœur. Le réseau d'accès comprend des stations de base qui servent les utilisateurs dans une zone géographique limitée. Chaque station de base comprend des capacités de traitement du signal, de transmission de données vers le réseau cœur et une ou plusieurs antennes. Bien qu'on utilise souvent le terme d'antenne-relais pour désigner une station de base, ce terme peut prêter à confusion car une station de base est constituée de plusieurs éléments.

Les premières implémentations de la 5G utilisent un réseau cœur 4G, c'est-à-dire que les stations de base 5G sont connectées au réseau filaire de la génération précédente. Cette approche est appelée la version Non Stand Alone (NSA), car la 5G ne peut pas fonctionner sans la 4G. Une fois que le réseau cœur 5G est déployé, on parle de version Stand Alone (SA). Les performances cibles de la 5G ne peuvent être atteintes qu'avec la version SA.

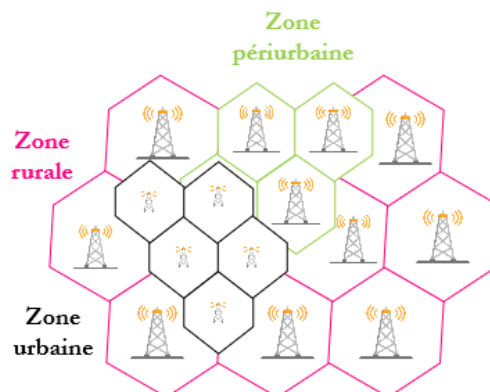


Figure I-17 : Cellules 5G plus ou moins étendues en fonction de la situation (ville ou campagne)

Le territoire est divisé en "cellules" (Fig. I-17), chacune étant desservie par une station de base. Ces cellules forment ensemble un réseau unique qui ne peut être distingué par les utilisateurs fixes ou mobiles du réseau. Les mêmes canaux de fréquence sont réutilisés dans plusieurs cellules en fonction de la capacité du système à résister aux interférences. En zone rurale où la densité d'utilisateurs est faible, les stations de base sont déployées pour assurer une couverture. Dans l'idéal, un terminal doit être à portée d'une station de base et capable de la rejoindre de n'importe quel point du territoire. En zone urbaine où la densité d'utilisateurs est élevée, les stations de base sont déployées pour répondre à la demande de trafic. La densité des stations de base est déterminée par la charge à supporter [13].

On peut distinguer deux types de faisceaux (Fig. I-18) [2]:

- Les faisceaux de signalisation, également appelés broadcast beams ou SSB, qui permettent de repérer les utilisateurs se trouvant dans la zone de couverture de l'antenne. Cette signalisation peut être diffusée soit par un faisceau unique couvrant toute la zone, soit par des faisceaux plus fins balayant successivement les différentes zones (technique de balayage de faisceau ou *beam scanning*).
- Les faisceaux de trafic ou *traffic beams*, qui sont utilisés pour servir les utilisateurs identifiés par les faisceaux de signalisation. Ces faisceaux de trafic peuvent être plus fins si nécessaire.

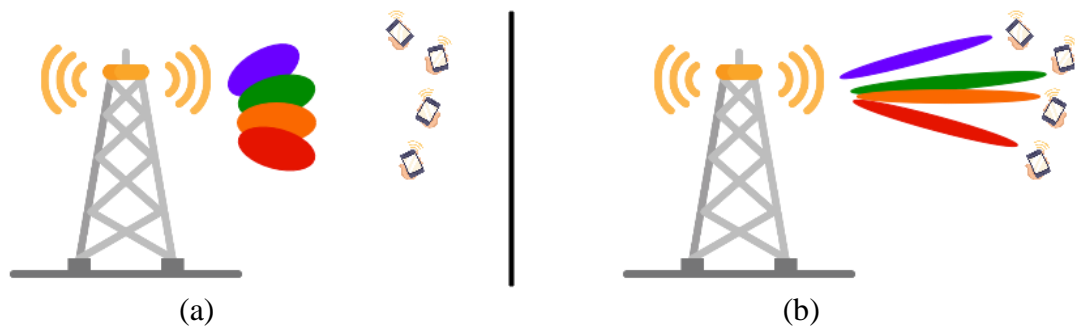


Figure I-18 : Illustration du (a) balayage de faisceau et des (b) faisceaux de trafic à la demande des utilisateurs

Dans ces travaux, les stations de base sont la principale application visée bien que, on le verra, ils pourront être utilisés dans de multiples circonstances. Dans le cadre de la thèse, toutes les performances du circuit sont donc optimisées au maximum dans la mesure où le cahier des charges est respecté. Ce projet consiste à concevoir et fabriquer un déphaseur, un VGA et un PA en technologie SiGe et de co-concevoir le tout avec un HPA GaN de l'entreprise UMS. Il s'agit d'une collaboration dans le cadre du projet SMART3. Ce projet a pour but d'intégrer différentes technologies de semiconducteurs au sein d'une même puce. L'objectif est ici de remplacer des puces AsGa par des puces SiGe qui incluent les trois fonctions citées.

2.3 – Etat de l'art des beamformers à 27GHz

Dans cet état de l'art, c'est la partie émetteur des beamformers qui est intéressante pour ces travaux, et plus particulièrement les circuits déphaseur, VGA et PA. Toutes les références présentent des circuits autour de 27 GHz pour du *beamforming* 5G afin de pouvoir faire un parallèle avec le module RF conçu au cours de la thèse.

Un circuit intégré émetteur-récepteur à réseau phasé de 32 éléments à 28 GHz pour les communications 5G [14]

La Fig. I-19 présente une architecture de beamformer complet à 28 GHz composé de 32 voix TX et 32 voix RX avec un système d’antennes en réseaux. Ce circuit a été fabriqué en technologie 130 nm SiGe. Les trois circuits concernés par la thèse sont inclus dans ce système global.

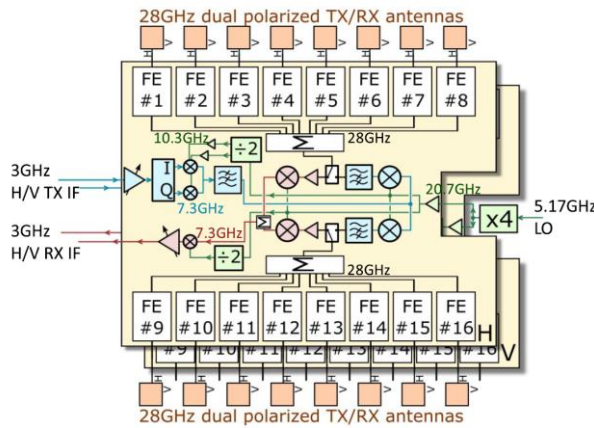


Figure I-19 : Schéma du système complet de beamforming

Pour satisfaire les contraintes du déphaseur, des lignes en T composées de capacités et inductances sont utilisées. Ces dernières sont dimensionnées telles que le rapport des deux soit toujours le même afin d’assurer une impédance caractéristique constante quel que soit le code binaire. Plusieurs cellules unitaires sont cascadées et sont activées ou non afin de contrôler la phase. En effet, en fonction des valeurs de la capacité et de l’inductance, le retard de la ligne sera impacté. Cette architecture est plus modulable que l’architecture RTPS qui est limitée par le ratio $\frac{C_{max}}{C_{min}}$ des varactors limitant ainsi la dynamique de phase. En fonction de la phase souhaitée, le nombre de cellules de lignes en T peut être ajusté, ce qui rend le déphaseur plus précis. Le VGA (Fig. I-20) n’utilise que des transistors bipolaires. Il est composé d’un étage d’amplification contrôlé par les bits et d’un étage d’inversion de phase. Ce dernier est constitué d’une double paire différentielle permettant de réaliser une inversion de phase c’est-à-dire une rotation de 180° .

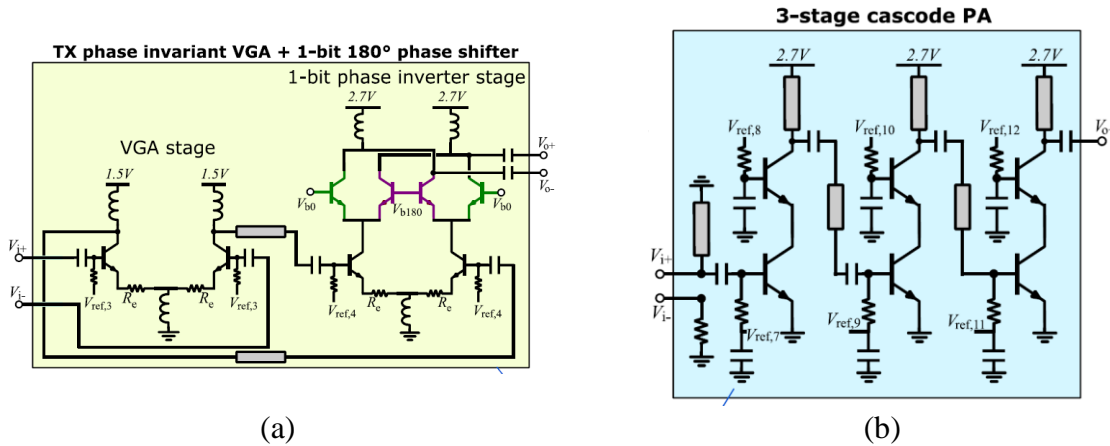


Figure I-20 : Schématic du VGA (a) et du PA (b)

A l'inverse du déphaseur, le VGA doit pouvoir contrôler le gain tout en maintenant la phase constante. Pour cela, une résistance de dégénérescence sur l'émetteur est ajoutée. Etant indépendante de la fréquence, de la tension d'alimentation de l'amplificateur ainsi que de la température, la propriété d'invariance de phase est robuste et maintenue partout sur le réseau phasé. Un convertisseur numérique-analogique de courant à 5 bits est utilisé pour réaliser le contrôle de gain invariant en phase. Cela permet de réduire l'amplitude du faisceau tout en gardant la même forme et la même direction. Le PA est constitué de trois étages cascode (Fig. I-20). Les transistors et les éléments passifs sont dimensionnés de manière à fournir un point de compression maximal de 1 dB à la sortie pour le niveau de courant le plus bas possible. Cela permet à l'amplificateur de puissance de maintenir la linéarité tout en obtenant un gain de petit signal allant jusqu'à 40 dB sur les trois étages. Pour minimiser le couplage indésirable entre les étages (assurant ainsi la stabilité même aux réglages de gain les plus élevés), la disposition de tous les transistors bipolaires dans le PA sont entourés de contacts de substrat afin de minimiser la rétroaction du substrat, et des condensateurs MOS à faible Q sont largement utilisés pour l'alimentation et le cascode.

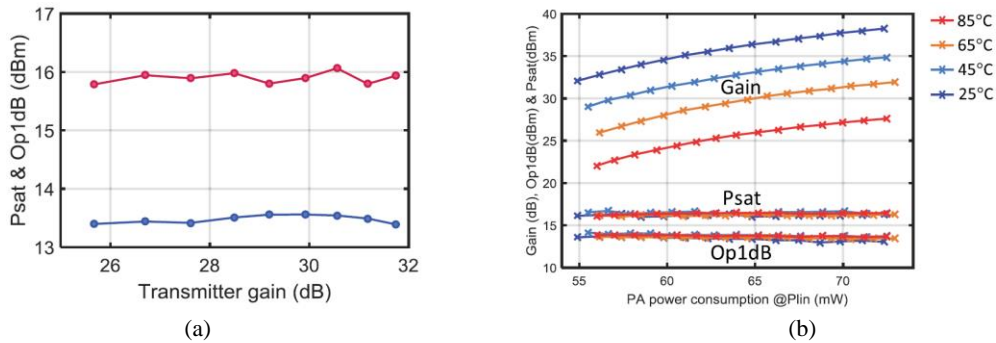


Figure I-21 : Simulations grand signaux : (a) P_{sat} et OP1dB en fonction du gain (dBm) (b) Gain (dB), OP1dB (dBm) et P_{sat} (dBm) en fonction de la consommation du PA en linéaire

La P_{sat} et l'OP1dB restent identiques quelles que soient la température et la consommation du PA.

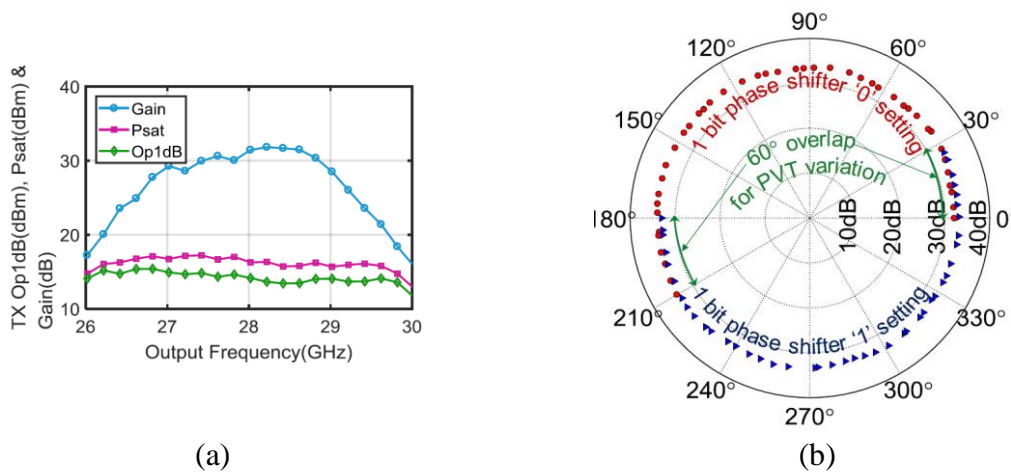


Figure I-22 : OP1dB (dBm), P_{sat} (dBm) et gain (dB) sur la bande de fréquence 26 - 30 GHz (a) et Abaque des phases balayées par le système de beamforming (b)

Ce beamformer complet apparaît comme un très bon candidat pour les applications 5G. La partie qui nous intéresse, à savoir l'ensemble déphaseur, VGA, PA présente de très bons

résultats en mesures, en particulier du point de vue des phases parcourues et des niveaux de gains. Ses avantages résident dans la réduction des pertes grâce à des techniques au niveau circuit, ainsi que l'amélioration de l'efficacité. Le TX est robuste aux variations de température et est stable. Les inconvénients sont les différentes performances atteintes. En effet, la PAE_{max} de 22%, la PAE à 8 dB de recul en puissance, la bande passante, la puissance à la saturation d'une ligne et son OCP1dB ainsi que la dynamique de gain et sa résolution sont loin des résultats attendus dans les travaux de cette thèse.

Un beamformer à double faisceau et double polarisation à 28 GHz démontrant un lien MIMO 2x2 de 64-QAM à 24 Gbps [15]

Le beamformer décrit dans [15] est composé d'un TX et d'un RX en technologie 180 nm SiGe BiCMOS. Le canal TX se compose d'un VGA à 4 bits, d'un déphaseur à 6 bits, suivi d'un autre étage VGA avec un contrôle de gain à 4 bits. S'en suit un PA polarisé en classe AB.

Les VGA utilisent une architecture similaire à la référence [14] détaillée précédemment.

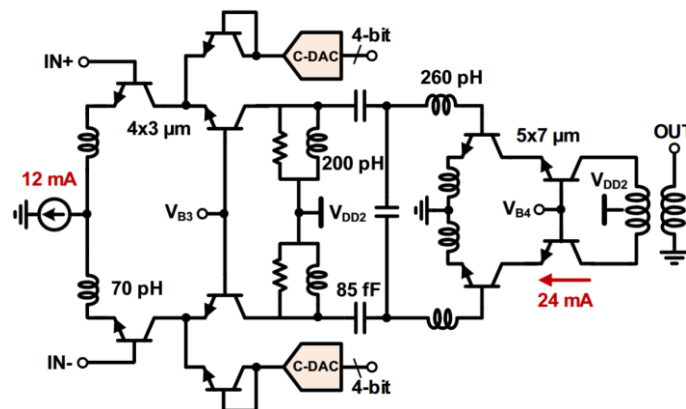


Figure I-23 : Schématisation du VGA suivi du PA

L'amplificateur de puissance est un cascode différentiel avec dégénérescence de l'émetteur pour améliorer la linéarité. Il est polarisé en classe AB avec un fort gain pour améliorer l'efficacité. Un balun est utilisé à la sortie du PA pour optimiser la PAE.

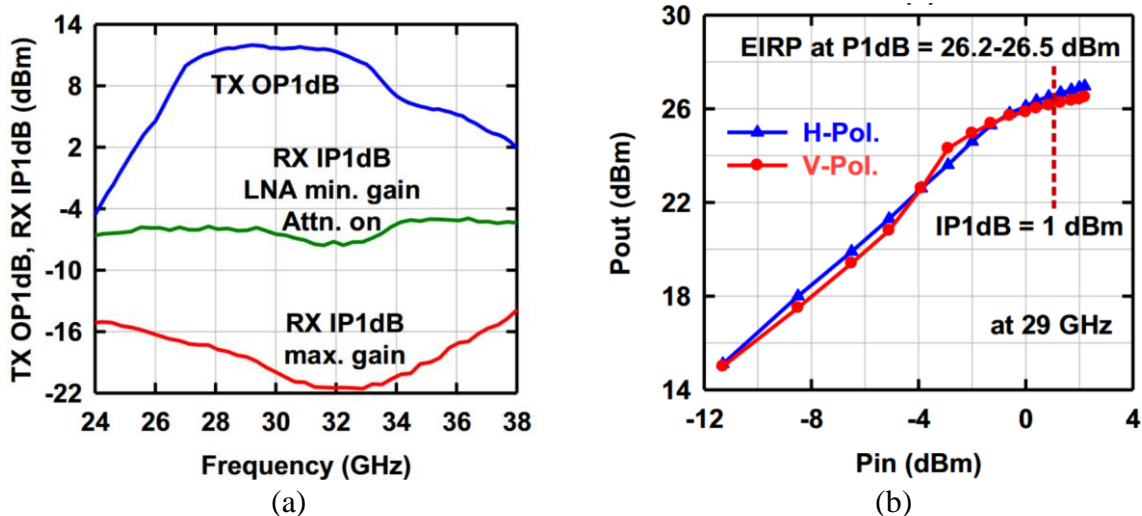


Figure I-24 : Simulations grands signaux : (a) OP1dB sur la bande 24 - 38 GHz (b) P_{out} (P_{in}) pour les deux polarisations

L'avantage de ces travaux réside dans la dynamique de gain couverte par le VGA qui est de 25 dB avec une résolution de 0,5 dB. En revanche, comme l'article présenté précédemment [14], les performances atteintes ne conviennent pas aux exigences de ce projet et méritent d'être améliorées. Cela concerne essentiellement la puissance de sortie et la PAE.

Un réseau émetteur à *beamforming* hybride à 28 GHz pour les MIMO 5G [16]

La Fig. I-25 présente un beamformer [16] à 28 GHz pour le MIMO 5G en technologie 45 nm CMOS SOI. Le VGA est composé comme les publications précédentes de doubles paires différentielles avec l'inversion de phase à l'aide de transistors MOS.

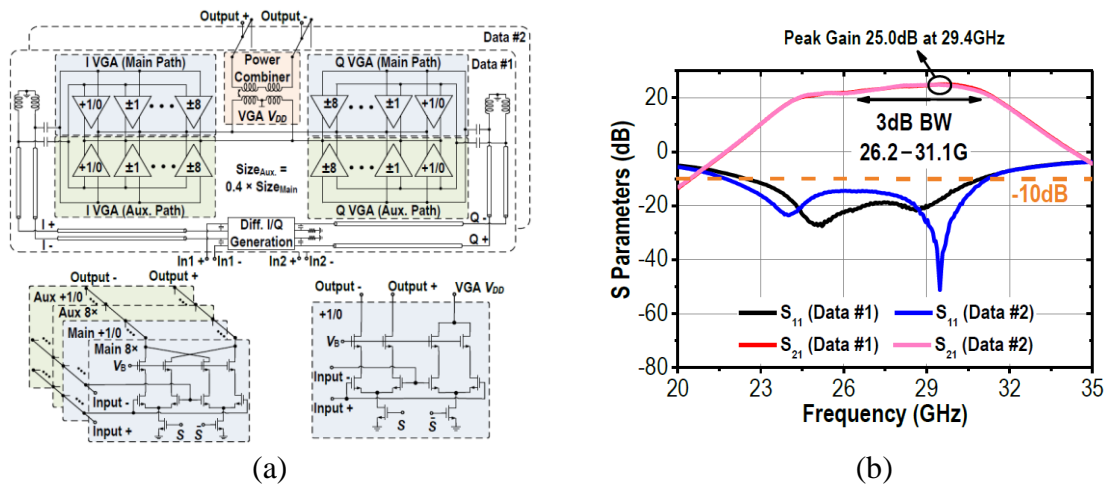


Figure I-25 : Schématique du VGA (a) et paramètres S sur la bande 20 – 35 GHz

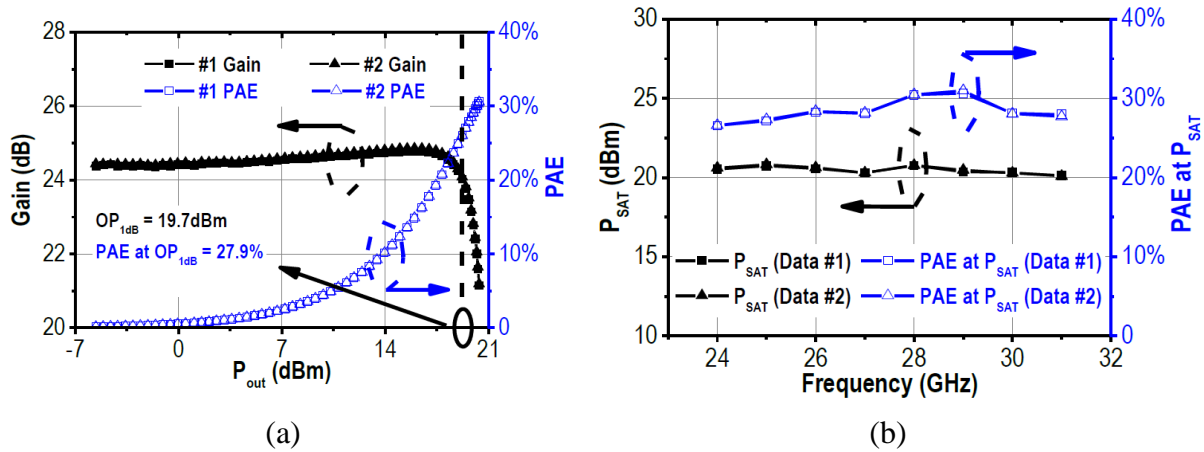


Figure I-26 : (a) Gain et PAE à 29 GHz et (b) Evolution sur la bande de 24 à 31 GHz la P_{SAT} (dBm) et la PAE (%) à P_{SAT} .

L'avantage de ces travaux concerne le niveau de PAE de l'ordre de 30% à P_{sat} ainsi que la bande passante de 5 GHz autour de 28 GHz. L'inconvénient réside dans la puissance de sortie limitée. Cela peut s'expliquer par la technologie qui est du CMOS SOI contrairement aux autres travaux qui sont en SiGe.

Cet état de l'art présente des réseaux phasés complets, souvent TRX, ce qui ne correspond pas exactement au circuit présenté dans ces travaux. En revanche, il a permis de constater l'importance d'un déphaseur, d'un amplificateur à gain variable et d'un amplificateur

de puissance dans les systèmes de *beamforming* largement utilisés aujourd’hui pour les communications 5G ainsi que les performances existantes. L’intérêt des travaux de cette thèse consistent à concevoir un module RF permettant d’atteindre des performances comparables à ces systèmes en matière de contrôle de phase et de gain en ajoutant la contrainte d’invariance d’impédance quel que soit le code binaire utilisé. Les performances en PAE et puissance sont également des points améliorables par rapport à ces différentes publications. Le cahier des charges du projet est présenté en Chapitre 2. Aucune information sur le phénomène d’avalanche n’est précisée dans ces travaux. C’est un point qui sera abordé dans le Chapitre 2 également.

Bilan de l’état de l’art des beamformers à 27 GHz

	[14]	[15]	[16]
Technologie	130 nm SiGe	SiGe BiCMOS	45 nm CMOS SOI
Fréquence (GHz)	27 - 29	28 - 32	26,2 – 31,1
Architecture de <i>beamforming</i>	Analog	-	Hybrid
PAE_{max} (%)	22* @28 GHz	23,6 @28 GHz	28* - 30,6
PAE @8dBBO	6* @28 GHz	NA	7* @29 GHz
P_{sat} (dBm)	16 - 17*	14,9	20 - 21*
OP1dB (dBm)	13,5 - 15*	11 - 12	18 - 20*
Contrôle de phase (°)	360	360	180*
Résolution de phase (°)	5 @28 GHz	NA	1
Erreur de phase RMS (°)	0,8 @28 GHz	<4	NA
Gain_{max} (dB)	29 - 32	20 @28 GHz	25 @29 GHz
Contrôle de gain (dB)	8 @28 GHz	25	25*
Résolution de gain (dB)	NA	0,5 dB*	NA
Erreur de gain (dB)	0,7 @28 GHz	0,6 (RMS)	NA
Consommation (W) @P_{sat}	NA	0,88	NA
Surface de la puce (mm²)	166 (128TRX)	23 (8TX)	7,5 (4TX)

*estimé graphiquement

Tableau I-3 : Bilan de l’état de l’art des beamformers à 27 GHz

Partie 3 – La place d’un déphaseur, un VGA et un PA dans le *beamforming* 5G

Le *beamforming* implique l’utilisation de réseaux d’antennes contrôlées par la phase et le gain [17], ainsi que d’un amplificateur de puissance pour la transmission ou d’un amplificateur à

faible bruit pour la réception, afin de contrôler précisément la direction et l'amplitude des faisceaux. Les déphaseurs placés sur chaque élément antennaire du réseau assurent la direction des faisceaux, avec une grande précision requise au niveau de la phase. Le VGA permet d'adapter le gain en fonction des besoins de l'utilisateur. L'amplificateur de puissance permet d'amplifier davantage le signal de manière la plus linéaire possible afin de satisfaire les contraintes de la 5G.

3.1 – Caractéristiques d'un déphaseur

Le déphaseur permet donc de contrôler le signal en phase dans un système *beamforming*. En ajustant la phase des signaux reçus ou émis par chaque antenne du réseau, il est possible de contrôler la direction du faisceau résultant, en effectuant des interférences constructives ou destructives. De ce fait, le déphaseur doit respecter quelques contraintes.

- Niveau de gain égal quel que soit l'état de phase
- Faibles pertes d'insertion et les plus égales possibles quel que soit l'état de phase
- Faible consommation DC
- Grande dynamique de phase : 360° dans ces travaux
- Grande résolution : $< 5,625^\circ$ dans ces travaux
- Grande bande passante : 24,25 - 30,5 GHz dans ces travaux

Les déphaseurs peuvent être de deux types : actifs ou passifs. Les déphaseurs actifs ont pour avantage d'avoir peu de pertes d'insertion et d'être compacts du point de vue silicium. En revanche, leur consommation DC est supérieure à celle des déphaseurs passifs et la linéarité est dégradée. Les déphaseurs passifs, eux, permettent de minimiser la consommation DC et améliorer la linéarité. En contrepartie, les circuits sont moins compacts et les pertes d'insertion plus importantes. Des solutions sont alors envisagées pour minimiser la taille du circuit et compenser les pertes.

3.2 – Caractéristiques d'un amplificateur à gain variable

Le VGA millimétrique est utilisé pour contrôler le niveau de gain dans une chaîne de transmission RF. Le contrôle du gain peut être effectué soit de manière analogique, soit de manière numérique. C'est un composant que l'on place avant le PA afin d'ajuster le niveau de gain en fonction de la cible à atteindre. Il permet également de réduire les lobes secondaires. Cela permet au système d'être précis et donc d'optimiser la consommation globale. Ce VGA doit répondre à quelques exigences :

- Etat de phase identique quel que soit le niveau de gain
- Linéarité : le VGA est un amplificateur, il faut veiller à ce qu'il n'injecte pas de non linéarités dans les composants qui le suivent
- Grande dynamique de gain : 16 dB dans ces travaux
- Grande résolution : 0,5 dB dans ces travaux
- Grande bande passante : 24,25 - 30,5 GHz dans ces travaux

Les cahiers des charges des différents circuits de ce projet, à savoir le déphaseur, le VGA et le PA, sont détaillés dans les Chapitres 2 et 3.

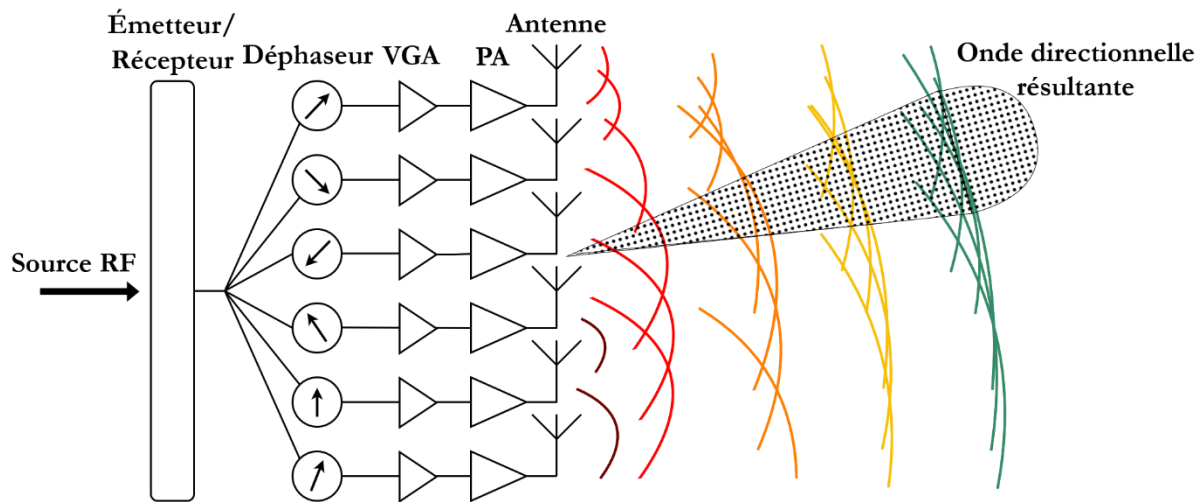


Figure I-27 : Schéma d'un système de *beamforming* à plusieurs voies

La Fig. I-27 présente un système de *beamforming* composé de six voies identiques en matière de composants. Chaque chaîne est constituée d'un déphaseur, un VGA suivis d'un PA pour précéder l'antenne d'émission. En fonction du déphasage appliqué par les déphaseurs qui peut être différent d'une voie à l'autre, le faisceau aura une certaine direction. En fonction du niveau de gain du VGA, le faisceau aura une certaine amplitude, le tout pour correspondre en matière d'angle et de distance à l'utilisateur qui reçoit la communication.

3.3 – Caractéristiques d'un amplificateur de puissance

Dans l'application 5G et plus particulièrement dans les systèmes de *beamforming*, les circuits des chaînes RF doivent être les plus linéaires possibles afin de satisfaire les contraintes fixées par les modulations OFDM. L'efficacité modélisée par la PAE est également un paramètre primordial dans ce genre d'application. La PAE_{max} est importante mais la PAE avec un certain recul en puissance l'est davantage puisque les circuits 5G fonctionnent très souvent à leur puissance moyenne et non plus leur puissance de saturation. La puissance de saturation est tout de même une des contraintes ainsi que le niveau de gain. L'utilisation des fréquences millimétriques implique une augmentation des bandes passantes. Cela représente une contrainte supplémentaire pour les circuits des chaînes de transmission RF. En outre, le PA doit fournir une puissance de sortie élevée à la saturation, une PAE élevée à la saturation et à puissance moyenne. Il doit assurer une bonne linéarité compte tenu des modulations utilisées. Enfin, le PA doit être stable et ne pas osciller quelles que soient la température et la fréquence sur la bande considérée.

3.3.1 – Linéarité et classes de fonctionnement

La linéarité d'un amplificateur se réfère à sa capacité à amplifier un signal sans altérer sa forme. Les distorsions engendrées par une amplification non linéaire ne se traduisent pas seulement par une perte d'informations, mais elles peuvent aussi produire des composantes

fréquentielles indésirables dans le spectre de transmission. Ces distorsions sont causées par la fonction de transfert intrinsèque du transistor utilisé dans l'amplificateur. Cette fonction peut être exprimée dans le temps comme suit [18] :

$$v_{out}(t) = a_1 v(t) + a_2 v_{in}^2(t) + a_3 v_{in}^3(t) + \dots + a_n v_{in}^n(t) \quad [I - 19]$$

En considérant un mode d'émission continu (CW : Continuous Wave) d'amplitude A [18] :

$$v_{in}(t) = A \cos(\omega t) \quad [I - 20]$$

En injectant l'une dans l'autre, on obtient [18] :

$$v_{out}(t) = \frac{1}{2} a_2 A^2 + \left(a_1 + \frac{3a_3 A^2}{4} \right) \cos(\omega t) + \frac{1}{2} a_2 A^2 \cos(2\omega t) + \frac{1}{4} a_3 A^3 \cos(3\omega t) + \dots [I - 21]$$

Nous pouvons en déduire que pour de faibles valeurs de A , le coefficient a_1 fixe le gain petit signal. Le gain reste constant. Le transistor opère dans une zone linéaire. Pour des valeurs de A plus importantes, nous pouvons observer une réduction du gain du transistor. Cette diminution de gain s'explique par le coefficient a_3 qui est négatif. Le transistor rentre alors dans la zone de compression puis de saturation.

Point de compression à 1dB

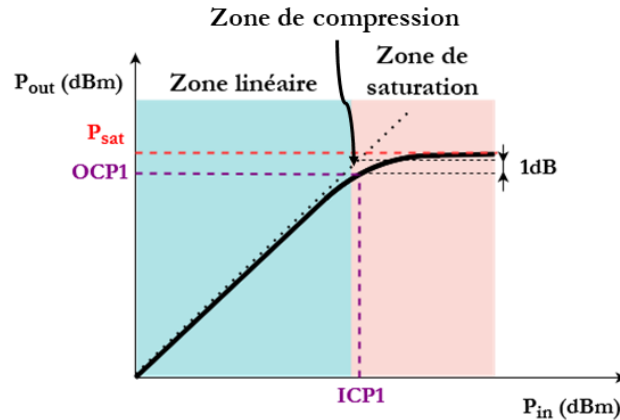


Figure I-28 : Courbe de la puissance de sortie (P_{out}) en fonction de la puissance d'entrée (P_{in})

La Fig. I-28 indique que le point de compression à 1 dB (P_{1dB}) marque la limite entre la zone linéaire et la zone de saturation. À ce point, le gain diminue d'1 dB par rapport au gain en petits signaux. Les valeurs de la puissance de sortie et d'entrée correspondant à ce point sont respectivement notées $OCP1dB$ et $ICP1dB$. Cette non-linéarité en amplitude est connue sous le nom de conversion de gain AM/AM. De plus, la variation de phase du signal de sortie peut révéler une autre forme de non-linéarité, à savoir la conversion gain-phase AM/PM. Cette dernière est due à la variation de la capacité base-émetteur en fonction de la puissance d'entrée, dans le cas d'un circuit utilisant des HBTs. La Fig. I-29 illustre ces non-linéarités AM/AM et AM/PM.

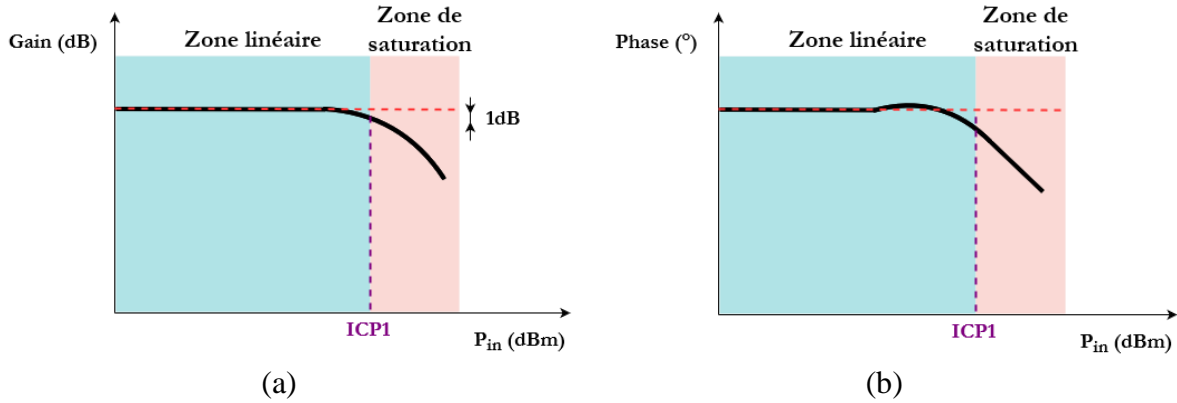


Figure I-29 : Distorsion (a) d'amplitude (AM-AM) et (b) de phase (AM-PM)

Point d'interception d'ordre 3

La linéarité peut donc être mesurée en regardant le point de compression à 1 dB et ce uniquement pour les signaux à une seule fréquence (monoton). Dans le cas d'une excitation avec plusieurs fréquences (multiton), d'autres paramètres peuvent être observés comme le point d'interception d'ordre 3 ou IP3. L'IP3 est un paramètre important pour mesurer la linéarité d'un amplificateur de puissance. Il représente la puissance d'entrée à laquelle les produits d'intermodulation de troisième ordre (IM3) générés par l'amplificateur ont la même amplitude que le signal d'entrée.

Un IP3 élevé est souhaitable car cela indique que l'amplificateur est capable de traiter des signaux à haute puissance tout en minimisant la distorsion. Cela est particulièrement important dans les applications de communication sans fil où une distorsion élevée peut entraîner des interférences et des perturbations du signal.

Pour mesurer ce paramètre, on injecte deux signaux v_1 et v_2 de même amplitude A et de pulsations ω_1 et ω_2 combinés sur l'amplificateur. ω_1 et ω_2 sont choisies telles que :

$$\begin{aligned} |\omega_1 - \omega_2| &\ll \omega_1 \text{ et} \\ |\omega_1 - \omega_2| &\ll \omega_2 \end{aligned} \quad [I - 22]$$

A l'aide d'un analyseur de spectre en sortie de l'amplificateur, on va pouvoir observer les produits d'intermodulation responsables de ces non-linéarités. Si on reprend les équations précédemment présentées avec un signal biton, on obtient :

$$v_{out}(t) = a_1(v_1(t) + v_2(t)) + a_2(v_1(t) + v_2(t))^2 + \dots + a_n(v_1(t) + v_2(t))^n \quad [I - 23]$$

Si les signaux v_1 et v_2 sont sinusoïdaux, on peut alors écrire :

$$v_{out}(t) = \sum_{n=1}^{\infty} a_n (A \cos(\omega_1 t) + A \cos(\omega_2 t))^n \quad [I - 24]$$

En développant cette équation jusqu'à l'ordre 3, on peut en déduire les pulsations des fondamentaux, des harmoniques 2 et 3 et des intermodulations d'ordre 3 ainsi que leur amplitude. Les fondamentaux sont caractérisés par les pulsations ω_1 et ω_2 . Les harmoniques

de second ordre sont caractérisés par les pulsations $2\omega_1$ et $2\omega_2$. Les harmoniques de rang 3 sont caractérisés par les pulsations $3\omega_1$ et $3\omega_2$. Les amplitudes associées sont $a_1A + \frac{9}{4}a_3A^3$, $\frac{1}{2}a_2A^2$ et $\frac{1}{3}a_3A^3$. Les produits d'intermodulation d'ordre 3 sont caractérisés par trois couples de pulsations qui sont $2\omega_1 + \omega_2$ et $2\omega_2 + \omega_1$, $2\omega_1 - \omega_2$ et $2\omega_2 - \omega_1$, $\omega_1 - \omega_2$ et $\omega_1 + \omega_2$. Les amplitudes associées sont $\frac{3}{4}a_3A^3$, $\frac{3}{4}a_3A^3$ et a_2A^2 .

Si l'on positionne l'ensemble de ces pulsations sur le spectre, on s'aperçoit que seules $2\omega_1 - \omega_2$ et $2\omega_2 - \omega_1$ vont être problématiques puisqu'elles sont susceptibles de perturber le signal utile.

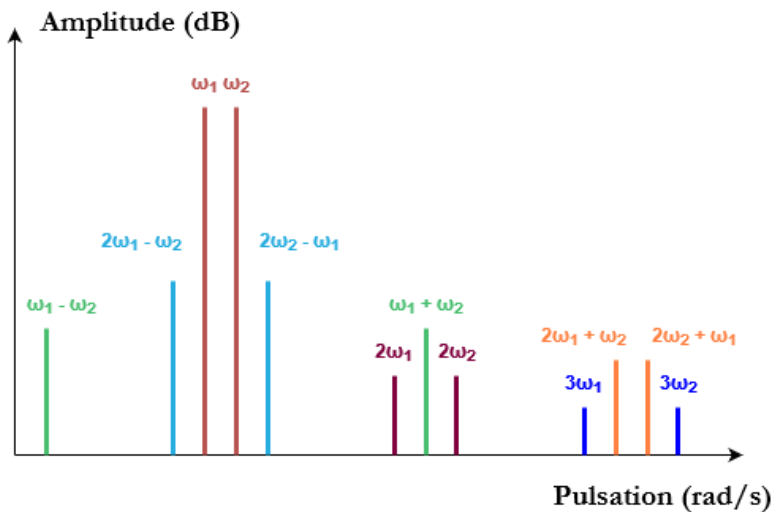


Figure I-30 : Raies d'amplitude générées en cas d'utilisation des signaux d'entrée de pulsation ω_1 et ω_2

Si l'on trace la puissance du fondamental et l'intermodulation d'ordre 3, on s'aperçoit que les deux droites se coupent en un point qui est l'IP3.

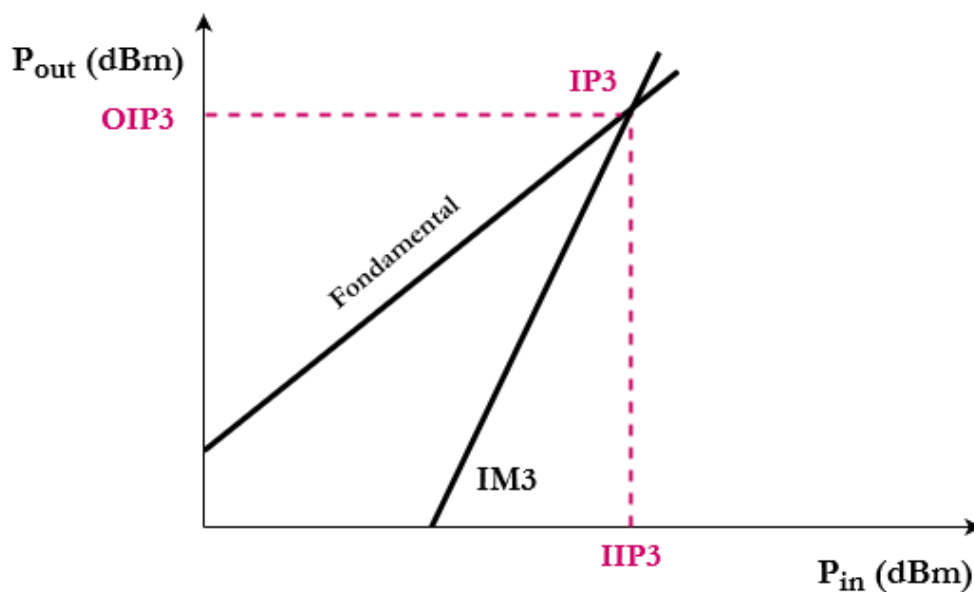


Figure I-31 : Illustration du produit d'intermodulation d'ordre 3

Classes de fonctionnement

Lors de la conception d'un amplificateur de puissance, on polarise les transistors de telle sorte à fixer la classe de fonctionnement [19][20]. Il existe différentes classes de fonctionnements : A, AB, B, C par exemple qui font partie des classes sinusoïdales. Dans ce cas, le transistor agit comme une source de courant. Il existe également les classes commutées (D, E). Dans ce cas, le transistor se comporte comme un interrupteur, ce qui permet d'obtenir des rendements meilleurs que les classes sinusoïdales. On peut trouver finalement les classes à optimisation d'harmoniques (J, F, F⁻¹). Dans ce cas, un travail sur les harmoniques est réalisé afin de mettre en forme le signal et d'optimiser le rendement global de l'amplificateur. Ces deux dernières catégories ne permettront pas d'obtenir un comportement linéaire large bande. On se concentre alors ici sur les classes sinusoïdales. Pour illustrer les classes sinusoïdales, on considère un transistor câblé en émetteur commun [21].

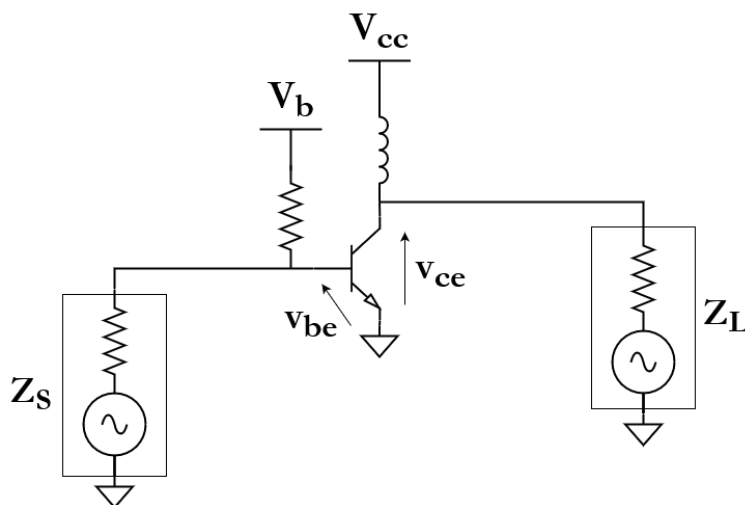


Figure I-32 : Schéma d'un transistor câblé en émetteur commun

En fonction de la polarisation V_b du transistor et donc de la classe de fonctionnement, la linéarité est différente.

Dans ces travaux, la 5G et le *beamforming* imposent au PA d'être le plus linéaire possible tout en assurant une bonne efficacité et une bonne efficacité avec un recul en puissance. L'évolution du courant de collecteur I_c en fonction de la tension V_{be} est présentée Fig. I-33.

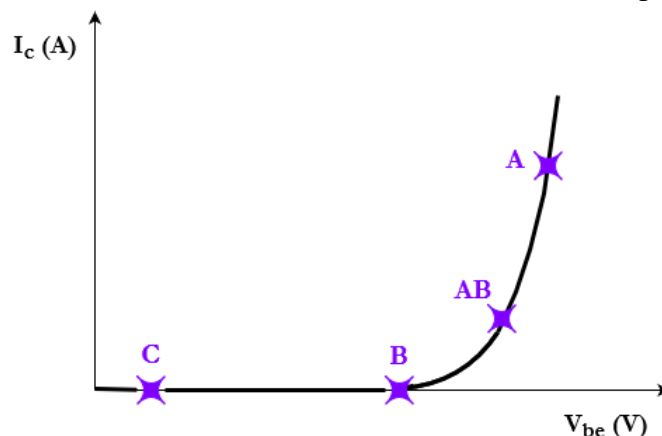


Figure I-33 : Evolution du courant de collecteur I_c en fonction de la tension base-émetteur (V_{be}) faisant apparaître les différentes classes de fonctionnement

- Un transistor polarisé en classe B présente une tension V_{be} équivalente à la tension de seuil de conduction du transistor lorsque le courant de repos est très faible. Le temps de conduction de ce transistor est limité à seulement 50%. Bien que cette configuration permette d'atteindre des niveaux de rendement théoriquement maximum de 78,5%, les niveaux de gain attendus sont généralement plus bas.
- La classe A est une configuration où le transistor est polarisé avec un courant au repos équivalent à la moitié de son courant maximal, avec une tension V_{be} supérieure à sa tension de seuil de conduction. Cette configuration présente l'avantage d'être très linéaire, car le temps de conduction est de 100%. Cependant, le niveau de rendement théorique maximum est limité à seulement 50%.

Plus on augmente la polarisation de la base du transistor, plus on entre dans les classes de fonctionnement linéaires. La classe la plus linéaire est la classe A. La classe AB située entre la classe A et la classe B constitue un bon compromis entre linéarité et efficacité. En effet, plus la classe de fonctionnement est linéaire, plus la consommation sera importante et l'efficacité diminuée. Or, les modulations 5G imposent des classes linéaires, c'est pourquoi l'efficacité des circuits sera un enjeu important dans ce domaine d'application. La classe de fonctionnement retenue pour le PA est la classe AB. C'est du point de vue de l'architecture du circuit que la linéarité et l'efficacité pourront être optimisés.

3.3.2 – Paramètres liés à la modulation

L'utilisation d'une modulation d'amplitude a également un impact sur les performances de l'amplificateur de puissance (PA). Trois critères sont utilisés pour mesurer l'influence de la modulation sur le PA :

- Le facteur de crête (PAPR) : il représente la différence entre la puissance de crête et la puissance moyenne d'un signal modulé. Un PAPR élevé peut poser des défis en matière d'amplification du signal et d'utilisation efficace de la puissance dans le système de communication.
- La réjection dans les canaux adjacents (ACLR ou ACPR) : elle mesure la capacité de l'amplificateur à minimiser les interférences générées dans les canaux de fréquences voisines. Une faible réjection peut entraîner des perturbations sur d'autres canaux de fréquences, ce qui peut nuire à la qualité du signal et à la performance globale du système.
- L'erreur vectorielle (EVM) : elle mesure la différence entre le signal modulé émis par l'amplificateur et le signal de référence idéal. Une faible EVM indique que l'amplificateur parvient à reproduire fidèlement le signal modulé, tandis qu'une EVM élevée peut entraîner des distorsions et une dégradation de la qualité du signal.

Ces trois critères sont importants pour évaluer l'efficacité et la performance d'un amplificateur de puissance utilisé avec une modulation d'amplitude, et ils peuvent être utilisés dans la conception et l'optimisation des systèmes de communication pour garantir une qualité de signal optimale.

PAPR

Le PAPR (Peak-to-Average Power Ratio) est un indicateur utilisé dans les systèmes de communication sans fil pour mesurer la variation de puissance d'un signal modulé [22]. Il représente la différence entre la puissance de crête (pic) et la puissance moyenne d'un signal.

Dans les systèmes de communication numériques, tels que le Wi-Fi, le LTE et la 5G, qui utilisent des signaux modulés tels que l'OFDM, la puissance instantanée du signal peut varier considérablement au fil du temps. Le PAPR est utilisé pour quantifier cette variation de puissance, exprimée en décibels (dB).

Le PAPR s'exprime ainsi en dB :

$$PAPR = 10 \log_{10} \left(\frac{P_{crête@0,01\%}(W)}{P_{moyenne}(W)} \right) \quad [I - 25]$$

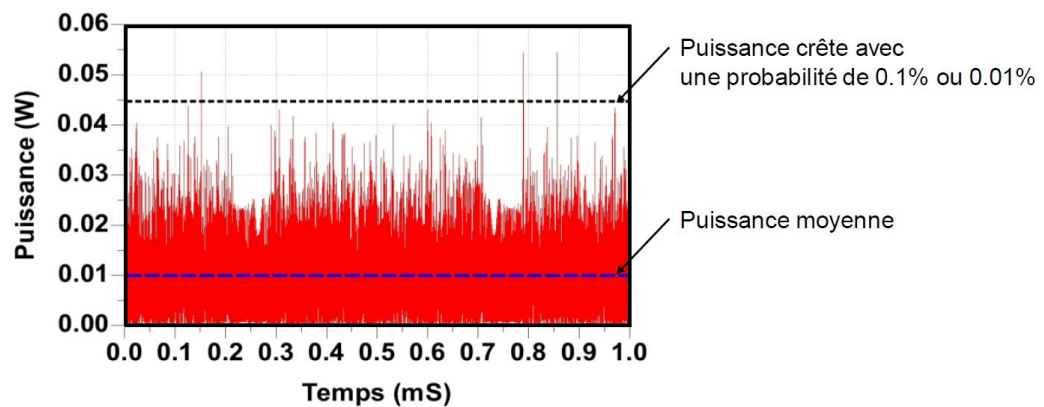


Figure I-34 : Illustration du PAPR [23]

Pour définir la notion de PAPR, il paraît intéressant d'utiliser la fonction de probabilité de densité (PDF - Probability Density Function). La PDF d'un signal illustre la distribution de l'amplitude du signal entre ses valeurs maximale et minimale. Le graphe Fig. I-35 présente donc cette grandeur en % en fonction du recul en puissance (BO en anglais pour back-off) par rapport à la puissance maximale atteinte par l'amplificateur pour les modulations 3G, 3G+, 4G et 5G. Jusqu'aux modulations 3G, 3G+, la contrainte en PAPR est assez limitée. Les valeurs du signal sont concentrées autour d'un faible recul en puissance. Dans les modulations 4G, le BO est plus important et les valeurs sont rassemblées sur une petite dynamique. Les signaux 5G, eux, sont caractérisés par un fort PAPR de l'ordre de 8 dB mais la répartition des amplitudes du signal est plus étalée autour du BO (Fig. I-35), ce qui permet d'avoir une plus grande marge lors du dimensionnement des amplificateurs de puissance. Un compromis existe entre la linéarité et l'efficacité d'un amplificateur de puissance. En effet, la linéarité diminue lorsque la puissance de sortie de l'amplificateur se rapproche de la puissance de saturation. A l'inverse, l'efficacité du PA augmente près de la saturation. Dans le cas des communications haut débit avec des signaux à fort pic de puissance (PAPR) comme la 5G, l'efficacité moyenne du PA sera réduite par rapport à son efficacité maximale. Cela est dû au fait que le PA est dimensionné pour fournir la puissance maximale ($P_{max} = P_{moyenne} + PAPR$) alors qu'en réalité, il fonctionnera la plupart du temps autour de la puissance moyenne ($P_{moyenne}$).

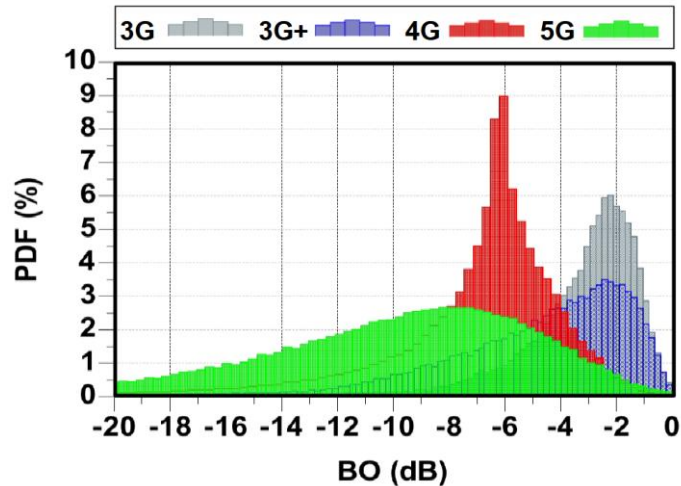


Figure I-35 : Recul en puissance requis en fonction de la génération de communications [23]

Un PAPR élevé indique que le signal a des niveaux de puissance de crête nettement plus élevés que sa puissance moyenne, ce qui peut poser des défis en matière d'amplification du signal et d'utilisation efficace de la puissance dans le système de communication, ce qui est le cas dans ces travaux. En revanche, un PAPR faible indique que le signal a une dynamique de puissance plus réduite, ce qui peut simplifier la conception de l'amplification et réduire le risque de distorsion du signal.

La gestion du PAPR est un aspect important dans la conception et l'optimisation des systèmes de communication sans fil, car elle peut avoir un impact sur l'efficacité spectrale, la consommation d'énergie, la linéarité de l'amplification et d'autres performances du système. Différentes techniques, telles que la modulation, la sélection de sous-porteuses ou la limitation de crête, peuvent être utilisées pour réduire le PAPR et améliorer la performance globale du système. Dans ces travaux, une PAE élevée avec 8 dB de recul en puissance est requise. Le PA doit donc être conçu en optimisant la PAE à la saturation ainsi qu'à 8 dB de recul en puissance.

ACLR

La présence de non-linéarités dans l'étage d'amplification de puissance peut altérer le spectre du signal amplifié, ce qui peut entraîner l'apparition de plusieurs phénomènes indésirables, tels que des harmoniques à des multiples de la fréquence de travail, ainsi que de la distorsion d'intermodulation (IMD). Les produits d'intermodulation d'ordre 3 d'un signal modulé dans un canal, dont la largeur est Δf , ont un impact direct sur les canaux adjacents avec la même largeur de bande. Les niveaux de puissance émis dans ces canaux adjacents sont évalués à l'aide de l'ACLR, qui est défini dans les normes de communication. Ainsi, le spectre d'émission d'un système de communication doit respecter un gabarit spectral spécifié par la norme. La linéarité du PA devient un enjeu crucial, car il fonctionne souvent près de sa saturation pour des raisons d'efficacité, ce qui rend ces problèmes liés à la linéarité encore plus contraignants.

L'ACPR ou ACLR correspond donc au rapport entre la puissance totale du canal adjacent (signal d'intermodulation) et la puissance du canal principal (signal utile) [24]. L'ACPR doit être aussi faible que possible. Un ACPR élevé indique qu'un étalement spectral important s'est produit. On peut exprimer cette grandeur ainsi :

$$ACPR = 10 \log_{10} \left(\frac{P_{\text{sortie}}}{P_{\text{canal adjacent}}} \right) \quad [I - 26]$$

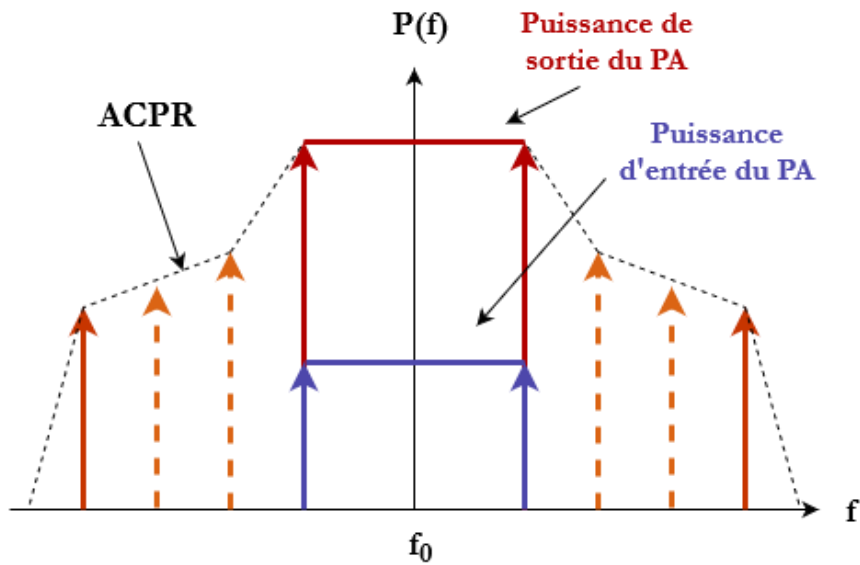


Figure I-36 : Illustration des remontées dans les canaux adjacents (ACPR)

EVM

La notion d'EVM développée dans le paragraphe 1.2 permet de calculer l'erreur entre le symbole émis et le symbole reçu.

3.3.3 – Le rendement et la PAE

Afin de définir le rendement, on utilise les notations présentées dans la figure suivante :

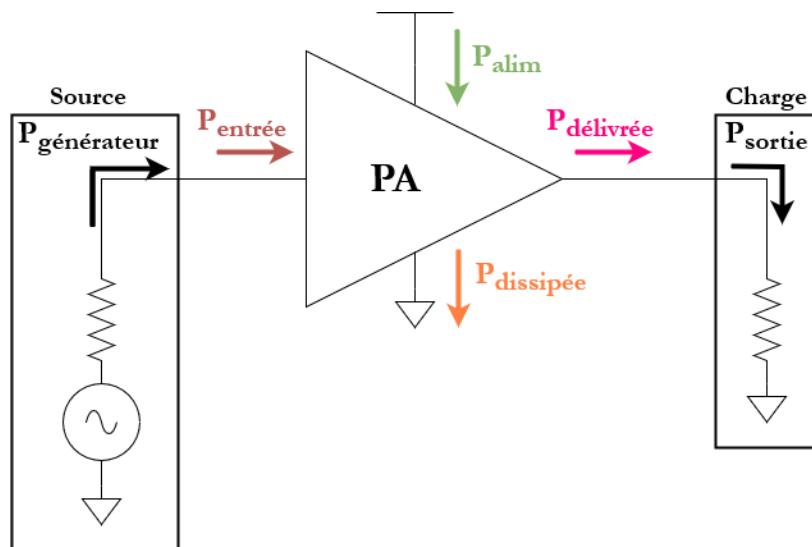


Figure I-37 : Synoptique d'un PA avec les différentes puissances générées

Avec :

- $P_{\text{générateur}}$ la puissance disponible en sortie de la source

- $P_{entrée}$ la puissance en entrée de l'amplificateur
- P_{alim} la puissance d'alimentation de l'amplificateur
- $P_{délivrée}$ la puissance en sortie de l'amplificateur
- P_{sortie} la puissance délivrée à la charge

Le rendement d'un amplificateur de puissance est une mesure de l'efficacité avec laquelle l'amplificateur convertit l'énergie d'entrée en énergie de sortie sans la dissiper sous forme de chaleur. Il est généralement exprimé en pourcentage et calculé en comparant la puissance de sortie réelle de l'amplificateur à la puissance d'entrée consommée.

Le rendement d'un amplificateur de puissance dépend de plusieurs facteurs, tels que la configuration de polarisation (classe de fonctionnement), la tension d'alimentation, l'impédance de charge, les caractéristiques du transistor utilisé, ainsi que les pertes dues aux composants et aux circuits de l'amplificateur.

Le paramètre majeur qui permet d'évaluer l'efficacité de l'amplificateur de puissance est la PAE (Power Added Efficiency). Cette grandeur s'exprime en % et se définit ainsi :

$$PAE = 100 \frac{P_{sortie} - P_{générateur}}{P_{alim}} \quad [I - 27]$$

La PAE illustre la puissance apportée par l'amplificateur par rapport à la puissance consommée. On peut également définir le rendement du collecteur, qui est essentiellement utilisé dans le cadre des amplificateurs de puissance polarisés en classe E :

$$\eta_c = 100 \frac{P_{sortie}}{P_{alim}} \quad [I - 28]$$

Un amplificateur de puissance destiné à des applications 5G fonctionne la plupart du temps à sa puissance moyenne, ce qui impose donc d'avoir des bonnes performances en matière de PAE avec un recul en puissance de 8 dB. Cela est illustré dans la figure suivante.

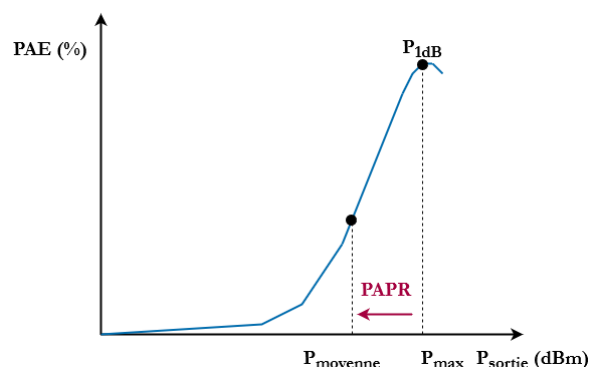


Figure I-38 : Evolution de la PAE en fonction de la puissance de sortie : PAE au point de compression à 1 dB et avec un recul en puissance

Dans ces travaux, 11% de PAE à 8 dB de recul en puissance sont requis et 20% à la saturation.

Plusieurs verrous technologiques entrent en compte dans ce projet.

- La technologie SiGe est choisie pour la réalisation du module RF. En effet, cette technologie mature est un excellent compromis entre puissance et capacité d'intégration de circuits numériques. Meilleur marché que le SOI ou les technologies III-V, elle permet d'atteindre de meilleures puissances de sortie que les technologies CMOS.
- La technologie SiGe impose l'utilisation de miroirs de courant pour polariser les transistors bipolaires pour améliorer leur robustesse face aux variations de température. Elle est soumise à des phénomènes physiques qui peuvent altérer le fonctionnement des transistors comme l'avalanche. L'étude approfondie de ce phénomène est nécessaire et des solutions peuvent être apportées pour améliorer la robustesse du circuit face à cette contrainte.
- Chaque sous-circuit possède son cahier des charges qui est détaillé dans les Chapitres 2 et 3 du point de vue des performances.
- Cependant, les différents sous-circuits et le module complet doivent répondre à certains critères garantissant le bon fonctionnement global. Par exemple, en fonction des codes binaires, l'impédance est censée varier si rien n'est fait pour contrer ce problème. C'est une contrainte qui sera donc prise en compte dans la conception du déphaseur et du VGA afin de garantir un fonctionnement optimal et stable quels que soient les états de phase et de gain.
- Le PA seul doit pouvoir être utilisé comme s'il était l'unique PA du système. Une attention particulière est portée sur la puissance de sortie de ce composant ainsi que sa PAE. Ces deux grandeurs doivent être maintenues lors de l'assemblage et la co-conception des trois sous-circuits.
- Une attention particulière sera portée sur l'efficacité avec 8 dB de recul en puissance.
- La bande de fréquence est fixée de 24,25 à 30,5 GHz, ce qui correspond à 6,25 GHz de bande passante. C'est également une contrainte importante de ce projet qui concerne l'ensemble des sous-circuits du module.
- La linéarité et la stabilité sont enfin des paramètres primordiaux au bon fonctionnement de ce module seul et à son fonctionnement au sein d'un système plus complexe.

Références

- [1] «<https://www.thalesgroup.com/fr/europe/france/dis/mobile/inspiration/5g>,» [En ligne].
- [2] ANFR, «Evaluation de l'exposition du public aux ondes électromagnétiques 5G. Volet 1 : présentation générale de la 5G,» Juillet 2019.
- [3] G. DIVERREZ, «Conception d'un amplificateur de puissance Doherty large bande à base de coupleurs hybrides sur charge inductive aux fréquences 5G millimétriques en technologie CMOS 28nm FD-SOI,» 2023.
- [4] «<https://www.arcep.fr/la-regulation/grands-dossiers-reseaux-mobiles/la-5g.html>,» [En ligne].
- [5] S. VOISIN, «Topologies innovantes de chaîne d'émission aux fréquences 28 et 40 GHz pour des applications 5G de beamforming numérique : solutions à base de RF-DAC et de déphaseur en technologie silicium. Electronique.,» Université de Bordeaux, 2022. Français. NNT : 2022BORD0151 tel-03715716 .
- [6] «<https://www.techtarget.com/searchnetworking/definition/QAM>,» [En ligne].
- [7] «<https://s7d51fae4e5f67d29.jimcontent.com/download/version/1649283921/module/10281873984/name/Modulation%20et%20d%C3%A9modulation%20Num%C3%A9rique.pdf>,» [En ligne].
- [8] «https://www.labunix.uqam.ca/~boukadoum_m/MIC4240/Notes/Ch8-Mod_AWGN-MB.pdf,» [En ligne].
- [9] [En ligne]. Available: <https://pupuweb.com/5g-overcome-new-radio-device-design-challenges/>.
- [10] P. PAGANI, «Caractérisation et modélisation du canal de propagation radio en contexte Ultra Large Bande. Electronique. Français.,» Université de Rennes, 2005.
- [11] «https://easytp.cnam.fr/leruyet/Cours/presentation_ofdm.pdf,» [En ligne].
- [12] «<https://www.rcrwireless.com/20180912/5g/5g-nr-massive-mimo-and-beamforming-what-does-it-mean-and-how-can-i-measure-it-in-the-field>,» [En ligne].
- [13] X. Lagrange, A. Pelov, G. Simon, «TELECOM Bretagne, MOOC Introduction aux réseaux mobiles,» 2014. [En ligne].
- [14] B. Sadhu, Y. Tousi, J. Hallin, S. Sahl, S. K. Reynolds, Ö. Renström, K. Sjögren, O. Haapalahti, N. Mazor, B. Bokinge, G. Weibull, H. Bengtsson, A. Carlinger, E. Westesson, J-E. Thillberg, L. Rexberg, M. Yeck, X. Gu, M. Ferriss, D. Liu, D. Friedman, and A. Valdes-Garcia, «A 28-GHz 32-Element TRX Phased-Array IC With Concurrent Dual-Polarized Operation and Orthogonal Phase and Gain Control for 5G Communications,» *IEEE Journal of Solid-State Circuits*, vol. 52, no. 12, pp. 3373-3391, Dec. 2017, doi: 10.11.
- [15] K. Kibaroglu, M. Sayginer, A. Nafe and G. M. Rebeiz, «A Dual-Polarized Dual-Beam 28 GHz Beamformer Chip Demonstrating a 24 Gbps 64-QAM 2x2 MIMO Link,» 2018

IEEE Radio Frequency Integrated Circuits Symposium (RFIC) Philadelphia, PA, USA, 2018, pp. 64-67, doi: 10.1109/RFIC.2018.8428989.

- [16] Y. Hu, X. Zhang, T. Ch, «A 28GHz Hybrid-Beamforming Transmitter Array Supporting Concurrent Dual Data Steams and Spatial Notch Steering for 5G MIMO,» *2021 IEEE Custom Integrated Circuits Conference (CICC), Austin, TX, USA 2021, pp. 1-2, doi: 10.1109/CICC51472.2021.9431464..*
- [17] «<https://www.spiceworks.com/tech/networking/articles/what-is-beamforming-working/>,» [En ligne].
- [18] S. REDOIS, «Conception et réalisation d’amplificateurs de puissance bande X en technologie SiGe pour applications Radar. Electronique.,» Université de Bordeaux, 2020. Français. NNT :2020BORD0129. tel-04027808.
- [19] <http://www.musicarius.com/blog/conseils-techniques/conseils-techniques-amplifieurs/les-classes-damplificateurs-expliquees-a-ab-b-d-h>. [En ligne].
- [20] «<https://www.electronicshub.org/power-amplifier/>,» [En ligne].
- [21] «https://www.electronics-tutorials.ws/amplifier/amp_2.html,» [En ligne].
- [22] «<https://www.sciencedirect.com/topics/engineering/peak-to-average-power-ratio>,» [En ligne].
- [23] M. S. BOUTAYEB, «Architecture et conception d’un amplificateur de puissance large-bande pour des applications 4G/5G, Université Grenoble Alpes, Optique et radiofréquence,» 2020.
- [24] «<https://www.keysight.com/blogs/tech/rfmw/2022/07/20/signal-analysis-in-5g-nr-base-station-transmitters-part-3>,» [En ligne].

Conclusion du Chapitre I

Ce chapitre examine l’évolution des télécommunications mobiles, de la 2G à la 4G et vers la 5G, qui ont été principalement motivées par la recherche de débits plus élevés. La 5G se distingue en cherchant à optimiser le réseau en fonction de l’application, influençant ainsi la conception des systèmes de radiofréquence pour qu’ils s’adaptent à chaque application. Pour les applications très haut débit, de nouvelles bandes de fréquences millimétriques sont disponibles, permettant d’augmenter les largeurs de bande allouées pour la communication jusqu’à 400 MHz afin d’augmenter le débit perçu par l’utilisateur. La faible portée de ces fréquences est également bénéfique, car elle permet d’accroître le nombre de cellules dans une zone, augmentant ainsi la capacité globale du réseau. Cependant, la conception de circuits à ces fréquences représente un défi majeur quant au fait de fournir le gain et la puissance de manière efficace. La technique de *beamforming* permet d’augmenter le gain et la puissance d’un système en utilisant des réseaux d’antennes, et/ou de réduire les interférences entre utilisateurs en orientant la puissance rayonnée dans l’espace. Plusieurs types d’architectures de *beamforming* sont disponibles, chacune présentant des avantages et des inconvénients en matière de performances et de complexité. Dans cette étude, l’architecture numérique avec un nombre de chaînes d’émission égal au nombre d’antennes est examinée car elle offre la meilleure efficacité spectrale théorique.

Le choix des modulations d'ordres élevés et de l'utilisation de l'OFDM implique de fortes contraintes sur la linéarité des circuits, ainsi que des contraintes de consommation et de linéarité entre antennes. Pour répondre à ces défis, il est important de contrôler la phase et l'amplitude du signal précisément dans chaque chaîne TX, pour la calibration ou la correction en temps réel. Les différents verrous technologiques qui concernent ce projet ont été identifiés afin de satisfaire le cahier des charges.

Cette étude est organisée en deux axes majeurs : la conception des différents circuits de la puce en technologie SiGe BiCMOS : la méthode de conception du PA dans le Chapitre II, ainsi que la réalisation de circuits de contrôle de phase et d'amplitude, présentée dans le Chapitre III. Enfin, la co-conception de l'ensemble est évoquée dans la dernière partie du Chapitre III.

Tableau I-4 : Comparaison entre l'état de l'art des beamformers à 27 GHz et le cahier des charges

	Cahier des charges	[14]	[15]	[16]
Technologie	130 nm SiGe	130 nm SiGe	SiGe BiCMOS	45 nm CMOS SOI
Fréquence (GHz)	24,25 – 30,5	27 - 29	28 - 32	26,2 – 31,1
Architecture de beamforming	-	Analog	-	Hybrid
PAE_{max} (%)	20	22*@28 GHz	23,6@28 GHz	28* - 30,6
PAE@8dBBO	11	6*@28 GHz	NA	7*@29 GHz
P_{sat} (dBm)	22,5	16 - 17*	14,9	20 - 21*
OP1dB (dBm)	21	13,5 - 15*	11 - 12	18 - 20*
Contrôle de phase (°)	360	360	360	180*
Résolution de phase (°)	5,625	5@28 GHz	NA	1
Erreur de phase RMS (°)	2,5	0,8@28 GHz	<4	NA
Gain_{max} (dB)	33	29 - 32	20@28 GHz	25@29 GHz
Contrôle de gain (dB)	16	8@28 GHz	25	25*
Résolution de gain (dB)	0,5	NA	0,5 dB*	NA
Erreur de gain (dB)	2	0,7@28 GHz	0,6 (RMS)	NA
Consommation (W) @P_{sat}	-	NA	0,88	NA
Surface de la puce (mm²)	-	166 (128TRX)	23 (8TX)	7,5 (4TX)

Chapitre II – Conception d’amplificateurs de puissance à 27 GHz en technologie SiGe 130 nm BiCMOS

Introduction

Dans ce deuxième chapitre, nous abordons la conception d'amplificateurs en bande Ka en utilisant la technologie BiCMOS9MW 130 nm de STMicroelectronics pour créer l'amplificateur de puissance de la puce destinée à commander le HPA GaN. Des performances significatives sont attendues en matière de puissance de sortie, d'efficacité et d'efficacité avec 8 dB de recul en puissance. Pour cela, une cellule de puissance spécialement conçue pour fournir une puissance de sortie maximale tout en maintenant un rendement élevé (> 30%) est présentée.

Dans un premier temps, un état de l'art sur les PA SiGe à 27 GHz est réalisé. La technologie BiCMOS9MW est présentée pour illustrer ses caractéristiques. Ensuite, une méthodologie de conception pour les amplificateurs de puissance est proposée. Le choix et le dimensionnement des transistors et des éléments passifs sont alors détaillés à travers la conception de la cellule unitaire. Une structure cascode est proposée pour augmenter les excursions en tension tout en garantissant une bonne fiabilité. Les miroirs de courant utilisés pour polariser les transistors émetteurs communs sont étudiés avec la comparaison du miroir de courant élémentaire et d'un miroir à compensation d'avalanche. En effet, les transistors bipolaires utilisés pour la conception d'amplificateurs de puissance sont sujets à des phénomènes tels que l'ionisation par impact ou l'auto-échauffement pouvant engendrer parfois des effets d'avalanche en courant. Ces phénomènes sont problématiques puisqu'ils peuvent entraîner la destruction des transistors. L'architecture de miroir à compensation d'avalanche est détaillée du point de vue théorique et des simulations post-layout sont menées pour valider le concept.

Une attention particulière est portée à la stabilité linéaire et non linéaire de la cellule amplificatrice en utilisant le logiciel STAN[®] développé par AMCAD-Engineering.

Les performances simulées de l'amplificateur à l'aide du logiciel Cadence Virtuoso[®] et l'outil GoldenGate sont ensuite comparées à l'état de l'art pour valider l'efficacité de notre architecture.

Partie 1 – Etat de l'art des PA SiGe à 27 GHz et cahier des charges de l'amplificateur de puissance

Le cahier des charges est élaboré en collaboration avec UMS (United Monolithic Semiconductors) [25]. Un état de l'art des amplificateurs de puissance en technologie SiGe est ensuite proposé, à 27 GHz. On se concentre ici sur des solutions plutôt large bande, avec un fort recul en puissance et pour des applications 5G.

1.1 – Cahier des charges du PA

Les performances attendues pour le PA SiGe sont présentées dans le Tab. II-1. Le cahier des charges a été déterminé en collaboration avec l’entreprise UMS [25] dans le cadre du projet SMART3 [26]. Ce projet s’inscrit dans l’optique d’un remplacement des puces AsGa qui précèdent les HPA GaN afin de pouvoir intégrer les fonctions numériques telles que les contrôles d’amplitude (VGA) et de phase (déphaseur) dans une même puce. La chaîne complète composée du déphaseur, du VGA et de ce PA, le tout entièrement intégré dans une même puce SiGe, est l’objectif de ces travaux. Cette partie détaille les performances attendues pour le PA seul.

Technologie	Fréquence (GHz)	P_{sat} (dBm)	$P_{1\text{dB}}$ (dBm)	PAE_{max} (%)	$\text{PAE}_{@8\text{dBBO}}$ (%)	Gain (dB)	Adaptation entrée/sortie (Ω)	ΔP_{out} sur bande de 400MHz (dB)
0,13 μm SiGe BiCMOS	24,25 – 30,5	22,5	21	20	11	20	50	< 0,2

Tableau II-1 : Cahier des charges du PA du projet

Nos travaux entrent dans le cadre des applications 5G. La puce est dédiée aux stations de base mais pourra, de par ses performances et sa compacité, être utilisée dans d’autres dispositifs. La bande de fréquence de ce projet correspond à la bande de 24,25 à 30,5 GHz. Une conception large bande sera donc nécessaire afin d’assurer les performances requises sur cette bande. La P_{sat} attendue est de 22,5 dBm et à 1dB de compression, la $P_{1\text{dB}}$ est de 21 dBm. Le gain doit être de 20 dB sur la bande. La puce doit être adaptée à 50 Ω en entrée et en sortie en mode commun.

1.2 – Etat de l’art des PA SiGe à 27 GHz

Dans le cadre des nouvelles générations de télécommunication, un fort PAPR est imposé donc un fort recul en puissance est souhaité. Cela signifie que l’amplificateur doit assurer de bonnes performances et à la saturation et à quelques dB de la saturation. Pour cela, des solutions existent afin d’améliorer les performances avec un recul en puissance telles que les structures Doherty [27], [28] et Outphasing [29]. Ces structures ne permettent pas toujours d’obtenir de bonnes performances en tous points, d’autres solutions sont alors possibles.

Un amplificateur Doherty avec combinaison de tension basé sur un combineur compact faibles pertes sur la bande 24 à 29,5 GHz [27]

Ces travaux proposent un amplificateur de puissance utilisant la structure Doherty en technologie 0,13 μm SiGe BiCMOS. Il utilise une combinaison de tension basée sur un combineur en sortie. Ce combineur tire profit des différents éléments parasites qui ont pu être trouvés dans le circuit. En ce sens, un transformateur est ajouté en sortie de l’amplificateur pour réaliser la transformation d’impédance à 50 Ω en ayant ajouté au préalable seulement une capacité en série en plus des éléments parasites déjà présents dans le circuit (capacités,

inductances). Une méthode de ce procédé est détaillée étape par étape. L’architecture finale du PA Doherty avec le combineur en sortie est présentée en Fig. II-1 ainsi que le layout associé.

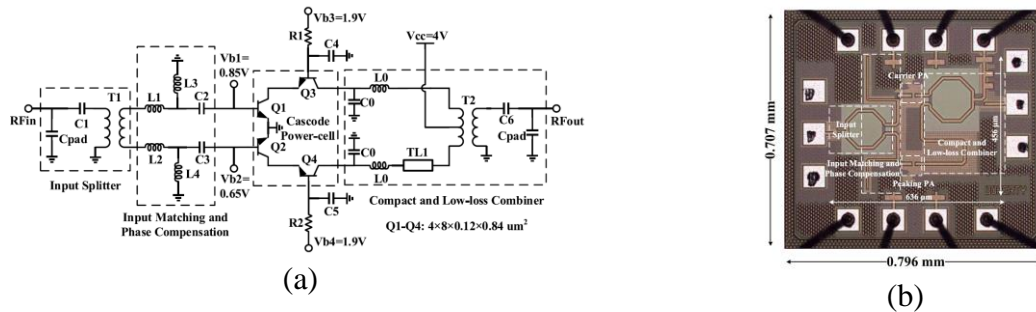


Figure II-1 : Schématique (a) et layout (b) du PA Doherty

Le PA est composé d’un amplificateur de puissance principal polarisé en classe AB et d’un amplificateur de puissance auxiliaire polarisé en classe C, structure typique d’un Doherty. Les deux branches du Doherty sont reliées en entrée par un balun et en sortie par le combineur. Le déphasage en entrée est réalisé à l’aide de composants passifs placés avant chaque cellule de puissance (L_1, L_3, C_2) et (L_2, L_4, C_3). L’amplificateur résultant est assez compact (Fig. II-1b) puisqu’il couvre seulement $0,56 \text{ mm}^2$, pads inclus. Les simulations et mesures Continuous Wave (CW) montrent de bons résultats en paramètres S (Fig. II-2a). Les mesures sont cohérentes avec les simulations et montrent une bonne adaptation sur la bande surtout entre 25,5 et 29,5 GHz et un gain plat entre 14 et 16 dB sur cette même bande.

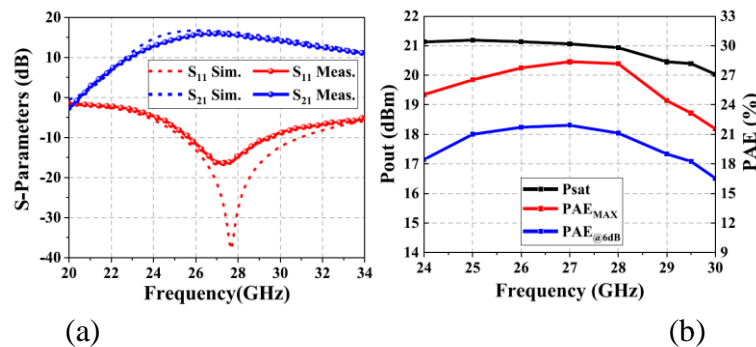


Figure II-2 : Performances de l’amplificateur sur la bande 20 - 34 GHz : (a) Simulations petits signaux (paramètres S) et (b) Simulations grands signaux (P_{sat} (dBm), PAE_{max} (%) et $\text{PAE}_{@6\text{dB}}$ (%))

Les mesures grands signaux (Fig. II-3) de la PAE et du gain à différentes fréquences de la bande en fonction de la puissance de sortie P_{out} montrent bien l’effet Doherty avec la remontée provoquée par le déclenchement de l’amplificateur auxiliaire. Il en résulte une PAE à 6 dB de recul en puissance de plus de 18% sur la bande de 24 à 29,5 GHz, ce qui est élevé. La PAE_{max} atteint 28% dans le meilleur des cas et le gain 16 dB à 27 GHz. La P_{sat} atteint 21 dBm au mieux.

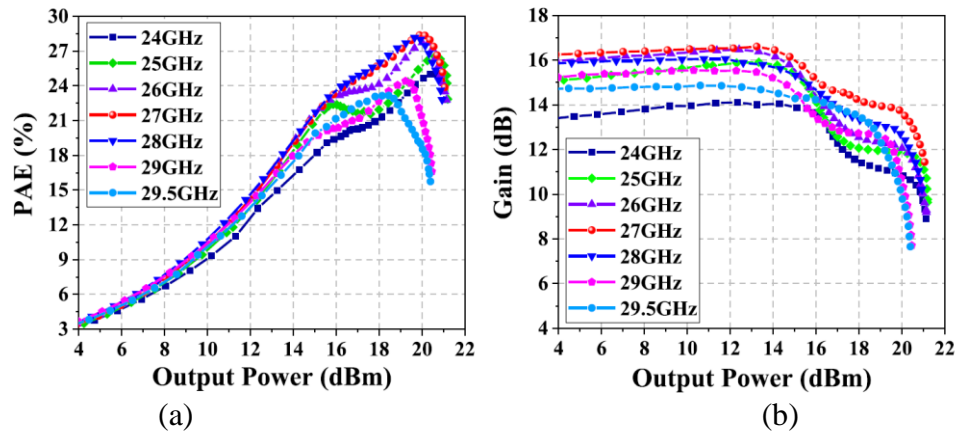


Figure II-3 : Mesures grands signaux en fonction de P_{out} (dBm) : (a) PAE (%) et (b) Gain (dB) à différentes fréquences

L’avantage de ces travaux est la PAE avec recul en puissance grâce à la structure Doherty. Cependant, la PAE_{max} en est altérée.

Un amplificateur de puissance Doherty large bande (24 - 30 GHz) basé sur un transformateur actif distribué (DAT) pour des applications millimétriques 5G [28]

Le circuit présenté dans ces travaux est basé sur une structure Doherty avec en supplément un transformateur actif distribué qui permet d’intégrer l’inversion d’impédance du Doherty ainsi que la combinaison des voies en sortie. Cela permet de gagner de la place et d’offrir une faible surface active. Une combinaison de haute puissance et faibles pertes est alors réalisée. Le DAT permet d’augmenter la puissance et l’efficacité à la fois alors que ce sont habituellement deux grandeurs sur lesquelles il faut faire un compromis. La structure globale et le layout du PA sont présentés Fig. II-4.

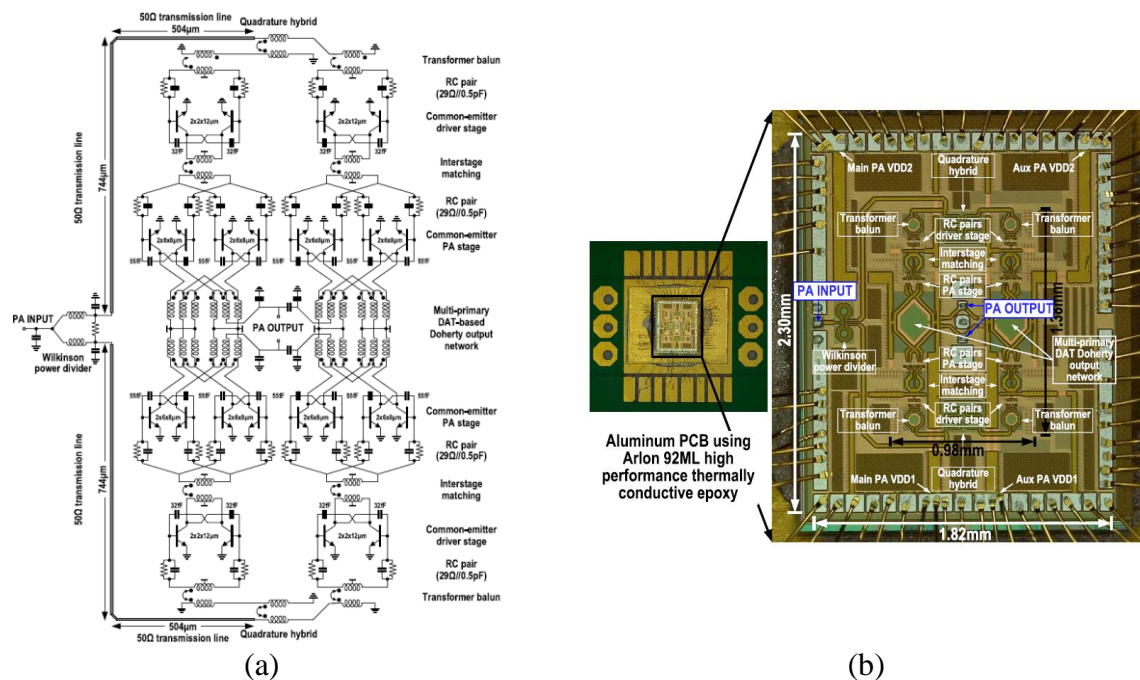


Figure II-4 : Architecture (a) et Layout (b) du PA Doherty avec DAT

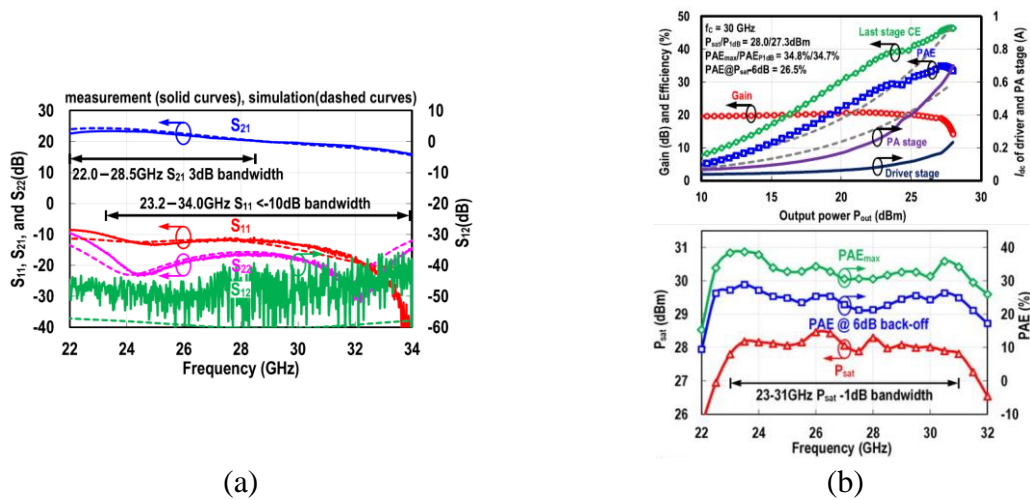


Figure II-5 : Simulations et mesures des paramètres S (a) et mesures de la PAE (%) et du gain (dB) en fonction de P_{out} (dBm) à 30 GHz et PAE_{max} et P_{sat} (dBm) sur toute la bande de fréquence (b)

Il s’agit des travaux montrant les meilleures performances à l’état de l’art du point de vue puissance de sortie, efficacité, bande passante. En revanche, l’inconvénient réside dans la surface occupée par le circuit (4 mm²).

Les articles [27] et [28] montrent des solutions large bande avec un Doherty.

Un amplificateur Outphasing à 28 GHz à haute efficacité basé sur un balun triaxial [29]

Ces travaux utilisent l’architecture outphasing avec un balun triaxial. L’architecture du balun triaxial et le layout du PA complet sont présentés dans la Fig. II-6.

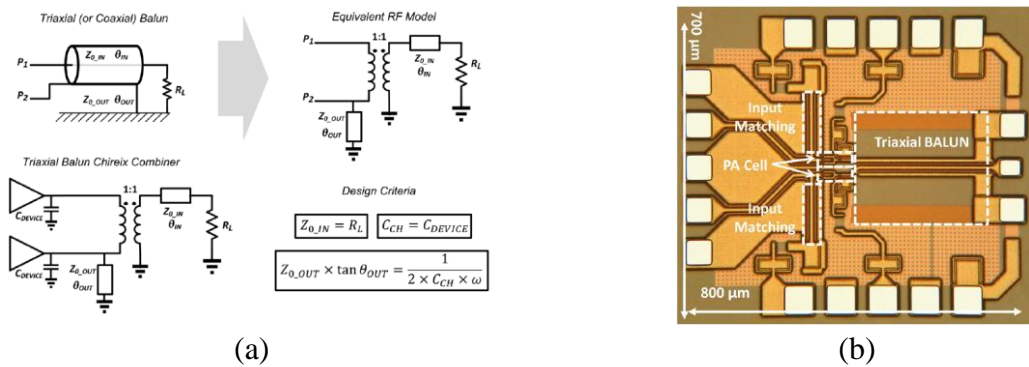


Figure II-6 : (a) Architecture du balun triaxial et (b) Layout du PA complet

Ce travail propose une excellente solution en matière de PAE avec 6 dB de recul en puissance. Il permet également d’assurer de bonnes performances en puissance de sortie avec un gain convenable. En revanche, le gros désavantage de cette architecture est la bande de fréquence couverte très étroite, restreinte à la fréquence 28 GHz qui ne convient pas aux applications 5G ni à nos besoins qui sont la bande 24,25 - 30,5 GHz.

Un amplificateur de puissance polarisé en classe F⁻¹ à 28 GHz avec une optimisation de la linéarité [30]

Ce travail propose un amplificateur de puissance en technologie 0,13 μm SiGe polarisé en classe F⁻¹ à 28 GHz. La classe F⁻¹ permet de travailler sur les fréquences harmoniques en ajoutant des circuits en sortie du PA afin d’améliorer la PAE avec quelques dB de recul en puissance, ce qui paraît intéressant pour les télécommunications. Les harmoniques de rang impair sont filtrés, ce qui permet d’améliorer la PAE globale. La classe F⁻¹ fait partie des classes non linéaires, ce qui est en revanche un problème pour les applications 5G. Des solutions existent comme les techniques de pré-distorsion qui compensent les non-linéarités. L’intérêt de cet article est de proposer une solution pour améliorer la linéarité. Pour ce faire, une inductance dégénérative est ajoutée dans l’émetteur des émetteurs communs du PA (Fig. II-7).

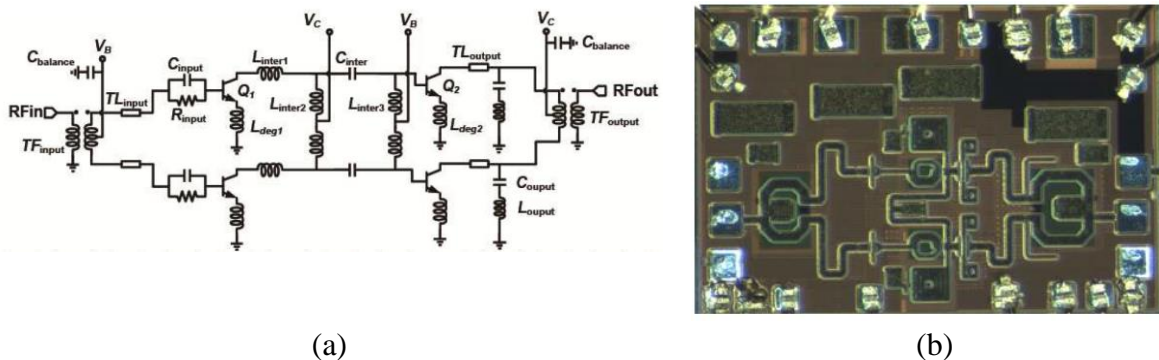


Figure II-7 : Schématique de l’amplificateur classe F⁻¹ (a) et son layout (b)

Lorsque la puissance d’entrée augmente, la capacité entre la base et l’émetteur augmente également, ce qui provoque de la distorsion d’amplitude. Pour contrer cet effet, une inductance est ajoutée dans l’émetteur. Cela permet alors de repousser la saturation et d’augmenter la linéarité (Fig. II-8).

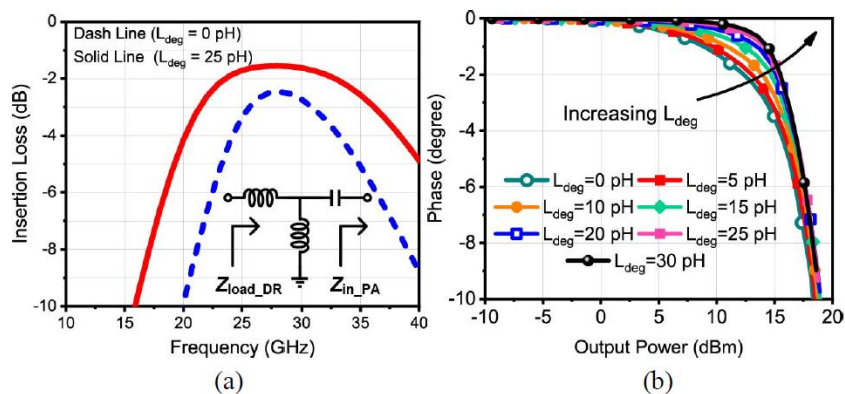


Figure II-8 : Comparaison avec et sans l’inductance dégénérative L_{deg} : (a) Pertes d’insertion et (b) AM-PM

On remarque bien la différence de pertes d’insertion entre le cas où l’inductance L_{deg} est nulle et le cas où elle vaut 25 pH. Elle permet de réduire les pertes d’insertion ainsi que d’augmenter la bande passante (Fig. II-8a). L’amélioration de la linéarité est également visible sur l’AM-PM (Fig. II-8b).

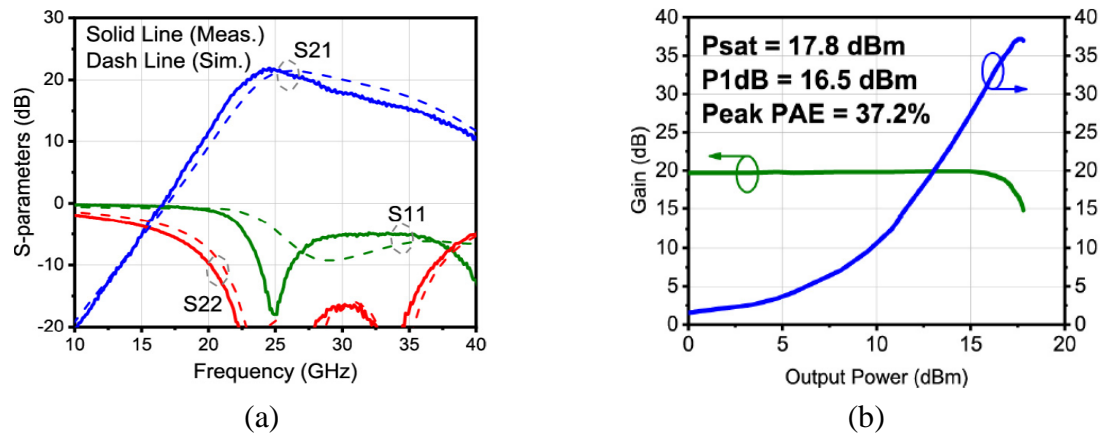


Figure II-9 : Mesures petits signaux (a) et grands signaux à 28 GHz (b)

L’avantage de ces travaux réside dans la PAE_{max} qui est élevée grâce à la classe F^{-1} de l’amplificateur. En revanche, la PAE avec 8 dB de recul en puissance n’est pour autant pas élevée, de l’ordre de 9% pour une spécification minimale dans notre projet égale à 11%. Le circuit est assez bande étroite à 28 GHz, ce qui ne répond pas aux exigences du projet.

Un amplificateur de puissance en 0,13 μm SiGe BiCMOS à 28 GHz avec réglage des harmoniques [31]

Ces travaux présentent un amplificateur de puissance en technologie 0,13 μm SiGe BiCMOS à 28 GHz avec un réglage sur les harmoniques en sortie afin d’améliorer la PAE. Le réseau d’adaptation de sortie est composé d’un filtre passe-bande et d’un filtre passe bas. La phase du second harmonique est manipulée tout en assurant une bonne adaptation au fondamental. Ce type d’architecture est appelée classe AB continue.



Figure II-10 : (a) Schématique et (b) layout du PA

Le PA est une structure cascode (Fig. II-10a) et son layout est présenté Fig. II-10b. Une comparaison est effectuée entre cette classe AB continue, un réglage à l’aide de L et C, et une classe AB. Le réglage LC permet déjà d’augmenter la PAE par rapport à une classe AB classique. La classe AB continue est la solution la plus efficace. Les simulations et mesures petits signaux sont présentées Fig. II-11a et les simulations et mesures grands signaux à 28 GHz sont présentées Fig. II-11b.

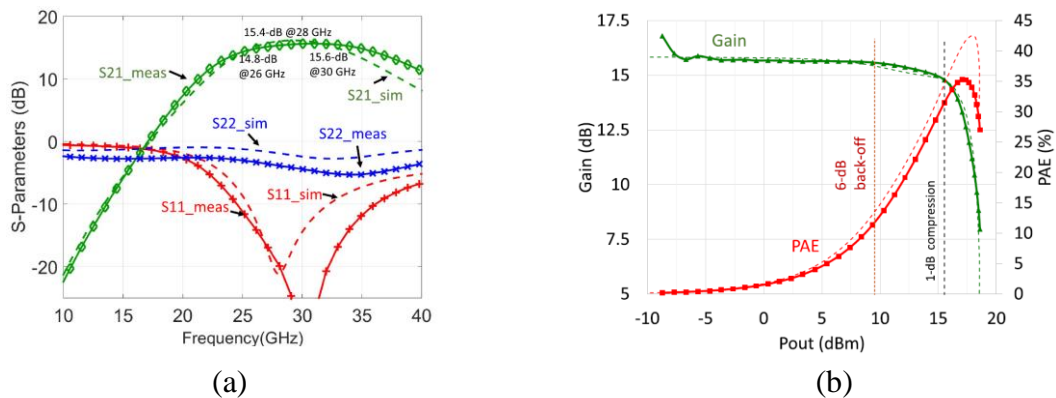


Figure II-11 : Simulations (a) petits signaux et (b) grands signaux à 28 GHz

L’avantage de ce circuit est l’amélioration de la PAE_{max} grâce au travail sur les harmoniques en sortie tout en assurant une bonne linéarité comme la classe AB classique. En effet, l’OP1dB est de l’ordre de 15 dBm pour une puissance de saturation à 18 dBm à 28 GHz. En revanche, la puissance à la saturation est bien inférieure à 22,5 dBm, valeur souhaitée dans ce projet.

Un amplificateur de puissance ultra-linéaire de 19 à 29,5 GHz avec un réglage des harmoniques en mode continu supportant 18 Gb/s en modulation avec 18,4% de PAE moyenne et 43,5% au maximum [32]

Ces travaux proposent un réglage des harmoniques en sortie du PA pour améliorer la PAE, en technologie 0,13 μm SiGe BiCMOS. Ce réseau est présenté en Fig. II-12.

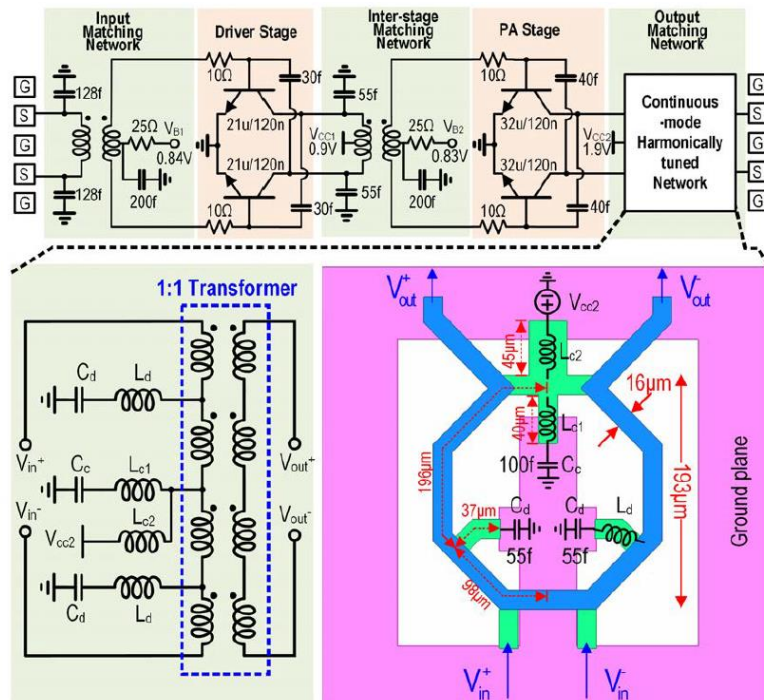


Figure II-12 : Architecture du PA incluant le réseau d’adaptation avec réglage des harmoniques en sortie

Le PA est constitué d’un étage de gain et d’un étage de puissance chacun différentiel et câblé en émetteur commun. Des capacités de neutrodynage permettent de stabiliser les étages en large

bande. Le réseau de sortie est détaillé en Fig. II-12. Il est composé de transformateurs 1 :1 avec les capacités et inductances $C_d, L_d, C_c, L_{c1}, L_{c2}$ permettant de filtrer les harmoniques et ainsi optimiser la PAE au fondamental.

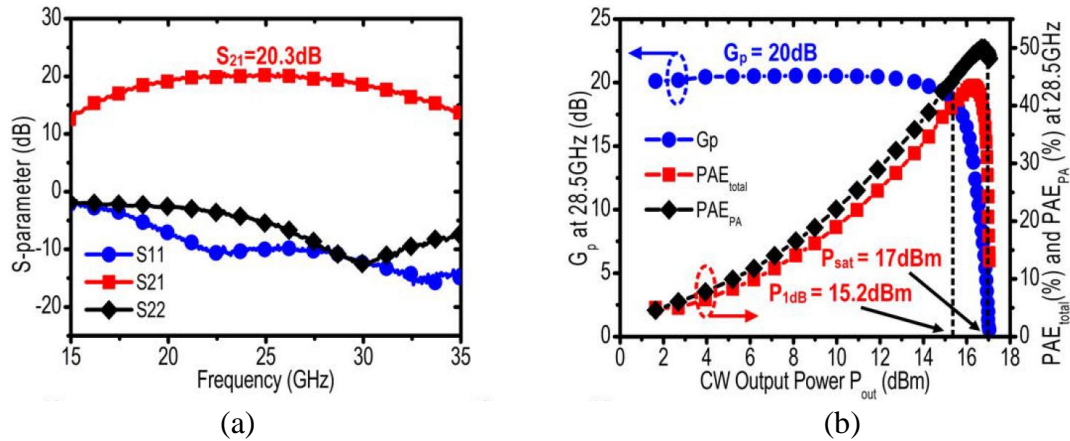


Figure II-13 : Simulations (a) petits signaux et (b) grands signaux à 28,5 GHz

Cet amplificateur fournit d’excellentes performances en matière de PAE (45% au maximum et 15% à 8 dB de recul en puissance), de linéarité (OP1dB de 15,2 dBm pour une P_{sat} de 16,5 dBm à 28,5 GHz) et de largeur de bande (19 - 29,5 GHz). En revanche, la puissance de sortie est limitée.

Un amplificateur de puissance polarisé en classe AB continue, large bande, haute efficacité pour des émetteurs à réseau phasé millimétriques 5G et SATCOM [33]

Ces travaux présentent un amplificateur de puissance en technologie 0,13 μm SiGe BiCMOS-8XP, en classe AB continue. Un transformateur non inverseur pour traiter le premier et le second harmonique. La schématique du PA complet est présentée Fig. II-14.

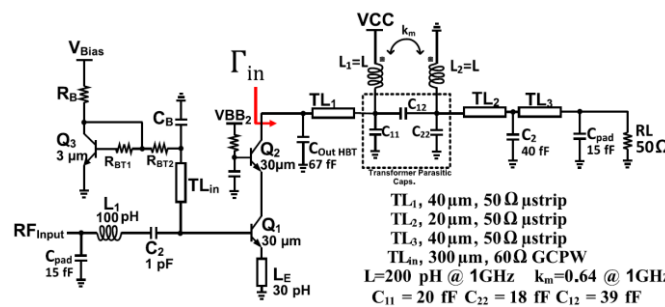
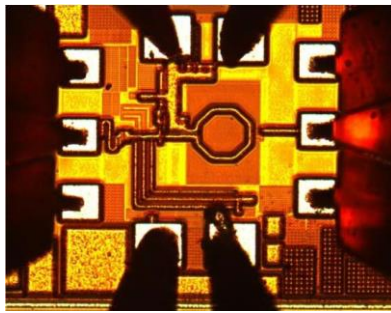
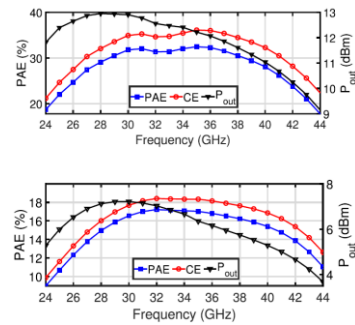


Figure II-14 : Schématique du PA classe AB continue avec réseau de réglage des harmoniques en sortie

L’avantage de la classe AB continue par rapport à la classe F^{-1} est la puissance de sortie et la bande améliorées. En concevant le réseau parallèle d’adaptation en entrée pour avoir une impédance réactive finie, nous pouvons surmonter les limitations de puissance et de bande passante en mode classe F^{-1} .



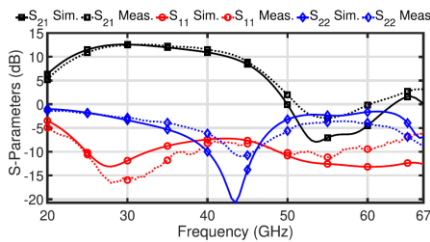
(a)



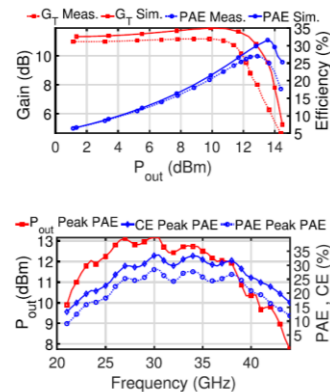
(b)

Figure II-15 : Layout du PA avec pads (a) PAE (%) et mesures de P_{out} (dBm) à P_{1dB} et à 6 dB de recul en puissance (b)

La PAE et la P_{out} à P_{1dB} et à 6 dB de recul en puissance sont présentées en Fig. II-15b, sur la bande de fréquence 24 – 44 GHz. Le circuit est très large bande de 24 à 38 GHz. A P_{1dB} , la PAE varie de 19 à 32%, et à 6 dB de recul en puissance, elle varie de 8 à 17%. La puissance P_{1dB} varie de 11,5 à 13 dBm sur la bande. Les simulations et mesures petits signaux (paramètres S) sont présentées en Fig. II-16a. Le S_{21} varie de 10 à 13 dB entre 24 et 38 GHz, l’entrée et la sortie sont bien adaptées.



(a)



(b)

Figure II-16 : (a) Paramètres S entre 20 et 67 GHz et mesures de (b) Gain (dB), PAE (%) en fonction de P_{out} (dBm) à 28 GHz et P_{out} (dBm) et PAE_{max} (%) sur 20 - 43 GHz

Dans ces travaux, le réseau de sortie qui permet de créer une classe AB continue permet également de protéger le circuit contre les ESD. L’avantage de circuit est sa très large bande et sa haute efficacité. En revanche, la puissance de sortie est très limitée (11 – 12 dBm). Il est alors nécessaire de mettre en parallèle plusieurs lignes pour atteindre des niveaux de puissance répondant à notre cahier des charges.

Un amplificateur de puissance linéaire et efficace supportant les modulations 64-QAM large bande pour des applications 5G entre 26 et 30 GHz en SiGe BiCMOS [34]

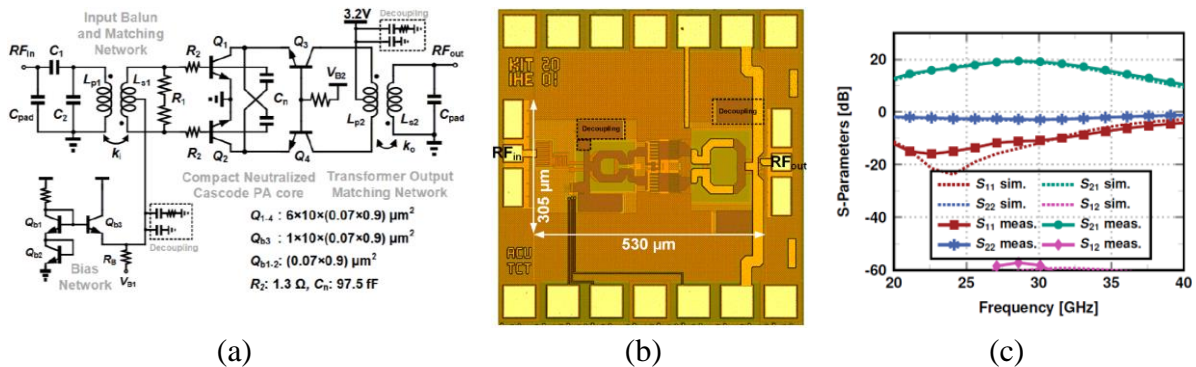


Figure II-17 : Schématique (a) et Layout (b) du PA complet (c) Paramètres S mesurés

Le PA (Fig. II-17) est composé d’une structure cascode différentielle, avec des baluns en entrée et sortie pour réaliser la transformation d’impédance à 50 Ω et pour transformer le mode commun en mode différentiel et vice versa. Des capacités de neutrodynage permettent de stabiliser le circuit et améliorer le gain en large bande. Un miroir de courant permet de polariser les bases des émetteurs communs. Le layout du PA est présenté Fig. II-17b et montre la grande compacité de la puce (0,162 mm² sans les pads). Pour réduire les parasites, les transistors ont été interdigités.

Ce circuit présente un très bon compromis entre puissance, PAE, et bande de fréquence. C’est une structure assez classique avec un amplificateur polarisé en classe AB linéaire. Les niveaux de PAE_{max} sont inférieurs à ceux atteignables dans les classes F⁻¹ et AB, mais la puissance de sortie est en revanche bien supérieure.

Un amplificateur de puissance sur la bande 24 – 30 GHz avec une P_{sat} supérieure à 20 dBm et une AM-AM inférieure à 0,1 dB pour des applications 5G [35]

Ces travaux présentent un amplificateur de puissance pseudo-différentiel pour des applications 5G en technologie 0,13 µm SiGe BiCMOS. Il est constitué d’un étage de gain câblé en émetteur commun et un étage de puissance en topologie cascode. Les émetteurs communs des deux étages possèdent un neutrodynage avec des capacités afin de stabiliser et améliorer le gain en large bande. L’entrée du PA est différentielle, tandis que la sortie est en mode commun (Fig. II-18a). La surface active couvre seulement 0,21 mm² (Fig. II-18b).

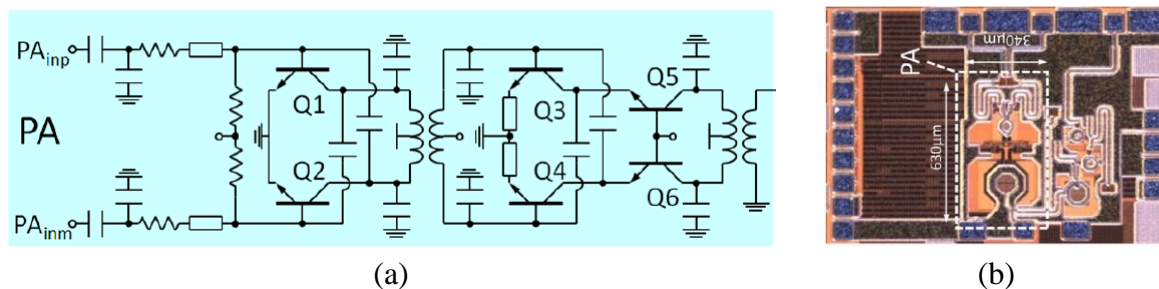


Figure II-18 : (a) Schématique et (b) layout du PA

Des lignes de transmission sont ajoutées dans les émetteurs des émetteurs communs du cascode afin d’améliorer la distorsion d’amplitude AM-AM tout en maintenant un bon OP1dB. Les simulations petits signaux sont présentées en Fig. II-19.

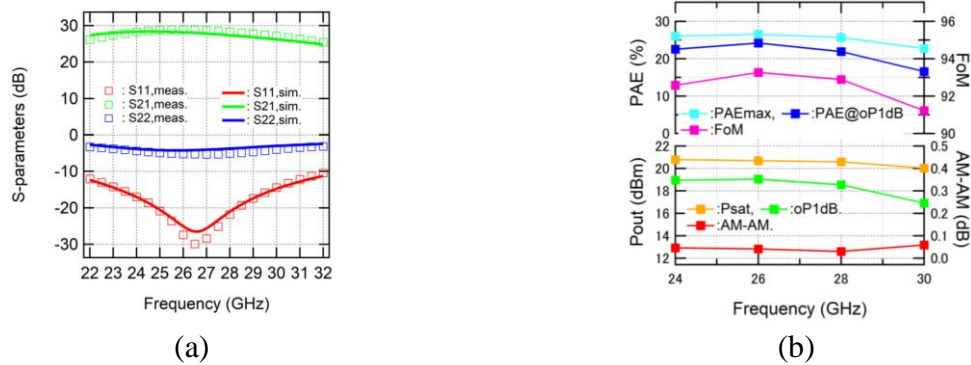


Figure II-19 : Paramètres S sur la bande 22 – 32 GHz (a), PAE et P_{out} entre 24 et 30 GHz

Cet amplificateur a pour avantage de présenter une excellente linéarité avec un OCP1dB à 18 dBm pour une P_{sat} à 20 dBm. La PAE_{max} est de l’ordre de 25%, ce qui répond au cahier des charges. En revanche, à 8 dB de recul en puissance, elle n’atteint que 8%.

Un amplificateur de puissance avec une polarisation adaptative et une haute linéarité pour les communications 5G [36]

Ces travaux proposent un amplificateur de puissance en technologie 0,13 μm SiGe BiCMOS utilisant une polarisation adaptative assurant une bonne linéarité.

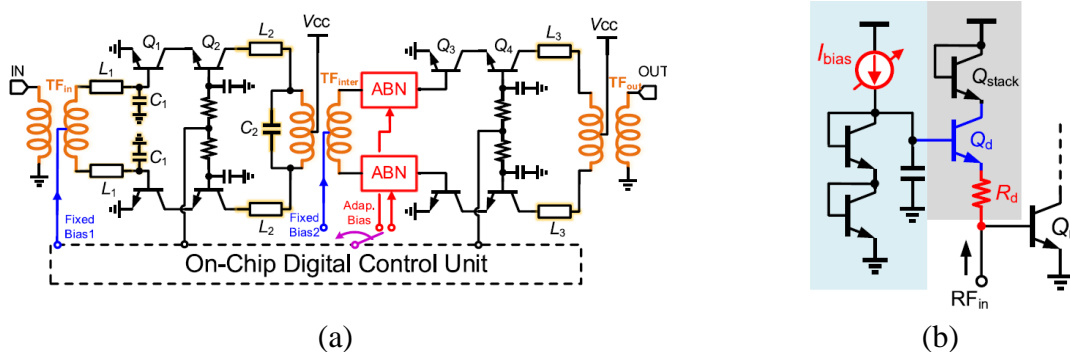


Figure II-20 : Schématic (a) du PA complet et (b) de la polarisation adaptative

Le PA est constitué d’un étage de gain et d’un étage de puissance (Fig. II-20a) tous deux de topologie cascode. Les deux étages sont liés par un transformateur inter-étage qui permet de réaliser la transformation d’impédance. Il s’agit d’un PA pseudo-différentiel avec entrée et sortie en mode commun grâce à l’ajout de baluns. Une polarisation adaptative (Fig. II-20b) est utilisée sur les émetteurs communs de l’étage de puissance. Cela permet de régler leur classe et ainsi d’optimiser la linéarité de l’ensemble du circuit tout en maintenant une bonne efficacité à quelques dB de la saturation.

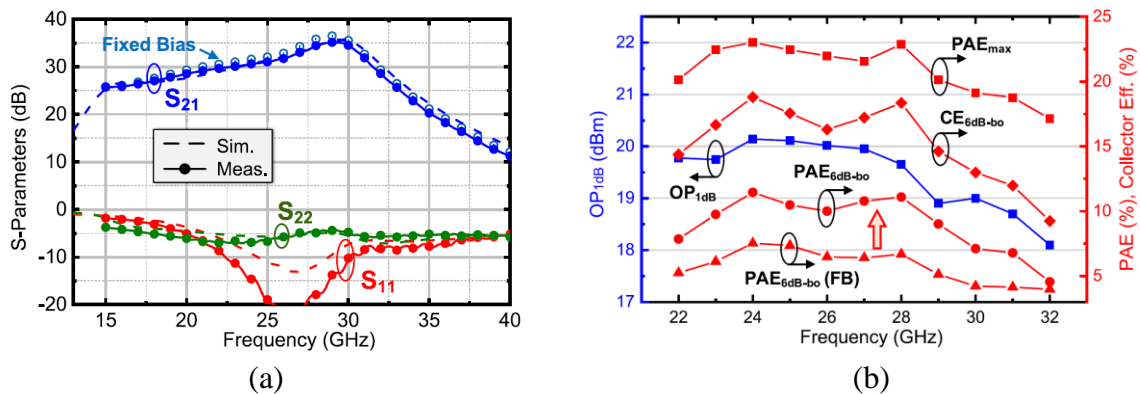


Figure II-21 : (a) Paramètres S mesurés et simulés entre 15 et 40 GHz et (b) OP_{1dB} (dBm) et PAE (%) sur la bande 22 - 32 GHz

L’avantage de cette architecture est la polarisation adaptative qui permet d’optimiser la linéarité et l’efficacité avec recul en puissance. En revanche, les performances ne sont pas très hautes en matière de puissance (P_{sat} à 21dBm) et de PAE (23% au maximum et 9% à 8dB de recul en puissance). Elles ne permettent pas de répondre favorablement au cahier des charges du projet. Les travaux présentés dans [8] montrent de meilleurs résultats sans polarisation adaptative. C’est cependant un bon outil qui peut être utilisé dans les amplificateurs de puissance afin d’améliorer la linéarité notamment dans les structures Doherty.

Un amplificateur de puissance équilibré hautement linéaire pour les applications 5G millimétriques de 24 à 30 GHz en technologie 130 nm SiGe BiCMOS [37]

Ces travaux présentent un amplificateur de puissance sur la bande 24 - 30 GHz pour la 5G en technologie 0,13 μm SiGe BiCMOS très linéaire. L’architecture équilibrée est présentée en Fig. II-22a ainsi que la schématique détaillée d’un PA. Ce dernier est constitué d’un étage de gain et un étage de puissance chacun de topologie cascode. Le premier étage est conçu pour ne pas trop consommer tout en apportant un haut gain. Le second est dimensionné pour assurer une haute linéarité et une forte puissance de sortie. La puce mesure 1,3 mm², pads inclus (Fig. II-22b).

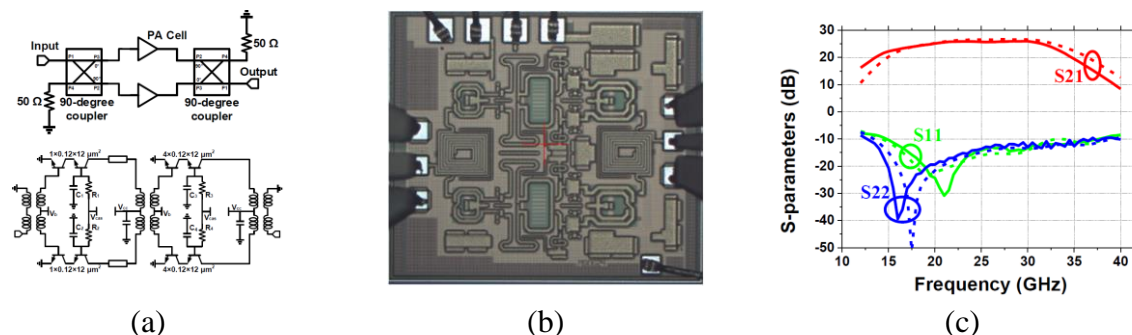


Figure II-22 : (a) Architecture de l’amplificateur équilibré et schématique d’un PA, (b) Layout de l’amplificateur équilibré (c) mesures des paramètres S

L’architecture équilibrée permet d’isoler le PA vis-à-vis d’une variation éventuelle d’impédance de sortie, liée notamment à l’antenne. Pour réaliser cette architecture, un coupleur quadrature compact en spirale et faibles pertes a été réalisé. Les paramètres S de l’amplificateur

équilibré sont présentés en Fig. II-22c ainsi que l’évolution de la puissance de sortie à 1dB de la compression en fonction de la variation de la charge. On remarque l’excellente robustesse à la variation du TOS en sortie de l’amplificateur avec un OP1dB qui varie seulement 1,2 dB entre une charge de 50 Ω et une charge de 30 Ω en sortie (Fig. II-23a), ce qui prouve l’intérêt de la structure équilibrée.

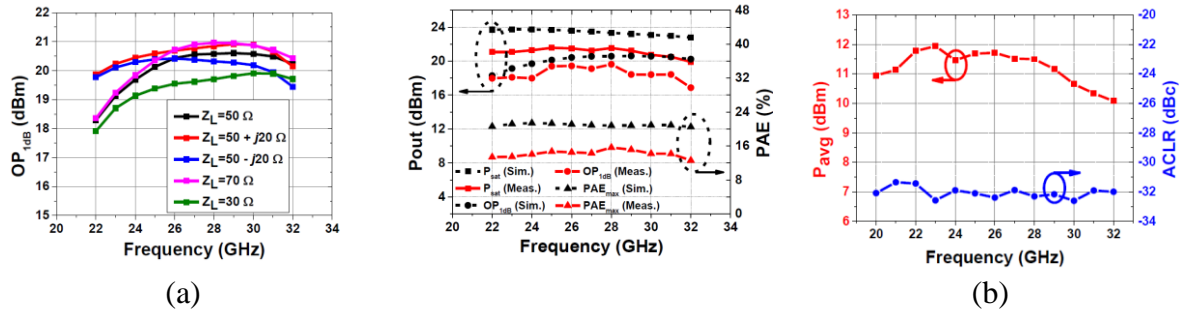


Figure II-23 : Mesures grands signaux (a) OCP1 en fonction de la charge (b) P_{out} (Fréq) et (c) P_{avg} , ACLR (Fréq)

L’avantage de ce circuit réside dans son architecture équilibrée qui permet de l’isoler des éventuelles réflexions provenant de l’antenne. C’est un circuit très linéaire. En revanche, il n’atteint pas une haute puissance de sortie (21 dBm) ni une grande PAE (15% au maximum) en mesure.

Un amplificateur millimétrique 1 W avec combinaison spatiale de puissance, large bande avec 26% de PAE en technologie SiGe BiCMOS [38]

Ces travaux présentent un amplificateur de puissance en technologie 0,25 μm SiGe (pour la partie intégrée) utilisant une nouvelle architecture de combinaison de puissance de manière spatiale grâce à la technologie SIW. La partie intégrée comprend quatre PA de topologie cascode en parallèle. (Fig. II-24).

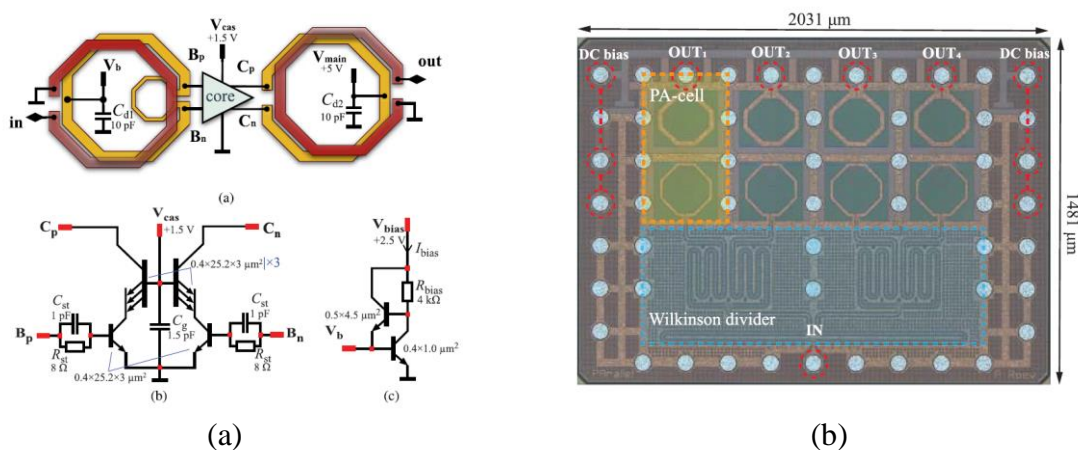


Figure II-24 : Schématique d’un PA (a) et layout du circuit intégré comprenant les quatre PA (b)

La combinaison de puissance est réalisée en dehors de la puce grâce à la technologie SIW (Fig. II-25). Cette méthode permet de largement augmenter la bande passante (23 - 33 GHz) et réduire les pertes (0,6 dB seulement) par rapport à une combinaison intégrée.

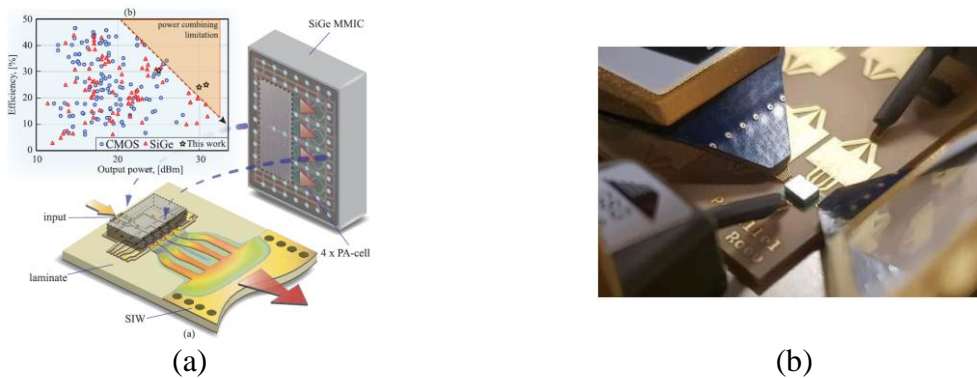


Figure II-25 : Schéma (a) et photo des mesures (b) du circuit complet

Les paramètres S sont présentés en Fig. II-26a sur la bande 20 - 40GHz. Le gain S_{21} varie de 8 à 13,8 dB entre 23 et 33 GHz. Les adaptations en entrée et sortie sont correctes (< -10 dB en entrée et < -2 dB en sortie).

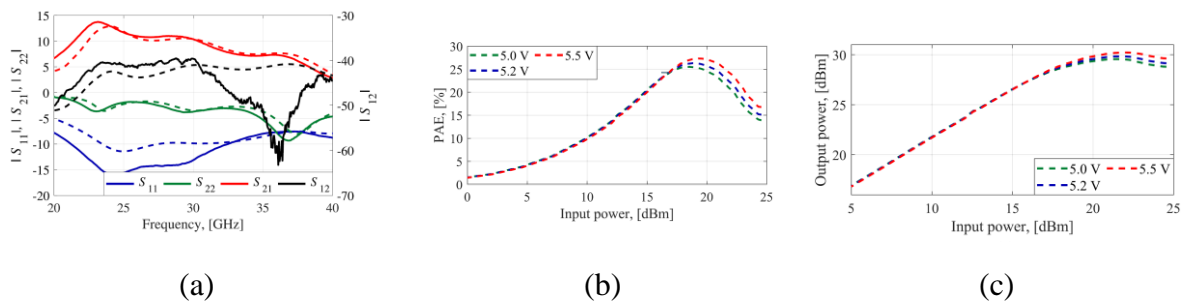


Figure II-26 : Paramètres S et mesures grands signaux de la puce complète

La combinaison de puissance en SIW permet d’atteindre d’excellentes performances en matière de P_{sat} (24,9 dBm à 26 GHz), PAE_{max} (26,7% à 28 GHz) et largeur de bande (23 – 33 GHz) grâce aux faibles pertes. C’est une technique intéressante pour les amplificateurs de puissance. En revanche, la PAE avec recul en puissance pourrait être améliorée (10% à 28 GHz).

Bilan de l’état de l’art des PA à 27 GHz

Plusieurs solutions ont été proposées pour des amplificateurs de puissance SiGe à destination des applications 5G.

- Des Doherty [27], [28] ont été présentés et permettent d’atteindre de hautes valeurs de PAE à 6 et 8 dB de recul en puissance sur des bandes de fréquence de 24 à 30 GHz environ. Les travaux publiés dans [28] fournissent d’excellents résultats en matière de puissance de sortie et PAE (maximale et avec recul en puissance). Cela est dû à la structure Doherty et à la combinaison de puissance grâce au DAT. La surface occupée par le circuit est assez élevée pour un amplificateur de puissance seul, c’est son principal inconvénient. La linéarité est par ailleurs altérée. C’est également un inconvénient de la structure Doherty.
- L’architecture Outphasing [29] est la meilleure en matière de PAE_{max} et PAE avec un recul en puissance. En revanche, le gros inconvénient de cette structure est la bande passante. Ce principe ne fonctionne qu’à une seule fréquence ou sur une bande très

réduite. C’est donc une architecture difficile à appliquer dans les télécommunications de type 5G qui requièrent de grandes bandes passantes.

- Un PA en classe F^{-1} est présenté ensuite [30]. En filtrant les fréquences harmoniques paires, la *PAE* peut être améliorée au fondamental, au détriment de la linéarité. Cette architecture assure donc d’excellentes performances en matière de PAE_{max} . La *PAE* avec recul en puissance n’est par contre pas améliorée et la bande de fréquence est faible.
- Une autre méthode de travail sur les harmoniques est développée tout en assurant une classe AB de fonctionnement de l’amplificateur. Il s’agit de la classe AB continue [31], [32], [33]. Cette méthode consiste à améliorer la *PAE* tout en assurant une bonne linéarité contrairement aux classes F et F^{-1} .
- Des architectures classiques avec polarisation en classe AB sont ensuite présentées [34], [35]. Des solutions du type neutrodynage, structure différentielle, topologie cascode permettent d’optimiser les performances globales du circuit et en particulier, un point d’intérêt est porté sur la linéarité. Une polarisation adaptative [36] permet d’optimiser la linéarité en modifiant la classe de l’amplificateur.
- Une structure équilibrée est ensuite proposée en [37]. Cette structure permet d’augmenter la puissance de sortie et la robustesse aux variations de TOS. La linéarité en est également améliorée au détriment de la taille du circuit.
- Afin d’améliorer la puissance de sortie, une combinaison en puissance peut être réalisée en sortie de l’amplificateur. Celle-ci peut être intégrée [28] ou bien spatiale [38]. Cette dernière permet de limiter la diffusion thermique et les pertes.

Finalement, compte tenu du cahier des charges en Tab. II-1, aucun des travaux [27] à [38] présentés ne permet de répondre aux exigences de l’amplificateur de puissance du projet. La suite de ce chapitre consiste à détailler la conception de cet amplificateur de puissance SiGe.

Partie 2 – Choix de la technologie

2.1 – Comparaison des technologies AsGa et SiGe

Les technologies silicium et les technologies III-V [39] sont deux approches différentes pour la fabrication de composants électroniques tels que des transistors et des circuits intégrés.

La technologie silicium utilise du silicium comme matériau de base pour la fabrication de composants électroniques. Le silicium est abondant et peu coûteux, ce qui en fait un choix populaire pour la fabrication de puces électroniques. Les transistors en silicium peuvent être miniaturisés pour créer des circuits intégrés très denses, permettant ainsi des performances élevées et une faible consommation d’énergie.

Les technologies III-V, en revanche, utilisent des matériaux semi-conducteurs composés de groupes III et V de la classification périodique des éléments, tels que l’arséniure de gallium (AsGa) ou le phosphore d’indium (InP), pour la fabrication de composants électroniques. Ces matériaux ont des propriétés électriques supérieures à celles du silicium, notamment une mobilité des électrons plus élevée, une plus grande vitesse de commutation et une plus grande efficacité énergétique à haute fréquence. Les technologies III-V sont souvent utilisées dans les applications de haute fréquence telles que les communications sans fil, les radars et les lasers.

En résumé, la différence entre les technologies silicium et III-V réside dans les matériaux de base utilisés pour la fabrication de composants électroniques, leur quantité, ainsi que leurs propriétés électriques et leurs applications spécifiques.

Le projet SMART3 [26] a pour but l’intégration hétérogène de différentes technologies de semiconducteurs dans un même boîtier. Aujourd’hui, des PA drivers en AsGa permettent de piloter des HPA GaN, mais le contrôle de phase et de gain est réalisé séparément. La volonté est de rendre les circuits plus compacts et plus rapides, en intégrant les différentes fonctions dans une même puce. La technologie SiGe BiCMOS est composée de transistors MOS et de transistors bipolaires, ce qui permet de tirer l’avantage de chacun dans les différentes fonctions. Cela peut amener à l’intégration des fonctions numériques et du PA dans une même puce à condition d’assurer des performances suffisantes pour piloter le HPA GaN. La Fig. II-27 [40] montre la répartition des PA dans les technologies intégrées (CMOS, SiGe) et les technologies III-V (AsGa, GaN) en fonction de leur P_{sat} et leur PAE_{max} .

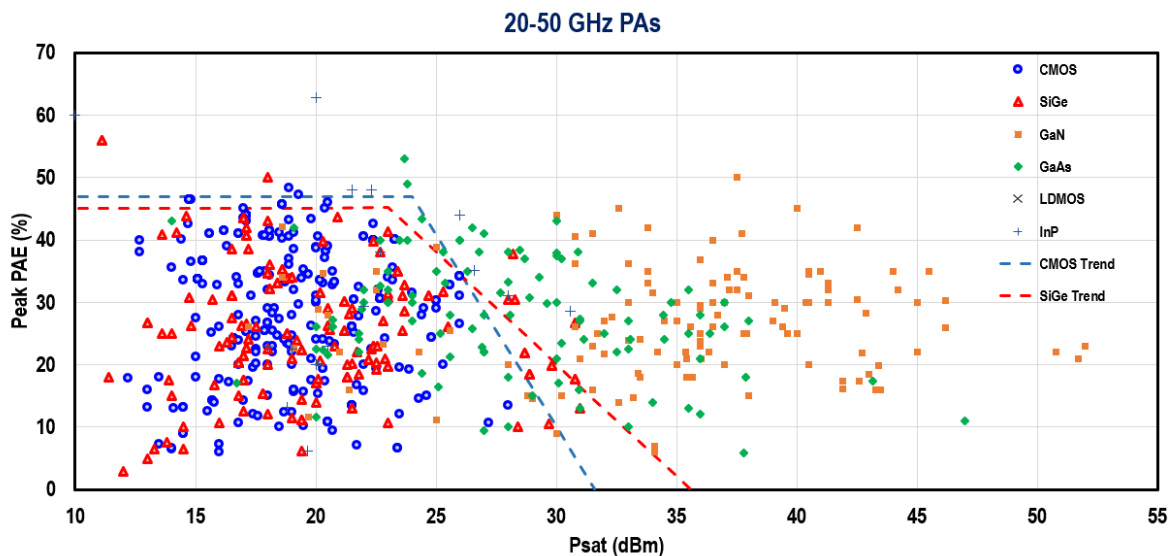


Figure II-27 : Répartition des PA des technologies intégrées et III-V entre 20 et 50GHz [40]

Il est évident que les technologies III-V permettent d’atteindre de meilleures puissances de sortie au détriment de la taille du circuit par rapport aux technologies Silicium. Dans le cadre du remplacement des puces AsGa par des puces SiGe, puisque la fonction du PA concerné est de piloter un HPA GaN, il suffit qu’il fournisse la puissance d’entrée nécessaire au bon fonctionnement du HPA GaN (Tab. II-1). La technologie SiGe 130nm BiCMOS est donc choisie pour réaliser ce projet.

2.2 – Back-End-Of-Line de la technologie SiGe 130nm BiCMOS9MW de STMicroelectronics et transistors utilisés

La technologie BiCMOS9MW offre un excellent compromis entre une fréquence de transition élevée et un coût raisonnable parmi toutes les technologies BiCMOS. Elle a été spécialement développée pour des applications millimétriques. Cette technologie présente une

particularité intéressante, elle possède deux niveaux de métaux épais, ce qui permet de réaliser des composants passifs tels que des baluns ou des coupleurs, avec des pertes réduites. Ils permettent aussi d’atteindre des niveaux de puissance se rapprochant de ceux de l’AsGa à des fréquences millimétriques. Ces niveaux sont réservés au passage du signal RF. Les deux niveaux intermédiaires sont plutôt utilisés pour les signaux DC et les deux niveaux fins sont utilisés pour le plan de masse. Les différents niveaux de métaux sont présentés Fig. II-28.

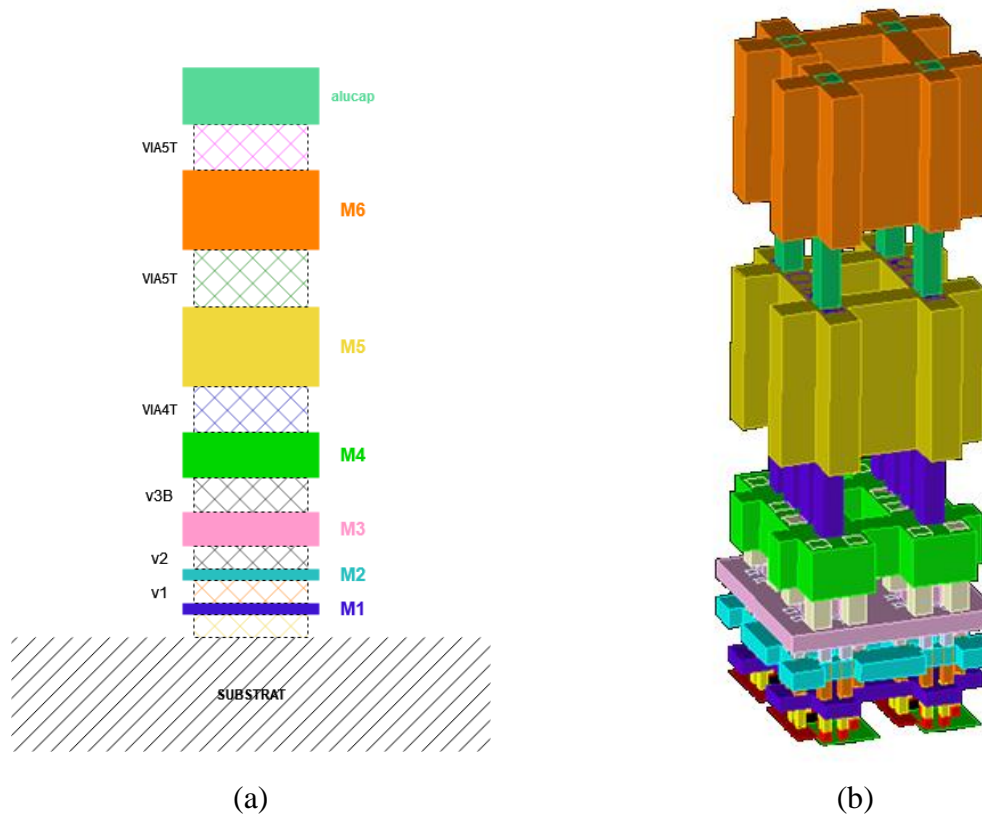


Figure II-28 : Back-End-Of-Line du BiCMOS9MW (a) et élément unitaire du plan de masse final (b)

La particularité de la technologie BiCMOS est d’utiliser des transistors bipolaires et MOS. Pour le PA, ce sont les transistors bipolaires qui sont utilisés. Il existe trois modèles de transistors NPN :

- **Very High-Speed** : Le transistor NPNVHS a été conçu pour être utilisé dans des applications à très hautes fréquences, telles que les ondes millimétriques et hyperfréquences, et offre les meilleures performances en matière de f_i/f_{max} parmi les technologies disponibles. Cependant, en raison de sa base très fine, il est sujet à des tensions de claquage plus faibles (1,6 V pour BV_{CE0} et 5,5 V pour BV_{CB0}).
- **Medium Voltage** : Le transistor NPNMV a été développé en utilisant la technologie du NPNVHS, mais en protégeant le transistor contre l'implantation de SiC, sans coût supplémentaire. Cette modification a permis d'augmenter le BV_{CE0} de 1,6 V à 2 V et d'améliorer la tension de claquage base-collecteur à 7,5 V. Bien que la fréquence de transition ait diminué à 145 GHz, une amélioration de la fréquence maximale a été mesurée en raison de la réduction de la capacité base-collecteur, C_{BC} , intrinsèque du transistor.

- **High Voltage** : Le transistor NPNHV a été proposé plus tard dans la technologie BiCMOS9MW car sa structure interne diffère considérablement de celle des transistors HS et MV. Conçu pour les applications nécessitant une puissance élevée et une fréquence basse, le transistor HV présente des valeurs de BV_{CE0} et BV_{CB0} de 3,5 V et 13,5 V, respectivement.

Une comparaison entre ces trois modèles est proposée en Tab. II-2.

	$J_c @ f_t$ (mA/ μm^2)	BV_{CE0} (V)	BV_{CB0} (V)	f_t (GHz)	f_{max} (GHz)
NPNVHS	7,5	1,6	5,5	220	280
NPNMV	1,5	2	7,5	145	300
NPNHV	0,5	3,5	13,5	60	210

Tableau II-2 : Résumé des performances des HBT HS, MV, HV pour $L_E = 15\mu\text{m}$ et $NBE = 5$ [41]

Les fréquences de transition et maximale peuvent être déterminées à l’aide des équations (II-1) à (II-5).

$$H_{21} \approx \frac{1}{1 + j \frac{f}{f_t}} \quad (II - 1)$$

$$f_t \approx \frac{f}{\text{Im} \left(\frac{1}{H_{21}} \right)} \quad (II - 2)$$

$$f_{max} = f \sqrt{U} \quad (II - 3)$$

Avec U le gain de Mason qui s’exprime ainsi :

$$U = \frac{|Y_{21} - Y_{12}|^2}{4(\text{Re}(Y_{11})\text{Re}(Y_{22}) - \text{Re}(Y_{11})\text{Re}(Y_{21}))} \quad (II - 4)$$

Ainsi :

$$f_{max} = \sqrt{\frac{f_t}{8\pi R_B C_{jBC}}} \quad (II - 5)$$

La f_t considère intrinsèquement que le transistor est court-circuité en sortie et concerne le gain en courant tandis que la f_{max} est plus représentative de la fréquence atteignable par le transistor et représente le gain en puissance. Les valeurs de f_t et f_{max} sont donc de l’ordre respectivement de 220 GHz et 280 GHz pour les transistors HS.

Les transistors NPNVHS seront utilisés pour le PA afin de fournir le maximum de courant et de puissance en sortie. Différentes structures sont possibles cependant et sont présentées en Fig. II-29 :

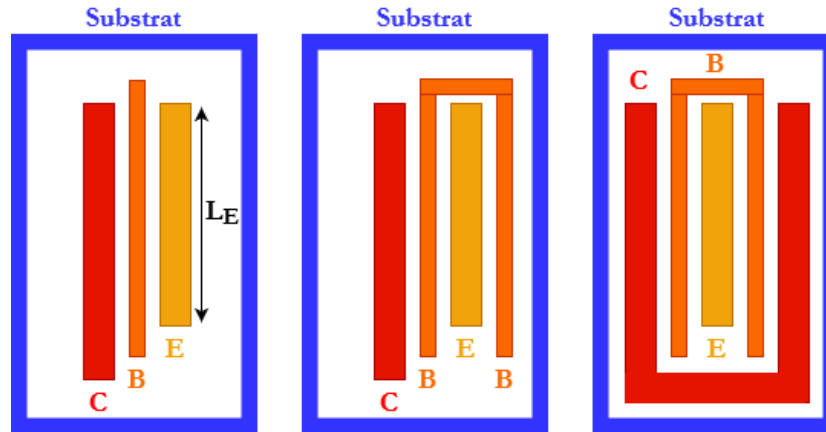


Figure II-29 : Différentes configurations du transistor npnvhs : CBE, CBEB, CBEB-C

Une analyse et une comparaison de ces trois configurations sont présentées dans [18]. La structure qui est utilisée dans ce PA est la CBEB-C. Un double accès sur la base est créé afin de réduire au maximum la résistance de base.

2.3 – Phénomènes liés aux transistors bipolaires

Le transistor HBT est contrôlé en utilisant un courant de base et est traversé par son courant vertical provenant du collecteur. Cette configuration permet au courant principal d’être directement contrôlé par la jonction Base-Emetteur. Les électrons sont injectés dans la base par le phénomène de diffusion car la jonction est polarisée en direct. La base étant peu dopée, peu d’électrons vont se recombiner et sont alors transférés dans le collecteur par le fort champ électrique à la jonction BC polarisée en inverse. (Fig. II-30).

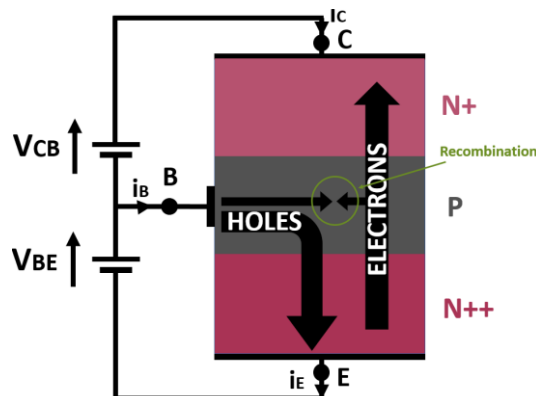


Figure II-30 : Déplacement des charges dans un transistor NPN

Bien que ce transistor puisse sembler symétrique [42], en réalité, le déplacement des charges est influencé par les dimensions de l’émetteur et du collecteur, ainsi que par la

différence de dopage entre ces deux zones (Fig. II-30). On peut notamment observer une recombinaison des charges à la base du transistor, qui peut entraîner une inversion du courant i_B et la rupture de la jonction PN. Ce phénomène est connu sous le nom d'ionisation par impact.

On note BV_{CE0} la tension de claquage de la jonction Collecteur-Emetteur en base ouverte, mais cette valeur n'est qu'indicative, car le transistor HBT fonctionne rarement en base ouverte dans la pratique. Le BV_{CB0} , quant à lui, représente la tension de claquage de la jonction Collecteur-Base et dépend du niveau de dopage du collecteur et de la base. Pour améliorer ces tensions de claquage, on peut réduire le niveau de dopage du collecteur et augmenter l'épaisseur de la base. Cependant, cette réduction du dopage du collecteur entraîne une augmentation de la résistance interne du transistor, ce qui peut provoquer une saturation précoce. En outre, l'élargissement de la zone de base peut perturber la diffusion électronique base-collecteur. Par conséquent, l'épaississement de la base peut entraîner une diminution de la fréquence de transition de l'HBT. Malheureusement, il est difficile de combiner fort courant de collecteur et tensions de claquage élevées (Tab. II-2).

Les phénomènes de claquage peuvent être causés par plusieurs événements [43] : l'ionisation par impact et l'auto-échauffement mais aussi les effets Kirk et le Pinch-In (Fig. II-31).

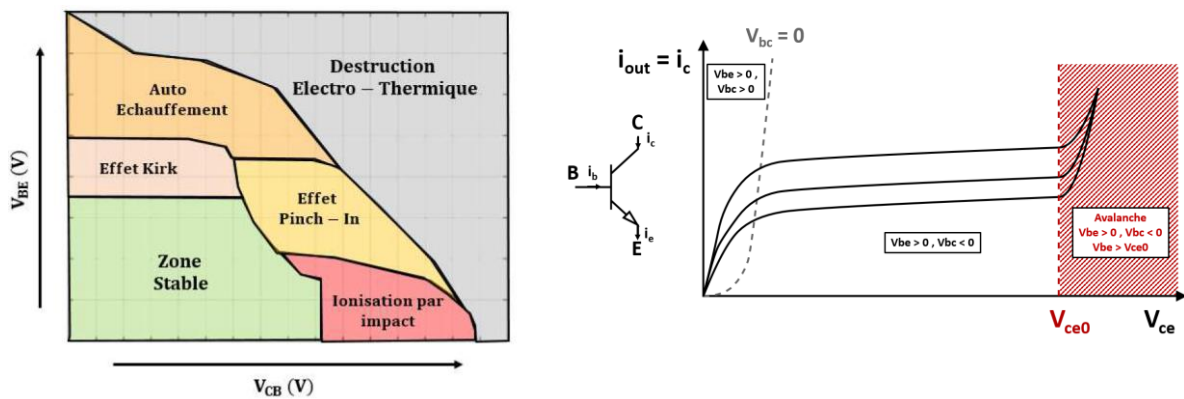


Figure II-31 : (a) Phénomènes présents dans les transistors bipolaires [18] (b) évolution du courant de collecteur en fonction de la tension collecteur-émetteur

Les phénomènes électrothermiques n’entraînent pas de destruction instantanée. En règle générale, ces phénomènes ont pour conséquence une diminution des performances du transistor.

L’effet Kirk

L'effet Kirk (Fig. II-32) désigne la zone de base d'un transistor qui s'élargit au détriment de la zone de déplétion BC. Cette expansion se produit lorsque la densité de charge mobile passant par la zone de charge d'espace B-C dépasse la densité de charge des dopants du collecteur. Cela entraîne une diminution progressive de la zone de charge d'espace, ce qui réduit le gain intrinsèque β et la fréquence de transition f_t du transistor. Il convient de souligner que cet effet ne survient qu'à des polarisations élevées.

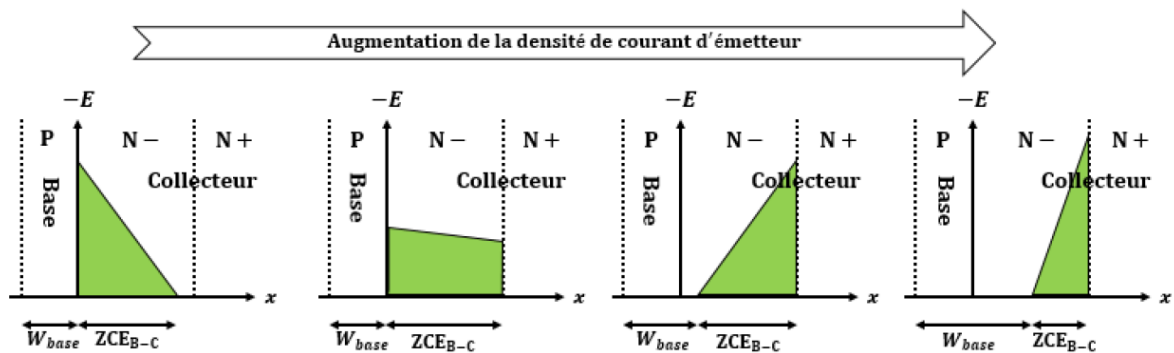


Figure II-32 : Evolution de la largeur de base dans le cas de l’effet Kirk [18]

L’effet Pinch-In

Le pinch-in est un phénomène 3D qui implique une concentration du flux de courant au centre de l’émetteur. Cet effet n’est pas modélisé dans les logiciels de CAO en raison de sa complexité de modélisation. Sa manifestation dépend fortement de la géométrie du transistor utilisé. Le phénomène de pinch-in entraîne la formation d’un point chaud localisé au centre de l’émetteur. Si le transistor fonctionne à un niveau d’injection élevé, cela peut entraîner un auto-échauffement qui peut endommager le dispositif. Pour déterminer la tension critique, V_{CBcrit} , à laquelle se produit ce phénomène, il est nécessaire d’isoler le transistor. Les résultats présentés dans [44] montrent une discontinuité du courant I_c et une chute de la tension V_{BE} lors du passage en mode pinch-in.

La tension critique V_{CBcrit} est grandement influencée par la polarisation appliquée au transistor (Fig. II-33). Lorsqu’il fonctionne avec une forte polarisation (dans la Zone C), les effets d’auto-échauffement peuvent réduire le champ électrique au niveau de la zone de transition ZCE_{B-C} . En conséquence, la tension critique peut augmenter pour des valeurs élevées de I_c .

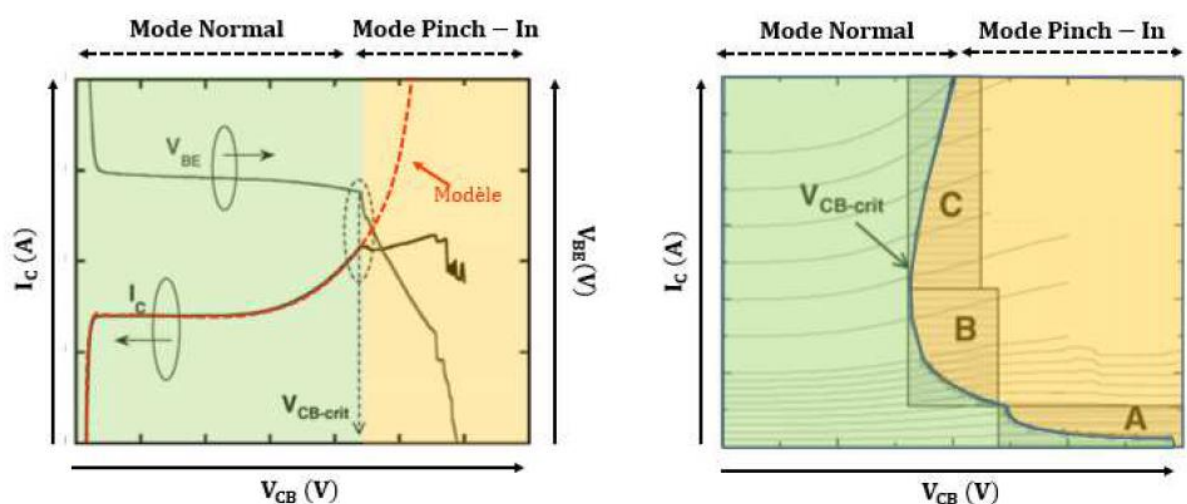


Figure II-33 : Evolution de I_c et V_{be} en fonction de V_{cb} en cas de Pinch-In (a) et évolution de la tension critique en fonction de la polarisation (b) [18]

L’ionisation par impact

Le premier phénomène d'avalanche résulte de l'ionisation par impact, ou IPI. Lorsque la tension augmente au niveau de la jonction $Z_{CE_{B-C}}$, le champ électrique local s'accroît également. Le courant de fuite de la jonction CB tend à injecter des trous vers la base, ce qui contribue à augmenter le flux de courant de trous de la base vers l'émetteur. Étant donné que le courant d'électrons de l'émetteur est un multiple du courant de trous de la base, ce dernier va également augmenter. Par conséquent, le champ électrique local augmente, ce qui à son tour augmente le courant de fuite sur la jonction B-C et donc la densité de trous dans la base. Tout cela se traduit par une diminution du courant de base. L'avalanche se produit lorsque I_b devient négatif (Fig. II-34a).

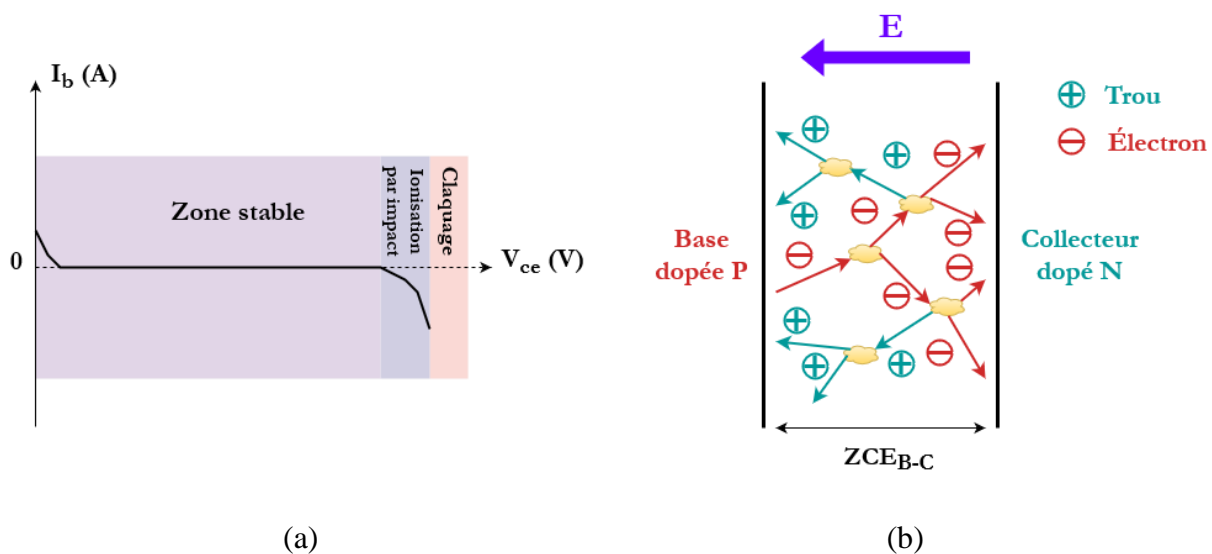


Figure II-34 : Courant i_b en fonction de V_{ce} (a) et modélisation du phénomène d'ionisation par impact dans un transistor bipolaire (b)

L’auto-échauffement

Le deuxième type de claquage provient de l'auto-échauffement [51], un phénomène qui survient lorsque le transistor est soumis à des densités de courant élevées sous une forte polarisation. En raison des résistances internes de l'HBT, les densités de courant élevées génèrent de la chaleur qui ne peut pas se dissiper suffisamment rapidement. Cette augmentation de température entraîne une élévation de la température de la jonction, qui peut entraîner sa destruction. Ce phénomène d'auto-échauffement se traduit par une évolution non-monotone du courant de base (Fig. II-35). Contrairement à l'IPI, ce phénomène n'entraîne pas d'inversion du courant de base. En ce qui concerne la technologie SiGe, la température maximale admissible de la jonction est d'environ 150°C , ce qui est inférieur à celle des technologies telles que le nitrure de gallium (GaN) et l'arséniure de gallium (AsGa) qui sont habituellement utilisées pour cette application et ont des températures maximales admissibles de l'ordre de 175°C et 220°C , respectivement. Par conséquent, les modèles de conception pour la technologie SiGe ne sont fiables que pour des températures d'échauffement pouvant aller jusqu'à 125°C [45].

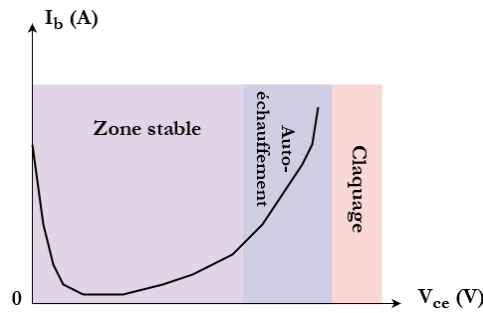


Figure II-35 : Evolution du courant de base en fonction de la tension collecteur-émetteur en cas d’auto-échauffement

En outre, le courant électrique consommé par notre circuit dépend de la puissance requise, et plus cette dernière est élevée, plus la densité de courant est importante. Dans certains modèles de transistors et pour de telles densités de courant, il peut se produire un auto-échauffement des pistes qui s'ajoute à l'échauffement initial du circuit. Il est important de prendre en compte ces effets d'auto-échauffement en comparaison des températures de jonction maximales autorisées par la technologie utilisée. Afin de compenser ou de repousser l’avalanche en augmentant la tension de claquage, un miroir de courant spécifique a été testé et étudié dans ces travaux et sera détaillé dans une partie ultérieure.

2.4 – Fiabilité des transistors et des composants passifs

La fiabilité des transistors correspond à leur durée de fonctionnement [46]. Pour assurer une certaine durée de fonctionnement (10, 20 ans...), les transistors doivent être conçus en respectant certaines règles de conception énoncées dans le manuel dédié (DRM : Design Rules Manual). Typiquement, le dimensionnement se fait en fonction de l'électromigration. Les largeurs de pistes et les vias sont calculés afin que les courants DC et RF qui circulent ne fassent pas trop chauffer les composants et ainsi assurent une certaine durée de vie. L'électromigration est le phénomène de mouvement des atomes au sein d'un matériau conducteur en réponse à un courant électronique [47]. Le manuel de conception établit une limite maximale de détérioration pour une densité de courant donnée à une température de 125°C. Les règles d'électromigration sont conçues pour prendre en compte les courants DC, RMS et de crête.

La migration des électrons à l'intérieur des lignes métalliques peut être limitée en fonction des courants continus (DC) et efficaces (RMS) dans un circuit intégré, en utilisant les expressions suivantes. La densité maximale de courant DC est égale à J_{max} , et la limite de courant DC est donnée par :

$$I_{DC} = J_{max}(h - t_B)(W - t_B) \quad [II - 6]$$

La limite de courant RMS est donnée par :

$$I_{RMS} = \sqrt{\frac{(W-t_B)^2[a_2(W-t_B)^2+a_1(W-t_B)+a_0]}{b_2(W-t_B)^2+b_1(W-t_B)+b_0}} \quad [II - 7]$$

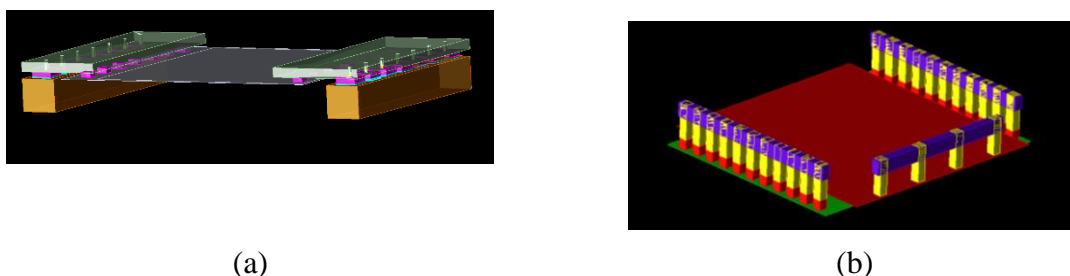
Avec :

- J_{max} la densité maximale de courant DC
- t_B la précision de gravure
- h la hauteur maximale de cuivre
- a_i et b_i des paramètres thermiques de modélisation
- W la largeur de la ligne

L'ensemble de ces paramètres est résumé dans le manuel de conception (DRM) pour des durées de 10 ou 20 ans à une température de 125°C. Les règles d'électromigration pour les courants crêtes sont définies en fonction du seuil à partir duquel une ligne métallique peut subir une surchauffe excessive et commencer à fondre. Ce seuil dépend de la durée de l'impulsion que subit la ligne.

En pratique, on relève les courants qui circulent dans l'amplificateur. On en déduit directement la largeur de la ligne correspondante et les vias nécessaires afin d'assurer la durée de vie que l'on souhaite en fonction du niveau de métal concerné. Cela est possible grâce aux tableaux de valeurs présents dans le DRM.

Concernant les résistances et capacités, certaines règles sont à respecter également. Deux types de capacités sont disponibles dans cette technologie : les capacités MIM (Métal-Isolant-Métal) et les capacités polysilicium (Fig. II-36).



(a) (b)
Figure II-36 : Vue 3D d'une (a) capacité MIM et d'une (b) capacité polysilicium

Les capacités réalisées en polysilicium offrent l'avantage d'avoir une densité capacitive élevée, ce qui les rend adaptées à la création de capacités de grande valeur avec une forte intégration. Malgré cela, les capacités en polysilicium ont un coefficient de qualité très faible ainsi que des tensions de claquage faibles. De plus, leur valeur de capacité est fortement influencée par la tension appliquée à leurs bornes. Par conséquent, elles sont peu utilisées dans la conception d'amplificateurs de puissance. Les capacités MIM tirent leur nom du fait qu'elles sont réalisées à l'aide de deux couches de métal séparées par un isolant différent de l'oxyde. Pour augmenter leur densité capacitive, un isolant à forte permittivité est utilisé. Contrairement aux capacités en polysilicium, les capacités MIM sont construites à partir d'une structure métallique solide, ce qui leur confère une grande robustesse. Selon le DRM, les capacités MIM présentent une fiabilité élevée, avec une plage de tension de fonctionnement comprise entre $-V_{max}$ et V_{max} . Par conséquent, les capacités MIM sont souvent privilégiées lors de la conception d'amplificateurs.

Les résistances sont également soumises à un fort auto-échauffement à cause des différentes couches qui les constituent. Cela peut modifier les performances électriques et

affecter la fiabilité. La limite fixée à ne pas dépasser est de +20°C. L'effet d'auto-échauffement sur les résistances dépend largement de leur forme et de leur géométrie. En effet, pour une résistance de largeur W parcourue par un courant I , l'accroissement de la température peut être décrit comme suit :

$$\frac{I^2}{W^2} = \frac{\Delta T}{r_h(T)r_{sheet}(T)} \quad [II - 8]$$

Avec :

- r_h la résistance thermique
- r_{sheet} la résistance carrée de la couche utilisée

La résistance thermique dépend du type de résistance utilisée (résistance poly-silicium non-siliciuré, résistance active, résistance poly-silicium siliciuré). Elle s'exprime ainsi :

$$r_h(T) = r_{thoo} \left(\frac{W}{W + B} \right) \quad [II - 9]$$

Avec r_{thoo} et B des paramètres fournis dans le DRM. D'après ces paramètres, il est conseillé d'utiliser des résistances siliciurées pour les forts courants, tandis que les modèles non-siliciurés sont préférables pour fournir des résistances de fortes valeurs. De plus, les résistances actives sont souvent utilisées pour compenser les variations de température des résistances polysilicium.

Partie 3 – Méthodologie de conception d’amplificateur de puissance large bande

3.1 – Topologies d’amplificateurs de puissance

Trois types de configurations avec un seul transistor peuvent être identifiés :

- **Le montage en émetteur commun (CE)** où l'émetteur est mis à la masse. Le signal d'entrée est appliqué à la base avec une tension de polarisation. Le signal de sortie est récupéré au niveau du collecteur et est déphasé de 180° par rapport au signal d'entrée, ce qui en fait un montage inverseur.
- **Le montage en base commune (CB)** où le signal d'entrée est appliqué à l'émetteur et le signal de sortie est récupéré au niveau du collecteur. La base est reliée à la masse et ne reçoit qu'une tension de polarisation fixe.
- **Le montage en collecteur commun (CC)** permet d'appliquer le signal d'entrée à la base et de récupérer le signal de sortie à l'émetteur. Le collecteur est alimenté en courant continu et voit la masse en signal faible. Le gain de tension de ce montage est proche de l'unité, ce qui en fait un montage suiveur.

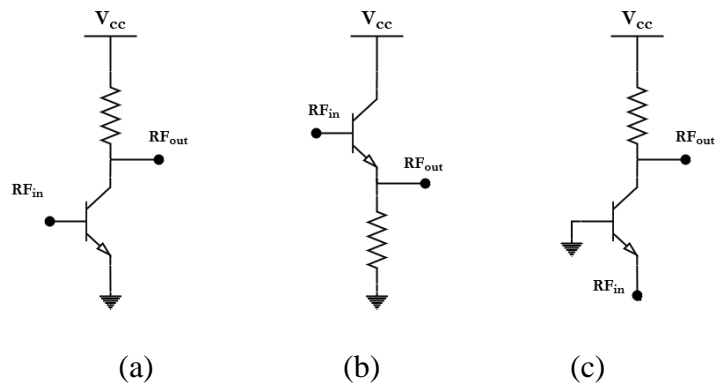


Figure II-37 : Différentes topologies de montage en mode commun (a) émetteur commun, (b) collecteur commun et (c) base commune

	Emetteur commun	Collecteur commun	Base commune
Impédance d’entrée	Moyenne	Elevée	Faible
Gain en courant	Elevé	Elevé	Proche de 1 (>1)
Gain en tension	Elevé	Proche de 1 (<1)	Elevé
Gain en puissance	Très élevé	Elevé	Elevé
Impédance de sortie	Elevée	Très faible	Elevée

Tableau II-3 : Récapitulatif des performances des différentes configurations de transistors unitaires

Le montage en mode commun présente une faible tension d'alimentation de fonctionnement qui est limitée par les tensions de claquage des transistors bipolaires. Pour pallier ce défaut, la topologie cascode est souvent utilisée. Elle est composée d'un transistor monté en émetteur commun, $Q1$, empilé avec un transistor en base commune, $Q2$ (Fig. II-50). Cette structure permet d'opérer à des tensions d'alimentation plus élevées et donc d'augmenter l'excursion de la tension de sortie. De plus, l'influence de la capacité base-collecteur de $Q1$ est réduite par la faible impédance d'émetteur présentée par $Q2$. Cela est important car la capacité base-collecteur, C_{bc} , peut affecter la stabilité des circuits amplificateurs. Cependant, l'amplificateur cascode présente quelques défauts. Il ne peut opérer qu'à des tensions d'alimentation élevées, ce qui le rend inadapté pour les applications à faible consommation. En outre, la connexion à la masse de $Q2$ est un point critique car l'impédance vue par la base de $Q2$ doit être minimisée pour ne pas dégrader les performances de la structure.

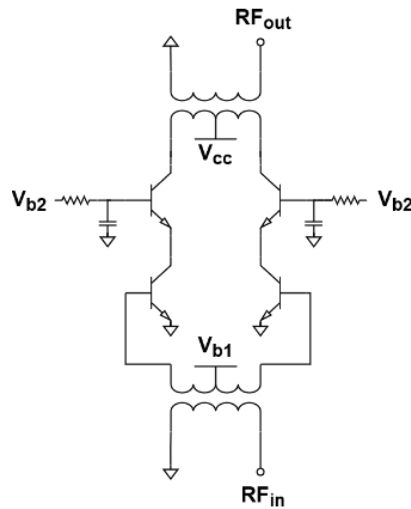


Figure II-38 : Amplificateur cascode pseudo-différentiel

La structure différentielle (ou plutôt pseudo-différentielle) permet de combiner en sortie les deux branches et ainsi augmenter la puissance de sortie de l’amplificateur. C’est cette topologie qui sera utilisée dans ces travaux pour la cellule de puissance.

3.2 – Dimensionnement des transistors de puissance

Pour dimensionner les transistors de puissance du cascode, on utilise une méthode de calcul à partir des performances attendues du circuit [18] [51]. Il s’agit d’une méthode pour le dimensionnement schématique de l’amplificateur de puissance. Ce dimensionnement est amené à changer lors du *design* final de l’amplificateur, après extraction des parasites. Cela permet tout de même d’avoir un point de départ concernant la taille des transistors utilisés dans ce circuit. Pour cela, on a besoin de la puissance de sortie requise, la PAE à 3 dB de la compression, la tension d’alimentation du cascode.

On détermine d’abord la puissance consommée à 3 dB de la compression :

$$P_{DC} = \frac{P_{out@3dB} - P_{in@3dB}}{PAE@3dB} \quad [II - 10]$$

$$P_{DC} = \frac{0,25 - 0,003}{0,2} = 1,21 \text{ W} \quad [II - 11]$$

La tension d’alimentation du cascode est déterminée de la façon suivante :

$$V_{CC} = 2 \left(\frac{BV_{CB0}}{3} \right) = 3,6 \text{ V} \quad [II - 12]$$

On en déduit alors le courant consommé :

$$I_{DC} = \frac{P_{DC}}{V_{CC}} = \frac{1,21}{3,6} = 340 \text{ mA} \quad [II - 13]$$

La Fig. II-39 présente l’évolution de la densité de courant en mA/ μm^2 en fonction de la longueur d’émetteur qui ne peut excéder 15 μm . Cette courbe est tracée à f_{max} .

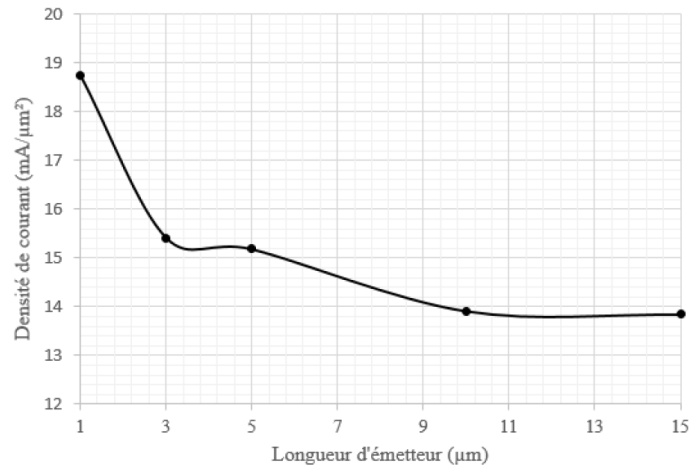


Figure II-39 : Evolution de la densité de courant à f_{max} en fonction de la longueur d’émetteur [18]

On remarque que la densité de courant est relativement constante lorsque la longueur d’émetteur L_E augmente. De ce fait, la longueur d’émetteur choisie sera de 15 μm afin de réduire les risques de variation de densité de courant en cas de variation de *process*. Cela correspond à une densité de courant de 13,8 mA/ μm^2 . La largeur d’émetteur W_E est fixe et égale à 0,27 μm . On peut désormais déterminer le nombre de doigts nécessaire afin de fournir les performances requises.

$$N_{BE} = \frac{I_{DC}}{J_C L_E W_E} \quad [II - 14]$$

$$N_{BE} = \frac{340}{13,8 * 15 * 0,27} \approx 6 \quad [II - 15]$$

Théoriquement, six doigts d’émetteurs sont nécessaires pour fournir les performances voulues. Après extraction des parasites et layout, le choix final s’est porté sur huit doigts d’émetteurs pour tous les transistors du cascode. Un étage de gain est ajouté avant le cascode afin d’augmenter le gain global du circuit. Les transistors de l’étage de gain montés en émetteur commun possèdent quatre émetteurs de 15 μm . Les émetteurs communs sont neutrodynés grâce à des transistors de huit émetteurs de longueur 11 μm pour le cascode et trois émetteurs de 15

μm pour la cellule de gain. Ce dimensionnement est expliqué en Partie 3.5. Un circuit RC est ajouté sur les bases des émetteurs communs du cascode afin de stabiliser davantage le circuit. Des capacités de valeur 950 fF sont ajoutées au plus proche des transistors bases communes, sur leurs bases, permettant de contrer l’ionisation par impact et donc stabiliser le circuit en large bande. Les résistances adjacentes ont pour valeur 4 k Ω (valeur suffisamment grande pour assurer un courant nul dans cette branche). Les transistors de puissance de l’étage cascode et de l’étage de gain le précédant sont présentés dans la Fig. II-40.

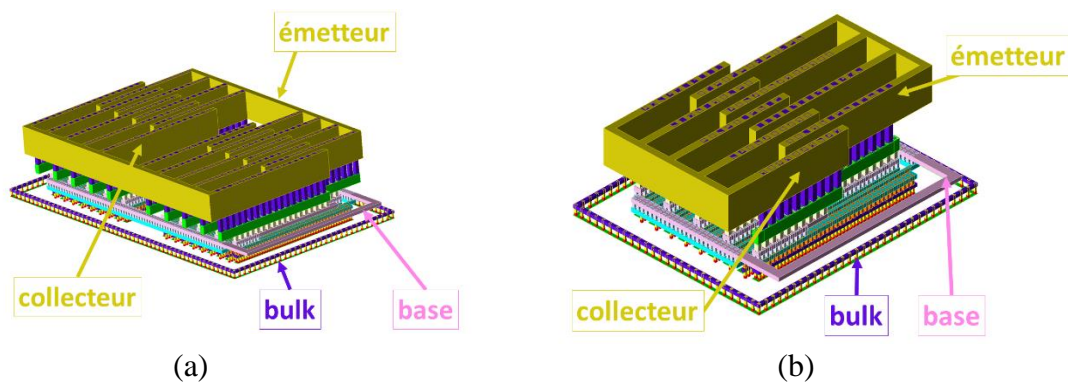


Figure II-40 : Vues 3D des transistors de puissance (a) du cascode et (b) de l’étage de gain

Deux accès de base sont créés sur l’ensemble des transistors du circuit. Cela permet de réduire de moitié la résistance de base et ainsi d’optimiser le gain du transistor. Le nombre de vias pour les remontées sur les métaux épais a été calculé afin de réduire au mieux l’auto-échauffement tout en garantissant le passage du courant.

3.3 – Dimensionnement et optimisation des composants passifs

3.3.1 – Analyse load-pull et détermination des impédances optimales

L’architecture de l’amplificateur de puissance complet avec miroir simple est présentée Fig. II-41. L’amplificateur comprend deux étages pseudo-différentiels : un étage de gain avec des transistors émetteurs communs et un étage de puissance cascode. L’entrée et la sortie mode commun sont obtenues grâce à des baluns (balanced-unbalanced) permettant ainsi d’adapter à 50 Ω . Un transformateur inter-étage permet de transformer l’impédance de sortie de l’étage de gain en l’impédance d’entrée de l’étage de puissance.

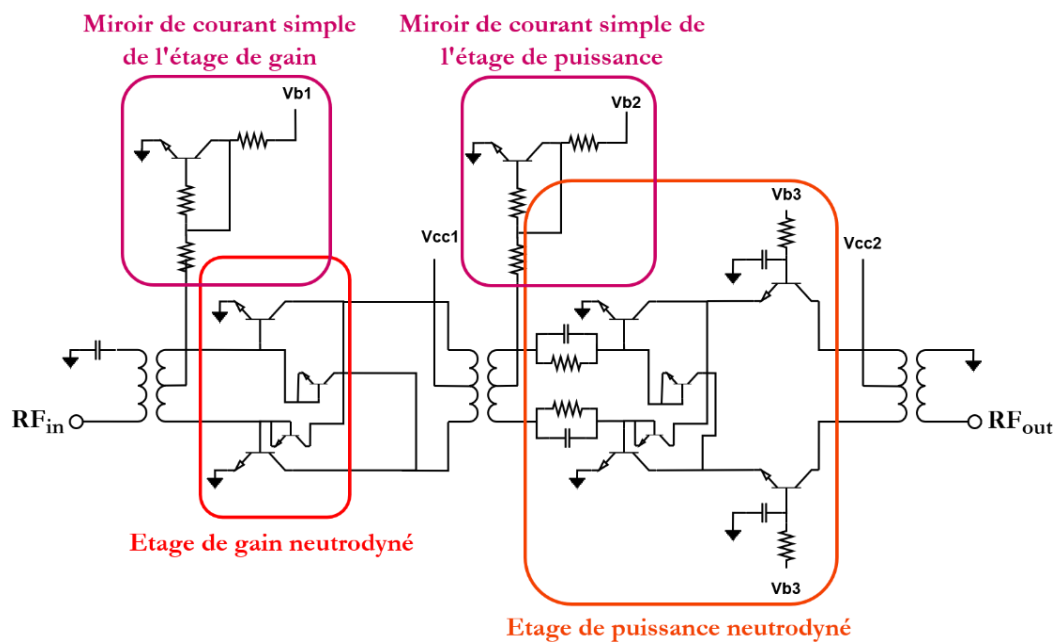


Figure II-41 : Schématique du PA avec polarisation des émetteurs communs par des miroirs de courant élémentaires

Adaptation de la cellule de puissance

Une simulation *loadpull* a d’abord été réalisée à l’aide du logiciel Cadence Virtuoso®, en choisissant le meilleur compromis entre P_{sat} et PAE compte tenu du cahier des charges. L’impédance de sortie complexe de la cellule de puissance est de $15-j25\Omega$. Le balun doit donc transformer l’impédance $15+j25\Omega$ (conjugué de l’impédance de sortie du PA) en 50Ω . Une fois la sortie adaptée à l’aide du *balun*, une simulation *sourcepull* est réalisée afin d’adapter en entrée. En entrée, c’est le gain qui est privilégié. L’impédance d’entrée de la cellule de puissance est de $7+j3\Omega$. Le schéma du cascode avec les différentes impédances est présenté Fig. II-61.

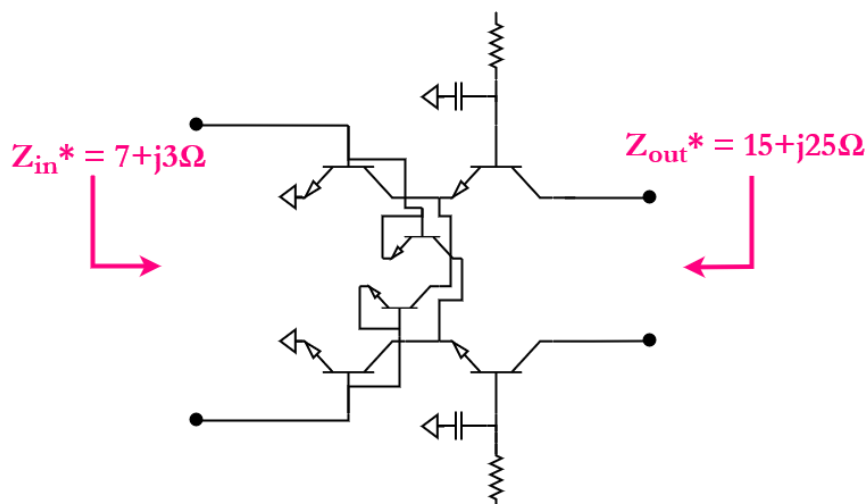


Figure II-42 : Schématique de la cellule de puissance cascode et les impédances présentées en entrée et sortie

Adaptation de la cellule de gain

Une cellule de gain est ajoutée avant la cellule de puissance afin d’augmenter le gain de l’ensemble. De la même manière que pour la cellule de puissance, un *loadpull* et un *sourcepull* sont réalisés afin de déterminer les impédances optimales en entrée et sortie. Les impédances obtenues sont $5-j17\Omega$ en sortie et $7-j12\Omega$ en entrée. Le schéma de cette cellule est présenté en Fig. II-43.

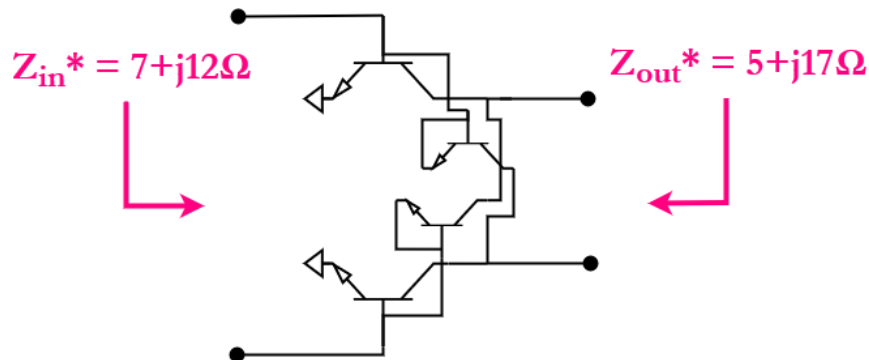


Figure II-43 : Schématique de la cellule de gain avec les impédances présentées en entrée et sortie

Afin d’adapter les impédances en entrée de la cellule de gain et en sortie de la cellule de puissance à 50Ω , des baluns sont utilisés (Fig. II-41). Les deux cellules (gain et puissance) sont reliées via un transformateur inter-étage. La conception de ces trois éléments passifs est détaillée dans la partie suivante (3.3.2).

3.3.2 – Dimensionnement large bande et optimisation des transformateurs et baluns

La méthode utilisée pour le prédimensionnement des transformateurs symétriques et asymétriques est présentée dans [50] et [18]. Une optimisation est effectuée après application de cette méthode. Les baluns sont intrinsèquement plus large bande que les transformateurs. Le balun de sortie est optimisé afin d’avoir la meilleure efficacité possible sur une large bande de fréquence. Le schéma équivalent et les équations associées sont présentés dans [3]. Pour augmenter l’efficacité, le coefficient de couplage k est maximisé. Le transformateur inter-étage a été conçu afin de présenter deux résonances différentes permettant ainsi d’augmenter la bande de fréquence. Pour que cette bande soit élevée, les deux fréquences doivent être suffisamment éloignées. Pour cela, le coefficient de couplage k est diminué en augmentant le facteur ζ . Plus les pistes en entrée et sortie du transformateur sont longues, plus le coefficient de couplage k est faible et plus les capacités $C1$ et $C2$ du modèle équivalent sont élevées. Les transformateurs finaux sont présentés ci-après. Une capacité pourrait être ajoutée entre les voies d’entrée ou les voies de sortie pour augmenter davantage la capacité et ainsi réduire encore le coefficient de couplage k . Dans notre cas, la bande utile qui s’étend de 24,25 à 30,5 GHz est couverte avec la topologie présentée Fig. II-44.

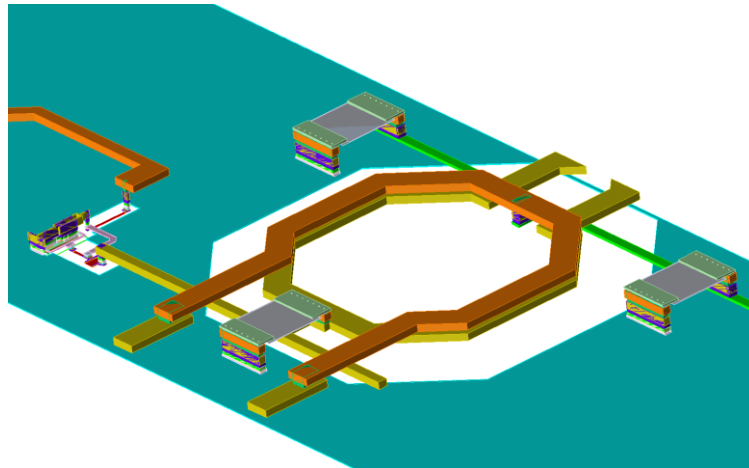


Figure II-44 : Vue 3D du transformateur inter-étage avec le miroir de courant élémentaire et les capacités de découplage

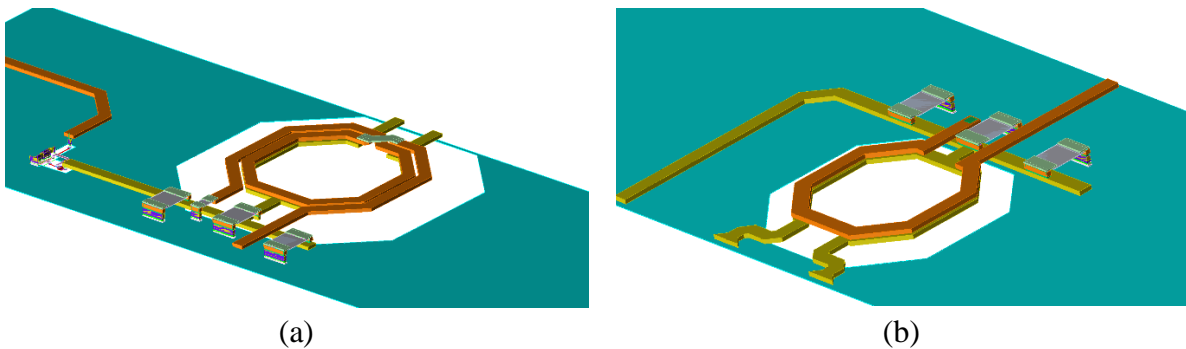


Figure II-45 : Vues 3D (a) du balun d’entrée avec le miroir de courant élémentaire et (b) du balun de sortie

Les dimensionnements sont répertoriés dans le Tab. II-4.

	Largeur de piste W (μm)	Diamètre intérieur (μm)	Primaire/Secondaire
Balun d’entrée	10	110	2 tours/1 tour
Balun de sortie	10	90	1 tour/1 tour
Transformateur inter-étage	10	90	1 tour/1 tour

Tableau II-4 : Tableau récapitulatif des dimensions du transformateur et des baluns du PA

3.4 – Dimensionnement des miroirs de courant

Le but de cette partie est de comprendre l’influence d’une possible avalanche sur le circuit en fonction du miroir de courant utilisé pour polariser les transistors émetteurs communs. En effet, un miroir de courant est souvent utilisé dans les circuits intégrés pour obtenir une réplification précise d’un courant de référence. Dans le cas des transistors bipolaires, un miroir de courant peut être utilisé pour fournir un courant constant à plusieurs branches ou étages du circuit. Les transistors bipolaires peuvent présenter des variations de courant en raison de variations de température, de la dispersion des paramètres de fabrication ou d’autres facteurs. En utilisant un miroir de courant, il est possible de compenser ces variations en ajustant le courant de référence.

L'utilisation d'un miroir de courant sur des transistors bipolaires permet de répliquer un courant de référence avec précision, de compenser les variations de courant, d'amplifier le courant si nécessaire et de réduire les effets de charge indésirables.

3.4.1 – Le miroir de courant élémentaire

Le miroir de courant élémentaire est composé d’un transistor ($Q1$) permettant de polariser le transistor du PA. Le courant traversant le transistor $Q1$ est recopié dans le transistor $Q2$ (Fig. II-46).

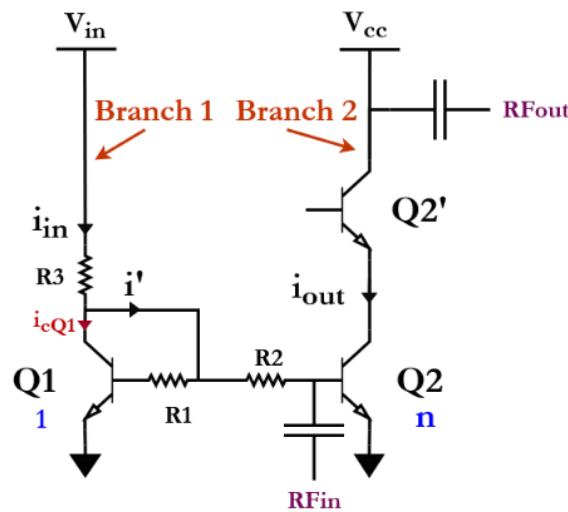


Figure II-46 : Schématique d’un miroir de courant élémentaire

Théorie du miroir de courant élémentaire

La théorie du miroir élémentaire est détaillée ici avec et sans avalanche.

$$i_{out} = n i_{cQ1} \quad [II - 16]$$

$$\frac{i_{out}}{i_{in}} = \frac{n}{1 + \frac{1+n}{\beta}} \quad [II - 17]$$

Sans avalanche, le rapport du courant de sortie sur le courant d’entrée est présenté en [II-17], avec n le rapport de taille entre le transistor $Q1$ et le transistor $Q2$ et β le paramètre caractéristique, gain en courant, d’un transistor bipolaire, que l’on prendra identique pour tous les transistors dans cette étude.

Dans le cas d’une avalanche (Fig. II-47), les équations deviennent [II-18] à [II-22].

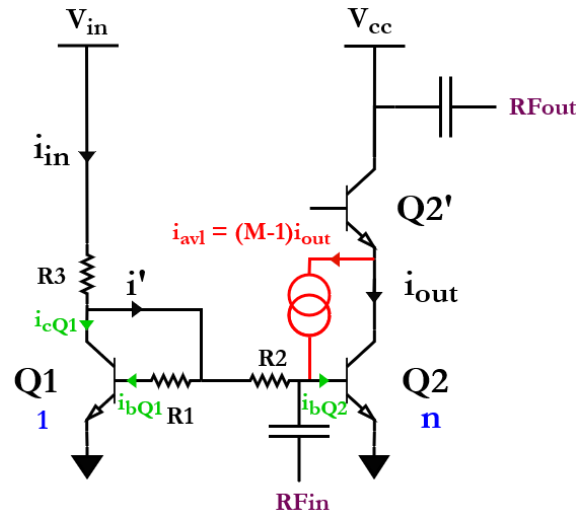


Figure II-47 : Miroir de courant élémentaire en cas d’avalanche

$$i' = i_{bQ1} - i_{avl} + i_{bQ2} \quad [II - 18]$$

$$i' = \frac{i_{cQ1}}{\beta} - (M - 1)i_{out} + \frac{i_{out}}{\beta} \quad [II - 20]$$

$$i_{in} - i_{cQ1} - i' = 0 \quad [II - 21]$$

$$\frac{i_{out}}{i_{in}} = \frac{n}{1 + \frac{1+n}{\beta} - n(M-1)} \quad [II - 22]$$

On voit que l’avalanche, qui est modélisée par le facteur d’avalanche M [48], a un gros impact sur le rapport $\frac{i_{out}}{i_{in}}$. Quand β devient grand, l’influence de M sur le rapport du courant de sortie et celui d’entrée reste importante. Cela est illustré dans la Fig. II-48 avec la simulation post-layout du PA avec le miroir élémentaire. Les courants de sortie des transistors du cascode sont tracés en fonction de la tension V_{ce} . L’avalanche est bien présente avant 6V.

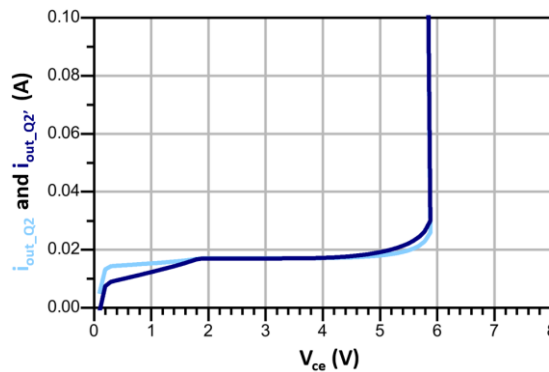


Figure II-48 : Courant de sortie des transistors du cascode en fonction de la tension collecteur-émetteur

Cela implique que si la tension V_{ce} s’approche de cette valeur, le courant de sortie s’emballe au point de devenir trop haut par rapport à ce que les transistors peuvent supporter. C’est une conséquence de l’ionisation par impact ou de l’auto-échauffement tous deux présentés précédemment.

Le but alors est de concevoir un miroir qui puisse compenser ou repousser l’avalanche afin de réduire le risque de destruction du transistor.

3.4.2 – Le miroir de courant à compensation d’avalanche

Dans cette partie, une architecture de miroir de courant permettant de compenser l’avalanche est détaillée. En effet, cette structure a été proposée dans [49]. Le but de mes travaux consiste à étudier théoriquement ce miroir et ainsi d’extraire les équations permettant de prouver son efficacité contre les avalanches par rapport à un miroir de courant élémentaire. Le deuxième intérêt est de concevoir ce miroir de courant sur logiciel et de le simuler dans l’amplificateur de puissance 5G. Les simulations post-layout sont alors proposées à la suite de l’étude théorique.

La structure de miroir de courant proposée est illustrée en Fig. II-49.

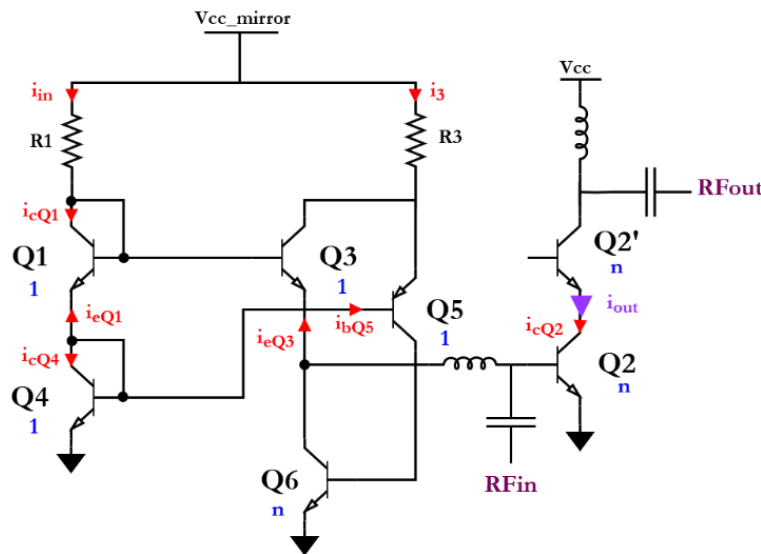


Figure II-49 : Schématique du miroir de courant à compensation d’avalanche

Parmi tous les transistors composant ce miroir, le transistor PNP $Q5$ permet de créer une contre réaction et permet ainsi de réduire l’avalanche d’autant plus que celle-ci est grande.

Théorie du miroir de courant à compensation d’avalanche

Les équations peuvent alors être écrites comme celles du miroir élémentaire.

$$i_{eQ3} = \frac{1 + \beta}{\beta} i_{in} - \frac{(1 + \beta)^2}{\beta} i_{bQ5} \quad [II - 23]$$

$$i_{bQ5} = i_{eQ1} - \frac{1 + \beta}{\beta} i_{cQ4} \quad [II - 24]$$

$$i_{cQ4} = i_{cQ3} + i_{out} - i_{cQ1} \quad [II - 25]$$

$$i_{cQ1} = \frac{\beta}{1 + \beta} i_{in} - \frac{\beta}{(1 + \beta)^2} i_{eQ3} \quad [II - 26]$$

$$i_{eQ1} = i_{in} - \frac{1}{\beta + 1} i_{eQ3} \quad [II - 27]$$

$$i_{bQ5} = 2i_{in} - \frac{3 + \beta}{\beta + 1} i_{eQ3} - \frac{1 + \beta}{\beta} i_{out} \quad [II - 28]$$

$$i_{eQ3} = \frac{(1 + \beta)(\beta^2(2i_{in} - i_{out}))}{\beta(\beta^2 + 3\beta + 3)} + \frac{\beta(i_{in} - 2i_{out}) - i_{out}}{\beta(\beta^2 + 3\beta + 3)} \quad [II - 29]$$

$$i_{out} = \beta(i_{eQ3} - \beta^2 i_{bQ5} + (M - 1)i_{out}) \quad [II - 30]$$

$$\frac{i_{out}}{i_{in}} = \frac{\beta(\beta^3 + \beta^2 + 1)}{\beta^4 + \beta^3(5 - M) + \beta^2(7 - 3M) + \beta(9 - 3M) + 4} \quad [II - 31]$$

Quand β devient grand, [II-31] devient alors $\frac{i_{out}}{i_{in}} = \frac{\beta^4}{\beta^4} = 1$. L’effet de M n’est donc plus visible c’est-à-dire que l’avalanche devient invisible vis-à-vis du transistor. Cela implique qu’il est comme protégé de cette avalanche grâce à ce miroir de courant. Un transistor $Q7$ est ajouté pour accentuer cette protection (Fig. II-50). Les deux transistors $Q5$ et $Q7$ ont un impact indépendant. Si l’on regarde d’abord le transistor $Q5$ (Fig. II-50a) et ses effets, on obtient le processus suivant :

- i_{bQ2} devient négatif, ce qui provoque l’avalanche,
- v_{bQ6} et i_{bQ6} vont alors augmenter,
- v_{bQ5} , v_{bQ4} , v_{cQ4} , v_{bQ3} vont diminuer,
- v_{bQ2} diminue, ce qui calme l’avalanche.

Si l’on regarde maintenant le transistor $Q7$ (Fig. II-50b) et ses effets, on obtient ce second processus en parallèle du premier :

- i_{bQ2} devient négatif, ce qui provoque l’avalanche,
- v_{bQ6} et v_{bQ7} augmentent,
- i_{cQ7} augmente,
- i_{fb} augmente,
- i_{in} et i_3 diminuent,
- i_{cQ6} diminue,

- i_{out} diminue.

L’avalanche est alors complètement repoussée vers des tensions V_{ce} plus élevées.

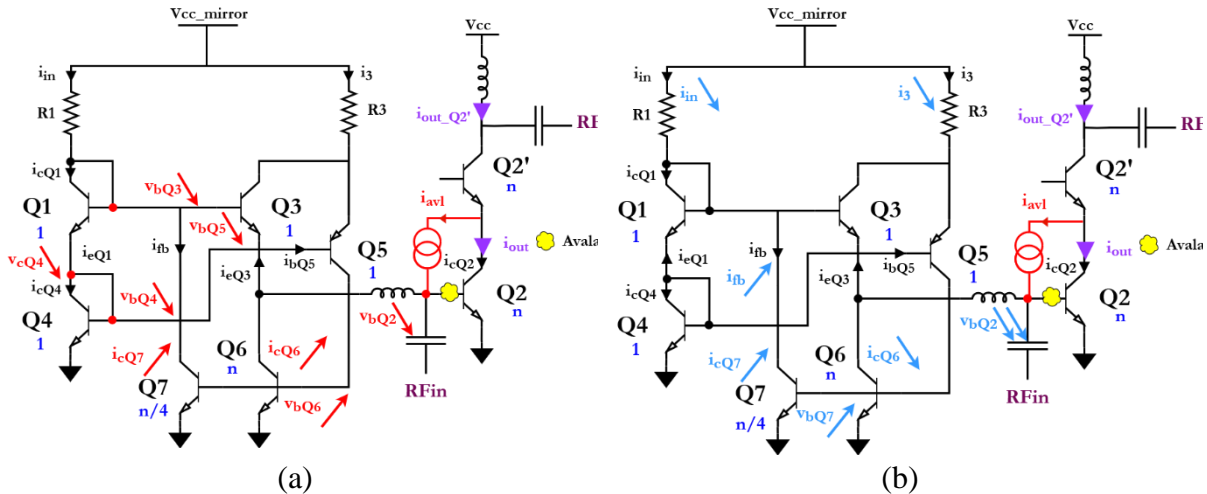


Figure II-50 : Schématic du miroir à compensation d’avalanche complet avec (a) l’influence de Q5 et (b) l’influence de Q7

Plus l’avalanche sera importante, plus le courant *feedback* i_{fb} sera élevé et plus l’avalanche sera compensée. Les courbes en courant associées sont présentées en Fig. II-51. On remarque que le courant commence à augmenter à 9 V et non plus à 6 V comme avec le miroir élémentaire.

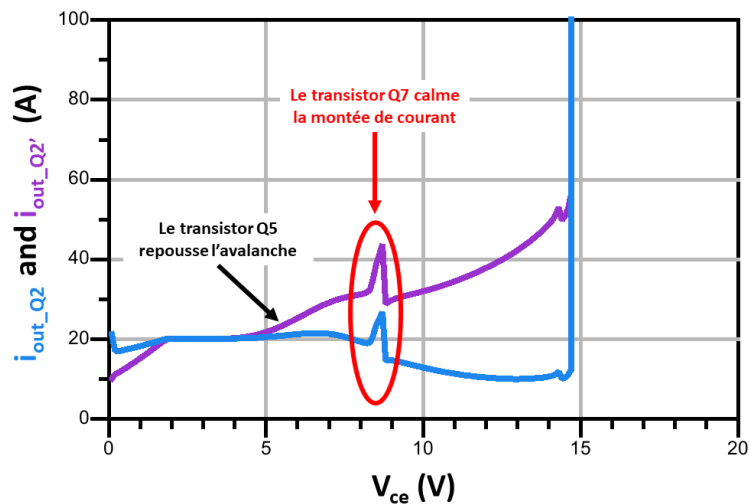


Figure II-51 : Courant de sortie des transistors du cascode en fonction de V_{ce} avec le miroir à compensation d’avalanche

On peut en déduire que le transistor $Q5$ permet dans un premier temps de repousser l’avalanche de 6V à 9V. Puis, cette avalanche est de nouveau compensée et repoussée jusqu’à 14,5 V grâce au transistor $Q7$. Le miroir proposé permet donc de repousser l’avalanche, c’est-à-dire d’augmenter la tension de claquage et donc d’augmenter l’excursion en tension. Le circuit complet du PA avec miroir à compensation d’avalanche est présenté en Fig. II-52.

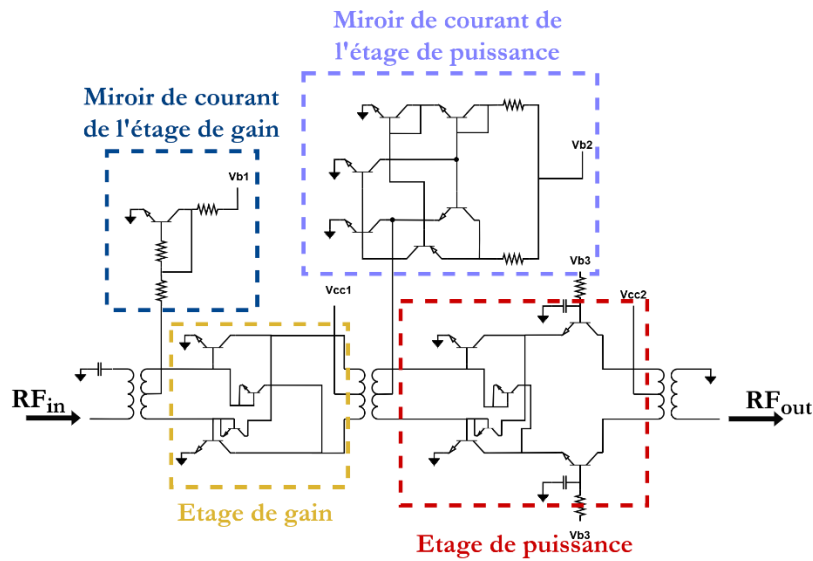


Figure II-52 : Schématique de l’amplificateur de puissance avec un miroir de courant à compensation d’avalanche

Les performances du PA ont été étudiées avec ce miroir. Cette étude est intervenue alors que le PA n’était pas encore mature c’est-à-dire lorsque son efficacité n’avait pas atteint le niveau actuel. Des améliorations ont été apportées sur l’architecture du PA depuis ces simulations, ce qui a permis d’augmenter la PAE de 20 à 32% avec un miroir élémentaire. Voici donc les performances du PA lorsque les simulations avec un miroir élémentaire ne dépassaient pas 22% de PAE_{max} .

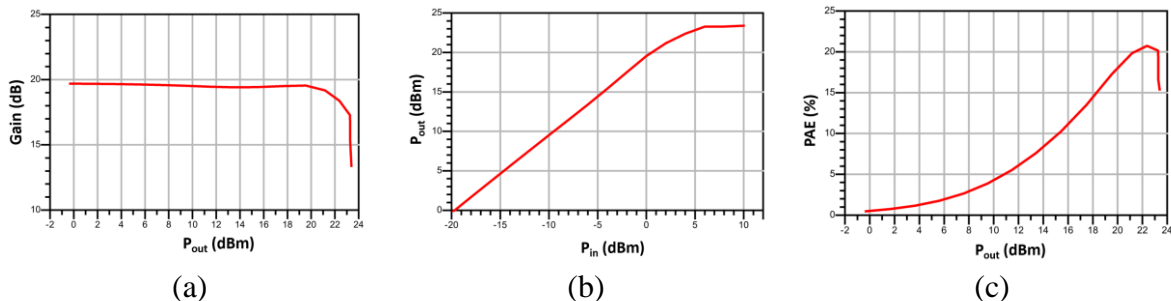


Figure II-53 : Performances en puissance de l’amplificateur avec le miroir à compensation d’avalanche : (a) gain (b) puissance de sortie (c) PAE

A titre de comparaison par rapport au même circuit avec un miroir élémentaire, les performances obtenues en matière de P_{out} , PAE et gain sont identiques.

3.5 – Stabilité linéaire et stabilité non-linéaire du PA

Plusieurs métriques existent pour caractériser la stabilité linéaire et la stabilité non-linéaire.

3.5.1 – Stabilité linéaire du PA

Facteur de rollet K et paramètre Δ

L'analyse la plus couramment utilisée pour étudier la stabilité linéaire d'un système 2 ports intrinsèquement stable est le critère de Rollet, également connu sous le nom de facteur K . Cette

analyse petit-signal implique l'examen d'un système qui est adapté à ses ports d'entrée/sortie. Les paramètres S obtenus à partir de cette analyse permettent de déterminer le facteur de Rollet K ainsi que le paramètre Δ .

$$K = \frac{1 - |S_{11}(\omega)|^2 - |S_{22}(\omega)|^2 + \Delta^2(\omega)}{2|S_{21}(\omega)S_{12}(\omega)|} \quad [II - 16]$$

$$|\Delta(\omega)| = |S_{11}(\omega)S_{22}(\omega) - S_{21}(\omega)S_{12}(\omega)| \quad [II - 17]$$

Les conditions de stabilité à partir de ces deux facteurs sont récapitulées dans le tableau II-5.

$ K > 1$	$K > 1$	$ \Delta < 1$	<i>Inconditionnellement stable</i>
		$ \Delta > 1$	<i>Conditionnellement stable</i>
	$K < -1$		<i>Instable</i>
$ K < 1$			<i>Conditionnellement stable</i>
$ K = 1$			<i>Instable</i>

Tableau II-5 : Conditions de stabilité du facteur de Rollet K et du paramètre Δ

Pour vérifier les conditions requises, il est nécessaire de tracer les cercles de stabilité dans l'abaque de Smith lorsque le critère est conditionnellement stable.

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right| < 1 \quad [II - 18]$$

$$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \right| < 1 \quad [II - 19]$$

Le critère dans son ensemble est qualifié d'"extrinsèque" car il ne tient pas compte des sources d'instabilité interne de l'amplificateur de puissance.

Critère d'Edwards et Sinsky μ

Le critère μ , qui a été introduit en 1992 par Marion L. Edwards et Jeffrey H. Sinsky, est une condition géométrique qui permet de déterminer la stabilité extrinsèque d'un système à deux ports. Il fournit une mesure de la distance entre le centre de l'abaque de Smith et le point le plus proche situé sur le cercle de stabilité. Les notations μ et μ'' sont utilisées pour représenter les stabilités d'entrée et de sortie, respectivement.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22}S_{11} * \Delta| + |S_{21}S_{12}|} > 1 \quad [II - 20]$$

$$\mu'' = \frac{1 - |S_{22}|^2}{|S_{11}S_{22} * \Delta| + |S_{21}S_{12}|} > 1 \quad [II - 21]$$

Toutefois, comme pour le critère de Rollet, le critère μ ne tient pas compte des instabilités internes au circuit, ce qui le rend insuffisant comme test de stabilité optimal.

Analyse des pôles et des zéros

En ce qui concerne la détection d'instabilités linéaires, l'analyse des pôles et des zéros est considérée comme l'une des méthodes les plus fiables, tout comme pour les instabilités non linéaires. Cette approche repose sur l'observation de la réponse fréquentielle d'une perturbation appliquée à un point spécifique du circuit, pour une impédance d'entrée/sortie donnée. En pratique, on utilise l'outil STAN[®] de la société AMCAD détaillé en 3.5.3.

3.5.2 – Neurodynamage des émetteurs communs

L'effet Miller

L'effet Miller a été théorisé par John M. Miller en 1920. Il décrit comment l'amplification de l'effet de capacité entre l'entrée et la sortie d'un amplificateur peut conduire à une augmentation de la capacité d'entrée équivalente. Cela signifie qu'avec un montage en émetteur commun de gain A_v , une capacité Miller d'entrée C_m et de sortie C_{mo} peut être utilisée pour modéliser cette augmentation de la capacité d'entrée. En d'autres termes, l'effet Miller permet d'expliquer comment l'augmentation de la capacité entre l'entrée et la sortie d'un amplificateur peut influencer sa performance globale.

$$C_m = C_{BC}(1 + A_v) \quad [II - 22]$$

$$C_{mo} = C_{BC} \left(1 + \frac{1}{A_v}\right) \quad [II - 23]$$

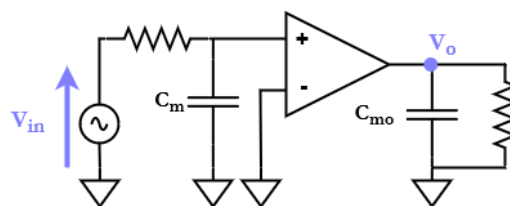


Figure II-54 : Amplificateur et ses capacités de Miller

D'après Fig. II-54, on peut déduire :

$$V_o = A_v(1 + j\omega C_m V_A) \quad [II - 24]$$

En raison de l'effet de la capacité Miller, l'amplificateur aura tendance à fonctionner comme un filtre passe-bas. Il est important de noter que plus la taille du transistor d'amplification est grande, plus les performances de l'amplificateur seront détériorées à des

fréquences élevées. Plusieurs techniques ont été développées pour minimiser l'effet négatif de la capacité Miller sur les performances du circuit :

- La technique de la structure cascodée est utilisée pour minimiser l'effet de la capacité Miller. Dans cette structure, l'étage en base commune n'est pas affecté par l'effet Miller car la base est connectée à la masse. Par conséquent, cet étage joue un double rôle. La structure cascodée permet d'améliorer l'isolation globale de l'amplificateur de puissance et agit également comme un tampon de courant pour réduire le gain de l'étage en émetteur commun (CE). Cela contribue à améliorer la bande passante globale du circuit.
- L'ajout de capacités de neutrodynage sur les transistors émetteurs communs. Ce neutrodynage permet de neutraliser les capacités C_{BC} et donc les capacités de Miller. Ce principe est expliqué dans le paragraphe suivant.

La neutralisation des capacités de Miller

Louis Hazeltine a inventé la méthode de neutralisation des capacités en 1922 pour éviter les oscillations induites par les capacités inter-électrodes sur les triodes RF. Aujourd'hui, cette technique est principalement utilisée sur des architectures différentielles ou pseudo-différentielles pour générer une capacité négative en utilisant un déphasage de 180° . Un exemple courant est la neutralisation de la capacité de collecteur à base sur un étage en émetteur commun.

En utilisant les recherches de H. Asada dans [51] pour les structures MOS, il est possible d'analyser l'impact théorique de la capacité de neutralisation sur la stabilité de l'étage en émetteur commun.

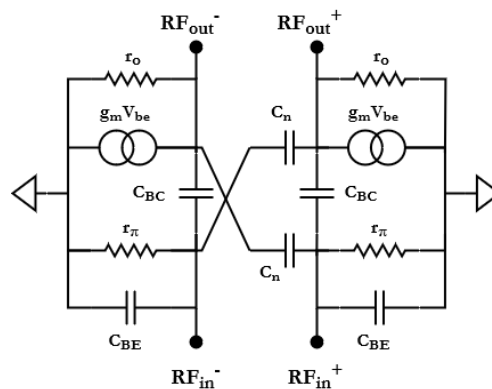


Figure II-55 : Schéma petit signal de l'émetteur commun avec neutralisation

On peut déduire de la Fig. II-55 la matrice d'admittance II-25.

$$[Y] = \begin{pmatrix} \frac{1}{r_\pi} + j\omega C_{BE} + j\omega(C_{BC} + C_n) & -j\omega(C_{BC} - C_n) \\ g_m - j\omega(C_{BC} - C_n) & \frac{1}{r_o} + j\omega(C_{BC} + C_n) \end{pmatrix} \quad [II - 25]$$

On peut alors réévaluer le facteur de Rollet :

$$K = \frac{2\text{Re}(Y_{22})\text{Re}(Y_{11}) - \text{Re}(Y_{21}Y_{12})}{|Y_{21}Y_{12}|} \quad [II - 26]$$

$$K = \frac{2 + \omega^2(C_{BC} - C_n)^2 r_\pi r_o}{\omega |C_{BC} - C_n| r_\pi r_o \sqrt{\omega^2(C_{BC} - C_n)^2 + g_m^2}} \quad [II - 27]$$

Peut être déduit de [II-27] qu’une capacité de neutrodynage équivalente à la capacité C_{BC} implique une augmentation du facteur de Rollet. Cette observation est également valable pour le gain maximal stable, MSG (Maximum Stable Gain) :

$$MSR = \frac{|Y_{21}|}{|Y_{12}|} = \frac{\sqrt{\omega^2(C_{BC} - C_n)^2 + g_m^2}}{\omega |C_{BC} - C_n|} \quad [II - 28]$$

Des capacités de neutrodynage peuvent donc permettre de neutraliser les capacités de Miller, ce qui implique une stabilisation du circuit en large bande. En revanche, il est préférable d’utiliser des transistors du même type que les transistors neutrodynés afin que le neutrodynage soit toujours adapté en cas de variation de process. Les deux situations sont schématisées Fig. II-56.

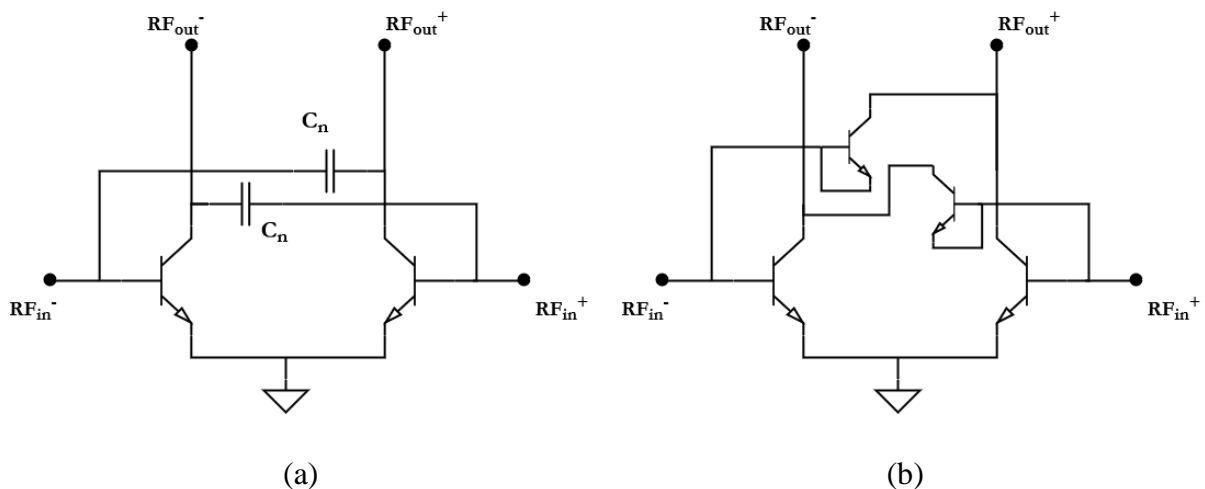


Figure II-56 : PA pseudo-différentiel monté en émetteur commun avec neutrodynage par (a) capacités et (b) transistors

Avant d’utiliser des transistors, des capacités de neutrodynage permettent de trouver la valeur exacte capacitive permettant de compenser convenablement la capacité de Miller. Ceci est réalisé en regardant le gain et la stabilité en fonction de ces capacités. Une fois la valeur optimale déterminée, un transistor de même configuration que le transistor à neutrodynage est conçu ayant pour capacité équivalente la valeur en question. Cela permet de prévoir toute variation en cas d’erreur de process.

Finalement, les transistors de neutrodynage de l’étage de puissance et de l’étage de gain sont présentés en Fig. II-57.

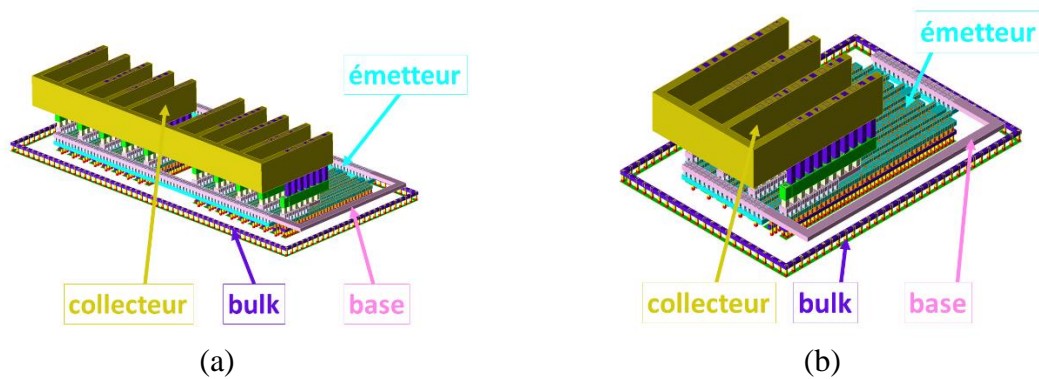


Figure II-57 : Vues 3D des transistors de neutrodynage (a) du cascode et (b) de l'étage de gain

3.5.3 – Stabilité non linéaire du PA

Au cours de la conception d'un amplificateur de puissance, il est important d'effectuer une analyse de stabilité en régime non-linéaire pour garantir une stabilité inconditionnelle du système dans des conditions de fort signal.

Analyse transitoire

Une approche initiale pour l'analyse non linéaire consiste à perturber les points critiques du circuit et à examiner sa réponse au fil du temps. Si le circuit est instable, il répondra à la perturbation par une oscillation soutenue. En revanche, si le circuit est stable, la perturbation sera atténuée. Il convient de souligner que cette méthode permet de confirmer la stabilité en régime linéaire et non linéaire.

Analyse des pôles et des zéros

L'analyse des pôles et des zéros est une analyse linéaire qui permet de caractériser la stabilité linéaire ou non linéaire en un point précis d'un circuit. Les pôles et zéros de la fonction de transfert en ce point doivent être à partie réelle négative pour que ce point soit stable. Pour cette étude, l'outil STAN[®] peut être utilisé. Cet outil a été développé par l'université de Bilbao et le CNES, et est fourni par la société AMCAD. Il utilise le formalisme des matrices de conversion et applique la technique d'identification des pôles et des zéros.

Dans cette section, l'utilisation de l'outil STAN est détaillée afin de le mettre en place dans les circuits tels que les amplificateurs de puissance, particulièrement sujets aux instabilités. Cette explication s'applique au logiciel Cadence virtuoso[®] avec l'outil GoldenGate d'ADS[®].

- La première étape consiste à placer une perturbation à l'endroit où l'on souhaite regarder la linéarité. Pour ce faire, une source de courant est ajoutée avec comme paramètres l'amplitude de la perturbation et la fréquence. L'amplitude de la perturbation peut être par exemple de 1 μA et la fréquence correspond à la fréquence de travail.
- Deux sondes sont alors posées pour prélever deux informations : la tension et le courant en sortie de cette source de courant. On les appellera respectivement v_{stab} et i_{stab} (Fig. II-58).

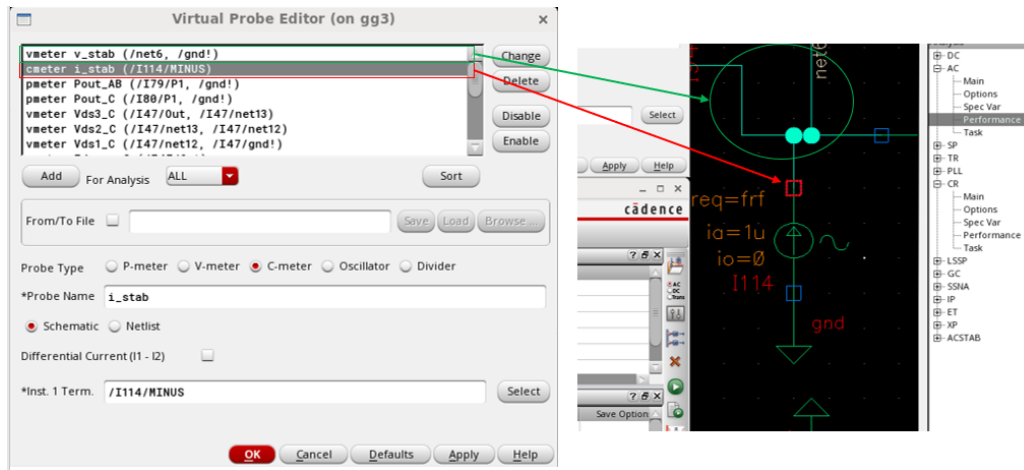


Figure II-58 : Paramétrage des sondes de tension et courant sur Cadence virtuoso Goldengate®

- La méthode peut être appliquée tant en linéaire qu’en non-linéaire même si l’analyse non-linéaire est celle qui va le plus nous intéresser. On va alors déclarer une performance qui est la fonction de transfert de la tension v_{stab} sur le courant i_{stab} .
 - En linéaire : une simulation AC est paramétrée. La performance ajoutée est :

$$H_{lin} = \frac{v_{stab} \cdot v(\omega)}{i_{stab} \cdot c(\omega)} \quad [II - 29]$$

- En non linéaire : une simulation CR est paramétrée. La performance ajoutée est :

$$H = \frac{v_{stab} \cdot v(f_1, f_2, f_3)}{i_{stab} \cdot c(f_1, f_2, f_3)} \quad [II - 30]$$

Avec f_1 , f_2 et f_3 les fréquences du fondamental, du second et du troisième harmonique respectivement. Dans notre cas, on regarde la stabilité au fondamental, [II-30] s’écrit alors :

$$H = \frac{v_{stab} \cdot v(1,0,0)}{i_{stab} \cdot c(1,0,0)} \quad [II - 31]$$

Les étapes suivantes du paramétrage sont :

- Ajouter un balayage en fréquence (dans *Spec Var* ou *Task*)
- En non linéaire, ajouter un balayage en puissance
- Afficher les courbes d’amplitude et phase de la fonction de transfert H_{lin} ou H
- Exporter les résultats en format ASCII (fichier *.txt*)
- Ouvrir l’outil STAN®
- Charger le fichier *.txt*
- Les pôles et zéros stables et instables s’affichent comme dans la Fig. II-59.

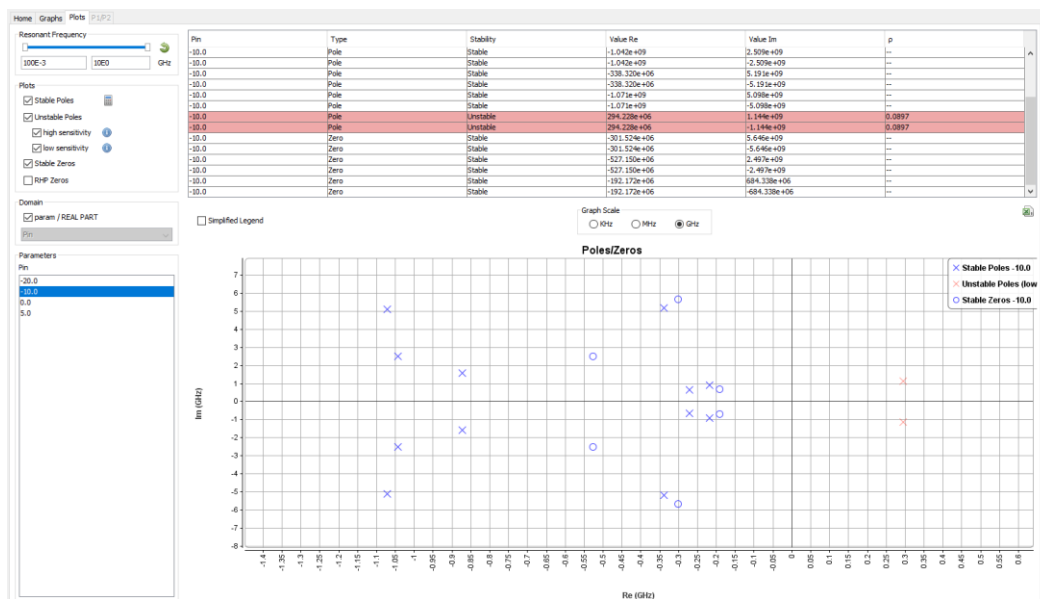


Figure II-59 : Affichage des pôles et zéros sur l’outil STAN®

- Le paramètre ρ donne la stabilité de pôle ou zéro.
 - Si $\rho = -$: stable
 - Si $\rho > 1$: instable physiquement
 - Si $\rho < 1$: instable physiquement ou numérique (algorithmique)
- Dans le cas où $\rho < 1$, une vérification sur un autre nœud du circuit ou par une autre méthode est nécessaire. Cependant, si la valeur est inférieure à 0,1, il peut être considéré que le circuit est physiquement stable.

L’application de cette méthode dans nos travaux sera présentée dans la section suivante et le chapitre suivant.

3.6 – Résultats des simulations Post-Layout de l’amplificateur de puissance

Les simulations post-layout, c’est-à-dire après extraction des parasites et simulations électromagnétiques, ont été menées sur le circuit de la Fig. II-60. Elles sont présentées dans cette partie.

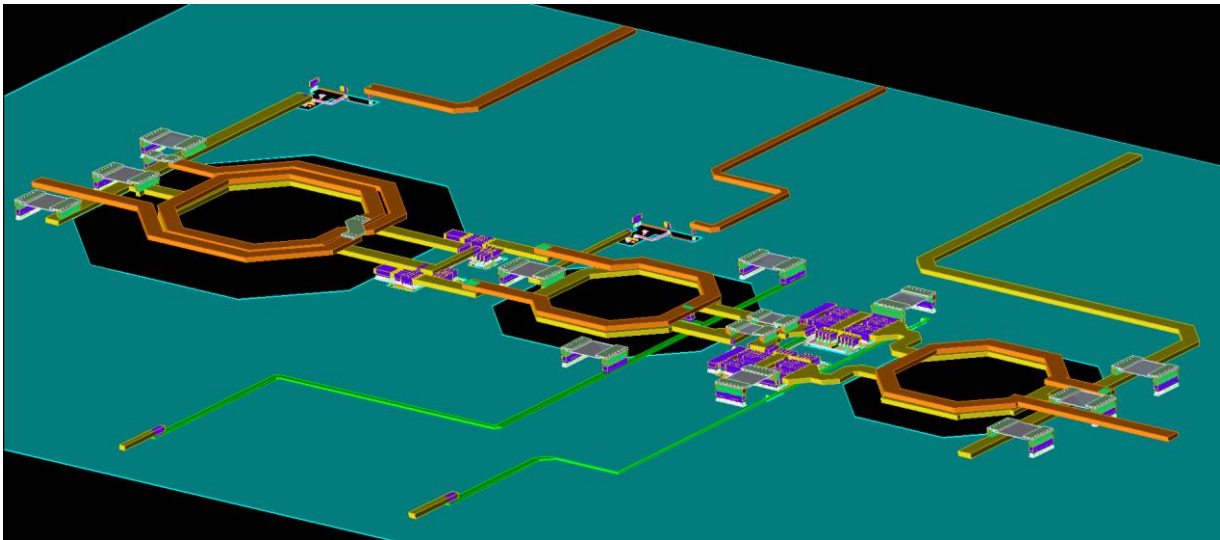


Figure II-60 : Vue 3D de l’amplificateur de puissance

Simulations petits signaux

Les paramètres S entre 0 et 100 GHz ainsi que sur la bande considérée 24,25 à 30,5 GHz sont présentés en Fig. II-61. Le gain en petit signal S_{21} varie de 21,5 à 25,5 dB sur la bande et l’adaptation en entrée et sortie est assurée.

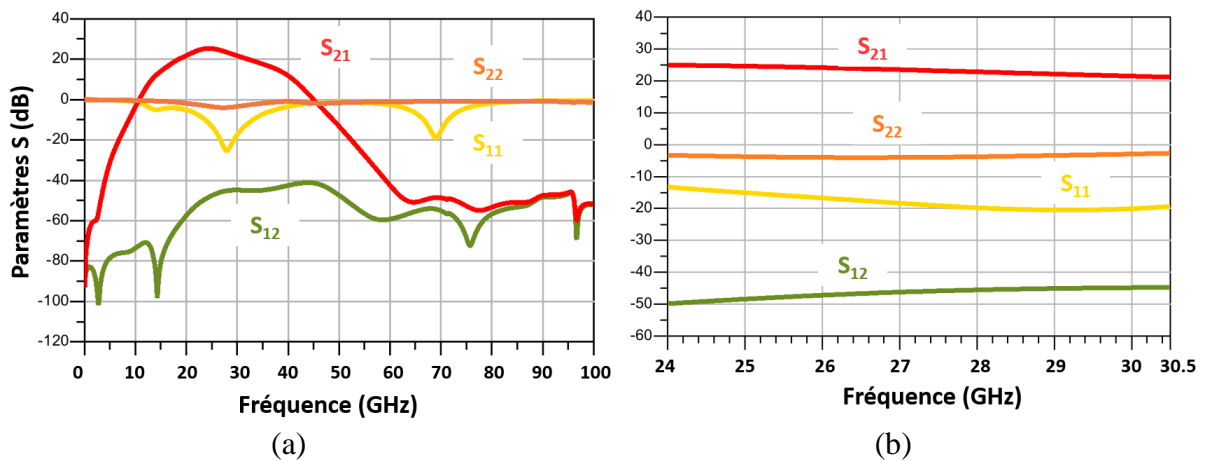


Figure II-61 : Paramètres S du PA avec miroir de courant élémentaire sur la bande 0 - 100 GHz (a) et sur la bande 24,25-30,5 GHz (b)

Simulations grands signaux

Les simulations grands signaux permettent de tracer les performances de l’amplificateur en puissance. En Fig. II-62, la simulation de gain, de P_{out} et de PAE à 27 GHz, fréquence centrale de la bande concernée.

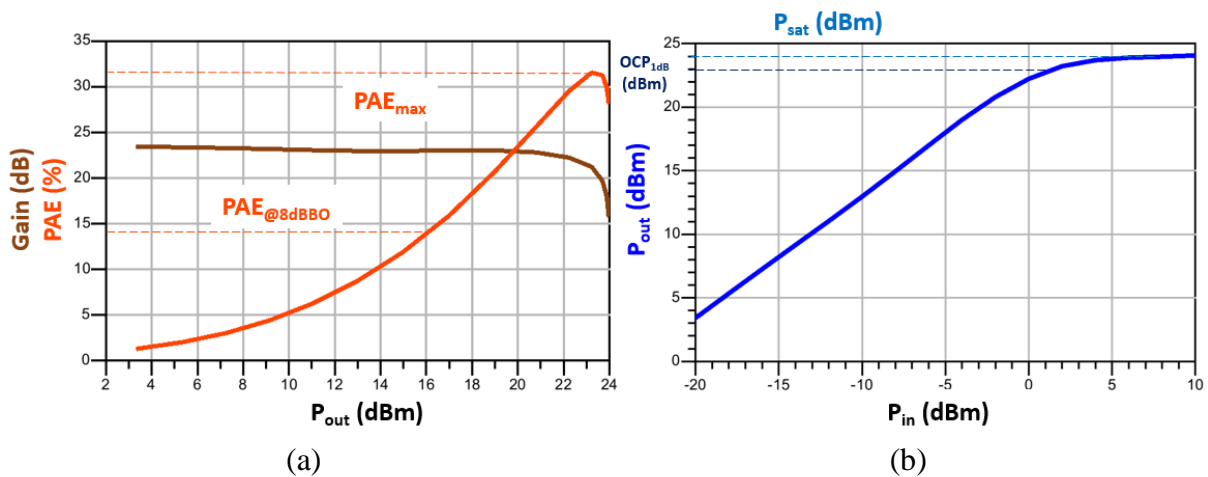


Figure II-62 : Simulations grands signaux : Gain (dB), PAE (%) en fonction de P_{out} (dBm) (a) et P_{out} (dBm) en fonction de P_{in} (dBm) (b)

A 27 GHz, la PAE_{max} atteint 32%, à 8 dB de recul en puissance, la PAE vaut 14%. Le gain est de 24 dB et la P_{sat} vaut 24 dBm. L’ OCP_{1dB} est de 23 dBm.

A 24,25 GHz et 30,5 GHz, les courbes deviennent (Fig. II-63) :

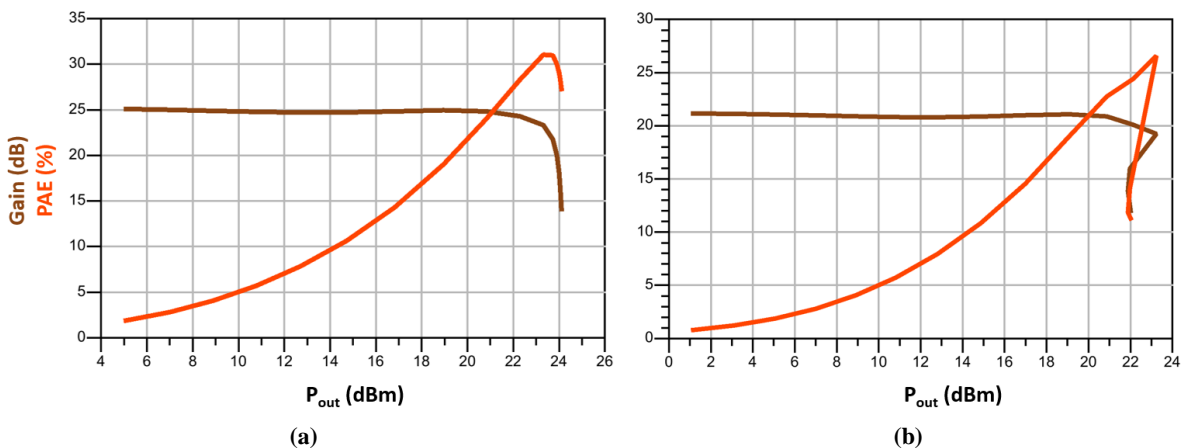


Figure II-63 : Simulations PLS : Gain (dB) et PAE (%) en fonction de P_{out} (dBm) (a) à 24,25 GHz et (b) à 30,5 GHz

Traçons la P_{sat} ainsi que la PAE_{max} , la PAE à 6 dB et 8 dB de recul en puissance et l’ OCP_{1dB} . Sur la bande 24,25 - 30,5 GHz, la P_{sat} varie de 22,9 à 24,26 dBm, l’ OCP_{1dB} varie de 21,5 à 23,5 dBm, la PAE_{max} varie de 24,6 à 32%, la PAE à 6dB de recul en puissance varie de 14,7 à 18%, la PAE à 8dB de recul en puissance varie de 11 à 14,5%.

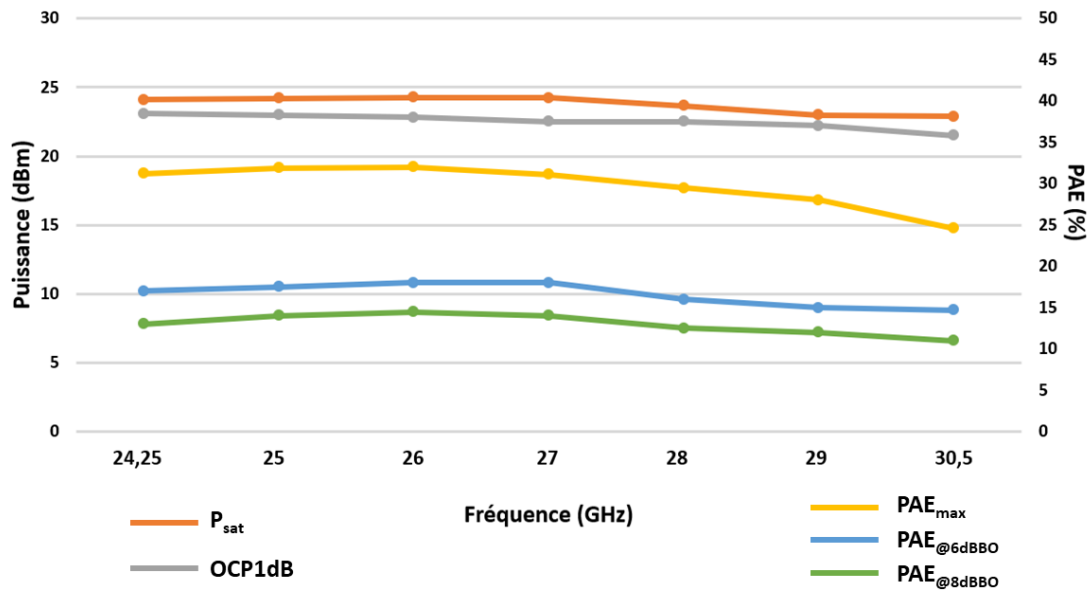


Figure II-64 : Evolution de la puissance de saturation, l’OCP1dB, la PAE_{max} , la PAE à 6 dB et 8 dB de recul en puissance

Facteur de Rollet

Le facteur de rollet K (Fig. II-65) est strictement supérieur à 1 sur toute la bande de fréquence, ce qui justifie la stabilité inconditionnelle en linéaire de l’amplificateur de puissance. Reste à savoir maintenant si le circuit est stable en fonctionnement non linéaire.

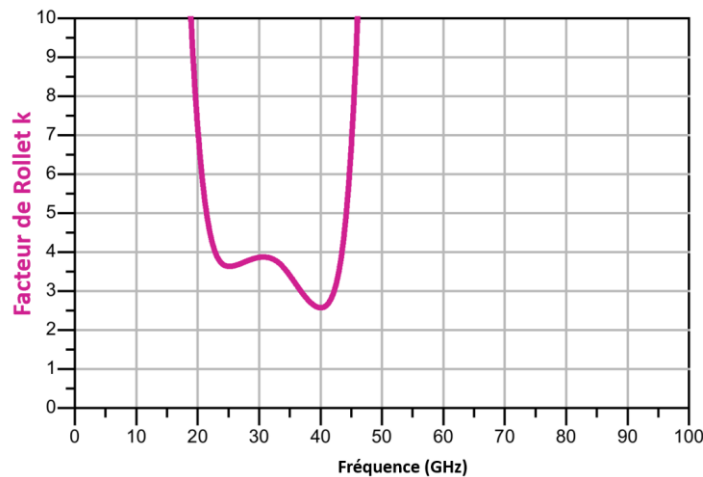


Figure II-65 : Facteur de rollet K entre 0 et 100 GHz

Stabilité non linéaire

Une analyse non linéaire a été menée grâce à l’outil STAN®. Plusieurs points du circuit ont été testés. La base des émetteurs communs est particulièrement susceptible aux instabilités. Pour la cellule de puissance, les pôles et zéros sont présentés en Fig. II-66.

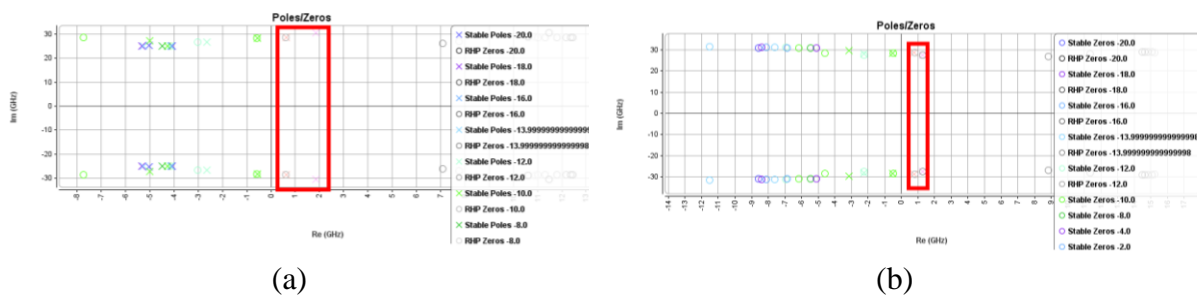


Figure II-66 : Répartition des pôles et zéros (a) de la base de l’émetteur commun du cascode de la voie de gauche et (b) celle de droite

On remarque deux instabilités dans les deux cas à $P_{in}=2\text{dBm}$ et 4dBm . Le paramètre ρ reste faible entre 0,016 et 0,06, ce qui nous permet de penser que ce n’est pas une instabilité physique. Pour bien étudier la stabilité du circuit, il est nécessaire de la vérifier en différents points critiques.

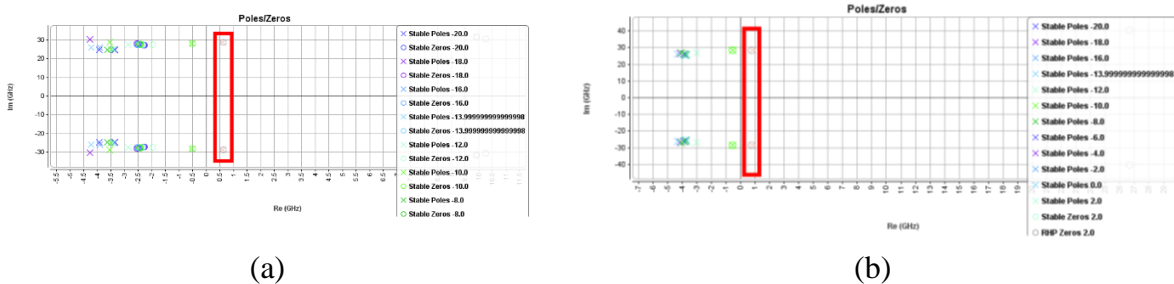


Figure II-67 : Répartition des pôles et zéros (a) de la base de l’émetteur commun de l’étage de gain de la voie de gauche et (b) celle de droite

On remarque dans les deux cas un pôle à partie réelle positive à $P_{in} = 4\text{dBm}$. Cependant, le paramètre ρ est seulement de 0,04.

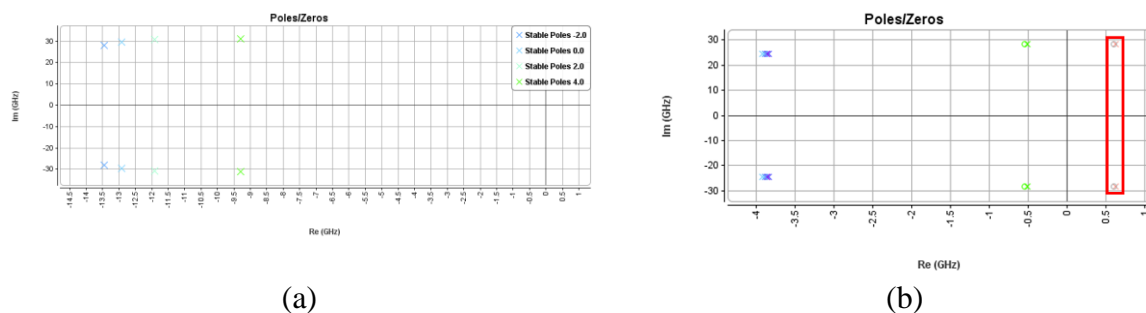


Figure II-68 : Répartition des pôles et zéros (a) en entrée et (b) en sortie

Les baluns camouflent les éventuelles instabilités. On voit quand même un pôle à partie réelle positive à $P_{in}=4\text{dBm}$ en sortie mais toujours avec une valeur de ρ très faible.

On peut conclure de ces résultats que le PA est stable en fonctionnement linéaire et en non linéaire.

Partie 4 - Comparaison à l'état de l'art

Les performances de l'état de l'art et du PA présenté dans ces travaux sont répertoriées dans le Tab. II-6.

	Ce travail (PLS)	[27]	[28]	[29]	[30]	[31]	[32]	[33]	[34]	[35]	[36]	[37]	[38]
Techno.	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,13µm SiGe BiCMOS	0,25µm SiGe BiCMOS
Fréq. (GHz)	24,25-30,5	24-29,5	24-30	28	28	27-29	19-29,5	24-38	26-30	24-30	28	24-30	23-33
P_{sat} (dBm)	22,9-24,26	20-21,2	28-28,5	23	17,8	18@28 GHz	16,5-17,5	12-13	23	20-21	21	21-22	24,9@26GHz
OP1dB (dBm)	21,5-23,1	16,5@27 GHz	NA	29	16,5	15@28 GHz	15,2@28,5GHz	10,5-12,3	20,5-22	18@28 GHz	19,5	19,5-20,5	29@28 GHz
PAE_{max} (%)	24,6-32	23-28	30-30,9	41,5	37,2	35@28 GHz	45@28,5GHz	17-27	36-40	24-26	23	14-16	26,7@28GHz
PAE_{@6dB BO} (%)	14,7-18	17-18,3	29,1-29,8	34,5	14	15@28 GHz	17,5@28,5	19@28 GHz	20@28 GHz	10@28 GHz	11	-	12@28 GHz
PAE_{@8dB BO} (%)	11-14,5	13-16	22@30 GHz	27,5	9	13,5@28GHz	15@28,5	15@25 GHz	17@28 GHz	8@28 GHz	9	-	10@28 GHz
Gain (dB)	21,5-25,5	12,5-15	20-24	15	20	16@28 GHz	20@28,5	10-13	19-20	27-30	35	25-25,2	10-13
Modulations	-	64-QAM	64-QAM	64-QAM	64-QAM	-	64-QAM	64-QAM	64-QAM	64-QAM	64-QAM	64-QAM	64-QAM
P_{avg} (dBm)	-	11,37	18,1	14,3	12,5	-	10,7	8,4	16,2	12,3	13,22	10,7-11,7	23,7
EVM	-	28,34dB	25,1dB	30,5dB	-26dB	-	27,3dB	27,9dB	25,2dB	-25dB	25,79dB	-26dB	5,1%
ACLR (dBc)	-	27,56	-26,2	-33	-28,9	-	-	-27	-32	32,7	-28,9	-32,5 à -32	-31
Surface de puce (mm²)	0,36 sans pad	0,56	4,186	0,56	-	-	0,29 sans pad	0,14 sans pad	0,16 sans pad	0,21 sans pad	1,12	1,3	3

Tableau II-6 : Bilan de l'état de l'art des PA SiGe BiCMOS autour de 27 GHz

Par rapport à l'état de l'art (Tab. II-6), ce travail fournit des performances comparables en simulations post-layout. En effet, en matière de bande passante, nos travaux couvrent 6,25 GHz de bande, ce qui est dépassé par seulement trois publications : [32], [33] et [34]. Les deux premières ne permettent par contre pas d'atteindre des performances en puissance similaires. La PAE_{max} de [32] atteint 45% grâce à son travail sur les harmoniques mais cette efficacité n'est pas nécessairement assurée sur toute la bande de fréquence. Dans les travaux présentés dans [29], [30], [31] et [32], la PAE_{max} est supérieure à celle observée dans nos travaux, soit grâce à la topologie Outphasing [29], qui permet également d'avoir des PAE avec recul en puissance intéressantes, soit par un travail sur les harmoniques, en filtrant une partie de ceux-ci par exemple [30], [31], [32], qui ne permettent en revanche pas d'avoir de meilleures PAE avec recul en puissance. Ces solutions sont également bande étroite [29], [30], [31]. Si on regarde les travaux similaires aux nôtres en matière d'architecture [34], [35], nos résultats sont tout à fait comparables en simulations PLS. La PAE de [34] sur la bande est en revanche meilleure au

détriment de la P_{sat} et du gain. A l’inverse, les travaux présentés dans [9] montrent un meilleur gain au détriment de la PAE et de la P_{sat} . Ceci est finalement une question de compromis entre P_{sat} et PAE, en fonction des contraintes du projet. Enfin, le PA présenté dans [2] présente d’excellentes performances sur tous les points et constitue le meilleur à ce jour dans sa catégorie. Son inconvénient est la taille de la puce qui s’élève à 4 mm².

Références

- [25] «<https://www.ums-rf.com/>,» [En ligne].
- [26] «<https://www.strategiepme.fr/2019-2022-les-annees-du-nanoelectronique/>,» [En ligne].
- [27] D. Wang, W. Chen, X. Chen, X. Liu, F. M. Ghannouchi and Z. Feng, "A 24-29.5 GHz Voltage-Combined Doherty Power Amplifier Based on Compact Low-Loss Combiner," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 7, pp. 2342-2346, July 2021, doi: 10.1109/TCSII.2021.3053309.
- [28] F. Wang and H. Wang, "A High-Power Broadband Multi-Primary DAT-Based Doherty Power Amplifier for mm-Wave 5G Applications," in *IEEE Journal of Solid-State Circuits*, vol. 56, no. 6, pp. 1668-1681, June 2021, doi: 10.1109/JSSC.2021.3070800.
- [29] B. Rabet and J. Buckwalter, "A high-efficiency 28GHz outphasing PA with 23dBm output power using a triaxial balun combiner," *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, 2018, pp. 174-176, doi: 10.1109/ISSCC.2018.8310240.
- [30] Z. Wang, D. Hou, P. Zhou, Z. Li, J. Yu, J. Chen and W. Hong, "A Linearity-enhanced 28-GHz Class-F-1 SiGe Power Amplifier," *2022 IEEE MTT-S International Wireless Symposium (IWS)*, Harbin, China, 2022, pp. 1-3, doi: 10.1109/IWS55252.2022.9977767.
- [31] A. Sarkar and B. A. Floyd, "A 28-GHz Harmonic-Tuned Power Amplifier in 130-nm SiGe BiCMOS," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 2, pp. 522-535, Feb. 2017, doi: 10.1109/TMTT.2016.2636842.
- [32] T. -W. Li, M. -Y. Huang and H. Wang, "A continuous-mode harmonically tuned 19-to-29.5GHz ultra-linear PA supporting 18Gb/s at 18.4% modulation PAE and 43.5% peak PAE," *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, 2018, pp. 410-412, doi: 10.1109/ISSCC.2018.8310358.
- [33] S. R. Boroujeni, A. Basaligheh, S. Ituah, M. -R. Nezhad-Ahmadi and S. Safavi-Naeini, "A Broadband High-Efficiency Continuous Class-AB Power Amplifier for Millimeter-Wave 5G and SATCOM Phased-Array Transmitters," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 3159-3171, July 2020, doi: 10.1109/TMTT.2020.2983703.
- [34] T. -C. Tsai, C. Bohn, J. Hebel, M. Kaynak and A. Ç. Ulusoy, "A Linear and Efficient Power Amplifier Supporting Wideband 64-QAM for 5G Applications from 26 to 30 GHz in SiGe:C BiCMOS," *2021 IEEE Radio Frequency Integrated Circuits*

- Symposium (RFIC)*, Atlanta, GA, USA, 2021, pp. 127-130, doi: 10.1109/RFIC51843.2021.9490461.
- [35] C. Kamidaki, Y. Okuyama, T. Kubo, W. Lee, C. Ozdag, B. Sadhu, "A 24–30 GHz Power Amplifier with >20 dBm Psat and <0.1 dB AM-AM Distortion for 5G Applications," *2022 Asia-Pacific Microwave Conference (APMC)*, Yokohama, Japan, 2022, pp. 273-275, doi: 10.23919/APMC55665.2022.9999941.
- [36] H. Li, J. Chen, D. Hou, Z. Li, Z. Wang and W. Hong, "A High-Linearity Adaptive-Bias SiGe Power Amplifier for 5G Communication," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 8, pp. 2770-2774, Aug. 2021, doi: 10.1109/TCSII.2021.3065708.
- [37] Z. Li, J. Chen, D. Hou, L. Wang and Y. Xiang, "A 24-30 GHz Balanced PA With High Linearity for mm-Wave 5G in 130 nm SiGe BiCMOS," *2022 IEEE MTT-S International Wireless Symposium (IWS)*, Harbin, China, 2022, pp. 1-3, doi: 10.1109/IWS55252.2022.9977973.
- [38] A. Roev, J. Qureshi, M. Geurts, R. Maaskant, M. K. Matters-Kammerer and M. Ivashina, "A Wideband mm-Wave Watt-Level Spatial Power-Combined Power Amplifier With 26% PAE in SiGe BiCMOS Technology," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 10, pp. 4436-4448, Oct. 2022, doi: 10.1109/TMTT.2022.3198704.
- [39] <<https://www.techniques-ingenieur.fr/base-documentaire/archives-th12/archives-electronique-tiaea/archive-1/materiaux-semi-conducteurs-a-grand-gap-iii-v-a-base-de-gan-e1995/>> [En ligne].
- [40] Hua Wang, Kyungsik Choi, Basem Abdelaziz, Mohamed Eleraky, Bryan Lin, Edward Liu, Yuqi Liu, Hossein Jalili, Mohsen Ghorbanpoor, Chenhao Chu, Tzu-Yuan Huang, Naga Sasikanth Mannem, Jeongsoo Park, Jeongseok Lee, David Munzer, Sensen Li, Fei Wang, Amr S. Ahmed, Christopher Snyder, Huy Thong Nguyen, and Michael Edward Duffy Smith, "Power Amplifiers Performance Survey 2000-Present," [Online]. Available: <https://ideas.ethz.ch/research/surveys/pa-survey.html>
- [41] E. Kerherve, N. Demirel, A. Ghiotto, A. Larie, N. Deltimple, J-M. Pham, Y. Mancuso, and P. Garrec, "A Broadband 4.5–15.5-GHz SiGe Power Amplifier With 25.5-dBm Peak Saturated Output Power and 28.7% Maximum PAE," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 5, pp. 1621-1632, May 2015, doi: 10.1109/TMTT.2015.2415490.
- [42] Benjamin Coquillas. Nouvelles topologies d’amplificateurs de puissance SiGe en bande Ku, optimisées en puissance, rendement et robustes au TOS actif. Electronique. Université de Bordeaux, 2022. Français. NNT : 2022BORD0173. tel-03783473
- M. Jaoul, C. Maneux, D. Céli, M. Schröter and T. Zimmer, "A Compact Formulation for Avalanche Multiplication in SiGe HBTs at High Injection Levels," in *IEEE Transactions on Electron Devices*, vol. 66, no. 1, pp. 264-270, Jan. 2019, doi: 10.1109/TED.2018.2875494.

- [44] C. M. Grens, J. D. Cressler and A. J. Joseph, "On Common–Base Avalanche Instabilities in SiGe HBTs," in *IEEE Transactions on Electron Devices*, vol. 55, no. 6, pp. 1276-1285, June 2008, doi: 10.1109/TED.2008.920235.
- [45] Mathieu Jaoul. Study of HBT operation beyond breakdown voltage: Definition of a Safe Operating Area in this operation regime including the aging laws. Electronics. Université de Bordeaux, 2020. English. NNT : 2020BORD0029.tel-02945952
- [46] Salim Ighilahriz. Caractérisation et modélisation de la fiabilité des transistors et circuits millimétriques conçus en technologies BiCMOS et CMOS. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. Français. [\(NNT : 2014GRENT016\)](#). [\(tel-01060162\)](#)
- [47] L.Doyen, «Caractérisation électrique de l’endommagement par électromigration des interconnexions en cuivre,» PhD Thesis from Joseph-Fourier University of Grenoble, mars 2009.
- [48] C. -I. Lee, Y. -T. Lin and W. -C. Lin, "Investigation of Time-Domain Locus of SiGe HBTs in the Avalanche Region by Using the X-Parameter Measurement Under Large-Signal Drive," in *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 5, pp. 464-466, May 2017, doi: 10.1109/LMWC.2017.2690844.
- [49] H. Veenstra, G. A. M. Hurkx, D. van Goor, H. Brekelmans and J. R. Long, "Analyses and design of bias circuits tolerating output voltages above $BV_{sub\ CEO}$," in *IEEE Journal of Solid-State Circuits*, vol. 40, no. 10, pp. 2008-2018, Oct. 2005, doi: 10.1109/JSSC.2005.852829.
- [50] E. Bloch and E. Socher, "Beyond the Smith Chart: A Universal Graphical Tool for Impedance Matching Using Transformers," in *IEEE Microwave Magazine*, vol. 15, no. 7, pp. 100-109, Nov.-Dec. 2014, doi: 10.1109/MMM.2014.2356114.
- [51] H. Asada, K. Matsushita, K. Bunsen, K. Okada and A. Matsuzawa, "A 60GHz CMOS power amplifier using capacitive cross-coupling neutralization with 16 % PAE," *2011 6th European Microwave Integrated Circuit Conference*, Manchester, UK, 2011, pp. 554-557.

Conclusion du Chapitre II

Dans la première partie de ce chapitre, le cahier des charges de l’amplificateur de puissance a été établi en collaboration avec UMS. Puis, un état de l’art des amplificateurs de puissance en technologie SiGe 130 nm a été présenté avec les architectures utilisées aujourd’hui dans les applications 5G. Le choix de la technologie SiGe 130 nm a été justifié par rapport à une technologie III-V telle que l’AsGa. Les phénomènes liés aux transistors bipolaires ont été détaillés et une solution pour repousser l’avalanche a été proposée à l’aide d’un miroir de courant élaboré.

L’état de l’art ne permettant pas de répondre à nos exigences, la méthode de conception de l’amplificateur est détaillée avec le dimensionnement des transistors de l’étage de gain et de

l’étage de puissance. Les passifs sont ensuite conçus afin de transformer les impédances optimales sur une large bande de fréquence et transformer le mode commun en mode différentiel pour les baluns. L’amplificateur fonctionne sur la bande 24,25 à 30,5 GHz. Il atteint 24 dBm de P_{sat} et 32% de PAE_{max} à 27GHz, fréquence centrale. La PAE à 8 dB de recul en puissance est de 14%. Le circuit est large bande avec un gain qui varie de 21,5 à 25,5 dB entre 24,25 et 30,5 GHz.

Les résultats de simulations post-layout de l’amplificateur sont ensuite comparés avec l’état de l’art présenté en Partie 1. Les simulations sont réalisées grâce au logiciel Virtuoso Cadence® et l’outil Momentum®. Ces travaux prouvent le bon fonctionnement d’un amplificateur pseudo-différentiel en technologie SiGe BiCMOS 130 nm destiné à pousser un amplificateur très haute puissance en technologie GaN dans le cadre d’applications de *beamforming*. Ce circuit remplit complètement le cahier des charges fixé en collaboration avec UMS dans le cadre du projet SMART3 (Tab. II-7). Ce chapitre a permis de présenter l’amplificateur de puissance comme brique de base du module RF complet destiné au *beamforming* 5G.

	Technologie	Fréquence (GHz)	P_{sat} (dBm)	P_{1dB} (dBm)	PAE_{max} (%)	$PAE_{@8dBBO}$ (%)	Gain (dB)	Adaptation entrée/sortie (Ω)	ΔP_{out} sur bande de 400MHz (dB)
Simulations PLS	0,13 μ m SiGe BiCMOS	24,25 – 30,5	22,9-24,26	21,5-23,1	24,6-32	11-14,5	21,5-25,5	50	<0,1
Cahier des charges	0,13 μ m SiGe BiCMOS	24,25 – 30,5	22,5	21	20	11	20	50	<0,2

Tableau II-7 : Comparaison du cahier des charges et des simulations PLS

Chapitre III – Conception des sous-circuits du beamformer : déphaseur, VGA et co-conception avec le PA

Introduction

Pour un système de *beamforming* numérique comportant un grand nombre d'antennes, il est crucial de calibrer l'amplitude et la phase du réseau d'antennes. Comme vu dans le chapitre I, les erreurs de phase et d'amplitude ont un impact sur le diagramme de rayonnement, en particulier lorsque ces erreurs sont corrélées entre elles. Les causes de ces erreurs peuvent être multiples, telles que des variations de processus de fabrication, de tension d'alimentation, de température, un routage inégal du signal radiofréquence dans le réseau, un TOS différent sur chaque antenne, ou un vieillissement inégal des composants.

Pour garantir des performances optimales, il est essentiel de contrôler la phase et l'amplitude des signaux sur chaque antenne, ce qui est réalisé en utilisant des amplificateurs à gain variable (VGA) et des déphaseurs (ou *phase shifter* en anglais). Cependant, ces blocs ont des points limitants qui doivent être pris en compte.

Dans ce chapitre, nous examinons les limites actuelles des VGA et des déphaseurs, et proposons des solutions techniques pour y remédier. Nous étudions différentes architectures de contrôle de phase et d'amplitude. Un déphaseur de type réflectif (RTPS) couplé à un VGA 180° est conçu et simulé en post-layout. Les simulations PLS des deux blocs indépendamment et de l'ensemble sont proposées afin de valider l'architecture et son dimensionnement. Enfin, le module RF complet comprenant le déphaseur, le VGA et le PA est conçu et simulé en PLS. La stabilité en non linéaire est étudiée. Le circuit est performant, stable et constitue une brique de base d'un émetteur RF pour la 5G.

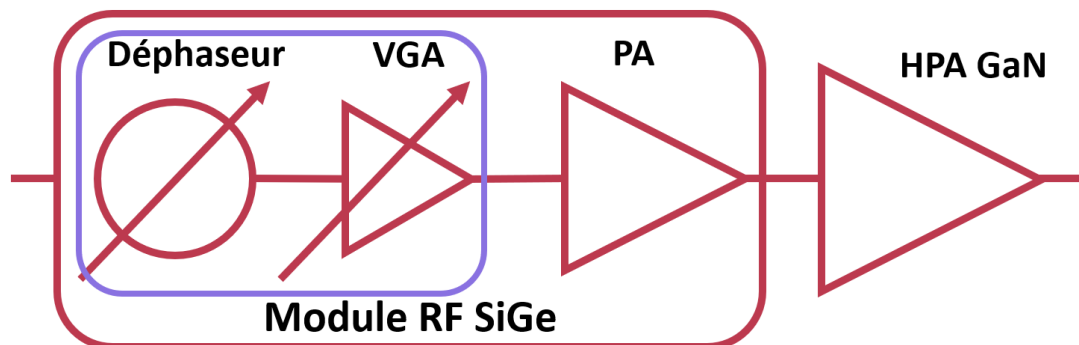


Figure III-1 : Puce SiGe conçue dans ces travaux suivie d'un HPA GaN

Partie 1 – Cahier des charges et état de l’art des déphaseurs et VGA à 27 GHz

1.1– Le cahier des charges de l’ensemble déphaseur - VGA

Le cahier des charges des circuits de contrôle du gain et de la phase a été déterminé en collaboration avec UMS dans le cadre de SMART3 et est présenté Tab III-1. Ces circuits sont positionnés en amont du PA présenté dans le chapitre 2. Le tout sert de driver à un HPA GaN.

Technologie	Fréquence (GHz)	Gain (dB)	Dynamique de gain (dB)	Résolution en gain (dB)	Dynamique de phase (°)	Résolution en phase (°)	Erreur de phase RMS (°)	Erreur de gain RMS (dB)
0,13µm SiGe BiCMOS	24,25 – 30,5	15	16	0,5	360	5,625	2,5	2

Tableau III-1 : Cahier des charges des circuits de contrôle de phase et de gain

Le déphaseur et le VGA attendus doivent permettre d’atteindre un gain global de 15 dB, une dynamique de gain de 16 dB par pas de 0,5 dB, ce qui signifie que ce doit être linéaire-en-dB. L’ensemble doit permettre de couvrir les 360° de phases avec une résolution de 5,625°. Les erreurs de phase et de gain RMS doivent respectivement être inférieures à 2,5° et 2 dB quel que soit l’état.

Un état de l’art des déphaseurs et des VGA à 27 GHz est proposé, permettant de comparer les différentes architectures qui existent.

1.2 – Le déphaseur

La première méthode envisagée pour régler à la fois la phase et l’amplitude d’un signal est d’utiliser un Amplificateur à Gain Variable (VGA) pour le contrôle de l’amplitude, et un déphaseur pour le contrôle de la phase, indépendamment du VGA. Dans cette section, deux architectures capables de réaliser cette double fonctionnalité sont étudiées : le modulateur vectoriel et le déphaseur de type réflectif (RTPS) couplé à un VGA capable d’inverser la phase. Ces architectures ont été sélectionnées pour l’étude car elles permettent un contrôle précis de la phase par rapport à d’autres architectures telles que des lignes de transmission commutées (ou STPS). De plus, elles sont composées de blocs similaires, notamment des coupleurs hybrides 90° et des VGA 180°. Ainsi, les comparaisons entre ces deux architectures peuvent se faire sur une base commune au niveau des coupleurs et des VGA. La Fig. III-2 illustre ces deux architectures étudiées.

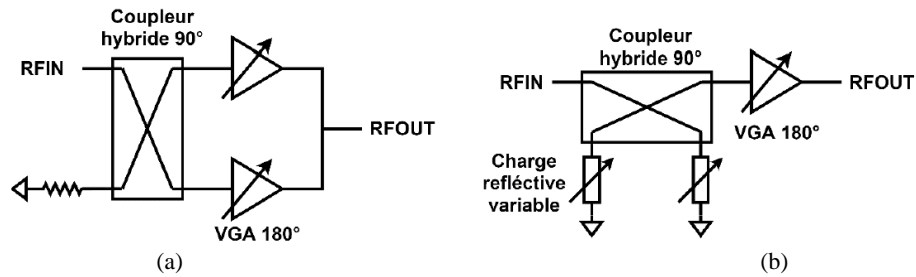


Figure III-2 : Schéma (a) d'un modulateur vectoriel et (b) d'un RTPS suivi d'un VGA [5]

1.2.1. Le modulateur vectoriel

Le modulateur vectoriel est un dispositif qui permet d'altérer à la fois l'amplitude et la phase d'un signal [64] en utilisant une méthode de pondération de l'amplitude dans un plan en quadrature (plan I-Q). Le signal d'entrée est divisé en deux signaux identiques en quadrature, puis chaque signal est amplifié différemment avant d'être combiné en sortie (Fig. III-3).

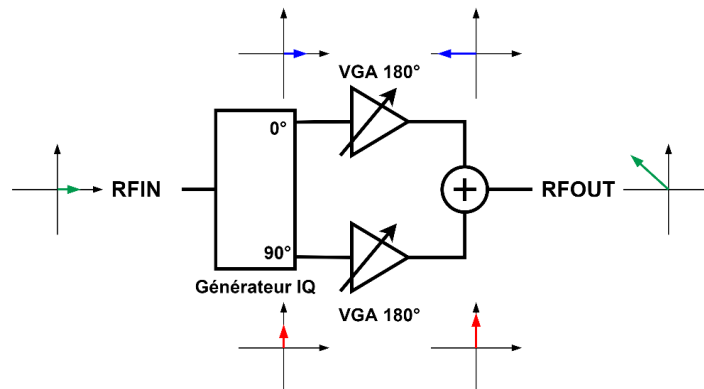


Figure III-3 : Fonctionnement du modulateur vectoriel [5]

De manière générale, pour générer deux signaux en quadrature dans un modulateur vectoriel, on utilise deux types de circuits : les filtres polyphasés RC et les coupleurs hybrides 90°. Ce type de coupleur présente des avantages par rapport aux filtres polyphasés, tels que des pertes faibles et une différence de phase de 90° constante en fonction de la fréquence. Cependant, les amplitudes des voies I et Q ne sont égales qu'à la fréquence centrale du coupleur.

L'objectif idéal est d'obtenir une constellation carrée dans le plan I-Q pour le signal de sortie d'un modulateur vectoriel. Cependant, en réalité, des non-linéarités et des déséquilibres affectent cette constellation. Une caractéristique de gain non contrôlée des VGA peut également entraîner des déformations de la constellation. Si ces distorsions ne sont pas maîtrisées, il est nécessaire de calibrer le circuit pour garantir un minimum d'erreur de phase et d'amplitude. Cependant, si les distorsions sont suffisamment faibles, la phase et l'amplitude peuvent être simplement exprimées de la manière suivante :

$$\Phi = \tan^{-1} \left(\frac{V_Q}{V_I} \right) \quad [III - 1]$$

$$V_{RFout} = \sqrt{V_I^2 + V_Q^2} \quad [III - 2]$$

Lors de la conception d'un modulateur vectoriel, il est essentiel de minimiser les distorsions et les déséquilibres, que ce soit dans les VGA, dans le coupleur hybride ou lors de la recombinaison des signaux en sortie. Il existe plusieurs architectures de modulateur vectoriel avec des variations dans le choix des composants pour assurer les différentes fonctions. L'architecture peut être entièrement "passive" (contrôle uniquement sur les grilles des transistors) en utilisant des atténuateurs variables à la place des VGA [63]. La génération des signaux en quadrature peut se faire à l'aide de filtres polyphasés RC, d'un coupleur hybride ou d'un filtre passe-tout RLC. Ces différentes architectures fonctionnent sur le même principe, mais sont adaptées en fonction d'un compromis entre le gain [5], la consommation et la linéarité [65]. Par exemple, une topologie entièrement passive aura une consommation quasiment nulle, une forte linéarité mais des pertes.

1.2.2. Le RTPS (Reflexion-Type Phase Shifter)

Le déphaseur de type réflectif (RTPS) permet de modifier la phase d'un signal en utilisant un coupleur hybride 90° et deux charges réfléchives variables (Fig. III-4). Le signal est introduit sur le port IN du coupleur, puis est séparé en deux signaux en quadrature sur les ports CPL et THRU. Ces signaux sont ensuite réfléchis avec une certaine phase et recombinaison en phase sur le port ISO. Les signaux réfléchis par les charges se retrouvent en opposition de phase sur le port IN, de sorte que toute la puissance soit transmise en sortie.

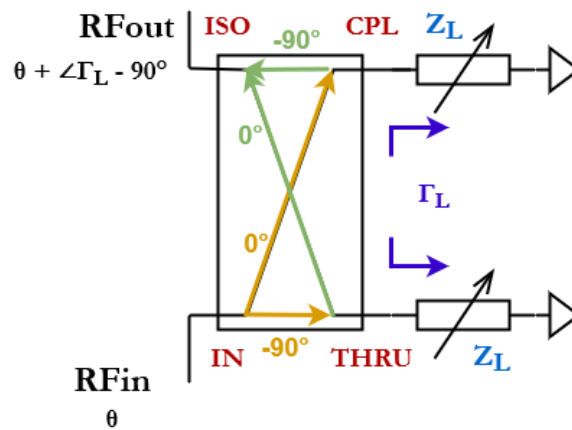


Figure III-4 : Schéma d'un RTPS composé d'un coupleur hybride 90° et deux charges réfléchives

Le décalage de phase ϕ entre la sortie et l'entrée est équivalent à l'angle du coefficient de réflexion de la charge réfléchive variable :

$$\phi = \angle \Gamma_L + 90^\circ \quad [III - 3]$$

Les pertes d'insertion d'un RTPS varient en fonction des pertes du coupleur hybride et des pertes de réflexion des charges :

$$IL_{RTPS} = |\Gamma_L|_{dB} + 2IL_{coupleur} \quad [III - 4]$$

En concevant un RTPS, l'objectif est d'obtenir une plage de contrôle de phase désirée avec des pertes minimales et une variation minimale. En d'autres termes, on cherche généralement à obtenir la plage de contrôle de phase la plus étendue, $\Delta(\angle\Gamma_L)$, avec un $|\Gamma_L|_{dB}$ proche de 0 dB et constant. Pour que les pertes restent constantes sur toute la plage de phase, en théorie, il faudrait utiliser des lignes de transmission de taille variable dont l'impédance caractéristique est égale à celle du coupleur. Cependant, la réalisation de ce type de charge, en particulier pour couvrir toutes les phases, est complexe, car cela nécessiterait une ligne de transmission de longueur variable entre 0 et $\lambda/2$. On pourrait également mentionner la diode PIN, car sa capacité peut varier de quelques fF en polarisation inverse. Cependant, la plage de phase résultante de cette variation (inférieure à 10°) est trop limitée. À la place, on utilise une capacité variable en tension, appelée varactor.

Si le coefficient de qualité Q d'un composant (inductance ou capacité) est élevé (>20), son impédance est proche du bord de l'abaque de Smith, ce qui en fait un choix idéal pour un RTPS. Ainsi, pour cette charge, les pertes du RTPS seront relativement constantes. Cependant, tout comme les lignes de transmission, il est difficile de réaliser une inductance variable. Par conséquent, on utilise plutôt une charge de type LC avec une capacité variable. Ce type de charge résonante permet théoriquement une plage de contrôle de phase de 360° , mais réduit la bande de fréquences sur laquelle le RTPS atteint son maximum de dynamique de phase. De plus, ce type de réseau résonant présente plus de pertes et de variation de pertes qu'une simple varactor. Il s'agit donc d'un compromis entre dynamique de phase, pertes et variation de pertes en fonction de l'état de phase. C'est le RTPS qui est utilisé dans ce projet afin de réaliser le contrôle de phase sur 180° . Les 360° sont ensuite couverts grâce au VGA à inversion de phase présenté dans la partie suivante.

La varactor

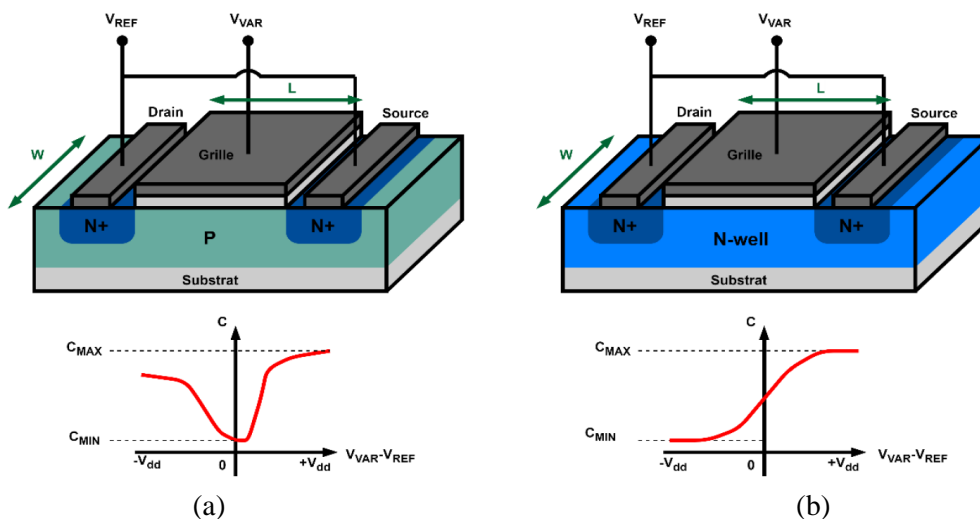


Figure III-5 : Vue en coupe et caractéristique de la capacité associée à une varactor (a) basée sur un transistor NMOS et (b) de type A-MOS [5]

Une varactor est un composant électronique dont la capacité varie en fonction de la tension appliquée à ses bornes. Cette variation est fréquence-dépendante et peut présenter des parasites plus ou moins importants. Il existe deux types de varactors : les varactors basées sur

un transistor NMOS et les varactors en mode accumulation (A-MOS varactor) (Fig. III-5). Les varactors de type A-MOS sont utilisées dans ces travaux en raison de leur caractéristique montrant un plateau au niveau de C_{min} et C_{max} , ce qui permet d'assurer une faible variation de capacité en cas de variation de tension. En réalité, les varactors NMOS sont des transistors NMOS câblés en varactors. La vue en coupe et le schématic correspondant avec les parasites sont présentés en Fig. III-6.

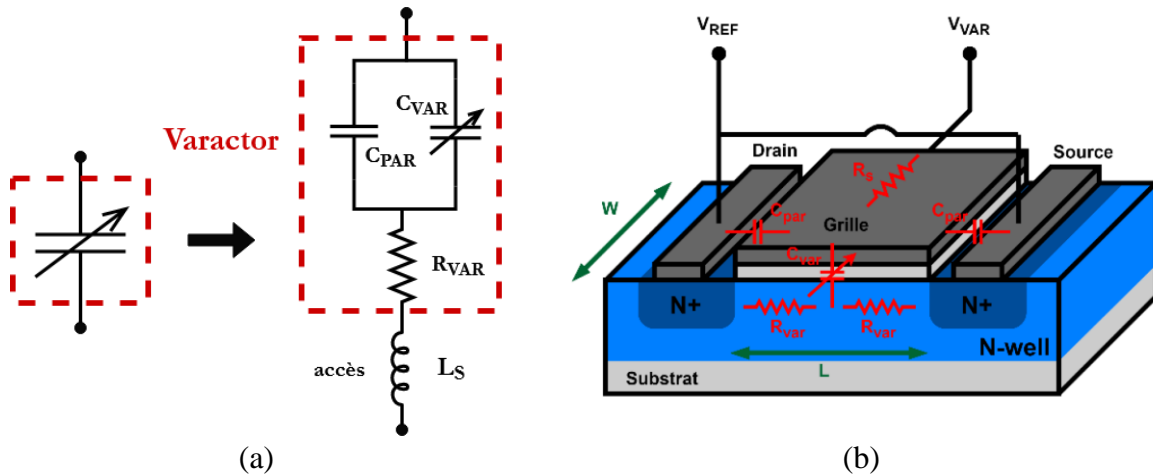


Figure III-6 : Schématic (a) et vue en coupe (b) de la varactor avec parasites [5]

La plage de contrôle de phase d'un RTPS utilisant une varactor est étroitement liée à la capacité de la varactor et à son ratio entre sa valeur maximale et minimale, qui dépendent de la technologie et des paramètres géométriques de la varactor, tels que la largeur W et la longueur L . Le modèle équivalent d'une varactor inclut différents parasites, notamment une résistance série représentant la résistance d'accès et la résistance dans le canal entre la source et le drain, qui dépendent de la tension et des paramètres géométriques, ainsi qu'une capacité variable en tension C_{VAR} et une capacité parasite C_{PAR} , qui dépendent également des paramètres géométriques et technologiques. La charge d'une varactor, dépendante de la tension et des paramètres géométriques, peut s'exprimer de la manière suivante :

$$Z_{VAR} = R_{VAR}(W, L, V) + \frac{1}{j\omega(C_{VAR}(W, L, V) + C_{PAR}(W))} \quad [III - 5]$$

$$Z_{VAR} = \frac{W}{L}R_S + \frac{L}{W}R_{VAR}(V) + \frac{1}{j\omega W(LC_{VAR}(V) + 2C_{PAR}(W))} \quad [III - 6]$$

Cette équation est utile pour déterminer les dimensions optimales d'une varactor. L'objectif est de maximiser le ratio de capacités tout en minimisant les pertes résistives. Cependant, il est important de noter que l'augmentation de la longueur L entraîne une augmentation de la résistance série dans le canal, ce qui peut compromettre la qualité de la varactor. Ainsi, un compromis doit être trouvé entre le ratio de capacités et les pertes résistives. Pour cela, il est nécessaire de considérer le facteur de qualité Q et le ratio r de la varactor, qui peuvent être exprimés de la manière suivante :

$$Q = \frac{1}{\omega RC} = \frac{1}{\omega \left(\frac{W^2}{L} R_S + LR_{var} \right) (LC_{var} + 2C_{par})} \quad [III - 7]$$

$$r = \frac{C_{max,0} + \frac{2C_{par}}{L}}{C_{min,0} + \frac{2C_{par}}{L}} \quad [III - 8]$$

Le facteur de qualité Q est un indicateur des défauts de réflexion de la varactor et est étroitement lié aux pertes dans le RTPS. Si la longueur L est importante, le ratio r tendra vers le ratio maximal, qui correspond à la capacité maximale divisée par la capacité minimale, et le facteur de qualité Q tendra vers zéro. En revanche, si la largeur W est importante, cela ne modifie pas le ratio de capacités, mais le facteur de qualité Q tend également vers zéro. Il y a donc un compromis entre le ratio de capacités et les pertes dans le RTPS.

Le coupleur hybride 90°

Un RTPS étant composé de deux charges réfléchives et d'un coupleur hybride 90°, celui-ci a un rôle essentiel dans les circuits de contrôle de phase et d'amplitude. Ce composant est constitué de quatre ports : l'entrée (IN), le port OUT, le port CPL et le port ISO. Le signal d'entrée (IN) est séparé en deux signaux. Le premier est envoyé au port CPL avec une phase égale à θ . L'autre est envoyé au port OUT avec une phase égale à $\theta - 90^\circ$. Le signal est réfléchi par la varactor et recombinaé en phase sur le port ISO et déphasé sur le port IN.

Il existe plusieurs types d'architectures pour réaliser des coupleurs hybrides 90°, notamment les coupleurs de Lange, les coupleurs de type "branchline" et les lignes couplées. C'est ce dernier type de coupleur qui est choisi dans ce projet en raison de sa flexibilité de disposition des ports et de sa compacité.

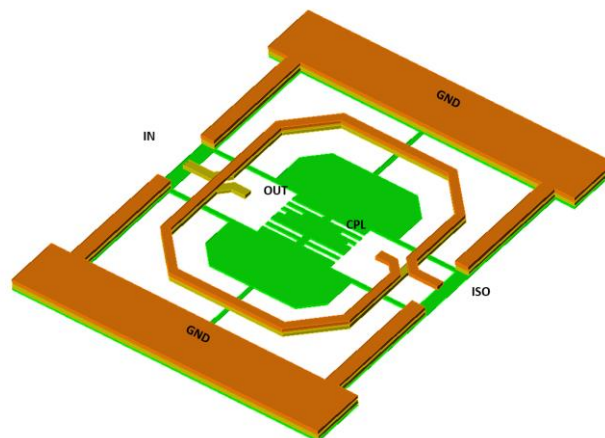


Figure III-7 : Vue 3D du coupleur hybride 90° utilisé dans les RTPS du déphaseur du projet

Traditionnellement, on souhaiterait donc avoir le port IN à gauche et le port ISO à droite, ce qui est réalisable avec des topologies de lignes couplées classiques ou des lignes couplées "twistées" [3]. Cependant, d'après une étude menée dans [5], il est préférable de rapprocher les

ports CPL et OUT, correspondant aux ports auxquels les charges réfléchives seront connectées. Pour cela, nous partons du modèle avec des éléments localisés afin de concevoir un coupleur avec un placement adéquat pour les ports. Ce coupleur est illustré dans la Fig. III-7. Le coupleur hybride représenté dans la Fig. III-7 est construit en utilisant deux lignes parallèles. Les paramètres S de ce coupleur sont obtenus grâce à une simulation électromagnétique. On peut observer dans la Fig. III-8 un déphasage constant très proche de 90° ($87,2-88^\circ$) entre les ports OUT et CPL sur la bande de fréquences 24,25 - 30,5 GHz.

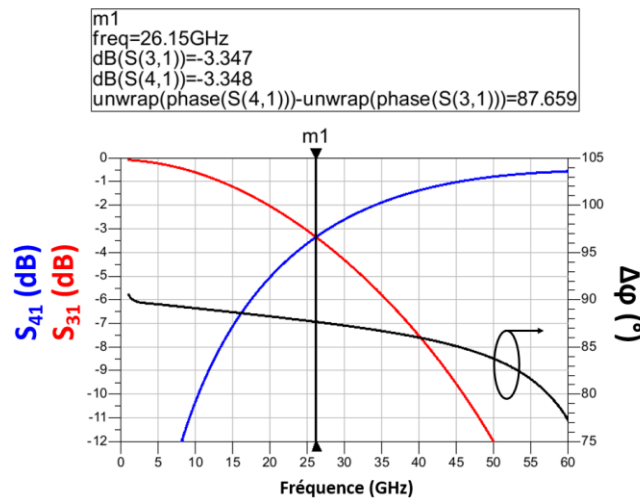


Figure III-8 : Caractéristique du coupleur hybride 90° utilisé

Les coupleurs hybrides sont conçus de sorte que les varactors soient positionnées au centre. Cela permet de rapprocher les varactors et d'équilibrer les réflexions. Le plan de masse en vert Fig. III-7 (métal 4) avec des barreaux permet d'améliorer le retour de masse du coupleur, ce qui limite les couplages entre l'entrée et la sortie. Ainsi, les accès sont symétriques, ce qui permet de répartir au mieux la puissance et minimise les écarts de phase, d'après une étude menée dans [5]. Outre la réduction des couplages entre les entrées et les sorties, ces barreaux de masse permettent de maintenir une symétrie dans les accès, ce qui optimise la répartition de la puissance et minimise les différences de phase. Les codes + et - sont donc davantage symétriques, ce qui est recherché dans ce type d'architecture.

1.2.3. Etat de l'art des déphaseurs à 27 GHz

Différentes topologies de déphaseurs existent et en fonction de l'application visée, une architecture est choisie.

Un déphaseur numérique pour émetteurs-récepteurs à réseaux phasés 5G (*beamforming*) à 28 GHz [52]

Le déphaseur présenté dans [52] est de type RTPS avec contrôle numérique des charges réfléchives. Le circuit est fabriqué en technologie $0,12 \mu\text{m}$ SiGe.

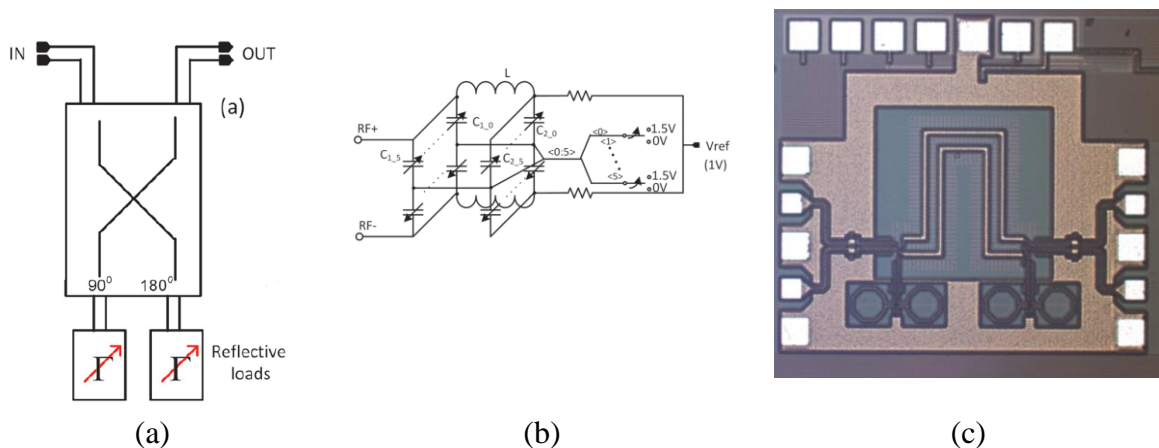


Figure III-9 : Déphaseur : (a) Schématique du RTPS, (b) schématique de la charge réfléctive avec contrôle numérique, (c) layout du circuit

C'est un dispositif faible perte. Il offre une plage de réglage de plus de 180° sur une largeur de bande fractionnelle de 25 %. 64 états de phases sont atteints (Fig. III-10).

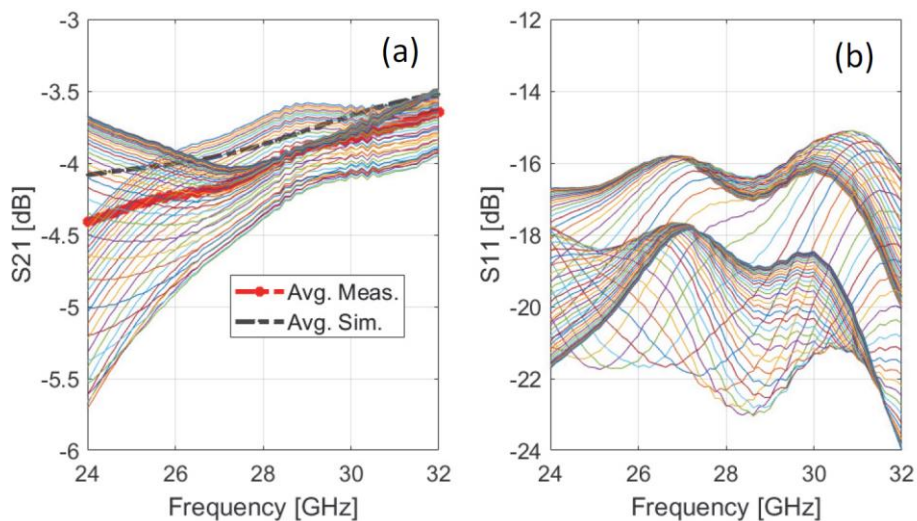


Figure III-10 : Résultats de mesures du déphaseur : (a) S_{21} et (b) S_{11} pour tous les états du déphaseur sur la bande 24 – 32 GHz

Ces travaux permettent d'avoir 180 à 240° de dynamique de phase entre 24 et 30 GHz. Les pertes sont entre -3,6 et -5,7 dB. La puce mesure $0,67 \text{ mm}^2$. Ce déphaseur semble convenir pour notre application, il couvre une grande bande de fréquence (24 – 30 GHz) bien qu'il ne soit pas dans la même technologie. La topologie RTPS est intéressante dans notre cas.

Un déphaseur contrôlé numériquement sur la bande 25 – 50 GHz [53]

Ces travaux présentent un déphaseur en technologie 65 nm CMOS SOI. L'architecture complète (Fig. III-11a) est composée de trois RTPS cascades. Le premier et le troisième sont des RTPS discrets à 60° sur 1 bit et le deuxième permet de balayer 60° de manière continue sur 6 bits.

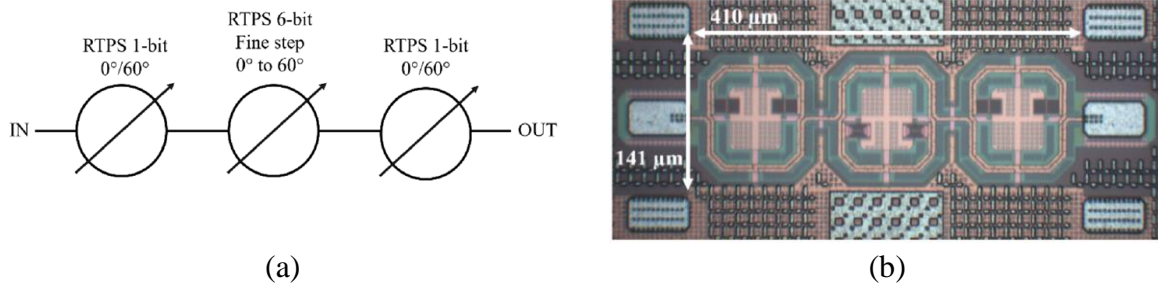


Figure III-11 : Synoptique (a) et layout (b) du déphaseur

Le circuit mesure $0,058 \text{ mm}^2$ sans les pads. L'architecture de ce déphaseur permet de couvrir 360° de phase avec une résolution de $1,7^\circ$ à 40 GHz. Les pertes varient entre 2 et 7 dB sur toute la bande quel que soit l'état de phase. Les adaptations en entrée et en sortie sont assurées (Fig. III-12).

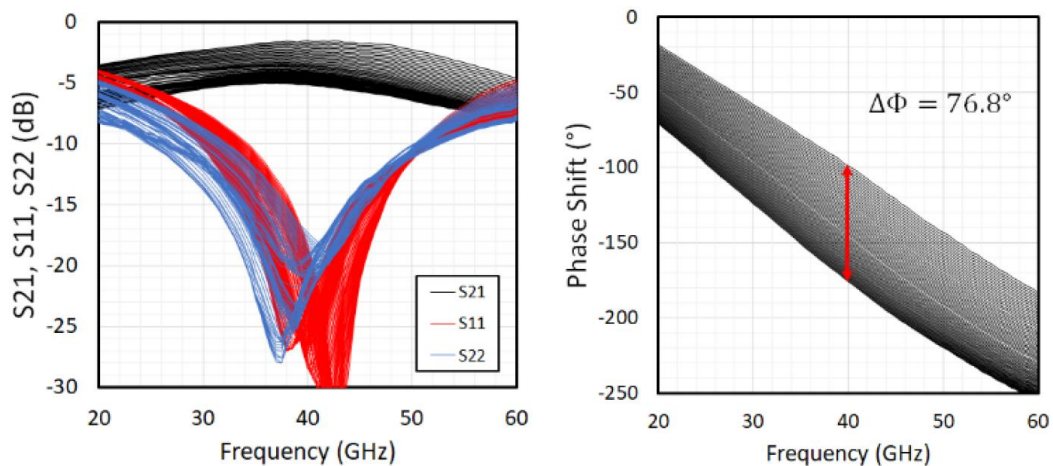


Figure III-12 : Paramètres S (a) et Décalage en phases (b) pour tous les codes binaires

Ces travaux ont l'avantage d'avoir une faible variation d'impédance en fonction des codes binaires. Cela est primordial du point de vue des composants en aval et en amont. Bien qu'il soit en technologie 65 nm CMOS, ce circuit paraît intéressant pour notre projet.

Une architecture de déphaseur avec inversion de phase nommée VSPS passif en technologie CMOS à 28 GHz pour la 5G [54]

Cet article décrit un VSPS passif qui utilise le PPF à inversion de phase pour réaliser une couverture de phase de 45° dans chaque quadrant de phase. Combiné avec un STPS de 45° , il permet d'obtenir une couverture de phase de 360° sur une plage de fréquences allant de 26,5 à 29,5 GHz. Le PPF à inversion de phase intègre la génération I/Q, la modulation d'amplitude et la sommation vectorielle en un seul bloc compact, permettant ainsi d'obtenir une résolution de phase élevée avec de faibles erreurs RMS de gain/phase.

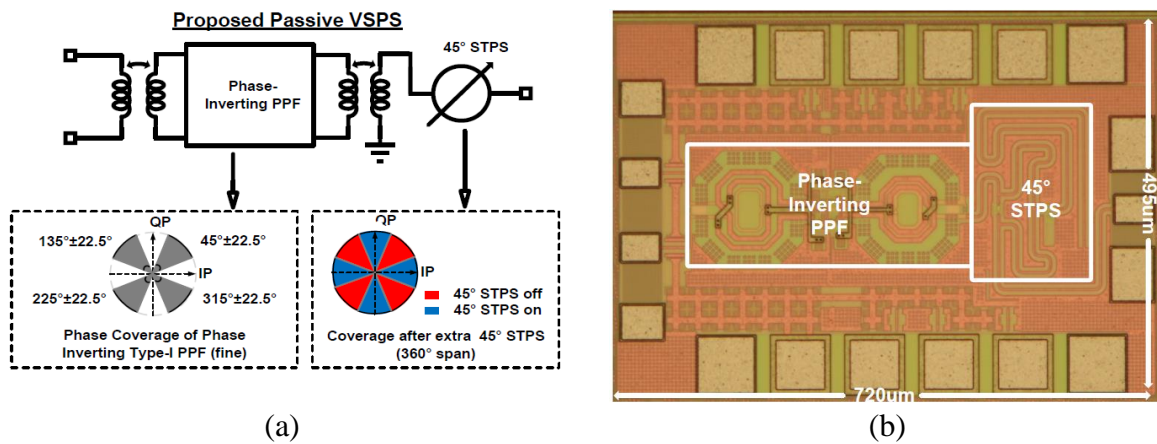


Figure III-13 : Nouvelle topologie de déphaseur mixant STPS et inversion de phase (a) schématique et (b) layout

Le circuit est fabriqué en technologie 65 nm CMOS et mesure 0,36 mm². La résolution est de 11,25° sur la bande de 26,5 à 29,5 GHz (Fig. III-14a). Les pertes d'insertion sont de l'ordre de -12 à -13 dB sur toute la bande (Fig. III-14b).

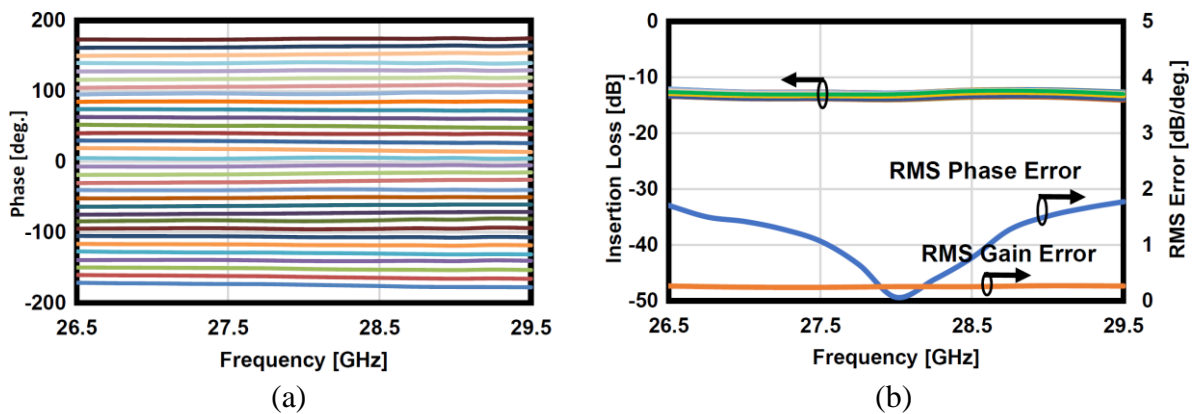


Figure III-14 : Mesures du déphaseur : (a) Niveaux de phase atteints, (b) Pertes d'insertion et erreur RMS de gain et phase sur la bande 26,5 - 29,5 GHz

Ce déphaseur présente l'avantage d'avoir une couverture de phases de 360°. En revanche, la résolution est trop faible (11,25°) pour notre cahier des charges.

Un déphaseur de type modulateur vectoriel en technologie 0,13 µm SiGe pour les applications 5G [55]

Ce papier présente deux déphaseurs de type modulateur vectoriel de même architecture. La différence entre les deux réside dans l'adaptation inter-étage entre le séparateur en phase/en quadrature (I/Q) et l'additionneur différentiel (Fig. III-15a). Le premier circuit d'adaptation permet d'optimiser le gain (Fig. III-15c) et le deuxième permet d'optimiser la taille de la puce (Fig. III-15d).

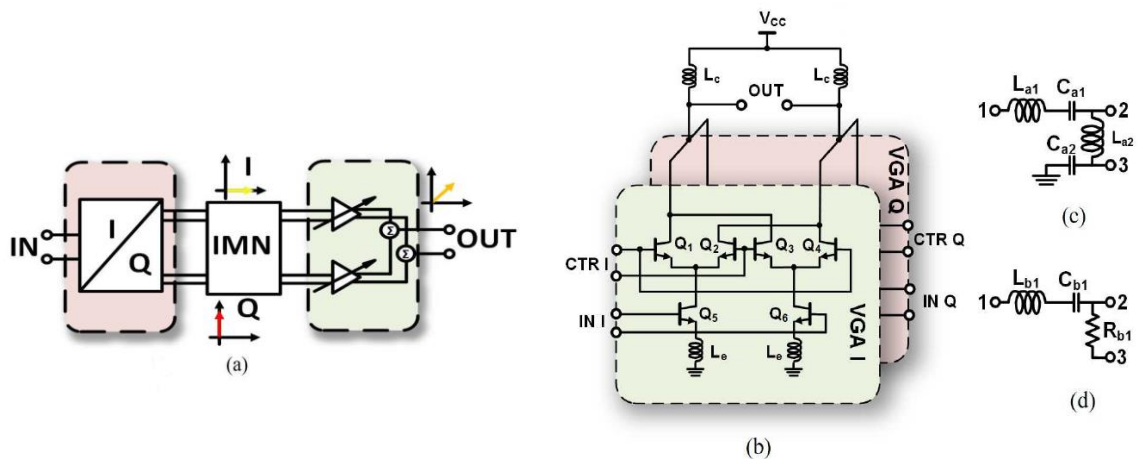


Figure III-15 : Schéma de principe des VM (a) avec le schéma de l'additionneur (b) un IMN pour des solutions à gain élevé (c) et compactes (d)

Les paramètres S mesurés et les phases couvertes sont affichés en Fig. III-16. Les deux topologies offrent des performances intéressantes. Les phases couvrent bien les 360° dans les deux cas à 28 GHz.

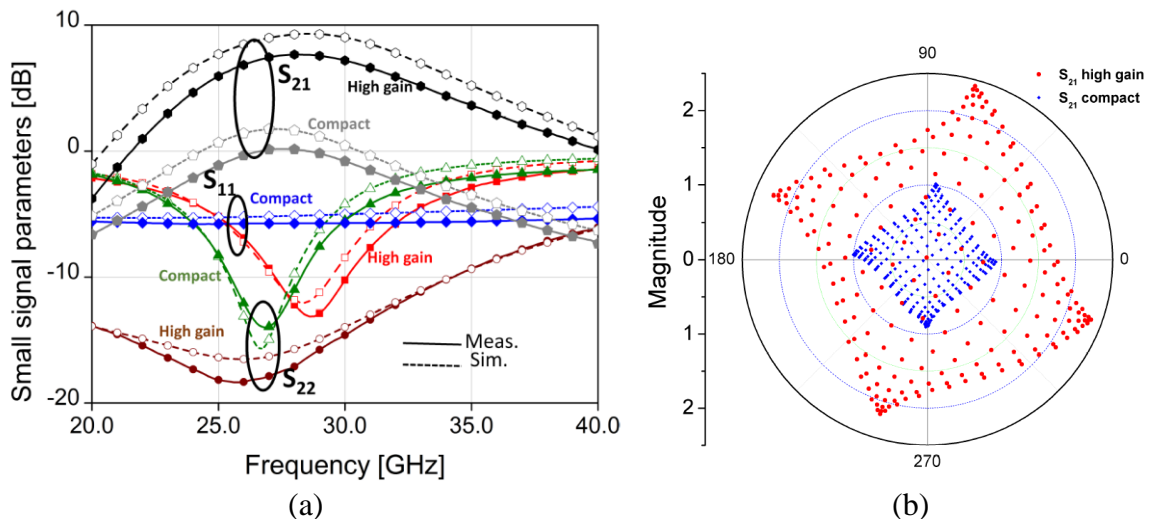


Figure III-16 : Mesures des circuits : (a) Paramètres S et (b) Phases couvertes par les déphaseurs à 28 GHz

Les déphaseurs de type modulateur vectoriel présentés dans ces travaux ont l'avantage de couvrir les 360° de phase. En revanche, il s'agit d'une solution active qui consomme plus qu'un déphaseur de type RTPS passif.

Bilan de l'état de l'art des déphaseurs à 27 GHz

Plusieurs types de déphaseurs peuvent être utilisés. Le plus courant est le RTPS numérique [1], [2] composé d'un coupleur hybride 90° et deux charges réfléchives. Plusieurs RTPS cascades sont nécessaires pour couvrir la totalité de la dynamique de phase. Cette dynamique est d'ailleurs souvent inférieure à 360° , mais plutôt de l'ordre de 180° . L'autre moitié est alors réalisée grâce à un VGA et son bit d'inversion de phase pour éviter d'introduire trop de pertes. Il existe ensuite des déphaseurs de type STPS (Switch-Type Phase Shifter) [3]. Cette technique

présente l'avantage de pouvoir couvrir les 360° sans ajout d'inversion de phase dans le VGA. En revanche, les résolutions atteintes sont trop faibles pour l'application visée. Les travaux présentés dans [4] proposent une nouvelle architecture passive de VSPS (Vector-Summing Phase Shifter) utilisant un STPS 45° et un filtre poly-phase à inversion de phase. Cette technique permet d'augmenter la résolution par rapport à un déphaseur utilisant uniquement des STPS. Mais la résolution est toujours trop faible par rapport à nos exigences. Enfin, l'architecture souvent rencontrée est le modulateur vectoriel [5]. Cette architecture permet d'intégrer les contrôles de phase et d'amplitude dans un même circuit permettant ainsi de couvrir les 360° . Ensuite, en fonction des spécifications du projet, on améliore les performances que l'on souhaite. Dans [5], deux solutions sont réalisées : une pour optimiser le gain et l'autre pour optimiser la compacité du circuit. Dans le cas d'un fort gain, le circuit occupe une surface importante, ce qui est problématique dans les applications où la compacité est de mise. Le modulateur vectoriel est une solution qui consomme plus que le RTPS et présente des erreurs de phase et gain RMS supérieures. Finalement, aucun de ces travaux ne correspond parfaitement à nos besoins. C'est la topologie RTPS qui est utilisée dans ce projet, en 130 nm SiGe BiCMOS.

	[52]	[53]	[54]	[55]	
Technologie	0,12 μ m SiGe	65nm CMOS SOI	65nm CMOS	0,13 μ m SiGe	
Fréquence (GHz)	28	29-51	26,5-29,5	26,5-29,5	
Type	RTPS numérique	RTPS numérique	VSPS passif	Modulateur vectoriel grand gain	Modulateur vectoriel compact
Bits	6	7	6*	4	4
Dynamique de phase ($^\circ$)	210	216@40GHz	360	360	360
Résolution de phase ($^\circ$)	3,3*	1,7@40GHz	11,25	NA	NA
Pertes d'insertion (dB)	4	10	13	-2,3	4,4
Taille de puce (mm²)	0,67	0,058 sans pad	0,1	1,15	0,71

Tableau III-2 : Bilan de l'état de l'art des déphaseurs à 27GHz

1.3 – Le VGA

1.3.1. Principe du VGA et ses limites

L'amplificateur à gain variable (VGA) millimétrique est utilisé pour contrôler le gain dans une chaîne RF. Il est caractérisé par sa fréquence de fonctionnement, sa plage de contrôle du gain, sa résolution et son gain maximal. Comme expliqué dans le chapitre I, dans un système de *beamforming* numérique destiné aux applications 5G, il est essentiel de garantir la linéarité et la bande passante du VGA. Le contrôle du gain peut être réalisé soit de manière analogique [56], soit de manière numérique [57], [58], [59], [60], [61].

De manière générale, le contrôle du gain est réalisé en ajustant le courant RF au niveau de la sortie. Lorsque le courant dans le transistor en source commune n'est pas constant, les impédances vues à l'entrée et à la sortie varient. Cela pose un problème en matière d'adaptation du circuit, car non seulement une partie de la puissance peut être perdue en raison des réflexions, mais cela peut également affecter le comportement des blocs en amont et/ou en aval du VGA. Des distorsions de phase peuvent survenir en fonction de l'état de gain, ce qui complique la calibration du réseau d'antennes. Idéalement, le déphasage du VGA devrait être constant pour tous les états de gain et sur toute la bande de fréquence d'intérêt.

Il est important de noter que la variation d'impédance n'est pas la seule cause de la variation de phase. Dans une topologie de type "cellule de Gilbert", la capacité C_{gd} est l'une des causes de distorsion de phase. Plus généralement, c'est le couplage entre la sortie et l'entrée qui constitue l'une des principales causes de la variation de phase en fonction de l'état de gain.

L'objectif lors de la conception d'un VGA millimétrique pour un système de *beamforming* est de minimiser la variation de phase et d'impédance en fonction de l'état de gain. Il est également préférable d'avoir un contrôle numérique afin de simplifier l'interface avec le DSP (Digital Signal Processor) et d'augmenter la robustesse face aux variations de tension dans les lignes de contrôle. Il existe deux méthodes pour le contrôle numérique d'un VGA : l'utilisation d'un DAC (Digital-to-Analog Converter) ou l'utilisation d'une topologie directement contrôlable numériquement, c'est cette dernière solution qui est utilisée dans ces travaux. En effet, l'utilisation d'un DAC implique que le VGA soit contrôlable analogiquement. La deuxième solution permet d'assurer une invariance d'impédance en fonction du contrôle.

1.3.2. Etat de l'art des VGA à 27 GHz

Différentes topologies de VGA existent en fonction de l'application visée. Il en existe avec inversion de phase et sans. L'architecture choisie dépend du cahier des charges.

Un amplificateur à gain variable distribué à faible consommation de puissance entre 3,7 et 43,7 GHz en CMOS 90 nm [56]

Un amplificateur à gain variable différentiel est présenté dans [56]. Il est ultra large bande (3,7-43,7 GHz) grâce à une résistance variable active ajoutée en terminaison du circuit. Son schéma complet ainsi que son layout sont présentés en Fig. III-17. La dynamique de gain est de 18 dB et le gain max est de 21 dB (Fig. III-18).

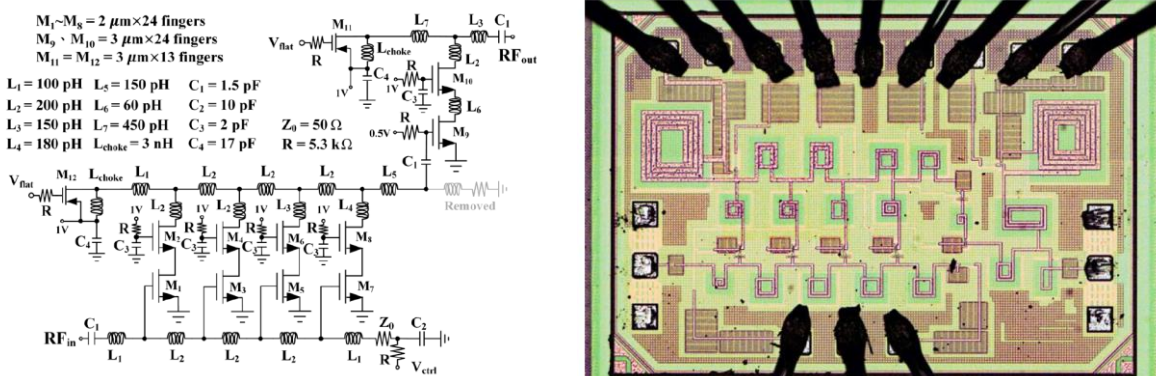


Figure III-17 : Schématique (a) du VGA complet et son layout (b)

Cinq niveaux de gain sont atteints (Fig. III-18a) et les phases varient très peu qu'importe le niveau de gain du VGA (Fig. III-18b). Le circuit fabriqué a une superficie de 0,72 mm² en incluant les pads et consomme 33 mW uniquement.

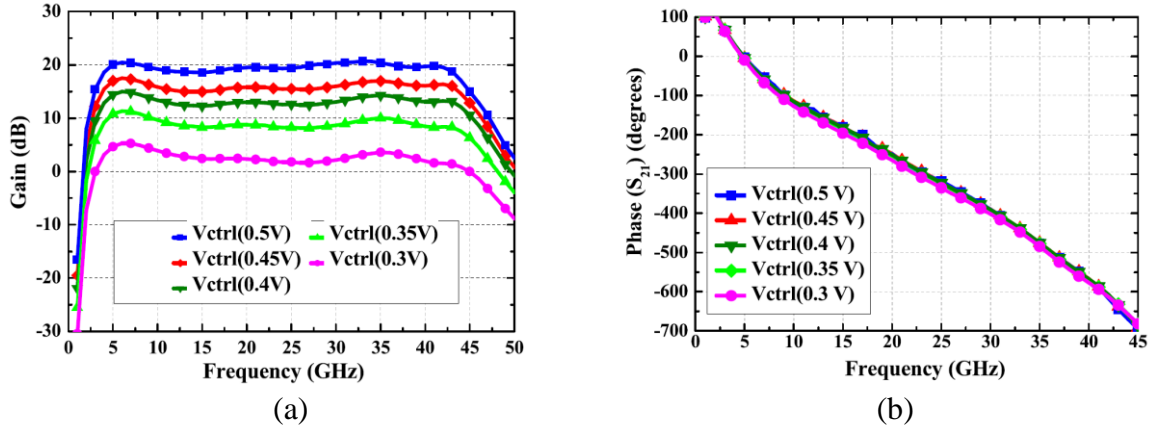


Figure III-18 : Différents niveaux de gain atteints par le VGA (a) et phases associées entre 0 et 45GHz (b)

Ce circuit a pour avantage de fonctionner sur une très large bande de fréquence (3,7 - 43,7 GHz). En revanche, il présente une variation de phase importante en fonction de la variation de gain (16°).

Un VGA avec 21,5 dB de dynamique de gain avec une faible variation de phase entre 20 et 43 GHz pour les communications 5G en CMOS 65 nm [57]

Ce papier présente un VGA à très faible variation de phase grâce à une technique d'élimination de capacité parasite. Son schéma et la photo du circuit sont présentés en Fig. III-19.

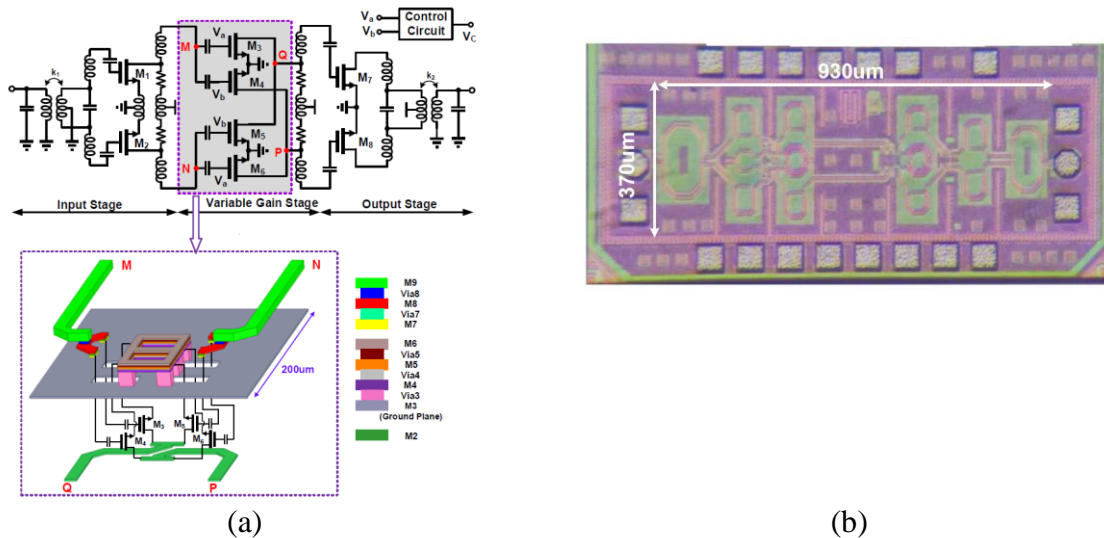


Figure III-19 : Schématique du VGA (a) et son layout (b)

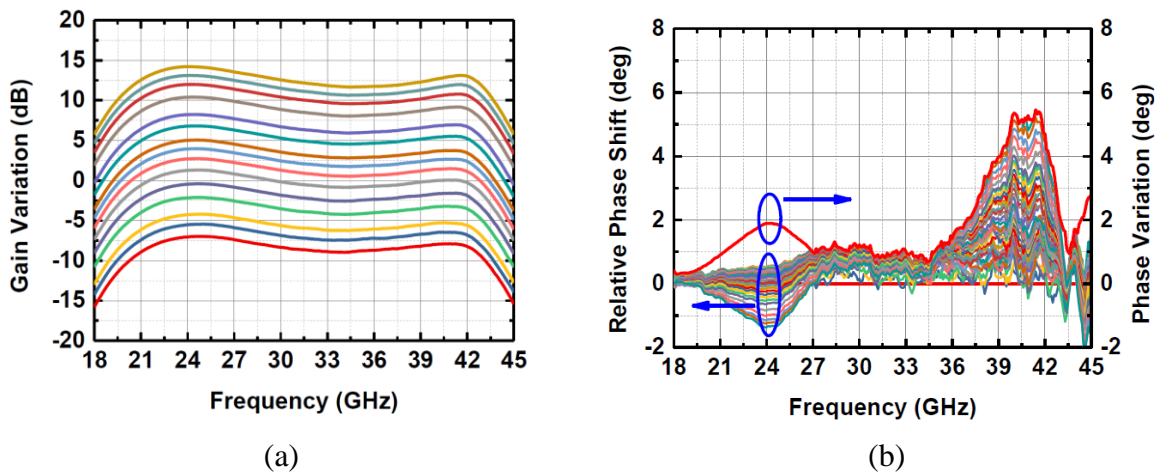


Figure III-20 : Différents niveaux de gain atteints par le VGA (a) et variation de la phase sur la bande pour tous les niveaux de gain (b)

La dynamique de gain est de 21,5 dB et la variation de phase est inférieure à 2° (Fig. III-20). Le circuit fabriqué a une superficie de $0,34 \text{ mm}^2$ sans les pads et consomme 30,8 mW. L'avantage de ce circuit est la faible variation de phase en fonction de la variation de gain. En revanche, la superficie de la puce est élevée pour ce type de fonction.

Un VGA avec invariance de phase contrôlé numériquement en bande Ka et technologie CMOS avec 4 bits et 0,5 dB de résolution [58]

Cet article présente un VGA large bande à commande numérique et analyse le mécanisme de variation de la phase.

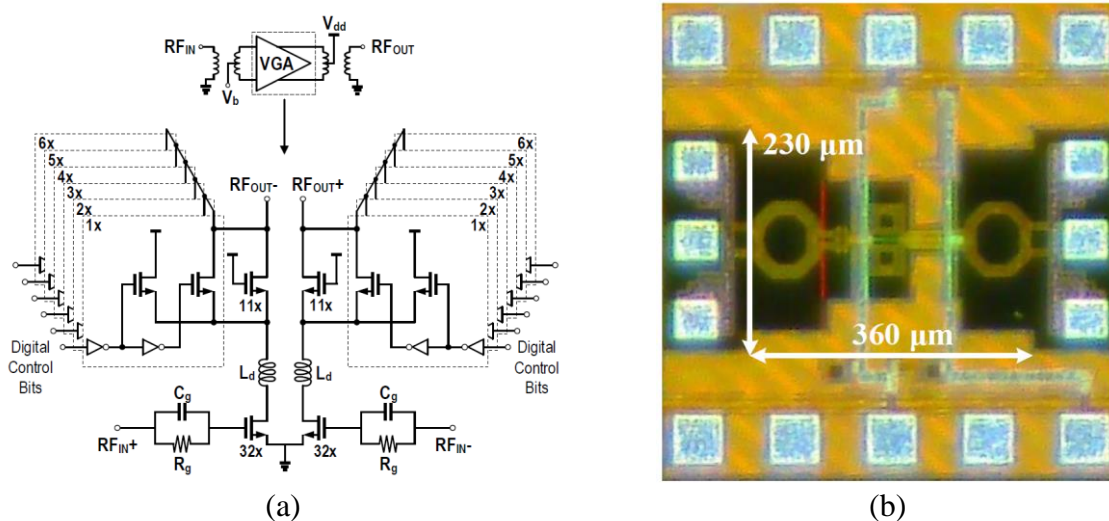


Figure III-21 : Schématique (a) du VGA et son layout (b)

Le contrôle du gain est numérique en commutant des cellules composées de deux transistors en parallèle. Le drain d'un des deux transistors est connecté à la sortie RF et le drain de l'autre transistor est connecté à V_{dd} . Ainsi, lorsque le bit de contrôle est à 1, le courant RF augmente, et lorsque le bit de contrôle est à 0, le courant RF diminue. Grâce à cette architecture, le courant

dans le transistor du bas reste constant quel que soit le code. Cela implique que l'impédance vue en entrée reste constante quel que soit le code binaire. Ce n'est cependant pas le cas en sortie. Une inductance inter-étage est introduite pour éliminer la capacité parasite au niveau du nœud intermédiaire et ainsi minimiser les variations de phase. Le VGA différentiel atteint une plage de gain mesurée de 7,5 dB et une résolution de gain de 0,5 dB avec une variation de phase inférieure à $2,5^\circ$ à 34 GHz. Le VGA balaie 16 niveaux de gain sur 7,5 dB de dynamique (Fig. III-22a). La phase varie de moins de 2° selon le niveau de gain atteint (Fig. III-22b). Le circuit fabriqué a pour superficie $0,08 \text{ mm}^2$ sans les pads et consomme 15,6 mW.

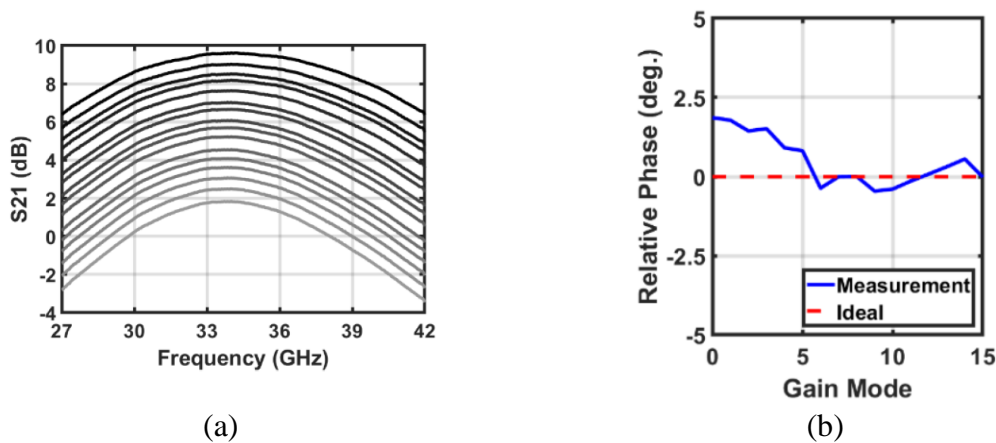


Figure III-22 : Niveaux de gain atteints (a) et variation de phase (b)

L'avantage de ces travaux réside dans l'invariance d'impédance en fonction du code binaire utilisé grâce à l'architecture. Cependant, l'ajout de l'inductance impacte la linéarité du circuit en ramenant des pertes directement sur le drain de sortie.

Un VGA avec une grande résolution de gain et une faible variation de phase en bande Ka avec une technologie CMOS [59]

Dans ces travaux, un VGA complètement intégré est présenté en technologie 65 nm CMOS. Il est constitué de trois étages : deux étages de gain fixes en entrée et sortie et le cœur du VGA au milieu (Fig. III-23a). Cela lui permet d'atteindre un gain max de 29,4 dB (Fig. III-24).

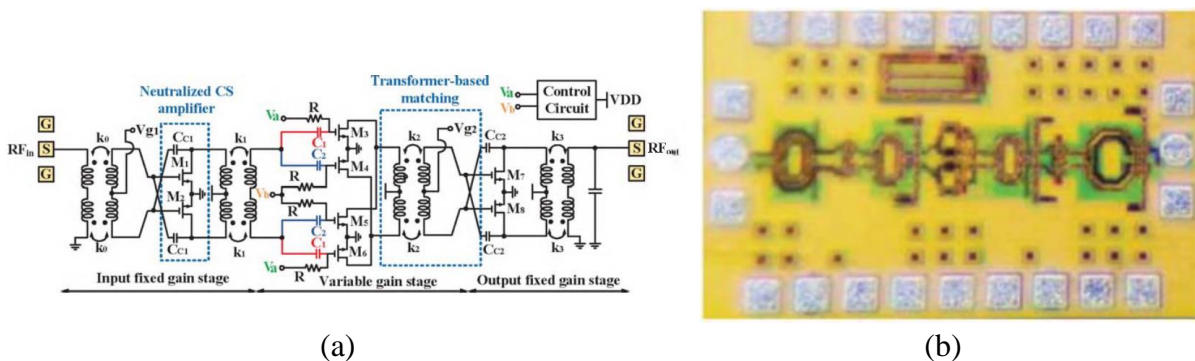


Figure III-23 : Schématique du VGA complet (a) et son layout (b)

Il couvre 6,2 dB de dynamique par pas de 0,2 dB (Fig. III-24). Le circuit fabriqué a une superficie de $0,36 \text{ mm}^2$.

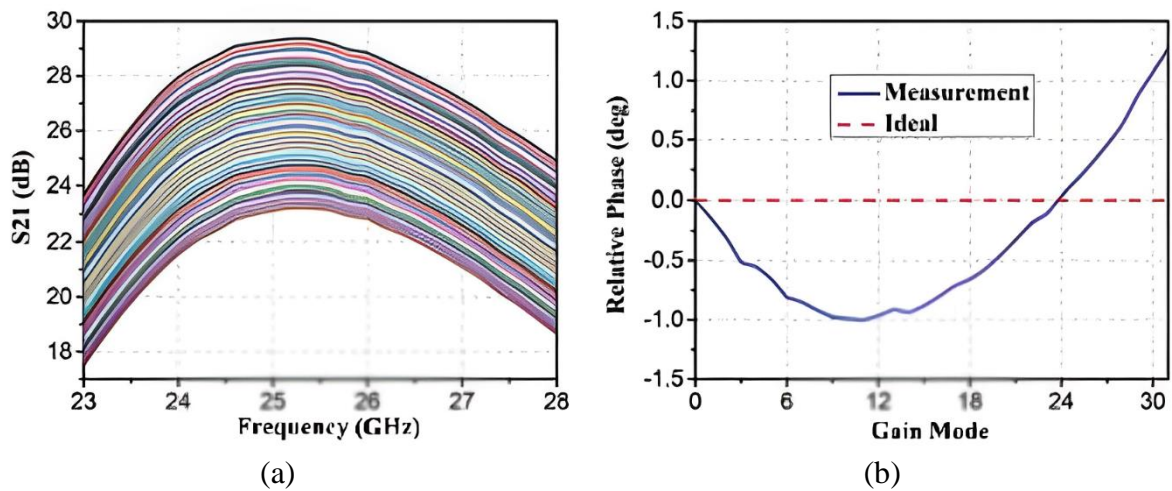


Figure III-24 : Différents niveaux de gain couverts par le VGA sur la bande 23-28GHz (a) et la variation de phase associée (b)

Ce circuit possède de bons résultats et pourrait convenir pour notre application hormis la technologie utilisée. Il assure une bonne résolution en gain (0,2 dB) et une faible variation de phase (3,3°).

Un VGA contrôlé numériquement sur 4 bits en technologie 65 nm CMOS pour du *beamforming* en bande Ka [60]

Le VGA présenté dans ces travaux réalise l'inversion de phase de 180° pour compléter la dynamique de phase du déphaseur qui le précède. L'architecture de double paire différentielle est donc utilisée (Fig. III-25a). Le circuit réalisé est présenté Fig. III-25b.

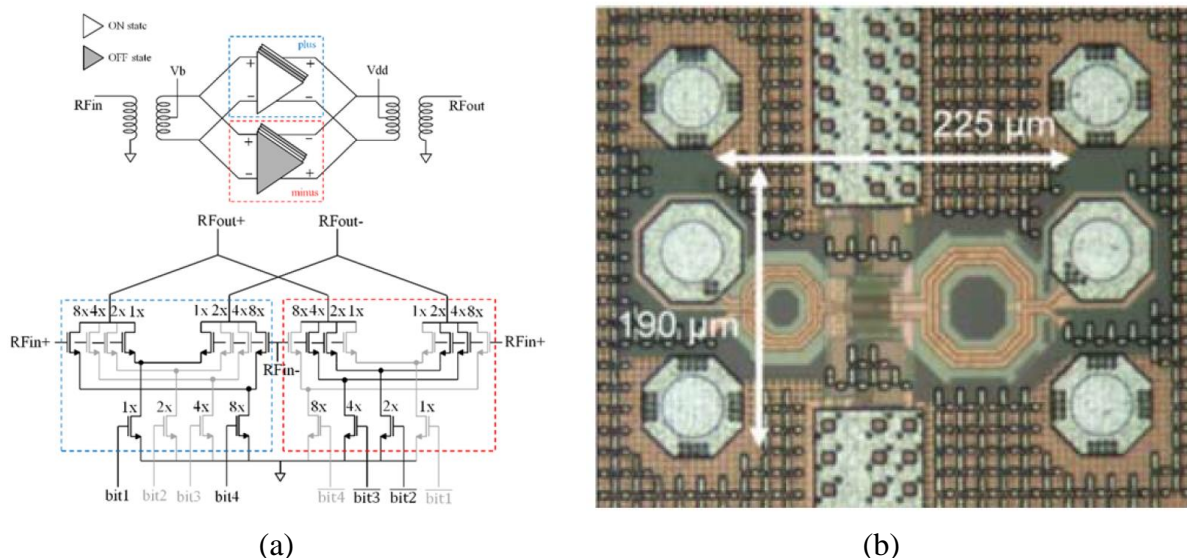


Figure III-25 : Schématique du VGA (a) et photo du circuit réalisé (b)

Ce circuit permet de couvrir 21,1 dB de dynamique de gain avec un gain maximal de 8,8 dB (Fig.III-26). Le circuit fabriqué occupe 0,04 mm² sans les pads et consomme 21 mW.

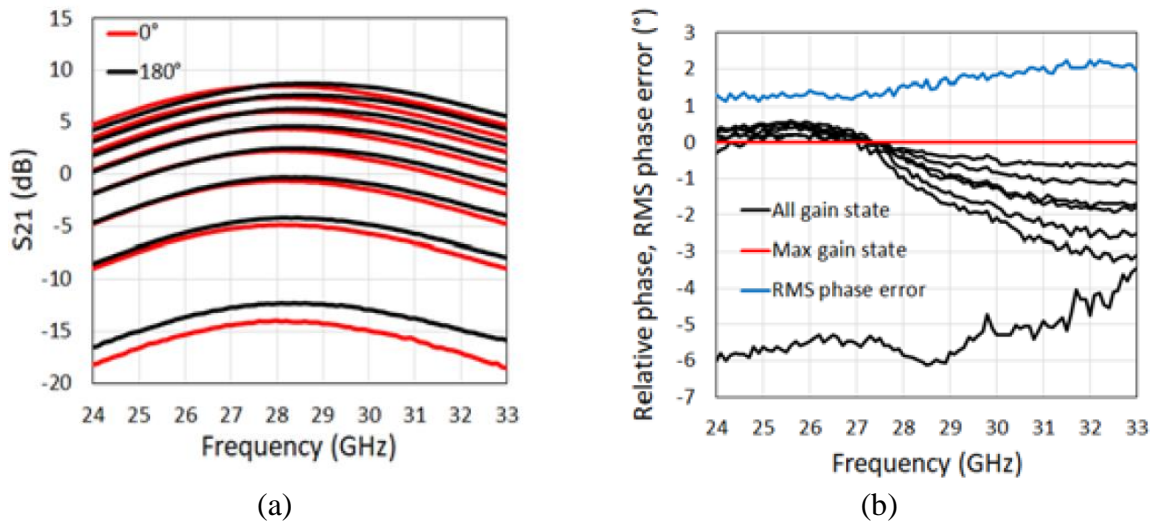


Figure III-26 : Différents niveaux de gain atteints par le VGA (a) variations de phases associées (b)

Ce circuit présente de nombreux avantages : l'invariance d'impédance en fonction du code binaire utilisé car il y a toujours le même nombre de transistors ON et OFF donc la consommation est égale pour tous les états du VGA. De plus, ce VGA réalise l'inversion de la phase, ce qui permet, couplé à un déphaseur 180° de couvrir 360° de dynamique de phase. Ce n'est en revanche pas la technologie de notre projet.

Un VGA RF linéaire en dB entre 21,5 et 36 GHz sur 6 bits avec contrôle de gain précis en technologie SiGe 130 nm BiCMOS [61]

Cet article présente un VGA 6 bits de 21,5 à 36 GHz avec un contrôle de gain numérique précis en technologie BiCMOS SiGe 0,13 μm . Le réseau d'adaptation à large bande avec un réseau RC parallèle est ajusté pour compenser les déséquilibres.

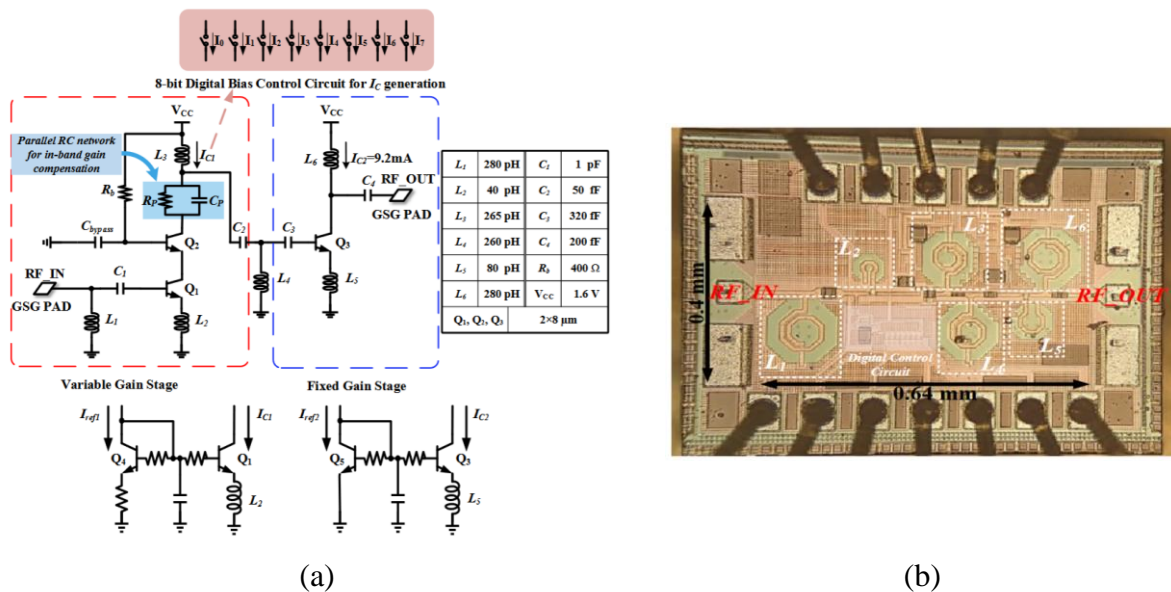


Figure III-27 : Schématique du VGA (a) et layout associé (b)

L'amplificateur atteint un gain de puissance stable et une résolution de gain de haute précision de 0,5 dB dans la plage -16 à 16 dB grâce à un circuit de contrôle de la polarisation numérique à 8 bits. Il permet d'obtenir une faible erreur de gain (Fig. III-28). Le circuit fabriqué a une superficie de 0,256 mm² et consomme 23,5 mW.

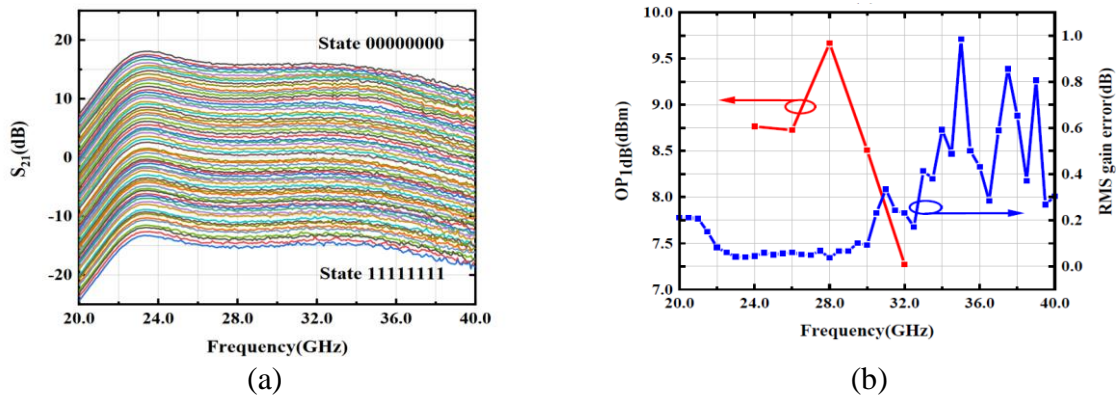


Figure III-28 : Différents niveaux de gain atteints par ce VGA (a) OP1dB et erreur de gain RMS entre 20 et 40 GHz (b)

Ce VGA convient pour les applications de communication 5G et de radar à large bande et à faible puissance où un contrôle de gain de haute précision est nécessaire. Ce circuit est dans la technologie que l'on utilise dans notre projet. Il atteint des performances proches de ce qui est attendu en matière de gain et de précision. En revanche, il occupe une surface importante (0,256 mm² sans pad).

Un VGA compact reconfigurable en fréquence pour émetteurs/récepteurs multistandards 5G [62]

Un VGA en bande Ka à commande numérique et reconfigurable en fréquence entre 28 et 39 GHz a été mis au point en technologie SiGe BiCMOS 0,12 μm (Fig. III-29). Le VGA utilise des lignes de transmission variables qui permettent au circuit d'être très compact par rapport aux éléments d'adaptation conventionnels.

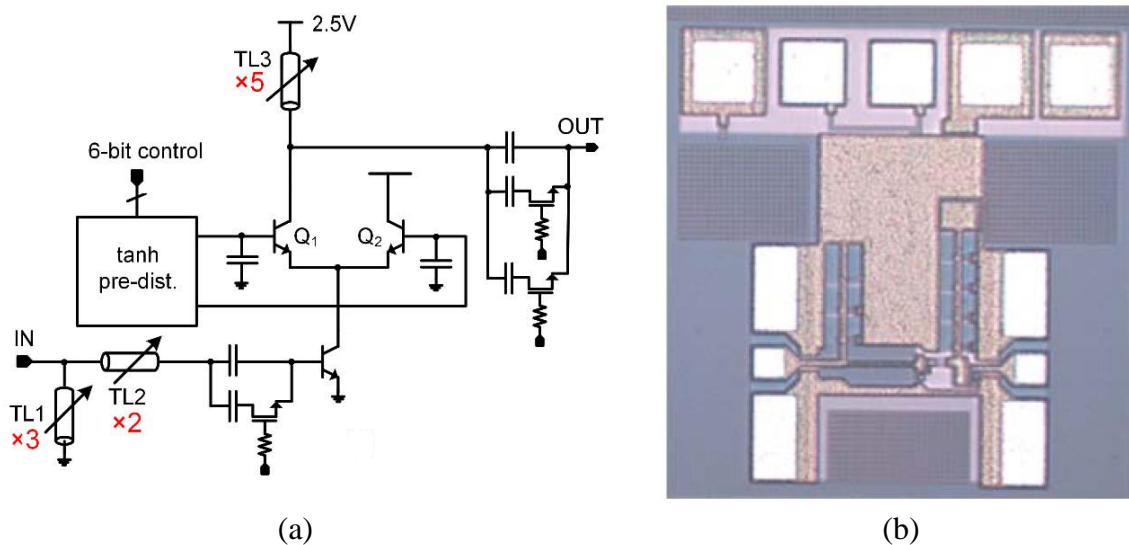


Figure III-29 : Schématique du VGA (a) et photo du circuit réalisé (b)

Le VGA atteint une dynamique de gain mesurée de 18 dB et une résolution de gain plus fine que 1 dB avec une variation de phase inférieure à $4,5^\circ$ entre 25 et 40 GHz (Fig. III-30). Le circuit fabriqué mesure $0,08 \text{ mm}^2$ et consomme 45 mW.

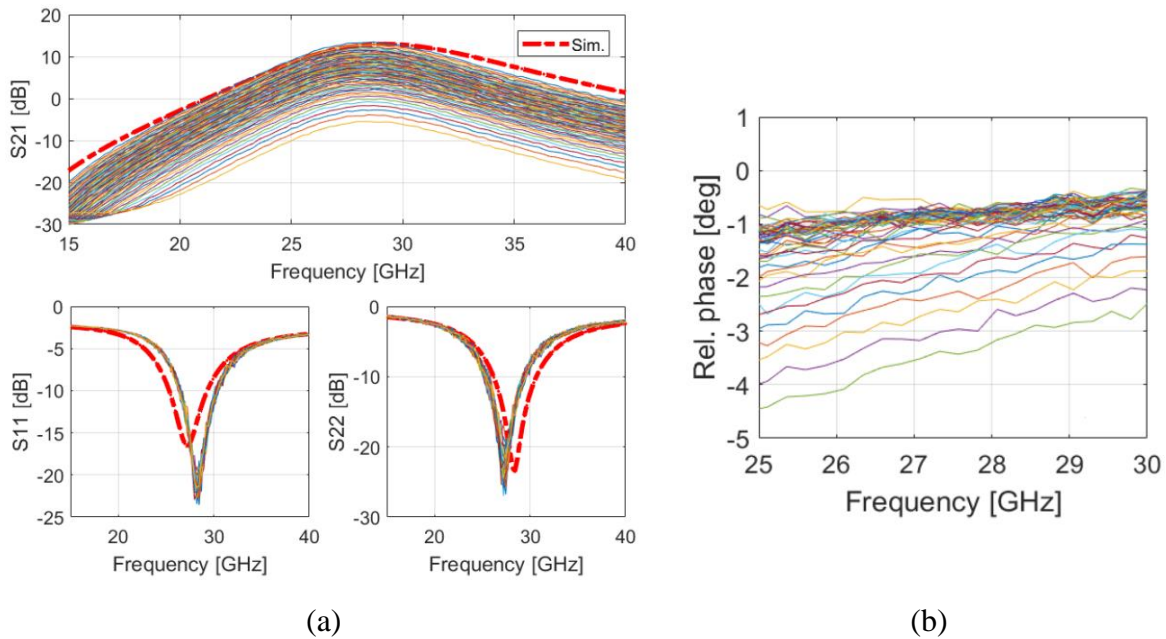


Figure III-30 : Différents niveaux de S₂₁, S₁₁, S₂₂ sur la bande 15 - 40 GHz (a) et évolution de la variation de phase en fonction du niveau de gain (b)

Ce circuit pourrait correspondre à nos attentes en matière de gain et de résolution. Il est aussi très compact ($0,08 \text{ mm}^2$). En revanche, il n'inclut pas l'inversion de phase, fonction qui est intéressante dans nos travaux pour relâcher la contrainte sur le déphaseur.

Bilan de l'état de l'art des VGA à 27 GHz

Différentes solutions existent pour réaliser le contrôle en gain. On a vu dans la partie précédente que le contrôle en gain pouvait être mené en même temps que le contrôle en phase grâce au modulateur vectoriel. En revanche, dans le cas où le déphaseur est de type RTPS par exemple, un VGA séparé est nécessaire pour couvrir la dynamique de gain requise.

Le contrôle de gain peut être réalisé de manière continue (analogue) [7] ou bien numérique en étant linéaire en dB [8], [9], [11] ou linéaire en amplitude [10].

Les VGA doivent assurer très peu de variation de phase quand le code binaire change. L'intérêt de la structure en double paire différentielle est d'inverser la phase du déphaseur qui le précède afin de couvrir les 360° requis.

	[56]	[57]	[58]	[59]	[60]	[61]	[62]
Technologie	CMOS 90nm	CMOS 65nm	CMOS 65nm	CMOS 65nm	CMOS 65nm	BiCMOS 130nm SiGe	BiCMOS 120nm SiGe
Fréq. (GHz)	3,7-43,7	20-43	27-42	24-28	25-33	21,5-36	28-39
Gain max (dB)	21	14,5	9,8	29,4	9,6	16	12,5
Dynamique de gain (dB)	18	21,5	7,8	6,2	21,1	32	18
Contrôle de gain	-	Continu	Linéaire en dB	Linéaire en dB	Linéaire en magnitude	Linéaire en dB	-
Résolution	-	Analogue	4 bits / 0,5dB	0,2dB	4 bits	6 bits /0,5dB	<1
Puissance consommée (mW)	33	30,8	15,6	-	15,6	23,5	45
Variation de phase (°)	<16	<2	<3,5	<3,3	<2,2	-	<4,5
OCP1dB (dBm)	1,9@35 GHz	- 3,5@24G Hz*	2,5	-	-	9,3@28 GHz	4,5
Surface (mm²)	0,72	0,34 sans pad	0,08 sans pad	0,36	0,043 sans pad	0,256 sans pad	0,08

Tableau III-3 : Bilan de l'état de l'art des VGA à 27 GHz

Partie 2 – Circuits de contrôle de la phase et de l'amplitude aux fréquences millimétriques

2.1 - Conception du déphaseur large bande en SiGe à 27 GHz à faible variation des pertes

Afin de réduire la consommation d'énergie globale du système et d'obtenir une résolution de phase élevée, l'architecture choisie est un déphaseur à réflexion (RTPS). Elle repose sur des composants passifs, ce qui se traduit par une consommation d'énergie nulle, une linéarité élevée et un fonctionnement bidirectionnel. Le déphaseur couvre 180° et les 180° restants sont couverts grâce à l'inversion de phase du VGA. En modifiant la capacité de la varactor, la phase du coefficient de réflexion peut être modifiée comme suit :

$$\angle \Gamma_L = 180^\circ - \tan^{-1} \left(\frac{1}{C\omega Z_0} \right) \quad [III - 9]$$

Avec C la capacité de la varactor, Z_0 l'impédance caractéristique. Un compromis entre le rapport $\frac{C_{\max}}{C_{\min}}$ et le facteur Q est nécessaire. En effet, un rapport $\frac{C_{\max}}{C_{\min}}$ élevé conduit à une grande gamme de phase mais à un faible facteur Q , ce qui augmente les pertes. Dans ce travail, trois RTPS en cascade ont été utilisés (Fig. III-31).

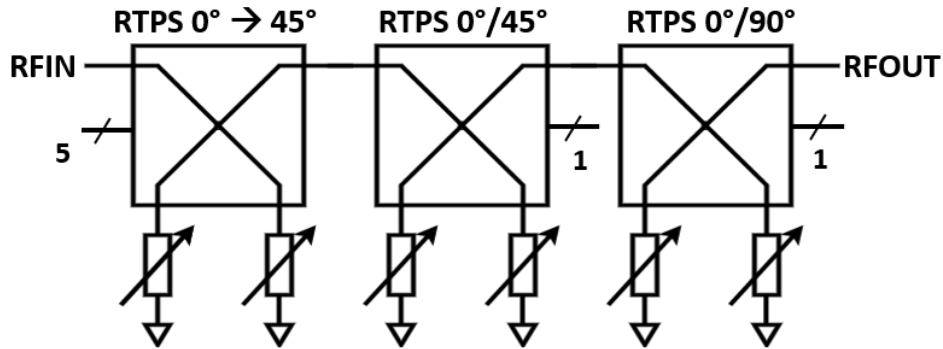


Figure III-31 : Schématisation du déphaseur complet

Le premier RTPS de 5 bits permet un balayage de phase de 0° à 45° , tandis que les deuxième et troisième RTPS de 1 bit permettent un déphasage de 45° et 90° , respectivement. Ensemble, ces trois RTPS présentent un balayage de phase maximal de 180° , qui peut être étendu à 360° en utilisant le bit d'inversion du VGA (ce point sera expliqué dans la partie 2.3). Les deux premiers RTPS utilisent des condensateurs variables (varactors) et le dernier est un condensateur commuté.

Un déphasage de 45° est un bon compromis entre dynamique de phase et pertes en utilisant des varactors. Concernant le troisième RTPS permettant de déphaser de 90° , la varactor n'est pas utilisable sans avoir trop de pertes. En effet, un rapport de capacité permettant d'avoir un déphasage de 60° implique environ 3 dB de pertes [5]. On peut donc s'attendre à des pertes au-delà de 3,5 dB pour 90° d'écart de phase, ce qui, additionné avec les pertes des deux autres RTPS, peut aboutir à des pertes élevées de l'ordre de 10 dB qu'il faut ensuite compenser à l'aide d'étages de gain supplémentaires. Le choix de la charge réfective du RTPS3 s'est donc porté sur une capacité commutée à l'aide d'un transistor utilisé comme un interrupteur. Les coupleurs hybrides 90° intégrés sont choisis pour leur grande compacité et leurs faibles pertes (0,35 dB) aux fréquences des ondes millimétriques, ce qui permet de les mettre en cascade tout en minimisant la surface du circuit. Chaque double charge réfective est donc positionnée au centre d'un coupleur hybride 90° identique. Les trois différents RTPS composant le déphaseur sont détaillés ici.

RTPS1 : 5 bits, $0 \rightarrow 45^\circ$ continu

La première charge réfective du RTPS consiste en cinq doubles varactors. Les varactors sont conçues pour être deux fois plus grandes d'une branche à la suivante. En modifiant le rapport entre la largeur et la longueur (W/L), la dynamique de phase est modifiée. Les varactors sont contrôlées indépendamment par les bits $b1$ à $b5$ (Fig. III-32). La charge réfective du

RTPS1 est présentée en schématique en Fig. III-32a. Le layout des deux charges réfléchives identiques est présenté en Fig. III-32b.

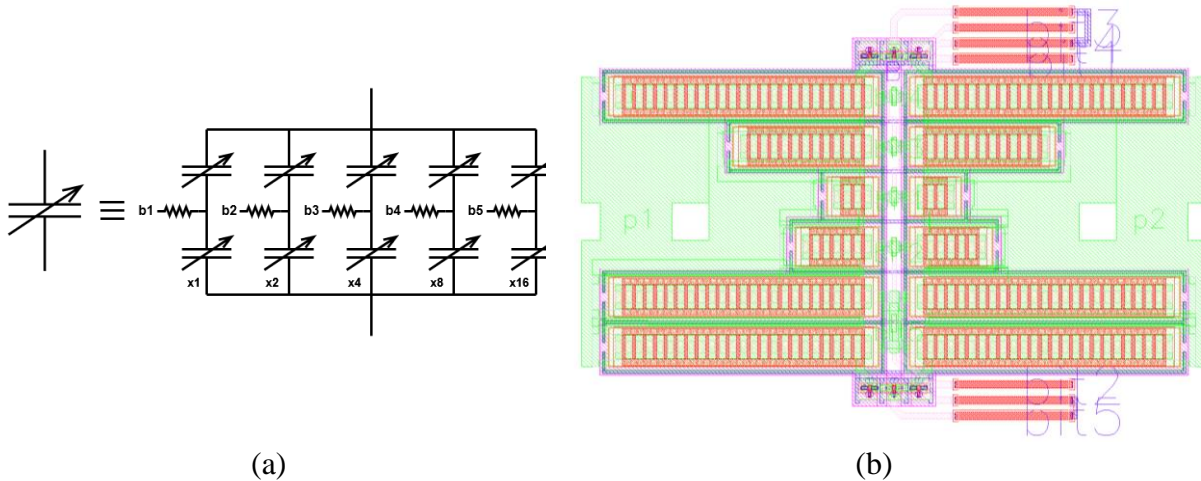


Figure III-32 : Charge réfléchive unitaire du premier RTPS sur 5 bits pour le balayage continu de 0 à 45° (a) et layout des deux charges réfléchives du RTPS1 (b)

Le facteur de qualité des varactors dépend de la capacité correspondante. Pour les bits $b4$ et $b5$, les varactors étant plus grandes ($2*128fF$ et $2*256fF$ respectivement), le facteur de qualité varie de manière trop importante en fonction de la capacité, ce qui implique une grande variation des pertes. Afin de lisser le facteur de qualité quelle que soit la capacité, une compensation est réalisée grâce à un transistor MOS en parallèle. Cette méthode est détaillée dans [5] et illustrée en Fig. III-33 Dans [5], il s'agit d'une résistance poly fixe, ce qui permet également de réaliser la compensation afin de lisser les pertes. Le transistor des travaux présentés ici permet de créer une résistance variable, ce qui réalise la compensation de manière plus précise.

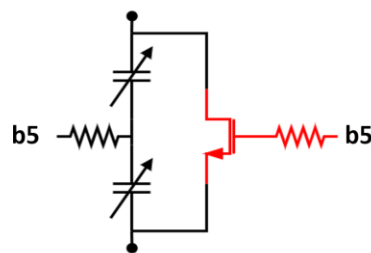


Figure III-33 : Schématique de la méthode de compensation

Le RTPS complet comprenant le coupleur hybride (Fig. III-31) et les deux charges réfléchives (Fig. III-32) est présenté en Fig. III-34 avec les phases correspondantes couvertes par tous les codes binaires sur 5 bits. Ce premier RTPS permet de couvrir 45° de dynamique de phase de manière continue (Fig. III-34b). Tous les points sont équidistants du point central de l'abaque de 50 Ω , ce qui signifie que les pertes sont égales quel que soit l'état de phase. Cela est rendu possible notamment grâce au système de compensation permettant de lisser les pertes quel que soit le code binaire utilisé. Le RTPS 5 bits permet théoriquement d'assurer une précision de 1,41° pour un cahier des charges à 5,625°. Une marge est prise puisque le balayage

n'est pas linéaire. Une calibration statique (sélection manuelle) sera alors effectuée pour sélectionner les niveaux de phase utiles.

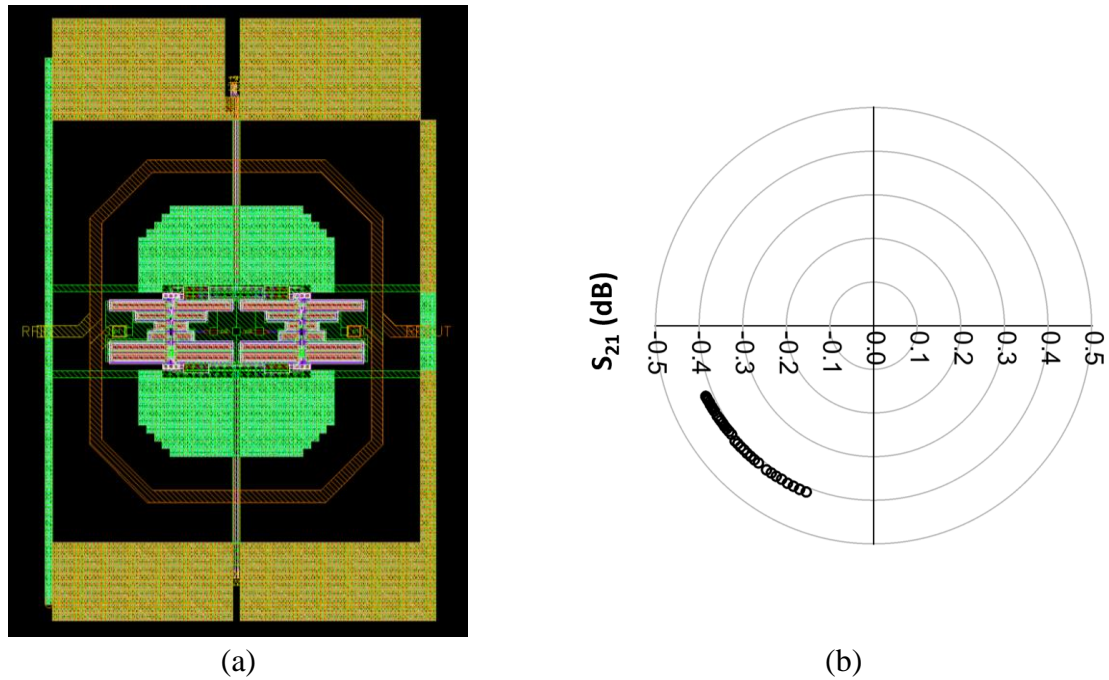


Figure III-34 : Layout (a) et phases (b) du RTPS1

RTPS2 : 1 bit, 0/45° discret

La charge réfective du deuxième RTPS comporte une double varactor, qui suit la même méthode de conception que la première (Fig. III-35). Cette varactor permet d'atteindre deux phases différentes de 45° d'écart. Le RTPS n'est donc contrôlé que par un seul bit.

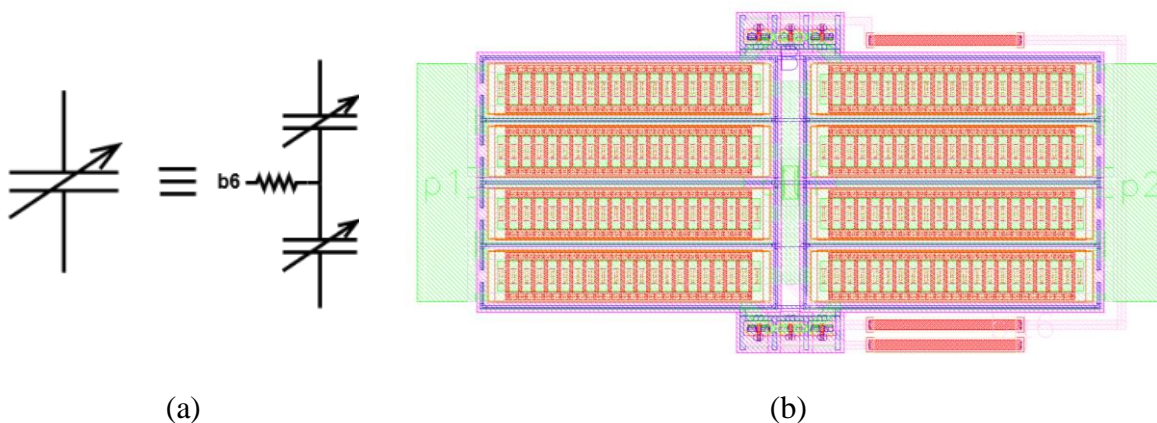


Figure III-35 : Charge réfective unitaire du second RTPS sur 1 bit pour le déphasage 0/45° discret (a) et layout des deux charges réfectives du RTPS2

Le second RTPS est constitué du coupleur hybride et des deux charges réfectives (Fig. III-35). Son layout est présenté en Fig. III-36a et les phases atteintes sont visibles en Fig. III-36b. Deux phases sont atteintes de 45° d'écart grâce au bit de contrôle de ce RTPS. Les points sont à équidistance du point 50 Ω, ce qui traduit des pertes équivalentes pour les deux états.

Pour cela, le layout a été optimisé en créant le plus d'accès possibles et le moins de capacités parasites.

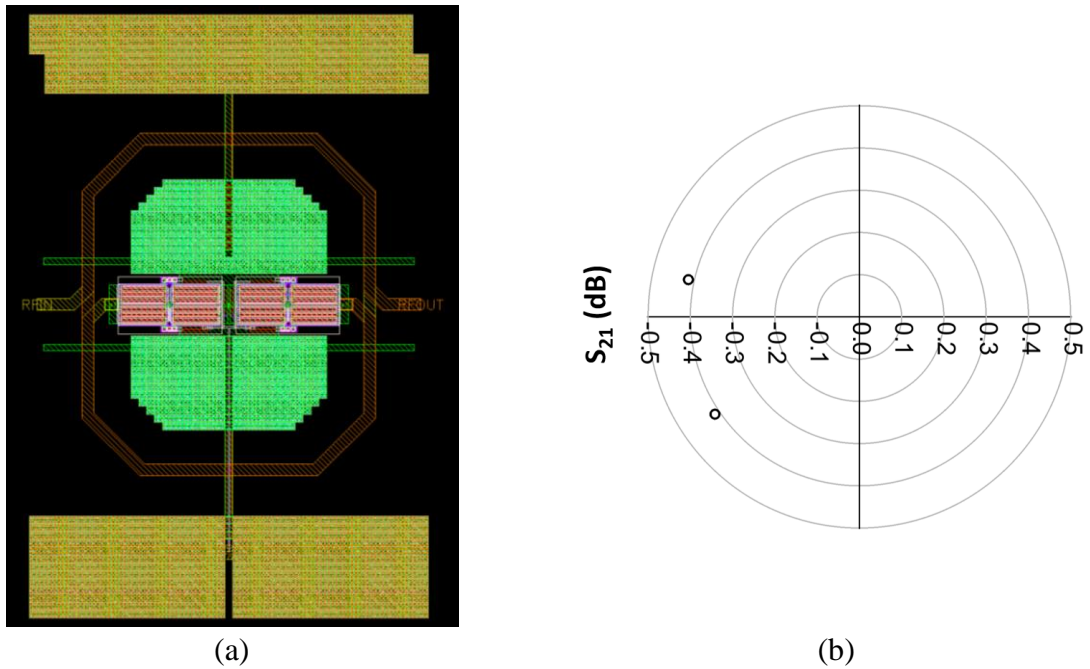


Figure III-36 : Layout (a) et phases (b) du RTPS2

RTPS3 : 1 bit, 0/90° discret

Atteindre un déphasage de 90° avec le même RTPS ne peut se faire avec la même topologie car le rapport des condensateurs serait trop important, ce qui impliquerait une augmentation importante des pertes. Le troisième RTPS utilise donc une capacité commutée au lieu d'une varactor (Fig. III-37), permettant ainsi d'atteindre deux phases distantes de 90° dans ce cas. Si le transistor est activé, il est équivalent à sa résistance R_{ON} . La phase correspondante est de 0°. Si le transistor est désactivé, le transistor est équivalent à un condensateur C_{OFF} . La phase correspondante est de 90°.

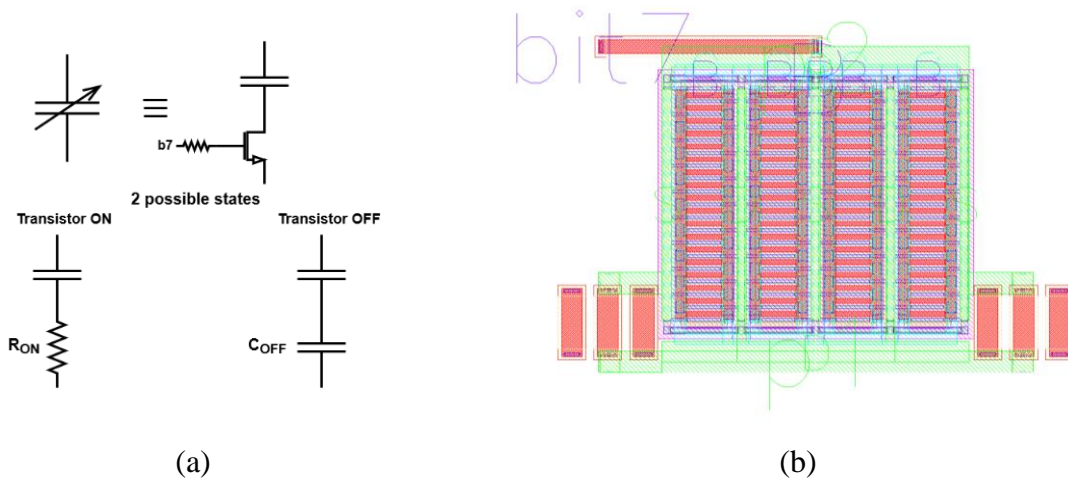


Figure III-37 : Charge réfléctive unitaire du troisième RTPS sur 1 bit pour le déphasage discret 0/90° (a) et layout des deux charges réfléchies du RTPS3 (b)

Ce dernier RTPS permet au déphaseur de couvrir une dynamique de 180° . Le layout de ce RTPS et les phases couvertes sont présentés en Fig. III-38. Encore une fois, les points sont à équidistance du point d'impédance 50Ω , ce qui démontre des pertes égales quel que soit l'état de phase.

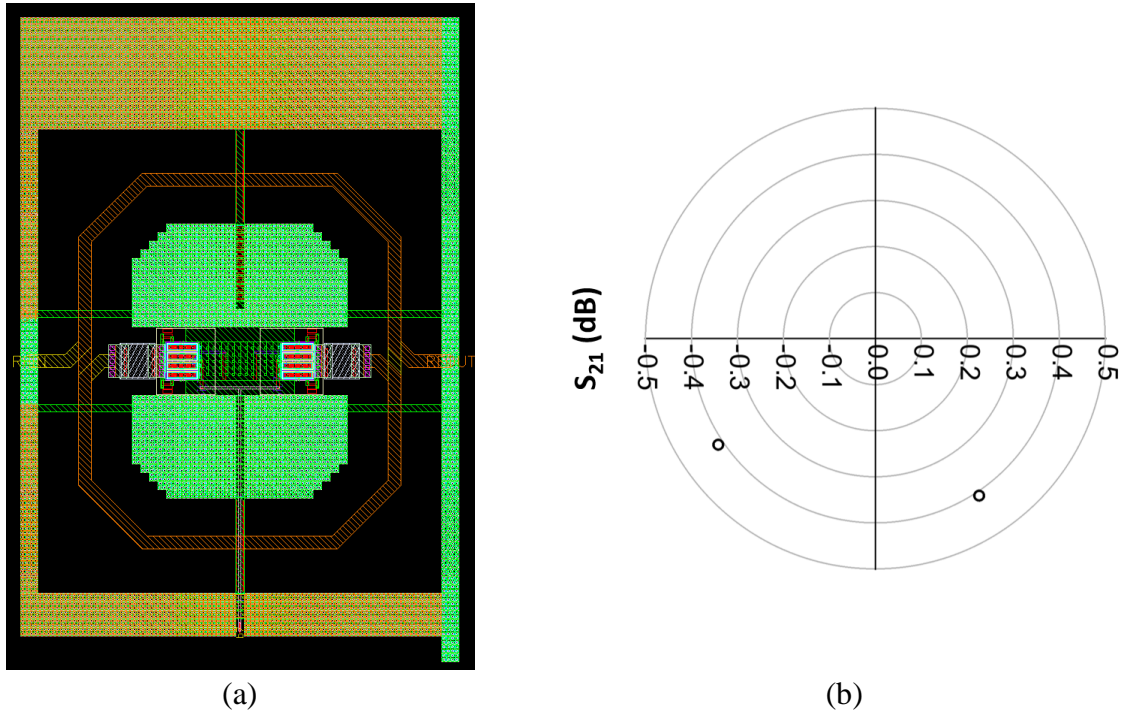


Figure III-38 : Layout (a) et phases (b) du RTPS3

Les trois RTPS, chacun composé de deux charges réfléchives et un coupleur hybride 90° , sont cascades pour former le déphaseur 180° complet (Fig. III-39). Le déphaseur présente une taille totale de $0,18 \text{ mm}^2$ sans les pads.

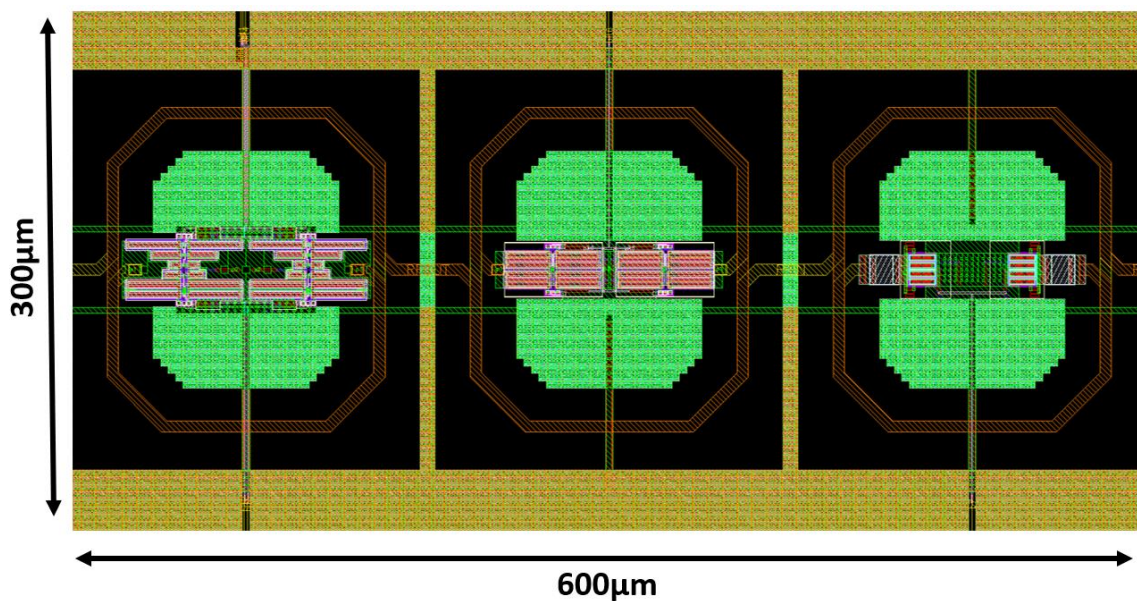


Figure III-39 : Layout du déphaseur sans les pads : $0,18 \text{ mm}^2$.

La taille des varactors étant choisie afin de privilégier un fort facteur de qualité et grâce à la compensation sur les charges réfléchies à base d'interrupteurs, les pertes varient très peu selon l'état de phase. Ceci est primordial puisqu'en cascadant les trois RTPS, on additionne non seulement les pertes d'insertion mais aussi leurs variations en fonction de leur état. Sachant que les pads d'entrée et de sortie ont été pris en compte dans la simulation, le comportement des RTPS cascades ne sera pas strictement égal à la somme des comportements vus en simulation. Cependant, vue la faible valeur de la capacité de pad, cela n'aura pas beaucoup d'impact.

Afin d'éviter tout couplage entre les RTPS, des barreaux de masse sont positionnés entre eux (Fig. III-39). Cette disposition permet de concevoir individuellement les RTPS comme présenté dans cette section, tout en garantissant que leur fonctionnement global correspond à la somme des trois RTPS. Ces barreaux permettent d'améliorer grandement les performances du circuit [5]. Le circuit complet destiné à être envoyé en fabrication est présenté en Fig. III-40.

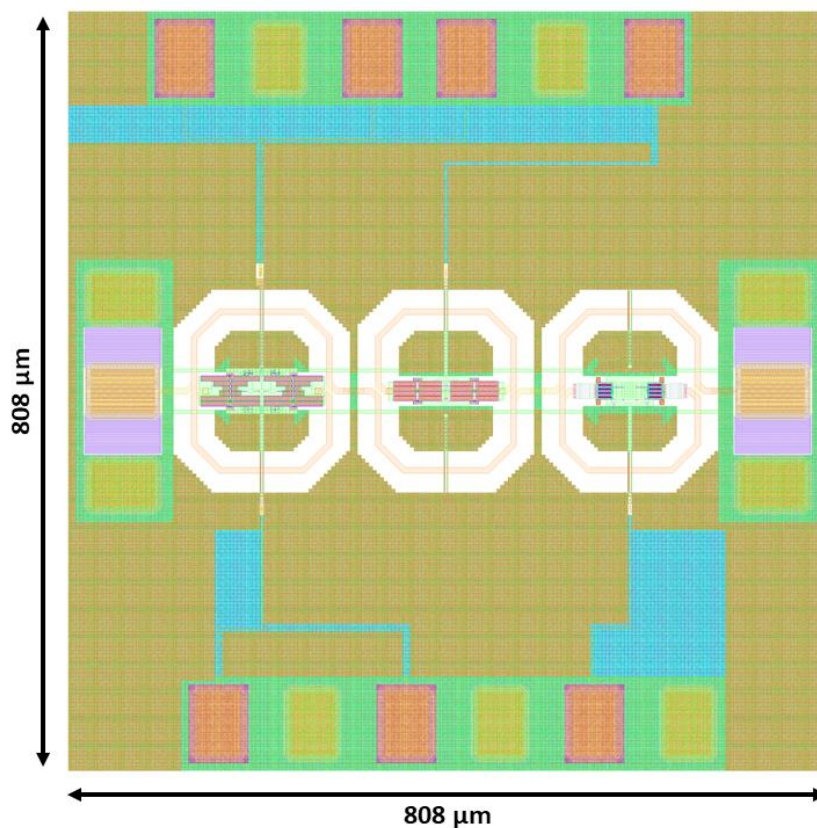


Figure III-40 : Layout du déphaseur complet avec les pads : 0,65 mm²

L'espace important visible entre le cœur du circuit et les pads DC est nécessaire afin de pouvoir le mesurer à l'aide de pointes.

2.2 - Simulations post-layout du déphaseur et comparaison à l'état de l'art

Les simulations post-layout du déphaseur ont été menées. Un balayage sur les sept bits b_1 , b_2 , b_3 , b_4 , b_5 , b_6 et b_7 est réalisé afin de couvrir tous les codes binaires possibles. Les bits prennent

les valeurs -2,5 V et 2,5 V (valeurs limites pour les varactors). Les paramètres S_{11} , S_{22} , S_{21} sont alors présentés dans les Fig. III-41, III-42, III-43.

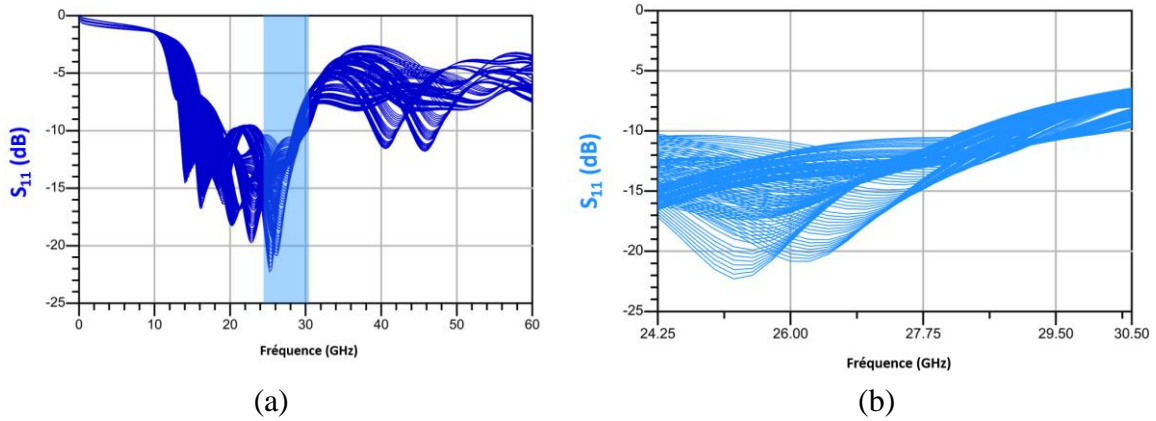


Figure III-41 : Paramètre S_{11} du déphaseur seul sur la bande 0 - 60GHz (a) et entre 24,25 et 30,5 GHz (b)

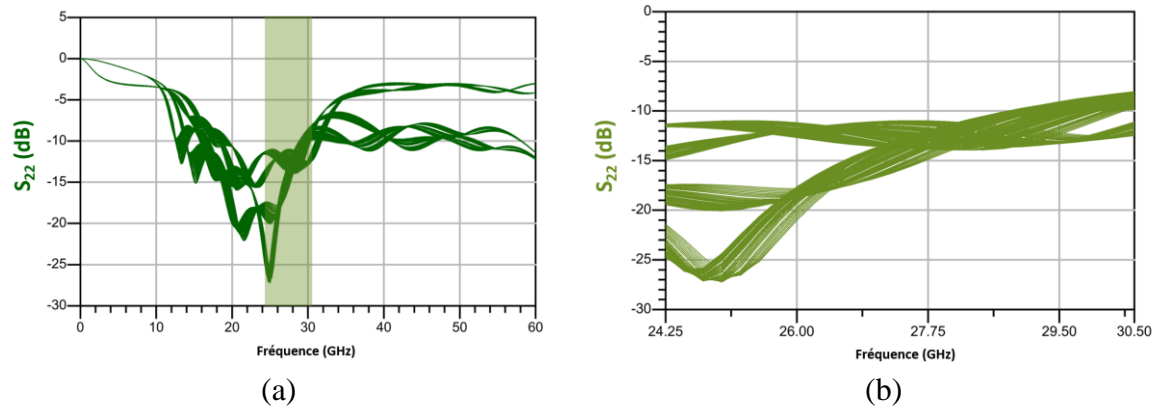


Figure III-42 : Paramètre S_{22} du déphaseur seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)

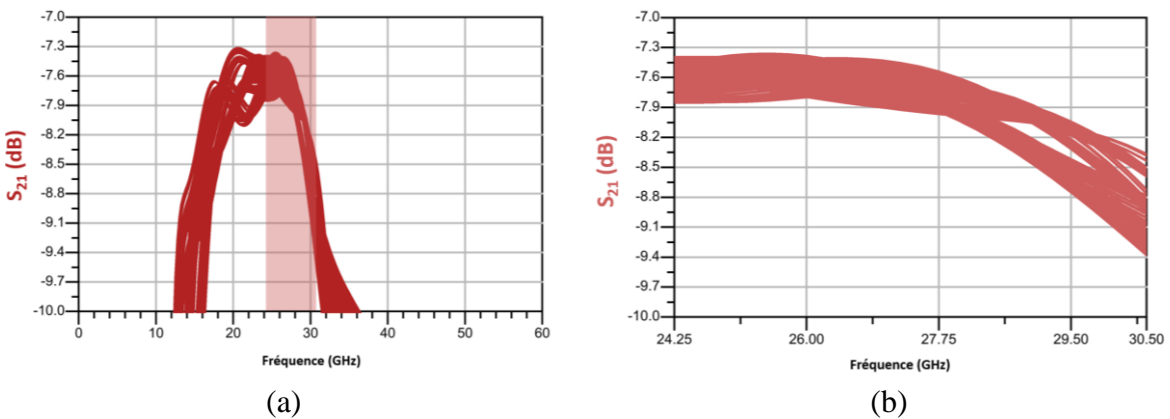


Figure III-43 : Paramètre S_{21} du déphaseur seul sur la bande 0 - 60 GHz (a) et entre 24,25 et 30,5 GHz (b)

On remarque une bonne adaptation en entrée et sortie sur toute la bande quel que soit le code binaire utilisé. Les pertes, quant à elles, varient entre -7,4 et -9,4 dB. Le déphaseur permet de couvrir 180° de dynamique de phase (Fig. III-44).

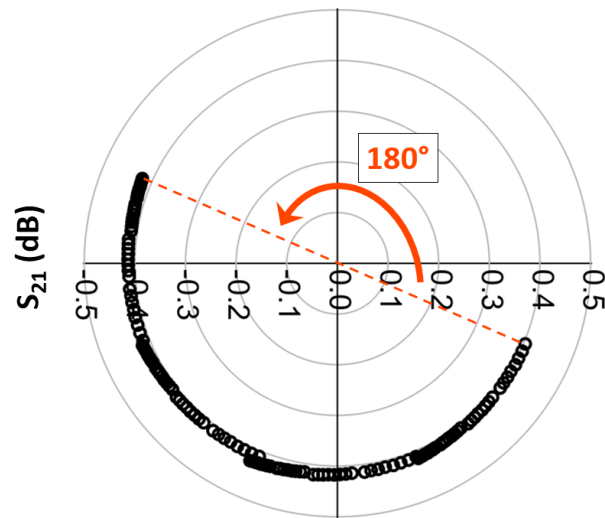


Figure III-44 : Abaque des phases parcourues par le déphaseur seul

Une comparaison de ce déphaseur en simulation post-layout avec l'état de l'art est proposée dans le Tab. III-4. Ces travaux proposent un déphaseur large bande à consommation nulle (passif). Il est de type RTPS numérique, ce qui lui permet de couvrir 180° avec une résolution sur 7 bits inférieure à $5,625^\circ$ à 27 GHz, ce qui remplit le cahier des charges. La puce sans les pads a une surface de seulement $0,18 \text{ mm}^2$. Les travaux présentés dans [1] couvrent une meilleure dynamique de phase mais à 28 GHz uniquement, ce qui n'est pas intéressant pour notre application large bande. Le RTPS numérique de [2] fournit d'excellentes performances en matière de dynamique de phase et de résolution sur une très large bande (29 – 51 GHz) mais en technologie 65 nm CMOS SOI. Les pertes d'insertion (10 dB) pourraient être améliorées. Le STPS [3] possède de fortes pertes et une moins bonne résolution de phase. Il permet en revanche de couvrir 360° avec seulement 5 bits. Le VSPS passif [4] fournit également des performances comparables à nos travaux avec des pertes d'insertion plus importantes. Enfin, le modulateur vectoriel [5] montre des performances intéressantes en comparaison avec les architectures RTPS, STPS, VSPS par rapport à notre cahier des charges. Le circuit à grand gain [5] permet de régler le problème des fortes pertes du déphaseur au détriment de la taille de circuit. Finalement, le déphaseur conçu dans ces travaux, permet, en PLS, de remplir le cahier des charges. Les contraintes restantes comme par exemple la couverture des 360° , pourront être réalisées grâce à l'association du déphaseur et du VGA.

	Ce travail (PLS)	Cahier des charges	[52]	[53]	[54]	[55]	
Technologie	0,13 μm SiGe	0,13 μm SiGe	0,12 μm SiGe	65nm CMOS SOI	65nm CMOS	0,13 μm SiGe	
Fréquence (GHz)	24,25-30,5	24,25-30,5	28	29-51	26,5-29,5	26,5-29,5	
Type	RTPS numérique	-	RTPS numérique	RTPS numérique	VSPS passif	Modulateur vectoriel grand gain	Modulateur vectoriel compact
Bits	7	6	6	7	6*	4	4

Dynamique de phase (°)	180	180 ou 360	210	216@40GHz	360	360	360
Résolution de phase (°)	<5,625@27GHz	5,625	3,3*	1,7@40GHz	<1	NA	NA
Pertes d'insertion (dB)	7,3-9,5	-	4	10	13	-2,3	4,4
Taille de puce (mm²)	0,18 sans pad	-	0,67	0,058 sans pad	0,1	1,15	0,71

Tableau III-4 : Comparaison du déphaseur conçu avec de l'état de l'art et le cahier de charges

2.3 – Conception du VGA à faible variation d'impédance et faible variation de phase à 27 GHz avec inversion de phase

Fonctionnement général

Le VGA conçu dans ces travaux a pour architecture complète celle présentée en Fig. III-45. Il est composé de l'étage cœur du VGA et d'un étage de gain en sortie.

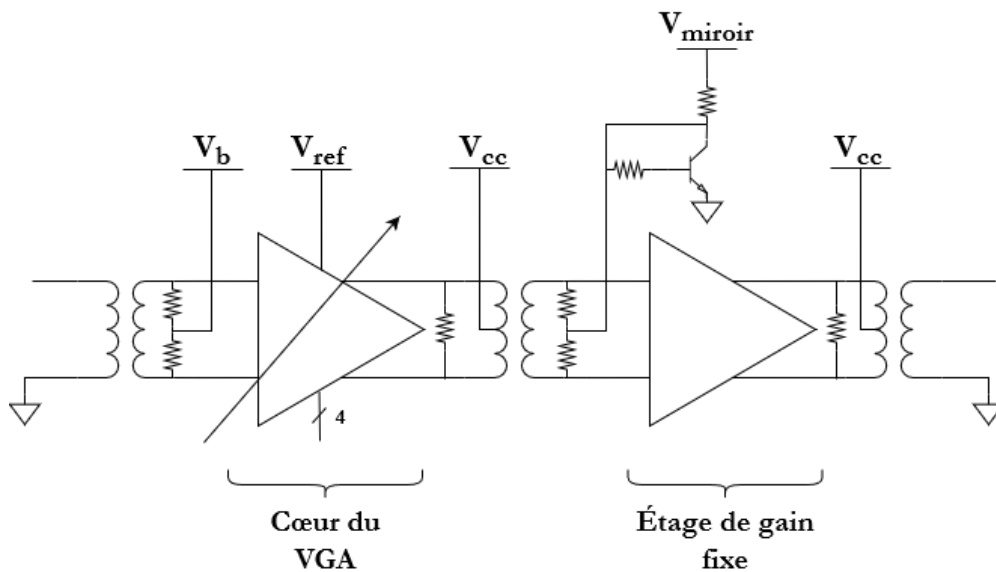


Figure III-45 : Synoptique complet du VGA

Afin de maintenir la compatibilité avec d'autres blocs et de minimiser la distorsion, le VGA doit offrir des impédances d'entrée et de sortie constantes à tous les niveaux de gain. Pour y parvenir sans avoir recours à des circuits de calibration ou de compensation supplémentaires, qui peuvent augmenter la consommation d'énergie, la taille du dispositif et les pertes, le contrôle du gain doit être précis et présenter une variation de phase minimale. Pour améliorer encore les performances du VGA et supprimer les contraintes sur le RTPS, un inverseur de phase à 180° est inclus dans le VGA. Pour cela, l'architecture à double paire différentielle est utilisée (Fig. III-46a). En outre, une commande numérique est avantageuse car elle facilite l'interface avec le processeur de signaux numériques (DSP) et rend le système moins sensible aux influences environnementales. La commande de courant (Fig. III-46a) est indépendante du signal RF, et les transistors MOS sont choisis plutôt que les bipolaires en raison de leur meilleure résistance

aux variations de température. Le produit $R_{ON}C_{OFF}$ du transistor MOS, qui apparaît comme un interrupteur dans cette architecture, est d'environ 260 fs. Il est identique pour les quatre cellules. Des simulations ont été effectuées avec le même nœud dans une technologie CMOS SOI. En comparaison avec cette technologie, tant que la taille des transistors est petite, ce qui est le cas dans ce travail, $R_{ON}C_{OFF}$ est le même que pour la technologie BiCMOS (≈ 300 fs). Ainsi, pour ce type d'application, l'utilisation de transistors MOS de la technologie BiCMOS donne les mêmes performances que les transistors MOS d'une technologie CMOS. L'avantage de la technologie BiCMOS réside dans l'utilisation de transistors bipolaires dans la double paire différentielle, qui offrent de meilleures performances que les transistors MOS en matière de gain et de linéarité. Des résistances sont ajoutées entre les voies différentielles (Fig. III-45) afin d'augmenter la bande passante au détriment du gain.

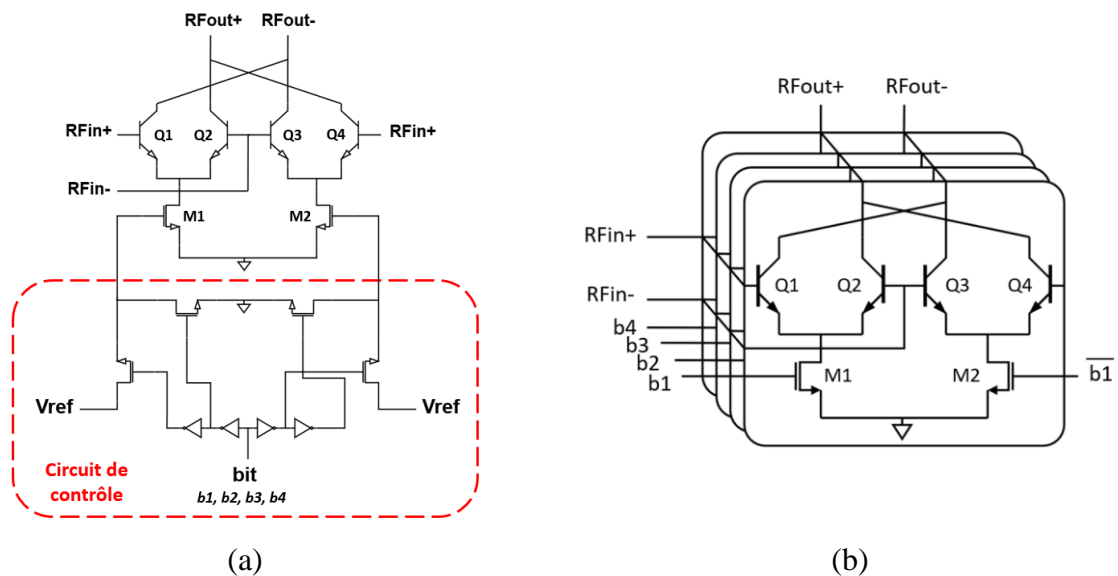


Figure III-46 : Schématic du VGA : (a) Cellule unitaire complète avec contrôle en courant DC (b) Quatre cellules en parallèle formant le VGA complet

Le circuit de commande du VGA (Fig. III-46a) est composé de commutateurs et d'inverseurs, ce qui permet à une paire différentielle d'être active tandis que l'autre est inactive au sein d'une cellule. Cela garantit que le nombre de transistors utilisés reste constant, ce qui se traduit par une consommation d'énergie identique quel que soit le code binaire. Le VGA est donc conçu pour avoir une très faible variation d'impédance et une faible variation de phase en fonction de l'état de gain.

L'architecture proposée est un VGA 4 bits à commande numérique linéaire en dB. Il est composé de quatre cellules en parallèle. Le VGA considéré utilise des cellules commutées pour le contrôle du gain (Fig. III-46b). Cette figure montre que les quatre cellules de gauche sont contrôlées par un seul bit, tandis que les quatre autres cellules de droite sont contrôlées par l'inverse du bit correspondant. La symétrie des deux paires différentielles croisées permet de cibler un gain pour une phase donnée et son exact opposé sur l'abaque, assurant ainsi une inversion de phase de 180° . La largeur des transistors de ces cellules est dimensionnée afin d'obtenir un gain linéaire en dB en le définissant avec précision à l'aide de codes binaires. Cette

configuration permet à un DSP de contrôler facilement le gain du VGA. Le courant de sortie de chaque cellule est déterminé par la taille de ses transistors. Les quatre cellules correspondent à quatre niveaux de gain différents : gain maximal (G_{max}), gain maximal moins 4 dB, gain maximal moins 8 dB et gain maximal moins 12 dB. Pour combler l'écart entre ces étages, la tension de référence (V_{ref}) est balayée de 372 mV à 400 mV (Fig. III-46). Les bits permettent un balayage en gain grossier par palier tandis que V_{ref} fournit un balayage fin par pas de 0,5 dB sur la plage de 16 dB. Cette topologie assure une faible variation d'impédance et une variation de phase minimale.

Un étage de gain fixe est ajouté en sortie du VGA pour augmenter le gain global. Le cœur du VGA est conçu du point de vue layout dans le but d'assurer une parfaite symétrie afin de générer l'inversion de phase de 180°. La partie RF est constituée de transistors bipolaires tandis que le contrôle en courant DC est assuré par des transistors MOS. Les différentes parties sont représentées en Fig. III-46.

Dimensionnement du cœur du VGA

Compte tenu du déphaseur de type RTPS réalisé au préalable avec 180° de dynamique de phase, le VGA doit réaliser l'inversion de phase afin que l'association du déphaseur et du VGA couvre 360°. Le VGA est donc conçu pour être linéaire en décibels. Un contrôle du gain linéaire en décibels offre une précision autour d'une valeur de gain moyenne, tandis qu'un VGA linéaire en amplitude offre une large plage de contrôle mais avec un pas moyen plus grand en décibels. Le VGA linéaire en amplitude serait utilisé dans le cas d'un déphaseur de type modulateur vectoriel. Pour l'étage de gain variable, il a été choisi d'utiliser 4 cellules en parallèle contrôlées numériquement selon un code thermomètre avec un bit de signe. Cela permet d'obtenir 32 états de gain : 16 positifs et 16 négatifs. L'expression du gain en tension de l'étage de gain variable est la suivante dans le cas de l'utilisation de transistors MOS :

$$G_v = -R_L \sum_{k=1}^4 (-1)^{b_k} g_{m_k} = -R_L \frac{\mu_n C_{ox} (V_{gs} - V_{th})}{L} \sum_{k=1}^4 (-1)^{b_k} W_k \quad [III - 10]$$

Avec :

- R_L la charge vue en sortie,
- g_{m_k} la transconductance de la cellule k commandée par le bit $b_k \in \{0,1\}$,
- W_k la largeur d'un transistor RF de la cellule k ,
- L la longueur de grille des transistors.

L'équation [III-10] concerne les transistors MOS mais en adaptant aux transistors bipolaires, il est possible d'appliquer le même raisonnement et ainsi de dimensionner les différentes cellules. Le pas en gain est fixé et à partir de ce pas, le courant en sortie de chaque cellule est déterminé, ce qui permet de dimensionner les différents transistors. Le plus petit transistor a donc d'abord été fixé et grâce à [III-10], les autres ont pu être dimensionnés. La taille du petit transistor a ensuite été adaptée et les calculs refaits pour obtenir les bons niveaux de gains.

Cette équation permet de comprendre le principe du circuit bien qu'elle ne prenne pas en compte les parasites qui peuvent avoir une influence sur le gain. Dans cette situation, le VGA peut être considéré comme un amplificateur en source commune avec une taille variable. En effet, l'équation [III-10] montre que seul le terme $(-1)^{b_k} W_k$ varie en fonction du code. Étant donné que le courant continu en sortie est constant et que la charge et la tension V_{gs} ne varient pas, les points de polarisation en courant continu restent les mêmes, quel que soit l'état de gain. Cela permet d'assurer une impédance constante quel que soit le code binaire utilisé et donc de permettre le bon fonctionnement de ce sous-circuit quels que soient les circuits en amont et en aval. En dimensionnant les transistors plus ou moins grands, on atteint des gains plus ou moins importants. De ce fait, les équations suivantes peuvent être utilisées, avec $k \in [0, n-1]$:

$$W_k = W_{min} 10^{\frac{p(k-1)}{20}} \quad [III - 11]$$

$$W_n = W_{min} \frac{10^{\frac{(n-1)p}{20}} + 1}{10^{\frac{p}{20}} - 1} \quad [III - 12]$$

Avec :

- n le nombre de bits en comptant le bit d'inversion de phase,
- p le pas de gain,
- W_k la largeur du transistor k .

Le VGA choisi utilise des transistors bipolaires pour la double paire différentielle à inversion de phase afin d'optimiser le gain et rendre le tout plus linéaire. Sur la base de ces équations et adaptées aux transistors bipolaires, ces derniers ont été dimensionnés pour les quatre cellules cascadées permettant d'atteindre les quatre paliers de gain. Les différentes dimensions finales des transistors des quatre cellules sont répertoriées dans le Tab. III-3.

	Cellule 1	Cellule 2	Cellule 3	Cellule 4
Type	NxBEB-C	NxBEB-C	NxBEB-C	NxBEB-C
Longueur d'émetteur L_e (μm)	2,5	4,1	3,2	4,1
Largeur d'émetteur W_e (μm)	0,27	0,27	0,27	0,27
Nombre d'émetteurs N_e	1	1	2	5
Contrôle en courant NMOS (μm^2)	6*0,13 avec 12// et 5*0,13 avec 10//	8*0,13 avec 32//	13*0,13 avec 52//	27*0,13 avec 6*27//

Tableau III-5 : Dimensionnement des transistors bipolaires utilisés pour la double paire différentielle et des NMOS de contrôle

Ces quatre cellules, chacune de dimension différente et pilotée par un bit indépendant, permettent d'atteindre les quatre niveaux grossiers de gain. C'est ensuite le balayage continu de V_{ref} , identique pour toutes les cellules, qui permet de compléter les écarts entre les quatre

niveaux, par pas de 0,5 dB. Ce faible balayage de V_{ref} (typiquement de 372 mV à 400 mV) permet d'assurer une impédance constante pour tous les états. Le layout du cœur du VGA est présenté en Fig. III-47a avec les différents transistors identifiés (Fig. III-47b).

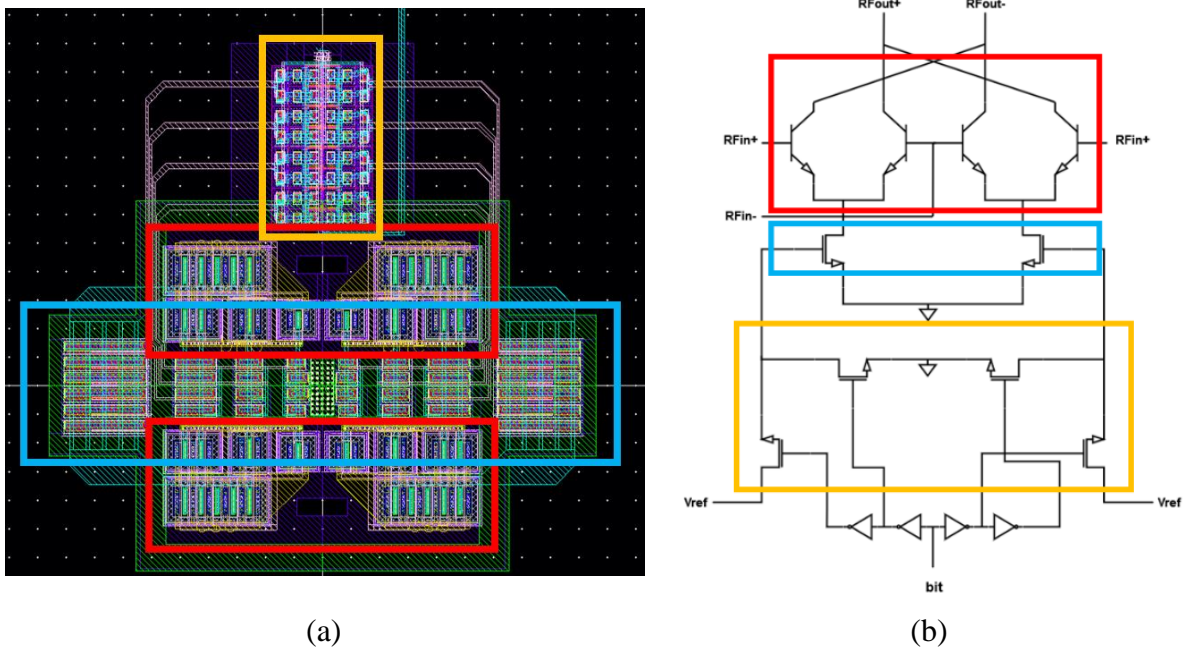


Figure III-47 : Cœur du VGA : (a) Layout et (b) Schématique

Un étage de gain fixe est ajouté en sortie du VGA pour augmenter le gain global. Les transistors bipolaires utilisés possèdent deux émetteurs de longueur $7\ \mu\text{m}$ dans une structure émetteur commun pseudo-différentielle. Les transistors de neutrodynage associés sont de taille identique aux transistors neutrodynés. Le layout de la partie active est représenté en Fig. III-48 et celui du VGA complet destiné à être envoyé en fabrication est représenté en Fig. III-49.

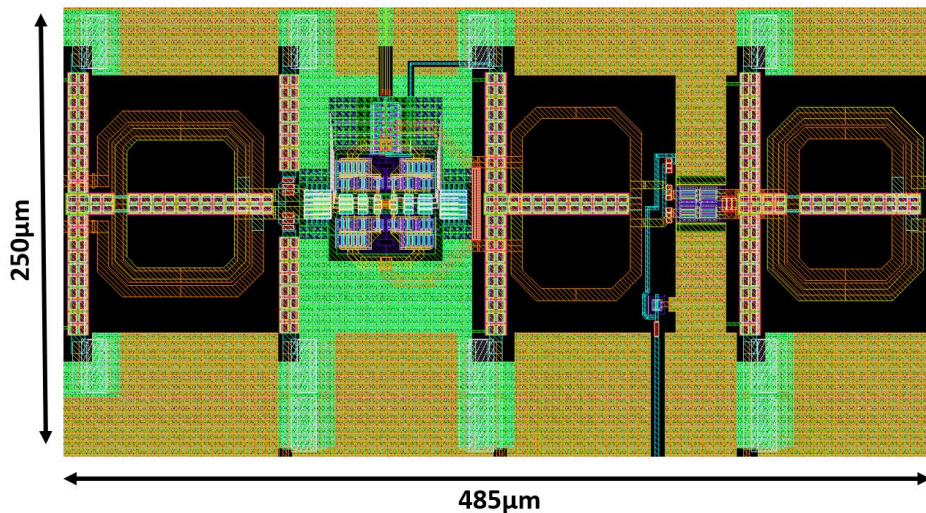


Figure III-48 : Layout de la partie active du VGA (sans les pads) : 0,12 mm²

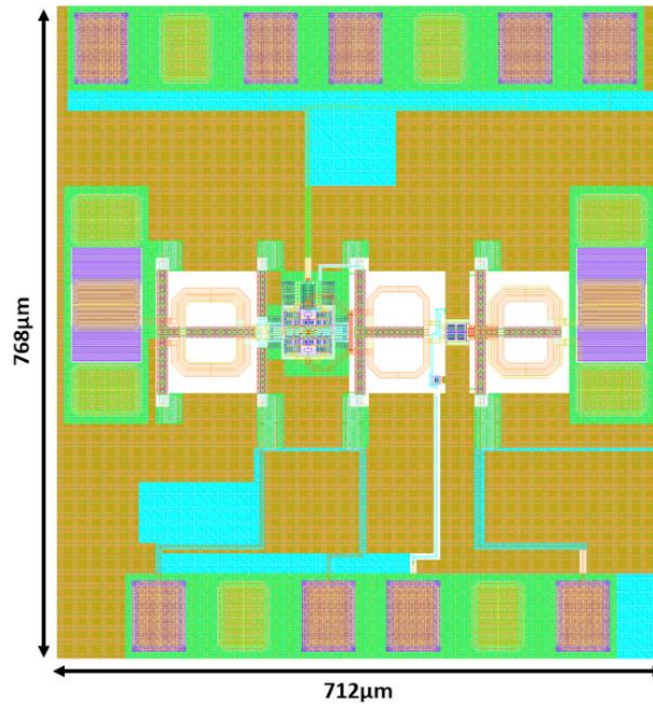


Figure III-49 : Layout du VGA complet avec les pads : 0,55 mm²

2.4 - Simulations post-layout du VGA à 27 GHz et comparaison à l'état de l'art

Les simulations post-layout ont été menées sur le VGA seul dans un premier temps afin de valider l'architecture et son dimensionnement.

Adaptations en entrée et sortie : variation d'impédance faible

Les paramètres S_{11} et S_{22} sont présentés en Figs. III-50 et III-51. Ces résultats démontrent la robustesse du VGA face au changement de code binaire quant aux impédances présentées en entrée et sortie. Cela est une conséquence de l'architecture à double paire différentielle avec un nombre égal de transistors activés pour chaque état, ce qui implique une consommation constante quel que soit l'état de gain.

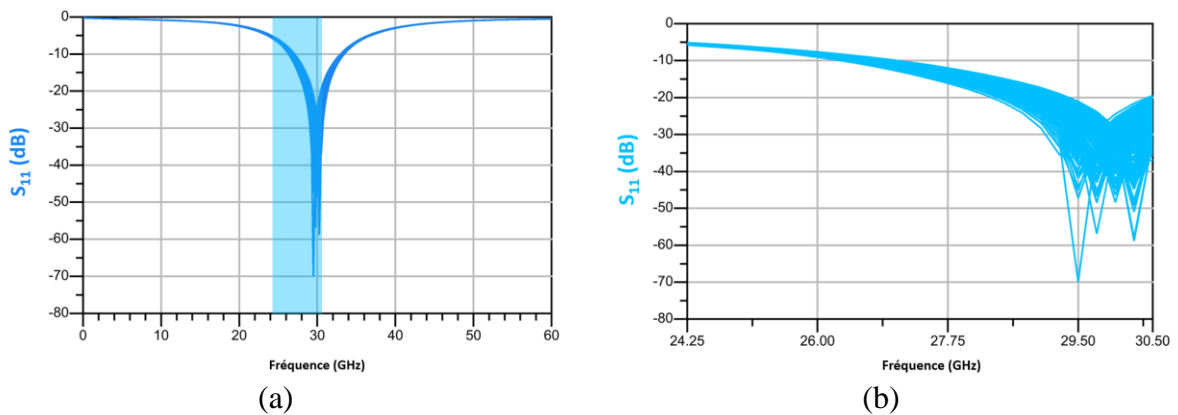


Figure III-50 : Paramètre S_{11} du VGA seul sur la bande 0 – 60 GHz (a) et entre 24,25 et 30,5 GHz (b)

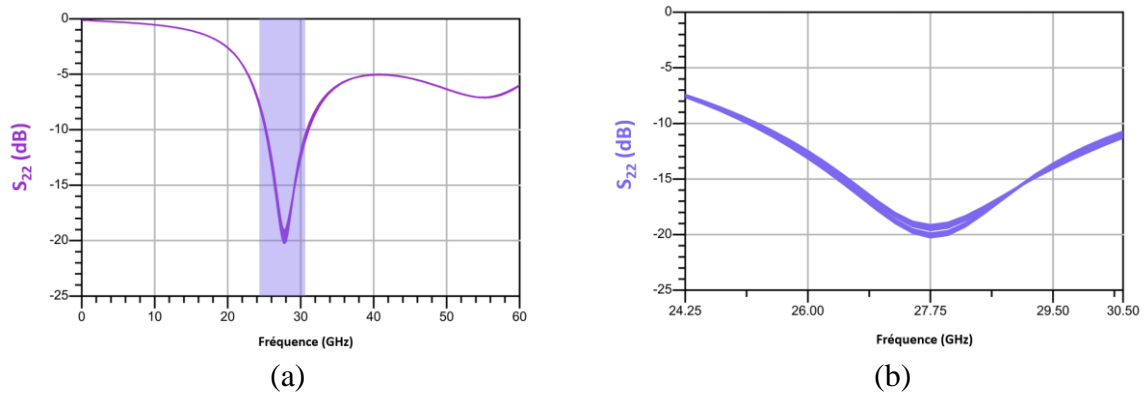


Figure III-51 : Paramètre S_{22} du VGA seul sur la bande 0 – 60 GHz (a) et entre 24,25 et 30,5 GHz (b)

Niveaux de gain

Les niveaux de gain (S_{21}) sont ensuite présentés en Fig. III-52. Ils couvrent une dynamique de 16 dB par pas quasi-constant de 0,5 dB sur toute la bande de 24,25 à 30,5 GHz.

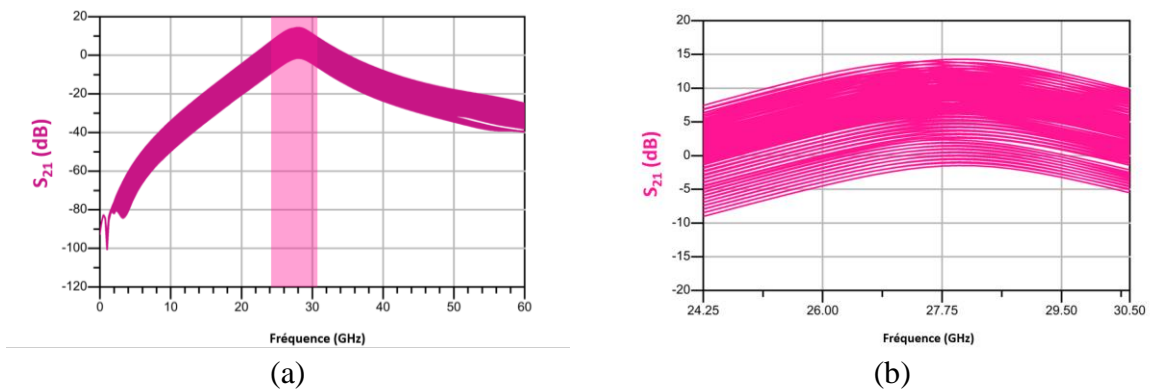


Figure III-52 : Paramètre S_{21} du VGA seul sur la bande 0 – 60 GHz (a) et entre 24,25 et 30,5 GHz (b)

Variation et inversion de phase

Le comportement en phase selon l'état de gain est étudié en Fig. III-53. La Fig. III-53a montre la variation de phase quel que soit l'état de gain. La Fig. III-53b montre la fonction d'inversion de phase du VGA.

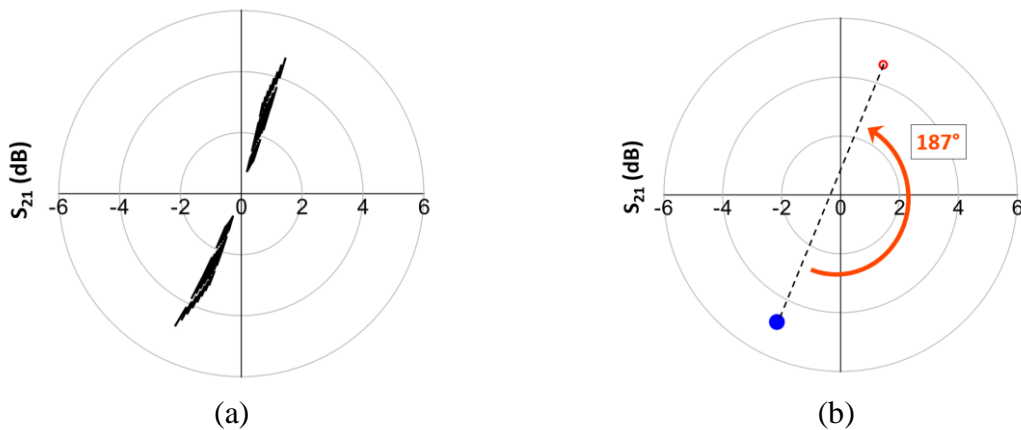


Figure III-53 : (a) Variation de phases en fonction du code binaire du VGA et (b) inversion de phase à 27 GHz

La variation de phase en fonction des différents états de gain est de $3,5^\circ$ maximum et l'inversion de phase exacte est de 187° , ce qui, on le verra en partie 3, ne pose pas de souci quant à la dynamique finale des phases à 27 GHz.

Simulations en puissance

La linéarité du circuit est principalement déterminée par la linéarité du VGA en sortie. Les résultats en large signal, illustrés en Fig. III-54, montrent les simulations post-layout avec deux configurations de polarisation du VGA différentes. Configuration 1 : $V_b = 1,2V$; $V_{miroir} = 1V$ et configuration 2 : $V_b = 750mV$; $V_{miroir} = 1,5V$ (Fig. III-45).

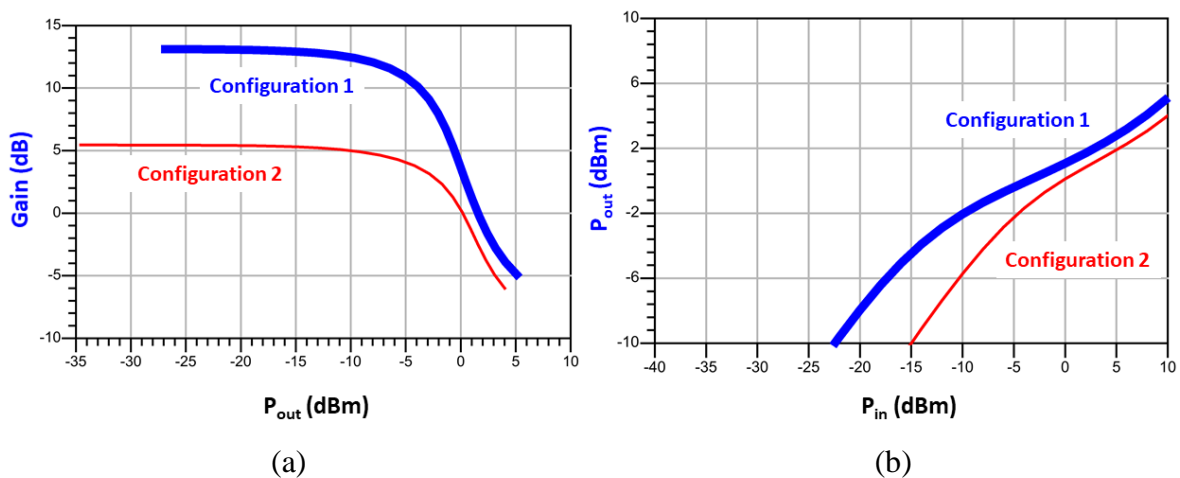


Figure III-54 : Simulations en puissance du VGA avec deux configurations de polarisation différentes : (a) Gain (P_{out}) et (b) P_{out} (P_{in})

On regarde la puissance de sortie à 1 dB dans la compression afin d'évaluer la linéarité du VGA. D'après la Fig. III-54, l'OCP1dB est de -6 et -3 dBm pour les configurations 1 et 2 respectivement. Sachant que des étages de gain sont ajoutés en sortie du VGA pour piloter le PA qui suit, la puissance est également augmentée, ce qui permet d'améliorer l'OCP1dB et donc d'éviter l'introduction de non linéarités dans le circuit (cela est présenté à la fin de cette partie).

La comparaison des résultats de simulations PLS de ces travaux et de l'état de l'art présenté en partie 1.2 est proposé dans le Tab. III-6.

	Notre travail (PLS)	[56]	[57]	[58]	[59]	[60]	[61]	[62]
Technologie	BiCMOS 130nm SiGe	CMOS 90nm	CMOS 65nm	CMOS 65nm	CMOS 65nm	CMOS 65nm	BiCMOS 130nm SiGe	BiCMOS 120nm SiGe
Fréq. (GHz)	24,25-30,5	3,7-43,7	20-43	27-42	24-28	25-33	21,5-36	28-39
Gain max (dB)	15	21	14,5	9,8	29,4	9,6	16	12,5

Dynami- que de gain (dB)	16	18	21,5	7,8	6,2	21,1	32	18
Contrôle de gain	Linéaire en dB	-	Continu	Linéaire en dB	Linéaire en dB	Linéaire en magnitu de	Linéaire en dB	-
Résolu- tion	4 bits / 0,5dB	-	Analogue	4 bits / 0,5dB	0,2dB	4 bits	6 bits /0,5dB	<1
Puis- sance consom- mée (mW)	13	33	30,8	15,6	-	15,6	23,5	45
Variation de phase (°)	3,5	<16	<2	<3,5	<3,3	<2,2	-	<4,5
OCP1dB (dBm)	-6@27GHz	1,9@3 5GHz	- 3,5@24G Hz*	2,5	-		9,3@28G Hz	4,5
Surface (mm²)	0,12 sans pad	0,72	0,34	0,08 sans pad	0,36	0,043 sans pad	0,256	0,08

Tableau III-6 : Comparaison du VGA avec l'état de l'art

Bilan des performances du VGA simulé en PLS vis-à-vis de l'état de l'art

Le VGA présenté dans ces travaux présente l'avantage d'inverser la phase, ce qui permet de relâcher la contrainte sur le déphaseur. Il assure également une faible consommation (13 mW), meilleure que les travaux présentés dans [56] à [62]. Cela participe à l'amélioration de la consommation globale du module RF. La variation de phase en fonction des différents gains est inférieure à 3,5°, ce qui est comparable aux travaux présentés dans [58], [59]. Ces derniers présentent chacun un VGA linéaire en dB en technologie CMOS 65 nm avec une résolution respectivement de 0,5 et 0,2 dB. Les dynamiques de gain sont respectivement de 7,8 et 6,2 dB contre 16 dB dans nos travaux.

Le VGA présenté dans [60] présente des performances tout à fait comparables aux performances de nos travaux mais en étant linéaire en magnitude. Cette caractéristique est visiblement performante mais ne convient pas à notre cahier des charges qui nous impose un VGA linéaire-en-dB. Finalement, le VGA présenté dans cette thèse montre des performances compétitives avec les VGA de l'état de l'art. Ses avantages résident dans la faible variation de phase et d'impédance en fonction de l'état de gain.

2.5 - Assemblage du déphaseur et du VGA, simulations PLS et comparaison au cahier des charges

Afin de couvrir les 360° de phase, un bloc capable de réaliser une inversion de phase doit être ajouté à la suite du déphaseur. Le VGA présenté en partie 2.2 remplit ce critère en plus de contrôler le gain. Le déphaseur complet en mode commun et le VGA 4 bits avec inversion

de phase en mode différentiel sont donc cascades afin de constituer un module RF à contrôle de gain et de phase. Cet assemblage possède plusieurs avantages tirant profit des points positifs des deux sous-circuits. En effet, le déphaseur est passif et a des pertes égales (de l'ordre de 7 dB) quel que soit le code binaire utilisé. Le VGA est très robuste du point de vue des variations d'impédance et de phase pour tous les codes binaires. Le module assure les mêmes performances sur une large bande (24,25 - 30,5 GHz) et quel que soit le code binaire sur 11 bits. Le layout de la puce complète destinée à être envoyée en fabrication est présenté en Fig. III-55.

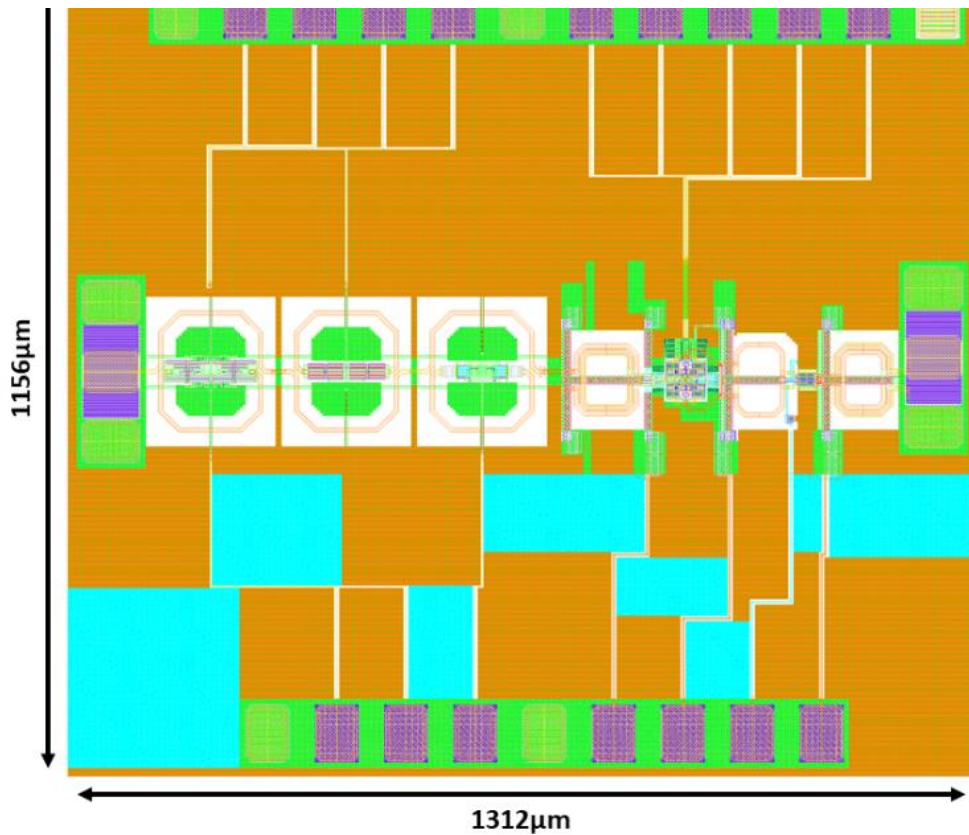


Figure III-55 : Layout de l'ensemble déphaseur + VGA : 1,5 mm²

Un zoom sur la partie active de ce module RF est proposé en Fig. III-56.

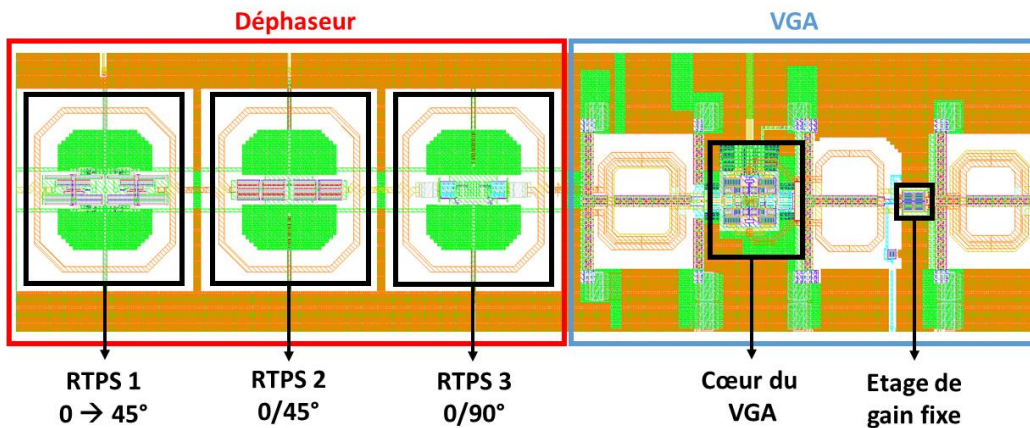


Figure III-56 : Zoom sur la partie active de l'ensemble déphaseur + VGA

Les simulations post-layout ont été réalisées. Les bits du VGA ont d’abord été balayés (Fig. III-57). Les paramètres S_{12} et S_{21} sont présentés en Fig. III-57. Sur cette figure, un étage de gain fixe supplémentaire est ajouté en sortie du VGA afin d’augmenter le gain de la chaîne et ainsi augmenter la puissance de sortie afin d’attaquer le PA.

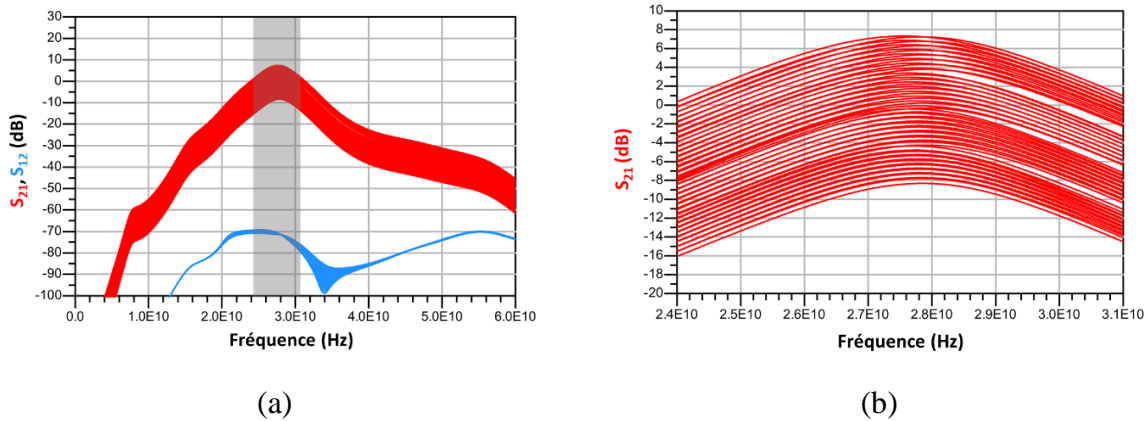


Figure III-57 : Simulations SP avec balayage des bits du VGA : (a) S_{21} et S_{12} entre 0 et 60 GHz et (b) Différents gains entre 24 et 31 GHz

Le module RF composé du déphaseur et du VGA couvre 16 dB de dynamique de gain par pas de 0,5 dB. Le pic de gain varie de -9 à 7 dB. Un petit écart est observable sur le bord supérieur de la bande de fréquence. Les paramètres S_{11} et S_{22} sont présentés en Fig. III-58. Il est évident que l’impédance en entrée et celle en sortie du module ne varient pas quel que soit le code binaire du VGA. Cela est la conséquence de l’architecture du cœur du VGA qui présente toujours le même nombre de transistors actifs impliquant une consommation constante quel que soit le code.

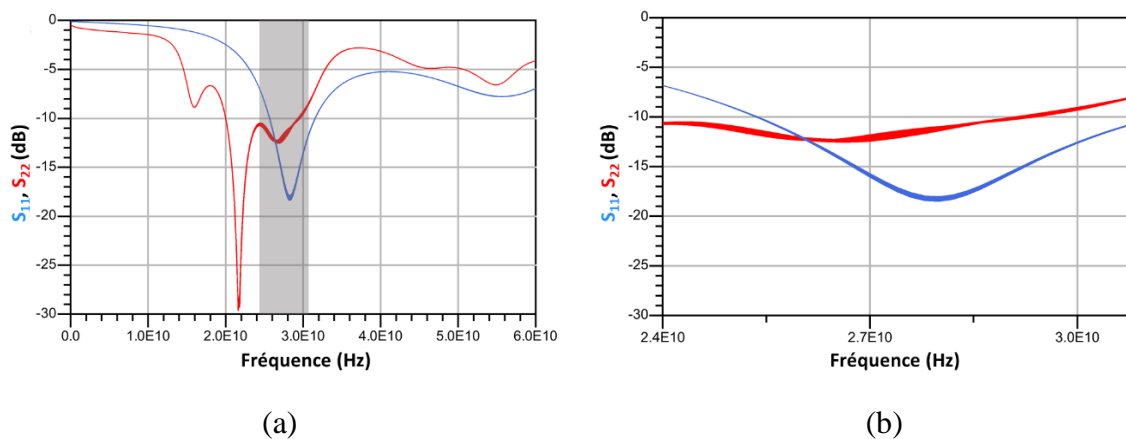


Figure III-58 : Paramètres S_{11} et S_{22} (a) entre 0 et 60GHz et (b) entre 24 et 31GHz

Un balayage est ensuite réalisé sur les sept bits du déphaseur afin d’afficher les différents états de phase à gain constant. Ces niveaux de phases sont donc affichés en Fig. III-59 pour le niveau de gain le plus haut à 27 GHz.

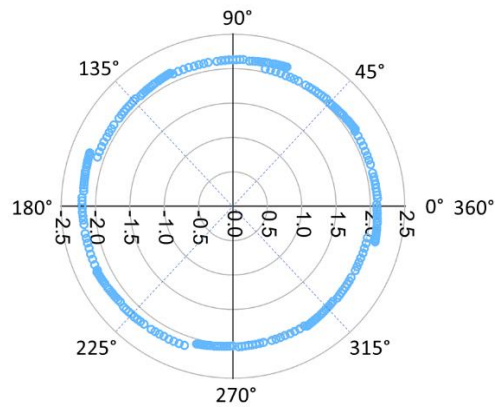


Figure III-59 : Abaque des phases à 27 GHz avec balayage des 7 bits du déphaseur

Sur les bords de bande, à 24 GHz et 31 GHz, les phases sont les suivantes :

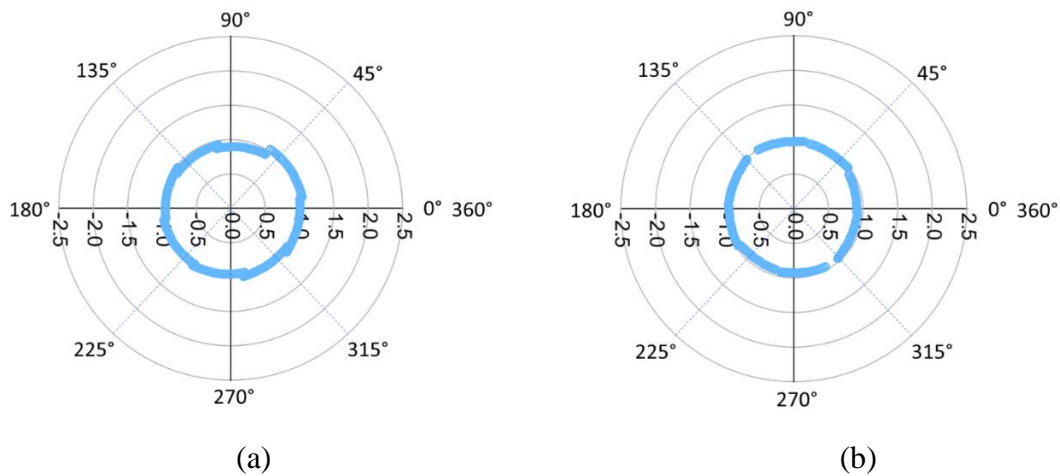


Figure III-60 : Abaque des phases à 24 GHz (a) et 31 GHz (b)

Le facteur de Rollet K a été simulé pour tous les codes binaires sur 11 bits. Il est très supérieur à 1 entre 0 et 60 GHz, ce qui donne une bonne indication sur la stabilité linéaire du circuit quel que soit son état.

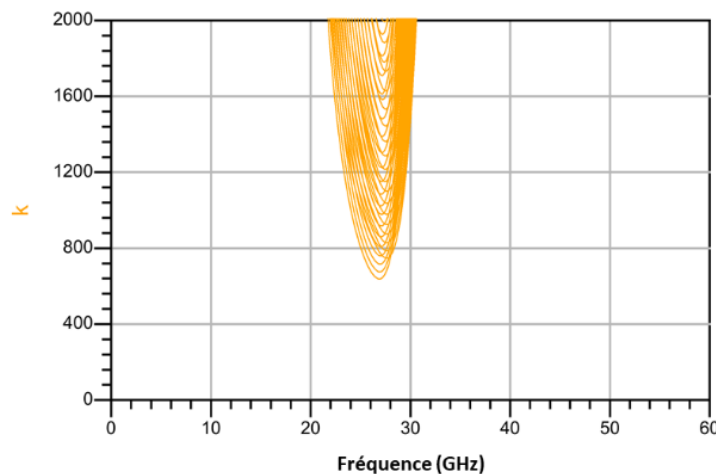


Figure III-61 : Facteur de rollet pour tous les états du module PS + VGA

En faisant varier tous les bits, on peut afficher tous les états de gain et de phase possibles théoriques. Ils sont présentés en Fig. III-62 à 27 GHz et en Fig. III-63 à 24 et 31 GHz.

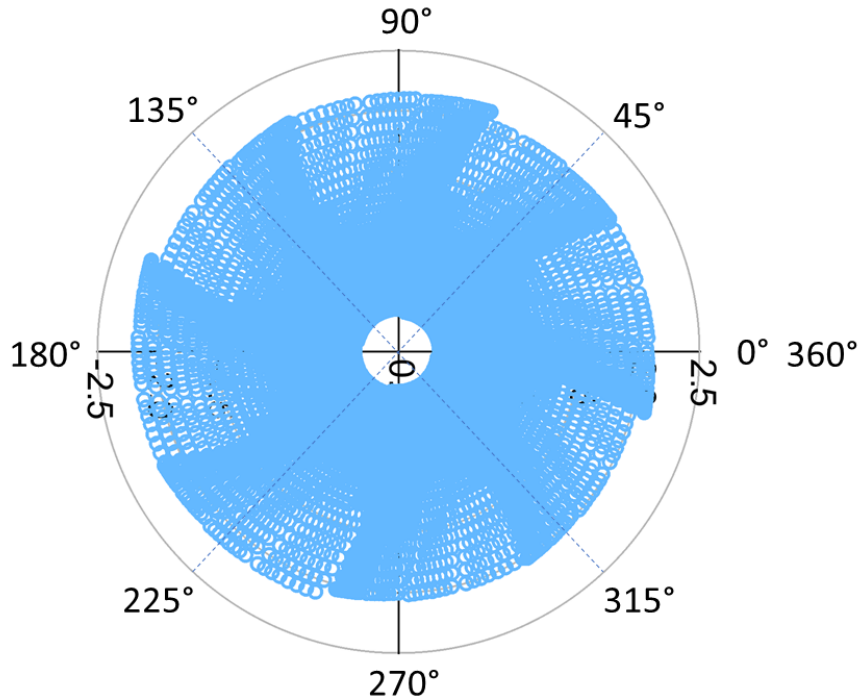


Figure III-62 : Abaque de phases et gains à 27 GHz de l'ensemble PS + VGA

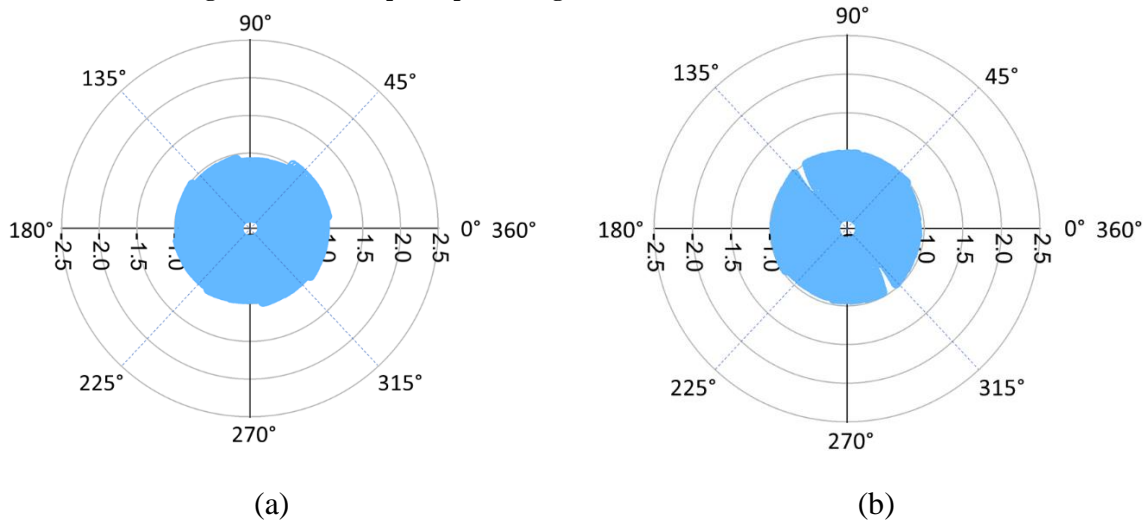


Figure III-63 : Abaques de phases et gains (a) à 24 GHz et (b) 31 GHz

En ajoutant un étage de gain identique à celui de l'amplificateur, on atteint des puissances qui permettent bien de piloter le PA (Fig. III-64), d'après les simulations PLS en puissance réalisées sur le PA (chapitre 2). En effet, la P_{sat} du PA est atteignable pour une puissance en entrée d'environ 2 dBm. Le module le précédant permet de fournir une puissance linéaire d'au moins 5 dBm (Fig. III-64).

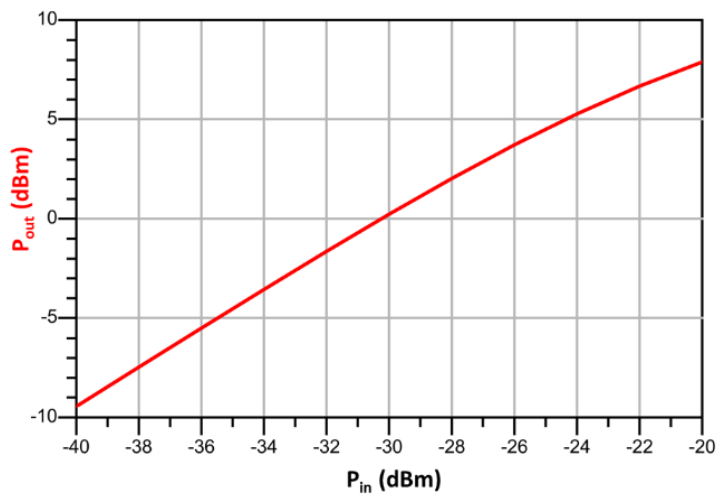


Figure III-64 : P_{out} en sortie de l'ensemble PS + VGA + étage de gain permettant de piloter le PA

2.6 - Comparaison des performances PLS de ce module avec le cahier des charges

La comparaison des résultats PLS du module PS + VGA avec le cahier des charges correspondant est présenté en Tab. III-7.

	Résultats PLS	Cahier des charges
Fréquence (GHz)	24,25 - 30,5	24,25 - 30,5
Gain (dB)	7	15
Dynamique de gain (dB)	16	16
Résolution en gain (dB)	0,5	0,5
Dynamique de phase (°)	360	360
Résolution en phase (°)	<5,625 de 20 à 28,75 GHz <9 de 28,75 à 30,5 GHz	5,625
Erreur de gain RMS (dB)	1,14@27 GHz	2
Erreur de phase RMS (°)	0,52@27 GHz	2,5

Tableau III-7 : Comparaison des résultats de simulations PLS avec le cahier des charges du module PS + VGA + étage de gain

Le module PS + VGA est cohérent en PLS avec le cahier des charges. La résolution en phase est meilleure que 5,625° entre 20 GHz et 28,75 GHz. En effet, la marge prise sur le dimensionnement du déphaseur permet d'avoir cette performance. La résolution est en revanche légèrement dégradée jusqu'à 30,5 GHz, lorsque l'on s'approche du bord supérieur de la bande. Les erreurs de gain et de phase RMS sont bien inférieures aux exigences à la fréquence centrale, ce qui laisse une grande marge qui permet d'espérer respecter le cahier des charges sur toute la bande. Le gain du module est de 7 dB contre 15 dB dans le cahier des charges. En réalité, c'est le gain global de la puce avec l'amplificateur de puissance qui importe. La différence sera donc compensée par le gain du PA.

Partie 3 – Beamformer complet

3.1 – Co-conception du déphaseur, du VGA et du PA

Pour simuler le système complet comprenant le PS, le VGA et le PA, chaque bloc a été co-conçu et des transformateurs et baluns ont été utilisés comme réseaux d'adaptation afin de réduire les pertes. Cette conception originale de trois blocs à l'intérieur d'un même module RF permet d'obtenir de très bonnes performances en matière de *beamforming* et de puissance.

Ce module frontend est très compact et peut être utilisé dans de nombreuses applications grâce à sa polyvalence. Les différents sous-circuits présentés précédemment à savoir le PA, le déphaseur et le VGA, sont assemblés. Le balun en sortie du module RF contenant le PS et le VGA ainsi que celui en entrée du PA sont remplacés par un seul transformateur permettant de transformer l'impédance de sortie de l'un en l'impédance d'entrée de l'autre. Un étage de gain supplémentaire est ajouté entre les deux, comme indiqué en Partie 2.3. Le design complet est présenté en Fig. III-65.

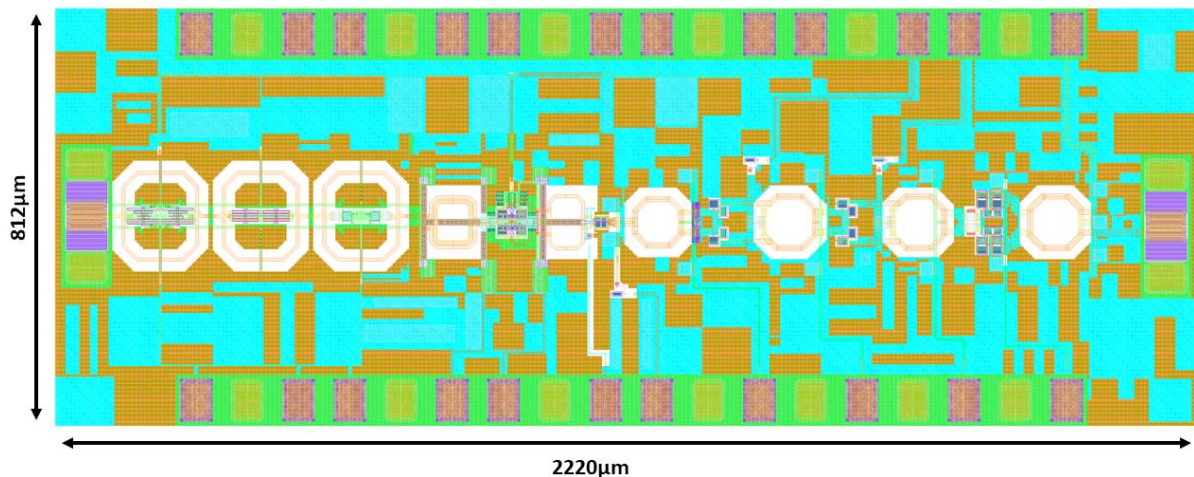


Figure III-65 : Layout du module RF complet contenant le déphaseur, le VGA et le PA

Un zoom sur la partie active est présenté en Fig. III-66.

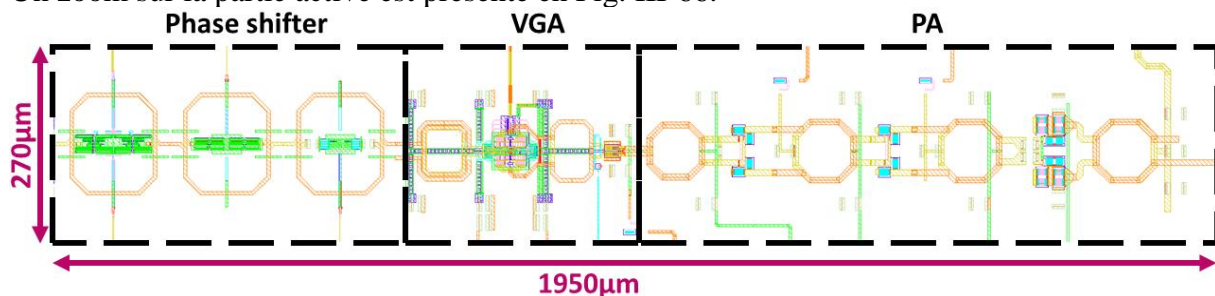


Figure III-66 : Partie active du module RF complet contenant le déphaseur, le VGA et le PA

3.2 – Simulations post-layout de la puce complète

Le module RF complet contenant les trois sous-circuits a été simulé en post-layout. Les paramètres S pour tous les gains du VGA sont présentés en Fig. III-67.

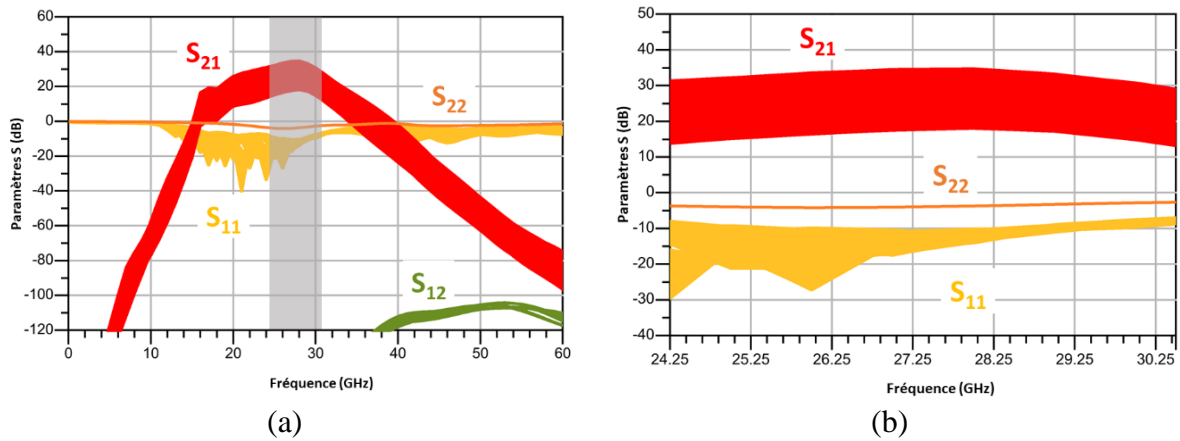


Figure III-67 : Paramètres S pour tous les gains possibles à phase constante (a) entre 0 et 60 GHz et (b) entre 24,25 et 30,5 GHz

Le paramètre S_{21} de la chaîne complète varie au maximum de 19 à 35 dB, avec une dynamique de 16 dB et 0,5 dB de résolution. Les paramètres S_{11} et S_{22} varient très peu, conséquence d’une consommation constante du VGA quel que soit son état.

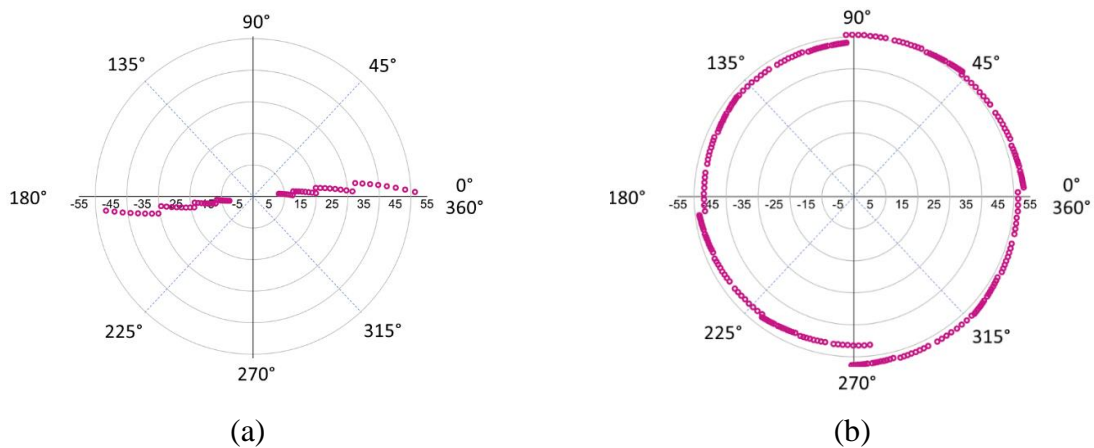


Figure III-68 : Variation des phases pour tous les états de gains (a) et Abaque des phases à gain constant à 27 GHz (b)

Les phases varient de moins de $3,5^\circ$ en fonction de l’état de gain (Fig. III-68a). Tous les états de phase à gain constant sont présentés à 27 GHz en Fig. III-68b et à 24,25 GHz et 30,5 GHz en Fig. III-69.

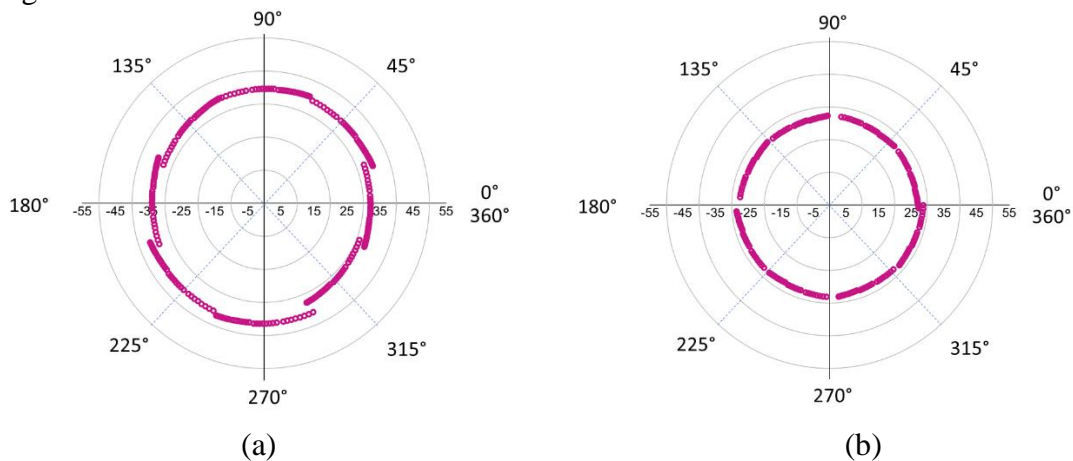


Figure III-69 : Abaques des phases à gain constant (a) à 24,25 GHz et (b) 30,5 GHz

Le facteur de Rollet K est présenté en Fig. III-70 pour tous les états de gain et phase.

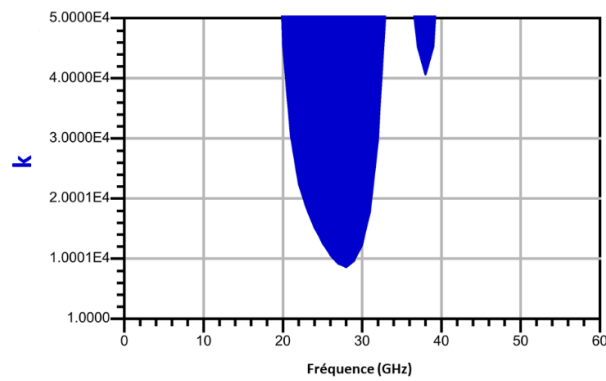


Figure III-70 : Facteur de Rollet K du module RF complet incluant PS, VGA et PA pour tous les états de gain et phase

Tous les états possibles de la chaîne complète sont présentés en Fig. III-71 à 27 GHz et en Fig. III-72 à 24,25 et 30,5 GHz.

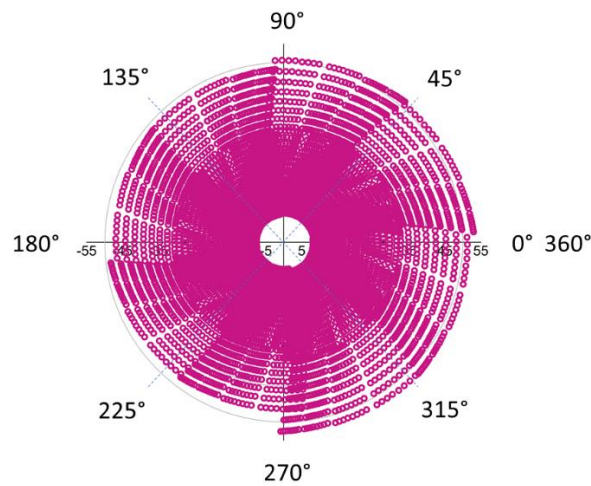


Figure III-71 : Abaque des phases et gains à 27 GHz de la chaîne complète

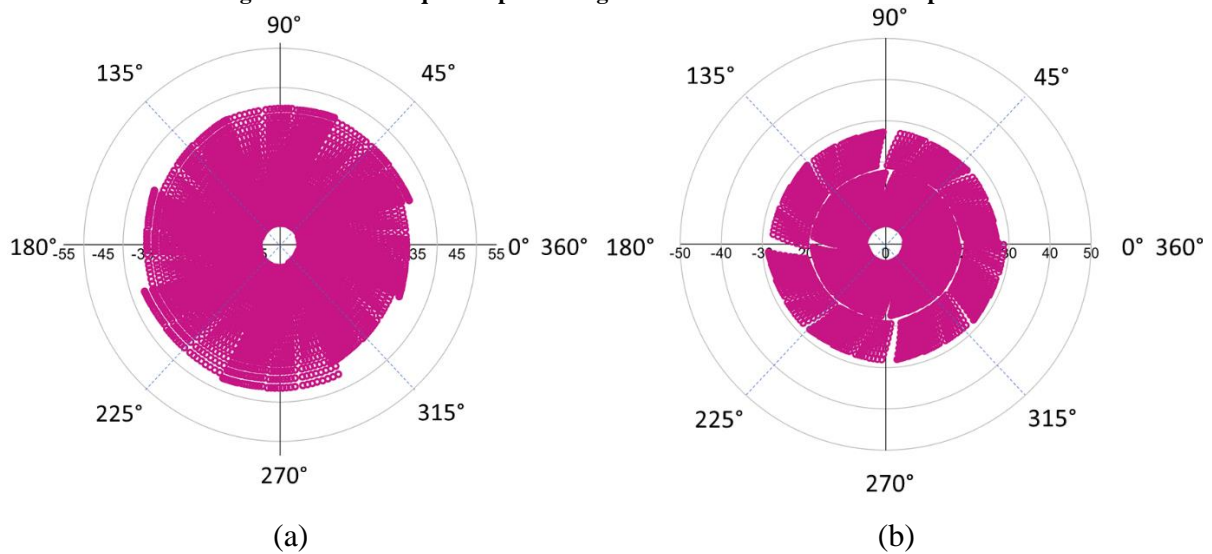


Figure III-72 : Abaques de gains et phases de la chaîne complète (a) à 24,25 GHz et (b) 30,5 GHz

Les simulations en puissance ont été réalisées et sont présentées dans les figures suivantes. La puissance de sortie en fonction de la puissance d'entrée est montrée en Fig. III-73a pour tous les niveaux de gains. On remarque que la puissance à la saturation est de 24 dBm dans les meilleurs cas avec une OCP1dB de 23 dBm. Les 32 niveaux de gains à 27 GHz sont présentés en Fig. III-73b avec un gain maximal de 34 dB. La dynamique de gain est bien de 16 dB par pas de 0,5 dB.

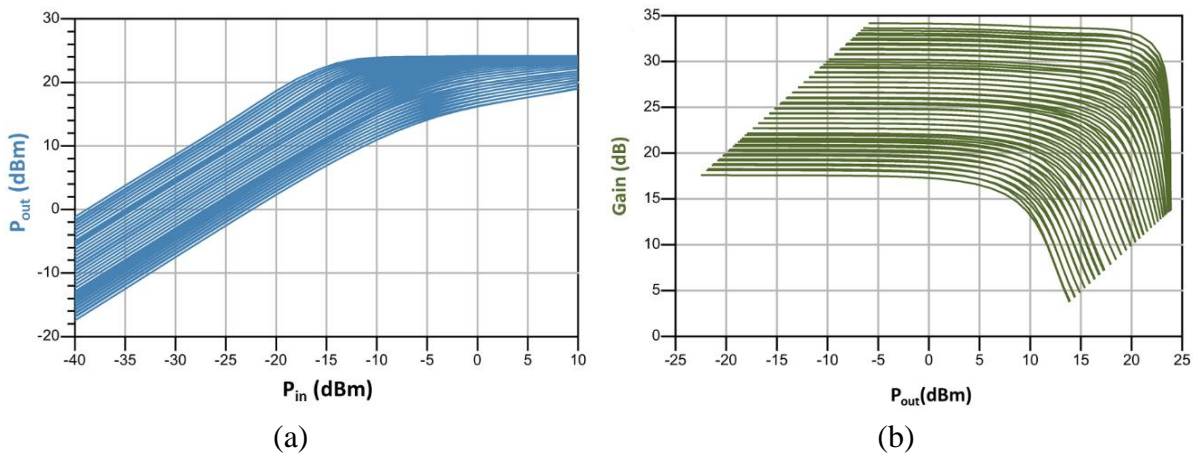


Figure III-73 : P_{out} (dBm) en fonction de P_{in} (dBm) (a) et Gain (dB) en fonction de P_{out} (dBm) (b) de la chaîne complète à 27 GHz pour tous les états de gains

La PAE est tracée en fonction de P_{out} en Fig. III-74. On remarque qu'elle est presque constante à P_{out} donnée quel que soit le code binaire du VGA, ce qui est une conséquence de sa consommation constante. Elle atteint 32,5% au maximum et 14% à 8 dB de recul en puissance. Le cahier des charges étant à 11%, la marge n'est pas très grande. Il faudra donc confirmer cette valeur en mesure. Si cette valeur est dégradée en mesure alors il pourra être envisagé d'utiliser une structure Doherty pour le PA. Ceci est développé dans les perspectives.

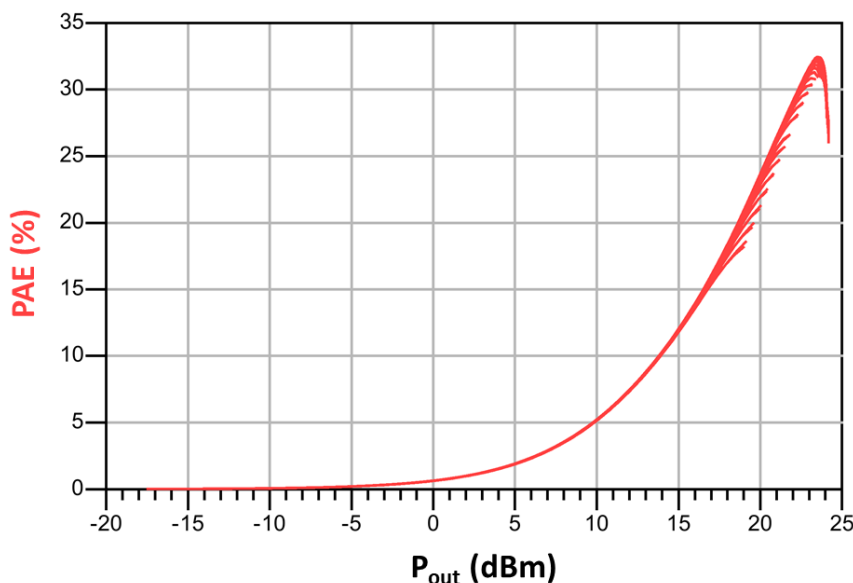


Figure III-74 : PAE en fonction de P_{out} pour tous les niveaux de gain à 27 GHz

Comparaison avec le cahier des charges

	Cahier des charges	Simulations PLS
Fréquence (GHz)	24,25 - 30,5	24,25 - 30,5
P_{sat} (dBm)	22,5	24@27 GHz
OCP1dBm (dBm)	21	23@27 GHz
PAE_{max} (%)	20	32@27 GHz
PAE@8dBBO (%)	11	14@27 GHz
Dynamique de gain min ΔG_{min} (dB)	16	16 (13-29)
Dynamique de gain max ΔG_{max} (dB)	16	16 (19-35)
Résolution en gain (dB)	0,5	0,5
Dynamique de phase (°)	360	360
Résolution en phase (°)	5,625	3,5 - 9,5
Erreur de gain RMS (dB)	2	1,14@27 GHz
Erreur de phase RMS (°)	2,5	0,52@27 GHz

Tableau III-8 : Comparaison du module RF en PLS avec le cahier des charges

Stabilité non linéaire

L’outil STAN® a été utilisé pour évaluer la stabilité non linéaire. Les résultats présentés ici concernent la stabilité au niveau de la base du transistor émetteur commun du cascode.

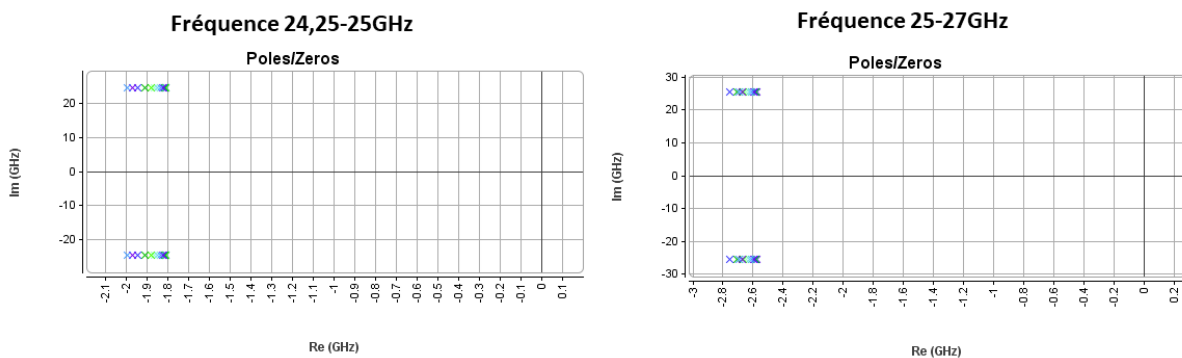


Figure III-75 : Pôles et zéros entre 24,25 et 27 GHz sur la base de l’émetteur commun du cascode

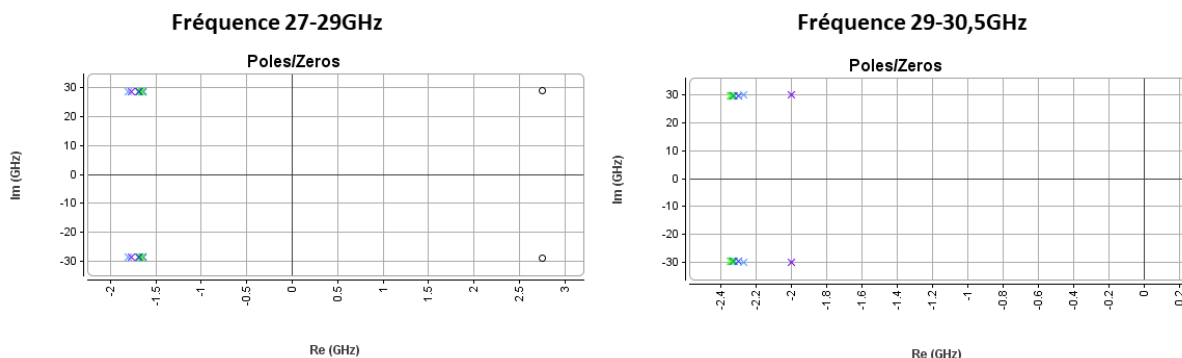


Figure III-76 : Pôles et zéros entre 27 et 30,5 GHz sur la base de l’émetteur commun du cascode

Tous les zéros et pôles sont à partie réelle négative, ce qui prouve la bonne stabilité non linéaire jusqu’à -8dBm de P_{in} . D’autres points ont été étudiés comme l’autre branche du PA pseudo-

différentiel ou encore la base de l'émetteur commun de l'étage de gain des deux côtés. La stabilité non linéaire est assurée en tout point.

Le front-end présenté a été envoyé en fabrication en technologie SiGe 130 nm BiCMOS9MW de STMicroelectronics en juillet 2023 afin de pouvoir confirmer les simulations post-layout avec les mesures sous pointes. Le déphaseur seul a également été envoyé en fabrication.

Références

- [52] R. Ben Yishay and D. Elad, "Low Loss 28 GHz Digital Phase Shifter for 5G Phased Array Transceivers," *2018 Asia-Pacific Microwave Conference (APMC)*, Kyoto, Japan, 2018, pp. 711-713, doi: 10.23919/APMC.2018.8617578.
- [53] S. Voisin, V. Knopik and E. Kerhervé, "A 25-50 GHz Digitally Controlled Phase-Shifter," *2021 16th European Microwave Integrated Circuits Conference (EuMIC)*, London, United Kingdom, 2022, pp. 305-308, doi: 10.23919/EuMIC50153.2022.9783836.
- [54] M. Tang, Y. Zhang, J. Pang, A. Shirane and K. Okada, "A 28GHz Area-Efficient CMOS Vector-Summing Phase Shifter Utilizing Phase-Inverting Type-I Poly-Phase Filter for 5G New Radio," *ESSCIRC 2022- IEEE 48th European Solid State Circuits Conference (ESSCIRC)*, Milan, Italy, 2022, pp. 333-336, doi: 10.1109/ESSCIRC55480.2022.9911339.
- [55] A. Franzese, M. H. Eissa, D. Kissinger and A. Malignaggi, "Vector Modulator Phase Shifters in 130-nm SiGe BiCMOS Technology for 5G Applications," *2021 IEEE Radio and Wireless Symposium (RWS)*, San Diego, CA, USA, 2021, pp. 64-66, doi: 10.1109/RWS50353.2021.9360395.
- [56] T. -Y. Chiu, Y. Wang and H. Wang, "A 3.7–43.7-GHz Low-Power Consumption Variable Gain Distributed Amplifier in 90-nm CMOS," in *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 2, pp. 169-172, Feb. 2021, doi: 10.1109/LMWC.2020.3042185.
- [57] T. Wu, C. Zhao, H. Liu, Y. Wu, Y. Yu and K. Kang, "A 20 ~ 43 GHz VGA with 21.5 dB Gain Tuning Range and Low Phase Variation for 5G Communications in 65-nm CMOS," *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Boston, MA, USA, 2019, pp. 71-74, doi: 10.1109/RFIC.2019.8701807.
- [58] Y. Yi, D. Zhao and X. You, "A Ka-band CMOS Digital-Controlled Phase-Invariant Variable Gain Amplifier with 4-bit Tuning Range and 0.5-dB Resolution," *2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Philadelphia, PA, USA, 2018, pp. 152-155, doi: 10.1109/RFIC.2018.8428833.
- [59] Q. Zhang, C. Zhao, Y. Yu, H. Liu, Y. Wu and K. Kang, "A Ka-Band CMOS Variable Gain Amplifier with High Gain Resolution and Low Phase Variation," *2020 IEEE Asia-Pacific Microwave Conference (APMC)*, Hong Kong, Hong Kong, 2020, pp. 275-277, doi: 10.1109/APMC47863.2020.9331365.

- [60] S. Voisin, V. Knopik, J. Forest and E. Kerhervé, "A 65 nm CMOS SOI 4-bit Digitally Controlled Variable Gain Amplifier for Ka-Band Beamforming," *2020 15th European Microwave Integrated Circuits Conference (EuMIC)*, Utrecht, Netherlands, 2021, pp. 69-72.
- [61] Y. Wang, F. Meng, K. Ma and M. Lu, "Design of a dB-Linear 21.5-to-36 GHz 6-bit RF-VGA with Accurate Gain Control in 0.13- μm SiGe BiCMOS Technology," *2022 IEEE International Symposium on Circuits and Systems (ISCAS)*, Austin, TX, USA, 2022, pp. 3343-3346, doi: 10.1109/ISCAS48785.2022.9937341.
- [62] R. B. Y. a. D. Elad, «A Compact Frequency-Tunable VGA for Multi-Standard 5G Transceivers,» *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA, 2020, pp. 325-328, doi: 10.1109/IMS30576.2020.9223927..
- [63] A. Marque, M. Potereau, A. Ghiotto, N. Deltimple, S. Rochette, O. Jardel, « Amplificateur à gain variable en bande Ka sur silicium pour applications spatiales », JNM 2017.
- [64] Bhanu Pratap Singh Jadav. « Analysis and design of a new 24 GHz active phase shifter, integrated in a BiCMOS SIGE: C 0.25 μm technology for beamforming applications » [En ligne]. Thèse Électronique, microélectronique et nanoélectronique. Poitiers : Université de Poitiers, 2019. Disponible sur Internet <http://theses.univ-poitiers.fr>.
- [65] David OUATTARA, « Design de déphaseurs innovants pour des applications aux fréquences millimétriques telles que la 5G et les radars automobiles » [En ligne]. Université de Grenoble Alpes, 2023.
- [66] K. Kawasaki *et al.*, "SiGe-GaN Tx module using Chip Embedded Substrate in S-band," *2020 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, Hiroshima, Japan, 2020, pp. 46-48, doi: 10.1109/RFIT49453.2020.9226211.

Conclusion du Chapitre III

Le contrôle de phase et d'amplitude revêt une importance cruciale, comme démontré dans le chapitre I, pour la correction des diverses erreurs au sein d'un réseau d'antennes dans un système de *beamforming* numérique. Ces erreurs peuvent avoir un impact sur le diagramme de rayonnement du réseau d'antennes, ce qui entraîne une dégradation des performances du système de *beamforming*. Dans ce chapitre, les deux sous-circuits permettant de réaliser ces fonctions sont détaillés : un déphaseur de type RTPS en trois étapes permettant de couvrir 180° de dynamique de phase suivi d'un VGA linéaire-en-dB avec inversion de phase permettant ainsi de couvrir les 360° . Les contraintes de ce module précédant le PA résident principalement dans le VGA. En effet, le changement de code binaire pilotant le VGA peut engendrer une variation d'impédance en entrée et/ou en sortie. Cela est problématique puisqu'une variation d'impédance implique une désadaptation du VGA vis-à-vis des blocs adjacents.

Le VGA constitue donc un élément essentiel au sein des architectures de contrôle de phase et d'amplitude. Dans ce contexte, les contraintes imposées au VGA sont les suivantes : faible variation de phase en fonction des états de gain, invariance des impédances d'entrée et de sortie, linéarité et capacité à inverser la phase. Pour répondre à ces exigences, le VGA est

constitué de quatre cellules en parallèle, afin de respecter scrupuleusement ces contraintes. Chaque cellule possède une double paire différentielle avec contrôle grossier du gain par bits et un contrôle fin par le courant de référence. Les retours de masse ont été prévus afin d'améliorer l'équilibre entre les codes binaires correspondant aux gains positifs et négatifs. Les simulations PLS démontrent le bon fonctionnement des deux sous-circuits ainsi que du module composé du déphaseur et du VGA. En effet, l'inversion de phase est réalisée et les dynamiques de phases sont respectées par le déphaseur. Les impédances ne varient pas en fonction des codes binaires, grâce au VGA. Enfin, le VGA balaie la bonne dynamique de gain sur la bande tout en maintenant une phase quasi-constante. Ce bloc est innovant vis-à-vis de l'état de l'art. En effet, la technologie SiGe 130 nm pour les doubles paires différentielles permet d'avoir un gain meilleur qu'avec une technologie CMOS. L'invariance d'impédance en fonction du code binaire est également une caractéristique très intéressante de ce circuit et est due au fait que quel que soit le code binaire, il y a toujours le même nombre de transistors actifs donc la consommation ne varie pas et l'impédance non plus. Cela permet d'assurer une adaptation correcte de ce bloc avec les blocs en amont et en aval quelle que soit la configuration du circuit.

Enfin, le PA présenté en chapitre 2 est connecté en sortie du module de contrôle de phase et de gain grâce à un transformateur. Un étage de gain est ajouté en entrée du PA pour augmenter le gain global et afin de présenter une puissance suffisante au PA permettant d'atteindre sa saturation. Les performances de la puce complète permettent de satisfaire le cahier des charges. La puissance atteinte est de 24 dBm, le gain varie de 18 à 34 dB par pas de 0,5 dB sur toute la bande pour tous les états de gain. La PAE à la saturation et avec 8 dB de recul en puissance répondent aux exigences du cahier des charges. Les phases couvrent plus de 360° de dynamique avec une résolution inférieure à 5,625°. Une calibration statique est nécessaire en mesure afin de sélectionner uniquement les phases souhaitées. Les circuits doivent cependant être fabriqués pour confirmer les simulations post-layout présentées dans ces travaux. Enfin, c'est cette co-conception qui constitue le principal challenge de ce projet.

Conclusion générale et perspectives

Conclusion générale

Ce travail se divise en deux grandes parties axées sur le *beamforming* numérique à grande échelle avec des réseaux d'antennes. Le chapitre I présente l'évolution des normes de communication jusqu'à la 5G et introduit les différents aspects radio des chaînes d'émission. Ces aspects système permettent de comprendre les contraintes imposées aux circuits, notamment en ce qui concerne la linéarité, afin d'assurer une transmission de qualité pour un utilisateur sans compromettre celle des autres. Ces contraintes, déjà connues des concepteurs, restent d'actualité pour les systèmes de *beamforming* numérique aux fréquences millimétriques. Cependant, l'utilisation d'un grand nombre d'antennes ajoute des contraintes supplémentaires, telles que l'efficacité énergétique et la robustesse face aux erreurs d'amplitude et de phase. En effet, dans ce premier chapitre, il a été démontré que le *beamforming* était nécessaire pour atteindre les objectifs de débit dans les bandes millimétriques. Ainsi, pour exploiter pleinement les techniques MIMO permettant de maximiser la capacité de ce type de système, le *beamforming* numérique est souhaitable. Cependant, ce type de système implique un nombre de chaînes RF égal au nombre d'antennes, ce qui accroît la complexité et la consommation globale.

Le Chapitre II détaille l'amplificateur de puissance de la chaîne d'émission, élément primordial dans les chaînes RF. En effet, c'est le composant qui consomme le plus et sur lequel il faut accorder le plus d'attention. La linéarité est également une grande contrainte surtout aux fréquences millimétriques avec des modulations QAM. Ce chapitre détaille la méthode de conception des amplificateurs large bande en fréquences millimétriques. Le choix de la technologie SiGe 130 nm BiCMOS est justifié pour ce type de circuit en comparaison avec des technologies III-V. Le dimensionnement complet du PA sur la bande 24,25 - 30,5 GHz est détaillé. Il s'agit d'une structure pseudo-différentielle avec l'entrée et la sortie en mode commun adaptées à 50Ω à l'aide de baluns. Un transformateur inter-étage sépare l'étage de gain et l'étage de puissance. Les performances simulées en post-layout sont présentées et la stabilité est étudiée en linéaire et en non linéaire grâce à l'outil STAN®. Une étude approfondie et des simulations post-layout d'un miroir à compensation d'avalanche sont présentées et permettent de proposer une solution pour repousser le phénomène d'avalanche présent dans les transistors bipolaires.

Le Chapitre III se concentre sur le contrôle en phase et en amplitude d'un système de *beamforming*. Il a été démontré que pour garantir les meilleures performances, des corrections de phase et d'amplitude des signaux sur chaque antenne sont nécessaires. Des erreurs provenant de la distribution de l'oscillateur local, des variations de processus, des variations de tension d'alimentation, etc., sont inévitables et doivent être corrigées en fonction de la précision et de la qualité de service recherchées. Pour cela, l'architecture choisie est le déphaseur de type réfléchif (RTPS) couplé à un amplificateur à gain variable de 180° . Cette architecture permet de contrôler la phase et l'amplitude d'un signal aux fréquences millimétriques. Elle tire parti de la réduction de taille des composants passifs à ces fréquences, en particulier du coupleur hybride 90° . Ce coupleur devient facilement intégrable et présente de faibles pertes d'insertion. Un VGA 180° 4 bits est implémenté seul en technologie SiGe 130 nm BiCMOS avec l'ajout d'un étage d'amplification pour améliorer la linéarité et imposer un comportement symétrique pour les états à 0° et à 180° grâce au transformateur inter-étage. De même, un RTPS 7 bits couplé à un VGA 180° 4 bits est conçu et simulé en PLS. Ce déphaseur est basé sur la mise en cascade de

trois RTPS permettant de couvrir 180° de phase. Ils utilisent des charges réfléchives non résonantes à base de varactors, ce qui permet d'obtenir un comportement large bande avec de faibles variations d'amplitude en fonction de la phase. Cette étude approfondie de ces deux structures permet de relever les défis liés au contrôle de la phase et de l'amplitude d'un signal, ainsi qu'à la conception de circuits aux fréquences millimétriques. Le choix d'une solution dépend de la précision et de la plage de correction recherchées. Pour des corrections inférieures à 180° , le RTPS est un meilleur candidat car il réduit le nombre d'étages en cascade, réduisant ainsi les pertes et la surface utilisée. Le module RF complet composé du déphaseur, du VGA, du PA a été créé et simulé en post-layout montrant ainsi son bon fonctionnement pour des applications de stations de base 5G. Ses performances en matière de puissance, PAE, contrôles de gain et de phase et sa compacité lui permettent d'être compétitif pour d'autres applications. Il constitue un front-end performant intégré en technologie SiGe destiné à piloter un HPA GaN pour du *beamforming*. Ce module complet et le déphaseur seul ont été envoyés en fabrication chez STMicroelectronics.

Perspectives

Amplificateur de puissance Doherty

On a vu dans cette thèse que l'ensemble des exigences du cahier des charges avaient été respectées en simulation post-layout. La performance la plus critique semble être la PAE au back-off (avec 8 dB de recul en puissance) et une topologie Doherty [27] [28] avait été évoquée en début de thèse pour satisfaire cette contrainte. Il s'est avéré que l'architecture d'amplificateur de puissance classique permettait d'atteindre le cahier des charges en simulations post-layout. Les mesures des circuits permettront de confirmer ou non cette prédiction.

La topologie Doherty permettrait de considérablement augmenter la PAE avec 8 dB de recul en puissance. En fonction du dimensionnement des amplificateurs de puissance principal et auxiliaire, on peut régler le recul en puissance en fonction de nos exigences [3]. Cette méthode d'amélioration de la PAE au back-off implique par ailleurs une dégradation de la PAE à la saturation, ce qui est à prendre en compte lors de la conception de ce circuit vis-à-vis du cahier des charges. La topologie Doherty dégrade la linéarité du circuit, ce qui est problématique dans ce type d'applications. Une polarisation adaptative permettrait alors d'améliorer la linéarité du Doherty [36].

La topologie inspirée du Doherty et développée dans [3] permet d'obtenir les mêmes performances en matière de recul en puissance que le Doherty avec une meilleure robustesse aux variations de ROS que ce dernier.

Une étude est alors nécessaire par rapport à l'impact qu'aurait un tel amplificateur de puissance sur les circuits en amont et en aval, notamment le HPA GaN qui le suit.

Amélioration de la PAE grâce à la classe de fonctionnement du PA

On a vu dans l'état de l'art des PA à 27 GHz en Chapitre II que la classe AB continue permettait d'atteindre de meilleures PAE que la classe AB classique [31] [32] [33]. Il serait

donc intéressant d'effectuer un travail approfondi sur les harmoniques en sortie de l'amplificateur afin d'améliorer cette performance tout en gardant la structure simple du PA.

Co-intégration avec le HPA GaN

L'amplificateur de puissance SiGe présenté dans cette thèse est destiné à piloter un HPA GaN. Une co-intégration est donc nécessaire avec optimisation des interconnexions. Une co-conception pourrait être envisagée à long terme afin d'optimiser l'adaptation d'impédance. Dans les deux cas, les interconnexions sont très importantes puisqu'elles déterminent les performances finales de l'amplificateur. Des travaux ont déjà été réalisés dans [66] et peuvent être une piste pour la suite de nos travaux.

Miroir à compensation d'avalanche dans le front-end

Le miroir à compensation d'avalanche étudié en Chapitre II a été simulé en post-layout uniquement dans le PA seul. Le but est de pouvoir l'utiliser dans n'importe quel circuit en technologie bipolaire où les avalanches sont probables. L'étude de ce miroir est à poursuivre notamment concernant sa sensibilité aux variations de *process*. En effet, son dimensionnement doit être extrêmement précis afin de repousser l'avalanche de manière efficace. Le module RF incluant ce miroir doit être finalisé en layout et envoyé en fabrication afin d'être mesuré et de confirmer la robustesse de l'amplificateur de puissance face aux éventuels phénomènes d'avalanche.

Annexe – Systèmes SISO, SIMO, MISO

Système SISO : Dans ce scénario, la connexion s'établit entre une antenne émettrice et une antenne réceptrice. On suppose l'existence d'un canal AWGN (Additive White Gaussian Noise) non sélectif en fréquence, qui est possible pour des communications à haut débit grâce à l'utilisation de l'OFDM (Orthogonal Frequency Division Multiplexing). On peut exprimer le signal reçu par le récepteur comme suit :

$$y[m] = hx[m] + w[m] \quad [I - 7]$$

Avec :

- $y[m] \in \mathbb{C}$ l'échantillon m du signal reçu,
- $x[m] \in \mathbb{C}$ l'échantillon m du signal transmis,
- $h \in \mathbb{C}$ le gain du canal,
- $w[m] \sim \mathcal{CN}(0, N_0)$ le bruit blanc gaussien avec une densité spectrale de puissance N_0 .

Pour retrouver le signal transmis $x[m]$ à la réception à partir du signal reçu $y[m]$, lorsque l'on connaît le gain du canal h , on multiplie le signal $y[m]$ par $\frac{h^*}{|h|}$. On a alors :

$$y'[m] = \frac{h^*}{|h|} y[m] = |h|x[m] + \frac{h^*}{|h|} w[m] = |h|x[m] + v[m] \quad [I - 8]$$

Avec :

- $v[m] \sim \mathcal{CN}(0, N_0)$ le bruit après traitement.

Pour comparer les différentes techniques, on regarde la capacité d'une liaison associée. La capacité d'une liaison SISO est impactée par le gain du canal, qui si nul, interrompt la communication. Dans un cadre urbain, les effets de multi-trajets peuvent rompre la communication en raison de recombinaisons destructrices. Ainsi, pour optimiser la communication, il est important d'introduire des mesures de protection comme la diversité temporelle et fréquentielle. Pour la liaison SISO, on a alors la capacité de la liaison en fonction du SNR :

$$C_{SISO, bps/Hz} = \log_2 \left(1 + \frac{|h|^2 P}{BN_0} \right) = \log_2(1 + |h|^2 SNR) \quad [I - 9]$$

Avec :

- P la puissance moyenne du signal transmis,
- B la largeur de bande.

Système SIMO : Dans ce scénario, la connexion est établie entre une antenne émettrice et N antennes réceptrices. Dans des conditions similaires à celles du SISO, le signal reçu à la $k^{\text{ème}}$ antenne s'exprime comme suit :

$$y_k[m] = h_k x[m] + w_k[m] \quad [I - 10]$$

Si on multiplie les signaux reçus $y_k[m]$ sur chaque antenne par $\frac{h_{\{k\}}^*}{\|\mathbf{h}\|}$ avec $\mathbf{h} = (h_1, h_2, \dots, h_N)$ et qu'on les additionne, on a alors :

$$y'[m] = \sum_{k=1}^N \frac{h_k^* h_k}{\|\mathbf{h}\|} x[m] + \sum_{k=1}^N \frac{h_k^*}{\|\mathbf{h}\|} w_k[m] = \|\mathbf{h}\| x[m] + v[m] \quad [I - 11]$$

Avec :

- $v[m] \sim \mathbb{C}\mathcal{N}(0, N_0)$ le bruit après traitement

En utilisant le gain de *beamforming* à la réception, qui est obtenu en sommant les $h_k w_k$ indépendants, qui sont des bruits blancs gaussiens de variance $\sum_{k=1}^N |h_k^*|^2 N_0$ sur chaque antenne, on peut obtenir un gain de puissance de P par rapport à une liaison SISO sur le rapport signal sur bruit (SNR), ce qui peut représenter dans le meilleur des cas un gain de N . Cela permet de calculer la capacité de la liaison SIMO.

$$C_{SIMO, bps/Hz} = \log_2 \left(1 + \frac{\|\mathbf{h}\|^2 P}{BN_0} \right) = \log_2 (1 + \|\mathbf{h}\|^2 SNR) \quad [I - 12]$$

Dans ce type de récepteur, on procède à un ajustement de la phase et du gain de chaque antenne afin que les signaux utiles reçus soient additionnés de manière constructive, en privilégiant les antennes les plus puissantes. Ce récepteur offre une optimisation du SNR. En outre, en environnement multi-trajet, la liaison SIMO permet de disposer de N canaux distincts, réduisant ainsi la probabilité de subir des pertes de signal importantes sur tous les chemins simultanément. Il s'agit là de la diversité spatiale en réception.

Système MISO : Dans ce cas, la connexion est établie entre M antennes émettrices et une antenne réceptrice. De manière similaire à la liaison SIMO, on peut supposer que le gain est identique à M à la fois pour le SNR et pour la diversité par rapport à une communication SISO. Toutefois, cela n'est vrai que lorsque le transmetteur dispose d'informations sur le canal, c'est-à-dire lors d'une transmission avec CSI (Channel State Information). Obtenir ces informations du côté du transmetteur est plus difficile, car il nécessite un retour d'information du récepteur. Lorsque le transmetteur dispose de ces informations sur le canal, le signal peut être codé sur chaque antenne avec la même puissance utilisée que pour les cas SISO et SIMO, en suivant la même stratégie que pour le cas SIMO. Les signaux émis s'expriment alors :

$$x_k[m] = \frac{h_k^*}{\|\mathbf{h}\|} x[m] \quad [I - 13]$$

Le signal transmis par l'antenne k subit le gain de canal h_k , le signal reçu vaut alors :

$$y[m] = \sum_{k=1}^M \frac{h_k h_k^*}{\|\mathbf{h}\|} x[m] + w[m] = \|\mathbf{h}\| x[m] + w[m] \quad [I - 14]$$

On retrouve le même résultat que pour la liaison SIMO, avec un gain de M sur le SNR par rapport à la liaison SISO, ce qui est appelé gain de *beamforming* à l'émission. On a donc la capacité de la liaison MISO qui vaut lorsque le canal est connu :

$$C_{MISO, \text{bps/Hz}} = \log_2 \left(1 + \frac{\|\mathbf{h}\|^2 P}{BN_0} \right) = \log_2 (1 + \|\mathbf{h}\|^2 SNR) \quad [I - 15]$$

Tout comme pour la liaison SIMO, la liaison MISO apporte, en plus du gain de *beamforming*, une diversité spatiale avec les M antennes émettrices. Si le canal est connu (avec CSI à l'émission), on peut profiter du gain de *beamforming*. Cependant, en l'absence d'informations sur le canal (sans CSI à l'émission), on ne peut plus bénéficier de ce gain. Néanmoins, il est possible d'utiliser la diversité spatiale pour améliorer la qualité globale de la communication. Par exemple, dans un schéma MISO (2x1) appelé Alamouti, on envoie deux symboles pendant un temps symbole, un sur chaque antenne, puis au temps symbole suivant on renvoie les mêmes symboles judicieusement codés en échangeant les antennes. Ainsi, si le canal entre l'antenne de réception et l'une des deux antennes émettrices est fortement atténué, les deux symboles peuvent tout de même être transmis grâce à l'autre antenne.

Liste des travaux publiés

Conférences internationales

A. Tourissaud, E. Kerhervé, N. Deltimple, S. Voisin, R. Mathieu, « A 24.25-30.5GHz Fully Integrated SiGe Phase Shifter/VGA/Power Amplifier in 0.13 μ m BiCMOS Technology for 5G Beamforming Applications », SBCCI, Rio de Janeiro, 2023

A. Tourissaud, E. Kerhervé, N. Deltimple, R. Mathieu, « Study of an Avalanche Compensation Mirror for SiGe High Performance Power Amplifiers dedicated to 5G applications », SBCCI, Rio de Janeiro, 2023

Conférences nationales

A. Tourissaud, E. Kerhervé, N. Deltimple, R. Mathieu, « Amplificateur de puissance compact de 24,25 à 30,5GHz en technologie SiGe 0,13 μ m pour la 5G », Journées Nationales Microondes, Limoges, 7-10 juin 2022

A. Tourissaud, E. Kerhervé, R. Mathieu, « Amplificateur Doherty SiGe 24-31GHz pour une co-intégration SiGe/GaN », Neuvième Conférence Plénière du GDR ONDES, Lille, 30 nov.-1^{er} déc. 2021

Conception d'un front-end avec amplificateur de puissance, VGA et déphaseur en technologie SiGe pour des applications 5G aux fréquences millimétriques

Résumé : L'introduction de la 5G et l'amélioration des débits de données ont entraîné le déploiement de nouvelles plages de fréquences, notamment autour de 30 GHz, ce qui a réduit la portée des signaux. Pour remédier à cette limitation, le *beamforming* est une solution qui consiste à combiner divers faisceaux de signaux à l'aide des antennes d'émission situées en bout de chaîne. Le *beamforming* numérique implique l'utilisation de déphaseurs et de VGA (amplificateurs à gain variable) pour contrôler avec précision la phase et le gain des signaux, permettant ainsi de diriger le faisceau de manière précise.

Le *beamforming* numérique offre d'importants avantages en améliorant considérablement l'efficacité spectrale du réseau, en augmentant le rapport signal/bruit et en permettant le multiplexage spatial, qui autorise le partage des mêmes ressources en temps et en fréquence entre des utilisateurs spatialement distants.

L'objectif principal de cette thèse est de concevoir un système de *beamforming* numérique à la fois fiable et flexible, tout en maintenant une efficacité énergétique optimale en technologie SiGe 130 nm BiCMOS. Pour ce faire, trois sous-circuits (déphaseur, VGA et PA) sont proposés, puis assemblés pour créer un module RF frontend capable de répondre aux exigences de la 5G, en collaboration avec UMS, dans le but de piloter un HPA GaN pour des applications de station de base.

Pour obtenir les meilleures performances possibles dans un système de *beamforming* numérique, il est essentiel de pouvoir corriger les erreurs d'amplitude et de phase sur le réseau d'antennes. Le déphaseur proposé est de type RTPS passif, et le VGA est composé de transistors bipolaires, ce qui garantit une robustesse exceptionnelle en fonction du code binaire par rapport à l'impédance à l'entrée et à la sortie. La conception de ces circuits à des fréquences millimétriques est complexe en raison de la sensibilité accrue des composants aux interférences parasites. Le placement et la disposition des composants (layout) jouent un rôle essentiel dans la conception pour assurer le bon fonctionnement des circuits à de telles fréquences élevées.

Les trois sous-circuits ont été soigneusement dimensionnés et dessinés dans le but d'optimiser leurs performances individuelles tout en gardant à l'esprit l'objectif du projet : co-concevoir une puce intégrée en SiGe 130 nm BiCMOS, permettant de diriger le faisceau (déphaseur), de réduire les lobes secondaires (VGA) et d'amplifier le signal (PA). Il convient de noter qu'une contrainte importante de cette technologie réside dans les phénomènes physiques des transistors. Pour y remédier, une solution de compensation d'avalanche a été proposée et expliquée dans ces travaux, à travers l'utilisation d'un miroir de courant, permettant de repousser l'avalanche et ainsi de garantir le bon fonctionnement de la puce même à des niveaux élevés de puissance de sortie. Les circuits ont été conçus sur le logiciel Cadence Virtuoso® avec l'outil Momentum.

Mots clés : Amplificateur de puissance, 5G, déphaseur, VGA, formation de faisceaux, frontend, miroir de courant, circuit intégré.

Design of a front-end with a power amplifier, a VGA and a phase shifter in SiGe technology for 5G applications at millimeter frequencies

Abstract : The introduction of 5G and improved data rates have led to the deployment of new frequency ranges, particularly around 30 GHz, reducing signal range. To address this limitation, beamforming is a solution that involves combining various signal beams using the transmitting antennas at the end of the chain. Digital beamforming involves the use of phase shifters and VGAs (variable gain amplifiers) to precisely control the phase and gain of the signals, enabling the beam to be precisely steered.

Digital beamforming offers significant advantages by dramatically improving the spectral efficiency of the network, increasing the signal-to-noise ratio and enabling spatial multiplexing, which allows the same time and frequency resources to be shared between spatially distant users.

The main aim of this thesis is to design a digital beamforming system that is both reliable and flexible, while maintaining optimum energy efficiency in 130nm SiGe BiCMOS technology. To this end, three sub-circuits (phase shifter, VGA and PA) are proposed and then assembled to create an RF front-end module capable of meeting 5G requirements, in collaboration with UMS, with the aim of driving a GaN HPA for base station applications.

To achieve the best possible performance in a digital beamforming system, it is essential to be able to correct amplitude and phase errors on the antenna array. The proposed phase shifter is of the passive RTPS type, and the VGA is composed of bipolar transistors, guaranteeing exceptional robustness as a function of binary code in relation to input and output impedance. The design of these circuits at millimeter frequencies is complex due to the increased sensitivity of the components to parasitic interference. Component placement and layout play an essential role in the design to ensure proper circuit operation at such high frequencies.

The three sub-circuits were carefully dimensioned and designed to optimize their individual performances, while keeping in mind the project objective: to co-design an integrated 130 nm SiGe BiCMOS chip, enabling beam steering (phase shifter), sidelobe reduction (VGA) and signal amplification (PA). It should be noted that a major constraint of this technology lies in the physical phenomenon of the transistors. To remedy this, an avalanche compensation solution has been proposed and explained in this work, through the use of a current mirror, enabling the avalanche to be repelled and thus guaranteeing the correct operation of the chip even at high output power levels.

Key words : Power amplifier, 5G, phase shifter, VGA, beamforming, front-end, current mirror, integrated circuit.

Unité de recherche

Univ. Bordeaux, CNRS, Bordeaux INP, IMS, UMR 5218, F-33400
Talence, France