



HAL
open science

Conception d'amplificateurs de puissance en technologie 130nm CMOS SOI et 28nm FD SOI pour des applications 5G NB-IoT

Tristan Lecocq

► **To cite this version:**

Tristan Lecocq. Conception d'amplificateurs de puissance en technologie 130nm CMOS SOI et 28nm FD SOI pour des applications 5G NB-IoT. Electronique. Université de Bordeaux, 2023. Français. NNT : 2023BORD0499 . tel-04429093

HAL Id: tel-04429093

<https://theses.hal.science/tel-04429093v1>

Submitted on 31 Jan 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR
DE L'UNIVERSITÉ DE BORDEAUX

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE
L'INGÉNIEUR

SPÉCIALITÉ ÉLECTRONIQUE

Par **Tristan LECOCQ**

**Conception d'amplificateurs de puissance en
technologie 130nm CMOS SOI et 28nm FD SOI pour
des applications 5G NB-IoT**

Sous la direction de : **Eric KERHERVÉ**

Soutenue le 22 décembre 2023

Membres du jury :

M. PARRA Thierry	Professeur	Université de Toulouse	Rapporteur
M. BOURDEL Sylvain	Professeur	Grenoble INP	Rapporteur
M. DEVAL Yann	Professeur	Bordeaux INP	Président
M. EZZEDDINE Hilal	Ingénieur	STMicroelectronics	Examineur
M. KERHERVE Eric	Professeur	Bordeaux INP	Directeur de thèse

Membres invités :

M. PHAM Jean-Marie	Maître de conférences	Université de Bordeaux	Co-encadrant de thèse
--------------------	-----------------------	------------------------	-----------------------

« I'm about to do a great many stupid and reckless things. Watch my back, would you ? »
Alisaie Leveilleur

Table des matières

Liste des figures	vii
Liste des tableaux	xiii
Liste des acronymes	xv
Introduction générale	1
1 Amplificateurs de puissance pour le standard 5G NB-IoT	3
1.1 Présentation du standard NB-IoT	4
1.2 Le SOI pour l'intégration de fonction RF sur silicium	9
1.3 Amplificateur de puissance	17
1.4 État de l'art des PAs RF	32
1.5 Conclusion du chapitre	42
1.6 Références	43
2 Dimensionnement des circuits actifs et passifs pour la conception de PAs en 28nm FDSOI et 130nm PDSOI	47
2.1 Dimensionnement et évaluation des passifs et des transistors	48
2.2 Techniques d'amélioration de l'efficacité	66
2.3 Techniques d'amélioration de la bande passante	73
2.4 Méthodologie de conception d'amplificateurs de puissance	80
2.5 Dimensionnement des blocs unitaires	90
2.6 Conclusion du chapitre	96
2.7 Références	97
3 Conception et benchmark d'amplificateurs de puissance en technologies 28nm FDSOI et 130nm PDSOI	101
3.1 Amplificateurs de puissance pour NB-IoT : Objectifs	102
3.2 Amplificateur pseudo-différentiel en 130nm PDSOI	103
3.3 Co-intégration du PA avec un SP4T en 130nm PDSOI	116
3.4 Driver balun actif ultra-large bande 50MHz-2,3GHz en 130nm PDSOI	120
3.5 Amplificateur pseudo-différentiel en 28nm FDSOI	126
3.6 Amplificateur Doherty en 28nm FDSOI	138
3.7 Comparaison avec l'état de l'art	146
3.8 Conclusion du chapitre	148
3.9 Références	149
Conclusion générale et perspectives	153
4.1 Conclusion générale	153
4.2 Perspectives	153
Liste des travaux publiés	157

Liste des figures

1.1	Architecture simplifiée d'un réseau IoT	4
1.2	Comparaison des standards de communication LAN, WAN et LPWAN	5
1.3	Estimations du nombre de connections IoT d'ici 2028 [6]	6
1.4	Impact des modes eDRX et PSM sur la consommation de puissance	7
1.5	Comparaison des modulations OFDMA et SC-FDMA	7
1.6	Traitement de signal entre de la SC-FDMA et de l'OFDMA	8
1.7	Présentation des deux modes d'attribution de fréquence de la SC-FDMA	8
1.8	Observation des interfaces silicium-oxyde-substrat silicium d'un wafer SOI utilisant la méthode SIMOX [14]	9
1.9	Étapes de fabrications d'un wafer SOI avec la méthode SIMOX	9
1.10	Étapes de fabrication d'un wafer SOI avec la méthode Smart-Cut	10
1.11	Comparaison du CMOS avec d'autres technologies	11
1.12	Comparaison des transistor CMOS SOI et CMOS bulk	11
1.13	Processus de claquage de l'oxyde de grille	12
1.14	Processus d'injection de porteurs chauds	13
1.15	Processus de l'effet punch-through	13
1.16	Processus de dégradation par effet de corps flottants	14
1.17	Processus d'électromigration lors du passage d'un courant dans un conducteur	14
1.18	Comparaison d'un transistor PDSOI et d'un transistor FDSOI	16
1.19	Comparaison d'un transistor RVT avec un transistor LVT en technologie FDSOI	16
1.20	Paramètres électriques d'un bloc amplificateur de puissance	17
1.21	Étude de linéarité avec le tracé de l'AM-AM et AM-PM	19
1.22	Spectre de la sortie d'un PA sans effet mémoire soumis à un signal deux tons	20
1.23	Points de polarisation des classes linéaires d'amplification	21
1.24	Caractéristiques d'un amplificateur classe A idéal	21
1.25	Caractéristiques d'un amplificateur classe B idéal	23
1.26	Comparaison des formes d'ondes en classe AB et classe C	23
1.27	Rendement et courant de drain en fonction de l'angle de conduction	25
1.28	Illustration du principe d'EVM	26
1.29	Définition du PAPR et du PBO	27
1.30	Illustration du principe d'ACLR	28
1.31	Schéma électrique d'un amplificateur grille commune	29
1.32	Schéma électrique d'un amplificateur source commune	30
1.33	Schéma électrique d'un amplificateur CS parallèle	30
1.34	Schéma électrique d'un amplificateur empilé (CS+CG)	31
1.35	PA 180nm CMOS bulk [27]	33
1.36	Résultats de mesure du circuit sous signaux modulés	33
1.37	PA 45nm CMOS bulk [28]	34
1.38	Résultats de mesure du circuit sous signaux modulés	35
1.39	PA 40nm CMOS bulk [29]	35
1.40	Résultats de mesure du circuit sous signaux modulés et CW	36
1.41	Schéma du circuit, layout et report sur PCB du PA	36
1.42	Résultats de mesure du circuit sous signaux modulés et CW	37
1.43	PA 180nm SOI-CMOS [31]	38
1.44	Résultats de mesure du circuit sous signaux modulés LTE	38
1.45	PA 45nm SOI-CMOS [32]	39

1.46	Résultats de mesures du circuit sous signaux CW	39
1.47	Comparaison graphique des performances en P_{sat} et PAE_{max} des PAs sub-3GHz	40
2.1	Comparaison du BEOL des deux technologies utilisées	49
2.2	Résistivité des niveaux de métallisation épais	49
2.3	Architectures des inductances : Optimisation du facteur de qualité Q	50
2.4	Comparaison des inductances en 28nm FDSOI et 130nm PDSOI	50
2.5	Comparaison des architectures de transformateurs	51
2.6	Comparaison des architectures de capacités	52
2.7	Comparaison des capacités en 28nm FDSOI et 130nm PDSOI	53
2.8	Exemple d'un coupleur hybride 90° à lignes de transmission quart d'onde . . .	53
2.9	Types de coupleurs hybrides en quadratures intégrés	54
2.10	Modèle idéal en éléments localisés d'un coupleur hybride en quadrature	54
2.11	Abaque de dimensionnement d'un coupleur hybride	54
2.12	Modèle de lignes couplées	55
2.13	Modèle de twist	56
2.14	Dimensionnement des lignes du coupleur hybride torsadé	57
2.15	Dimensionnement du twist du coupleur hybride torsadé	57
2.16	Paramètres-S des coupleurs hybrides torsadés dans chaque technologie	58
2.17	Paramètres électriques des coupleurs hybrides torsadés dans chaque technologie	58
2.18	Modèle de capacité d'un coupleur à transformateur	59
2.19	Abaque de l'inductance du transformateur en fonction du rayon extérieur . . .	60
2.20	Paramètres-S des coupleurs hybrides à transformateur dans chaque technologie	61
2.21	Paramètres électriques des coupleurs hybrides à transformateur dans chaque technologie	61
2.22	Comparaison des transconductances caractéristiques g_m et g_{ds}	62
2.23	Caractéristiques de transfert en sortie $Id(V_{ds})$	62
2.24	Caractéristiques de gain des transistors @ 1.9GHz	63
2.25	Modèle petit signal simplifié d'un transistor pour le calcul de f_{max}	64
2.26	Fréquences maximales et de transition des transistors @ 100MHz	64
2.27	Schéma simplifié d'un PA Doherty et déphaseur 90°	66
2.28	Schéma de principe de la modulation de charge d'un PA Doherty	66
2.29	Principe de modulation de charge	67
2.30	Amélioration du rendement avec un PA Doherty	68
2.31	Schéma simplifié d'un PA outphasing	68
2.32	Deux types de combinaison de puissance d'un PA outphasing	69
2.33	Modulation de charge de chaque PA	70
2.34	Efficacité de drain d'un PA outphasing	70
2.35	Schéma de principe d'un PA à ET	71
2.36	Schéma de principe d'un PA à EER	72
2.37	Impact sur la PAE de la modulation d'alimentation	72
2.38	Présentation d'une architecture 5G multi-standards [53]	73
2.39	Modèle de MCR	74
2.40	Performances d'un transformateur large-bande en 130nm PDSOI	76
2.41	Modèle petit signal d'un amplificateur différentiel	76
2.42	Trajet d'impédance optimale en PAE et P_{out} selon la taille du transistor	77
2.43	Observation du principe d'adaptation d'impédance optimale par dimensionne- ment du transistor	78

2.44	Schéma d'exemple d'un réseau Γ à 2-étages	79
2.45	Simulations de l'impact de la classe de fonctionnement sur un PA cascode . . .	81
2.46	Performances du transistor pour plusieurs valeurs de multiplicité	82
2.47	Évolution de la capacité de grille avec la taille du transistor en 130nm PDSOI	83
2.48	Performances du transistor pour plusieurs valeurs de multiplicité	83
2.49	Évolution de la capacité de grille avec la taille du transistor en 28nm FDSOI .	84
2.50	Variation de la classe de fonctionnement selon la tension de grille arrière V_{bg} .	84
2.51	Schéma petit signal d'un transistor avec contre-réaction RC	85
2.52	Fonction de transfert du gain en tension d'un transistor avec contre-réaction RC	86
2.53	Schéma petit signal d'un montage différentiel avec capacité de neutralisation .	86
2.54	Impact de la capacité de neutralisation sur le G_{max} et la stabilité @ 1.9GHz .	87
2.55	Stabilité en petit signal du PA cascode différentiel	87
2.56	Simulations temporelles de la réponse du PA à une impulsion sinusoïdale amortie	88
2.57	Extraction des pôles de la fonction de transfert par Stan	89
2.58	Schéma électrique du circuit de polarisation adaptative en 28nm FDSOI . . .	90
2.59	Variation de la tension de sortie en fonction de l'amplitude du signal RF . . .	90
2.60	Layout et vue 3D des plots RF en 130nm PDSOI	91
2.61	Capacité parasite ramenée par les plots RF en 130nm PDSOI	92
2.62	Layout et vue 3D des plots RF en 28nm FDSOI	92
2.63	Capacité parasite ramenée par les plots RF en 28nm FDSOI	93
2.64	Exemple de layout de plots DC en vue isométrique	93
2.65	Motifs de plan de masse pour chaque technologie	94
2.66	Motifs de remplissage flottant pour chaque technologie	94
2.67	Exemple des éléments de finition de layout en 130nm PDSOI	95
3.1	Schématique complet du PA en 130nm PDSOI	103
3.2	Représentation 3D des transistors en 130nm PDSOI	104
3.3	Comparaison des performances en puissance des transistors en 130nm PDSOI avec et sans prise en compte des accès	105
3.4	Comparaison des transistors en 130nm PDSOI avec et sans prise en compte des accès @1,85GHz	105
3.5	Exemple simplifié des types d'accès selon les caractéristiques à optimiser . . .	106
3.6	Schéma et performances petit signal de la cellule de puissance	106
3.7	Dimensionnement des capacités de neutralisation et résistance de contre-réaction	107
3.8	Paramètres-S du réseau d'adaptation de sortie	107
3.9	Effet de l'utilisation de la polarisation adaptative	108
3.10	Schéma et performances petit signal du driver	109
3.11	Stabilité et performances HB du driver avant l'ajout du transformateur de sortie	109
3.12	Performances du transformateur large bande et layout en 130nm PDSOI . . .	111
3.13	Layout complet du PA pseudo-différentiel en 130nm PDSOI	111
3.14	Simulation faible signal en post-layout	112
3.15	Étude de la linéarité et de la consommation du PA	113
3.16	Étude de la puissance de sortie, du gain et de l'efficacité en puissance et en fréquence	113
3.17	Étude de la réponse temporelle du PA à un signal SC-FDMA	114
3.18	Spectre et EVM du signal SC-FDMA démodulé	115
3.19	Schéma et layout du SP4T en 130nm PDSOI	116
3.20	Impact des diodes de protections sur les performances du SP4T	117

3.21	Layout du circuit PA/SP4T co-intégré	118
3.22	Performances du circuit co-intégré en petit signal	118
3.23	Performances du circuit co-intégré et large signal	119
3.24	Schéma complet du balun actif en 130nm PDSOI	120
3.25	Gain basse fréquence d'un transistor et stabilité	121
3.26	Schéma petit signal du balun actif	121
3.27	Layout du circuit de polarisation adaptative en 130nm PDSOI	122
3.28	Variation de la polarisation adaptative en fonction de la fréquence et de la puissance d'entrée	123
3.29	Layout et simulation paramètres-S	123
3.30	Dégradation du CMRR liée à la polarisation de la source de courant	124
3.31	Étude large signal du balun actif large bande	124
3.32	Schématique complet du PA en 28nm FDSOI	126
3.33	Représentation 3D des transistors en 28nm FDSOI	127
3.34	Comparaison des performances en puissance des transistors en 28nm FDSOI avec et sans prise en compte des accès @1,85GHz	128
3.35	Exemple simplifié des types d'accès selon les caractéristiques à optimiser	128
3.36	Comparaison des transistors en 130nm PDSOI avec et sans prise en compte des accès	129
3.37	Schéma et performances petit signal de la cellule de puissance	129
3.38	Stabilité du PA et performance en puissance	130
3.39	Performances petit signal du DAT de sortie	130
3.40	Paramètres petit signal du balun actif en 28nm FDSOI	131
3.41	Vue 3D du transformateur d'inter-étage en 28nm FDSOI	131
3.42	Stabilité du PA et performance en puissance	132
3.43	Étude des performances de phase et de P_{out} du balun actif	132
3.44	CMRR du circuit balun actif	132
3.45	Layout complet du PA pseudo-différentiel en 28nm PDSOI	133
3.46	Simulation faible signal en post-layout	134
3.47	Étude de la linéarité et de la consommation du PA	134
3.48	Étude de la puissance de sortie, du gain et de l'efficacité en puissance et en fréquence	135
3.49	Étude de la réponse temporelle du PA à un signal SC-FDMA	136
3.50	Spectre et EVM du signal SC-FDMA démodulé	136
3.51	Schéma simplifié du PA Doherty en 28nm FDSOI	138
3.52	Impact de la charge capacitive sur l'impédance Z_{m1} à faible puissance	140
3.53	Impact de la charge capacitive sur l'impédance Z_{m1} à forte puissance	140
3.54	Évolution de l'impédance Z_{m1} en fonction de l'évolution de la puissance du PA auxiliaire	141
3.55	Dimensionnement de la capacité de ballast	141
3.56	Layout du PA Doherty en 28nm FDSOI	142
3.57	Simulations petit signal des paramètres-S et de la stabilité	143
3.58	Simulations de la modulation de charge et du comportement en fréquence en large signal	143
3.59	Impact de la polarisation adaptative et des modes d'ADB	144
3.60	Étude de la réponse temporelle du PA à un signal SC-FDMA	145
3.61	Spectre et EVM du signal SC-FDMA démodulé	145

3.62 Performances des PAs réalisés par rapport à l'état de l'art	146
4.1 Layout du circuit co-intégré PA/LNA/SPDT	154
4.2 Principe de linéarisation par prédistorsion numérique	154
4.3 Rappel du schéma simplifié du PA Doherty	155

Liste des tableaux

1.1	Tableau récapitulatif des paramètres du système SC-FDMA en fonction des largeurs de bandes autorisées. [13]	8
1.2	Applications pour les technologies PDSOI et FDSOI	15
1.3	Avantages et verrous des technologies PDSOI et FDSOI	15
1.4	Exemple d'EVM limite pour trois types de constellations [1]	26
1.5	Exemples de PAPR pour trois types de modulation [26]	27
1.6	ACLR pour les standards LTE [1]	28
1.7	Paramètres caractéristiques des montages amplificateurs classiques	31
1.8	Contraintes de performances pour la conception de PAs pour une application NB-IoT	32
1.9	Synthèse des PAs de l'état de l'art en technologies CMOS bulk et CMOS SOI	41
2.1	Paramètres géométriques des lignes fixes par technologie	56
2.2	Paramètres géométriques du twist fixes par technologie	57
2.3	Dimensionnement d'une branche d'un coupleur hybride torsadé	58
2.4	Équations des capacités inter-enroulement ramenées par le transformateur	59
2.5	Dimensions géométriques fixées pour la conception du transformateur	60
2.6	Rayon du transformateur pour atteindre l'inductance L_c	60
2.7	Charge optimale pour différentes topologies amplificatrices en 130nm PDSOI	80
2.8	Charge optimale pour différentes topologies amplificatrices en 28nm FDSOI	81
3.1	Contraintes de performances pour la conception de PAs pour une application NB-IoT	102
3.2	Performances de l'étage de puissance et du driver	110
3.3	Dimensionnement du transformateur inter-étage large bande	110
3.4	Validation de l'amplificateur de puissance pour des signaux CW	114
3.5	Validation de l'amplificateur de puissance pour des signaux SC-FDMA	115
3.6	Comparaison du commutateur d'antenne en 130nm PDSOI avec l'état de l'art	117
3.7	Comparaison des performances entre le PA seul et le circuit co-intégré	119
3.8	Performances du balun actif pour des signaux CW	125
3.9	Performances de l'étage de puissance et du driver	133
3.10	Validation de l'amplificateur de puissance pour des signaux CW	135
3.11	Validation de l'amplificateur de puissance pour des signaux SC-FDMA	137
3.12	Validation de l'amplificateur Doherty pour des signaux CW	144
3.13	Validation de l'amplificateur Doherty avec des signaux SC-FDMA	146
3.14	Comparaison des PAs de l'état de l'art avec les PAs réalisés	147

Liste des acronymes

1G	First-generation wireless technology
2G	Second-generation wireless technology
3G	Third-generation wireless technology
3GPP	Third-Generation Partnership Project
4G	Fourth-generation wireless technology
5G	Fifth-generation wireless technology
ACLR	Adjacent Channel Leakage Ratio
ADB	Adaptive Dynamic Bias
AM-AM	Amplitude-Amplitude Imbalance
AM-PM	Amplitude-Phase Imbalance
APD	Adaptive Power Divider
AsGa	Arséniure de Gallium
BB	Back-gate Bias
BC	Body Connected
BEOL	Back-End Of Line
BOX	Buried OXide
BW	Bandwidth
Cat-M	Category Machine
CDC	Cahier des Charges
CG	Common-Gate
CMOS	Complementary Metal-Oxide-Semiconductor
CMRR	Common Mode Rejection Ratio
CORDIC	COordinate Rotation DIgital Computer
CS	Common-Source
CW	Continuous Wave
DAT	Distributed Active Transformer
DC	Direct Current
DE	Drain Efficiency
DFT	Digital Fourier Transform
DPD	Digital Pre-Distortion
DRC	Design Rules Check
DRM	Design Rules Manual
DRX	Discontinuous Reception
eDRX	extended Discontinuous Reception
EEC	Efficiency Enhancement Circuit
EER	Envelope Elimination and Restoration
EM	Électromagnétique
ET	Envelope Tracking
EVM	Error Vector Magnitude
FDSOI	Fully Depleted Silicon On Insulator
FEM	Front End Module
FEOL	Front-End Of Line
GaN	Gallium Nitride
GBW	Gain Bandwidth product
GDS	Graphic Data System

GSM	Global System for Mobile
HB	Harmonic Balance
HCI	Hot Carrier Injection
HPF	High Pass Filter
ICP1	Input 1dB Compression Point
IMD	InterModulation Distortion
IMD2	Second order InterModulation Distortion
IMD3	Third order InterModulation Distortion
InP	Indium phosphide
IoT	Internet of Things
ISM	Industrielle, Scientifique et Médicale
LAN	Local-Area Network
LDMOS	Laterally-Diffused Metal-Oxide-Semiconductor
LINC	Linear amplification with Nonlinear Component
LMBA	Load Modulated Balanced Amplifier
LNA	Low Noise Amplifier
LPWAN	Low-Power Wide-Area Network
LTE	Long-Term Evolution
LVT	Low Voltage Threshold
MAG	Max Available Gain
MCR	Magnetically Coupled Resonator
MIM	Metal-Insulator-Metal
Modem	Modulator-demodulator
MOM	Metal-Oxide-Metal
N-FET	N-Type Field Effect Transistor
NB-IoT	NarrowBand IoT
NMOS	N-type Metal-Oxide-Semiconductor
OCP1	Output Compression Point 1dB
OFDMA	Orthogonal Frequency Division Multiple Access
OIP3	Output Third Order Intercept Point
PA	Power Amplifier
PAE	Power Added Efficiency
PAPR	Peak to Average Power Ratio
PBO	Power Back-Off
PCB	Printed Circuit Board
Pcell	parameterized cell
PDF	Probability Density Function
PDK	Partial Design Kit
PDSOI	Partially Depleted Silicon On Insulator
PLS	Post Layout Simulation
PMOS	P-type Metal-Oxide-Semiconductor
PSM	Power Saving Mode
PVT	Process, Voltage, Temperature
QAM	Quadrature Amplitude Modulation
QOS	Quality Of Service
QPSK	Quadrature Phase Shift Keying
RB	Ressource Bloc

RCC	Resistance, Capacitance, and Coupled Cap
RF	RadioFréquence
RFFE	Radio Frequency Front End
RMS	Root Mean Square
RVT	Regular Voltage Threshold
SC-FDMA	Single Carrier Frequency Division Multiple Access
SiGe	Silicium Germanium
SIMOX	Separation by IMplantation of OXYgen
SISO	Single-input/Single-output
SOA	Safe Operating Area
SOI	Silicon On Insulator
SP4T	Single Pole, 4 Throw
SPDT	Single Pole, Double Throw
TDDDB	Time-Dependent Dielectric Breakdown
TOS	Taux d'Ondes Stationnaires
UTBB	Ultra-Thin Box and Buried oxide
WAN	Wide-Area Network

Introduction générale

L'apparition de l'Internet des objets (IoT) a été rendue possible grâce au développement de la 4G LTE. Les nouveaux standards 5G permettent une évolution importante dans le domaine des objets connectés avec le développement du "massive IoT". Cette évolution est notamment possible grâce à l'utilisation du principe de formation de faisceaux introduit par la 5G. Ceci permet à une station de base d'adresser plusieurs utilisateurs simultanément en utilisant le filtrage spatial. Le NB-IoT est l'un des nouveaux standards 5G de la famille des réseaux longue portée à basse consommation (LPWAN), permettant d'adresser cette demande de massive IoT. Les différents travaux de recherche et produits sur des modems NB-IoT révèlent un objectif commun de réduction des coûts et d'intégration. Dans cette optique, la technologie CMOS SOI est le candidat idéal pour répondre à ces deux objectifs.

Ce nouveau standard impose de nombreuses contraintes sur la conception d'amplificateurs de puissance. La contrainte de faible consommation impose au PA d'avoir un rendement élevé. De plus, la modulation utilisée nécessite de conserver un bon rendement jusqu'à 6dB de recul en puissance. La puissance de sortie crête maximale de 29dBm ajoute une contrainte supplémentaire liée à l'utilisation de la technologie CMOS et à ses limites en puissance. Enfin, bien que la modulation soit à bande étroite, les canaux NB-IoT sont répartis sur les bandes LTE de 450MHz à 2GHz, nécessitant un PA large bande pour adresser le plus de canaux possible. Cette thèse porte sur l'étude, la conception et la caractérisation d'amplificateurs CMOS SOI à haut rendement et les méthodes de design large bande pour une co-intégration d'un frontend radiofréquence (RFFE) complet.

Le premier chapitre présente les caractéristiques du standard NB-IoT, l'intérêt de l'utilisation de la technologie CMOS SOI pour l'IoT, ainsi qu'une première approche sur la réalisation de PA pour ce standard 5G.

Le deuxième chapitre porte, dans un premier temps, sur la réalisation des circuits actifs et passifs servant à la conception d'amplificateurs de puissance en technologie 28nm FDSOI et 130nm PDSOI. Ensuite, différentes techniques d'amélioration de l'efficacité et de la bande passante sont présentées dans le but d'appliquer ces techniques au NB-IoT. De plus, une méthodologie de conception d'amplificateur de puissance est décrite, avec la présentation des différentes étapes permettant le dimensionnement et le choix des transistors et de la topologie d'amplificateur à utiliser.

Le troisième chapitre détaille l'ensemble des réalisations en technologie 130nm PDSOI et 28nm FDSOI. Dans un premier temps, l'amplificateur pseudo-différentiel en 130nm PDSOI et sa co-intégration avec un commutateur d'antenne sont présentés, suivis de la présentation d'un balun actif ultra-large bande. Ensuite, les conceptions en 28nm FDSOI sont abordées avec un amplificateur pseudo-différentiel et son utilisation dans la conception d'un amplificateur Doherty reconfigurable avec optimisation de la puissance de sortie. Ce chapitre se termine par la comparaison des différents circuits avec l'état de l'art des amplificateurs de puissance CMOS sub-6GHz.

Enfin, le manuscrit se conclut par la synthèse des circuits conçus pour une application NB-IoT et les perspectives de recherche possibles.

Chapitre 1

Amplificateurs de puissance pour le standard 5G NB-IoT

Sommaire

1.1	Présentation du standard NB-IoT	4
1.1.1	Les communications radios pour l'Internet des objets	4
1.1.2	La 5G et le Massive IoT	5
1.1.3	Le NB-IoT	6
1.1.4	Les modulations pour le NB-IoT	7
1.2	Le SOI pour l'intégration de fonction RF sur silicium	9
1.2.1	Présentation de la technologie CMOS SOI	9
1.2.2	Avantages des technologies CMOS SOI	10
1.2.3	Fiabilité des technologies CMOS	12
1.2.4	Comparaison entre PDSOI et FDSOI	15
1.3	Amplificateur de puissance	17
1.3.1	Paramètres de dimensionnement	17
1.3.2	Classes de fonctionnement	20
1.3.3	Impact de la modulation	25
1.3.4	Montages amplificateurs de base	29
1.4	État de l'art des PAs RF	32
1.4.1	Cahier des charges	32
1.4.2	État de l'art des PAs CMOS bulk	33
1.4.3	État de l'art des PAs CMOS SOI	36
1.4.4	Conclusion sur l'État de l'Art	39
1.5	Conclusion du chapitre	42
1.6	Références	43

Ce chapitre présente le contexte autour des travaux de recherche réalisés. Avec l'évolution de la 4G vers la 5G et la demande grandissante d'objets connectés, le développement de nouveaux standards permettant d'augmenter le nombre d'appareils connectés simultanément s'impose. Une première partie est dédiée à la présentation du standard NB-IoT. Dans une seconde partie, l'intérêt de l'utilisation de technologies silicium pour des circuits IoT est développé. Une première approche sur la caractérisation et la conception d'amplificateurs de puissance (PAs) ainsi que sur les paramètres importants impactant la conception est présentée dans la partie trois. Enfin, dans la quatrième et dernière partie, une revue de l'état de l'art des amplificateurs de puissance en technologie CMOS est étudiée afin d'estimer les performances et limites technologiques de l'intégration silicium.

1.1 Présentation du standard NB-IoT

1.1.1 Les communications radios pour l'Internet des objets

L'IoT est le terme général pour parler d'un réseau d'appareils électroniques permettant de recueillir, traiter et communiquer des informations provenant de leur environnement (température, pression, etc.). Les informations d'un appareil (aussi appelé nœud IoT) sont ensuite transmises à une station de base. Celle-ci permet de centraliser les données de tous les nœuds du réseau afin de pouvoir analyser les données. Une fois l'information transmise à la station de base, les données peuvent être envoyées sur le Cloud pour être stockées et analysées ou alors stockées et traitées localement si la puissance de calcul de la station de base est suffisante [2]. La figure 1.1 permet de visualiser la structure d'un réseau IoT.

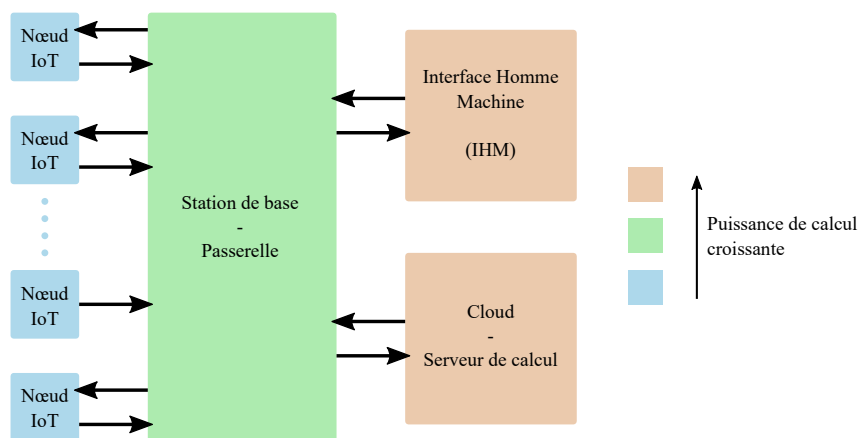


FIGURE 1.1 – Architecture simplifiée d'un réseau IoT

Un réseau IoT peut être organisé de plusieurs façons. Une méthode de réseau local (LAN), basé sur un réseau IoT ayant une étendue géographique réduite, comme par exemple des capteurs de températures dans une entreprise. Ces réseaux IoT peuvent être connectés à internet par un protocole sans-fil tel que le WiFi ou alors de manière physique en utilisant des câbles coaxiaux ou Ethernet. Ceci permet une meilleure efficacité énergétique du transfert d'information et de meilleurs débits qu'une transmission sans-fil. Une seconde méthode permettant de couvrir une zone géographique beaucoup plus vaste se base sur une architecture de réseau étendu (WAN). Dans ce cas la solution est de réaliser des nœuds IoT sans-fil et d'utiliser des standards de communication basses consommations. Ces réseaux sont appelés réseaux étendus basses consommations (LPWAN). La figure 1.2 présente les différents standards sans-fil existant dans chaque catégorie ainsi que leur leur couverture et débit. A partir de ce type de graphique il est possible de choisir le standard optimal permettant de répondre au besoin d'une installation IoT.

Les LPWANs sont la base des communications sans-fil pour l'IoT. Les performances de tels réseaux sont déterminées par plusieurs facteurs. La consommation doit être la plus faible possible afin de permettre l'utilisation d'objets connectés sur batterie pour des périodes allant de quelques jours à plusieurs dizaines d'années. La couverture doit aussi être la plus grande possible, ceci permet notamment de réduire les coûts d'installation en diminuant la densité de stations de base dans une zone géographique. Les coûts des composants électroniques (ex. RFFE, Modem) doivent être les plus faibles possibles pour permettre un déploiement de nombreux nœuds IoT à faible coût [3]. Les standards LoRa et Sigfox utilisent les bandes libres (bandes ISM) limitant le débit maximum, mais permettant

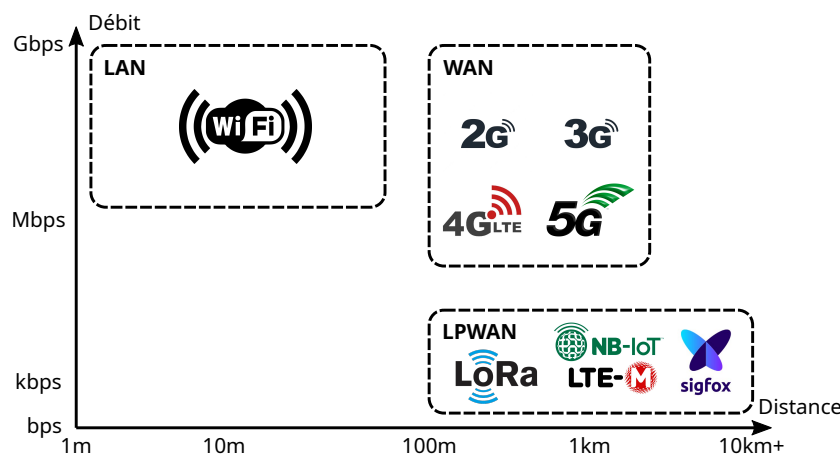


FIGURE 1.2 – Comparaison des standards de communication LAN, WAN et LPWAN

une utilisation gratuite des bandes de fréquences. Le NB-IoT et Cat-M utilisent des bandes licenciées (bandes 3GPP), ceci permet d'atteindre des débits plus élevés, mais les coûts associés à l'achat des bandes licenciées sont importants.

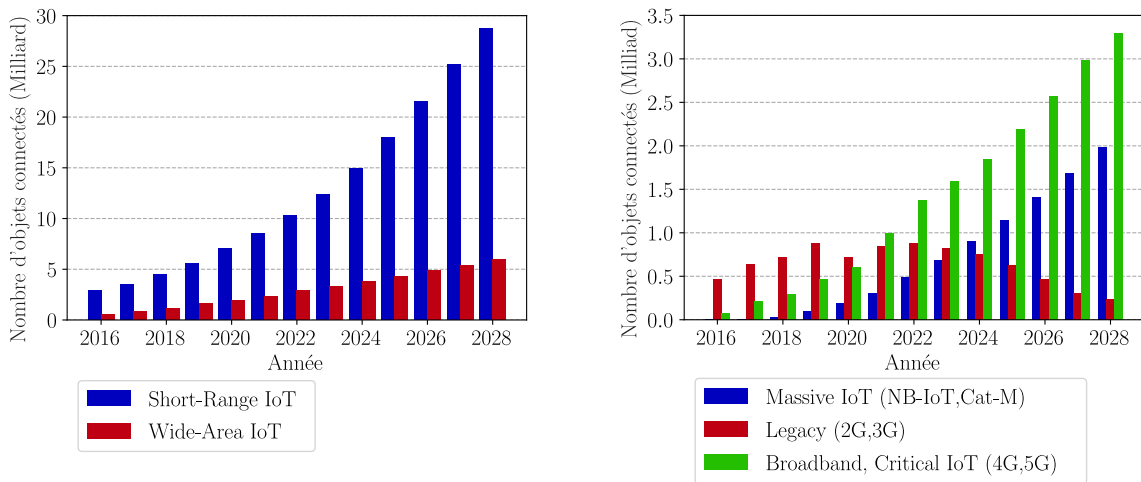
1.1.2 La 5G et le Massive IoT

Le réseau 5G est la cinquième génération de standards de communication cellulaire. Son origine remonte aux années 80, sous le nom de 1G, amenée par l'apparition des téléphones portables. Les premières communications étaient analogiques et ne permettaient de transmettre que la voix. Depuis la 1G, les standards de communication n'ont fait qu'évoluer avec l'augmentation des besoins en débit, bande passante et fonctionnalités. Ces évolutions ont permis le support de l'IoT par les standards cellulaires avec le développement de la 4G en 2016.

Le déploiement de la 5G permet la continuité des évolutions précédentes (amélioration des débits, de la bande passante et des fonctionnalités) mais possède un objectif supplémentaire de modernisation de l'industrie et de développement de villes intelligentes [4]. Ces objectifs ainsi que la croissance importante du marché des appareils connectés pour l'industrie [5] imposent de revoir les standards IoT existant. La figure 1.3(a) montre l'importante croissance du nombre d'appareils connectés avec une évolution de 3.5 milliards à 35 milliards entre 2016 et l'estimation de 2028. Sur cette période, l'IoT longue portée représente une part constante d'environ 17% et 6 milliards d'appareils connectés d'ici 2028. Cette catégorie se scinde en plusieurs sous-groupes (figure 1.3(b)), les réseaux WAN anciennes générations 2G et 3G, les réseaux WAN nouvelles générations 4G et 5G et enfin les réseaux LPWAN dédiés à la 5G massive IoT, NB-IoT et Cat-M.

Le massive IoT est un terme apparu avec la 5G, l'objectif est de connecter un nombre important d'objets connectés au réseau cellulaire 5G. Ceci est possible avec l'évolution majeure des technologies LPWAN et de la 5G. Les caractéristiques principales du massive IoT sont [7] :

- Importante quantité de connections simultanées, densité importante.
- Transferts de données irréguliers et non-critiques.
- Taille des données transférées faible.
- Contrainte très importante sur la faible consommation énergétique des nœuds, contrainte de durée de vie sur batterie supérieure à 10 ans.



(a) Nombre d'objets connectés

(b) Nombre de connexions aux réseaux WAN

FIGURE 1.3 – Estimations du nombre de connexions IoT d'ici 2028 [6]

1.1.3 Le NB-IoT

Pour répondre à toutes ces contraintes, la 5G apporte deux nouveaux standards dédiés au massive IoT, le Cat-M et le NB-IoT. Dans ce manuscrit seul le NB-IoT sera détaillé car les recherches ont été principalement menées pour répondre à ce standard. Le NB-IoT est un standard LPWAN réutilisant les mêmes bandes de fréquences et le même protocole que la 4G LTE afin de faciliter le déploiement. Ce standard se concentre sur deux aspects majeurs en plus de ceux des réseaux LPWAN [8] :

- Une couverture réseau étendue par rapport aux réseaux LTE.
- Complexité des appareils ultra-faible.

L'augmentation de la couverture réseau est réalisée par répétition des transmissions ainsi que par une augmentation de la puissance de transmission des canaux de signalement. Trois modes de répétition sont possibles permettant une augmentation de la couverture de 0dB (sans répétition), 10dB et 20dB. La puissance moyenne d'émission des signaux modulés NB-IoT est de 23dBm pour la classe d'émission 3 [1], correspondant à la puissance maximale autorisée et ainsi à une couverture maximale. L'augmentation du nombre de répétitions ainsi que de la puissance d'émission a un impact non négligeable sur la consommation, il faut donc trouver un compromis entre une faible consommation et une extension de la couverture réseau.

Pour réduire la complexité des appareils NB-IoT des simplifications sur la couche physique ont été réalisées, permettant de réduire la puissance de calcul nécessaire au traitement du signal en réception. En émission, le signal de synchronisation a aussi été modifié afin de permettre une complexité pouvant être plus faible que les appareils GSM.

Afin de diminuer la consommation d'énergie des appareils NB-IoT le standard utilise la modulation SC-FDMA permettant l'émission de signaux à faibles PAPR pour la liaison montante [9]. Cette modulation permet de diminuer les contraintes en rendement sur l'amplificateur de puissance et ainsi augmenter l'efficacité de la partie émission de la chaîne de transmission. L'impact du PAPR sur l'efficacité des amplificateurs de puissance est abordé dans la section 1.3. Le standard dispose aussi de plusieurs classes d'émissions, dont la classe 3 vue précédemment. Les deux classes supplémentaires sont la classe 5 correspondant à une puissance moyenne de 20dBm et la classe 6 correspondant à 14dBm

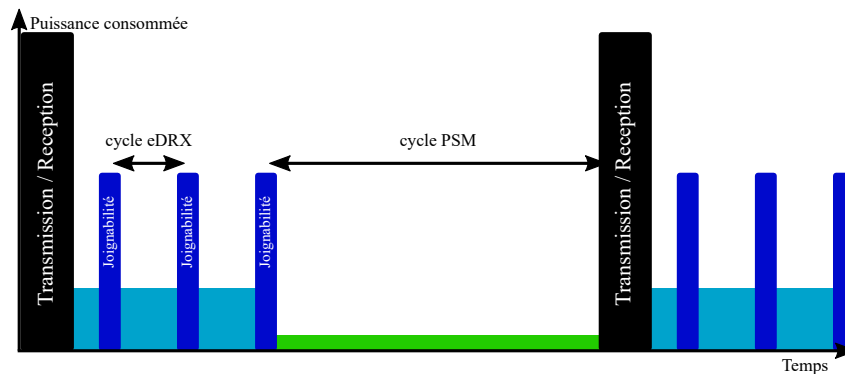


FIGURE 1.4 – Impact des modes eDRX et PSM sur la consommation de puissance

[1]. La réduction de puissance permet de réduire l'énergie consommée lorsque la qualité de service (QoS) est suffisante. Deux autres méthodes permettent de réduire la consommation, l'eDRX et le PSM. Le DRX permet de temporairement éteindre la partie réception à intervalle régulier. Dans le cas de l'IoT la durée d'extinction est prolongée donnant le nom de DRX étendu (eDRX). Enfin le PSM permet de mettre l'appareil en veille profonde et d'éteindre le module radio pendant un temps négocié entre l'appareil et la station de base [10]. La figure 1.4 montre l'impact de l'eDRX et du PSM sur la puissance consommée.

1.1.4 Les modulations pour le NB-IoT

La modulation joue un rôle majeur dans la capacité à réduire la consommation d'énergie d'appareils NB-IoT. La SC-FDMA est une nouvelle technique d'accès multiple basée sur la répartition fréquentielle des utilisateurs et reprenant une partie du traitement de signal de l'OFDMA. La figure 1.5 présente de façon simplifiée la différence entre les symboles OFDMA et SC-FDMA.

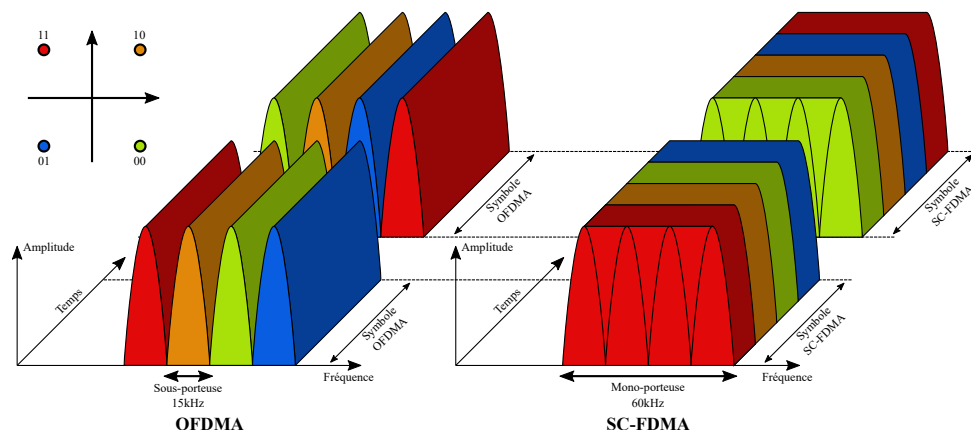


FIGURE 1.5 – Comparaison des modulations OFDMA et SC-FDMA

Dans le cas des symboles OFDMA, chaque symbole de la QPSK est codé dans une des N sous-porteuses d'un symbole OFDMA et dure toute la durée du symbole OFDMA. Dans le cas des symboles SC-FDMA, chaque symbole de la QPSK est codé sur toutes les N sous-porteuses d'un symbole SC-FDMA et dure $\frac{1}{N}$ fois la durée du symbole SC-FDMA. L'aspect mono-porteuse de cette modulation est issu de l'ajout d'une transformée de fourrier numérique (DFT) en amont de la chaîne de traitement. La figure 1.6 montre les différences de traitement des signaux entre l'OFDMA et la SC-FDMA.

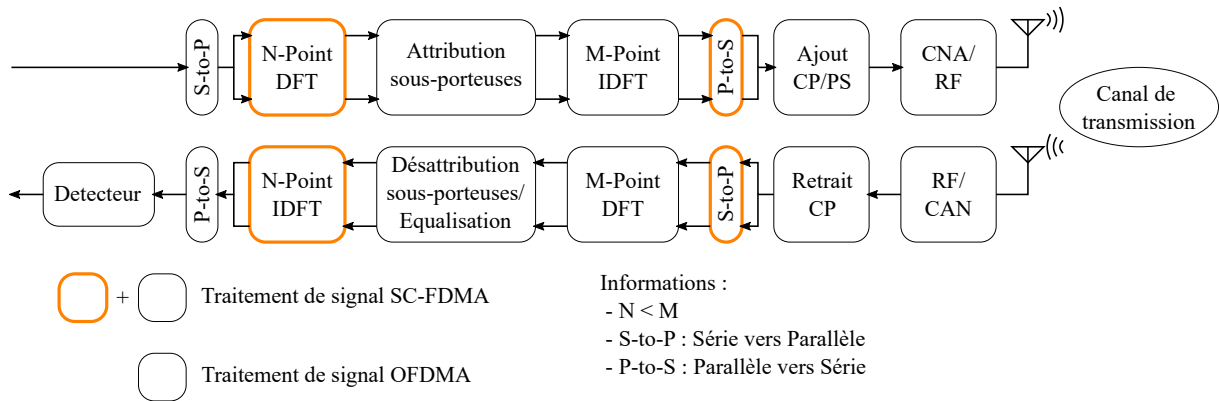


FIGURE 1.6 – Traitement de signal entre de la SC-FDMA et de l’OFDMA

Bien que d’aspect mono-porteuse, le traitement de la modulation SC-FDMA conserve le bloc d’attribution des sous-porteuses. Ceci permet aux réseaux NB-IoT de supporter un nombre de connexions important. En effet, l’attribution de sous-porteuses permet d’adresser plusieurs utilisateurs simultanément dans le même canal LTE et d’ajuster le nombre de blocs ressources (RBs) selon la demande de chaque utilisateur. La figure 1.7 montre les deux modes d’attribution. L’attribution localisée répartie les N sous-porteuses utilisées par le symbole SC-FDMA temporel après DFT sur N sous-porteuses adjacentes parmi les M sous-porteuses du canal LTE. L’attribution entrelacée répartie les N sous-porteuses utilisées par le symbole SC-FDMA temporel après DFT sur N sous-porteuses également réparties parmi les M sous-porteuses du canal LTE [11], [12].

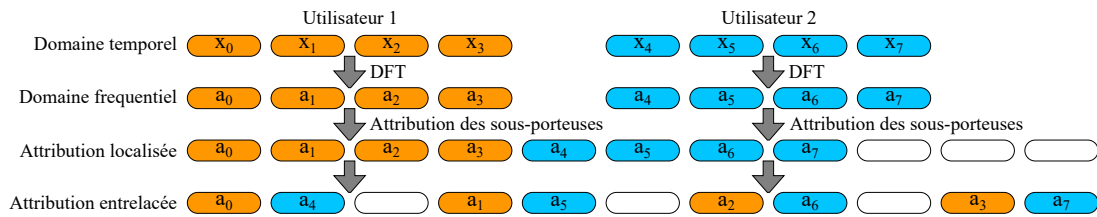


FIGURE 1.7 – Présentation des deux modes d’attribution de fréquence de la SC-FDMA

Le tableau 1.1 détaille le nombre de sous-porteuses selon la largeur du canal LTE. Ainsi pour un canal LTE de 10MHz, le nombre de blocs ressources est de 50. Un RB est la plus petite unité pouvant être allouée à un utilisateur. Sachant que chaque RB possède $N=12$ sous-porteuses de 15kHz chacune, cela fait un total de $M=600$ sous-porteuses adressables par le bloc d’attribution des sous-porteuses.

TABLE 1.1 – Tableau récapitulatif des paramètres du système SC-FDMA en fonction des largeurs de bandes autorisées. [13]

Bande passante du canal (MHz)	1.4	3	5	10	15	20
Nombre de blocs ressources (RB)	6	15	25	50	75	100
Nombre de sous-porteuses (M)	72	180	300	600	900	1200

La modulation SC-FDMA est donc le choix idéal pour une application massive IoT. La réduction du PAPR permis par le comportement mono-porteuse de la modulation ainsi que la possibilité d’attribuer des sous-porteuses pour augmenter le nombre d’utilisateurs au sein d’un canal LTE permettent de répondre aux contraintes du massive IoT détaillées dans les parties précédentes.

1.2 Le SOI pour l'intégration de fonction RF sur silicium

1.2.1 Présentation de la technologie CMOS SOI

La technologie CMOS SOI consiste à fabriquer un wafer dans lequel une couche d'isolant a été insérée, donnant un empilement silicium-isolant-substrat silicium. L'épaisseur de la couche de silicium supérieure peut aller de 5nm à plusieurs μm . Il existe différents types d'isolants utilisés pour réaliser ces wafers (ex. saphir, oxyde de silicium), le plus commun étant l'oxyde de silicium pour des applications faibles coûts. Les procédés de fabrications de wafers SOI les plus répandus sont la séparation par implantation d'oxygène (SIMOX) et la méthode Smart-Cut. Ces deux procédés représentent 90% de la production de wafers SOI. La vue en coupe d'un wafer SOI utilisant de l'oxyde de silicium est présentée figure 1.8.

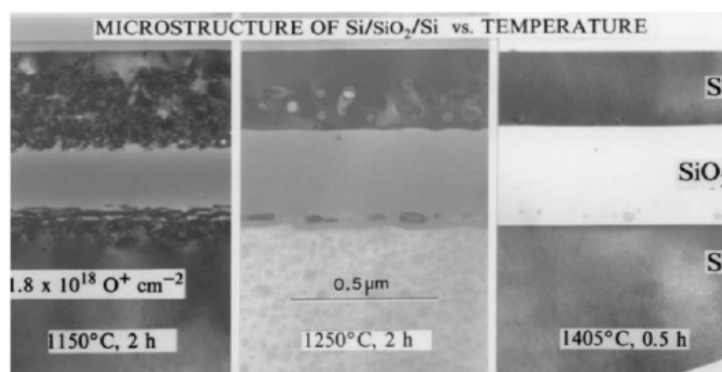


FIGURE 1.8 – Observation des interfaces silicium-oxyde-substrat silicium d'un wafer SOI utilisant la méthode SIMOX [14]

Le premier procédé SIMOX démarre par l'implantation d'une grande quantité d'oxygène dans un wafer classique. Une étape de recuit à haute température permet de transformer ces ions oxygène en une couche d'oxyde de silicium. L'épaisseur et la profondeur de la couche d'oxyde sont contrôlées par la température de recuit ainsi que la dose et l'énergie

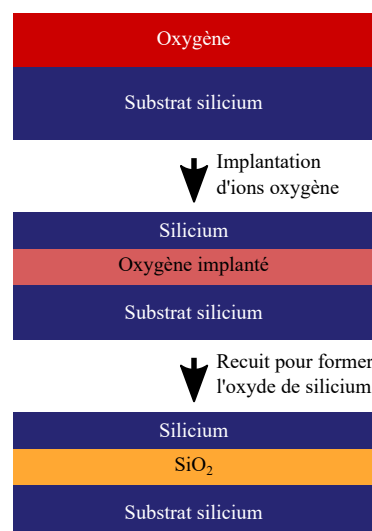


FIGURE 1.9 – Étapes de fabrications d'un wafer SOI avec la méthode SIMOX

utilisée lors de l'implantation des ions oxygène [14]. La figure 1.9 présente visuellement chaque étape et leur impact sur la composition du wafer SOI.

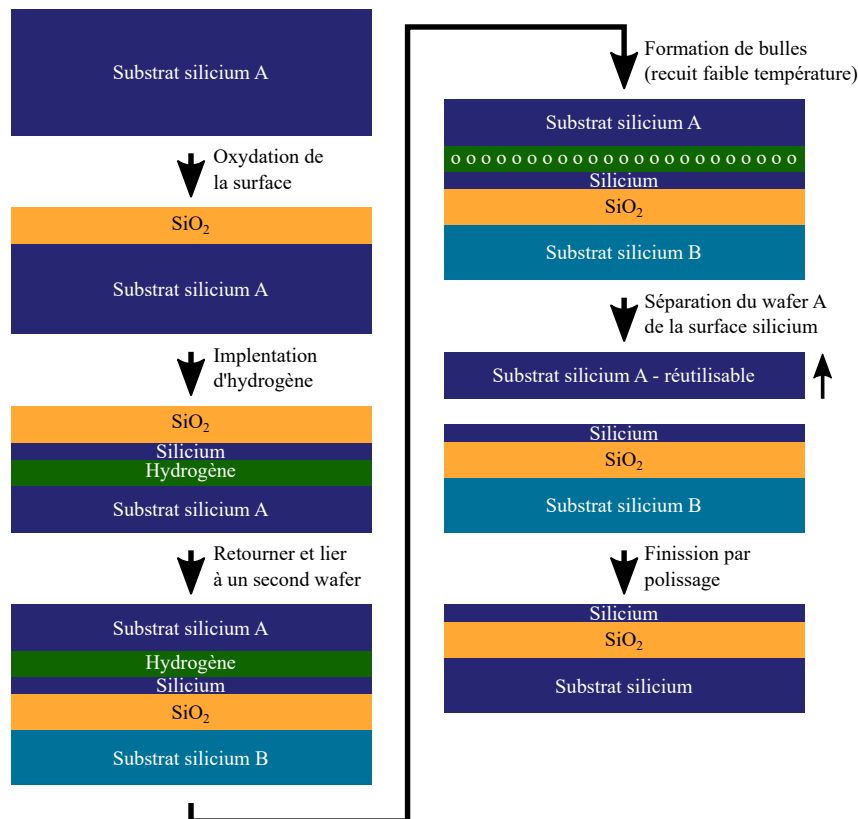


FIGURE 1.10 – Étapes de fabrication d'un wafer SOI avec la méthode Smart-Cut

Le second procédé Smart-Cut commence par une implantation d'hydrogène dans un wafer ayant une couche d'oxydation en surface. Tout comme la méthode SIMOX, la profondeur de l'implantation est déterminée par l'énergie utilisée. Le wafer est ensuite fixé à un second wafer oxydé. Deux étapes de recuit, faible puis haute température, permettent la séparation du premier wafer par formation de bulles et la solidification du lien entre les deux wafers oxydés. La dernière étape consiste en un polissage de la couche fine de silicium. La figure 1.10 illustre chaque étape du processus de fabrication d'un wafer SOI par méthode Smart-Cut [14]. Cette méthode a l'avantage de produire une couche de silicium fine et uniforme et de réduire les déchets en réutilisant la partie coupée du wafer initial.

1.2.2 Avantages des technologies CMOS SOI

La conception d'amplificateurs de puissance pour des applications commerciales, comme la téléphonie, utilise des technologies III-V. Ces technologies, comme l'AsGa ou encore le GaN ont des performances en puissance bien supérieures à celles des technologies silicium. Le silicium possède des tensions de claquage trop faible pour pouvoir rivaliser avec ces technologies. De plus, le CMOS possède une fréquence de fonctionnement maximale plus faible que ses homologues III-V. Ainsi, il est plus facile de concevoir un amplificateur de puissance avec des technologies III-V. Cependant, le CMOS possède une capacité d'intégration et un faible coût suscitant l'intérêt des industriels, qui plus est dans le domaine du massive IoT. La figure 1.11 compare différentes technologies III-V (AsGa, InP, GaN) et bipolaire (SiGe) avec la technologie CMOS.

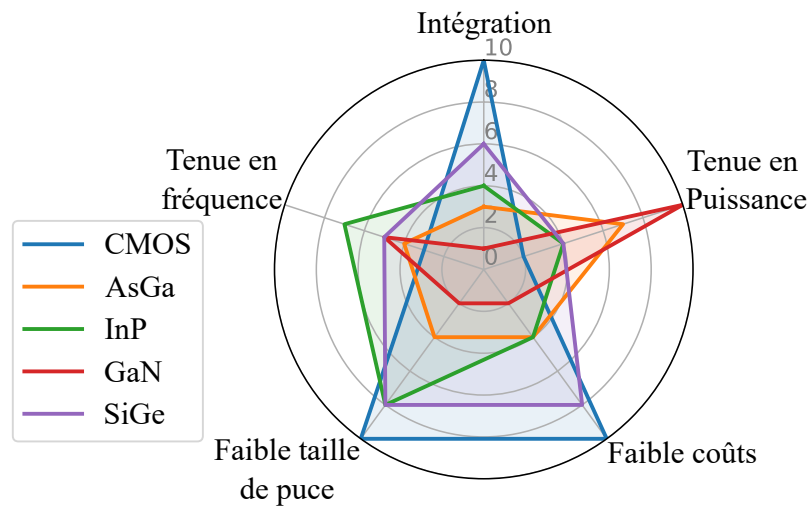


FIGURE 1.11 – Comparaison du CMOS avec d'autres technologies

Le CMOS SOI : héritage du CMOS bulk

La technologie CMOS SOI hérite de nombreux avantages de la technologie silicium bulk. La capacité d'intégration ainsi que le faible coût de fabrication sont deux des avantages les plus importants de cette technologie dont le SOI hérite. En effet, le SOI partage une grande partie des étapes de fabrication de la technologie CMOS permettant de conserver un faible coût de production. L'ajout des étapes de fabrication permettant de transformer un wafer CMOS en wafer CMOS SOI impacte le coût de fabrication de l'ordre de +10% à +15%, permettant tout de même au SOI d'être compétitif en terme de coûts [15]. De plus, l'écart de coûts technologiques se réduit à mesure que les nœuds technologiques diminuent, ce qui en fait un avantage majeur pour le SOI.

Avantage du CMOS SOI sur le CMOS bulk

Le SOI permet une amélioration des performances estimée à plus de 20% [16]. Ceci est majoritairement dû à la réduction des capacités parasites des transistors. La figure 1.12 montre la vue en coupe d'un transistor CMOS SOI et d'un transistor CMOS bulk. La BOX permet d'isoler la zone active du transistor du substrat. Ainsi, les capacités créées par les jonctions PN avec le substrat ne sont plus directement reliées au transistor, ce qui permet de réduire les capacités parasites. De plus, la technologie SOI permet une meilleure fiabilité, une diminution de la complexité et de la variabilité du processus ainsi qu'une plus faible consommation d'énergie comparée à la technologie CMOS [15].

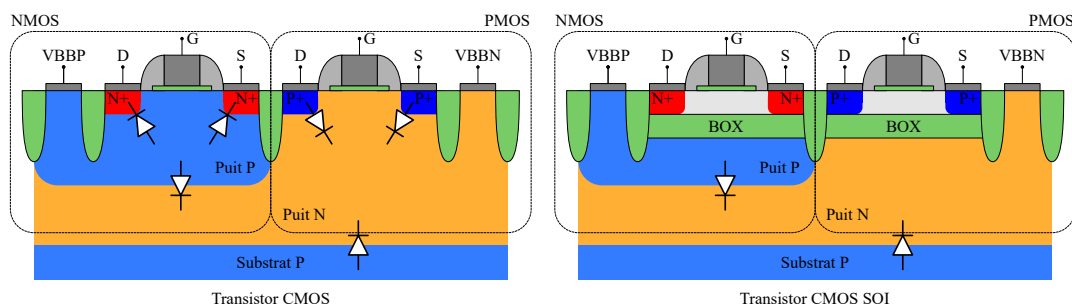


FIGURE 1.12 – Comparaison des transistor CMOS SOI et CMOS bulk

1.2.3 Fiabilité des technologies CMOS

Les technologies CMOS et CMOS SOI évoluent constamment, notamment avec la réduction de la taille minimale de gravure. Ceci permet l'augmentation des performances en fréquence des transistors ainsi qu'une meilleure intégration et une baisse des coûts de production des circuits. Cependant, la miniaturisation des transistors les rend de plus en plus sensibles aux dégradations en raison de la diminution des tensions maximales supportées sur chacune de ses jonctions.

Dans un but d'augmentation de l'intégration, les technologies intégrées ajoutent de plus en plus de niveaux de métaux. La conséquence est une diminution de l'épaisseur des niveaux de métaux, diminuant les densités de courant maximale. La diminution des tensions maximales et des densités de courant réduisent davantage la tenue en puissance des technologies CMOS. Plusieurs mécanismes de dégradation sont donc à prendre en compte lors de la conception de PAs [17].

Claquage de l'oxyde de grille TDDB

La réduction de l'épaisseur de l'oxyde de grille tend à augmenter le champ électrique maximal subi par l'oxyde de grille. La destruction d'un transistor par claquage d'oxyde de grille est une des principales raisons de défaillance. Lorsque soumis à un fort champ électrique, des charges positives (trous) s'accumulent dans l'oxyde de grille. Lorsque la quantité de trous piégés atteint une densité critique, l'oxyde de grille devient conducteur, ce qui mène à la destruction irréversible du transistor. La figure 1.13 illustre le processus de dégradation par claquage de l'oxyde de grille [18]. Pour éviter tout claquage de l'oxyde de grille, il convient de s'assurer que les tensions grille-source V_{gs} et drain-grille V_{dg} respectent les règles de la technologie utilisée.

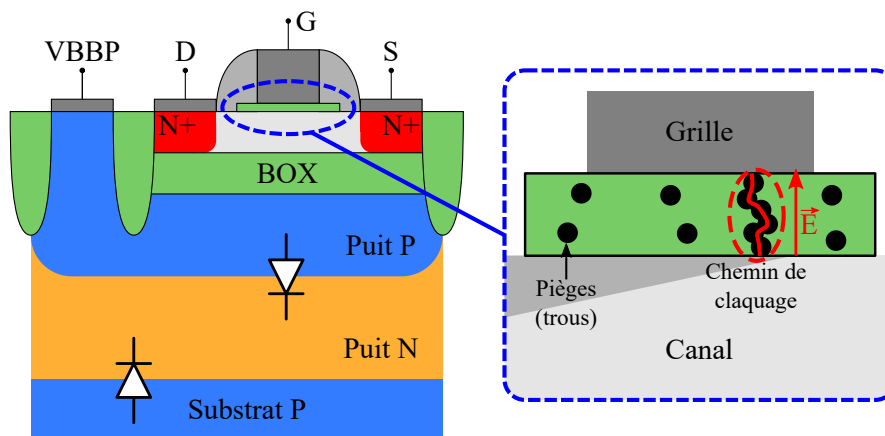


FIGURE 1.13 – Processus de claquage de l'oxyde de grille

Injection de porteurs chauds HCI

L'injection de porteurs chauds intervient lorsque le champ électrique entre le drain et la source d'un transistor est trop intense. Le choc des électrons sur les atomes de silicium les ionisent. Cet effet s'appelle l'ionisation par impact. Les électrons arrachés aux atomes de silicium créent de nouvelles combinaisons électrons-trous. Des charges peuvent aussi être piégées dans l'oxyde de grille et la BOX, impactant la tension de seuil et le courant

de saturation du transistor [19]. La dégradation par HCI est réversible, non pas comme le TDDDB, et n'entraîne pas la destruction immédiate du transistor [20]. La figure 1.14 illustre le processus de dégradation par injection de porteurs chauds. La dégradation par HCI peut être évitée en limitant le courant de drain lorsque la tension drain-source V_{ds} est élevée.

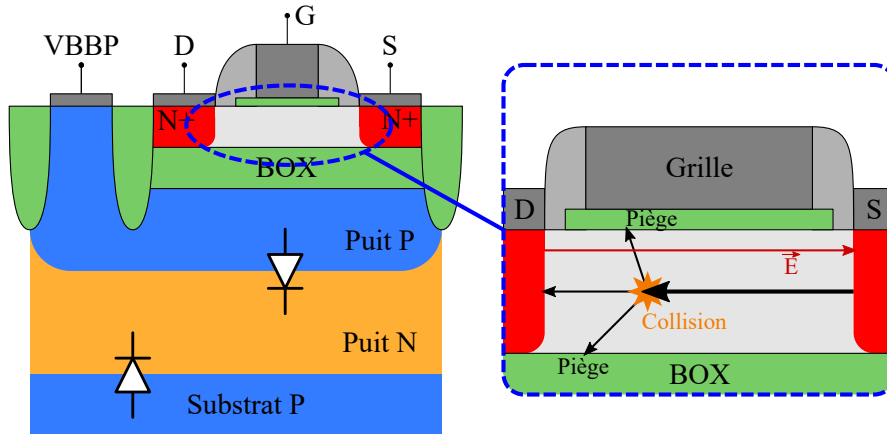


FIGURE 1.14 – Processus d'injection de porteurs chauds

Effet punch-through

L'effet punch-through apparaît lorsqu'une tension drain-source V_{ds} importante est appliquée au transistor. Les zones de déplétion du drain et de la source s'étendent dans le canal entre l'interface de la grille et de la BOX. Lorsque la tension drain-source V_{ds} devient trop importante un courant de drain se crée indépendamment de la polarisation de grille [21], le transistor entre en zone d'avalanche. La figure 1.15 illustre l'effet punch-through. Afin de réduire les risques d'avalanche du transistor, la tension drain-source ne doit pas dépasser la tension maximale indiquée dans le DRM.

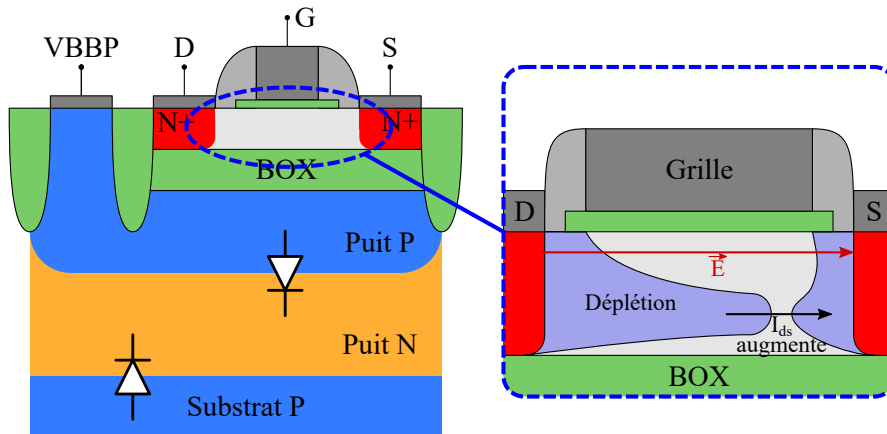


FIGURE 1.15 – Processus de l'effet punch-through

Effet de corps flottants

L'effet de corps flottants (floating body effect) est spécifique à la technologie SOI en raison de l'isolation totale entre le canal et le substrat. Selon l'épaisseur de canal, des charges peuvent s'accumuler dans le canal partiellement déplété du transistor et proviennent principalement de l'ionisation par impact. Ceci a pour conséquence de modifier le potentiel du canal, pouvant augmenter les courants de fuite, causer des effets mémoires sur les paramètres du transistor et augmenter les risques de défaillances prématurées [22]. La figure 1.16 présente l'effet de dégradation par corps flottants. La solution pour supprimer cette dégradation est d'utiliser la technologie FDSOI, le canal étant ultra-fin les charges ne peuvent plus s'y accumuler.

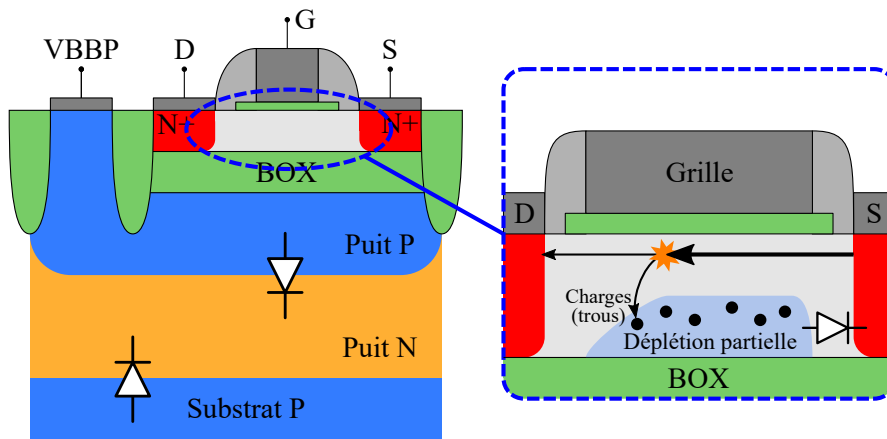


FIGURE 1.16 – Processus de dégradation par effet de corps flottants

Électromigration

L'électromigration est un phénomène de dégradation qui touche à la fois les transistors et le back-end of line (BEOL) des technologies intégrées. Lorsqu'un courant traverse un conducteur, les électrons entrent en collision avec les ions métal. Un transfert d'énergie cinétique a lieu déplaçant graduellement les atomes métal du conducteur. Cet effet est d'autant plus conséquent que le courant est important. Dans le cas le plus critique, les déplacements des atomes de métal peuvent créer des courts-circuits ou circuits-ouverts rendant le circuit intégré inutilisable. La figure 1.17 illustre ce principe. L'électromigration est donc un phénomène important à prendre en compte dans le design d'amplificateurs

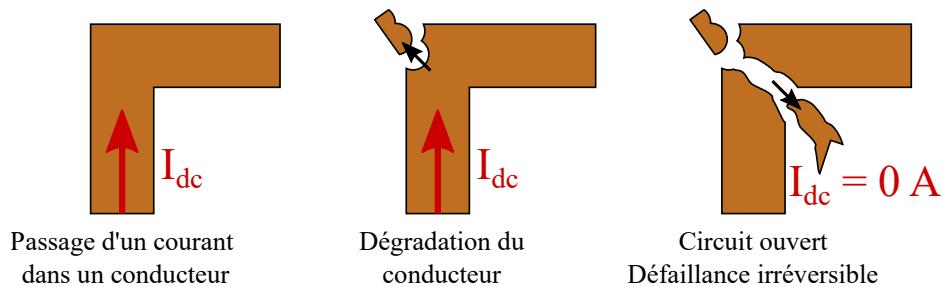


FIGURE 1.17 – Processus d'électromigration lors du passage d'un courant dans un conducteur

de puissance. Ceci passe par le dimensionnement de la largeur des pistes selon le courant traversant les conducteurs.

1.2.4 Comparaison entre PDSOI et FDSOI

Parmi les technologies SOI, il existe la PDSOI pour silicium sur isolant partiellement déplété et la FDSOI pour silicium sur isolant totalement déplété.

TABLE 1.2 – Applications pour les technologies PDSOI et FDSOI

	Applications
PDSOI	Microprocesseurs hautes performances Systèmes embarqués Circuits analogiques et RFs Circuits de gestion d'alimentation
FDSOI	Microprocesseurs hautes performances Électronique faible puissance Circuits ultra-faibles puissances

TABLE 1.3 – Avantages et verrous des technologies PDSOI et FDSOI

	Avantages	Verrous	Nœuds
PDSOI	Exploitation de l'effet corps flottants Prouvé industriellement Fabrication simple Processus maîtrisé	Difficulté de réduction de nœuds technologiques	180nm à 22nm
FDSOI	Fuites et consommation considérablement réduites Faible variation de V_{th} Pas d'effet de corps flottants : plus facile à contrôler	Besoin de nouvelles méthodes de détections de défauts UTBB difficile à fabriquer V_{th} dépendant du métal de grille et du canal	$\leq 22nm$

Les différences dans le procédé de fabrication sont surtout au niveau des transistors. La technologie PDSOI utilise un canal dopé avec une épaisseur de 50nm à 90nm appelé canal SOI épais. De plus, la BOX à une épaisseur de l'ordre de 100nm à 200nm. La technologie FDSOI utilise un canal non-dopé ou très faiblement dopé avec une épaisseur plus faible de 5nm à 20nm. La BOX possède aussi une épaisseur plus faible, de l'ordre de 5nm à 50nm. En FDSOI il est possible de trouver la dénomination UTBB dans le cas d'un canal et d'une BOX ultra-fins.

Les différences de procédés permettent d'adresser des applications très variées selon les avantages et verrous de chaque technologie. Les tableaux 1.2 et 1.3 présentent les applications classiques des deux technologies ainsi que leurs avantages, verrous et nœuds technologiques [23]. Dans le cadre d'une application NB-IoT, chacune des deux technologies présentent des avantages et inconvénients pour la réalisation d'amplificateurs de puissance.

Transistors PDSOI et FDSOI

L'intérêt de chaque technologie est principalement déterminé par la qualité des transistors qu'elle propose. La figure 1.18 montre un transistor NMOS en technologies PDSOI et FDSOI. Les différences majeurs de conception sont les épaisseurs de BOX et de canal.

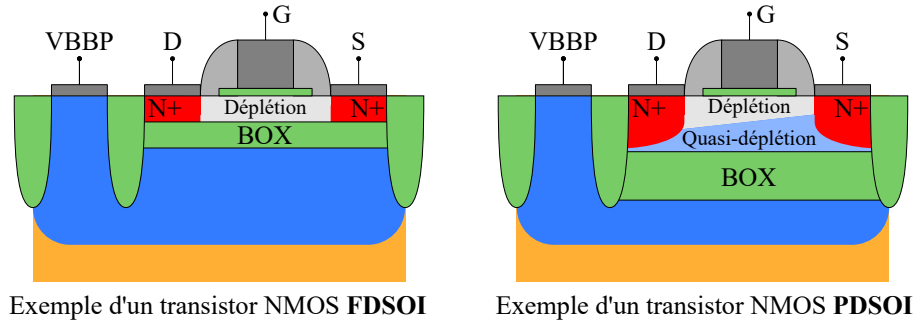


FIGURE 1.18 – Comparaison d'un transistor PDSOI et d'un transistor FDSOI

Ces différences ont un impact non-négligeable sur les performances électriques des transistors. Par construction, un transistor FDSOI a une tension de seuil plus faible qu'un transistor PDSOI à paramètres géométriques similaires en raison de l'épaisseur d'oxyde de grille plus faible. De plus, la technologie FDSOI permet une réduction supplémentaire de la tension de seuil en inversant les puits N et P des transistors CMOS FDSOI. Enfin, un autre avantage des transistors FDSOI est la possibilité de contrôler la tension de seuil par l'intermédiaire de la grille arrière (BB) permis par l'absence de dopage dans le canal [24]. La figure 1.19 montre la différence entre un transistor RVT ayant une tension de seuil normale et un transistor LVT ayant une faible tension de seuil. La polarisation par la grille arrière est aussi possible par les connections VBBP et VBBN. VBBN pouvant varier de 0V à 3V et VBBP de -3V à VBBN¹.

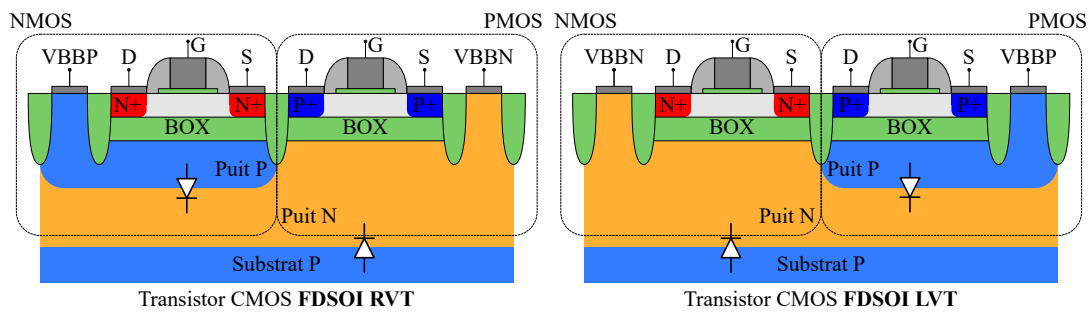


FIGURE 1.19 – Comparaison d'un transistor RVT avec un transistor LVT en technologie FDSOI

1. Ces niveaux de tension sont des limites maximales. Le respect des SOAs peut imposer des plages de tensions de grille arrière plus faibles

1.3 Amplificateur de puissance

L'amplificateur de puissance est le circuit chargé d'amplifier le signal d'entrée à une certaine puissance de sortie définie par le standard NB-IoT avant d'être envoyé à l'antenne. Il est donc soumis à des contraintes de puissance, de linéarité, d'efficacité et de thermique.

1.3.1 Paramètres de dimensionnement

Afin de caractériser un amplificateur de puissance, plusieurs paramètres sont à prendre en compte. La figure 1.20 présente chacun de ces paramètres.

Les paramètres de puissance sont :

- P_{in} : Puissance délivrée par le générateur
- P_{app} : Puissance réellement délivrée à l'entrée du PA
- P_{disp} : Puissance disponible en sortie du PA
- P_{out} : Puissance réellement délivrée à la charge
- P_{dc} : Puissance consommée par le PA
- P_{diss} : Puissance dissipée par le PA

Les paramètres d'impédance sont :

- Z_G : Impédance du générateur
- Γ_G : Coefficient de réflexion côté générateur
- Z_{in} : Impédance d'entrée du PA
- Γ_{in} : Coefficient de réflexion en entrée du PA
- Z_{out} : Impédance de sortie du PA
- Γ_{out} : Coefficient de réflexion en sortie du PA
- Z_L : Impédance de la charge
- Γ_L : Coefficient de réflexion côté charge

Chacun des paramètres précédents sont complexes car ils transportent à la fois une information en phase et en amplitude.

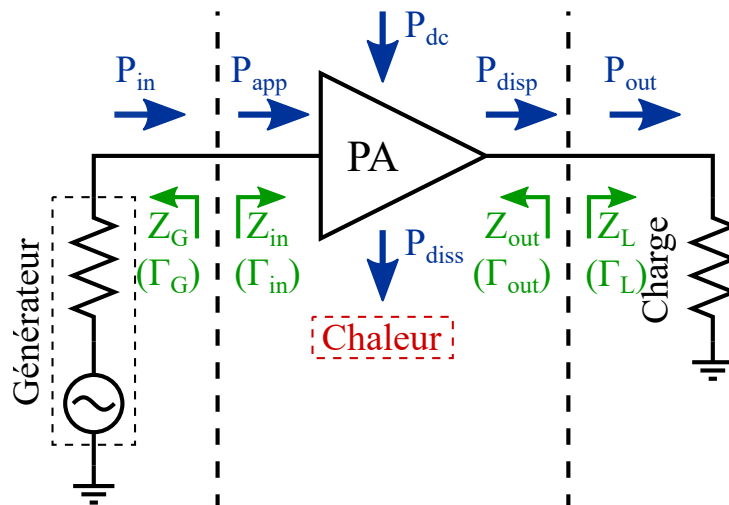


FIGURE 1.20 – Paramètres électriques d'un bloc amplificateur de puissance

Une puissance $P(t)$ s'exprime en fonction d'un courant $i(t)$ et d'une tension $v(t)$ de la façon suivante :

$$P(t)_{(W)} = \frac{1}{2} \cdot \text{Re}(v(t) \times i^*(t)) \quad (1.1)$$

Dans le domaine de la RF la puissance s'exprime de manière générale en dBm en raison des importantes plages de puissance pouvant être manipulées (de quelques pW à quelques W). La relation de passage est exprimée par l'équation (1.2).

$$P_{(dBm)} = 10 \cdot \log_{10}(1000 \cdot P_{(W)}) \quad (1.2)$$

Gains en puissance d'un PA

Le gain en puissance est une grandeur permettant de quantifier l'amplification réalisée par un PA. Plusieurs gains traduisent le fonctionnement d'un PA selon différents critères comme la stabilité ou encore l'adaptation. Les équations (1.3) à (1.5) présentent les différents gains existant pour le dimensionnement d'un PA.

— Le gain en puissance G_P est le gain réalisé par l'amplificateur sans prendre en compte l'adaptation d'entrée. Il est défini par l'équation (1.3) :

$$G_P = \frac{P_{out}}{P_{app}} = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{(1 - |\Gamma_{in}|^2) |1 - S_{22}\Gamma_L|^2} \quad (1.3)$$

— Le gain disponible G_A est le gain réalisé par l'amplificateur sans prendre en compte l'adaptation de sortie. Il est défini par l'équation (1.4) :

$$G_A = \frac{P_{disp}}{P_{in}} = \frac{|S_{21}|^2 (1 - |\Gamma_G|^2)}{|1 - S_{11}\Gamma_G|^2 (1 - |\Gamma_{out}|^2)} \quad (1.4)$$

— Le gain transducteur G_T est le gain réalisé par l'amplificateur en prenant en compte l'adaptation d'entrée et de sortie. Il est défini par l'équation (1.5) :

$$G_T = \frac{P_{out}}{P_{in}} = \frac{|S_{21}|^2 (1 - |\Gamma_G|^2)(1 - |\Gamma_L|^2)}{|1 - \Gamma_G\Gamma_{in}|^2 |1 - S_{22}\Gamma_L|^2} \quad (1.5)$$

Lorsque les adaptations d'entrée et de sortie sont parfaites, les gains sont égaux $G_P = G_A = G_T = |S_{21}|^2$.

Rendement

Le rendement est exprimé de deux façons différentes pour un PA. La première méthode consiste à ne regarder que la puissance de sortie par rapport à la puissance DC consommée. Cette grandeur est appelée rendement de drain η_d ou DE. Elle s'exprime donc sous la forme :

$$\eta_d = DE = \frac{P_{out}}{P_{dc}} \quad (1.6)$$

L'efficacité de drain ne tient pas compte du gain en puissance de l'amplificateur. Une quantité nommée PAE est alors définie prenant en compte la puissance d'entrée. Ceci permet de mieux exprimer la capacité d'un PA à apporter du gain au signal d'entrée tout en limitant la consommation de puissance DC. Son expression est donnée par :

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \quad (1.7)$$

Le rendement est une grandeur critique dans la conception d'amplificateurs de puissance pour des applications de massive IoT en raison des contraintes de consommation très strictes.

Linéarité

La linéarité traduit la capacité d'un PA à amplifier le signal d'entrée le plus fidèlement possible. Tout type de distorsions se retrouvant en sortie de l'amplificateur fait baisser la linéarité de ce dernier.

OCP1 : La première étude de linéarité d'un PA est réalisée lors des simulations Harmonic Balance (HB) de l'amplificateur en utilisant un signal mono-fréquence (CW). Le phénomène de non-linéarité est mis en évidence sur la figure 1.21. La figure 1.21(a) est appelée conversion Amplitude-Amplitude (AM-AM) et la figure 1.21(b) conversion Amplitude-Phase (AM-PM).

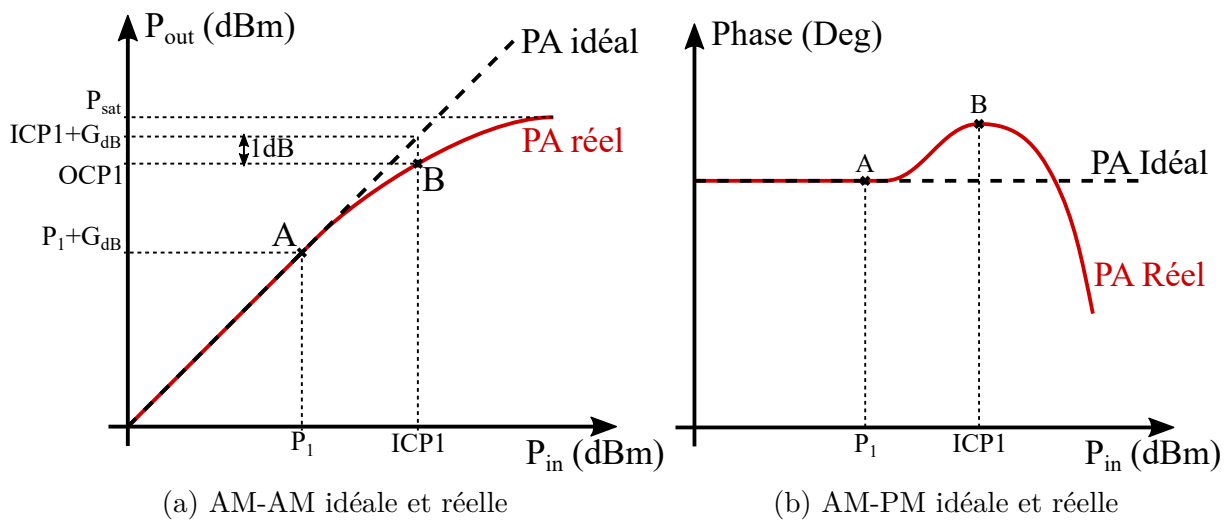


FIGURE 1.21 – Étude de linéarité avec le tracé de l'AM-AM et AM-PM

Au point A, le PA amplifie le signal de manière linéaire, la courbe de gain de l'amplificateur est confondue avec la droite idéale. Lorsque la puissance d'entrée augmente, le signal de sortie entre en compression (point B). Dans la zone de compression, le PA n'est plus linéaire et distord le signal à la fois en phase et en amplitude. Pour imposer une limite de non-linéarité, le point de compression à 1dB (OCP1) est défini. Il s'agit de la puissance de sortie pour laquelle le gain en puissance chute de 1dB par rapport au gain linéaire.

OIP3 : La seconde étude de linéarité d'un PA est réalisée en injectant deux porteuses à des fréquences proches (f_1 et $f_2 = f_1 + \Delta f$). L'objectif est de quantifier l'amplitude des combinaisons aux fréquences $2f_2 - f_1$ et $2f_1 - f_2$ correspondant aux produits d'intermodulation d'ordre trois (IMD3). La figure 1.22 représente le spectre des combinaisons d'ordre deux et trois. Avec les notations de la figure 1.22, l'OIP3 est défini tel que :

$$OIP3 = P_{out} + \frac{\Delta P}{2} = \frac{3P_{out}}{2} - \frac{IMD3}{2} \tag{1.8}$$

Cette étude de linéarité est plus complexe, mais permet d'observer plus de phénomènes non-linéaires qu'avec un signal CW. De plus, elle met en évidence l'effet mémoire d'un PA, caractérisé par des raies d'IMD3 haute ($2f_2 - f_1$) et basse ($2f_1 - f_2$) d'amplitudes différentes.

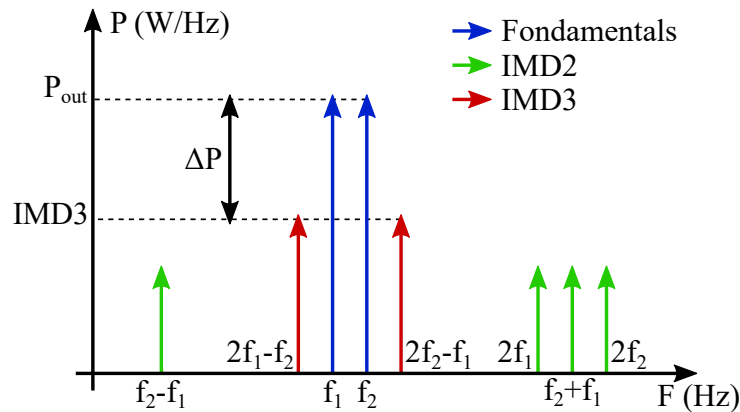


FIGURE 1.22 – Spectre de la sortie d'un PA sans effet mémoire soumis à un signal deux tons

1.3.2 Classes de fonctionnement

Les amplificateurs de puissance sont caractérisés par leur classe de fonctionnement. Il existe deux grande famille de classes de fonctionnement :

- Les classes dites linéaires ou sinusoïdales : Dans ce mode de fonctionnement la classe du PA est déterminée par le temps de conduction du transistor réalisant l'amplification, lui-même fixé par la polarisation. Le transistor agit comme une source de courant commandée. La relation entre la puissance de sortie et la puissance d'entrée est alors linéaire.
- Les classes dites commutées : Dans ce mode de fonctionnement la classe du PA est déterminée par le traitement des harmoniques du réseau de sortie (ex. Classe E, F et G) ou par le traitement du signal appliqué en entrée (ex. Classe D). Le transistor étant utilisé en interrupteur, la majorité des classes commutées ne peuvent être utilisées qu'avec des signaux modulés à enveloppe constante.

Dans le cas du NB-IoT, la modulation SC-FDMA n'est pas à enveloppe constante. Pour cette raison, seules les classes de fonctionnement linéaires (Classe A, AB, B et C) sont étudiées dans ce paragraphe.

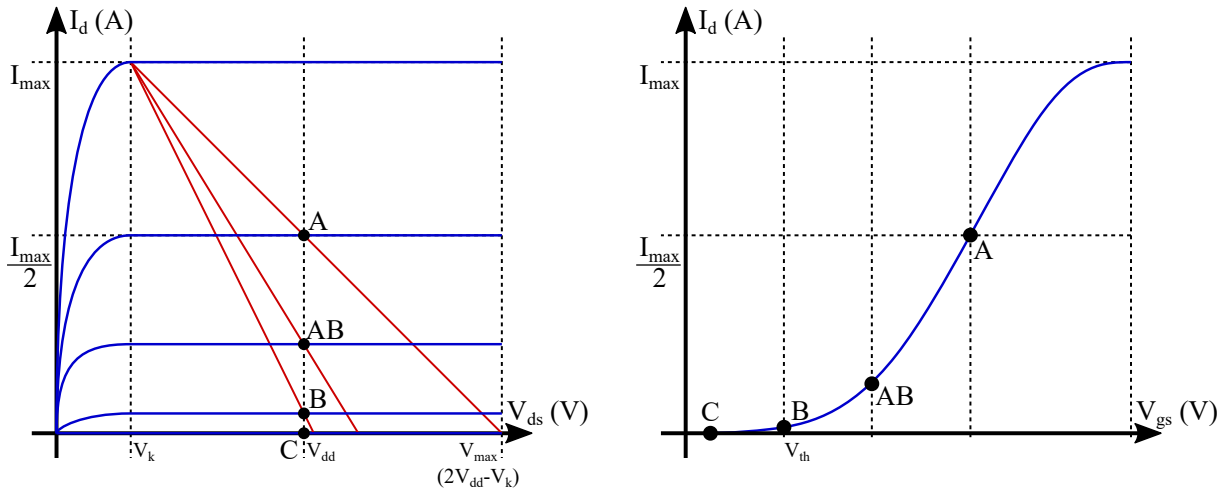
Pour la suite, les grandeurs constantes ci-dessous sont utilisées afin de définir certains paramètres caractéristiques :

- V_k : Tension de coude
- I_{max} : Courant de drain crête maximal
- V_{max} : Tension drain source crête maximale
- V_{dd} : Tension d'alimentation du transistor
- V_{th} : Tension de seuil du transistor

L'étude des paramètres caractéristiques des classes de fonctionnement présentée dans la suite est détaillée dans [25]. Les notations employées dans les équations suivantes utilisent les valeurs RMS des grandeurs temporelles.

Classe A

La classe A est définie par un angle de conduction de 360° , dans cette configuration, le transistor d'amplification conduit de manière ininterrompue. D'après la figure 1.23, l'excursion en tension du signal de sortie est symétrique et d'amplitude $V_{dd} - V_k$. De plus, le



(a) Courbe du courant de drain en fonction de la tension drain-source (b) Courbe du courant de drain en fonction de la tension grille-source

FIGURE 1.23 – Points de polarisation des classes linéaires d'amplification

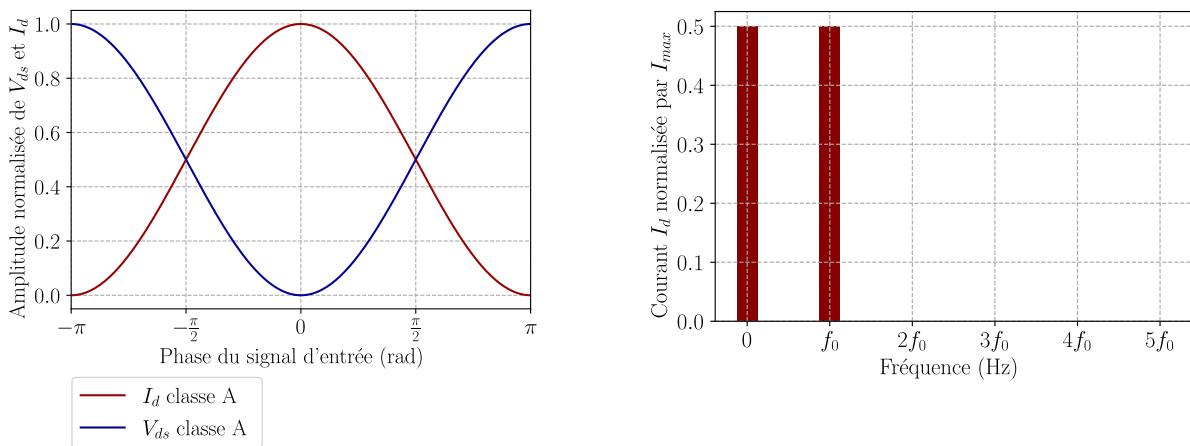
Le courant de polarisation est placé à $\frac{I_{max}}{2}$ afin d'avoir une excursion maximale d'amplitude $\frac{I_{max}}{2}$.

La figure 1.24 représente les formes d'ondes de courant et de tension permettant de déterminer les paramètres idéaux d'un amplificateur classe A. La puissance de sortie maximale P_{out} est déterminée par l'équation (1.9).

$$P_{out}^A = V_{ds} \cdot I_d = \frac{V_{dd} - V_k}{\sqrt{2}} \cdot \frac{I_{max}}{2\sqrt{2}} = \frac{1}{4} (V_{dd} - V_k) \cdot I_{max} \quad (1.9)$$

La charge optimale est alors définie comme la charge permettant de maximiser la puissance de sortie. D'après la courbe de la figure 1.23, la charge optimale est donc donnée par l'équation (1.10).

$$R_{opt}^A = \frac{V_{ds}}{I_d} = 2 \frac{V_{dd} - V_k}{I_{max}} \quad (1.10)$$



(a) Formes d'ondes de courant et de tension en classe A (b) Composition harmonique du signal de sortie en classe A

FIGURE 1.24 – Caractéristiques d'un amplificateur classe A idéal

Enfin, le rendement de drain (DE) peut-être déterminé par l'équation (1.11) :

$$DE^A = \frac{P_{out}^A}{P_{DC}^A} = \frac{\frac{1}{4}(V_{dd} - V_k) \cdot I_{max}}{\frac{1}{2}V_{dd} \cdot I_{max}} = \frac{1}{2} \frac{V_{dd} - V_k}{V_{dd}} < 50\% \quad (1.11)$$

Le rendement de drain d'un PA classe A est donc de 50% maximum dans le cas d'une tension de coude nulle. Cette classe d'amplificateur est donc très avantageuse pour sa linéarité mais au prix d'un rendement très faible.

Classe B

La classe B est définie par un angle de conduction de 180°. Le transistor d'amplification conduit uniquement pendant la moitié de la période du signal d'entrée. La figure 1.25 représente les formes d'ondes de courant et de tension, ainsi que le spectre idéal associé.

Le courant de sortie à la fondamentale est déterminé par l'équation (1.12) :

$$I_{f0} = \frac{1}{\pi} \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} I_{max} \cos(\theta)^2 d\theta = \frac{I_{max}}{2} \quad (1.12)$$

L'excursion en tension et en courant sont les mêmes que l'amplificateur classe A. Les équations (1.13) et (1.14) montrent que la puissance de sortie et la charge optimale sont donc identiques à la classe A.

$$P_{out}^B = \frac{1}{2}(V_{dd} - V_k) \cdot \frac{I_{max}}{2} \quad (1.13)$$

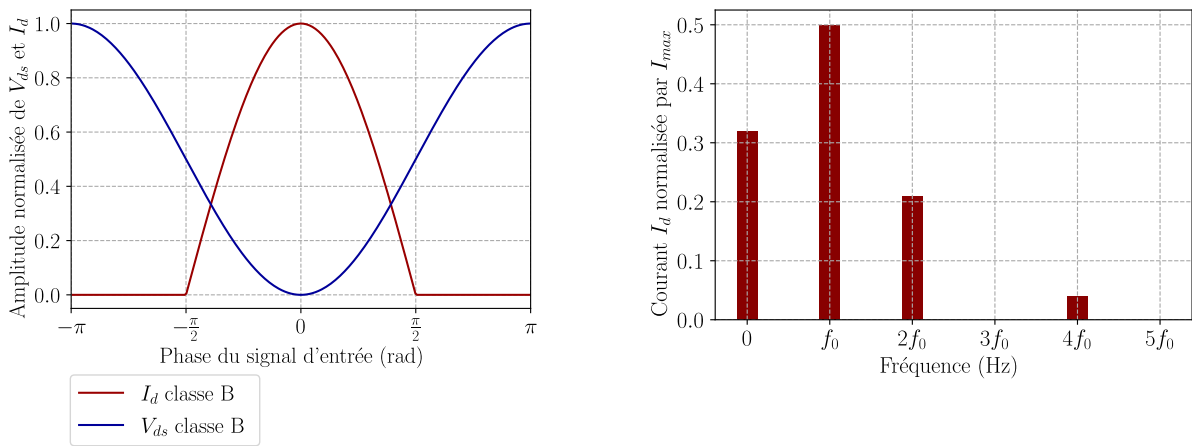
$$R_{opt}^B = \frac{V_{ds}}{I_d} = 2 \frac{V_{dd} - V_k}{I_{max}} \quad (1.14)$$

La différence majeure entre la classe A et la classe B se situe sur le point de polarisation de l'amplificateur. La classe B est polarisée sur la tension de seuil V_{th} du transistor d'amplification, résultant en un courant de polarisation idéalement nul. Le rendement de drain d'un amplificateur classe B est donc déterminé par l'équation (1.16), le courant DC est donné par l'équation (1.15).

$$I_{DC} = \frac{1}{2\pi} \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} I_d d\theta = \frac{I_{max}}{2\pi} \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} \cos(\theta) d\theta = \frac{I_{max}}{\pi} \quad (1.15)$$

$$DE^B = \frac{P_{out}^B}{P_{DC}^B} = \frac{\frac{1}{4}(V_{dd} - V_k) \cdot I_{max}}{V_{dd} \cdot \frac{I_{max}}{\pi}} = \frac{\pi}{4} \frac{V_{dd} - V_k}{V_{dd}} < 78.5\% \quad (1.16)$$

Le rendement d'un amplificateur classe B est bien supérieur à celui de la classe A. Cependant, la linéarité de la classe B est dégradée en raison de la génération d'harmoniques pairs comme le montre la figure 1.25(b).

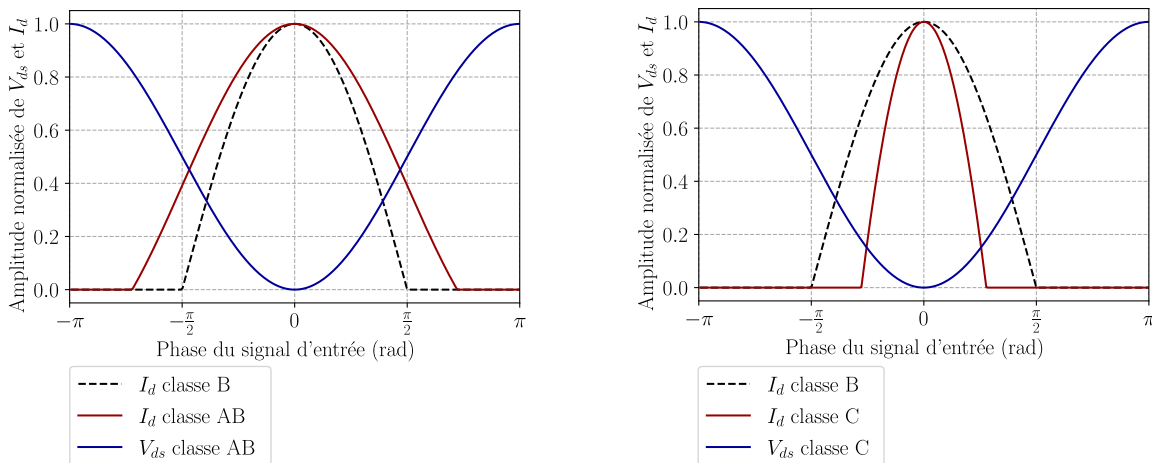


(a) Formes d’ondes de courant et de tension en classe B (b) Composition harmonique du signal de sortie en classe B

FIGURE 1.25 – Caractéristiques d’un amplificateur classe B idéal

Classe AB et classe C

Dans cette partie, la classe AB et la classe C sont présentées simultanément. En effet, ces deux classes de fonctionnement ne correspondant pas à un angle de conduction spécifique, l’étude sera faite pour un angle de conduction quelconque. Un amplificateur est considéré de classe AB lorsque l’angle de conduction est compris entre $]\pi; 2\pi[$. La figure 1.26(a) illustre les formes d’ondes de tension et de courant pour un angle de conduction arbitraire de 260° . Un amplificateur est considéré de classe C lorsque l’angle de conduction est compris entre $[0; \pi[$, ce cas correspond à une tension de polarisation inférieure à V_{th} . La figure 1.26(b) présente les formes d’ondes de tension et de courant pour un angle de conduction arbitraire de 100° .



(a) Formes d’ondes de courant et de tension en classe AB (b) Formes d’ondes de courant et de tension en classe C

FIGURE 1.26 – Comparaison des formes d’ondes en classe AB et classe C

Dans le cas d’un angle de conduction α quelconque, le courant de drain du transistor est donné par la formule (1.17).

$$I_d^\alpha = \begin{cases} \frac{I_{max}(\cos(\theta) - \cos(\frac{\alpha}{2}))}{1 - \cos(\frac{\alpha}{2})} & \text{si : } -\frac{\alpha}{2} < \theta < \frac{\alpha}{2} \\ 0 & \text{sinon} \end{cases} \quad (1.17)$$

Ainsi, le courant DC est défini par l'équation (1.18) :

$$I_{DC}^\alpha = \frac{1}{2\pi} \int_{-\frac{\alpha}{2}}^{\frac{\alpha}{2}} \frac{I_{max}(\cos(\theta) - \cos(\frac{\alpha}{2}))}{1 - \cos(\frac{\alpha}{2})} d\theta = \frac{I_{max}}{2\pi} \left(\frac{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})}{1 - \cos(\frac{\alpha}{2})} \right) \quad (1.18)$$

Le courant à la fondamentale est défini par l'équation (1.19) :

$$I_{f0}^\alpha = \frac{1}{\pi} \int_{-\frac{\alpha}{2}}^{\frac{\alpha}{2}} \frac{I_{max}(\cos(\theta) - \cos(\frac{\alpha}{2}))}{1 - \cos(\frac{\alpha}{2})} \cos(\theta) d\theta = \frac{I_{max}}{2\pi} \left(\frac{\alpha - \sin(\alpha)}{1 - \cos(\frac{\alpha}{2})} \right) \quad (1.19)$$

Avec la détermination de ces courants selon l'angle de conduction, il est alors possible de remonter aux puissances P_{DC}^α et P_{out}^α telles que décrit dans les équations (1.20) et (1.21).

$$P_{DC}^\alpha = V_{dd} \cdot I_{DC}^\alpha = V_{dd} \cdot \frac{I_{max}}{2\pi} \left(\frac{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})}{1 - \cos(\frac{\alpha}{2})} \right) \quad (1.20)$$

$$P_{out}^\alpha = \frac{(V_{dd} - V_k)}{\sqrt{2}} \cdot \frac{I_{f0}^\alpha}{\sqrt{2}} = \frac{(V_{dd} - V_k)}{2} \cdot \frac{I_{max}}{2\pi} \left(\frac{\alpha - \sin(\alpha)}{1 - \cos(\frac{\alpha}{2})} \right) \quad (1.21)$$

Le rendement s'exprime donc d'après l'équation (1.22) comme le rapport entre P_{out}^α et P_{DC}^α .

$$DE^\alpha = \frac{P_{out}^\alpha}{P_{DC}^\alpha} = \frac{1}{2} \frac{(V_{dd} - V_k)}{V_{dd}} \left(\frac{\alpha - \sin(\alpha)}{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})} \right) \quad (1.22)$$

A l'aide des équations, il est possible de tracer la figure 1.27 représentant l'évolution du rendement et du courant de drain pour plusieurs harmoniques en fonction de l'angle de conduction α .

La classe AB correspond à un angle de conduction entre $180^\circ(\pi)$ et $360^\circ(2\pi)$. Dans cet intervalle la puissance de sortie — image du courant I_d — à la fondamentale est globalement constante et l'efficacité de drain peut prendre toutes les valeurs entre 50% dans le cas $\alpha = 2\pi$ et 78.5% dans le cas $\alpha = \pi$ au prix d'une linéarité dégradée majoritairement par l'harmonique 2, comme le montre la figure 1.27.

La classe C quant à elle correspond à un angle de conduction entre 0° et 180° . Dans cet intervalle la puissance est décroissante et la linéarité est fortement dégradée par la remontée de toutes les harmoniques. Cette classe de fonctionnement présente cependant une très bonne efficacité théorique entre 78.5% et 100%. Le cas d'un rendement de 100% n'est pas concevable, car dans cette configuration le transistor ne conduit jamais, il n'y a donc pas de puissance en sortie.

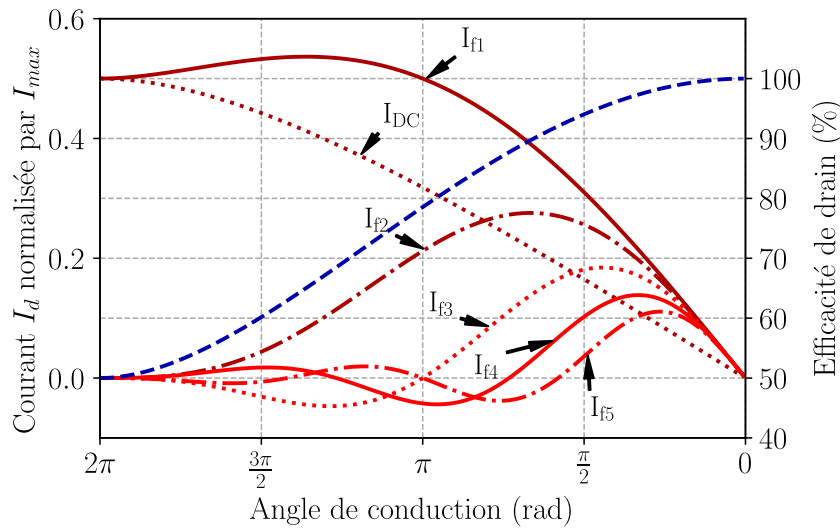


FIGURE 1.27 – Rendement et courant de drain en fonction de l'angle de conduction

Conclusion

Le choix d'une classe de fonctionnement pour un PA est dépendant des contraintes en rendement, puissance de sortie, gain et linéarité. En effet, à mesure que l'angle de conduction diminue, le gain en puissance décroît. Ceci s'explique par l'augmentation de l'excursion du signal d'entrée pour atteindre le courant I_{max} . Le choix des classes de fonctionnement A, AB et B présentent un compromis entre rendement, gain et linéarité.

Ainsi, à mesure que les modulations se complexifient et/ou que la fréquence de fonctionnement augmente, l'amplificateur devra être de plus en plus linéaire et posséder le maximum de gain, orientant le choix vers la classe A. Dans le cas du NB-IoT, la fréquence est inférieure à 6GHz, mais le gain et la linéarité doivent être optimisés. Ces contraintes orientent vers le choix d'une classe AB profonde — proche d'une classe B —.

La classe C possède un compromis supplémentaire en puissance de sortie. Cette classe de fonctionnement est donc souvent réservée pour des architectures plus complexes — ex. amplificateur Doherty — en raison d'une dégradation trop importante du gain, de la linéarité et de la puissance de sortie pour être utilisée seule.

1.3.3 Impact de la modulation

Dans cette section, l'impact de la modulation sur les performances d'un PA est étudié. De plus, les métriques de base utilisés pour caractériser les performances d'un PA sous signaux modulés sont introduits.

Les grandeurs utilisées pour caractériser des signaux modulés sont :

- L'erreur vectoriel en phase et amplitude (EVM)
- Le recul en puissance (PAPR/PBO)
- La réjection des canaux adjacents (ACLR)

EVM

L'EVM traduit les distorsions du signal de sortie par rapport au signal d'entrée sous forme vectorielle. La figure 1.28 illustre un exemple d'EVM sur une constellation I/Q d'une modulation QPSK.

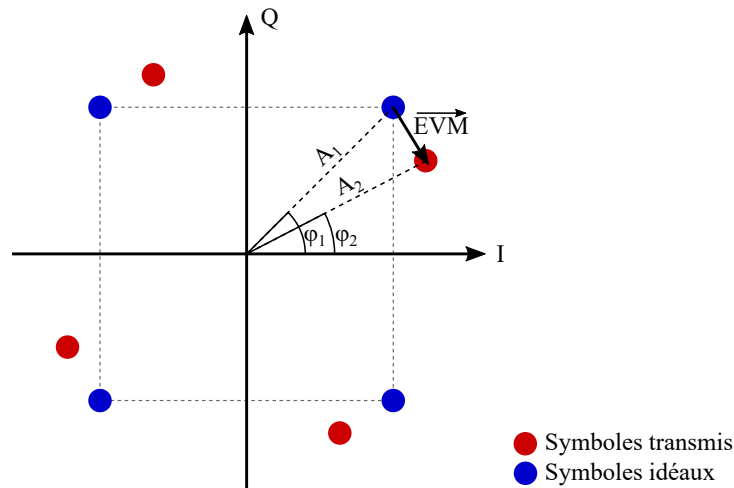


FIGURE 1.28 – Illustration du principe d'EVM

Les distorsions de phase et d'amplitude résultent en un décalage des symboles réellement transmis S_k par rapport aux symboles idéaux $S_{k_{ideal}}$ de la constellation. Ce décalage est alors quantifié en utilisant l'EVM. Son expression est donnée par l'équation (1.23) :

$$EVM_{RMS} = \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N |S_{k_{ideal}} - S_k|^2}{\frac{1}{N} \sum_{k=1}^N |S_{k_{ideal}}|^2}} \quad (1.23)$$

L'EVM mesure donc l'écart relatif entre les symboles transmis et les symboles idéaux à transmettre. Chaque modulation possède une valeur d'EVM maximale au dessus de laquelle la démodulation n'est plus possible. Les symboles de la modulation NB-IoT sont des symboles QPSK, l'EVM maximale est de 17.5%. Le tableau 1.4 ci-dessous donne quelques exemples d'EVM pour différentes constellations :

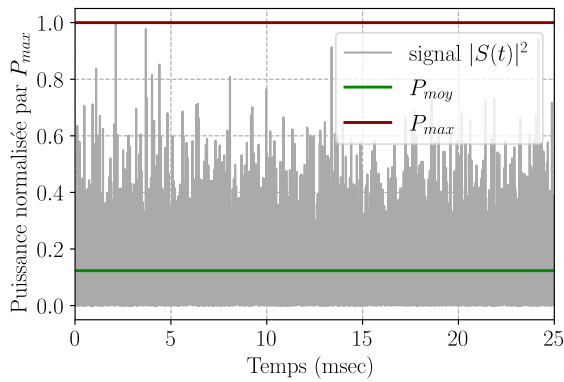
TABLE 1.4 – Exemple d'EVM limite pour trois types de constellations [1]

Constellation	EVM limite (%)
QPSK/BPSK	17.5
16-QAM	12.5
64-QAM	8

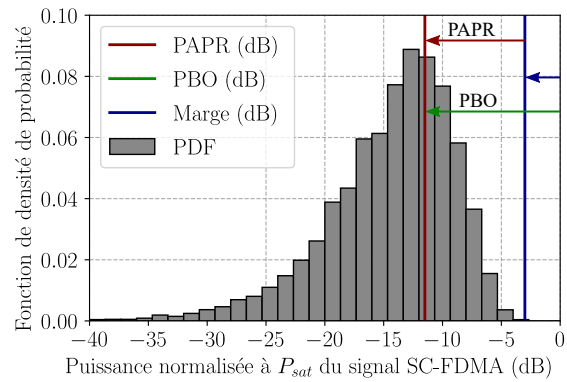
PAPR/PBO

Le PAPR traduit la variation d'amplitude de l'enveloppe du signal modulé $S(t)$. La figure 1.29 représente le PAPR sous forme temporelle (fig.1.29(a)) et sous forme de fonction de densité de probabilité (fig.1.29(b)). Le PAPR s'exprime comme le ratio entre la puissance maximale P_{max} et la puissance moyenne P_{moy} sur une trame temporelle T donnée. L'expression est donnée par (1.24).

$$PAPR = \frac{P_{max}}{P_{moy}} = \frac{\max_0^T |S(t)|^2}{\frac{1}{T} \int_0^T |S(t)|^2 dt} \quad (1.24)$$



(a) Observation du PAPR sur un signal temporel



(b) Visualisation du PAPR et du PBO sur la PDF du signal temporel

FIGURE 1.29 – Définition du PAPR et du PBO

Le PAPR est un métrique uniquement dépendant du type de modulation utilisé, le tableau 1.5 donne les PAPR des modulations les plus courantes pour une application IoT. Le PBO est une grandeur définie par le concepteur de l’amplificateur de puissance. Il s’agit du recul total en puissance entre la puissance de saturation de l’amplificateur et la puissance moyenne du signal modulé. La figure 1.29(b) montre la différence entre le PAPR et le PBO. En effet, dans le cas de fortes contraintes en linéarité, il peut être nécessaire d’utiliser l’amplificateur davantage en zone linéaire en prenant une marge entre la puissance maximale du signal de sortie et la puissance de saturation du PA en plus du PAPR de la modulation.

TABLE 1.5 – Exemples de PAPR pour trois types de modulation [26]

Modulation	PAPR (dB)
QPSK	7.5
SC-FDMA QPSK	7.8
SC-FDMA 16-QAM	8.8
OFDMA	10.4

Le PAPR est de manière générale plus important à mesure que les modulations se complexifient (e.g. 16-QAM, 64-QAM). La principale performance affectée par le PAPR est la PAE. Le PA devant être dimensionné pour une puissance P_{max} , c’est à cette puissance qu’il possède les performances optimales. Cependant, avec le recul en puissance, le PA travaille en moyenne à P_{moy} , dégradant ainsi la PAE moyenne de l’amplificateur. Des topologies d’amplificateurs de puissance seront présentées dans la suite, permettant d’améliorer le rendement au PBO.

ACLR

Les ACLR sont un métrique permettant de quantifier la linéarité d’un PA en utilisant le spectre fréquentiel du signal de sortie de l’amplificateur. Les non-linéarités du PA entraînent des remontées de puissance aux harmoniques de la fréquence de travail ainsi qu’aux fréquences d’intermodulation (IMD). Comme observé dans la partie 1.3.1 sur la

linéarité, le phénomène d'ACLR est un phénomène analogue aux OIP3 appliqués aux signaux modulés. La figure 1.30 illustre le phénomène d'ACLR.

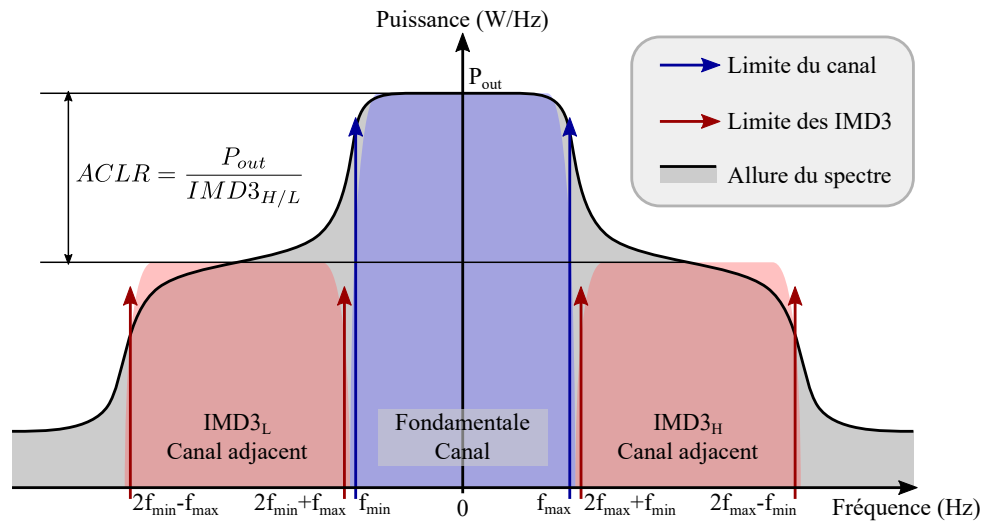


FIGURE 1.30 – Illustration du principe d'ACLR

Les ACLR sont source d'interférences entre plusieurs émetteurs/récepteurs. Dans le cas où un second récepteur utilise un canal adjacent, l'émission dans les canaux adjacents générée par le premier émetteur réduit la sensibilité du second récepteur. Ainsi, les ACLR sont soumis à une limite maximale selon les modulations utilisées. Dans le cas du standard LTE, plusieurs niveaux d'ACLR sont définis selon l'éloignement des canaux adjacents à la fondamentale. Le tableau 1.6 donne les différents niveaux d'ACLR des standards LTE, dans le cas du NB-IoT, les ACLR limites sont de 33dBc.

TABLE 1.6 – ACLR pour les standards LTE [1]

Type	ACLR limite (dBc)
$E-UTRA_{ACLR1}$	30
$UTRA_{ACLR1/2}$	33

Conclusion

Les signaux modulés sont caractérisés par divers métriques permettant de quantifier les performances d'un PA. Les EVM et les ACLR sont deux métriques caractérisant la linéarité des PAs. Ces métriques donnent une information sur la linéarité nécessaire pour démoduler le signal en réception. Ainsi, selon les types de modulation, les contraintes peuvent être fortes et imposer une classe de fonctionnement très linéaire (cf. Classe A), augmentant au passage la consommation et réduisant ainsi la PAE. Le PAPR est une contrainte liée aux types de modulation impactant directement le PA, réduisant le rendement moyen de l'amplificateur. Enfin, le PBO est une grandeur arbitraire complémentaire du PAPR permettant d'augmenter la linéarité, mais réduisant davantage l'efficacité moyenne du PA. Pour des applications NB-IoT, il est donc important de faire un choix permettant une PAE optimale tout en tenant les contraintes en linéarité de la modulation.

1.3.4 Montages amplificateurs de base

Dans cette section, les architectures amplificatrices de base les plus utilisées sont présentées. Celles-ci permettent — en complément des classes de fonctionnement — de déterminer les caractéristiques d'impédances d'entrée et de sortie, d'excursion en tension maximale et d'excursion en courant maximale d'un PA.

Parmi les trois montages classiques de transistors — source commune, grille commune et drain commun — seuls les deux premiers montages permettent un gain en tension. Le montage drain commun est aussi appelé suiveur de tension ou buffer en raison d'un gain en tension unitaire. Dans la suite, seuls les montages source commune et grille commune sont présentés ainsi qu'une combinaison parallèle et série de ces montages.

Transistor grille commune

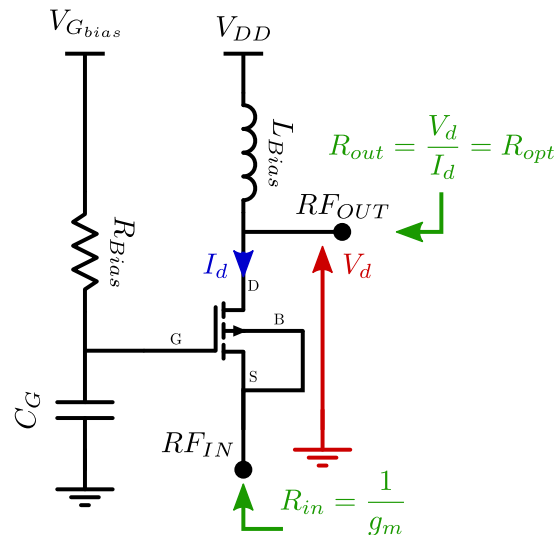


FIGURE 1.31 – Schéma électrique d'un amplificateur grille commune

Le montage grille commune est le montage le plus simple pour la réalisation d'une amplification sans inversion de la phase du signal. Le signal entre sur la source du transistor sur une impédance $Z_{in} = \frac{1}{g_m}$ et sort sur le drain du transistor. L'impédance optimale d'un tel montage est $R_{opt} = \frac{V_d}{I_d}$. De plus, le gain en petits signaux est $G_{CG} = g_m \cdot R_{Load}$.

Transistor source commune

Le montage source commune est le montage le plus simple et le plus utilisé pour la réalisation d'amplificateurs de puissance. Le signal entre sur la grille du transistor d'impédance idéale infinie. Dans le cas d'un transistor réel, les capacités de jonction tendent à faire diminuer cette impédance à mesure que la fréquence augmente, l'impédance d'entrée vaut donc Z_{C_g} avec C_g la capacité équivalente de grille. Cette dégradation impacte aussi l'isolation entrée/sortie et la stabilité de l'amplificateur. L'impédance de sortie optimale est $R_{opt} = \frac{V_d s}{I_d}$, sa valeur est généralement faible, de l'ordre de quelques Ohms.

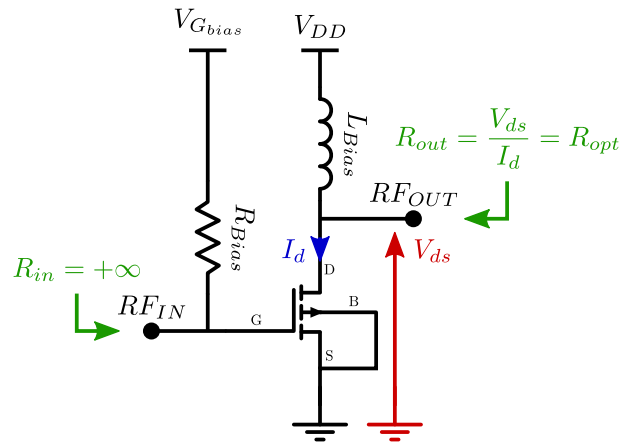


FIGURE 1.32 – Schéma électrique d'un amplificateur source commune

Transistors sources communes parallèles

Le montage de transistors en parallèle, comme le montre la figure 1.33, permet de répartir la contribution du courant de sortie entre plusieurs transistors sans modifier la tension d'alimentation. Ceci peut être utile dans le cas où un seul transistor ne suffit pas pour atteindre la puissance de sortie désirée. Dans l'exemple de la figure 1.33, le courant $I_d = I_{d1} + I_{d2}$, l'impédance de sortie optimale est donc $R_{opt} = \frac{V_{ds}}{I_{d1} + I_{d2}}$. L'impédance d'entrée est aussi impactée par la contribution des capacités parasites de chaque transistor ajouté en parallèle.

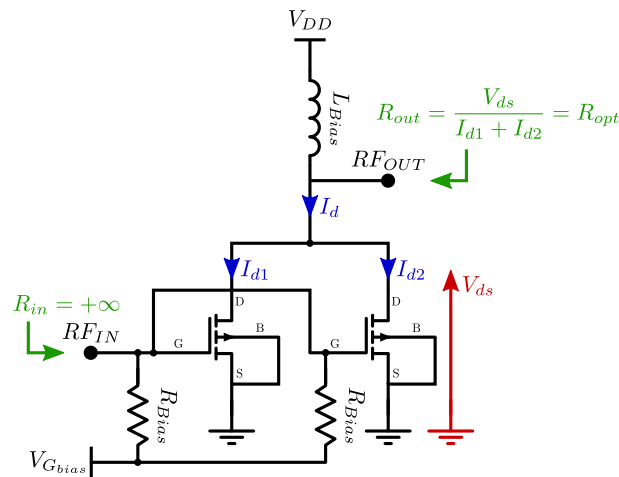


FIGURE 1.33 – Schéma électrique d'un amplificateur CS parallèle

Transistors séries

La mise en série de transistors consiste à combiner un étage source commune avec un ou plusieurs étages à grille commune. La figure 1.34 donne un exemple d'amplificateur à deux étages, aussi appelé cascode. De manière analogue aux transistors en parallèle, ce montage permet d'augmenter la tension d'alimentation en répartissant les tensions V_{ds} sans modifier le courant de drain. Ce montage a plusieurs avantages. A gain constant, il permet de réduire l'effet Miller en répartissant le gain sur les deux transistors. A puissance constante, il permet aussi d'augmenter l'impédance de sortie optimale, pouvant faciliter

l'adaptation d'impédance. Cependant, la mise en série de transistors augmente la tension de coude V_k , ce qui dégrade la linéarité du PA.

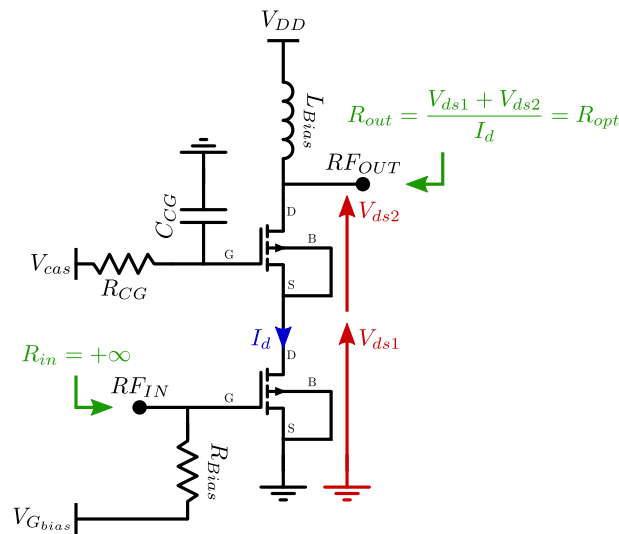


FIGURE 1.34 – Schéma électrique d'un amplificateur empilé (CS+CG)

Le tableau 1.7 ci-dessous résume les paramètres importants de chaque montage pour un nombre n de transistors en série ou parallèle :

TABLE 1.7 – Paramètres caractéristiques des montages amplificateurs classiques

Paramètre	Grille Commune	Source Commune	n-transistors série	n-transistors parallèle
Tension max.	V_{max}	V_{max}	$n.V_{max}$	V_{max}
Courant max.	I_{max}	I_{max}	I_{max}	$n.I_{max}$
Z_{in}	$\frac{1}{gm}$	Z_{C_g}	Z_{C_g}	$\frac{Z_{C_g}}{n}$
Z_{out}	R_{opt}	R_{opt}	$n.R_{opt}$	$\frac{R_{opt}}{n}$

1.4 État de l'art des PAs RF

L'état de l'art permet de connaître les limites et les challenges de l'intégration de PAs sur des technologies CMOS. En effet, ces technologies ne permettent pas d'atteindre de fortes puissances, souvent limitées à l'ordre du watt, en raison des faibles tensions de claquage des transistors ainsi que du faible coefficient de qualité des passifs, notamment les inductances à basse fréquence. Afin de définir les performances visées pour une application NB-IoT, une première partie sur l'établissement du cahier des charges est introduite. Par la suite, dans le but de comparer les technologies CMOS bulk et les technologies CMOS SOI, une seconde partie est dédiée à l'état de l'art des PAs CMOS bulk. Les PAs à l'état de l'art en technologie CMOS SOI sont détaillés dans une troisième partie. Enfin, une conclusion des performances de chaque technologie dans l'optique de cibler le NB-IoT est présentée en fin de section.

Les architectures complexes présentées dans l'état de l'art sont détaillées dans les sections 2.2 et 2.3.

1.4.1 Cahier des charges

D'après les spécifications du standard NB-IoT présentées dans [1], les choix des performances du cahier des charges (CDC) sont présentés dans le tableau 1.8. Tous les PAs sont réalisés dans deux technologies différentes, la 28nm FDSOI et la 130nm PDSOI. L'objectif est de déterminer la technologie la plus pertinente pour la conception d'un PA pour une puce RFFE. Le choix des technologies SOI a été motivé par le gain en performances, la réduction de la consommation et le faible coût de production.

TABLE 1.8 – Contraintes de performances pour la conception de PAs pour une application NB-IoT

Tech.	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)	ACLR* (dBc)	EVM (%)
28nm FDSOI	1,85	> 400	36	29	> 30	> 20	≥ 33	$\leq 17,5$
130nm PDSOI	1,85	> 400	36	29	> 30	> 20	≥ 33	$\leq 17,5$

* $UTRA_{ACLR}$ pour les modulations LTE

Les performances indiquées dans le cahier des charges n'imposent pas directement une architecture optimale pour le PA. L'étude des architectures visant à optimiser la bande passante et le rendement est détaillée dans les sections 2.2 et 2.3. Les coûts de conception, la complexité de l'architecture, ainsi que les performances intrinsèques des technologies 28nm FDSOI et 130nm PDSOI sont aussi des éléments qui ne sont pas indiqués dans le cahier des charges, mais qui sont déterminants pour le choix d'une topologie de PA. L'état de l'art présenté ci-dessous permet de cibler les topologies les plus utilisées pour chacune des deux technologies.

1.4.2 État de l'art des PAs CMOS bulk

PA avec suivi d'enveloppe [27]

L'utilisation du suivi d'enveloppe (ET) est une technique permettant d'améliorer l'efficacité d'un PA. L'architecture développée dans [27] utilise la combinaison de l'ET et de la polarisation adaptative (ADB) afin d'améliorer l'efficacité et la linéarité de l'amplificateur (Figure 1.35(a)).

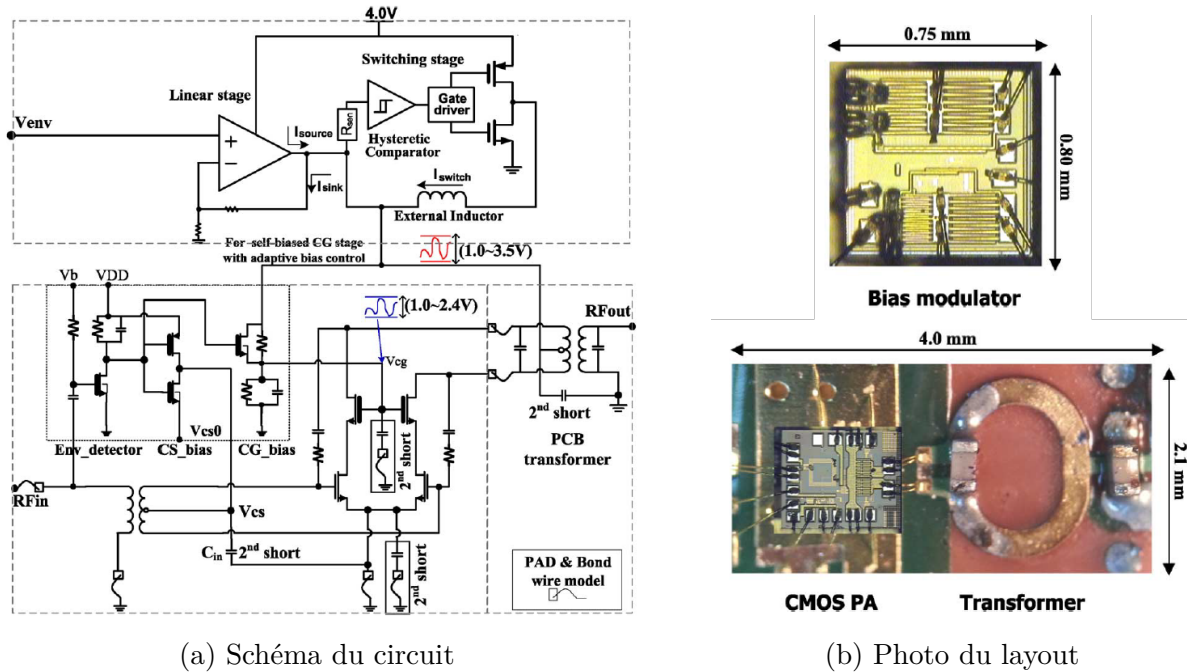


FIGURE 1.35 – PA 180nm CMOS bulk [27]

Le circuit est fabriqué en technologie 180nm CMOS bulk et reporté sur un PCB sur lequel est réalisée l'adaptation d'impédance. Aux fréquences inférieures à 3GHz, l'adaptation sur PCB permet d'améliorer la PAE du PA en utilisant des passifs ayant d'excellents facteurs de qualité. Le cœur du PA est une topologie cascode différentielle

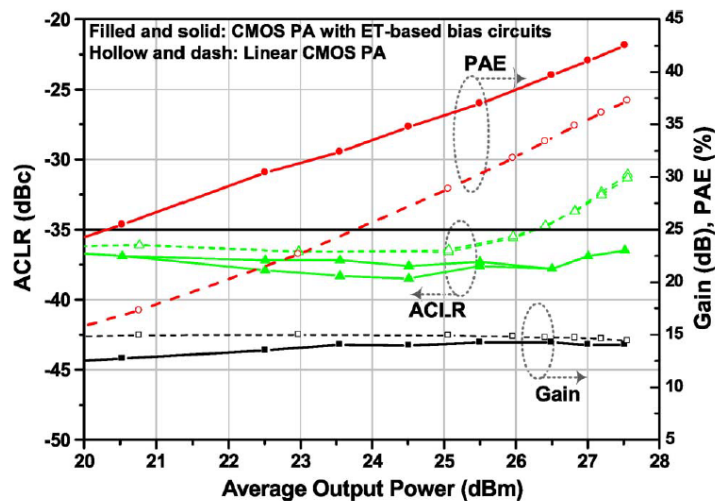


FIGURE 1.36 – Résultats de mesure du circuit sous signaux modulés

permettant d'augmenter la tension d'alimentation à 4V et de réduire l'impact des retours de masse.

L'ensemble est un circuit multi-puces. Le PA et le modulateur d'enveloppe sont chacun fabriqués sur une puce différente et connectés entre-eux par des fils (wire-bonding) comme le montre la figure 1.35(b).

La puissance de sortie et la PAE maximale atteintes par ce PA sont de 27,5dBm et 42,4%, respectivement, à une fréquence de 1,85GHz. Ainsi, l'utilisation du suivi d'enveloppe permet de répondre à la contrainte de PAE du NB-IoT. Cependant, une telle structure est complexe à implémenter, et l'utilisation d'éléments hors puce pour les réseaux d'adaptation ne permet pas une intégration totale du circuit, augmentant les coûts de fabrication.

PA outphasing numérique classe E [28]

La topologie d'amplificateur outphasing permet une amélioration de la PAE à la fois à la saturation et au recul en puissance. Le PA présenté dans [28] est un amplificateur numérique de classe E, les transistors sont donc utilisés en commutation, avec un traitement des harmoniques en sortie.

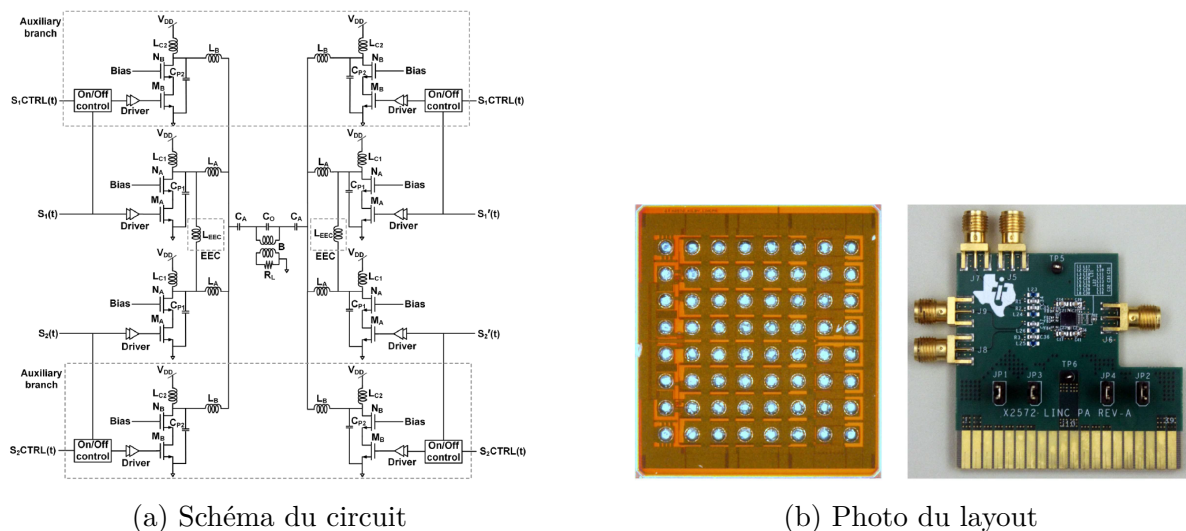


FIGURE 1.37 – PA 45nm CMOS bulk [28]

Ce PA propose d'améliorer le rendement au recul en puissance en commutant des amplificateurs parallèles 'on' ou 'off' selon la puissance d'entrée du signal et en utilisant des circuits d'amélioration de l'efficacité (EEC) (Figure 1.37). Ceci permet de toujours travailler proche de la compression du PA et ainsi d'optimiser la PAE au PBO. La puce est reportée sur un PCB en utilisant une méthode flip-chip. Ceci permet une adaptation de sortie hors de la puce, offrant de meilleures performances.

L'utilisation d'éléments commutés tend à dégrader la linéarité d'un amplificateur. Pour remédier à cela, le PA utilise une prédistorsion numérique (DPD) afin de compenser ces dégradations. Les résultats de mesure sous signaux modulés montrent une bonne linéarité sur des modulations 64-QAM LTE (Figure 1.38).

Les performances du PA montrent une puissance de sortie maximale de 31,6dBm pour une efficacité (DE) maximale et à 6dB de PBO de 49,2% et 32,9%, respectivement, le tout à une fréquence de 2,4GHz. Les performances en P_{out} et en rendement répondent aux besoins du NB-IoT. Toutefois, l'architecture outphasing est bande étroite par nature, et l'utilisation d'éléments hors puce limite l'application d'une telle topologie pour le NB-IoT.

EUTRA LTE					
Freq:	2.4 GHz	Meas Setup:	1 TX x 1 RX	Ext. Att:	0 dB
Mode:	DL FDD, 50 RB (10 MHz), Normal (CP)	Sync State:	OK	Capture Time:	20.1 ms
CONTINUOUS TRG : FREE RUN					
Result Summary					
EVM All	1.05	1.10	1.40	%	
EVM Phys. Channel	1.05	1.10	1.41	%	
EVM Phys. Signal	1.00	1.05	1.11	%	
Frequency Error	0.12	0.44	0.83	Hz	
Sampling Error	- 0.10	0.01	0.25	ppm	
IQ Offset	- 70.08	- 68.07	- 66.33	dB	
IQ Gain Imbalance	- 0.00	- 0.00	0.00	dB	
IQ Quadrature Error	- 0.03	- 0.00	0.02	°	
O-STP	- 37.64	- 37.54	- 37.43	dBm	
Power	- 37.66	- 37.61	- 37.58	dBm	
Crest Factor		10.82		dB	

FIGURE 1.38 – Résultats de mesure du circuit sous signaux modulés

PA Doherty hybride numérique à capacités commutées/flottantes [29]

Les architectures numériques possèdent de nombreux avantages pour des applications sub-3GHz, cependant elles possèdent une complexité supplémentaire et des méthodes de conception spécifiques. Le PA présenté dans [29] permet une amélioration de la PAE jusqu'à 15dB de PBO en utilisant des cellules d'amplification basées sur des capacités commutées/flottantes (on/off/flottant) (Figure 1.40).

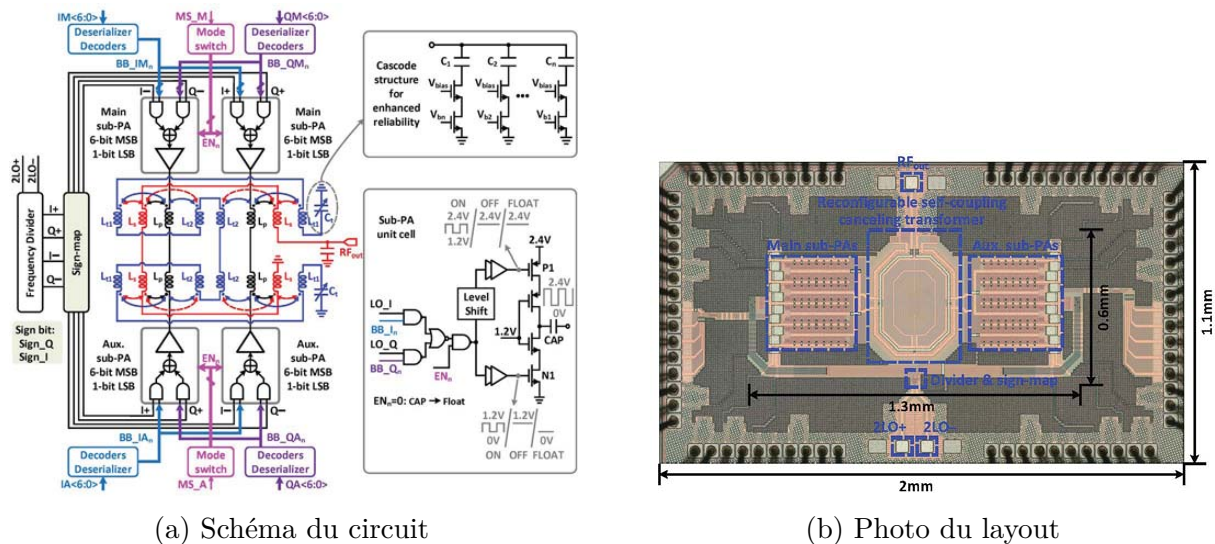


FIGURE 1.39 – PA 40nm CMOS bulk [29]

L'ajout d'un réseau d'adaptation de sortie reconfigurable permet d'améliorer l'efficacité du PA. Ce réseau est composé de capacités commutées ainsi que d'un transformateur à annulation de couplage permettant de minimiser l'impact des capacités commutées sur l'impédance présentée aux amplificateurs principal et auxiliaire. Ce même transformateur permet la recombinaison en puissance des deux amplificateurs afin d'obtenir l'effet Doherty avec une efficacité au PBO configurable selon l'état des capacités commutées/flottantes. Le PA est entièrement intégré (Figure 1.39). L'adaptation de sortie est également réalisée sur la même puce de silicium que l'amplificateur, permettant une meilleure intégration.

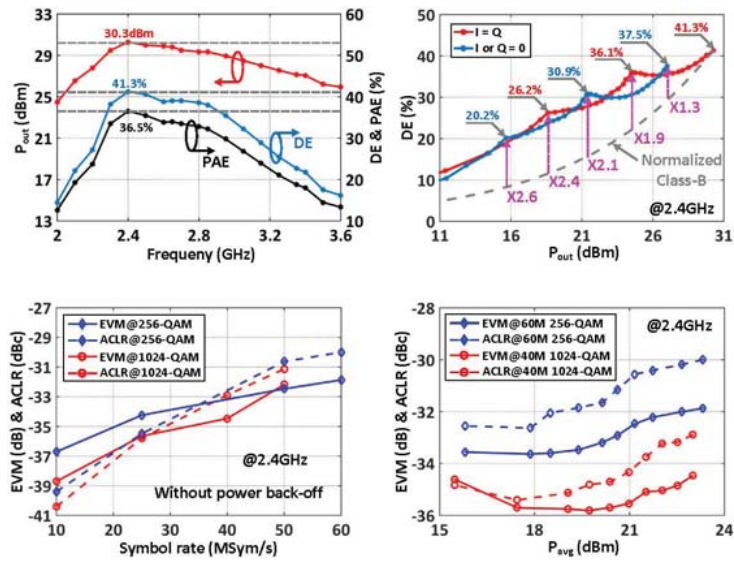


FIGURE 1.40 – Résultats de mesure du circuit sous signaux modulés et CW

Ainsi, le PA révèle des performances de 30,3dBm de puissance à la saturation ainsi que 36,5% et 29,1% de PAE maximale et à 6dB de PBO, respectivement. La bande passante à 3dB est d'environ 1GHz à la saturation pour une fréquence optimale de 2,4GHz. Ce PA répond donc aux critères du NB-IoT. L'intégration de fonction numérique est cependant complexe en 130nm PDSOI en raison de la taille du nœud mais peut s'adapter à la 28nm FDSOI.

1.4.3 État de l'art des PAs CMOS SOI

PA Doherty avec transistor LDMOS [30]

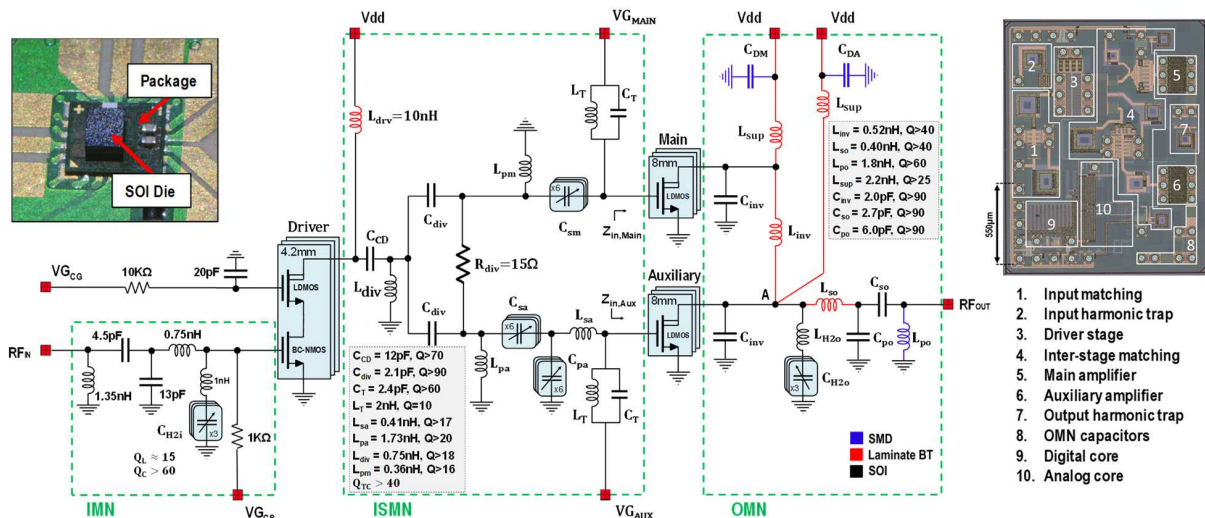


FIGURE 1.41 – Schéma du circuit, layout et report sur PCB du PA

Afin d'optimiser le rendement au PBO, l'utilisation d'architectures complexes peut être nécessaire. L'amplificateur de puissance présenté dans [30] est un PA Doherty reconfigurable basé sur l'utilisation de transistors LDMOS (Figure 1.41). Il est fabriqué en technologie 130nm SOI-CMOS et reporté sur un PCB en utilisant la méthode flip-chip afin de réaliser

une partie des réseaux d'adaptations hors puce. La reconfigurabilité en fréquence est réalisée par l'intermédiaire de capacités commutées. L'adaptation réglable en entrée permet d'ajuster l'impédance présentée au second harmonique. De plus, la reconfigurabilité des réseaux d'inter-étage et de sortie permet de compenser les variations en fréquence des éléments tels que le déphaseur, l'inverseur d'impédance et les transistors. Cela permet d'améliorer les performances en linéarité en réduisant les ACLR et EVM sur toute la bande de fréquence visée. Les transistors LDMOS sont des transistors ayant un procédé de fabrication spécifique permettant d'atteindre des tensions d'alimentation, et donc des puissances, bien plus importantes que les procédés de fabrication des transistors CMOS. De plus, ces transistors ont de bien meilleurs rendements, ce qui permet d'améliorer la PAE (Figure 1.42).

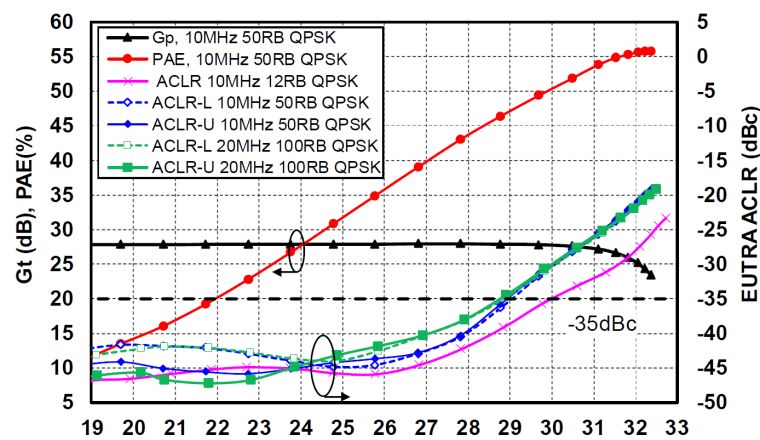


FIGURE 1.42 – Résultats de mesure du circuit sous signaux modulés et CW

L'utilisation des transistors LDMOS, associée à la technologie 130nm SOI, permet d'atteindre des puissances de sortie de 35,8dBm pour une PAE maximale de 57%. La reconfigurabilité du PA lui permet d'atteindre une bande passante de 800MHz, répondant aux contraintes du NB-IoT. Cependant, les transistors LDMOS ne sont pas disponibles dans toutes les technologies. La 28nm FDSOI ne possède pas cette option, contrairement à la 130nm PDSOI.

PA quasi-Doherty avec transformateur replié [31]

Le PA présenté dans [31] sert aussi l'objectif d'optimisation du rendement au PBO. L'architecture utilisée est un PA quasi-Doherty utilisant un diviseur de puissance adaptatif (APD) ainsi qu'un circuit de polarisation adaptatif (ADB) (Figure 1.43(a)). Contrairement à un amplificateur Doherty classique, l'effet Doherty est obtenu à l'aide du circuit d'APD. À faible puissance d'entrée, la plus grande partie du signal d'entrée est dirigée vers l'amplificateur principal, puis, à mesure que la puissance d'entrée augmente, le diviseur répartit de plus en plus équitablement la puissance entre les deux amplificateurs. Enfin, la modulation de l'impédance en sortie est réalisée par un transformateur replié, ce qui permet un gain en surface de silicium et de meilleures performances. Le circuit d'ADB permet d'augmenter le gain de l'amplificateur auxiliaire (Classe C) et d'améliorer la modulation de charge en augmentant le courant de drain à mesure que la puissance d'entrée augmente. Ce circuit est conçu en technologie 180nm CMOS SOI et est entièrement intégré sur silicium, ce qui permet de réduire la complexité d'intégration (Figure 1.43(b)).

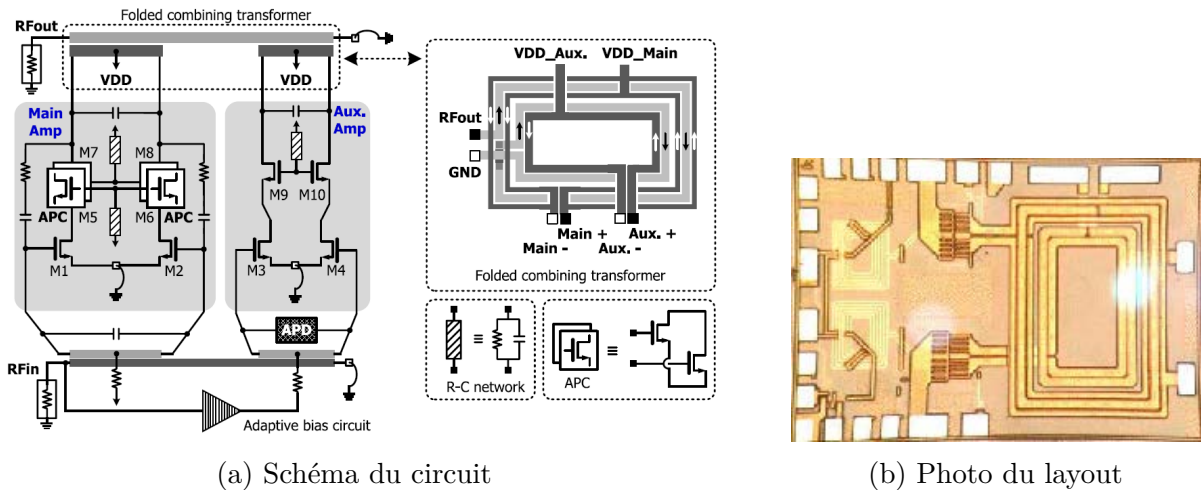


FIGURE 1.43 – PA 180nm SOI-CMOS [31]

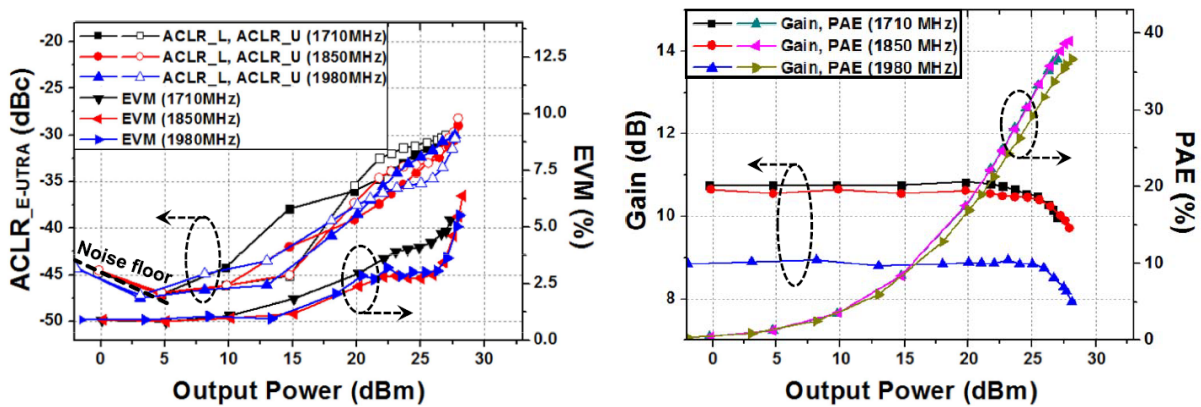
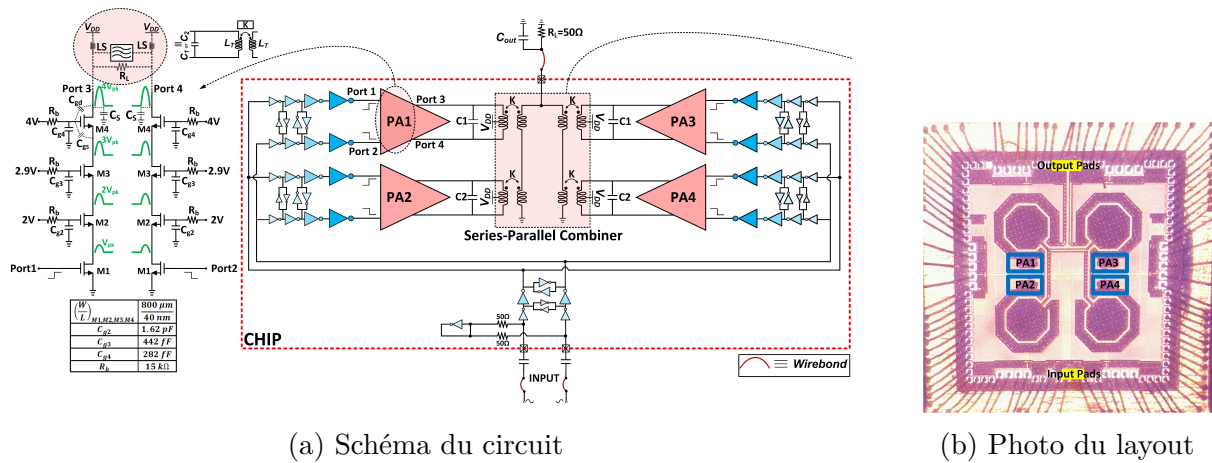


FIGURE 1.44 – Résultats de mesure du circuit sous signaux modulés LTE

Les performances obtenues sont en accord avec le CDC. La puissance maximale est de 30,7dBm, la PAE maximale est de 44,4%, et la PAE à 3,5dB de PBO est de 39,8%. La fréquence centrale est de 1,85GHz avec une bande utile de 1,71GHz à 1,98GHz. Cette topologie est réalisable en 130nm PDSOI, cependant, la taille du transformateur replié est prohibitive pour une application en 28nm FDSOI.

PA numérique 4-stack classe E/ F_{odd} [32]

La conception de PAs forte puissance et haut rendement est complexe en raison des faibles tensions d'alimentation et des faibles facteurs de qualité des passifs des technologies CMOS. Le PA présenté dans [32] propose une solution utilisant des cellules amplificatrices différentielles à transistors empilés permettant d'augmenter la tension d'alimentation pour accroître la puissance de sortie. Chaque cellule est alors recombinaée à l'aide d'un transformateur série-parallèle (Figure 1.45(a)) pour atteindre 33dBm de P_{sat} tout en conservant une impédance de sortie de 50Ω. Le PA utilise une classe de fonctionnement commutée (Classe E/ F_{odd}) permettant d'optimiser le rendement. La linéarité n'est pas étudiée dans ce papier, mais il peut être anticipé que l'utilisation d'une classe d'amplificateur numérique dégrade la linéarité, pouvant limiter l'utilisation de schémas de modulation trop complexes (ex. 1024-QAM). Le PA étant totalement intégré, les coûts et la surface d'intégration de l'amplificateur dans un module émetteur-récepteur sont réduits.



(a) Schéma du circuit

(b) Photo du layout

FIGURE 1.45 – PA 45nm SOI-CMOS [32]

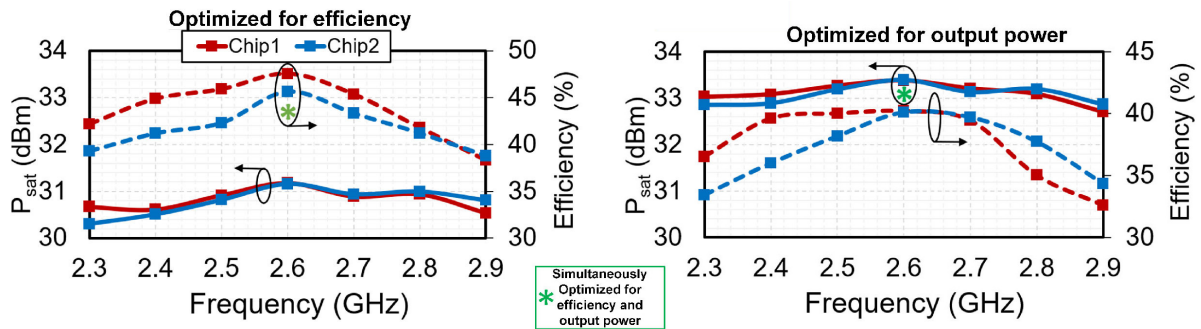


FIGURE 1.46 – Résultats de mesures du circuit sous signaux CW

En plus des 33,1dBm de puissance de sortie, les performances en efficacité montrent une PAE maximale de 43,5% pour une fréquence de fonctionnement de 2,6GHz et une bande passante d'au moins 600MHz. L'utilisation de transistors empilés peut être envisagée en 28nm FDSOI dans le but d'augmenter la puissance de sortie sans réduire la charge optimale. Cependant, l'utilisation d'une architecture empilée couplée à une classe de fonctionnement commutée E/F_{odd} peut fortement réduire la linéarité de l'amplificateur pour une application NB-IoT.

1.4.4 Conclusion sur l'État de l'Art

L'état de l'art des PAs en technologies CMOS bulk et CMOS SOI pour les PAs sub-3GHz révèle de meilleures performances pour le CMOS SOI. La figure 1.47 montre cinq PAs de l'état de l'art de chaque technologie et compare leurs PAE_{max} et P_{sat} . Parmi ces dix références, les meilleures PAE sont atteintes par des PAs en technologie SOI sans avoir recours à des architectures numériques complexes [30], [33], [34].

L'utilisation du suivi d'enveloppe est une méthode efficace pour augmenter la PAE [27]. Cependant, la bande passante instantanée d'un tel PA est directement liée à la bande passante du modulateur d'enveloppe. De plus, ce bloc est complexe et doit avoir un rendement extrêmement élevé pour ne pas impacter la PAE du PA.

Du point de vue des P_{sat} , chaque PA de l'état de l'art répond aux critères du NB-IoT, mais les PAs ayant les puissances de saturation les plus élevées sont les PAs en SOI [30], [32], [33]. Parmi tous les PAs de l'état de l'art, l'architecture Doherty semble être la

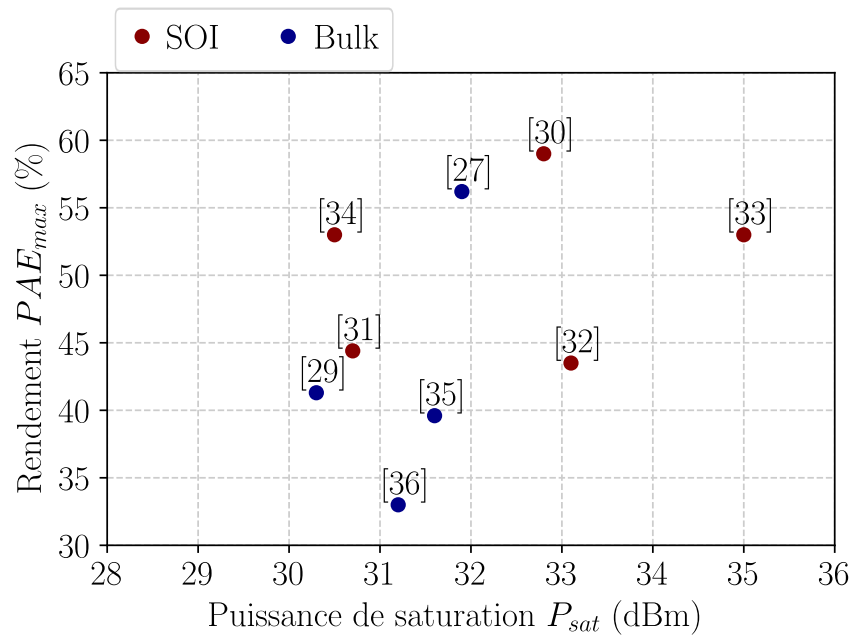


FIGURE 1.47 – Comparaison graphique des performances en P_{sat} et PAE_{max} des PAs sub-3GHz

topologie optimale permettant une augmentation de la PAE au PBO, tout en conservant des puissances de sortie supérieures au watt. En effet, parmi l'état de l'art, cinq des dix PAs sont basés sur l'effet Doherty.

Enfin, les nœuds technologiques mis en avant dans cette étude peuvent être scindés en deux catégories. Les PAs avec une classe de fonctionnement linéaire utilisent principalement les technologies en 130nm ou 180nm. Ceci s'explique par l'épaisseur des niveaux de métaux permettant la conception de passifs avec des facteurs de qualité plus élevés que les technologies plus fines (28nm ou 45nm). De plus, aux fréquences sub-3GHz, il n'est pas nécessaire d'utiliser des technologies à f_{max} élevée. La seconde catégorie correspond aux PAs à classes de fonctionnement commutées. Ils utilisent principalement des nœuds plus fins permettant une meilleure intégration des fonctions numériques au prix d'une réduction des performances liées au BEOL.

Le tableau 1.9 résume par ordre décroissant de PAE_{max} les performances des PAs présentées dans la figure 1.47.

TABLE 1.9 – Synthèse des PAs de l'état de l'art en technologies CMOS bulk et CMOS SOI

Réf.	Fréq. (GHz)	P_{sat} (dBm)	P_{1dB} (dBm)	PAE_{max} (%)	Gain (dB)	Topologie	Tech.	V_{supply} (V)
[30]	2,3	32,8	32*	59	27,5*	LDMOS Doherty	130nm SOI**	3,4
[27]	1,85	31,9	N/A	56,2	14,2	ET PA	180nm bulk	4
[33]	2,4	35,1	34	53	29,5	Doherty	130nm SOI	5
[34]	1,95	30,5	29,7*	53	26,5*	Doherty	180nm SOI	N/A
[28]	2,4	31,6	N/A	49,2(DE)	N/A	Numérique Outphasing	45nm bulk	2,4
[31]	1,85	30,7	28,8	44,4	11*	Quasi- Doherty	180nm SOI	3,3
[32]	2,6	33,1	N/A	43,5	28,1	4-stack classe E/F_{odd}	45nm SOI	3
[29]	2,4	30,3	N/A	41,3	N/A	Numérique C-commutées	40nm bulk	2,4
[35]	2,4	31,6	29,7	39,6	9,6	Classe O	130nm bulk	3,3
[36]	1,8	31,2	29*	33	28	Triple-stack	28nm bulk	3

* Estimation graphique | ** Option LDMOS

1.5 Conclusion du chapitre

Le développement de la 5G s'accompagne de nouveaux services tels que le massive IoT. Le déploiement d'un tel service est poussé par la croissance importante du marché de l'IoT et du nombre d'objets connectés prévu d'ici 2028. La densité importante d'objets connectés impose donc l'étude de nouveaux standards de communication pouvant supporter un nombre de connexions simultanées très important. Le NB-IoT associé à la modulation SC-FDMA sont donc les choix retenus par l'organisme de standardisation 3GPP.

Ces nouveaux standards IoT sont aussi une opportunité pour la conception de RFFE totalement intégrés. Afin de respecter les contraintes associées à l'IoT, l'utilisation de la technologie CMOS est le choix idéal pour son faible coût et sa capacité d'intégration. Le choix plus spécifique de la technologies CMOS SOI est préféré en raison du gain en performances et de la diminution de la consommation des circuits SOI comparés à des circuits similaires en CMOS bulk. Une étude des phénomènes de dégradations des technologies CMOS SOI permet une première approche des limites physiques de l'utilisation d'une telle technologie.

Le design de RFFE passe aussi par la conception de PAs. Une étude des paramètres de dimensionnement ainsi que des métriques caractéristiques d'un PA sont introduits afin de comprendre les mécanismes d'amplification.

L'état de l'art des PAs sub-3GHz donne une idée des solutions actuellement utilisées afin d'atteindre des performances optimales en rendement et puissance de sortie. L'architecture la plus répandue est la topologie Doherty permettant d'améliorer l'efficacité au PBO. L'architecture empilée type cascode est aussi très utilisée car elle permet de facilement augmenter la puissance de sortie sans trop dégrader la linéarité. Enfin, les architectures différentielles sont aussi réputées pour permettre d'augmenter la puissance de sortie tout en réduisant les contraintes sur les retours de masse.

Par la suite, le cahier des charges a pu être déterminé pour répondre aux contraintes du NB-IoT tout en étant cohérent avec les performances de l'état de l'art. Deux technologies sont alors comparées sur les mêmes spécifications, la 28nm FDSOI et la 130nm PDSOI. Les performances et comparaisons des PAs dans chaque technologie sont présentées dans le chapitre 3.

1.6 Références

- [1] ETSI, *LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) conformance specification; Radio transmission and reception; Part 1 : Conformance testing (3GPP TS 36.521-1 version 16.8.1 Release 16)*, Dernier accès : 31/03/2023, 2021. adresse : https://www.etsi.org/deliver/etsi_ts/136500_136599/13652101/16.08.01_60/ts_13652101v160801p.pdf.
- [2] A. S. GILLIS, *What is the internet of things (IoT) ?* Dernier accès : 28/03/2023, 2014. adresse : <https://www.techtarget.com/%20iotagenda/definition/Internet-of-Things-IoT>.
- [3] K. MEKKI, E. BAJIC, F. CHAXEL et F. MEYER, « Overview of Cellular LPWAN Technologies for IoT Deployment : Sigfox, LoRaWAN, and NB-IoT, » in *2018 IEEE International Conference on Pervasive Computing and Communications Workshops (PerCom Workshops)*, 2018, p. 197-202. DOI : 10.1109/PERCOMW.2018.8480255.
- [4] TELEFONAKTIEBOLAGET LM ERICSSON, *Qu'est-ce que la 5G ? Comment va-t-il transformer notre monde ?* Dernier accès : 30/03/2023, 2021. adresse : <https://www.ericsson.com/fr/5g>.
- [5] P. WEGNER, *Global IoT market size to grow 19% in 2023 - IoT shows resilience despite economic downturn*, Dernier accès : 28/03/2023, 2023. adresse : <https://iot-analytics.com/iot-market-size>.
- [6] TELEFONAKTIEBOLAGET LM ERICSSON, « Ericsson Mobility Report, » nov. 2022, Dernier accès : 30/03/2023. adresse : <https://www.ericsson.com/en/reports-and-papers/mobility-report/reports>.
- [7] THALES GROUP, *Massive IoT : Tech overview, business opportunities and examples*, Dernier accès : 30/03/2023, 2022. adresse : <https://www.thalesgroup.com/en/markets/digital-identity-and-security/mobile/%5C%5Cmassive-iot>.
- [8] G. SVETLANA, « 3GPP Low Power Wide Area Technologies, » sept. 2016.
- [9] A. T. PRITTU et M. M., « SC-FDMA – an efficient technique for PAPR reduction in uplink communication systems – a survey, » *IJRET*, t. 3, n° 3, 2014. DOI : <https://doi.org/10.15623/ijret.2014.0313011>.
- [10] GSMA, *NB-IoT Deployment Guide To Basic Feature set requirements*, Dernier accès : 31/03/2023, juin 2019. adresse : <https://www.gsma.com/iot/wp-content/uploads/2019/07/201906-GSMA-NB-IoT-Deployment-Guide-v3.pdf>.
- [11] IXIA, *SC-FDMA Single Carrier FDMA in LTE*, Dernier accès : 03/04/2023, nov. 2009. adresse : <https://support.ixiacom.com/sites/default/files/resources/whitepaper/sc-fdma-indd.pdf>.
- [12] H. G. MYUNG, J. LIM et D. J. GOODMAN, « Peak-To-Average Power Ratio of Single Carrier FDMA Signals with Pulse Shaping, » in *2006 IEEE 17th International Symposium on Personal, Indoor and Mobile Radio Communications*, 2006, p. 1-5. DOI : 10.1109/PIMRC.2006.254407.
- [13] Y. S. YAMEOGO, « Etudes de nouvelles techniques d'estimation et d'égalisation de canal adaptées au système SC-FDMA, » Theses, Université Rennes 1, sept. 2011. adresse : <https://theses.hal.science/tel-00657895>.

- [14] N. ALFARAJ, « SIMOX vs. Smart-Cut : A brief overview of the silicon-on-insulator technology, » jan. 2018. DOI : 10.13140/RG.2.2.10340.27522.
- [15] H. MENDEZ, « Silicon-on-insulator, SOI technology and ecosystem, Emerging SOI applications, » avr. 2009.
- [16] G. K. CELLER et S. CRISTOLOVEANU, « Frontiers of silicon-on-insulator, » *Journal of Applied Physics*, t. 93, p. 4955-4978, 2003.
- [17] RENESAS, *Semiconductor Reliability Handbook*, Dernier accès : 04/04/2023, jan. 2017. adresse : <https://www.renesas.com/us/en/document/gr1/semiconductor-reliability-handbook?r=115>.
- [18] MA, Z.-F AND ZHUANG, Y.-Q AND DU, L. AND BAO, J.-L AND WAN, C.-X AND LI, W.-H, « Unified percolation model for gate oxide breakdown, » *Xi'an Dianzi Keji Daxue Xuebao/Journal of Xidian University*, t. 31, p. 54-58, fév. 2004.
- [19] E. ZHAO, J. ZHANG, A. SALMAN et al., « Reliability challenges of high performance PD SOI CMOS with ultra-thin gate dielectrics, » *Solid-State Electronics*, t. 48, n° 10, p. 1703-1708, 2004, International Semiconductor Device Research Symposium 2003, ISSN : 0038-1101. DOI : <https://doi.org/10.1016/j.sse.2004.05.003>. adresse : <https://www.sciencedirect.com/science/article/pii/S0038110104001388>.
- [20] T.-C. ONG, M. LEVI, P.-K. KO et C. HU, « Recovery of threshold voltage after hot-carrier stressing, » *IEEE Transactions on Electron Devices*, t. 35, n° 7, p. 978-984, 1988. DOI : 10.1109/16.3354.
- [21] A. GREBENNIKOV et M. J. FRANCO, « Chapter 1 - Power amplifier design principles, » in *Switchmode RF and Microwave Power Amplifiers (Third Edition)*, A. GREBENNIKOV et M. J. FRANCO, éd., Third Edition, Oxford : Academic Press, 2021, p. 1-86, ISBN : 978-0-12-821448-0. DOI : <https://doi.org/10.1016/B978-0-12-821448-0.00004-5>. adresse : <https://www.sciencedirect.com/science/article/pii/B9780128214480000045>.
- [22] B. VANDANA, « Study of floating body effect in SOI technology, » *International Journal of Modern Engineering Research*, t. 3, p. 1817-1824, jan. 2013.
- [23] SOI CONSORTIUM, *Fully Depleted (FD) vs. Partially Depleted (PD) SOI*, Dernier accès : 06/04/2023, mai 2008. adresse : <https://soiconsortium.eu/2008/05/14/fully-depleted-fd-vs-partially-depleted-pd-soi/>.
- [24] A. CATHELIN, « Fully Depleted Silicon on Insulator Devices CMOS : The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration, » *IEEE Solid-State Circuits Magazine*, t. 9, n° 4, p. 18-26, 2017. DOI : 10.1109/MSSC.2017.2745738.
- [25] A. D. PHAM, « Biasing techniques for linear power amplifiers, » thèse de doct., Massachusetts Institute Of Technology, mai 2002. adresse : <https://api.semanticscholar.org/CorpusID:112109794>.
- [26] S. SHUKLA, S. SHUKLA et N. PUROHIT, « PAPR Reduction in SC-FDMA Using NCT Technique, » *Procedia Technology*, t. 10, p. 927-934, déc. 2013. DOI : 10.1016/j.protcy.2013.12.439.

- [27] S. JIN, B. PARK, K. MOON et al., « A Highly Efficient CMOS Envelope Tracking Power Amplifier Using All Bias Node Controls, » *IEEE Microwave and Wireless Components Letters*, t. 25, n° 8, p. 517-519, 2015. DOI : 10.1109/LMWC.2015.2440652.
- [28] A. BANERJEE, L. DING et R. HEZAR, « A High Efficiency Multi-Mode Outphasing RF Power Amplifier With 31.6 dBm Peak Output Power in 45nm CMOS, » *IEEE Transactions on Circuits and Systems I : Regular Papers*, t. 67, n° 3, p. 815-828, 2020. DOI : 10.1109/TCSI.2019.2954068.
- [29] B. YANG, H. J. QIAN et X. LUO, « 26.5 A Watt-Level Quadrature Switched/Floated-Capacitor Power Amplifier with Back-Off Efficiency Enhancement in Complex Domain Using Reconfigurable Self-Coupling Canceling Transformer, » in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, t. 64, 2021, p. 362-364. DOI : 10.1109/ISSCC42613.2021.9366029.
- [30] A. SERHAN, D. PARAT, P. REYNIER et al., « A Reconfigurable SOI CMOS Doherty Power Amplifier Module for Broadband LTE High-Power User Equipment Applications, » in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2020, p. 79-82. DOI : 10.1109/RFIC49505.2020.9218305.
- [31] K. KIM, D.-H. LEE et S. HONG, « A Quasi-Doherty SOI CMOS Power Amplifier With Folded Combining Transformer, » *IEEE Transactions on Microwave Theory and Techniques*, t. 64, n° 8, p. 2605-2614, 2016. DOI : 10.1109/TMTT.2016.2577584.
- [32] M. KHORSHIDIAN et H. KRISHNASWAMY, « A Fully-Integrated 2.6GHz Stacked Switching Power Amplifier in 45nm SOI CMOS with >2W Output Power and 43.5% Efficiency, » in *2019 IEEE MTT-S International Microwave Symposium (IMS)*, 2019, p. 323-326. DOI : 10.1109/MWSYM.2019.8700910.
- [33] P. REYNIER, A. SERHAN, D. PARAT et al., « A High-Power SOI-CMOS PA Module with Fan-Out Wafer-Level Packaging for 2.4 GHz Wi-Fi 6 Applications, » in *2021 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2021, p. 59-62. DOI : 10.1109/RFIC51843.2021.9490483.
- [34] P. DRAXLER et J. HUR, « A multi-band CMOS Doherty PA with tunable matching network, » in *2017 IEEE MTT-S International Microwave Symposium (IMS)*, 2017, p. 944-946. DOI : 10.1109/MWSYM.2017.8058742.
- [35] A. F. AREF, R. NEGRA et M. A. KHAN, « 2.6 Class-0 : A highly linear class of power amplifiers in 0.13 μ m CMOS for WCDMA/LTE applications, » in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2015, p. 1-3. DOI : 10.1109/ISSCC.2015.7062915.
- [36] P. OSSMANN, J. FUHRMANN, K. DUFRÊNE et al., « Design of a Fully Integrated Two-Stage Watt-Level Power Amplifier Using 28-nm CMOS Technology, » *IEEE Transactions on Microwave Theory and Techniques*, t. 64, n° 1, p. 188-199, 2016. DOI : 10.1109/TMTT.2015.2503343.

Chapitre 2

Dimensionnement des circuits actifs et passifs pour la conception de PAs en 28nm FDSOI et 130nm PDSOI

Sommaire

2.1	Dimensionnement et évaluation des passifs et des transistors	48
2.1.1	Métallisation (BEOL)	48
2.1.2	Inductances et transformateurs	49
2.1.3	Capacités	52
2.1.4	Coupleurs hybrides	53
2.1.5	Étude des performances des transistors	61
2.1.6	Conclusions sur les performances des transistors et passifs des deux technologies	65
2.2	Techniques d'amélioration de l'efficacité	66
2.2.1	Amplificateur Doherty	66
2.2.2	Amplificateur outphasing/Chireix	68
2.2.3	Techniques de modulation d'alimentation ET et EER	71
2.3	Techniques d'amélioration de la bande passante	73
2.3.1	Transformateur large bande	73
2.3.2	Adaptation d'impédance niveau transistor	76
2.3.3	Réseau d'adaptation multi-étages	78
2.4	Méthodologie de conception d'amplificateurs de puissance . .	80
2.4.1	Choix de la topologie de la cellule d'amplification	80
2.4.2	Choix de la classe de fonctionnement	81
2.4.3	Conception des transistors de puissance	82
2.4.4	Étude de la stabilité	85
2.5	Dimensionnement des blocs unitaires	90
2.5.1	Bloc de polarisation adaptative	90
2.5.2	Plots RF et DC	91
2.5.3	Grillage de masse et remplissage des densités	94
2.5.4	Finition de layout	95
2.6	Conclusion du chapitre	96
2.7	Références	97

Ce chapitre présente tout d'abord les deux technologies utilisées tout au long de la thèse, la 130nm PDSOI et la 28nm FDSOI, appliquées à la conception d'amplificateurs de puissance. Comme vu dans le chapitre précédent, ces deux technologies sont des candidats pour le design de PAs NB-IoT. La première section présente les caractéristiques et performances des deux technologies en considérant les niveaux de métal, les passifs et les transistors.

Une première conclusion sur leurs points forts et limitations permet de lister les paramètres à optimiser. Dans la continuité, la seconde section présente les topologies d'amélioration de l'efficacité au PBO et à la puissance crête. Une troisième section se concentre sur les techniques d'amélioration de la bande passante dans le but de couvrir l'intégralité du spectre fréquentiel alloué au NB-IoT avec le minimum de PAs.

La section suivante détaille les blocs composant un PA, ainsi que la méthodologie permettant le dimensionnement de ces blocs. L'étude de stabilité des transistors de puissance est aussi présentée. Enfin, le dimensionnement de blocs unitaires permettant de répondre à certaines contraintes spécifiques liées aux architectures ou technologies utilisées est détaillé dans la cinquième section.

2.1 Dimensionnement et évaluation des passifs et des transistors

Afin de déterminer les architectures d'amplificateurs de puissance optimales pour chaque technologie, une comparaison des performances des deux technologies est nécessaire. L'objectif est de cerner les points forts et limitations de la 28nm FDSOI et 130nm PDSOI afin de proposer des solutions de PAs adaptées.

2.1.1 Métallisation (BEOL)

Le back-end of line (BEOL) correspond aux niveaux de métal permettant l'interconnexion des éléments du front-end of line (FEOL) avec le monde extérieur, comme par exemple les appareils de mesure ou le boîtier.

Le niveau le plus bas est le FEOL, il contient tous les éléments tels que les transistors, les résistances polysilicium et les diodes. Le FEOL étant du silicium, même dopé il présente une résistivité élevée qui ne permet pas de transporter un signal sur de longues distances. Le BEOL, quant à lui, est bien plus épais et utilise du cuivre. Ceci permet notamment de réaliser les passifs demandant des surfaces importantes, comme les capacités et inductances, en ayant des facteurs de qualité relativement élevés.

La figure 2.1 présente le BEOL de la 130nm PDSOI et de la 28nm FDSOI. La première observation concerne la différence du nombre de niveaux de métal disponibles ainsi que leurs épaisseurs. En effet, plus le nœud technologique est petit, plus la densité d'intégration augmente, ce qui impose également une augmentation de la densité des interconnexions. Plusieurs solutions sont appliquées pour augmenter cette densité [37]. L'augmentation du nombre de niveaux de métal et la réduction des largeurs minimales de gravure du BEOL sont les plus courantes et les plus simples à appliquer. Cependant, la réduction de la largeur minimale de gravure a un impact sur l'épaisseur maximale que les niveaux de métal peuvent avoir en raison des procédés de fabrication. Ceci explique par conséquent la réduction de l'épaisseur des niveaux de métal de la 28nm FDSOI.

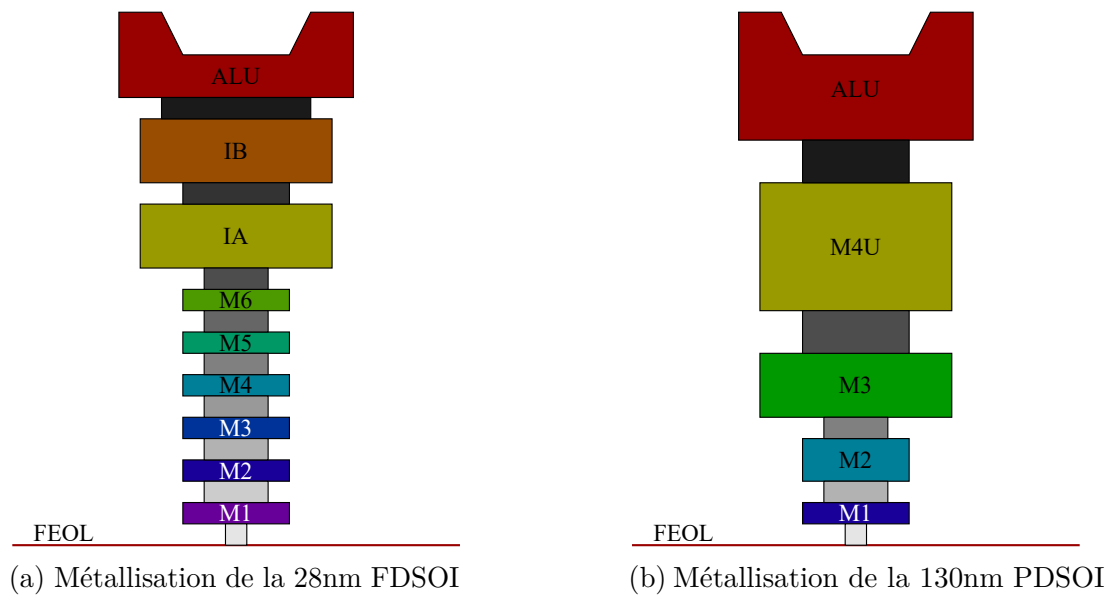


FIGURE 2.1 – Comparaison du BEOL des deux technologies utilisées

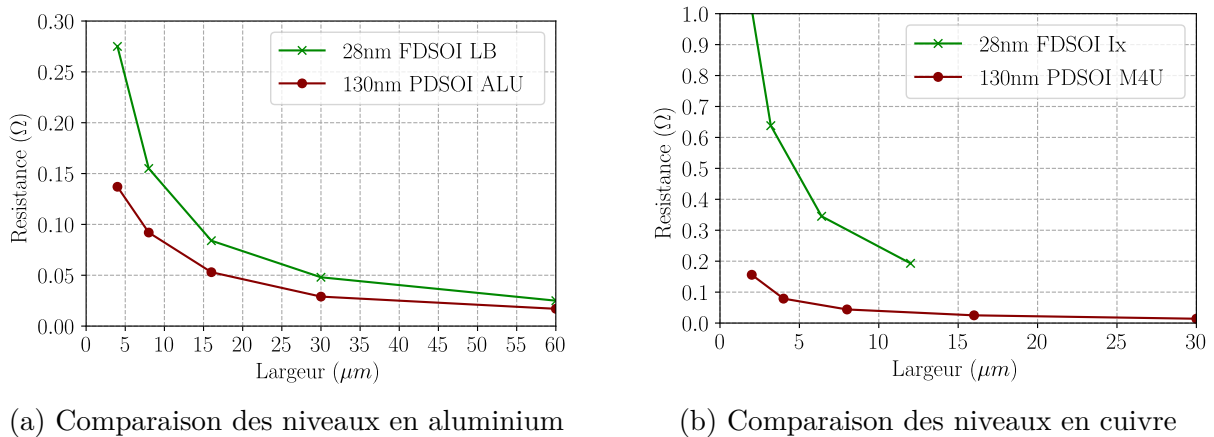


FIGURE 2.2 – Résistivité des niveaux de métallisation épais

Afin de déterminer la qualité des interconnexions, les graphiques présentés figure 2.2 montrent la résistivité des niveaux de métal épais en fonction de la largeur des pistes. La métallisation de la 130nm PDSOI révèle de bien meilleures performances en raison de niveaux plus épais à la fois en aluminium (ALU, LB) et en cuivre (M4U, Ix). Les courbes sont tracées entre le W_{min} et le W_{max} de chaque niveau. Ainsi, en plus d'avoir une résistivité plus importante, la 28nm FDSOI possède aussi des largeurs maximales plus faibles en Ix. Ceci est à prendre en compte lors des calculs d'électromigration afin de s'assurer que le conducteur est suffisamment large pour faire passer le courant désiré.

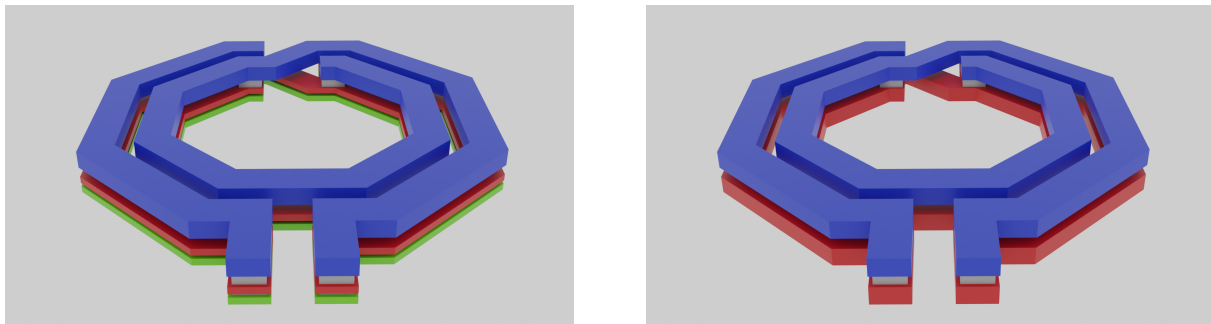
La densification du BEOL entraîne également une diminution des tensions maximales entre deux niveaux de métal en raison du phénomène de claquage d'oxyde TDDB (Time-Dependant Dielectric Breakdown) [38]. Par conséquent, la puissance maximale supportée par les passifs se voit réduite.

2.1.2 Inductances et transformateurs

La conception d'inductances et de transformateurs intégrés pour des fréquences inférieures à 3GHz est complexe en raison des valeurs élevées d'inductance requises. À ces

fréquences, l'ordre de grandeur est de quelques nH. Cela nécessite donc la réalisation d'enroulements multi-tours nécessitant au minimum deux niveaux de métal épais.

Inductances : Avec cette contrainte, la figure 2.3 représente la topologie d'inductance choisie pour les deux technologies. Dans l'optique d'une optimisation du facteur de qualité, le choix d'une géométrie octogonale est privilégié [39].



(a) En 28nm FDSOI

(b) En 130nm PDSOI

FIGURE 2.3 – Architectures des inductances : Optimisation du facteur de qualité Q

En 28nm FDSOI, les inductances sont donc dessinées sur les trois niveaux épais ALU-IB-IA afin de réduire la résistivité et ainsi augmenter le facteur de qualité à basse fréquence. En 130nm PDSOI, les deux niveaux de métal épais ALU-M4U sont utilisés.

La figure 2.4 montre un exemple des performances des inductances pour chaque technologie. La topologie choisie permet d'atteindre un coefficient de qualité Q de 28 à 2GHz en 130nm PDSOI, contre 15 en 28nm FDSOI. En revanche, les inductances de fortes valeurs ont un meilleur comportement à haute fréquence en 28nm FDSOI en raison d'une auto-résonance plus haute en fréquence, traduisant des capacités parasites plus faible.

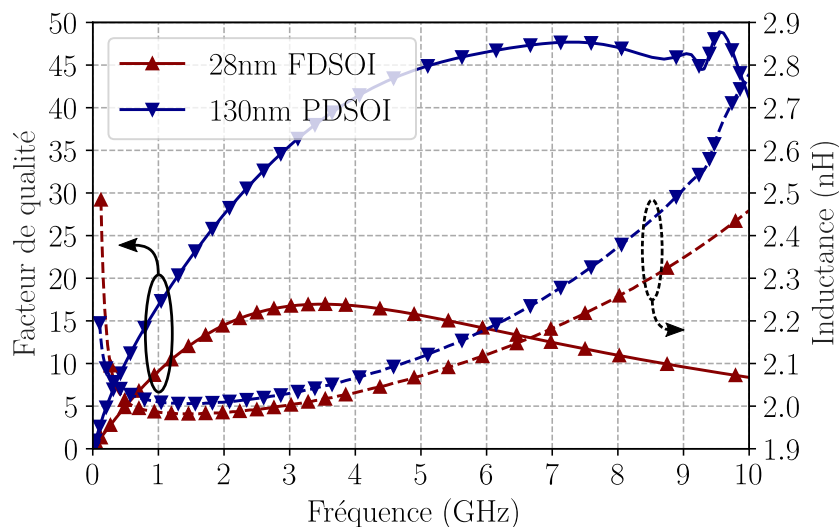


FIGURE 2.4 – Comparaison des inductances en 28nm FDSOI et 130nm PDSOI

Transformateurs : Dans le cas de la conception de transformateurs, une contrainte supplémentaire intervient en raison du couplage nécessaire entre deux inductances. Pour cela, plusieurs topologies de transformateur d'impédance existent.

En technologie intégrée, les transformateurs sont dits planaires en raison du procédé de fabrication. Il existe deux types d'architectures planaires [39] : la topologie planaire empilée et la topologie coplanaire. La figure 2.5 présente les différences entre les deux architectures. La structure empilée présente un avantage majeur en termes de coefficient de couplage en raison de la faible distance entre les enroulements. Elle nécessite en revanche quatre niveaux de métaux. Une méthode de layout permet de réduire à un minimum de trois niveaux, mais au prix d'un facteur de qualité des enroulements réduit. La structure coplanaire permet la conception de transformateurs sur deux niveaux de métaux, permettant une optimisation des facteurs de qualité des enroulements. Cette structure possède un coefficient de couplage plus faible en raison d'un éloignement plus important de chaque enroulement. Le choix d'une topologie de transformateur dépend donc d'un compromis entre le facteur de couplage et le coefficient de qualité.

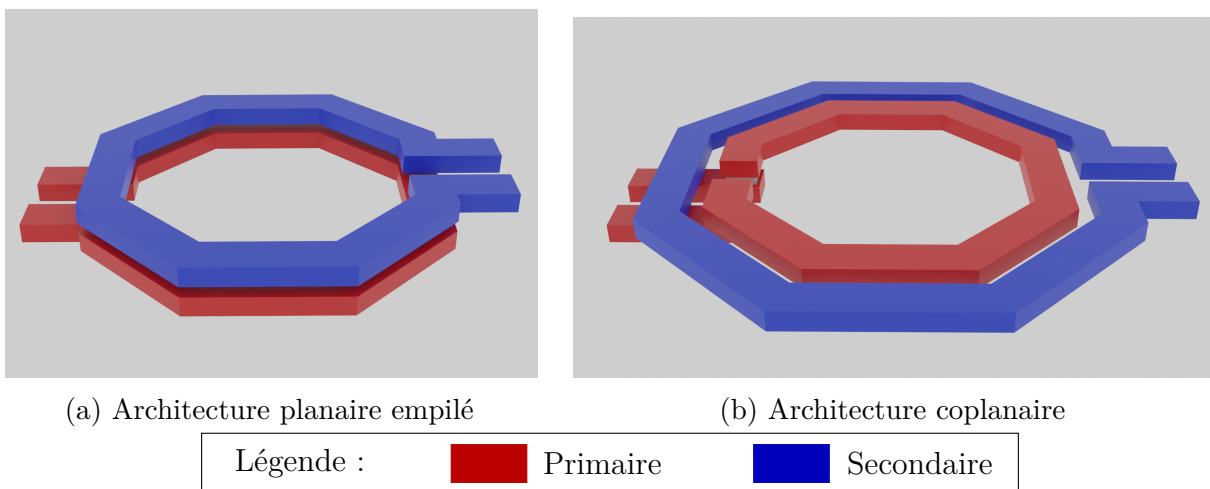


FIGURE 2.5 – Comparaison des architectures de transformateurs

La conception de transformateurs d'impédance est une étape clé dans la conception d'amplificateurs de puissance et représente un temps de développement conséquent. Afin d'accélérer le dimensionnement des transformateurs, ainsi que des inductances, une cellule paramétrée (Pcell) a été écrite par moi-même, en langage SKILL, pour la technologie 130nm PDSOI. Son objectif est d'automatiser la conception de transformateurs en connaissant uniquement les inductances du primaire et du secondaire.

Ainsi, la Pcell génère un layout paramétré d'un transformateur permettant de faire varier les paramètres géométriques tels que :

- Le diamètre interne du primaire/secondaire
- L'espace inter-spires
- Le nombre de tours du primaire/secondaire
- La largeur des pistes.

Par l'intermédiaire de l'équation approchée (2.1), issue d'une méthode de calcul détaillée dans [40], la Pcell permet d'indiquer la valeur d'inductance de chaque enroulement afin de vérifier le bon dimensionnement du transformateur.

$$L = K_1 \mu_0 \frac{N^2 D_{avg}}{1 + K_2 \rho} \quad (2.1)$$

avec :

- Coefficient géométrique : $K_1 = 2.25$
- Coefficient géométrique : $K_2 = 3.55$

- Le nombre de tours : N
- La perméabilité du vide : $\mu_0 = 4\pi \cdot 10^{-7} H/m$
- Taux de remplissage : $\rho = \frac{D_{out} - D_{in}}{D_{out} + D_{in}}$
- Diamètre moyen : $D_{avg} = \frac{D_{out} + D_{in}}{2}$

Les coefficients géométriques K_1 et K_2 dépendent de la forme de l'inductance, les valeurs indiquées correspondent à celles données pour des inductances octogonales.

2.1.3 Capacités

De manière analogue aux inductances, les capacités utilisées pour des fréquences sub-3GHz sont de l'ordre de quelques pF. Bien que leur taille soit significativement plus petite, les capacités occupent une grande surface sur le silicium, notamment lorsqu'il s'agit de capacités de découplage des alimentations. Dans un PDK, plusieurs types de capacités sont souvent disponibles. Les deux types les plus courants sont les capacités MIM pour "Metal-Insulator-Metal" et les capacités MOM pour "Metal-Oxide-Metal". La figure 2.6 présente un layout de chacune des capacités.

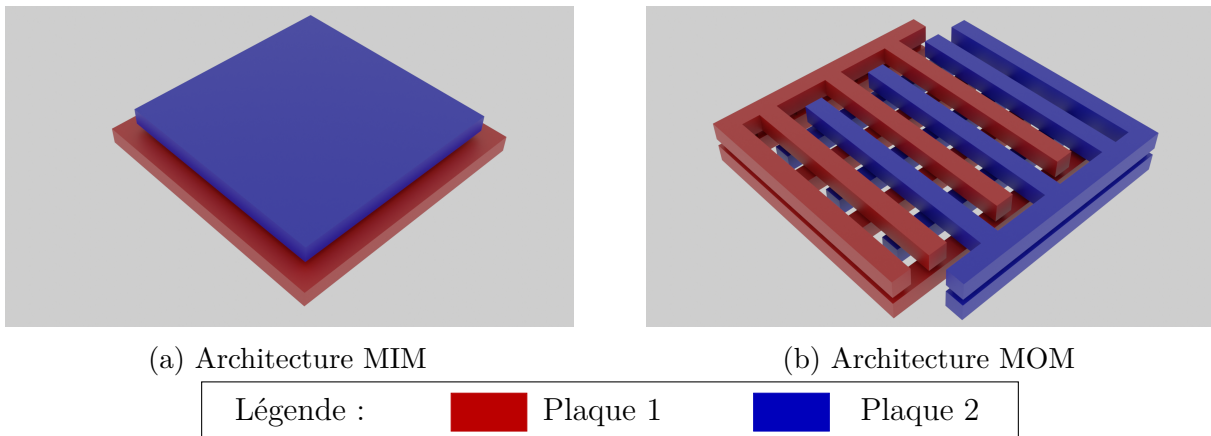


FIGURE 2.6 – Comparaison des architectures de capacités

Les différences majeures entre ces deux types de capacités résident dans leur géométrie et le type d'isolant utilisé. Les capacités MOM sont les plus courantes et ne nécessitent pas de procédé de fabrication particulier. En revanche, les capacités MIM nécessitent l'ajout d'une couche d'isolant lors du processus de fabrication, ce qui permet d'améliorer leur facteur de qualité par rapport aux capacités MOM.

Dans le cas des PDKs utilisés, seules les capacités MOM sont disponibles. Par conséquent, la comparaison des capacités entre chaque technologie sera limitée à ces types de capacités.

Contrairement aux inductances, les capacités ont généralement un facteur de qualité plus élevé. La figure 2.7 présente les performances des capacités en 130nm PDSOI et 28nm FDSOI. Dans le cas de la technologie 130nm, le facteur de qualité à 2GHz est de l'ordre de 400 pour une capacité de 1,1pF. Dans le cas de la 28nm, le facteur de qualité à 2GHz est de 40 pour une capacité de 0,88pF. Cette différence importante de facteur de qualité s'explique par la section des niveaux de métaux. En effet, la 28nm possède des niveaux de métaux bien plus fins et plus résistifs que ceux de la 130nm. En contrepartie, les capacités en 130nm occupent des surfaces silicium plus conséquentes.

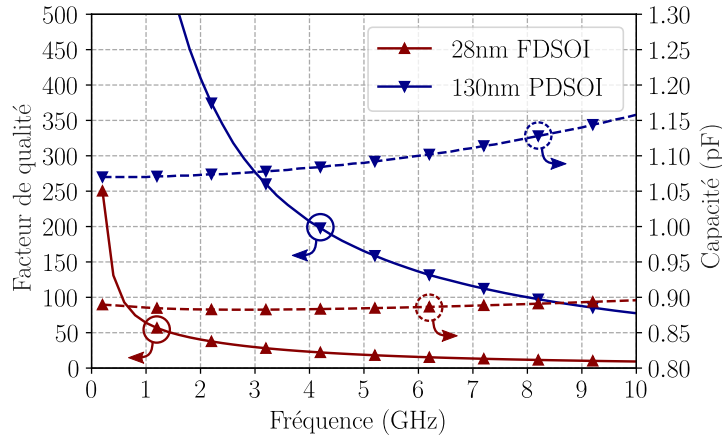


FIGURE 2.7 – Comparaison des capacités en 28nm FDSOI et 130nm PDSOI

2.1.4 Coupleurs hybrides

Les coupleurs hybrides en quadrature permettent la réalisation d'amplificateurs de puissance équilibrés. Ils sont un point essentiel pour la conception de PAs à forte puissance ainsi que pour la robustesse aux variations de TOS (Taux d'Ondes Stationnaires). Plusieurs architectures de coupleurs hybrides existent, la structure la plus connue et la plus simple est la structure en lignes de transmission quart d'onde présentée sur la figure 2.8.

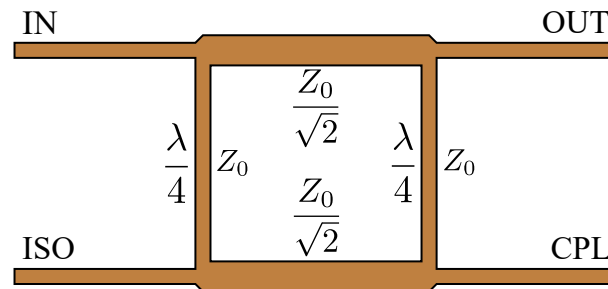


FIGURE 2.8 – Exemple d'un coupleur hybride 90° à lignes de transmission quart d'onde

Ce type de coupleur a l'avantage d'être facile à concevoir et de posséder de très faibles pertes. En revanche, il est également bande étroite et nécessite une surface prohibitive pour une application intégrée.

Pour pallier cette limitation, les topologies basées sur des coupleurs hybrides torsadés [41] ou des coupleurs hybrides à transformateurs [42] peuvent être utilisées (figure 2.9).

Les étapes de dimensionnement de chaque coupleur sont basées sur le même modèle simplifié présenté figure 2.10. À partir de ce modèle, il est possible de déterminer l'inductance L_c et la capacité C_c par l'intermédiaire des équations (2.2) à (2.5).

$$L_0 = \frac{Z_0}{2\pi \cdot f} \quad (2.2)$$

$$C_0 = \frac{1}{4 \cdot Z_0 \cdot \pi \cdot f} \quad (2.3)$$

$$L_c = (2 - k) \cdot L_0 \quad (2.4)$$

$$C_c = (2 - k) \cdot C_0 \quad (2.5)$$

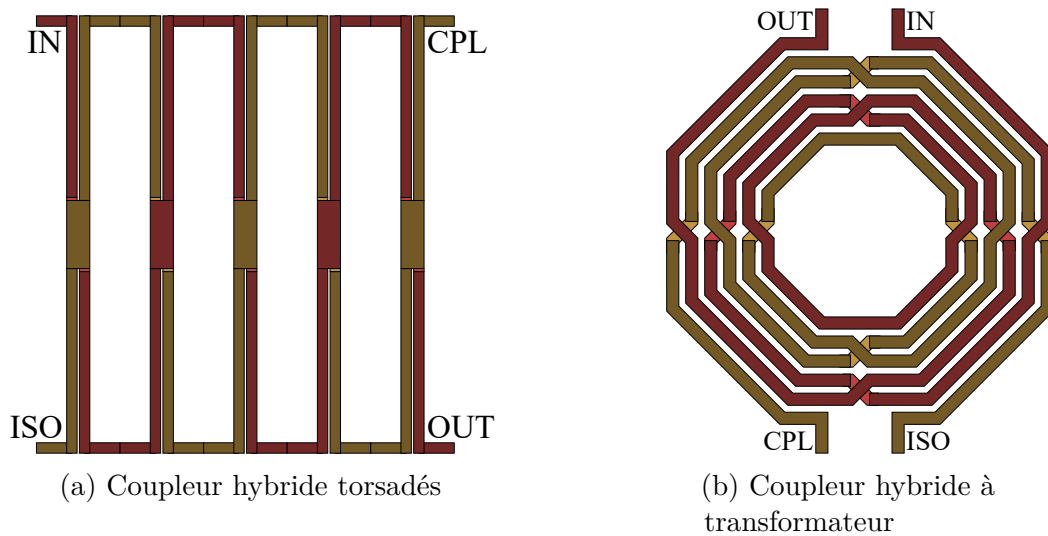


FIGURE 2.9 – Types de coupleurs hybrides en quadratures intégrés

Avec Z_0 l'impédance caractéristique vue par les ports du coupleur, f la fréquence de fonctionnement et k le facteur de couplage. Pour un fonctionnement basse fréquence, l'optimisation du facteur de couplage est nécessaire pour éviter d'avoir des valeurs d'inductances et de capacités trop élevées. L'abaque de la figure 2.11 permet le dimensionnement rapide des éléments distribués pour un facteur de couplage k de 0,8.

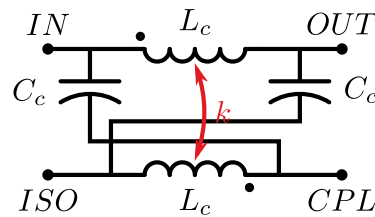


FIGURE 2.10 – Modèle idéal en éléments localisés d'un coupleur hybride en quadrature

Dans le cas d'un coupleur hybride 50Ω , pour une fréquence de 1,9 GHz et un facteur de couplage de 0,8, les valeurs d'inductance et de capacité nécessaires sont respectivement de $L_c = 5nH$ et $C_c = 1pF$.

Afin de déterminer les caractéristiques géométriques permettant d'obtenir les paramètres électriques précédents, une étude des lignes de transmission couplées est nécessaire.

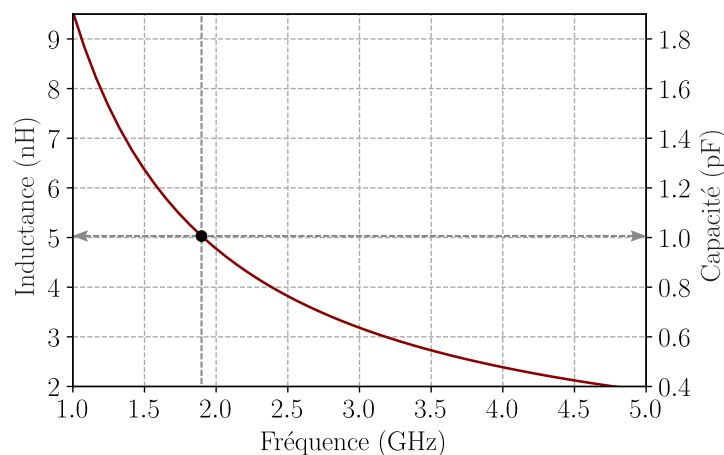


FIGURE 2.11 – Abaque de dimensionnement d'un coupleur hybride

Dimensionnement d'un coupleur hybride torsadés

La conception d'un coupleur hybride torsadés est décomposée en plusieurs étapes :

- Le dimensionnement/conception des "lignes" : partie inductive L_{c1}
- Le dimensionnement/conception du "twist" : partie capacitive C_{c2}
- L'ajustement du nombre de branches

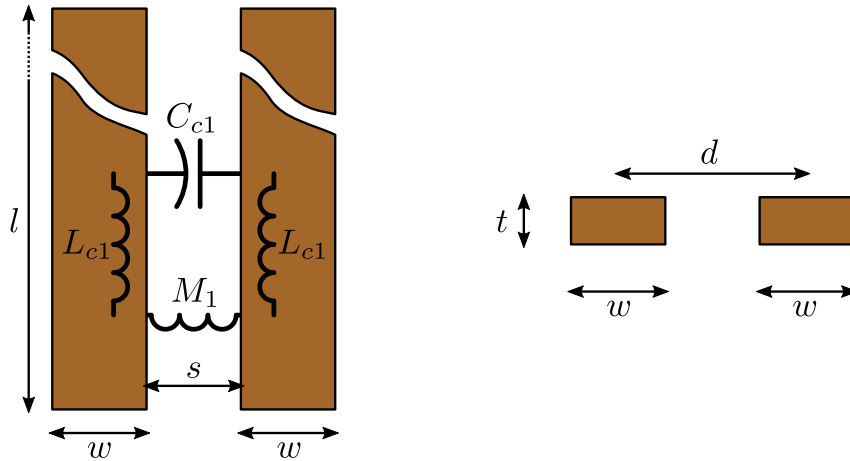


FIGURE 2.12 – Modèle de lignes couplées

La conception des lignes du coupleur torsadés est basée sur la théorie des lignes de transmission couplées. La figure 2.12 présente les grandeurs géométriques et électriques utilisées dans ce modèle. Ainsi, d'après [43] et [44], le calcul de l'inductance et de la mutuelle est déterminé par les équations (2.6) et (2.7). Les paramètres employés dans cette partie sont :

- l : la longueur des lignes
- w : la largeur des lignes
- t : l'épaisseur des lignes
- s : l'espacement entre les lignes
- d : la distance aux centres des lignes
- $\epsilon_0 = 8,8542 \cdot 10^{-12} \text{ F.m}^{-1}$: la permittivité du vide
- $\epsilon_r \approx 3 \text{ F.m}^{-1}$: la permittivité relative du diélectrique

$$L_{c1} = 2l \left[\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} + 0.2235 \frac{w+t}{l} \right] \quad (2.6)$$

$$M_1 = 2 \left[l \cdot \ln \left(\frac{l + \sqrt{l^2 + d^2}}{d} \right) - \sqrt{l^2 + d^2} + d \right] \quad (2.7)$$

Bien que les lignes coplanaires apportent majoritairement une part inductive et mutuelle, il existe une capacité entre les deux lignes de transmission, déterminée par l'équation (2.8) constituant une partie du stock de capacité C_c visé. Dans cette équation, seule la capacité entre les deux surfaces en regard est considérée.

$$C_{c1} = \frac{\epsilon_0 \cdot \epsilon_r \cdot t \cdot l}{s} \quad (2.8)$$

Dans le cas de la conception d'un amplificateur de puissance, la largeur des pistes doit répondre aux contraintes d'électromigration. Le tableau 2.1 présente les différentes

dimensions fixées par les contraintes de couplage, d'électromigration et de DRC. Le paramètre variable est donc la longueur des lignes.

TABLE 2.1 – Paramètres géométriques des lignes fixés par technologie

Tech.	w (μm)	s (μm)	t (μm)	d (μm)
28nm FDSOI	9	4	5.4	13
130nm PDSOI	13	4	8.7	17

De manière similaire, le dimensionnement du "twist" est réalisé en utilisant les équations (2.6) et (2.8) en se basant sur le modèle de twist de la figure 2.13. Le calcul de l'inductance mutuelle n'est pas réalisé car la contribution inductive du twist n'est pas significative et le modèle du twist ne satisfait pas les hypothèses nécessaires pour utiliser l'équation (2.7).

Les paramètres employés dans cette partie sont :

- L : la longueur du twist
- W : la largeur du twist
- T : l'épaisseur du niveau de métal
- G : l'espacement entre les deux conducteurs

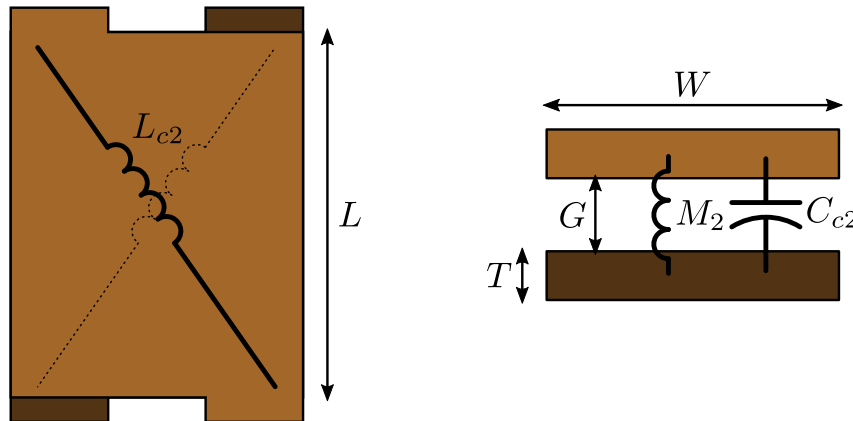


FIGURE 2.13 – Modèle de twist

Les équations obtenues sont :

$$L_{c2} = 2L \left[\ln \left(\frac{2L}{W+T} \right) + \frac{1}{2} + 0.2235 \frac{W+T}{L} \right] \quad (2.9)$$

$$C_{c2} = \frac{\epsilon_0 \cdot \epsilon_r \cdot L \cdot W}{G} \quad (2.10)$$

En raison des contraintes sur le dimensionnement des lignes de transmission, certaines dimensions du twist sont également fixes afin de respecter les règles de dessin précédentes. Le tableau 2.2 indique les dimensions fixes pour le twist d'une branche. Tout comme les lignes, la longueur du twist est le paramètre variable.

Avec tous les paramètres précédents, le dimensionnement d'une branche du coupleur hybride peut être réalisé en utilisant les abaques présentés dans les figures 2.14 et 2.15. L'objectif est de déterminer la longueur des lignes et des twists telle que :

$$C_c/n = C_{c1} + C_{c2} \quad (2.11)$$

$$L_c/n = L_{c1} + L_{c2} \quad (2.12)$$

TABLE 2.2 – Paramètres géométriques du twist fixés par technologie

Tech.	W (μm)	G (μm)	T (μm)
28nm FDSOI	22	1.5	2
130nm PDSOI	30	0.8	4

Avec n un entier positif correspondant au nombre de branches du coupleur hybride torsadé.

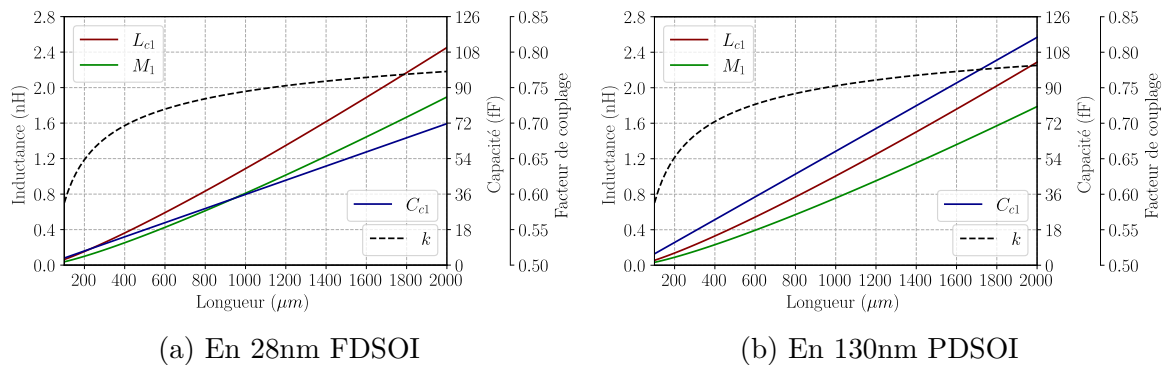


FIGURE 2.14 – Dimensionnement des lignes du coupleur hybride torsadé

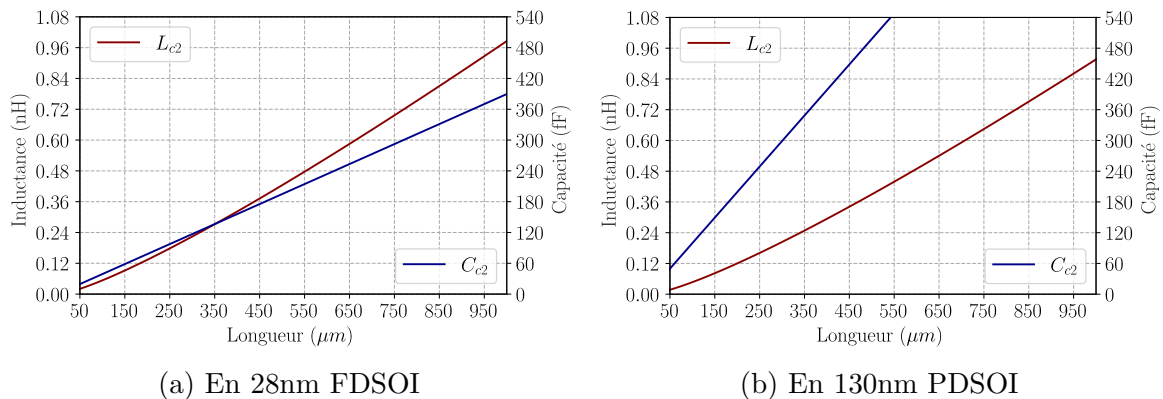


FIGURE 2.15 – Dimensionnement du twist du coupleur hybride torsadé

D'après les abaques (figure 2.14(a) et figure 2.14(b)), il est possible d'observer l'impact de la longueur de ligne sur le coefficient de couplage. Ainsi, pour optimiser les performances d'un coupleur hybride torsadé, il est nécessaire de réduire le nombre de branches en parallèle au minimum. En basse fréquence, la taille des inductances et des capacités rend la conception d'un coupleur hybride torsadé complexe en raison de l'encombrement dans une seule dimension.

A 2GHz, un coupleur hybride à trois branches est un bon compromis afin de ne pas dégrader le facteur de couplage. Les longueurs des lignes et du twist sont détaillées dans le tableau 2.3.

Suite au prédimensionnement, le layout d'une branche du coupleur hybride est réalisé afin d'ajuster les paramètres inductifs et capacitifs à l'aide de simulations électromagnétiques (EM). Les résultats de simulation présentés sur les figures 2.16 et 2.17 comparent deux configurations afin d'observer l'impact des interconnexions entre chaque branche du coupleur hybride torsadé.

TABLE 2.3 – Dimensionnement d'une branche d'un coupleur hybride torsadé

Tech.	L_{ligne} (μm)	L_{twist} (μm)	L_{total} (μm)	$C_{c1} + C_{c2}$ (fF)	$L_{c1} + L_{c2}$ (nH)
28nm FDSOI	868	770	1638	31.1 + 300 331.1	0.92 + 0.72 1.64
130nm PDSOI	1405	253	1658	81.2 + 251.5 332.7	1.5 + 0.16 1.66

Les figures 2.16 et 2.17 présentent les performances post-layout du coupleur hybride torsadé pour chaque technologie en utilisant la méthode de prédimensionnement précédemment détaillée. Les dimensions sont ajustées pour obtenir un comportement optimal à 1,9 GHz.

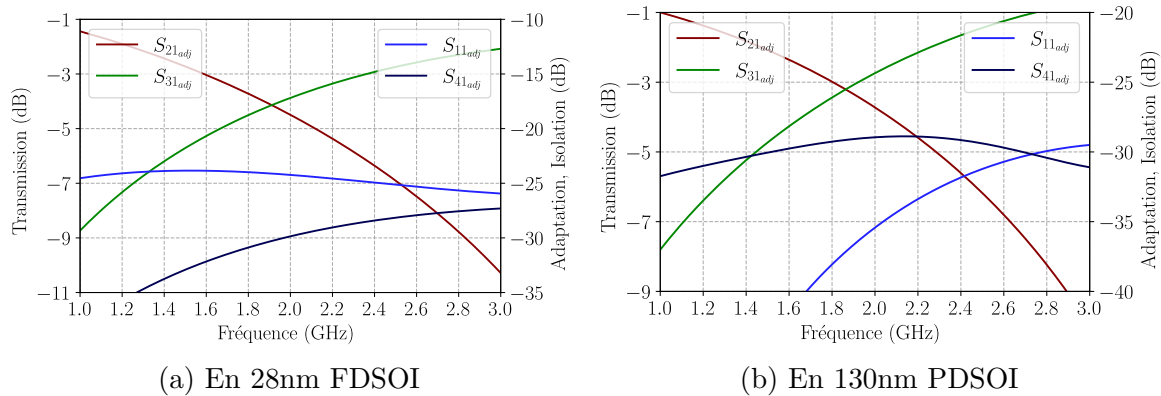


FIGURE 2.16 – Paramètres-S des coupleurs hybrides torsadés dans chaque technologie

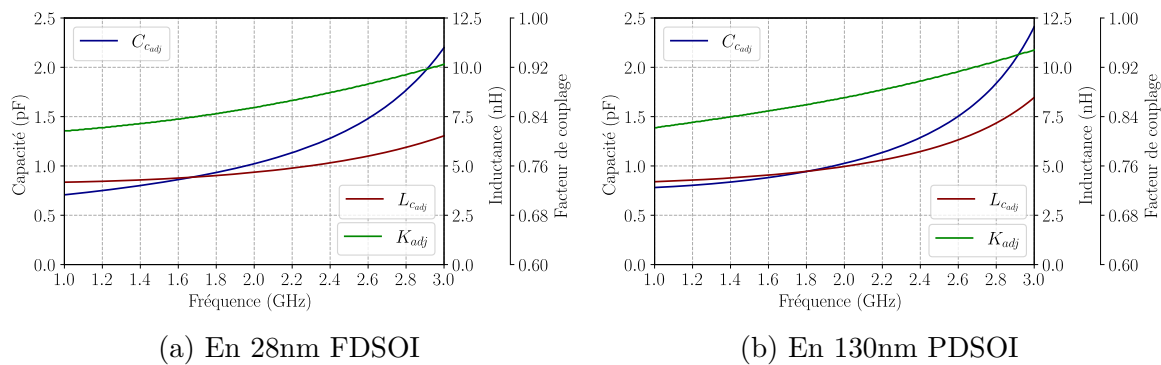


FIGURE 2.17 – Paramètres électriques des coupleurs hybrides torsadés dans chaque technologie

Dimensionnement d'un coupleur hybride à transformateur

Le dimensionnement d'un coupleur hybride par transformateur se déroule en trois étapes :

- Dimensionnement du transformateur : partie inductive L_c
- Calcul de la partie capacitive entre le primaire et le secondaire
- Ajout de capacité pour ajuster C_c

Connaissant L_c , le dimensionnement du transformateur est réalisé à l'aide de l'équation (2.1). Cette méthode est aussi simplifiée par l'utilisation de la PCell détaillée précédemment.

Pour le calcul de L_c et C_c , deux cas de figure se présentent lors de la réalisation du transformateur selon la topologie utilisée. Pour un transformateur empilé, les valeurs de L_c sont directement les valeurs calculées par la PCell, donc par l'équation (2.1), pour chaque enroulement. Dans le cas d'un transformateur coplanaire, la valeur de L_c est la moyenne arithmétique de l'inductance de chaque enroulement. Ceci est dû à la géométrie de chaque enroulement d'un transformateur coplanaire, comme le montre l'exemple de la figure 2.9(b), et à la façon dont la PCell est réalisée.

Le calcul de la capacité ramenée par le transformateur peut être approximé en utilisant le modèle géométrique de la figure 2.18 et en s'inspirant de [42].

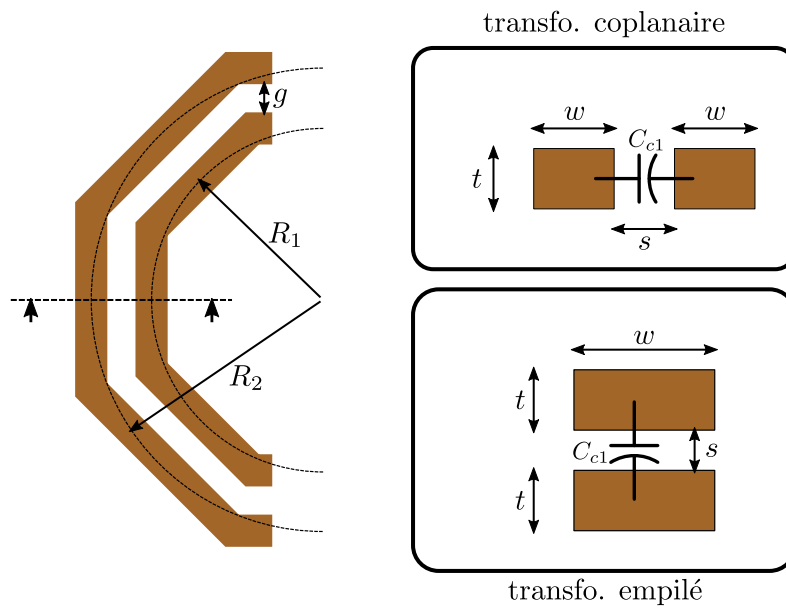


FIGURE 2.18 – Modèle de capacité d'un coupleur à transformateur

TABLE 2.4 – Équations des capacités inter-enroulement ramenées par le transformateur

Empilé	Coplanaire
$C_{c1} = \frac{\epsilon_0 \cdot \epsilon_r \cdot A_{avg}}{s}$	
$A_{avg} = \sum_{n=1}^N \pi \cdot \left((R_n + \frac{w}{2})^2 - (R_n - \frac{w}{2})^2 \right)$	$A_{avg} = \sum_{n=1}^{N-1} 2\pi \cdot \frac{R_n + R_{n+1}}{2} \cdot t$
$N \in \mathbb{N}^*$	$N \in \mathbb{N}^*$

Afin de limiter les pertes liées aux croisements et aux vias, ainsi que la réduction du coefficient de couplage, le nombre de tours maximum est limité à trois. En prenant l'exemple de la figure 2.9(b), la valeur de N est fixée à trois pour réduire l'encombrement. De la même manière que pour le dimensionnement du coupleur hybride torsadé, les paramètres géométriques fixés sont indiqués dans le tableau 2.5.

Les courbes présentées sur la figure 2.19 montrent l'inductance calculée par l'équation (2.1) pour chaque type de transformateur ainsi que pour chaque technologie. Il est ainsi possible de conclure qu'avec les paramètres géométriques du tableau 2.5, les transformateurs les moins encombrants sont les transformateurs empilés en 28nm FDSOI, ce qui explique le

TABLE 2.5 – Dimensions géométriques fixées pour la conception du transformateur

Tech.	Topo.	w (μm)	t (μm)	s (μm)	g (μm)
28nm FDSOI	empilé	11	2	1.5	11
130nm PDSOI	coplanaire	20	8.7	10	10

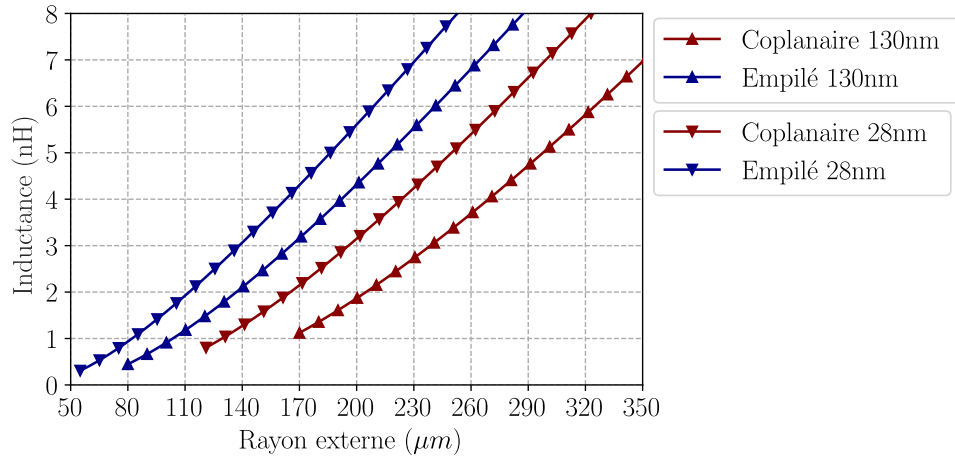


FIGURE 2.19 – Abaque de l'inductance du transformateur en fonction du rayon extérieur

choix de cette architecture pour la réalisation des transformateurs. Dans le cas de la 130nm PDSOI, la limitation du nombre de niveaux de métaux impose l'utilisation d'une structure coplanaire, nécessitant la plus grande surface pour une même valeur d'inductance.

Le rayon externe optimal pour chaque topologie et chaque technologie est donc donné dans le tableau 2.6 :

TABLE 2.6 – Rayon du transformateur pour atteindre l'inductance L_c

Tech.	Topo.	R_{in} (μm)	R_{out} (μm)	L_c (nH)
28nm FDSOI	empilé	131	186	5.0
130nm PDSOI	coplanaire	130	300	5.05

Les dimensions géométriques étant déterminées, l'objectif est de calculer la capacité inter-enroulement C_{c1} faisant partie du stock de capacité $C_c = C_{c1} + C_{c2}$ et avec C_{c2} la capacité à rajouter afin d'obtenir la capacité totale C_c déterminée sur la figure 2.11. Selon le tableau 2.4, les capacités inter-enroulement $2C_{c1}$ sont de 570fF et 160fF dans le cas des technologies 28nm FDSOI et 130nm PDSOI, respectivement.

Les capacités à ajouter pour chaque transformateur sont donc les suivantes :

$$C_{c2} = C_c - C_{c1} \begin{cases} 1 - \frac{0.57}{2} = 0.72pF & \text{pour la 28nm FDSOI} \\ 1 - \frac{0.16}{2} = 0.92pF & \text{pour la 130nm PDSOI} \end{cases} \quad (2.13)$$

Tout comme pour le coupleur hybride torsadé, les figures 2.20 et 2.21 présentent les performances post-layout du coupleur hybride à transformateur pour chaque technologie en utilisant la méthode de pré-dimensionnement précédemment détaillée. Les valeurs de capacités sont ajustées pour obtenir un comportement optimal à 1,9GHz.

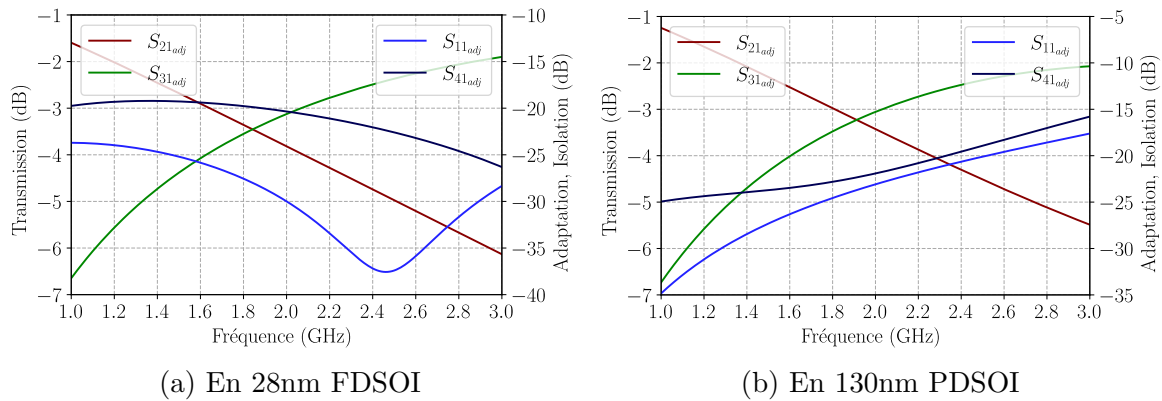


FIGURE 2.20 – Paramètres-S des coupleurs hybrides à transformateur dans chaque technologie

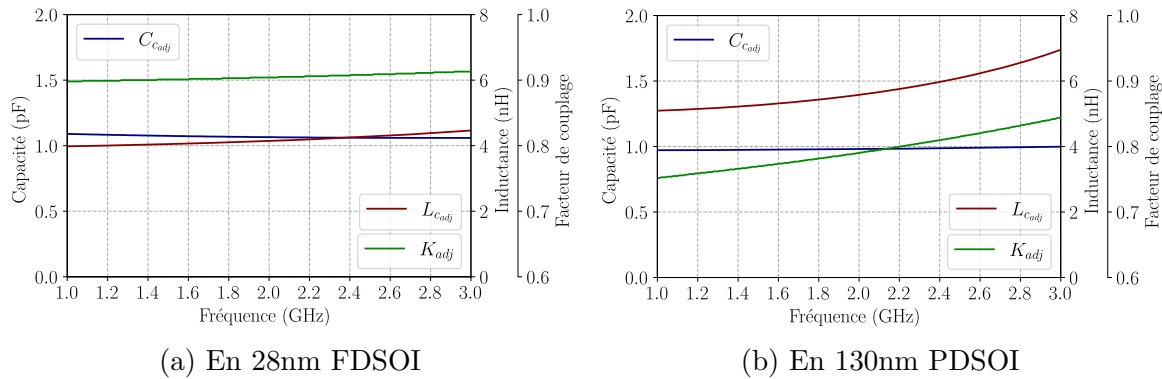


FIGURE 2.21 – Paramètres électriques des coupleurs hybrides à transformateur dans chaque technologie

Conclusion : Au vu des performances de chaque coupleur en quadrature, le choix d'une topologie dépend principalement de la technologie utilisée ainsi que des fréquences utiles. Dans le cas du 28nm FDSOI, le choix le plus pertinent est celui du transformateur en raison d'un encombrement moindre et de meilleures performances. Cependant, la complexité réside dans le layout des capacités. Dans le cas du 130nm PDSOI, le choix s'oriente davantage vers le coupleur hybride torsadé pour un gain de surface sur une dimension tout en ayant de meilleures performances en adaptation et isolation.

2.1.5 Étude des performances des transistors

Pour compléter l'étude des technologies 28nm FDSOI et 130nm PDSOI, une comparaison des performances des transistors est nécessaire. Afin de les comparer de manière adéquate, les dimensions sont fixées telles que :

- $W_f = 1\mu m$: largeur d'un doigt
- $N_f = 1$: nombre de doigts
- $L_f = L_{min}$: longueur d'un doigt
- $m = 1$: multiplicité

Plusieurs transistors sont disponibles dans les PDKs de chaque technologie. Afin de restreindre l'étude, seuls les transistors NMOS pour des applications RF sont caractérisés dans la suite. Ainsi, les transistors choisis sont :

- 28nm LVT N-FET RF : transistor à faible V_{th} de la 28nm FDSOI

- 28nm RVT N-FET RF : transistor à V_{th} standard de la 28nm FDSOI
- 130nm 25BC N-FET RF : transistor à oxyde de grille épais de la 130nm PDSOI
- 130nm 5BC N-FET RF : transistor à oxyde de grille fin de la 130nm PDSOI

Étude DC : Cette étude consiste à extraire différents paramètres caractéristiques d'un transistor, tels que la conductance de transfert g_m , la conductance de sortie g_{ds} et le courant de drain I_d .

La figure 2.22 compare les transconductances des deux transistors de chaque technologie. Ces courbes donnent ainsi une image des performances en gain petit signaux — au travers du g_m — et en source de courant — au travers du g_{ds} . Les transistors en 28nm, ayant une longueur L_f plus faible, présentent une meilleure transconductance (g_m) en raison d'un nœud plus fin. En contrepartie, un canal court est aussi moins résistif, ce qui tend à augmenter la transconductance g_{ds} , dégradant le fonctionnement en source de courant.

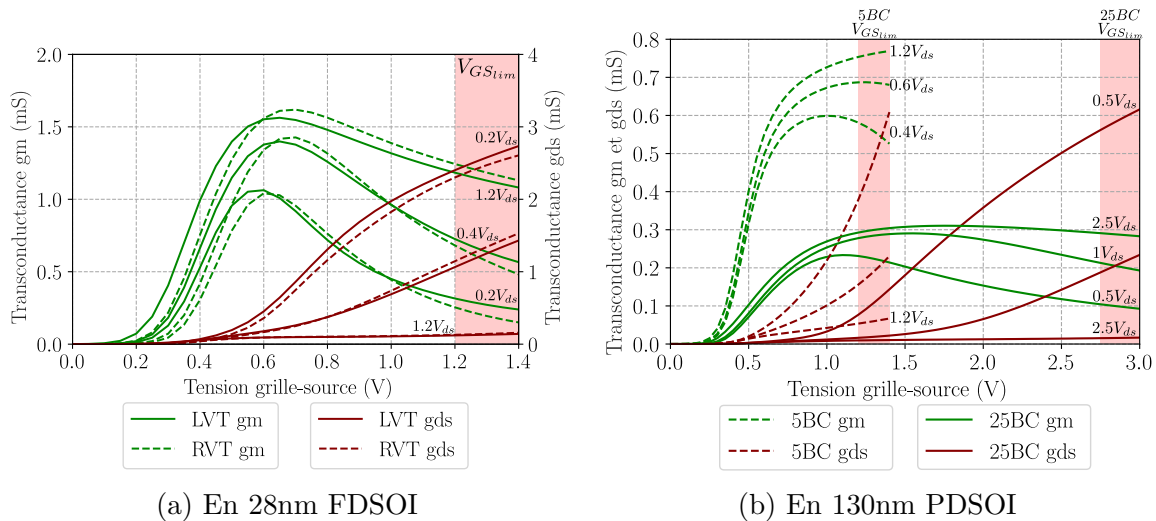


FIGURE 2.22 – Comparaison des transconductances caractéristiques g_m et g_{ds}

La figure 2.23 permet de visualiser la caractéristique de transfert de sortie des transistors. Les transistors en 28nm FDSOI possèdent une densité de courant plus élevée, atteignant 1,2mA à la tension V_{gs} maximale, contre 0,58mA pour le transistor à oxyde épais en 130nm PDSOI. De plus, les transistors en 28nm possèdent des tensions de seuil plus faibles, de l'ordre de 250mV, contre environ 350mV pour les transistors en 130nm, ce qui permet un fonctionnement à des tensions plus basses.

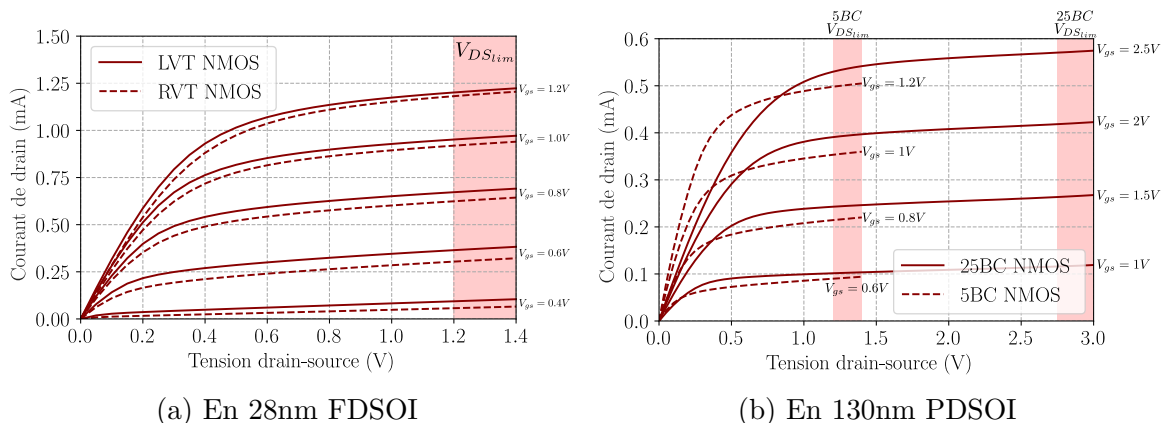


FIGURE 2.23 – Caractéristiques de transfert en sortie $I_d(V_{ds})$

La technologie 130nm PDSOI offre de meilleures performances en termes de qualité des transistors en zone de saturation. En effet, les pentes $\frac{\partial I_d}{\partial V_{ds}}$ en zone de saturation sont plus faibles pour les transistors en 130nm PDSOI que pour ceux en 28nm FDSOI. Ceci correspond également au fait que $g_{ds130nm} < g_{ds28nm}$, comme observé précédemment sur la figure 2.22. La conséquence d'un tel effet est d'obtenir des transistors plus linéaires en grands signaux.

Étude SP : Dans cette étude, les paramètres fréquentiels sont étudiés. Ces paramètres incluent notamment le gain maximal disponible (*MAG*), le gain de Mason (*U*), la fréquence de transition (f_T) et la fréquence maximale (f_{max}).

La figure 2.24 présente les performances en gain maximal disponible et en gain de Mason. Le gain maximal disponible est défini par l'équation 2.14. Ce gain représente le gain transducteur (1.5) pour lequel l'amplificateur est considéré comme parfaitement adapté — $S_{11} = 0$ et $S_{22} = 0$. Cela permet de maximiser le gain relatif aux pertes par adaptation d'impédance, tout en considérant l'isolation non idéale du transistor — $S_{12} > 0$. Enfin, le gain de Mason est défini par l'équation 2.15. Il traduit le gain en puissance maximum réalisable dans le cas où l'amplificateur est unilatéral — $S_{12} = 0$ — et parfaitement adapté en entrée et sortie — $S_{11} = 0$ et $S_{22} = 0$. Ainsi, pour une fréquence et un point de fonctionnement donnés, la grandeur *U* est théoriquement invariante. Ce gain permet ainsi d'extrapoler la fréquence de fonctionnement maximale f_{max} .

$$G_{MAX} = MAG = \left| \frac{Y_{21}}{Y_{12}} \right|^2 \cdot \frac{1}{X + \sqrt{X^2 - 1}} \quad (2.14)$$

Avec : $X = \frac{2Re(Y_{11})Re(Y_{22}) - Re(Y_{12}Y_{21})}{|Y_{12}Y_{21}|}$

$$U = \frac{|Y_{12} - Y_{21}|^2}{4[Re(Y_{11}) \cdot Re(Y_{11}) - Re(Y_{12}) \cdot Re(Y_{21})]} \quad (2.15)$$

Le gain maximal disponible en 28nm FDSOI est supérieur au *MAG* de la 130nm PDSOI. Pour le dimensionnement d'un amplificateur de puissance, cela peut induire un nombre d'étages d'amplificateurs plus important en 130nm ou alors des transistors avec un ratio $\frac{W}{L}$ plus élevé en 130nm afin de compenser la perte de gain.

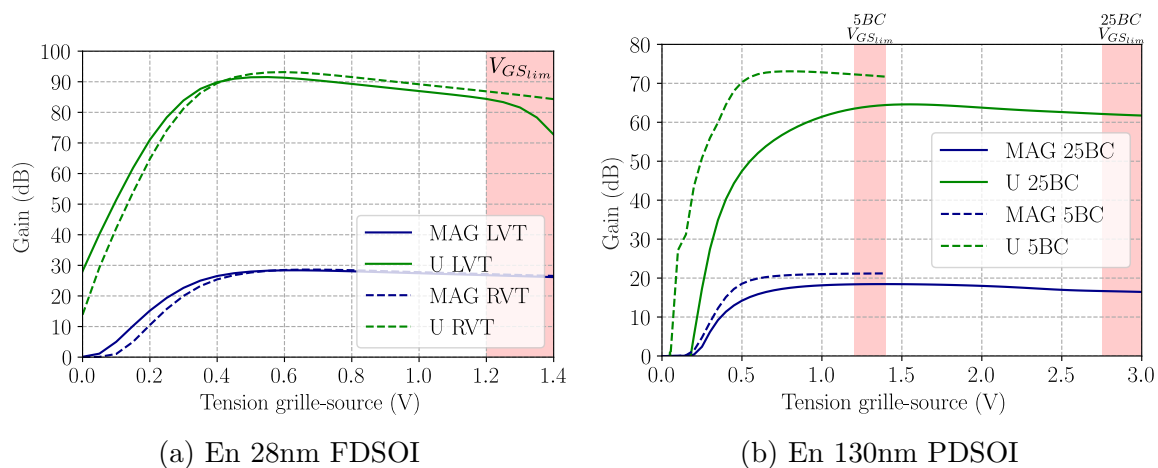


FIGURE 2.24 – Caractéristiques de gain des transistors @ 1.9GHz

Le gain de Mason est également supérieur en 28nm FDSOI en raison du nœud plus fin, ce qui se traduit par les phénomènes observés sur la figure 2.26. La figure ci-dessous présente les performances limites de fonctionnement en fréquence en termes de puissance avec f_{max} et en termes de courant avec f_T . En considérant un produit gain-bande (GBW) constant, l'extrapolation de f_{max} et f_T est réalisée à l'aide des équations (2.16) et (2.17).

$$f_{max} = U \cdot f_{meas} \quad (2.16)$$

$$f_T = |H_{21}| \cdot f_{meas} \quad (2.17)$$

La technologie 28nm FDSOI possède une fréquence maximale de 370GHz contre 130GHz pour les transistors 5BC de la 130nm PDSOI et 70GHz pour les transistors 25BC de cette même technologie. Une autre façon d'exprimer la f_{max} existe à travers l'équation (2.18). Cette équation permet de déterminer l'origine de la baisse de la fréquence maximale entre les deux technologies.

La réduction du g_m , comme présenté précédemment, représente la majeure partie de la réduction de la f_{max} . De plus, la capacité d'entrée grille-source C_{gs} et la résistance d'accès r_g ont un impact non négligeable en raison du filtre passe-bas en entrée, comme présenté sur la figure 2.25.

$$f_{max} \approx \frac{g_m}{2\pi C_{gs} \sqrt{r_g \left(1 + \frac{C_{ds}}{C_{gs}}\right)}} \quad (2.18)$$

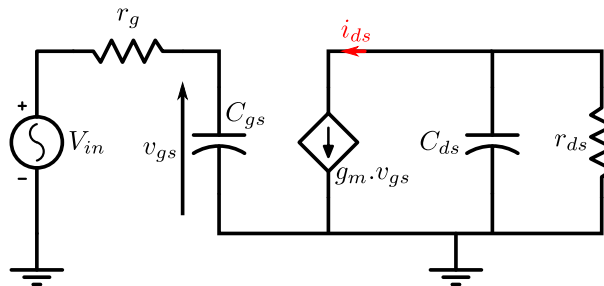


FIGURE 2.25 – Modèle petit signal simplifié d'un transistor pour le calcul de f_{max}

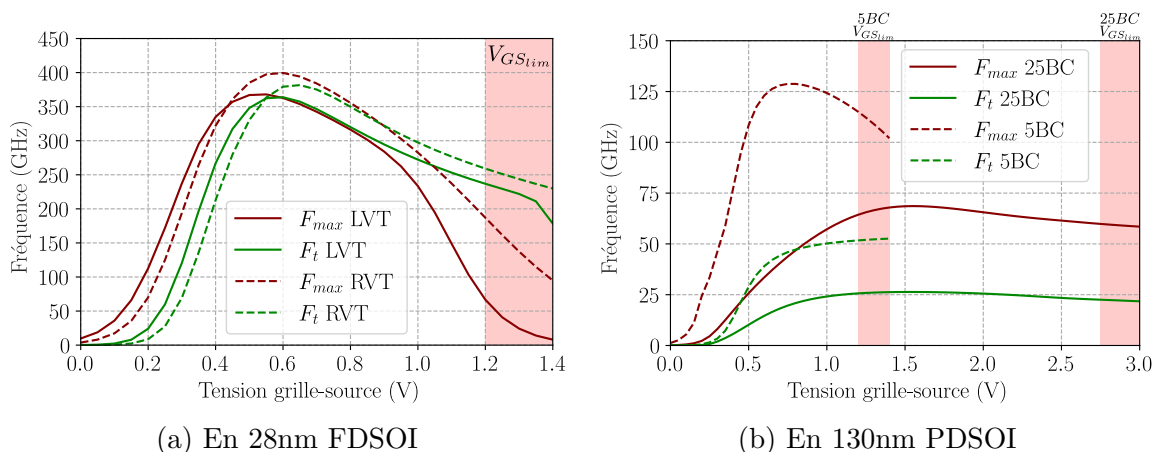


FIGURE 2.26 – Fréquences maximales et de transition des transistors @ 100MHz

2.1.6 Conclusions sur les performances des transistors et passifs des deux technologies

L'étude du BEOL, des passifs et des transistors des deux technologies a permis de révéler les avantages et inconvénients de la 28nm FDSOI et de la 130nm PDSOI. Les avantages majeurs de la 130nm PDSOI sont principalement liés à la qualité de son BEOL. Les inductances, capacités et les coupleurs hybrides ont de meilleures performances en raison des deux niveaux épais disponibles, *M4U* et *ALU*. Le BEOL est cependant limité par le nombre de couches disponibles, rendant la réalisation de certains passifs et interconnexions plus complexe, telle que la conception d'inductances.

Concernant les transistors, la 28nm FDSOI possède des transistors de bien meilleure qualité dans la majorité des critères présentés dans cette section — transconductance g_m , densité de courant i_d , gain MAG et U , fréquence f_{max} et f_T . Ceci est principalement lié à la réduction de la taille du nœud. La transconductance g_{ds} quant à elle est meilleure en 130nm PDSOI en raison d'une longueur de canal plus importante.

Enfin, les niveaux de tension du transistor 25BC de la 130nm PDSOI permettent une meilleure tenue en puissance malgré la densité de courant plus faible en raison d'une tension de jonction maximale de 2,75V, contre 1,2V en 28nm FDSOI. Pour une application NB-IoT, la technologie la plus pertinente est la 130nm PDSOI en raison de son coût de fabrication plus faible, de sa tenue en puissance et des performances suffisantes pour les fréquences visées. La comparaison des performances des PAs est réalisée dans le chapitre 3 de ce manuscrit.

2.2 Techniques d'amélioration de l'efficacité

Comme observé dans l'état de l'art des PAs, de nombreuses techniques d'amélioration de l'efficacité sont utilisées pour réduire la consommation des amplificateurs de puissance. Dans cette section, différentes topologies de PA sont présentées en détail afin de choisir l'architecture optimale.

2.2.1 Amplificateur Doherty

Le principe de l'amplificateur Doherty est de maintenir le rendement maximal de l'amplificateur sur une plage de puissance plus importante [45], là où un PA classique possède un rendement maximal uniquement à P_{sat} . L'objectif est donc de dimensionner l'amplificateur de puissance Doherty pour maintenir un bon rendement de la saturation jusqu'au recul en puissance (PBO).

Un amplificateur Doherty est généralement composé de deux amplificateurs. Le premier est polarisé en classe AB, appelé amplificateur principal (PA_P), et le second est polarisé en classe C, appelé amplificateur auxiliaire (PA_A). Ces deux PAs sont câblés en parallèle par l'intermédiaire de déphaseurs 90° (figure 2.27).

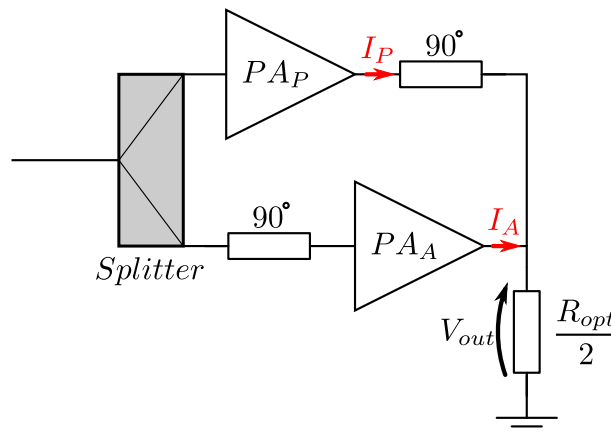


FIGURE 2.27 – Schéma simplifié d'un PA Doherty et déphaseur 90°

Le fonctionnement d'une telle topologie est basé sur le principe de modulation d'impédance [46]. Le schéma de la figure 2.28 présente le schéma minimaliste permettant d'établir l'équation du principe de modulation de charge.

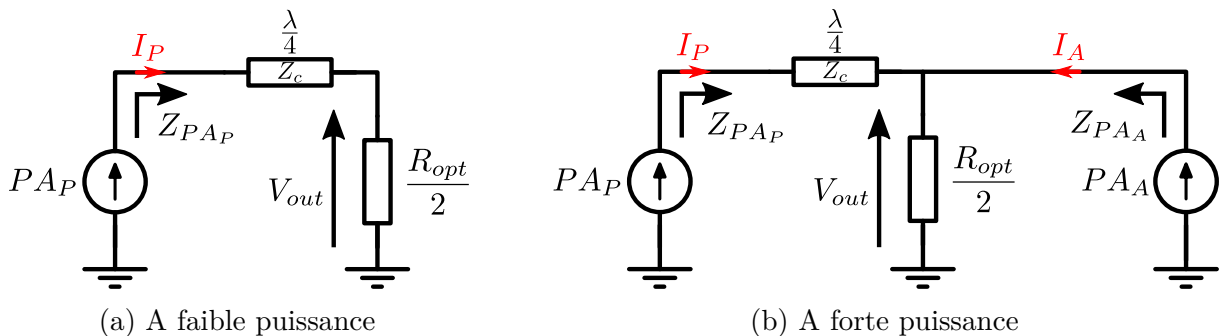


FIGURE 2.28 – Schéma de principe de la modulation de charge d'un PA Doherty

À faible puissance, l'amplificateur auxiliaire est éteint, le transistor d'amplification ne conduit pas et l'impédance de sortie présentée Z_{PA_A} est idéalement infinie. Ainsi, le PA

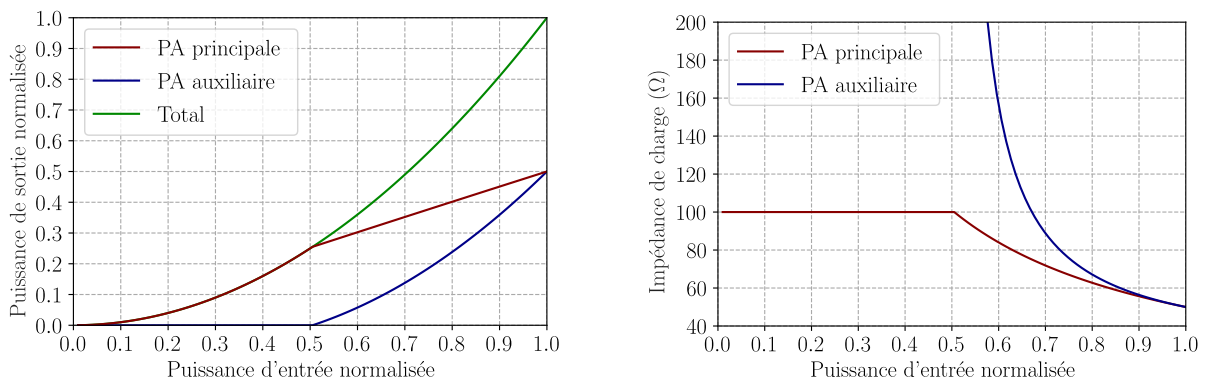
Doherty se trouve dans la configuration de la figure 2.28(a). Dans ce cas, l'impédance présentée par la charge Z_L au PA_P est donnée par l'équation (2.19), en sachant que $Z_c = 2Z_L$. L'amplificateur voit deux fois sa charge optimale, ce qui résulte en une compression du PA_P 6dB plus tôt, permettant ainsi d'atteindre le rendement maximal avec un PBO de 6dB.

$$Z_{PA_P} = 2Z_L \left(2 - \frac{I_a}{I_p}\right) = R_{opt} \left(2 - \frac{I_a}{I_p}\right) = 2.R_{opt} \quad (2.19)$$

Lorsque la puissance d'entrée augmente, l'amplificateur PA_A commence à conduire, réduisant progressivement les impédances Z_{PA_P} et Z_{PA_A} jusqu'à atteindre R_{opt} lorsque $I_a = I_p$. L'évolution des impédances de chaque PA est donnée par les équations (2.20) et (2.21) et est représentée graphiquement sur la figure 2.29. Ce phénomène permet de maintenir l'amplificateur principal dans sa zone de compression tout en augmentant la puissance de sortie en réduisant la charge vue par chaque PA.

$$Z_{PA_P} = 2Z_L \left(2 - \frac{I_a}{I_p}\right) = R_{opt} \left(2 - \frac{I_a}{I_p}\right) \quad (2.20)$$

$$Z_{PA_A} = 2Z_L \frac{I_p}{I_a} = R_{opt} \frac{I_p}{I_a} \quad (2.21)$$



(a) Contribution en puissance de chaque PA

(b) Impédance vue par chaque PA

FIGURE 2.29 – Principe de modulation de charge

Par ailleurs, les équations n'indiquent pas nécessairement un pic de PAE à 6dB de PBO. En effet, selon le moment où le PA auxiliaire entre en conduction, le pic de rendement peut être choisi avec un recul en puissance arbitraire. Cependant, plus le PBO est élevé, moins le maintien de la PAE est efficace. La figure 2.30 montre le rendement idéal d'un amplificateur Doherty avec plusieurs niveaux de recul en puissance et la contribution du rendement de chaque PA.

L'architecture classique des déphaseurs 90° composant un PA Doherty est réalisée par des lignes quart-d'onde ou à l'aide d'un réseau d'éléments localisés. Ceci rend donc le PA intrinsèquement bande-étroite. A basse fréquence, l'utilisation de lignes quart-d'onde n'est pas envisageable en raison des dimensions prohibitives pour des circuits intégrés. La linéarité est également dégradée en raison de la modulation de charge, comme présenté sur la courbe de la figure 2.29(a).

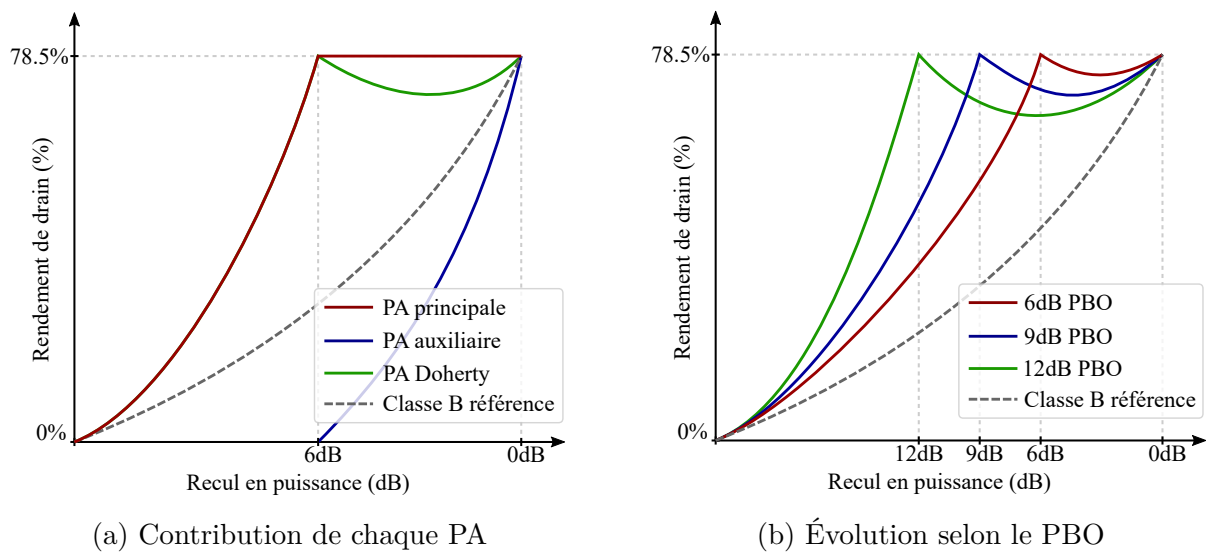


FIGURE 2.30 – Amélioration du rendement avec un PA Doherty

2.2.2 Amplificateur outphasing/Chireix

L'amplificateur outphasing est un exemple d'architecture dite LINC (Linear amplification with Nonlinear Component). Cette technique a la particularité de convertir un signal à enveloppe variable en deux composantes à amplitudes constantes à l'aide d'un réseau d'entrée permettant de transformer l'information contenue dans l'amplitude en information contenue dans la différence de phase entre les deux signaux. La variation d'amplitude est alors reconstruite par sommation vectorielle [47]. La figure 2.31 présente l'architecture simplifiée avec ses éléments caractéristiques.

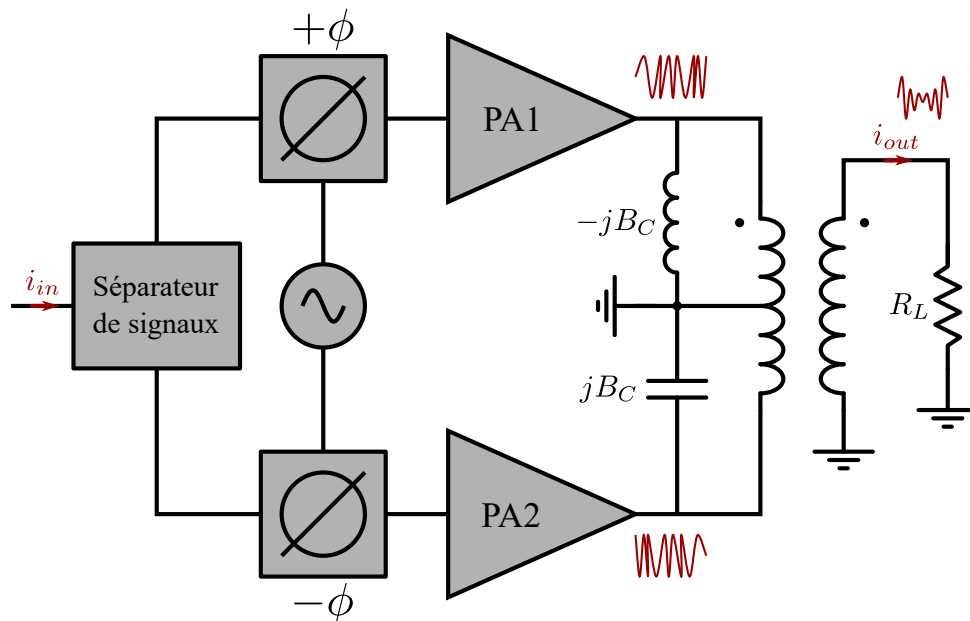


FIGURE 2.31 – Schéma simplifié d'un PA outphasing

En considérant un signal à amplitude et phase variable $S(t)$ tel que :

$$S(t) = A(t) \cdot e^{j(\omega_c t + \theta(t))} = S_1(t) + S_2(t) \quad (2.22)$$

Il est possible de définir deux signaux à enveloppe constante $S_1(t)$ et $S_2(t)$ tels que leur somme donne le signal initial $S(t)$. Ces signaux s'écrivent alors :

$$S_1(t) = \frac{A_m}{2} \cdot e^{j(\omega_c t + \theta(t) + \phi(t))} \quad S_2(t) = \frac{A_m}{2} \cdot e^{j(\omega_c t + \theta(t) - \phi(t))} \quad (2.23)$$

Dans le cas où $S_1(t)$ et $S_2(t)$ sont décrits comme dans l'équation (2.23) — avec A_m l'amplitude maximale du signal $S(t)$, $\theta(t)$ la phase modulée du signal $S(t)$, ω_c la pulsation de la porteuse et $\phi(t)$ l'angle de déphasage — $\phi(t)$ s'écrit alors comme indiqué dans l'équation (2.24).

$$\phi(t) = \begin{cases} \arccos\left(\frac{A(t)}{A_m}\right) & \text{pour une combinaison série} \\ \arcsin\left(\frac{A(t)}{A_m}\right) & \text{pour une combinaison différentielle} \end{cases} \quad (2.24)$$

Les deux modes de combinaison sont présentés figure 2.32.

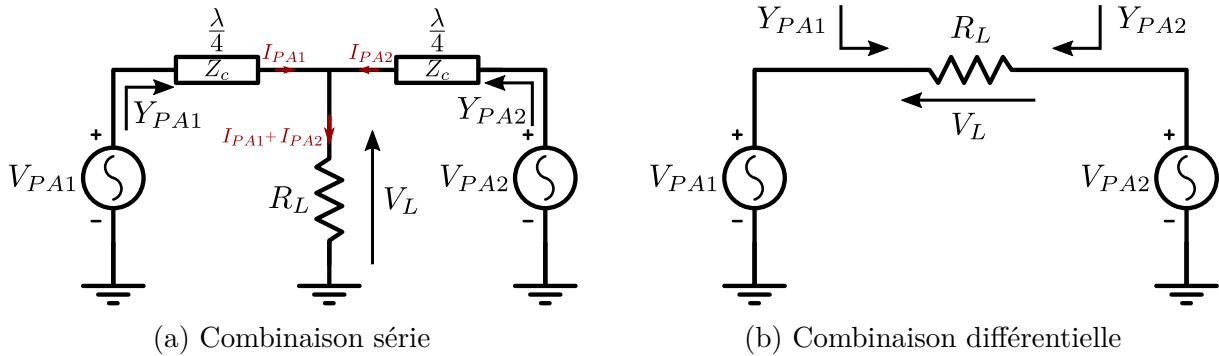


FIGURE 2.32 – Deux types de combinaison de puissance d'un PA outphasing

Les signaux $S_1(t)$ et $S_2(t)$ étant à enveloppe constante, cela permet d'utiliser des classes d'amplificateurs commutés (classe E, F) permettant d'obtenir une efficacité importante et théoriquement quel que soit le niveau de puissance nécessaire en sortie, ce qui entraîne une amélioration du rendement au recul en puissance. La linéarité d'un tel amplificateur est caractérisée par la qualité de la décomposition et de la reconstruction du signal modulé en amplitude.

En entrée, le déphasage des signaux $S_1(t)$ et $S_2(t)$ doit être le plus linéaire possible. Lors de la combinaison de puissance en sortie, la charge vue par chaque amplificateur dépend de l'angle ϕ . Le cas idéal est présenté sur la figure 2.33. Les équations permettant de déterminer l'impédance présentée à chaque amplificateur sont déterminées par l'étude du circuit de combinaison différentielle (figure 2.32(b)) et s'écrivent sous la forme (2.25) et (2.26).

$$Y_{PA1} = \frac{2\sin^2(\phi)}{R_L} \left[1 - j \frac{1}{2} \frac{\sin(2\phi) - R_L \cdot BC}{\sin^2(\phi)} \right] \quad (2.25)$$

$$Y_{PA2} = \frac{2\sin^2(\phi)}{R_L} \left[1 + j \frac{1}{2} \frac{\sin(2\phi) - R_L \cdot BC}{\sin^2(\phi)} \right] \quad (2.26)$$

Avec le produit $R_L \cdot BC$ correspondant à la compensation réactive permettant une amélioration du rendement au PBO.

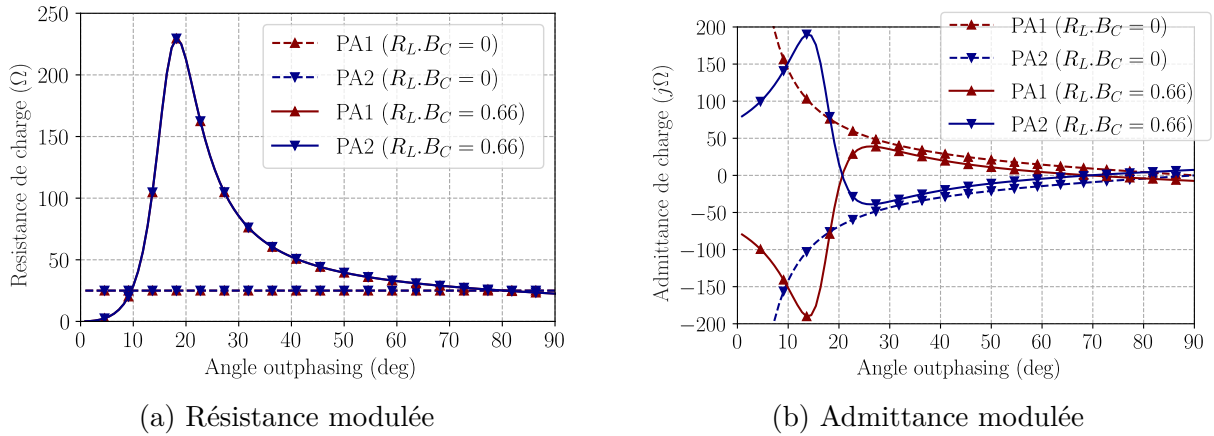


FIGURE 2.33 – Modulation de charge de chaque PA

Le rendement de drain théorique d'un tel amplificateur peut être décrit par l'équation (2.27).

$$DE_{OPA} = \frac{1}{\sqrt{1 + \frac{1}{4} \left(\frac{\sin(2\phi) - R_L.B_C}{\sin^2(\phi)} \right)^2}} \quad (2.27)$$

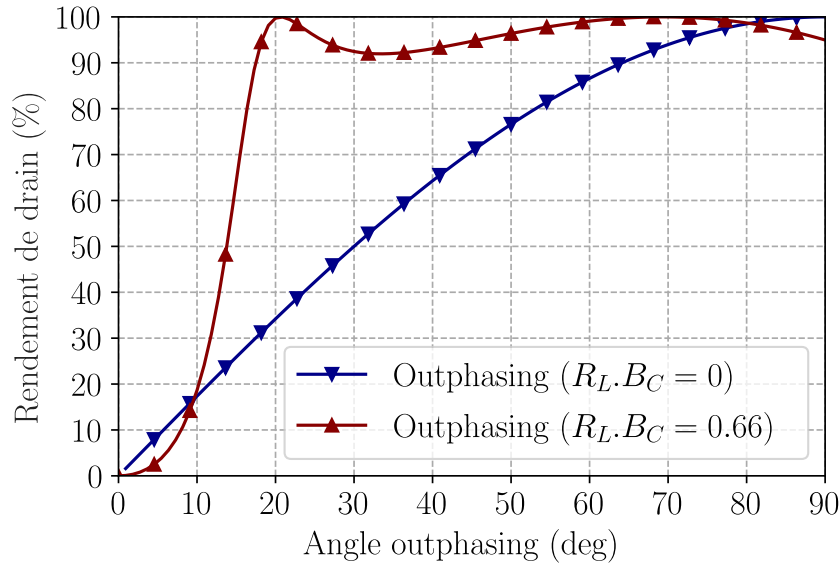


FIGURE 2.34 – Efficacité de drain d'un PA outphasing

Comme le montre la figure 2.33(b), la variation importante de la partie imaginaire de l'impédance tend à dégrader l'efficacité de l'amplificateur au PBO (figure 2.34). Le combineur Chireix, inventé par H. Chireix en 1935 [48], permet d'améliorer la PAE au PBO en ajoutant des éléments de compensation réactive B_C — correspondant au coefficient $R_L.B_C$ des équations précédentes. Ceci permet de réduire la plage de variation de la partie réactive afin de maintenir l'amplificateur au plus proche de la charge optimale de rendement.

Un désavantage majeur de cette structure est son comportement bande étroite. En effet, les PAs outphasing sont par construction très bande étroite en raison de la combinaison de puissance et du phénomène de modulation de charge.

2.2.3 Techniques de modulation d'alimentation ET et EER

Les deux méthodes présentées dans cette partie permettent d'augmenter la PAE en modulant la tension d'alimentation du PA. Ceci est réalisé en ajustant la tension d'alimentation du transistor d'amplification afin de le faire fonctionner dans sa zone de rendement optimal.

Suivi d'enveloppe (ET) : Cette première méthode, dont le schéma de principe est présenté figure 2.35, consiste en :

- Un bloc de détection d'enveloppe permettant d'isoler l'enveloppe du signal RF d'entrée.
- Un modulateur d'alimentation transformant le signal de sortie du détecteur d'enveloppe en un niveau de tension variable permettant d'alimenter le PA.

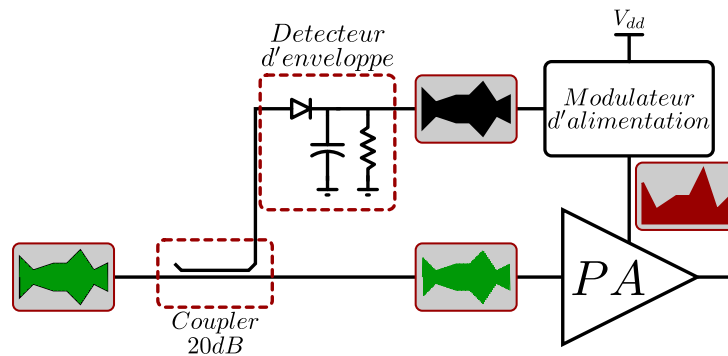


FIGURE 2.35 – Schéma de principe d'un PA à ET

Cette première technique est la plus simple des deux. En effet, le bloc le plus complexe de cette architecture est la conception du modulateur d'enveloppe. Ce bloc se doit d'avoir un rendement le plus élevé possible afin de ne pas dégrader les avantages de l'ET. De plus, le suivi de l'enveloppe doit être synchronisé avec le signal envoyé à l'amplificateur de puissance, et la bande passante du modulateur doit permettre de répondre suffisamment rapidement aux changements d'amplitude de l'enveloppe pour respecter la bande passante du signal modulé [49].

Il est possible de distinguer deux types de modulateurs d'enveloppe. Le premier type consiste en des modulateurs continus de type alimentation à découpage ou alimentation linéaire variable. Ces derniers sont complexes et possèdent souvent un rendement élevé à faible puissance et une bande passante limitée. Le second type consiste en l'utilisation d'une alimentation segmentée. Le suivi de l'enveloppe est alors découpé en plusieurs niveaux de tensions discrets utilisant des interrupteurs pour choisir le niveau de tension à appliquer. Cette technique possède un meilleur rendement et une meilleure bande passante en raison de la commutation des interrupteurs [50].

Élimination et restauration d'enveloppe (EER) : Cette seconde technique de modulation d'alimentation ajoute un bloc supplémentaire permettant la génération d'un signal à enveloppe constante. En effet, dans l'architecture d'origine présentée par Leonard R. Kahn en 1952 [51], la génération d'enveloppe constante est réalisée par un limiteur analogique, comme présenté sur la figure 2.36. Cela permet ainsi l'utilisation de classes à fort rendement, telles que les classes commutées, contrairement à l'ET.

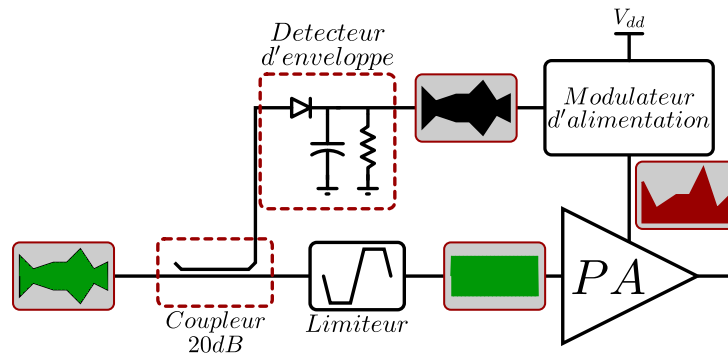


FIGURE 2.36 – Schéma de principe d'un PA à EER

De nos jours et avec l'évolution des processeurs, la génération du signal à enveloppe constante et du signal de l'enveloppe peut être réalisée par un processeur dédié de type CORDIC, permettant ainsi une plus grande flexibilité dans le contrôle du PA et offrant une architecture entièrement numérique.

Les contraintes d'une telle architecture sont héritées du principe de suivi d'enveloppe détaillé précédemment. De plus, l'EER est soumise à des contraintes plus fortes concernant l'alignement du signal à enveloppe constante avec le signal de la modulation d'alimentation [52]. En effet, alors que le signal de l'ET envoyé au PA conserve son enveloppe, le signal en entrée de l'amplificateur avec EER ne possède pas d'information dans son enveloppe. Ainsi, la restauration de l'amplitude du signal est uniquement déterminée par la modulation d'alimentation. Un désalignement des deux signaux tend à dégrader la linéarité de l'amplificateur.

L'amélioration de la PAE apportée par l'utilisation d'architectures à modulation d'alimentation est présentée dans la figure 2.37. Ces topologies permettent une forte amélioration de la PAE au PBO. La PAE_{max} est limitée par la classe de fonctionnement du PA, donnant un avantage à l'EER, et par le rendement du modulateur d'alimentation.

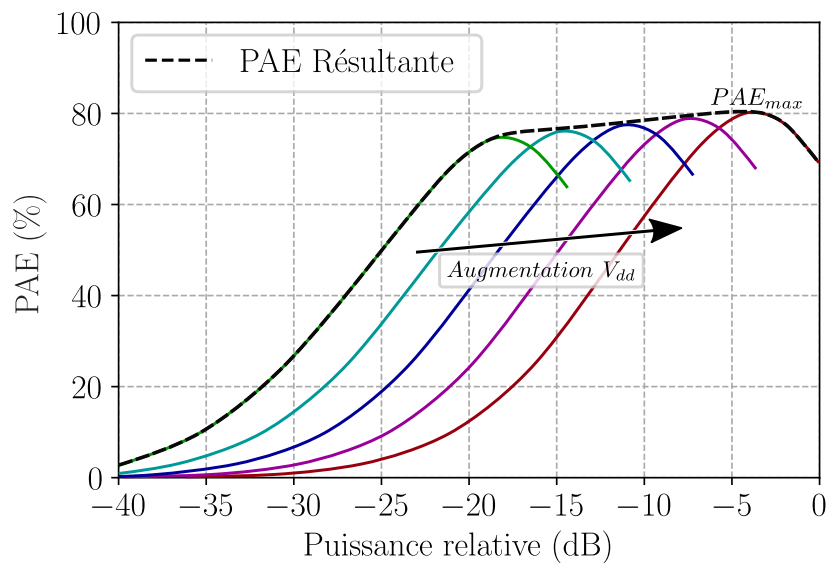


FIGURE 2.37 – Impact sur la PAE de la modulation d'alimentation

2.3 Techniques d'amélioration de la bande passante

Le spectre des fréquences s'enrichit de plus en plus à mesure que les générations de communications sans fil évoluent. Ainsi, les appareils doivent être capables de couvrir un nombre de bandes toujours croissant. Pour cela, plusieurs méthodes existent. Les méthodes actuelles consistent à réaliser autant de modules radio que de bandes de fréquences à couvrir. Chaque module radio est alors attribué à une bande, et un commutateur d'antenne vient sélectionner le bon module en fonction de la fréquence de travail.

Cette méthode est simple à appliquer mais présente de nombreux défauts. En effet, plus le nombre de bandes à adresser augmente, plus la taille nécessaire pour assembler les modules devient importante, ce qui peut être prohibitif dans le cas de certains systèmes embarqués. De plus, le même constat peut être fait concernant la consommation, ce qui devient critique dans le cas d'objets connectés. La figure 2.38 présente une architecture 5G multi-standards ainsi que tous les modules radios associés.

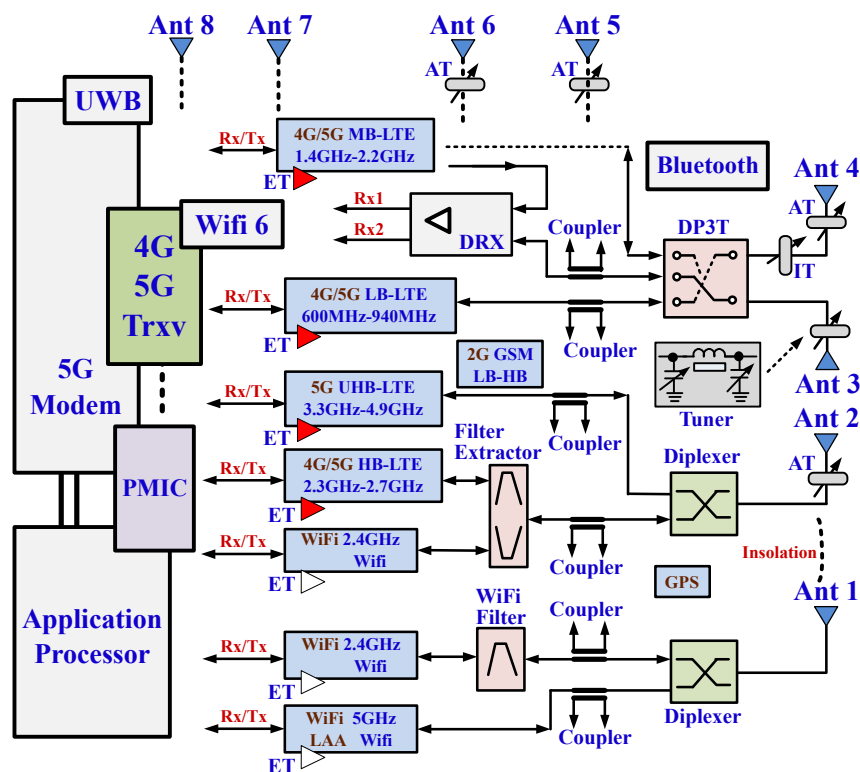


FIGURE 2.38 – Présentation d'une architecture 5G multi-standards [53]

Cette section s'intéresse aux techniques d'amélioration de la bande passante au niveau de l'amplificateur de puissance afin de pouvoir couvrir le maximum de bandes en n'utilisant qu'un seul module radio.

2.3.1 Transformateur large bande

L'utilisation de transformateurs est une méthode très commune d'adaptation d'impédance et de polarisation d'étages d'amplificateurs. Cependant, le dimensionnement classique d'un transformateur ne permet pas un fonctionnement large bande. L'objectif est donc de considérer le transformateur comme un résonateur à couplage magnétique (MCR) [54]. Plusieurs méthodes de dimensionnement peuvent être exploitées afin de dimensionner un transformateur selon une bande passante et des impédances d'entrée et de sortie définies.

Le modèle de MCR est présenté à la figure 2.39. Les paramètres connus de ce modèle sont :

- $Z_{in} = R_S + j.X_S$: impédance vue à l'entrée du transformateur coté PA
- $Z_{out} = R_L + j.X_L$: impédance vue à la sortie du transformateur coté PA
- ω_c : pulsation centrale de travail

Enfin, les paramètres à déterminer sont :

- C_{1add} : capacité supplémentaire en entrée du transformateur
- C_{2add} : capacité supplémentaire en sortie du transformateur
- L_1 : inductance du primaire
- L_2 : inductance du secondaire

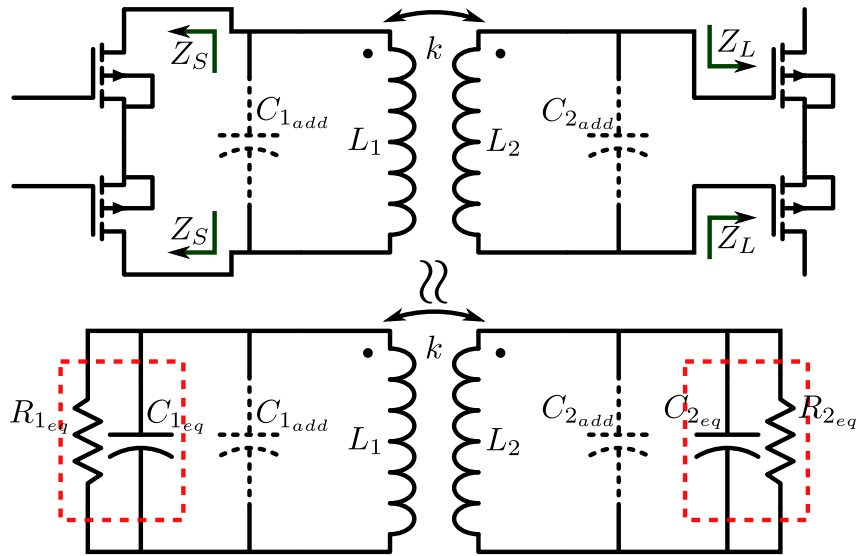


FIGURE 2.39 – Modèle de MCR

Dimensionnement d'un transformateur large bande

La première étape est la conversion des impédances d'entrée et de sortie vues par le transformateur. Les équations permettant la conversion d'une impédance série en une impédance parallèle sont définies dans les équations (2.28) et (2.29).

$$R_{1eq} = \frac{R_S^2 + X_S^2}{R_S} \quad | \quad R_{2eq} = \frac{R_L^2 + X_L^2}{R_L} \quad (2.28)$$

$$C_{1eq} = \frac{X_S}{\omega_c(R_S^2 + X_S^2)} \quad | \quad C_{2eq} = \frac{X_L}{\omega_c(R_L^2 + X_L^2)} \quad (2.29)$$

Une seconde étape consiste à déterminer le facteur de couplage k permettant d'obtenir la bande passante nécessaire. Dans le cas où $\omega_0 = \omega_1 = \omega_2$, l'équation (2.32) permet — pour un facteur de couplage k donné et une fréquence centrale f_c désirée — de déterminer la bande passante du transformateur.

Dans ces conditions, les pulsations des pôles ω_H, ω_L sont définies telles que :

$$\begin{aligned}\omega_H &= \frac{\omega_0}{\sqrt{1-k}} \\ \omega_L &= \frac{\omega_0}{\sqrt{1+k}}\end{aligned}\quad (2.30)$$

De plus, d'après la condition précédente, la pulsation de résonance ω_0 peut être définie telle que :

$$\omega_0 = \omega_c \sqrt{1-k^2} = \frac{1}{\sqrt{L_1(C_{1eq} + C_{1add})}} = \frac{1}{\sqrt{L_2(C_{2eq} + C_{2add})}} \quad (2.31)$$

Ainsi, il est possible de calculer la bande passante entre les deux pôles telle que :

$$\Delta\omega = \omega_H - \omega_L = \omega_c \left(\frac{\sqrt{1-k^2}}{\sqrt{1-k}} - \frac{\sqrt{1-k^2}}{\sqrt{1+k}} \right) \quad (2.32)$$

Les paramètres d'impédance et de facteur de couplage étant déterminés, la suite du dimensionnement consiste à calculer les inductances du primaire et secondaire permettant de résonner à ω_0 .

Ainsi, L_1 et L_2 sont obtenues par l'équation (2.33).

$$L_1 = \frac{1}{\omega_0^2(C_{1eq} + C_{1add})} \quad | \quad L_2 = \frac{1}{\omega_0^2(C_{2eq} + C_{2add})} \quad (2.33)$$

Les capacités C_{1add} et C_{2add} sont ajoutées afin de réduire les valeurs d'inductance nécessaires dans le cas d'applications basse fréquence. Cependant, augmenter les capacités C_{add} tend à augmenter le coefficient de qualité des résonateurs, ce qui entraîne une augmentation de l'ondulation dans la bande du MCR.

Le coefficient de qualité de chaque résonateur peut alors être calculé à l'aide de l'équation 2.34.

$$Q_1 = R_{1eq} \cdot \sqrt{\frac{(C_{1eq} + C_{1add})}{L_1}} \quad | \quad Q_2 = R_{2eq} \cdot \sqrt{\frac{(C_{2eq} + C_{2add})}{L_2}} \quad (2.34)$$

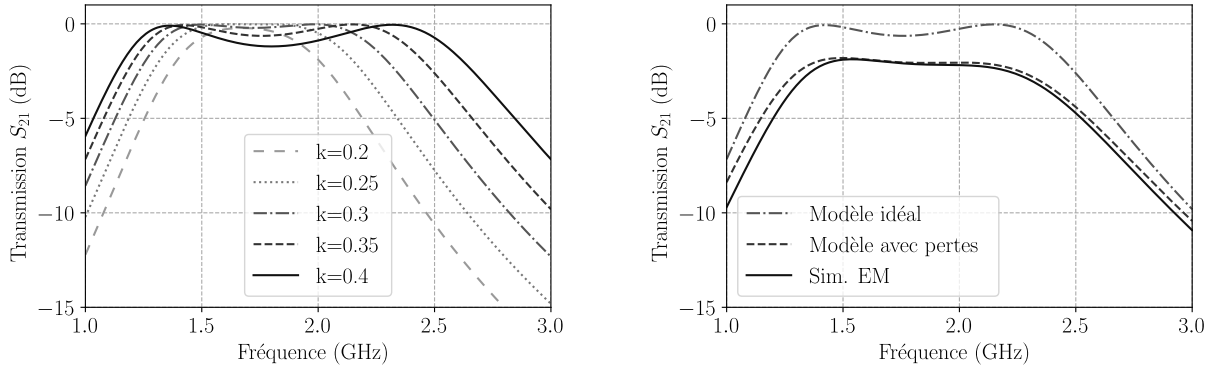
D'après [55], l'ondulation dans la bande peut être estimée à l'aide des impédances Z_{21} à ω_H et ω_c . Sachant que le MCR est symétrique ($\omega_1 = \omega_2$), les paramètres d'impédance sont définis d'après l'équation (2.35). Le rapport entre ces deux grandeurs, déterminé par l'équation (2.36), permet de définir l'ondulation dans la bande.

$$\begin{aligned}|Z_{21}(j\omega_H)| &= |Z_{21}(j\omega_L)| = \frac{\sqrt{R_{1eq}R_{2eq}}}{2} \\ |Z_{21}(j\omega_c)| &= \frac{k\sqrt{1-k^2}\sqrt{Q_1Q_2}}{1-k^2+k^2Q_1Q_2} \sqrt{R_{1eq}R_{2eq}}\end{aligned}\quad (2.35)$$

Le calcul des ondulations (2.36) permet de connaître le facteur de couplage maximal permettant de limiter les ondulations à 3dB afin d'optimiser la bande passante.

$$Ripple = \frac{|Z_{21}(j\omega_{H,L})|}{|Z_{21}(j\omega_c)|} = \frac{1-k^2+k^2Q_1Q_2}{2k\sqrt{1-k^2}\sqrt{Q_1Q_2}} \quad (2.36)$$

Le pré-dimensionnement précédent permet d'obtenir les performances présentées dans la figure 2.40. De plus, la corrélation entre le modèle électrique avec pertes et les résultats de la simulation EM révèle une bonne fiabilité du dimensionnement.

(a) Bande passante en fonction de k

(b) Comparaison des modèles

FIGURE 2.40 – Performances d'un transformateur large-bande en 130nm PDSOI

2.3.2 Adaptation d'impédance niveau transistor

L'adaptation d'impédance au niveau du transistor consiste à dimensionner l'architecture et les transistors du PA afin d'obtenir une impédance de sortie — typiquement 50Ω — la plus proche possible de l'impédance optimale. En effet, dans le cas de la conception de PAs, les impédances optimales sont souvent faibles en raison des fortes puissances de sortie nécessaires.

Différentes architectures permettent d'obtenir des impédances de sortie différentes. Les exemples les plus courants sont l'architecture empilée et l'architecture différentielle. L'augmentation de l'impédance est réalisée en augmentant l'amplitude de la tension aux bornes de la charge tout en conservant un courant constant. Ainsi, l'architecture empilée à deux transistors permet d'obtenir une impédance de charge optimale deux fois supérieure avec un courant de sortie constant, comme présenté dans la partie 1.3.4. Le même principe est utilisé pour l'architecture différentielle et pseudo-différentielle. Le modèle petit signal de la figure 2.41 permet de comprendre le mécanisme d'augmentation de l'impédance.

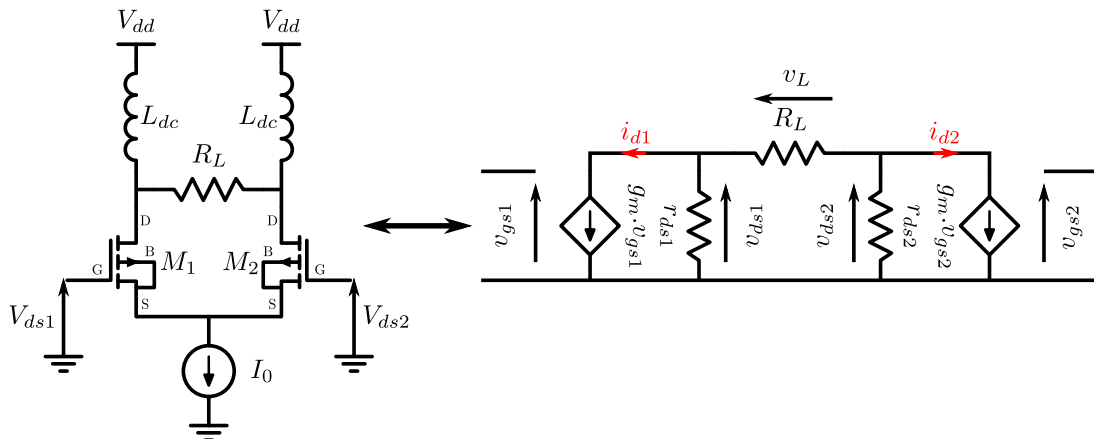


FIGURE 2.41 – Modèle petit signal d'un amplificateur différentiel

En considérant le montage de la paire différentielle ci-dessus, avec $M_1 = M_2$ et $v_{gs1} = -v_{gs2}$ pour un fonctionnement en mode différentiel, on a :

$$gm.v_{gs1} = -gm.v_{gs2} \equiv i_{d1} = -i_{d2} \quad (2.37)$$

$$\text{Donc : } v_{ds1} = -v_{ds2} \quad (2.38)$$

$$\text{Donc : } v_L = 2.v_{ds1} \quad (2.39)$$

Ceci permet de conclure que :

$$R_{opt_{diff}} = \frac{2.v_{ds1}}{i_{d1}} = 2.R_{opt_{single}} \quad (2.40)$$

L'architecture joue un rôle important dans l'augmentation de l'impédance optimale. Cependant, les paramètres géométriques du transistor d'amplification sont déterminants pour le choix de l'impédance optimale initiale. La figure 2.42 montre le trajet de l'impédance optimale en termes de PAE et de puissance de sortie lorsque la largeur totale W_{tot} du transistor d'amplification varie de $200\mu\text{m}$ à $2000\mu\text{m}$ avec une architecture "2-stacked".

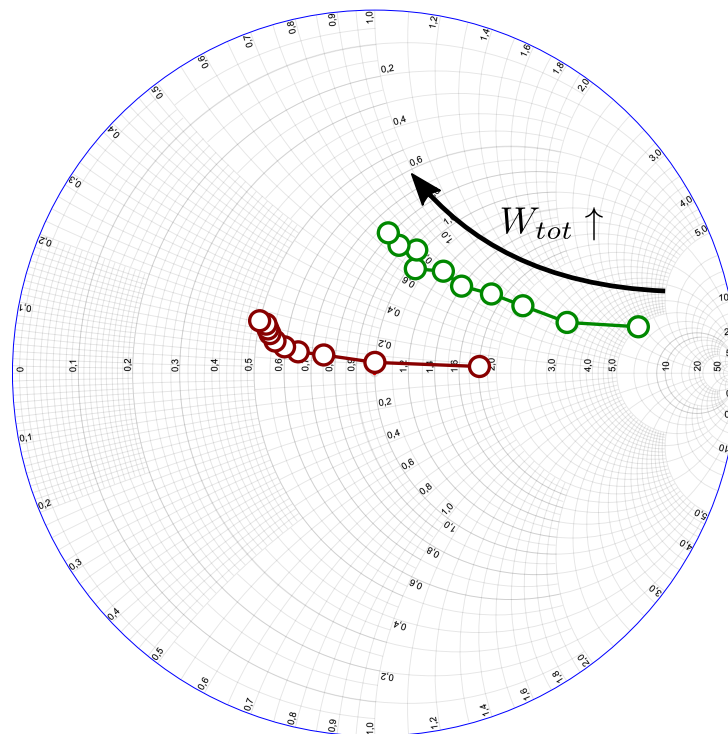


FIGURE 2.42 – Trajet d'impédance optimale en PAE et P_{out} selon la taille du transistor

Les simulations étant réalisées à puissance d'entrée constante, le trajet des impédances de charge optimales s'éloigne de l'axe des impédances réelles à mesure que le transistor sort de sa zone de compression. Si les simulations conservaient le transistor en saturation, il serait possible d'observer l'impédance optimale en puissance de sortie suivre l'axe des impédances réelles.

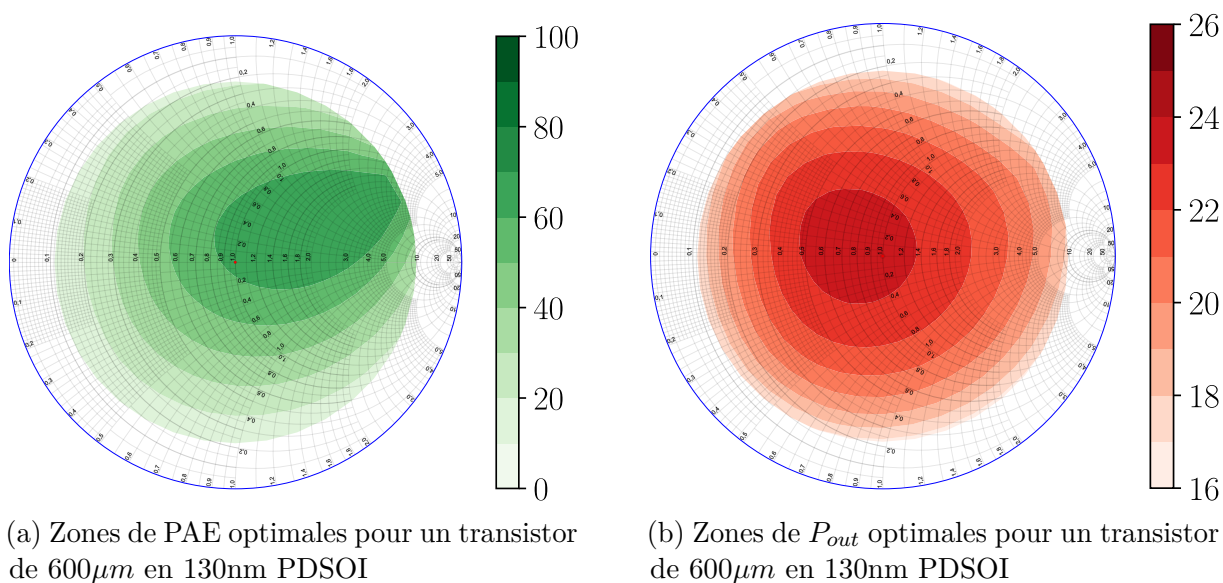


FIGURE 2.43 – Observation du principe d'adaptation d'impédance optimale par dimensionnement du transistor

Cette simulation permet de mettre en avant la possibilité d'obtenir une impédance optimale proche de l'impédance caractéristique de sortie, permettant ainsi un fonctionnement large-bande en sortie en raison de l'invariance en fréquence de l'impédance optimale. Cependant, cette technique n'est pas réalisable avec toutes les technologies intégrées. En effet, dans le cas de technologies avec de faibles niveaux de tension, il n'est pas forcément possible d'obtenir une architecture et une taille de transistor permettant à la fois d'atteindre la puissance de sortie désirée tout en ayant une impédance de sortie élevée. C'est notamment le cas de la technologie 28nm FDSOI.

La figure 2.43 montre les performances idéales d'un amplificateur cascode atteignant une puissance de sortie de 24dBm et une PAE de 60% pour une charge de 50Ω. L'adaptation d'entrée doit ensuite être dimensionnée afin d'ajuster le gain en fonction de la bande utile.

2.3.3 Réseau d'adaptation multi-étages

L'adaptation multi-étages permet d'obtenir une large bande passante en réduisant le facteur de qualité du réseau d'adaptation. En effet, ce dernier est défini dans l'équation (2.41) comme le rapport entre la fréquence centrale du réseau d'adaptation et sa bande passante à 3dB.

$$Q = \frac{f_0}{\Delta f_{3dB}} \quad (2.41)$$

Les réseaux d'adaptation classiques à deux ou trois éléments ne permettent pas de choisir un facteur de qualité. En effet, dans le cas des réseaux d'adaptation à deux éléments (L ou T), le facteur de qualité est déterminé par les composants utilisés. Pour les réseaux à trois éléments (II ou T), le facteur de qualité est même supérieur à celui des réseaux en L .

La figure 2.44 présente un exemple de réseau T à deux étages. L'objectif est de dimensionner le réseau tout en conservant le facteur de qualité le plus faible possible [56]. Pour cela, la résistance virtuelle R permettant de minimiser Q est calculée dans l'équation (2.42) telle que :

$$R = \sqrt{R_{low} \cdot R_{high}} \quad (2.42)$$

Le facteur de qualité Q minimal est alors déterminé par l'équation (2.43) telle que :

$$Q_{min} = \sqrt{\frac{R}{R_{low}} - 1} = \sqrt{\frac{R_{high}}{R} - 1} = \sqrt{\sqrt{\frac{R_{high}}{R_{low}} - 1}} \quad (2.43)$$

Avec $Z_{low} = R_{low} + j \cdot X_{low}$ et $Z_{high} = R_{high} + j \cdot X_{high}$.

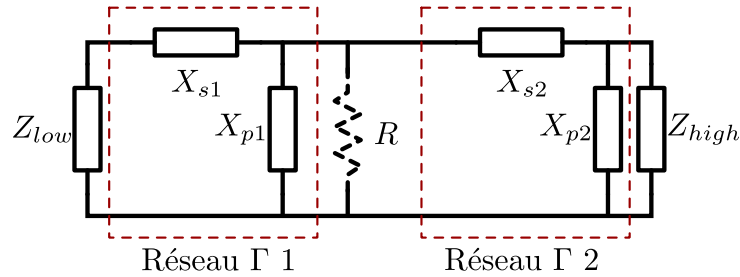


FIGURE 2.44 – Schéma d'exemple d'un réseau Γ à 2-étages

Dans le cas où le coefficient de qualité doit être davantage réduit, il est nécessaire d'augmenter le nombre d'étages. Dans ce cas, le dimensionnement du réseau est réalisé à l'aide de tables de valeurs [57].

L'avantage d'un tel réseau d'adaptation est donc la possibilité d'obtenir une bande théoriquement illimitée. Cependant, l'encombrement et les pertes apportées par cette méthode sont contraignants pour la conception de circuits intégrés. Il est complexe d'aller au-delà de trois étages tout en conservant de bonnes performances.

2.4 Méthodologie de conception d'amplificateurs de puissance

La conception de PAs nécessite plusieurs étapes de dimensionnement. Cette section présente les simulations permettant de valider les choix de conception de l'amplificateur de puissance selon les différentes topologies, classes de fonctionnement et méthodes présentées dans les sections précédentes. Tout au long de cette section, les choix sont justifiés en se référant au cahier des charges présenté dans le tableau 1.8.

2.4.1 Choix de la topologie de la cellule d'amplification

Comme présenté précédemment le choix de la topologie de la cellule d'amplification permet d'ajuster l'impédance et la puissance de sortie.

CMOS 130nm PDSOI :

Pour cette technologie, le choix du transistor s'est porté sur le RF 25BC (Section 2.1) en raison de sa tension d'alimentation plus élevée, permettant d'obtenir des puissances et des impédances de sortie plus élevées. En effet, le transistor RF 25BC a une tension drain-source maximale de 2,75V. Pour des raisons de fiabilité, la tension d'alimentation choisie pour le transistor est de 2,5V.

Le tableau 2.7 présente les impédances optimales dans le cas des topologies source-commune, cascode et cascode différentielles pour une puissance de sortie de 31dBm. Une marge est ajoutée aux 29dBm de puissance visée par le CDC en raison des écarts potentiels liés aux pertes, aux non-linéarités et aux désadaptations lors du passage au schématique et au layout.

TABLE 2.7 – Charge optimale pour différentes topologies amplificatrices en 130nm PDSOI

Topologie	P_{out} (dBm)	V_{dd} (V)	V_{rms} (V)	R_{opt} (Ω)
CS	31	2,5	1,8	2,5
cascode	31	5	3,5	9,9
cascode diff.	31	5	7,1	39,7

Le calcul de la résistance optimale de charge est détaillé dans l'équation 2.44.

$$R_{opt} = \frac{V_{rms}^2}{P_{out}} = \left(\frac{V_{dd}}{\sqrt{2}} \right)^2 \cdot \frac{1}{P_{out}} = \frac{V_{dd}^2}{2 \cdot P_{out}} \quad (2.44)$$

Le choix d'une architecture cascode différentielle est privilégié en raison d'une meilleure robustesse aux retours de masse et donc d'une meilleure résistance aux fuites RF dans l'alimentation.

CMOS 28nm PDSOI :

Le même procédé est utilisé pour le choix de la topologie en 28nm FDSOI. Le transistor choisi pour l'amplificateur est le RF LVT, qui a une tension de seuil (V_{th}) plus faible que

son homologue RVT. La tension d'alimentation maximale drain-source du RF LVT est de 1,2V. Tout comme précédemment, pour des raisons de fiabilité, le transistor est alimenté en 1V.

Le tableau 2.8 présente les impédances optimales pour les topologies source-commune, cascode, 3-stack et 3-stack différentielle pour la même puissance de sortie qu'en 130nm.

TABLE 2.8 – Charge optimale pour différentes topologies amplificatrices en 28nm FDSOI

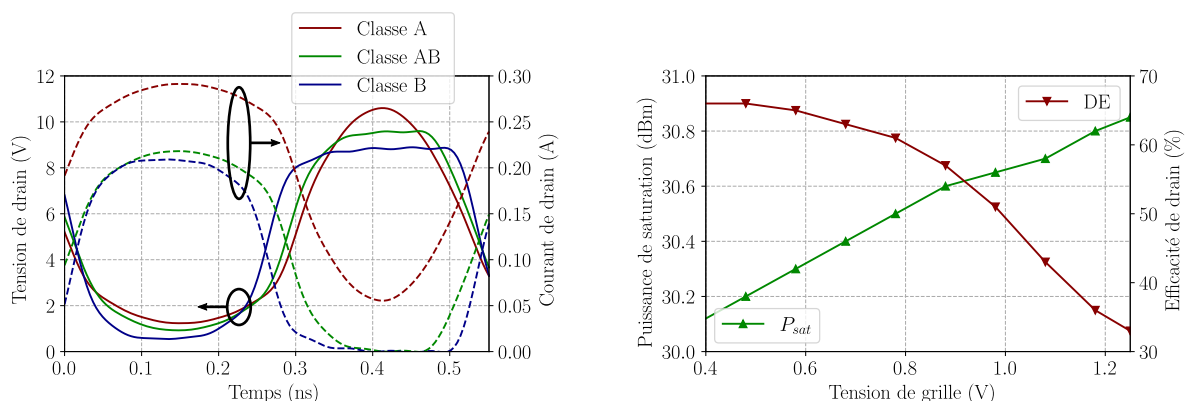
Topologie	P_{out} (dBm)	V_{dd} (V)	V_{rms} (V)	R_{opt} (Ω)
CS	31	1	0,71	0,4
cascode	31	2	1,4	1,6
3-stack	31	3	2,1	3,6
3-stack diff.	31	3	4,2	14,3

Dans le cas de la technologie 28nm, les impédances de charge optimales sont très faibles. Afin de viser les mêmes niveaux de puissance, la topologie 3-stack différentielle est choisie. Cependant, pour faciliter l'adaptation, deux cellules sont combinées en série, chaque cellule visant ainsi 28dBm.

2.4.2 Choix de la classe de fonctionnement

Le choix de la classe de fonctionnement de la cellule d'amplification se fera entre la classe A et la classe B. En effet, entre ces deux classes de fonctionnement, la puissance de sortie maximale est constante, ce qui se traduit par une charge optimale constante. Le but de cette partie est de choisir un point de polarisation entre la classe A et B permettant d'obtenir un compromis entre la PAE et la linéarité.

L'étude étant similaire entre la technologie 130nm PDSOI et la technologie 28nm FDSOI, le choix de la classe de fonctionnement est détaillé uniquement pour la 130nm. La valeur de la résistance optimale est donc de $R_{opt} = 39,7\Omega$ dans le cas de l'architecture cascode différentielle.



(a) Formes d'ondes les différentes classes de fonctionnement

(b) Impact de la classe de fonctionnement sur DE et P_{out}

FIGURE 2.45 – Simulations de l'impact de la classe de fonctionnement sur un PA cascode

La figure 2.45 présente les performances et les formes d'onde caractéristiques des classes de fonctionnement A, AB et B. La figure 2.45(b) révèle une bonne corrélation avec un

faible écart de la puissance maximale simulée ($\approx 30\text{dBm}$) par rapport aux estimations de la partie précédente ($= 31\text{dBm}$), montrant ainsi la validité du calcul de la résistance optimale. En effet, ce calcul donne une approximation considérant un signal purement sinusoïdal sans prendre en compte la tension de coude V_k — en 130nm PDSOI, $V_k \approx 0,6\text{V}$ — ni la compression de l'amplificateur.

Les formes d'ondes de la figure 2.45(a) révèlent bien une dégradation de la linéarité à mesure que l'angle de conduction s'approche de 180° , correspondant à la classe B. Dans le cas d'une application NB-IoT, les contraintes en linéarité telles que l'EVM et l'ACLR sont suffisamment permissives pour fonctionner avec une classe de fonctionnement peu linéaire. En revanche, l'efficacité est la caractéristique majeure d'une application à faible consommation et doit être priorisée.

La figure 2.45(b) montre une forte dégradation de DE avec l'augmentation de la tension grille-source. De plus, bien que la théorie indique une puissance maximale constante entre les classes A et B, la puissance chute légèrement en s'approchant de la classe B. Ainsi, le choix de la classe de fonctionnement se porte sur une classe AB profonde — $V_{gs} = 0,5\text{V}$ — permettant de privilégier l'efficacité et ainsi la PAE.

2.4.3 Conception des transistors de puissance

La classe de fonctionnement et l'architecture de la cellule d'amplification étant déterminées, il reste à dimensionner les transistors d'amplification de manière à répondre à la puissance de sortie du CDC.

En effet, l'impédance optimale permettant d'atteindre la puissance désirée peut être limitée par la densité de courant maximale que le transistor peut délivrer.

CMOS 130nm PDSOI :

Le transistor seul en 130nm PDSOI doit pouvoir délivrer une puissance de 26dBm. La figure 2.46 présente la variation des performances pour un transistor unitaire de $25\mu\text{m}$ et pour plusieurs valeurs de multiplicité M .

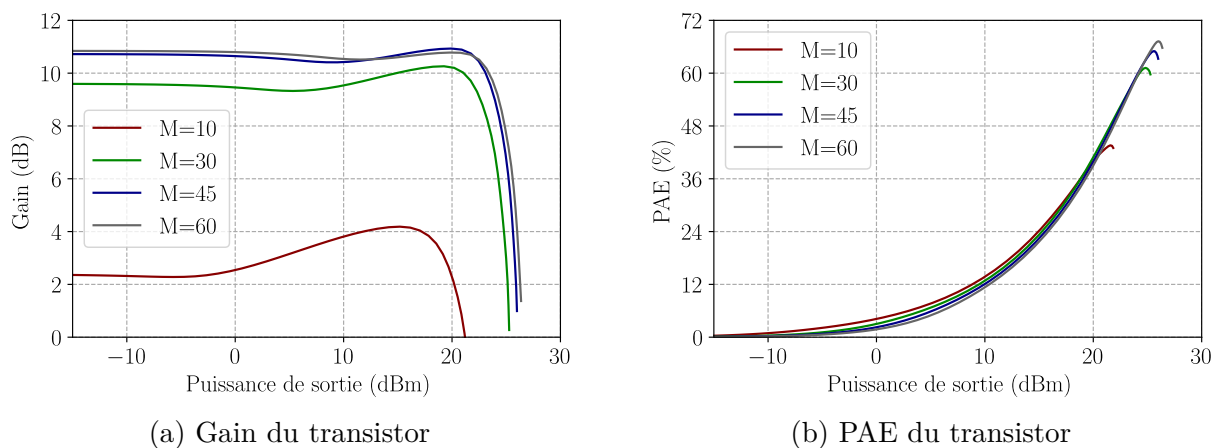


FIGURE 2.46 – Performances du transistor pour plusieurs valeurs de multiplicité

Dans le cas d'un transistor d'une multiplicité de 10 ($W_{tot} = 250\mu\text{m}$), le courant maximal ne permet pas d'atteindre la puissance optimale correspondante à la charge du PA. La valeur de multiplicité optimale permettant de répondre à la puissance de sortie nécessaire

est de 45 ($W_{tot} = 1125\mu m$). Au-delà de cette valeur, la puissance est limitée par la charge du PA et le gain n'évolue plus. De plus, plus la largeur du transistor est importante, plus les capacités parasites d'accès sont élevées, comme le montre la figure 2.47. Cela met en évidence l'intérêt de dimensionner le transistor à la taille minimale permettant de répondre au CDC afin de maximiser la f_{max} et l'isolation S_{12} .

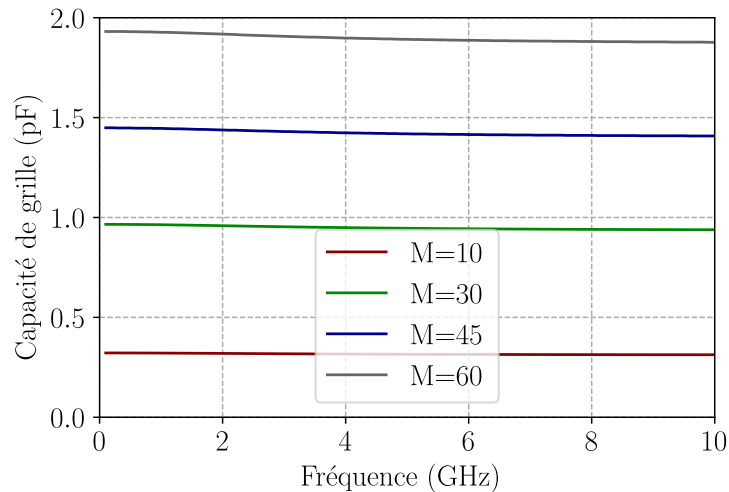


FIGURE 2.47 – Évolution de la capacité de grille avec la taille du transistor en 130nm PDSOI

CMOS 28nm FDSOI :

De la même manière, le transistor en 28nm FDSOI doit pouvoir délivrer une puissance de 21dBm. La figure 2.48 présente la variation des performances pour un transistor unitaire de $100\mu m$ et pour plusieurs valeurs de multiplicité M .

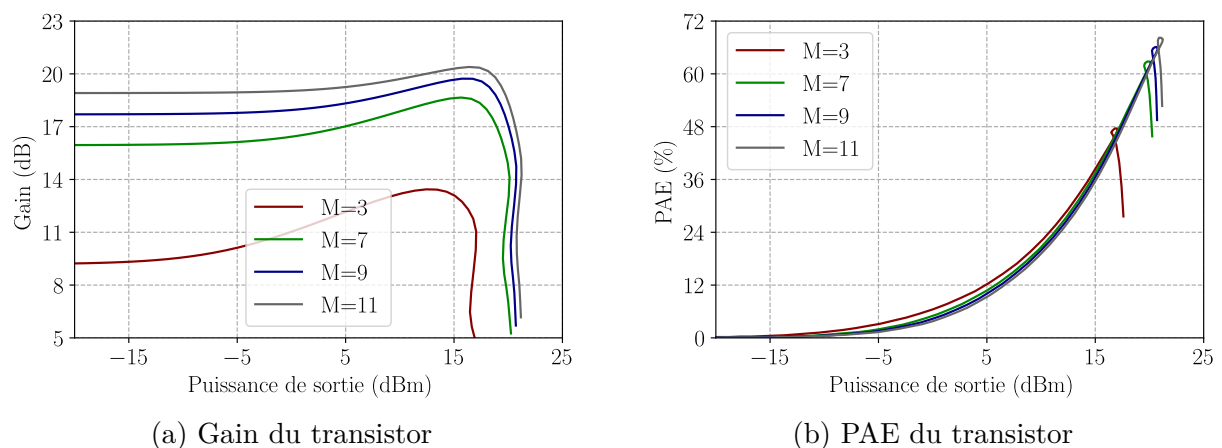


FIGURE 2.48 – Performances du transistor pour plusieurs valeurs de multiplicité

La multiplicité optimale est de 9, atteignant une largeur totale de transistor de $900\mu m$. Les puissances maximales sont bien plus faibles qu'en 130nm PDSOI en raison de la faible tension d'alimentation des transistors. Cependant, les capacités parasites, notamment la C_{gs} (figure 2.49), sont bien plus faibles en 28nm avec une valeur de 300fF contre 2pF en 130nm, traduisant un gain bien supérieur.

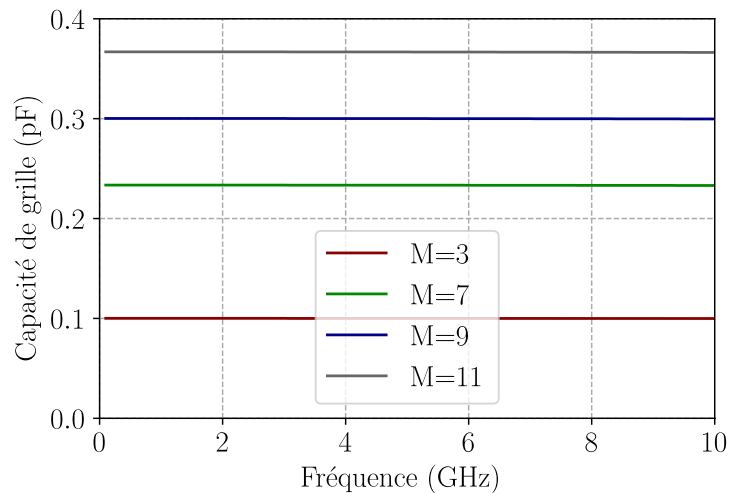


FIGURE 2.49 – Évolution de la capacité de grille avec la taille du transistor en 28nm FDSOI

Les transistors de la 28nm FDSOI possèdent aussi un quatrième terminal, la grille arrière, permettant de moduler la tension de seuil du transistor tout en étant électriquement isolé du transistor par l'oxyde enterré (BOX). Dans le cas d'un PA, ceci a pour conséquence de modifier le point de polarisation de l'amplificateur. Ainsi, la classe de fonctionnement peut être modifiée par la grille arrière selon les besoins en linéarité ou en efficacité, tels que présentés sur la figure 2.50.

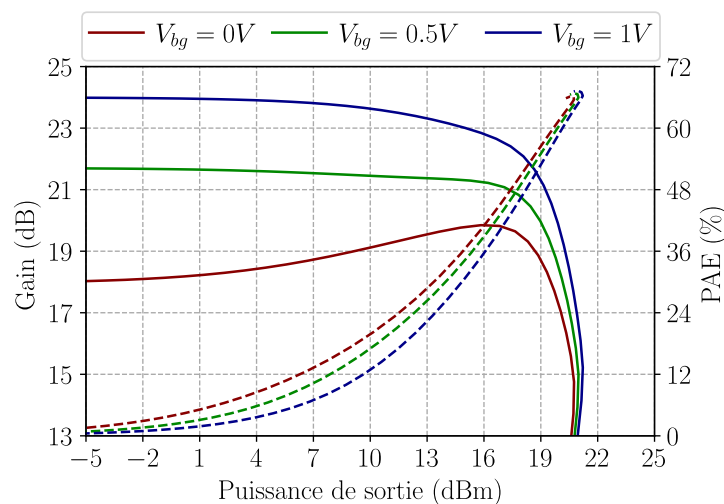


FIGURE 2.50 – Variation de la classe de fonctionnement selon la tension de grille arrière V_{bg}

Conclusion

Le dimensionnement des transistors permet de répondre aux niveaux de puissance requis. Dans le cas d'une application NB-IoT, l'utilisation de la technologie 130nm PDSOI permet un dimensionnement plus cohérent avec les performances en puissance et en fréquence visées par le NB-IoT. La technologie 28nm FDSOI répond aux performances visées en fréquence. De plus, les transistors permettent une reconfigurabilité intrinsèque pouvant mener à la conception d'amplificateurs reconfigurables. Cependant, pour la puissance désirée, le PA nécessite une architecture recombinaisonnée pouvant impacter la PAE maximale en raison du faible facteur de qualité des passifs.

2.4.4 Étude de la stabilité

La stabilité d'un amplificateur peut être étudiée par différentes métriques. Pour une étude en petit signal, l'utilisation du facteur de stabilité K est très courante. Cependant, il n'est pas représentatif d'une stabilité inconditionnelle à lui seul. Cette dernière est définie dans l'équation (2.45) telle que $K > 1$ et $\Delta > 0$.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{21} \cdot S_{12}|} > 1 \tag{2.45}$$

$$\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} > 0$$

Une seconde métrique en petit signal utilise les paramètres Mu_1 et Mu_2 correspondant à la stabilité sur l'étage de sortie et d'entrée, respectivement. L'avantage de cette métrique est qu'elle informe sur un critère de stabilité inconditionnelle. De plus, ces paramètres permettent d'avoir une information sur l'étage à stabiliser.

Mathématiquement, ce paramètre traduit la distance la plus courte entre le centre de l'abaque de Smith — l'impédance caractéristique — et les cercles d'instabilité. Ainsi, si Mu_1 et Mu_2 sont supérieurs à un, les cercles d'instabilité sont hors de l'abaque et le PA est inconditionnellement stable.

Réseaux de stabilité

Les réseaux de stabilité sont divers, mais leur principe est le même : dissiper une partie de l'énergie aux fréquences des oscillations.

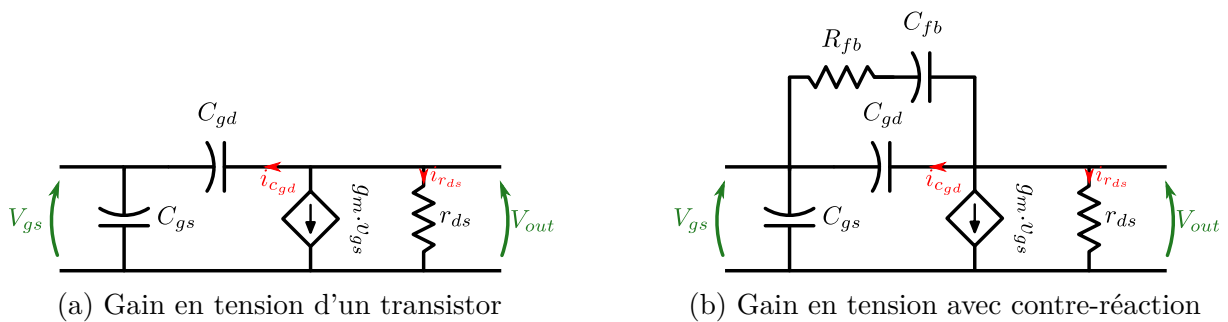


FIGURE 2.51 – Schéma petit signal d'un transistor avec contre-réaction RC

L'utilisation d'un réseau RC série entre le drain et la grille du transistor d'amplification permet de réduire le gain du transistor en renvoyant une partie du signal en opposition de phase à la grille du transistor. La figure 2.51 présente le schéma en petit signal d'un transistor avec un réseau de stabilité RC entre le drain et la grille. Pour cette étude, la résistance d'accès de grille et la capacité C_{ds} sont négligées en raison de leur impact uniquement à haute fréquence.

La fonction de transfert du gain en tension dans le cas d'un transistor sans contre-réaction peut s'écrire sous la forme donnée dans l'équation (2.46).

$$A_v = \frac{V_{out}}{V_{gs}} = \frac{-g_m r_{ds} + j\omega r_{ds} C_{gd}}{1 + j\omega r_{ds} C_{gd}} \tag{2.46}$$

$$A_v = \frac{V_{out}}{V_{gs}} = \frac{-g_m + j\omega(C_{fb}(1 + g_m R_{fb}) + C_{gd}) + j^2 \omega^2 C_{fb} C_{gd} R_{fb}}{-g_{ds} + j\omega(C_{fb}(1 + g_{ds} R_{fb}) + C_{gd}) + j^2 \omega^2 C_{fb} C_{gd} R_{fb}} \tag{2.47}$$

L'ajout de la contre-réaction introduit un pôle passe-haut qui permet de réduire le gain à haute fréquence. La fonction de transfert donnée dans l'équation (2.47) est basée sur le modèle présenté dans la figure 2.51(b). Cela permet le dimensionnement du réseau RC en fonction des fréquences et de l'atténuation nécessaire pour la stabilité. La figure 2.52 donne un exemple de l'impact de la contre-réaction sur le gain en tension du transistor en 130nm PDSOI, dimensionné précédemment.

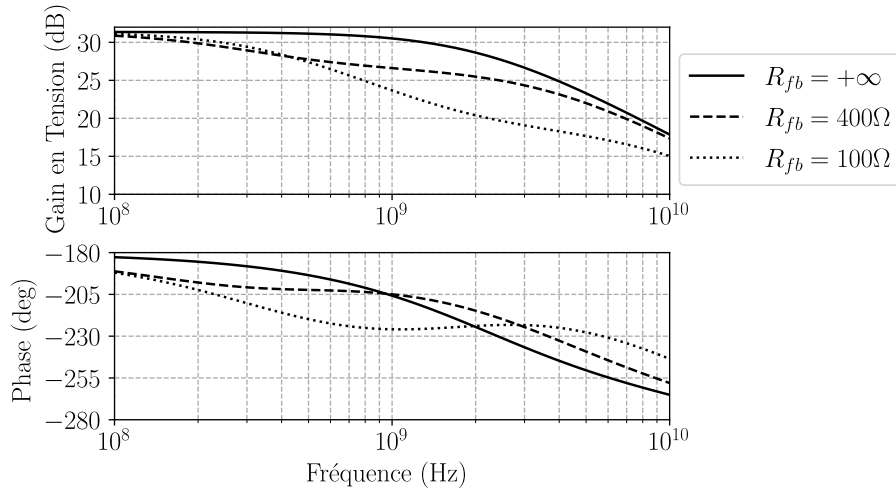


FIGURE 2.52 – Fonction de transfert du gain en tension d'un transistor avec contre-réaction RC

Une seconde méthode, utilisant l'architecture différentielle, fait appel à des capacités de neutralisation. La figure 2.53 présente ce principe de stabilité. L'objectif est d'annuler la capacité C_{gd} entre la grille et la source afin de rendre le transistor unilatéral ($S_{12} = 0$). L'amplificateur étant différentiel ($v_{gs1} = -v_{gs2}$), les deux courants i_{gd} et i_n sont égaux et opposés. Ainsi, les effets parasites liés à la capacité C_{gd} sont donc compensés par le courant i_n provenant de la capacité de neutralisation.

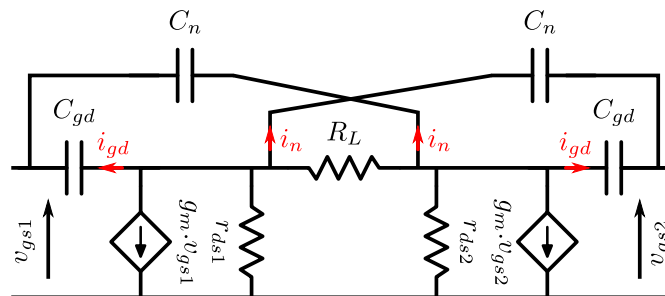


FIGURE 2.53 – Schéma petit signal d'un montage différentiel avec capacité de neutralisation

Ce réseau de stabilité est d'autant plus sensible à la valeur de la capacité choisie que la fréquence augmente. La figure 2.54 montre l'impact de la variation de la capacité de neutralisation sur la stabilité du PA. D'après cette figure, la capacité de neutralisation optimale pour la stabilité est de 400fF. La plage de valeurs pour lesquelles l'amplificateur est inconditionnellement stable est comprise entre 330fF et 500fF, ce qui représente une variation relative maximale de 43%.

Les variations relatives des capacités du PDK étant inférieures à 43%, il est possible d'utiliser des capacités MOM de la technologie. Dans le cas où les variations relatives à respecter sont trop faibles, le dimensionnement des capacités à l'aide de transistors est utilisé et permet une meilleure robustesse aux variations de procédé (PVT).

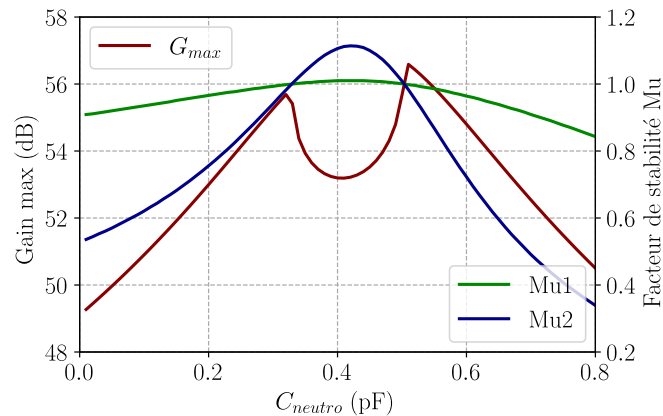


FIGURE 2.54 – Impact de la capacité de neutralisation sur le G_{max} et la stabilité @ 1.9GHz

D'autres réseaux de stabilité existent, tels que l'utilisation d'un circuit RC parallèle sur la grille du transistor. Cependant, cette étude de stabilité se limite aux circuits de stabilité utilisés pour la conception des PAs. Après l'ajout des réseaux de stabilité, l'étude en petit signal de la figure 2.55 montre que l'amplificateur présente une stabilité inconditionnelle à partir de 600MHz. Les instabilités en dessous de 600MHz peuvent être rejetées avec l'utilisation de transformateurs ou de réseaux d'adaptation passe-haut ou passe-bande.

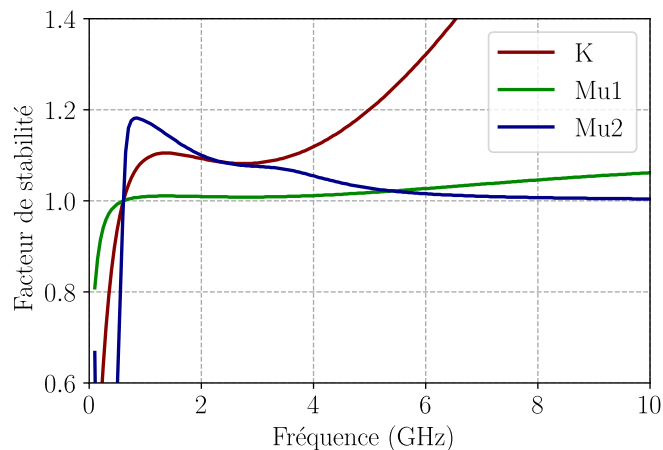


FIGURE 2.55 – Stabilité en petit signal du PA cascode différentiel

L'étude de la stabilité en petit signal n'est souvent pas suffisante pour garantir la stabilité d'un PA en raison des variations d'impédance lors du fonctionnement à fortes puissances. Deux méthodes sont présentées dans les paragraphes suivants pour stabiliser un PA en forts signaux.

Étude temporelle : Réponse à un échelon amorti

La première méthode permettant de vérifier la stabilité générale d'un PA est de simuler sa réponse temporelle à une impulsion. L'impulsion est construite avec une porteuse à la fréquence de travail f_0 , soit 1,9 GHz pour le PA NB-IoT. Le temps d'établissement de la puissance d'entrée est instantané dans le but de vérifier le comportement du PA lors d'un établissement rapide de la puissance. Enfin, l'échelon est amorti afin de valider la stabilité pour toutes les puissances d'entrée

La figure 2.56 présente la réponse temporelle du PA à une impulsion sinusoïdale amortie de l'amplificateur complet en 130nm PDSOI. La simulation est réalisée sur une durée de $t = 10\mu s$ afin de détecter d'éventuelles instabilités jusqu'à une fréquence de $f = \frac{1}{t} = 100kHz$.

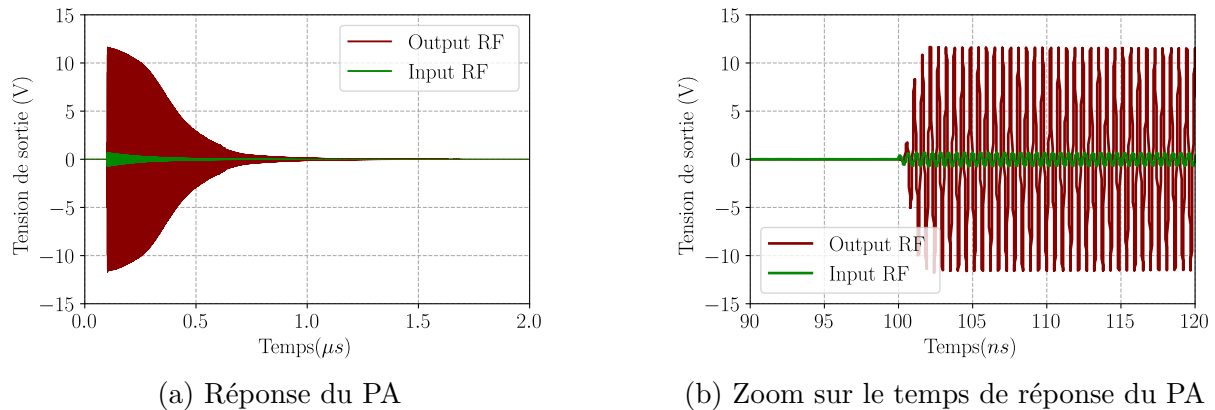


FIGURE 2.56 – Simulations temporelles de la réponse du PA à une impulsion sinusoïdale amortie

Le point fort de cette simulation est de pouvoir observer les formes d'ondes générées par l'amplificateur afin de détecter d'éventuelles anomalies supplémentaires telles que des déséquilibres ou des distorsions. Cependant, réaliser une simulation sur une durée de $10\mu s$ pour une fréquence de fonctionnement de 1,9 GHz impose le calcul d'un grand nombre de points. Ainsi, les simulations temporelles peuvent être très longues selon l'écart en fréquence des phénomènes à observer.

La convergence du signal de sortie de l'amplificateur (figure 2.56(a)) et sa réponse à l'échelon de puissance (figure 2.56(b)) permettent de valider la stabilité de l'amplificateur.

Étude STAN : Modélisation par fonction de transfert

La seconde méthode de vérification de la stabilité d'un amplificateur de puissance se base sur l'utilisation de l'outil Stan intégré au logiciel IVCAD et développé par la société AMCAD.

Cet outil est basé sur l'étude des pôles et zéros de la fonction de transfert du système en régime permanent obtenus avec des simulations de type paramètres-S, AC ou *harmonic balance* [58]. Cette décomposition en pôles et zéros pour l'étude de la stabilité est effectuée en plusieurs étapes. La première étape consiste à obtenir la fonction de transfert *single-input/single-output* (SISO). Cette fonction de transfert est obtenue en connectant une source de courant de faible amplitude à un nœud du circuit. Elle est alors calculée comme l'impédance vue par la sonde de courant. La fonction de transfert est calculée à l'aide d'une source de perturbation localisée, ce qui permet de déplacer cette source pour cibler l'origine des instabilités.

Le logiciel Stan modélise ensuite la fonction de transfert obtenue par une expression polynomiale, ce qui permet d'extraire les pôles et zéros. En théorie du contrôle, un pôle est une source d'instabilité si sa partie réelle est strictement positive. De plus, la partie imaginaire permet de déterminer la fréquence d'oscillation des pôles en question.

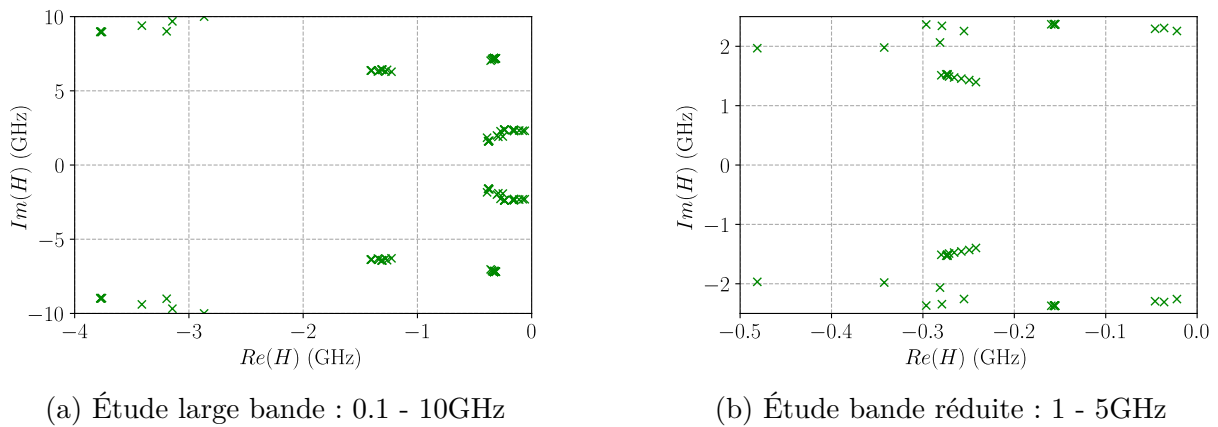


FIGURE 2.57 – Extraction des pôles de la fonction de transfert par Stan

En reprenant l'amplificateur complet de l'étude de stabilité temporelle, le logiciel Stan permet d'obtenir la carte des pôles présentée à la figure 2.57 pour plusieurs niveaux de puissance d'entrée. Les zéros n'impactant pas la stabilité, ils ne sont pas représentés.

L'absence de pôles positifs dans le modèle large bande (figure 2.57(a)) ainsi que dans le modèle bande étroite (figure 2.57(b)) confirme la stabilité du PA.

2.5 Dimensionnement des blocs unitaires

Dans cette section, les différents blocs unitaires utilisés en complément sur les différents amplificateurs de puissance sont détaillés.

2.5.1 Bloc de polarisation adaptative

Le bloc de polarisation adaptative (ADB) est réutilisé dans plusieurs conceptions de PAs. Ce circuit, inspiré de [59], dont le schéma est présenté dans la figure 2.58, permet de modifier dynamiquement la polarisation de l'amplificateur de puissance.

L'objectif est de réduire la consommation DC du PA pour augmenter la PAE au *back-off* et augmenter le point de compression pour les fortes puissances. La classe de fonctionnement de l'amplificateur est donc modulée entre la classe B et la classe A en fonction de la puissance d'entrée.

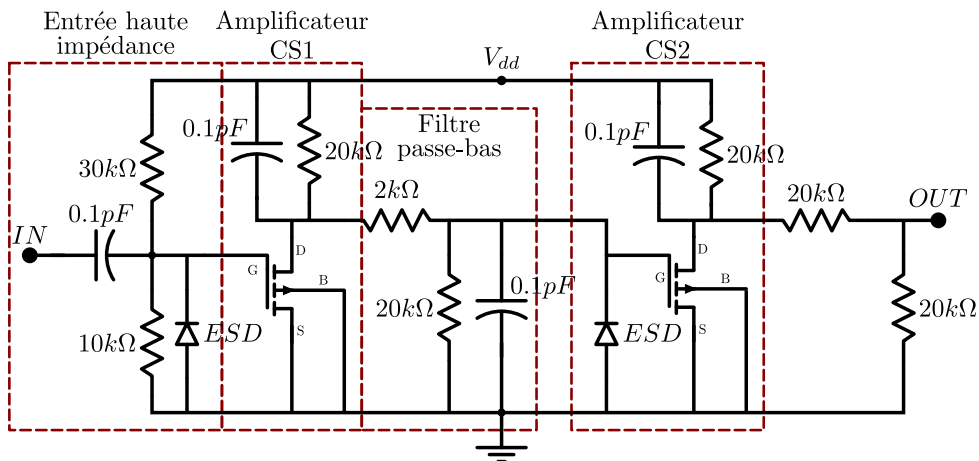


FIGURE 2.58 – Schéma électrique du circuit de polarisation adaptative en 28nm FDSOI

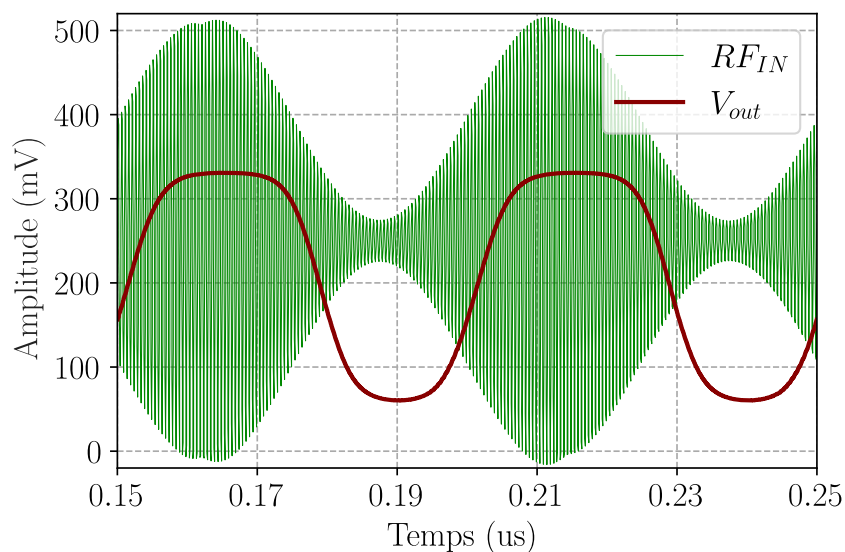


FIGURE 2.59 – Variation de la tension de sortie en fonction de l'amplitude du signal RF

Le circuit est décomposé en quatre sous-blocs. Le premier sous-circuit correspond à l'entrée à haute impédance du circuit, permettant de limiter l'impact de l'ADB sur

l'adaptation d'impédance du PA. L'étage d'amplification en source commune est couplé à un filtre passe-bas afin de redresser le signal RF et de réduire les ondulations de tension. Un second étage de filtrage réduit davantage les ondulations de tension. Enfin, la dernière section est un étage d'amplification avec filtrage permettant d'inverser le signal pour obtenir la sortie en phase avec l'enveloppe du signal RF.

La sortie obtenue est présentée sur la figure 2.59. Le signal d'entrée est une porteuse à 2GHz et modulée en amplitude par un modulant de 20MHz de bande passante afin de simuler le comportement dans le cas le plus contraignant. Le déphasage entre la sortie et l'enveloppe RF est lié aux différents étages de filtrage. Ce déphasage doit être le plus faible possible afin d'éviter l'apparition de non-linéarités et d'assurer le bon niveau de polarisation par rapport à la puissance d'entrée correspondante.

2.5.2 Plots RF et DC

Les plots RF et DC sont les points d'accès aux circuits et permettent d'interconnecter toutes les alimentations et appareils de mesure nécessaires à la caractérisation des circuits. Afin d'assurer une bonne connexion avec l'environnement de mesure, les ports doivent respecter une taille minimale et un espacement donnés dans le DRM, et dépendent des méthodes de mesure mises en place, telles que les pointes, le bonding ou le flip-chip.

Plots RF :

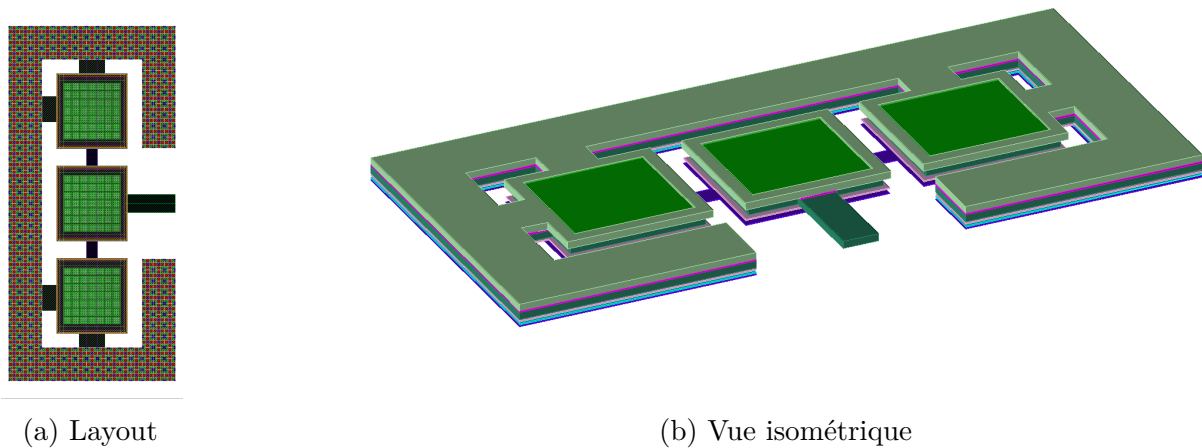


FIGURE 2.60 – Layout et vue 3D des plots RF en 130nm PDSOI

L'étude des plots RF consiste à déterminer, par simulations EM, les capacités parasites induites par l'ajout des ports. En effet, plus les capacités induites sont importantes, plus l'impact des plots sur le circuit est significatif, et son fonctionnement à haute fréquence est dégradé. Les figures 2.61 et 2.63 présentent les capacités parasites des plots RF pour les technologies 130nm PDSOI et 28nm FDSOI, respectivement. De plus, les layouts et les vues isométriques des pads sont détaillés sur les figures 2.60 et 2.62.

Afin de déterminer la capacité parasite équivalente par simulation, la relation liant les paramètres Y à la capacité de plot est donnée par l'équation (2.48).

$$C_{eq} = \frac{Im(Y_{11})}{2\pi \cdot f} \quad (2.48)$$

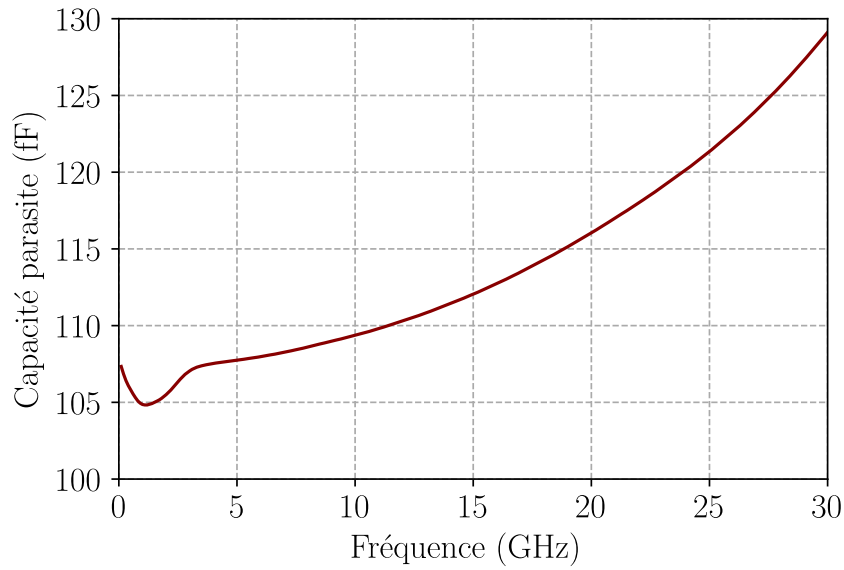


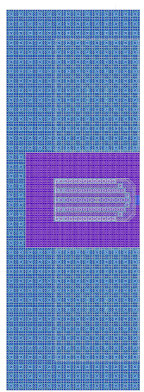
FIGURE 2.61 – Capacité parasite ramenée par les plots RF en 130nm PDSOI

Les plots RF en 130nm possèdent une surface de $82 \times 77 \mu m$ et un espacement de $18 \mu m$. L'équation (2.49) permet d'estimer la capacité des plots en considérant les capacités entre les pads et la capacité avec le blindage. Ainsi, la valeur obtenue est de 97fF. Comme le montre la figure 2.61, l'équation sous-estime cette valeur en négligeant les capacités de frange. La capacité réelle C_{eq} donnée par la simulation EM est donc d'environ 106fF à 2GHz.

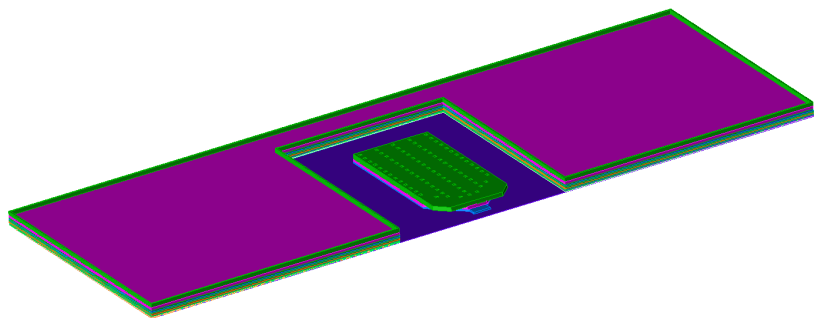
$$C_{pad} = \epsilon_r \epsilon_0 \left(\frac{W_{pad} \cdot L_{pad}}{e_{diel}} + 3 \cdot \frac{e_{pad} \cdot L_{pad}}{D_{pad}} \right) \quad (2.49)$$

Tel que :

- W_{pad} : largeur du pad
- L_{pad} : longueur du pad
- e_{pad} : épaisseur du conducteur du pad
- D_{pad} : distance bord à bord entre deux pads
- e_{diel} : épaisseur du diélectrique entre le pad et le blindage



(a) Layout



(b) Vue isométrique

FIGURE 2.62 – Layout et vue 3D des plots RF en 28nm FDSOI

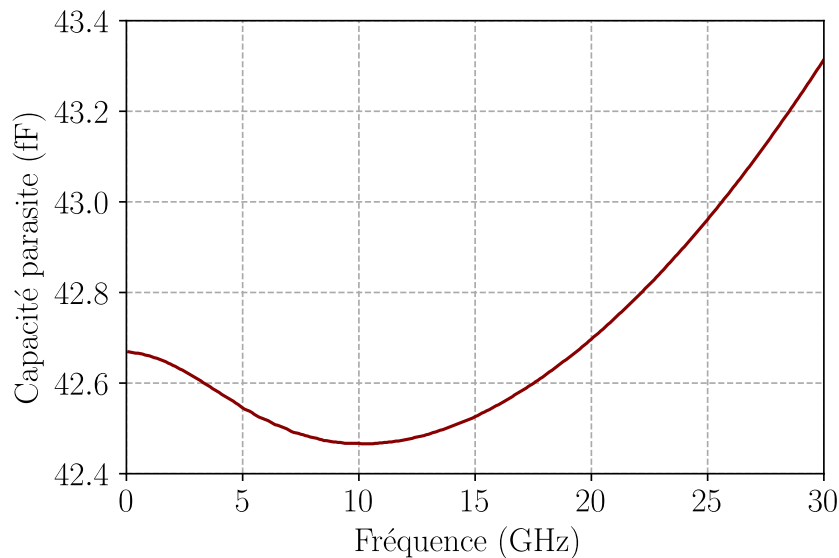


FIGURE 2.63 – Capacité parasite ramenée par les plots RF en 28nm FDSOI

Pour la technologie 28nm FDSOI, la valeur de f_{max} est bien supérieure à celle de la technologie 130nm PDSOI. Afin de tirer pleinement partie de cet avantage, les plots RF doivent réduire au maximum les capacités parasites. Pour cela, la surface des plots est réduite à $45 \times 85 \mu\text{m}^2$ avec un espacement entre les pads de $27.5 \mu\text{m}$. L'équation (2.49) donne une estimation de 38fF. Cependant, de la même manière, la capacité est sous-estimée et la valeur obtenue par simulation EM C_{eq} est d'environ 43fF à 2GHz. Cette valeur reste élevée pour cette technologie en raison des contraintes de la mesure sous pointes.

Plots DC :

Les plots DC n'ont pas cette contrainte de capacité parasite, ils peuvent donc être dimensionnés afin d'optimiser, dans notre cas, la facilité de mesure sous pointes. De plus, ces plots ne possèdent pas de blindage, tous les niveaux de métaux sont utilisés, ce qui réduit la résistance ramenée. Ceci est d'autant plus important que certains plots d'alimentation voient passer un courant élevé. La figure 2.64 présente la vue 3D du layout de chaque plot DC.

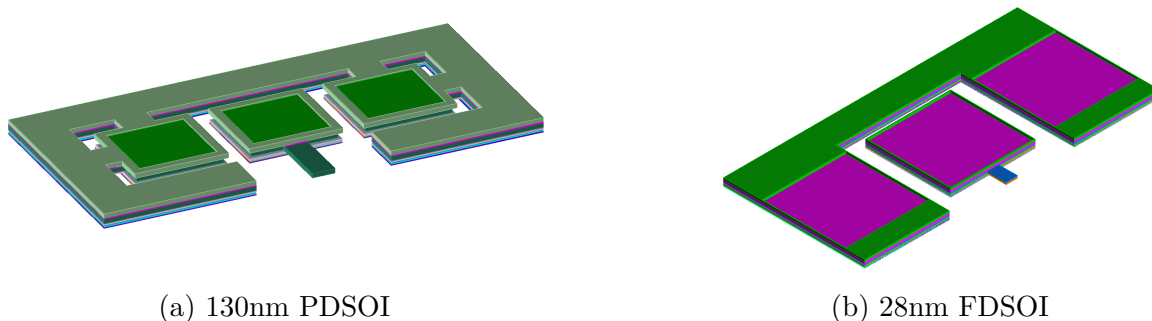


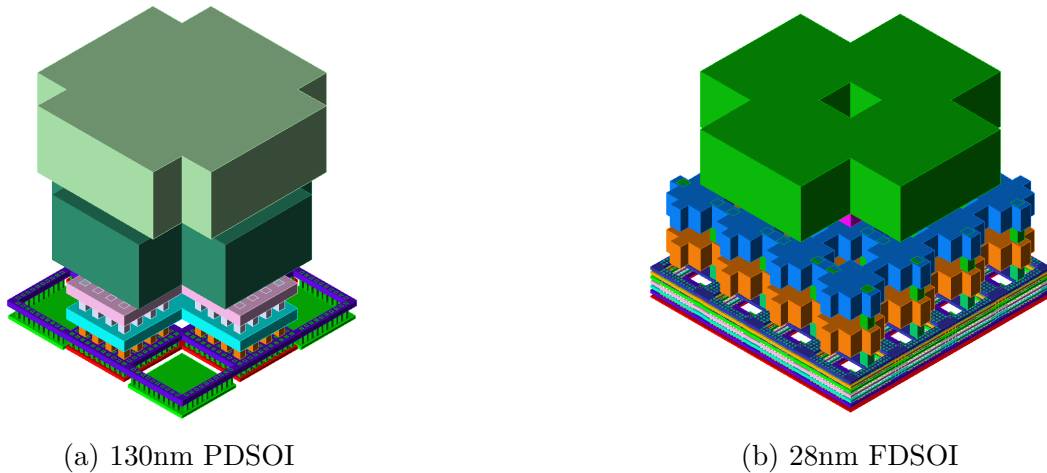
FIGURE 2.64 – Exemple de layout de plots DC en vue isométrique

Ces plots peuvent aussi être utilisés afin de réaliser un ajustement des niveaux de tension, ils sont appelés plots "sense". L'objectif est de compenser dynamiquement les chutes de tension causées par les câbles entre les sources d'alimentation et les pointes, afin d'assurer en permanence les bonnes tensions sur les plots DC. Dans le domaine des

amplificateurs de puissance, les courants d'alimentation peuvent être élevés. L'ajout de plots "sense" permet ainsi d'éviter les erreurs de mesure liées aux chutes de tension à forte puissance.

2.5.3 Grillage de masse et remplissage des densités

Le grillage de masse consiste à remplacer les plans de masse uniformes utilisés lors des simulations EM par un motif de plan de masse permettant de respecter les règles de DRC. En effet, il n'est pas possible lors des simulations Momentum de pouvoir simuler le circuit avec le plan de masse réel en raison des temps de simulation trop importants que cela génère. La figure 2.65 présente une vue 3D des motifs de masse utilisés pour chaque technologie. Certains niveaux de métaux possèdent des motifs différents afin d'assurer le respect des différentes contraintes de densité imposées par le DRC. Ce motif couvre toutes les couches du BEOL et certaines du FEOL telles que le polysilicium et l'actif.

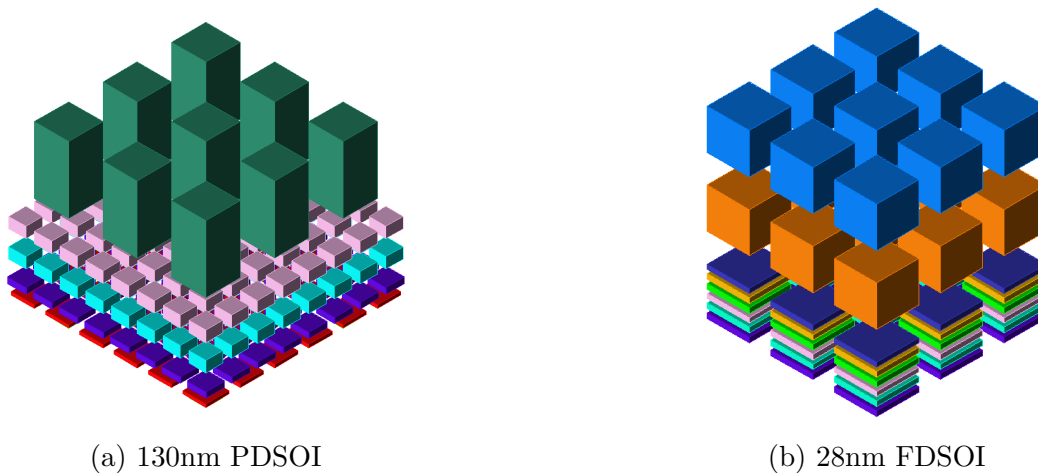


(a) 130nm PDSOI

(b) 28nm FDSOI

FIGURE 2.65 – Motifs de plan de masse pour chaque technologie

Dans certains cas, le respect des densités ne peut pas être réalisé uniquement avec le plan de masse. Le cœur des inductances est un exemple pour lequel l'ajout d'un plan de masse n'est pas possible en raison de l'impact de ce dernier sur les performances du passif.



(a) 130nm PDSOI

(b) 28nm FDSOI

FIGURE 2.66 – Motifs de remplissage flottant pour chaque technologie

Pour cela, les densités sont réalisées en utilisant du "tilling". Il s'agit d'un motif dont les éléments sont flottants afin de limiter l'impact du remplissage de densité sur les

performances du circuit. La figure 2.66 présente les motifs de remplissage flottant utilisés en 28nm FDSOI et 130nm PDSOI.

Cependant, dans la majorité des conceptions intégrées, le remplissage flottant est généré automatiquement par un outil de remplissage automatique. Le concepteur du circuit doit donc ajouter des marqueurs d'exclusion afin d'interdire l'ajout de remplissage flottant dans certaines zones critiques.

2.5.4 Finition de layout

La finition du layout est l'étape de conception permettant d'exporter le fichier GDS. La figure 2.67 présente les différents éléments à ajouter sur le circuit afin de pouvoir l'envoyer en fabrication. Elle est composée :

- du logo de la fonderie
- du nom du circuit
- de la croix d'alignement
- du sealring

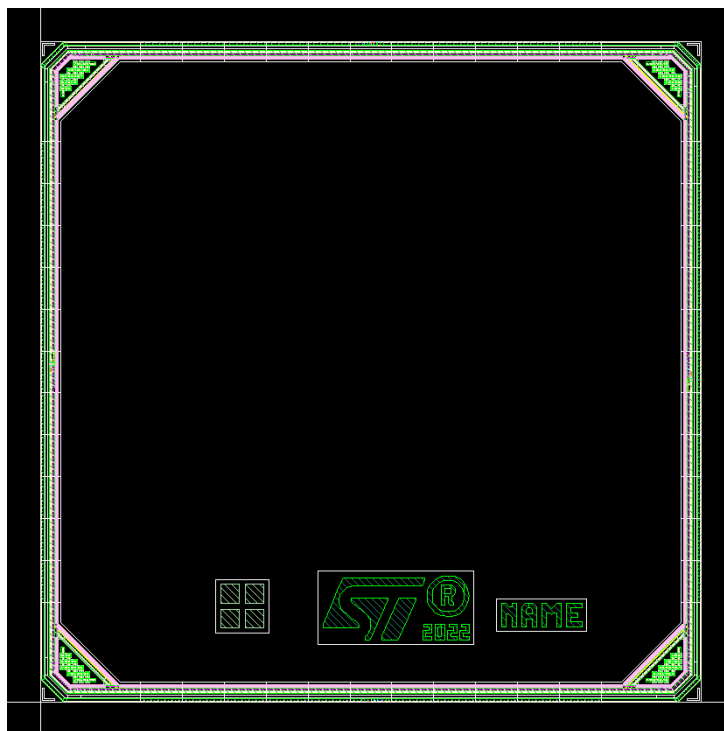


FIGURE 2.67 – Exemple des éléments de finition de layout en 130nm PDSOI

Les éléments graphiques tels que le logo et le nom du circuit sont ajoutés dans le plan de masse du circuit en s'assurant qu'ils n'impactent pas le fonctionnement du circuit. De même, la croix d'alignement doit être placée à une certaine distance du circuit et du sealring. Cet élément permet d'assurer le bon alignement des différents masques de métallisation lors du processus de fabrication.

Enfin, le sealring permet de protéger et de renforcer le circuit lors du découpage des puces sur le wafer. Les dimensions du circuit sont donc délimitées par le sealring. Il permet aussi, dans le cas des technologies SOI, de connecter le substrat sous la BOX au plan de masse de la puce pour fixer son potentiel.

2.6 Conclusion du chapitre

Avant de pouvoir réaliser la conception d'amplificateurs de puissance en technologie CMOS SOI, de nombreux choix technologiques s'imposent afin de sélectionner les topologies optimales pour chaque élément du circuit. Le dimensionnement des circuits actifs et passifs pour la conception de PA passe donc par le choix des topologies de passifs et des transistors.

Le choix des passifs a été déterminé selon le BEOL de chaque technologie ainsi que les disponibilités du PDK. Ainsi, les capacités MOM ont été choisies car les limitations du PDK les imposent. Dans le cas des inductances et des transformateurs, le choix de la topologie coplanaire en 130nm PDSOI a été privilégié en raison du faible nombre de niveaux de métaux épais. En 28nm FDSOI, les transformateurs empilés sont privilégiés en raison d'un meilleur facteur de couplage. De même, la topologie de coupleurs hybrides pour chaque technologie a été choisie afin d'optimiser les pertes par insertion et la surface de silicium.

Enfin, le choix des transistors a été déterminé par leur capacité à supporter de hautes puissances. Ainsi, dans le cas de la technologie 130nm FDSOI, le transistor avec une tension d'alimentation de 2,75V a été privilégié. Les transistors en 28nm FDSOI étant très similaires, le choix a été fait en fonction de leur densité de courant maximale. Un avantage de la technologie 28nm FDSOI est l'utilisation de la grille arrière des transistors, qui permet la conception de PAs reconfigurables.

Les techniques d'optimisation d'efficacité et de bande passante permettent de valider le choix de l'architecture à amplificateur Doherty avec l'utilisation de transformateurs large-bande et d'adaptation au niveau transistor. En effet, l'amplificateur Doherty constitue le meilleur compromis entre une bande passante maximale élevée et une amélioration de la PAE au recul en puissance. De plus, il ne nécessite pas de circuit externe pouvant impacter la PAE maximale et la complexité du circuit.

La méthodologie de conception d'amplificateurs de puissance détaille les différentes étapes de dimensionnement des transistors de puissance, des impédances optimales de charge et des réseaux de stabilisation en petits et grands signaux.

Enfin, les différents blocs unitaires tels que la polarisation adaptative, les performances des plots de mesures RF et DC, le remplissage de densité et les étapes de finition de layout sont détaillés. Ces étapes ne sont pas spécifiques au dimensionnement d'amplificateurs de puissance et permettent d'achever le layout pour un envoi en fabrication.

2.7 Références

- [37] T. NOGAMI, « BEOL Process Challenges, » 2015, Dernier accès : 27/04/2023. adresse : https://nanohub.org/resources/23277/download/IEDM_2015_Short_Course_BEOL_Challenges.pdf.
- [38] T. SHEN, W. ZHANG, K. B. YEAP, J. TAN, W. YAO et P. JUSTISON, « An investigation of dielectric thickness scaling on BEOL TDDB, » in *2015 IEEE International Reliability Physics Symposium*, 2015, 3A.2.1-3A.2.6. DOI : 10.1109/IRPS.2015.7112698.
- [39] B. LEITE, « Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies, » 2011BOR14359, thèse de doct., 2011. adresse : <http://www.theses.fr/2011BOR14359/document>.
- [40] S. MOHAN, M. del MAR HERSHENSON, S. BOYD et T. LEE, « Simple accurate expressions for planar spiral inductances, » *IEEE Journal of Solid-State Circuits*, t. 34, n° 10, p. 1419-1424, 1999. DOI : 10.1109/4.792620.
- [41] V. KNOPIK, B. MORET et E. KERHERVE, « Integrated scalable and tunable RF CMOS SOI quadrature hybrid coupler, » in *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, 2017, p. 159-162. DOI : 10.23919/EuMIC.2017.8230684.
- [42] S. REDOIS, E. KERHERVÉ, A. GHIOTTO et al., « Fast Design Methodology of Stacked Transformers and Hybrid Couplers in SiGe Technology, » in *2019 European Microwave Conference in Central Europe (EuMCE)*, 2019, p. 240-243.
- [43] F. GROVER, *Inductance Calculations : Working Formulas and Tables* (Dover phoenix editions). Dover Publications, 2004, chap. 8, ISBN : 9780486495774. adresse : <https://books.google.fr/books?id=K3KHi9lIlt5C>.
- [44] F. TERMAN, *Radio Engineers Handbook*. 1943, chap. 2. adresse : <https://archive.org/details/termanradioengineershandbook1943/page/n59/mode/2up>.
- [45] W. DOHERTY, « A New High Efficiency Power Amplifier for Modulated Waves, » *Proceedings of the Institute of Radio Engineers*, t. 24, n° 9, p. 1163-1182, 1936. DOI : 10.1109/JRPROC.1936.228468.
- [46] K. VIVIEN, « Linearity and Efficiency of Load Modulated Power Amplifiers, » Theses, Université Paris-Est, déc. 2020. adresse : <https://theses.hal.science/tel-03227382>.
- [47] M. P. LITCHFIELD, « Efficiency Enhancement Techniques for the Outphasing Power Amplifier, » Thèse de doctorat dirigée par Popovic, Zoya, thèse de doct., 2016. adresse : https://scholar.colorado.edu/concern/graduate_thesis_or_dissertations/ms35t8795.
- [48] H. CHIREIX, « High Power Outphasing Modulation, » *Proceedings of the Institute of Radio Engineers*, t. 23, n° 11, p. 1370-1392, 1935. DOI : 10.1109/JRPROC.1935.227299.

- [49] E. MCCUNE, « Envelope tracking principles, » in *Dynamic Power Supply Transmitters : Envelope Tracking, Direct Polar, and Hybrid Combinations* (The Cambridge RF and Microwave Engineering Series), The Cambridge RF and Microwave Engineering Series. Cambridge University Press, 2015, p. 79-114. DOI : 10.1017/CB09781107416215.006.
- [50] D. STÉPHANE et G. EMMANUEL, *Dernières avancées des techniques d'Envelope Tracking pour les applications de télécommunications de forte puissance*, mars 2017. adresse : http://www.microwave-rf.com/documents/14h00%20Dernieres%20avancees%20des%20techniques%20envelope%20tracking%20WUPATEC_Microwave_RF_23032017.pdf.
- [51] L. R. KAHN, « Single-Sideband Transmission by Envelope Elimination and Restoration, » *Proceedings of the IRE*, t. 40, n° 7, p. 803-806, 1952. DOI : 10.1109/JRPROC.1952.273844.
- [52] J.-F. BERCHER et C. BERLAND, « Envelope and phase delays correction in an EER radio architecture, » *Analog Integrated Circuits and Signal Processing*, t. 55, n° 1, p. 21-35, avr. 2008. adresse : <https://hal.science/hal-00621953>.
- [53] F. BALTEANU, H. MODI, Y. CHOI, J. LEE, S. DROGI et S. KHESBAK, « 5G RF Front End Module Architectures for Mobile Applications, » in *2019 49th European Microwave Conference (EuMC)*, 2019, p. 252-255. DOI : 10.23919/EuMC.2019.8910723.
- [54] J. ZHANG, T. WU, L. NIE, S. MA, Y. CHEN et J. REN, « A 120–150 GHz Power Amplifier in 28-nm CMOS Achieving 21.9-dB Gain and 11.8-dBm Psat for Sub-THz Imaging System, » *IEEE Access*, t. 9, p. 74 752-74 762, 2021. DOI : 10.1109/ACCESS.2021.3080710.
- [55] H. JIA, C. C. PRAWOTO, B. CHI, Z. WANG et C. P. YUE, « A Full Ka-Band Power Amplifier With 32.9% PAE and 15.3-dBm Power in 65-nm CMOS, » *IEEE Transactions on Circuits and Systems I : Regular Papers*, t. 65, p. 2657-2668, 2018.
- [56] F. RODES, *Techniques RF : Strategies d'adaptation d'impedances, Transformations d'impedances avec des elements localises, Methodes analytiques et graphiques*. ENSEIRB-MATMECA, 2004, chap. 2-3.
- [57] G. MATTHAEI, « Tables of Chebyshev impedance-transforming networks of low-pass filter form, » *Proceedings of the IEEE*, t. 52, n° 8, p. 939-963, 1964. DOI : 10.1109/PROC.1964.3185.
- [58] J.-M. COLLANTES, L. MORI, A. ANAKABE et al., « Pole-Zero Identification : Unveiling the Critical Dynamics of Microwave Circuits Beyond Stability Analysis, » *IEEE Microwave Magazine*, t. 20, n° 7, p. 36-54, 2019. DOI : 10.1109/MMM.2019.2909516.
- [59] Y. EO et K. LEE, « High efficiency 5GHz CMOS power amplifier with adaptive bias control circuit, » in *2004 IEE Radio Frequency Integrated Circuits (RFIC) Systems. Digest of Papers*, 2004, p. 575-578. DOI : 10.1109/RFIC.2004.1320686.

Chapitre 3

Conception et benchmark d'amplificateurs de puissance en technologies 28nm FDSOI et 130nm PDSOI

Sommaire

3.1	Amplificateurs de puissance pour NB-IoT : Objectifs	102
3.2	Amplificateur pseudo-différentiel en 130nm PDSOI	103
3.2.1	Architecture du PA	103
3.2.2	Dimensionnement et layout du transistor de puissance	104
3.2.3	Dimensionnement de la cellule de puissance	106
3.2.4	Dimensionnement du driver pseudo-différentiel	108
3.2.5	Dimensionnement du transformateur large bande	110
3.2.6	Résultats de simulation avec signal CW et SC-FDMA	111
3.3	Co-intégration du PA avec un SP4T en 130nm PDSOI	116
3.3.1	Présentation du SP4T	116
3.3.2	Circuit co-intégré PA/SP4T	117
3.4	Driver balun actif ultra-large bande 50MHz-2,3GHz en 130nm PDSOI	120
3.4.1	Problématique de stabilité et d'adaptation large bande	120
3.4.2	Principe de la paire différentielle	121
3.4.3	Polarisation adaptative pour du large bande	122
3.4.4	Driver balun actif ultra-large bande	123
3.5	Amplificateur pseudo-différentiel en 28nm FDSOI	126
3.5.1	Architecture du PA	126
3.5.2	Dimensionnement et layout du transistor de puissance	127
3.5.3	Dimensionnement de la cellule de puissance	128
3.5.4	Conception du driver balun actif	130
3.5.5	Résultats de simulation avec signal CW et SC-FDMA	133
3.5.6	Conclusion sur les performances de l'amplificateur en 28nm et 130nm	137
3.6	Amplificateur Doherty en 28nm FDSOI	138
3.6.1	Principe de modulation de charge avec coupleur hybride sur charge réactive	138
3.6.2	Capacité de ballast	141
3.6.3	Amplificateur de puissance Doherty sur charge capacitive	142
3.7	Comparaison avec l'état de l'art	146
3.8	Conclusion du chapitre	148
3.9	Références	149

Dans ce chapitre les différentes architectures d'amplificateurs de puissance conçus au cours de la thèse sont présentés en s'appuyant sur les pré-dimensionnements de transistors et sur les architectures de passifs déterminés dans le chapitre précédent. Dans un premier temps, les performances visées dans le cadre d'une application NB-IoT sont rappelées.

Dans un second temps, la conception des cellules amplificatrices pseudo-différentielles est présentée pour le PA en 130nm PDSOI. Le dimensionnement et le choix du layout du transistor de puissance sont détaillés. Le dimensionnement de la cellule de puissance et du driver est exposé. Enfin, les performances de la cellule complète sont simulées en signaux CW et en signaux modulés de type SC-FDMA.

Suite aux conclusions obtenues sur le circuit pseudo-différentiel en 130nm PDSOI, une preuve de concept d'un driver balun actif ultra large-bande est présentée. Les détails des différentes méthodes permettant d'assurer un gain plat couvrant les bandes 450MHz, 900MHz et 1800MHz sont expliqués.

La conception de l'amplificateur triple-stack pseudo-différentiel en 28nm FDSOI est détaillée, suivie de l'utilisation du PA dans la réalisation d'un PA Doherty. La conception d'un driver balun actif permettant d'éliminer la nécessité d'un balun passif est également détaillée. Une rapide présentation de la théorie générale sur les PAs Doherty à charge capacitive est présentée avec le dimensionnement de la capacité de ballast. Les performances du PA sont ensuite présentées avec des signaux CW et modulés.

Enfin, une comparaison des deux PAs pseudo-différentiels et de l'amplificateur Doherty avec l'état de l'art est réalisée et permet de situer les performances de ces trois circuits.

3.1 Amplificateurs de puissance pour NB-IoT : Objectifs

Plusieurs objectifs doivent être atteints afin de respecter les performances imposées par le nouveau standard NB-IoT. Les trois bandes d'intérêt sont réparties sur tout le spectre sub-3GHz avec des bandes à 450MHz, 900MHz et 1800MHz. Dans un premier temps, seule la bande à 1800MHz (1,7 - 2,1GHz) est considérée. La puissance de sortie visée à 1dB de compression est de 30dBm. La puissance d'entrée crête est limitée à -6dBm (en raison de la puissance maximale de l'étage précédent), résultant en un gain minimum de 36dB. Enfin, dans le but de limiter la consommation lors de la transmission de données, la PAE du PA doit être supérieure à 30% à la saturation et supérieure à 20% à 6dB de PBO. Les performances avec signaux modulés [1] doivent respecter un EVM maximal de 17,5% avec des ACLR minimum de 33dBc. Le tableau 3.1 est une reprise du tableau présenté dans la section 1.4.1 d'établissement du CDC.

TABLE 3.1 – Contraintes de performances pour la conception de PAs pour une application NB-IoT

Tech.	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)	ACLR* (dBc)	EVM (%)
28nm FDSOI	1.85	> 400	36	29	> 30	> 20	≥ 33	≤ 17.5
130nm PDSOI	1.85	> 400	36	29	> 30	> 20	≥ 33	≤ 17.5

* $UTRA_{ACLR}$ pour les modulations LTE

3.2 Amplificateur pseudo-différentiel en 130nm PDSOI

Dans cette section, le dimensionnement et le layout de chaque étape de conception de l'amplificateur cascode pseudo-différentiel en 130nm PDSOI sont présentés.

3.2.1 Architecture du PA

Le schéma complet du PA pseudo-différentiel est détaillé sur la figure 3.1.

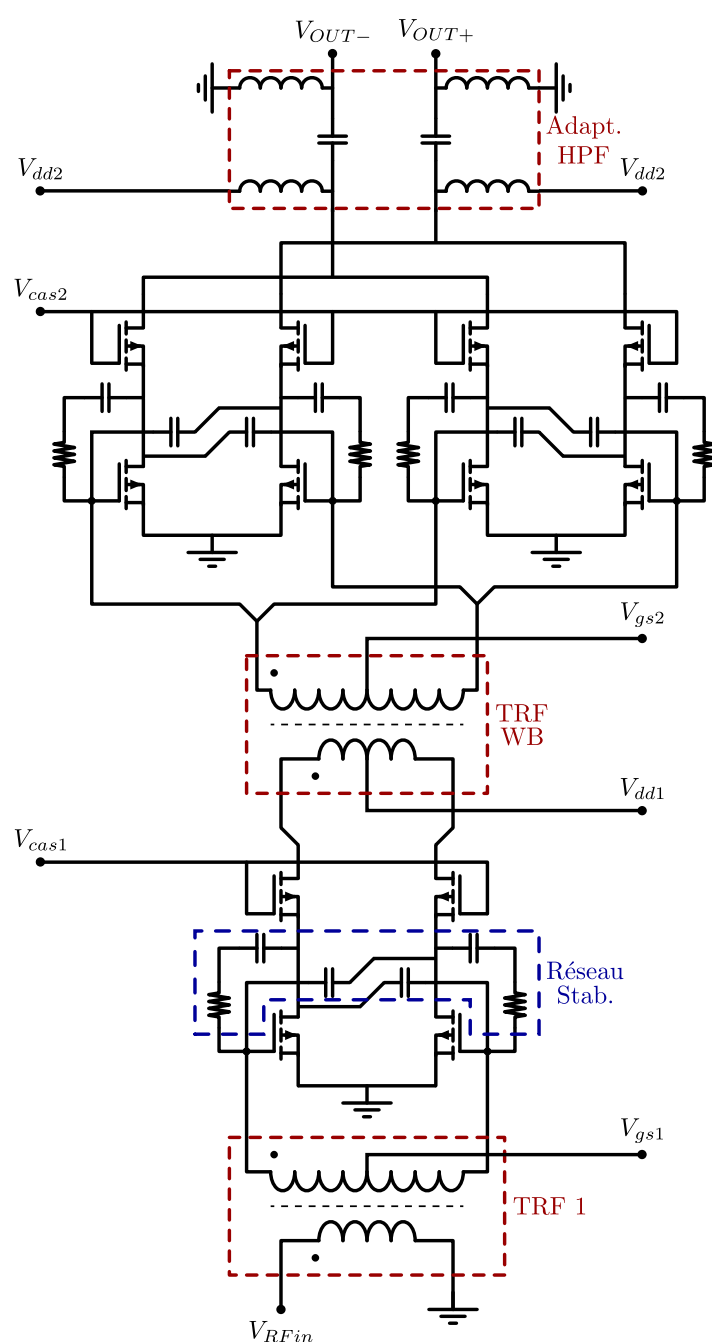


FIGURE 3.1 – Schématique complet du PA en 130nm PDSOI

L'amplificateur de puissance est basé sur la cellule cascode pseudo-différentielle détaillée dans la section 2.4.1. L'adaptation d'entrée est réalisée avec un transformateur coplanaire $50\Omega \rightarrow 9 - 54j\Omega$. Le driver et la cellule de puissance sont adaptés à l'aide d'un transformateur large-bande, comme vu précédemment. Enfin, l'adaptation de sortie est réalisée au moyen d'un réseau d'adaptation passe-haut (HPF), ce qui permet de maintenir une sortie différentielle avec une adaptation à une impédance de 100Ω .

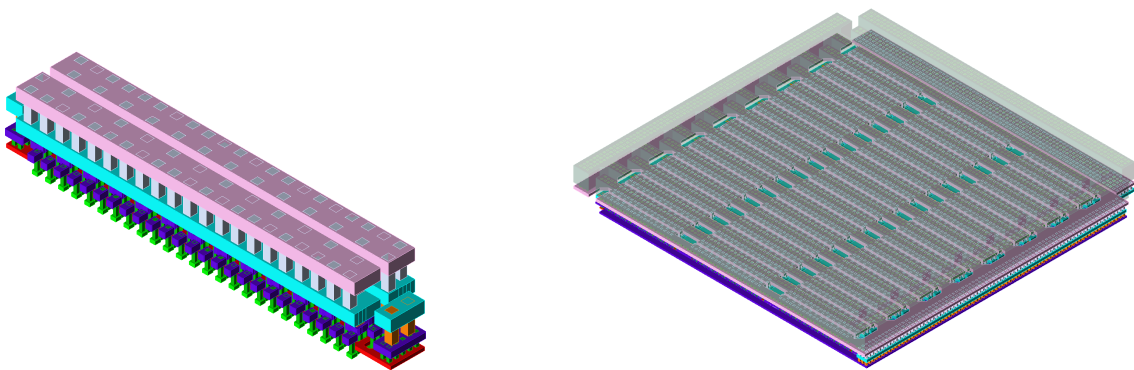
L'utilisation d'un transformateur permet de faciliter la polarisation des grilles et des drains des transistors en utilisant le point milieu de chaque enroulement. De plus, un transformateur assure une isolation entre le primaire et le secondaire, agissant ainsi comme une protection ESD intégrée.

Les innovations majeures sont centrées autour de deux domaines : une consommation réduite, avec l'utilisation d'un circuit de polarisation adaptative réduisant la puissance consommée à faible puissance, et un fonctionnement large bande par l'emploi des méthodes de conception abordées dans la partie 2.3, afin de couvrir le plus grand nombre de bandes LTE dédiées au NB-IoT et de réduire la complexité des modules radio.

3.2.2 Dimensionnement et layout du transistor de puissance

Le pré-dimensionnement réalisé dans la section 2.4.3 est un dimensionnement basé sur le modèle schématique du transistor. Il ne prend donc pas en compte l'impact des remontées des accès sur les niveaux de métaux supérieurs. Dans l'optique d'optimiser les accès aux transistors, l'objectif est de limiter au maximum leur impact sur les performances du transistor.

Ainsi, plusieurs paramètres sont déterminants dans l'optimisation des accès. La capacité parasite $C_{accès}$ et la résistance d'accès $R_{accès}$ sont les deux éléments parasites prédominants. Afin de simuler l'impact de ces éléments, les transistors avec un layout sont extraits avec Calibre xRC en utilisant un modèle de Résistance-Capacité-Couplage (RCC).



(a) Transistor unitaire en 130nm PDSOI

(b) Transistor complet en 130nm PDSOI

FIGURE 3.2 – Représentation 3D des transistors en 130nm PDSOI

La figure 3.2(a) présente le layout du transistor unitaire de 25 doigts de $1\mu m$. Les interconnexions sont réalisées jusqu'au métal 3 en limitant la résistivité d'accès. En effet, l'impact de la capacité parasite pour des fréquences inférieures à 3GHz n'est pas aussi significatif que celui de la résistance d'accès. Ceci est d'autant plus vrai pour les puissances visées. La remontée jusqu'au métal épais M4U est réalisée en mettant en parallèle les 48 transistors unitaires, comme le montre la figure 3.2(b).

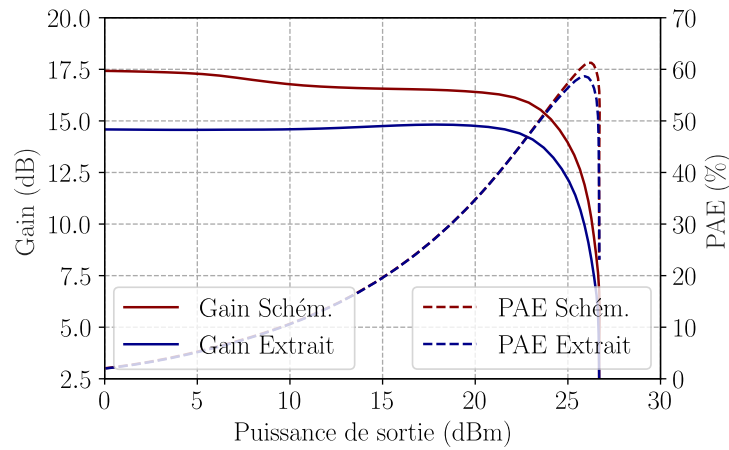


FIGURE 3.3 – Comparaison des performances en puissance des transistors en 130nm PDSOI avec et sans prise en compte des accès

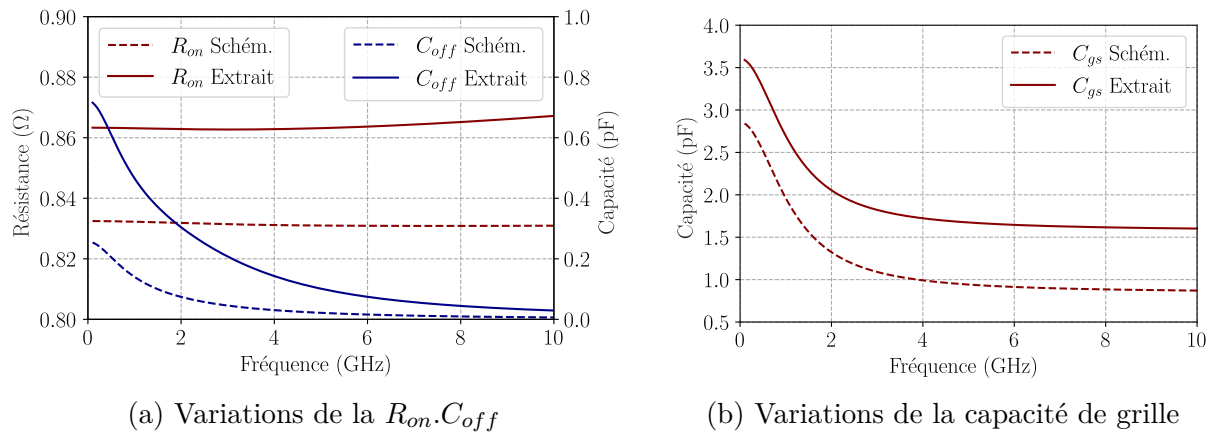
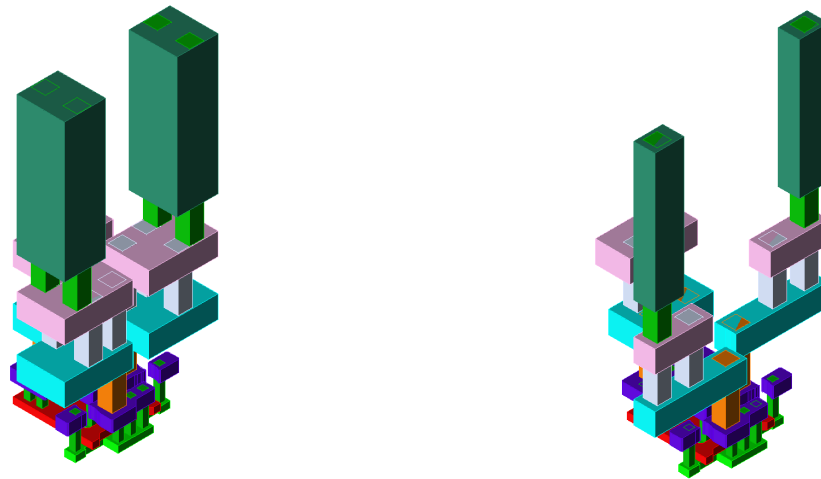


FIGURE 3.4 – Comparaison des transistors en 130nm PDSOI avec et sans prise en compte des accès @1,85GHz

Les graphiques des figures 3.3 et 3.4 présentent les différences de performances entre le modèle schématique et le modèle extrait du transistor complet sur charge de sortie optimale. Les performances en grand signal (Figure 3.3) révèlent peu de variations en termes de puissance de sortie à la saturation, avec 26,7 dBm dans les deux cas. La PAE est légèrement affectée avec une variation de 3,4% entre le transistor schématique (61%) et le transistor extrait (59%). Le gain est la grandeur la plus affectée, avec une chute de 17,5dB à 14,8dB lors de l'extraction des parasites, soit une chute de 19,6%. Le gain est principalement impacté par la variation de l'impédance d'entrée, ce qui dégrade l'adaptation et, par conséquent, le gain. Dans ce cas, une réadaptation du transistor suffit à récupérer les performances.

Le nœud technologique ainsi que la qualité du BEOL permettent de limiter l'impact des niveaux de métal sur les performances du transistor. Cependant, bien que les performances en puissance ne soient pas affectées, les impédances d'entrée et de sortie des simulations paramètres-S peuvent aussi varier. La figure 3.4 montre l'évolution des capacités et des résistances parasites lors de l'ajout des remontées sur les niveaux épais.

L'impact des accès sur la jonction drain-source est présenté sur la figure 3.4(a). La capacité C_{off} passe de 12fF à 54fF à 2GHz, soit une variation de 350%. Cette importante variation est liée à la façon dont les remontées sur les niveaux épais sont réalisées. En effet, comme indiqué précédemment, l'objectif a été de privilégier la minimisation de la



(a) Remontée directe : Résistance optimale (b) Remontée escalier : Capacité optimale

FIGURE 3.5 – Exemple simplifié des types d'accès selon les caractéristiques à optimiser

résistance d'accès plutôt que celle des capacités, comme le montre la figure 3.5.

Ainsi, la résistance R_{on} passe de $0,83\Omega$ à $0,86\Omega$, limitant les variations relatives à 3%. Cette observation est cohérente avec les résultats précédents : la conservation de la puissance de saturation impactée par R_{on} , et la diminution du gain impacté par C_{off} .

La figure 3.4(b) montre l'impact des accès sur la capacité de grille du transistor, avec une variation de $2,4\text{pF}$ à $2,7\text{pF}$ à 2GHz . Le transistor étant déjà très capacitif en raison de ses dimensions, les remontées n'impactent que de 12,5% la capacité de grille.

Au final, le transistor en 130nm PDSOI avec ses accès représente une surface de $78,5 \times 76,5\mu\text{m}^2$. Les accès avec remontée directe permettent également de réduire la surface occupée par le transistor.

3.2.3 Dimensionnement de la cellule de puissance

Le dimensionnement de la cellule de puissance passe par le dimensionnement des réseaux de stabilisation, d'adaptation et le layout de l'architecture cascode pseudo-différentielle.

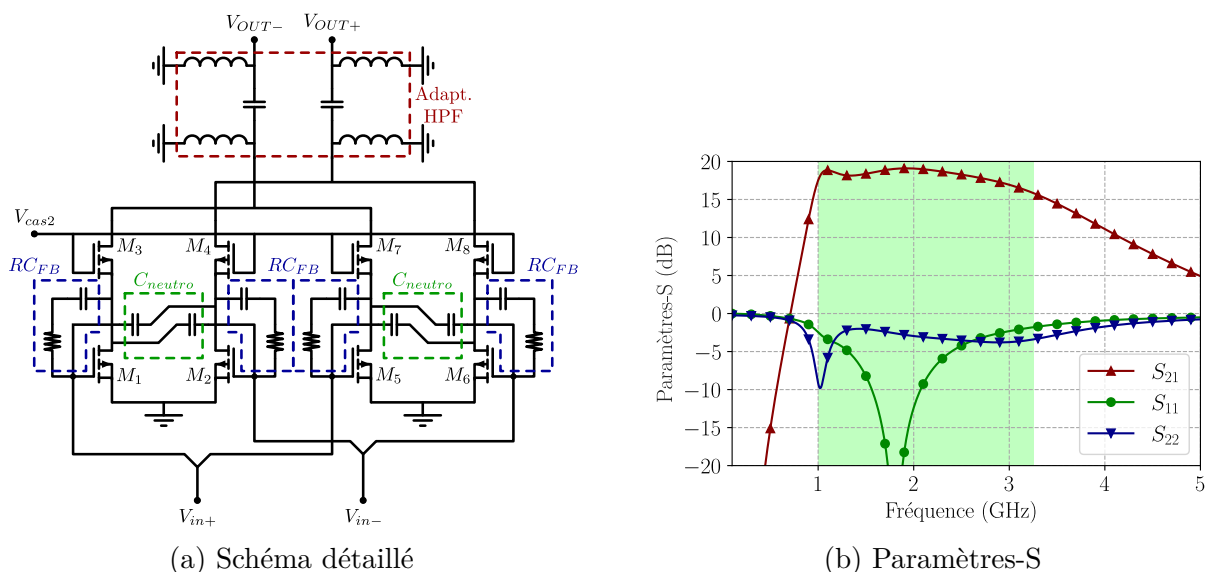


FIGURE 3.6 – Schéma et performances petit signal de la cellule de puissance

Le schéma de l'architecture choisie est détaillé sur la figure 3.6.

Comme indiqué précédemment, les réseaux de stabilisation employés sont basés sur l'utilisation de capacités de neutralisation et sur un circuit de contre-réaction avec un circuit RC. Il s'agit des premiers éléments à dimensionner afin de fixer les impédances d'entrée et de sortie pour la suite de la conception.

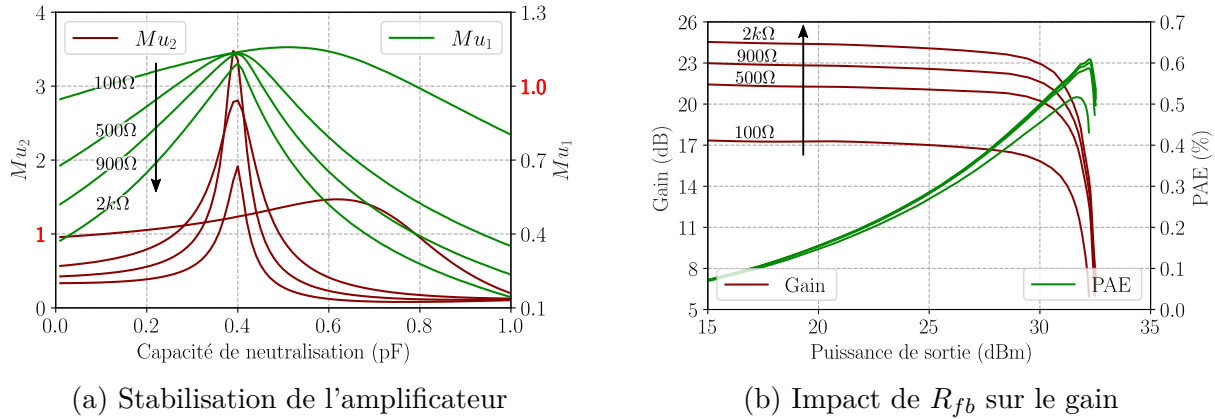


FIGURE 3.7 – Dimensionnement des capacités de neutralisation et résistance de contre-réaction

La figure 3.7 montre l'impact de la résistance de contre-réaction et des capacités de neutralisation sur les paramètres Mu_1 et Mu_2 à 1,85GHz. Au-dessus d'une résistance de $4k\Omega$, aucune valeur de C_{neutro} ne permet de stabiliser inconditionnellement l'amplificateur. En dessous de cette résistance, la plage de valeurs de la capacité C_{neutro} pour lesquelles l'amplificateur est stable augmente. Il s'agit ainsi de trouver un compromis permettant d'avoir une plage de capacité suffisamment large pour être robuste aux PVT, tout en limitant la dégradation du gain.

Sachant que le gain total visé est de 36dB, en prenant en compte les pertes de gain introduites par le réseau de stabilité (figure 3.7(b)), le gain de la cellule doit être maintenu au-dessus de 18dB. Pour une variation de la résistance R_{fb} de 100Ω à $2k\Omega$, le gain varie de 17,6dB à 24,6dB. Ainsi, le choix du couple de capacité de neutralisation et résistance de contre-réaction est de 370fF et 400Ω , respectivement. Ceci permet d'atteindre un gain de 19dB tout en assurant une stabilité inconditionnelle.

De plus, les performances en large signal de la figure 3.7(b) montrent une bonne adaptation sur la charge optimale du réseau de sortie. En effet, la puissance de saturation

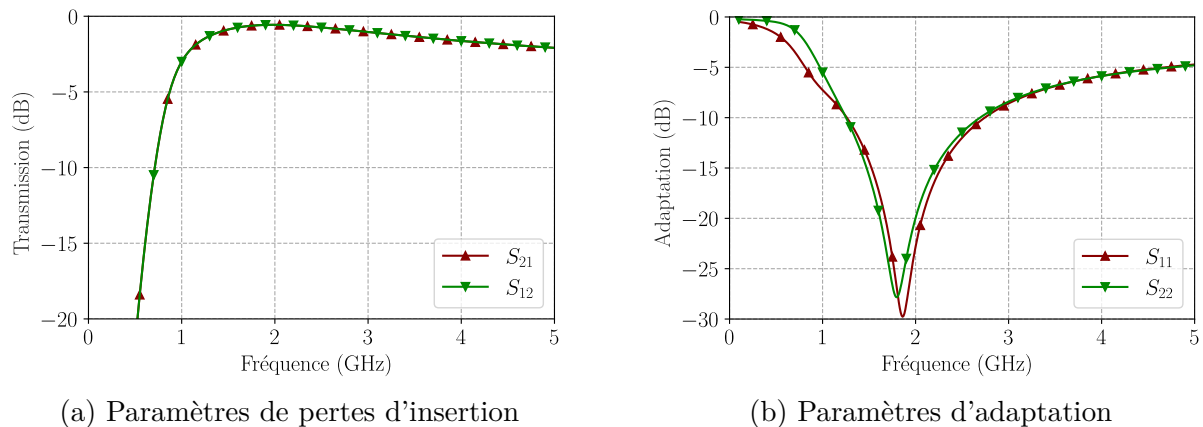


FIGURE 3.8 – Paramètres-S du réseau d'adaptation de sortie

est de 32dBm avec une PAE maximale de 60%.

L'adaptation de sortie est réalisée avec un réseau en Π de type passe-haut, ce qui permet de stabiliser l'amplificateur en basse fréquence. Le comportement passe-haut permet aussi d'obtenir un réseau d'adaptation large bande. La figure 3.8 présente les performances du réseau de sortie avec une adaptation inférieure à -10dB de 1,26GHz à 2,75GHz. Sur cette plage de fréquence, les pertes maximales et minimales sont maintenues à 1,43dB à 1,26GHz et 0,57dB à 1,97GHz.

Le layout occupe une surface de $1,3 \times 1,0 \text{mm}^2$. La cellule amplificatrice seule fait une surface de $0,39 \times 0,86 \text{mm}^2$. Enfin, le réseau d'adaptation représente une surface de $0,91 \times 1,0 \text{mm}^2$. Le layout du PA complet est présenté dans la section 3.2.6.

Les simulations précédentes sont réalisées sans circuit de polarisation adaptative. Cependant, pour réduire la consommation du PA à faible puissance, la cellule de puissance est polarisée par un circuit de polarisation adaptative. L'impact sur la consommation et les performances en grand signal est présenté figure 3.9.

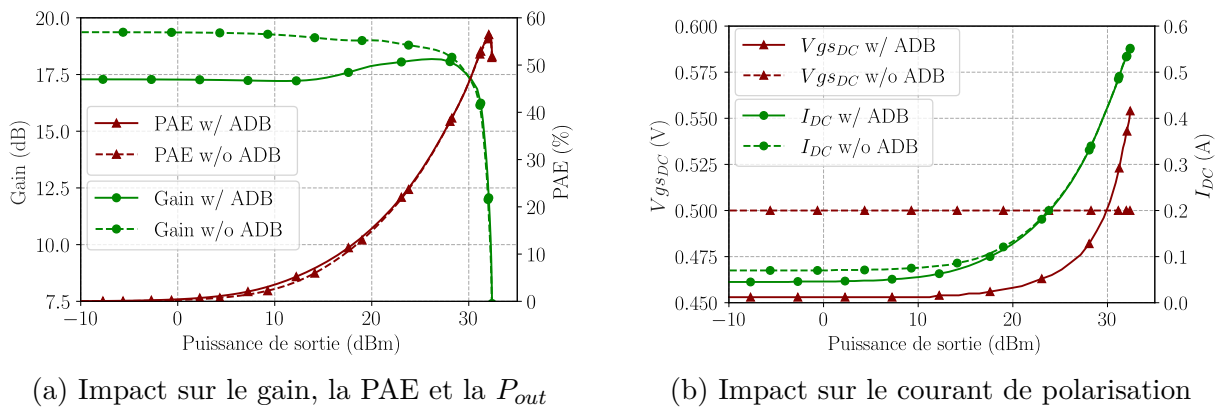


FIGURE 3.9 – Effet de l'utilisation de la polarisation adaptative

La figure 3.9 permet d'observer l'impact de la polarisation adaptative (ADB) sur les performances de l'amplificateur. La PAE n'est que légèrement améliorée en raison de la baisse de gain. Cependant, la consommation du PA est réduite de 350mW à 225mW. Ceci permet notamment d'éviter un échauffement trop important lors de la mise sous tension du PA sans signal d'entrée. De plus, la diminution du gain aux faibles puissances permet de repousser le point de compression du PA. Enfin, la trajectoire dynamique de la polarisation de la cellule de puissance peut être ajustée par la polarisation statique du circuit d'ADB, proposant ainsi une reconfigurabilité en linéarité.

3.2.4 Dimensionnement du driver pseudo-différentiel

La cellule de puissance étant réalisée, il reste à présent à dimensionner et dessiner le driver ainsi que les éléments d'adaptation d'inter-étage et d'entrée. En 130nm PDSOI, le driver est basé sur la même architecture que la cellule de puissance et utilise les mêmes réseaux de stabilisation. Les transistors étant deux fois plus petits, les valeurs des réseaux de stabilisation doivent être de nouveau déterminées en suivant le même procédé que pour la cellule de puissance.

Ainsi, le schéma du driver est présenté sur la figure 3.10(a) :

Le dimensionnement du réseau de stabilisation donne un compromis optimal pour des capacités de neutralisation de 185fF et une résistance de contre-réaction de 400 Ω .

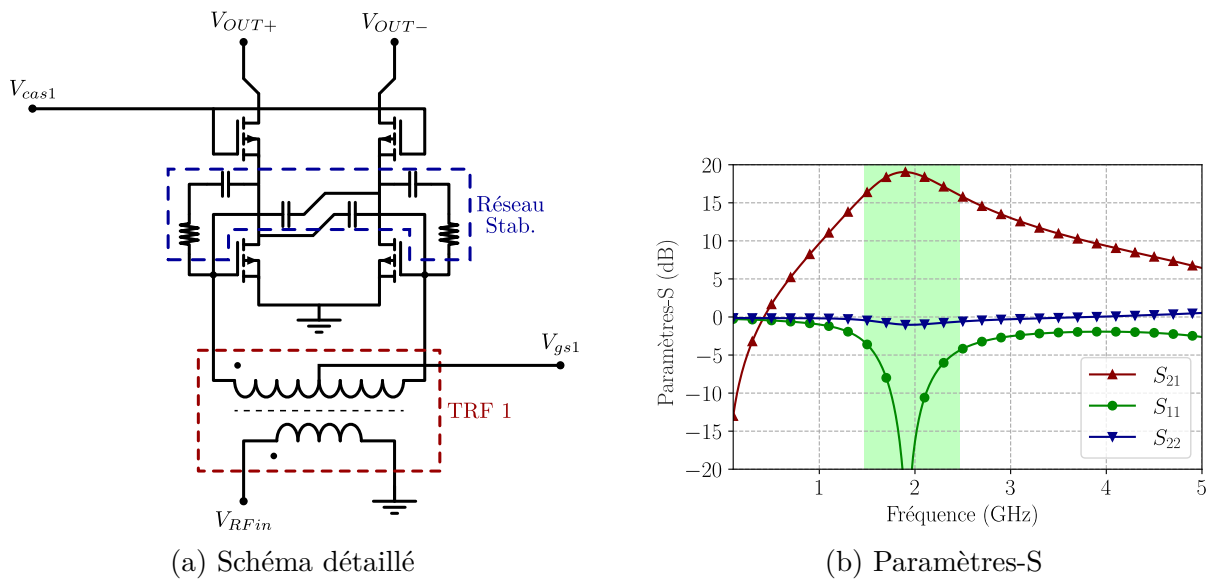


FIGURE 3.10 – Schéma et performances petit signal du driver

Le graphique sur la figure 3.11 montre les performances de stabilité en fréquence et les performances en puissance pour le driver sans réseau d’adaptation de sortie. Les paramètres Mu_1 et Mu_2 sont ajustés pour passer juste au-dessus de la stabilité inconditionnelle afin de limiter la dégradation des performances. La marge de stabilité sur toute la bande de fréquence est ensuite assurée par les pertes du réseau de sortie.

Enfin, en raison de contraintes de linéarité, de gain et d’impédance de sortie, le driver est dimensionné avec une taille de transistor équivalente quatre fois plus faible que celle de la cellule de puissance. Les performances en grand signal de la figure 3.11(b) montrent un gain légèrement supérieur à 19dB, un OCP1 de 27,8dBm et une PAE maximale de 68,6%.

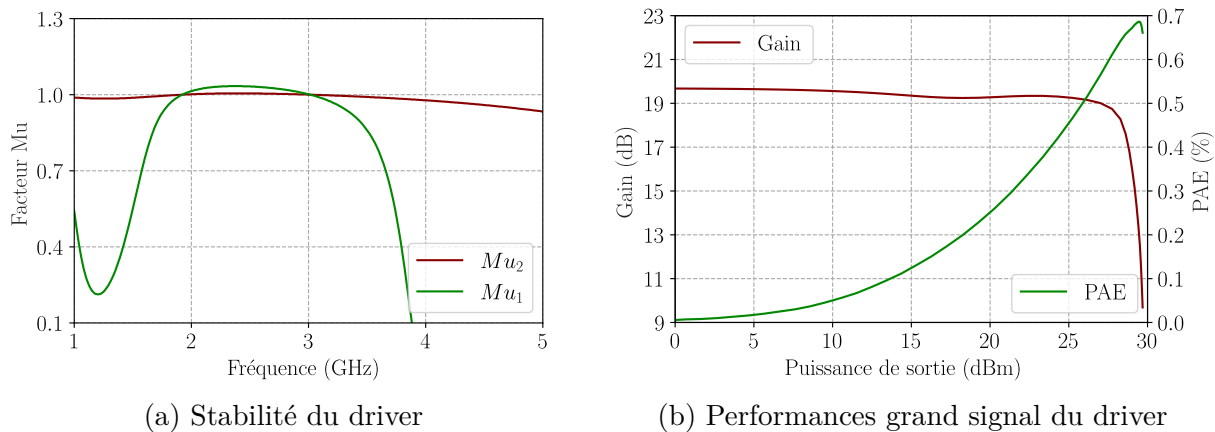


FIGURE 3.11 – Stabilité et performances HB du driver avant l’ajout du transformateur de sortie

Le layout occupe une surface de $1,32 \times 0,67mm^2$. Le driver seul représente une surface de $0,34 \times 0,67mm^2$. Enfin, le réseau d’adaptation d’entrée fait une surface de $0,98 \times 0,67mm^2$.

Le tableau 3.2 résume les performances des blocs unitaires d’amplification avant la mise en commun des deux blocs par le transformateur inter-étage. Ainsi, dans les simulations précédentes, l’adaptation de sortie du driver et l’adaptation d’entrée de la cellule de puissance sont idéales.

TABLE 3.2 – Performances de l'étage de puissance et du driver

PA	freq. (GHz)	BW (GHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
Cellule de puissance	2,1	2,3	19,1	29,4	58,7	30,3
Driver	1,9	1,0	19	27,8	68,6	37,7

Au vu des performances, l'adaptation d'entrée est la principale cause de la limitation de la bande passante à 1GHz. Ainsi, la conception du balun actif, présentée en section 3.4, est aussi motivée par une amélioration de la bande passante de l'étage driver.

3.2.5 Dimensionnement du transformateur large bande

Le dimensionnement de l'adaptation inter-étage est réalisé en suivant la théorie présentée dans la section 2.3.1. Ainsi, dans le cas des PAs présentés dans les sections précédentes, les impédances à adapter sont :

- $R_{opt_{DRV}}^* = 50 - 50j\Omega$: impédance conjuguée optimale de sortie du driver
- $R_{in_{PC}} = 5 - 27,2j\Omega$: impédance d'entrée de la cellule de puissance

Ces impédances donnent les équivalents parallèles calculés ci-après d'après les équations (2.28) et (2.29).

$$\begin{aligned} R_{1_{eq}} = 100\Omega & \quad | \quad R_{2_{eq}} = 152\Omega \\ C_{1_{eq}} = 0,88pF & \quad | \quad C_{2_{eq}} = 3,14pF \end{aligned}$$

Pour une fréquence centrale de 1,85GHz et une bande passante $\geq 1GHz$, le coefficient de couplage doit être supérieur à 0,3. En effet, le calcul de l'écart entre les deux pôles de résonances donné par l'équation (2.32) donne une valeur de 546MHz. Par expérience et avec les études préliminaires réalisées en amont, ceci permet d'atteindre une bande passante à 3dB de 1GHz. Dans notre cas, le coefficient k choisi est de 0,35.

Afin d'obtenir une valeur d'inductance réalisable en technologie intégrée, une capacité $C_{1_{add}}$ de 1,75pF a été ajoutée en entrée du transformateur. La valeur d'inductance du primaire, donnée par l'équation (2.33), est de 3,4nH. Le secondaire utilise directement la capacité de grille de la cellule de puissance et permet de conserver $C_{2_{add}}$ nulle. Ainsi, la valeur de l'inductance du secondaire est de 2,8nH.

Enfin, pour valider le choix du facteur de couplage précédemment déterminé, l'objectif est de s'assurer que l'ondulation dans la bande reste sous les 3dB afin d'obtenir une bande continue. Les facteurs de qualités Q du résonateur du primaire et secondaire sont de 2,8 et 5,1, respectivement. Ainsi, d'après l'équation (2.36) l'ondulation dans la bande est de 0,5dB.

La tableau 3.3 synthétise les différentes grandeurs obtenues après le dimensionnement du transformateur large bande.

TABLE 3.3 – Dimensionnement du transformateur inter-étage large bande

—	R_{eq} (Ω)	C_{eq} (pF)	C_{add} (pF)	L (nH)	Q	Ond. (dB)
primaire	100	0,88	1,75	3,4	2,8	0,5
secondaire	152	3,14	0	2,8	5,1	0,5

Layout et performance du transformateur large bande

Suite au pré-dimensionnement du transformateur large bande, le circuit a été dessiné et simulé sous Momentum. La figure 3.12 présente le layout en vue 3D du transformateur ainsi que les performances post-layout des simulations paramètres-S.

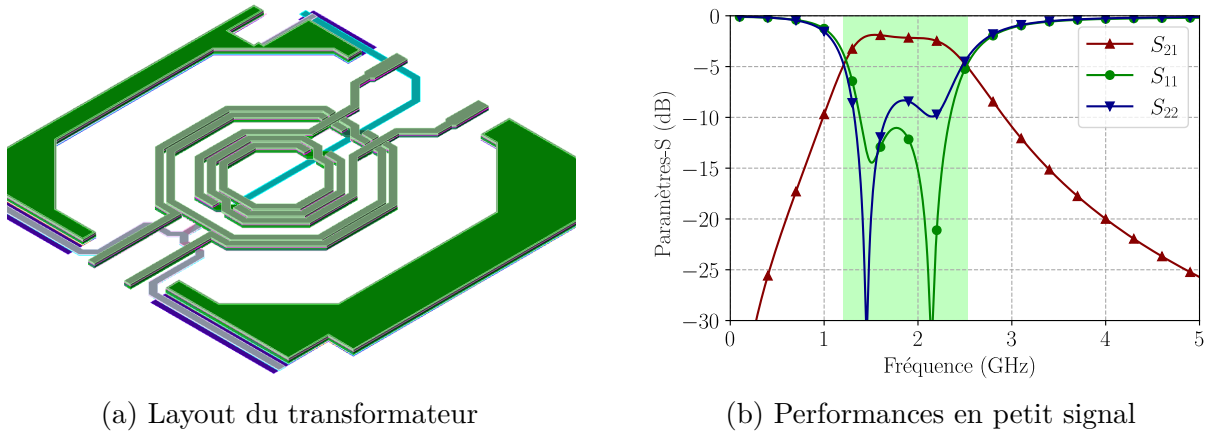


FIGURE 3.12 – Performances du transformateur large bande et layout en 130nm PDSOI

Le transformateur présente des pertes d'insertion moyennes de 2,1dB avec un minimum de 1,9dB à 1,54GHz. Les pertes importantes sont majoritairement causées par la réduction du coefficient de couplage du transformateur et les facteurs de qualité des inductances en 130nm PDSOI. La bande passante à 3dB du circuit est de 1,3GHz, avec une fréquence limite basse à 1,2GHz, permettant de couvrir toute la bande NB-IoT envisagée.

3.2.6 Résultats de simulation avec signal CW et SC-FDMA

La figure 3.13 correspond au layout final avant l'envoi en fabrication du circuit. Le PA en lui-même, sans prendre en compte la contribution des pads, occupe une surface de $3,3 \times 1,2mm^2$. Cette surface est principalement impactée par les inductances, occupant 90% de la surface totale du circuit.

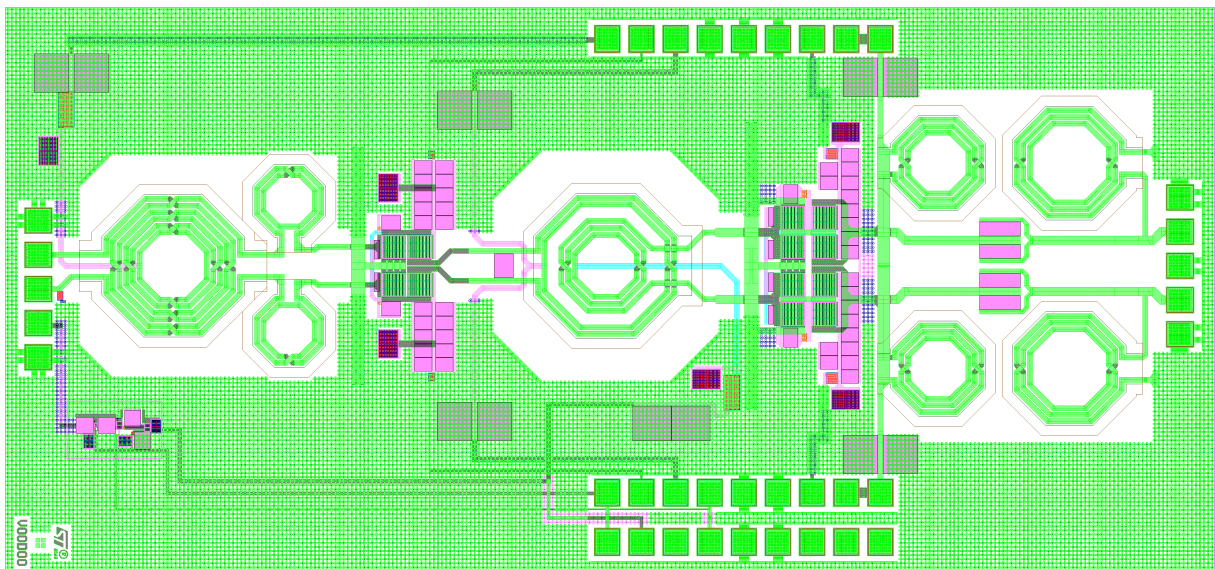


FIGURE 3.13 – Layout complet du PA pseudo-différentiel en 130nm PDSOI

Dans la suite de cette section, les performances du PA sont simulées en post-layout (PLS) jusqu'aux plots RF et DC afin de prendre en compte la totalité des éléments du circuit et leur impact sur les performances.

Simulations CW post-layout

Dans un premier temps, les performances du PA sont évaluées avec des signaux mono-fréquence afin de déterminer les grandeurs telles que l'adaptation, le gain, la puissance de sortie et la PAE. La figure 3.14 présente les résultats de simulation post-layout en petit signal.

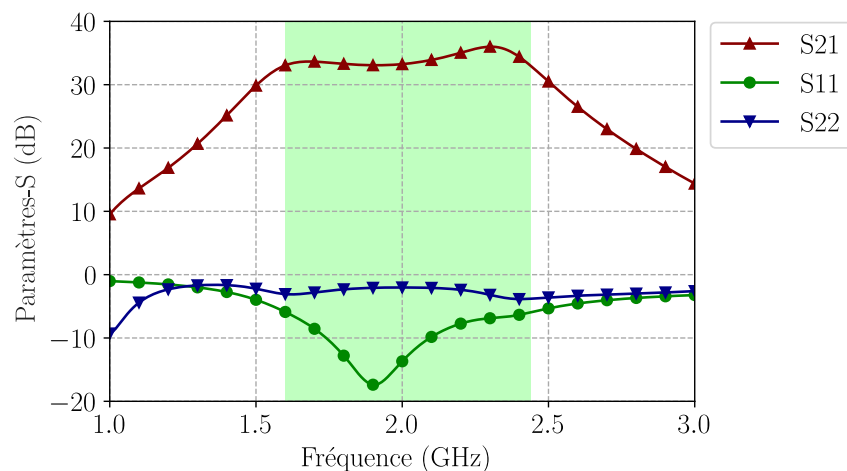


FIGURE 3.14 – Simulation faible signal en post-layout

Le gain présente un pic à 2,3GHz atteignant 35,9dB. Cette dissymétrie entre les deux lobes de S_{21} tend à réduire la bande à 3dB à 840MHz autour d'une fréquence centrale à 2GHz. Cependant, la bande NB-IoT initialement visée est respectée. Les paramètres d'adaptation présentent aussi les caractéristiques espérées : l'adaptation d'entrée S_{11} possède un minimum de -17,4dB à 1,9GHz et un maximum de -5,8dB à 1,6GHz. De plus, l'adaptation d'entrée est volontairement dégradée sur les extérieures de la bande pour permettre un gain plat ajusté par les étages d'adaptation suivants. L'adaptation de sortie étant réalisée en fort signal, la simulation paramètres-S ne donne pas d'information sur les performances de l'adaptation sur la charge optimale. Cependant, par convention, le S_{22} ne doit pas être trop proche de zero, dans notre cas la valeur minimale dans la bande est de -3,9dB à 2,4GHz.

Des simulations complémentaires en large signal sont présentées dans les figures 3.16 et 3.15. Ce type de simulations permet de renseigner sur des éléments importants du dimensionnement d'un amplificateur de puissance tels que la linéarité, la puissance de sortie et l'efficacité.

La déviation maximale du gain et de phase dans la zone linéaire est de 1,6dB et 7,9° (figure 3.15(a)), respectivement. Cet effet est lié à la réduction du temps de conduction des transistors d'amplification et donc au choix de la classe de fonctionnement de l'amplificateur. La polarisation adaptative impacte aussi l'AM-AM et l'AM-PM en raison d'une modulation dynamique de la classe de fonctionnement. Pour limiter la dégradation du signal de sortie par non-linéarité, l'AM-AM et l'AM-PM doivent être maintenues sous les 3dB et 10°, respectivement.

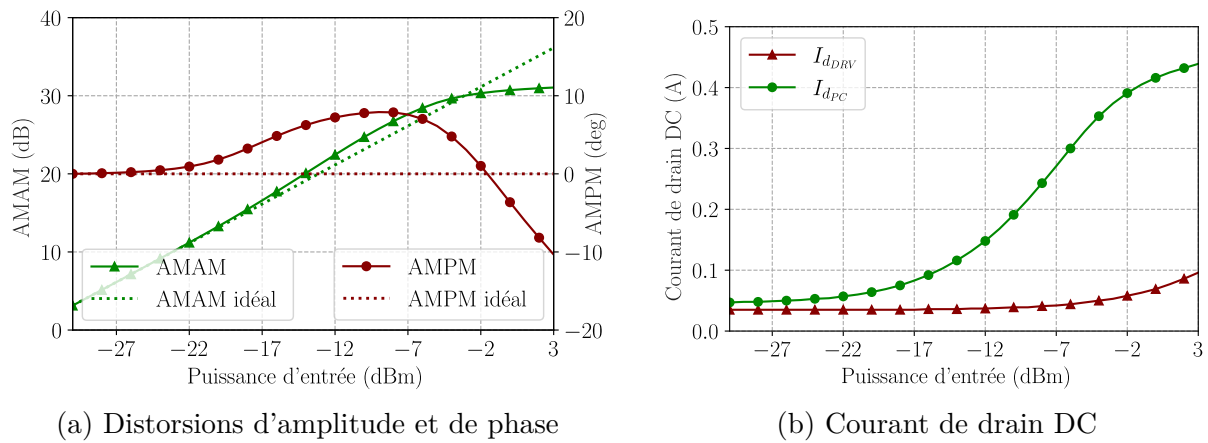


FIGURE 3.15 – Étude de la linéarité et de la consommation du PA

Sur la figure 3.15(b), le courant DC de drain permet de déterminer la puissance d'alimentation demandée par le PA pour différents niveaux de puissance d'entrée. Le courant maximal en saturation est de 536mA en considérant le PA complet. Le driver et la cellule de puissance contribuent à hauteur de 96 mA et 440mA, respectivement. La puissance DC à la saturation est donc de 2,7W.

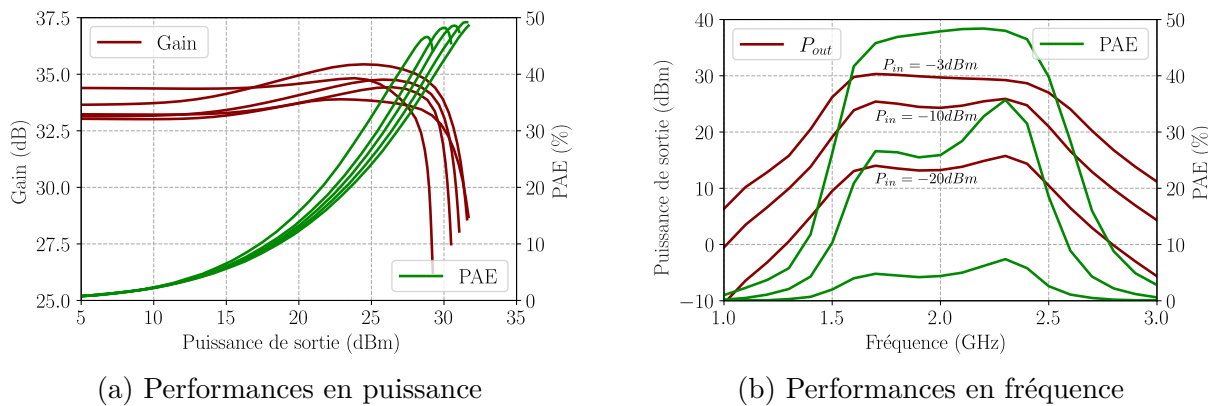


FIGURE 3.16 – Étude de la puissance de sortie, du gain et de l'efficacité en puissance et en fréquence

La simulation non-linéaire de la figure 3.16(a) présente les performances de gain et de PAE en fonction de la puissance de sortie pour différentes fréquences incluses dans la bande passante. Le PA possède une puissance de saturation autour de 30dBm avec une réduction de puissance pour les fréquences les plus élevées de la bande. La PAE à la saturation est comprise entre 47% à 2,4GHz et 49% à 1,7GHz. De plus, à un PBO de 6dB, la PAE est comprise entre 25,8% à 2,4GHz et 26,6% à 1,6GHz.

Les simulations non-linéaires en fréquence de la figure 3.16(b) permettent de valider le comportement sur toute la bande de fréquence. La puissance de sortie au point de compression à 1dB est supérieure à 29dBm entre 1,55GHz et 2,4GHz. De même, à l'OCP1, la PAE est supérieure à 30% entre 1,52GHz et 2,58GHz. Enfin, à 6dB de PBO, la PAE est supérieure à 20% entre 1,6GHz et 2,57GHz.

Le tableau 3.4 fait la synthèse des performances du PA avec signaux CW par rapport au cahier des charges établi dans la section 1.4.1.

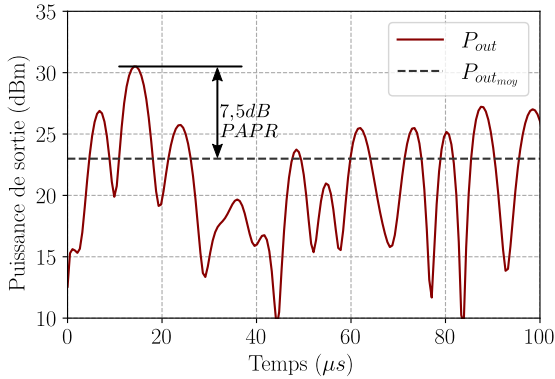
TABLE 3.4 – Validation de l’amplificateur de puissance pour des signaux CW

—	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
CDC	1.85	> 400	36	29	> 30	> 20
PLS	2,0	840	≈ 34	≈ 30	49	26,6

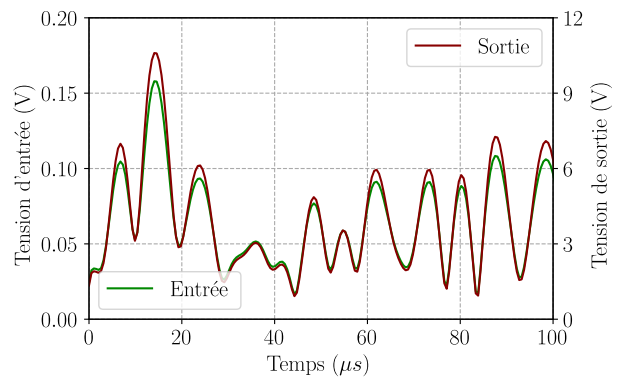
Simulations SC-FDMA post-layout

Les simulations avec un signal modulé SC-FDMA permettent de renseigner davantage d’informations sur la linéarité du PA et permettent de confronter ses performances avec les normes du standard NB-IoT. Pour cela, le signal modulé est généré par Matlab et les simulations modulées sont réalisées sous Virtuoso avec le simulateur de suivie d’enveloppe (ET) de GoldenGate autour d’une fréquence porteuse de 1,85GHz.

La figure 3.17 présente les simulations temporelles en bande de base des signaux modulés en sortie du PA. Le PAPR est observé sur la figure 3.17(a) et déterminé selon l’équation (1.24). Dans le cas du signal NB-IoT généré, le PAPR est de 7,5dB, correspondant à l’estimation donnée dans le tableau 1.5. La figure 3.17(b) donne une représentation temporelle de l’amplification en tension du PA avec un gain (G_v) d’environ 36dB.



(a) Observation du PAPR



(b) Amplification en tension

FIGURE 3.17 – Étude de la réponse temporelle du PA à un signal SC-FDMA

$$G_v = 20 \cdot \log \left(\frac{V_{out}(t)}{V_{in}(t)} \right) \rightarrow 20 \cdot \log \left(\frac{10,6}{0,16} \right) \approx 36dB \quad (3.1)$$

La figure 3.18 présente les performances du signal en sortie du PA après démodulation du signal SC-FDMA. La majorité des éléments caractéristiques du standard NB-IoT sont définis en termes d’ACLR, d’EVM et de masque. La figure 3.18(a) révèle des ACLR de 33dBc à la puissance moyenne maximale de 23dBm. L’ACLR minimal autorisé dans le canal adjacent est de 20dBc et correspond à la norme GSM. Cependant, bien que les ACLR soient validés, le masque NB-IoT est dépassé pour une puissance d’entrée moyenne de -10dBm. Le dépassement n’est pas trop important, et une augmentation de la tension de polarisation pour augmenter la linéarité peut être suffisante. L’utilisation de méthodes de prédistorsion numérique est aussi une solution, mais elle complexifie la chaîne d’émission.

Enfin, la figure 3.18(b) représente les constellations de la modulation du signal d'entrée et de sortie pour une puissance d'entrée moyenne de -10dBm. D'après l'équation (1.23), la valeur des EVM du signal de sortie est de 4,3%.

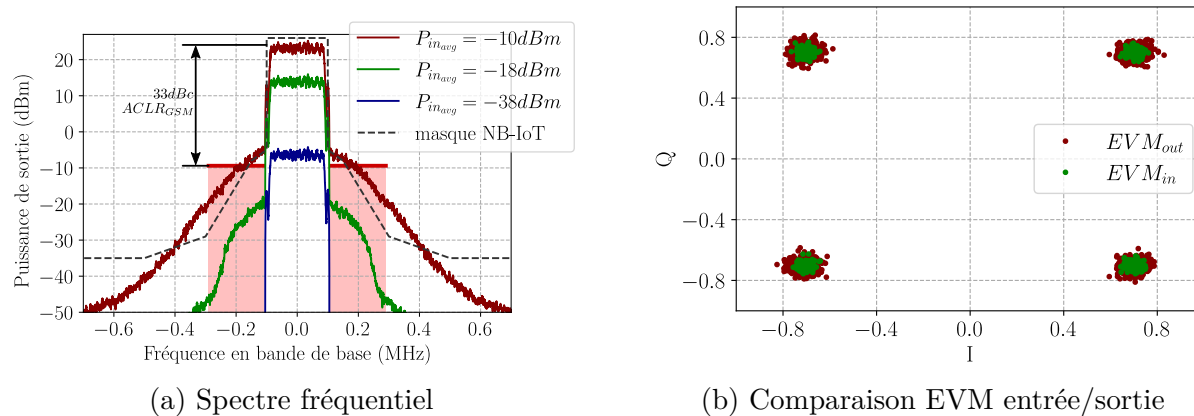


FIGURE 3.18 – Spectre et EVM du signal SC-FDMA démodulé

De même que dans la partie précédente, le tableau 3.5 résume les performances du PA sous signaux SC-FDMA et compare les résultats PLS par rapport au cahier des charges de la section 1.4.1.

TABLE 3.5 – Validation de l'amplificateur de puissance pour des signaux SC-FDMA

—	freq. (GHz)	PAPR (dB)	$ACLR_{GSM}$ (dBc)	$ACLR_{UTRA}^*$ (dBc)	EVM (%)	Masque
CDC	1,85	7,8	≥ 20	≥ 33	$\leq 17,5$	Fig. 3.18(a)
PLS	1,85	7,5	33	≥ 50	4,3	non-valide

* $UTRA_{ACLR}$ pour les modulations LTE

3.3 Co-intégration du PA avec un SP4T en 130nm PDSOI

La co-intégration de circuits en technologie CMOS SOI permet de réduire les coûts et l'encombrement des modules radio NB-IoT. L'objectif est donc de réaliser une preuve de concept de la co-intégration d'un commutateur d'antenne avec un amplificateur de puissance en technologie 130nm PDSOI, très répandue pour la conception de commutateurs à l'état de l'art. Dans une première section, l'architecture et les performances du commutateur d'antenne sont détaillées. Dans une seconde section, l'impact du commutateur sur les performances du PA en faible et large signal est présenté. Enfin, au vu des résultats, une conclusion sur la faisabilité d'un tel circuit pour une application NB-IoT est proposée.

3.3.1 Présentation du SP4T

Un SP4T est un type de commutateur d'antenne permettant de commuter quatre voies vers une seule, et ainsi de pouvoir rediriger le signal de l'antenne vers plusieurs récepteurs ou de commuter plusieurs PAs vers une seule antenne. Ce type de commutateur ne peut être utilisé que dans le cas d'un protocole de communication "half-duplex" car le signal est envoyé sur une seule des voies à la fois. La figure 3.19 montre le layout et le schématique associé.

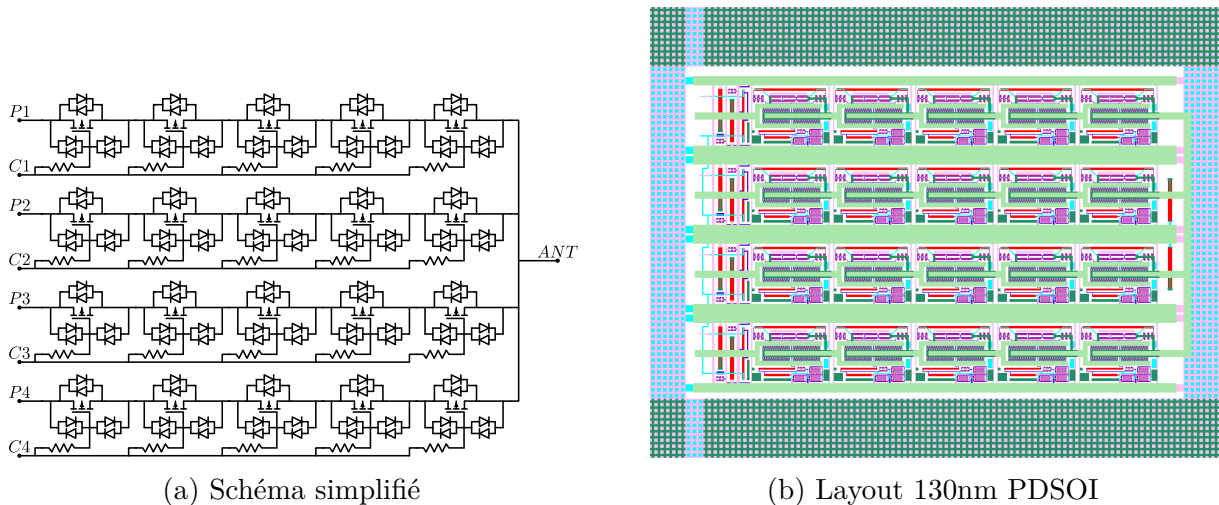


FIGURE 3.19 – Schéma et layout du SP4T en 130nm PDSOI

La particularité de ce commutateur réside dans l'utilisation de diodes de protection calibrées pour écrêter la tension aux bornes de chaque jonction du transistor, si cette dernière excède les tensions maximales des SOA. La figure 3.20(a) montre l'évolution de la tension aux bornes d'un transistor de commutation pour une puissance de 36dBm sur 50Ω. Les tensions des SOAs des transistors étant de 3V, les diodes permettent de réduire la tension \hat{V}_{gsmax} de 4,3V à 3V et la tension \hat{V}_{dsmax} de 3,8V à 3,3V. La tension de drain n'est pas conservé parfaitement sous les 3V en raison de la résistance interne augmentant la tension aux bornes de la diode lors de fort courant.

En contrepartie, l'ajout des diodes de protection tend à réduire la linéarité du commutateur. En effet, la figure 3.20(b) montre l'impact des diodes sur l'ICP1 du SP4T. La chute du point de compression d'entrée de 3dB est provoquée par la mise en conduction des diodes à puissance, ramenant l'OCP1 à 36dBm. La puissance maximale de sortie du

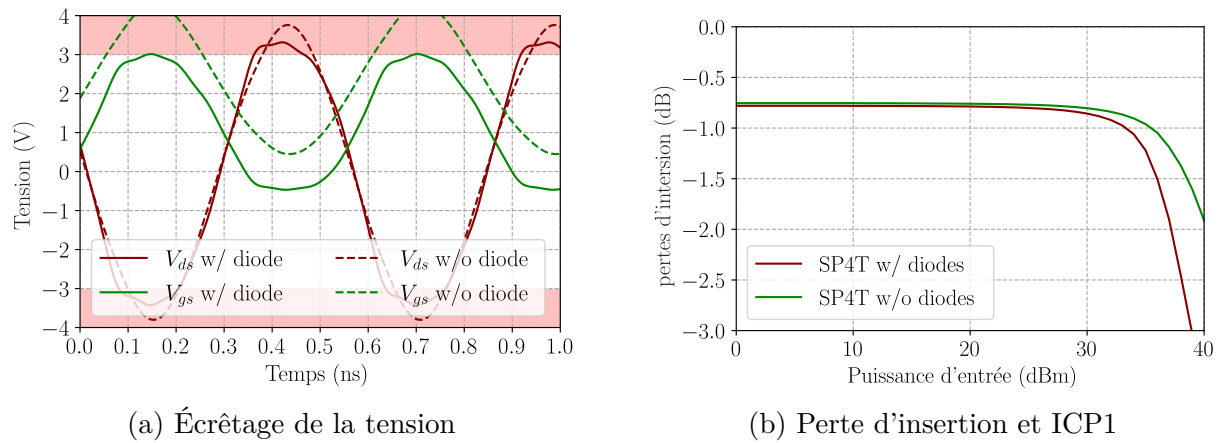


FIGURE 3.20 – Impact des diodes de protections sur les performances du SP4T

NB-IoT étant de 29dBm, le commutateur répond aux contraintes du standard avec un point de compression supérieur à 30dBm et des pertes d'insertion inférieures à 1dB. Le circuit peut donc être utilisé pour la co-intégration avec le PA.

État de l'art des commutateurs d'antenne

Les performances du SP4T présentent des résultats à l'état de l'art des commutateurs d'antenne, comme le montre le tableau 3.6.

TABLE 3.6 – Comparaison du commutateur d'antenne en 130nm PDSOI avec l'état de l'art

—	This work*		[60]	[61]	[62]
Tech.	130nm PDSOI		250nm SOI	130nm RFSOI	CMOS
Type	SP4T		SPDT	SPDT	SPDT
Fréquence (GHz)	1	2	1	0,9	1,9
ICP1 (dBm)	36		12	35	15
$R_{on} \cdot C_{off}$ (fs)	141		N/A	115	N/A
Perte d'insertion(dB)	0,8	0,9	0,6	0,25	0,3
Isolation (dB)	38	32	60	30	22,3

* Résultats PLS

Le commutateur présente quatre voies, chacune ayant un ICP1 de 36dBm et des pertes d'insertion de 0,8dB. L'isolation est supérieure à celle des commutateurs [61] et [62], avec 32dB d'isolation à 2GHz. De plus, ce SP4T présente une robustesse en puissance en raison de la présence des diodes de protection sur les jonctions des transistors.

3.3.2 Circuit co-intégré PA/SP4T

Les simulations du circuit co-intégré permettent d'observer l'impact de l'ajout d'un commutateur d'antenne sur les performances du PA présenté précédemment, dans l'optique

de concevoir un module radio compatible NB-IoT. La figure 3.21 correspond au layout du circuit après co-intégration du commutateur. De plus, le réseau d'adaptation entre le SP4T et le PA a été réajusté pour compenser l'impédance ramenée par le commutateur.

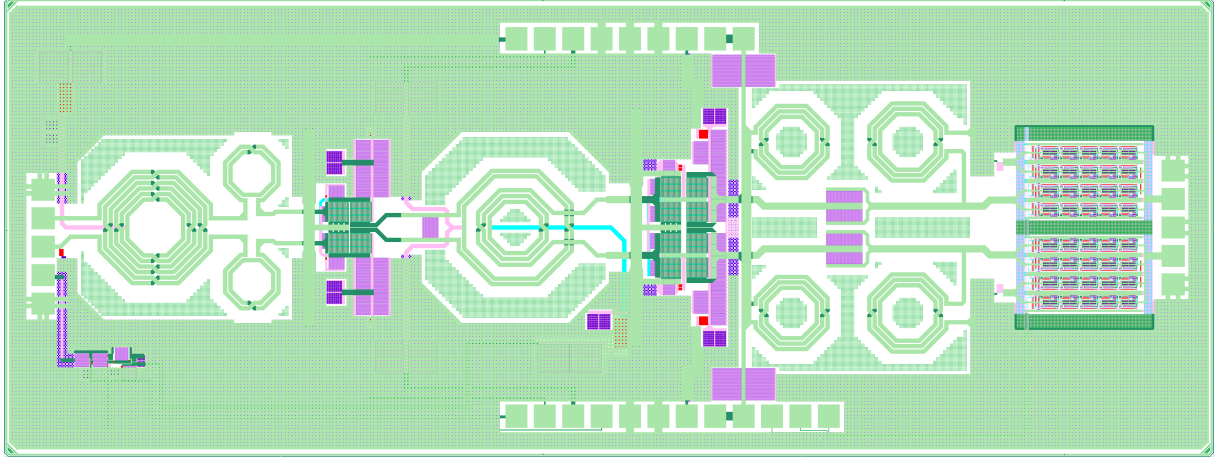


FIGURE 3.21 – Layout du circuit PA/SP4T co-intégré

La figure 3.22 compare les performances PLS du circuit en petit signal. Le gain maximal S_{21} est de 35,4dB à 2,3GHz. La dissymétrie des lobes apportée par l'ajout du SP4T réduit la bande passante à 3dB à 400MHz autour du lobe à 2,3GHz. Enfin, les paramètres d'adaptation montrent une baisse du S_{22} de 1dB en moyenne et un S_{11} inchangé sur toute la bande de simulation.

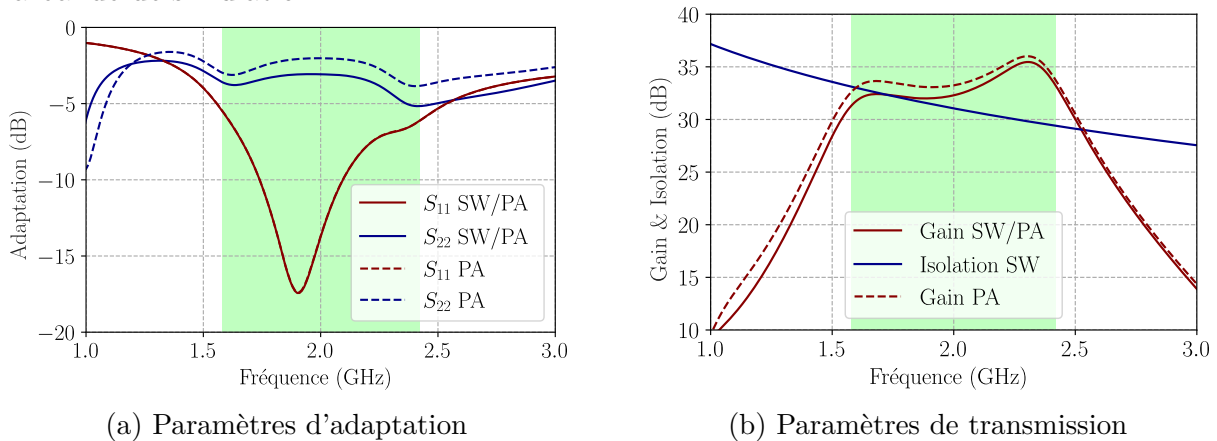


FIGURE 3.22 – Performances du circuit co-intégré en petit signal

En large signal, les simulations PLS présentées sur la figure 3.23 sont réalisées à trois fréquences autour et dans la bande 1,7 – 2GHz du NB-IoT. La puissance de saturation chute en moyenne de 0,9dB pour les trois fréquences en raison des pertes d'insertion du commutateur. De plus, la PAE_{max} et le point de compression du circuit co-intégré sont de 40% et 30,4dBm, respectivement, pour une fréquence de 1,6GHz, et de 42% et 29dBm, respectivement, pour une fréquence de 2,1GHz. L'OCP1 du PA est réduit de 1dB pour toutes les fréquences avec l'ajout du commutateur d'antenne.

Ce circuit a donné lieu à une publication dans NEWCAS 2023 [63], mettant en avant l'amélioration de la robustesse en puissance du commutateur d'antenne, ainsi que les performances large bande de l'amplificateur et du circuit co-intégré, à la fois sous signal CW et SC-FDMA, afin de répondre aux contraintes du NB-IoT.

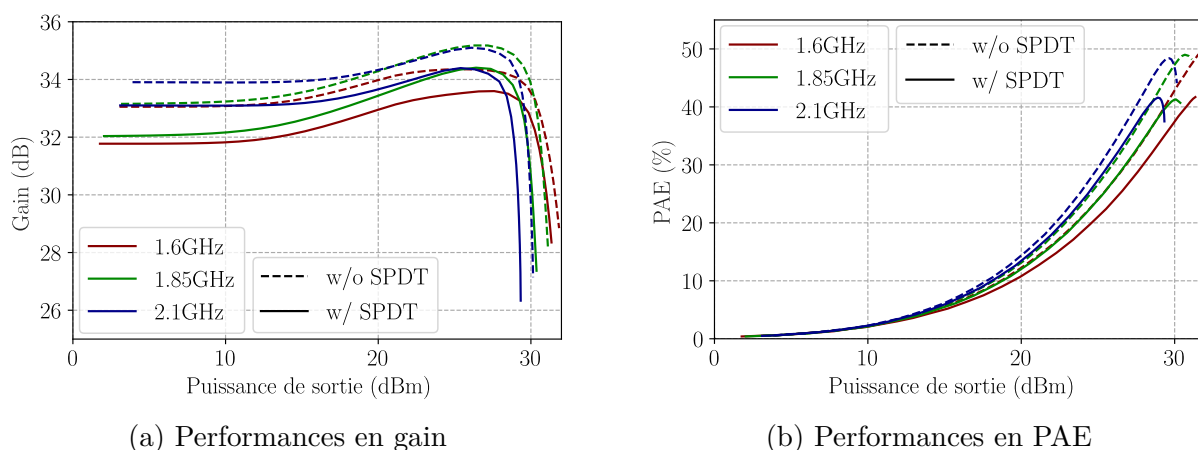


FIGURE 3.23 – Performances du circuit co-intégré et large signal

Pour conclure, le tableau 3.7 permet de comparer les performances des deux circuits par rapport aux performances du PA précédent. Le commutateur impacte principalement le gain et la puissance de sortie (OCP1 et P_{sat}) en raison des pertes d'insertion. La bande passante est aussi impactée par l'intermédiaire du gain en raison d'une asymétrie du transformateur d'inter-étage. Ce dernier n'a cependant pas été redimensionné pour le circuit co-intégré.

TABLE 3.7 – Comparaison des performances entre le PA seul et le circuit co-intégré

—	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
PA	2,0	840	34	30	49	26,6
PA+SP4T	2,3	400	33	29	42	22

Au vu des performances, le circuit peut être utilisé pour des applications NB-IoT. Cependant, en raison de l'échauffement important que peuvent générer les PAs, des mesures de fiabilité de l'ensemble du circuit co-intégré sont à réaliser pour conclure sur la robustesse de la co-intégration.

3.4 Driver balun actif ultra-large bande 50MHz-2,3GHz en 130nm PDSOI

Suite aux limitations de bande passante introduites par le balun d'entrée, la question de la conception d'un balun actif se pose. En effet, l'utilisation de baluns actifs est très intéressante pour diminuer le nombre de transformateurs nécessaires et ainsi réduire la surface de silicium. De plus, les baluns actifs ont la possibilité de couvrir une très large bande passante [64]. L'objectif de ce circuit est donc de pouvoir adresser les trois bandes de fréquences LTE allouées au NB-IoT, soit 450MHz, 900MHz et 1800MHz.

Le schéma est présenté à la figure 3.24. L'architecture repose sur l'utilisation d'une paire différentielle permettant d'obtenir une réjection naturelle du mode commun grâce à la topologie du circuit.

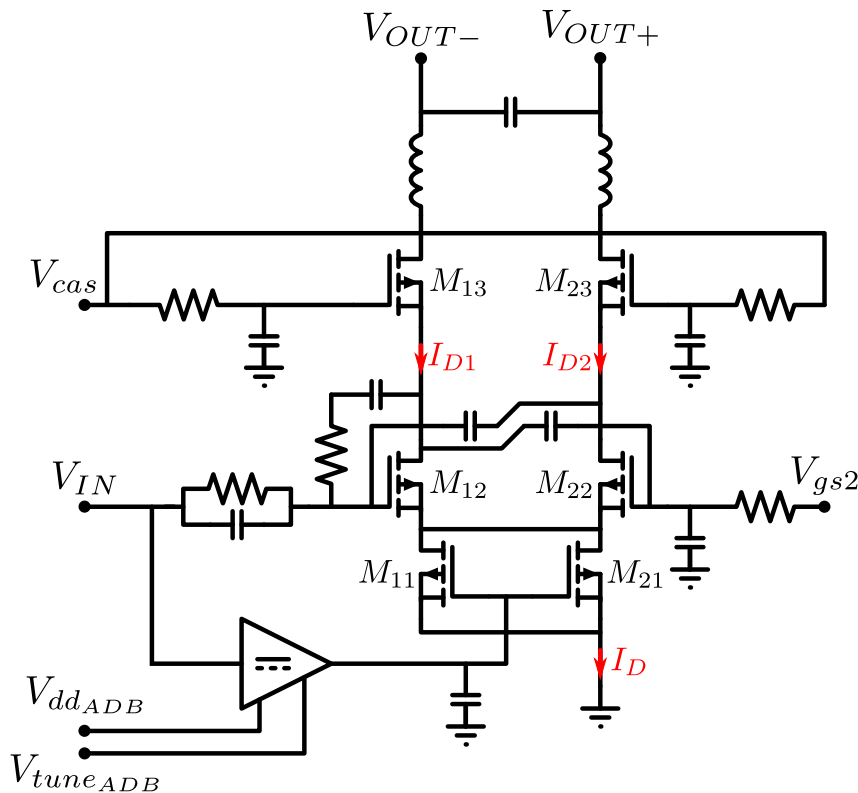
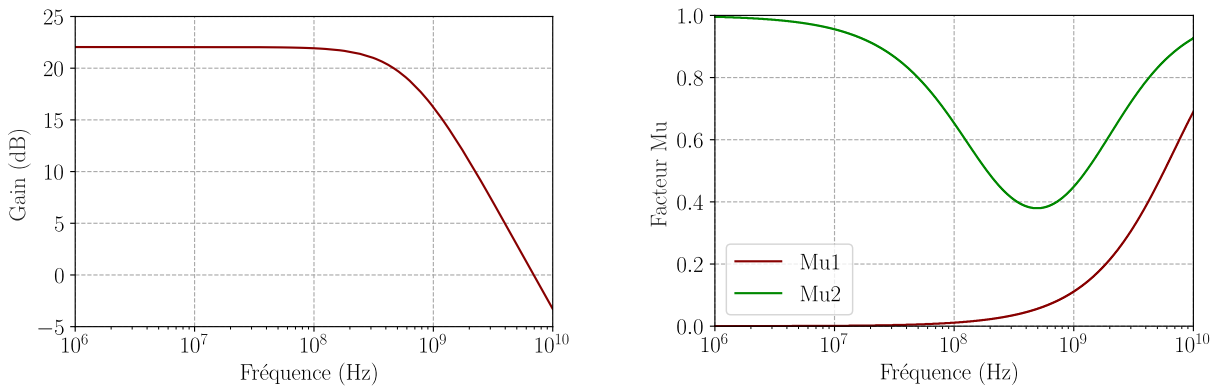


FIGURE 3.24 – Schéma complet du balun actif en 130nm PDSOI

3.4.1 Problématique de stabilité et d'adaptation large bande

Sans adaptation, le gain d'un transistor diminue avec la fréquence et présente un gain élevé à basse fréquence, ce qui le rend très sensible aux instabilités, comme le montre la figure 3.25. Les coefficients de Mu_1 et Mu_2 ne se trouvent jamais dans la zone de stabilité inconditionnelle (supérieure à 1), et la stabilité de sortie se dégrade à mesure que la fréquence diminue.

Afin d'obtenir un gain le plus plat possible, l'objectif est de stabiliser de manière sélective les bandes de basse fréquence. Cela peut nécessiter l'utilisation de composants passifs de fortes valeurs, ce qui contribuerait à augmenter la taille du circuit.



(a) Gain paramètres-S

(b) Facteur de stabilité

FIGURE 3.25 – Gain basse fréquence d’un transistor et stabilité

3.4.2 Principe de la paire différentielle

La paire différentielle présente l’avantage, contrairement aux circuits différentiels présentés précédemment, de produire un véritable signal différentiel. La distinction entre pseudo-différentiel et différentiel réside dans la capacité du circuit à rejeter le mode commun ou non.

Dans le cas de la paire différentielle, l’élément permettant cette réjection du mode commun est la source de courant présente sur la source des transistors du montage différentiel cascodé de la figure 3.24. En DC, les transistors M_{11} et M_{21} permettent d’imposer un courant I_D partagé entre les deux branches cascodées, tel que $I_{D1} = I_{D2} = \frac{I_D}{2}$.

En petit signal, dont le schéma équivalent est présenté sur la figure 3.26, les deux transistors M_{11} et M_{21} permettent d’isoler les sources des transistors M_{12} et M_{22} de telle sorte qu’aux variations, $i_{d1} = -i_{d2}$. Le gain différentiel en petit signal de l’architecture cascode est donc :

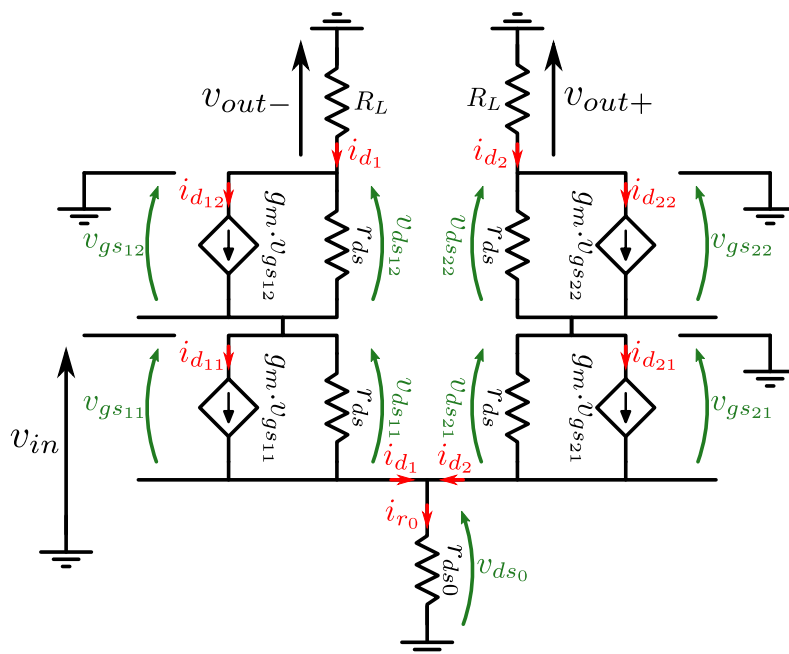


FIGURE 3.26 – Schéma petit signal du balun actif

$$A_d = g_m^2 \cdot r_{ds} \left(r_{ds} \parallel \left(\frac{1}{g_m} + \frac{R_L}{g_m \cdot r_{ds}} \right) \right) \quad (3.2)$$

Afin de calculer la réjection de mode-commun réalisée par une telle architecture, le gain de mode-commun doit être calculé. En reprenant le schéma petit signal, on trouve :

$$A_{cm} = g_m \cdot r_{ds} \frac{\frac{1}{g_m} + \frac{R_L}{g_m \cdot r_{ds}}}{\frac{1}{g_m} + 2r_{ds0}} \quad (3.3)$$

On en déduit ainsi le CMRR donné par l'équation (3.4).

$$CMRR = \frac{A_d}{A_{cm}} \quad (3.4)$$

Pour une application d'amplificateur de puissance, la paire différentielle possède un désavantage majeur lié à la polarisation des transistors de la source de courant. Ce transistor nécessite une tension minimale pour rester en zone saturée : $V_{ds} \geq V_{gs} - V_{th} = V_{ov}$. Ceci génère donc une puissance dissipée réduisant la PAE de l'amplificateur, ce qui en fait une architecture intrinsèquement à faible rendement. La paire différentielle est donc intéressante pour une application driver mais n'est pas viable pour une cellule de puissance lorsqu'un haut rendement est nécessaire.

3.4.3 Polarisation adaptative pour du large bande

L'utilisation de la polarisation adaptative permet de moduler, en fonction de la puissance d'entrée, le courant de drain imposé par la source de courant. La figure 3.28 montre l'évolution de la tension de polarisation de la source de courant ainsi que la réponse en fréquence du bloc de polarisation adaptative.

L'utilisation d'une source de courant pour polariser l'amplificateur impose une réponse en puissance de type classe A, car le courant n'est pas libre de varier comme il le ferait avec une polarisation en tension. Ainsi, l'ADB permet de repousser artificiellement le point

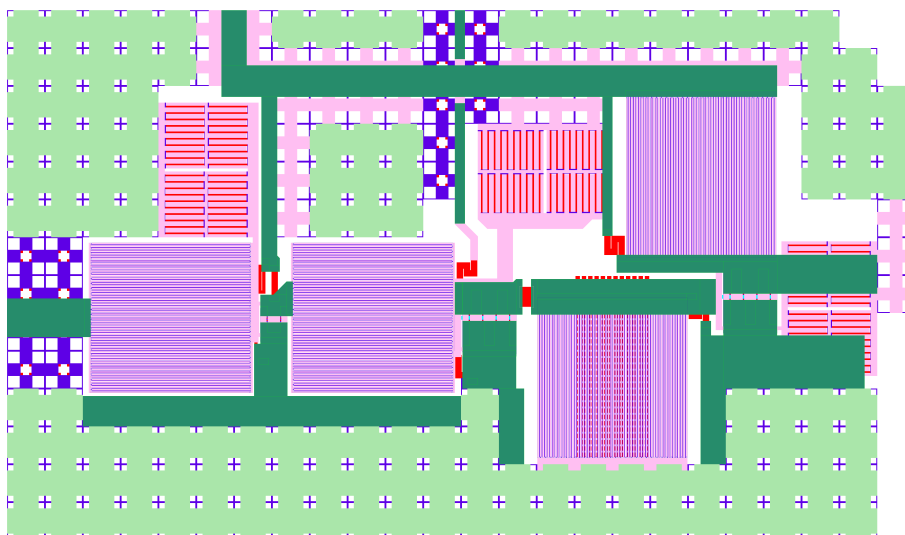


FIGURE 3.27 – Layout du circuit de polarisation adaptative en 130nm PDSOI

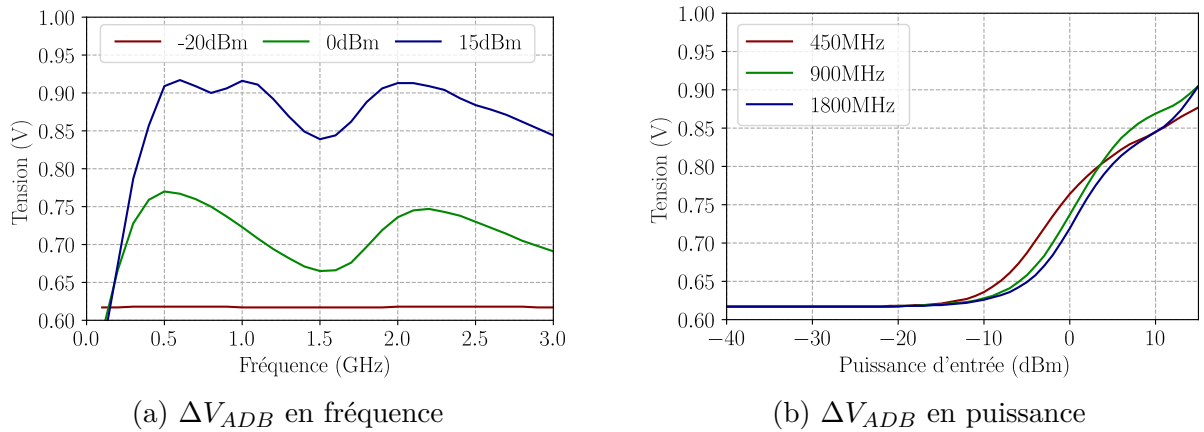


FIGURE 3.28 – Variation de la polarisation adaptative en fonction de la fréquence et de la puissance d’entrée

de compression en réduisant la linéarité en faible puissance pour obtenir une réponse en puissance correspondant à une classe AB. Sur la figure 3.28(a), le circuit d’ADB révèle une variation maximale de 105mV sur toute la bande et pour un niveau de puissance intermédiaire de 0dBm.

De même, la figure 3.28(b) montre une excursion en tension moyenne de 617mV en faible puissance ($\leq -20dBm$) et jusqu’à 882mV à forte puissance ($= 15dBm$).

3.4.4 Driver balun actif ultra-large bande

Dans cette section, les performances du balun actif sont présentées. Le layout du circuit de la figure 3.29(a) a une taille de $1,3 \times 1,5mm^2$ avec les plots et $0,9 \times 1,1mm^2$ sans prendre en compte les plots de mesure. À titre de comparaison, l’ensemble du balun d’entrée et du driver du PA précédent en 130nm PDSOI a une taille de $1,0 \times 1,2mm^2$ sans les plots.

La figure 3.29(b) présente les PLS en paramètres-S sur une charge différentielle. L’adaptation d’entrée S_{11} est spécifiquement réalisée à haute fréquence pour pouvoir diminuer le gain en basse fréquence par désadaptation. Ainsi, le S_{11} est inférieur à -15dB pour une

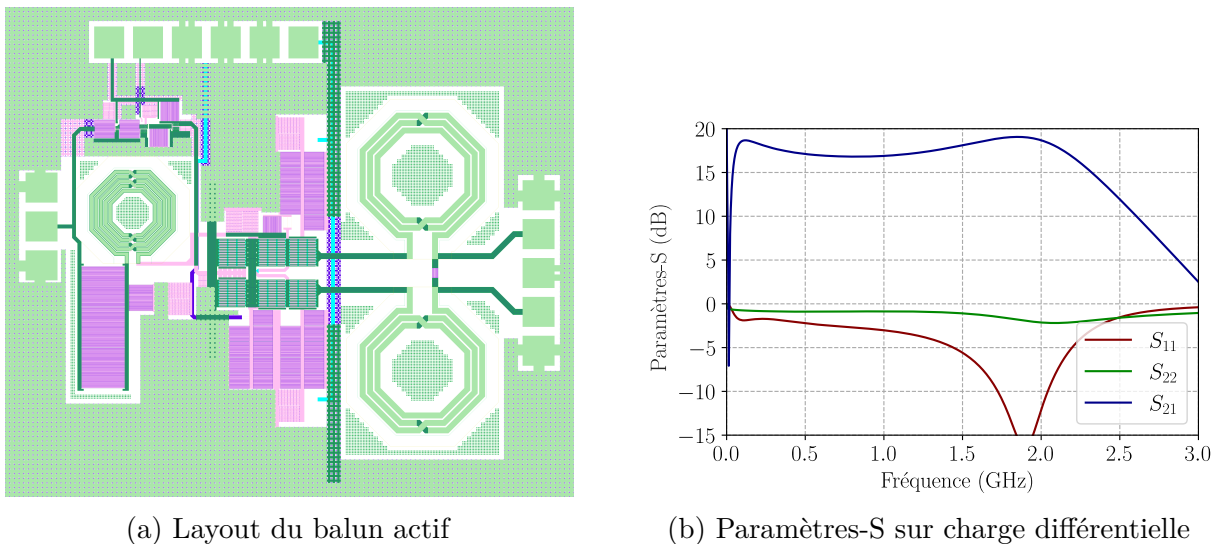


FIGURE 3.29 – Layout et simulation paramètres-S

fréquence de 1,9GHz. L'adaptation de sortie est réalisée au niveau des transistors afin d'assurer une bande passante maximale. Le réseau de sortie présent sur le layout est un filtre passe-bas permettant de stabiliser l'amplificateur. Enfin, le gain maximal S_{21} est de 19,1dB à 1,85GHz, avec une bande passante à 3dB s'étendant de 46MHz à 2,3GHz.

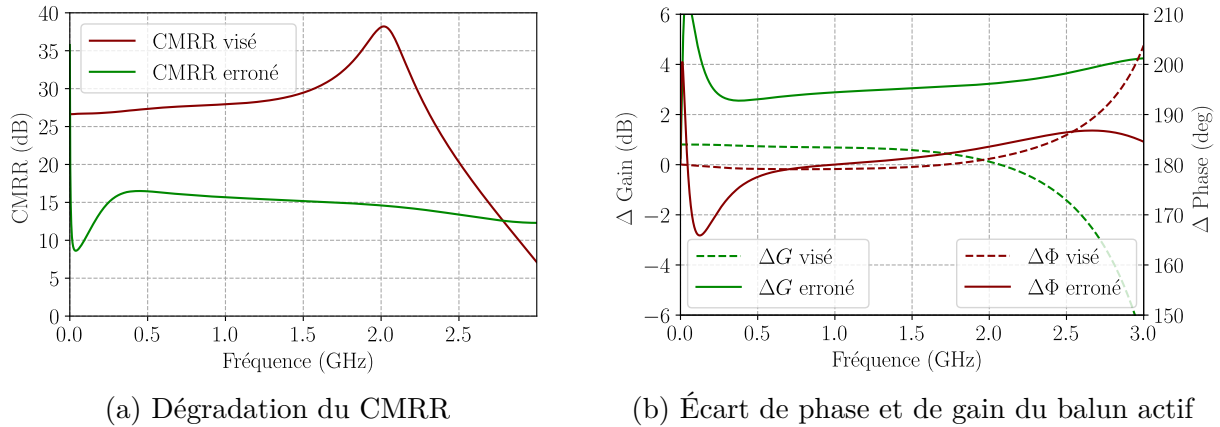


FIGURE 3.30 – Dégradation du CMRR liée à la polarisation de la source de courant

Les simulations des paramètres-S sous charges asymétriques permettent de calculer le CMRR, ainsi que l'erreur de phase et l'asymétrie de gain entre les deux voies. Cette simulation a permis de mettre en évidence une erreur réalisée lors du layout du circuit, impactant la polarisation de la source de courant et affectant négativement le CMRR. Le problème n'a été relevé qu'après l'envoi du circuit en fabrication. Au moment de la rédaction du manuscrit le défaut est encore en cours d'investigation. La figure 3.30 montre les performances du CMRR attendu et celles obtenues en simulation avec l'erreur de polarisation.

La dégradation du CMRR est causée par la haute impédance de sortie du circuit de polarisation adaptative. De plus, retirer le circuit d'ADB ne permet pas de faire baisser suffisamment l'impédance pour obtenir le comportement d'une source de tension idéale. Ainsi, le CMRR obtenu est de 15dB sur toute la bande utile, au lieu de plus de 25dB dans le cas d'une polarisation idéale. La figure 3.30(b) montre l'origine de cette chute du CMRR, avec un écart de gain entre les deux voies d'environ 3dB sur la bande utile. L'écart de phase, quant à lui, est bien autour de 180° et ne contribue que faiblement à la dégradation du CMRR.

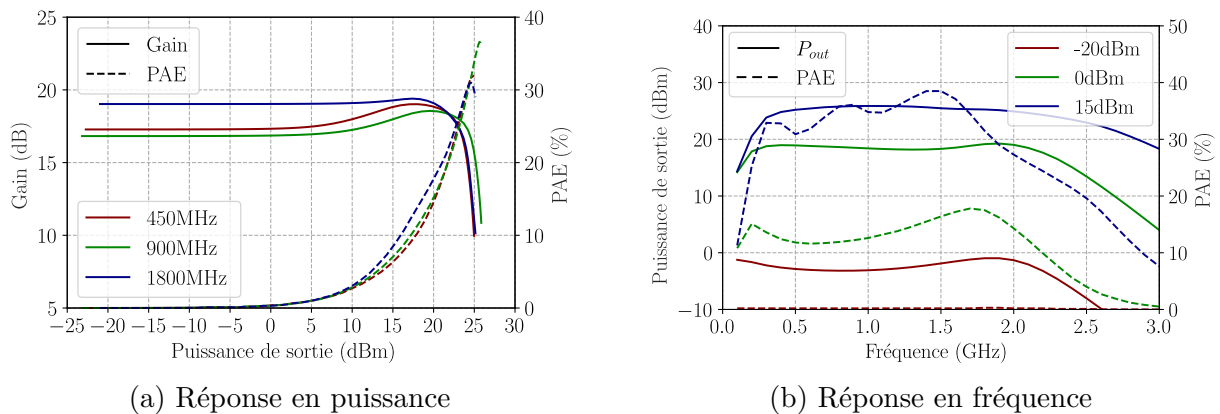


FIGURE 3.31 – Étude large signal du balun actif large bande

Les simulations PLS en régime fort signal sont présentées sur la figure 3.31. La puissance de saturation est d'environ 25dBm, avec un maximum de 26dBm à 900MHz. Cette limitation est liée à la puissance maximale que peuvent fournir les transistors sur 50Ω lorsqu'ils sont alimentés sous 5V. Sur les simulations HB en puissance (figure 3.31(a)), la PAE maximale et l'OCP1 sont de 37% et 25dBm, respectivement.

Enfin, le tableau 3.8 fait la synthèse des résultats obtenus dans cette section :

TABLE 3.8 – Performances du balun actif pour des signaux CW

—	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
PLS	1,2	2250	≈ 18	25	37	14

3.5 Amplificateur pseudo-différentiel en 28nm FDSOI

Dans cette section, le dimensionnement et le layout de chaque étape de conception de l'amplificateur cascode pseudo-différentiel en 28nm FDSOI sont présentés.

3.5.1 Architecture du PA

Le schéma complet du PA est présenté sur la figure 3.32. Deux cellules de puissance sont combinées afin de pallier au manque de puissance de la technologie.

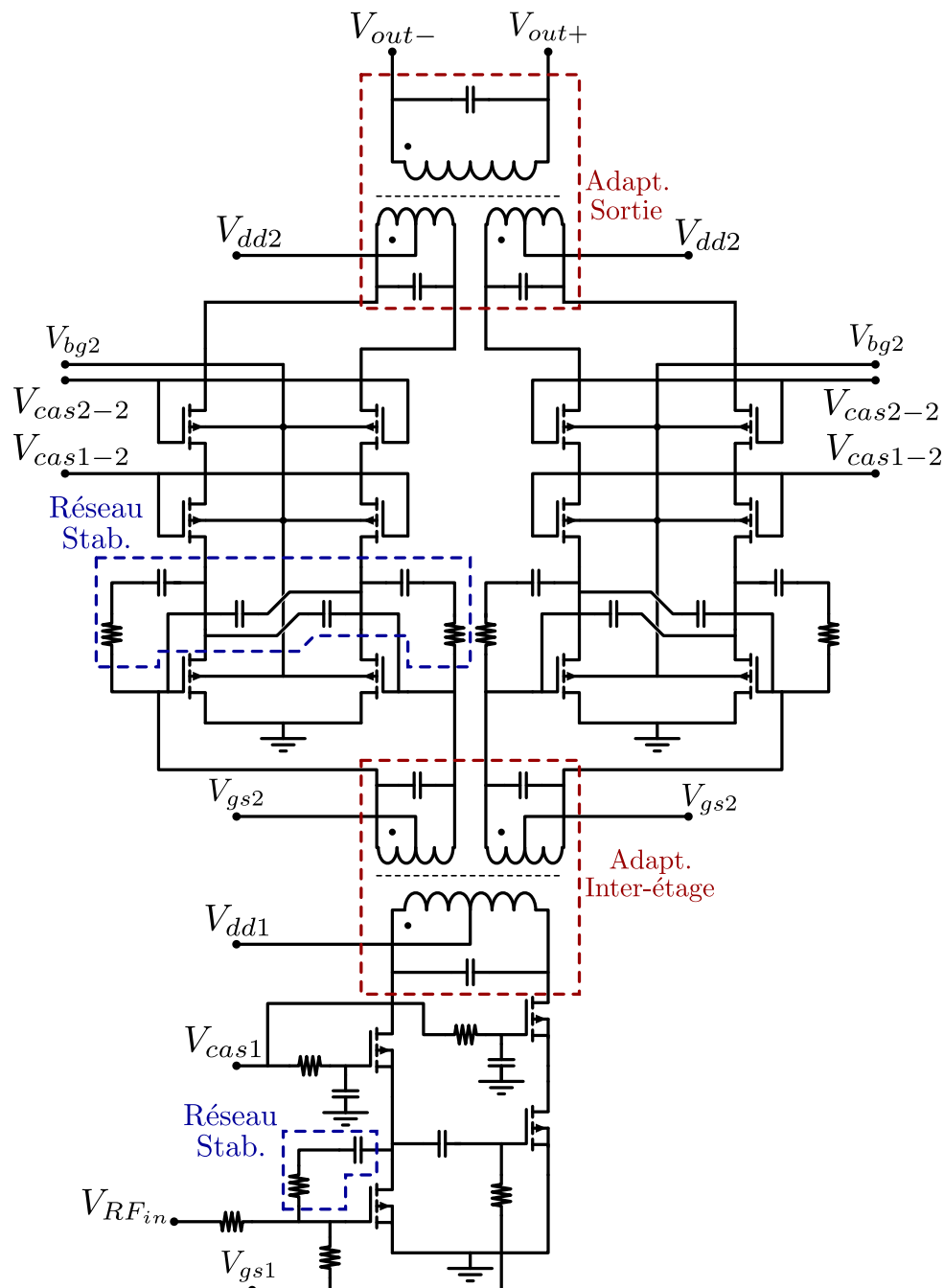


FIGURE 3.32 – Schématique complet du PA en 28nm FDSOI

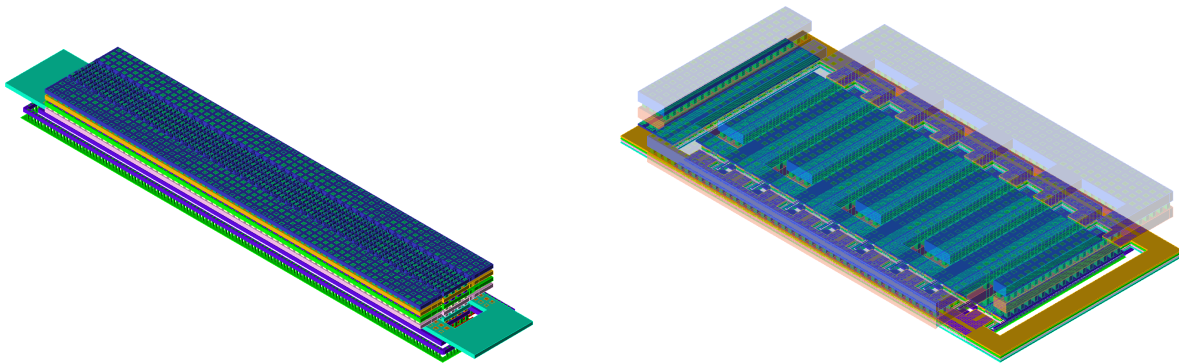
Le PA est constitué de deux cellules de puissance triple-stack permettant d'atteindre une puissance totale de 28dBm. Le réseau d'adaptation de sortie est réalisé par un transformateur actif distribué (DAT) afin d'optimiser la charge optimale en sortie par une recombinaison série. L'adaptation inter-étage est construite autour d'un transformateur 2 vers 4 permettant de réaliser à la fois la fonction d'adaptation d'impédance et de répartir la puissance sur chaque cellule de puissance. Enfin, le driver est basé sur une topologie de balun-actif cascodé permettant de se passer du balun d'entrée passif.

Ainsi, les niveaux de puissance et le besoin en rendement élevé imposent le design de combineurs de puissance à faibles pertes et le contrôle de l'impédance de sortie présentée par le PA. Ce circuit explore donc les possibilités d'amélioration de la puissance de sortie apportée par l'utilisation d'une architecture empilée et par la polarisation de la grille arrière dans le but de viser les puissances requises par le NB-IoT.

Afin d'atteindre les caractéristiques nécessaires au NB-IoT, cet amplificateur est destiné à être intégré dans une architecture Doherty.

3.5.2 Dimensionnement et layout du transistor de puissance

La figure 3.33 présente la vue 3D du layout du transistor unitaire et du transistor complet. Le premier (Figure 3.33(a)) est un transistor de 100 doigts de $1\mu m$. La remontée des accès est réalisée jusqu'au plus haut niveau de métal fin (M6) tout en limitant la résistivité des accès. Le routage des 9 transistors unitaires en parallèle est réalisé sur les 2 niveaux de métaux épais IA et IB, comme présenté sur la figure 3.33(b).



(a) Transistor unitaire en 28nm FDSOI

(b) Transistor complet en 28nm FDSOI

FIGURE 3.33 – Représentation 3D des transistors en 28nm FDSOI

Tout comme pour les transistors de puissance en 130nm PDSOI, une comparaison des performances en puissance du transistor seul, avec et sans la prise en compte des accès, est réalisée.

La figure 3.34 présente les performances du transistor schématique et extrait dans une configuration d'amplificateur à source commune sur charge optimale. L'écart relatif du gain entre les deux simulations est de 40%, cette grandeur est supérieure à la chute de gain obtenue précédemment en 130nm PDSOI en raison de la qualité du BEOL en plus de la variation plus importante de l'impédance d'entrée. Cependant, cette fois la puissance de sortie est également impactée, avec une chute de 22,7dBm à 22,2dBm. Enfin, la PAE n'est que très peu modifiée avec une variation de 61,7% à 61,3% après l'extraction des parasites. Dans le cas de la 28nm FDSOI, les variations du gain et de la puissance de sortie entre le modèle extrait et le modèle schématique sont plus importantes qu'en 130nm PDSOI. Les

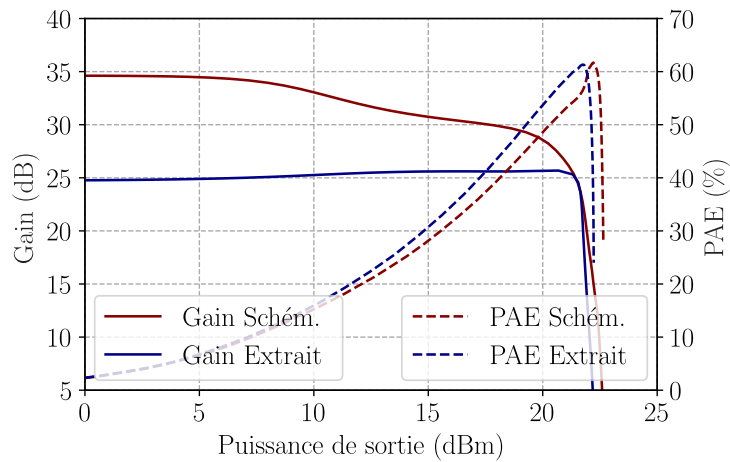
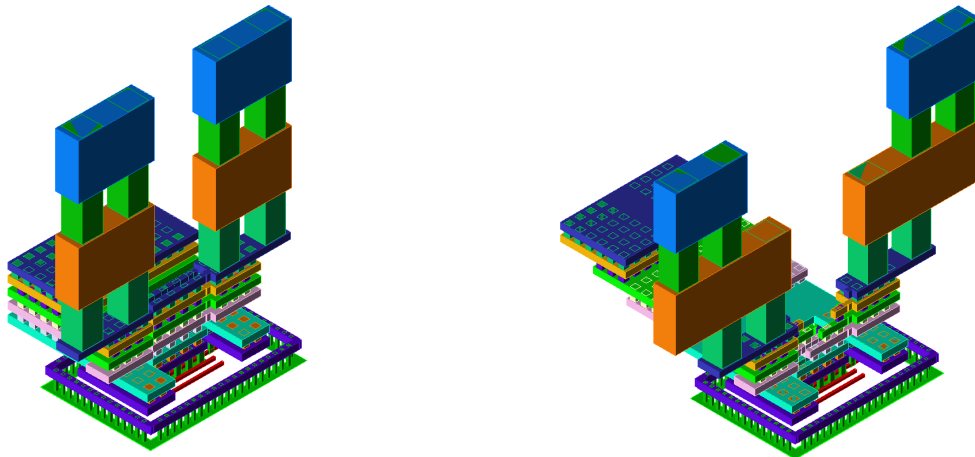


FIGURE 3.34 – Comparaison des performances en puissance des transistors en 28nm FDSOI avec et sans prise en compte des accès @1,85GHz

performances du PA différentiel complet sont donc observées avec les deux modèles afin de déterminer les dégradations amenées par l'extraction des accès des transistors.



(a) Remontée directe : Résistance optimale

(b) Remontée escalier : Capacité optimale

FIGURE 3.35 – Exemple simplifié des types d'accès selon les caractéristiques à optimiser

Tout comme en 130nm, le choix des remontées des accès s'est porté sur la minimisation des résistances, comme le montre la figure 3.35(a). La figure 3.36 ci-dessous compare les performances de ces accès en termes d'impact sur la résistance R_{on} de la jonction drain-source et sur les capacités C_{off} et C_{gs} du transistor.

À 2GHz, les simulations de la figure 3.36(a) montrent une augmentation de la capacité C_{off} et de la résistance R_{on} de 293fF et 77m Ω , respectivement. Le transistor extrait révèle ainsi une C_{off} d'une valeur de 400fF et une résistance R_{on} de 460m Ω . La figure 3.36(b) montre l'augmentation de la capacité de grille, passant de 540fF à 698fF. Les parasites de la 28nm FDSOI étant faibles même après extraction, cela traduit la capacité de la technologie à travailler à des fréquences plus élevées par rapport à la 130nm PDSOI.

3.5.3 Dimensionnement de la cellule de puissance

Le schéma de l'architecture triple-stack utilisée pour la cellule de puissance est présenté sur la figure 3.37(a). Les performances en petit signal (figure 3.37(b)) du PA présentent

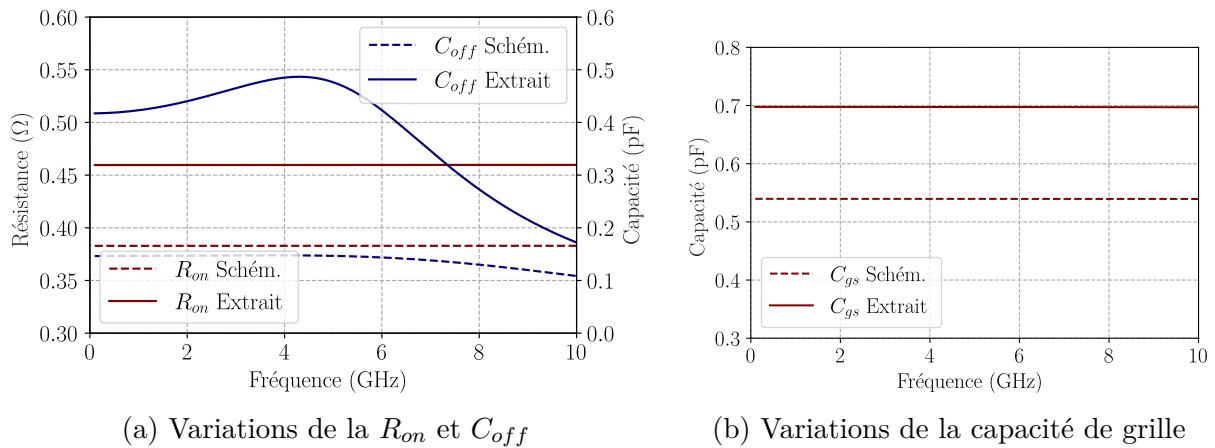


FIGURE 3.36 – Comparaison des transistors en 130nm PDSOI avec et sans prise en compte des accès

une bande passante à 3dB de 1,6GHz centrée à 1,85GHz et un gain maximal de 20,4dB à 1,63GHz. L'adaptation d'entrée S_{11} est idéale en raison de l'absence du transformateur d'inter-étage. Enfin, l'adaptation de sortie S_{22} est conservée entre 1,8dB et 2,5dB sur toute la bande passante, permettant ainsi l'adaptation à la charge optimale de 28, 6Ω.

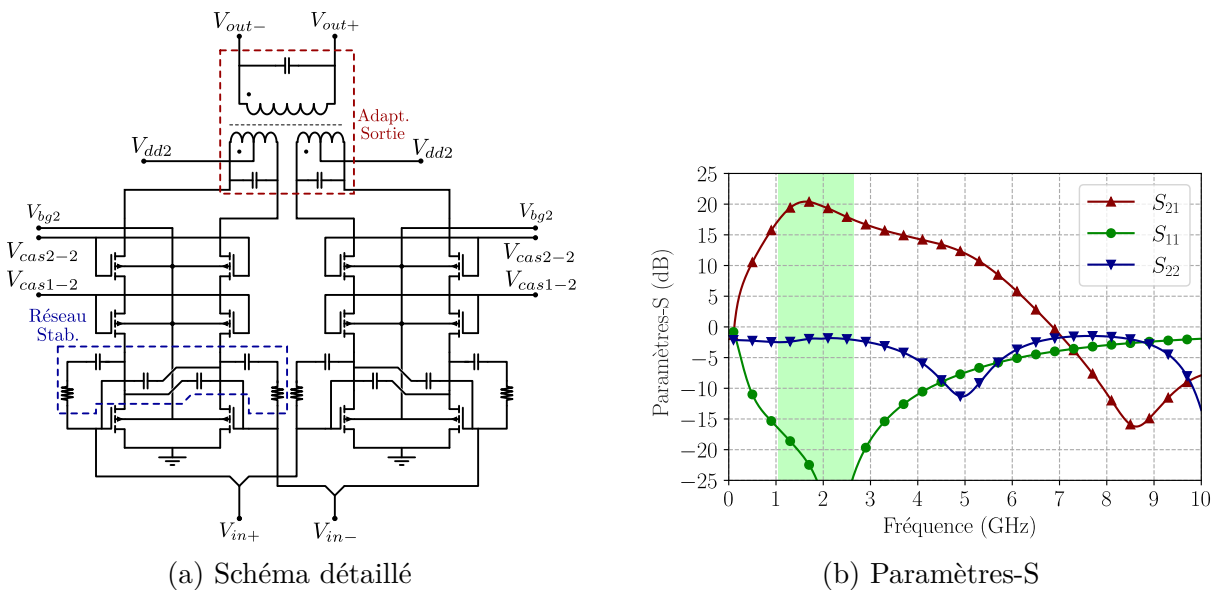


FIGURE 3.37 – Schéma et performances petit signal de la cellule de puissance

Afin de stabiliser le PA, l'utilisation de capacités de neutralisation et d'un réseau de contre-réaction sont aussi utilisées. L'étude de stabilité de la figure 3.38(a) montre les différences des facteurs Mu_1 et Mu_2 avant et après stabilisation de l'amplificateur. Ces deux réseaux permettent ainsi d'assurer une stabilité inconditionnelle du PA sur toute la bande où son gain est supérieur à 0dB. L'étude du comportement en puissance du PA est présentée figure 3.38(b), ce qui permet de valider les performances en PAE en puissance de sortie. L'amplificateur présente une P_{sat} de 30,2dBm, un OCP1 de 29dBm ainsi qu'une PAE_{max} et PAE_{PBO} de 39,2% et 22,5%, respectivement, pour une fréquence de fonctionnement à 1,85GHz.

Enfin, les performances obtenues et l'architecture triple-stack sont réalisable en raison de la polarisation de la grille arrière des transistors. En effet, la grille arrière permet de

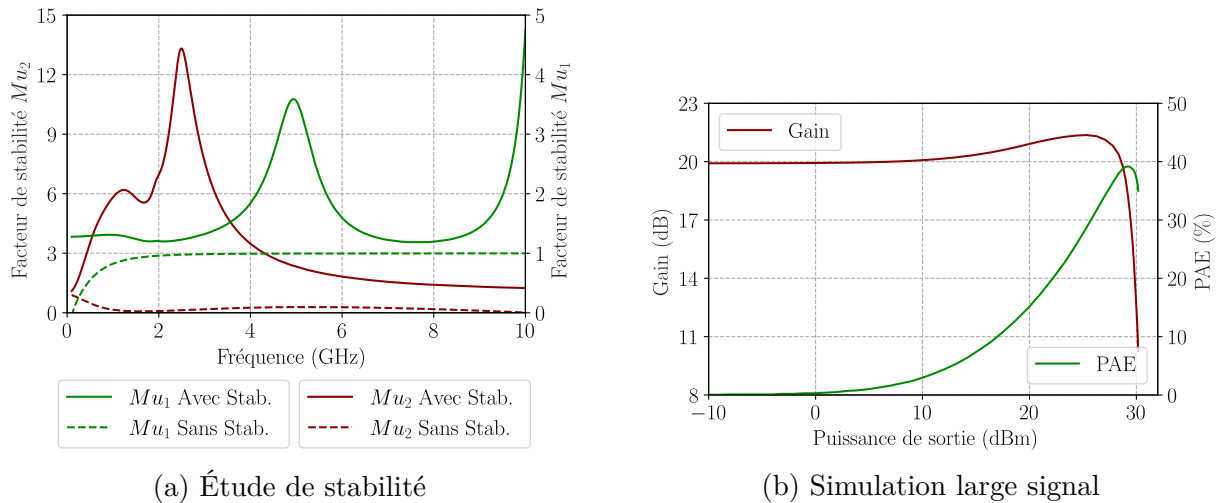


FIGURE 3.38 – Stabilité du PA et performance en puissance

conserver les transistors dans leurs SOA tout en améliorant les performances en gain de chaque transistor. Cette tension peut aussi être ajusté pour réajuster finement la polarisation des transistors.

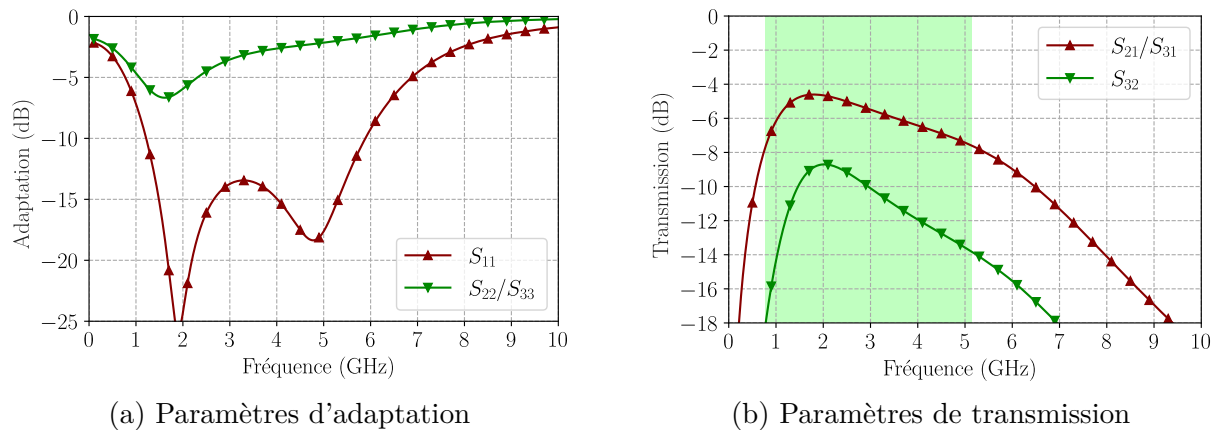


FIGURE 3.39 – Performances petit signal du DAT de sortie

Les performances post-layout du DAT de sortie sont présentées sur la figure 3.39 afin d'estimer son impact sur l'amplificateur de puissance. De manière approchée, 1dB de pertes d'insertion résulte en une chute de 10% de la PAE. Les paramètres d'adaptation révèlent un bon dimensionnement des impédances présentées. De plus, les paramètres de transmission révèlent des pertes d'insertion de 1,6dB à 1,85GHz et une bande passante à 3dB allant de 0,78GHz à 5,1GHz. Les pertes d'insertion sont élevées en raison de la faible épaisseur des niveaux de métaux de la technologie et de la surface importante que le DAT occupe.

3.5.4 Conception du driver balun actif

Le dimensionnement du driver est spécifique en raison du fonctionnement du balun désiré pour réduire la surface silicium du PA.

Un balun actif permet de transformer, dans notre cas, un signal asymétrique en un signal différentiel tout en apportant un gain en puissance afin d'obtenir la puissance

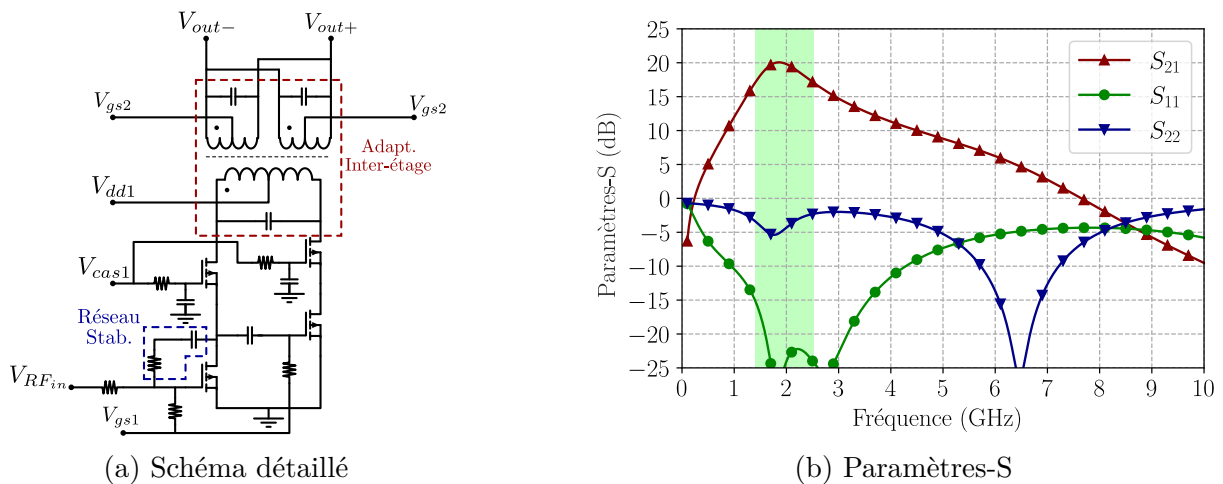


FIGURE 3.40 – Paramètres petit signal du balun actif en 28nm FDSOI

nécessaire pour le bon fonctionnement de la cellule de puissance [65]. Le schéma et les paramètres-S associés au driver sont présentés sur la figure 3.40.

Différentes topologies peuvent servir à réaliser la fonction de balun actif, la plus connue d'entre elles est la paire différentielle. Cependant, en raison des faibles tensions de jonction des transistors, ajouter une source de courant pour réaliser la polarisation de la paire n'est pas optimale. Ainsi, le choix s'est porté sur une structure à deux amplificateurs cascode en cascade. Une partie du signal de sortie du premier étage source-commune permet de générer la composante en opposition de phase pour le second amplificateur cascode.

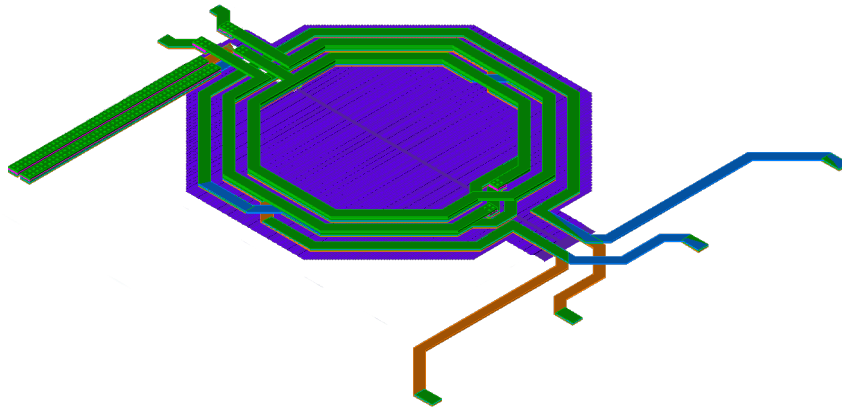


FIGURE 3.41 – Vue 3D du transformateur d'inter-étage en 28nm FDSOI

Les performances en petit signal de l'amplificateur révèlent un gain maximal de 20dB et une bande passante à 3dB de 1,1GHz centrée sur 1,85GHz. L'adaptation d'entrée est réalisée à l'aide du réseau de contre-réaction et d'une résistance série permettant d'approcher les 50Ω avec un paramètre S_{11} inférieur à -10dB sur toute la bande passante à 3dB. Enfin, l'adaptation de sortie est réalisée avec un transformateur 2 vers 4 dont la vue 3D est détaillée sur la figure 3.41, résultant en un S_{22} compris entre -5,4dB et -2,3dB.

Tout comme l'adaptation d'entrée, la stabilité inconditionnelle du PA (figure 3.42(a)) est réalisée par le réseau de contre-réaction RC et la résistance série sur la grille du source commune. Les performances en large signal détaillées dans la figure 3.42(b) révèlent une puissance à la saturation de 22dBm, un point de compression à 1dB de 18,2dBm et une PAE maximale et au PBO de 37% et 22,5%, respectivement.

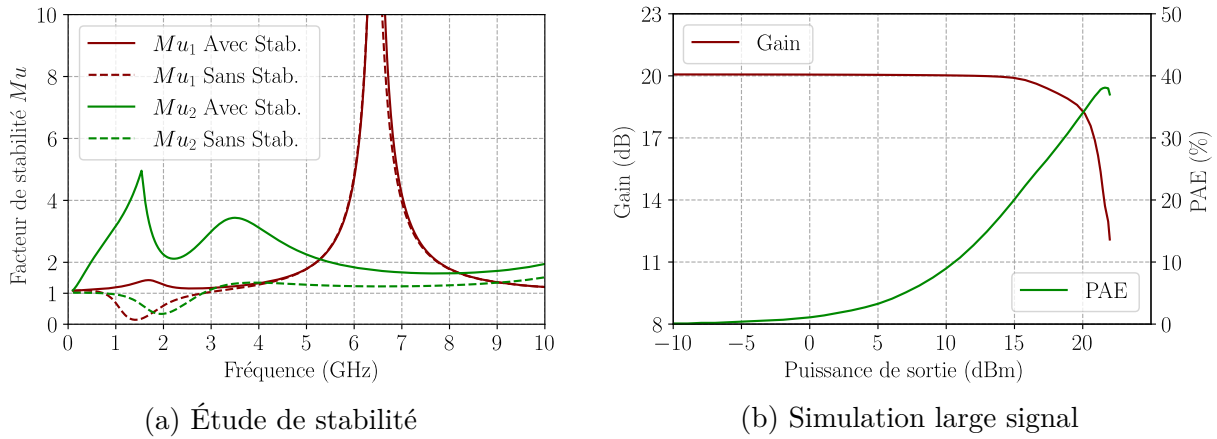
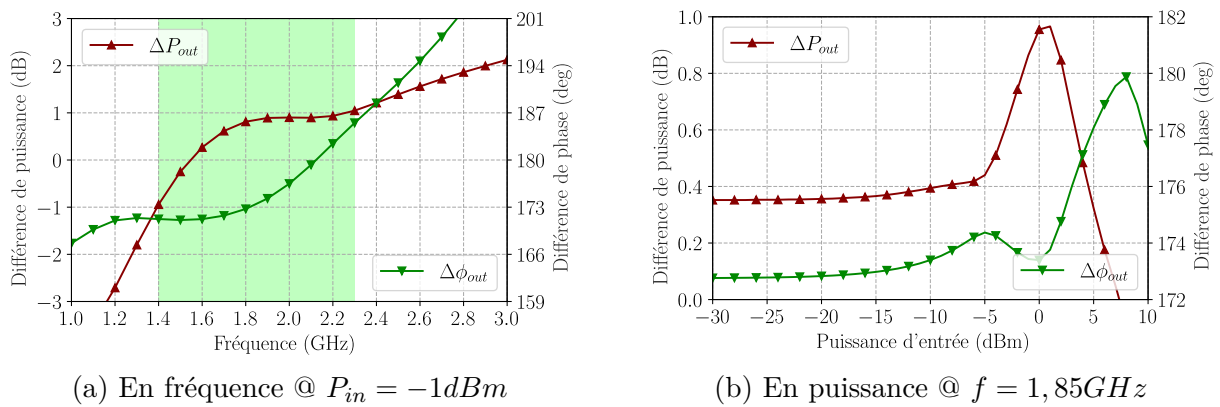


FIGURE 3.42 – Stabilité du PA et performance en puissance

FIGURE 3.43 – Étude des performances de phase et de P_{out} du balun actif

Les simulations précédentes permettent de valider le fonctionnement amplificateur du circuit. La figure 3.43 présente les performances de la fonction de balun actif du driver. D'après la figure 3.43(a), les fréquences limites du balun, lui permettant de conserver un $\Delta P_{out} < 1dB$, sont de 1,4GHz à 2,3GHz. Dans cette bande, l'écart de phase est compris entre 171° et 185° . De plus, la figure 3.43(b) révèle un écart de puissance limité à 1dB et un déphasage de 173° pour une fréquence de 1,85GHz, et ce jusqu'au point de compression à 1dB.

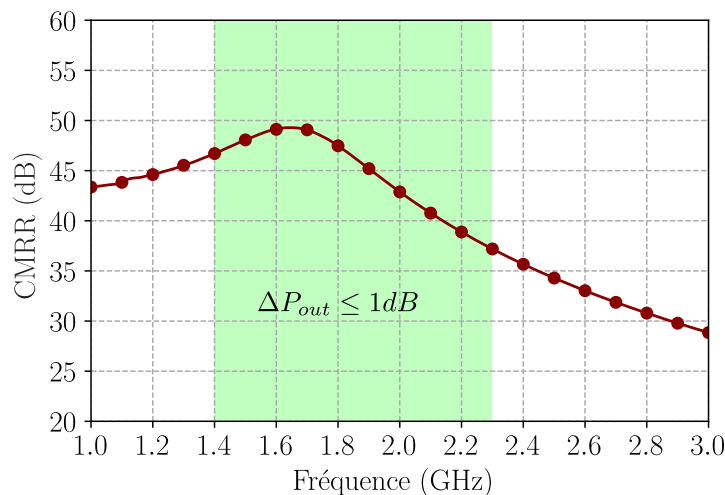


FIGURE 3.44 – CMRR du circuit balun actif

Le CMRR, donné sur la figure 3.44, est une grandeur caractéristique des circuits passifs fonctionnant en différentiel. Il est exprimé selon l'équation 3.5. D'après la figure ci-dessus, les valeurs maximale et minimale sont respectivement de 37,2dB et 49,3dB sur toute la bande de fréquence telle que $\Delta P_{out} \leq 1dB$.

$$CMRR_{dB} = 20 \log \left[\frac{S_{21} - S_{31}}{S_{21} + S_{31}} \right] \quad (3.5)$$

Enfin, le tableau 3.9 résume les performances des deux étages d'amplification indépendants. Le driver possède une puissance de sortie relativement faible en raison du montage balun actif. Cependant, l'important gain de l'étage de puissance permet de maintenir le driver dans sa zone linéaire.

TABLE 3.9 – Performances de l'étage de puissance et du driver

PA	freq. (GHz)	BW (GHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
Cellule de puissance	1,85	1,6	20,4	29,0	39,2	22,5
Driver	1,85	1,1	20	18,2	38	14,9

3.5.5 Résultats de simulation avec signal CW et SC-FDMA

La figure 3.45 présente le layout du PA pseudo-différentiel composé du driver et de la cellule de puissance. Les dimensions du circuit avec et sans les plots RF et DC sont de $1,3 \times 1,8mm^2$ et $0,9 \times 1,5mm^2$, respectivement.

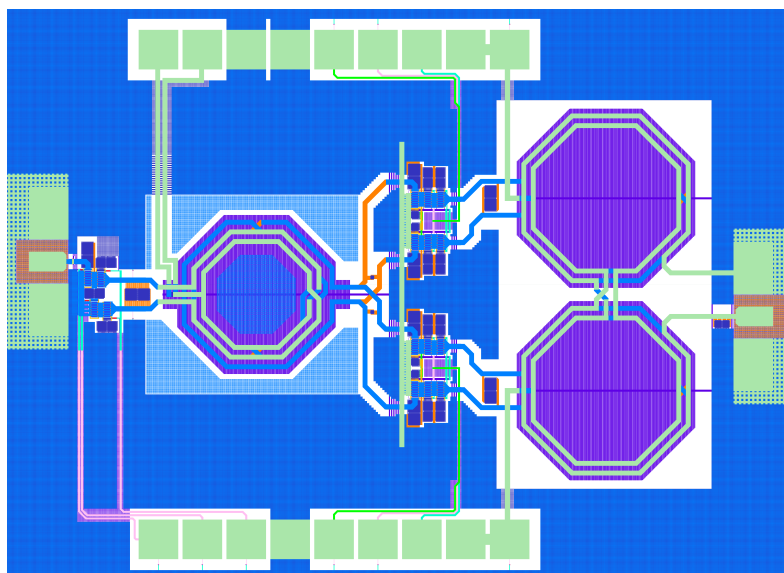


FIGURE 3.45 – Layout complet du PA pseudo-différentiel en 28nm PDSOI

Les résultats présentés dans cette section sont les simulations post-layout. De plus, comme observé lors du dimensionnement des transistors de puissance, l'impact des accès est plus important dans cette technologie. Ainsi, les différentes performances sont étudiées avec et sans les modèles d'extraction dans le but de conclure sur l'impact des accès sur les performances globales de l'amplificateur.

Simulations CW post-layout

La figure 3.46 présente les résultats de simulation post-layout en petit signal. Le gain S_{21} révèle un maximum de 33,3dB à une fréquence de 1,73GHz, ainsi qu'une bande passante à 3dB de 720MHz centrée autour de 1,77GHz. De plus, les paramètres-S d'adaptation sur cette bande de fréquence montrent une adaptation d'entrée $S_{11} \leq -10dB$ et une adaptation de sortie S_{22} comprise entre -2,4dB et -1,8dB.

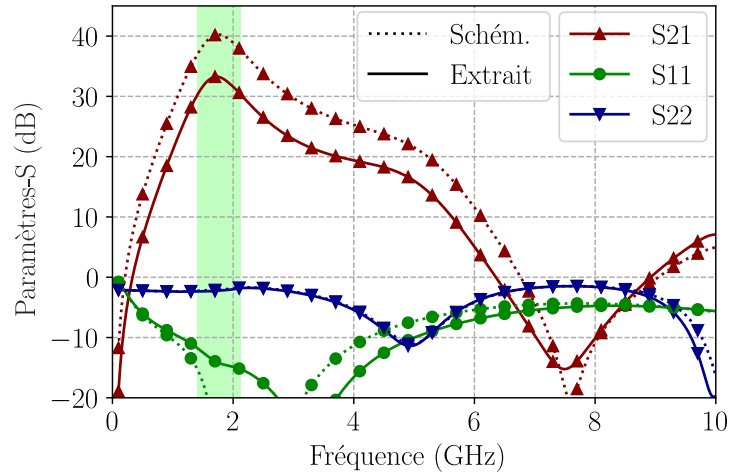


FIGURE 3.46 – Simulation faible signal en post-layout

Les simulations en grand signal sont présentées sur la figure 3.47, avec les performances d'AM-AM/AM-PM et de courant de drain DC, et sur la figure 3.48, avec les performances de gain, de puissance de sortie et de PAE.

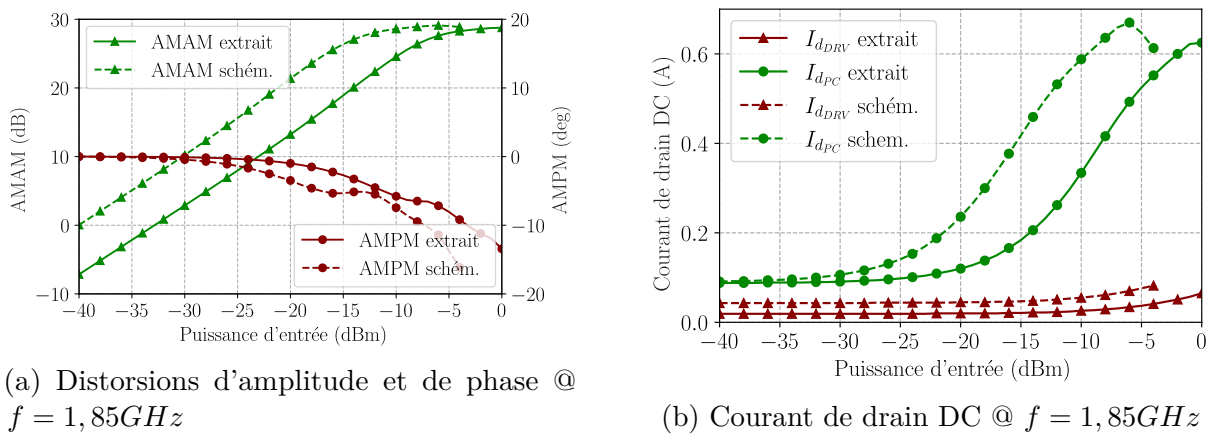


FIGURE 3.47 – Étude de la linéarité et de la consommation du PA

L'étude des non-linéarités sous signal CW (figure 3.47(a)) avec modèle extrait révèle un écart maximal du gain de 1,7dB à une puissance de sortie de 24,6dBm et un écart de phase maximal de 9,2° au point de compression. Dans le cas des modèles de transistor schématisé, l'écart maximal de gain et de phase est de 1,6dB et 6,4° à l'OCP1, respectivement.

Concernant la consommation (figure 3.47(b)), le courant de polarisation reste inchangé autour de 90mA pour la cellule de puissance. L'évolution de son courant, quant à elle, est décalée vers des puissances d'entrée plus élevées en raison de la chute de gain apportée par les accès. Les courants à la compression sont également similaires avec 562mA et

552mA pour la version schématique et extraite, respectivement. Le courant de polarisation du driver est réduit de 43mA à 19mA, traduisant la réduction de la linéarité observée précédemment. L'ajustement de la tension de grille du driver de 310mV à 370mV permet ainsi de compenser cette baisse afin de retrouver la polarisation initiale.

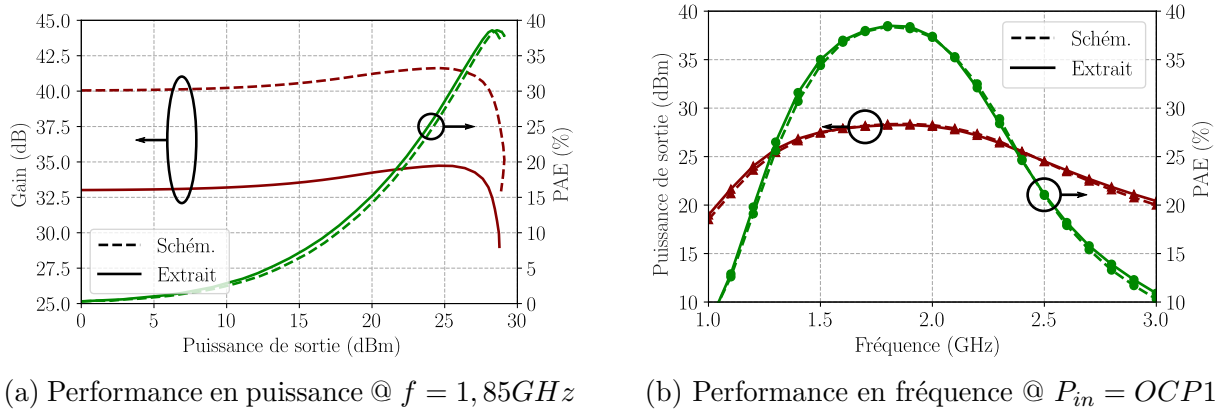


FIGURE 3.48 – Étude de la puissance de sortie, du gain et de l’efficacité en puissance et en fréquence

La figure 3.48(a) révèle le comportement en puissance du PA pour une fréquence de 1,85GHz. La puissance de saturation est de 28,8dBm, soit une perte de 0,3dB en passant du modèle schématique des transistors au modèle extrait. La puissance à l’OCP1 est identique, avec une valeur de 28,3dBm. De même, la PAE n’est pas significativement impactée, avec une PAE_{max} de 38,6% et une PAE_{PBO} de 20,8%.

Enfin, le comportement en fréquence en fort signal à l’OCP1 révèle une réponse presque identique du PA, quel que soit le modèle de transistors utilisé. La PAE maximale est supérieure à 30% de 1,4GHz à 2,3GHz, avec une puissance de sortie entre 26,5dBm et 28,3dBm.

Le tableau 3.10 résume les performances du PA en 28nm FDSOI avec des signaux CW par rapport au cahier des charges établi dans la section 1.4.1.

TABLE 3.10 – Validation de l’amplificateur de puissance pour des signaux CW

—	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
CDC	1.85	> 400	36	27	> 30	> 20
PLS	1,77	720	≈ 33	28,3	38,6	20,8

Simulations SC-FDMA post-layout

Afin de pouvoir comparer légitimement les deux PAs, le signal SC-FDMA utilisé pour les simulations modulées est identique à celui utilisé pour le PA en 130nm PDSOI, ainsi que la constellation QPSK. De plus, toutes les simulations modulées sont réalisées avec les modèles extraits.

Les simulations temporelles après la redescente en bande de base de la figure 3.49(a) révèlent un PAPR de 7dB. La puissance de sortie moyenne étant de 23dBm, le signal

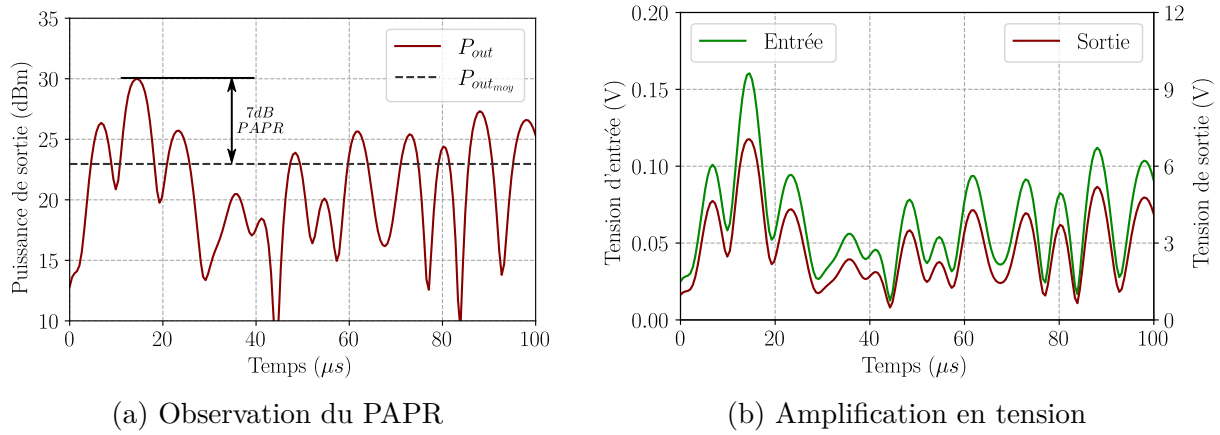


FIGURE 3.49 – Étude de la réponse temporelle du PA à un signal SC-FDMA

modulé de sortie possède une puissance crête théorique supérieure à la puissance de saturation du PA, le PA rentre donc en saturation, ce qui réduit artificiellement le PAPR.

La figure 3.49(b) permet de donner une information sur le gain en tension apporté par le PA. D'après l'équation 3.6, le gain en tension du PA en 28nm est de 33dB. La tension d'alimentation étant de 3V, ceci explique la réduction du gain G_v par rapport au PA en 130nm PDSOI.

$$G_v = 20.\log \left(\frac{V_{out}(t)}{V_{in}(t)} \right) \rightarrow 20.\log \left(\frac{7,1}{0,16} \right) \approx 33dB \quad (3.6)$$

Pour valider la bonne démodulation du signal en sortie du PA et le respect des normes d'émission, la figure 3.50 présente le spectre en bande de base du signal ainsi que la constellation associée au signal d'entrée et de sortie de l'amplificateur.

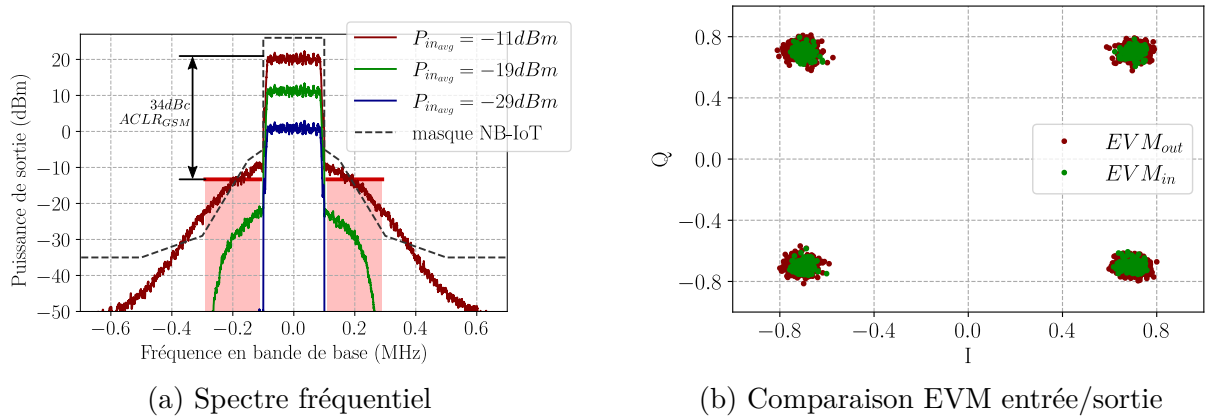


FIGURE 3.50 – Spectre et EVM du signal SC-FDMA démodulé

D'après la figure 3.50(a), les ACLR simulés pour une puissance d'entrée moyenne de -11dBm sont de 34dBc et permettent de valider la norme des $ACLR_{GSM}$. Cependant, le masque NB-IoT n'est pas respecté pour la puissance maximale du PA en raison des émissions sur les canaux adjacents.

Le tableau 3.11 résume les performances du PA en 28nm FDSOI sous signaux SC-FDMA et compare les résultats PLS par rapport au cahier des charges de la section 1.4.1.

TABLE 3.11 – Validation de l’amplificateur de puissance pour des signaux SC-FDMA

—	freq. (GHz)	PAPR (dB)	$ACLR_{GSM}$ (dBc)	$ACLR_{UTRA}^*$ (dBc)	EVM (%)	Masque
CDC	1,85	7,8	≥ 20	≥ 33	≤ 17.5	Fig. 3.50(a)
PLS	1,85	7	34	≥ 50	3,7	non-valide

* $UTRA_{ACLR}$ pour les modulations LTE

3.5.6 Conclusion sur les performances de l’amplificateur en 28nm et 130nm

Les deux amplificateurs ont été simulés en post-layout et répondent majoritairement aux critères du cahier des charges. Cependant, les méthodes employées pour la conception des PAs sont très dépendantes des technologies utilisées. Ainsi, les compromis et les architectures sont adaptés selon les technologies employées.

Le compromis majeur est la tension maximale des transistors, limitant la tension d’alimentation des PAs et ainsi l’excursion maximale du signal de sortie. Dans le cas de la 28nm FDSOI, cette faible tension d’alimentation ne permet pas au PA d’obtenir les 29dBm de puissance de sortie souhaités sans réduire significativement l’impédance de sortie. Pour cela, le choix de combiner deux PAs pseudo-différentiels dans une structure Doherty permettrait de pallier au manque de puissance de sortie.

L’architecture Doherty permet aussi une amélioration de la PAE au PBO. En effet, le PA en 28nm FDSOI possède une PAE plus faible que son homologue en 130nm PDSOI. Les niveaux de métaux étant plus fins et les impédances étant plus faibles en 28nm, les pertes dans les passifs et les pertes par effet Joule sont plus importantes.

Enfin, en technologie 130nm PDSOI, le PA possède des performances alignées avec le standard NB-IoT, à l’exception des remontées hors du masque. Il ne nécessite donc pas une encapsulation supplémentaire et peut être envoyé en fabrication pour pouvoir être mesuré.

3.6 Amplificateur Doherty en 28nm FDSOI

L'amplificateur Doherty présenté dans cette section est basé sur l'architecture de la figure 3.51. Il est composé de deux PAs basés sur l'architecture de la section précédente, l'un polarisé en classe AB et ayant une polarisation fixe. Le second est polarisé en classe C et est contrôlé par deux circuits de polarisation adaptative permettant de faire fonctionner le PA en classe AB pour les fortes puissances d'entrée.

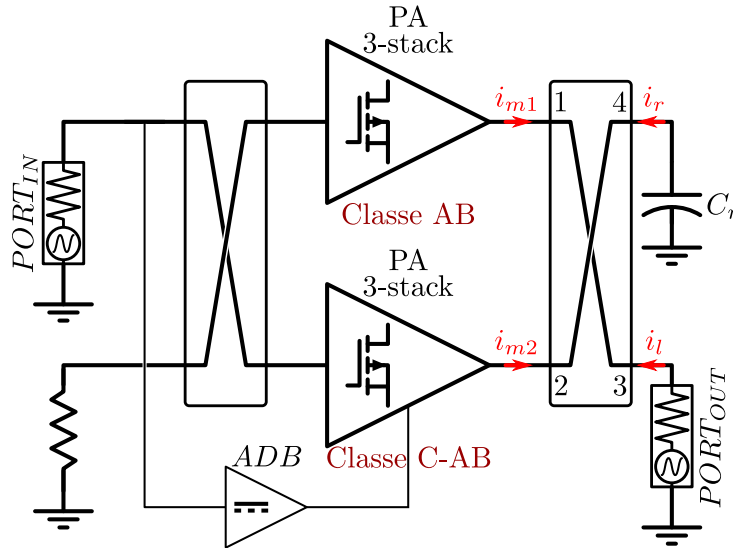


FIGURE 3.51 – Schéma simplifié du PA Doherty en 28nm FDSOI

3.6.1 Principe de modulation de charge avec coupleur hybride sur charge réactive

Dans cette section, une synthèse de la théorie du fonctionnement d'un PA Doherty à base de coupleur hybride avec charge capacitive est présentée. L'utilisation d'éléments inductifs [66] ou de circuits actifs [67] pour réaliser l'effet de modulation de charge nécessaire au fonctionnement de l'effet Doherty a déjà été prouvée. Cependant, à basse fréquence, l'utilisation d'inductances est coûteuse en surface silicium, et l'utilisation de circuits actifs peut fortement impacter la PAE maximale de l'amplificateur. Ainsi, l'objectif est d'appliquer le principe de modulation de charge par éléments réactifs à une charge capacitive. Au moment de la rédaction de ce manuscrit et à la connaissance de l'auteur, aucun PA Doherty n'utilise de coupleur hybride sur charge capacitive. La raison principale qui sera abordée dans la partie 3.6.2 est la tenue en puissance des capacités. En effet, une capacité possède une tenue en puissance bien plus faible qu'une inductance en raison de leur géométrie et des niveaux de métal utilisés.

D'après [68], l'ajout d'une terminaison purement réactive permet de créer une onde réfléchie d'amplitude égale à l'onde incidente et déphasée d'un angle θ dépendant de la valeur de la réactance X . L'expression de θ est donnée par l'équation (3.7) avec Z_0 l'impédance caractéristique du coupleur hybride.

$$\theta = 2 \tan^{-1} \left(\frac{Z_0}{X} \right) \quad (3.7)$$

Par ce principe, en considérant la théorie des LMBAs décrite dans [46] et en utilisant la matrice d'impédance du coupleur hybride donnée par (3.8), il est possible de déterminer la charge vue par le PA principal.

$$Z_{Hybride} = Z_0 \cdot \begin{pmatrix} 0 & j & -j\sqrt{2} & 0 \\ j & 0 & 0 & -j\sqrt{2} \\ -j\sqrt{2} & 0 & 0 & j \\ 0 & -j\sqrt{2} & j & 0 \end{pmatrix} \quad (3.8)$$

Dans le papier [66], l'équation (3.9) obtenue fait intervenir le coefficient de réflexion et le déphasage θ apporté par la charge inductive.

$$Z_{m1} = Z_0 \left(1 + \sqrt{2} \frac{|\Gamma| \cdot |i_r| \cdot e^{j\theta}}{i_{m1}} \right) \quad (3.9)$$

Dans le cas d'une charge réactive $\Gamma = 1$, ainsi l'équation (3.10) donne la valeur de Z_{m1} pour une charge capacitive de valeur C_r (figure 3.51).

$$Z_{m1} = Z_0 \left(1 + \sqrt{2} \frac{|i_r| e^{j\theta}}{i_{m1}} \right) \quad (3.10)$$

Avec θ tel que donné dans (3.7) pour $X = \frac{1}{2\pi \cdot f \cdot C_r}$

Dans le cas de l'étude du fonctionnement en mode Doherty, deux cas d'étude sont à prendre en compte.

Fonctionnement à faible puissance

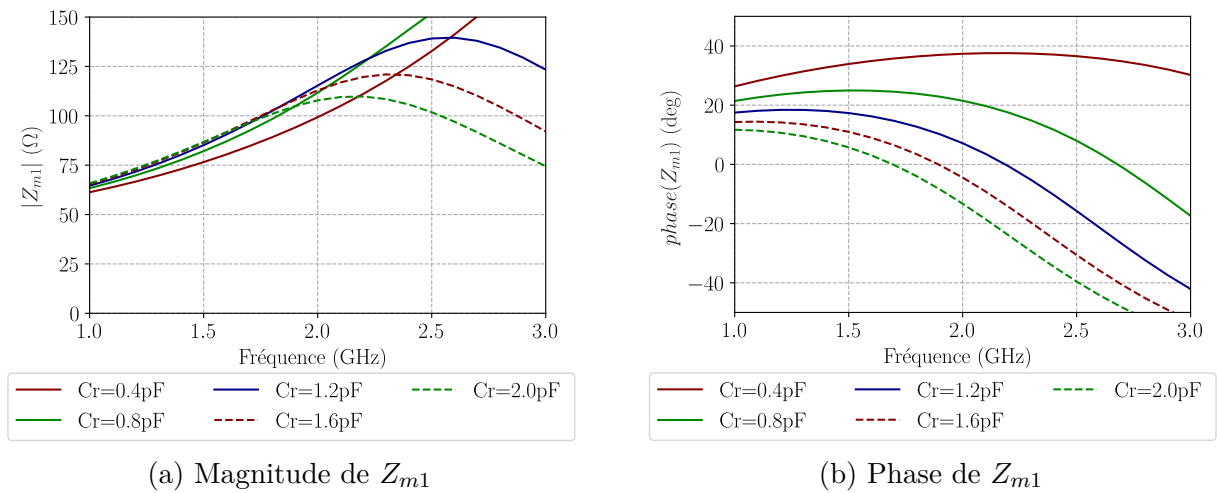
À faible puissance d'entrée, l'amplificateur auxiliaire est éteint, ainsi $i_{m2} = 0A$ et par conséquent $Z_{m2} = +\infty \Omega$. La moitié du courant i_{m1} est alors envoyée sur la charge réactive avec un déphasage de -90° apporté par le passage dans le coupleur hybride en quadrature et un déphasage θ apporté par la réflexion (3.7). Le courant i_r réfléchi sur la charge réactive est alors défini par l'équation (3.11).

$$i_r = \frac{i_{m1}}{\sqrt{2}} \cdot e^{j(\theta - \frac{\pi}{2})} = -j \cdot \frac{i_{m1}}{\sqrt{2}} \cdot e^{j\theta} \quad (3.11)$$

L'impédance Z_{m2} étant infinie et le port 3 étant isolé du point de vue du port 4, tout le courant i_r est alors transmis au port de l'amplificateur principal. La modulation d'impédance de Z_{m1} (3.10) peut être réécrite comme défini par l'équation (3.12).

$$Z_{m1} = Z_0 \left(1 + e^{j(\theta - \frac{\pi}{2})} \right) \quad (3.12)$$

Le module de l'impédance vue par le PA principal est bien de $2 \cdot Z_0$ à faible puissance. La figure 3.52 montre l'impact de la capacité de ballast en mode faible puissance. Le choix de la capacité impacte significativement l'évolution de l'impédance Z_{m1} en fonction de la fréquence à la fois en magnitude et en phase. Pour avoir une impédance la plus constante, le choix s'oriente vers une capacité de 1,6pF à 2pF.

FIGURE 3.52 – Impact de la charge capacitive sur l'impédance Z_{m1} à faible puissance

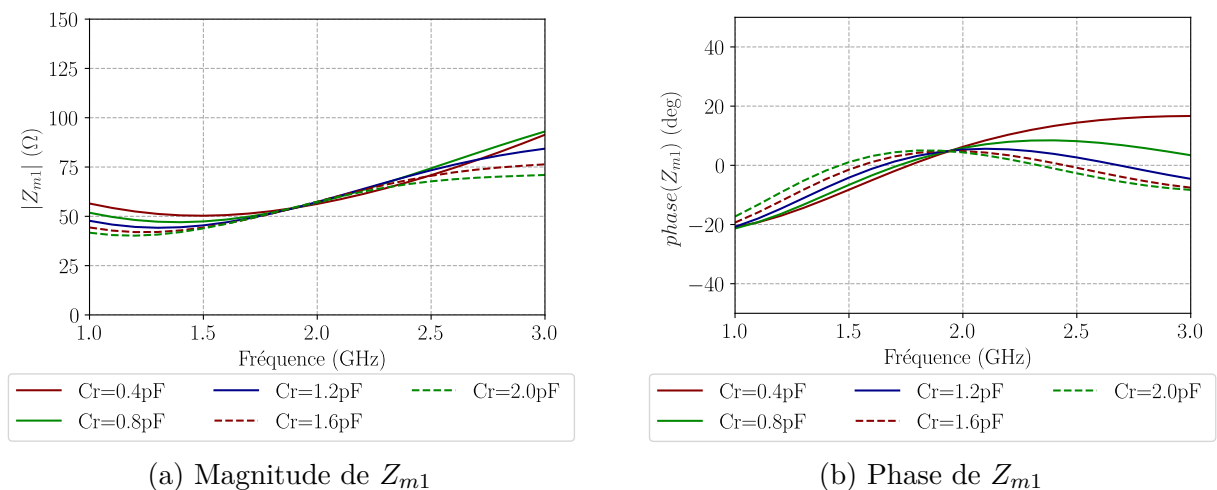
Fonctionnement à forte puissance

En forte puissance, l'amplificateur auxiliaire est allumé et $i_{m1} = i_{m2} \cdot e^{-j\frac{\pi}{2}}$. En se basant sur la matrice-S du coupleur hybride, le passage du port 2 \rightarrow 3 ne déphase pas le signal, et le passage de 1 \rightarrow 3 déphase de -90° . Les courants i_{m1} et i_{m2} , possédant la même amplitude et étant en opposition de phase sur le port 3, aucune puissance n'est présente sur ce port, donc aucune puissance n'est réfléchiée sur les PAs.

Le coupleur se comporte alors comme un combineur, et toute la puissance est envoyée sur le port de sortie. L'impédance présentée aux deux PAs est donc :

$$Z_{m1} = Z_{m2} = Z_0 \quad (3.13)$$

La figure 3.53 montre l'impact de la capacité de ballast sur l'impédance Z_{m1} en forte puissance. L'impédance est bien invariable quelle que soit la capacité C_r pour la fréquence centrale du coupleur hybride, car dans ce cas, les pertes d'insertion S_{31} et S_{32} sont identiques. Sur le reste des fréquences, l'impact reste faible, ce qui est désiré pour le fonctionnement de la modulation de charge.

FIGURE 3.53 – Impact de la charge capacitive sur l'impédance Z_{m1} à forte puissance

L'évolution de l'impédance vue par le PA principal en fonction de la puissance relative du PA auxiliaire est présentée sur la figure 3.54. Le choix de la capacité optimale doit permettre une modulation d'impédance de $100\Omega \rightarrow 50\Omega$ tout en conservant une phase la plus constante possible sur toute la plage de puissance.

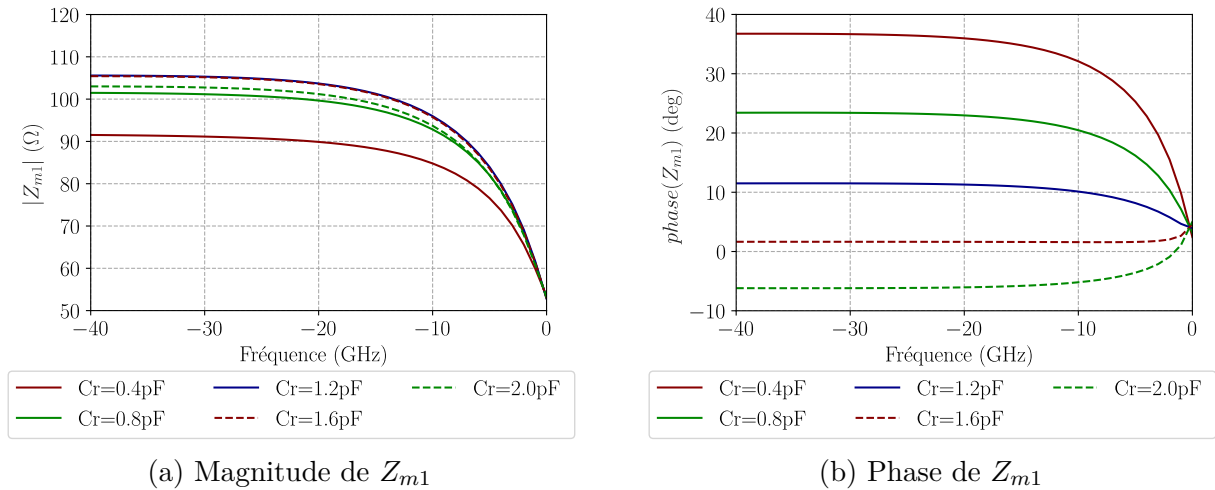


FIGURE 3.54 – Évolution de l'impédance Z_{m1} en fonction de l'évolution de la puissance du PA auxiliaire

3.6.2 Capacité de ballast

La capacité est un élément critique à dimensionner. En effet, elle doit pouvoir supporter la forte puissance de sortie de l'amplificateur. D'après la partie précédente, dans le pire cas, la capacité voit la moitié de la puissance de sortie du PA lorsque l'auxiliaire est éteint. Elle doit aussi pouvoir tenir la puissance en cas de forte variation de TOS liée à l'environnement.

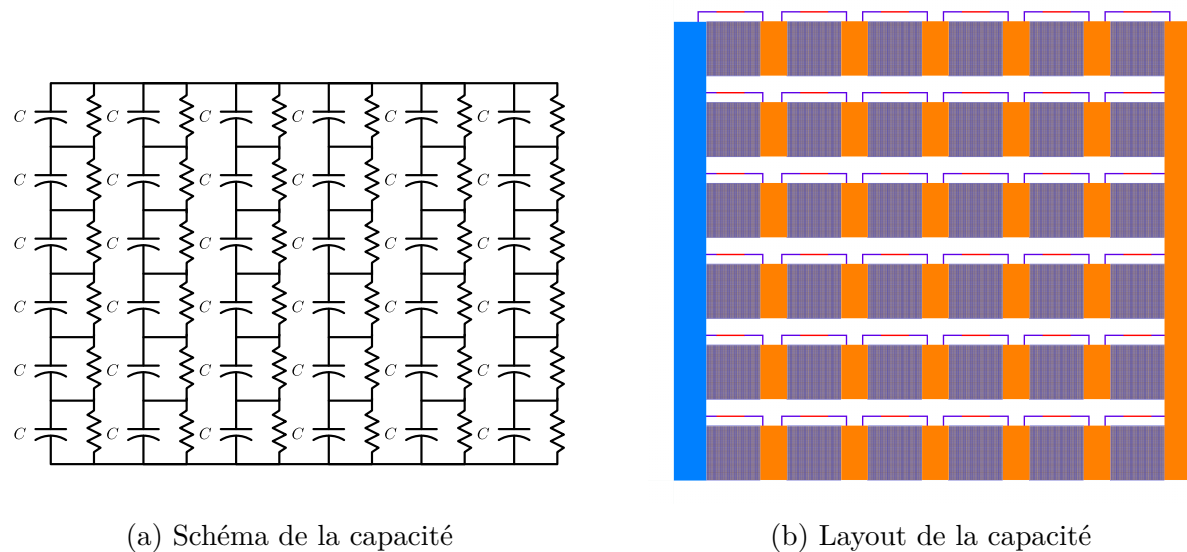


FIGURE 3.55 – Dimensionnement de la capacité de ballast

Par mesure de sécurité, la capacité a donc été dimensionnée pour supporter la tension correspondant à la puissance maximale du PA sur 50Ω , soit environ 6V. Le schéma et le

layout de la capacité sont présentés sur la figure 3.55. Elle est composée d'une matrice de six capacités en série et six capacités en parallèle afin de conserver la valeur de la capacité unitaire.

L'ajout de résistances de fortes valeurs ($\approx 20k\Omega$) en parallèle de chaque capacité permet d'éviter les accumulations de charge en proposant un chemin de haute impédance jusqu'à la masse. En effet, l'accumulation de charges peut provoquer la destruction des capacités en déséquilibrant la répartition de la tension sur chacune d'elles.

3.6.3 Amplificateur de puissance Doherty sur charge capacitive

Le layout du PA Doherty, détaillé sur la figure 3.56, représente une surface de $2,2 \times 2,7mm^2$ avec les plots. Le layout des amplificateurs principal et auxiliaire utilise le même layout que celui de la figure 3.45 et est raccordé en entrée et en sortie à des coupleurs hybrides en quadrature afin de former la structure équilibrée.

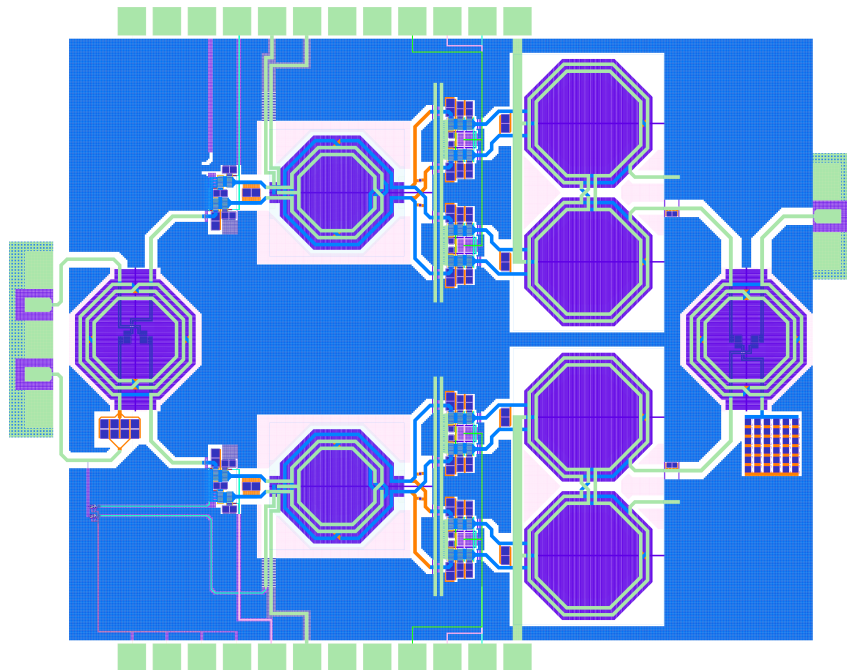


FIGURE 3.56 – Layout du PA Doherty en 28nm FDSOI

Performances sous signal CW

La figure 3.57 présente les performances en faible signal de l'amplificateur Doherty. Le gain maximal (S_{21}) est de 31,7dB à 1,85GHz pour une bande passante à 3dB de 500MHz. La réduction de la bande passante causée par le passage à une architecture Doherty est liée au fonctionnement intrinsèquement bande étroite de l'effet Doherty, l'utilisation de coupleurs hybrides [66] permet cependant de conserver une bande relative de 27%. L'architecture Doherty étant basée sur une structure équilibrée à coupleur hybride, les paramètres d'adaptation d'entrée (S_{11}) et de sortie (S_{22}) sont améliorés en raison de l'isolation qu'apportent les coupleurs en quadrature. Ainsi, sur toute la bande à 3dB, le S_{11} est inférieur à -10dB et le S_{22} est compris entre -10,5dB et -6,5dB.

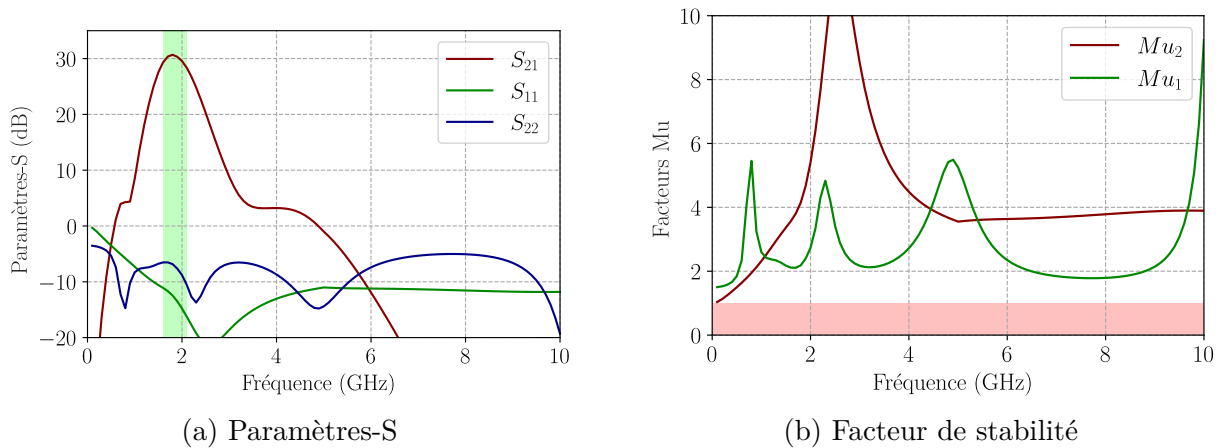


FIGURE 3.57 – Simulations petit signal des paramètres-S et de la stabilité

La stabilité du PA est également étudiée en petit signal et révèle une stabilité inconditionnelle sur toute la bande DC-10GHz. Cependant, dans le cas d'une structure équilibrée, les coupleurs peuvent masquer d'éventuelles oscillations. Une étude supplémentaire à l'aide de STANTool est réalisée pour assurer la stabilité sur les nœuds critiques.

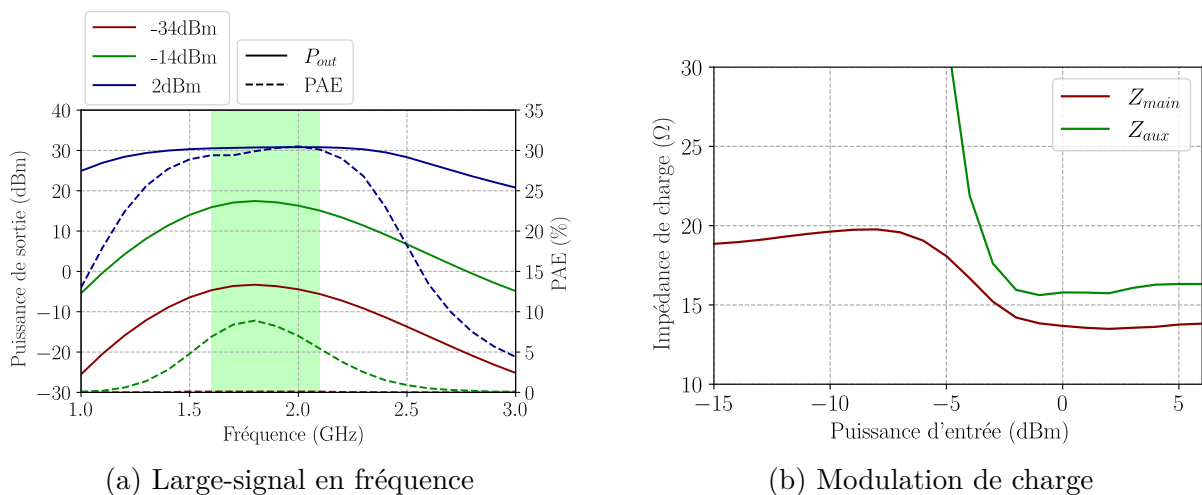


FIGURE 3.58 – Simulations de la modulation de charge et du comportement en fréquence en large signal

Afin d'observer le comportement en puissance de l'amplificateur Doherty, la figure 3.58 montre les performances en fréquence pour différents niveaux de puissance jusqu'à la compression, illustrant ainsi le phénomène de modulation de charge réalisé par l'effet Doherty. La figure 3.58(a) montre une puissance à la compression de plus de 30dBm sur toute la bande passante, avec une PAE d'environ 30%, ce qui permet de répondre aux exigences en puissance et en rendement du cahier des charges. Enfin, l'évolution des impédances de charge des PAs principal et auxiliaire (figure 3.58(b)) valide le fonctionnement de l'effet Doherty. En effet, l'impédance Z_{main} varie de 20Ω à 14Ω — correspondant à la charge optimale du tableau 2.8 — et la chute de l'impédance Z_{aux} atteint 16Ω . La modulation de charge ne permet pas de présenter $2.Z_{opt}$ sur le PA principal en faible puissance en raison des pertes d'insertion des coupleurs hybrides et de l'adaptation non idéale du réseau de sortie.

Impact de la polarisation adaptative

Comme indiqué en début de section, la polarisation adaptative est employée sur le PA auxiliaire afin de moduler la classe de fonctionnement du PA entre la classe C et la classe AB. Une telle modulation de la polarisation du PA auxiliaire permet de repousser significativement la compression de l'amplificateur Doherty. La figure 3.59(a) présente ces améliorations.

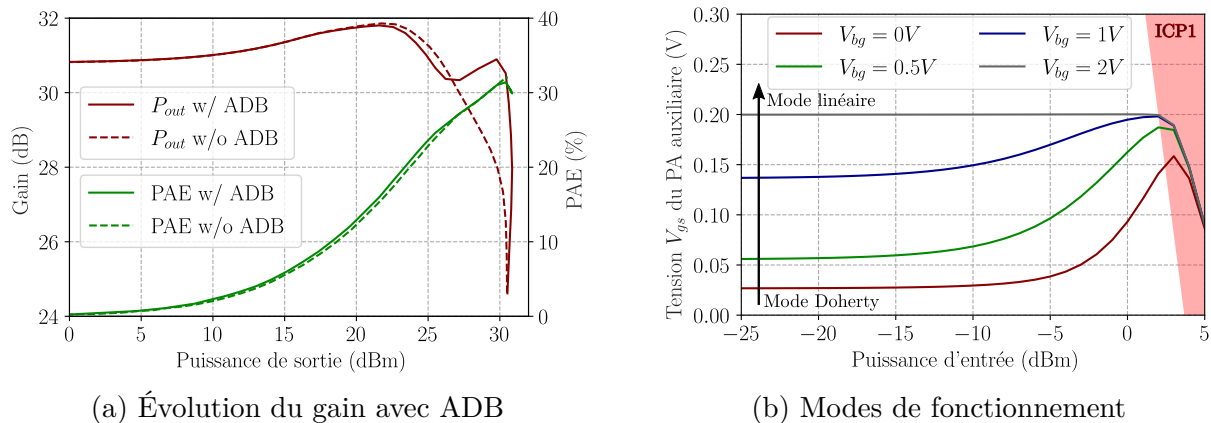


FIGURE 3.59 – Impact de la polarisation adaptative et des modes d'ADB

Le problème majeur de l'utilisation d'un PA classe C est la réduction de la puissance maximale disponible en raison d'un angle de conduction inférieur à 180° . Ceci explique la compression prématurée du PA Doherty lorsque le circuit d'ADB n'est pas utilisé. L'OCP1 est ainsi repoussé de 27,6dBm à 30,6dBm grâce à l'emploi d'un tel circuit. De plus, en 28nm FDSOI, la polarisation adaptative peut être ajustée à l'aide de la grille arrière (figure 3.59(b)) afin de permettre à la fois une meilleure robustesse aux PVT ainsi que la possibilité de modifier le comportement du PA en modifiant la courbe de réponse du circuit ADB. Par ailleurs, la PAE du circuit est légèrement améliorée au PBO en raison d'un meilleur contrôle de la polarisation. La PAE maximale et la PAE à 6dB de PBO sont donc de 31,5% et 22,5%.

Le tableau 3.12 récapitule les performances de l'amplificateur par rapport au cahier des charges. La PAE au PBO a ainsi été améliorée par rapport à l'amplificateur différentiel en 28nm FDSOI avec une augmentation de 1,7 point. Cependant, les pertes d'insertion des coupleurs hybrides réduisent la PAE maximale de 7,1 points. La conception d'un PA Doherty en 130nm PDSOI pourrait offrir une amélioration de PAE au PBO plus significative ainsi qu'une dégradation moins importante de la PAE maximale en raison d'une couche d'interconnexion (BEOL) plus performante.

TABLE 3.12 – Validation de l'amplificateur Doherty pour des signaux CW

—	freq. (GHz)	BW (MHz)	Gain (dB)	OCP1 (dBm)	PAE_{max} (%)	PAE_{PBO} (%)
CDC	1.85	> 400	36	29	> 30	> 20
PLS	1,85	500	≈ 31	30,6	31,5	23,3

Performances sous signal SC-FDMA

Tout comme les simulations modulées précédentes, le même signal SC-FDMA est utilisé sur une durée de simulation de 10ms. L'architecture Doherty étant connue pour sa linéarité dégradée en raison du phénomène de modulation de charge, des performances modulées dégradées sont attendues.

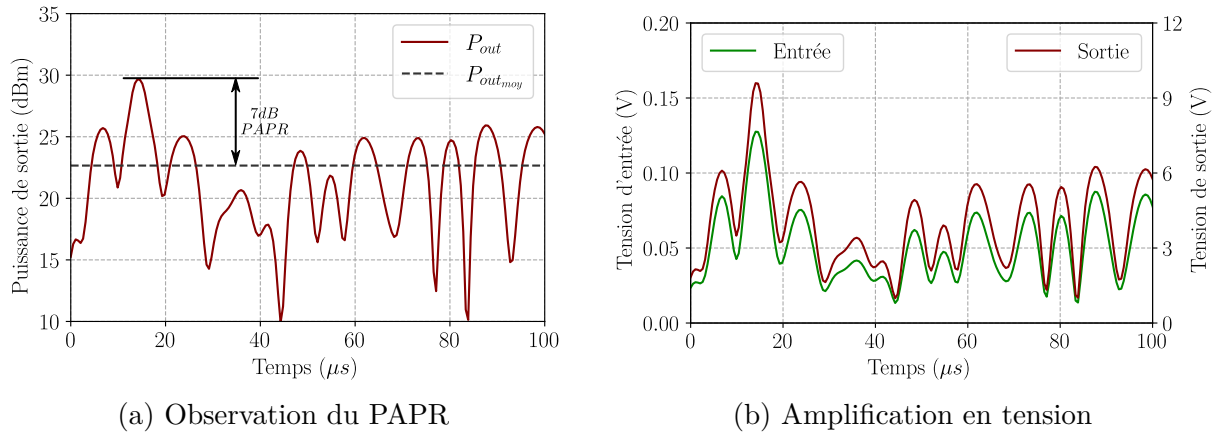


FIGURE 3.60 – Étude de la réponse temporelle du PA à un signal SC-FDMA

Les premières grandeurs modulées simulées sont les signaux temporels en bande de base présentés dans la figure 3.60. La puissance temporelle instantanée révèle un PAPR de 7dB, tout comme le PA différentiel en 28nm FDSOI. De plus, le gain en tension peut être déterminé à l'aide de l'équation 3.14. La valeur obtenue est de 37dB, soit 4dB de plus que l'architecture différentielle seule dans la même technologie. Ceci traduit bien la combinaison de puissance apportée par les coupleurs hybrides en quadrature.

$$G_v = 20.log \left(\frac{V_{out}(t)}{V_{in}(t)} \right) \rightarrow 20.log \left(\frac{9,6}{0,13} \right) \approx 37dB \quad (3.14)$$

La figure 3.61 présente le spectre fréquentiel ainsi que la constellation démodulée du signal d'entrée et de sortie du PA.

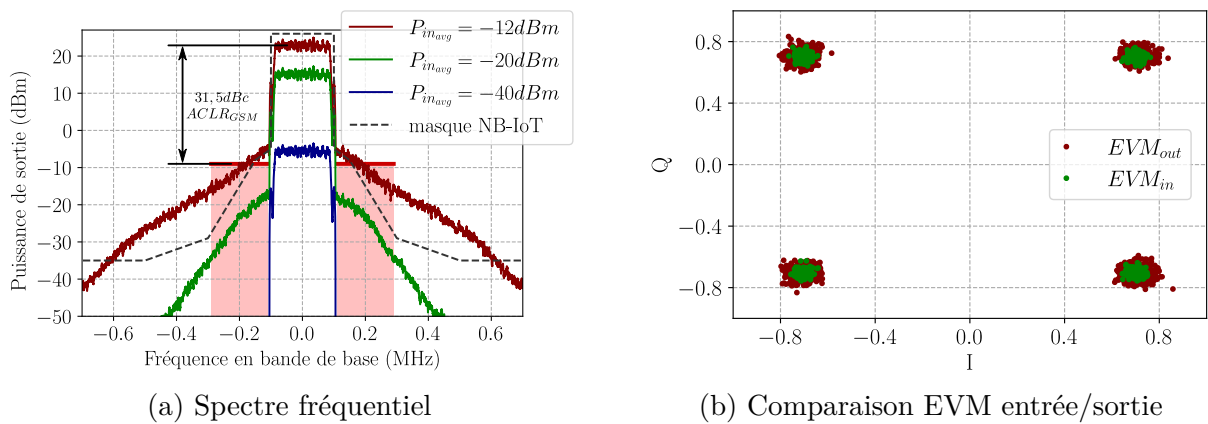


FIGURE 3.61 – Spectre et EVM du signal SC-FDMA démodulé

Le spectre en fréquence (figure 3.61(a)) permet de relever les ACLR de l'amplificateur et de vérifier le respect du masque de modulation. Pour la puissance maximale d'émission autorisée par le NB-IoT, le PA atteint des ACLR de 31,6dBc pour les deux canaux GSM

adjacents, respectant la limite des $ACLR_{GSM}$. Le masque n'est cependant pas validé pour le fonctionnement à 23dBm et nécessite une diminution de la puissance de sortie. L'utilisation d'un algorithme de prédistorsion numérique est aussi envisageable. Enfin, la constellation sur la figure 3.61(b) permet quant à elle de déterminer les EVM. Ainsi, pour la puissance maximale de 23dBm, les EVM du PA atteignent une valeur de 4,5%.

Ce circuit a été publié dans NEWCAS 2022 [69]. Le papier présente l'utilisation innovante d'un balun actif pour remplacer les fonctions de balun d'entrée et de driver dans l'objectif d'une réduction de la surface du circuit. De plus, la méthode d'optimisation de la linéarité de l'amplificateur Doherty par l'utilisation de la polarisation adaptative du paragraphe 3.6.3 y est décrite.

Afin d'avoir une vue d'ensemble des performances de l'amplificateur Doherty en 28nm FDSOI par rapport au CDC, le tableau 3.13 résume les résultats sous signal modulé SC-FDMA discutés précédemment.

TABLE 3.13 – Validation de l'amplificateur Doherty avec des signaux SC-FDMA

—	freq. (GHz)	PAPR (dB)	$ACLR_{GSM}$ (dBc)	$ACLR_{UTRA}^*$ (dBc)	EVM (%)	Masque
CDC	1,85	7,8	≥ 20	≥ 33	≤ 17.5	Fig. 3.50(a)
PLS	1,85	7	31,5	≥ 40	4,5	non-valide

* $UTRA_{ACLR}$ pour les modulations LTE

3.7 Comparaison avec l'état de l'art

Afin de conclure sur les performances des PAs présentés dans ce chapitre, une comparaison avec l'état de l'art présenté en section 1.4 est réalisée. La figure 3.62 présente le graphique des PAs de l'état de l'art ainsi que la position des PAs réalisés durant la thèse.

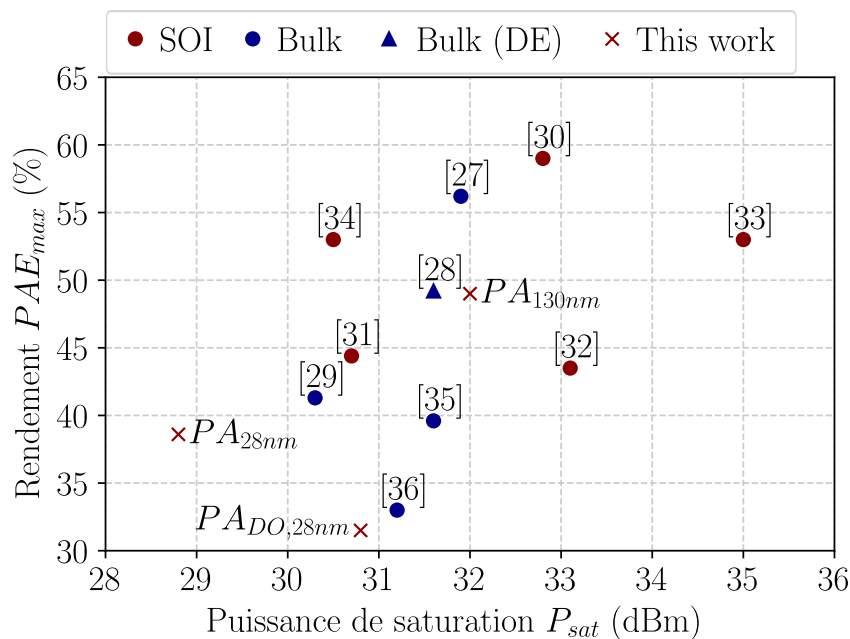


FIGURE 3.62 – Performances des PAs réalisés par rapport à l'état de l'art

Le PA pseudo-différentiel en 130nm PDSOI présente les meilleures performances des trois. Quatre amplificateurs de puissance montrent de meilleures performances. Les PAs [30] et [33] utilisent des passifs hors puce, améliorant les performances en raison de coefficients de qualité des passifs bien meilleurs que ceux intégrés. L'architecture du PA [27] utilise une technique de suivi d'enveloppe permettant une nette amélioration de la PAE. Enfin, le PA [32] est basé sur une architecture d'amplificateur commuté permettant une meilleure densité de puissance.

Les deux PAs conçus en 28nm FDSOI sont proches des performances de l'état de l'art, mais le faible facteur de qualité des passifs tend à réduire la PAE maximale. L'architecture Doherty permet bien une amélioration de la puissance de sortie, mais au détriment du rendement maximal. Cependant, l'amélioration de la PAE au PBO donne un avantage à cette architecture.

Enfin, le tableau 3.14 reprend les PAs de l'état de l'art ainsi que les performances des PAs réalisés durant la thèse.

TABLE 3.14 – Comparaison des PAs de l'état de l'art avec les PAs réalisés

Réf.	Fréq. (GHz)	P_{sat} (dBm)	P_{1dB} (dBm)	PAE_{max} (%)	Gain (dB)	Topologie	Tech.	V_{supply} (V)
[30]	2,3	32,8	32*	59	27,5*	LDMOS Doherty	130nm SOI**	3,4
[27]	1,85	31,9	N/A	56,2	14,2	ET PA	180nm bulk	4
[33]	2,4	35,1	34	53	29,5	Doherty	130nm SOI	5
[34]	1,95	30,5	29,7*	53	26,5*	Doherty	180nm SOI	N/A
[28]	2,4	31,6	N/A	49,2(DE)	N/A	Numérique Outphasing	45nm bulk	2,4
[31]	1,85	30,7	28,8	44,4	11*	Quasi- Doherty	180nm SOI	3,3
[32]	2,6	33,1	N/A	43,5	28,1	4-stack classe E/F_{odd}	45nm SOI	3
[29]	2,4	30,3	N/A	41,3	N/A	Numérique C-commutées	40nm bulk	2,4
PA 130	2	32	30	49	34	Cascode Classe AB w/ ADB	130nm PD- SOI	5
PA 28	1,77	28,8	28,3	38,6	33	Triple-stack Classe AB	28nm FD- SOI	3
PA DO 28	1,85	30,8	30,6	31,5	31	Doherty w/ ADB	28nm FD- SOI	3

* Estimation graphique | ** Option LDMOS

3.8 Conclusion du chapitre

Dans le but de concevoir un PA visant à répondre aux contraintes du NB-IoT, différentes topologies d'amplificateurs ont été expérimentées dans deux technologies SOI de chez STMicroelectronics. Cela a permis de comparer leurs performances afin de déterminer la technologie la plus adaptée pour répondre aux besoins.

Au total, cinq circuits ont été conçus pour répondre à plusieurs défis du NB-IoT en fonction des forces et des faiblesses de chaque technologie intégrée. Il s'agit de deux PA en 28nm FDSOI et de trois circuits en 130nm PDSOI.

Dans le cas de la 28nm FDSOI, les passifs possèdent de faibles facteurs de qualité, ce qui augmente leurs pertes d'insertion. Ceci entraîne un manque de puissance et une faible PAE lors du recul en puissance du PA 3-stack. Cela a poussé à la conception d'un amplificateur Doherty en 28nm FDSOI afin d'améliorer la PAE au PBO. Pour cela, une étude théorique rapide du principe Doherty avec coupleur hybride en quadrature sur une charge capacitive et le dimensionnement de la capacité de ballast sont présentés. Enfin, les performances du PA Doherty révèlent une puissance et une PAE au PBO améliorées. Cependant, la linéarité se voit dégradée en raison du phénomène de modulation de charge.

En 130nm PDSOI, les performances en puissance et en rendement de la cellule amplificatrice pseudo-différentielle répondent aux contraintes du NB-IoT. Ainsi, l'objectif a été de concevoir un amplificateur large bande dans le but de couvrir plusieurs canaux LTE afin de réduire la complexité des modules radio. Pour cela, le premier PA est basé sur l'utilisation d'un transformateur large bande permettant d'adresser 840MHz de bande passante, soit 42% de bande relative. Enfin, la co-intégration de cet amplificateur avec un commutateur d'antenne a aussi permis d'estimer son impact sur les performances du PA et d'étudier la faisabilité d'un tel module radio.

Dans l'objectif de réduction de la taille des puces silicium et toujours dans le but d'adresser une application large bande, la conception d'un balun actif ultra-large bande a été réalisée en 130nm FDSOI. Ses performances permettent d'adresser les bandes de 450MHz, 900MHz et 1800MHz en réalisant la fonction de driver. Son intégration à une cellule de puissance n'a cependant pas pu être réalisée.

Enfin, avec le recul sur les deux technologies utilisées durant la thèse et pour les fréquences et les niveaux de puissance visés par le NB-IoT, la technologie 130nm PDSOI montre de meilleures performances avec des architectures moins complexes. Cependant, la technologie 130nm étant partiellement déplétée, elle ne possède pas de grille arrière, limitant ainsi les possibilités de réglage, comme cela a été fait pour la polarisation adaptative du PA Doherty en 28nm FDSOI.

3.9 Références

- [1] ETSI, *LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) conformance specification; Radio transmission and reception; Part 1: Conformance testing (3GPP TS 36.521-1 version 16.8.1 Release 16)*, Dernier accès : 31/03/2023, 2021. adresse : https://www.etsi.org/deliver/etsi_ts/136500_136599/13652101/16.08.01_60/ts_13652101v160801p.pdf.
- [27] S. JIN, B. PARK, K. MOON et al., « A Highly Efficient CMOS Envelope Tracking Power Amplifier Using All Bias Node Controls, » *IEEE Microwave and Wireless Components Letters*, t. 25, n° 8, p. 517-519, 2015. DOI : 10.1109/LMWC.2015.2440652.
- [28] A. BANERJEE, L. DING et R. HEZAR, « A High Efficiency Multi-Mode Outphasing RF Power Amplifier With 31.6 dBm Peak Output Power in 45nm CMOS, » *IEEE Transactions on Circuits and Systems I: Regular Papers*, t. 67, n° 3, p. 815-828, 2020. DOI : 10.1109/TCSI.2019.2954068.
- [29] B. YANG, H. J. QIAN et X. LUO, « 26.5 A Watt-Level Quadrature Switched/Floated-Capacitor Power Amplifier with Back-Off Efficiency Enhancement in Complex Domain Using Reconfigurable Self-Coupling Canceling Transformer, » in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, t. 64, 2021, p. 362-364. DOI : 10.1109/ISSCC42613.2021.9366029.
- [30] A. SERHAN, D. PARAT, P. REYNIER et al., « A Reconfigurable SOI CMOS Doherty Power Amplifier Module for Broadband LTE High-Power User Equipment Applications, » in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2020, p. 79-82. DOI : 10.1109/RFIC49505.2020.9218305.
- [31] K. KIM, D.-H. LEE et S. HONG, « A Quasi-Doherty SOI CMOS Power Amplifier With Folded Combining Transformer, » *IEEE Transactions on Microwave Theory and Techniques*, t. 64, n° 8, p. 2605-2614, 2016. DOI : 10.1109/TMTT.2016.2577584.
- [32] M. KHORSHIDIAN et H. KRISHNASWAMY, « A Fully-Integrated 2.6GHz Stacked Switching Power Amplifier in 45nm SOI CMOS with >2W Output Power and 43.5% Efficiency, » in *2019 IEEE MTT-S International Microwave Symposium (IMS)*, 2019, p. 323-326. DOI : 10.1109/MWSYM.2019.8700910.
- [33] P. REYNIER, A. SERHAN, D. PARAT et al., « A High-Power SOI-CMOS PA Module with Fan-Out Wafer-Level Packaging for 2.4 GHz Wi-Fi 6 Applications, » in *2021 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2021, p. 59-62. DOI : 10.1109/RFIC51843.2021.9490483.
- [34] P. DRAXLER et J. HUR, « A multi-band CMOS Doherty PA with tunable matching network, » in *2017 IEEE MTT-S International Microwave Symposium (IMS)*, 2017, p. 944-946. DOI : 10.1109/MWSYM.2017.8058742.
- [35] A. F. AREF, R. NEGRA et M. A. KHAN, « 2.6 Class-0 : A highly linear class of power amplifiers in 0.13 μ m CMOS for WCDMA/LTE applications, » in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2015, p. 1-3. DOI : 10.1109/ISSCC.2015.7062915.

- [36] P. OSSMANN, J. FUHRMANN, K. DUFRÊNE et al., « Design of a Fully Integrated Two-Stage Watt-Level Power Amplifier Using 28-nm CMOS Technology, » *IEEE Transactions on Microwave Theory and Techniques*, t. 64, n° 1, p. 188-199, 2016. DOI : 10.1109/TMTT.2015.2503343.
- [46] K. VIVIEN, « Linearity and Efficiency of Load Modulated Power Amplifiers, » Theses, Université Paris-Est, déc. 2020. adresse : <https://theses.hal.science/tel-03227382>.
- [60] C. TINELLA, J. FOURNIER, D. BELOT et V. KNOPIK, « A high-performance CMOS-SOI antenna switch for the 2.5-5-GHz band, » *IEEE Journal of Solid-State Circuits*, t. 38, n° 7, p. 1279-1283, 2003. DOI : 10.1109/JSSC.2003.813289.
- [61] H. ZHU, Q. LI, H. SUN, Z. WANG, R. LIU et Y. LIU, « Ultra low loss and high linearity RF switch using 130nm SOI CMOS process, » in *2017 IEEE 12th International Conference on ASIC (ASICON)*, 2017, p. 698-701. DOI : 10.1109/ASICON.2017.8252571.
- [62] P. S. PRODUCTS, *MOSFET Switch PE4235*, Dernier accès : 03/10/2023. adresse : <http://www.peregrine-semi.com>.
- [63] T. LECOCQ, O. MAZOUFFRE, E. KERHERVÉ et J.-M. PHAM, « NB-IoT Wideband Power Amplifier and Diode-Based Antenna Switch co-Integration in 130 nm CMOS SOI, » in *2023 21st IEEE Interregional NEWCAS Conference (NEWCAS)*, 2023, p. 1-5. DOI : 10.1109/NEWCAS57931.2023.10198165.
- [64] S. AKHTAR, G. SCHUPPENER, T. DINC, B. HAROUN et S. SANKARAN, « DC to 12+GHz, +30dBm OIP3, 7.2dB Noise Figure Active Balun in 130nm BiCMOS for RF Sampling Multi-Gbps Data Converters, » in *2022 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2022, p. 139-142. DOI : 10.1109/RFIC54546.2022.9863207.
- [65] K. KAWAHARA, Y. UMEDA et K. TAKANO, « A Broadband Active Balun with Inductor-Less Active Peaking and Imbalance Correction, » in *2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2021, p. 749-752. DOI : 10.1109/MWSCAS47672.2021.9531759.
- [66] G. DIVERREZ, E. KERHERVÉ, M. DE MATOS et A. CATHELIN, « A 24-31GHz 28nm FD-SOI CMOS 3 :1 VSWR Resilient Inductive Hybrid Coupler-Based Doherty Power Amplifier, » in *2023 IEEE/MTT-S International Microwave Symposium - IMS 2023*, 2023, p. 939-942. DOI : 10.1109/IMS37964.2023.10188066.
- [67] V. QUNAJ et P. REYNAERT, « A Ka-Band Doherty-Like LMBA for High-Speed Wireless Communication in 28-nm CMOS, » *IEEE Journal of Solid-State Circuits*, t. 56, n° 12, p. 3694-3703, 2021. DOI : 10.1109/JSSC.2021.3110168.
- [68] B. BLEANEY et B. BLEANEY, *Electricity and Magnetism, Second Edition*. Oxford, 1965, p. 306-307.
- [69] T. LECOCQ, E. KERHERVÉ et J.-M. PHAM, « NB-IoT High Linear Doherty Amplifier with Active Balun, » in *2022 20th IEEE Interregional NEWCAS Conference (NEWCAS)*, 2022, p. 89-93. DOI : 10.1109/NEWCAS52662.2022.9842261.

Conclusion générale et perspectives

4.1 Conclusion générale

Cette thèse présente les travaux réalisés sur la conception d'un amplificateur de puissance en technologie CMOS SOI pour une application NB-IoT. Les circuits conçus visent un haut rendement et une forte puissance de sortie afin de répondre aux exigences du standard. Une approche visant à optimiser la bande passante est également ciblée dans le cas de la technologie 130nm PDSOI.

Dans le chapitre 1, une description du contexte entourant le développement du NB-IoT est introduite, ainsi que l'intérêt des technologies SOI dans la conception de circuits destinés aux applications IoT. De plus, la présentation du fonctionnement d'un amplificateur de puissance et des métriques associées est réalisée. Enfin, l'état de l'art des PA en technologie CMOS et CMOS SOI est comparé selon un critère de puissance de sortie et d'efficacité.

Le chapitre 2 introduit les deux technologies utilisées au cours de la thèse, la 130nm PDSOI et la 28nm FDSOI. Les passifs et les transistors des deux technologies sont comparés pour connaître les points forts et les points faibles de chaque technologie. Dans le but de réaliser un PA à haut rendement et large bande, des techniques de circuits et de layouts visant ces applications sont présentées. Enfin, le bloc de polarisation adaptative et les blocs de finition de layout réalisés pour les différents circuits sont détaillés et caractérisés.

Le chapitre 3 présente les performances simulées en PLS de tous les circuits réalisés, avec une comparaison au cahier des charges du NB-IoT. De plus, des simulations en PLS sous signal SC-FDMA sont réalisées afin d'obtenir des informations sur la qualité du signal de sortie avec un signal modulé. Cinq circuits ont été conçus durant la thèse. Le premier amplificateur présenté est le PA pseudo-différentiel large bande en 130nm PDSOI, suivi de la co-intégration de l'amplificateur avec un commutateur d'antenne. Le second PA est une architecture pseudo-différentielle en 28nm FDSOI utilisant un balun-actif permettant de réduire la surface de silicium et d'améliorer les performances en bande passante du PA. Cet amplificateur est ensuite utilisé dans la conception d'un amplificateur Doherty basé sur des coupleurs hybrides à charge capacitive et avec amélioration de la puissance de compression. Enfin, dans l'optique d'adresser toutes les bandes NB-IoT, une preuve de concept d'un balun-actif ultra-large bande a été présentée.

En conclusion, ces travaux ont permis de valider, jusqu'aux PLS, le fonctionnement des différents circuits et leurs performances, à la fois du point de vue d'un signal classique CW et d'un signal modulé SC-FDMA. L'amplificateur Doherty en 28nm FDSOI et le PA pseudo-différentiel en 130nm PDSOI montrent des performances à l'état de l'art en termes de puissance de sortie et de rendement.

4.2 Perspectives

De manière générale, la mesure des circuits fabriqués est la première priorité, permettant de valider définitivement les performances des différents circuits. Cela permettrait ainsi de caractériser les éventuels écarts entre les simulations et les mesures. De plus, les circuits

tels que la co-intégration PA/SPDT et le commutateur d'antenne doivent être soumis à des tests de fiabilité qui ne peuvent être réalisés uniquement en mesures.

4.2.1 Cas particulier : Co-intégration PA/LNA/SPDT

Comme présenté dans la section 3.3, un circuit co-intégrant le PA avec un commutateur d'antenne a été fabriqué. Dans le même temps, une co-intégration avec un LNA a été réalisée et nécessite une mise en boîtier afin de pouvoir être mesurée. La mesure d'un circuit en boîtier nécessite la fabrication d'un PCB conçu pour permettre la mesure de toutes les grandeurs nécessaires à la caractérisation du circuit. Le report du circuit peut aussi être réalisé directement sur le PCB à l'aide de "wire-bonding", permettant une mesure plus rapide du circuit mais l'exposant aux éléments extérieurs.

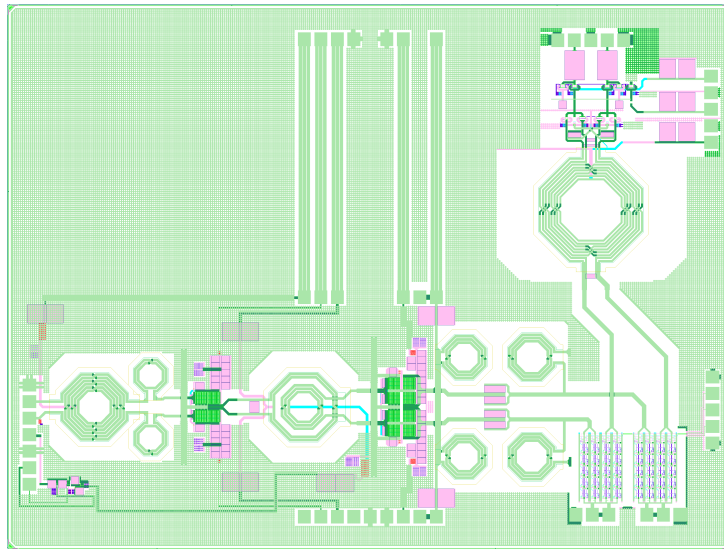


FIGURE 4.1 – Layout du circuit co-intégré PA/LNA/SPDT

4.2.2 Linéarité sous signal modulé

Comme observé dans le chapitre précédent, lors des simulations avec signal modulé, les amplificateurs ne passent pas le masque NB-IoT sans modification supplémentaire. Ainsi, une méthode permettant d'augmenter la linéarité des PAs serait d'utiliser une méthode de prédistorsion numérique en amont des amplificateurs. Le fonctionnement d'une telle méthode de linéarisation est présenté sur la figure 4.2.

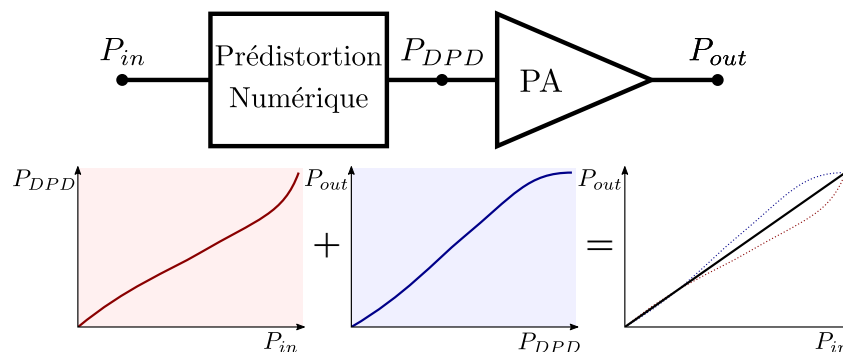


FIGURE 4.2 – Principe de linéarisation par prédistorsion numérique

4.2.3 Amplificateur ultra-large bande

Dans la continuité du circuit driver balun-actif présenté dans la section 3.4, l'objectif serait de concevoir un étage de puissance permettant d'adresser les bandes de 450MHz à 2GHz, tout en atteignant la puissance de sortie de 29dBm requise par le NB-IoT. Au vu des basses fréquences visées, la réalisation d'un tel amplificateur nécessiterait cependant l'utilisation de réseaux d'adaptation extérieurs à la puce, notamment en raison des limitations sur les valeurs de passifs réalisables en intégré.

4.2.4 Amplificateur Doherty 130nm PDSOI

Enfin, dans la continuité de l'amplificateur Doherty réalisé en 28nm FDSOI, l'objectif serait de réaliser la même architecture en 130nm PDSOI. Les passifs ayant un facteur de qualité élevé dans cette technologie, le gain de performances et de PAE au PBO peuvent être significativement améliorés par rapport à l'amplificateur pseudo-différentiel en 130nm PDSOI. Ceci permettrait d'optimiser davantage le rendement au recul en puissance pour des applications NB-IoT avec des classes de fonctionnement en puissance réduite, telle que la classe 5 représentant une puissance moyenne de 20dBm.

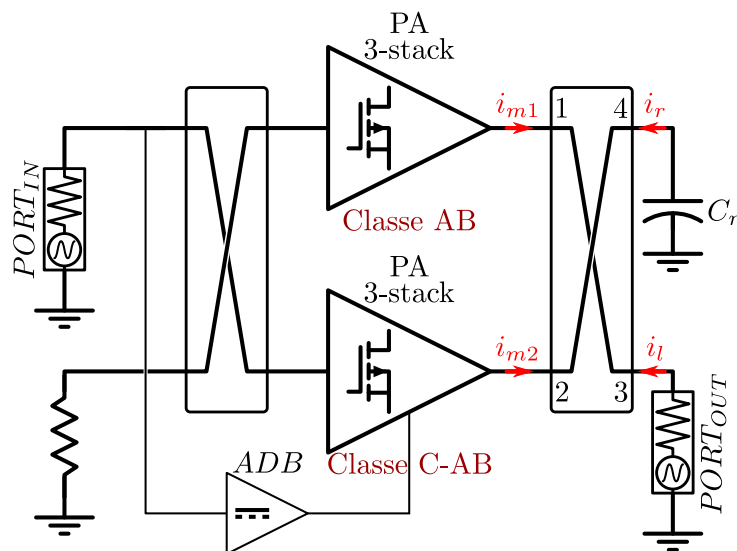


FIGURE 4.3 – Rappel du schéma simplifié du PA Doherty

Liste des travaux publiés

Conférences internationales

T. LECOCQ, O. MAZOUFFRE, E. KERHERVÉ AND J. -M. PHAM, «NB-IoT Wideband Power Amplifier and Diode-Based Antenna Switch co-Integration in 130 nm CMOS SOI,» in *2023 21st IEEE Interregional NEWCAS Conference (NEWCAS)*, Edinburgh, United Kingdom, 2023, pp. 1-5, DOI : 10.1109/NEWCAS57931.2023.10198165.

T. LECOCQ, E. KERHERVÉ AND J. -M. PHAM, «NB-IoT High Linear Doherty Amplifier with Active Balun,» in *2022 20th IEEE Interregional NEWCAS Conference (NEWCAS)*, Quebec City, QC, Canada, 2022, pp. 89-93, DOI : 10.1109/NEWCAS52662.2022.9842261.

Conférences nationales

T. LECOCQ, E. KERHERVÉ AND J. -M. PHAM, «Amplificateur de Puissance Différentiel pour NB-IoT et Cat-M,» in *Neuvième Conférence Plénière du GDR ONDES*, Lille, France, 2021.

Workshop

T. LECOCQ, E. KERHERVÉ AND J. -M. PHAM, «CMOS SOI power amplifier for 5G mobile communications under 6GHz,» in *ST-IMS Common Lab Workshop Fall*, Crolles, France, 2022.

Amplificateur de puissance en technologie CMOS SOI pour des applications 5G NB-IoT

Résumé :

Le développement de la 5G ouvre de nouvelles possibilités pour des applications liées à l'Internet des objets. Dans l'objectif de multiplier la densité d'objets connectés, le développement de nouveaux protocoles de communication est nécessaire. Ainsi, ce nouveau standard, le NB-IoT, impose de concevoir des émetteurs-récepteurs à faible coût pour un déploiement à grande échelle. L'utilisation de technologies CMOS SOI est idéale pour une telle application, car elles sont plus performantes que les technologies CMOS pour un coût similaire. La conception de PAs en technologie CMOS SOI reste cependant un défi en raison des fortes puissances de sortie requises. De plus, les applications IoT nécessitent la conception de PAs à fort rendement, ce qui dégrade la linéarité de l'amplificateur. Enfin, les bandes NB-IoT étant réparties sur tout le spectre des fréquences sub-6 GHz, un amplificateur large bande est préférable.

Pour répondre à ces contraintes, les travaux de thèse réalisés sont orientés sur la conception de PAs à forte puissance et haut rendement en technologie CMOS SOI avec une approche large bande. Deux technologies sont étudiées, la 28nm FDSOI et la 130nm PDSOI, afin de cibler les forces et limitations de chacune d'elles pour une application NB-IoT. Quatre amplificateurs de puissance et un circuit co-intégré sont présentés au cours du manuscrit. Dans un premier temps, deux amplificateurs en 28nm FDSOI sont détaillés, dont un PA Doherty à base de coupleurs hybrides sur charge capacitive avec amélioration de l'OCP1 par polarisation adaptative reconfigurable. Ensuite, un amplificateur de puissance pseudo-différentiel à transformateurs large bande suivi d'un amplificateur de type balun-actif ultra-large bande ($50MHz - 2,3GHz$) en 130nm PDSOI sont présentés. Pour finir, la co-intégration du PA pseudo-différentiel avec un commutateur d'antenne et l'étude de la faisabilité d'un tel circuit pour une application NB-IoT sont discutées.

Mots-clés : Amplificateur de puissance, CMOS SOI, NB-IoT, 5G, Internet des objets

Power amplifier in CMOS SOI technology for 5G NB-IoT applications

Abstract:

The development of 5G opens up new possibilities for applications related to the Internet of Things. With the objective of increasing the density of connected objects, the development of new communication protocols is necessary. This new standard, NB-IoT, requires the design of low-cost transceivers for large-scale deployment. The use of CMOS SOI technologies is ideal for such an application, as they offer higher performance than CMOS technologies at a similar cost. However, the design of PAs in SOI CMOS technology remains a challenge due to the high output power required. In addition, IoT applications require the design of high-efficiency PAs, which degrade amplifier linearity. Finally, as the NB-IoT bands are spread over the entire sub-6 GHz frequency spectrum, a broadband amplifier is preferable.

To address these constraints, the thesis work focuses on the design of high-power, high-efficiency PAs in CMOS SOI technology with a broadband approach. Two technologies are investigated, 28nm FDSOI and 130nm PDSOI, in order to identify the strengths and limitations of each for NB-IoT applications. Four power amplifiers and one co-integrated circuit are presented in the scope of the manuscript. First, two 28nm FDSOI amplifiers are detailed, including a PA Doherty based on hybrid couplers on capacitive load with OCP1 enhancement by reconfigurable adaptive bias. Next, a pseudo-differential power amplifier with broadband transformers is presented, followed by an ultra-broadband ($50MHz - 2.3GHz$) active-balun amplifier in 130nm PDSOI. Finally, the co-integration of the pseudo-differential PA with an antenna switch and the feasibility study of such a circuit for an NB-IoT application are discussed.

Keywords: Power amplifier, CMOS SOI, NB-IoT, 5G, Internet of things

Unité de recherche

Univ. Bordeaux, CNRS, Bordeaux INP, IMS, UMR 5218, F-33400 Talence, France.