



HAL
open science

Concept de compensation de flux : application dans les modules de puissance, étude des éléments parasites inductifs et capacitifs

Fatme Abed Ali

► To cite this version:

Fatme Abed Ali. Concept de compensation de flux : application dans les modules de puissance, étude des éléments parasites inductifs et capacitifs. Energie électrique. Université Grenoble Alpes [2020-..], 2023. Français. NNT : 2023GRALT070 . tel-04458872

HAL Id: tel-04458872

<https://theses.hal.science/tel-04458872>

Submitted on 15 Feb 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal (EEATS)

Spécialité : Génie électrique

Unité de recherche : Laboratoire de Génie Electrique

Concept de compensation de flux : application dans les modules de puissance, étude des éléments parasites inductifs et capacitifs

Concept of flux compensation: application in power modules, study of inductive and capacitive parasitic elements

Présentée par :

Fatme ABED ALI

Direction de thèse :

Pierre LEFRANC

MAITRE DE CONFERENCES, Université Grenoble Alpes

Directeur de thèse

Yvan AVENAS

MAITRE DE CONFERENCES, Université Grenoble Alpes

Co-directeur de thèse

Pierre-olivier JEANNIN

Université Grenoble Alpes

Co-encadrant de thèse

Rapporteurs :

Denis LABROUSSE

MAITRE DE CONFERENCES HDR, CNAM

Christian MARTIN

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE LYON

Thèse soutenue publiquement le **9 novembre 2023**, devant le jury composé de :

Pierre LEFRANC

MAITRE DE CONFERENCES HDR, Grenoble INP

Directeur de thèse

Denis LABROUSSE

MAITRE DE CONFERENCES HDR, CNAM

Rapporteur

Christian MARTIN

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE LYON

Rapporteur

Jean-Luc SCHANEN

PROFESSEUR DES UNIVERSITES, Grenoble INP

Président

Invités :

Loic THEOLIER

Pierre-Olivier JEANNIN

PROFESSEUR, Laboratoire de Génie Electrique de Grenoble





Remerciements

Les travaux présentés dans ce mémoire ont été réalisés au Laboratoire de Génie Electrique de Grenoble (G2Elab) au sein de l'équipe Electronique de Puissance (EP) et financé par l'institut VEDECOM. Nombreux sont ceux que je tiens à remercier pour m'avoir aidé, encouragé ou accompagné pendant ma thèse. C'est pour leur exprimer ma profonde gratitude que je leur dédie ces phrases.


Tout d'abord, je commencerai par la partie officielle. Je remercie M. Jean-Luc SCHANNEN d'avoir présidé mon jury de thèse, M. Denis LABROUSSE et M. Christian MARTIN d'avoir rapporté ma thèse et M. Loïc THEOLIER de bien vouloir accepter de faire partie du jury. Merci à l'intérêt porté à mes travaux, le temps investis à les évaluer, les remarques enrichissantes et la discussion constructive pendant la soutenance.

Avec un grand honneur et une grande joie que je passe aux remerciements de mes encadrants. Pierre LEFRANC, directeur de thèse, toujours à l'écoute et disponible pour la moindre question. Merci pour ton encadrement scientifique et ton grand soutien moral. Yvan AVENS, personne de qualité scientifique et humaine, j'ai beaucoup appris en travaillant à tes côtés. Merci pour nos discussions qui m'ont permis d'enrichir mes connaissances. Merci de te rendre disponible lorsque j'avais besoin malgré ton emploi de temps chargé. Pierre-Olivier JEANNIN, j'ai eu la chance de travailler avec toi. Merci pour ton encouragement et ta confiance permanente. Merci d'avoir fait en sorte que je ne manque rien pour effectuer ma thèse dans des bonnes conditions. Hadi ALAWIEH et Toni YOUSSEF, mes encadrants industriels, ce fut un plaisir de vous reconnaître et de profiter de vos expertises techniques.

Ensuite, j'aimerais remercier le pôle technique et informatique du G2Elab notamment les services mécatroniques et instrumentation (Alexis, Benoit et Daniel) et l'atelier mécanique (Florian et Sebastien). Je n'oublie pas Pierina PIEROTTI du service technique du CEDMS de l'IUT de Grenoble. Sans vous rien ne fonctionnerait.

J'en viens maintenant à l'équipe EP et tous les collègues du labo, merci pour cette ambiance de travail chaleureuse et le merveilleux cadre de travail.

Ce travail n'aurait sans doute pas pu aboutir sans le soutien de toute ma famille. Un grand merci à vous. Particulièrement, je dédie ce mémoire à mes parents. Papa et Maman, merci pour votre soutien, votre confiance et votre encouragement lors des différents choix que j'ai pu faire tout au long de mes études. Merci pour votre éducation et toutes vos sacrifices.

Et finalement, à la personne avec laquelle je partage ma vie, mon amour, mon mari et le père de ma fille, les mots manquent quand je pense à toi. Hussein, merci d'être présent dans les bons moments comme dans les moments de doute, d'être l'épaule sur laquelle m'appuyer et d'être ma source de motivation et de force. Je dédie ce mémoire à toi et à notre source de bonheur, notre fille Rana .

Résumé

La compacité, l'efficacité et la fiabilité sont les éléments clés pour la conception des convertisseurs de l'électronique de puissance. Ces exigences sont atteintes par l'utilisation des semi-conducteurs à grand gap, caractérisés par une vitesse de commutation élevée et une résistance spécifique faible en comparaison à leurs homologues en silicium. Cependant, ces nouvelles technologies imposent de nouveaux défis et des difficultés de mise en œuvre. Les éléments parasites du package deviennent prépondérant affectant ainsi les performances des interrupteurs pendant la commutation. Il est donc nécessaire d'améliorer les boîtiers de puissance afin de profiter pleinement des performances des semi-conducteurs à grand gap.

Dans cette thèse, nous visons à concevoir une cellule de commutation caractérisée par une faible inductance parasite et des capacités symétriques. Le design est basé sur l'optimisation de la position des transistors afin d'avoir une élimination du flux magnétique permettant une minimisation de l'inductance totale de la maille de commutation. La symétrisation du package et par la suite de ces capacités parasites sont assurées par la technologie de flip-chip.

Dans le but d'extraire les éléments parasites inductifs et capacitifs de l'assemblage, des simulations électromagnétiques sont effectuées à l'aide du logiciel Ansys Q3D extractor. Des essais expérimentaux sont ainsi réalisés, analysés et comparés aux résultats obtenus par simulation.

Mots-clés : module de puissance multipuces, packaging, éléments parasites, compensation de flux, technologie de flip-chip, caractérisation électrique

Abstract

Compactness, efficiency, and reliability are the key topics in the design of power conversion systems for power electronics applications. These requirements are achievable by using wide band gap devices, characterized by the high switching speed and low on-resistance compared to their silicon counterparts. However, this trend imposes new challenges and the effect of parasitic elements of power package during switching transient becomes significant. Hence, new packaging solutions should be investigated for addressing this concern.

In this thesis, we propose a new design of a multichip power module, with low parasitic inductance specifications and symmetrical parasitic capacitances. The presented design is based on optimizing the placement of embedded transistors which allows a self-compensation of the magnetic field that reduces the parasitic inductances of the circuit. The symmetrization of the package and subsequently of these parasitic capacitances is ensured by flip-chip technology.

To extract and evaluate the inductive and capacitive elements of the package, electromagnetic simulations are carried out using Ansys Q3D Extractor. Experimental test measurements are also performed and compared to simulation results, and conclusions are drawn.

Keywords: multichip power module, packaging, parasitic elements, flux compensation, flip-chip technology, electrical characterization

Table des matières

Remerciements	i
Résumé	ii
Abstract	iii
Table des matières	iv
Liste des figures	vi
Liste des tableaux	xi
Liste des abréviations	xii
Introduction générale	1
Chapitre I	4
I.1 Introduction	5
I.2 Les semi-conducteurs utilisés en électronique de puissance.....	6
I.2.1 Propriétés	6
I.2.2 Applications	8
I.3 La commutation des transistors.....	9
I.3.1 Définition de la cellule de commutation.....	9
I.3.2 Eléments parasites associés à la cellule de commutation	11
I.3.3 Description de la commutation	14
I.4 La compatibilité électromagnétique (CEM).....	16
I.4.1 Définition de la compatibilité électromagnétique.....	16
I.4.2 Généralités sur la CEM.....	17
I.4.3 Perturbations conduites dans les convertisseurs de puissance.....	19
I.5 L'assemblage en électronique de puissance.....	24
I.5.1 Assemblage classique	24
I.5.2 Amélioration de l'assemblage classique pour s'adapter aux fortes vitesses de commutation.....	25
I.6 Le brevet déposé par VEDECOM.....	36
I.7 Conclusion	38
Chapitre II	39
II.1 Introduction	40
II.2 Le module avec enfouissement des puces nues entre deux PCB	41
II.2.1 Module VEdecom – SAfran (VESA)	41
II.2.2 Architecture et caractéristiques.....	44
II.2.3 Analyse électrique du module	55

II.2.4	Étapes d'assemblage et modules obtenus	62
II.3	Le module avec placement des composants packagés entre SMI et PCB	66
II.3.1	Architecture et caractéristiques.....	66
II.3.2	Analyse électrique du module	71
II.3.3	Étapes d'assemblage et modules obtenus	75
II.4	Conclusion	79
Chapitre III	80
III.1	Introduction	81
III.2	Mesure des capacités parasites	82
III.2.1	Méthode de caractérisation	82
III.2.2	Résultats et discussions	86
III.3	Tests CEM.....	87
III.3.1	Méthode de caractérisation	87
III.3.2	Résultats et discussions	90
III.4	Evaluation de l'inductance de la maille de commutation.....	96
III.4.1	Méthode d'oscillation libre.....	97
III.4.2	Caractérisation de l'inductance des modules complets	103
III.5	Conclusion.....	110
Conclusion générale et perspectives	112
Annexes	117
Bibliographies	127

Liste des figures

Figure I-1. Comparaison de la fréquence et de la puissance des différents matériaux semi-conducteurs [28].....	8
Figure I-2. Convertisseur abaisseur de tension (a) Structure (b) Phases de fonctionnement..	10
Figure I-3. Formes d'onde idéales sur une phase de fonctionnement du convertisseur de puissance	10
Figure I-4. Eléments parasites influant la commutation du MOSFET.....	11
Figure I-5. Eléments parasites inductifs	12
Figure I-6. Capacités inter-électrodes du MOSFET.....	13
Figure I-7. Capacités de mode commun.....	14
Figure I-8. (a) Schéma électrique simulé (b) Formes d'onde pendant la mise en conduction et au blocage du MOSFET	15
Figure I-9. Conduction et rayonnement [41].....	17
Figure I-10. Perturbations (a) de mode différentiel (b) de mode commun	18
Figure I-11. Niveaux, limites et marges CEM [42].....	18
Figure I-12. Répartition spectrale des perturbations électromagnétiques conduites [46].....	19
Figure I-13. Schéma électrique présentant la propagation des courants de mode commun liés aux variations du potentiel au borne de la charge	20
Figure I-14. Schéma électrique présentant le couplage entre le mode commun et le mode différentiel [35]	21
Figure I-15. Les éléments inductifs et capacitifs de la partie du circuit située entre le RSIL et le convertisseur [50].....	21
Figure I-16. Schéma électrique équivalent [50]	22
Figure I-17. Packaging en électronique de puissance (a) composant discret TO220 (b) module de puissance sur substrat DBC [52]	24
Figure I-18. Vue en coupe de l'assemblage classique	24
Figure I-19. Comparaison de la surface du module entre le module conventionnel et le module optimisé [61]	26
Figure I-20. Inductance de la maille de commutation (LCCL) du module conventionnel et module optimisé [61]	26
Figure I-21. Comparaison de la technologie Power OverLay (POL) avec une structure conventionnelle [64].....	27
Figure I-22. Réalisation du module avec la technologie POL [64].....	27
Figure I-23. Vue en coupe du module (a) DLB .Ref [65] (b) DLB développé [61]	28
Figure I-24. Schéma du module proposé par Semikron appliquant la technologie « SKiN » [66]	28
Figure I-25. Placement des puces avec la technologie de flip-chip	29
Figure I-26. Etape d'assemblages du module avec la technologie de flip-chip [67]	29
Figure I-27. Coupe transversale du module avec la technologie de flip-chip.....	30
Figure I-28. Vue en coupe du module proposé	30
Figure I-29. Schéma du principe de montage [69].....	30
Figure I-30. Trajet de courant dans le module [69].....	31
Figure I-31. Coupe transversale du module de puissance [40]	31
Figure I-32. Module proposé par Semikron se basant sur le brevet US 7227259B2.....	32

Figure I-33. Module à base de MOSFET SiC 1200V 360A avec parallélisation de six bras d'onduleur [72].....	32
Figure I-34. Module à base de MOSFET SiC 1200V 360A avec parallélisation de six bras d'onduleur opposés [73].....	32
Figure I-35. (a) Vue en coupe du module de puissance b) Module réalisé à base de MOSFET SiC 1200V 100A [74]	33
Figure I-36. Refroidissement double face du module PBA [74].....	33
Figure I-37. Coupe transversale du module P2P [76]	34
Figure I-38. Assemblage 3D du module de puissance [39]	34
Figure I-39. Module de puissance 1.2-kV (a) sans capacité de découplage intégrée (b) avec capacité de découplage intégrée [80]	35
Figure I-40. Architecture du module 3D [81]	35
Figure I-41. Réalisation expérimentale(a) module complet (b) vue en coupe [81]	35
Figure I-42. Schéma électrique du bras d'onduleur avec deux branches en parallèle	36
Figure I-43. Application du brevet : Position des transistors	36
Figure I-44. Application du brevet : Compensation des champs magnétiques	37
Figure II-1. Vue de dessus de la puce ST315N10F7D8 avec ses dimensions	41
Figure II-2. Vue interne du design du module VESA [84]	42
Figure II-3. Vue en coupe d'une cellule de commutation du module VESA [84].....	42
Figure II-4. Dépôt de la pâte d'argent pour une ouverture de 200µm dans l'écran de sérigraphie	43
Figure II-5. Prototypé réalisé du module VESA [84]	43
Figure II-6. Cellule de commutation PN-2PCB (a) Schéma électrique (b) Vue 3D.....	44
Figure II-7. Empilement du module de puissance PN_2PCB, de son driver et de son circuit d'alimentation (a) Vue de dessus (b) Vue de face	45
Figure II-8. Coupe transversale du module PN_2PCB (a) Design avec flip-chip (b) Design sans flip-chip	46
Figure II-9. Position des condensateurs de découplage	47
Figure II-10. Vue schématique de dessus du module PN_2PCB (a) Design croisé (b) Design non croisé (c) Design classique.....	48
Figure II-11. PCB2 du design croisé du module PN_2PCB (a) Couche supérieure (b) Couche inférieure	49
Figure II-12. PCB2 du design non croisé du module PN_2PCB (a) Couche supérieure (b) Couche inférieure	50
Figure II-13. Schéma électrique représentant les capacités de mode commun du module de puissance	51
Figure II-14. Couche inférieure du module et contour de la semelle de cuivre (a) Design croisé (b) Design non croisé (c) Design classique	52
Figure II-15. Driver du module PN_2PCB à design croisé (a) Couche supérieure (b) Couche interne 1.....	53
Figure II-16. Driver du module PN_2PCB à design non croisé (a) Couche supérieure (b) Couche interne.....	53
Figure II-17. Schéma électrique simplifié du circuit de commande (a) classique (b) cascadié	54
Figure II-18. Synoptique du circuit d'alimentation et du driver	55
Figure II-19 . Etapes d'extraction des éléments parasites	56
Figure II-20. Schéma électrique des capacités parasites ajoutées par l'assemblage	57

Figure II-21. Géométrie du module PN_2PCB dans Ansys Q3D extractor (a) vue isométrique (b) coupe transversale.....	57
Figure II-22 . Calcul des capacités parasites (a) Définition de source et de sink (b) Capacité calculée entre deux pistes	58
Figure II-23. Schéma électrique représentant le placement des nœuds électriques pour le module PN_2PCB	59
Figure II-24. Géométrie du module dans Q3D afin d'estimer les inductances propres de chaque cellule de commutation et la mutuelle entre elles (a) Module Complet (b) Zoom	60
Figure II-25. Inductances propres et mutuelles extraites par Ansys Q3D extractor [92].....	60
Figure II-26. Inductances	61
Figure II-27. Dépôt de la pâte d'argent.....	63
Figure II-28. Placement des composants par la machine Pick & Place	64
Figure II-29. Outil de centrage	64
Figure II-30. Vue de dessous du module montrant le non-alignement entre les couches et zoom sur quelques parties	65
Figure II-31. Empilement des couches (a) module VESA (b) module PN_2PCB	65
Figure II-32. Vue 3D de la cellule de commutation PP_PCBSMI.....	66
Figure II-33. MOSFET IRF6775MTRPbF (a) photographie du boîtier DirectFET MZ (b) Vue de dessous et dimensions (c) Coupe transversale.....	67
Figure II-34. Coupe transversale du module PP_PCBSMI (a) Design avec flip-chip (b) Design sans flip-chip	68
Figure II-35. Les couches du PCB (a) couche 1 (b) couche 2 (c) couche 3 (d) couche 4.....	69
Figure II-36. La couche de dessus du SMI du module PP_PCBSMI	69
Figure II-37. Vue de dessus (a) PCB (b) SMI.....	70
Figure II-38. Géométrie du module PP_PCBSMI dans Ansys Q3D extractor (a) Vue isométrique (b) Coupe transversale.....	71
Figure II-39. Géométrie du module dans Q3D afin d'estimer les inductances propres de chaque cellule de commutation et la mutuelle entre elles (a) Module Complet (b) Zoom	72
Figure II-40. Vue de dessus du SMI	74
Figure II-41. Placement de la crème à braser sur l'empreinte Grille-Source des MOSFETs du PCB	75
Figure II-42. Placement des MOSFETs par la machine BGA	76
Figure II-43. Brasage des MOSFETs (a) par le four sur le SMI (b) par la machine BGA sur le PCB	76
Figure II-44. Placement de la crème à braser sur l'empreinte Drain des MOSFETs du PCB et du SMI.....	77
Figure II-45. Empilement du PCB et du SMI	77
Figure II-46. Brasage du module PP_PCBSMI	77
Figure II-47. Module PP_PCBSMI.....	78
Figure III-1. Schéma électrique présentant les capacités parasites de la partie puissance du module PP_PCBSMI.....	82
Figure III-2. Mesure de l'impédance équivalente entre les bornes DC+ et DC- (a) coupe transversale du module (b) Schéma électrique équivalent	83
Figure III-3. Mesure 1 : Connexion des bornes DC- et Out au GND	83
Figure III-4. Module spécialement réalisé pour la caractérisation des capacités parasites.....	84
Figure III-5. Connexion des points 1 et 2 à l'analyseur d'impédance	85
Figure III-6. Connexion du module à l'analyseur d'impédance	85

Figure III-7. Schéma électrique du montage CEM	87
Figure III-8. Banc de test CEM	88
Figure III-9. (a) Mesure du courant de mode commun (b) Positionnement du module PP_PCBSMI (c) Positionnement de la charge	89
Figure III-10. Mesure du bruit externe	90
Figure III-11. Capacité entre la source du transistor HS et le plan de masse.....	91
Figure III-12. Distribution des capacités en blindant le driver	91
Figure III-13. Blindage du driver (a) Couche conductrice (b) Position	92
Figure III-14. Spectre du courant de mode commun du design croisé avec et sans blindage Conditions de mesure : $f_{dec} = 20\text{kHz}$, $V_{GS} = 12\text{V}$, $V_{DC} = 30\text{V}$, $I = 7.5\text{A}$	92
Figure III-15. Spectres du courant de mode commun des designs croisé et non croisé Conditions de mesure : $f_{dec} = 20\text{kHz}$, $V_{GS} = 12\text{V}$, $V_{DC} = 30\text{V}$, $I = 7.5\text{A}$	93
Figure III-16. Capacités simulées entre le bus DC et le plan de masse du design croisé et design non croisé	94
Figure III-17. Spectre du courant de mode commun du design non croisé et du design classique Conditions de mesure : $f_{dec} = 20\text{kHz}$, $V_{GS} = 12\text{V}$, $V_{DC} = 30\text{V}$, $I = 7.5\text{A}$	94
Figure III-18. Spectres de mode commun du design non croisé et du design classique (a) Enveloppe des spectres (b) Différence d'amplitude des spectres	95
Figure III-19. Capacités simulées (a) entre la phase et le plan de masse (b) entre le bus DC et le plan de masse	95
Figure III-20. Module PP_PCBSMI avec différentes positions des capacités de découplage (a) sur le PCB (b) sur le SMI (c) sur le PCB et le SMI	96
Figure III-21. Coupure du module de puissance	97
Figure III-22. Schéma électrique du montage oscillation libre.....	98
Figure III-23. Tensions aux bornes de la capacité de découplage durant les oscillations libres [93]	98
Figure III-24. Banc de caractérisation de l'inductance parasite par la méthode d'oscillation libre	100
Figure III-25. Position de la sonde de l'oscilloscope	100
Figure III-26. Tensions aux bornes de la capacité de découplage durant les oscillations libres (a) Design avec flip-chip (b) Design classique sans flip-chip.....	101
Figure III-27. Choix des points pour l'estimation de l'erreur de mesure par la lecture graphique	102
Figure III-28. Schéma électrique du montage double impulsion	104
Figure III-29. Test double impulsion	104
Figure III-30. Banc de caractérisation de l'inductance parasite par le test double impulsion	105
Figure III-31. Connexions des sondes de l'oscilloscope aux connecteurs SMA	105
Figure III-32. Tension V_{ds} à l'ouverture de cellule pour différentes positions de la capacité de découplage (a) sur le PCB (b) sur le SMI (c) sur le PCB et le SMI Conditions de mesure : $V_{ds}=48\text{V}$, $I_d=40\text{A}$	107
Figure CG-1. Coupe transversale de la géométrie proposée pour réduire la concentration du champ électrique [94].....	116
Figure A-1. Série d'images du dépôt de la pâte d'argent pour différentes ouvertures dans l'écran de sérigraphie	119
Figure A-2. Schéma électrique du module entier	120
Figure A-3. Schéma électrique du module coupé	120

Figure A-4. Schéma électrique représentant les inductances propres et des mutuelle des deux branches d'une maille de commutation	121
Figure A-5. Zoom sur les oscillations des différents designs pour la position des capacités de découplage sur le PCB	125
Figure A-6. Zoom sur les oscillations des différents designs pour la position des capacités de découplage sur le PCB et le SMI	126

Liste des tableaux

Tableau I-1. Propriétés intrinsèques du silicium et des matériaux à grand gap	6
Tableau II-1. Résultats Q3D des capacités parasites ajoutées par l'assemblage	58
Tableau II-2. Inductances obtenues par Q3D des différents designs du module PN_2PCB ...	62
Tableau II-3. Étapes d'assemblage du module PN_2PCB	63
Tableau II-4. Résultats Q3D des capacités parasites ajoutées par l'assemblage PP_PCBSMI	72
Tableau II-5. Inductances obtenues par Q3D des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le PCB.....	73
Tableau II-6. Inductances obtenues par Q3D des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le SMI	73
Tableau II-7. Étapes d'assemblage du module PP_PCBSMI	75
Tableau III-1. Mesures réalisées	84
Tableau III-2. Résultats de mesure et résultats Q3D des capacités parasites pour le design croisé	86
Tableau III-3. Résultats de mesure et résultats Q3D des capacités parasites pour le design non croisé	86
Tableau III-4. Résultats de mesure et résultats Q3D des capacités parasites pour le design classique	86
Tableau III-5. Points permettant le calcul de m et f_r	101
Tableau III-6. Inductances du design avec flip-chip pour les différentes positions des capacités de découplage	102
Tableau III-7. Inductances du design sans flip-chip pour les différentes positions des capacités de découplage	102
Tableau III-8. Ecart entre les valeurs mesurées pour trois positionnements différents de points	103
Tableau III-9. Résultat des tests double impulsion pour une position des capacités de découplage sur le PCB Conditions de mesure : $V_{ds}=48V$, $I_d=40A$	108
Tableau III-10. Inductances des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le PCB et le SMI.....	109
Tableau A-1. Inductances parasites extraites par Ansys Q3D du module PN_2PCB.....	122
Tableau A-2. Inductances parasites extraites par Ansys Q3D du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB	123
Tableau A-3. Inductances parasites extraites par Ansys Q3D du module PP_PCBSMI pour la position de la capacité de découplage sur le SMI	123
Tableau A-4. Fréquences de résonance et inductances parasites de la maille de commutation du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB.....	125
Tableau A-5. Fréquences de résonance et inductances parasites de la maille de commutation du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB et le SMI	126

Liste des abréviations

A

Ag : Argent

Au : Or

C

CEM : Compatibilité électromagnétique

CMS : Composant Montés en Surface

C_{ISS} : Capacité d'entrée

C_{OSS} : Capacité de sortie

C_{dec} : Capacité de découplage

D

DC+, DC- : Bus DC

G

GND : Ground

H

HS : Transistor High Side

L

LS : Transistor Low Side

M

MC : Mode Commun

N

Ni : Nickel

O

OUT : Output

P

PCB: Printed Circuit Board

S

Si : Silicium

SiC : Carbure de Silicium

SMI : Substrat Métallique Isolant

Introduction générale

Le travail présenté dans ce manuscrit s'inscrit dans le cadre d'une thèse en collaboration entre le Laboratoire de Génie Electrique de Grenoble (G2Elab) et l'institut Vedecom.

Contexte Scientifique

D'année en année, les convertisseurs d'électronique de puissance s'étendent dans de nombreux domaines d'application et se généralisent dans notre vie quotidienne.

Les convertisseurs statiques, permettant l'adaptation des formes ou des niveaux de courant et de tension entre les sources et les récepteurs, doivent non seulement être efficaces et fiables mais aussi plus compacts. La puissance requise dans les applications récentes est en constante augmentation. Ceci se traduit par l'augmentation de la densité de puissance des convertisseurs. Une fréquence de commutation élevée permet une réduction de la masse et du volume des éléments passifs et par suite une minimisation de l'encombrement et de la taille des systèmes.

L'interrupteur de puissance reste le cœur des convertisseurs. Le matériau semi-conducteur le constituant est encore majoritairement le silicium (Si). Toutefois, même s'il domine le marché depuis des décennies, les performances des composants utilisant ce matériau sont de moins en moins adaptées aux nouvelles exigences telles que la haute fréquence et la forte densité de puissance [1]. Dans ce contexte, les composants à base de carbure de silicium (SiC) et de nitrure de gallium (GaN), dits matériaux à grand-gap, viennent concurrencer la filière Si à cause de leurs propriétés physiques plus adaptées aux applications haute fréquence/haute température [2]–[8]. Sur le marché, les fabricants commercialisent principalement le transistor à effet de champ à grille isolée (MOSFET) à technologie verticale dans le cas du SiC et les transistors à effet de champ à hétérostructure (HEMT) dans le cas du GaN.

Cependant, les nouvelles technologies à grand-gap présentent des difficultés de mise en œuvre. Leur vitesse de commutation élevée stimule les éléments parasites de l'assemblage rendant les transistors plus sensibles à leur environnement d'utilisation. De plus, les puces ont une surface plus faible ce qui augmente les densités de flux de chaleur à évacuer, et les matériaux isolants sont le siège de champs électriques plus élevés à proximité de la puce. Pour toutes ces raisons, il est primordial d'améliorer les boîtiers de puissance afin de profiter pleinement de leurs performances.

Objectifs de la thèse

En lien avec le contexte déjà décrit, la thèse vise à concevoir un module de puissance innovant en prenant en compte les nouvelles exigences des semi-conducteurs à grand-gap, notamment en termes de vitesse de commutation. Le but sera de réduire l'inductance parasite de la maille de commutation en portant une attention particulière à la réduction des capacités parasites de mode commun entre le potentiel flottant et la terre.

Le point de départ de la thèse est un brevet déposé par l'institut Vedecom, visant à réduire l'inductance parasite en plaçant judicieusement les MOSFETs d'un bras d'onduleur afin de créer deux boucles de courant permettant une compensation partielle du flux magnétique généré lors de la commutation.

Organisation du manuscrit

Le premier chapitre aura pour but de montrer la pertinence d'améliorer le package des convertisseurs statiques. Premièrement, une introduction générale sur la technologie des semi-conducteurs et leurs propriétés sera proposée. Ensuite, une description de la commutation des transistors de puissance et des effets des éléments parasites sur cette dernière sera effectuée. La définition de la compatibilité électromagnétique (CEM) et des sources principales générant les perturbation CEM dans le module de puissance seront aussi présentées. Puis, un état de l'art non exhaustif des techniques d'amélioration du package des convertisseurs sera réalisé. Enfin, le brevet réalisé par Vedecom constituant le point de départ de cette thèse sera détaillé.

Le deuxième chapitre s'intéressera à la présentation des deux modules de puissance proposés dans cette thèse afin d'évaluer le principe de compensation du flux magnétique. Une description des architectures des modules sera effectuée et des simulations électromagnétiques permettant le calcul des inductances et des capacités parasites seront présentées et analysées. Les étapes d'assemblage suivies pour la réalisation pratique des modules seront également illustrées dans ce chapitre.

Le troisième chapitre regroupera les essais expérimentaux réalisés et leur comparaison avec les résultats de simulation. D'abord, les mesures des capacités parasites de l'assemblage seront réalisées. Puis, des tests CEM seront effectués. Enfin, l'évaluation de l'inductance parasite de la cellule de commutation par deux méthodes différentes sera présentée ce qui nous permettra de mettre en évidence les points principaux à prendre en compte pour réduire la surtension à l'ouverture des interrupteurs de puissance.

Chapitre I

Le packaging des interrupteurs de puissance à grand-gap

I.1 Introduction

Dans les applications récentes et dans plusieurs marchés spécifiques, tels que l'automobile, l'aéronautique, l'énergie, l'informatique et plusieurs autres technologies, la puissance requise dans les convertisseurs d'énergie est en constante augmentation. Cette demande est accompagnée par la nécessité de la réduction de la masse et de l'encombrement du système. Ceci est rendu possible par l'augmentation de la fréquence de découpage des convertisseurs permettant de minimiser principalement la taille des éléments passifs. Les matériaux semi-conducteurs constituant les interrupteurs restent le cœur des convertisseurs de puissance. L'avancée des technologies de ces matériaux pourrait mener à des gains conséquents au niveau de la compacité des convertisseurs, de leur efficacité ainsi que de leur fiabilité. Le silicium (Si) a dominé le marché des semi-conducteurs pendant des années et il le domine toujours. Cependant, les technologies des composants en Si semblent aujourd'hui arrivées à des limites théoriques. Ceci nécessite de passer à d'autres matériaux semi-conducteurs afin d'avoir de nouveau de potentiels incréments sur les performances usuelles en électronique de puissance (rendement, compacité, puissance, montées en tension, montées en vitesse de commutation...). Dans ce contexte, les composants à base de carbure de silicium (SiC) et de nitrure de gallium (GaN) viennent concurrencer la filière Si grâce à leurs propriétés avancées. Dans la suite de ce chapitre nous présenterons les caractéristiques principales de ces matériaux semi-conducteurs dits à « grand-gap » et permettant de réaliser des transistors à fortes vitesses de commutation.

Néanmoins, les interrupteurs de puissance sont en interaction directe avec leur environnement et leur boîtier (package). Dans le but de profiter pleinement des excellentes performances des semi-conducteurs à grand-gap, l'amélioration du package est donc devenue une nécessité. Puisque l'augmentation de la vitesse de commutation stimule les éléments parasites de ce dernier, une présentation des différents éléments parasites affectant la commutation et le comportement CEM du système sera effectuée.

Une description du package conventionnel ainsi qu'un état de l'art des avancées permettant une amélioration des performances de l'assemblage seront ensuite réalisés. Notons que, bien que primordiaux pour la mise en œuvre de ces composants, les autres aspects physiques tels que la gestion thermique ou encore la tenue en tension ne seront pas étudiés dans ce manuscrit qui se concentra donc sur les aspects électriques et électromagnétiques liés au phénomène de commutation.

Dans une dernière partie, nous présenterons le brevet déposé par l'institut Vedecom. Ce dernier constitue en effet le point de départ de la conception des modules de puissance étudiés dans cette thèse.

I.2 Les semi-conducteurs utilisés en électronique de puissance

En électronique de puissance, dans les applications actuelles et futures, la recherche des convertisseurs à rendements élevés et présentant une forte densité de puissance est de plus en plus répandue. Ceci est rendu possible par l'augmentation des vitesses de commutation et de la fréquence de commutation. L'augmentation de la fréquence de commutation se traduit par une réduction de l'énergie stockée dans les convertisseurs conduisant à une minimisation de la valeur et donc de la taille des éléments passifs. Néanmoins, les pertes par commutation P_{ISS} et P_{OSS} , provoquées principalement et respectivement par les capacités inter-électrodes d'entrée C_{ISS} et de sortie C_{OSS} , sont directement proportionnelles à la fréquence de commutation f_c . L'augmentation de cette dernière provoque donc une augmentation des pertes [9]. Les transistors, dits à « grand-gap », en carbure de silicium (SiC) et en nitrure de gallium (GaN) ont montré depuis leur arrivée sur le marché des semi-conducteurs leurs intérêts par rapport à la technologie en silicium (Si) pour des fonctionnements à des fréquences élevées [3], [10]–[14]. A calibre en tension et courant identique, les capacités C_{ISS} et C_{OSS} des transistors à grand gap sont nettement inférieures à celles à base de Si entraînant donc une diminution des temps et des pertes par commutation.

Dans le paragraphe suivant, une comparaison entre les propriétés physiques du Si, du SiC et du GaN sera effectuée.

I.2.1 Propriétés

Les composants à base de Si ont dominé le marché pendant des décennies et ils le dominent encore actuellement. Cependant, les performances de ces composants sont de moins au moins adaptées aux nouvelles exigences des applications de l'électronique de puissance. Dans ce contexte, les matériaux SiC et GaN pourraient représenter une part importante du marché dans les années à venir [15]–[18]. Une comparaison des propriétés physiques de ces matériaux et du Si est présentée dans le Tableau I-1 [19], [20].

Propriétés	Si	4H-SiC	GaN
Largeur de la bande interdite E_g (eV)	1.12	3.6	3.39
Champ de claquage E_c (Mv/cm)	0.23	2.2	3.3
Vitesse de saturation des électrons v_{sat} (10^7 cm/s)	1.0	2.0	2.5
Conductivité thermique λ (W/cm.K)	1.5	3.8	1.3
Mobilités des porteurs de charges μ_n ($cm^2/V.s$)	1400	950	1000/2000 ¹
Constante diélectrique ϵ_r	11.8	10	9
Figure de mérite de Keye (KFM) ²	1	5.1	1.8
Figure de mérite de Johnson (JFM) ²	1	410	790
Figure de mérite de Baliga (BHFM) ²	1	34	100

¹ : Différence entre le matériau GaN et l'hétérojonction GaN/AlGaN
² : Normalisé par rapport au silicium

Tableau I-1. Propriétés intrinsèques du silicium et des matériaux à grand gap

La température de fonctionnement des applications est limitée par la largeur de la bande interdite des matériaux semi-conducteurs. Une augmentation de la température entraîne un gain d'énergie des électrons de la bande de valence. Au-delà d'une certaine température, ces

électrons passent dans la bande de conduction et le matériau perd ses propriétés de semi-conducteur. Comparativement au Si, les bandes interdites du SiC et du GaN sont trois fois plus élevées, permettant d'avoir des applications fonctionnant potentiellement à plus haute température.

Le champ de claquage E_C des semi-conducteurs à grand gap, SiC et GaN, est approximativement dix fois plus élevé que celui du Si. Afin de comprendre l'effet de ce paramètre, l'équation (I.1) représente une approximation de la résistance spécifique d'un MOSFET à structure verticale. Elle est donnée par la formule suivante [21]:

$$R_{sp} = \frac{4 \times V_{br}^2}{\epsilon_0 \times \epsilon_r \times \mu_n \times E_C^3} \quad (I.1)$$

V_{br} représente la tenue en tension du MOSFET et ϵ_0 est la constante diélectrique du vide. Les autres paramètres de cette équation sont définis dans le Tableau I-1.

Donc, pour le même niveau de tension et pour la même surface de puce, la résistance à l'état passant et par la suite les pertes par conduction sont minimisées dans le cas des transistors à grand gap. Ainsi, étant donné que l'épaisseur de la zone de drift (zone de tenue en tension) est inversement proportionnelle au champ de claquage, celles des puces semi-conductrices à grand-gap sont donc réduites pour une même tenue en tension.

La vitesse de commutation des transistors est définie par la vitesse de saturation des électrons. Cette dernière est deux à trois fois plus élevée pour les semi-conducteurs à grand gap, permettant donc une commutation plus rapide des transistors et une diminution des pertes par commutation.

La conductivité thermique est un paramètre clé pour la bonne évacuation de chaleur notamment dans les conditions extrêmes comme le régime de court-circuit. Elle est deux fois plus importante pour le SiC que pour le Si.

Afin de faciliter la comparaison des matériaux semi-conducteurs, des indicateurs numériques de performance tels que les figures de mérite ont été proposés [20]–[23]. Ces dernières jouent un rôle important dans la sélection des semi-conducteurs pour une application donnée. Nous pouvons citer la figure de mérite de Keyes (KFOM), donnée par l'expression de l'équation (I.2), permettant d'évaluer les limitations thermiques des composants [24]. La figure de mérite de Johnson (JFOM), présentée dans l'équation (I.3), est utilisée pour comparer les performances des matériaux pour un fonctionnement à une puissance importante et une fréquence élevée [25]. Enfin, la figure de mérite de Baliga (BFOM), donnée par l'équation (I.4), donne une indication sur le rendement pour un fonctionnement à haute fréquence [26].

$$KFOM = \lambda \times \left(\frac{c \times v_{sat}}{4\pi \times \epsilon_0 \times \epsilon_r} \right)^{\frac{1}{2}} \quad (I.2)$$

où c est la célérité de la lumière.

$$JFOM = \frac{E_c \times v_{sat}}{2\pi} \quad (I.3)$$

$$BFOM = \epsilon_0 \times \epsilon_r \times \mu \times E_c^3 \quad (I.4)$$

Les différents paramètres des équations (I.2), (I.3) et (I.4) sont définis dans le Tableau I-1.

Pour les applications de forte puissance, l'échauffement des composants semi-conducteurs est important. Le SiC est caractérisé par un KFOM élevé par rapport à celui du Si et du GaN. Ceci fait des transistors à base du SiC de bons candidats pour les applications de puissances élevées.

Comme déjà présenté, la vitesse de saturation, le champ électrique critique et la mobilité des porteurs de charge du GaN sont supérieurs à ceux du SiC et du Si. Les figures de mérite de Johnson et Baliga sont donc meilleures pour le GaN, rendant ce dernier le meilleur actuellement pour les applications caractérisées par un rendement élevé et une fréquence de commutation importante. Néanmoins, la faible conductivité thermique du GaN et la structure horizontale des composants disponibles commercialement à ce jour limitent leurs applications à des puissances moyennes.

Les domaines d'application des composants semi-conducteurs Si, SiC et GaN seront présentés dans la partie suivante.

I.2.2 Applications

Afin de profiter des performances du matériau semi-conducteur, il est nécessaire de trouver le domaine d'application à privilégier.

Les performances avancées des semi-conducteurs à grand gap en font de bons candidats pour des applications actuelles de l'électronique de puissance et permettent de satisfaire les demandes des consommateurs et de l'industrie. Ils sont utilisés dans différents domaines tels que les véhicules électriques/hybrides, les énergies renouvelables, la 5G, les serveurs des données, les onduleurs solaires, les alimentations, les circuits de charge et le contrôle du réseau [27].

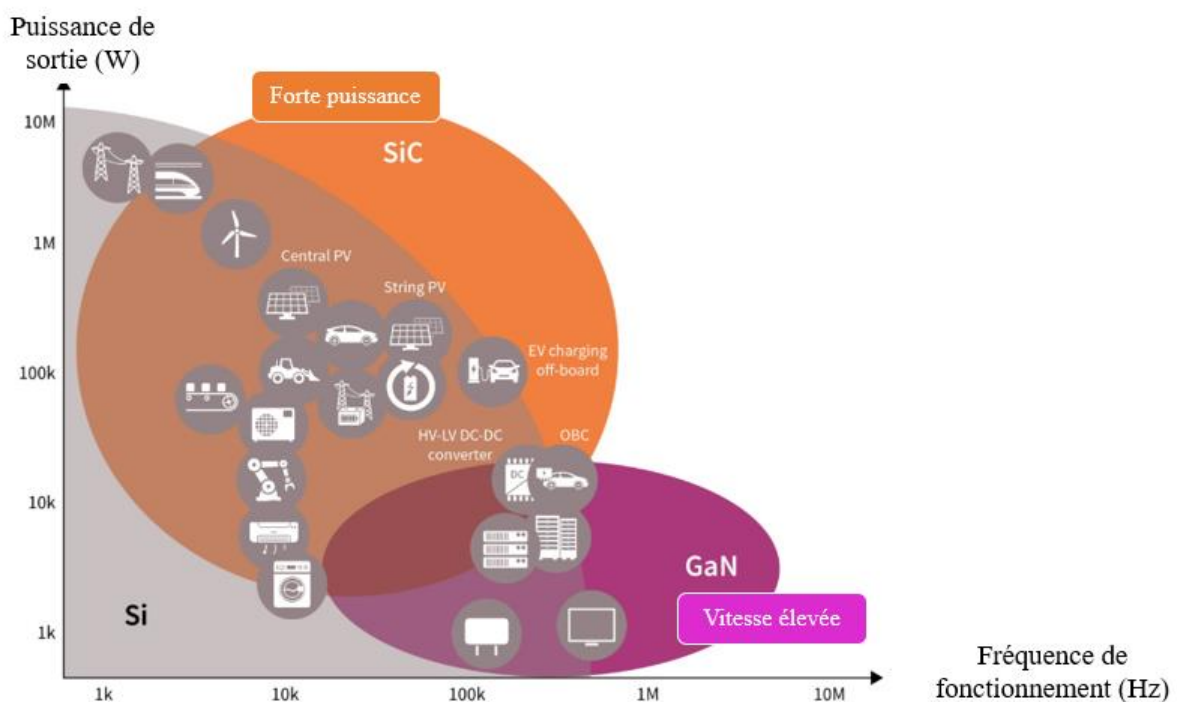


Figure I-1. Comparaison de la fréquence et de la puissance des différents matériaux semi-conducteurs [28]

La Figure I-1 présente les positionnements technologiques respectifs du Si, SiC et GaN. Des zones de chevauchement des applications en électronique de puissance sont présentées. Dans ces cas, le choix entre les différents matériaux se base sur la densité, l'efficacité et le coût défini pour l'application désirée. Les produits à base du Si, tels que les MOSFET à super jonction et les IGBT, peuvent être utilisés sur une large plage de fréquence (de quelques Hz à plusieurs centaines de kHz) et pour des tensions allant de quelques volts à plusieurs kilo-volts. Le SiC se retrouve dans les applications de forte puissance dont la tension est au-delà de 650V. Des études comparatives ont été réalisées entre le MOSFET SiC et l'IGBT Si pour le même niveau de tension (1200V et 1700V) [29]–[31]. Une forte diminution des énergies de commutation a été observée dans le cas du MOSFET SiC. Ceci se traduit par une diminution des pertes et par la suite par une augmentation du rendement du système et/ou une diminution de son volume. Concernant le GaN, on le trouve plutôt dans les applications de plus faible puissance, de tension inférieure à 650V et à hautes fréquences (au-delà du mégahertz).

Le SiC et le GaN sont les meilleurs candidats actuels pour les applications demandant une densité de puissance importante ou une fréquence de commutation élevée. Mais jusqu'à nos jours, ces composants ne peuvent pas remplacer définitivement le Si qui reste une solution rentable (et fiable) pour un nombre non négligeable de systèmes. Ceci est dû principalement aux difficultés de mise en œuvre des transistors à grand gap. Leurs propriétés intrinsèques avancées les rendent plus sensibles à leur boîtier. Ce dernier doit être donc optimisé dans le but de tendre vers un package ayant le moins d'influence possible sur le fonctionnement des interrupteurs, notamment durant leur commutation. Ce dernier point sera donc traité dans la partie suivante.

I.3 La commutation des transistors

Les propriétés intrinsèques des matériaux semi-conducteurs impactent fortement le comportement des transistors autant en commutation qu'en conduction. Cependant, l'environnement de fonctionnement de ces transistors doit être pris en compte pour évaluer d'une manière adéquate leurs performances. Pour cette raison, la cellule de commutation, cœur des convertisseurs, sera présentée par la suite. Les éléments parasites de cette cellule, intervenant dans la commutation, seront ainsi décrits. Ceci permettra de mettre en évidence les éléments clefs pour pouvoir profiter des performances élevées des semi-conducteurs rapides.

I.3.1 Définition de la cellule de commutation

La cellule de commutation est le cœur des convertisseurs statiques de l'électronique de puissance. Elle est constituée de deux interrupteurs, High Side (HS) et Low Side (LS), commandés périodiquement de manière complémentaire. La structure de la cellule de commutation la plus élémentaire d'un convertisseur abaisseur de tension est représentée dans la Figure I-2(a). Dans ce cas, le transistor LS contrôle la commutation et le transistor HS est en mode diode (commutations spontanées pendant les temps morts).

Comme le montre la Figure I-2(b), le fonctionnement du convertisseur est divisé en deux phases. La phase 1 correspond à la mise en conduction du transistor LS. L'énergie est transférée de la source de tension d'entrée (V_{DC}), ou plus précisément la capacité de découplage d'entrée du convertisseur, vers la charge présentée par une source de courant (I_{ch}). La phase 2, appelée

phase de roue libre, démarre lorsque le transistor LS passe à l'état de blocage. Le transistor HS joue le rôle de la diode de roue libre assurant ainsi la continuité du courant de la charge.

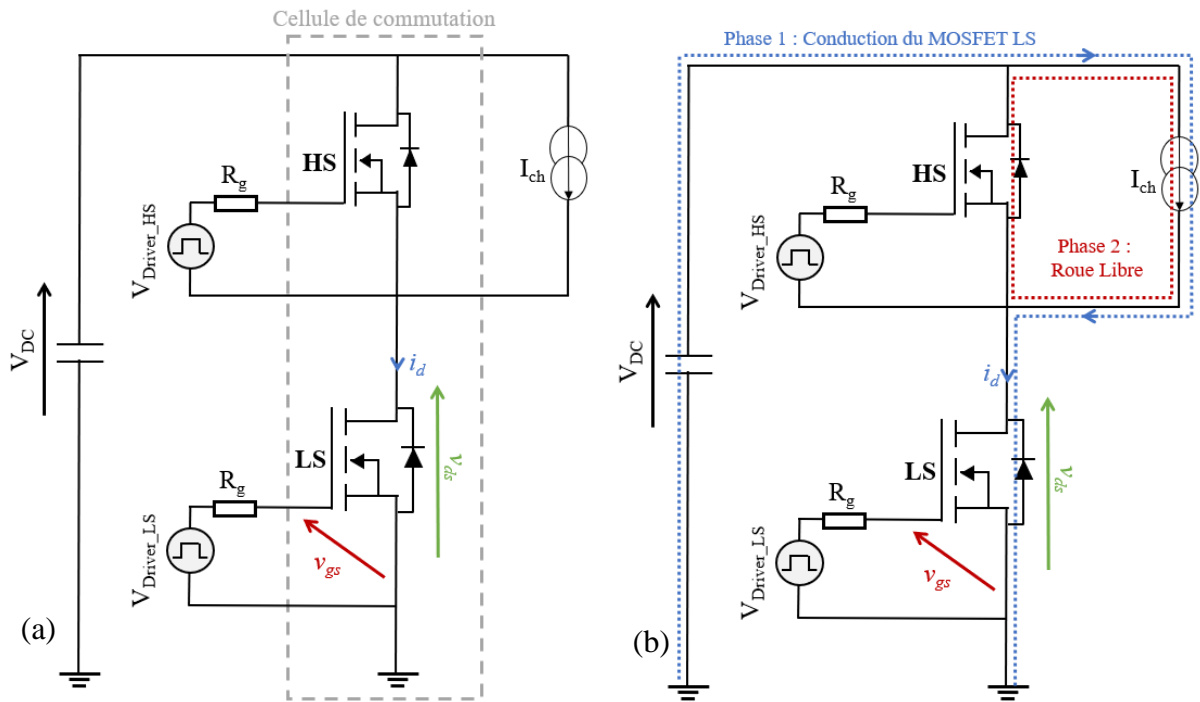


Figure I-2. Convertisseur abaisseur de tension (a) Structure (b) Phases de fonctionnement

En considérant un fonctionnement idéal du convertisseur, les formes d'ondes obtenues pour la tension V_{gs} , le courant I_d et la tension V_{ds} durant les deux phases sont présentées dans la Figure I-3. Nous considérons que le courant I_{ch} de sortie et la tension V_{DC} d'entrée sont parfaitement constants.

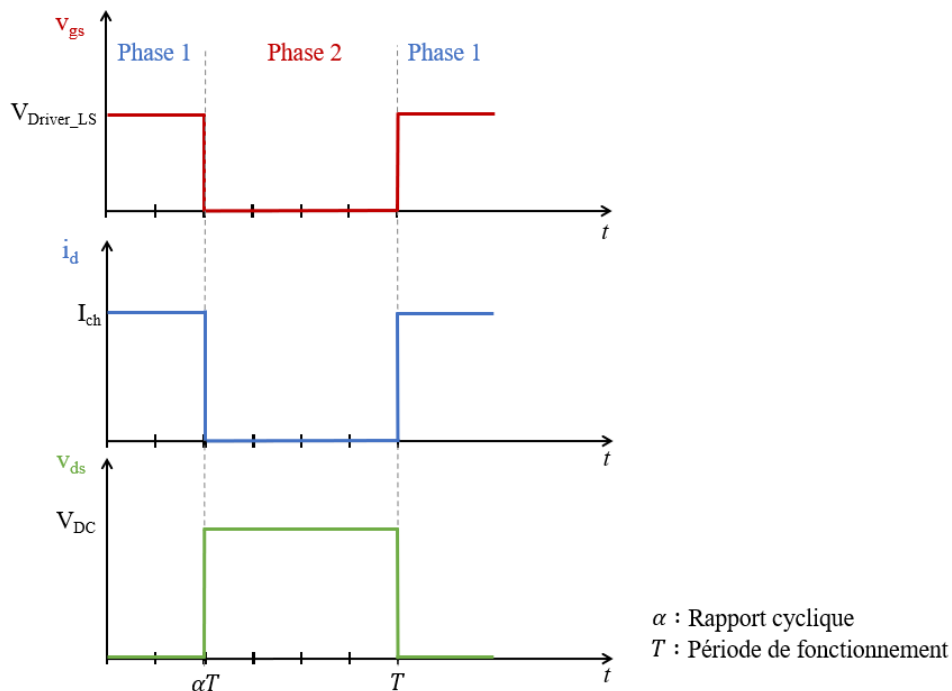


Figure I-3. Formes d'onde idéales sur une phase de fonctionnement du convertisseur de puissance

Ces allures sont loin de représenter la réalité. En effet, les éléments parasites jouent un rôle significatif pendant la commutation affectant ainsi les formes d'ondes de V_{gs} , I_d et V_{ds} . Ces éléments sont présentés dans le paragraphe suivant.

I.3.2 Éléments parasites associés à la cellule de commutation

Les éléments parasites principaux associés à la cellule de commutation sont présentés dans la Figure I-4. Ces éléments peuvent être divisés en trois catégories : les éléments inductifs, les éléments capacitifs et les éléments résistifs. Notons que l'ensemble des inductances sont couplées par des couplages mutuels qui n'apparaissent pas sur la figure I-4 afin de ne pas la surcharger.

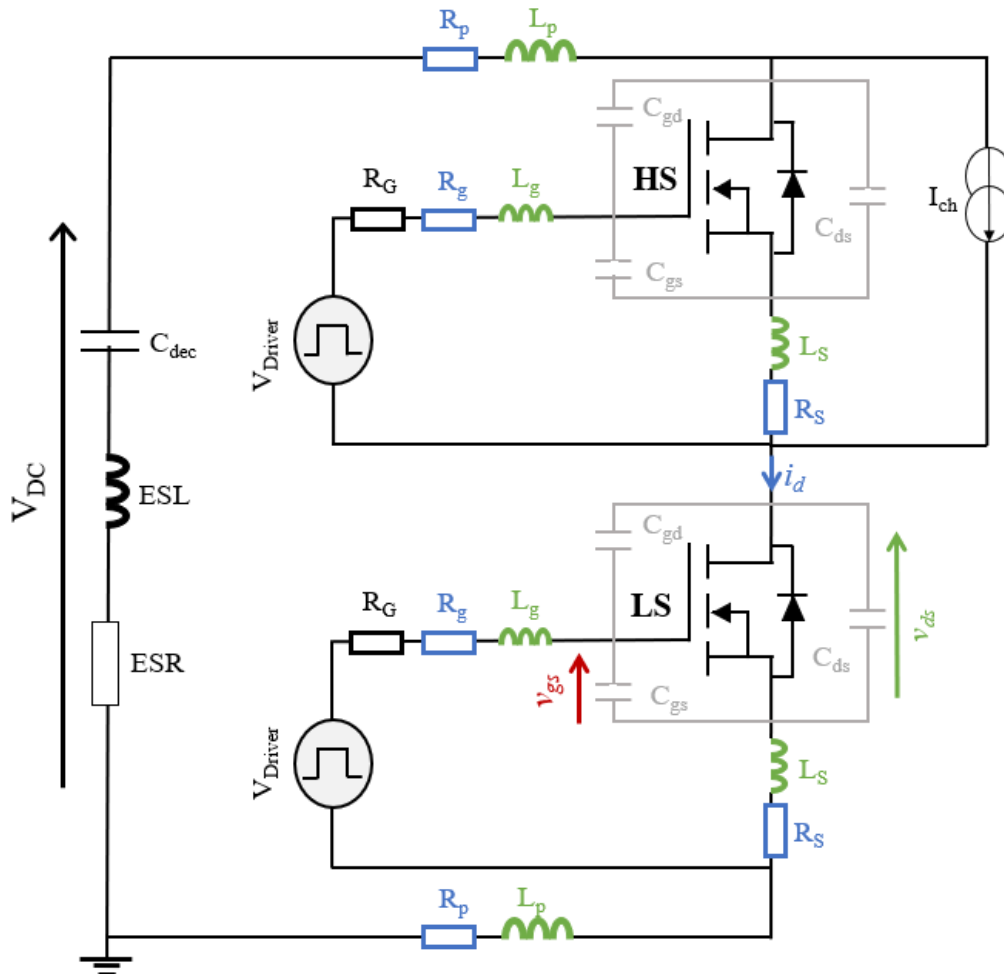


Figure I-4. Éléments parasites influant la commutation du MOSFET

I.3.2.1 Les éléments inductifs

Comme présenté dans la Figure I-5, nous identifions trois inductances principales dans la cellule de commutation : inductance de la maille de commutation L_{CCL} , inductance de la maille de commande L_{grille} , inductance commune de source L_S .

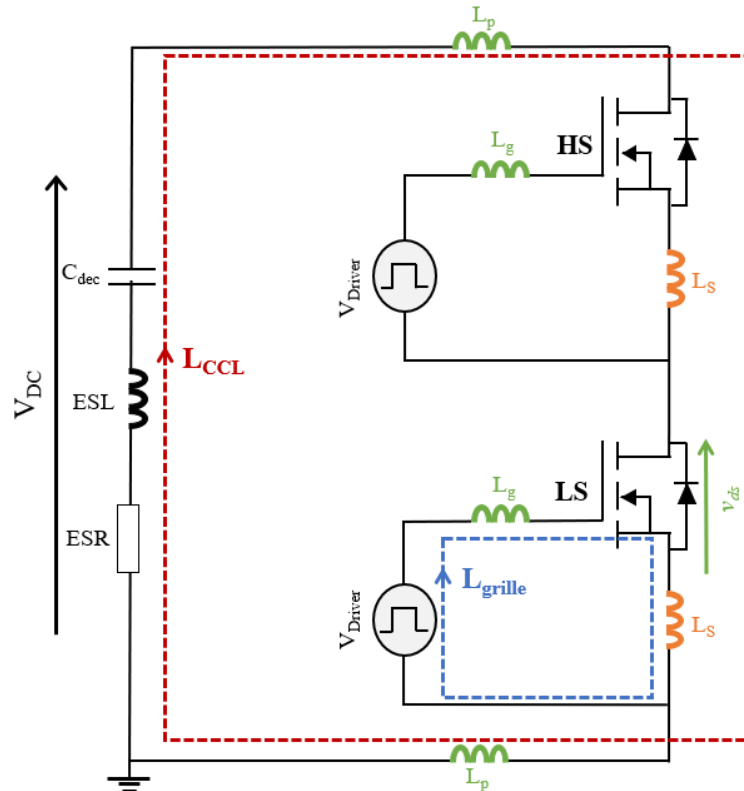


Figure I-5. Eléments parasites inductifs

- Inductance de la maille de commutation L_{CCL}

Elle est formée par l'association des inductances dues aux interconnexions de l'assemblage (inductance de la maille de puissance L_p , inductance commune de source L_s , inductance série du condensateur de découplage ESL) et l'inductance du bus DC. Cette dernière inductance n'est pas prise en compte dans notre étude puisque l'introduction d'une capacité de découplage (C_{dec}), bien dimensionnée, limite son effet [32].

L'inductance L_{CCL} est responsable de la surtension sur v_{ds} observée pendant la mise en blocage du transistor LS. La tension du bus (V_{DC}) doit être donc choisie en respectant une marge de sécurité avec la tenue en tension du transistor [33]. De plus, cette inductance ralentit la commutation et augmente les pertes. Elle entre en résonance haute fréquence avec la capacité de sortie (C_{OSS}) des transistors provoquant donc des perturbations CEM plus importantes [34], [35].

- Inductance de la maille de commande L_{grille}

Elle est constituée par l'inductance entre le circuit de commande et la grille du transistor (L_g) et l'inductance commune de source (L_s).

L'inductance L_{grille} ralentit l'établissement de la tension v_{gs} , provoquant donc une réduction de la vitesse de commutation. De plus, cette inductance se met en résonance avec les capacités C_{gs} et C_{gd} du transistor provoquant des perturbations sur le signal de grille. Ceci peut causer une mise en conduction et un blocage intempestif du MOSFET ainsi que sa détérioration par destruction de la grille (particulièrement dans le cas de l'usage des composants GaN) [35].

- Inductance commune de source L_s

Elle constitue le couplage entre la maille de puissance et la maille de commande. Pendant la commutation du transistor, une tension est appliquée à ses bornes. Elle s'oppose à la variation de la tension v_{gs} provoquant donc un ralentissement de la commutation. Pour une cellule de commutation composée de deux transistors, HS et LS, cette inductance peut aboutir à leurs conductions simultanées conduisant à un court-circuit de l'alimentation [36].

1.3.2.2 Les éléments capacitifs

Deux catégories principales d'éléments parasites capacitifs sont identifiées : les capacités inter-électrodes des transistors et les capacités de mode commun.

- Éléments capacitifs inter-électrodes et éléments capacitifs du packaging

Les capacités inter-électrodes du MOSFET, C_{gs} , C_{gd} et C_{ds} , sont présentées dans la Figure I-6. Ces capacités exercent une influence primordiale sur le comportement dynamique des transistors. Diminuer leurs valeurs revient donc à accélérer la commutation.

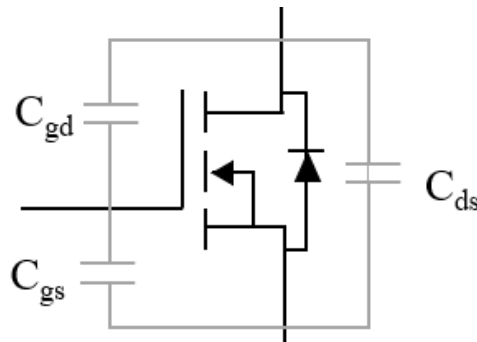


Figure I-6. Capacités inter-électrodes du MOSFET

Pour les composants à grand gap, les faibles valeurs de ces capacités permettent d'avoir une commutation plus rapide et diminue par la suite les pertes par commutation [37]. Mais cet avantage, rend le fonctionnement de l'interrupteur plus affecté par son environnement, notamment à cause des capacités parasites ajoutées par les interconnexions du packaging en parallèle des capacités inter-électrodes.

- Capacités de mode commun C_{OUT_GND} , C_{DC+_GND} et C_{DC-_GND}

Dans la Figure I-7, nous identifions les capacités de mode commun entre les potentiels positif et négatif du bus DC et la terre, C_{DC+_GND} et C_{DC-_GND} , ainsi que la capacité entre la phase et la terre C_{OUT_GND} [38]. Notons bien que, par soucis de simplification, sur la figure I-6 ces capacités ont été représentées par rapport aux dissipateur thermique, mais elles sont bien présentes avec tout élément qui est relié à la terre.

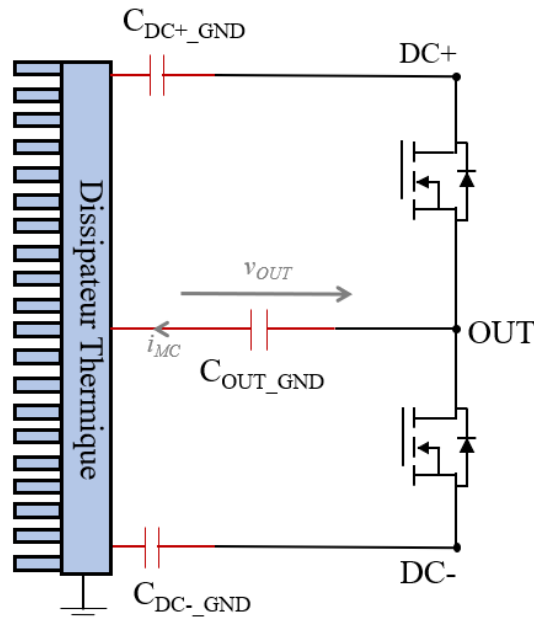


Figure I-7. Capacités de mode commun

La variation de la tension (dv_{OUT}/dt) pendant la commutation conduit à une génération de courant de mode commun par la capacité C_{OUT_GND} , comme le présente la formule (I.5) suivante :

$$i_{MC} = C_{OUT_GND} \times \frac{dv_{OUT}}{dt} \quad (I.5)$$

Sachant que la vitesse de commutation ($\frac{dv_{OUT}}{dt}$) du Si est nettement plus faible que celle des composants à grand gap, l'effet du courant de mode commun pour ces derniers devient donc plus important.

Les capacités C_{DC+_GND} et C_{DC-_GND} permettent de reboucler une partie du courant de mode commun localement dans le module de puissance. Leur symétrisation est nécessaire pour éviter un couplage entre le mode commun et le mode différentiel. Ceci sera détaillé dans le paragraphe I.4.3.3.

I.3.2.3 Les éléments résistifs

Les résistances parasites R_g , R_p et R_s sont principalement dues à la connectique et aux pistes dans le module. Les résistances R_p et R_s sont responsables d'une partie des pertes par conduction. La résistance R_g affecte la commutation en la ralentissant puisque la capacité d'entrée C_{iss} se charge à travers cette résistance.

Pour mieux appréhender les effets des éléments parasites, une description de la commutation dans un bras d'onduleur sera effectuée par la suite.

I.3.3 Description de la commutation

Dans cette partie, une description de la commutation dans un bras d'onduleur à base de MOSFET SiC est présentée pour comprendre l'effet de chaque élément parasite sur les formes d'ondes en commutation [39], [40]. La mise en conduction et le blocage sont étudiés dans le cas où le transistor LS contrôle la commutation et le transistor HS est en mode Diode.

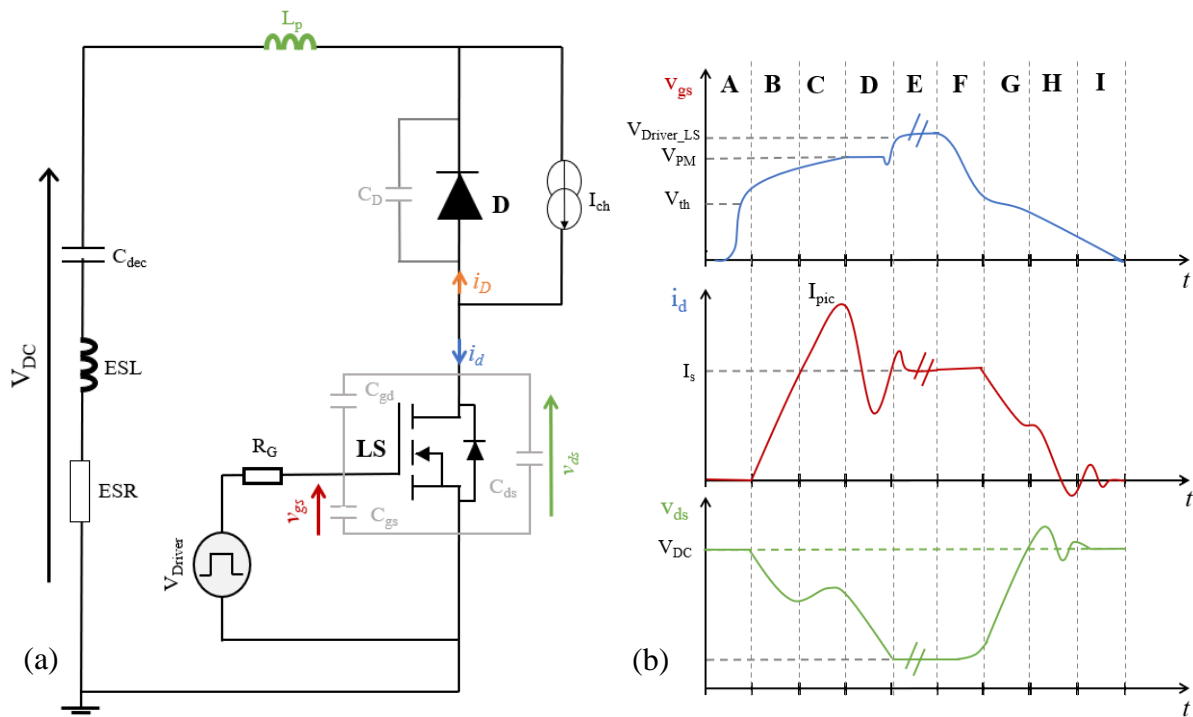


Figure I-8. (a) Schéma électrique simulé (b) Formes d'onde pendant la mise en conduction et au blocage du MOSFET

La mise en conduction du transistor peut être décrite en 4 phases : A, B, C et D

Phase A :

La tension v_{gs} croît jusqu'à atteindre la tension seuil V_{th} . Cette augmentation est due à la charge de la capacité C_{iss} à travers la résistance de grille R_G . Les autres grandeurs du système restent inchangées.

Phase B et C :

Une fois la tension de seuil atteinte, le transistor LS commence à conduire et le courant de drain i_d commence à croître. La variation de courant di_d/dt dans le transistor induit une tension au niveau de l'inductance parasite L_p . Ceci provoque une chute au niveau de la tension v_{ds} . Le courant circulant dans la diode i_D décroît en suivant un comportement complémentaire à l'augmentation de i_d . Lorsque le courant i_D s'annule le phénomène de recouvrement inverse de la diode commence. Le courant i_d croît donc à une valeur supérieure à celle de I_{ch} . Il atteint son maximum I_{pic} , égal à la somme du courant de la charge et du courant maximal de recouvrement inverse de la diode pour ce point de fonctionnement. La charge de la capacité C_{iss} se poursuit et la tension v_{gs} continue à croître.

Phase D :

Lorsque les charges sont totalement évacuées, la diode retrouve son pouvoir de blocage, le courant i_d va donc rejoindre la valeur I_{ch} . La tension v_{ds} décroît entraînant une diminution de la tension v_{dg} . Cette dernière s'oppose à l'augmentation de la tension v_{gs} . La capacité de Miller C_{gd} absorbe la majorité du courant de la commande. La charge dans la capacité C_{gs} se stabilise et par la suite la tension v_{gs} atteint la tension dite de plateau (V_{PM}). A la fin de cette phase la tension v_{ds} s'annule.

Phase E : La tension v_{gs} croit à nouveau jusqu'à atteindre V_{Driver} .
La mise en conduction se termine à ce stade.

Le blocage du transistor peut aussi se décrire en 4 phases : F, G, H et I

Phase F :

La capacité C_{iss} se décharge due à la tension nulle (ou négative) appliquée par le driver. Une diminution au niveau de la tension v_{gs} est observée.

Phase G :

La tension v_{ds} croit et les capacités C_{gd} et C_{ds} se chargent. L'augmentation de v_{gd} qui s'oppose à la diminution de v_{gs} provoque à nouveau l'apparition du plateau de Miller.

L'augmentation de v_{ds} provoque une réduction de la tension au niveau de la diode. La capacité C_{ds} se décharge. Une chute de courant est donc observée au niveau de i_d .

Phase H :

La capacité C_{gd} est totalement chargée, la tension v_{gs} continue à décroître ainsi que le courant i_d . Ce dernier s'annule lorsque v_{gs} devient inférieure à V_{th} .

La variation de courant di_d/dt aux bornes de l'inductance parasite L_p provoque une apparition d'une surtension au niveau de la tension v_{ds} .

Phase I :

La tension v_{gs} s'annule ainsi que le courant i_d . La tension v_{ds} se stabilise à la tension de bus V_{dc} .
La commutation se termine.

Nous pouvons donc remarquer que les éléments parasites ont un impact important sur la surtension, sur la vitesse de commutation des MOSFETs et par la suite sur le rendement du système. Afin de profiter des performances élevées des semi-conducteurs à grand gap, l'inductance parasite de la maille de commutation doit être minimisée ainsi que les capacités parasites ajoutées par le package. Un routage adéquat doit être donc réalisé. Des solutions d'amélioration de l'assemblage seront présentées dans le paragraphe I.5.2.

De plus, la vitesse de commutation élevée des semi-conducteurs à grand gap, rend le courant de mode commun un élément principal à prendre en compte dès la phase de conception des systèmes. Ceci sera détaillé dans le paragraphe suivant.

I.4 La compatibilité électromagnétique (CEM)

Dans cette partie, une introduction aux concepts de la compatibilité électromagnétique sera effectuée. Après quelques définitions des notions de base de la CEM, nous procéderons à la présentation des perturbations conduites générées principalement par la commutation des interrupteurs au sein des convertisseurs de puissance.

I.4.1 Définition de la compatibilité électromagnétique

Selon le Vocabulaire Électrotechnique International VEI 161-01-07, la compatibilité électromagnétique (CEM) est la capacité d'un dispositif électronique, d'un équipement ou d'un système à fonctionner de façon satisfaisante dans son environnement électromagnétique sans produire des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement.

I.4.2 Généralités sur la CEM

I.4.2.1 Émission et susceptibilité électromagnétique

L'émission et la susceptibilité électromagnétique sont les deux grandes catégories de la CEM. L'émission représente les perturbations électromagnétiques provoquées par le système à son environnement. Le niveau de ces perturbations doit être inférieur à un seuil prédéfini. La susceptibilité représente l'immunité d'un système à tolérer, sans dysfonctionnement, un niveau minimum d'agressions électromagnétiques.

I.4.2.2 Couplage par conduction et couplage par rayonnement

L'étude CEM des systèmes électriques se base sur trois entités : la source qui est le générateur des perturbations, les chemins de propagations ou les couplages, et la victime qui est l'appareil susceptible [41].

Comme le montre la Figure I-9, les perturbations électromagnétiques se propagent entre la source et la victime soit par conduction, soit par rayonnement. Pour le couplage par conduction, une liaison galvanique existe entre la source et la victime. Les variations rapides de courant et de tension sont dans ce cas les stimulateurs des perturbations. Pour le couplage par rayonnement, la source et la victime sont éloignées et sans liaison galvanique. Les perturbations sont sous forme de champs électromagnétiques.

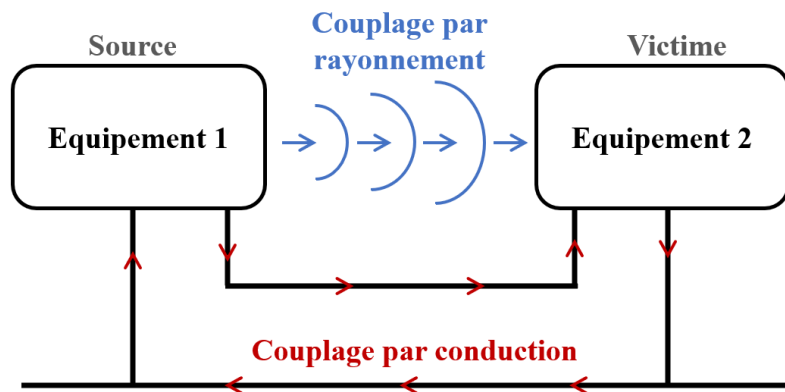


Figure I-9. Conduction et rayonnement [41]

Dans notre étude, nous allons nous intéresser aux perturbations électromagnétiques qui se propagent par conduction. Pour un système électrique, plusieurs types de couplages par conduction existent [42], [43]:

- Couplage par impédance commune : la source agresse la victime au travers de l'impédance commune existante entre ces deux derniers
- Couplage capacitif : le phénomène perturbateur est la variation de la tension. Les perturbations sont ramenées de la source à la victime au travers d'un couplage capacitif.
- Couplage inductif : le phénomène perturbateur est la variation de courant. La source est une boucle parcourue par un courant variable, qui par un couplage inductif, génère un courant induit dans la boucle victime.

Dans les systèmes électriques, les couplages inductifs et capacitifs sont prédominants. L'optimisation des chemins de propagation doit donc être prise en compte pendant la phase de conception.

I.4.2.3 Mode commun et mode différentiel

Il existe deux types de perturbations conduites, les perturbations de mode différentiel (MD) et les perturbations de mode conduites (MC). Comme le montre la Figure I-10(a), le courant de mode différentiel circule dans les conducteurs entre la source et la victime. Le courant I_{MD} dans le sens « aller » est égal à celui dans le sens « retour ». Pour le mode commun, comme présenté dans la Figure I-10(b), le courant circule dans les liaisons entre les équipements ainsi que dans la référence équipotentielle.

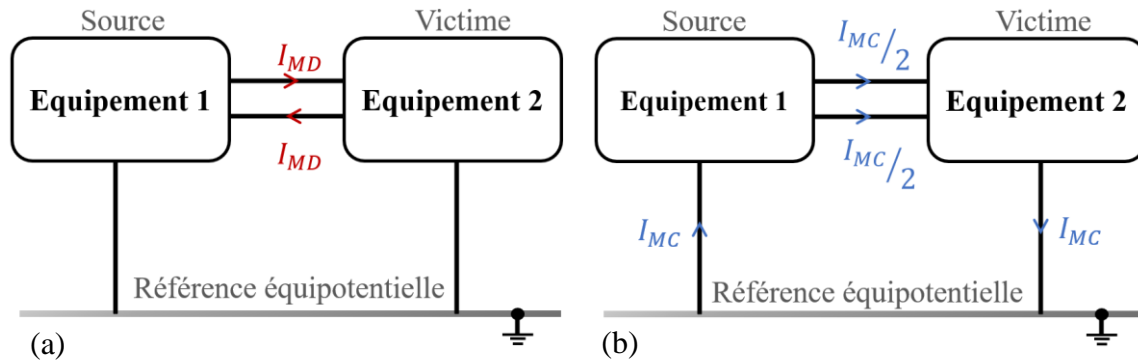


Figure I-10. Perturbations (a) de mode différentiel (b) de mode commun

I.4.2.4 Les normes CEM

Des limites maximales d'émissions et d'immunités des perturbations conduites et rayonnées sont définies par des normes CEM données par les organismes internationaux. A titre d'exemple, dans le domaine automobile, nous pouvons citer la norme CISPR 25 du Comité International Spécial des Perturbations Radioélectriques et la norme ECE-R10 de la Commission Economique de l'Europe.

Comme déjà présenté, la CEM fait intervenir trois acteurs principaux : la source, le couplage et la victime. Les normes sont donc là pour assurer le bon fonctionnement des équipements partageant le même environnement électromagnétique. La Figure I-11, présente les niveaux, les limites et les marges d'immunité et d'émission définies dans les normes CEM. Le niveau d'émission est la limite maximale des perturbations que peut émettre la source dans des conditions données. Ce niveau doit être inférieur au niveau de compatibilité afin de ne pas surcharger l'environnement. Le niveau d'immunité représente la limite à partir de laquelle il y a un dysfonctionnement du système représentant la victime. Pour avoir une bonne marge de sécurité, le niveau d'immunité doit être suffisamment éloigné de celui d'émission.

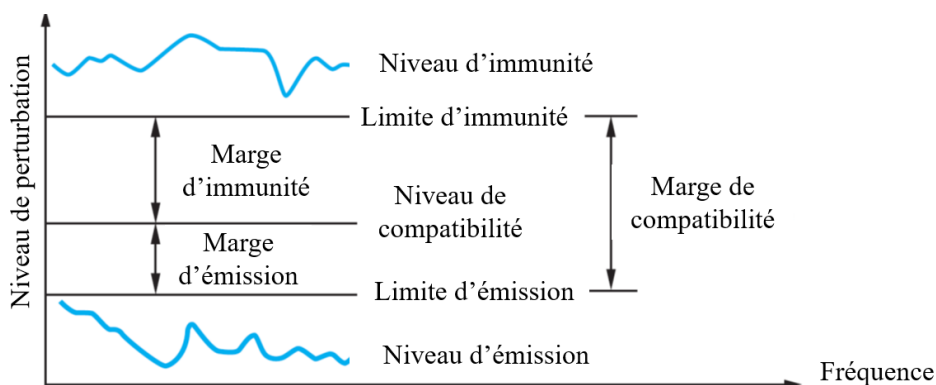


Figure I-11. Niveaux, limites et marges CEM [42]

Ces normes permettent ainsi de définir la démarche des mesures (tests à mener, installation, points de mesures...) ainsi que les appareils à utiliser. Ceci permet d'avoir un environnement figé et par la suite des résultats reproductibles.

I.4.3 Perturbations conduites dans les convertisseurs de puissance

Dans le cadre de cette thèse, nous nous intéressons aux perturbations électromagnétiques conduites de mode commun provoquées par les convertisseurs de puissance. Celles-ci sont considérées, dans la plupart des cas, les plus compliquées à maîtriser et les plus contraignantes [44].

Dans cette partie, les sources de perturbation et les couplages parasites sont présentés.

I.4.3.1 Sources de perturbations

L'identification de la source de perturbation est une étape primordiale pour une bonne étude CEM. Dans les convertisseurs de puissance, les perturbations CEM conduites sont causées principalement par la commutation des interrupteurs. Pendant le changement d'état de ces derniers, des variations brusques et rapides de tension (dv/dt) et de courant (di/dt) se produisent. La forte variation de tension induit des courants perturbateurs à travers les éléments parasites provenant de l'association du module avec le plan de masse. Ainsi, la variation de courant importante peut provoquer l'apparition d'une tension perturbatrice, dans le cas d'un module non symétrique, à travers les inductances parasites du module. Ceci conduit à un couplage entre le mode différentiel et le mode commun. C'est pourquoi, les interrupteurs de puissance sont considérés comme les sources principales des perturbations de tension et de courant dans les convertisseurs statiques [45].

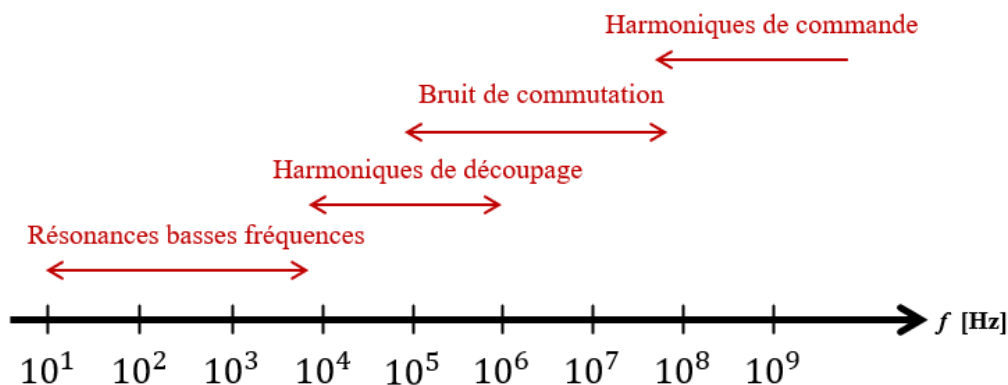


Figure I-12. Répartition spectrale des perturbations électromagnétiques conduites [46]

L'étendue fréquentielle des perturbations conduites est présentée dans la Figure I-12 [46]. Selon les plages de fréquences, les perturbations CEM peuvent être identifiées. Les résonances basses fréquences, entre 10Hz et 10kHz, sont liées principalement aux perturbations de mode différentiel telles que les harmoniques de courant des alimentations. Entre 10kHz et 1MHz, les harmoniques liés au découpage des interrupteurs de puissance dans les convertisseurs interviennent. En haute fréquence, deux bandes de fréquence existent. La première, entre 500kHz et 100MHz, correspond aux perturbations observées lors des commutations des transistors. La deuxième, au-dessus de 100MHz, représente les raies de commande des interrupteurs.

I.4.3.2 Chemins de propagations des perturbations

Afin d'évacuer la chaleur provoquée par les pertes par conduction et par commutation des semi-conducteurs, le module de puissance est placé sur un dissipateur thermique relié à la terre (GND). Un couplage sous la forme de capacités de mode commun est créé par cette association. Ces capacités parasites constituent donc un chemin de retour préférentiel pour les courants de mode commun qui se rebouclent en se propageant dans le GND. L'impact de ces couplages parasites est lié fortement aux valeurs de capacités ainsi qu'à leur symétrisation.

Les chemins principaux de propagation des courants de mode commun sont présentés dans la Figure I-13. La capacité C_{OUT_GND} en « parallèle » à la capacité C_{Charge_GND} sont formées entre le point milieu du module (OUT) et le plan de masse. Ces dernières sont les plus critiques puisqu'elles sont soumises au plus fort dv/dt pendant la commutation, constituant donc la source de génération de courant de mode commun. Leur minimisation est donc nécessaire dès la phase de conception. Les capacités C_{DC+_GND} et C_{DC-_GND} correspondent aux capacités formées entre le bus DC et le plan de masse. Elles permettent de reboucler le courant parasite constituant et agissent donc comme un filtre de mode commun.

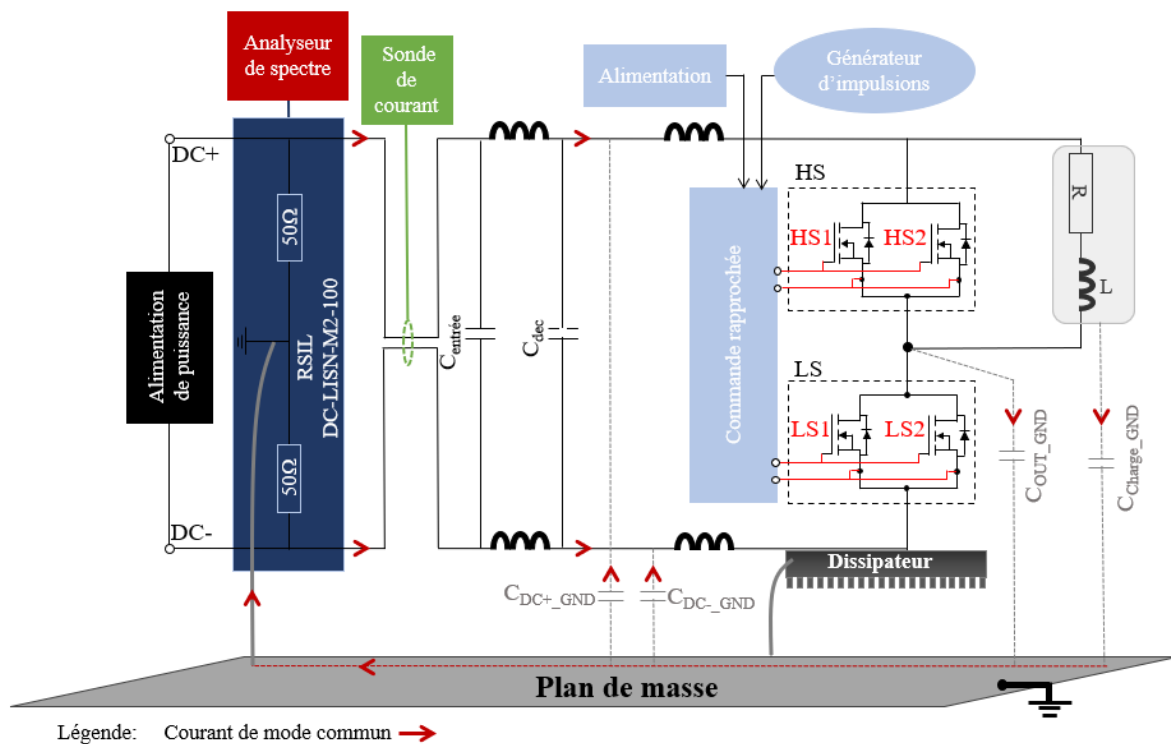


Figure I-13. Schéma électrique présentant la propagation des courants de mode commun liés aux variations du potentiel au borne de la charge

I.4.3.3 Couplage entre le mode commun et le mode différentiel

La minimisation de la capacité entre le nœud « OUT » et le plan de masse est nécessaire pour minimiser la génération du courant de mode commun lors de la commutation des transistors. Les capacités entre le bus DC et le plan de masse (C_{DC+_GND} et C_{DC-_GND}) jouent le rôle d'un filtre de mode commun, l'augmentation de leurs valeurs est avantageuse pour assurer un meilleur comportement CEM du module. Néanmoins, un couplage entre le mode différentiel et

le mode commun peut se produire si le package n'est pas conçu d'une manière symétrique [47], [48].

Comme cela est présenté dans la Figure I-14, l'augmentation de la fréquence du courant de mode différentiel circulant dans le bus DC produit une chute de tension ΔV_{DC+} et ΔV_{DC-} aux bornes des inductances parasites L_{DC+} et L_{DC-} respectivement. Ceci induit directement une variation de tension aux bornes des capacités C_{DC+_GND} et C_{DC-_GND} . Des courants de mode commun sont donc générés par chacune de ces capacités. Dans le cas où les inductances L_{DC+} et L_{DC-} sont égales ainsi que les capacités C_{DC+_GND} et C_{DC-_GND} , les variations de tension et par la suite les courants de mode commun induits seront égaux. Puisque ces courants sont de sens opposés, leur symétrisation permet leur auto élimination. Pour ces raisons, la symétrisation des éléments parasites du package est nécessaire pour avoir un bon comportement CEM du module.

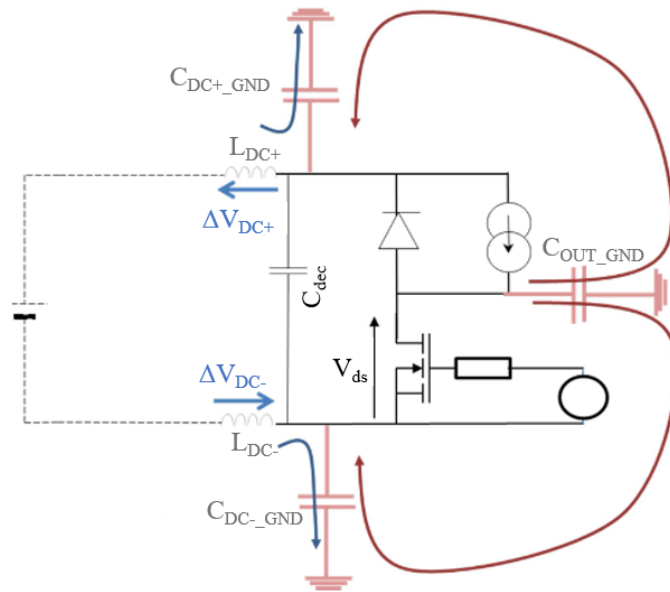


Figure I-14. Schéma électrique présentant le couplage entre le mode commun et le mode différentiel [35]

Cet intérêt de symétrisation a été démontré analytiquement dans [49]. Le schéma électrique étudié regroupant les éléments inductifs et capacitifs, dont l'entrée est reliée au RSIL et la sortie au convertisseur de puissance, est représenté d'une manière simplifiée dans la Figure I-15.

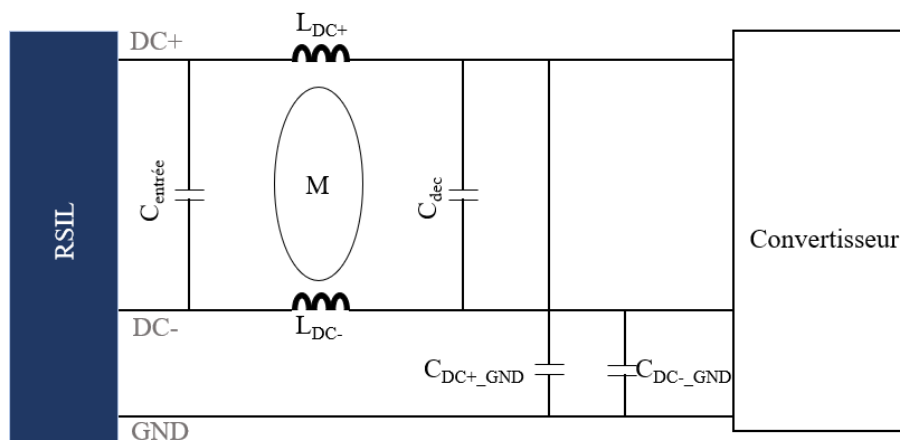


Figure I-15. Les éléments inductifs et capacitifs de la partie du circuit située entre le RSIL et le convertisseur [50]

Dans le but de définir le comportement CEM de cette partie de circuit, un schéma équivalent basé sur un réseau d'impédances est représenté dans la Figure I-16. Les grandeurs électriques d'entrée sont alors exprimées en fonction de celles de sortie avec l'équation (I.6).

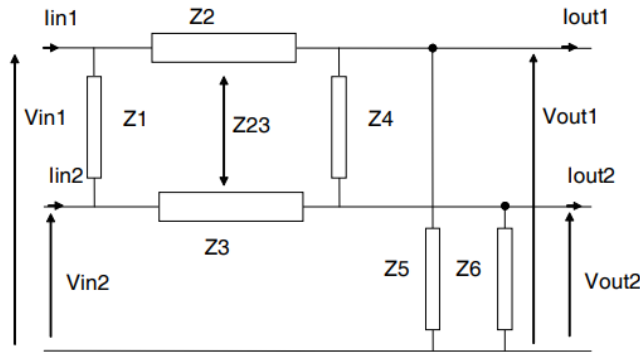


Figure I-16. Schéma électrique équivalent [50]

$$\begin{bmatrix} V_1 \\ V_2 \\ I_1 \\ I_2 \end{bmatrix}_{in} = [Mat] \times \begin{bmatrix} V_1 \\ V_2 \\ I_1 \\ I_2 \end{bmatrix}_{out} \quad (I.6)$$

[Mat] est une matrice composée des impédances et des inductances mutuelles du schéma équivalent de la Figure I-16. Elle est représentée en détail dans [49]. Dans le but d'analyser judicieusement le comportement CEM du système, les relations de base liant le courant et la tension du mode différentiel (I_{MD} , V_{MD}) et du mode commun (I_{MC} , V_{MC}) aux grandeurs électriques d'entrée et de sortie sont utilisées. Ces relations sont représentées sous forme matricielle par l'équation (I.7) suivante :

$$\begin{bmatrix} V_{MD} \\ I_{MD} \\ V_{MC} \\ I_{MC} \end{bmatrix}_{in/out} = [T] \times \begin{bmatrix} V_1 \\ V_2 \\ I_1 \\ I_2 \end{bmatrix}_{in/out} \quad (I.7)$$

[T] est la matrice liant la base V/I à la base MD/MC donnée par l'équation (I.8) suivante :

$$[T] = \begin{bmatrix} 1 & -1 & 0 & 0 \\ 0 & 0 & \frac{1}{2} & -\frac{1}{2} \\ \frac{1}{2} & \frac{1}{2} & 0 & 0 \\ 0 & 0 & 1 & 1 \end{bmatrix} \quad (I.8)$$

En se référant à l'équation (I.6) les perturbations CEM, du cotés RSIL, peuvent être représentées par rapport à celle de sortie, du côté convertisseur. L'équation (I.9) montre donc la relation entrée/sortie dans la base MD/MC :

$$\begin{bmatrix} V_{MD} \\ I_{MD} \\ V_{MC} \\ I_{MC} \end{bmatrix}_{in} = [T] \times [Mat] \times [T]^{-1} \times \begin{bmatrix} V_{MD} \\ I_{MD} \\ V_{MC} \\ I_{MC} \end{bmatrix}_{out} = [M] \times \begin{bmatrix} V_{MD} \\ I_{MD} \\ V_{MC} \\ I_{MC} \end{bmatrix}_{out} \quad (I.9)$$

Les termes de la matrice [M] sont assez complexes et nécessitent des développements mathématiques lourds. Pour cette raison, seuls les termes représentant le couplage entre le mode différentiel et le mode commun sont détaillés ici. Les autres termes et la démarche de calcul sont effectuées dans [49]. [M] est donnée sous forme simplifiée dans l'équation (I.10) suivante :

$$[M] = \begin{array}{cc} \text{MD} & \text{Couplage des modes} \\ \begin{array}{|cc|} \hline a1 & a2 \\ \hline b1 & b2 \\ \hline \end{array} & \begin{array}{|cc|} \hline a3 & a4 \\ \hline b3 & b4 \\ \hline \end{array} \\ \begin{array}{|cc|} \hline c1 & c2 \\ \hline d1 & d2 \\ \hline \end{array} & \begin{array}{|cc|} \hline c3 & c4 \\ \hline d3 & d4 \\ \hline \end{array} \\ & \text{MC} \end{array} \quad (\text{I.10})$$

avec

$$a_3 = \frac{Z_6 \times Z_2 - Z_5 \times Z_3 + Z_{23}(Z_5 - Z_6)}{Z_5 \times Z_6} \quad (\text{I.11})$$

$$a_4 = \frac{Z_2 - Z_3}{2} \quad (\text{I.12})$$

$$b_3 = \frac{2 \times Z_6 \times Z_2 - 2 \times Z_5 \times Z_3 + (Z_6 - Z_5) \times (Z_1 - 2 \times Z_{23})}{2 \times Z_5 \times Z_6 \times Z_1} \quad (\text{I.13})$$

$$b_4 = \frac{Z_2 - Z_3}{2 \times Z_1} \quad (\text{I.14})$$

$$c_1 = \frac{2 \times Z_5 \times Z_6 \times (Z_2 - Z_3) + Z_4 \times Z_{23} \times (Z_6 - Z_5) + Z_4 \times (Z_6 \times Z_2 - Z_5 \times Z_3)}{4 \times Z_4 \times Z_5 \times Z_6} \quad (\text{I.15})$$

$$c_2 = \frac{Z_2 - Z_3}{2} \quad (\text{I.16})$$

$$d_1 = \frac{Z_6 - Z_5}{2 \times Z_5 \times Z_6} \quad (\text{I.17})$$

$$d_2 = 0 \quad (\text{I.18})$$

Dans le cas où $Z_5=Z_6$ et $Z_2=Z_3$ les termes de la matrice [M] (a_3 , a_4 , b_3 , b_4 , c_1 , c_2 et d_1) relatives au couplage de mode sont nuls. Le mode différentiel et le mode commun sont donc découplés dans le cas d'un assemblage symétrique.

Après avoir présenté les effets des éléments parasites inductifs et capacitifs sur le fonctionnement des convertisseurs, un état de l'art des assemblages en électronique de puissance sera présenté par la suite. Plusieurs solutions permettant l'amélioration du package des convertisseurs seront ainsi citées.

I.5 L'assemblage en électronique de puissance

Pour un bon fonctionnement électrique, thermique et mécanique de la puce, le packaging est nécessaire. Nous pouvons identifier deux grandes familles : le composant discret (Figure I-17(a)) et le module de puissance (Figure I-17(b)) [51].

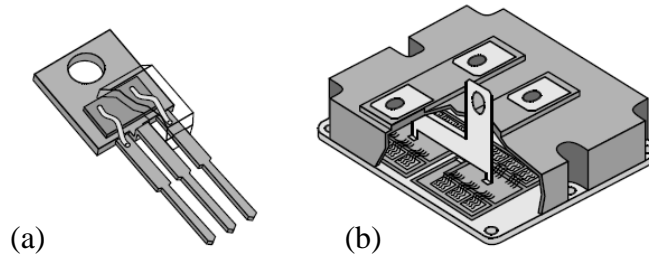


Figure I-17. Packaging en électronique de puissance (a) composant discret TO220 (b) module de puissance sur substrat DBC [52]

Le composant discret comporte souvent une seule puce, et est réservé généralement pour le domaine des faibles puissances. Le module de puissance, renferme plusieurs puces afin d'assurer une fonction d'électronique de puissance (bras d'onduleur, onduleur triphasé, redresseur ...). Dans le cadre de cette thèse, nous allons nous intéresser au module de puissance.

Dans le paragraphe suivant l'assemblage classique du module de puissance sur un dissipateur de chaleur sera décrit. Puis une présentation des voies permettant son amélioration sera effectuée.

I.5.1 Assemblage classique

Une vue en coupe de l'assemblage classique est présentée dans la Figure I-18. Les éléments du module sont constitués de matériaux conducteurs, isolants et des puces de puissance. Ceci rend critique le choix de chaque matériau pour avoir un assemblage robuste.

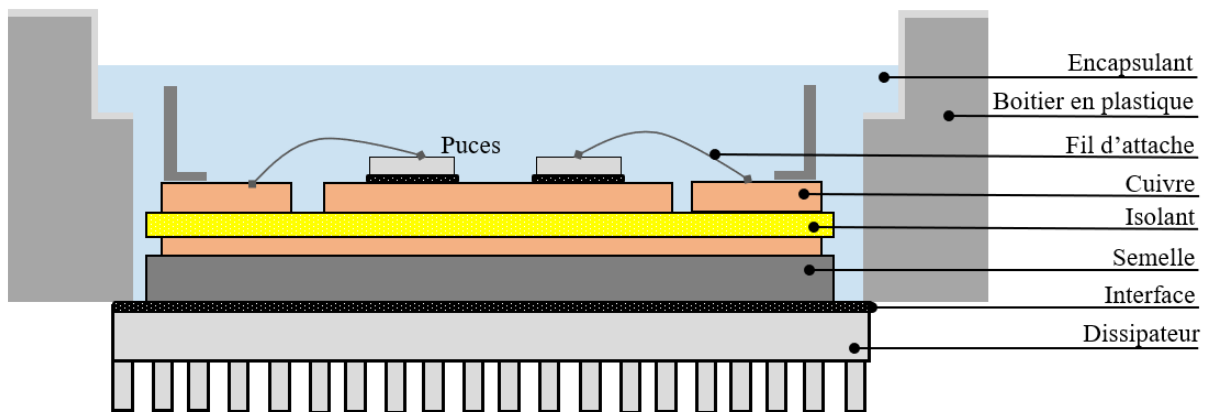


Figure I-18. Vue en coupe de l'assemblage classique

Le module de puissance renferme les puces semi-conductrices (interrupteurs) assurant la conversion d'énergie. La plupart des interrupteurs ont une structure verticale. La face supérieure est conductrice électriquement, de même pour la face inférieure qui assure également l'évacuation de chaleur de la puce. La brasure permet d'effectuer les liaisons mécanique, thermique et électrique entre la puce et le substrat ainsi qu'entre le substrat et la semelle. Le

substrat joue plusieurs rôles dans le module : il permet l'isolation électrique entre la puce et le dissipateur, il assure les connexions électriques entre les différents éléments du module et il offre un chemin pour évacuer la chaleur dissipée par la puce. Dans les assemblages conventionnels, le substrat utilisé est le Direct Bond Copper (DBC). Plusieurs alternatives peuvent le remplacer telles que le DBA (Direct Bond Aluminium), le SMI (Substrat Métallique Isolant), le AMB (Active Metal Brazing) [53]–[55]. La semelle, qui est souvent en cuivre, constitue le support mécanique pour le substrat. Elle est reportée sur le dissipateur via une interface thermique. Les interconnexions électriques entre la face avant de la puce et le reste du circuit sont réalisées par les fils d'attache. L'encapsulant protège les semi-conducteurs et les composants montés en surface de l'environnement (humidité, oxydation, produit chimique, gaz ...). Enfin le boîtier en plastique permet de protéger le module des chocs mécaniques.

L'amélioration du packaging en électronique de puissance est devenue une nécessité afin de profiter des performances avancées des transistors à grand gap. Cependant, jusqu'à nos jours, les assemblages conventionnels sont largement utilisés en pratique. La difficulté d'introduction des nouvelles technologies d'assemblage est justifiée par :

- Le temps pris pour s'assurer de la fiabilité et de l'efficacité des nouvelles technologies d'assemblage [56]. Les utilisateurs préfèrent garder les méthodes conventionnelles sûres et déjà industrialisées [55].
- Le coût puisque l'infrastructure nécessaire pour la fabrication des assemblages standards à base du SiC, comme les matériaux et les équipements, sont compatibles avec celles des assemblages à base du Si et ne nécessitent pas des coûts supplémentaires pour le développement de nouveaux matériaux et équipements d'assemblage [57].

Malgré les raisons citées ci-dessus, l'arrivée des semi-conducteurs à grand gap a rendu l'effet des éléments parasites du package important au sein du module de puissance. L'amélioration de cette brique technologique est devenue donc un sujet de recherche d'actualité en électronique de puissance.

I.5.2 Amélioration de l'assemblage classique pour s'adapter aux fortes vitesses de commutation

L'état de l'art a présenté plusieurs solutions afin d'améliorer l'assemblage classique en termes de commutation (impact des éléments parasites). Quatre voies seront présentées : élimination des fils d'attache, optimisation du routage, intégration des puces et position de la capacité de découplage.

I.5.2.1 L'élimination des fils d'attache

Les fils d'attache sont à l'origine d'une partie importante de l'inductance parasite de la maille de commutation. Malgré leur avantage économique et leur facilité d'utilisation, leur suppression est devenue une nécessité dans le but de minimiser l'inductance parasite et d'avoir des modules plus adaptés aux semi-conducteurs à grand-gap. De plus, ces fils peuvent se désolidariser de la métallisation de la puce ou se casser avec le vieillissement du module et les surintensités [58]–[60].

Dans ce qui suit, une comparaison entre un module conventionnel et un autre dans lequel les connexions sont assurées par un PCB rigide sera effectuée. Puis, une présentation de plusieurs solutions alternatives à ces fils sera faite.

- Pourquoi faut-il remplacer les fils d'attache ?

Une comparaison entre les performances d'un module conventionnel et d'un autre utilisant un PCB rigide pour les interconnexions a été réalisée par Mitsubishi Electric Corporation [61]. Comme le montre la Figure I-19, la surface du module est réduite de 36% en éliminant les fils d'attache. Ceci est due à la réduction de l'espace réservée pour la connexion des fils d'attache.

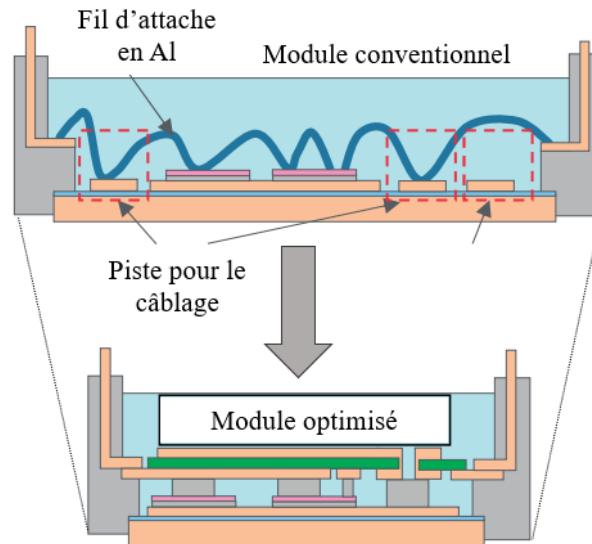


Figure I-19. Comparaison de la surface du module entre le module conventionnel et le module optimisé [61]

Comme cela est présenté dans le diagramme de la Figure I-20, l'inductance parasite de la maille de commutation, obtenue par simulation, est réduite d'une trentaine de pourcents dans le cas du package optimisé.

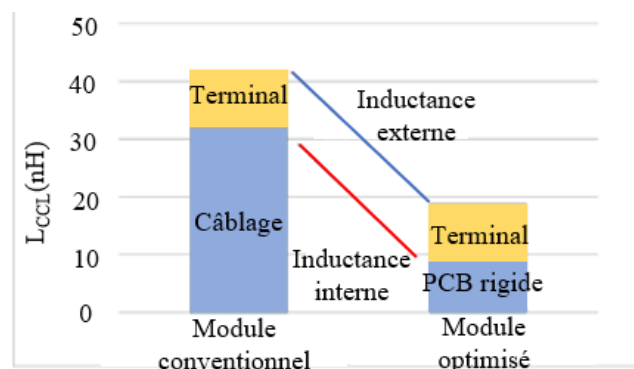


Figure I-20. Inductance de la maille de commutation (L_{CC1}) du module conventionnel et module optimisé [61]

- Solutions pour remplacer les fils d'attache

Changement des matériaux des fils d'attache

Les assemblages avec fils d'attache, généralement en aluminium (Al), peuvent être améliorés en les remplaçant par des fils d'attache ou des rubans en cuivre (Cu). Ces derniers sont caractérisés par leur résistivité réduite et leurs performances améliorées [62]. Notons que cette transition de matériau nécessite un changement de métallisation des puces et par suite une augmentation du coût de fabrication. Une combinaison entre Al et Cu peut être utilisée pour pouvoir bénéficier des avantages des deux matériaux [63].

Pistes de cuivre planaires

Une solution de remplacement des fils d'attache a été développée par General Electric [64]. Des films en polyimide souple sont utilisés et placés sur la face avant des puces. Des vias sont ensuite obtenus par perçage laser, suivi par une étape de métallisation puis de gravure permettant de tracer les pistes de cuivre assurant la connexion entre les faces avant des puces. Les faces arrière sont brasées d'une manière conventionnelle sur un DBC.

Un schéma de principe de cette technologie et une comparaison avec un module utilisant des fils d'attache sont présentés dans la Figure I-21. Une réalisation pratique d'un module utilisant des puces semi-conductrices SiC de General Electric avec la technologie Power OverLay (POL) est présentée dans la Figure I-22.

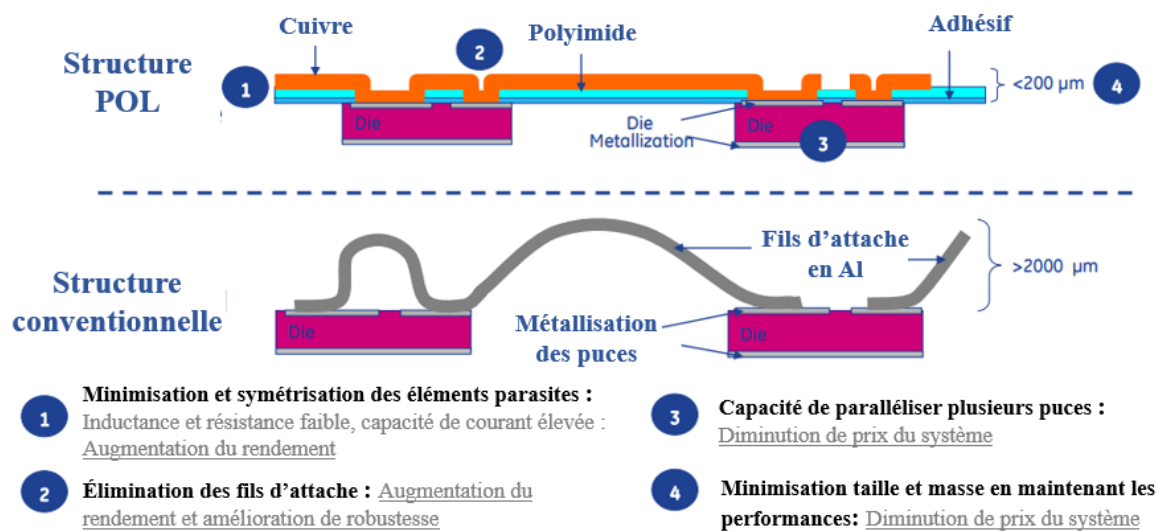


Figure I-21. Comparaison de la technologie Power OverLay (POL) avec une structure conventionnelle [64]

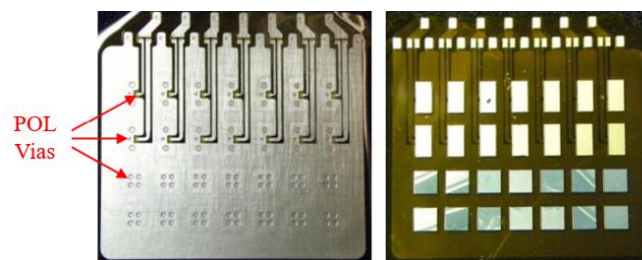


Figure I-22. Réalisation du module avec la technologie POL [64]

PCB rigide

Un module surnommé « Direct Lead Bonding (DLB) » est proposé par Mitsubishi Electric Corporation. Dans la première version de ce module, les fils d'attache ont été remplacés par des pistes en cuivre [65]. Une vue en coupe est représentée sur la Figure I-23(a). Les simulations électromagnétiques ont montré une réduction d'une cinquantaine de pourcents de l'inductance parasite de la maille de commutation par rapport au module classique.

Une deuxième version du module DLB est par la suite développée [61]. Dans cette dernière, les pistes en cuivre planaires ont été remplacées par un PCB rigide. Une vue en coupe est

présentée dans la Figure I-23(b). Cette nouvelle version a permis une minimisation de la surface de commutation et par la suite de son inductance. Ainsi, les potentiels DC+ et DC- sont reliés respectivement sur la surface de dessus et de dessous du PCB. Ceci permet une compensation de flux magnétique et par suite une réduction supplémentaire de l'inductance parasite.

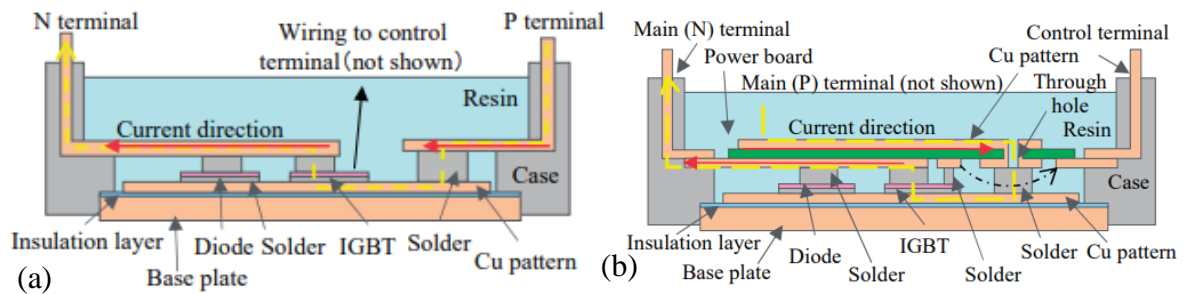


Figure I-23. Vue en coupe du module (a) DLB .Ref [65] (b) DLB développé [61]

PCB flexible

Un module, proposé par Semikron, a permis l'utilisation d'un PCB flexible double face comme alternative aux fils d'attache [66]. Les connexions des puces avec le PCB et avec le DBC ainsi que la connexion entre le PCB et le DBC sont réalisées par frittage d'argent. La simulation électromagnétique du module à base d'IGBT (650V 600A) a permis d'estimer une inductance parasite de 1.4nH seulement.

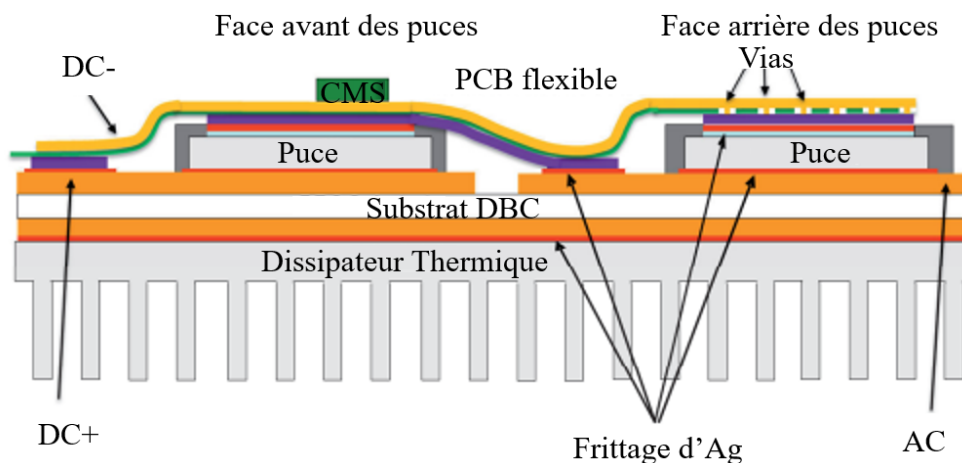


Figure I-24. Schéma du module proposé par Semikron appliquant la technologie « SKiN » [66]

En plus de l'élimination des fils d'attache, plusieurs solutions sont proposées dans la littérature pour améliorer le routage du module. Quatre voies d'amélioration seront présentées dans le paragraphe suivant.

1.5.2.2 Optimisation du routage

Technologie de flip-chip

Comme le montre la Figure I-25, la technologie de flip-chip (puce montée face avant vers le bas) permet de connecter directement la source du transistor HS au drain du transistor LS dans le but de minimiser la surface de la maille de commutation et par la suite son inductance.

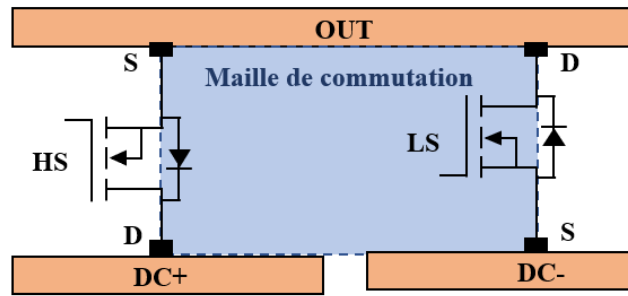


Figure I-25. Placement des puces avec la technologie de flip-chip

Un exemple du module utilisant cette technologie est présenté dans la Figure I-26 [67]. Le module est composé d'un DBC et d'un PCB double couche. La surface arrière du transistor HS et la surface avant du transistor LS sont connectées respectivement aux potentiel DC+ et DC- du DBC (Figure I-26(a)). La liaison entre les deux puces est réalisée par la couche de dessous du PCB (Figure I-26(b)). Les capacités de découplage sont placées sur la couche de dessus du PCB (Figure I-26(c)).

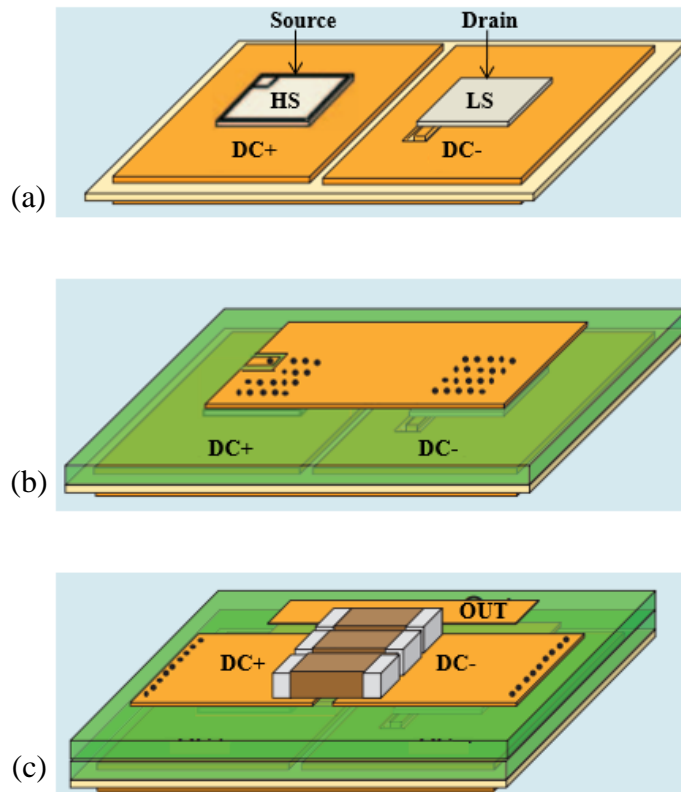


Figure I-26. Etape d'assemblages du module avec la technologie de flip-chip [67]

La coupe transversale du module est présentée dans la Figure I-27. En plus de la minimisation de l'inductance de la maille de commutation, cela a permis une réduction de la capacité de mode commun (C_{OUT_GND}) puisque la couche reliée à la phase (OUT) est blindée par les couches de cuivre DC- et DC+ dans le module. Enfin, cette technologie a permis une symétrisation du module et par la suite des capacités de mode commun C_{DC+_GND} et C_{DC-_GND} et des inductances parasites L_{p+} et L_{p-} . Ceci permet d'éviter le couplage entre le mode commun et le mode différentiel (voir paragraphe I.4.3.3).

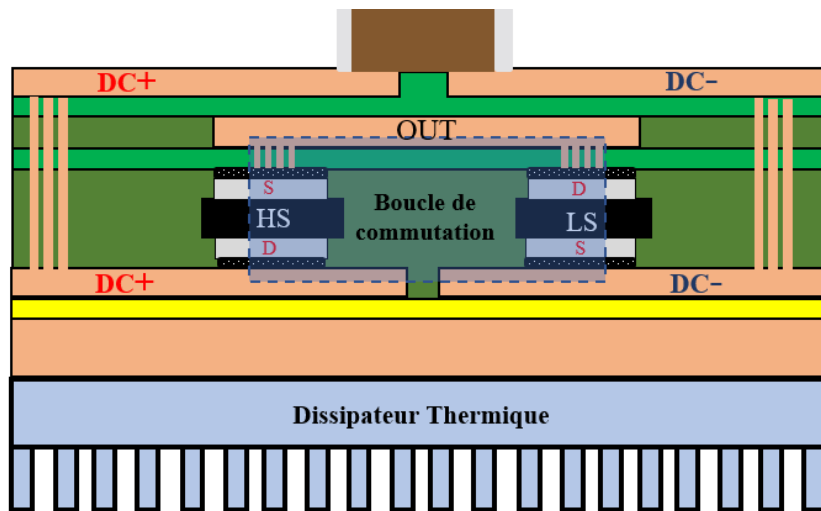


Figure I-27. Coupe transversale du module avec la technologie de flip-chip

Compensation du flux magnétique

- a. Dans la même cellule de commutation

Le module de puissance multicouche proposé dans [68], [69] est formé par un DBC et un PCB coupé en fenêtres (voir Figure I-28 et Figure I-29). Les interrupteurs de puissance sont placés dans ces fenêtres et brasés sur le DBC. Les interconnexions entre les puces sont réalisées par des fils d'attache. Un boîtier en plastique est utilisé pour couvrir le package.

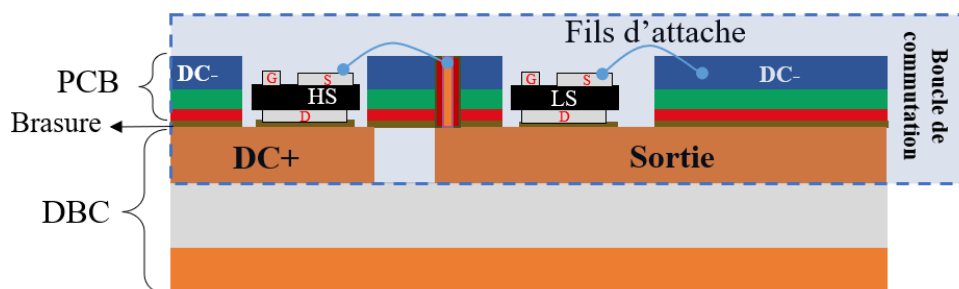


Figure I-28. Vue en coupe du module proposé

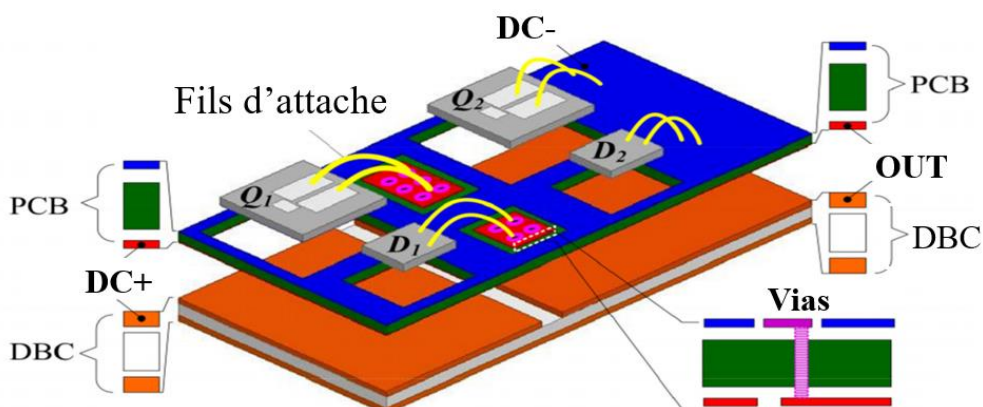


Figure I-29. Schéma du principe de montage [69]

Comme le montre la Figure I-30, une élimination partielle de flux aura lieu puisque le courant d'entrée et le courant de sortie du module sont de sens opposés.

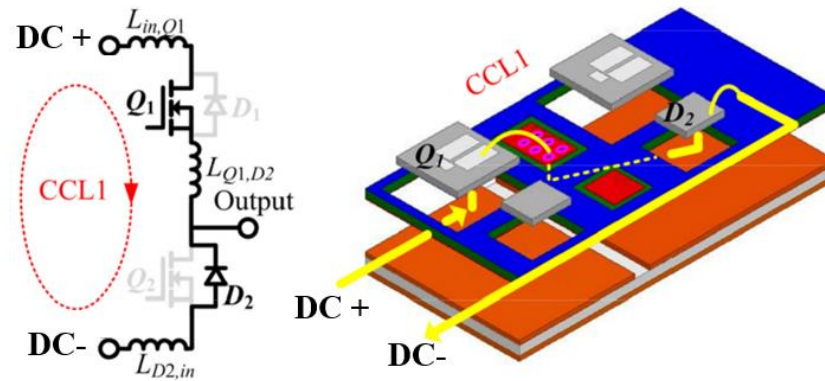


Figure I-30. Trajet de courant dans le module [69]

Malgré les avantages cités permettant une réduction significative de l'inductance de la maille de commutation, la présence des fils d'attache conduit à des limitations électriques et thermomécaniques comme déjà décrit précédemment.

Le dernier exemple donné dans [40], [41] est représenté dans la Figure I-31. Dans ce module les puces sont placées sur un DBC et les interconnexions sont assurées par un PCB flexible. Ainsi, le placement de potentiels DC+ et DC- à proximité a permis une compensation de flux et par la suite une réduction de l'inductance parasite. Ce positionnement de potentiel a conduit à un ajout d'une couche isolante constituant une interface thermique supplémentaire.

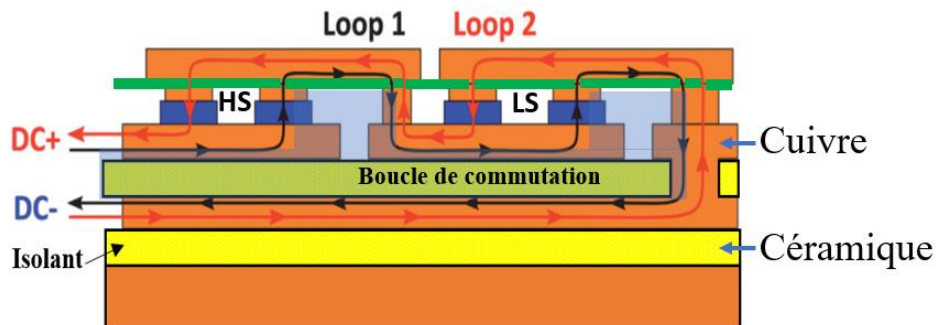


Figure I-31. Coupe transversale du module de puissance [40]

L'une des solutions pour minimiser l'inductance de la maille de commutation est de réduire le champ magnétique dans chaque boucle de courant. Plusieurs exemples de modules ont été proposés dans l'état de l'art.

b. Entre plusieurs cellules de commutation

Dans le Brevet US 7227259B2, Semikron a proposé le module présenté dans la Figure I-32. Les potentiels DC+ et DC- du bus sont situés à proximités. Ainsi, les transistors HS et LS sont disposés côte à côte. Ceci permet une élimination partielle du flux et par la suite une réduction de l'inductance parasite de la maille de commutation. Cependant, cette réduction est affectée par le prolongement du trajet parcouru par le courant entre les potentiels DC+ et DC- et par l'utilisation des fils d'attache.

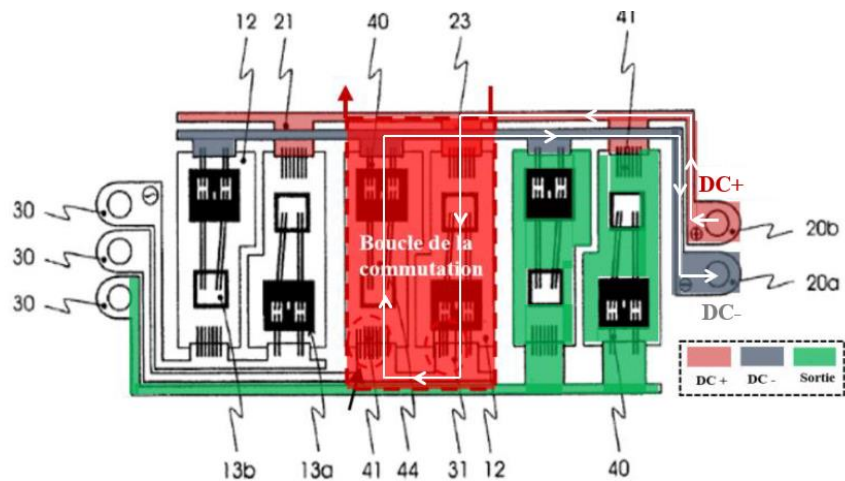


Figure I-32. Module proposé par Semikron se basant sur le brevet US 7227259B2

Dans le module proposé dans [72], l'idée est de réaliser un module en parallélisant plusieurs bras d'onduleurs dans le but de distribuer le courant de puissance (voir Figure I-33). Les condensateurs de découplage sont vissés directement sur les terminaux DC+ et DC- du module. L'inductance parasite totale de la maille de commutation de ce module est estimée à 7.8nH. Une optimisation de ce routage a été réalisée dans [73]. L'idée est de disposer les bras d'onduleur alternativement en opposition afin d'avoir une compensation de flux magnétique (voir Figure I-34). L'inductance parasite est estimée à 3.8nH. Une réduction de 50% par rapport à la disposition classique des bras est donc observée.

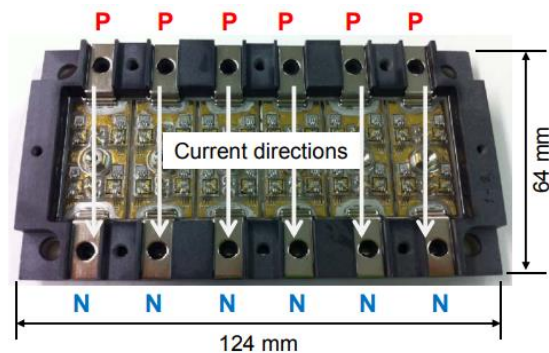


Figure I-33. Module à base de MOSFET SiC 1200V 360A avec parallélisation de six bras d'onduleur [72]

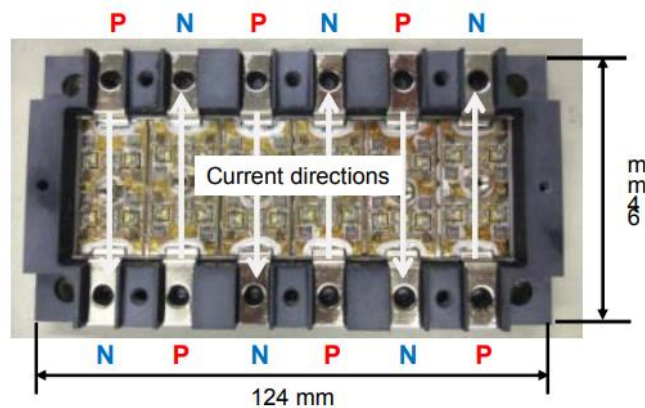


Figure I-34. Module à base de MOSFET SiC 1200V 360A avec parallélisation de six bras d'onduleur opposés [73]

Assemblage 3D

L'intégration des puces dans le module permet une minimisation de la surface de la maille de commutation et par la suite son inductance.

Dans le module de la Figure I-35 surnommé « Planar-Bond-All (PBA) », les interrupteurs de puissance sont disposés entre deux DBC [74]. Cette structure permet le remplacement des fils d'attache par des liaisons de surface plane. Une comparaison entre les paramètres électriques de ce module et un module conventionnel est effectuée. Les auteurs de l'article indiquent qu'une réduction de plus de 75% de l'inductance parasite est observée.

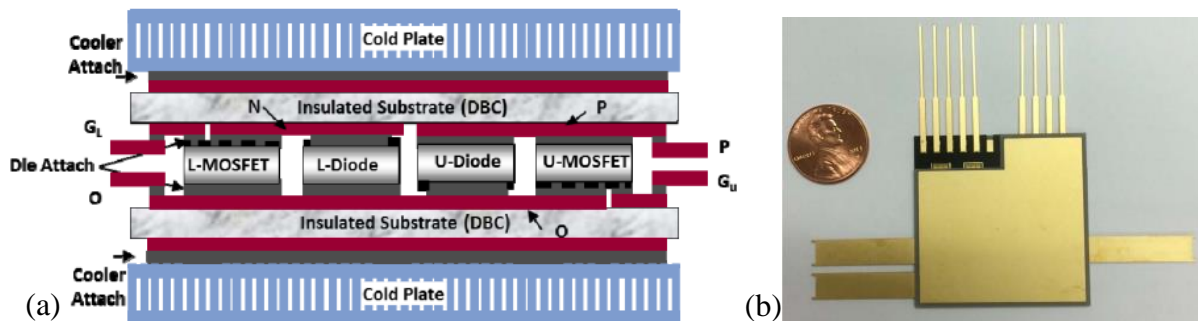


Figure I-35. (a) Vue en coupe du module de puissance b) Module réalisé à base de MOSFET SiC 1200V 100A [74]

Cette intégration a permis d'avoir également un refroidissement double face du module (voir Figure I-36). L'augmentation de la surface de contact des deux côtés de la puce assure une distribution uniforme de température. Une comparaison des performances thermiques d'un module conventionnel, placé sur un dissipateur thermique, et du module PBA, avec un refroidissement double face, est effectuée. La résistance thermique de cette dernière est réduite de 38% [75].

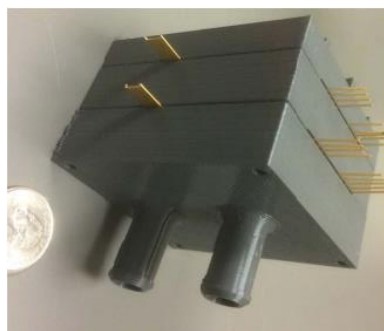


Figure I-36. Refroidissement double face du module PBA [74]

Un deuxième exemple est donné dans la Figure I-37 [76]. Ce module, surnommé P2P, utilise la technologie d'intégration p² Pack développée par Schweizer Electronic AG. Les puces sont intégrées dans un PCB permettant d'avoir une faible inductance de la maille de commutation. Dans ce module le refroidissement est simple face. Cependant, l'assemblage obtenu dispose d'une couche de cuivre épaisse (Cu Lead Frame). Cette solution apparaît fréquemment dans les modules récents, la couche épaisse de cuivre permet d'étaler la chaleur avant son passage à la couche isolante.

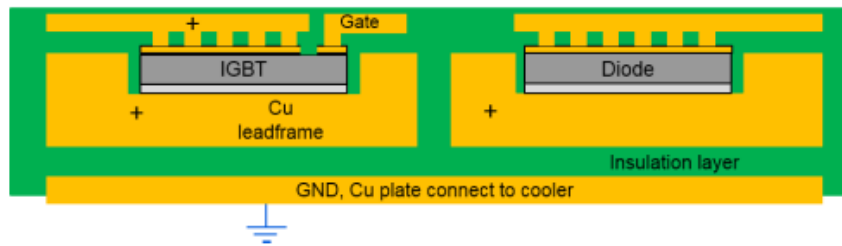


Figure I-37. Coupe transversale du module P2P [76]

Empilement des puces

Une réalisation d'un module de puissance par une approche 3D en utilisant un procédé de fabrication de circuit imprimé, proposée par [39], est représentée dans la Figure I-38.

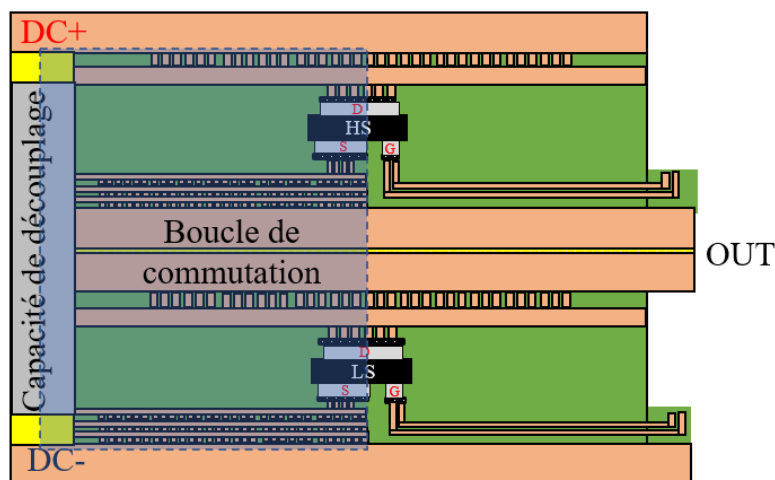


Figure I-38. Assemblage 3D du module de puissance [39]

La conception d'un tel module de puissance permet l'ajout d'un degré de liberté. Les transistors placés l'un au-dessus de l'autre permettent une circulation verticale du courant réduisant au maximum la surface de la maille de commutation et par suite son inductance. L'avantage supplémentaire de cette technologie est l'intégration de la capacité de découplage dans le module, limitant ainsi la maille de commutation au module interne et éliminant l'effet des connectiques (voir le paragraphe suivant). Cependant, cette disposition conduit à une augmentation de la densité de chaleur dans le module. Ainsi, la dissipation thermique des transistors HS et LS n'est pas uniforme.

Position de la capacité de découplage

La capacité de découplage est placée entre les bornes DC+ et DC- du module. Elle permet donc de réduire les surtensions aux bornes des transistors et de fournir le courant nécessaire pendant leurs commutations. La position de cette capacité joue un rôle important sur la limitation de la taille de la surface de la maille de commutation et par la suite sur la réduction de son inductance comme évoqué sur la figure I-41.

L'intégration des capacités de découplage dans le package du module de puissance permet une limitation de la maille de commutation au module interne ainsi une réduction des effets des connectiques externes [69], [77]–[79].

L'effet de l'intégration de la capacité de découplage est étudié dans [80]. Une comparaison des formes d'ondes de tension et de courant, obtenus par le test double impulsion, est effectuée sur le même module en intégrant ou non la capacité de découplage (voir Figure I-39).

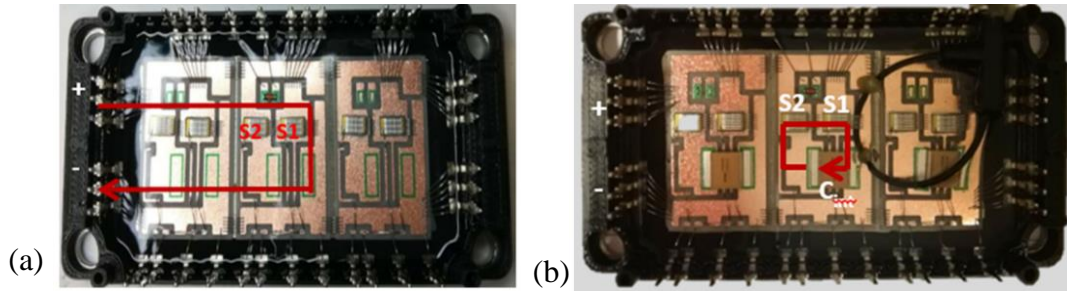
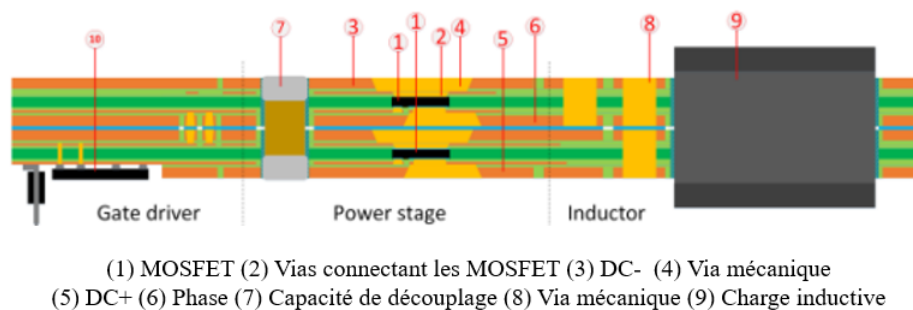


Figure I-39. Module de puissance 1.2-kV (a) sans capacité de découplage intégrée (b) avec capacité de découplage intégrée [80]

Cette étude a permis de montrer une réduction de $\sim 75\%$ de l'inductance parasite de la maille de commutation dans le cas de l'intégration de la capacité de découplage. Ainsi, une minimisation significative de la surtension et des perturbations observées sur v_{ds} .

Un deuxième exemple est présenté dans la Figure I-40 [81]. Les transistors et la capacité de découplage sont intégrés dans ce module. Un procédé de fabrication standard de PCB a été suivi pour sa réalisation (voir Figure I-41(a)). Comme le montre la Figure I-41(b), l'intégration de la capacité de découplage a permis une réduction importante de la surface de la maille de commutation et par la suite de son inductance parasite qui est, selon les auteurs de l'article, inférieur au nanoHenry. La caractérisation électrique a montré l'absence de toutes perturbations ou surtension sur v_{ds} lors de la mise en blocage du transistor.



(1) MOSFET (2) Vias connectant les MOSFET (3) DC- (4) Via mécanique (5) DC+ (6) Phase (7) Capacité de découplage (8) Via mécanique (9) Charge inductive

Figure I-40. Architecture du module 3D [81]



Figure I-41. Réalisation expérimentale (a) module complet (b) vue en coupe [81]

Malgré les avantages observés pour le module précédent, l'augmentation du prix de fabrication, le stress thermomécanique et les difficultés de réparations qui ne permettent pas une deuxième

vie de ces modules restent des limitations majeures à la forte intégration des capacités de découplage.

Dans la partie suivante la présentation du brevet déposé par Vedecom et sur laquelle se base le module effectué dans la thèse sera présentée.

I.6 Le brevet déposé par VEDECOM

Le brevet développé consiste à proposer une solution pour réduire l'inductance de la maille de commutation en plaçant judicieusement les transistors de puissance [82]. Son application est conditionnée par la présence au moins de deux branches par bras d'onduleur ; c'est-à-dire deux puces en parallèle par interrupteur : HS1 en parallèle à HS2 pour le transistor High Side de même LS1 et LS2 pour le transistor Low Side (voir Figure I-42).

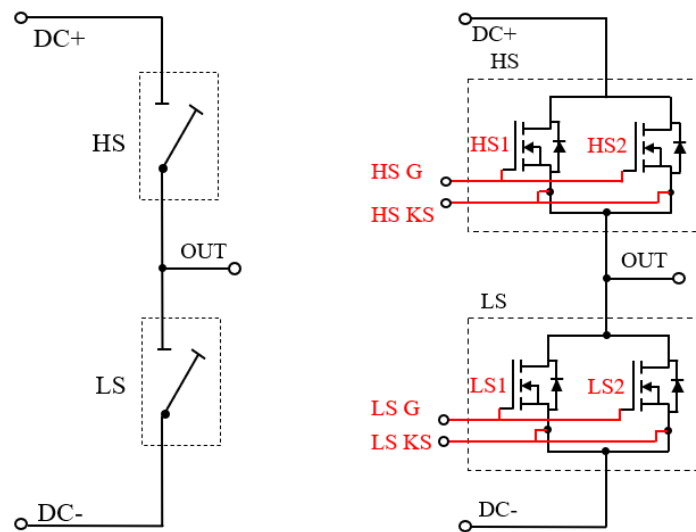


Figure I-42. Schéma électrique du bras d'onduleur avec deux branches en parallèle

L'idée du brevet regroupe la technologie de flip-chip et la compensation du flux magnétique entre cellules de commutation en parallèle déjà présentées dans l'état de l'art. Pour cela, la compensation du flux est effectuée en plaçant le MOSFET HS1 d'une manière croisée au MOSFET HS2, de même pour les MOSFETs LS1 et LS2 (voir Figure I-44). Les champs magnétiques créés par les boucles de commutations opposées se compensent en partie, aboutissant à un flux total qui est réduit par rapport au flux propre d'une seule boucle. Cela permettrait une réduction significative de l'inductance totale de la maille de commutation (voir Figure I-44).

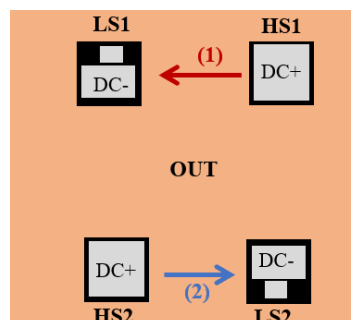


Figure I-43. Application du brevet : Position des transistors

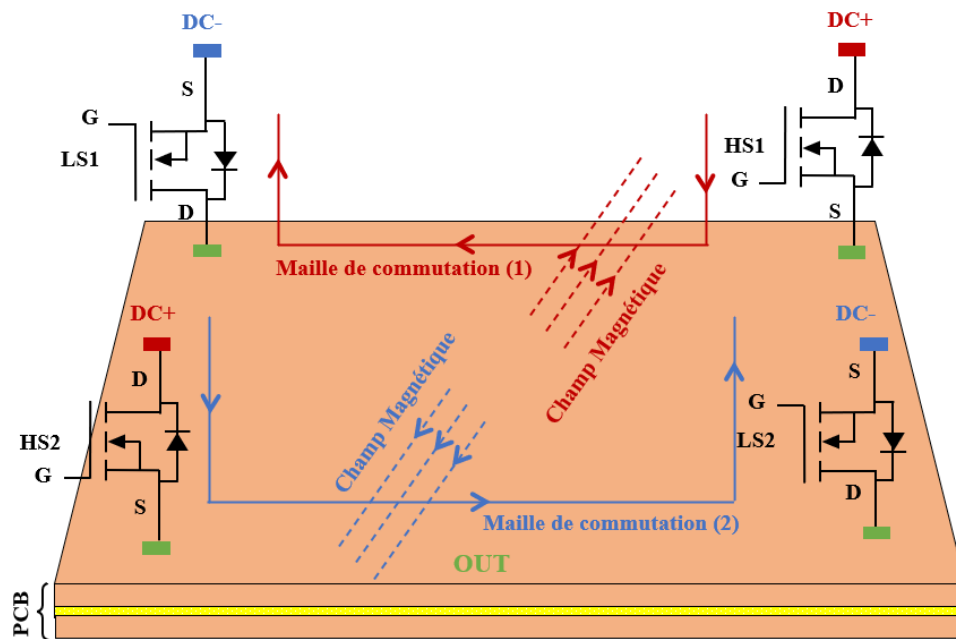


Figure I-44. Application du brevet : Compensation des champs magnétiques

C'est cette idée qui va être étudiée dans la suite de ce manuscrit via la conception (simulation et fabrication) des différents modules de puissances qui seront présentés dans le chapitre suivant.

I.7 Conclusion

Le contexte du travail de la thèse a été introduit dans ce chapitre. La première partie a mis en avant l'importance et les évolutions récentes des semi-conducteurs de puissance dans les systèmes de conversion d'énergie. Étant donné que l'augmentation de la densité de puissance et l'amélioration du rendement sont deux axes majeurs défendus classiquement dans les applications actuelles, les performances avancées des semi-conducteurs à grand gap ont été présentées.

L'augmentation de la vitesse de commutation rend les interrupteurs plus sensibles à leur environnement. Pour cette raison, les effets des éléments parasites du package sur la commutation des transistors ainsi que sur leur comportement CEM ont été décrits.

Afin de profiter pleinement des performances des semi-conducteurs à grand gap, l'évolution de la technologie des semi-conducteurs doit être accompagnée par le développement des assemblages des modules de puissance. Pour cette raison, une présentation de plusieurs voies d'optimisation du package a été réalisée.

Les travaux de thèse proposent une nouvelle architecture de module de puissance présentant une solution complémentaire dans le but de réduire l'inductance parasite de la cellule de commutation. Elle repose sur l'idée de croisement des MOSFETs proposée dans le brevet de Vedecom et sa mise en œuvre grâce à l'intégration des puces semi-conductrices et à l'utilisation de la technologie de flip-chip.

La conception du module intégré basé sur le brevet, les choix effectués et les simulations électrostatiques et magnétiques seront présentés dans le Chapitre II . Des mesures expérimentales seront ensuite effectuées, dans le Chapitre III dans le but de confirmer les résultats de simulations et conclure sur l'intérêt de l'architecture du module proposé.

Chapitre II

Conception et assemblage des cellules de commutation PN_2PCB et PP_PCBSMI

II.1 Introduction

Le choix et la conception d'un module de puissance intégré basé sur le brevet déposé par VEDECOM [82] seront développés dans ce chapitre. La mise en œuvre du module nécessite de disposer les MOSFET en appliquant la technologie de flip chip, présentée dans la partie I.5.2.2. L'objectif sera ainsi de vérifier si l'architecture proposée permet effectivement de réduire l'inductance parasite de la maille de commutation. Nous étudierons également son intérêt en vue d'optimiser les capacités de mode commun de l'assemblage pour aboutir à un fonctionnement optimal vis-à-vis de la commutation.

Le concept du brevet consiste à croiser les MOSFETs dans le but d'avoir une compensation de flux magnétique entre deux cellules de commutation en parallèle durant la commutation. Cette implantation sera mise en œuvre dans un premier temps via un procédé d'assemblage de circuit imprimé avec puces enterrées développé lors d'une collaboration entre l'Institut Vedecom et le fabricant de circuit imprimé ELVIA PCB. Dans un deuxième temps, un assemblage plus simple du point de vue technologique sera réalisé au G2Elab. Ce dernier est basé sur l'intégration de composants semi-conducteurs packagés entre un Substrat Métallique Isolé (SMI) et un PCB.

L'intérêt du brevet sera étudié par la comparaison de l'architecture proposée avec deux autres designs. Le premier design présentera une configuration non croisée des MOSFETs mais en gardant la technologie de flip-chip. Le deuxième design reposera sur un placement classique des MOSFETs.

Dans ce chapitre, nous présenterons les deux types d'architectures proposées avec leurs différents designs. Les méthodes d'assemblage de chaque architecture ainsi que les prototypes obtenus seront également décrits. A partir des données géométriques des modules, des simulations électriques et électromagnétiques seront ensuite menées pour les évaluer. La partie suivante est consacrée au procédé d'assemblage avec puces enterrées, puis viendra dans un second temps la présentation de la deuxième méthode de réalisation.

II.2 Le module avec enfouissement des puces nues entre deux PCB

L'élaboration du module avec enfouissement des puces nues entre deux PCB (PN_2PCB) est le résultat d'une collaboration avec le fabricant de circuit imprimé ELVIA PCB. Ce dernier, avec l'Institut VEDECOM, apportent leur savoir-faire industriel pour le procédé de fabrication. Le but est d'élaborer un module intégré se basant sur le brevet présenté dans la partie I.6 en suivant le procédé d'assemblage utilisé pour le module dénommé VESA (VEdecom - SAfran), avec le moins de modifications additionnelles [83] [84]. Le concept du module VESA sera présenté dans le paragraphe suivant. L'architecture et la technologie du module PN_2PCB seront ensuite introduites ainsi que les simulations électrostatiques et magnétiques réalisées. Enfin, les étapes d'assemblage du module proposé seront décrites.

II.2.1 Module VEdecom – SAfran (VESA)

La cellule de commutation du module VESA est réalisée avec des puces semi-conductrices nues en Silicium (Si) de type MOSFET de calibre 100V-100A (puce contenue dans le boîtier ST315N10F7D8 présenté en ANNEXE 1). À l'origine, cette puce MOSFET a été conçue pour des applications automobiles de Valéo. Elle a attiré l'attention de Vedecom et Safran par sa faible résistance à l'état passant ($1.35\text{m}\Omega$) et son fort calibre en courant (100A). Ses dimensions sont présentées en Figure II-1. Le plot de drain, sur la face arrière du MOSFET, a une dimension de $6.34\text{mm} \times 4.6\text{mm}$. Les plots de grille et de source, sur la face avant du MOSFET, ont des dimensions respectives de $0.48\text{mm} \times 0.39\text{mm}$ et de $6.04\text{mm} \times 4.29\text{mm}$. L'espacement entre ces deux derniers est de $100\mu\text{m}$ seulement. L'épaisseur de ce MOSFET est de $280\mu\text{m}$.

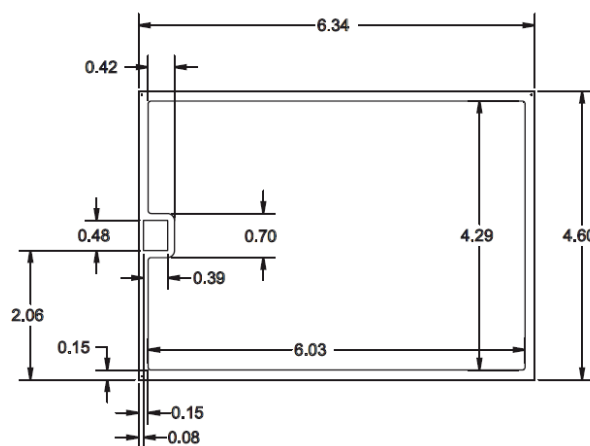


Figure II-1. Vue de dessus de la puce ST315N10F7D8 avec ses dimensions

Chaque interrupteur de puissance de cette cellule est composé de quatre MOSFETs en parallèle. Comme le montre la Figure II-2, les interrupteurs sont pris en sandwich entre des plans de cuivre épais assurant une bonne dissipation de chaleur et une faible résistance électrique. Les plans supérieur et inférieur du module sont reliés aux entrées de puissance (DC+ et DC-). La cellule de commutation est donc à l'intérieur d'une structure à effet « bus bar ». Grâce à cette disposition, la maille de commutation est réduite ainsi que son inductance parasite [85] [86]. Le plan central est relié à la phase offrant ainsi un écran électrostatique entre le point flottant du module et la terre. La capacité parasite de mode commun est donc fortement minimisée. L'architecture du module VESA rappelle le concept « Power Chip On Chip » initialement étudié au G2Elab [87] [88] [39].

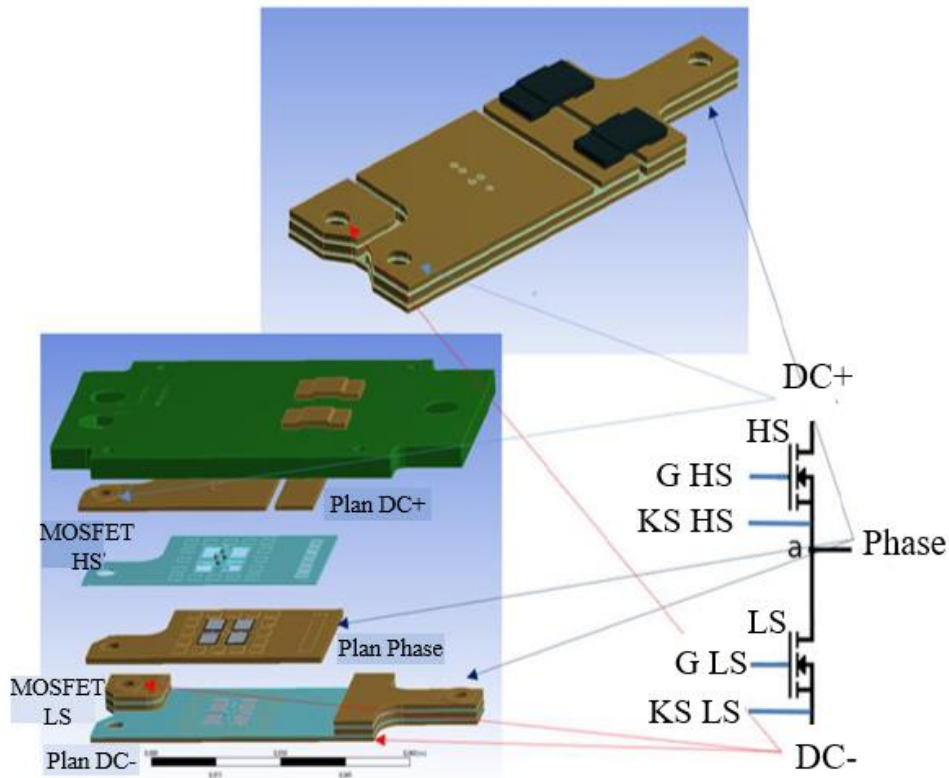


Figure II-2. Vue interne du design du module VESA [84]

Une coupe transversale de la cellule de commutation du module VESA est présentée sur la Figure II-3. Les plans de cuivre épais du module sont mis en œuvre à l'aide de la technologie SMI (Substrat Métallique Isolé). Par exemple, le SMI inférieur du module est composé de trois couches ; une couche inférieure de cuivre épais (1mm) reliée à DC-, une couche supérieure de cuivre fin (35µm) permettant la connexion du plot de grille du transistor et une couche de prepreg assurant l'isolation électrique entre ces deux derniers. La connexion des puces semi-conductrices est assurée par frittage de pâte d'argent des deux côtés. La référence de cette pâte est « Argomax 2010 » du fabricant Alpha. Afin de garantir une meilleure compatibilité avec cette dernière, une finition en or est utilisée pour les SMI [89]. L'isolation électrique entre les SMI est effectuée en plaçant des feuilles de prepreg (préimprégné). L'accès aux couches assurant la commande de la grille est effectué par des vias traversants.

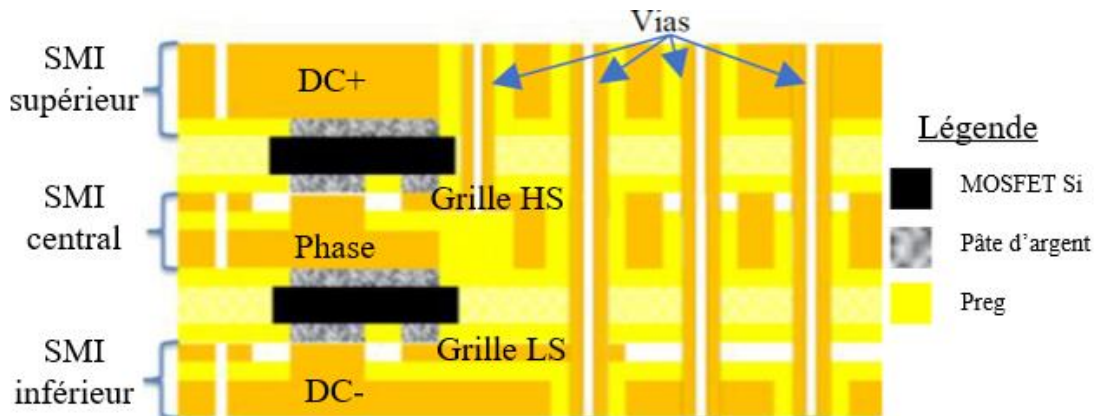


Figure II-3. Vue en coupe d'une cellule de commutation du module VESA [84]

Les puces choisies sont adaptées aux packages à base de fils de bonding en aluminium : elles ont une finition argent en face arrière et une finition aluminium en face avant (voir ANNEXE 1). Cette dernière ne convient pas au frittage d'argent et une adaptation de cette métallisation est donc nécessaire pour le module VESA. Une finition nickel/or est appliquée. Le nickel est utilisé comme barrière de diffusion. L'épaisseur du dépôt est de $1\mu\text{m}$ dont quelques dizaines de nanomètres d'or.

Le dépôt d'argent est assuré par sérigraphie. Puisque la surface de la grille de la puce est faible, de même que la distance entre la grille et la source, une évaluation de l'étalement de la pâte est nécessaire. Le but est d'éviter une mauvaise connexion de plot de grille ou un court-circuit entre les plots de grille et de source. En s'appuyant sur les résultats de cette étude, détaillés en ANNEXE 2, une ouverture de $200\times 200\mu\text{m}^2$ dans l'écran de sérigraphie est effectuée pour le plot de grille de $390\times 480\mu\text{m}^2$. Comme le montre la Figure II-4, pour cette ouverture, la surface atteinte par la pâte d'argent est de $280\times 280\mu\text{m}^2$. De même, étant donné que le joint d'attache cherché est de $50\mu\text{m}$ de hauteur, cette section semble convenable. Cette hauteur de pâte est considérée suffisante et n'affecte pas la tenue en tension au niveau des anneaux de garde des puces qui sont de faible calibre en tension.

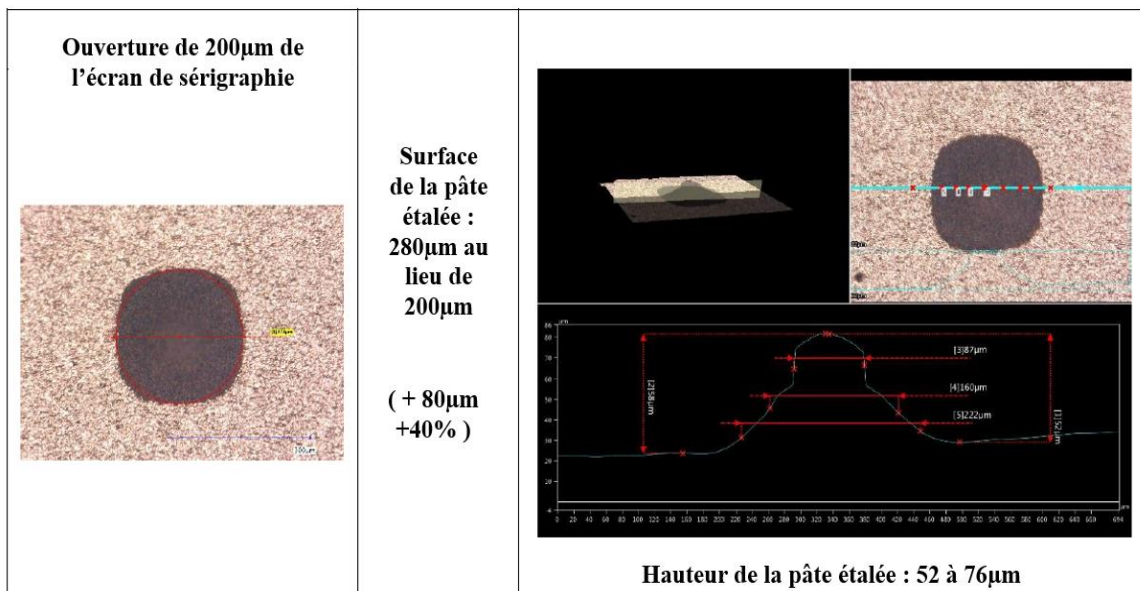


Figure II-4. Dépôt de la pâte d'argent pour une ouverture de $200\mu\text{m}$ dans l'écran de sérigraphie

La Figure II-5 montre une photographie d'un prototype réalisé. Les différentes étapes d'assemblage de ce module sont décrites dans [83].

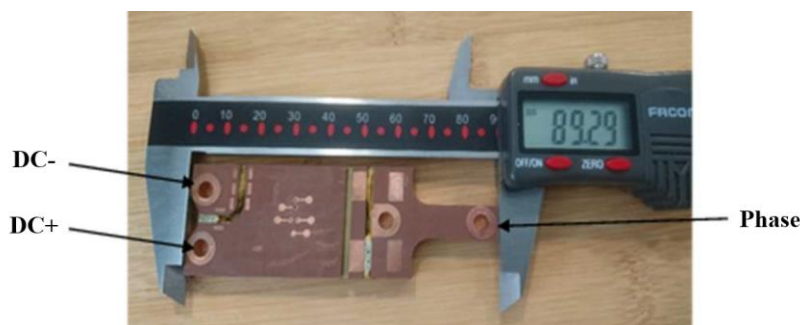


Figure II-5. Prototype réalisé du module VESA [84]

Bien que la réalisation pratique des modules de puissance se basant sur les étapes d'assemblage du module VESA n'est pas encore mature, cette technique semble être prometteuse pour l'encapsulation des interrupteurs de puissance et leur report par frittage d'argent. Il a donc été décidé de concevoir un module de puissance basé sur cette solution technique et permettant de valider le brevet Vedecom. Il sera dénommé PN_2PCB et sera décrit dans le paragraphe suivant [90].

II.2.2 Architecture et caractéristiques

Le module PN_2PCB est constitué d'un seul bras d'onduleur. Comme le montre le schéma électrique de la Figure II-6 (a), chaque interrupteur de cette cellule de commutation est composé de deux MOSFETs en parallèle (HS1, HS2 pour le transistor High Side et LS1, LS2 pour le transistor Low Side). Cette configuration est nécessaire pour montrer l'intérêt de compenser les flux magnétiques en vue de réduire l'inductance parasite. On retrouve donc deux boucles associées en parallèle. Une vue 3D du module PN_2PCB est présentée sur la Figure II-6 (b).

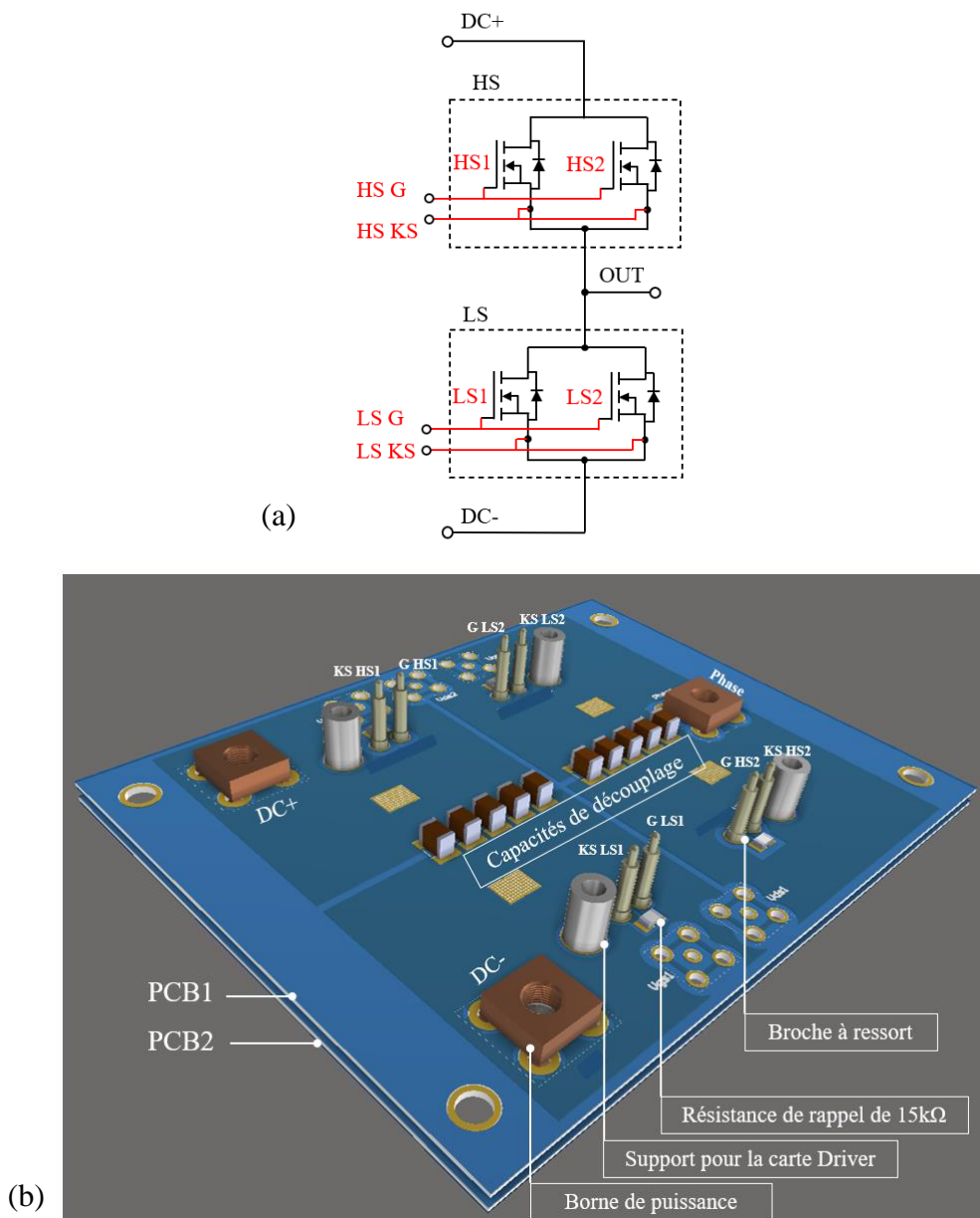


Figure II-6. Cellule de commutation PN-2PCB (a) Schéma électrique (b) Vue 3D

La Figure II-7 montre l'agencement du module de puissance PN_2PCB avec son driver et son circuit d'alimentation. Ceci permet d'avoir un ensemble facilement réparable. De plus, le circuit driver est placé assez proche du module de puissance afin de diminuer l'inductance de la maille de commande. Les connexions des plots de Grille et de Kelvin-source sont réalisées à l'aide de broches à ressort (P70-2200045) de 8mm de hauteur.

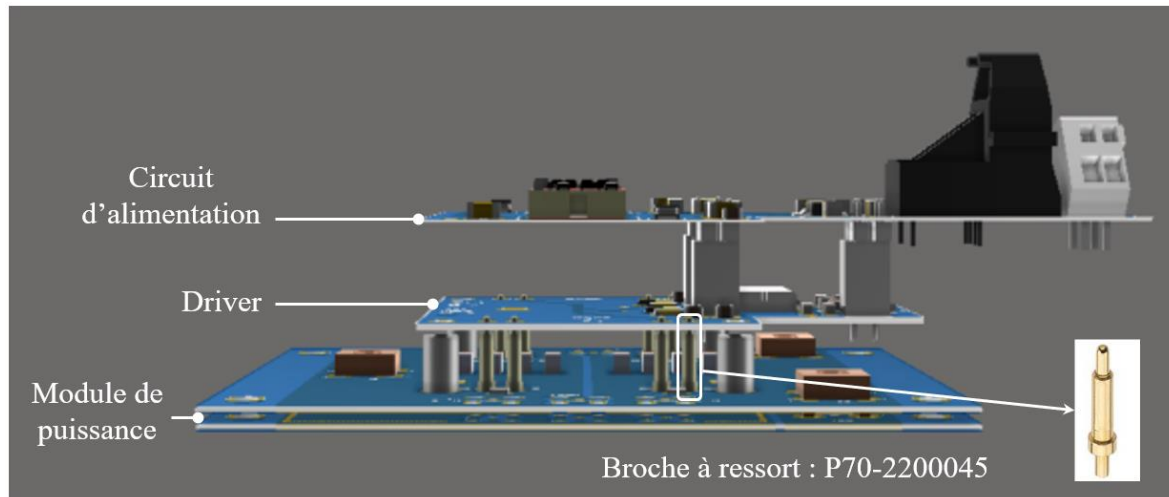


Figure II-7. Empilement du module de puissance PN_2PCB, de son driver et de son circuit d'alimentation (a) Vue de dessus (b) Vue de face

Le choix du MOSFET utilisé dans la cellule de commutation PN_2PCB sera justifié dans la partie suivante. La présentation de l'architecture et des caractéristiques du module de puissance et de son driver sera également effectuée.

II.2.2.1 La cellule de commutation PN_2PCB

a. Choix de la puce

La puce semi-conductrice en Si (ST315N10F7D8) utilisée pour le module VESA est choisie également pour le module PN_2PCB. L'approvisionnement de cette puce nue est en effet plus facile dans notre cas, comparativement à une puce en SiC et elle comporte en outre des métallisations adaptées. Ainsi, les mêmes étapes d'assemblage que celles développées pour le module VESA sont suivies. Elles mettent donc en œuvre du frittage de pâte d'argent double face pour la connexion de la puce. Ce choix nous permet de nous appuyer sur l'ensemble des savoir-faire d'assemblage présentées dans la partie II.2.1 et dans les articles [83] et [84].

De plus, l'utilisation de cette puce basse tension doit permettre de valider le fonctionnement des modules envisagés dans des conditions proches de celles rencontrées dans les applications automobiles 48V. Par ailleurs, elle simplifie les tests de validation qui seront faits sous relativement faible tension. Il faut toutefois noter que la commutation en tension est beaucoup plus lente que celle pouvant être obtenue avec des composants de type MOSFET SiC de calibre en tension de 1200 V et de calibre en courant équivalent. Cela entraînera nécessairement des répercussions sur les commutations et sur l'impact des capacités parasites ramenées par le module de puissance étudié, comme cela sera vu plus tard.

b. Caractéristiques

La mise en œuvre du module PN_2PCB est effectuée par la prise en « sandwich » des interrupteurs de puissance entre deux PCBs (notés PCB1 et PCB2) réalisés par le fabricant de circuit imprimé ELVIA PCB. La Figure II-8 (a) et la Figure II-8 (b) montrent des coupes transversales de l'architecture du module PN_2PCB. La première correspond au design avec la technologie de flip-chip alors que la deuxième présente le design classique sans flip-chip.

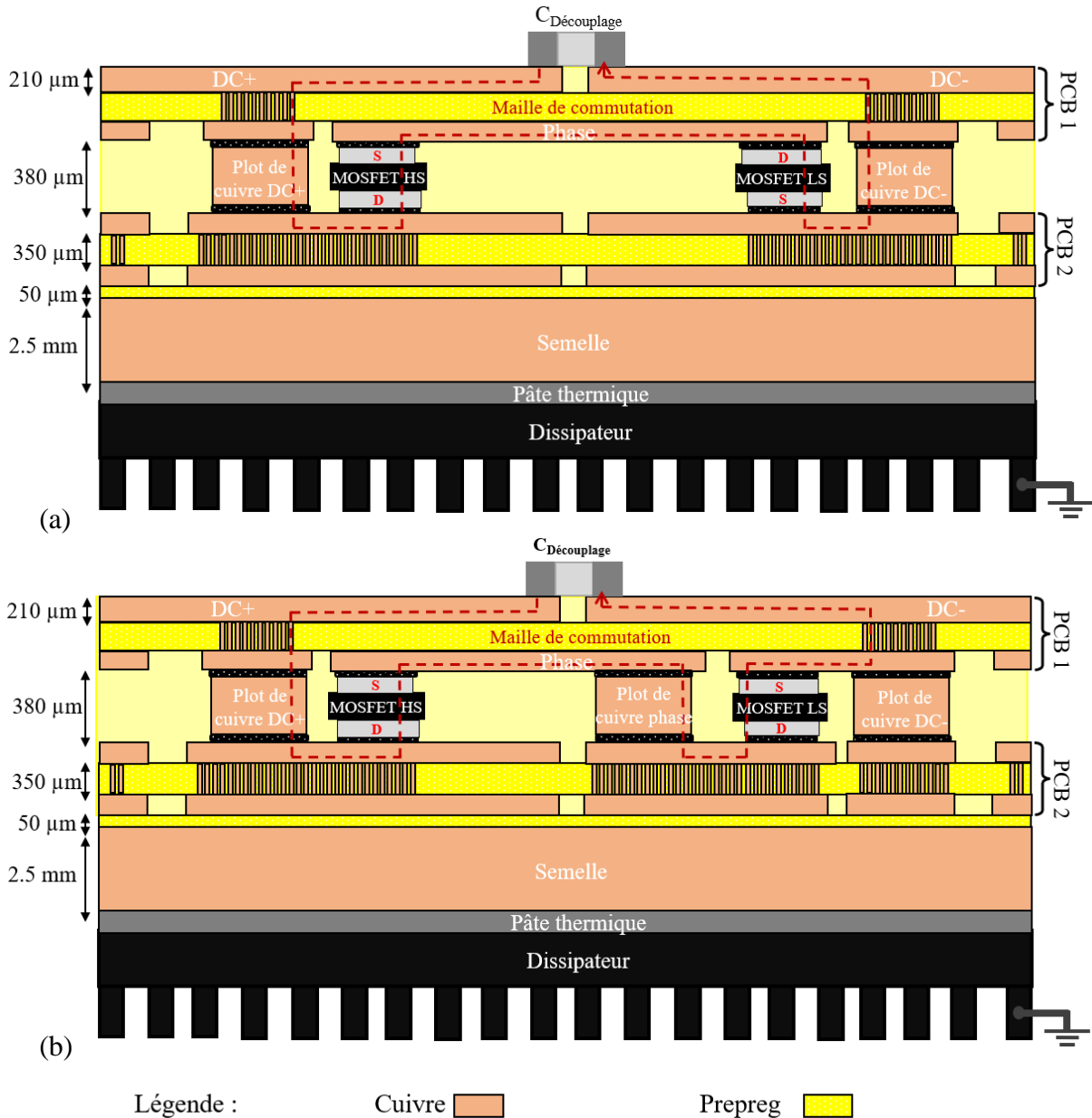


Figure II-8. Coupe transversale du module PN_2PCB (a) Design avec flip-chip (b) Design sans flip-chip

Sur la Figure II-8, on observe des plots de cuivre, ayant la même épaisseur que les MOSFETs. Ils assurent la tenue mécanique de l'ensemble et la continuité électrique entre le PCB1 le PCB2. Les microvias sont retenus comme solution pour relier les faces de chaque PCB. Ce choix participe d'une part à la réduction de l'inductance de la maille de commutation. D'autre part, l'importante densité des vias présente au-dessous des MOSFETs, dans le PCB2, assure une

bonne évacuation de la chaleur et une faible résistance électrique. Il faut noter que l'agencement de ces vias est effectué de façon à avoir le maximum de cuivre possible tout en respectant les contraintes données par le fabricant du PCB.

Le module est collé sur une semelle en cuivre à l'aide d'un prepreg. Ce dernier assure une isolation électrique mais constitue également un mauvais conducteur de chaleur. Pour cette raison, une épaisseur de $50\mu\text{m}$ est choisie pour cet isolant car c'est l'épaisseur minimale qui peut être réalisée par le fabricant. L'ensemble est fixé sur un dissipateur thermique en utilisant une pâte thermique.

La fabrication des PCBs est effectuée par mise en panneau de format $610\text{mm}\times 460\text{mm}$. En s'appuyant sur les recommandations du fabricant du circuit imprimé, une épaisseur de $210\mu\text{m}$ est sélectionnée pour le cuivre et de $350\mu\text{m}$ pour le prepreg. Cette épaisseur d'isolant est la valeur minimale possible afin de rigidifier l'ensemble et éviter une déformation des couches du cuivre. Une vue de dessus du module en 3D, avec les emplacements des MOSFETs, est présentée sur la Figure II-9. Le module a une forme parallélépipédique de surface $80\text{mm}\times 62\text{mm}$ et d'épaisseur 4.47mm . Cette surface n'est pas optimisée mais nous permet d'envisager une mise en œuvre simple au vu des dimensions choisies.

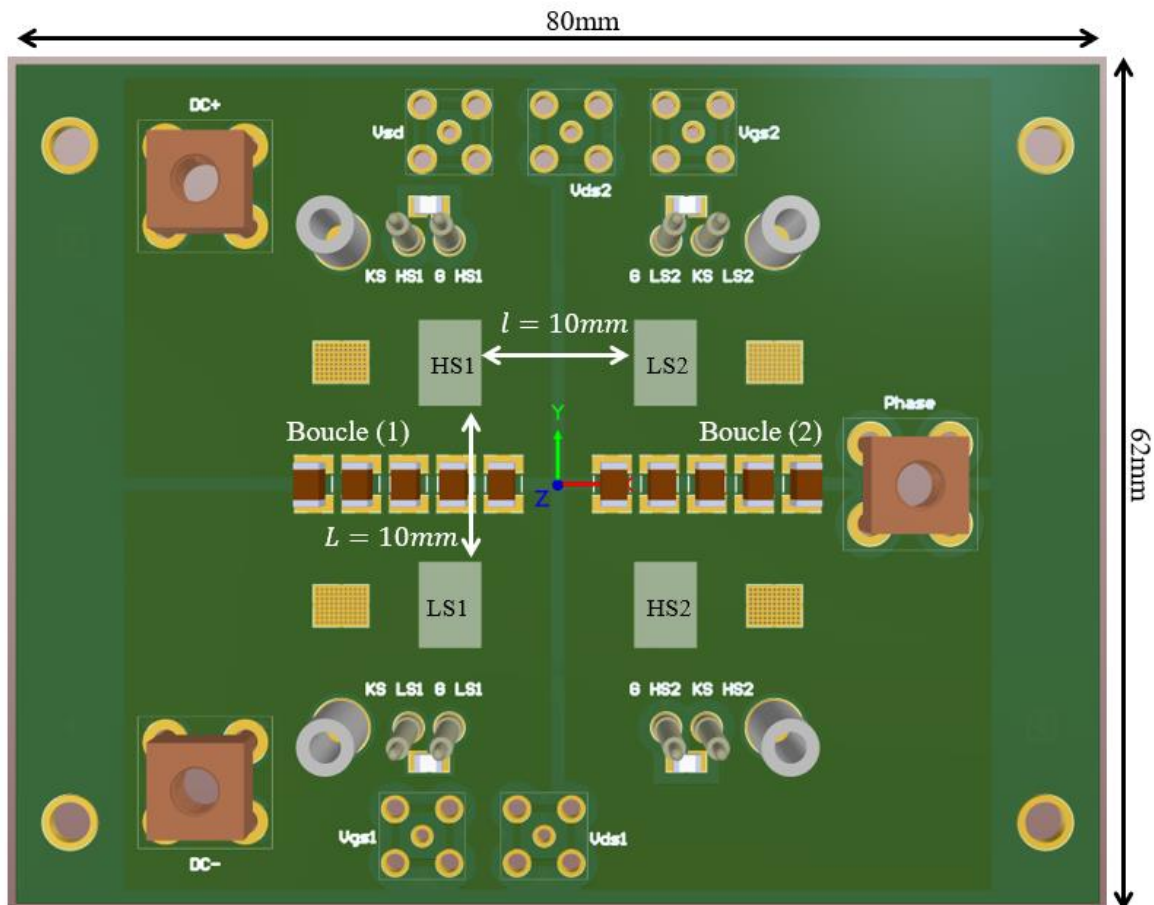


Figure II-9. Position des condensateurs de découplage

Des condensateurs de découplage céramiques de type CMS (Composants Montés en Surface) sont rajoutés sur la surface supérieure du module de manière à symétriser les deux boucles de la cellule de commutation et minimiser leurs surfaces respectives. Le positionnement des

MOSFETs est soumis à une contrainte géométrique liée au driver et ne correspond pas à une optimisation électrothermique car le but premier de ces travaux est d'étudier d'une part l'effet du positionnement croisé des MOSFETs et d'autre part l'effet de l'optimisation des capacités de mode commun sur le comportement électrique du module. Cette étude sera effectuée en comparant trois designs différents du module. Nous les présenterons dans le paragraphe suivant.

c. Les différents designs

Dans le but d'étudier l'effet du croisement des MOSFETs sur la réduction de l'inductance de la maille de commutation (Brevet Vedecom – Partie I.6) et montrer l'effet de l'optimisation des capacités de mode commun sur le comportement CEM du module, trois designs différents de la cellule de commutation PN_2PCB sont proposés. La Figure II-10 (a) représente une vue de dessus schématique du design croisé avec la technologie de flip-chip. Les rectangles jaunes et noirs représentent respectivement les faces avant et arrière des puces. La Figure II-10 (b) correspond au design non croisé également avec la technologie de flip-chip. La Figure II-10 (c) montre le design classique, c'est-à-dire non croisé et sans flip-chip.

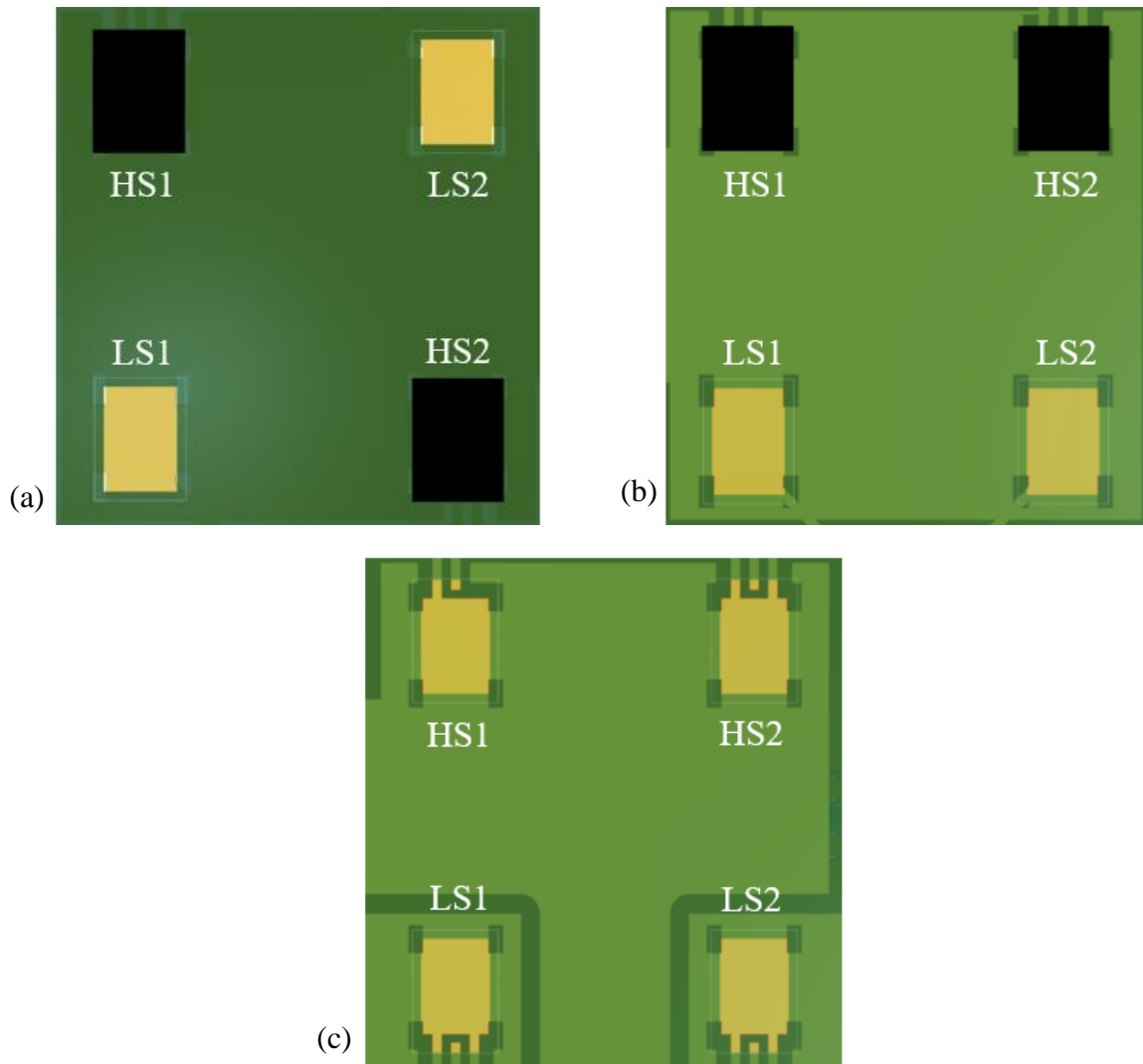


Figure II-10. Vue schématique de dessus du module PN_2PCB (a) Design croisé (b) Design non croisé (c) Design classique

La position croisée des MOSFETs dans le module PN_2PCB ajoute une complexité lors de sa conception. En effet, les points critiques sont principalement les connexions des drains des transistors HS au potentiel DC+ et des sources des transistors LS au potentiel DC-. La disposition croisée des transistors en parallèle oblige à effectuer la connexion du potentiel DC+ sur une couche (ici la couche supérieure de PCB2 - Figure II-11(a)) et la connexion de DC- sur une autre couche (ici la face inférieure de PCB2 -Figure II-11(b)). Rappelons que les potentiels DC+ et DC- sont ramenés par les bornes de puissance ainsi que par les plots de cuivre de la surface de dessus du PCB1 jusqu'au PCB2 (Figure II-8(a)).

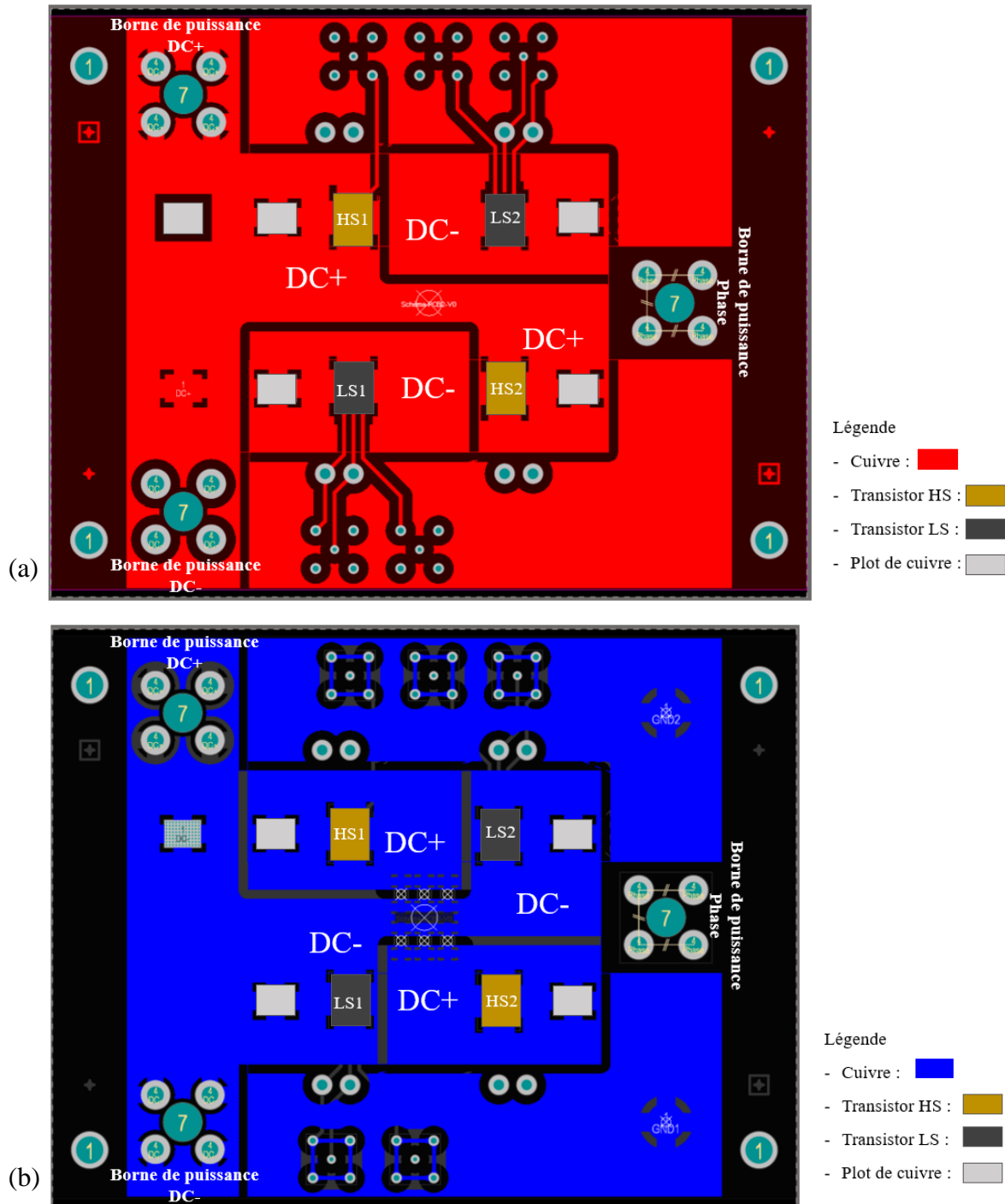


Figure II-11. PCB2 du design croisé du module PN_2PCB (a) Couche supérieure (b) Couche inférieure

Afin de pouvoir comparer l'effet de croisement sur la réduction de l'inductance de la maille de commutation, les potentiels DC+ et DC- sont également ramenés à la couche de dessous du PCB2 pour le design non croisé du module PN_2PCB (Figure II-12). Il est intéressant de noter que cette dernière couche (Figure II-12(b)) n'est pas forcément utile pour connecter les puces entre elles pour cette configuration mais nous permet simplement de le comparer avec le design croisé en gardant une architecture très proche. Elle permet également de limiter la résistance thermique via l'ajout de vias entre les faces supérieures et inférieures du PCB2.

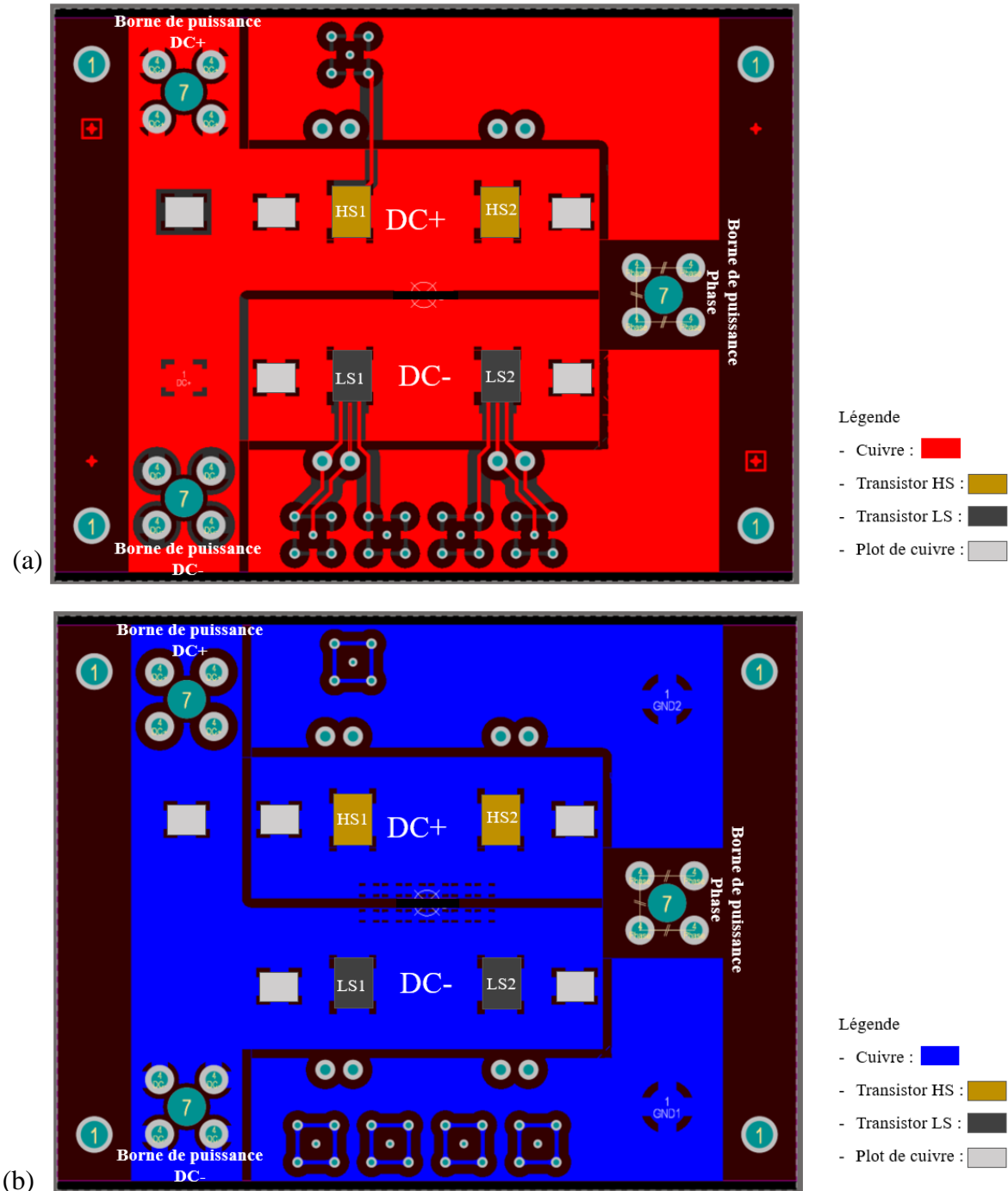


Figure II-12. PCB2 du design non croisé du module PN_2PCB (a) Couche supérieure (b) Couche inférieure

En conclusion, la mise en place du design croisé nécessite la présence d'une couche d'isolation supplémentaire par rapport à une solution non croisée.

- Inductance de la maille de commutation :

Comme déjà présenté dans la partie I.5, le placement croisé des MOSFETs devrait conduire à une compensation des champs magnétiques créés par les boucles de commutation opposées. La comparaison de l'inductance de la maille de commutation du design croisé et du design non croisé permettra donc d'évaluer l'effet de cette compensation.

Dans le design croisé et le design non croisé, les puces sont montées en flip chip. Ceci devrait réduire la surface de la maille de commutation et minimiser par la suite son inductance parasite en comparaison avec la disposition classique sans flip-chip (paragraphe I.5.2.2).

- Comportement CEM du module

Le dissipateur thermique ainsi que la semelle en cuivre sont généralement reliés à la terre (GND) comme le montre la Figure II-8. Cependant, un couplage capacitif sous la forme de capacités de mode commun est créé par cette association constituant un chemin de retour préférentiel pour les courants de mode commun (MC). Ces derniers, induits par la présence de la capacité C_{OUT_GND} , entre la phase et la terre, se rebouclent par les capacités C_{DC+_GND} et C_{DC-_GND} , entre le bus DC et la terre, en se propageant dans la semelle. L'impact de ces couplages parasites est lié fortement aux valeurs de capacités ainsi qu'à leur symétrisation (paragraphe I.4.3). Les chemins principaux de propagation des courants de mode commun sont présentés dans la Figure II-13.

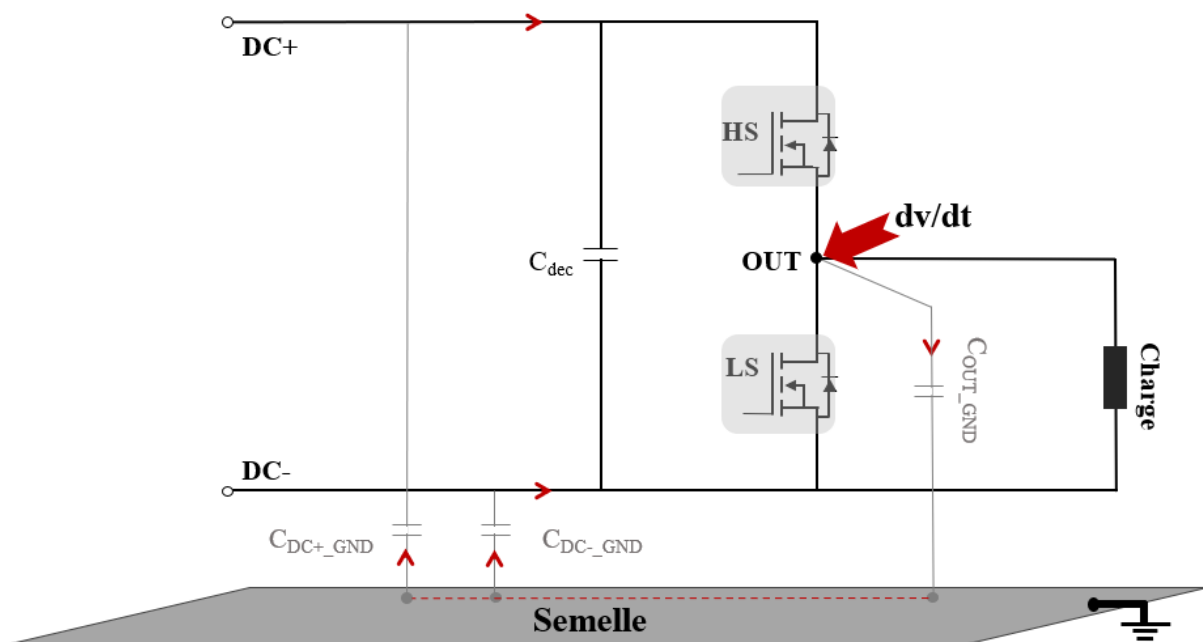


Figure II-13. Schéma électrique représentant les capacités de mode commun du module de puissance

Pour le design croisé et le design non croisé la couche correspondante à la phase, soumise au plus fort dv/dt , est située sur la face inférieure du PCB1 (Figure II-8 (a)). Ce positionnement permet de minimiser au maximum la capacité C_{OUT_GND} et donc de limiter les perturbations CEM engendrées par cette capacité. Au contraire, dans le cas du design classique sans flip-chip (Figure II-8 (b)), la couche représentant la phase est placée en vis-à-vis de la semelle. Cette

disposition augmente fortement la capacité C_{OUT_GND} et dégrade le comportement CEM du module.

Les capacités C_{DC+_GND} et C_{DC-_GND} constituent une partie du filtre de mode commun dans le module si elles sont équilibrées (paragraphe I.4.3.3). Afin de conserver cet avantage, l'assemblage doit assurer une symétrisation des surfaces des pistes reliées à DC+ et à DC- en face de la semelle. Cette symétrisation est effectuée pour les designs croisé et non croisé. Comme le montre la Figure II-14 (a) et la Figure II-14 (b) les semelles sont faites en forme de lettre I. Cette forme aide à avoir l'équilibre des surfaces $DC+_GND$ et $DC-_GND$. Cependant, pour le design classique, la symétrisation est difficile puisque le potentiel de phase est reporté sur la face de dessous du PCB2 en face de la semelle (Figure II-8(b) et Figure II-14(c)).

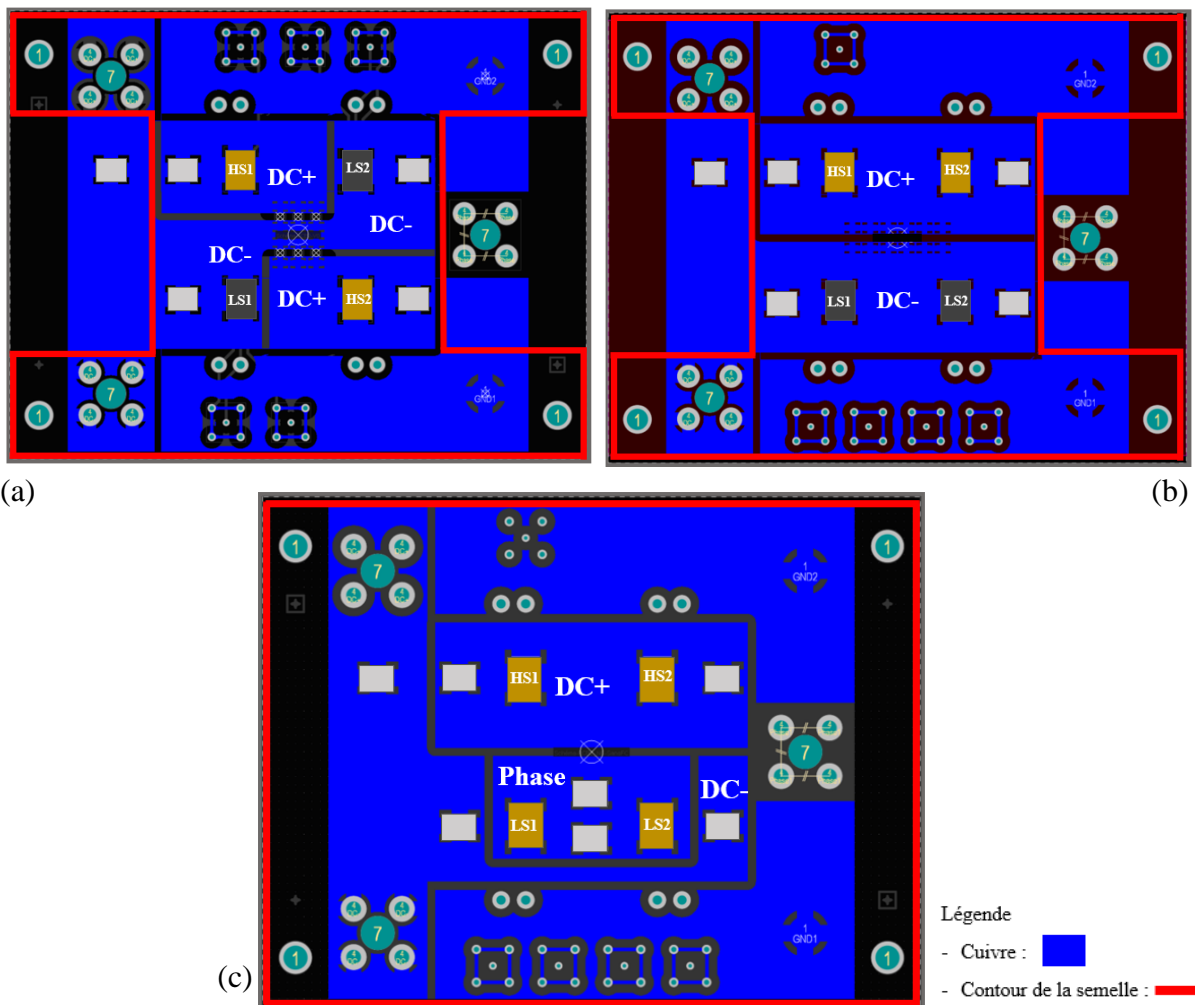


Figure II-14. Couche inférieure du module et contour de la semelle de cuivre (a) Design croisé (b) Design non croisé (c) Design classique

La comparaison du comportement des spectres de mode commun des designs croisé et non croisé avec le design classique sans flip-chip permettra ainsi de voir l'importance de la symétrisation des capacités C_{DC+_GND} et C_{DC-_GND} et de la minimisation de la capacité C_{OUT_GND} .

II.2.2.2 Le driver et son alimentation

- Driver

La mise en œuvre du driver est effectuée par un PCB constitué de quatre couches. Le routage de ce PCB est réalisé de manière à assurer une symétrisation de la boucle de commande des puces en parallèle et ainsi assurer une bonne synchronisation des signaux de commande. Deux routages différents du circuit de driver adaptés au design croisé (Figure II-15) et au design non croisé (Figure II-16) de la cellule de commutation PN_2PCB sont proposés. Les pistes de Grille et de Kelvin-Source des transistors HS (High-Side) ainsi que des transistors LS (Low-Side) sont routées sur deux couches superposées espacées de 360 μ m. Cet agencement doit permettre de réduire l'inductance de la maille de grille.

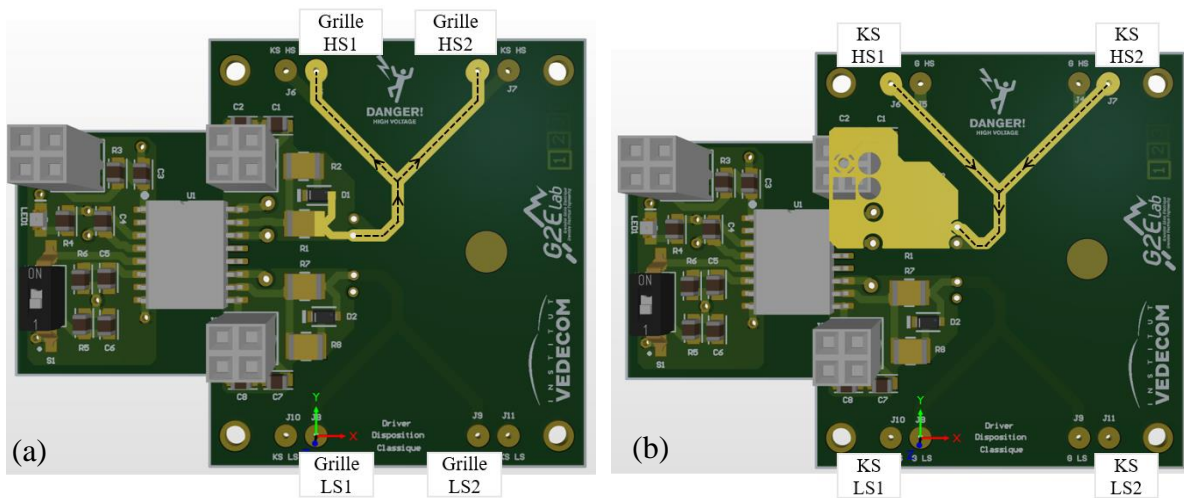


Figure II-15. Driver du module PN_2PCB à design croisé (a) Couche supérieure (b) Couche interne 1

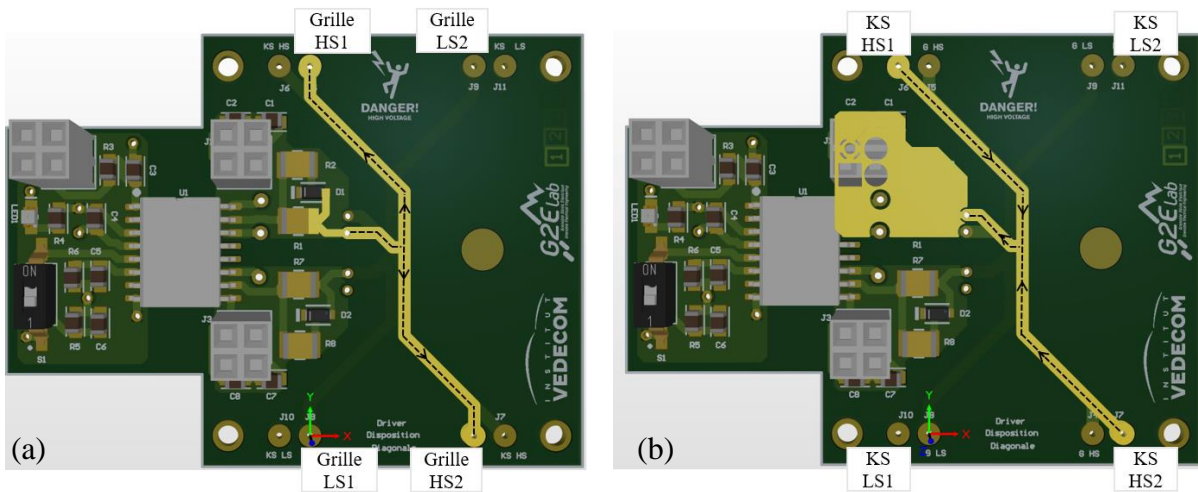


Figure II-16. Driver du module PN_2PCB à design non croisé (a) Couche supérieure (b) Couche interne

- Alimentation

La Figure II-17(a) montre le schéma électrique d'une architecture classique du circuit d'alimentation. Cette architecture présente deux alimentations isolées indépendantes et trois tensions de référence : GND1, GND2 et OUT. La perturbation dv/dt générée au point OUT, par

rapport au GND2 du module, provoque l'apparition d'un courant de mode commun ($C \cdot dv/dt$) passant par l'alimentation isolée HS (High-Side). La plus grande partie du courant passe par le circuit de commande référencé par rapport à GND1 alors qu'une petite partie retourne au module de puissance. Cette division du courant dépend des impédances vues par le courant de mode commun vers GND1 et GND2.

Dans l'architecture cascadée, présentée dans la Figure II-17 (b) il n'y a qu'une seule voie d'entrée de l'alimentation. Une grande partie du courant de mode commun retourne au module de puissance grâce au ratio modifié entre les deux impédances vers GND1 et GND2 [91].

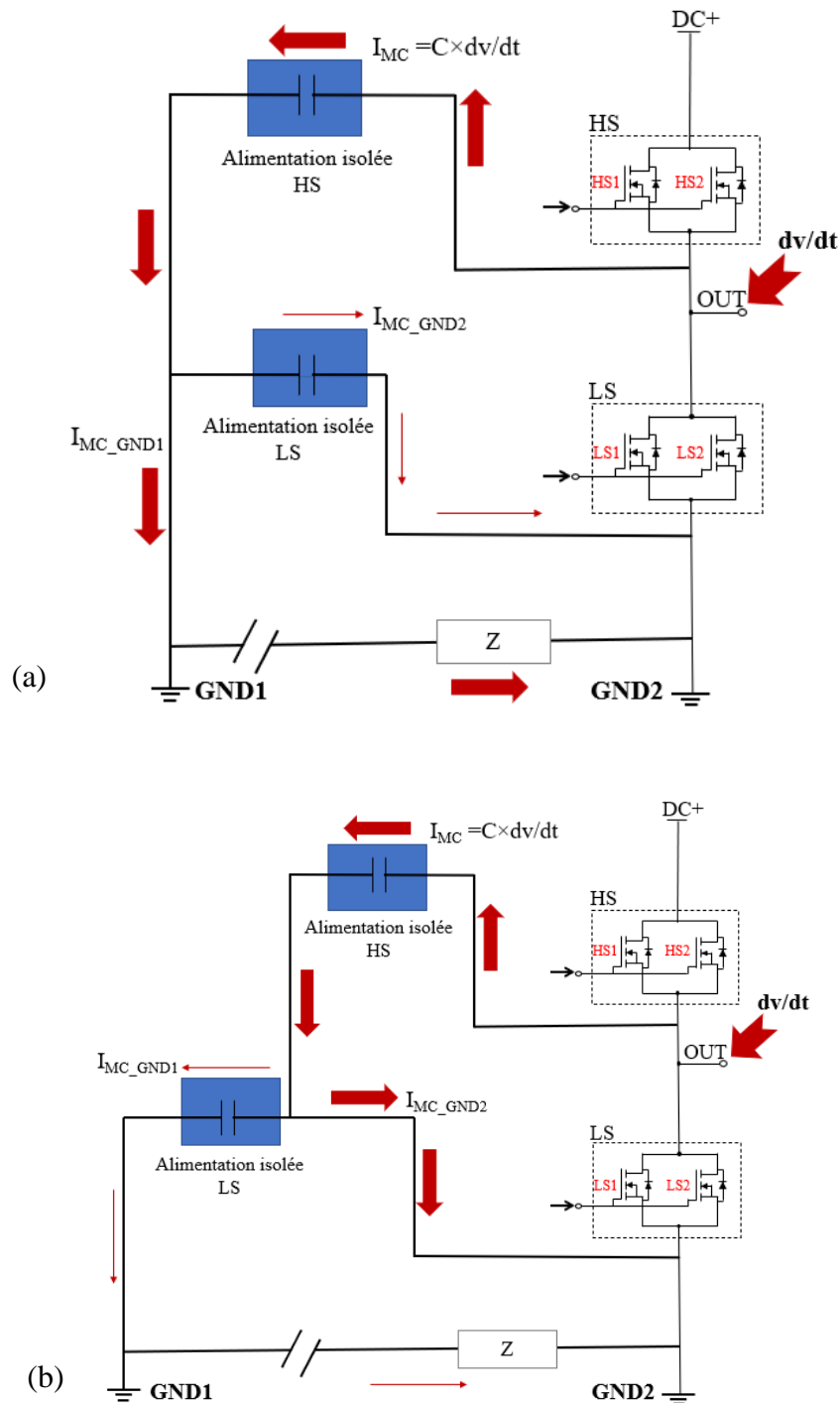


Figure II-17. Schéma électrique simplifié du circuit de commande (a) classique (b) cascadé

L'architecture cascadée est choisie pour le circuit d'alimentation de notre module. Elle permet donc un rebouclage du courant de mode commun dans la partie puissance du module. L'effet de l'alimentation du driver sur les mesures CEM sera donc minimisé.

Le synoptique du circuit d'alimentation cascadé utilisé pour le driver du module PN_2PCB est présenté sur la Figure II-18. Le driver UCC20520 de Texas instrument est sélectionné pour notre application. Ce driver permet d'injecter un temps mort afin d'éviter des éventuels courts-circuits lors de la commutation. Ainsi, il est piloté uniquement par la commande des transistors HS. La commande des transistors LS est générée automatiquement par le bloc du driver d'une manière complémentaire à celui du HS en respectant le temps mort prédéfini.

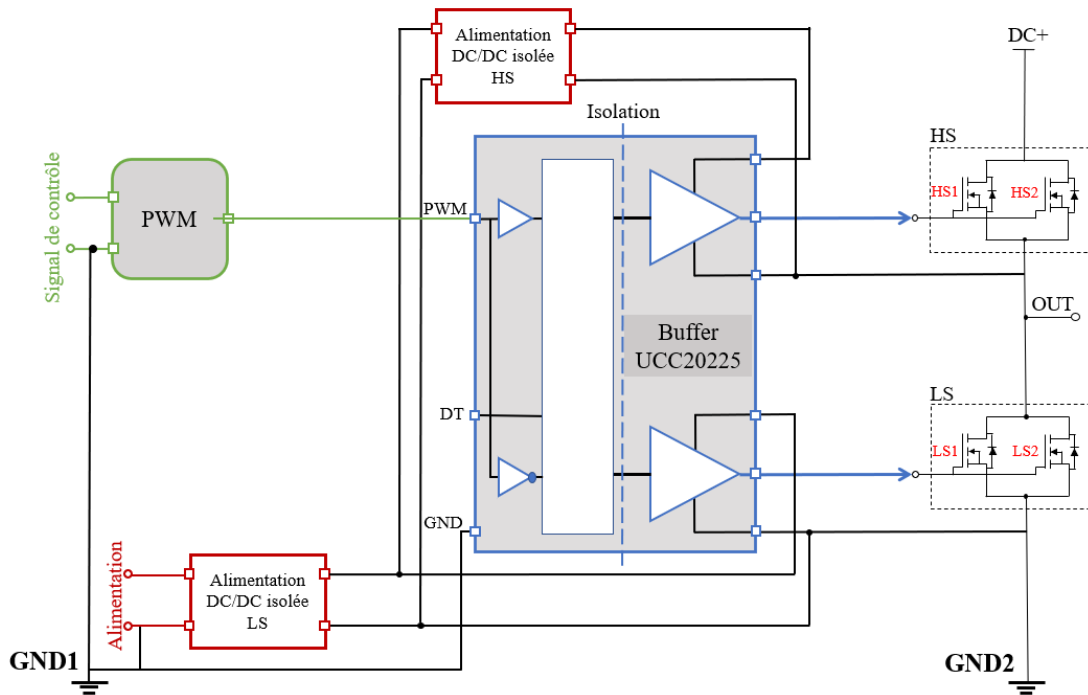


Figure II-18. Synoptique du circuit d'alimentation et du driver

II.2.3 Analyse électrique du module

Dans le but d'extraire et de comparer les éléments parasites des différents designs du module PN_2PCB, des simulations par le logiciel Ansys Q3D extractor sont effectuées. Ansys Q3D est un outil qui permet d'extraire les éléments parasites résistifs, inductifs et capacitifs.

Comme le montre la Figure II-19, la géométrie du module issue du logiciel Altium Designer, sous forme de fichier *.DXF, est insérée dans Ansys Q3D pour effectuer ce calcul. Les valeurs des éléments parasites sont obtenues en injectant un courant alternatif (AC) entre les différents nœuds électriques (Source et Sink), prédéfinis manuellement, en spécifiant la fréquence du signal d'excitation. Cette dernière est choisie à 50MHz dans ce cas. Les résultats du calcul sont fournis sous forme de matrice. Notons que le choix de la fréquence d'excitation est basé sur une simulation plus complète montrant que la variation des inductances propres en fonction de la fréquence d'excitation est négligeable pour une fréquence supérieure à 30MHz.

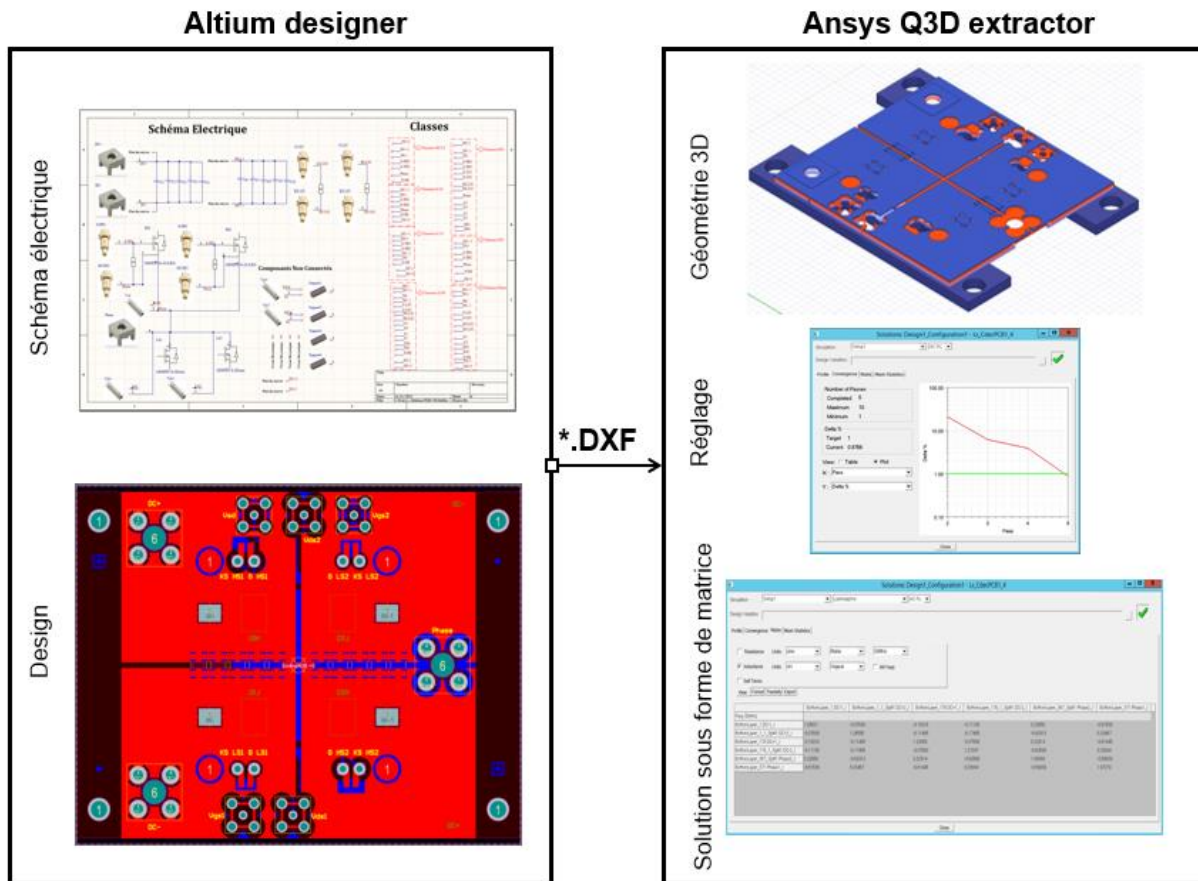


Figure II-19 . Etapes d'extraction des éléments parasites

Dans la suite de cette partie la comparaison des éléments parasites des trois designs du module PN_2PCB est présentée. Mais avant de rentrer dans l'analyse des résultats obtenus, il est nécessaire de présenter la géométrie ainsi que les considérations retenues pour la simulation.

II.2.3.1 Capacités parasites

Le module PN_2PCB a une géométrie avec des plans en regard. Cette géométrie tend à ajouter des capacités parasites en parallèle avec les capacités intrinsèques des MOSFETs ainsi que des capacités de mode commun. Le schéma électrique de la Figure II-20, montre les capacités parasites calculées par simulation. Les capacités C_{DC+_GND} , C_{DC-_GND} et C_{OUT_GND} correspondent aux capacités de mode commun. Les capacités C_{OUT_DC+} et C_{OUT_DC-} sont les capacités ajoutées par le package en parallèle aux capacités C_{OSS} des MOSFETs HS et LS respectivement. Les capacités ajoutées par l'assemblage en parallèle aux capacités C_{gs} et C_{gd} du MOSFET ne sont pas prises en compte dans les simulations électriques. Elles sont en effet considérées de faible valeur par rapport aux capacités parasites des transistors.

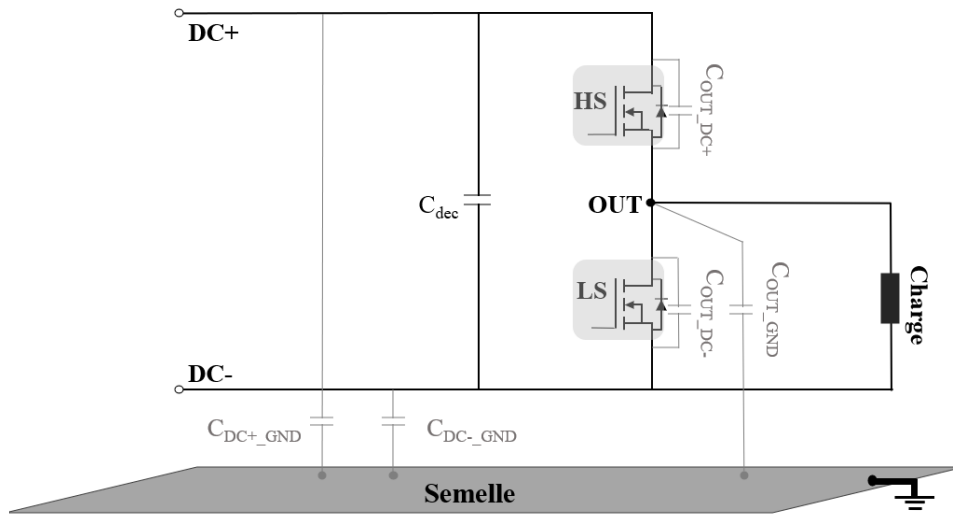


Figure II-20. Schéma électrique des capacités parasites ajoutées par l'assemblage

- Géométrie

La géométrie extraite depuis le logiciel Altium Designer est retravaillée dans Ansys Q3D Extractor afin de calculer les capacités parasites ajoutées par l'assemblage PN_2PCB. Cette géométrie comporte les différentes pistes du module ainsi que les couches représentant le prepreg (Figure II-21 (a)). Comme le montre la Figure II-21(b), les interrupteurs de puissance sont retirés afin d'effectuer ce calcul. Les vias et les plots de cuivre assurant les connexions entre les différentes pistes sont ainsi éliminés dans le but d'accélérer la simulation. Toutefois, certains potentiels sont présents sur plusieurs couches. Ainsi, les capacités en parallèle sont ajoutées afin d'obtenir la capacité totale entre deux potentiels. Un exemple est présenté sur la Figure II-21(b). La capacité C_{OUT_DC+} entre le potentiel DC+ et le potentiel de phase est donnée par l'équation suivante :

$$C_{OUT_DC+} = C_{OUT_DC+1} + C_{OUT_DC+2} + C_{OUT_DC+3} + C_{OUT_DC+4} \quad (II.1)$$

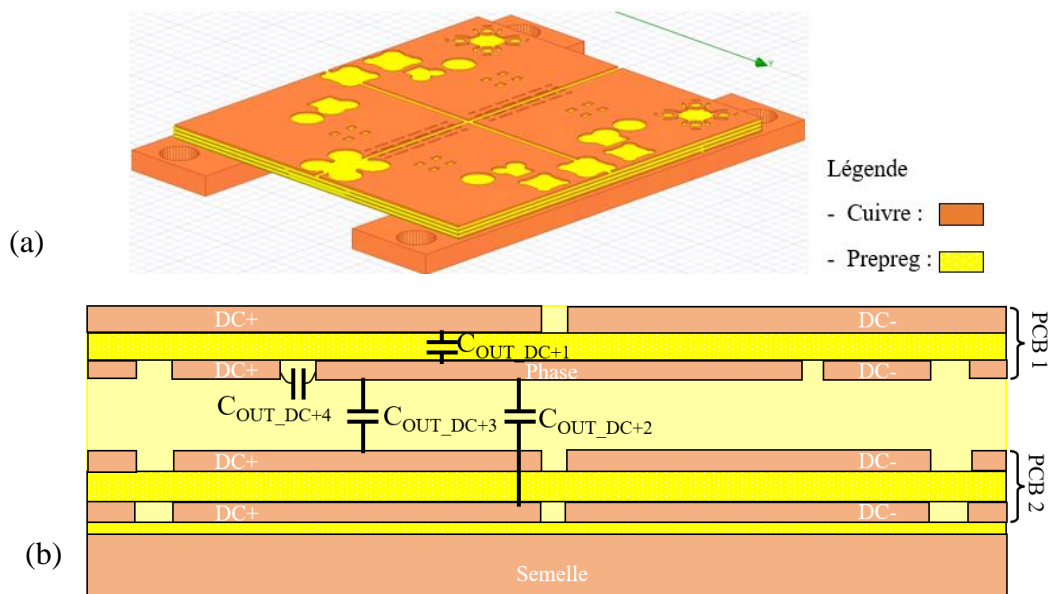


Figure II-21. Géométrie du module PN_2PCB dans Ansys Q3D extractor (a) vue isométrique (b) coupe transversale

A chaque piste, deux nœuds électriques, *source* et *sink*, sont attribués (Figure II-22(a)). La Figure II-22 (b) montre la capacité parasite calculée entre deux pistes auxquelles les nœuds sont prédéfinis.

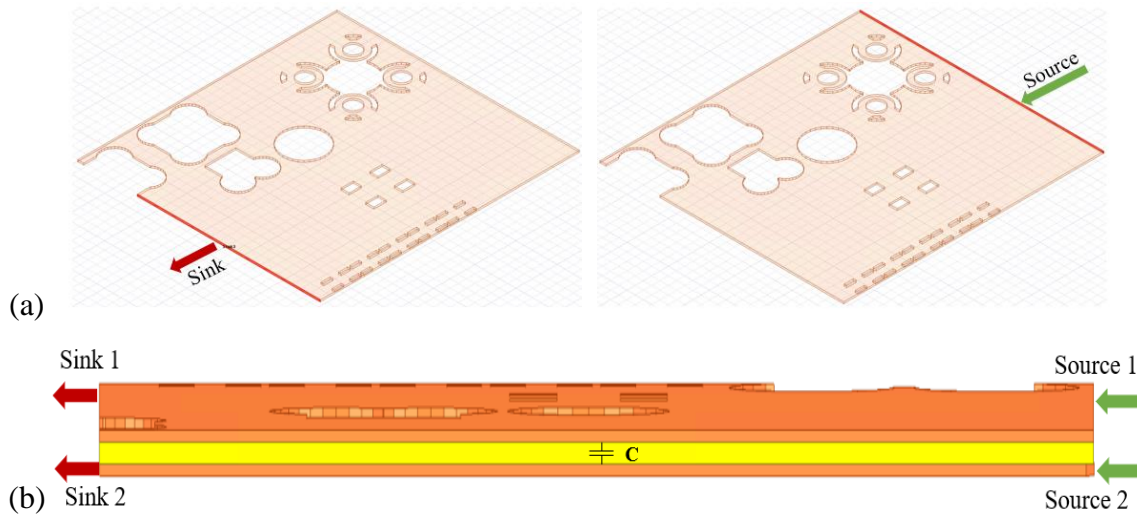


Figure II-22 . Calcul des capacités parasites (a) Définition de source et de sink (b) Capacité calculée entre deux pistes

- Résultats

Le Tableau II-1 présente les résultats Q3D des capacités parasites ajoutées par le package pour les trois designs du module PN_2PCB.

	Design croisé	Design non croisé	Design classique
C_{OUT_GND} [pF]	< 1	< 1	226
C_{DC+_GND} [pF]	484	480	454
C_{DC-_GND} [pF]	502	492	570
C_{OUT_DC+} [pF]	78	76	72
C_{OUT_DC-} [pF]	83	79	58

Tableau II-1. Résultats Q3D des capacités parasites ajoutées par l'assemblage

La capacité de sortie C_{OUT_GND} est très petite par rapport aux autres pour les deux designs flip-chip croisé et non croisé. Ceci est dû au blindage de la couche représentant la sortie dans le module (Figure II-8(a)). Pour le design classique, la valeur de cette capacité est de 226pF. Cette augmentation de valeur est due au placement de la couche de la phase en vis-à-vis de la semelle reliée à la terre (Figure II-8(b)).

Une différence de l'ordre de 3% est observée entre les capacités C_{DC+_GND} et C_{DC-_GND} pour le design croisé et le design non croisé ce qui les rend quasi symétriques. Ceci valide le choix du placement-routage pour les surfaces reliées aux potentiels DC+ et DC- en regard de la semelle discutée dans la partie II.2.2.1. Pour le design classique, sans flip chip, la capacité C_{DC-_GND} a une valeur de 21% supérieure à la valeur de C_{DC+_GND} . Cette différence de valeur était prévue puisque la surface de la piste reliée au potentiel DC- est supérieure à celle reliée au potentiel DC+ en face de la semelle (Figure II-14(c)).

Les données du constructeur du MOSFET Si utilisé nous indiquent une valeur de C_{ds} égale à 2000pF à 50V. Pour les trois designs, le packaging augmentera C_{ds} de seulement 4% ce qui

reste relativement faible. Toutefois, il est important de noter que cela ne serait pas le cas si l'on désirait travailler avec des puces de type MOSFET SiC, de même calibre en courant. Ces derniers comportent des capacités parasites C_{oss} d'une valeur de quelques centaines de pF. Dans ce cas, la minimisation et la symétrisation des capacités C_{OUT_DC+} et C_{OUT_DC-} devient nécessaire afin de ne pas trop ralentir les commutations des transistors HS.

Les résultats obtenus montrent l'avantage de la technologie de flip-chip sur l'optimisation des capacités parasites du module. Nous allons maintenant étudier le comportement vis-à-vis des inductances parasites.

II.2.3.2 Inductances parasites

La modélisation électromagnétique du module de puissance effectuée avec le logiciel Ansys Q3D permet d'extraire l'impédance d'un circuit (résistance, inductance propre et mutuelle inductance). La géométrie du module utilisée, les hypothèses émises ainsi que les résultats obtenus sont présentées par la suite.

- Géométrie

La conception de la géométrie est effectuée en fonction des objectifs de la simulation. Dans notre cas, le but est de déterminer l'inductance propre des deux boucles de la maille de commutation ainsi que les mutuelles entre elles. Afin d'extraire les éléments parasites avec Ansys Q3D, des nœuds électriques sont placés aux bornes des conducteurs (Figure II-23). La modélisation du module consiste à couper le module en deux parties afin de séparer les deux boucles de la maille de commutation (Figure II-24(a) et Figure II-24(b)). Cette approche est faite dans le but d'estimer la mutuelle inductance entre les deux boucles de commutation et pour vérifier l'équilibre de leurs inductances propres. Cette séparation physique des deux boucles du module ne prend donc pas en compte d'éventuels passages de courants communs entre les deux cellules de commutation, ce qui constitue une hypothèse forte dans notre cas. La validité de cette approche est toutefois confirmée par des simulations supplémentaires montrant que l'inductance propre d'une boucle de la maille de commutation varie très peu si l'étude est faite sur le module entier ou en le coupant en deux (ANNEXE 3). Les différences observées sont en effet de seulement 5% entre ces deux cas.

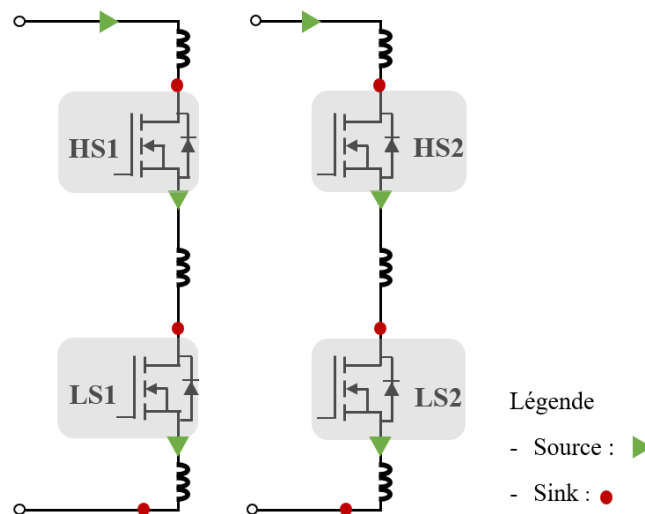


Figure II-23. Schéma électrique représentant le placement des nœuds électriques pour le module PN_2PCB

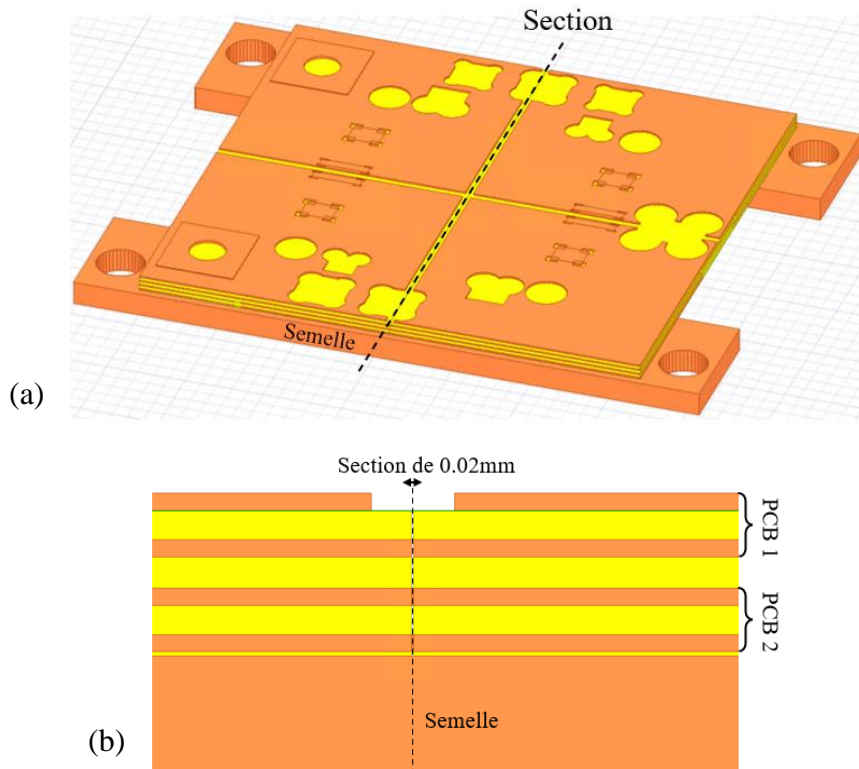


Figure II-24. Géométrie du module dans Q3D afin d'estimer les inductances propres de chaque cellule de commutation et la mutuelle entre elles (a) Module Complet (b) Zoom

- Résultats

La Figure II-25 représente le schéma électrique de la maille de commutation, composée de deux boucles, ainsi que les inductances propres de chaque branche et les mutuelles entre elles. La matrice d'inductance obtenue par simulation est une matrice 6×6 représentée par l'équation (II.2).

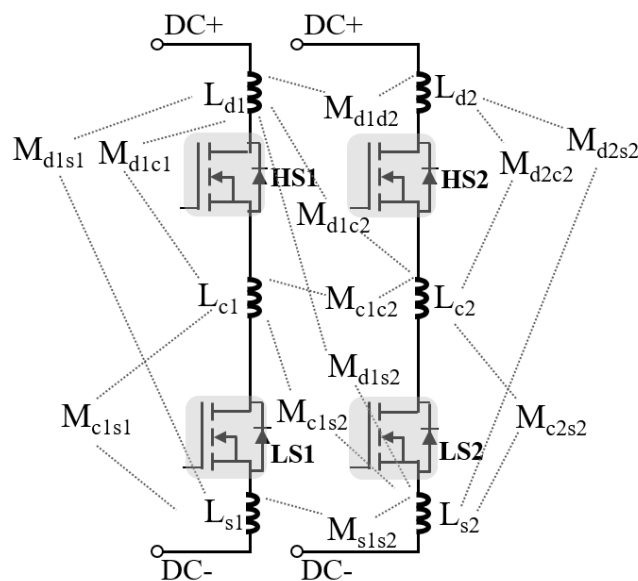


Figure II-25. Inductances propres et mutuelles extraites par Ansys Q3D extractor [92]

$$L_{total} = \begin{bmatrix} [L_1] & [M_{12}] \\ [M_{12}] & [L_2] \end{bmatrix} \quad (\text{II. 2})$$

avec

$$[L_i] = \begin{bmatrix} L_{di} & M_{dici} & M_{disi} \\ M_{cidi} & L_{ci} & M_{cisi} \\ M_{sidi} & M_{sici} & L_{si} \end{bmatrix}_{i=1,2} \quad (\text{II. 3})$$

$$[M_{12}] = \begin{bmatrix} M_{d1d2} & M_{d1c2} & M_{d1s2} \\ M_{c1d2} & M_{c1c2} & M_{c1s2} \\ M_{s1d2} & M_{s1c2} & M_{s1s2} \end{bmatrix} \quad (\text{II. 4})$$

$[L_i]$ représente l'inductance totale de la maille de commutation i . Elle est composée des inductances propres des conducteurs de la boucle (L_{di} , L_{ci} et L_{si}) ainsi que les mutuelles inductances entre eux.

$[M_{12}]$ représente les mutuelles inductances entre les deux boucles de la maille de commutation.

Les matrices L_{total} des trois designs sont présentées en ANNEXE 4.

La matrice L_{total} (6×6) peut être simplifiée en une matrice L_{eq} (2×2), représentée dans l'équation (II.5) afin de faciliter la comparaison entre les trois designs.

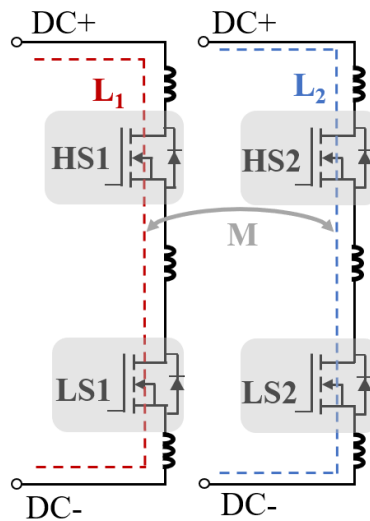


Figure II-26. Inductances

$$L_{eq} = \begin{bmatrix} L_{eq1} & M_{eq12} \\ M_{eq12} & L_{eq2} \end{bmatrix} \quad (\text{II. 5})$$

avec

$$L_{eq_i} = L_{di} + L_{ci} + L_{si} + 2 \times (M_{dici} + M_{disi} + M_{cisi})_{i=1,2} \quad (\text{II. 6})$$

$$M_{eq12} = M_{d1d2} + M_{c1c2} + M_{s1s2} + M_{d1c2} + M_{d1s2} + M_{c1s2} + M_{c1d2} + M_{s1d2} + M_{s1c2} \quad (\text{II. 7})$$

L'inductance équivalente de la maille de commutation du module est donnée par la formule suivante :

$$L_{CCL} = \frac{L_{eq1}L_{eq2} - M_{eq12}^2}{L_{eq1} + L_{eq2} - 2M_{eq12}} \quad (II.8)$$

	Design croisé	Design non croisé	Design classique
$\begin{bmatrix} L_{eq1} & M_{eq12} \\ M_{eq12} & L_{eq2} \end{bmatrix} \text{ (nH)}$	$\begin{bmatrix} 1.6 & -0.13 \\ -0.13 & 1.6 \end{bmatrix}$	$\begin{bmatrix} 1.6 & 0.14 \\ 0.14 & 1.6 \end{bmatrix}$	$\begin{bmatrix} 2 & 0.24 \\ 0.24 & 2 \end{bmatrix}$
L_{CCL}	0.7 nH	0.85 nH	1.1 nH

Tableau II-2. Inductances obtenues par Q3D des différents designs du module PN_2PCB

Les résultats de simulation obtenus montrent que les inductances équivalentes de la maille de commutation est inférieure à 1nH pour le design croisé et le design non croisé et elle est de 1.1nH pour le design classique. Cette inductance est considérée faible pour les différents designs. Ceci est dû principalement au package intégré permettant de réduire la surface de la maille de commutation et par conséquent son inductance.

Les inductances des deux branches de la maille de commutation, L_{eq1} et L_{eq2} , sont égales dans les trois designs. Ceci confirme la symétrisation de la géométrie des deux boucles de la maille de commutation des différents designs.

Pour le design classique, la valeur absolue de l'inductance propre et de la mutuelle inductance est supérieure à celles des deux autres designs. Cette augmentation est due à la disposition normale des MOSFETs, sans l'application de la technologie de flip chip, qui conduit à une augmentation de la surface de la maille de commutation.

Pour le design croisé, la mutuelle inductance M_{12} est négative alors qu'elle est positive pour le design non croisé et le design classique. Ce résultat était prévu et recherché puisque les champs magnétiques des deux boucles de la maille de commutation sont de sens opposés lorsque les MOSFETs sont en disposition croisée. Cette mutuelle négative, valant approximativement un dixième des inductances propres L_{eq1} et L_{eq2} , a permis une réduction de 18% de l'inductance L_{CCL} équivalente du design croisé par rapport au design non croisé. Ainsi, le pourcentage de réduction dépend de la valeur relative de la mutuelle inductance par rapport aux inductances propres des branches de la maille de commutation. Ce résultat ne peut pas être donc généralisé mais permet d'avoir un ordre de grandeur de la minimisation de l'inductance totale de la maille de commutation qui peut être obtenue en comparant un design croisé et un design non croisé d'un assemblage différent.

Le procédé de fabrication qui a été développé pour la réalisation du module VESA est utilisé également pour la fabrication du module PN_2PCB. Les étapes d'assemblage seront présentées par la suite.

II.2.4 Étapes d'assemblage et modules obtenus

Le Tableau II-3 regroupe les différentes étapes d'assemblage effectuées pour la réalisation du module PN_2PCB. Elles sont commentées étape par étape ci-dessous.

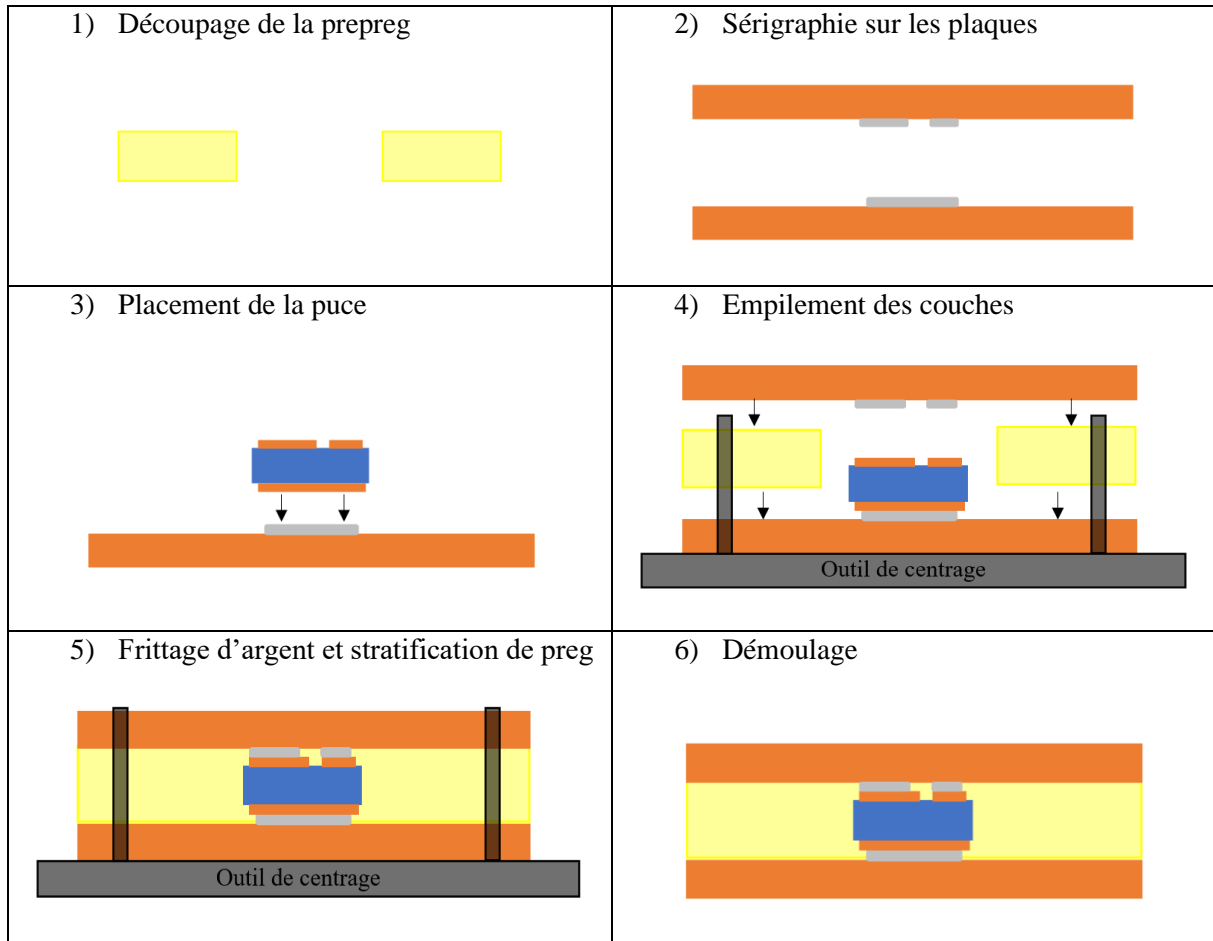


Tableau II-3. Étapes d'assemblage du module PN_2PCB

Etape 1 : Une couche de prepreg est découpée à la dimension de la puce.

Etape 2 : Des écrans de sérigraphie sont adaptés au dépôt de la pâte d'argent sur le dessous du PCB1 et sur le dessus du PCB2. Le dépôt de la pâte dans les ouvertures de l'écran s'effectue grâce au racleur qui fait avancer la pâte selon l'axe y (Figure II-27).



Figure II-27. Dépôt de la pâte d'argent

Etape 3 : La mise en place des composants sur les PCB est réalisée précisément par une machine automatique nommée Pick & Place (Figure II-28). Un programme est utilisé pour paramétrer les conditions de placement des composants.

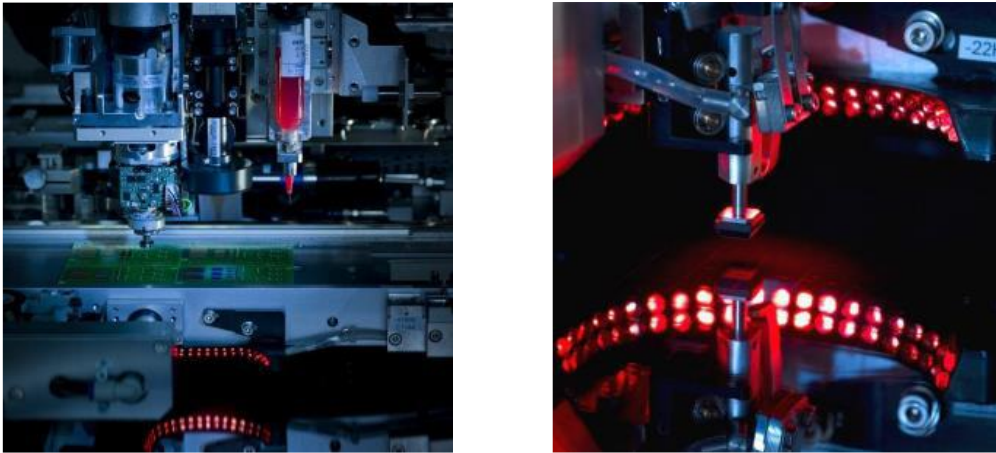


Figure II-28. Placement des composants par la machine Pick & Place

Etape 4 : L'empilement du PCB1, de la couche du prep centrale et du PCB2 est réalisé par un outil de centrage comportant quatre goupilles (Voir Figure II-29) afin d'assurer l'alignement de l'ensemble.

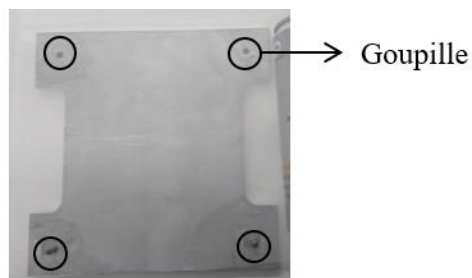


Figure II-29. Outil de centrage

Etape 5 : L'assemblage réalisé précédemment est placé ensuite dans la presse chauffante LabPro 400. Cette presse est utilisée pour réaliser la stratification du prepreg dans l'assemblage simultanément avec le frittage de la pâte d'argent.

Etape 6 : L'assemblage est séparé de l'outil de centrage.

Au sein de l'entreprise Elvia PCB et en suivant les étapes d'assemblage représentés ci-dessus, les trois designs du module PN_2PCB ont été fabriqués par un collègue de Vedecom qui avait la charge de cette réalisation dans le cadre de ce projet. Cependant, les prototypes obtenus ne sont pas fonctionnels. Comme le montre la Figure II-30, un non-alignement existe entre les différentes couches du module (PCB1, Preg central, PCB2 et semelle). Ce problème est lié à l'étape d'empilement des couches (étape 4).

Pour le module VESA, l'étape d'empilement a été effectuée en empilant des panneaux ayant la même surface de l'outil de centrage (Figure II-31(a)). Ceci a permis donc un alignement parfait des différentes couches et a abouti à des modules VESA fonctionnels. Pour le module PN_2PCB, le découpage des panneaux a été réalisé avant l'empilement et chaque module a été

inséré d'un seul côté et dans une seule goupille de l'outil de centrage (Figure II-31(b)). Cette disposition a conduit à une rotation des couches des modules lors de l'application de la pression dans la presse chauffante (étape 5). Des courts-circuits ont été donc détectés dans le module. Cela n'a pas permis de tester expérimentalement le module PN_2PCB car le budget du projet n'a pas permis de relancer une seconde fabrication.

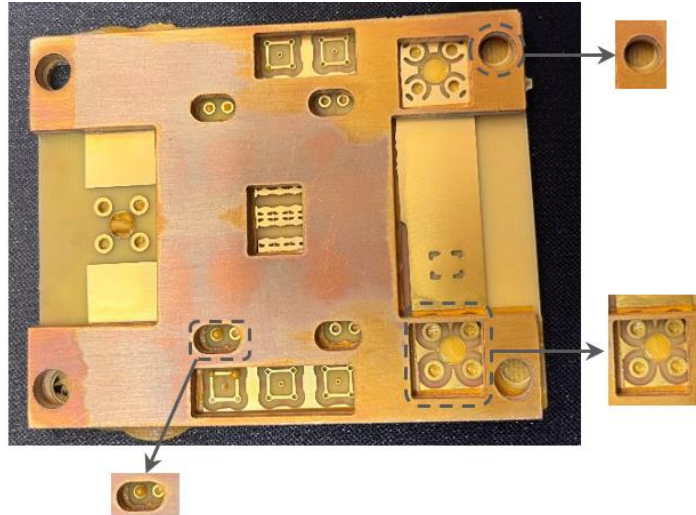


Figure II-30. Vue de dessous du module montrant le non-alignement entre les couches et zoom sur quelques parties

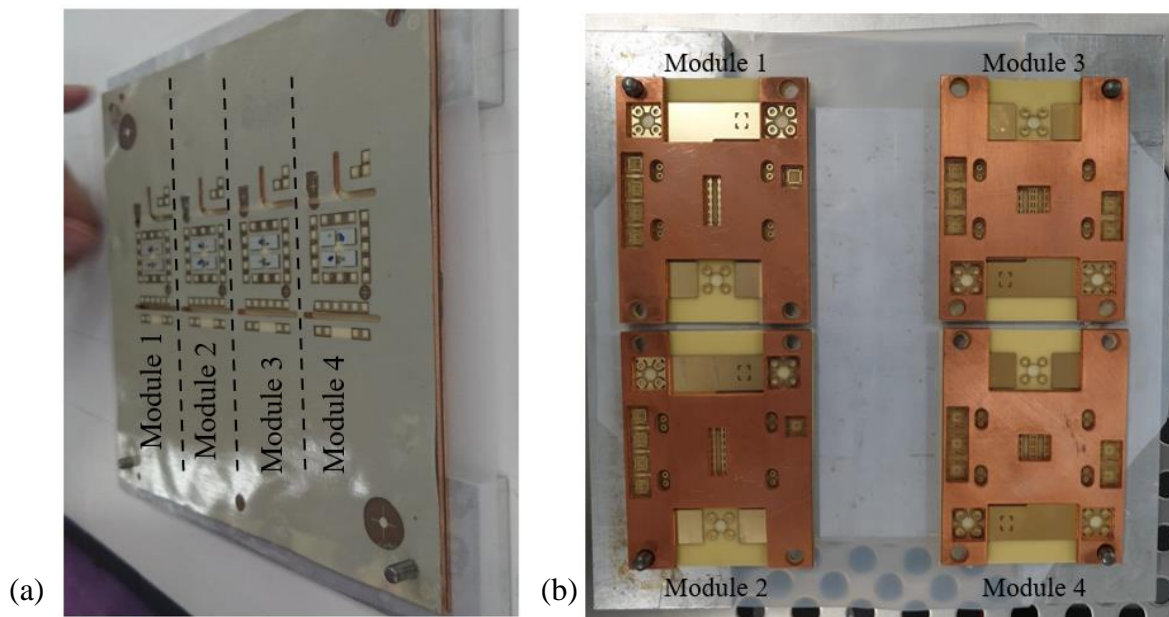


Figure II-31. Empilement des couches (a) module VESA (b) module PN_2PCB

Ainsi, dans le but de tester expérimentalement le concept du brevet et voir l'effet de l'optimisation des capacités sur le comportement CEM du module, une nouvelle architecture du module a été proposée et sera présentée dans la suite de ce chapitre. Ce nouveau module doit avoir des caractéristiques proches de celles du module PN_2PCB. Cependant, nous verrons que sa fabrication est plus simple de point de vue technologique et qu'il a pu être réalisée par les moyens disponibles à Grenoble.

II.3 Le module avec placement des composants packagés entre SMI et PCB

La mise en œuvre du module avec placement de puces packagées entre un PCB et un SMI (PP_PCBSMI) est la solution retenue à la suite des problèmes rencontrés avec le module PN_2PCB. Cette nouvelle architecture est moins ambitieuse du point de vue technologique par rapport au PN_2PCB. Cependant les moyens nécessaires pour sa fabrication sont disponibles au Centre d'Enseignement et de Développement pour le Montage en Surface (CEDMS) de l'IUT de Grenoble et il permettra tout de même de faire une caractérisation électrique d'un module se basant sur le concept du brevet. L'architecture et la technologie du module PP_PCBSMI seront décrites dans le paragraphe suivant. Les simulations seront ensuite présentées. Enfin les étapes d'assemblage seront exposées suivies par une comparaison entre les deux architectures PN_2PCB et PP_PCBSMI.

II.3.1 Architecture et caractéristiques

Le schéma électrique du module PP_PCBSMI est identique à celui du module PN_2PCB présenté dans la Figure II-6(a). On retrouve donc un bras d'onduleur dont chaque interrupteur est composé de deux MOSFETs en parallèle. Une vue 3D du module PP_PCBSMI est présentée sur la Figure II-32. Cette cellule de commutation offre plusieurs possibilités de positionnement des condensateurs de découplage. Ces derniers peuvent être placés sur le PCB, sur le SMI ou les deux simultanément. Le driver et son circuit d'alimentation qui ont été conçus pour le module PN_2PCB sont également utilisés pour le module PP_PCBSMI. Pour cette raison, les mêmes broches à ressort, nécessaires pour les connexions de la grille et de la source, sont placées sur ce dernier.

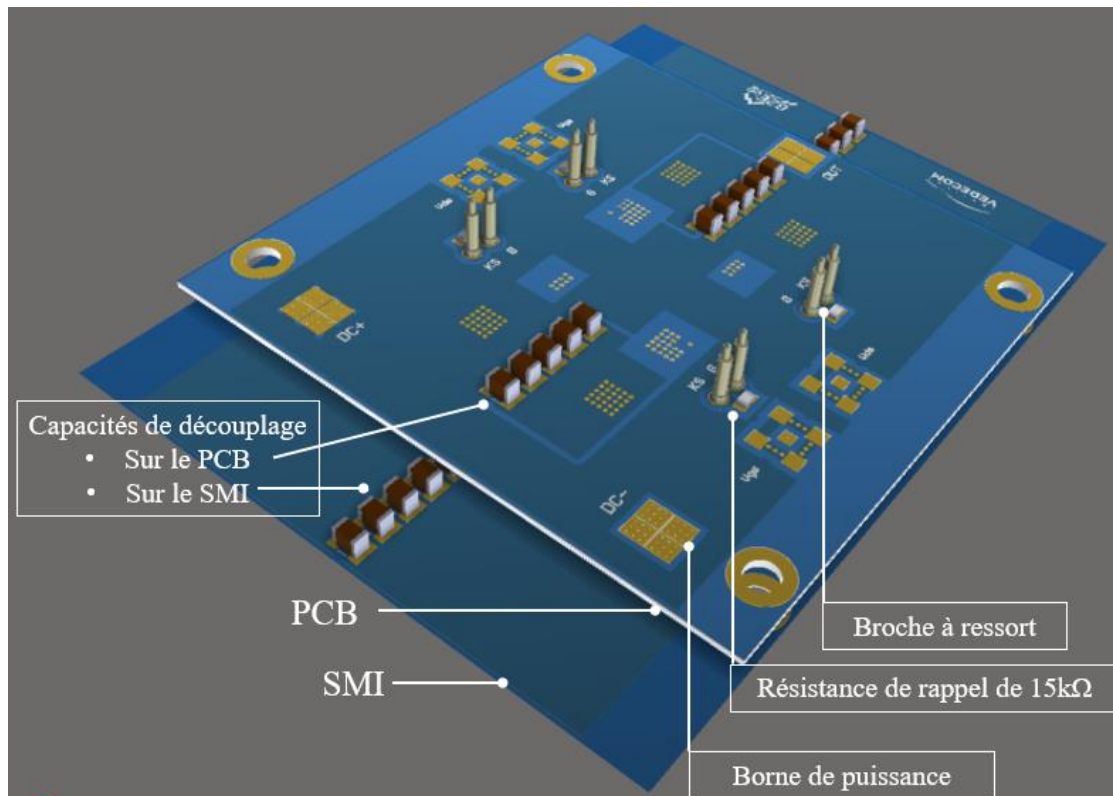


Figure II-32. Vue 3D de la cellule de commutation PP_PCBSMI

Le choix du MOSFET utilisé dans le module PP_PCBSMI sera justifié dans le paragraphe suivant. L'architecture et les caractéristiques de ce module seront ensuite présentées.

a. Choix du composant semi-conducteur

La cellule de commutation du module PP_PCBSMI est mise en œuvre avec des puces packagées en silicium de calibre 150V-28A (IRF6775MTRPbF DirectFET MZ-outline). Cette puce a été choisie principalement grâce à son package particulier en cuivre qui est de faible épaisseur et qui utilise très peu de matériaux différents, donc peu d'interfaces entre la puce et les substrats. Par ailleurs, nous verrons que la forme de la coque en cuivre nous permet d'utiliser le composant comme un connecteur électrique servant à relier le PCB et le SMI entre eux. Dans cette configuration, le composant est non fonctionnel et a le même rôle que les plots de cuivre de la Figure II-8. Cela permet ainsi d'avoir des « plots » de mêmes dimensions et de mêmes finitions de surface que les composants ce qui simplifie l'assemblage. Le faible calibre en courant par rapport au module précédent a été choisi afin de simplifier les travaux de caractérisation, en particulier à cause de la limite en courant du Réseau Stabilisateur d'Impédance de Ligne (RSIL) disponible au laboratoire.

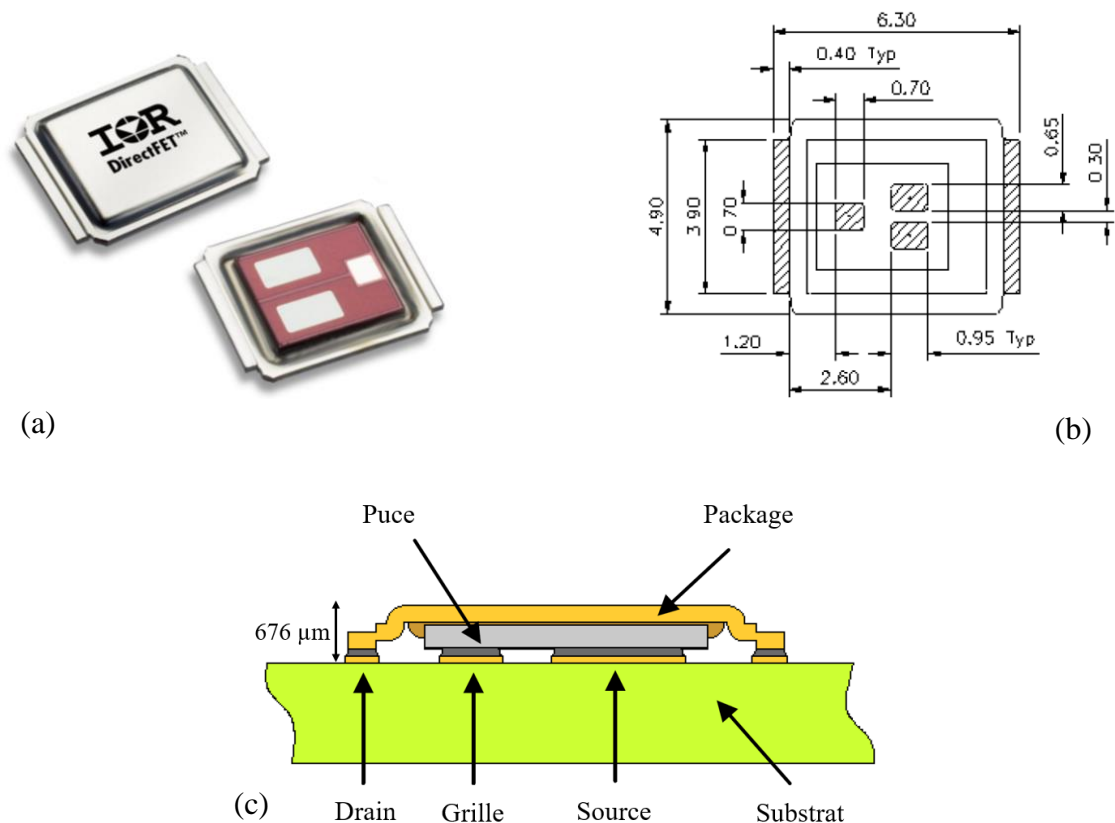


Figure II-33. MOSFET IRF6775MTRPbF (a) photographie du boîtier DirectFET MZ (b) Vue de dessous et dimensions (c) Coupe transversale

b. Caractéristiques

La conception du module PP_PCBSMI est effectuée par le placement des interrupteurs de puissance entre un PCB et un SMI réalisés par le fabricant de circuit imprimé Euro-Circuits. La Figure II-34(a) et la Figure II-34(b) correspondent à des coupes transversales de la cellule de commutation PP_PCBSMI respectivement avec et sans la technologie de flip-chip.

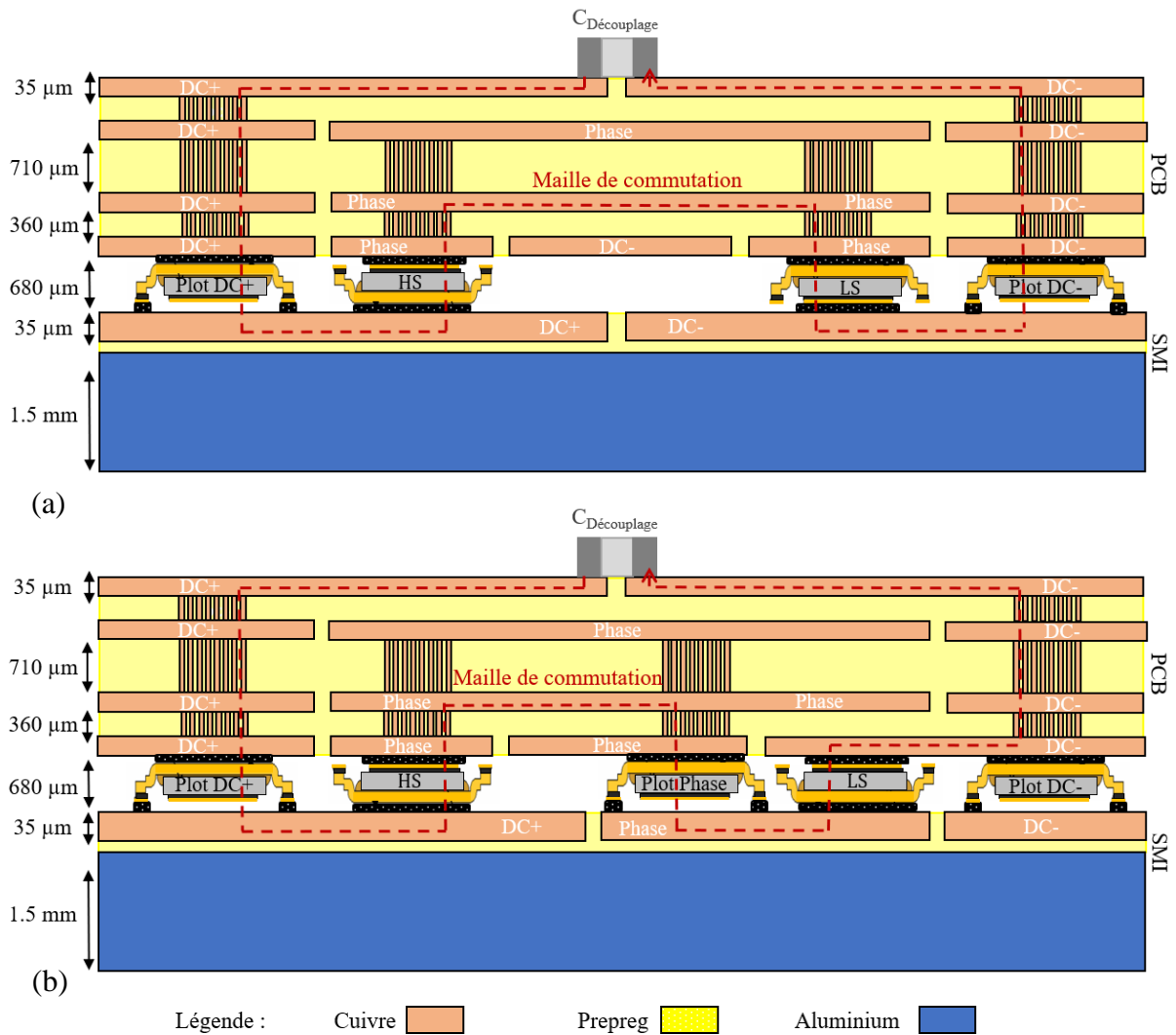


Figure II-34. Coupe transversale du module PP_PCBSMI (a) Design avec flip-chip (b) Design sans flip-chip

Comme le montre la Figure II-34 et comme énoncé plus haut, nous observons que des composants sont utilisés à la place des plots de cuivre afin d'assurer la continuité électrique entre le PCB et le SMI. Dans ce cas, la grille et la source de chacun des MOSFETs sont court-circuités grâce à leurs empreintes sur le SMI. Pour des raisons économiques et puisque le refroidissement ne s'effectue que par la face inférieure du SMI, les connexions des différentes couches du PCB sont réalisées par des vias et non des microvias. L'ensemble est fixé sur un dissipateur thermique grâce à une pâte thermique du côté SMI.

Les épaisseurs du cuivre et de prepreg pour le SMI et le PCB sont sélectionnées en se référant aux données standards recommandées par le fabricant.

Le design croisé, le design non croisé et le design classique sont également effectués pour le module PP_PCBSMI. Comme pour le module PN_2PCB, la position croisée des MOSFETs en parallèle complexifie la conception de ce module. Puisque le choix est d'utiliser un SMI, deux couches dans le PCB étaient nécessaires pour assurer la connexion des drains des transistors HS au potentiel DC+ d'une part (ici la couche 1 du PCB-Figure II-35(a)) et des sources des transistors LS au potentiel DC- d'autre part (ici la couche 4 du PCB-Figure II-35(d)). D'où le choix d'un PCB composé de quatre couches. Les couches 2 et 3 du PCB, présentées

respectivement dans la Figure II-35(b) et Figure II-35(c), sont utilisées pour la connexion de la phase. La Figure II-36 correspond à la couche de dessus du SMI de ce même design.

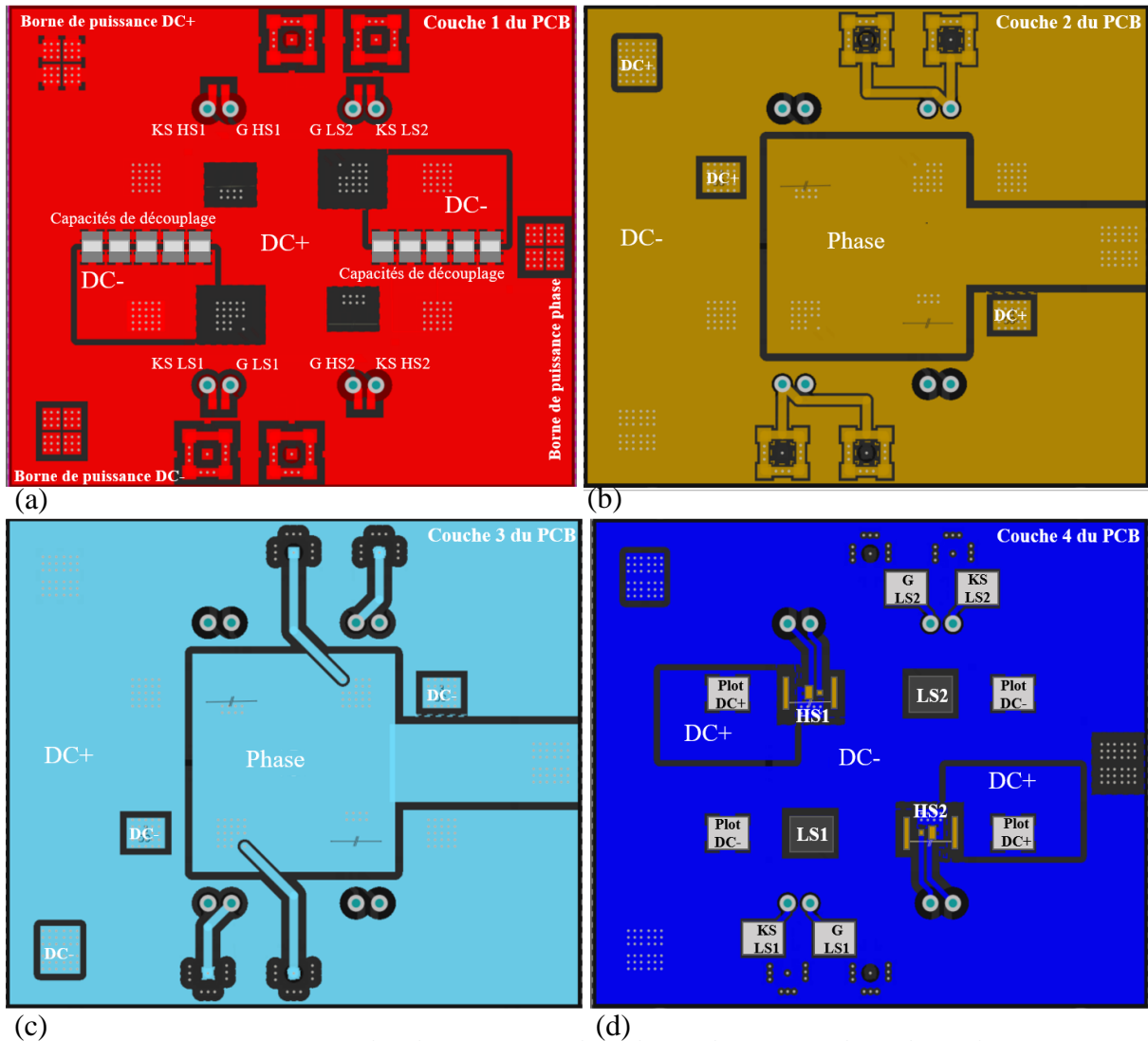


Figure II-35. Les couches du PCB (a) couche 1 (b) couche 2 (c) couche 3 (d) couche 4

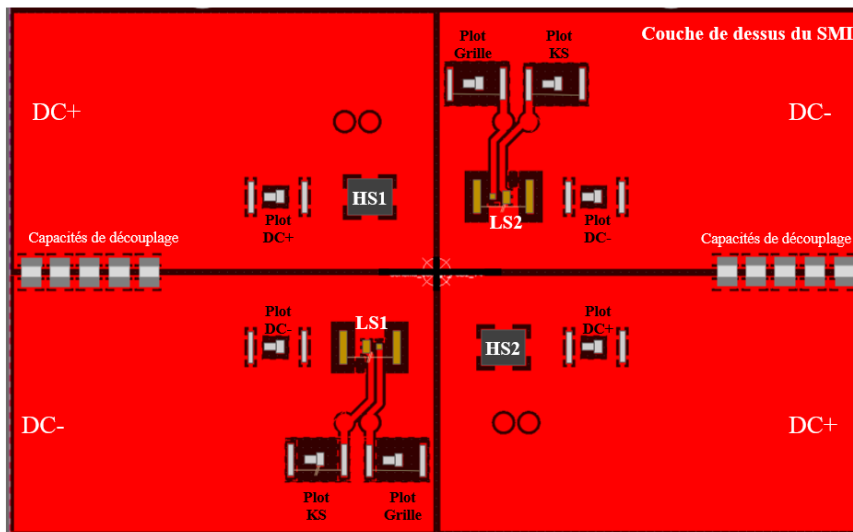


Figure II-36. La couche de dessus du SMI du module PP_PCBSMI

Une vue de dessus en 3D du PCB et du SMI avec les emplacements des MOSFETs est présentée dans la Figure II-37. La surface de PCB est de 73mm×62mm. La surface de SMI est de 102mm×78mm. L'épaisseur du module est de 3.8mm.

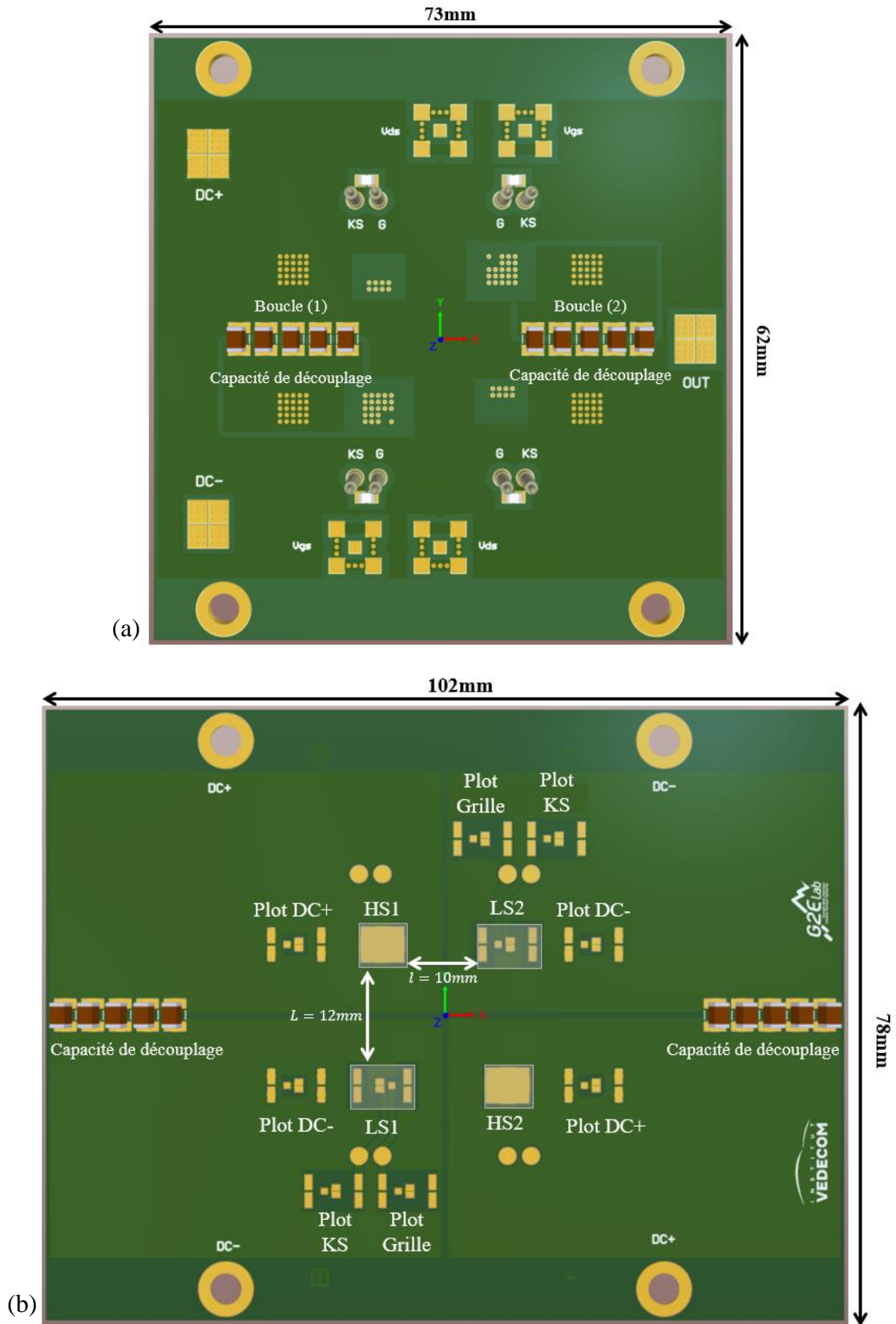


Figure II-37. Vue de dessus (a) PCB (b) SMI

Des condensateurs de découplage céramiques de type CMS, de valeur $10\mu\text{F}$ chacune, sont placés soit sur la surface supérieure du PCB, soit sur le SMI, soit sur les deux simultanément. L'effet de la position de la capacité de découplage sur l'inductance parasite de la maille de commutation sera étudié dans le paragraphe II.3.2.2.

Des simulations électriques pour les trois designs ainsi que pour plusieurs positions des capacités de découplage sont réalisées et présentées dans le paragraphe suivant.

II.3.2 Analyse électrique du module

Comme pour le module PN_2PCB, l'extraction des éléments parasites des différents designs du module PP_PCBSMI est effectuée par le logiciel Ansys Q3D Extractor. Les mêmes considérations sont retenues pour les simulations des deux modules dans le but d'avoir des résultats comparables. La géométrie et les résultats obtenus pour la cellule de commutation PP_PCBSMI sont présentés dans la suite de cette partie.

II.3.2.1 Capacités parasites

Les capacités parasites ajoutées par le package en parallèle aux capacités C_{OSS} des MOSFETs ($C_{\text{OUT_DC+}}$ et $C_{\text{OUT_DC-}}$) ainsi que les capacités de mode commun ($C_{\text{DC+_GND}}$, $C_{\text{DC-_GND}}$ et $C_{\text{OUT_GND}}$) sont calculées à l'aide du logiciel Ansys Q3D Extractor.

- Géométrie

La géométrie utilisée dans le calcul des capacités parasites du package, comportant les différentes pistes du modules PP_PCBSMI ainsi que les couches de prepreg, est présentée sur la Figure II-38.

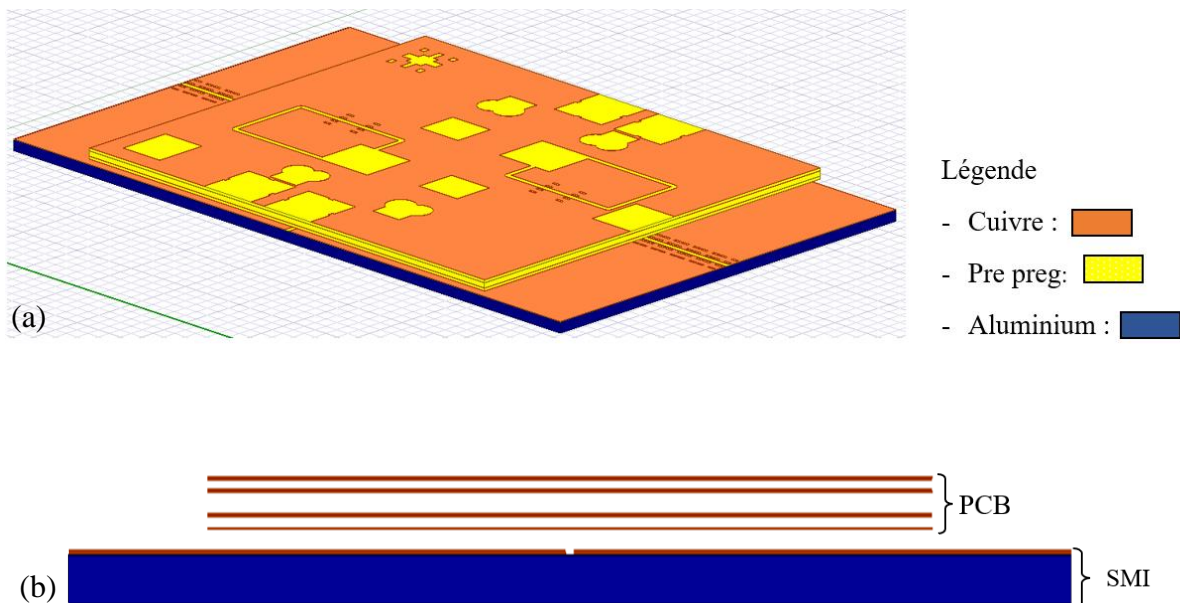


Figure II-38. Géométrie du module PP_PCBSMI dans Ansys Q3D extractor (a) Vue isométrique (b) Coupe transversale

- Résultats

Le Tableau II-4 présente les résultats Q3D des capacités parasites ajoutées par le package pour les trois designs du module PP_PCBSMI.

	Design croisé	Design non croisé	Design classique
C_{OUT_GND} [pF]	3	2	268
C_{DC+_GND} [pF]	1685	1755	1690
C_{DC-_GND} [pF]	1500	1600	1400
C_{OUT_DC+} [pF]	90	87	93
C_{OUT_DC-} [pF]	86	90	84

Tableau II-4. Résultats Q3D des capacités parasites ajoutées par l'assemblage PP_PCBSMI

L'analyse des résultats obtenus pour les capacités parasites ajoutées par le package PP_PCBSMI est similaire à celle du module PN_2PCB. La capacité C_{OUT_GND} est négligeable pour le design croisé et le design non croisé. Sa valeur augmente pour le design classique à 268pF. Les capacités C_{DC+_GND} et C_{DC-_GND} sont considérées symétriques pour le design croisé et le design non croisé. Pour le design classique, la capacité C_{DC+_GND} a une valeur de 20% supérieure à la valeur de C_{DC-_GND} .

Les données du constructeur du MOSFET Si choisi nous indiquent une valeur de C_{OSS} de 140pF à 50V. Pour les trois designs, le packaging augmente C_{ds} d'une valeur comprise entre 60% et 66%. Cette augmentation tendra à ralentir les commutations et aura pour effet d'augmenter les pertes par commutation pour un circuit de commande identique.

II.3.2.2 Inductances parasites

Les inductances parasites des différentes branches constituant la maille de commutation PP_PCBSMI ainsi que les mutuelles inductances entre elles sont extraites par le logiciel Ansys Q3D (voir Figure II-25). Ce calcul est effectué pour les designs croisé, non croisé et classique ainsi que pour deux dispositions différentes des capacités de découplage : sur le PCB ou sur le SMI. L'inductance parasite de la maille de commutation n'est pas calculée en disposant simultanément les capacités de découplage sur le PCB et le SMI puisque dans le logiciel Ansys Q3D, un seul « sink » peut être attribué pour un même objet.

- Géométrie

Comme pour le module PN_2PCB, la modélisation électromagnétique est effectuée en coupant le module en deux parties afin de séparer les deux boucles constituant la maille de commutation.

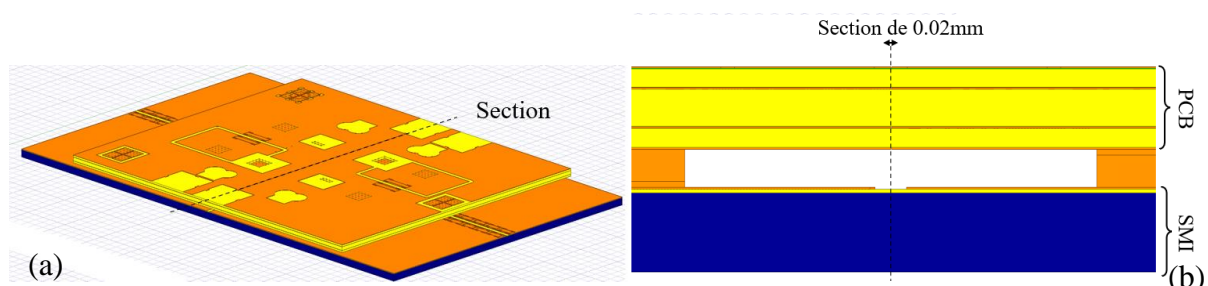


Figure II-39. Géométrie du module dans Q3D afin d'estimer les inductances propres de chaque cellule de commutation et la mutuelle entre elles (a) Module Complet (b) Zoom

- Résultats

Les matrices d'inductances obtenues dans Ansys Q3D pour les différents designs et pour les deux positions des capacités de découplage sont données dans l'ANNEXE 5. Dans la suite de

cette partie, la matrice simplifiée, de l'équation (II.5), composée des inductances propres des deux boucles de la maille de commutation et de la mutuelle entre elles est présentée pour chaque design.

Capacités de découplage sur le PCB :

	Design croisé	Design non croisé	Design classique
$\begin{bmatrix} L_{eq1} & M_{eq12} \\ M_{eq12} & L_{eq2} \end{bmatrix} \text{ (nH)}$	$\begin{bmatrix} 3.6 & -0.15 \\ -0.15 & 3.6 \end{bmatrix}$	$\begin{bmatrix} 3.6 & 0.14 \\ 0.14 & 3.6 \end{bmatrix}$	$\begin{bmatrix} 4.1 & 0.22 \\ 0.22 & 4.1 \end{bmatrix}$
L_{CCL}	1.7nH	1.9nH	2.2nH

Tableau II-5. Inductances obtenues par Q3D des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le PCB

Capacités de découplage sur le SMI :

	Design croisé	Design non croisé	Design classique
$\begin{bmatrix} L_{eq1} & M_{eq12} \\ M_{eq12} & L_{eq2} \end{bmatrix} \text{ (nH)}$	$\begin{bmatrix} 1.9 & -0.18 \\ -0.18 & 1.9 \end{bmatrix}$	$\begin{bmatrix} 1.9 & 0.17 \\ 0.17 & 1.9 \end{bmatrix}$	$\begin{bmatrix} 2.3 & 0.1 \\ 0.1 & 2.3 \end{bmatrix}$
L_{CCL}	0.8nH	1.1nH	1.3nH

Tableau II-6. Inductances obtenues par Q3D des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le SMI

L'analyse des résultats obtenus pour le module PP_PCBSMI ressemble en plusieurs points à celle du module PN_2PCB pour les deux dispositions des capacités de découplage. L'inductance équivalente L_{CCL} de la maille de commutation est considérée faible dans les deux dispositions des capacités de découplage et pour les trois designs. La symétrisation des deux boucles de la maille de commutation est retrouvée ainsi que l'augmentation de l'inductance pour le design classique par rapport aux deux autres designs dans lesquelles la technologie de flip-chip est appliquée.

Dans le cas de la position des capacités de découplage sur le PCB, les inductances propres (L_{eq1} et L_{eq2}) des deux boucles de la maille de commutation du module PP_PCBSMI est de 60% plus grande que celles du module PN_2PCB. Le routage du module PN_2PCB est similaire à celui du module PP_PCBSMI. Cette augmentation de valeur d'inductance est donc justifiée par l'augmentation de l'épaisseur des puces utilisés pour le module PP_PCBSMI ($e=676\mu\text{m}$) par rapport à celles utilisées pour le module PN_2PCB ($e=280\mu\text{m}$).

La comparaison des inductances propres des boucles de commutation (L_{eq1}) entre les deux dispositions des capacités de découplage sur le module PP_PCBSMI montre une diminution de valeur de 50% dans le cas de placement des capacités sur le SMI. En effet, dans le cas de la position des capacités de découplage sur le PCB, cette surface dépend principalement de l'épaisseur du module de l'ordre de 3.8mm (Figure II-34). Alors qu'elle est liée à la distance

entre les capacités et les transistors sur le SMI (27cm) dans le cas de la position de découplage sur le SMI (Figure II-40). En se référant à l'ANNEXE 5, présentant les matrices détaillées des inductances parasites issues de Q3D, nous remarquons que l'augmentation de la mutuelle négative entre les potentiels DC+ et DC- (M_{d1s1} dans la Figure II-40), dans le cas de la position de la capacité de découplage sur le SMI, est la cause de la diminution de l'inductance propre des boucles de la maille de commutation dans cette disposition.

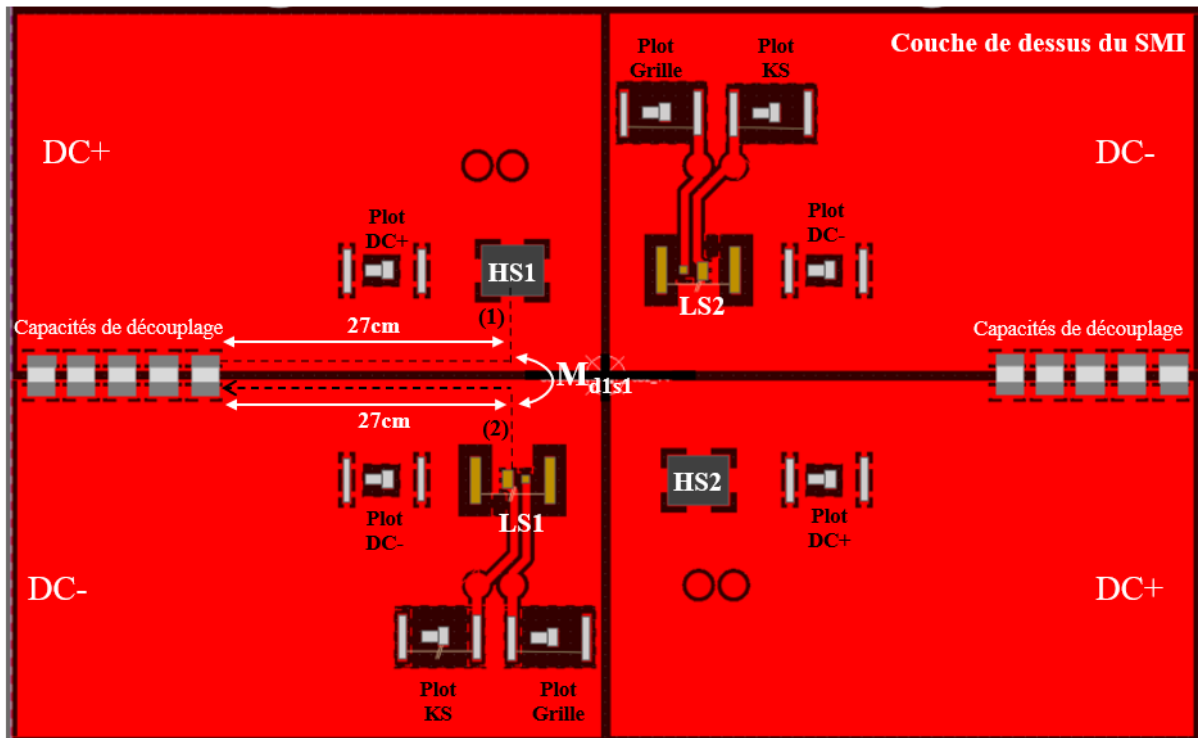


Figure II-40. Vue de dessus du SMI

Pour les dispositions des capacités de découplage sur le PCB et sur le SMI nous observons des réductions respectives de 12% et de 27% de l'inductance L_{CCL} équivalente pour le design croisé par rapport au design non croisé. Comme déjà présenté dans la partie II.2.3.2, ce pourcentage de réduction de l'inductance totale de la maille de commutation dépend de la valeur relative de la mutuelle inductance (M_{12}) par rapport aux inductances propres (L_{eq1} et L_{eq2}). Pour la disposition de la capacité de découplage sur le PCB, M_{12} est de 0.15nH. Cette dernière constitue 4% de la valeur de l'inductance propre qui est de 3.6nH. Une réduction de 12% de l'inductance du design croisé par rapport au design non croisé est observée. Alors que pour la disposition de la capacité de découplage sur le SMI, M_{12} constitue 10% de la valeur de l'inductance propre. Ceci justifie l'augmentation du pourcentage de réduction de l'inductance entre les deux designs à 27%.

Les résultats obtenus valident à nouveau le concept du brevet et mettent de plus en exergue le fait que la disposition de la capacité de découplage doit être soignée afin de minimiser l'inductance totale de la maille de commutation.

Le procédé de fabrication du module PP_PCBSMI développé et réalisé au sein du CEDMS de l'IUT de Grenoble est présenté par la suite.

II.3.3 Étapes d'assemblage et modules obtenus

Le Tableau II-7 regroupe les différentes étapes d'assemblage effectuées pour la réalisation du module PP_PCBSMI puis commentés étape par étape.


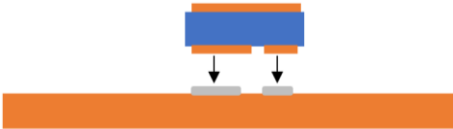




<p>1) Placement de la crème à braser du coté Grille-Source de l’empreinte du MOSFET</p> 	<p>2) Mise en place du composant</p> 
<p>3) Brasage des composants</p> 	<p>4) Placement de la crème à braser du coté Drain de l’empreinte du MOSFET</p> 
<p>5) Empilement des couches</p> 	<p>6) Brasage du module</p> 

Tableau II-7. Étapes d'assemblage du module PP_PCBSMI

Etape 1 : En se référant à la note d'application présentée dans l'ANNEXE 6, la crème à braser sans plomb (SnAgCu) peut être utilisée pour le MOSFET choisi. Cette crème est placée dans un premier temps sur les empreintes Grille et Source des interrupteurs de puissance du PCB et du SMI (Figure II-41).

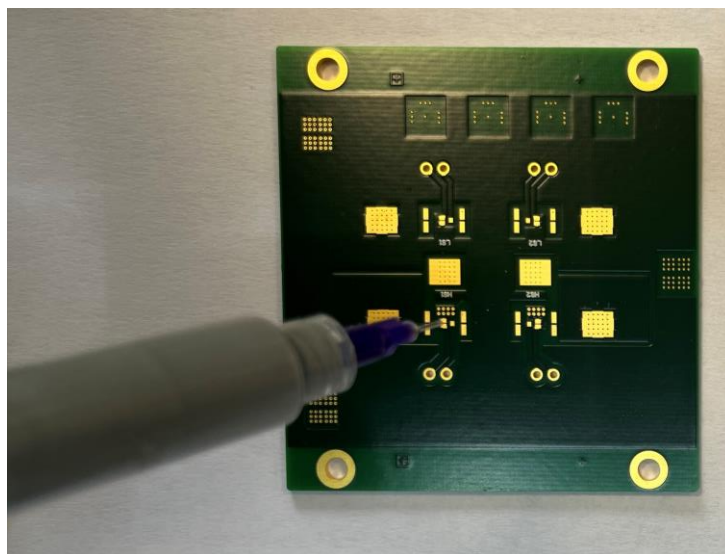


Figure II-41. Placement de la crème à braser sur l'empreinte Grille-Source des MOSFETs du PCB

Etape 2 : Une machine BGA, présente au CEDMS, a permis la mise en place des MOSFETs sur le PCB et le SMI. Ces derniers sont placés sur des plots réglables et peuvent être déplacés en X/Y (Figure II-42(a)). Le retrait des MOSFETs est réalisé par la machine. Un faisceau laser et une caméra sont utilisés pour un positionnement rapide et précis du composant (Figure II-42(b)-(c)).

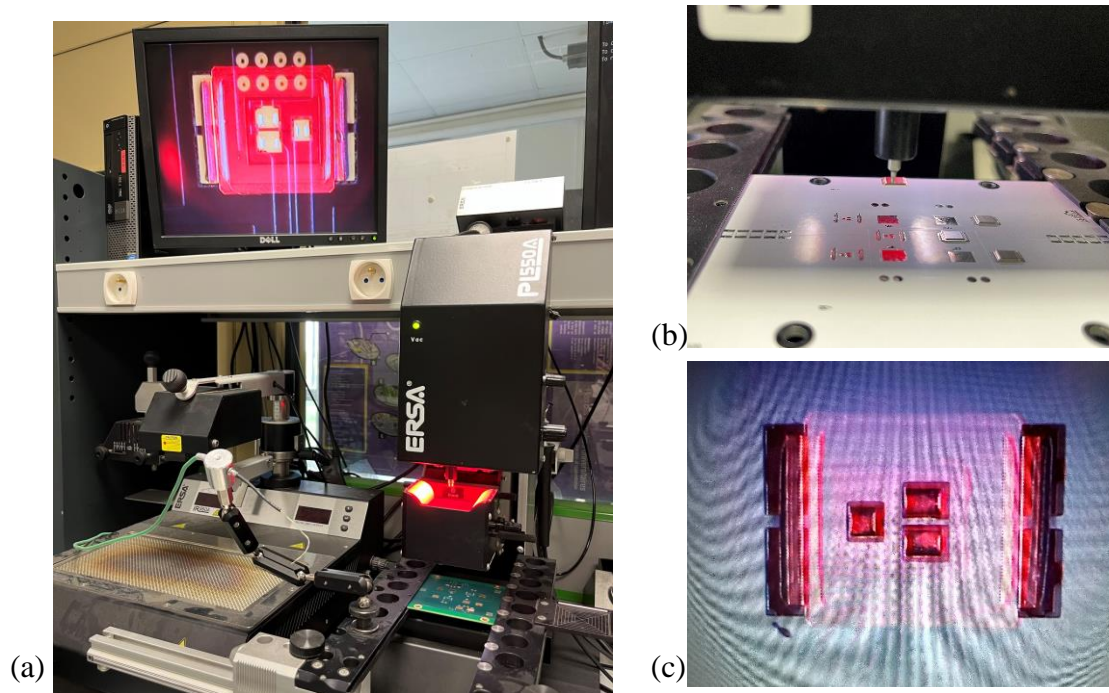


Figure II-42. Placement des MOSFETs par la machine BGA

Etape 3 : Le brasage des MOSFET au SMI et au PCB est réalisé respectivement à l'aide d'un four à convection à air forcé et du système de chauffe à air chaud de la machine BGA (Figure II-43). Le profil de température proposé dans la note d'application pour le brasage du MOSFET, utilisant de la crème sans plomb, est choisi pour notre application (ANNEXE 6).

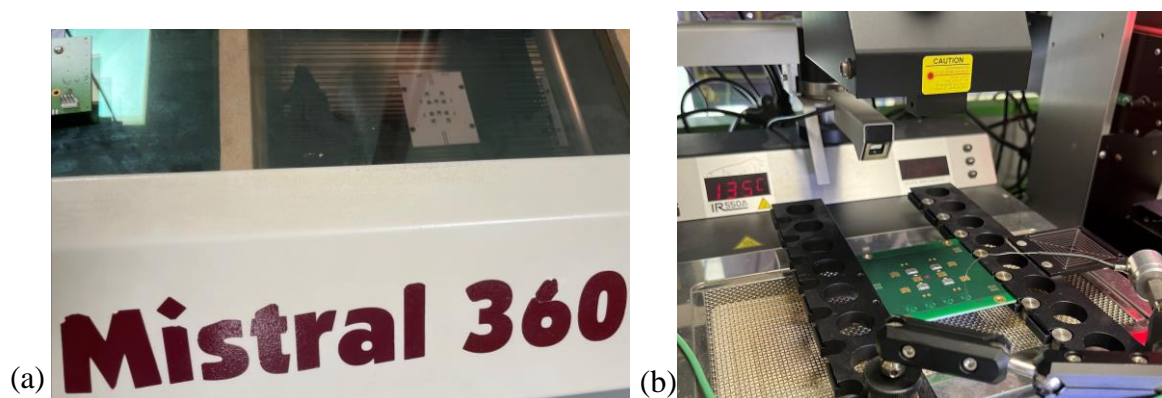


Figure II-43. Brasage des MOSFETs (a) par le four sur le SMI (b) par la machine BGA sur le PCB

Etape 4 : Placement de la crème à braser sur l'empreinte du MOSFET représentante le drain des interrupteurs de puissance (Figure II-44).

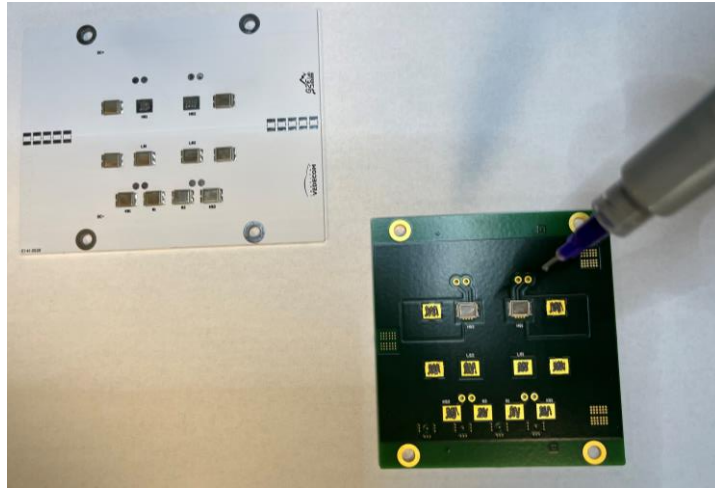


Figure II-44. Placement de la crème à braser sur l'empreinte Drain des MOSFETs du PCB et du SMI

Etape 5 : Le SMI et le PCB sont empilés à l'aide de vis situées aux quatre angles du PCB.

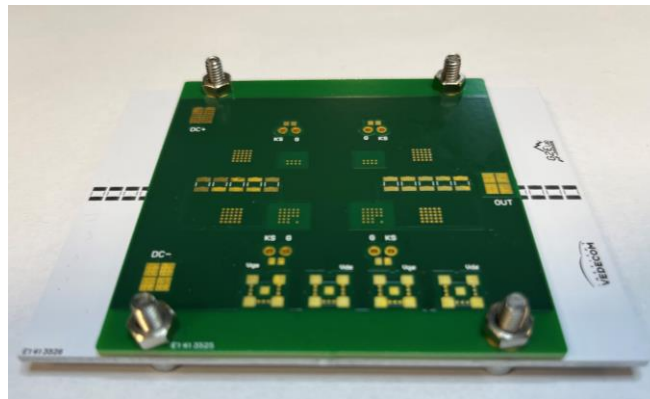


Figure II-45. Empilement du PCB et du SMI

Etape 6 : Les composants CMS sont placés sur la couche de dessus du module. Ce dernier est placé par la suite dans le four à souder afin de réaliser l'assemblage du module simultanément avec le brasage des composants montés en surface.



Figure II-46. Brasage du module PP_PCBSMI

En suivant les étapes d'assemblage représentées ci-dessus, les trois designs du module PP_PCBSMI sont effectués. Les prototypes obtenus sont fonctionnels et les caractérisations électriques seront présentées dans le Chapitre III .



Figure II-47. Module PP_PCBSMI

II.4 Conclusion

La conception de modules de puissance basée sur le concept du croisement des MOSFETs a été présentée dans ce chapitre. L'enfouissement des puces permettant une minimisation de l'inductance de la maille de commutation et le flip-chip assurant une limitation des perturbations électromagnétiques sont les deux technologies utilisées pour la mise en œuvre de ces modules. L'étude de l'architecture proposée a été effectuée en la comparant à deux autres designs. Le premier présente un placement non croisé des MOSFETs tout en gardant la technologie de flip-chip. La deuxième repose sur un placement classique des MOSFETs, c'est-à-dire non croisé et sans flip-chip.

La mise en œuvre a été réalisée dans un premier temps par une intégration des puces semi-conductrices nues entre deux PCBs (Module PN_2PCB). Le procédé de fabrication utilisé n'étant pas mature a conduit à des modules non fonctionnels. Pour des contraintes de temps et de financement, une seconde fabrication n'était pas possible. Cette difficulté a été surmontée en proposant une nouvelle architecture de module. Ce dernier a été réalisé en plaçant des composants packagés entre un PCB et un SMI (Module PP-PCBSMI). Il est moins ambitieux du point de vue technologique mais nous a permis de réaliser les étapes d'assemblage grâce aux moyens du CEDMS et du G2Elab.

Les simulations électromagnétiques et électrostatiques des cellules de commutations réalisées ont permis de confirmer l'intérêt du brevet au niveau performance, une réduction de l'inductance de la maille de commutation étant observée entre le design croisé et le design non croisé. Cependant, le pourcentage de réduction dépend de la valeur relative de la mutuelle inductance entre les branches de la maille de commutation par rapport à l'inductance propre de chaque branche de cette maille et reste assez faible. Une réduction de 20% a ainsi été estimée lorsque la valeur de la mutuelle inductance simulée était égale au dixième de l'inductance propre. Dans ce contexte, les simulations ont également mis en avant que la disposition de la capacité de découplage doit être soignée pour minimiser l'inductance totale de la maille de commutation. En effet, une réduction de 50% a été observée pour deux dispositions différentes des capacités de découplage sur un même module.

Notons enfin que, lors du design des modules, nous avons pu mettre en évidence que le croisement des MOSFETs complexifiait assez fortement le routage puisque sa mise en place nécessitait la présence d'une couche d'isolation supplémentaire par rapport à une solution non croisée.

Ainsi, nous pouvons conclure de ce chapitre que le croisement des MOSFETs semble certes intéressant au niveau des performances mais présente des contraintes au niveau du design : couche d'isolation supplémentaire et nécessité d'avoir un nombre pair de puces par interrupteur. Par ailleurs, il a été mis en évidence que le layout entre les condensateurs de découplage et les puces pouvait jouer un rôle prédominant sur la réduction de l'inductance parasite et devait être pris en compte très tôt dans la conception.

Cependant, il semble nécessaire de confirmer les résultats de simulations via la mise en place de mesures expérimentales pour réellement conclure sur les potentialités de l'architecture proposée. Ces études expérimentales feront l'objet du Chapitre III .

Chapitre III

Caractérisation électrique de la cellule de commutation PP_PCBSMI

III.1 Introduction

Les simulations ainsi que les études théoriques permettant la conception des modules PN_2PCB et PP_PCBSMI ont été présentées dans le chapitre précédent. Les étapes d'assemblage de ces modules ont été ainsi décrites. Dans ce qui suit, nous allons nous intéresser aux caractérisations électriques du module PP_PCBSMI. Ceci permettra de faire une étude comparative entre les résultats de simulation et les résultats expérimentaux. Les effets du croisement des MOSFETs, de la technologie de flip-chip et de la position de la capacité de découplage seront ainsi étudiés.

La première partie du chapitre présentera les mesures des capacités parasites ajoutées par le package du module. Cette étude permettra, dans la seconde partie du chapitre, de justifier le comportement CEM observé pour les différents designs.

Enfin, l'évaluation de l'inductance parasite sera effectuée par deux méthodes : la méthode d'oscillation libre et le test double impulsion. Dans un premier temps, la méthode d'oscillation libre sera utilisée. Cette méthode permettra de caractériser l'inductance propre de chaque branche de la maille de commutation et de se rapprocher des hypothèses simplificatrices déjà faites dans les simulations Q3D. Une comparaison des résultats expérimentaux et des résultats des simulations pour les différents designs et pour les différentes positions de la capacité de découplage sera donc possible. Dans un deuxième temps, la caractérisation dynamique des modules complets sera réalisée par le test de double impulsion. L'inductance totale de la maille de commutation sera donc déduite à partir de la tension V_{ds} du MOSFET pendant son ouverture.

III.2 Mesure des capacités parasites

Le but de cette section est de s'assurer que la géométrie du module PP_PCBSMI utilisée dans le logiciel Ansys Q3D a permis une bonne évaluation des capacités parasites ajoutées par l'assemblage. Pour cette raison des mesures expérimentales sont réalisées. Dans le paragraphe suivant, les capacités parasites mesurées seront identifiées. La méthode de caractérisation sera ensuite décrite. Enfin, une comparaison entre les valeurs des capacités mesurées avec celles obtenues par le logiciel Ansys Q3D sera effectuée.

III.2.1 Méthode de caractérisation

Le schéma électrique de la Figure III-1 représente les capacités parasites principales mesurées par la suite. Ces capacités sont dues au package du module PP_PCBSMI. C_{DC+_GND} , C_{DC-_GND} et C_{OUT_GND} sont les capacités de mode commun formées entre les bornes du module (DC+, DC- et Phase) et la terre (GND). C_{DC+_OUT} et C_{DC-_OUT} sont les capacités parasites du package qui s'ajoutent aux capacités C_{OSS} des MOSFETs HS et LS respectivement. C_{DC+_DC-} est la capacité formée entre les bornes du bus DC en parallèle à la capacité de découplage du module. Notons que les capacités parasites ajoutées par le driver ne sont pas étudiées. Leur calcul devrait prendre en compte la géométrie du circuit de commande, non représenté dans Q3D. Nous verrons de plus dans la partie III.3.2.2 que leur effet sur le comportement CEM du module est faible par rapport à celles de la partie puissance.

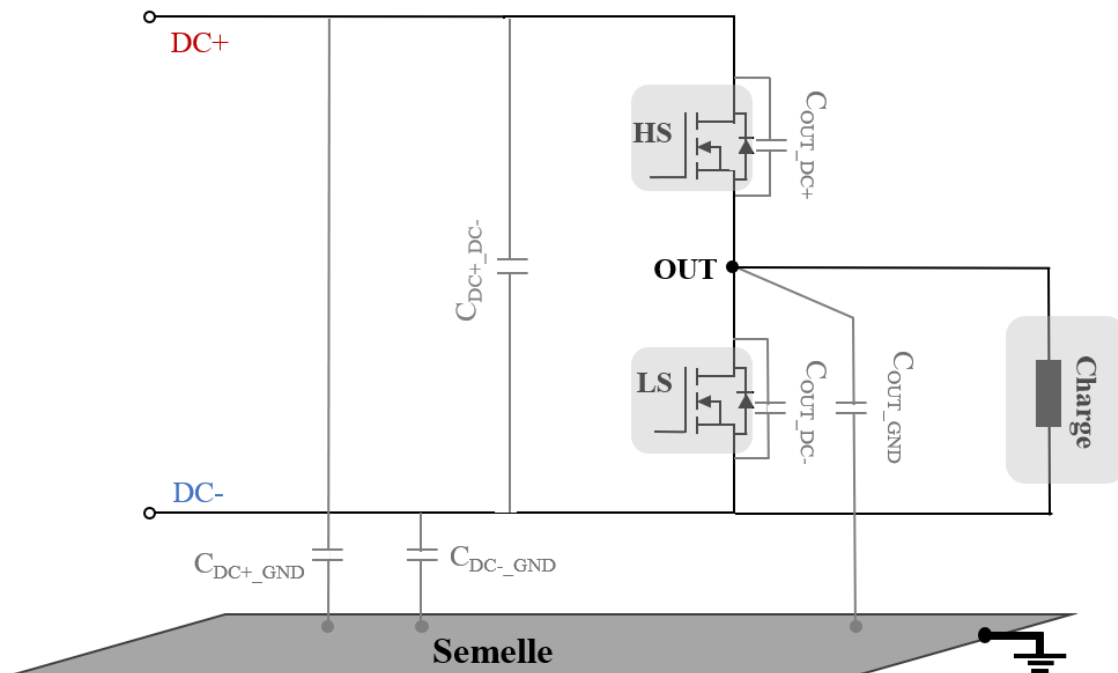


Figure III-1. Schéma électrique présentant les capacités parasites de la partie puissance du module PP_PCBSMI

L'analyseur d'impédance permet de mesurer la capacité entre deux conducteurs en plaçant ces derniers directement sur le « Test Fixture ». Le but est ici d'identifier six capacités parasites dans ce module de puissance. Six mesures différentes doivent être donc effectuées. Cependant, en réalisant par exemple la mesure entre les bornes DC+ et DC- du module (Figure III-2(a)), la valeur identifiée sera l'impédance équivalente (Z_{eq}) aux capacités du schéma électrique de la

Figure III-2(b). La mesure d'impédance entre les différentes bornes (DC+, DC-, Out et GND) de ce schéma, peut donc aboutir à un système de six équations. Mais ces dernières étant non linéaires, la résolution du système est difficile analytiquement.

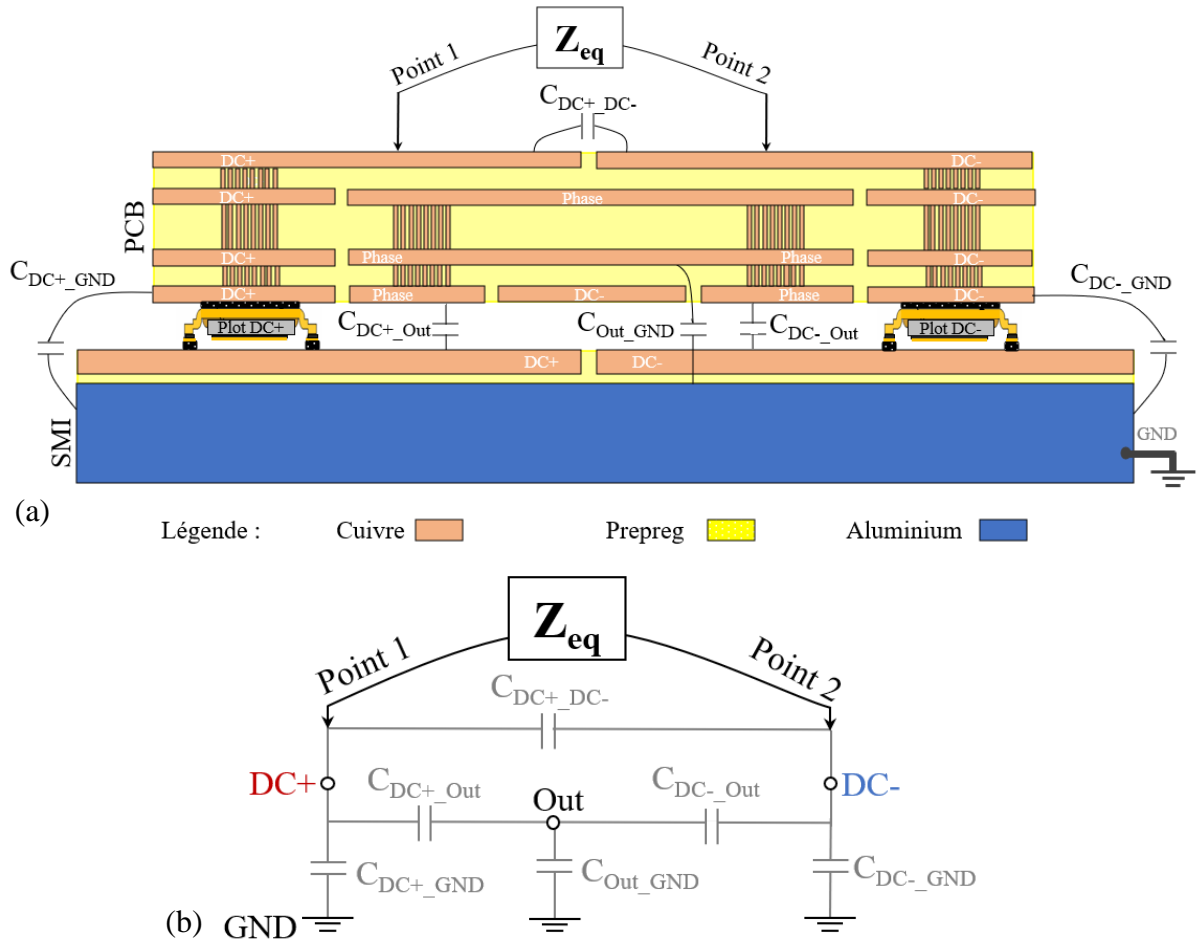


Figure III-2. Mesure de l'impédance équivalente entre les bornes DC+ et DC- (a) coupe transversale du module (b) Schéma électrique équivalent

Dans le but de simplifier le calcul, six mesures différentes sont effectuées en court-circuitant à chaque mesure deux bornes du module. Ceci permet d'éliminer les capacités flottantes et de ne conserver que les capacités en parallèles. La Figure III-3 correspond à la première mesure réalisée entre le point 1 reliée à DC+ et le point 2 correspondant au court-circuit entre les bornes phase, DC- et GND. L'impédance équivalente (Z_{eq}) identifiée dans ce cas est la somme des capacités C_{DC+_GND} , C_{DC+_Out} et C_{DC+_DC-} .

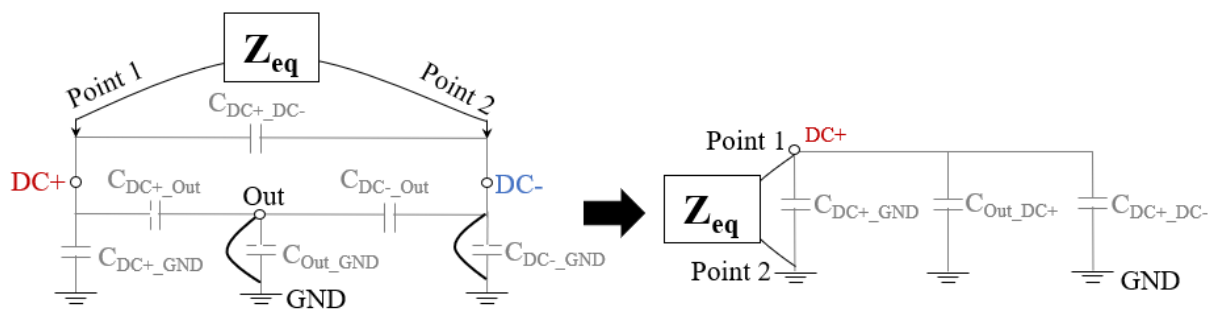


Figure III-3. Mesure 1 : Connexion des bornes DC- et Out au GND

Le Tableau III-1 regroupe les six mesures réalisées et représente les bornes court-circuitées et reliées au point 1 et les bornes reliées à la terre (GND) correspondants au point 2. Ces mesures ont permis d’avoir un système de six équations linéaires puisque l’impédance équivalente mesurée à chaque fois est la somme de plusieurs capacités en parallèle. Ce système d’équations est présenté sous forme de matrice dans l’équation (III.1).

Mesure	1	2	3	4	5	6
Point 1 (court-circuit)	DC+	Out	DC-	DC+, Out	DC+, DC-	Out, DC-
Point 2 (relié à la terre)	Out, DC-	DC+, DC-	DC+, Out	DC-	Out	DC+

Tableau III-1. Mesures réalisées

$$\begin{bmatrix} \text{Mesure 1} \\ \text{Mesure 2} \\ \text{Mesure 3} \\ \text{Mesure 4} \\ \text{Mesure 5} \\ \text{Mesure 6} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 1 & 0 & 1 \end{bmatrix} \times \begin{bmatrix} C_{DC+_{GND}} \\ C_{DC+_{Out}} \\ C_{DC+_{DC-}} \\ C_{Out_{GND}} \\ C_{DC-_{Out}} \\ C_{DC-_{GND}} \end{bmatrix} \quad (\text{III. 1})$$

La Figure III-4 montre le module spécialement réalisé pour effectuer ces mesures. Ce module ne contient aucun composant pouvant ajouter une capacité parasite supplémentaire dans le but de pouvoir comparer les résultats expérimentaux avec ceux obtenus par simulation. Seuls les interrupteurs de puissance, jouant le rôle des connecteurs électriques entre le PCB et le SMI et assurant la tenue mécanique du module, sont gardés (Figure II-34 et Figure III-2(a)). Des cosses nues sont soudées sur les bornes DC+, DC- et phase (Out) du module (cosses notées *a*, *b* et *c* sur la Figure III-4) ainsi que sur la couche de dessous (en aluminium) du SMI représentant la terre (cosse notée *d* sur la Figure III-4). Afin d’obtenir les différentes configurations représentées dans le Tableau III-1, plusieurs cosses sont soudées entre elles afin de retrouver les configurations adaptées à chaque mesure proposée dans le tableau ci-dessus.

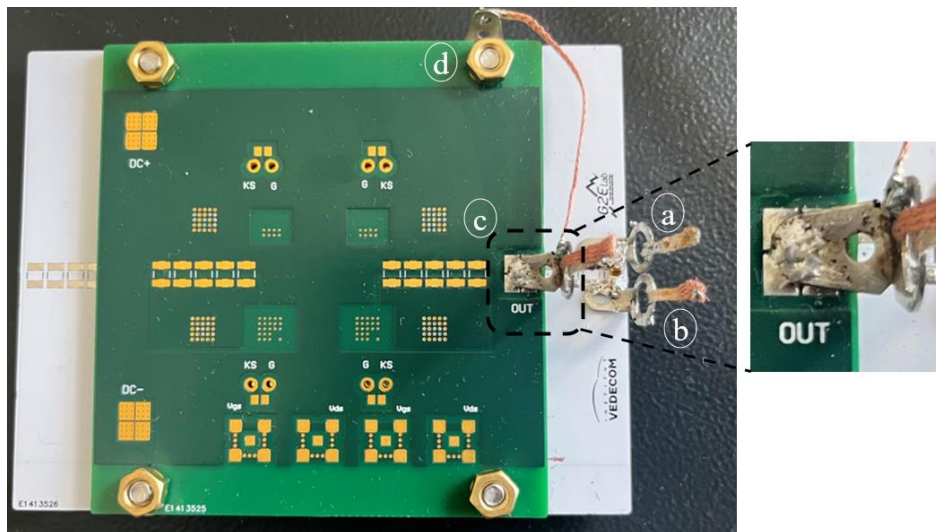


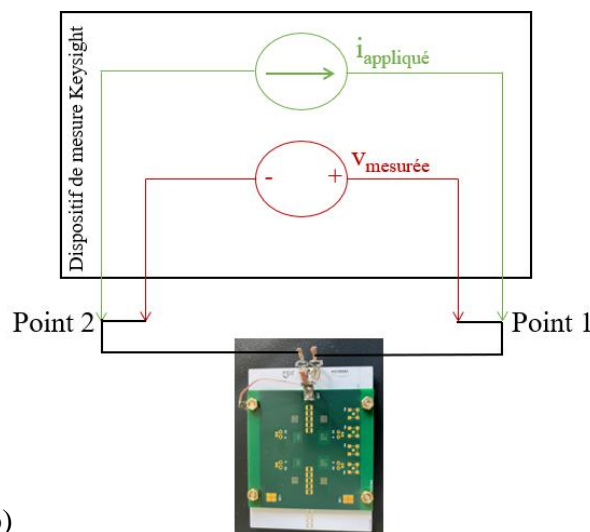
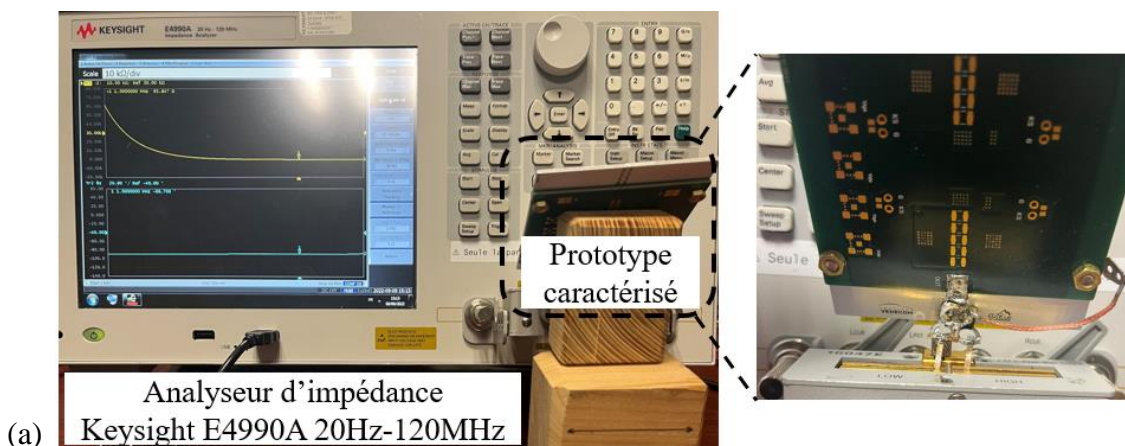
Figure III-4. Module spécialement réalisé pour la caractérisation des capacités parasites

Comme le montre la Figure III-5, les fils reliés aux points 1 et 2 de la « fixture » de l'analyseur d'impédance sont réalisées de manière à être les plus courts possibles. Ceci permet de minimiser la capacité parasite externe qui peut s'ajouter à celle mesurée ainsi que les effets inductifs liés à cette connectique.



Figure III-5. Connexion des points 1 et 2 à l'analyseur d'impédance

L'analyseur d'impédance utilisé pour réaliser les mesures est un Keysight E4990A 20Hz-120MHz (Figure III-6(a)). La mesure de l'impédance est effectuée par cet analyseur en appliquant un courant alternatif et en mesurant par la suite la tension résultante (Figure III-6(b)). Pour l'identification, nous avons choisi un modèle RC série qui nous permet d'obtenir les valeurs de la capacité série C_s et de la résistance série R_s en fonction de la fréquence [1kHz, 100MHz]. Notons que des compensations « open » et « short circuit » sont réalisées avant la mesure.



(b)

Figure III-6. Connexion du module à l'analyseur d'impédance

III.2.2 Résultats et discussions

La comparaison des résultats expérimentaux avec les valeurs des capacités obtenues par simulation Q3D est présentée dans les Tableau III-2, Tableau III-3 et Tableau III-4 respectivement pour le design croisé, le design non croisé et le design classique du module PP_PCBSMI.

Capacité	Q3D	Mesure	Δ %
C_{Out_GND} [pF]	3	~ 0	-
C_{DC+_GND} [pF]	1685	1590	-6
C_{DC-_GND} [pF]	1500	1480	-1
C_{Out_DC+} [pF]	90	100	+11
C_{Out_DC-} [pF]	86	97	+12
C_{DC+_DC-} [pF]	850	852	~ 0

Tableau III-2. Résultats de mesure et résultats Q3D des capacités parasites pour le design croisé

Capacité	Q3D	Mesure	Δ %
C_{Out_GND} [pF]	2	~ 0	-
C_{DC+_GND} [pF]	1755	1710	-2
C_{DC-_GND} [pF]	1600	1590	-1
C_{Out_DC+} [pF]	87	93	+7
C_{Out_DC-} [pF]	90	96	+7
C_{DC+_DC-} [pF]	853	784	-8

Tableau III-3. Résultats de mesure et résultats Q3D des capacités parasites pour le design non croisé

Capacité	Q3D	Mesure	Δ %
C_{Out_GND} [pF]	268	300	+12
C_{DC+_GND} [pF]	1690	1700	+1
C_{DC-_GND} [pF]	1400	1390	-1
C_{Out_DC+} [pF]	93	100	+7
C_{Out_DC-} [pF]	84	87	+3
C_{DC+_DC-} [pF]	860	825	-4

Tableau III-4. Résultats de mesure et résultats Q3D des capacités parasites pour le design classique

Ces tableaux montrent que, pour les trois designs du module PP_PCBSMI, les différences notées Δ entre les valeurs des capacités mesurées et celles simulées sont inférieure à 12%. Dans la majorité des cas, la différence la plus importante est obtenue pour les valeurs les plus faibles des capacités. Cela est principalement dû à la méthode utilisée qui nécessite de soustraire plusieurs valeurs pour obtenir les capacités parasites du module. Pour la même raison, les capacités de quelques pF n'ont pas pu être calculées (voir les premières lignes du Tableau III-2 et du Tableau III-3). Toutefois, malgré les erreurs de mesure et les simplifications effectuées lors de la simulation, les résultats obtenus restent satisfaisants et permettent de comparer de manière claire les différents modules entre eux.

Les valeurs des capacités de mode commun obtenues pour les trois designs du module PP_PCBSMI permettront de justifier le comportement CEM de chaque cellule de commutation (paragraphe III.3). De même, la valeur de la capacité C_{Out_DC-} sera utilisée pour la caractérisation de l'inductance parasite par le test double impulsion (paragraphe III.4.2).

III.3 Tests CEM

Dans cette partie, des mesures sur les émissions CEM conduites seront effectuées afin de comparer les designs avec flip chip avec le design classique sans flip chip. L'influence de l'optimisation des capacités de mode commun sur le comportement CEM du module de puissance sera étudiée via une étude des spectres du courant de mode commun obtenus avec les différents designs.

III.3.1 Méthode de caractérisation

Les chemins principaux de propagation du courant de mode commun (MC) sont présentés sur la Figure III-7. Un Réseau Stabilisateur d'Impédance de Ligne (RSIL) est placé entre l'alimentation de puissance et le dispositif à tester. Il permet d'une part de séparer ces deux derniers afin d'obtenir des mesures reproductibles et d'autre part de spécifier une impédance connue au point de mesure. Le courant de MC est mesuré grâce à une sonde de courant autour des câbles reliant le RSIL au montage sous test. En s'appuyant sur les normes CISPR11 et EN55011, la gamme de fréquence correspondantes aux perturbations électromagnétiques conduites est de 150kHz à 30MHz. Les mesures sont donc effectuées sur cette plage de fréquence.

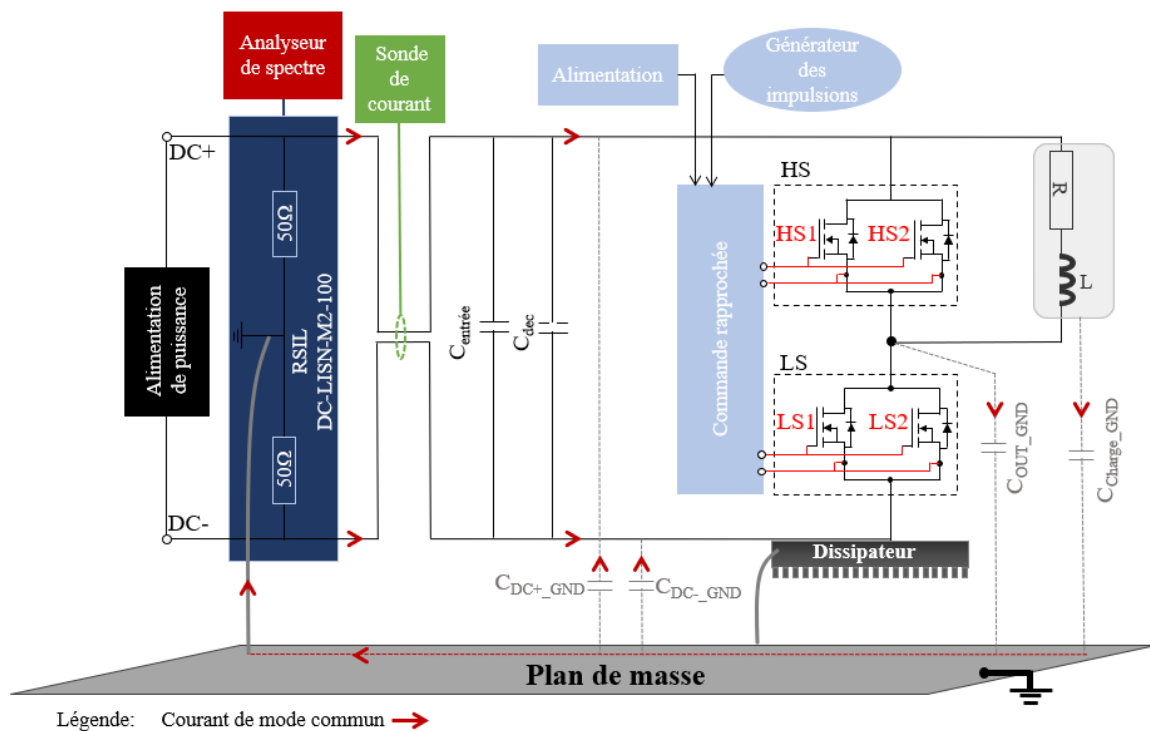


Figure III-7. Schéma électrique du montage CEM

La Figure III-8 illustre la mise en place du banc de test CEM. Le RSIL DC-LISN-M2-100 de la société Teseq est utilisé. La mesure du courant de mode commun est effectuée par la sonde de courant P6021 de Tektronix ayant un courant maximal de 15A et une bande passante allant de 120Hz à 60MHz. Cette sonde est connectée à l'analyseur de spectre ESRP de Rohde & Schwarz qui assure une mesure entre 10Hz et 3.6GHz. Puisque les mesures CEM sont réalisées en régime permanent, un dissipateur thermique à eau est utilisé pour le refroidissement du module de puissance. La charge est composée d'une inductance de 40μH afin de minimiser les

ondulations de courant et d'une résistance LPS1100 de 1Ω . Le dissipateur ATS-CP-1004 à eau est choisi pour évacuer les calories de la charge résistive. L'ensemble est disposé sur un plan de masse en cuivre.

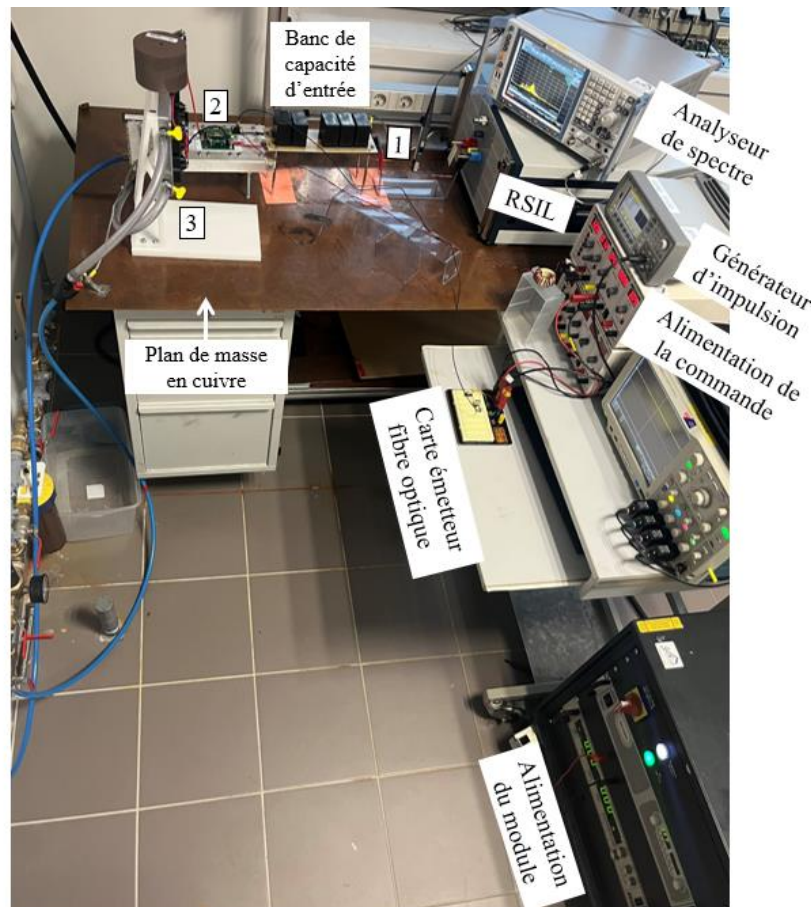


Figure III-8. Banc de test CEM

Un banc en plexiglass avec des câbles permettant de relier le RSIL à la capacité d'entrée du module est utilisé (Figure III-9(a)). Ce banc est réalisé pour placer les câbles de puissance à une distance fixe du plan de masse (5cm). Ainsi, il permet d'effectuer les mesures de courant de mode commun pour les différents designs du module PP_PCBSMI au même point dans le but d'obtenir des résultats reproductibles et comparables.

Comme déjà présenté dans la partie II.2.2.2, une alimentation cascadée est utilisée pour le driver dans le but de minimiser son effet sur les mesures CEM. Pour cette même raison, la fibre optique est choisie pour transmettre les ordres de commande (Figure III-9(b)).

La Figure III-9(c) montre le banc en plexiglass permettant de placer la charge à une distance de 15cm du plan de masse afin de minimiser la capacité parasite entre cette charge et la masse ($C_{\text{Charge_GND}}$) et de s'affranchir de son effet sur le spectre du courant de mode commun. Ainsi, le fil reliant le module de puissance à l'inductance de charge est placé de manière verticale. Cette disposition réduira la capacité parasite de mode commun entre ce fil et le GND, qui est ajoutée en parallèle à $C_{\text{OUT_GND}}$ du module de puissance.

Le RSIL et le dissipateur thermique du module de puissance sont connectés au plan de masse à l'aide d'une tresse.

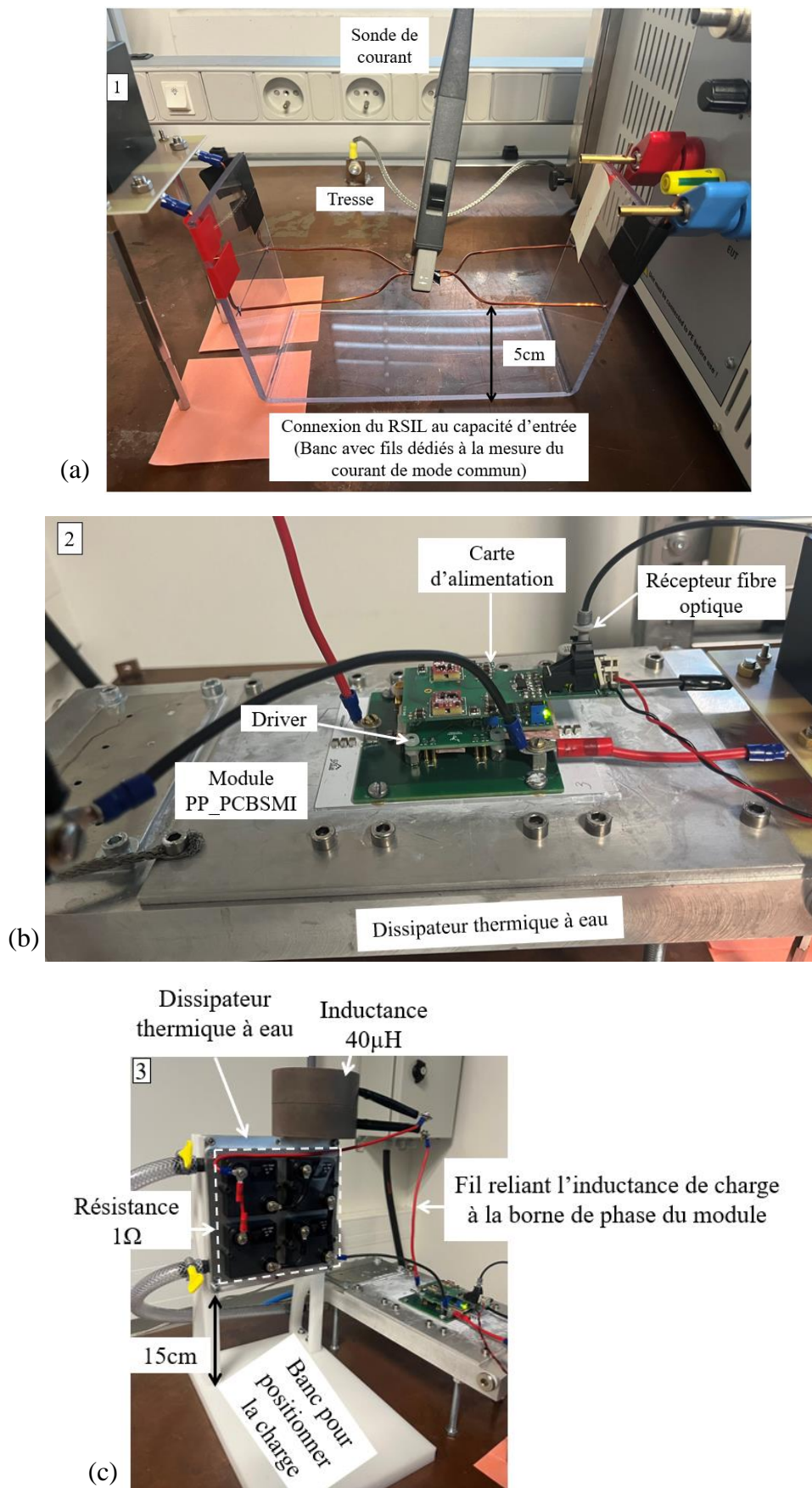


Figure III-9. (a) Mesure du courant de mode commun (b) Positionnement du module PP_PCBSMI (c) Positionnement de la charge

III.3.2 Résultats et discussions

Cette section expose les résultats des tests CEM. Dans un premier temps, une quantification du bruit ambiant et de la contribution des alimentations externes et du driver sur le spectre du courant de mode commun sera réalisée. Puis une comparaison du comportement CEM des trois designs du module PP_PCBSMI sera effectuée.

III.3.2.1 Bruit ambiant

L'environnement dans lequel est intégré le banc de mesure CEM peut agir fortement sur les résultats. Afin de quantifier l'effet du bruit externe sur le spectre de courant de mode commun, deux mesures seront effectuées. La première mesure réalisée est celle du bruit ambiant, toutes les alimentations étant à l'arrêt. La deuxième consiste à mesurer les perturbations ramenées en mettant les alimentations du bus DC et du driver en marche, le bras d'onduleur étant à l'arrêt. La Figure III-10 montre que le bruit ambiant mesuré est inférieur à $10\text{dB}\mu\text{A}$ sur la plage fréquentielle allant de 150kHz à 30MHz . Les alimentations peuvent donc être considérées relativement « propres ». Leur effet apparaît entre 5MHz et 10MHz avec des pics de courant de mode commun constituant moins que 20% des perturbations provoquées par le module de puissance (Paragraphe III.3.2.3).

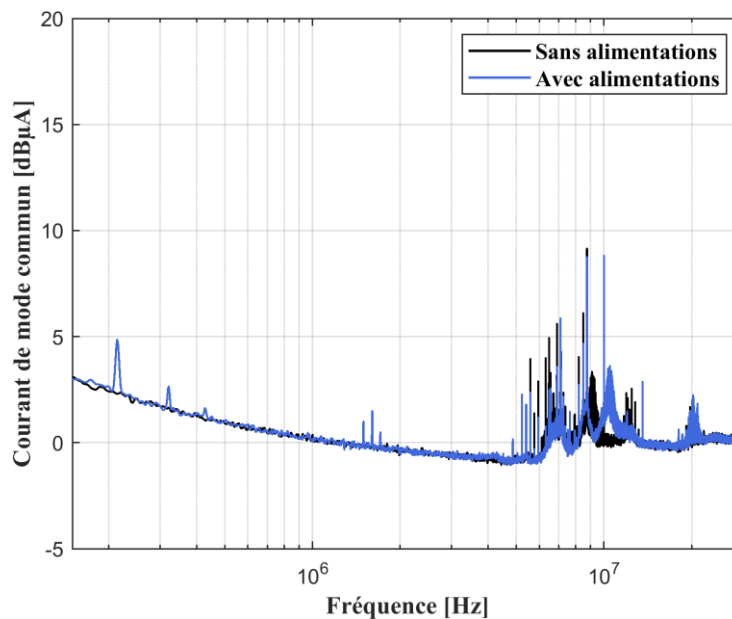


Figure III-10. Mesure du bruit externe

III.3.2.2 Influence du driver

Des précautions ont été prises lors de la conception de la carte driver (alimentations cascadées, fibre optique) pour minimiser son effet sur le comportement CEM du module. Malgré ces précautions, une quantification de sa contribution sur les perturbations de mode commun est effectuée dans cette partie. Ceci est réalisé en mesurant et en comparant les spectres de mode commun du design croisé du module en blindant ou non le driver.

- Capacité parasite ajoutée par le driver et effet du blindage

La Figure III-11 montre que la source du transistor HS est reliée au potentiel flottant du module de puissance. Cette liaison contribue donc à une augmentation de la surface de la phase en vis-

à-vis du plan de masse ajoutant ainsi une capacité additionnelle ($C_{\text{SourceHS_GND}}$) à la capacité $C_{\text{OUT_GND}}$.

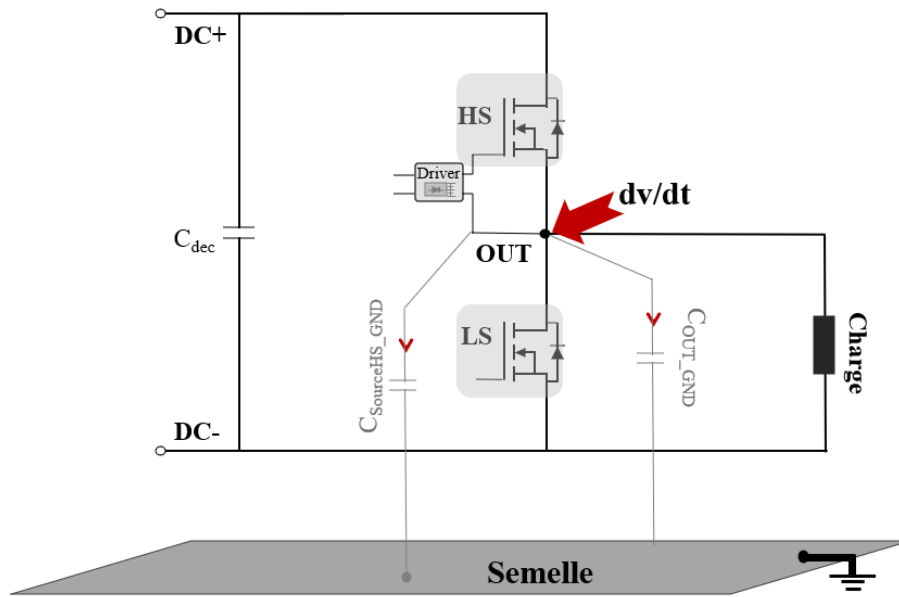


Figure III-11. Capacité entre la source du transistor HS et le plan de masse

Afin de diminuer l'effet de la capacité $C_{\text{SourceHS_GND}}$, un blindage du driver est réalisé en ramenant un élément au potentiel fixe entre le driver et la terre. Le potentiel DC+ est choisi pour notre étude. Comme le montre la Figure III-12, la distribution de la capacité de mode commun entre le driver et le GND est alors modifiée. Trois capacités parasites peuvent être identifiées : la capacité entre la source du transistor HS et la couche conductrice du blindage ($C_{\text{sourceHS_Conducteur}}$), la capacité entre cette couche conductrice et le plan de masse ($C_{\text{Conducteur_GND}}$), la capacité résiduelle entre la source du transistor HS et le plan de masse ($C'_{\text{SourceHS_GND}}$). Cette dernière est due à la partie de driver qui n'a pas pu être blindée.

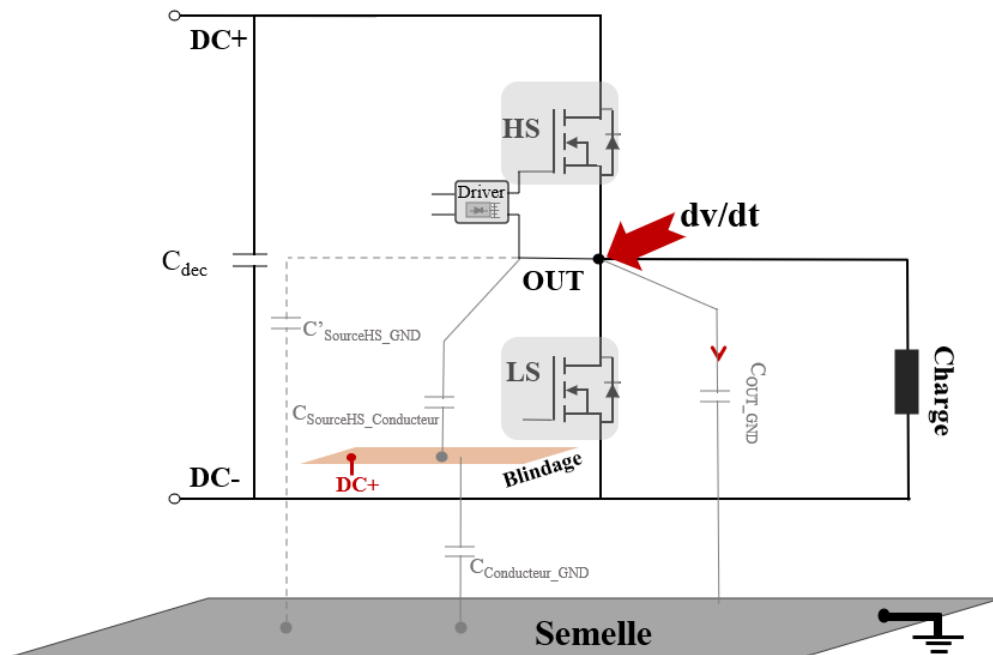


Figure III-12. Distribution des capacités en blindant le driver

- Réalisation du blindage

Comme le montre la Figure III-13(a), la couche conductrice du blindage est réalisée par un ruban en cuivre. Un fil est soudé sur cette couche afin de la relier au potentiel DC+. Un isolant est ainsi placé entre le driver et le ruban de cuivre (Figure III-13(b)). La liaison entre le blindage et le potentiel DC+ doit être la plus courte possible pour éviter des fluctuations de potentiel dues aux inductances parasites.

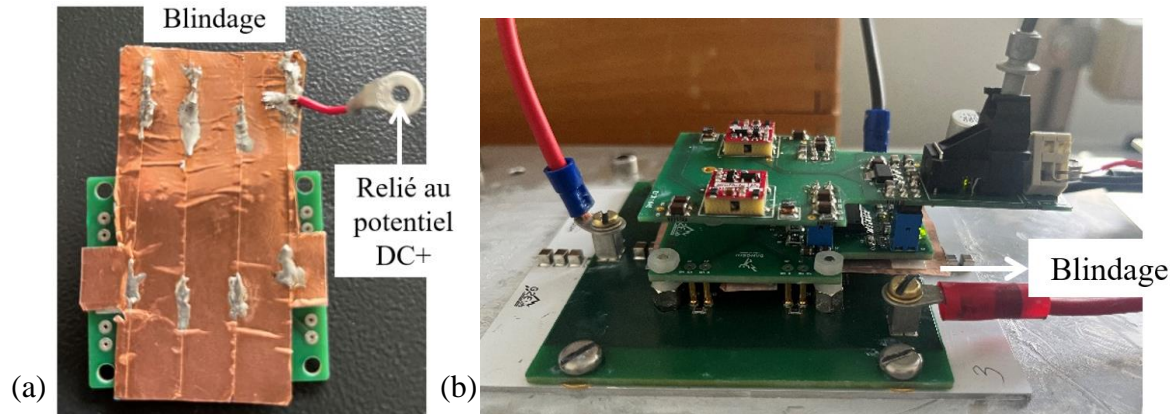


Figure III-13. Blindage du driver (a) Couche conductrice (b) Position

- Comparaison des spectres de mode commun

La Figure III-14, présente les spectres du courant de mode commun obtenus en utilisant le design croisé du module PP_PCBSMI. Ces mesures sont réalisées à une tension de bus égale à 30V et un courant d'entrée de 7.5A.

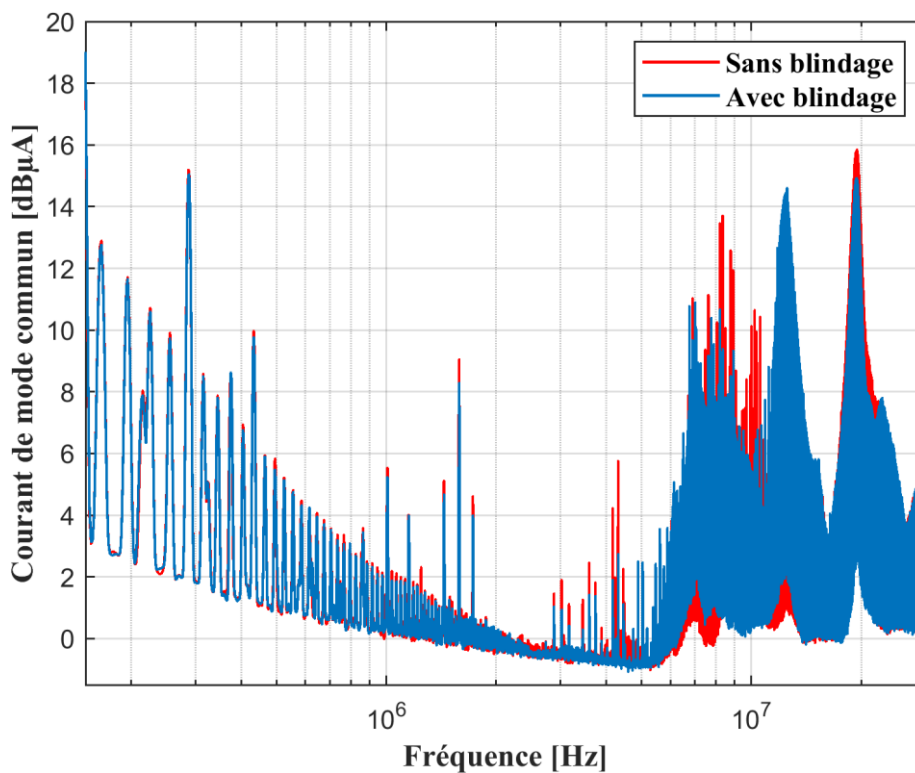


Figure III-14. Spectre du courant de mode commun du design croisé avec et sans blindage
Conditions de mesure : $f_{dec} = 20kHz$, $V_{GS} = 12V$, $V_{DC} = 30V$, $I = 7.5A$

En blindant le driver, une réduction entre $2\text{dB}\mu\text{A}$ et $4\text{dB}\mu\text{A}$ est observée sur le spectre de courant de mode commun. Cette étude permet de déduire que le driver est relativement « propre ». Les perturbations CEM sont majoritairement provoquées par le module de puissance.

III.3.2.3 Comparaison des trois designs du module PP_PCBSMI

La campagne de tests présentée par la suite de ce paragraphe concerne l'impact de la symétrisation des capacités $C_{\text{DC+}_\text{GND}}$ et $C_{\text{DC-}_\text{GND}}$ entre le bus DC et le plan de masse ainsi que l'effet de la minimisation de la capacité entre la phase et le plan de masse ($C_{\text{OUT}_\text{GND}}$). Ces tests sont tous réalisés successivement et dans les mêmes conditions à une tension de 30V et un courant de 7.5A .

La Figure III-15 présente une comparaison des spectres de courant de mode commun entre le design croisé et le design non croisé, tous les deux avec la technologie de flip chip. Entre 150kHz et 2MHz aucun écart d'amplitude n'est observé entre les deux spectres. Néanmoins, une réduction de $3\text{dB}\mu\text{A}$ de l'amplitude du spectre du design non croisé par rapport au design croisé est observée sur la plage 2MHz à 30MHz . Cette différence s'explique par la réduction de la valeur de la capacité $C_{\text{OUT}_\text{GND}}$ constituant la source principale de la génération des perturbations de mode commun : 2pF pour le design non croisé par rapport à 3pF pour le design croisé. D'autre part les capacités $C_{\text{DC+}_\text{GND}}$ et $C_{\text{DC-}_\text{GND}}$ sont symétriques pour les deux designs (Figure III-16), ces dernières permettent de recycler le courant de mode commun dans le module (paragraphe I.4.3.3). L'augmentation de leurs valeurs dans le design non croisé par rapport au design croisé permet ainsi de justifier la différence observée sur les spectres.

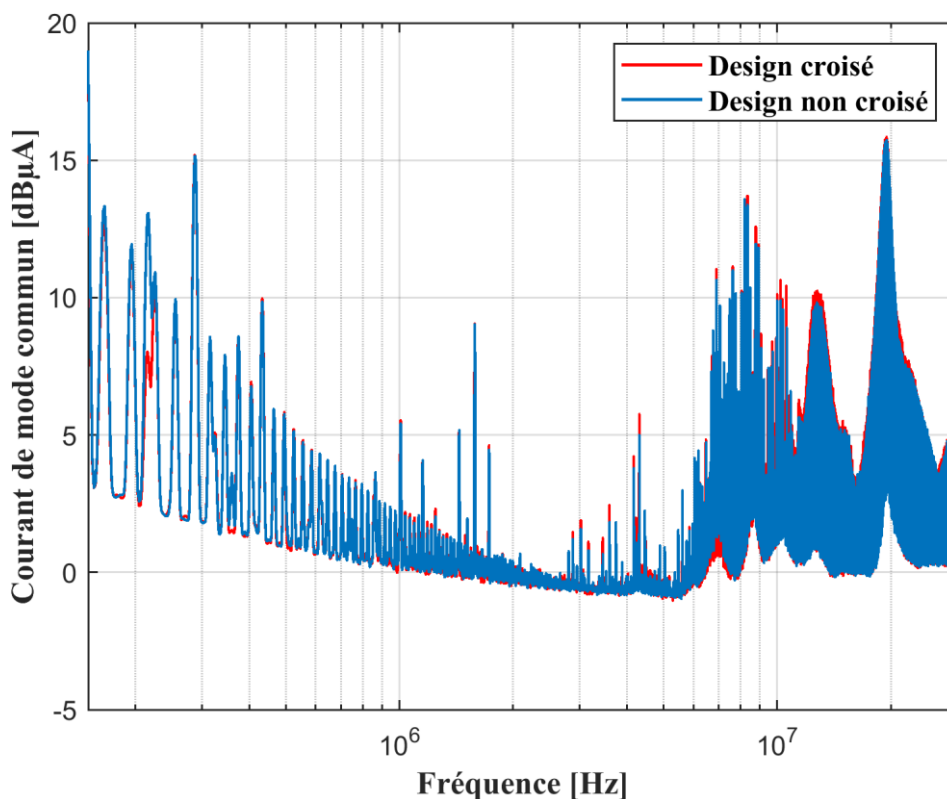


Figure III-15. Spectres du courant de mode commun des designs croisé et non croisé
Conditions de mesure : $f_{\text{dec}} = 20\text{kHz}$, $V_{\text{GS}} = 12\text{V}$, $V_{\text{DC}} = 30\text{V}$, $I = 7.5\text{A}$

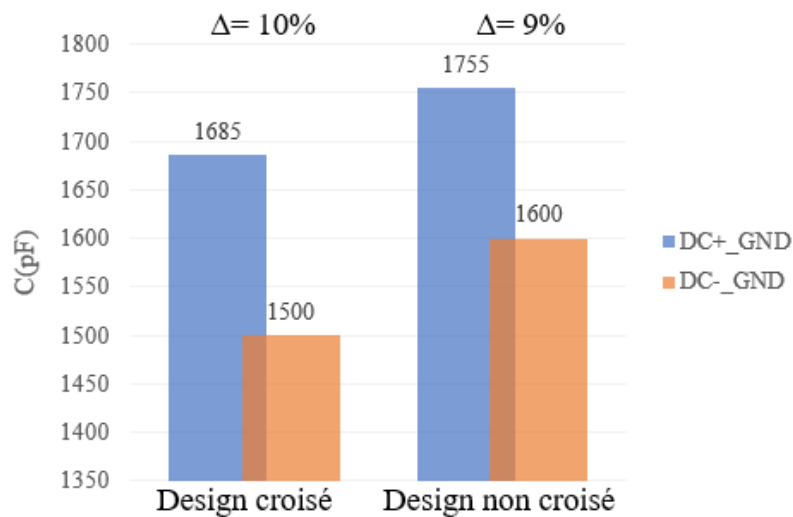


Figure III-16. Capacités simulées entre le bus DC et le plan de masse du design croisé et design non croisé

Après avoir comparé les spectres de mode commun du design croisé et du design non croisé, des mesures sont effectuées dans le but de voir l'effet de la technologie de flip chip sur le comportement CEM du module. Cette étude est effectuée en comparant les spectres du design non croisé et celui du design classique (Figure III-17).

Pour plus de clarté, l'enveloppe de chacun des spectres est tracée (Figure III-18(a)). Les deux courbes sont ensuite soustraites et la différence d'amplitude entre les deux designs est présentée dans la Figure III-18(b).

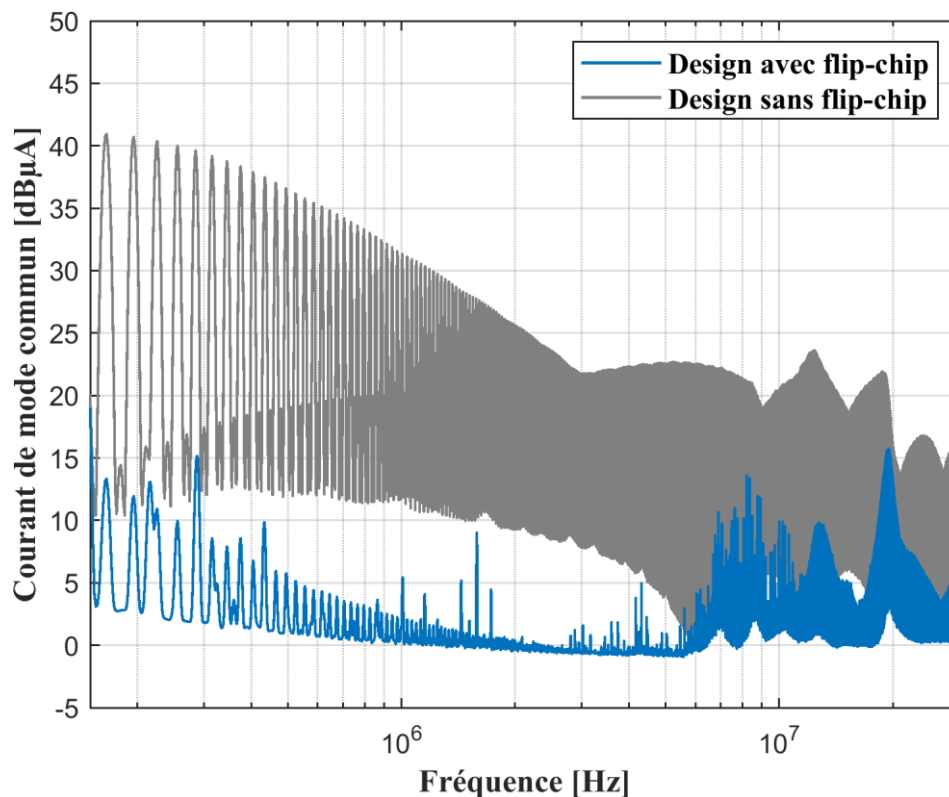


Figure III-17. Spectre du courant de mode commun du design non croisé et du design classique
 Conditions de mesure : $f_{dec} = 20kHz$, $V_{GS} = 12V$, $V_{DC} = 30V$, $I = 7.5A$

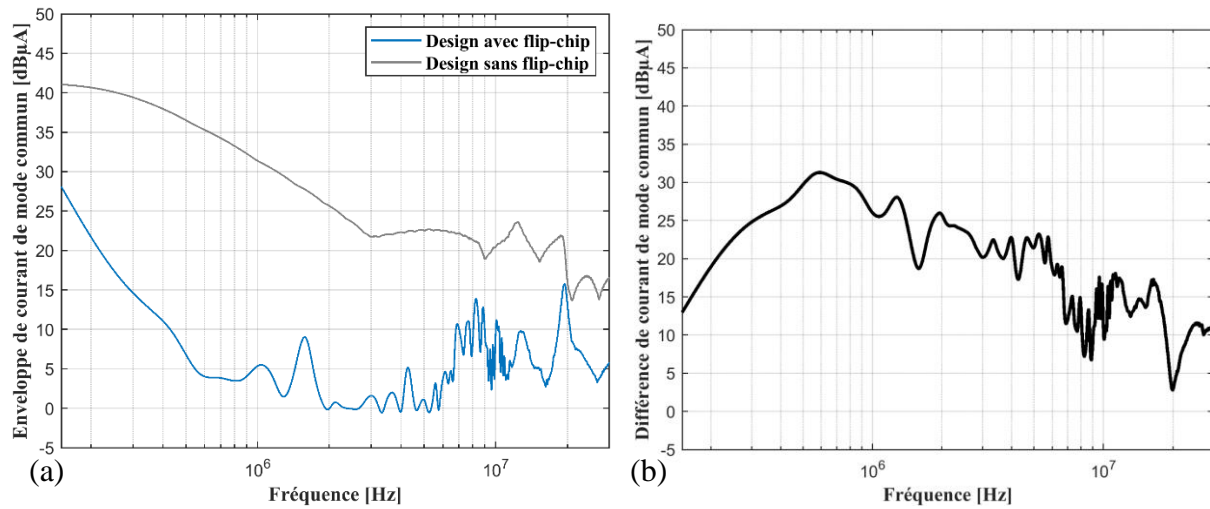


Figure III-18. Spectres de mode commun du design non croisé et du design classique (a) Enveloppe des spectres (b) Différence d'amplitude des spectres

Dans la plage de fréquence de la norme CEM des perturbations conduites (150kHz - 30MHz), le module non croisé avec la technologie de flip chip permet de gagner entre 5dBµA à 20MHz et 32dBµA à 600kHz. Cette réduction de perturbations est justifiée par deux caractéristiques principales du design croisé avec la technologie de flip chip. La première est la réduction de la capacité parasite entre la phase et le plan de masse, de 300pF pour le design classique à une valeur de quelques pF pour le design croisé (Figure III-19(a)). La deuxième est la symétrisation des capacités entre le bus DC et le plan de masse dans le design croisé. Ces dernières sont non symétriques pour le design classique (Figure III-19(b)). Ceci provoque un couplage entre le mode différentiel et le mode commun comme est déjà présenté dans partie I.4.3.3.

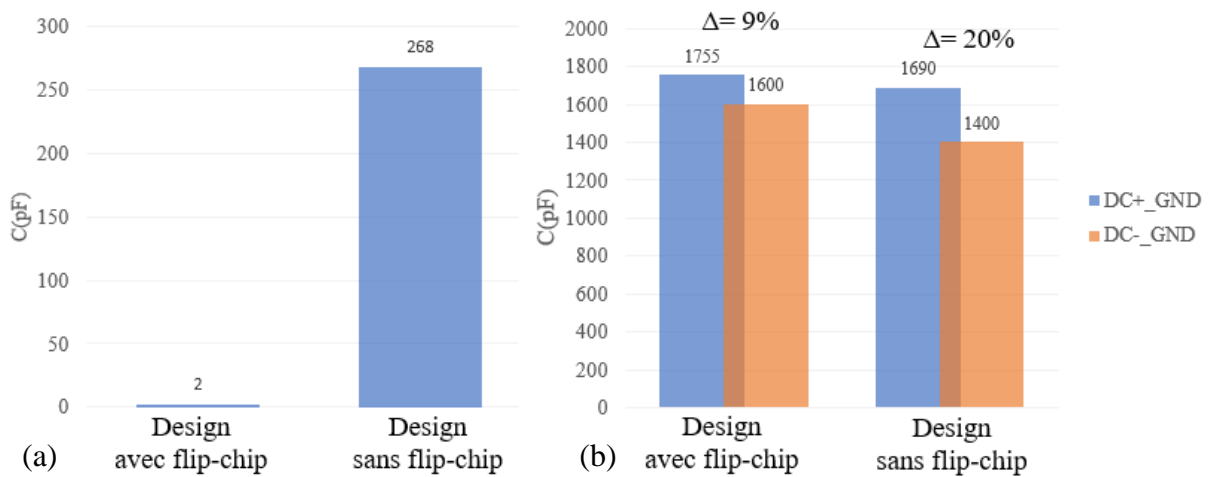


Figure III-19. Capacités simulées (a) entre la phase et le plan de masse (b) entre le bus DC et le plan de masse

L'étude CEM réalisée a permis de reconfirmer l'intérêt de la technologie de flip-chip sur la réduction des perturbations de mode commun. Cette technologie grâce à un design adapté du module de puissance, a assuré d'une part le confinement du point flottant au cœur du module et d'autre part la symétrisation des capacités C_{DC+_GND} et C_{DC-_GND} permettant de recycler les perturbations électromagnétiques.

III.4 Evaluation de l'inductance de la maille de commutation

Les simulations effectuées dans la partie II.3.2.2, ont permis d'évaluer l'inductance de la maille de commutation des trois designs du module PP_PCBSMI (croisé, non croisé et classique) et pour différentes positions des condensateurs de découplage. Dans cette partie, nous tenterons de faire une évaluation expérimentale de cette inductance. Elle sera faite pour trois positions des condensateurs de découplage : sur le PCB (Figure III-20(a)), sur le SMI (Figure III-20(b)) et simultanément sur le PCB et le SMI (Figure III-20(c)).

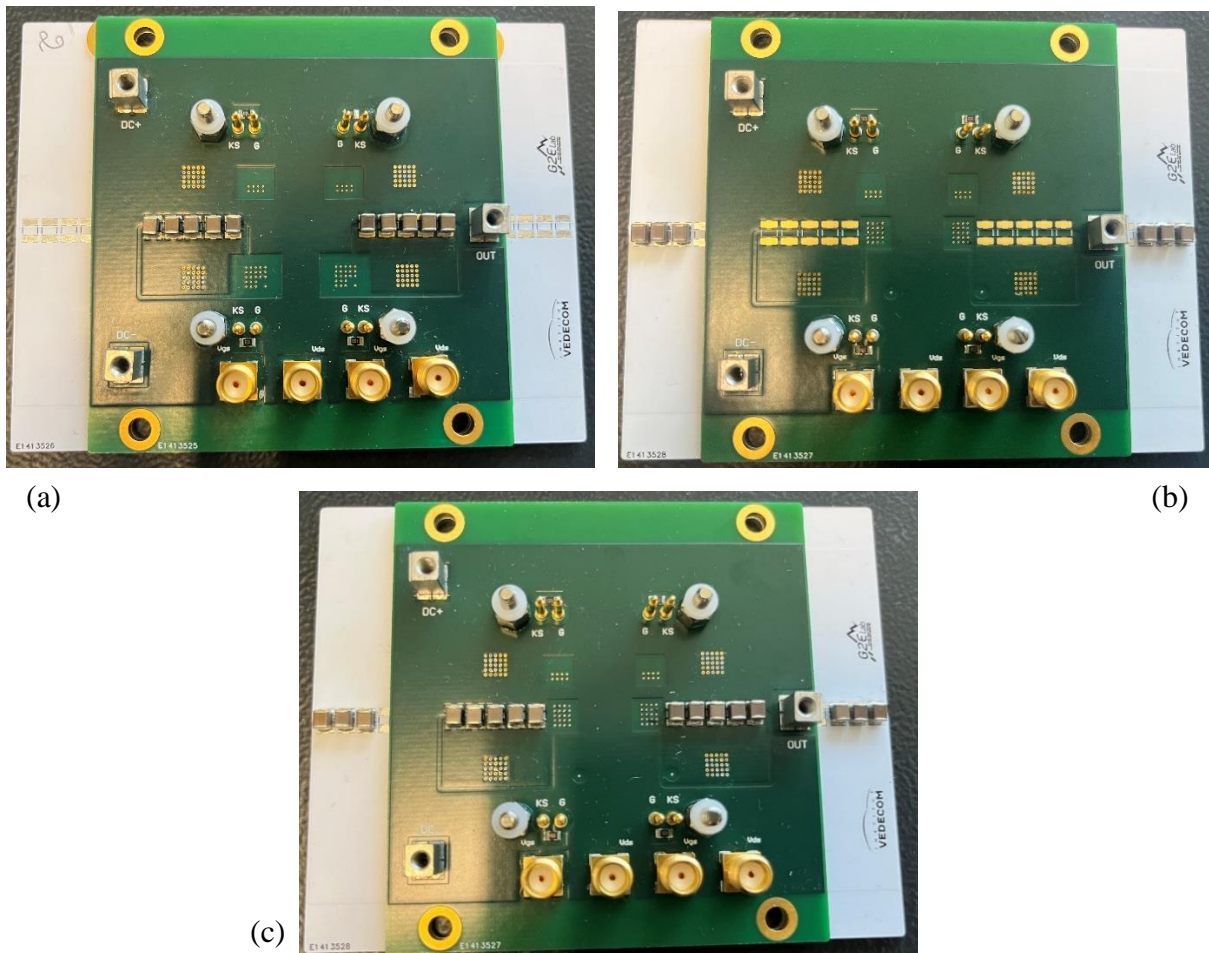


Figure III-20. Module PP_PCBSMI avec différentes positions des capacités de découplage (a) sur le PCB (b) sur le SMI (c) sur le PCB et le SMI

Dans un premier temps, la caractérisation de l'inductance propre de chaque branche de la maille de commutation sera menée par la méthode d'oscillation libre présentée dans [93]. L'intérêt de cette méthode repose principalement sur le fait que la fréquence d'oscillation obtenue ne dépend pas de la capacité parasite C_{oss} des MOSFET qui a pour défauts de varier fortement avec la tension et la fréquence. L'inductance totale de la maille de commutation sera mesurée en utilisant le test double impulsion.

III.4.1 Méthode d'oscillation libre

Comme déjà présenté dans la partie II.3.2.2, le calcul de l'inductance propre de chaque branche de la maille de commutation par le logiciel Ansys Q3D est effectué en scindant le module en deux parties. La caractérisation sera donc réalisée également sur un demi-module. L'inductance obtenue correspondra à l'inductance propre de la branche et les résultats seront comparables à ceux obtenus par simulation, si l'on néglige les effets de proximité entre les deux branches.

III.4.1.1 Méthode de caractérisation

Dans le but de déterminer les inductances propres par la méthode d'oscillation libre, un prototype du design croisé et un autre du design classique du module PP_PCBSMI sont coupés en deux. En effet, les demi-modules des designs croisé et non croisé, caractérisés par la technologie de flip-chip, sont quasi identiques. Seule la partie du module comportant les bornes DC+ et DC- et la branche HS1-LS1 de la maille de commutation est utilisée pour la caractérisation comme cela est présenté sur la Figure III-21. Notons que, dans les différents tests réalisés, cinq capacités de découplage sont utilisées. Cela permettra d'avoir des conditions similaires dans le but d'avoir des résultats comparables.

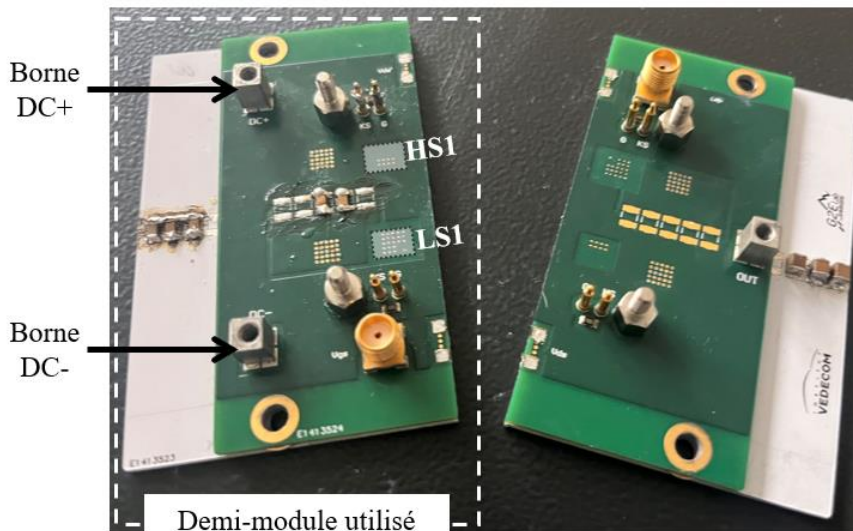


Figure III-21. Coupure du module de puissance

- Principe et calculs

La Figure III-22 illustre le schéma électrique du test réalisé. La méthode proposée consiste à charger les condensateurs de découplage par une tension faible. Ceci permettra à ces derniers d'avoir la capacité la plus constante possible durant les oscillations puisque cette dernière est fortement variable avec la tension. Puis, les deux MOSFETs HS1 et LS1 sont mis en conduction. À l'état passant ces transistors jouent le rôle de résistance (R_{DS-ON}). La capacité de découplage rentre alors en résonance avec l'inductance parasite de la cellule de commutation. Une résistance R de $2\text{ k}\Omega$ est placée entre la source de tension et le circuit résonnant. Le courant partant dans la source est alors négligeable vis-à-vis du courant dans la cellule de commutation lors des oscillations. Le fonctionnement obtenu sera alors très proche de celui obtenu dans le cas où on aurait déconnecté la source. La tension mesurée (V_C) est celle aux bornes de la capacité de découplage (C_{dec}). L'oscillation de cette tension et par suite sa fréquence de

résonance (f_r) nous permet d'estimer l'inductance propre de la branche de la maille de commutation (L_{eq1}). La valeur de capacité de chaque condensateur de découplage est mesurée avant de la souder sur la carte.

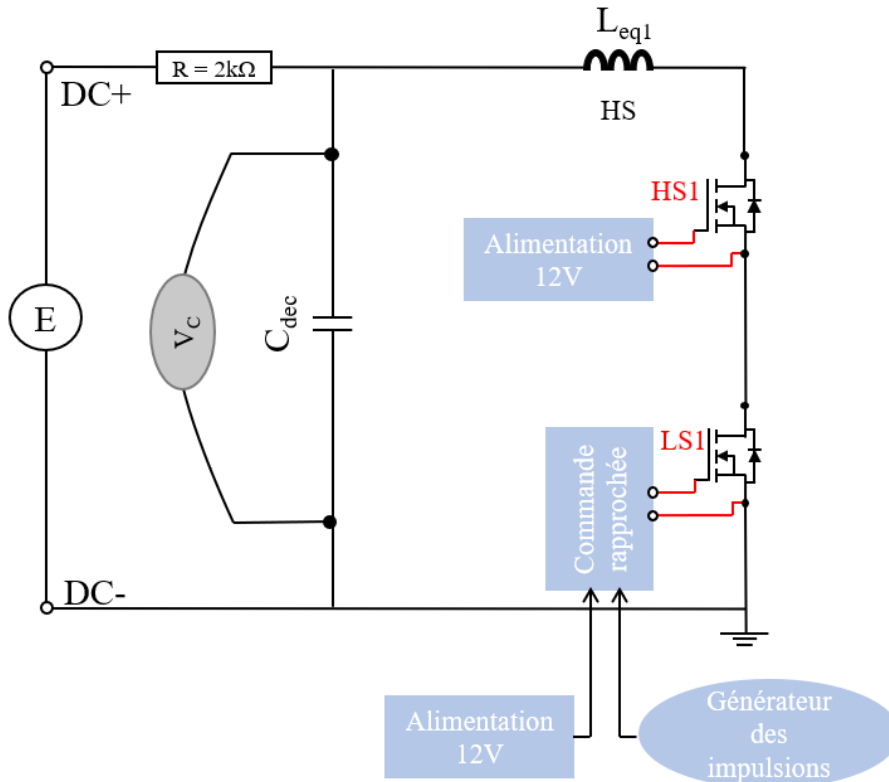


Figure III-22. Schéma électrique du montage oscillation libre

Afin de présenter clairement le calcul de l'inductance à partir de la fréquence de résonance, prenant l'exemple de la tension de la Figure III-23. Cette courbe est obtenue en appliquant la méthode d'oscillation libre [93].

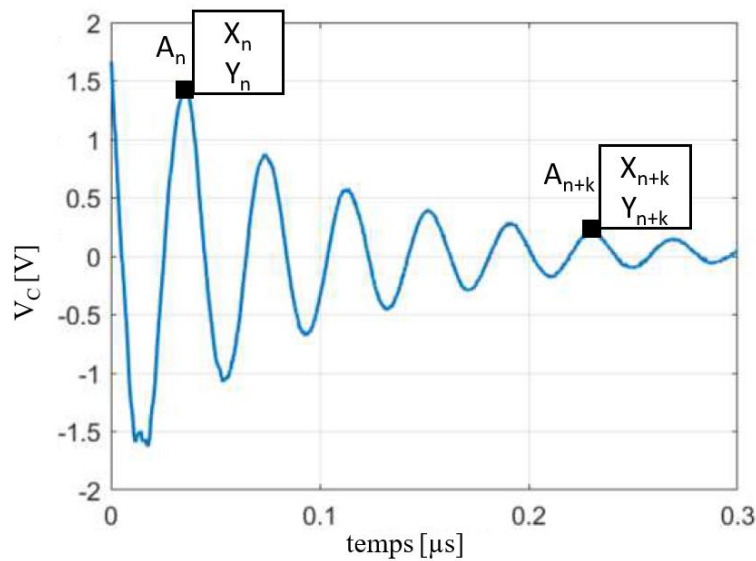


Figure III-23. Tensions aux bornes de la capacité de découplage durant les oscillations libres [93]

La fréquence de résonance f_r de la tension V_C est calculée par :

$$f_r = k \times \frac{1}{x_{n+k} - x_n} \quad (\text{III. 2})$$

Cette fréquence est également donnée par :

$$f_r = \frac{\sqrt{1 - m^2}}{2\pi\sqrt{L_{eq1}} \times C_{dec}} \quad (\text{III. 3})$$

où m est le facteur de qualité donné par :

$$m = \frac{R_{tot}}{2} \sqrt{\frac{C_{dec}}{L_{eq1}}} \quad (\text{III. 4})$$

avec R_{tot} la résistance totale du circuit.

A l'état passant, les transistors jouent le rôle de résistance. La résistance R_{tot} peut être donc estimée par l'équation suivante :

$$R_{tot} = 2 \times R_{DS-ON} + ESR \quad (\text{III. 5})$$

où ESR est la résistance série de la capacité de découplage

Dans notre étude, pour simplifier le calcul et éviter l'erreur qui peut être apportée par les valeurs des résistances, le facteur m est déterminé à partir de l'amortissement de la tension V_C mesurée. Il est calculé en se référant aux coordonnées des points A_n et A_{n+k} comme est présenté dans les équations (III.6) et (III.7) suivantes :

$$m = \frac{\delta}{2\pi} \quad (\text{III. 6})$$

δ est calculée par l'équation 14 suivante :

$$\delta = \frac{1}{k} \ln \left(\frac{y_n}{y_{n+k}} \right) \quad (\text{III. 7})$$

Connaissant m et la capacité C_{dec} on en déduit alors l'inductance L_{eq1} à partir de la fréquence f_r .

- Banc de test

Pour le MOSFET choisi, la valeur de R_{DS-ON} est de 47mΩ. Avec cette valeur de résistance, la résonance n'est pas possible pour une valeur de capacité de découplage de 50μF ($C_{dec}=5 \times 10\mu\text{F}$, Paragraphe II.3.1). Cette dernière doit être minimisée. Elle est remplacée par cinq capacités de valeur plus faible ($C_{dec}=5 \times 6.8\text{nF}$). Remarque : une valeur assez grande de capacité est conservée afin de ne pas travailler avec des capacités de l'ordre de grandeur des capacités parasites de la cellule de commutation estimées plus haut.

Le banc de caractérisation de l'inductance parasite par la méthode d'oscillation libre est présenté dans la Figure III-24. La tension E appliquée pour charger la capacité de découplage est de 3V. La carte driver est utilisée dans ce test pour la commande du transistor LS uniquement. La grille et la source du transistor HS sont reliées directement à l'alimentation rendant ce dernier toujours passant. Ceci est effectué puisque le bloc driver choisi ne permet pas une mise en conduction simultanée des transistors HS et LS (voir paragraphe II.2.2.2).

La sonde de l'oscilloscope utilisée pour la mesure de la tension V_C est la TPP1000 ayant une bande passante de 1GHz. Cette mesure est réalisée directement en plaçant la sonde sur l'empreinte de la capacité de découplage (Figure III-25). Ceci limite le bruit CEM que peut capter la boucle de mesure. L'oscilloscope Tektronix MSO 5204 ayant une bande passante de 2GHz est choisi.

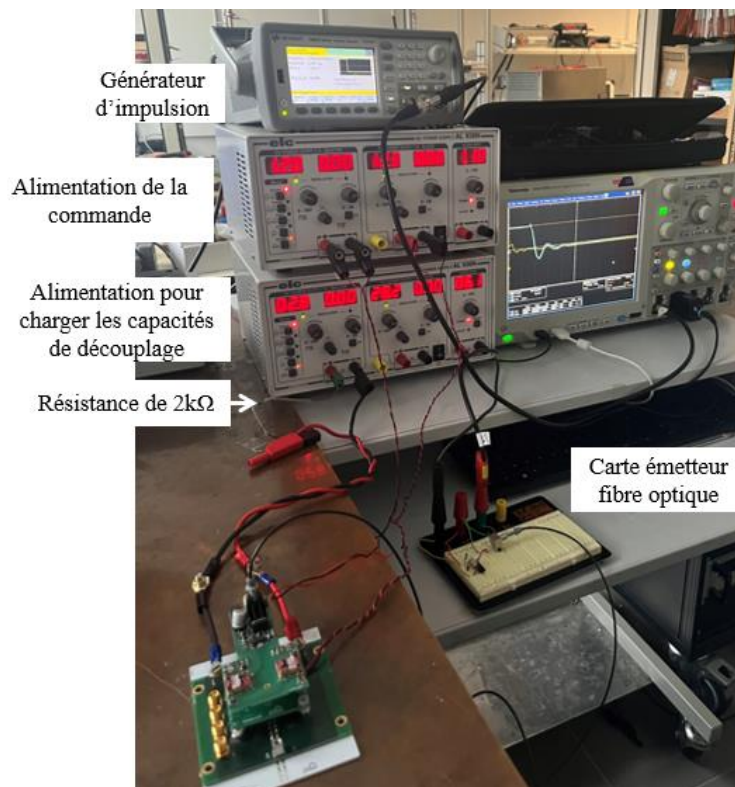


Figure III-24. Banc de caractérisation de l'inductance parasite par la méthode d'oscillation libre



Figure III-25. Position de la sonde de l'oscilloscope

III.4.1.2 Résultats et discussions

La Figure III-26(a) et la Figure III-26(b) présentent les tensions V_C mesurées respectivement pour le design avec la technologie de flip-chip et le design classique. Elles regroupent les courbes obtenues pour les différentes positions de la capacité de découplage : sur le PCB, sur le SMI et simultanément sur le PCB et le SMI.

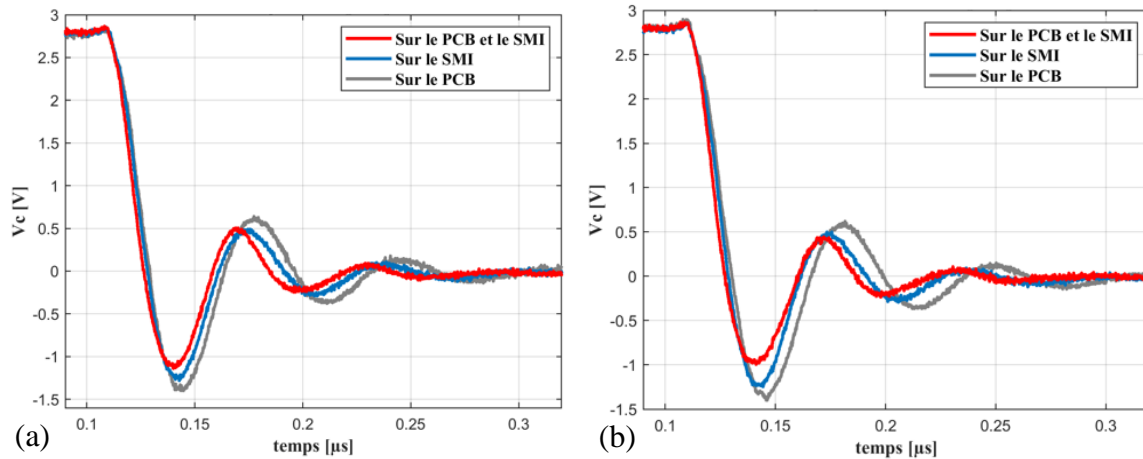


Figure III-26. Tensions aux bornes de la capacité de découplage durant les oscillations libres (a) Design avec flip-chip (b) Design classique sans flip-chip

Le Tableau III-5 montre les points à partir desquels le calcul du facteur m et de la fréquence de résonance f_r est effectué pour les différents tests présentés dans la Figure III-26. Les valeurs des inductances propres de la branche de la maille de commutation sont donc déduites en suivant les étapes de calcul présentées dans le paragraphe précédent.

Design	Capacité de découplage sur le PCB	Capacité de découplage sur le SMI	Capacité de découplage sur le PCB et le SMI
Avec la technologie de flip-chip			
Sans la technologie de flip-chip			

Tableau III-5. Points permettant le calcul de m et f_r

Le Tableau III-6 et le Tableau III-7 regroupent les valeurs mesurées et simulées des inductances pour les différentes positions de la capacité de découplage et respectivement pour les designs avec et sans la technologie de flip-chip. Les écarts en pourcent entre les valeurs simulées et mesurées sont ainsi représentés par la grandeur notée $\Delta\%$.

Position de C_{dec}	PCB	SMI	PCB et SMI
$L_{eq1} - Q3D$	3.6nH	-47% → 1.9nH	—
$L_{eq1} - Oscillation Libre$ (Sans ESL)	3.1nH	-35% → 2nH	-5% → 1.9nH
$\Delta\%$	-14%	5%	—

Tableau III-6. Inductances du design avec flip-chip pour les différentes positions des capacités de découplage

Position de C_{dec}	PCB	SMI	PCB et SMI
$L_{eq1} - Q3D$	4.1nH	-44% → 2.3nH	—
$L_{eq1} - Oscillation Libre$ (Sans ESL)	3.5nH	-31% → 2.4nH	-8% → 2.2nH
$\Delta\%$	-15%	4%	—

Tableau III-7. Inductances du design sans flip-chip pour les différentes positions des capacités de découplage

Les écarts entre les valeurs obtenues par simulation et mesures sont compris entre 4% et 15%. Ces résultats sont donc satisfaisants. Il est toutefois important de noter que l'erreur d'estimation de l'inductance n'est pas négligeable non plus. En effet, la tension V_C est rapidement amortie et le nombre de pics permettant le calcul du facteur de qualité m est limité (2 pics). Ainsi, la forme d'onde obtenue rend le positionnement des points assurant le calcul de la fréquence de résonance et du facteur m assez difficile surtout sur le 2^{ème} pic de la tension V_C dans notre cas. Cette dernière est plate et comporte plusieurs points de même ordonnée Y . Pour illustrer cela, le calcul est effectué pour trois positionnements (A, B et C) sur le 2^{ème} pic de la même courbe de la Figure III-27. Les points A et C sont situés sur les extrémités alors que le point B est le centre de ce pic. Ceci permet d'estimer l'erreur possible par la lecture graphique.

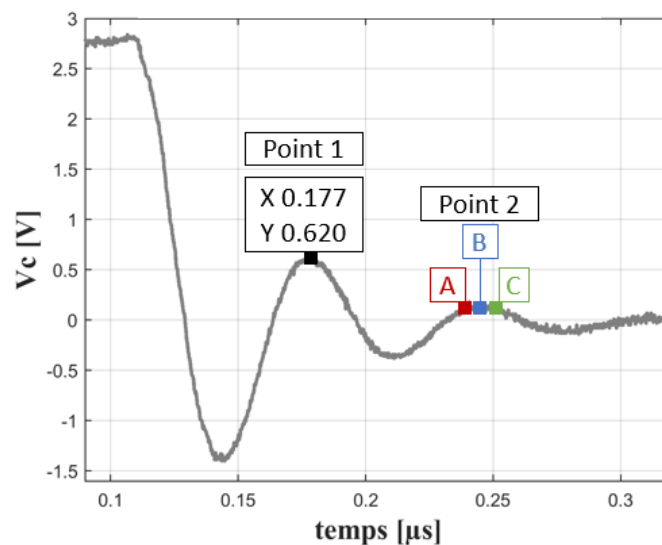


Figure III-27. Choix des points pour l'estimation de l'erreur de mesure par la lecture graphique

Mesure	A	B	C
Point 1	(X ₁ : 0.177 ; Y ₁ : 0.620)	(X ₁ : 0.177 ; Y ₁ : 0.620)	(X ₁ : 0.177 ; Y ₁ : 0.620)
Point 2	(X ₂ : 0.242 ; Y ₂ : 0.139)	(X ₂ : 0.245 ; Y ₂ : 0.139)	(X ₂ : 0.248 ; Y ₂ : 0.139)
m	0.231	+3% → 0.231	-4% → 0.231
f	15.4MHz	-2% → 14.7MHz	-2% → 14.1MHz
L _{eq1}	3nH	+5% → 3.1nH	+11% → 3.5nH

Tableau III-8. Ecart entre les valeurs mesurées pour trois positionnements différents de points

Comme le montre le Tableau III-8, l'écart entre les valeurs d'inductances observées pour le même design mais pour des positions différentes des points de mesure est inférieur à 11%. Cet écart ne peut pas être négligé. Les points sont donc choisis le plus possible au centre des différents pics pour toutes les courbes obtenues pour avoir des résultats les meilleurs possibles.

Malgré les erreurs des mesures inhérentes à cette méthode, les résultats expérimentaux sont en accord avec les résultats obtenus par simulation. Les Tableau III-6 et Tableau III-7 montrent en effet que l'inductance parasite est réduite d'une trentaine de pourcents en plaçant la capacité de découplage sur le SMI par rapport à son placement sur le PCB.

En comparant les valeurs d'inductances obtenues en plaçant la capacité de découplage sur le SMI, et simultanément sur le PCB et le SMI, une réduction inférieure à 10% est observée. La capacité de découplage qui intervient est donc plutôt celle placée sur le SMI

Tous ces résultats confirment que le positionnement des condensateurs de découplage est un paramètre très influent sur la valeur d'inductance parasite. Il semble un des paramètres majeurs pour réduire l'inductance parasite des cellules de commutation. Ce point sera confirmé par l'étude sur les cellules de commutation complètes présentée dans la partie suivante.

III.4.2 Caractérisation de l'inductance des modules complets

La caractérisation dynamique de la cellule de commutation PP_PCBSMI est effectuée par le test double impulsion en utilisant une charge inductive. L'étude de la tension V_{ds} aux bornes du MOSFET lors de son ouverture permet d'estimer la variation de l'inductance équivalente L_{CCL} de la maille.

III.4.2.1 Méthode de caractérisation

La Figure III-28 illustre le schéma électrique du test. La charge inductive est mise en parallèle au MOSFET HS jouant le rôle de diode de roue libre. Le MOSFET LS est commandé par deux impulsions. Comme le montre la Figure III-29, la première impulsion permet une augmentation linéaire du courant dans l'inductance jusqu'au niveau désiré tandis que la deuxième correspond à la commutation du MOSFET LS à un courant quasi-constant. La tension V_{ds} est mesurée à ses bornes juste après son ouverture. L'oscillation de la tension V_{ds} mesurée correspond à la résonance entre l'inductance parasite L_{CCL} de la maille de commutation et la capacité C_{oss} du MOSFET LS. La fréquence de résonance f_r de la tension V_{ds} est donnée par l'équation suivante :

$$f_r \approx \frac{1}{2\pi\sqrt{L_{CCL} \times C_{oss}}} \quad (\text{III. 8})$$

Connaissant C_{OSS} à partir de la documentation du constructeur, l'inductance parasite est donc déduite à partir de la valeur de la fréquence de résonance. Cependant, cette capacité est non linéaire et dépend de la tension V_{ds} . Dans le but de faciliter le calcul, cette dernière est considérée constante pendant les oscillations (150pF à 48V). Ainsi, comme déjà présenté dans la partie III.2, le package augmente cette capacité parasite. La capacité intervenant donc dans les oscillations correspond à la capacité C_{OSS} intrinsèque du MOSFET majorée par la capacité parasite C_{OUT_DC} .

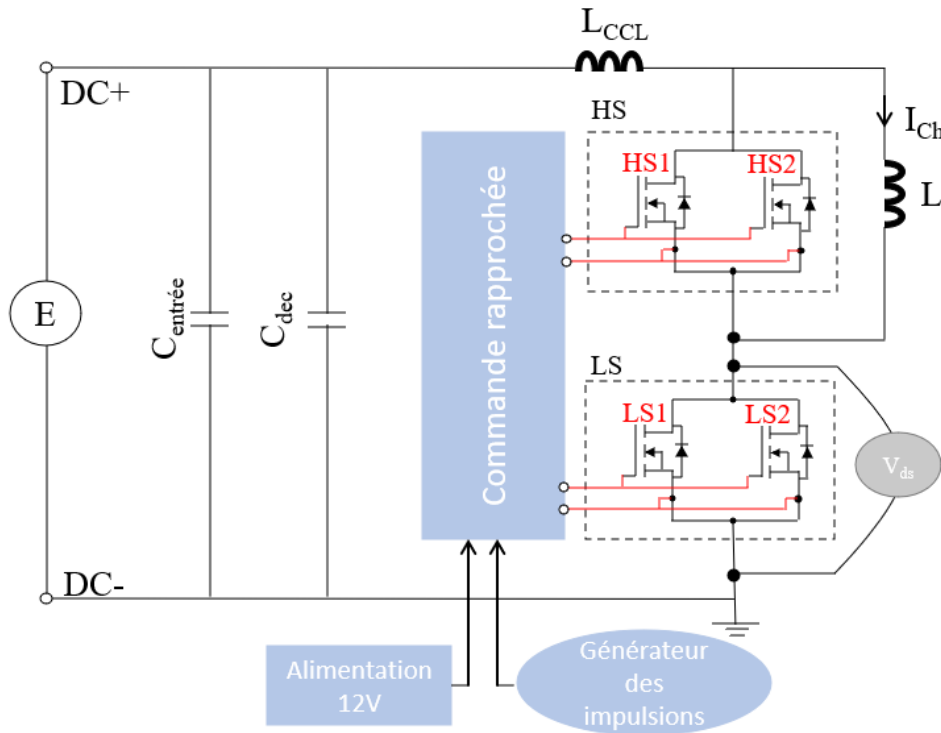


Figure III-28. Schéma électrique du montage double impulsion

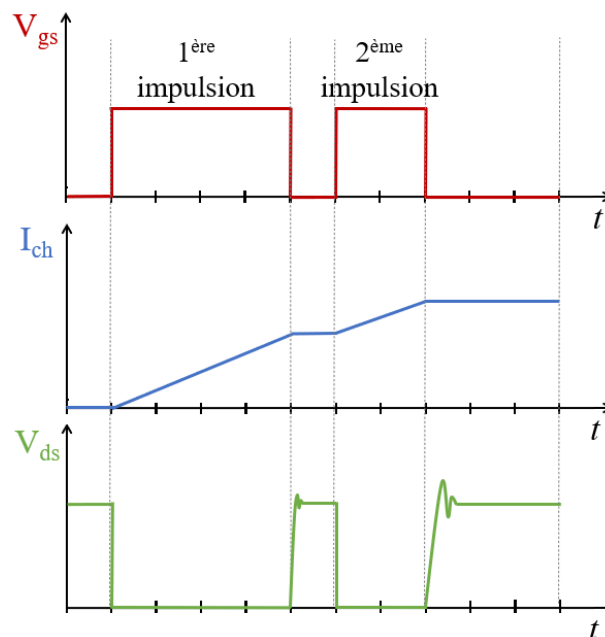


Figure III-29. Test double impulsion

Le banc de caractérisation de l'inductance parasite par le test double impulsion est présenté sur la Figure III-30. La carte d'alimentation, la carte driver et le module PP_PCBSMI incluant les condensateurs de découplage sont empilés. Un banc de capacités externes constitué de six condensateurs film (110 μ F 500VDC), filtrant le courant venant de l'alimentation, est connecté directement au module. La connexion est effectuée grâce aux bornes de puissance DC+ et DC- situées sur la couche de dessus du module. Les mesures de la tension V_{ds} et de la tension de commande V_{gs} du MOSFET LS sont réalisées à l'aide des connecteurs SMA permettant de connecter les sondes de l'oscilloscope (Figure III-31). Les boucles de mesure de V_{ds} et de V_{gs} sont réalisées de manière à être les plus courtes possibles. Ainsi, ces boucles sont confinées dans le PCB du module (couche 2 et couche 3 du PCB, voir Figure II-34) afin de limiter le captage du bruit CEM. Les sondes TPP1000 ayant une tension maximale de 300V et une bande passante de 1GHz sont utilisées. L'oscilloscope Tektronix MSO 5204 ayant une bande passante de 2GHz est choisi. La charge est constituée d'une inductance de 40 μ H.

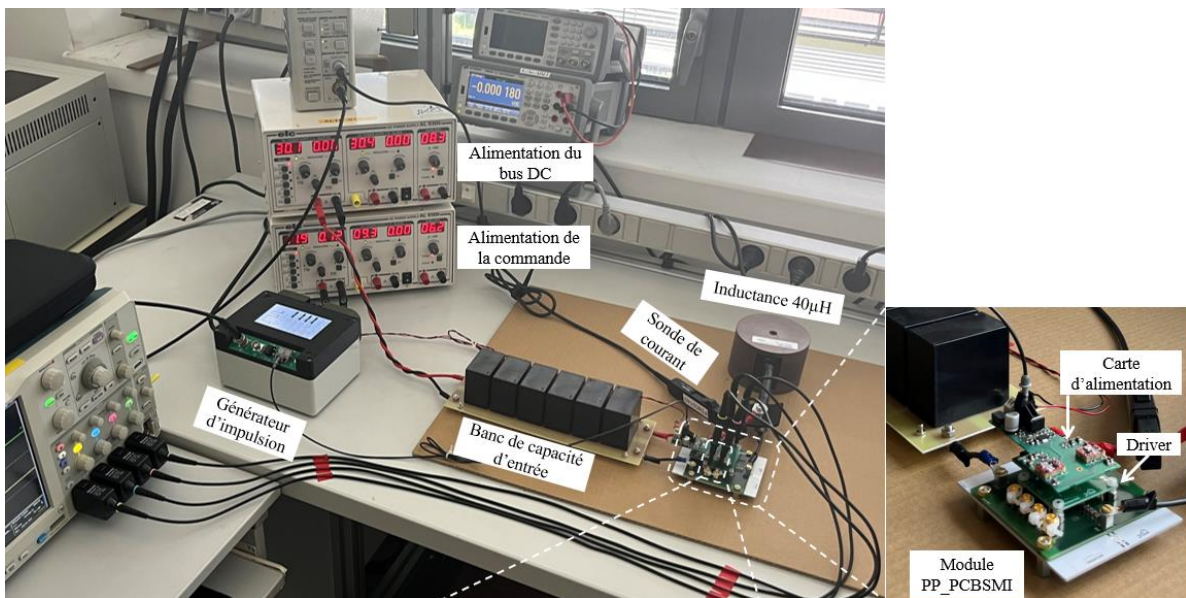


Figure III-30. Banc de caractérisation de l'inductance parasite par le test double impulsion



Figure III-31. Connexions des sondes de l'oscilloscope aux connecteurs SMA

III.4.2.2 Résultats et discussion

Dans cette partie, les résultats obtenus par le test double impulsion pour les différents designs et pour les différentes positions des capacités de découplage seront exposés. Dans un premier temps une étude qualitative sera réalisée. Cette dernière est effectuée en comparant la surtension au niveau de la tension V_{ds} du MOSFET LS pendant la commutation en courant. Puis nous procéderons à l'étude quantitative en calculant l'inductance parasite de la maille de commutation à partir de la fréquence de résonance observée juste après l'ouverture.

- Étude de la surtension au niveau de V_{ds}

La Figure III-32 permet de comparer les tensions V_{ds} des transistors LS à l'ouverture, pour les trois designs et pour les différentes dispositions des capacités de découplage. Cette étude est effectuée pour une tension de 48V et un courant de charge de 40A.

Pendant la commutation en courant, la surtension sur V_{ds} , notée ΔV_{ds} , peut être estimée par la formule suivante :

$$\Delta V_{ds} = L_{CCL} \frac{di}{dt} \quad (\text{III. 9})$$

Cette formule n'est pas utilisée dans notre étude pour obtenir la valeur de l'inductance de la maille de commutation car la pente du courant (di/dt) ne peut être obtenue qu'en insérant une sonde de courant dans la cellule de commutation, ce qui était très difficile à faire dans notre dispositif intégré et aurait pu perturber le fonctionnement de la cellule. Cependant, en considérant que le di/dt est le même pour les essais expérimentaux réalisés dans les mêmes conditions, une étude comparative de la surtension pourra nous permettre d'estimer la réduction de l'inductance de la maille de commutation d'un design à un autre.

De plus, en revenant à l'équation (III. 8), nous remarquons que l'inductance de la maille de commutation est inversement proportionnelle à la fréquence de résonance de la tension V_{ds} . Cette fréquence sera donc la deuxième voie de comparaison qualitative des inductances parasites des différents designs.

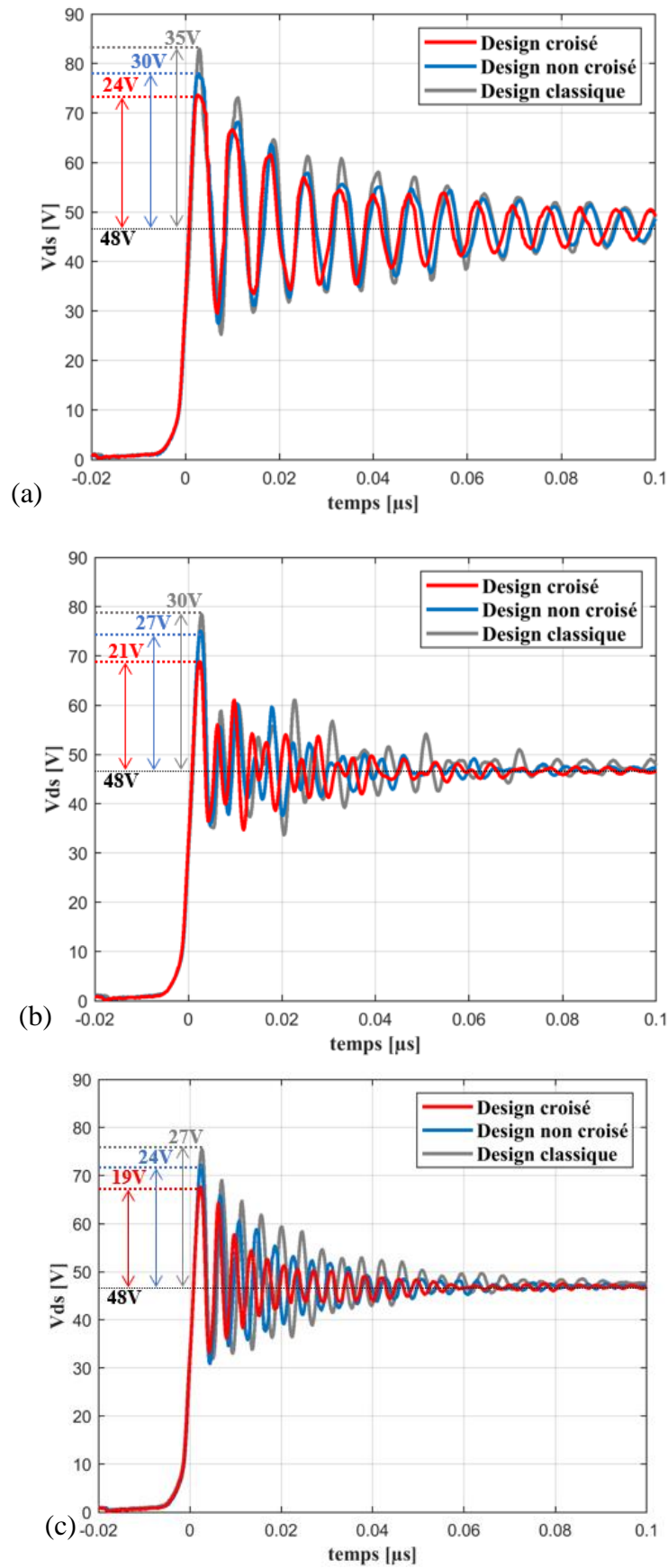


Figure III-32. Tension V_{ds} à l'ouverture de cellule pour différentes positions de la capacité de découplage
 (a) sur le PCB (b) sur le SMI (c) sur le PCB et le SMI
 Conditions de mesure : $V_{ds}=48V$, $I_d=40A$

Nous pouvons remarquer, pour les trois dispositions de la capacité de découplage, une minimisation comprise entre 20% et 22% de la surtension du design croisé par rapport au design non croisé. Ceci permet de valider l'importance du croisement des MOSFETs sur la réduction de l'inductance parasite. De même, une réduction comprise entre 10% et 15% de la surtension est observée entre le design non croisé avec la technologie de flip-chip par rapport au design classique. L'avantage de la technologie de flip-chip sur la minimisation de l'inductance est donc confirmé à nouveau.

L'influence du positionnement des condensateurs de découplage sur la commutation est également étudiée. Pour les trois designs, une réduction aux alentours de 20% de la surtension est observée en plaçant la capacité de découplage simultanément sur le PCB et le SMI par rapport à son placement sur le PCB. Également, en regardant la fréquence d'oscillation, nous remarquons que cette dernière est la plus grande en plaçant les capacités de découplage sur le PCB et le SMI simultanément. Ceci permet de déduire que l'inductance parasite de la maille de commutation est la plus petite dans ce cas.

Dans ce qui suit, un calcul de l'inductance de la maille de commutation sera effectué. Cependant, en revenant aux allures des courbes de la Figure III-32, nous remarquons que le calcul de la fréquence de résonance n'est pas possible en plaçant les capacités de découplage sur le SMI. Une multi-résonance est observée dans ce cas. Ce calcul est donc effectué sur les trois designs pour une position de la capacité de découplage soit sur le PCB soit simultanément sur le PCB et le SMI.

- Etude de l'inductance de la maille de commutation

Comme déjà présenté dans la partie III.4.2.1, le calcul de l'inductance de la maille de commutation est effectué à partir de la valeur de la fréquence de résonance de la tension V_{ds} à l'ouverture. Les tensions V_{ds} obtenues par le test double impulsion pour les différentes configurations ont été présentées dans la Figure III-32. Les détails de calcul des inductances sont exposés dans l'ANNEXE 7.

➤ Comparaison des trois designs en plaçant la capacité de découplage sur le PCB :

La surtension, la fréquence de résonance et l'inductance parasite obtenues par le test double impulsion avec les condensateurs placés sur le haut du PCB sont données dans le Tableau III-9.

	Design classique	Design non croisé	Design croisé
Surtension	35V	30V	26V
		-14%	-13%
f_r	128MHz	137MHz	143MHz
$L_{CCL} - DPT$ (Sans ESL)	3nH	2.6nH	2.3nH
		-13%	-12%
$L_{CCL} - Q3D$	2.2nH	1.9nH	1.7nH
		-14%	-11%
$\Delta_{DPT-Q3D}\%$	-36%	-37%	-35%

Tableau III-9. Résultat des tests double impulsion pour une position des capacités de découplage sur le PCB
Conditions de mesure : $V_{ds}=48V$, $I_d=40A$

Plus de 36%, 37% et 35% de différence entre les résultats de simulations et expérimentaux sont observés respectivement pour les cellules de commutation du design classique, non croisé et croisé. La différence peut s'expliquer par les hypothèses simplificatrices faites pour la simulation : injection équipotentielle sur les empreintes des capacités de découplage, non prise en compte des éléments parasites intrinsèques entre la puce et le boîtier du composant, la coupure du module de puissance en deux parties qui impliquait de négliger le courant commun entre les deux branches de la maille de commutation. De plus, dans le test double impulsion, la capacité C_{OSS} intrinsèque du MOSFET intervient dans le calcul de l'inductance parasite de la maille de commutation. Cette valeur variant fortement avec la tension V_{ds} , le calcul de la fréquence via cette méthode doit nécessairement être entaché d'erreur.

Malgré les erreurs sur l'estimation expérimentale de l'inductance parasite, les deux premières lignes du Tableau III-9 mettent en évidence que les pourcentages de réduction de l'inductance parasite observés en simulation et expérimentalement sont similaires. Ceci permet de valider l'intérêt de croiser les cellules de commutation pour minimiser l'inductance parasite globale. De même, l'avantage de la technologie de flip-chip est à nouveau confirmé.

➤ Comparaison des trois designs pour deux positions différentes des capacités de découplage :

Le Tableau III-10 présente une comparaison entre les inductances parasites de la maille de commutation en plaçant les capacités de découplage sur le PCB et simultanément sur le PCB et le SMI.

Position de la capacité de découplage		Design classique	Design non croisé	Design croisé
Sur le PCB	L_{CCL}	3nH ↓ -66%	2.6nH ↓ -65%	2.3nH ↓ -69%
Sur le PCB et le SMI	L_{CCL}	1nH	0.9nH	0.7nH

Tableau III-10. Inductances des différents designs du module PP_PCBSMI pour une position des capacités de découplage sur le PCB et le SMI

Une réduction d'une soixantaine de pourcents est observée pour les différents designs en plaçant les capacités de découplage simultanément sur le PCB et le SMI par rapport à son placement sur le PCB. Le positionnement de la capacité de découplage doit être donc soigné pour renforcer le travail d'optimisation du package effectué. Notons que la réduction de la surtension observée entre les deux positions des capacités de découplage pour les différents designs est d'une trentaine de pourcents. La différence entre la réduction observée sur la surtension par rapport à celle sur l'inductance peut être expliquée par les erreurs de mesure : di/dt considérés identiques dans les différents tests et valeur de C_{OSS} issue de la datasheet.

III.5 Conclusion

La caractérisation électrique du module PP_PCBSMI a fait l'objet de ce chapitre. Les mesures expérimentales réalisées ont permis de valider les résultats des simulations obtenues dans le Chapitre II.

Des mesures des capacités parasites ajoutées par le package ont été effectuées pour les designs croisé, non croisé et classique du module PP_PCBSMI. Des différences de moins de 12% ont été obtenues entre les valeurs des capacités mesurées et celles simulées. Les erreurs les plus importantes ont été observées sur les valeurs les plus faibles des capacités parasites. Ainsi que les capacités de quelques pF n'ont pas pu être calculées. Ceci était principalement dû à la méthode de mesure basée sur la soustraction de plusieurs valeurs pour obtenir les valeurs des capacités parasites désirées.

Des tests CEM ont été ainsi menés. La comparaison des spectres du courant de mode commun a permis de reconfirmer l'intérêt de la technologie de flip-chip sur la réduction des perturbations CEM. Cette technologie a assuré une minimisation de la capacité C_{Out_GND} constituant la source principale des perturbations. Elle a permis ainsi une symétrisation des capacités de bus DC (C_{DC+_GND} et C_{DC-_GND}) jouant le rôle du filtre CEM. Notons que le croisement des MOSFETs n'a pas agi fortement sur le comportement CEM du module.

L'évaluation de l'inductance parasite a été réalisée par deux méthodes : la méthode d'oscillation libre et le test double impulsion.

La méthode d'oscillation libre a permis de mesurer l'inductance propre de chaque branche de la maille de commutation. Le test a été effectué sur un demi-module et a permis de se rapprocher des hypothèses simplificatrices faites en simulation. L'intérêt de cette méthode repose principalement sur le fait que la fréquence d'oscillation obtenue ne dépend pas de la capacité parasite C_{oss} des MOSFET qui a pour défaut de varier fortement avec la tension et la fréquence. Des écarts de moins de 15% ont été observés entre les valeurs obtenues par simulation et celles mesurées. Cette différence était principalement dû à l'amortissement rapide de la tension oscillante ainsi qu'à l'erreur de la lecture graphique des points permettant le calcul de la fréquence et par suite de l'inductance.

Le test double impulsion a permis de mesurer l'inductance totale de la maille de commutation. Une comparaison des performances des trois designs du module a été donc menée. L'effet de la position des capacités de découplage a été ainsi étudié. L'intérêt de la méthode de double impulsion repose sur le fait que l'étude de l'inductance de la maille de commutation peut être observée par deux voies : l'étude de la surtension sur V_{ds} et le calcul de la fréquence de résonance. Cette dernière a permis de calculer la valeur de l'inductance parasite dans chaque cas. L'écart entre les valeurs mesurées et celles simulées par Q3D est d'une trentaine de pourcents. Ceci a été due principalement à la valeur de C_{oss} variant fortement avec la tension V_{ds} .

La caractérisation de l'inductance parasite, par les deux méthodes, a permis de confirmer à nouveau l'intérêt du brevet au niveau performance, une réduction de 12% de l'inductance de la maille de commutation a été observée entre le design croisé et le design non croisé. Ces mesures ont également mis en évidence l'intérêt de la disposition de la capacité de découplage. Cette dernière devait être soignée pour renforcer le travail d'optimisation du package effectué. En

effet, une réduction d'une soixantaine de pourcents a été observée pour deux dispositions différentes des capacités de découplage sur un même module.

Conclusion générale et perspectives

L'étude bibliographique a mis en avant les évolutions récentes des technologies des semi-conducteurs dans les systèmes de conversion d'énergie notamment liées au développement des composants à grand-gap à base de SiC et GaN. Le fonctionnement de ces composants étant fortement lié à leur intégration (électrique, thermique et mécanique), plusieurs voies d'amélioration du packaging des modules de puissance ont été présentées dans le premier chapitre.

Les travaux réalisés dans cette thèse visaient à étudier l'amélioration du comportement électromagnétique des modules de puissance via le principe de compensation de flux. Pour cette raison, l'étude s'est concentrée sur la réduction de l'inductance parasite de la maille de commutation et la minimisation des perturbations de mode commun. Une nouvelle architecture a donc été proposée en se basant sur l'enfouissement des puces semi-conductrices et la technologie de flip-chip. D'après l'étude bibliographique, ces deux dernières solutions permettent en effet de réduire l'inductance parasite et la génération des courants de mode commun tout en symétrisant les éléments parasites. Afin de prouver l'intérêt de la solution proposée, une étude comparative entre cette architecture et deux autres designs a été effectuée. Le premier design repose sur un placement non croisé des MOSFETs mais en gardant la technologie de flip-chip. Le deuxième présente une disposition classique des MOSFETs : placement non croisé et sans flip-chip.

La présentation des travaux de conception des modules a été effectuée en deux étapes. La première est la description de la géométrie de chaque prototype réalisé. La deuxième est la réalisation des simulations électromagnétiques et électrostatiques à l'aide du logiciel Ansys Q3D. Ces simulations ont permis de démontrer l'intérêt du brevet au niveau performance, une réduction de l'inductance parasite de la maille de commutation ayant été observée entre le design croisé et le design non croisé. Néanmoins, le pourcentage de cette réduction dépendait de la valeur de la mutuelle inductance par rapport à l'inductance propre de chaque branche de la maille de commutation. Une minimisation de 20% a été estimée lorsque la valeur de la mutuelle inductance simulée était égale au dixième de la valeur de l'inductance propre simulée. Les simulations ont aussi montré que la position de la capacité de découplage pouvait jouer un rôle prédominant sur la réduction de l'inductance parasite.

Toutefois, malgré l'avantage confirmé du croisement des MOSFETs associé à la technologie flip-chip concernant la réduction de l'inductance parasite, force est de constater que ce positionnement complexifie grandement le routage du module puisqu'une couche d'isolation supplémentaire, limitant potentiellement fortement les performances thermiques, doit être ajoutée par rapport à une solution non croisée.

Afin de valider les phénomènes observés en simulation, des prototypes ont été fabriqués. Dans un premier temps une intégration des puces semi-conductrices nues entre deux PCBs a été effectuée. Cependant, à cause de la non-maturité du procédé d'assemblage et le peu de moyens alloués à cette tâche dans le cadre du projet, les modules obtenus n'étaient pas fonctionnels. Une nouvelle architecture de module a été donc proposée. Cette dernière est moins ambitieuse de point de vue technologique mais les étapes de fabrication ont pu être réalisées entièrement au CEDMS et au G2Elab. Elle consiste à placer des composants packagés entre un PCB et un SMI. Plusieurs modules fonctionnels ont été obtenus et caractérisés électriquement.

Les résultats expérimentaux ont permis de valider les simulations électriques. Des mesures de capacités parasites ont été réalisées et des différences de moins de 12% ont été observées par

rapport aux valeurs obtenues par simulation. Des essais CEM ont aussi été réalisés. Ces derniers ont permis de reconfirmer, par comparaison avec un design classique, l'intérêt de la technologie de flip-chip sur la réduction du bruit CEM émis par le module.

Concernant l'inductance parasite, son évaluation a été menée par deux méthodes : la méthode d'oscillation libre et le test double impulsion. La méthode d'oscillation libre nous a permis de nous rapprocher des hypothèses simplificatrices effectuées en simulation. Des différences de moins de 15% ont été observées entre les résultats obtenus par simulations et celles mesurées. Le test double impulsion nous a permis de comparer les performances pendant la commutation des trois designs réalisés ainsi que l'effet de la position de la capacité de découplage. Ceci a été fait en étudiant les surtensions sur v_{ds} lors de l'ouverture des MOSFETs et en calculant les fréquences de résonance de cette même tension juste après l'ouverture. L'intérêt du brevet a été reconfirmé expérimentalement, une réduction a été observée sur la valeur de l'inductance parasite de la maille de commutation entre le design croisé et le design non croisé. Enfin, la nécessité de soigner la position de la capacité de découplage dès la phase de conception a été reconfirmée, une réduction d'une soixantaine de pourcents entre deux dispositions différentes de la capacité de découplage ayant été observée.

Ces travaux permettent d'ouvrir de nombreuses perspectives et des pistes non explorées dans le cadre de la thèse. La conception des cellules de commutation a été effectuée en se concentrant sur les aspects électriques et électromagnétiques liés à la commutation. Cependant, la conception d'un module de puissance est nécessairement effectuée en faisant des compromis entre différents phénomènes physiques détaillées ci-dessous.

1) Comportement thermique.

Le point de départ de la conception du module de puissance dans cette thèse était le brevet basé sur l'idée du croisement des MOSFETs pour effectuer une compensation de flux. Nous nous sommes donc concentrés sur les aspects électriques et électromagnétiques pour conclure sur son intérêt.

Toutefois, l'optimisation du module ne peut pas seulement être effectuée avec seulement des critères électriques. Citons par exemple l'impact de la diminution de la distance entre les branches opposées de la maille de commutation. Si l'on rapproche les puces entre elles, la valeur relative de la mutuelle inductance sera augmentée mais le couplage thermique également ce qui se traduira par une température de jonction plus importante à pertes égales. Une étude paramétrique couplée est donc nécessaire.

Du plus, nous avons vu que la technologie de flip-chip devait être appliquée pour avoir la compensation de flux entre les différentes branches de la maille de commutation. Le refroidissement du module réalisé dans cette thèse est simple face. Ainsi, l'interrupteur HS est refroidi du côté drain alors que l'interrupteur LS est refroidi du côté source donc sur une surface plus faible. Les échauffements des MOSFETs dans le même module ne sont donc pas équivalents et par la suite leur vieillissement n'est pas similaire. Il sera donc important d'étudier l'impact de ce choix ou proposer une nouvelle architecture permettant un refroidissement double face afin de symétriser le refroidissement de chaque composant.

2) Monté en tension

Les choix technologiques dans le module réalisé ont été effectués d'une manière standard en se référant aux recommandations du fabricant. Celles-ci peuvent ne pas satisfaire les applications haute tension ($> 800\text{V}$) typiquement rencontrées dans le cas des MOSFET SiC. Pour cette raison, les isolations électriques entre grille et source, entre les différentes cellules de commutation ainsi qu'entre le dissipateur et les différents potentiels doivent être mieux gérées dans le cas d'une montée en tension. De plus, en cas d'utilisation des composants à grand gap, les capacités inter-électrodes du MOSFET sont de faibles valeurs par rapport à celles du Si. Pour cette raison une attention particulière doit être portée pour les capacités parasites ajoutées par le package en parallèle à ces derniers.

Les choix effectués sur la montée en tension auront des impacts sur le comportement électrique dynamique et la gestion thermique. Une étude couplée sera là encore nécessaire pour concevoir un module de puissance.

3) Fiabilité

Il faut également noter que la conception doit prendre en compte la fiabilité du module de puissance afin d'assurer une durée de vie suffisante pour l'application visée. Parmi les paramètres importants dans ce cadre, on peut citer par exemple les épaisseurs des pistes et des isolants ou encore les choix effectués pour assurer la tenue en tension qui peuvent avoir un impact sur les performances électriques, les performances thermiques et le vieillissement du module de puissance.

L'étude de la fiabilité doit donc être prise en compte dès la phase de conception et doit se rajouter aux compromis effectués pour optimiser conjointement les performances électriques dynamique, la gestion thermique et la tenue en tension.

4) Technologie

La technologie développée au G2Elab a permis de conclure expérimentalement sur l'idée de brevet en comparant plusieurs architectures. Malgré son avantage potentiel en termes de réparabilité, les choix effectués ne permettent pas une montée en tension.

La réalisation pratique de la technologie développée à Vedecom n'est pas encore mature, mais cette technique semble être prometteuse de point de vue encapsulation des interrupteurs de puissance et leur report par frittage d'argent. Une étude de la tenue en tension des composants de puissance dans cet environnement diélectrique est un point intéressant pour pouvoir monter en puissance et couvrir plusieurs domaines d'applications. L'utilisation de couches de cuivre épaisse et l'étude de l'isolation électrique sont les points de départ pour respectivement une meilleure gestion thermique et une montée en tension pour les modules de puissance basés sur la technologie PCB. Deux questions doivent être donc posées : où sont situées les zones de concentration de champ électrique ? Quelles sont les valeurs maximales de ce champ ? Pour répondre à ces questions et trouver des solutions adaptées à la technologie Vedecom une thèse en collaboration entre l'institut Vedecom et l'Université de Bordeaux s'est déroulée en parallèle de ce travail de thèse. Le travail s'est concentré sur une seule puce en SiC intégrée dans un PCB et reporté par frittage d'argent. L'idée était de faire une gravure dans le cuivre juste au-dessus de la terminaison de la puce afin d'atténuer le champ électrique et éviter un claquage irréversible du diélectrique dans lequel la puce est intégrée (voir Figure CG-1). Les simulations

ont montré que la présence de cette gravure a permis une réduction de la concentration du champ électrique. Une étude thermomécanique a été ainsi réalisée pour vérifier l'effet de la taille de la gravure sur la tenue mécanique de l'assemblage.

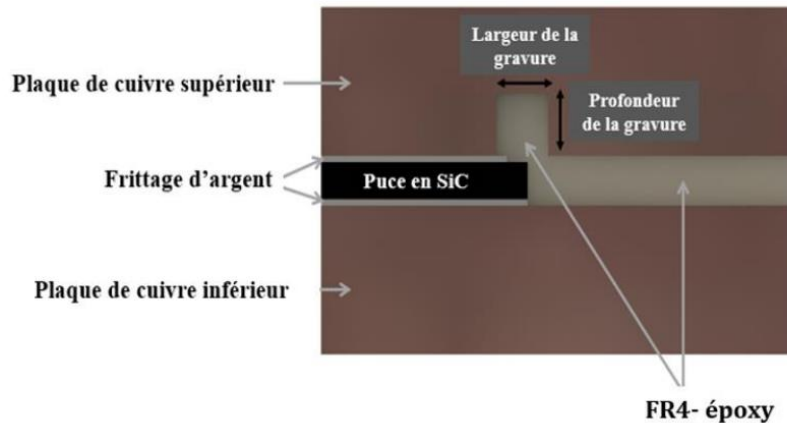


Figure CG-1. Coupe transversale de la géométrie proposée pour réduire la concentration du champ électrique [94]


Une perspective serait donc de mettre en œuvre une cellule de commutation à base des MOSFETs SiC en utilisant la technologie développée par Vedecom et en appliquant le brevet. Plusieurs points sont donc à étudier à ce niveau :

- La géométrie et le positionnement des gravures dans le cas de la présence de plusieurs puces
- L'effet des gravures multiples sur la tenue mécanique de l'ensemble
- L'effet du flip-chip sur le refroidissement des puces
- L'effet de la gravure conduisant à la dégradation du chemin de conduction thermique

Les perspectives sont donc nombreuses et il reste encore plusieurs voies à prendre en compte pour trouver un compromis entre les différents aspects sur lesquels se basent la mise en œuvre d'un module de puissance

Annexes

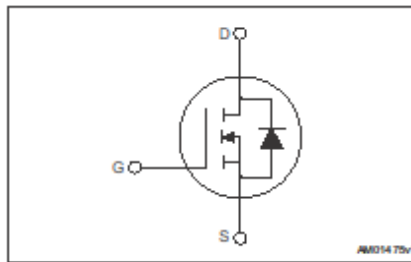
ANNEXE 1 : Datasheet du MOSFET ST315N10F7D8

life.augmented

ST315N10F7D8

**Automotive-grade 100 V N-channel 1.35 mΩ typ., StripFET™ F7
Power MOSFET die in D8 packing**

Datasheet - production data



Description

This device is an N-channel Power MOSFET utilizes STripFET™ F7 technology with an enhanced trench gate structure that results in very low on-state resistance, while also reducing internal capacitance and gate charge for faster and more efficient switching.

Features

- Designed for automotive applications and AEC-Q101 qualified
- Among the lowest $R_{DS(on)}$ on the market
- Excellent figure of merit (FoM)
- Low C_{TSS} / C_{ISS} ratio for EMI immunity
- High avalanche ruggedness

Applications

- Switching applications

Table 1. Device summary

Order code	V_{DS}	$R_{DS(on)}$ max.	Die size	Package
ST315N10F7D8	100 V	1.75 mΩ ⁽¹⁾	6340 x 4600 μm ²	D8

1. Tested value at KGD.

This chip datasheet is referred to the device STH315N10F7-2, which uses the same silicon as the ST315N10F7D8.

ANNEXE 2 : Étude de l'étalement de la pâte d'argent

Étude effectuée en étalant la pâte d'argent sur un écran de 150 μm d'épaisseur et comportant des ouvertures de faible section, allant de 150 \times 150 μm^2 à 400 \times 400 μm . Les résultats, présentés dans la figure ci-dessous, montrent qu'un étalement moyen supplémentaire de 33% de la pâte est observé après son séchage et que la hauteur de la pâte déposée est plus faible lorsque la section de l'écran est plus petite.

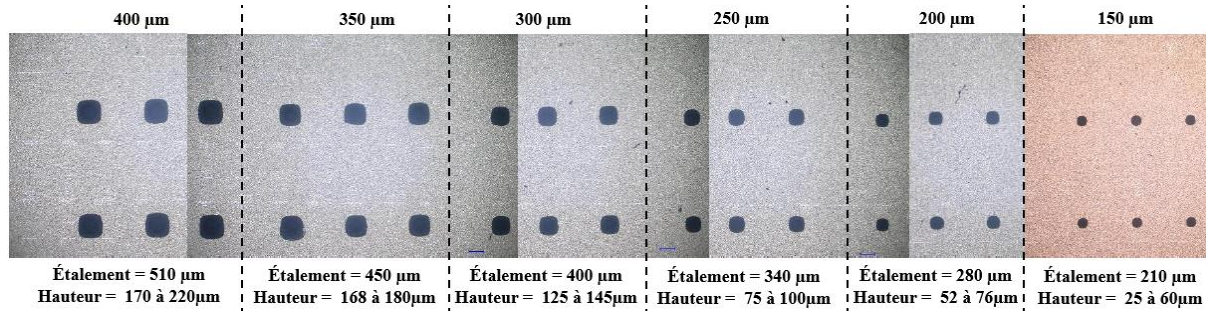


Figure A-1. Série d'images du dépôt de la pâte d'argent pour différentes ouvertures dans l'écran de sérigraphie

ANNEXE 3 : Comparaison des inductances parasites d'une boucle de la maille de commutation

La première simulation consiste à garder le module entier en plaçant le source et le sink d'une façon à alimenter la capacité de découplage propre à la première boucle de la maille de commutation (voir Figure A-2). Alors que la deuxième simulation consiste à couper physiquement le module en deux en alimentant également la même capacité de découplage (voir Figure A-3).

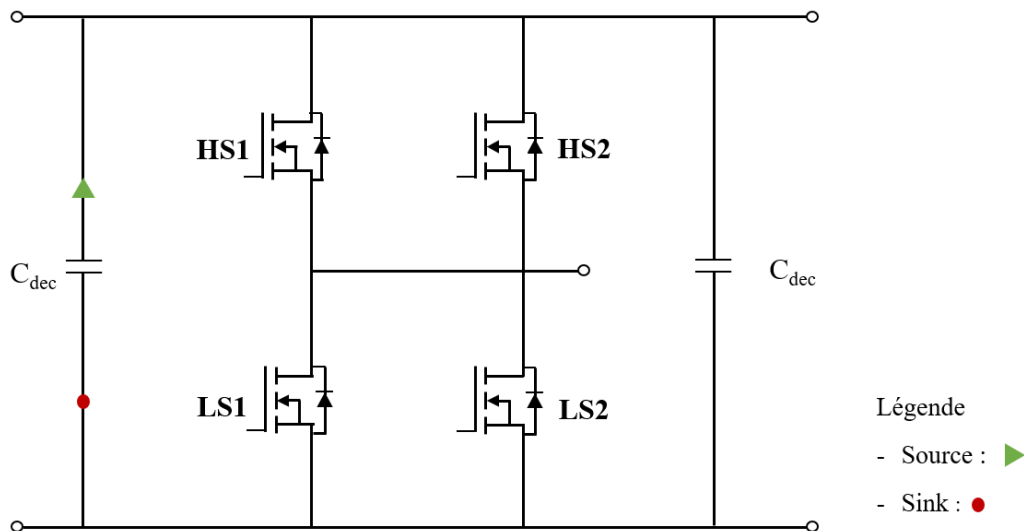


Figure A-2. Schéma électrique du module entier

$L=1.56\text{nH}$

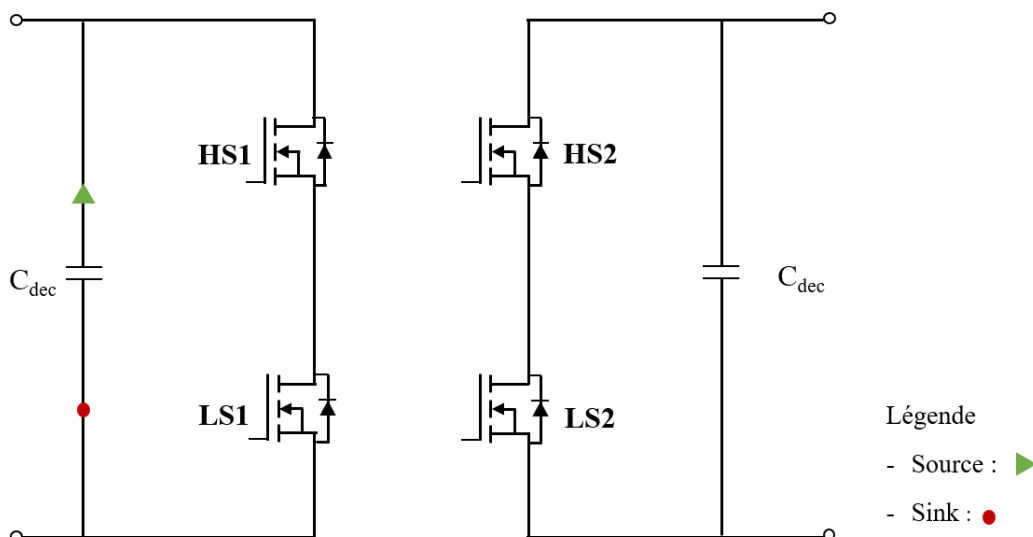


Figure A-3. Schéma électrique du module coupé

$L=1.64\text{nH}$

La différence entre les deux inductances est de l'ordre de 5%. Cette différence confirme que le courant commun entre les deux boucles de la maille de commutation peut être négligé

ANNEXE 4 : Simulations électromagnétiques du module PN_2PCB

Les matrices issues du logiciel Ansys Q3D à la suite des simulations effectuées sur les trois designs du modules PN_2PCB sont présentées dans le Tableau A-1.

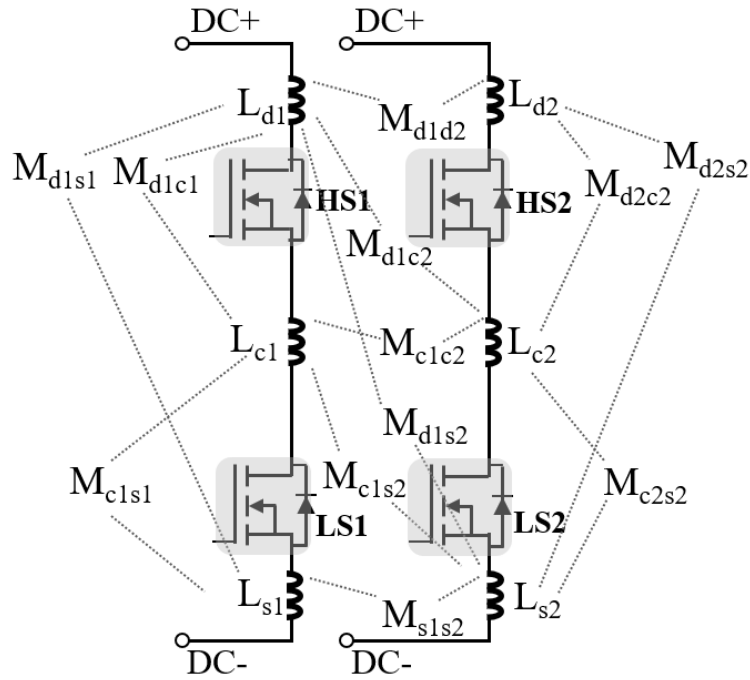


Figure A-4. Schéma électrique représentant les inductances propres et des mutuelle des deux branches d'une maille de commutation

$$L_{total} = \begin{bmatrix} [L_1] & [M_{12}] \\ [M_{12}] & [L_2] \end{bmatrix} \quad (A.1)$$

Avec

$$[L_i] = \begin{bmatrix} L_{di} & M_{dici} & M_{disi} \\ M_{dici} & L_{ci} & M_{cisi} \\ M_{disi} & M_{cisi} & L_{si} \end{bmatrix}_{i=1;2} \quad (A.2)$$

$$[M_{12}] = \begin{bmatrix} M_{d1d2} & M_{d1c2} & M_{d1s2} \\ M_{c1d2} & M_{c1c2} & M_{c1s2} \\ M_{s1d2} & M_{s1c2} & M_{s1s2} \end{bmatrix} \quad (A.3)$$

	Design croisé	Design non croisé	Design classique
$[L_1]$	$\begin{bmatrix} 1.23 & -0.61 & -0.18 \\ -0.61 & 1.87 & -0.61 \\ -0.18 & -0.61 & 1.25 \end{bmatrix}$	$\begin{bmatrix} 1.23 & -0.6 & -0.17 \\ -0.6 & 1.88 & -0.6 \\ -0.17 & -0.6 & 1.24 \end{bmatrix}$	$\begin{bmatrix} 1.26 & -0.57 & -0.14 \\ -0.57 & 2.11 & -0.57 \\ -0.14 & -0.57 & 1.22 \end{bmatrix}$
$[L_2]$	$\begin{bmatrix} 1.27 & -0.62 & -0.17 \\ -0.62 & 1.82 & -0.62 \\ -0.17 & -0.62 & 1.28 \end{bmatrix}$	$\begin{bmatrix} 1.26 & -0.61 & -0.17 \\ -0.61 & 1.80 & -0.61 \\ -0.17 & -0.61 & 1.26 \end{bmatrix}$	$\begin{bmatrix} 1.27 & -0.6 & -0.15 \\ -0.6 & 2.10 & -0.6 \\ -0.15 & -0.6 & 1.22 \end{bmatrix}$
$[M_{12}]$	$\begin{bmatrix} -0.12 & 0.22 & -0.08 \\ 0.22 & -0.59 & 0.21 \\ -0.08 & 0.21 & -0.12 \end{bmatrix}$	$\begin{bmatrix} 0.08 & -0.22 & 0.12 \\ -0.22 & 0.60 & -0.21 \\ 0.12 & -0.21 & 0.08 \end{bmatrix}$	$\begin{bmatrix} 0.08 & -0.21 & 0.10 \\ -0.21 & 0.72 & -0.21 \\ 0.1 & -0.21 & 0.08 \end{bmatrix}$

Tableau A-1. Inductances parasites extraites par Ansys Q3D du module PN_2PCB

ANNEXE 5 : Simulations électromagnétiques du module PP_PCBSMI

Les matrices issues du logiciel Ansys Q3D à la suite des simulations effectuées sur les trois designs du modules PP_PCBSMI sont présentées dans le Tableau A-2 et le Tableau A-3 respectivement pour les positions de la capacité de découplage sur le PCB et sur le SMI.

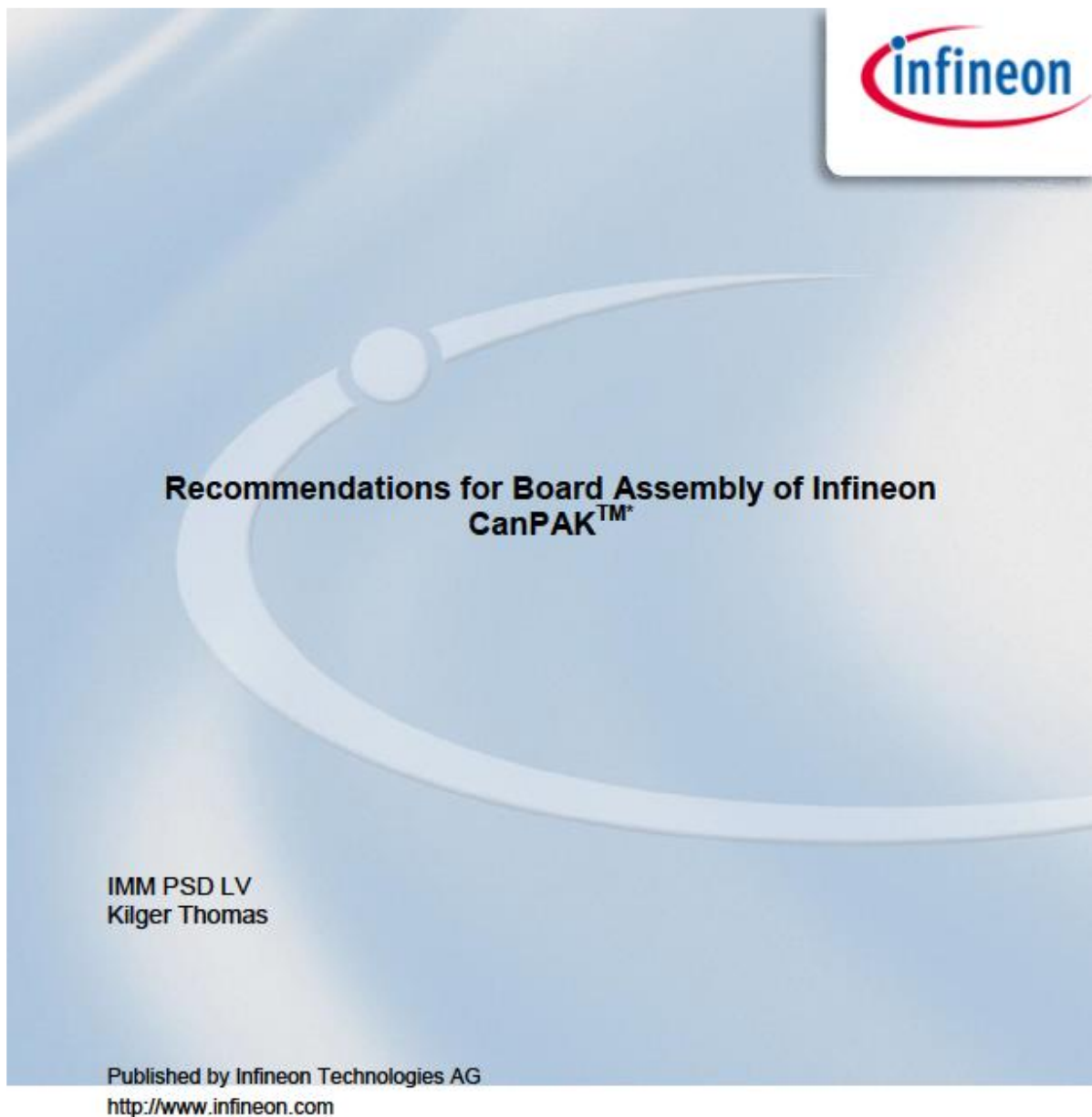
	Design croisé	Design non croisé	Design classique
$[L_1]$ (nH)	$\begin{bmatrix} 2.23 & -0.54 & -0.39 \\ -0.54 & 2.1 & -0.56 \\ -0.39 & -0.56 & 2.2 \end{bmatrix}$	$\begin{bmatrix} 2.24 & -0.54 & -0.39 \\ -0.54 & 2.1 & -0.55 \\ -0.39 & -0.55 & 2.2 \end{bmatrix}$	$\begin{bmatrix} 2.37 & -0.6 & -0.37 \\ -0.6 & 2.1 & -0.59 \\ -0.37 & -0.59 & 2.81 \end{bmatrix}$
$[L_2]$ (nH)	$\begin{bmatrix} 2.30 & -0.56 & -0.38 \\ -0.56 & 2 & -0.55 \\ -0.38 & -0.55 & 2.36 \end{bmatrix}$	$\begin{bmatrix} 2.30 & -0.55 & -0.37 \\ -0.55 & 2 & -0.55 \\ -0.37 & -0.55 & 2.37 \end{bmatrix}$	$\begin{bmatrix} 2.33 & -0.6 & -0.36 \\ -0.6 & 2.1 & -0.59 \\ -0.36 & -0.59 & 2.8 \end{bmatrix}$
$[M_{12}]$ (nH)	$\begin{bmatrix} -0.12 & 0.22 & -0.1 \\ 0.22 & -0.57 & 0.21 \\ -0.1 & 0.21 & -0.12 \end{bmatrix}$	$\begin{bmatrix} 0.10 & -0.22 & 0.11 \\ -0.22 & 0.6 & -0.22 \\ 0.11 & -0.22 & 0.1 \end{bmatrix}$	$\begin{bmatrix} 0.14 & -0.25 & 0.13 \\ -0.25 & 0.7 & -0.25 \\ 0.13 & -0.25 & 0.12 \end{bmatrix}$

Tableau A-2. Inductances parasites extraites par Ansys Q3D du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB

	Design croisé	Design non croisé	Design classique
$[L_1]$ (nH)	$\begin{bmatrix} 5.38 & -0.64 & -4.27 \\ -0.64 & 2.2 & -0.63 \\ -4.27 & -0.63 & 5.37 \end{bmatrix}$	$\begin{bmatrix} 5.39 & -0.65 & -4.28 \\ -0.65 & 2.22 & -0.63 \\ -4.28 & -0.63 & 5.4 \end{bmatrix}$	$\begin{bmatrix} 5.44 & -0.78 & -4.24 \\ -0.78 & 2.24 & -0.76 \\ -4.24 & -0.76 & 6.19 \end{bmatrix}$
$[L_2]$ (nH)	$\begin{bmatrix} 5.38 & -0.65 & -4.27 \\ -0.65 & 2.17 & -0.63 \\ -4.27 & -0.63 & 5.39 \end{bmatrix}$	$\begin{bmatrix} 5.38 & -0.64 & -4.29 \\ -0.64 & 2.2 & -0.63 \\ -4.29 & -0.63 & 5.41 \end{bmatrix}$	$\begin{bmatrix} 5.42 & -0.78 & -4.24 \\ -0.78 & 2.23 & -0.78 \\ -4.24 & -0.78 & 6.17 \end{bmatrix}$
$[M_{12}]$ (nH)	$\begin{bmatrix} -0.71 & 0.29 & 0.37 \\ 0.29 & -0.67 & 0.29 \\ 0.37 & 0.29 & -0.7 \end{bmatrix}$	$\begin{bmatrix} -0.38 & -0.3 & 0.71 \\ -0.3 & 0.69 & -0.29 \\ 0.71 & -0.29 & -0.38 \end{bmatrix}$	$\begin{bmatrix} -0.35 & -0.36 & 0.74 \\ -0.36 & 0.75 & -0.34 \\ 0.74 & -0.34 & -0.38 \end{bmatrix}$

Tableau A-3. Inductances parasites extraites par Ansys Q3D du module PP_PCBSMI pour la position de la capacité de découplage sur le SMI

ANNEXE 6 : Note d'application : Recommandation d'assemblage du boîtier CanPAK



CanPAK™ products use DirectFET® technology licensed from International Rectifier Corporation. DirectFET™ is a registered trademark of International Rectifier Corporation.

ANNEXE 7 : Calcul de l'inductance de la maille de commutation par le test double impulsion

➤ Capacité de découplage sur le PCB :

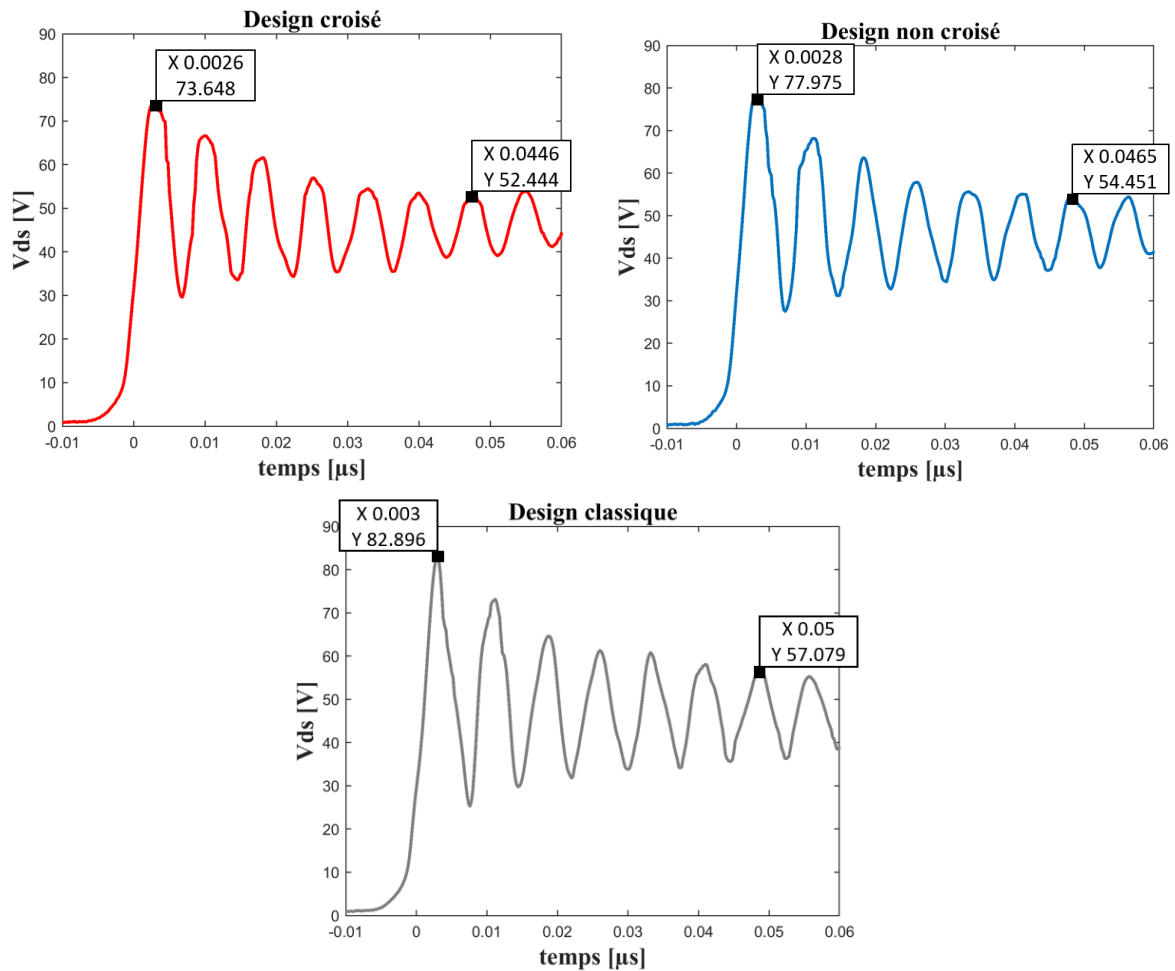


Figure A-5. Zoom sur les oscillations des différents designs pour la position des capacités de découplage sur le PCB

	Design classique	Design non croisé	Design croisé
f_r	128MHz	137MHz	143MHz
L_{CCL}	3.16 nH	2.73nH	2.52nH

Tableau A-4. Fréquences de résonance et inductances parasites de la maille de commutation du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB

➤ Capacité de découplage sur le PCB et le SMI :

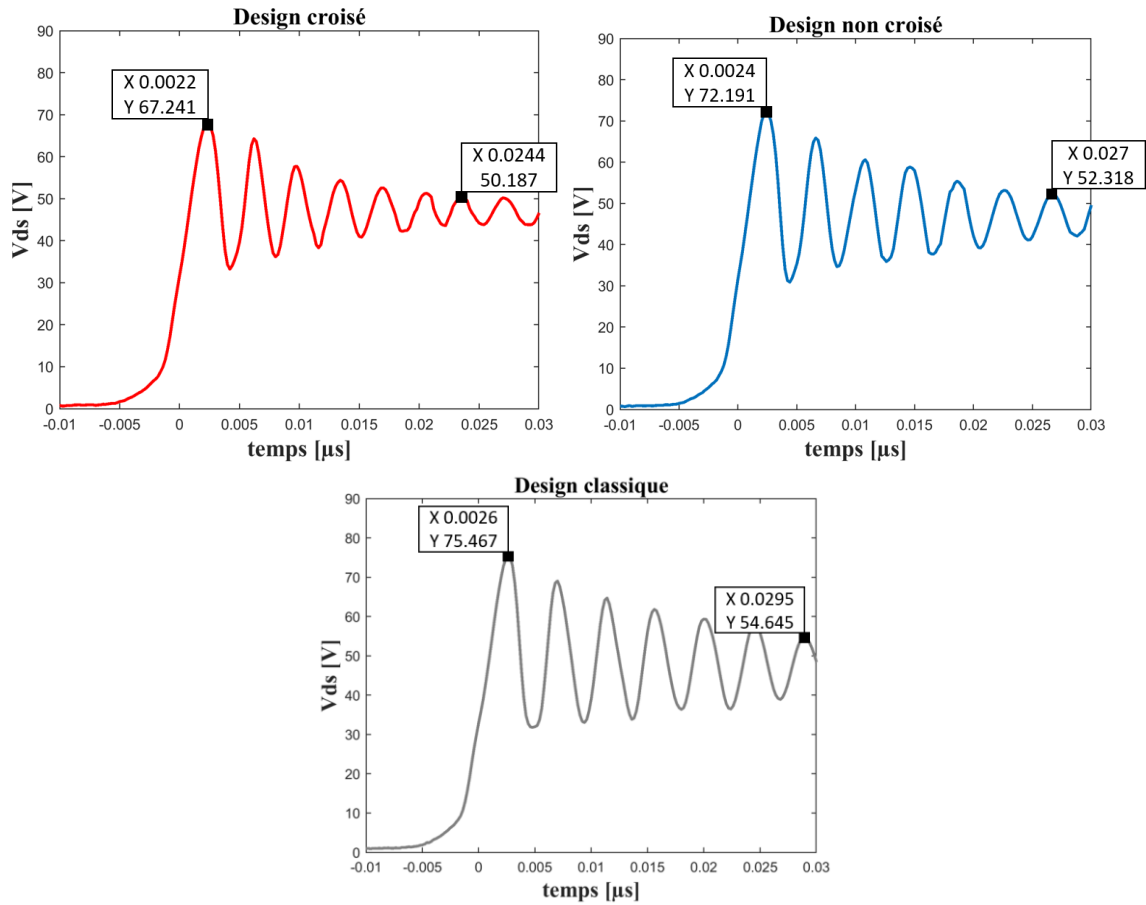


Figure A-6. Zoom sur les oscillations des différents designs pour la position des capacités de découplage sur le PCB et le SMI

	Design classique	Design non croisé	Design croisé
f_r	223MHz	244MHz	270MHz
L_{CCL}	1nH	0.9nH	0.7nH

Tableau A-5. Fréquences de résonance et inductances parasites de la maille de commutation du module PP_PCBSMI pour la position de la capacité de découplage sur le PCB et le SMI

Bibliographies

- [1] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal, et J. W. Palmour, « Status and prospects for SiC power MOSFETs », *IEEE Trans. Electron Devices*, vol. 49, n° 4, p. 658-664, avr. 2002, doi: 10.1109/16.992876.
- [2] M. N. Yoder, « Wide bandgap semiconductor materials and devices », *IEEE Trans. Electron Devices*, vol. 43, n° 10, p. 1633-1636, oct. 1996, doi: 10.1109/16.536807.
- [3] A. Elasser et T. P. Chow, « Silicon carbide benefits and advantages for power electronics circuits and systems », *Proc. IEEE*, vol. 90, n° 6, p. 969-986, juin 2002, doi: 10.1109/JPROC.2002.1021562.
- [4] H. Jain, S. Rajawat, et P. Agrawal, « Comparision of wide band gap semiconductors for power electronics applications », in *2008 International Conference on Recent Advances in Microwave Theory and Applications*, nov. 2008, p. 878-881. doi: 10.1109/AMTA.2008.4763184.
- [5] S. Ji, D. Reusch, et F. C. Lee, « High frequency high power density 3D integrated Gallium Nitride based point of load module », in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2012, p. 4267-4273. doi: 10.1109/ECCE.2012.6342242.
- [6] R. M. Burkart et J. W. Kolar, « Comparative evaluation of SiC and Si PV inverter systems based on power density and efficiency as indicators of initial cost and operating revenue », in *2013 IEEE 14th Workshop on Control and Modeling for Power Electronics (COMPEL)*, juin 2013, p. 1-6. doi: 10.1109/COMPEL.2013.6626462.
- [7] T. Daranagama, N. Udugampola, R. McMahon, et F. Udrea, « Comparative analysis of static and switching performance of 1.2 kV commercial SiC transistors for high power density applications », in *The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*, oct. 2013, p. 48-51. doi: 10.1109/WiPDA.2013.6695560.
- [8] Y. Liu, Z. Song, H. Wang, G. Wang, J. Peng, et S. Yin, « Comparative evaluation of WBG and Si power devices for the flyback converter », in *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, oct. 2017, p. 964-969. doi: 10.1109/IECON.2017.8216166.
- [9] A. D. Sagneri, D. I. Anderson, et D. J. Perreault, « Optimization of transistors for very high frequency dc-dc converters », in *2009 IEEE Energy Conversion Congress and Exposition*, sept. 2009, p. 1590-1602. doi: 10.1109/ECCE.2009.5316121.
- [10] U. K. Mishra, « Gallium nitride electronics: Watt is the limit? [summary of GaN semiconductor devices] », in *Conference Digest [Includes « Late News Papers » volume] Device Research Conference, 2004. 62nd DRC.*, juin 2004, p. 3-5 vol.1. doi: 10.1109/DRC.2004.1367754.
- [11] J. C. Zolper, « Emerging silicon carbide power electronics components », in *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005.*, mars 2005, p. 11-17 Vol. 1. doi: 10.1109/APEC.2005.1452877.
- [12] M. A. Khan, G. Simin, S. G. Pytel, A. Monti, E. Santi, et J. L. Hudgins, « New Developments in Gallium Nitride and the Impact on Power Electronics », in *2005 IEEE 36th Power Electronics Specialists Conference*, juin 2005, p. 15-26. doi: 10.1109/PESC.2005.1581596.
- [13] J. Rabkowski, D. Pefitisis, et H.-P. Nee, « Silicon Carbide Power Transistors: A New Era in Power Electronics Is Initiated », *IEEE Ind. Electron. Mag.*, vol. 6, n° 2, p. 17-26, juin 2012, doi: 10.1109/MIE.2012.2193291.
- [14] N. Kaminski et O. Hilt, « SiC and GaN Devices - Competition or Coexistence? », in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, mars 2012, p. 1-11.

- [15] Y. Gao, A. Q. Huang, S. Krishnaswami, J. Richmond, et A. K. Agarwal, « Comparison of Static and Switching Characteristics of 1200 V 4H-SiC BJT and 1200 V Si-IGBT », *IEEE Trans. Ind. Appl.*, vol. 44, n° 3, p. 887-893, mai 2008, doi: 10.1109/TIA.2008.921408.
- [16] R. Ø. Nielsen, L. Török, S. Munk-Nielsen, et F. Blaabjerg, « Efficiency and cost comparison of Si IGBT and SiC JFET isolated DC/DC converters », in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, nov. 2013, p. 695-699. doi: 10.1109/IECON.2013.6699219.
- [17] S. Hazra *et al.*, « High Switching Performance of 1700-V, 50-A SiC Power MOSFET Over Si IGBT/BiMOSFET for Advanced Power Conversion Applications », *IEEE Trans. Power Electron.*, vol. 31, n° 7, p. 4742-4754, juill. 2016, doi: 10.1109/TPEL.2015.2432012.
- [18] F. M. Shah, H. M. Xiao, R. Li, M. Awais, G. Zhou, et G. T. Bitew, « Comparative performance evaluation of temperature dependent characteristics and power converter using GaN, SiC and Si power devices », in *2018 IEEE 12th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG 2018)*, avr. 2018, p. 1-7. doi: 10.1109/CPE.2018.8372523.
- [19] « SiC pour l'électronique de puissance du futur », *Techniques de l'Ingénieur*. <https://www.techniques-ingenieur.fr/base-documentaire/archives-th12/archives-convertisseurs-et-machines-electriques-tiadb/archive-1/sic-pour-l-electronique-de-puissance-du-futur-re3/> (consulté le 8 mai 2023).
- [20] J.-G. Tartarin, « LA TECHNOLOGIE GAN ET SES APPLICATIONS POUR L'ELECTRONIQUE ROBUSTE, HAUTE FREQUENCE ET DE PUISSANCE », mars 2008, Consulté le: 8 mai 2023. [En ligne]. Disponible sur: <https://hal.science/hal-00341009>
- [21] B. J. Baliga, « Power semiconductor device figure of merit for high-frequency applications », *IEEE Electron Device Lett.*, vol. 10, n° 10, p. 455-457, oct. 1989, doi: 10.1109/55.43098.
- [22] K. Shenai, « The Figure of Merit of a Semiconductor Power Electronics Switch », *IEEE Trans. Electron Devices*, vol. 65, n° 10, p. 4216-4224, oct. 2018, doi: 10.1109/TED.2018.2866360.
- [23] I.-J. Kim, S. Matsumoto, T. Sakai, et T. Yachi, « New power device figure of merit for high-frequency applications », in *Proceedings of International Symposium on Power Semiconductor Devices and IC's: ISPSD '95*, mai 1995, p. 309-314. doi: 10.1109/ISPSD.1995.515055.
- [24] R. W. Keyes, « Figure of merit for semiconductors for high-speed switches », *Proc. IEEE*, vol. 60, n° 2, p. 225-225, févr. 1972, doi: 10.1109/PROC.1972.8593.
- [25] E. Johnson, « Physical limitations on frequency and power parameters of transistors », in *1958 IRE International Convention Record*, mars 1965, p. 27-34. doi: 10.1109/IRECON.1965.1147520.
- [26] B. J. Baliga, « Semiconductors for high-voltage, vertical channel field-effect transistors », *J. Appl. Phys.*, vol. 53, n° 3, p. 1759-1764, mars 1982, doi: 10.1063/1.331646.
- [27] « Wide Bandgap Semiconductor - The future of SiC and GaN technology », *Farnell*. <https://fr.farnell.com/wide-bandgap-semiconductor-the-future-of-sic-and-gan-technology> (consulté le 19 mai 2023).
- [28] I. T. AG, « Wide Bandgap Semiconductors (SiC/GaN) - Infineon Technologies ». <https://www.infineon.com/cms/en/product/technology/wide-bandgap-semiconductors-sic-gan/#> (consulté le 19 mai 2023).
- [29] T. Zhao, J. Wang, A. Q. Huang, et A. Agarwal, « Comparisons of SiC MOSFET and Si IGBT Based Motor Drive Systems », in *2007 IEEE Industry Applications Annual Meeting*, sept. 2007, p. 331-335. doi: 10.1109/07IAS.2007.51.
- [30] G. Wang, F. Wang, G. Magai, Y. Lei, A. Huang, et M. Das, « Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT », in *2013 IEEE Energy*

- Conversion Congress and Exposition*, sept. 2013, p. 3230-3234. doi: 10.1109/ECCE.2013.6647124.
- [31] J. Rąbkowski et T. Płatek, « Comparison of the power losses in 1700V Si IGBT and SiC MOSFET modules including reverse conduction », in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, sept. 2015, p. 1-10. doi: 10.1109/EPE.2015.7309444.
- [32] Z. Chen, D. Boroyevich, P. Mattavelli, et K. Ngo, « A frequency-domain study on the effect of DC-link decoupling capacitors », in *2013 IEEE Energy Conversion Congress and Exposition*, sept. 2013, p. 1886-1893. doi: 10.1109/ECCE.2013.6646938.
- [33] J. Schuderer, U. Vemulapati, et F. Traub, « Packaging SiC power semiconductors — Challenges, technologies and strategies », in *2014 IEEE Workshop on Wide Bandgap Power Devices and Applications*, oct. 2014, p. 18-23. doi: 10.1109/WiPDA.2014.6964616.
- [34] H. Chen et D. Divan, « Soft-Switching Solid-State Transformer (S4T) », *IEEE Trans. Power Electron.*, vol. 33, n° 4, p. 2933-2947, avr. 2018, doi: 10.1109/TPEL.2017.2707581.
- [35] J.-L. Schanen et P.-O. Jeannin, « Integration solutions for clean and safe switching of high speed devices », in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, mars 2018, p. 1-11.
- [36] Z. Chen, D. Boroyevich, et R. Burgos, « Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics », in *The 2010 International Power Electronics Conference - ECCE ASIA* -, juin 2010, p. 164-169. doi: 10.1109/IPEC.2010.5543851.
- [37] Z. Zhang *et al.*, « Impact of ringing on switching losses of wide band-gap devices in a phase-leg configuration », in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, mars 2014, p. 2542-2549. doi: 10.1109/APEC.2014.6803661.
- [38] N. Christensen *et al.*, « Common mode current mitigation for medium voltage half bridge SiC modules », in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, sept. 2017, p. P.1-P.8. doi: 10.23919/EPE17ECCEEurope.2017.8099202.
- [39] G. Regnat, P.-O. Jeannin, J. Ewanchuk, D. Frey, S. Mollov, et J.-P. Ferrieux, « Optimized power modules for silicon carbide MOSFET », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2016, p. 1-8. doi: 10.1109/ECCE.2016.7855324.
- [40] L. Pace, « Caractérisation et modélisation de composants GaN pour la conception de convertisseurs statiques haute fréquence », These de doctorat, Université de Lille (2018-2021), 2019. Consulté le: 12 juin 2023. [En ligne]. Disponible sur: <https://www.theses.fr/2019LILUI078>
- [41] « Compatibilité électromagnétique CEM », *Techniques de l'Ingénieur*. <https://www.techniques-ingenieur.fr/base-documentaire/energies-th4/compatibilite-electromagnetique-42705210/compatibilite-electromagnetique-cem-d1300/> (consulté le 9 mai 2023).
- [42] « Introduction to Electromagnetic Compatibility - Clayton R. Paul.pdf », *Google Docs*. https://docs.google.com/file/d/0Bxo5NRLCo5SqNkU1V0g5eFJvaFU/view?usp=embed_facebook (consulté le 9 mai 2023).
- [43] « 612 Fundamentals of Electromagnetic Compatibility | PDF », *Scribd*. <https://www.scribd.com/doc/204555624/612-Fundamentals-of-Electromagnetic-Compatibility> (consulté le 9 mai 2023).
- [44] V. Dos Santos, « Modélisation des émissions conduites de mode commun d'une chaîne électromécanique : Optimisation paramétrique de l'ensemble convertisseur filtres sous contraintes CEM », These de doctorat, Toulouse, INPT, 2019. Consulté le: 12 juin 2023. [En ligne]. Disponible sur: <https://www.theses.fr/2019INPT0021>

- [45] « La CEM : la compatibilité électromagnétique Cahier technique | Télécharger Schneider Electric ». <https://www.se.com/africa/fr/download/document/CT149/> (consulté le 10 mai 2023).
- [46] « Costa_JS08.pdf ». Consulté le: 10 mai 2023. [En ligne]. Disponible sur: https://www.ursi-france.org/fileadmin/documents/pdf/2008/Costa_JS08.pdf
- [47] A. Domurat-Linde et E. Hoene, « Analysis and Reduction of Radiated EMI of Power Modules », in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, mars 2012, p. 1-6.
- [48] E. Hoene, A. Ostmann, et C. Marczok, « Packaging Very Fast Switching Semiconductors », in *CIPS 2014; 8th International Conference on Integrated Power Electronics Systems*, févr. 2014, p. 1-7.
- [49] T. D. de O. Oliveira, « Optimisation du routage d'un filtre CEM », phdthesis, Université de Grenoble, 2012. Consulté le: 24 juin 2023. [En ligne]. Disponible sur: <https://theses.hal.science/tel-00739424>
- [50] « Reduction of conducted EMC using busbar stray elements | IEEE Conference Publication | IEEE Xplore ». <https://ieeexplore.ieee.org/document/4802952> (consulté le 24 juin 2023).
- [51] « Modules et boîtiers de puissance (packaging) : Dossier complet | Techniques de l'Ingénieur ». <https://www.techniques-ingenieur.fr/base-documentaire/energies-th4/composants-actifs-en-electronique-de-puissance-42245210/modules-et-boitiers-de-puissance-packaging-d3116/> (consulté le 11 mai 2023).
- [52] C. Buttay, « Le Packaging en électronique de puissance », thesis, INSA de Lyon, 2015. Consulté le: 16 juin 2023. [En ligne]. Disponible sur: <https://theses.hal.science/tel-01267363>
- [53] W. W. Sheng et R. P. Colino, *Power Electronic Modules: Design and Manufacture*. CRC Press, 2004.
- [54] A. Lindemann et G. Strauch, « Properties of Direct Aluminum Bonded Substrates for Power Semiconductor Components », *Power Electron. IEEE Trans. On*, vol. 22, p. 384-391, avr. 2007, doi: 10.1109/TPEL.2006.889898.
- [55] C. Chen, F. Luo, et Y. Kang, « A review of SiC power module packaging: Layout, material system and integration », *CPSS Trans. Power Electron. Appl.*, vol. 2, n° 3, p. 170-186, sept. 2017, doi: 10.24295/CPSSTPEA.2017.00017.
- [56] R. Adappa, K. Suryanarayana, H. Swathi Hatwar, et M. Ravikiran Rao, « Review of SiC based Power Semiconductor Devices and their Applications », in *2019 2nd International Conference on Intelligent Computing, Instrumentation and Control Technologies (ICICICT)*, juill. 2019, p. 1197-1202. doi: 10.1109/ICICICT46008.2019.8993255.
- [57] S. Seal et H. A. Mantooth, « High Performance Silicon Carbide Power Packaging—Past Trends, Present Practices, and Future Directions », *Energies*, vol. 10, n° 3, Art. n° 3, mars 2017, doi: 10.3390/en10030341.
- [58] Q. Huang, C. Peng, L. Wang, et W. Zhu, « Effects of current and bonding wires damage on high-power IGBT module reliability by electro-thermo-mechanical simulation », in *2020 21st International Conference on Electronic Packaging Technology (ICEPT)*, août 2020, p. 1-4. doi: 10.1109/ICEPT50128.2020.9202868.
- [59] N. Jiang, Z. Li, C. Li, Q. Wang, S. Zhang, et Y. Lin, « Bonding Wires for Power Modules: from Aluminum to Copper », in *2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, juin 2019, p. 1-3. doi: 10.1109/EDSSC.2019.8754216.
- [60] J. J. Shea, « Electronic packaging and interconnection handbook, 3/sup rd/ edition [Book Review] », *IEEE Electr. Insul. Mag.*, vol. 17, n° 2, p. 68-69, 2001.

- [61] H. Ishibashi *et al.*, « Direct Power Board Bonding Technology for 3D Power Module Package », in *2019 International Conference on Electronics Packaging (ICEP)*, avr. 2019, p. 79-82. doi: 10.23919/ICEP.2019.8733451.
- [62] B. Boettge, F. Naumann, R. Klengel, S. Klengel, et M. Petzold, « Packaging material issues in high temperature power electronics », in *2013 European Microelectronics Packaging Conference (EMPC)*, sept. 2013, p. 1-6.
- [63] R. Schmidt, C. König, et P. Prenosil, « Novel wire bond material for advanced power module packages », *Microelectron. Reliab.*, vol. 52, n° 9, p. 2283-2288, sept. 2012, doi: 10.1016/j.microrel.2012.06.139.
- [64] R. Fisher, R. Fillion, J. Burgess, et W. Hennessy, « High frequency, low cost, power packaging using thin film power overlay technology », in *Proceedings of 1995 IEEE Applied Power Electronics Conference and Exposition - APEC'95*, mars 1995, p. 12-17 vol.1. doi: 10.1109/APEC.1995.468955.
- [65] T. Ueda, N. Yoshimatsu, N. Kimoto, D. Nakajima, M. Kikuchi, et T. Shinohara, « Simple, compact, robust and high-performance power module T-PM (transfer-molded power module) », in *2010 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, juin 2010, p. 47-50.
- [66] P. Beckedahl, M. Spang, et O. Tamm, « Breakthrough into the third dimension - Sintered multi layer flex for ultra low inductance power modules », in *CIPS 2014; 8th International Conference on Integrated Power Electronics Systems*, févr. 2014, p. 1-5.
- [67] E. Hoene, G. Deboy, C. R. Sullivan, et G. Hurley, « Outlook on Developments in Power Devices and Integration: Recent Investigations and Future Requirements », *IEEE Power Electron. Mag.*, vol. 5, n° 1, p. 28-36, mars 2018, doi: 10.1109/MPPEL.2017.2782398.
- [68] T. Liu *et al.*, « Packaging and integration of DBC-based SiC hybrid power module in 379W/in³ DC/DC converter », in *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*, juin 2017, p. 2250-2255. doi: 10.1109/IFEEC.2017.7992402.
- [69] C. Chen, Y. Chen, Y. Li, Z. Huang, T. Liu, et Y. Kang, « An SiC-Based Half-Bridge Module With an Improved Hybrid Packaging Method for High Power Density Applications », *IEEE Trans. Ind. Electron.*, vol. 64, n° 11, p. 8980-8991, nov. 2017, doi: 10.1109/TIE.2017.2723873.
- [70] B. Mouawad, J. Li, A. Castellazzi, C. M. Johnson, T. Erlbacher, et P. Friedrichs, « Low inductance 2.5 kV packaging technology for SiC switches », in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, mars 2016, p. 1-6.
- [71] B. Mouawad, J. Li, A. Castellazzi, P. Friedrichs, et C. M. Johnson, « Low parasitic inductance multi-chip SiC devices packaging technology », in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, sept. 2016, p. 1-7. doi: 10.1109/EPE.2016.7695571.
- [72] « LinPak, a new low inductive phase-leg IGBT module with easy paralleling for high power density converter designs | VDE Conference Publication | IEEE Xplore ». <https://ieeexplore.ieee.org/document/7149041> (consulté le 15 mai 2023).
- [73] « 1200 V-360 A SiC Power Module with Phase Leg Clustering Concept for Low Parasitic Inductance and High Speed Switching | VDE Conference Publication | IEEE Xplore ». <https://ieeexplore.ieee.org/document/6776853> (consulté le 15 mai 2023).
- [74] Z. Liang, « Planar-bond-all: A technology for three-dimensional integration of multiple packaging functions into advanced power modules », in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, mai 2015, p. 115-118. doi: 10.1109/IWIPP.2015.7295992.
- [75] Z. Liang, P. Ning, et F. Wang, « Development of Advanced All-SiC Power Modules », *IEEE Trans. Power Electron.*, vol. 29, n° 5, p. 2289-2295, mai 2014, doi: 10.1109/TPEL.2013.2289395.

- [76] « PCB Embedded Semiconductors for Low-Voltage Power Electronic Applications | IEEE Journals & Magazine | IEEE Xplore ». <https://ieeexplore-ieee-org.sid2nomade-1.grenet.fr/document/7836342> (consulté le 17 mai 2023).
- [77] Z. Chen, « Electrical Integration of SiC Power Devices for High-Power-Density Applications », oct. 2013, Consulté le: 22 juin 2023. [En ligne]. Disponible sur: <https://vtechworks.lib.vt.edu/handle/10919/23923>
- [78] Z. Chen, Y. Yao, D. Boroyevich, K. D. T. Ngo, P. Mattavelli, et K. Rajashekara, « A 1200-V, 60-A SiC MOSFET Multichip Phase-Leg Module for High-Temperature, High-Frequency Applications », *IEEE Trans. Power Electron.*, vol. 29, n° 5, p. 2307-2320, mai 2014, doi: 10.1109/TPEL.2013.2283245.
- [79] Y. Ren *et al.*, « Voltage Suppression in Wire-Bond-Based Multichip Phase-Leg SiC MOSFET Module Using Adjacent Decoupling Concept », *IEEE Trans. Ind. Electron.*, vol. 64, n° 10, p. 8235-8246, oct. 2017, doi: 10.1109/TIE.2017.2714149.
- [80] « Electrical Performance and Reliability Characterization of a SiC MOSFET Power Module With Embedded Decoupling Capacitors | IEEE Journals & Magazine | IEEE Xplore ». <https://ieeexplore-ieee-org.sid2nomade-1.grenet.fr/document/8318641> (consulté le 22 juin 2023).
- [81] R. Mrad, J. Morand, R. Perrin, et S. Mollov, « A PCB based package and 3D assembly for high power density converters », in *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, avr. 2019, p. 73-77. doi: 10.1109/IWIPP.2019.8799099.
- [82] M. AMEZIANI et H. ALAWIEH, « Power electronic module (WO 2020/094959 A1) ». Vedecom Institute, 2020. [En ligne]. Disponible sur: <https://patentimages.storage.googleapis.com/79/02/25/defe40c5a8aba8/WO2020094959A1.pdf>
- [83] A. Tablati, N. Alayli, T. Youssef, O. Belnoue, L. Theolier, et E. Woïrgard, « New power module concept in PCB-embedded technology with silver sintering die attach », *Microelectron. Reliab.*, vol. 114, p. 113891, nov. 2020, doi: 10.1016/j.microrel.2020.113891.
- [84] F. Arabi *et al.*, « Thermo-mechanical assessment of silver sintering for attaching power components in embedded PCB », *Microelectron. Reliab.*, vol. 114, p. 113900, nov. 2020, doi: 10.1016/j.microrel.2020.113900.
- [85] Semikron, « Electrical and thermal optimization of an automotive power module family | PowerGuru - Power Electronics Information Portal », *Power Guru*, oct. 2007.
- [86] Borghoff, « Implementation of low inductive strip line concept for symmetric switching in a new high power module », *International Exhibition and Conference for PowerElectronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, Nuremberg, 2013.
- [87] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, L. R. de Oliveira, C. Buttay, et R. Riva, « Realization and characterization of an IGBT module based on the power chip-on-chip 3D concept », in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2014, p. 4691-4695. doi: 10.1109/ECCE.2014.6954043.
- [88] E. Vagnon, P.-O. Jeannin, J.-C. Crebier, et Y. Avenas, « A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration », *IEEE Trans. Ind. Appl.*, vol. 46, n° 5, p. 2046-2055, sept. 2010, doi: 10.1109/TIA.2010.2057401.
- [89] « ALPHA® ARGOMAX® 2010C PASTE ». [En ligne]. Disponible sur: <https://www.macdermidalpha.com/assembly-solutions/products/sinter-materials/alpha-argomax-2010c-paste>
- [90] « Design of an Integrated Power Module for Silicon Carbide MOSFET with Self-Compensation of the Magnetic Field | Scientific.Net ». <https://www.scientific.net/MSF.1062.637> (consulté le 6 février 2023).

- [91] V.-S. Nguyen, « Design characterization and implementation of an integrated CMOS driver circuit for GaN components », phdthesis, Université Grenoble Alpes, 2016. Consulté le: 25 janvier 2023. [En ligne]. Disponible sur: <https://theses.hal.science/tel-01485856>
- [92] « Parasitic Inductance Modeling and Reduction for a Wire Bonded Half Bridge SiC MOSFET Multichip Power Module | IEEE Conference Publication | IEEE Xplore ». <https://ieeexplore.ieee.org/document/8721781> (consulté le 30 juin 2023).
- [93] W.-F. Bikinga, Y. Avenas, K. Alkama, B. Mezrag, J.-M. Guichon, et J.-L. Schanen, « Electromagnetic analysis of switching cells with dies embedded in printed circuit boards: Application to TAPIR (compact and modular Power modules with Integrated cooling) technology », *Power Electron. Devices Compon.*, vol. 3, p. 100022, oct. 2022, doi: 10.1016/j.pedc.2022.100022.
- [94] A. Tablati *et al.*, « Increased Breakdown Voltage and robustness of Embedded power module », in *2022 23rd International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, avr. 2022, p. 1-8. doi: 10.1109/EuroSimE54907.2022.9758892.