



HAL
open science

Fabrication et optimisation des caractéristiques thermiques de diodes Schottky de la filière GaAs et reportées sur SiHR pour des applications de multiplication de fréquences

Hugo Bouillaud

► **To cite this version:**

Hugo Bouillaud. Fabrication et optimisation des caractéristiques thermiques de diodes Schottky de la filière GaAs et reportées sur SiHR pour des applications de multiplication de fréquences. Micro et nanotechnologies/Microélectronique. Université de Lille, 2023. Français. NNT : 2023ULILN043 . tel-04538269

HAL Id: tel-04538269

<https://theses.hal.science/tel-04538269>

Submitted on 9 Apr 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

Présentée à

l'Université de Lille

École doctorale : Science de l'ingénierie et des systèmes

pour l'obtention titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : Électronique, microélectronique, nanoélectronique et micro-ondes

Par

Hugo BOUILLAUD

Fabrication et optimisation des caractéristiques thermiques de diodes Schottky de la filière GaAs et reportées sur SiHR pour des applications de multiplication de fréquences

Soutenue le 7 décembre 2023 devant la commission d'examen

Membres du jury :

M. Guillaume Ducournau	Professeur, Université de Lille, IEMN	Président du jury
Mme Anne-Laure Billabert	Professeure, CNAM, Paris	Rapporteuse
M. Jean-Guy Tartarin	Professeur, Université Toulouse III, LAAS	Rapporteur
M. Alain Maestrini	Senior staff member, JPL, Pasadena	Examinateur
M. Rachid Driad	Senior staff member, IAF, Freiburg	Examinateur
Mme Jeanne Treuttel	Ingénieure de recherche, LERMA, Paris	Examinatrice
M. Pierre Gellie	Président de la société LYTID SAS, Paris	Encadrant industriel
M. Yannick Roelens	Maître de conférences, Université de Lille, IEMN	Co-encadrant de thèse
M. Mohammed Zaknounge	Directeur de recherche, IEMN, Université de Lille	Directeur de thèse

Remerciements

Ce travail de thèse a été réalisé au sein de l'Institut d'Électronique, de Microélectronique et de Nanotechnologie dirigé par Monsieur Thierry Mélin. Je lui adresse toute ma gratitude pour m'avoir accueilli au sein de son laboratoire.

Je remercie Messieurs Jean-Charles Roche et Pierre Gellie pour m'avoir donné l'opportunité de réaliser cette thèse par convention CIFRE au sein de leur entreprise LYTID.

Je remercie chaleureusement mon directeur de thèse Monsieur Mohammed Zaknoue ainsi que mon co-encadrant de thèse Monsieur Yannick Roelens pour l'ensemble des savoirs qu'ils m'ont partagés pendant la réalisation de mon doctorat. Ce travail n'aurait pas la même teneur sans leurs conseils avisés et l'engagement qu'ils ont porté à mon égard.

Mes remerciements vont également à nos partenaires du LERMA, à commencer par Madame Yan Delorme pour avoir co-dirigé cette thèse. Merci à Mesdames Jeanne Treuttel et Priyanka Mondal pour l'ensemble des travaux que nous avons effectués en collaboration.

Je souhaite vivement remercier Monsieur Guillaume Ducournau pour avoir présidé le jury de thèse ainsi que pour sa constante amabilité et les instructifs conseils qu'il m'a donnés pendant ces travaux.

Je remercie sincèrement Madame Anne-Laure Billabert, Monsieur Jean-Guy Tartarin, rapporteurs de thèse ainsi que Messieurs Alain Maestrini et Rachid Driad pour me faire l'honneur d'évaluer ce travail.

Je remercie Monsieur Malek Zegaoui pour l'appui qu'il m'a apporté en me faisant bénéficier de son expertise ayant permis de faciliter mon travail en levant certains points durs technologiques.

Je remercie mes collègues et anciens collègues du groupe Anode, Mesdames Rita Younes, Beatriz Orfao E Vale Taberero, ainsi que Messieurs Mahmoud Abou Daher, Abdelmalek Zemour, Amir Al Abdallah, Giuseppe Di Gioia et Mohammed Samnoui pour l'ensemble des interactions amicales et professionnelles que nous avons partagées et que j'ai apprécié.

Je remercie grandement l'ensemble du personnel de la centrale de technologie de l'IEMN qui œuvre au quotidien pour lui permettre de fonctionner dans les meilleures conditions. Je pense notamment à ceux avec lesquels j'ai le plus interagi, Messieurs François Vaurette, Pascal Tilmant, Marc Dewitte, Christophe Boyaval, Timothy Bertrand et Madame Karine Blary.

Je souhaite remercier particulièrement Madame Flavie Braud et Monsieur Christophe Coinon pour leurs remarquables contributions sur respectivement les aspects de découpe des puces et de croissance des structures épitaxiales. J'ai infiniment apprécié la qualité de votre travail et salue votre sens du détail.

J'adresse mes sincères remerciements à Monsieur Étienne Okada pour l'aide précieuse et la disponibilité qu'il m'a témoigné à de très nombreuses reprises pour le bon déroulement du volet de caractérisations.

Je remercie Messieurs Jean-Pierre Raskin et Alex Pip pour m'avoir gracieusement accueilli au sein de l'UCLouvain et m'avoir ainsi permis de réaliser des mesures de thermoréfectance sur leur équipement. Ma profonde gratitude va à Monsieur Jean-François Robillard pour sa bienveillance et les discussions enrichissantes que nous avons eues.

Chers amis, mille mercis pour votre présence malgré la distance. Maxime, Morgane, Bas, Floriane, Vincent, Paul, Paul, Antoine, Gabriel, Benjamin, notre amitié a beaucoup compté durant cette période, et représente pour moi une source de joie au quotidien.

Enfin, je remercie mes parents, mon frère et ma sœur pour leur indéfectible soutien et leurs encouragements tout au long de ces années.

Résumé

Les besoins exponentiels liés aux applications exploitant le domaine THz nécessitent d'accroître l'éventail des sources disponibles et d'optimiser leur fabrication. Dans ce travail de thèse, nous nous sommes intéressés aux diodes Schottky en vue de la réalisation de multiplicateurs de fréquences. Notre travail de recherche expérimental a consisté en l'optimisation des caractéristiques de diodes Schottky de filière GaAs, par le développement et la mise en œuvre d'un procédé de fabrication innovant. Dans un premier temps, nous avons réalisé des diodes Schottky GaAs sur substrat GaAs de différentes tailles, pour élaborer des composants de référence. Nous avons ensuite fabriqué un composant de type flip-chip pour une application de multiplication à 150 GHz en boîtier guide d'ondes. Enfin, dans le but d'améliorer les performances en puissance des diodes, nous avons optimisé leur dissipation thermique en transférant leur structure épitaxiale sur un substrat bénéficiant d'une meilleure conductivité thermique : le SiHR (silicium haute résistivité). Le procédé technologique complet de ces fabrications est détaillé, puis la dernière partie de l'étude est consacrée à leurs caractérisations. D'une part, nous avons évalué les éventuelles variations sur les caractéristiques des diodes GaAs sur GaAs, induites par les différentes tailles. D'autre part nous avons comparé les deux technologies sur les substrats SiHR et GaAs. Ce travail montre l'apport que peut présenter ce type de technologie reportée, où une diminution significative de la résistance thermique des composants est observée, et est associée à un gain notable sur la résistance série.

Abstract

The exponential needs associated with applications exploiting the THz domain require to expand the range of available sources and optimize their fabrication processes. In this thesis, we focused on Schottky diodes for its use as frequency multipliers. Our experimental research involved optimizing the characteristics of GaAs Schottky diodes through the development and implementation of an innovative fabrication process. First, we fabricated GaAs Schottky diodes on GaAs substrate with several aspect ratios in order to make a reference in terms of device. Then we fabricated a flip-chip device for a 150 GHz frequency multiplication application in a waveguide block. Finally, in order to enhance the power handling of the diodes, we optimized their thermal dissipation by transferring their epitaxial structure onto a substrate with higher thermal conductivity : SiHR (high resistivity silicon). The complete technological processes for these fabrications are detailed, and the last part of the study is dedicated to their characterization. On one hand, we assessed any variations in the characteristics of GaAs diodes on GaAs induced by the different aspect ratios. On the other hand, we compared the two technologies on SiHR and GaAs substrates. This work demonstrates the potential of this type of transferred technology, where a significant reduction of thermal resistance is observed and is associated with a notable improvement of the series resistance.

Tables des matières

Introduction générale.....	10
1 Contexte et état de l'art.....	12
1.1 Domaine THz et applications	12
1.1.1 Définition	12
1.1.2 Applications	13
1.2 Technologies de génération THz	17
1.2.1 Les lasers à cascade quantique	18
1.2.2 Les multiplicateurs de fréquence.....	19
1.3 Fonctionnement de la diode Schottky.....	24
1.3.1 Mécanismes de conduction	24
1.3.2 Configurations de composants	26
1.4 Optimisation de la filière GaAs	29
1.4.1 Gestion de la contrainte thermique.....	29
1.4.2 Principe et technologies de collage	31
1.4.3 Substrats hôtes envisagés	33
1.4.4 Objectifs de ce travail.....	34
2 Technologie.....	37
2.1 Fabrication des diodes Schottky GaAs sur substrat GaAs.....	39
2.1.1 Définition des structures épitaxiales	39
2.1.2 Structuration des épitaxies par gravure humide	42
2.1.3 Développement d'un contact ohmique	47
2.1.4 Séquence complète de fabrication.....	53
2.2 Fabrication d'une barrette de diodes.....	62
2.2.1 Rappels de la séquence de fabrication et points clés.....	62
2.2.2 Amincissement, découpe et intégration des puces	64
2.3 Développement du procédé de diodes Schottky GaAs reportées sur SiHR	70
2.3.1 Epitaxies inversées	70
2.3.2 Collage et gravure de substrat	73
2.3.3 Optimisation du contact ohmique et empilement de collage	76
2.3.4 Séquence complète de fabrication.....	78
2.4 Conclusion du chapitre 2	84
3 Caractérisations	85

3.1	Masques de diodes utilisés pour les fabrications	86
3.2	Caractérisations en régime statique	91
3.3	Caractérisations capacité-tension	104
3.4	Mesures hyperfréquences 67 GHz	110
3.5	Mesures pulsées et extraction de la résistance thermique des diodes.....	121
3.6	Étude du comportement thermique par thermoréfectance.....	125
3.7	Synthèse des résultats et conclusion du chapitre 3	130
	Conclusion générale et perspectives	134
	Références bibliographiques	137
	Liste des figures	144
	Liste des tableaux	148

Introduction générale

La radioastronomie est la discipline qui consiste à étudier l'univers par la collecte et l'analyse des ondes radio émises par les corps célestes. Ces signaux peuvent être détectés par des radiotélescopes au sol ou bien par des satellites de radioastronomie qui permettent d'offrir une information non obstruée par l'atmosphère terrestre. Ils sont par conséquent devenus indispensables en astrophysique, ce qui explique que leur nombre a considérablement augmenté ces dernières années. Ces instruments de détection, embarqués sur satellite, fonctionnent sur le principe de la détection hétérodyne, ce qui nécessite la fabrication et l'utilisation de sources térahertz sous la forme d'oscillateurs locaux. Ces derniers peuvent être réalisés avec un enchaînement de multiplicateurs de fréquences, où la diode Schottky, qui génère les signaux nécessaires par le principe de génération harmonique, est le dispositif clé.

Dans ce contexte, un partenariat a été noué entre : le LERMA (Laboratoire d'Études du Rayonnement de la Matière en astrophysique et Atmosphères) qui est une entité de recherche rattachée à l'Observatoire de Paris, l'entreprise LYTID de Paris spécialisée dans la conception et la réalisation d'équipements photoniques et notamment de sources térahertz, et l'IEMN (Institut d'Électronique, de Microélectronique et de Nanotechnologie) de Lille en France. L'association de ces différents acteurs a abouti à la préparation de cette thèse, menée par le biais d'une convention CIFRE. Nos objectifs principaux consistent en la réalisation d'un multiplicateur de fréquences à 150 GHz, et en l'optimisation du comportement thermique d'une diode Schottky unitaire de la filière arséniure de gallium (GaAs). Pour ce faire, nous réaliserons deux composants identiques sur deux substrats différents, sur GaAs et sur silicium haute résistivité (SiHR), afin de mener une étude expérimentale pour comparer leurs performances thermiques.

La thèse s'est presque exclusivement déroulée au sein du groupe de recherche ANODE (Advanced NanOmeter DEvices) de l'IEMN, dont le rôle était de permettre la réalisation de la partie expérimentale de ce travail, en mettant à disposition ses plateformes techniques de très haut niveau. Situées en milieu académique et au sein de l'université de Lille, c'est au sein de celles-ci qu'ont pris place l'ensemble des aspects de technologie et de caractérisation nécessaires à la réalisation de ce travail. Le rôle du LERMA a été de réaliser les conceptions préalables du boîtier guide d'ondes ainsi que de la puce du multiplicateur de fréquences à 150 GHz. Il devra effectuer l'intégration de la puce fabriquée dans le cadre de ce travail dans le boîtier de guide d'ondes conçu par leurs soins. L'entreprise LYTID, à l'initiative de ce partenariat, pourra potentiellement bénéficier de ces travaux.

Ce manuscrit est composé de trois chapitres. Au cours du premier d'entre eux, nous présenterons un aperçu du domaine térahertz ainsi que de ses applications. Nous verrons les différentes technologies qui permettent de générer ce type d'ondes. Puis, après avoir explicité

le fonctionnement des multiplicateurs de fréquences et de la diode Schottky, nous aborderons les possibles optimisations qui peuvent être mises en œuvre sur la géométrie du contact d'anode, afin d'améliorer les caractéristiques physiques du composant. Nous verrons quels pourront être les leviers à notre disposition pour optimiser leur fonctionnement sur le plan thermique.

Le deuxième chapitre exposera le volet technologique avec le détail des procédés de fabrication mis en œuvre dans la réalisation des différentes diodes mentionnées ci-dessus. Dans une première partie, nous détaillerons la séquence des étapes de fabrication d'une diode Schottky unitaire, en explicitant les choix que nous avons faits afin de lever les difficultés technologiques inhérentes à la réalisation d'un tel dispositif. Ce composant conventionnel est réalisé sur son substrat originel de croissance en GaAs. Doté d'accès coplanaires, il est exclusivement destiné à être caractérisé sous pointes, afin d'évaluer ses performances et facteurs de mérites. Il constituera le point de référence des caractéristiques techniques et scientifiques pour les fabrications suivantes de notre étude. Dans la deuxième partie de ce chapitre, nous exposerons la réalisation de cette même diode Schottky adaptée à sa future intégration en boîtier guide d'ondes, cette fois-ci avec une conception différente des accès réalisée par le LERMA. Plusieurs plaquettes ont été réalisées et nous aborderons également dans cette partie la résolution des problèmes rencontrés lors de la division des plaquettes en composants unitaires. La troisième partie de ce chapitre sera consacrée aux développements et à la fabrication de nouvelles diodes GaAs équivalentes aux précédentes, mais reportées sur silicium haute résistivité, dans le but de comparer leurs performances thermiques avec les diodes antérieurement réalisées. En effet, la gestion de la contrainte thermique devient un enjeu majeur pour ce type de dispositif, car une élévation trop importante de la température entraîne une dégradation de la durée de vie, de la fiabilité et pose des problèmes sur la répétabilité de leurs caractéristiques en fonctionnement. Cette avancée technologique constituerait un puissant levier d'optimisation de la performance des composants sans pour autant en bouleverser la conception.

Le troisième et dernier chapitre sera consacré à dresser un comparatif entre les deux technologies de composants, les diodes sur substrat GaAs et celles qui ont été transférées sur SiHR, et ce pour toute une gamme de dimensions de composants. Dans la première partie de ce chapitre, nous commencerons par définir l'ensemble des tailles de diodes retenues. Puis dans les parties suivantes, les caractéristiques électriques et physiques des composants seront analysées et comparées grâce à différentes méthodes de caractérisations électriques et thermiques dont la méthodologie sera également présentée. Enfin, une synthèse des résultats est proposée où les caractéristiques des composants réalisées sont étudiées pour chaque technologie de fabrication. Nous nous intéresserons notamment à mettre en évidence les différences ou similitudes relevées entre les deux technologies.

1 Contexte et état de l'art

Dans ce premier chapitre, nous allons expliciter le contexte de nos travaux de recherche, en définissant le domaine térahertz ainsi que ses principales applications. Puis nous présenterons différentes technologies qui permettent de générer ce type de signaux à très hautes fréquences, ainsi que les contraintes qui y sont associées. Par la suite, nous nous focaliserons sur les sources réalisées à base de multiplicateurs de fréquences, ainsi que sur la brique élémentaire constituant cette technologie : la diode Schottky. Nous détaillerons l'historique de son invention, la définition des mécanismes physiques régissant son fonctionnement et les différentes évolutions majeures dont elle a bénéficié, et ce dans le cadre de son utilisation en configuration de multiplication de fréquences. Puis nous évaluerons les options de filières de matériaux à notre disposition dans sa fabrication, telles que l'arséniure ou le nitrure de gallium. Nous motiverons notre choix de la filière GaAs et discuterons de ses avantages et inconvénients. Nous présenterons les optimisations à apporter à un tel composant pour contourner les désavantages de cette filière, notamment les contraintes thermiques dont il faudra s'affranchir. Nous présenterons alors les options envisageables, ainsi que les solutions que nous avons retenues.

1.1 Domaine THz et applications

1.1.1 Définition

Le domaine térahertz (THz) représente la gamme de fréquence comprise entre les micro-ondes et l'infrarouge dans le spectre électromagnétique. Même si ses bornes ne sont pas clairement standardisées, il est communément admis par la communauté scientifique qu'il couvre les fréquences comprises entre 100 GHz et 10 THz [1], et cela correspond à des longueurs d'ondes de 3 mm à 30 μm , comme montré sur la Figure 1.1.

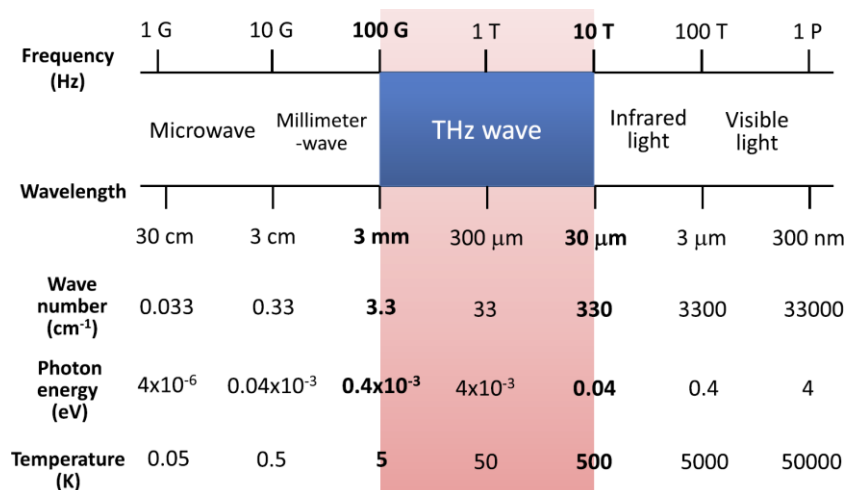


Figure 1.1 : Définition des ondes THz, extrait de [1].

Contrairement à d'autres domaines du spectre électromagnétique non visible, tels que les ondes radios et radars, les rayons X et UV, qui ont connu des développements majeurs tout au long du 20^{ème} siècle, le domaine des ondes THz est très longtemps resté inexploité, faute de sources et de détecteurs suffisamment performants. Cependant, les avancées technologiques de ces dernières décennies en photonique et en électronique ont permis de développer des générateurs compacts et puissants, ainsi que des instruments de mesure bénéficiant d'une grande sensibilité et simples d'utilisation. L'étude du domaine THz suscite d'importants efforts de recherches à travers le monde, dont certains ont dès à présent des applications opérationnelles. L'extraordinaire potentiel du THz s'appuie sur les propriétés intrinsèques de son rayonnement qui possède un fort pouvoir de pénétration à travers les matériaux non conducteurs et qui ne contiennent pas d'eau. Il est également économe en énergie ainsi que non ionisant, c'est-à-dire peu nocif pour les tissus vivants. La Figure 1.2, extraite de [2], montre très clairement l'intérêt exponentiel de la communauté scientifique envers la recherche sur le domaine THz ainsi que ses nombreuses applications, en témoigne la croissance rapide du nombre de publications dans les revues scientifiques à ce sujet.

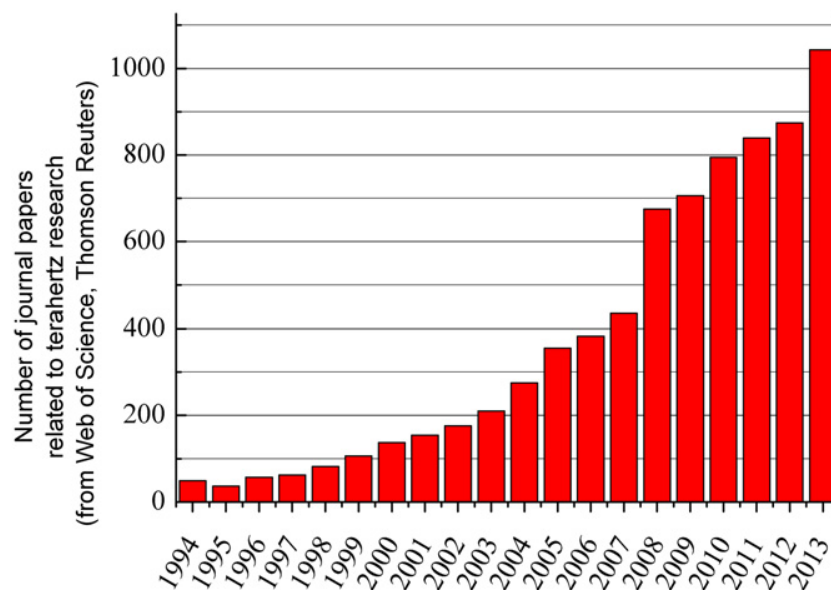


Figure 1.2 : Nombre de publications scientifiques en fonction des années où le domaine THz est mentionné [2].

1.1.2 Applications

Nous allons maintenant présenter les applications les plus notables quant à l'utilisation de ce type de signaux.

Une des applications les plus prometteuses est aujourd'hui le secteur médical. En effet, le rayonnement THz étant fortement absorbé par l'eau, il permet à l'aide d'un système d'imagerie de discriminer par contraste les tissus biologiques en fonction de la quantité d'eau qu'ils contiennent. À titre d'exemple, les cellules cancéreuses étant plus vascularisées que les saines, elles contiennent davantage d'eau et apparaissent de manière plus précise sous rayonnement

THz, comme l'illustre la Figure 1.3 qui est issue de [3]. L'imagerie THz permet de détecter certains cancers à des stades plus précoces ou d'assister un chirurgien lors d'une intervention afin de s'assurer de bien retirer l'intégralité d'une tumeur. Le secteur pharmaceutique utilise également cette technique sur certaines chaînes de production de médicaments. Le contrôle de conformité des molécules produites est réalisé en analysant la signature spectrale des différents composants sans en altérer la composition.

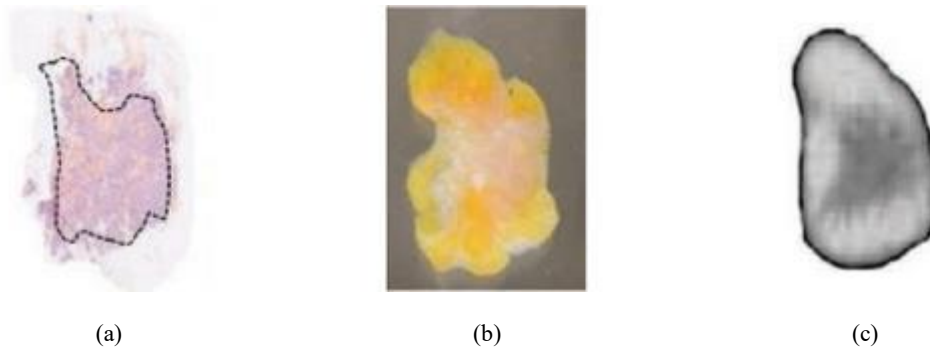


Figure 1.3 : Exemple de comparaison d'analyse de tissus tumoraux, (a) examen histopathologique, (b) examen visuel, (c) examen par imagerie THz [3].

Dans le domaine de l'industrie, la faible énergie et la courte longueur d'onde du THz permettent de mesurer l'épaisseur de revêtements très fins, de quelques dizaines de microns, sans les altérer. L'industrie automobile s'est déjà équipée de dispositifs pour effectuer le contrôle qualité de la mise en peinture de carrosseries. D'autres applications opérationnelles pourraient voir le jour dans plusieurs secteurs de l'industrie, autant dans les phases de production que dans celles du contrôle qualité. Cela concerne notamment l'aéronautique avec l'analyse de matériaux composites ou le contrôle qualité de pièces sensibles. Ces systèmes ont également fait leurs preuves dans les secteurs de l'industrie papetière avec l'analyse de la composition et du taux d'humidité du papier ou celle de la plasturgie avec le contrôle de l'homogénéité et de l'épaisseur de films plastiques ou encore dans l'agroalimentaire avec le contrôle de la fraîcheur de denrées périssables. Nous pouvons également citer des applications dans l'industrie du BTP comme le contrôle de l'homogénéité et du séchage du béton.

Le secteur de la sécurité bénéficie également des progrès des systèmes d'imagerie grâce à la capacité des ondes THz à pénétrer certains matériaux comme le tissu, le bois, le carton et le plastique, tout en étant réfléchi par le métal et absorbée par le corps humain. Cela lui confère un atout de choix dans le domaine de la sécurité car elle rend possible la détection d'armes dissimulées sur des individus [4], [5], dans des bagages ou des colis comme illustré sur les exemples de la Figure 1.4. Cette technologie pourrait se substituer progressivement à certaines procédures actuellement en vigueur comme la fouille de personnes ou l'inspection de marchandises. L'exemple le plus médiatisé est celui des scanners corporels déployés dans certains aéroports. Par spectroscopie, l'onde THz pourrait également être mise à profit pour détecter des molécules chimiques constitutives d'explosifs, de drogues ou d'agents pathogènes sur des personnes, du fret ou dans des enveloppes cachetées.

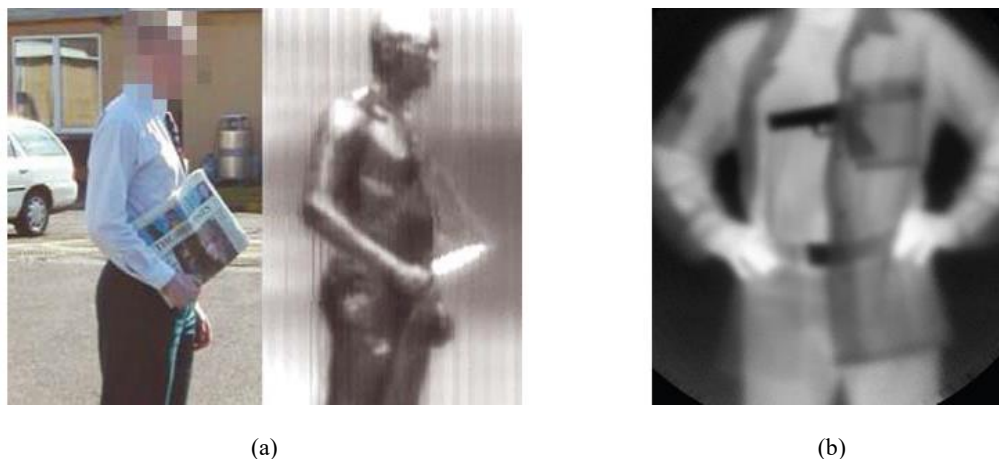


Figure 1.4 : Détection d'armes dissimulées sur des individus à l'aide de systèmes d'imagerie THz, (a) comparaison entre deux images l'une en lumière visible et l'autre réalisée à 0,094 THz [4], (b) détection d'une arme sur une image à 0,85 THz [5].

En matière de télécommunications sans fil, alors que la 5G débute son déploiement opérationnel, il est déjà admis que les bandes de fréquences qu'elle utilise, qui sont de quelques GHz, ne permettront pas de supporter la totalité du besoin en transmissions de données de la décennie à venir. Les travaux de recherche anticipant la 6G ont d'ores et déjà été initiés pour développer de nouvelles technologies afin de faire face à ce besoin futur. La solution envisagée est d'utiliser les fréquences 200-320 GHz de la bande du THz dont l'atténuation dans l'air reste acceptable [6], [7]. Le débit sans fil pourrait alors atteindre 100 Gb/s.

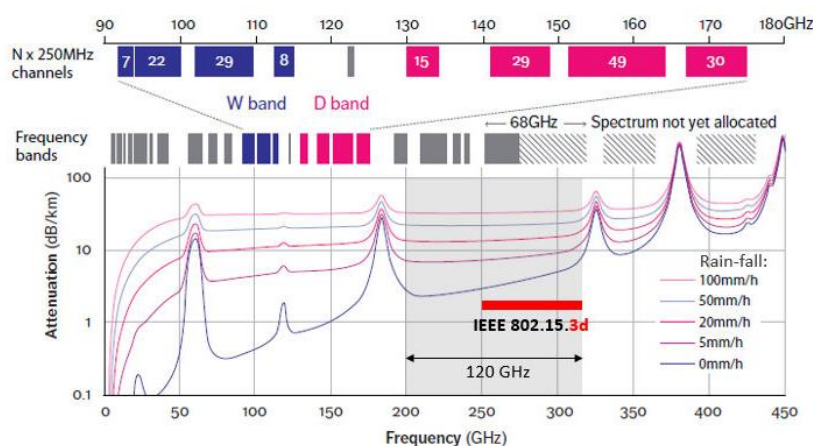


Figure 1.5 : Atténuation dans l'air de signaux de télécommunications en fonction de la fréquence et des précipitations [6], [7].

De nombreux obstacles restent toutefois à gérer, comme s'affranchir du bruit moléculaire qui est très important dans cette gamme de fréquence où le signal est perturbé par l'eau et l'oxygène. Il sera également nécessaire d'augmenter significativement la puissance du signal afin de permettre la transmission des données sur une distance suffisante dans le cadre du cas d'utilisation visé, qui est actuellement de quelques dizaines de mètres. Il faudra aussi partager équitablement les bandes de fréquences avec les autres utilisateurs comme les astrophysiciens et leurs satellites de radio astronomie [8].

Et enfin, les derniers domaines d'applications qui nous intéressent particulièrement sont l'astronomie et la planétologie, qui sont historiquement les domaines précurseurs pour la recherche sur le THz, et qui ont largement contribué au développement de technologies innovantes [9]. De nombreux programmes spatiaux ont été initiés ces dernières décennies embarquant des instruments scientifiques dont le fonctionnement nécessite l'utilisation de signaux THz [10]. Ils ont fourni une masse importante d'information aux scientifiques. La construction d'observatoires en haute-altitude comme ALMA, les missions aériennes de recueil de données comme SOFIA et le déploiement de télescopes spatiaux comme Planck et Herschel [11] ont permis au rayonnement THz de se soustraire à l'atmosphère terrestre, afin d'explorer et de mieux comprendre l'univers. Les domaines d'intérêt sont très nombreux, ils reposent sur l'étude du rayonnement électromagnétique émis ou réfléchi par les corps célestes. Ils s'intéressent notamment à l'étude du cycle de vie des étoiles, à l'analyse chimique de la composition de l'atmosphère des planètes (dont la Terre) ou des nuages interstellaires, par la détection de composés ou de molécules, dont l'énergie de transition se trouve dans la gamme THz, avec par exemple HF, HCl ou PH₃ à respectivement 1,23, 1,25, 1,06 THz [12]. L'actualité réside dans le lancement cette année de la mission JUICE (Jupiter IcyMoons Explorer) de l'agence spatiale européenne vers Jupiter et ses satellites (Figure 1.6). La sonde embarque notamment le télescope millimétrique SWI (Sub-millimetre Wave Instrument) fonctionnant dans les bandes 0,530-0,6254 THz et 1,080-1,275 THz [13]. Sa mission est, entre autres, d'étudier les vents de l'atmosphère et la magnétosphère de Jupiter ainsi que la composition de la fine atmosphère de trois de ses satellites galiléens Callisto, Europe et Ganymède [14].



Figure 1.6 : Mission d'exploration JUICE de l'agence spatiale européenne, image extraite de [14].

Plus concrètement, les diodes Schottky s'intègrent dans les instruments de détection hétérodyne, dont le principe de fonctionnement est le suivant : tous les corps célestes émettent des signaux haute fréquence F_{source} qui peuvent être collectés par une antenne. Ils sont ensuite mélangés à un autre signal défini, de fréquence F_{OL} et proche du signal source, généré par un oscillateur local constitué d'une chaîne de multiplication pouvant être réalisée à l'aide de multiplicateurs à diodes Schottky. En sortie de mélangeur, le signal qui en résulte est composé de plusieurs contributions fréquentielles, dont les signaux d'origine ainsi que la somme et la

différence des signaux F_{OL} et F_{source} . Seule la contribution $F_{OL} - F_{source}$ est conservée, ce qui permet au final de diminuer la fréquence du signal à analyser sans en altérer l'information, de manière à rendre possible son interprétation par un spectromètre. Le rôle de ce dernier sera de déterminer la nature chimique et isotopique ainsi que les proportions de chaque élément détecté. Un synoptique du principe de la détection hétérodyne est visible sur la Figure 1.7 extraite de [15].

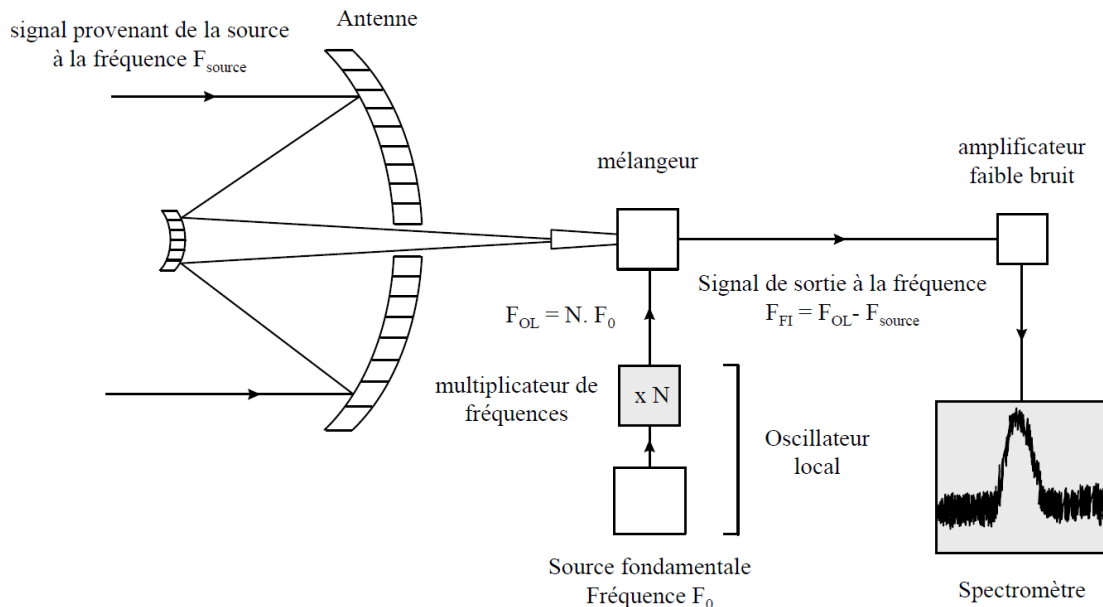


Figure 1.7 : Synoptique d'une chaîne de détection hétérodyne, extrait de [15].

1.2 Technologies de génération THz

Après avoir exposé les principales applications du domaine THz, nous allons maintenant nous intéresser aux différentes manières de générer ce type de signaux, adaptés à leurs applications respectives.

Le domaine THz a une position spectrale qui complique la mise au point et la fabrication de sources performantes et opérationnelles. Les principaux freins à l'accès à ces technologies sont liés au fait que certaines d'entre elles nécessitent un système de refroidissement cryogénique et développent une puissance qui peut se révéler insuffisante. De plus, elles peuvent être relativement encombrantes et onéreuses. Ce domaine est par conséquent resté très longtemps cantonné au monde académique. On parle alors de *Gap THz* pour symboliser que de nombreux besoins restent à satisfaire à l'heure actuelle pour les applications entre 1 et 10 THz. L'équipement progressif des laboratoires en bancs de spectroscopie et d'imagerie a cependant permis l'amélioration continue des techniques existantes et l'émergence de nouvelles technologies pour créer des sources THz [16]. Le graphique suivant, sur la Figure 1.8, présente le panel des technologies disponibles à ce jour et leur plage de fonctionnement en fréquence et en puissance.

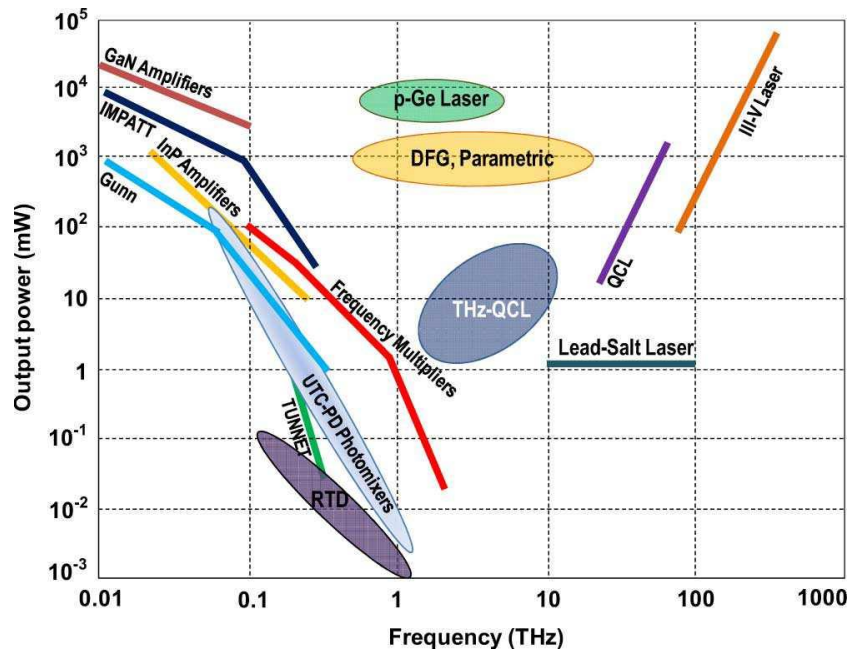


Figure 1.8 : Synthèse des technologies de génération THz [17].

Il existe en dessous de 1 THz de nombreuses sources électroniques à l'état solide comme les amplificateurs GaN et InP, les diodes impatt, Gunn ou Schottky. En revanche au-delà de 3 THz nous constatons que beaucoup moins de technologies de sources sont disponibles mais proposent des puissances importantes comme les lasers à cascade quantique (QCL) ou les lasers FIR (far infrared laser, de technologie p-Ge sur la Figure 1.8). Pour les multiplicateurs de fréquences à base de diodes Schottky, la puissance disponible chute nettement avec l'augmentation de la fréquence. Au-delà de 2 THz, il apparaît que les deux technologies en concurrence sont les multiplicateurs de fréquences ainsi que les QCL. À titre d'exemple et comme nous nous intéressons particulièrement aux multiplicateurs à diodes Schottky, nous allons exposer leurs avantages et inconvénients de manière à les comparer à la technologie des QCL, qui sont deux sources efficaces pour une gamme de fréquences de 2,5 THz.

1.2.1 Les lasers à cascade quantique

Le laser à cascade quantique repose sur le principe de l'émission d'ondes par cascade quantique décrit en 1971 [18]. La première démonstration date de 1994 au sein des laboratoires Bell [19]. En 30 ans, cette technologie a fait des progrès considérables et son potentiel couvre la gamme de fréquences allant de 2 à 100 THz et avec une puissance émise entre 10 et 1000 mW. La gamme 25-100 THz peut d'ores et déjà être considérée comme mature et des lasers sont déjà utilisés dans de nombreux systèmes commerciaux. Des appareils dans la gamme 2-6 THz, sont également commercialisés et proposent une puissance de quelques mW [20].

Le QCL est un laser qui utilise un semiconducteur possédant une structure à confinement quantique composée d'un grand nombre de puits quantiques, comme le montre la Figure 1.9.

Le confinement est créé à l'intérieur de la structure des sous-bandes d'énergie. Un électron *tombe* dans un puits quantique, y subit une relaxation entre deux sous-bandes en émettant un photon. Par effet tunnel, il tombe dans le puits suivant, émet un nouveau photon et ainsi de suite, ce qui explique le terme de *cascade quantique*. L'énergie du photon émis est équivalente à l'énergie entre les sous-bandes, qui dépend elle-même de la largeur du puits. En dimensionnant l'épaisseur de la couche du semi-conducteur qui sépare les puits, il est donc possible en pratique de choisir la fréquence d'émission du rayonnement ainsi généré [21].

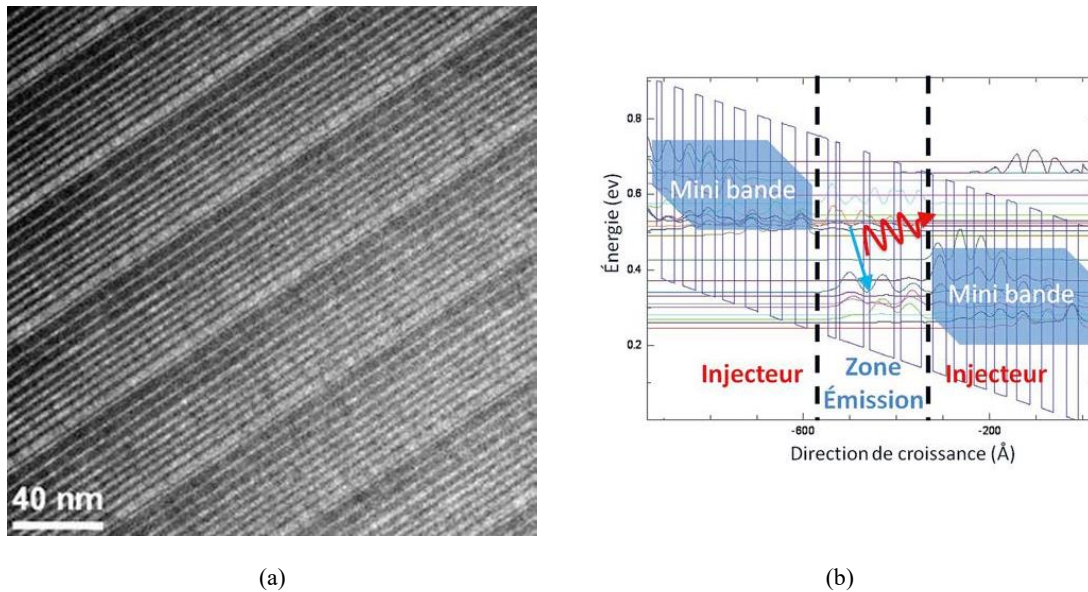


Figure 1.9 : Principe du laser à cascade quantique, (a) Photographie en microscopie électronique de la structure de confinement, (b) Principe de fonctionnement des QCL [21].

1.2.2 Les multiplicateurs de fréquence

Historiquement, avant l'avènement et la relative disponibilité des sources multipliées à base de diodes Schottky, il était nécessaire au-delà du THz d'utiliser des sources à base de lasers FIR pour pomper le mélangeur de chaînes de détections hétérodynes car elles étaient les seules à fournir une puissance suffisante. Ces sources présentaient le désavantage d'être volumineuses, énergivores et posaient des problèmes de fiabilité [22]. Aujourd'hui on utilise plutôt les QCL ou les multiplicateurs à diodes Schottky. Les QCL présentent cependant le désavantage d'être plus volumineux et de nécessiter un système de refroidissement. C'est pourquoi en radioastronomie, on leur préfère les sources à base de multiplicateurs à diodes Schottky qui n'ont pas nécessairement besoin d'être refroidies et qui sont plus compactes et légères.

Le principe de fonctionnement des multiplicateurs de fréquence s'appuie sur l'utilisation de dispositifs non linéaires pour générer des harmoniques d'un signal de référence. Ce principe est exposé sur la Figure 1.10. En effet, lorsqu'un dispositif non linéaire est excité par une source microondes, il s'en suit la génération d'harmoniques du signal source. La diode Schottky est un bon candidat pour jouer ce rôle. Polarisée en inverse, cette dernière présente une forte non

linéarité capacitive et se comporte comme un condensateur variable non linéaire. Le composant est polarisé en inverse par une source de courant continu et les harmoniques sont générées grâce au signal microonde qui vient excursionner sa caractéristique inverse. Dans la pratique il est nécessaire que ce point de polarisation inverse soit judicieusement choisi de manière à ne pas excursionner la caractéristique courant-tension du composant dans des zones non propices, c'est-à-dire ni trop proche de sa tension de claquage et ni en direct. Dans un deuxième temps, le but est d'isoler l'harmonique souhaitée du reste des autres contributions fréquentielles. Pour cela, des solutions sous la forme de circuits de filtrage sont mises en œuvre autour de la partie active du multiplicateur de manière à isoler les signaux d'entrée et de sortie et d'atténuer les harmoniques non souhaitées. Un facteur de mérite important pour les multiplicateurs de fréquences est le rendement de conversion, ou efficacité, qui est défini par le rapport entre la puissance de sortie de l'harmonique sélectionnée et la puissance d'entrée du dispositif.

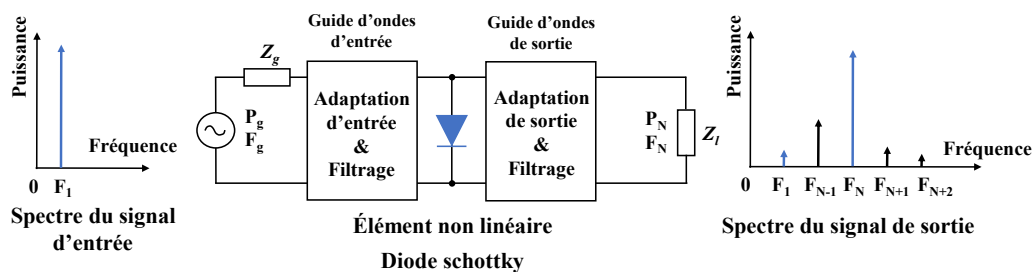


Figure 1.10 : Principe de fonctionnement de la multiplication de fréquence, redessiné de [23].

Ces multiplicateurs peuvent être associés en série de manière à démultiplier la fréquence de sortie comme le montre la Figure 1.11, où est représenté la chaîne de réception conçue pour l'instrument SWI de la sonde JUICE. À l'aide de trois multiplicateurs doubleurs successifs, un signal à 600 GHz est généré à partir d'un signal source à 75 GHz, de manière à procéder à l'analyse de signaux de fréquence de l'ordre de 1,2 THz collectés avec l'antenne de l'instrument.

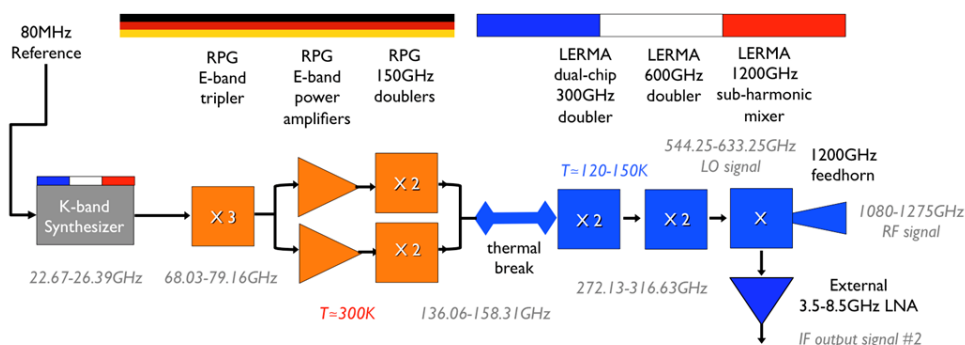


Figure 1.11 : Exemple de chaîne de multiplication, en l'occurrence pour l'instrument SWI de la sonde JUICE [24].

Il existe différentes approches pour réaliser un multiplicateur de fréquences. La première option que nous allons présenter est le multiplicateur dit *flip-chip*. Celui-ci est constitué de trois éléments principaux : la puce de diodes Schottky, le circuit de filtrage et le guide d'ondes. Les diodes Schottky sont fabriquées sur une puce indépendante, en l'occurrence sur un substrat

GaAs de 50 μm d'épaisseur, puis cette dernière est reportée sur un substrat, le plus souvent en quartz, où les circuits de filtrages ont été préalablement réalisés. Enfin, le couple puce Schottky-circuit est placé dans le guide d'ondes. Nous distinguons sur la Figure 1.12a, extraite de [25], un schéma de la conception de ce dispositif. Nous y voyons en vert la face arrière de la puce où se trouvent les diodes, et sur la Figure 1.12b, la réalisation finale après report de la puce sur le circuit, et l'intégration de l'ensemble dans le guide d'ondes.

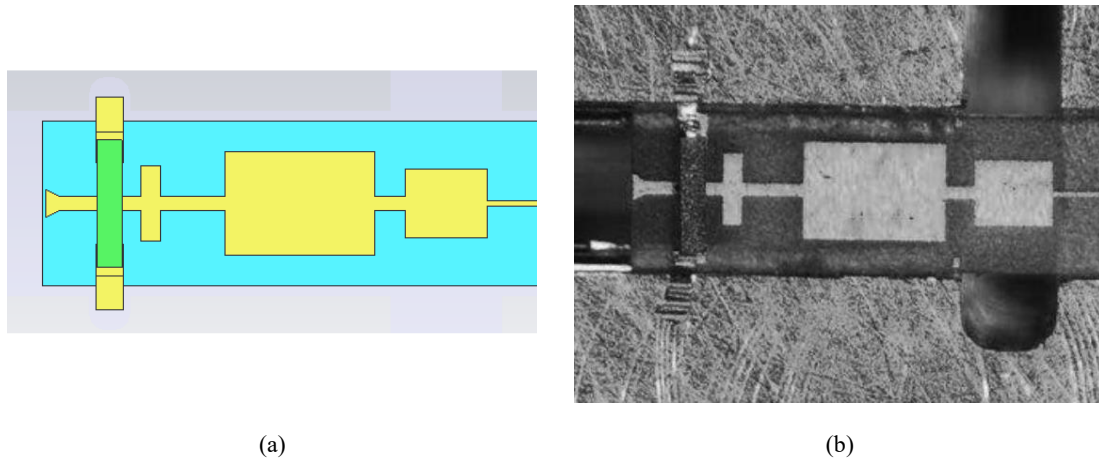


Figure 1.12 : Multiplicateur doubleur fréquence à 160 GHz de type flip-chip, (a) schéma de conception, (b) montage et intégration des différents éléments dans un bloc de guide d'ondes [25].

La puce flip-chip, ou barrette de diodes en français, est soudée sur le circuit par l'utilisation d'une colle conductrice souvent à base d'argent. Celle-ci est intégrée dans un boîtier usiné par micromécanique et composé de deux parties. La première contenant le composant comme montré sur la Figure 1.12b, sur laquelle est fixée l'autre moitié pour matérialiser le guide et ainsi obtenir le boîtier complet. En guise d'exemple et d'illustration, nous pouvons voir sur la Figure 1.13a une conception de doubleur à 300 GHz du LERMA montrant une moitié de boîtier guide d'ondes où nous pouvons distinguer le composant une fois en place. Enfin, sur la Figure 1.13b est visible l'objet fini après assemblage des deux parties. Le connecteur d'alimentation SMA permet de polariser en inverse les diodes.

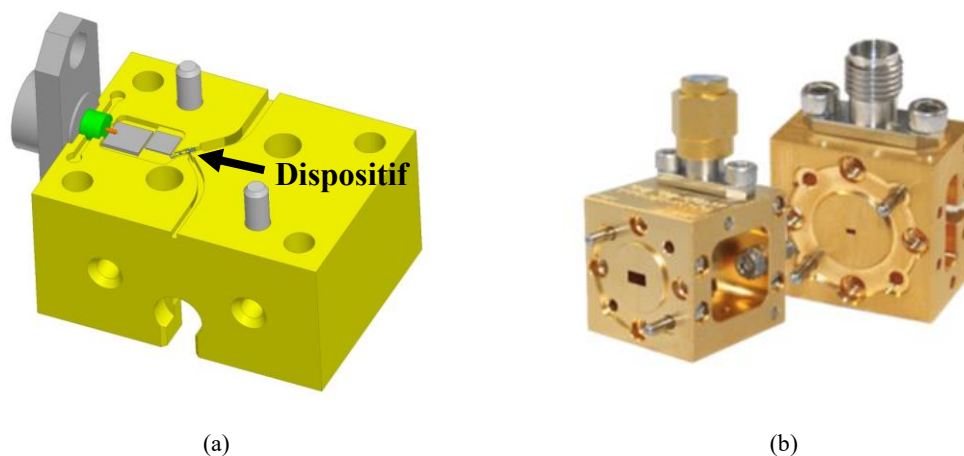


Figure 1.13 : Illustrations de boîtiers guide d'ondes, (a) conception du LERMA montrant une des deux moitiés [26], (b) boîtier guide d'ondes usiné par micromécanique et assemblé.

Le deuxième type de multiplicateur que nous allons expliciter est celui réalisé avec des diodes Schottky fabriquées sur membrane. Il s'agit du type de multiplicateur le plus fréquemment mis en œuvre dans les applications à très hautes fréquences. En effet au-delà de 200-300 GHz, réaliser des diodes sur un substrat de GaAs de 50 μm d'épaisseur entraînerait des pertes importantes, ce qui limite alors l'utilisation de multiplicateurs flip-chip, bien que cela soit toujours possible [27]. Le substrat est alors remplacé par une membrane, en réalisant le composant sur du GaAs épitaxié de quelques microns d'épaisseur, puis en supprimant le substrat originel de croissance de GaAs une fois le composant finalisé, entraînant sa libération. Cette approche permet également la fabrication de circuits intégrés monolithiques hyperfréquences (MMIC), où les diodes ainsi que le circuit de filtrage et d'adaptation sont réalisés et connectés au cours du même procédé de fabrication, ce qui dispense alors de l'étape de collage des diodes sur le circuit, comme nous l'avons vu avec la technologie mettant en œuvre une barrette de diodes. La Figure 1.14 montre un exemple de multiplicateur tripleur GaAs sur membrane, capable de délivrer un signal à 2,7 THz. Il s'agit d'une réalisation du JPL (Jet Propulsion Laboratory, Californie), laboratoire de la NASA, qui est l'un des acteurs majeurs de la communauté de recherche autour de cette thématique.

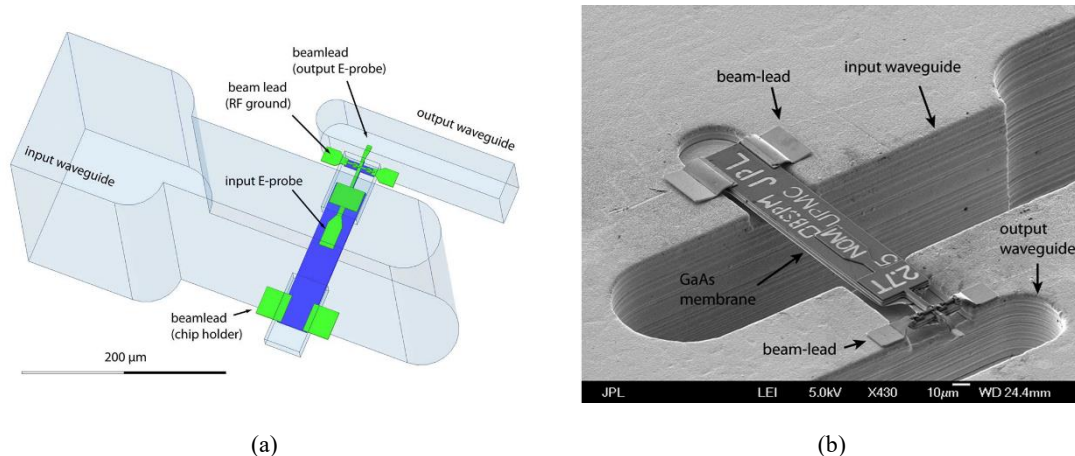


Figure 1.14 : Multiplicateur tripleur de fréquence à 2,7 THz de type membrane, (a) schéma de conception, (b) montage et intégration dans un bloc de guide d'ondes [28].

Il existe encore d'autres configurations de multiplicateurs de fréquences. Nous pouvons mentionner la technologie dite *substrateless* qui consiste à enlever totalement le substrat d'un circuit MMIC de sorte que les lignes de transmissions soient suspendues dans l'air [29]. Cela permet de diminuer encore les pertes RF occasionnées par le substrat de GaAs, de manière similaire que pour les circuits MMIC réalisés sur membrane. Citons aussi la première génération de multiplicateurs de fréquences à base de diodes Schottky qui étaient réalisés avec un contact par moustache [30], et qui ont été utilisés jusqu'à la fin des années 90.

Intéressons-nous à présent aux différents contributeurs dans ce domaine sur la scène internationale. Les plus notables d'entre eux sont répartis aussi bien dans les secteurs privés qu'académiques, comme le JPL, RPG (Radiometer Physics GmbH) en Allemagne, ACST

GmbH en Allemagne, VDI (Virginia diodes). Les universités de Chalmers en Suède, de Virginie aux États-Unis ainsi que l'observatoire de Paris (université Pierre et Marie Curie) sont également des références mondiales dans ce domaine.

La Figure 1.15, extraite de [31], où nous pouvons observer les contributions des différents acteurs de ce domaine, synthétise l'état de l'art de la multiplication de fréquence.

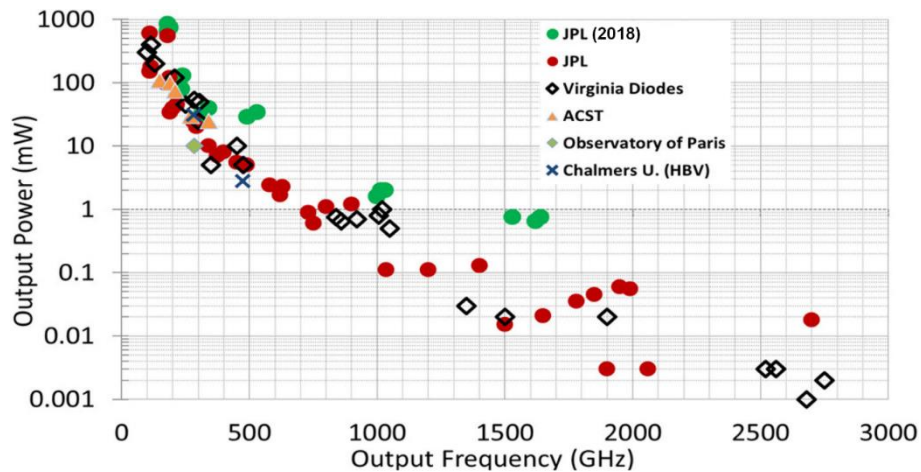


Figure 1.15 : État de l'art de la génération de puissance par la multiplication de fréquence, adapté de [31].

Une des contributions les plus notables est le tripleur de fréquence de 0,9 à 2,7 THz réalisé par le JPL [28], visible sur la Figure 1.14. Ce dernier a démontré la génération d'une puissance de 18 μW à 2,58 THz, à température ambiante, à l'aide de trois tripleurs associés en série, ce qui constitue le record absolu pour les fréquences au-delà de 2,5 THz. La littérature fait également mention d'une chaîne de multiplication conçue par le JPL, constituée d'un doubleur et de deux tripleurs en série, qui permet la génération entre 1,7 et 1,9 THz, et avec 3 μW à 1,74 THz [32]. Et enfin, pour évoquer des résultats plus récents, à la frontière symbolique du THz, nous pouvons noter que l'état de l'art est également détenu par le JPL, qui propose une chaîne de multiplication fournissant 1,5 mW à 1 THz [31].

Nous pouvons conclure cette partie sur les multiplicateurs de fréquence en discutant des développements sur une autre filière de matériaux : le nitrure de gallium (GaN). Ce dernier possède une bande interdite de 3,4 eV, très supérieure au GaAs, et cela lui confère un champ de claquage exceptionnel de l'ordre de $3 \cdot 10^6$ V/cm [33]. Cela en fait un candidat de choix dans la réalisation de diodes Schottky bénéficiant d'une haute tenue en puissance. Cependant sa mobilité d'environ $1000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, très inférieure à celle du GaAs, limite son utilisation à très haute fréquence. En effet, les composants présentent typiquement une résistance série élevée, ce qui conduit à une efficacité de conversion plus faible [34]. Cela n'est pas rédhibitoire. En gamme THz et au-delà, la tenue en puissance du GaAs est suffisante compte tenu des faibles puissances mises en jeu. Ces composants en GaN sont alors plus adaptés pour une utilisation en premier étage d'une chaîne de multiplication, soumis par définition à des fortes puissances d'entrée. L'état de maturité actuel de cette filière ne permet pas encore d'envisager son utilisation

en milieu spatial. Nos travaux ayant une finalité plus appliquée, nous avons alors travaillé sur l'optimisation d'un composant mature de la filière GaAs plutôt que sur un domaine plus prospectif comme d'autres filières de matériaux.

1.3 Fonctionnement de la diode Schottky

1.3.1 Mécanismes de conduction

Le fonctionnement du composant qui nous intéresse, la diode Schottky, est très largement explicité dans les ouvrages [35], [36], [37]. Nous nous proposons cependant d'en exposer ici les fondamentaux. Celle-ci est fabriquée en mettant en contact deux matériaux, un métal et un semiconducteur de type n, qui confère à la diode son caractère redresseur, en créant une barrière de potentiel. La Figure 1.16a montre les diagrammes de bandes d'énergies des deux matériaux avant leur mise en contact. On définit Φ_m et Φ_s qui sont respectivement les travaux de sortie du métal et du semiconducteur. Il s'agit des énergies nécessaires pour extraire un électron depuis le niveau de Fermi E_F vers le niveau du vide pour chacun de ces deux matériaux. Nous avons d'autre part l'affinité électronique du semiconducteur χ qui correspond à l'énergie requise pour déplacer un électron depuis le bas de sa bande de conduction E_c vers le niveau du vide.

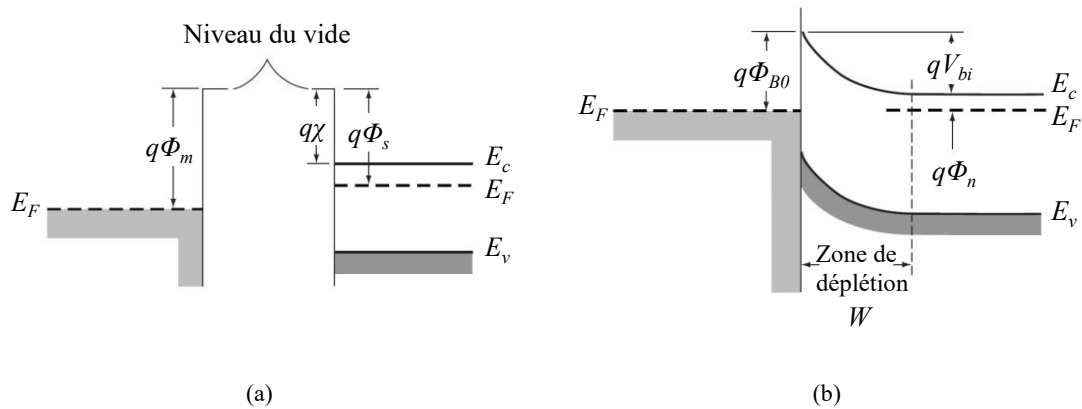


Figure 1.16 : Diagrammes de bandes d'un contact métal-semiconducteur, (a) avant contact, (b) après contact [36].

Les électrons présents dans le semiconducteur ont une énergie plus importante que ceux dans le métal ($\Phi_m > \Phi_s$). Au moment où les deux matériaux sont mis en contact (Figure 1.16b), il s'en suit la migration d'électrons libres présents en surface du semiconducteur dans le métal, jusqu'à l'alignement des niveaux de Fermi et l'obtention d'un équilibre thermodynamique. Cela a pour conséquence de créer une courbure des bandes de valence E_v et de conduction, et ainsi il se forme une barrière de potentiel. L'expression théorique de celle qui s'oppose au passage des électrons du métal vers le semiconducteur est donnée par l'équation 1.1.

$$\Phi_{B0} = \Phi_m - \chi \quad 1.1$$

Du côté du semiconducteur, la barrière s'opposant au passage des électrons vers le métal s'exprime suivant l'équation 1.2.

$$V_{bi} = \Phi_{B0} - \Phi_n \quad 1.2$$

Φ_n représente la différence d'énergie entre la bande de conduction et le niveau de fermi du semiconducteur, son expression est donnée par la relation 1.3.

$$\Phi_n = \frac{kT}{q} \ln \left(\frac{N_c}{N_d} \right) \quad 1.3$$

Avec k la constante de Boltzman, T la température, q la charge de l'électron, ainsi que N_c et N_d respectivement les densités de porteurs dans la bande de conduction et de dopage du semiconducteur.

Dans le semiconducteur, le déficit d'électrons proche de l'interface crée une zone de déplétion dont la largeur est inversement proportionnelle au dopage du matériau. Quand la jonction est polarisée par une tension directe V , la bande de conduction s'élève de qV et la largeur de la zone de déplétion diminue jusqu'à son annulation, ce qui permet au courant de circuler. Quand la diode est polarisée par une tension inverse, la largeur de la zone de déplétion s'élargie, bloquant ainsi le déplacement des porteurs. La largeur de la zone de déplétion en fonction de la polarisation V est donnée par l'expression 1.4.

$$W(V) = \sqrt{\frac{2\varepsilon_r\varepsilon_0(V_{bi} - V)}{qN_d}} \quad 1.4$$

Avec ε_r la constante diélectrique du matériau semi-conducteur, ε_0 la permittivité du vide. La diode se comporte alors comme une capacité plan de surface S , modulable en tension et d'expression visible sur l'équation 1.5, et qui, quantitativement, est dépendante de la largeur de la zone déplétée, et donc de la polarisation.

$$C(V) = \frac{\varepsilon_r\varepsilon_0S}{W} = S \sqrt{\frac{\varepsilon_r\varepsilon_0qN_d}{2(V_{bi} - V)}} \quad 1.5$$

Pour avoir une plage importante de modulation de capacité, il faut réaliser le contact sur un matériau modérément dopé, on parle de dopage n^- . En l'absence de polarisation, la capacité de la jonction C_{j0} est alors conditionnée par la largeur de la barrière intrinsèque V_{bi} et s'écrit :

$$C_{j0} = S \sqrt{\frac{qN_d\varepsilon_r\varepsilon_0}{2V_{bi}}} \quad 1.6$$

Le courant circulant dans une jonction métal-semiconducteur est essentiellement lié aux porteurs majoritaires et de nature thermoïnique, c'est-à-dire des électrons ayant suffisamment d'énergie pour surmonter la barrière formée à l'interface des deux matériaux. Il s'écrit comme présenté sur l'équation 1.7, en considérant ses deux contributions, $I_{s \rightarrow m}$ le courant circulant dans le sens du semiconducteur vers le métal et $I_{m \rightarrow s}$ celui dans le sens inverse.

$$I = I_{s \rightarrow m} - I_{m \rightarrow s} = SA^*T^2 e^{\left(\frac{-q\Phi_B}{kT}\right)} e^{\left(\frac{qV}{kT}\right)} - SA^*T^2 e^{\left(\frac{-q\Phi_B}{kT}\right)} \quad 1.7$$

On définit le courant de saturation I_s comme exposé sur l'équation 1.8.

$$I_s = SA^*T^2 e^{\frac{-q\Phi_B}{kT}} \quad 1.8$$

Ainsi que A^* la constante de Richardson qui s'exprime comme il suit sur la relation 1.9, avec h la constante de Planck, m_0 la masse de l'électron et m^* la masse effective de l'électron dans le semiconducteur.

$$A^* = \frac{4\pi q k^2 m^*}{h^3 m_0} \quad 1.9$$

Nous obtenons alors l'expression 1.10 du courant thermoïnique :

$$I = I_s \left[e^{\frac{qV}{kT}} - 1 \right] \quad 1.10$$

1.3.2 Configurations de composants

La diode Schottky est constituée de deux contacts métal-semiconducteur, l'un redresseur et l'autre ohmique. De nos jours, une très forte majorité des diodes Schottky utilisées par la communauté dans la réalisation de multiplicateurs de fréquence est de configuration dite *planaire*, c'est-à-dire que les deux électrodes du composant sont connectées par des ponts à air et se situent sur la même face du substrat. À la fin des années 90, dans les applications spatiales embarquées, ces diodes planaires ont progressivement remplacé la technologie des diodes connectées par *whiskers*, ou moustache en français, que nous avons mentionnés précédemment [38]. Ces dernières étaient de configuration verticale. Bien que les diodes en configuration planaire présentent en théorie comme désavantage des capacités et inductances parasites plus élevées, cette technologie a fini par s'imposer pour des questions de fiabilité et de reproductibilité. Les multiplicateurs de fréquences mettant en œuvre des diodes planaires offrent plus de facilités à la conception et à l'intégration. La genèse de ce concept de diodes planaires tel qu'on le connaît de nos jours (mesa, pont à air) nous vient de l'université de Virginie [39]. La Figure 1.17 montre la différence entre ces deux configurations.

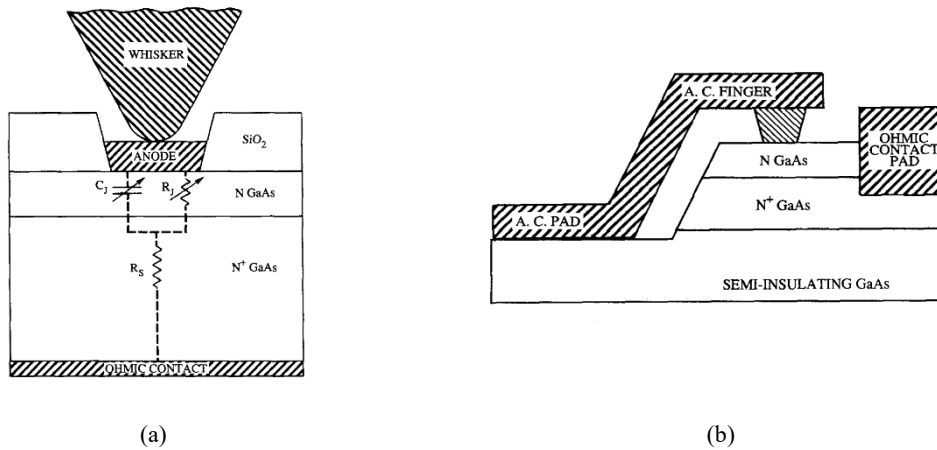


Figure 1.17 : Configurations de composants, (a) diode verticale avec contact à moustache (b) diode planaire avec contact par pont à air, figures adaptées de [39].

Ces deux configurations de diode opèrent fondamentalement de la même manière, mais avec une différence notable : le trajet du courant entre les deux électrodes n'est pas le même. La résistance série du composant est définie comme la somme des contributions de résistances suivant les lignes de courant comme le montre la relation 1.11 [40], [41].

$$R_s = R_{epi} + R_{sp} + R_c \quad 1.11$$

Avec R_{epi} la résistance de la couche n⁻ non déplétée, R_{sp} la résistance occasionnée par la couche n⁺ et R_c la résistance de contact à l'interface entre la couche n⁺ et le contact ohmique. En considérant les deux diodes de la Figure 1.17, la diode à moustache devrait présenter une résistance série plus faible car le trajet du courant est purement vertical et s'effectue sur un volume plus important de semiconducteur. En effet dans le cas de la diode planaire, les lignes de courants doivent parcourir un trajet plus long, du corps de la diode jusqu'au contact ohmique et cela en traversant une couche mince de semiconducteur. Nous pouvons penser que la contribution de la résistance série R_{sp} est minimisée dans le cas de la diode à moustache. Une troisième topologie de diode est à présent définie, dite *quasi-verticale* et se situant à mi-chemin entre les deux configurations de diodes mentionnées plus haut. C'est-à-dire en considérant le schéma de la diode à moustache posé sur un substrat semi isolant et dont les électrodes seraient connectées par pont à air. Un tel composant devrait alors bénéficier des avantages de la diode à moustache sans en subir les inconvénients. Nous reviendrons plus tard sur cet aspect.

Abordons à présent les différentes topologies d'anodes qui sont mentionnées dans la littérature. La plupart des anodes de diodes Schottky sont de forme circulaire, cependant, des travaux ont montré que des anodes de forme rectangulaire induisent l'avantage de diminuer la résistance série du composant. Cette idée n'est pas récente mais reste peu répandue chez les différents acteurs de la communauté. Elle est mentionnée dans la thèse de Monsieur Jean Bruston (Observatoire de Paris, 1997) [42] et semble, à l'origine, être venue de la communauté du transistor bipolaire avec une électrode d'émetteur en forme de doigt. Ce concept a été mis en

œuvre à cette époque sur des diodes Schottky au JPL [43], [44]. La Figure 1.18, extraite de la thèse mentionnée plus haut, montre que la résistance série d'une diode de surface d'anode de $10 \mu\text{m}^2$ décroît en fonction de l'augmentation de la longueur, allant de pair avec une diminution de la largeur, pour une surface constante.

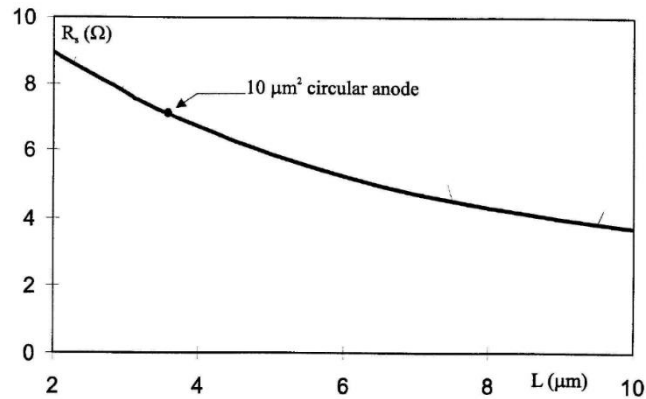


Figure 1.18 : Résistance série simulée pour différentes longueurs d'anodes [42].

La Figure 2.21a montre la topologie d'anode rectangulaire utilisée pour l'estimation de la résistance série, suivant le rapport longueur largeur comme décrit précédemment. Malgré tout, en hyperfréquence, il est reconnu qu'éviter les formes anguleuses permet de minimiser certains parasites. Il s'agit peut-être de la raison pour laquelle certains acteurs de la communauté ont décidé d'introduire dans leurs conceptions une nouvelle forme d'anode, ni circulaire, ni rectangulaire, mais *quasi-rectangulaire* comme montré sur la Figure 1.19b. Quelques exemples d'utilisation de cette topologie par les communautés de l'observatoire de Paris et du JPL, pour des surfaces d'anodes variées, sont visibles sur les références [45], [26] et [46].

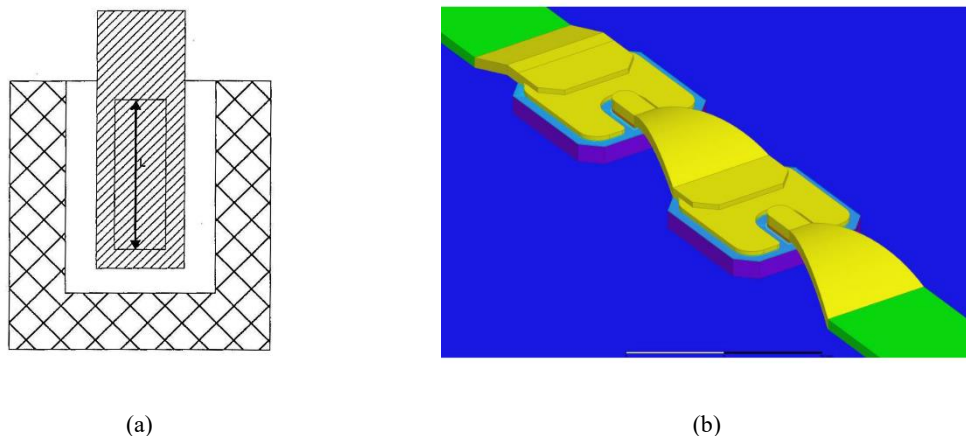


Figure 1.19 : Anodes non circulaires, (a) conception rectangulaire originale [42], (b) mise en œuvre de la topologie quasi-rectangulaire dans une conception du LERMA [26].

Dans le cadre de nos travaux, nous nous proposons de vérifier expérimentalement l'impact sur la résistance série, de différentes longueurs d'anodes pour une surface constante, de forme quasi-rectangulaire. Il s'agira à notre connaissance de la première étude paramétrique expérimentale sur ce point.

1.4 Optimisation de la filière GaAs

La filière GaAs a déjà fait ses preuves dans la réalisation de diodes à destination des multiplicateurs de fréquence. Cependant au-delà d'une certaine puissance, le signal d'entrée occasionne une élévation de température qui peut s'avérer critique. Cela peut entraîner la destruction des composants ou à minima une diminution de leurs performances, comme l'efficacité de conversion ou une dégradation permanente de l'interface métal-semiconducteur. Il est donc nécessaire d'optimiser la filière GaAs pour minimiser cette contrainte, ce qui pourra permettre une augmentation de la tenue en puissance. Il sera alors possible d'appliquer une puissance d'entrée plus importante à un multiplicateur, ce qui se répercutera sur une puissance de sortie accrue.

1.4.1 Gestion de la contrainte thermique

Il est établi que la température d'opération est un paramètre prépondérant intervenant dans la fiabilité des dispositifs. Dans ce contexte, nous pouvons mentionner l'équation 1.12 dite d'Arrhenius, qui définit le temps moyen de fonctionnement avant une défaillance (*MTTF*) comme il suit :

$$MTTF = Ae^{-Ea/kT} \quad 1.12$$

Avec A un facteur d'échelle sous la forme d'une constante propre à chaque dispositif, Ea l'énergie d'activation en eV, k la constante de Boltzman, et T la température en Kelvin. Statistiquement, la durée de vie d'un composant est alors inversement proportionnelle à la température de fonctionnement et cela, dans des proportions significatives. Comme pour les autres filières de matériaux, et notamment la filière GaAs, le temps moyen avant défaillance des composants GaN est réduit avec l'augmentation de la température. La Figure 1.20 montre une étude de fiabilité menée par la société Nitronex [47], aujourd'hui incluse dans le groupe Maccorm, et réalisée sur un transistor GaN sur substrat silicium.

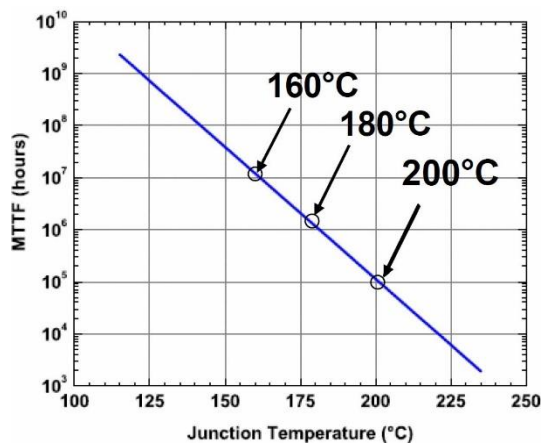


Figure 1.20: Étude de fiabilité d'un transistor GaN sur Si par Maccorm/Nitronex [47].

Sur cette étude, il est mis en évidence que la durée de vie du composant considéré peut-être réduite approximativement par 10, pour chaque palier d'augmentation de 20°C de la température de jonction. Ce problème existe également pour la filière GaAs que nous étudions, et l'un des principaux axes de ce travail de recherche sera d'identifier et de mettre en œuvre une solution permettant de minimiser la température de jonction des diodes Schottky GaAs que nous souhaitons réaliser.

Des études théoriques et expérimentales ont déjà été conduites afin d'optimiser le comportement thermique des multiplicateurs de fréquences, avec notamment le collage d'un MMIC sur membrane de GaAs sur un substrat de diamant [48]. Nous pouvons aussi mentionner le cas de l'utilisation d'un circuit passif de filtrage réalisé sur substrat AlN, en remplacement du classique substrat de quartz dans le cas d'un multiplicateur flip-chip [25]. Dans ce contexte, notre étude portera sur l'optimisation du comportement thermique de diodes Schottky unitaires, avec comme perspective leur future utilisation dans une potentielle conception de multiplicateur de fréquences.

Le report de substrat est un procédé qui permet de transférer des couches épitaxiales de leur substrat de croissance originel vers un substrat, dit *hôte*, plus performant. L'utilisation de substrats à conductivité thermique plus élevée que le GaAs est une solution attrayante pour nos dispositifs. En effet, meilleure est la conductivité thermique du substrat, meilleure sera la dissipation de la chaleur générée par le fonctionnement du composant. Cette approche constitue un levier d'optimisation significatif et cela sans intervenir sur la conception et la topologie de la partie active du composant. Il est alors envisageable de mener une étude comparative entre deux technologies de diodes Schottky : la première sera une fabrication de Schottky GaAs conventionnelle sur son substrat de croissance originel, dont les performances serviront de référence pour les comparer à une seconde, qui sera son équivalent sur un substrat de substitution à plus haute conductivité thermique.

Pour déterminer la faisabilité de cette étude, nous avons besoin dans un premier temps de définir deux éléments : le substrat de substitution ainsi que la manière d'y adjoindre notre structure épitaxiale. L'idée d'une croissance épitaxiale d'une structure de Schottky GaAs sur un autre substrat que le GaAs est exclue, car ce type de procédé est considéré comme trop complexe [49] pour qu'il soit réalisé en préservant l'intégrité cristalline des couches actives du composant. En effet, une telle croissance nécessiterait l'introduction de couches intermédiaires entre le substrat et l'épitaxie pour adapter les paramètres de maille des couches cristallines de semiconducteur. Celles-ci constitueraient une résistance thermique supplémentaire entre l'épitaxie et le substrat, ce qui ne va pas dans le sens de l'objectif visé. Nous sommes donc contraints, dans un premier temps, de réaliser la croissance des couches sur substrat GaAs et dans un deuxième temps, d'effectuer leur transfert sur un autre substrat, qui reste à définir.

Différents travaux ont déjà été publiés à propos du transfert d'épitaxies de diodes Schottky GaAs sur des substrats présentant une conductivité thermique plus élevée et notamment le silicium. L'université de Virginie propose des structures Schottky reportés à l'aide de matériaux polymères comme la résine négative SU-8 [50] ou avec du verre de spin (SOG) [51]. La conductivité thermique de ces derniers est relativement basse avec des valeurs respectives de 0,2 et 0,22 W/mK, ce qui implique que le transfert de chaleur vers le substrat de silicium n'est pas optimal. L'intérêt de ces technologies est plutôt de diminuer la résistance série des diodes, en passant en configuration quasi-verticale, que de résoudre complètement le problème de la contrainte thermique. Cela n'a pourtant pas empêché la réalisation d'un multiplicateur quadrupleur avec ces diodes Schottky GaAs transférées sur un substrat de silicium haute résistivité avec de la résine SU-8, et qui montre une puissance de 100 mW à 160 GHz avec une efficacité de 25,5 % [52]. Nous pouvons également mentionner dans ce contexte les recherches effectuées par l'université de Darmstadt en 2005 qui présente une preuve de concept de structures Schottky collées sur des bumps d'or pour optimiser la thermique du composant [53]. Puis plus récemment, les travaux de la société ACST qui propose des multiplicateurs de fréquences mettant en œuvre des diodes Schottky GaAs reportées sur diamant [54], [55]. Bien que la méthode de collage et le type de joint ne soient pas précisés, ces dispositifs affichent d'excellentes performances avec notamment la génération de 180 mW à 150 GHz.

Notre objectif est de proposer un transfert des couches actives d'une structure de diodes Schottky GaAs à l'aide d'une technique qui permettra l'utilisation d'un joint de collage bénéficiant d'une conductivité thermique au moins équivalente à l'état de l'art existant mentionnés ci-dessus. Nous nous acheminons donc vers l'utilisation d'un joint d'or. Ce dernier présente une conductivité thermique de 317 W/mK, très supérieure aux joints en polymère mentionnés ci-dessus. Nous devons donc identifier un procédé fiable de transfert de substrat mettant en œuvre un joint d'or.

1.4.2 Principe et technologies de collage

Après avoir précisé le principe et les motivations qui conduisent à remplacer le substrat originel de GaAs, une synthèse des différentes technologies de transfert de substrats est maintenant proposée. Une première option est celle du collage dit eutectique. Un eutectique est un mélange d'au moins deux corps purs qui se comporte comme un nouveau corps pur du point de vue de la fusion. Dans le cadre d'un transfert de substrat, le collage eutectique est une technique d'assemblage de deux couches métallisées au préalable. Il s'agit de mettre en contact deux métaux à une température de fusion liquide jusqu'à ce que l'alliage eutectique entre les deux se forme à l'interface. La littérature rapporte l'emploi de l'indium, dont le point de fusion est de 157°C pour former un joint avec de l'or [56]. D'autres alliages eutectiques utilisant de l'or sont possibles. On citera les eutectiques AuSn, AuSi et AuGe présentant respectivement des points de fusion de 280, 363 et 361 °C. Avant de sélectionner l'un de ces alliages pour réaliser

un collage eutectique, il est nécessaire de se soucier des contraintes thermiques que peuvent endurer les matériaux en présence, et ce pendant la fabrication ou le fonctionnement des composants ainsi réalisés. On notera également qu'un collage eutectique à basse température n'est pas nécessairement approprié, car le joint pourrait présenter une fatigue thermique pendant le fonctionnement des composants. Un collage à température plus élevée générera un stress plus important pour les matériaux lors du transfert, mais l'interface de collage ainsi réalisée sera plus qualitative et montrera une meilleure tenue en fonctionnement.

Il est également possible d'effectuer un collage de type adhésif. Il s'effectue par l'application d'une résine ou d'un polymère synthétique entre deux substrats. La qualité du joint obtenu peut toutefois être compromise au cours des étapes technologiques qui suivent, telles que l'utilisation de solvants, d'acides ou de bases. Un joint en polymère possède également le désavantage de présenter une faible conductivité thermique. Cela n'a pas pourtant pas empêché ce type de collage d'avoir été utilisé avec succès, notamment dans le cadre de la fabrication de diodes Schottky GaAs [52], comme nous l'avons vu précédemment, grâce à une mise en œuvre relativement simple et à une bonne résistance du joint à la chaleur.

La dernière technique de collage que l'on mentionnera est le collage par thermocompression. Il consiste à coller deux couches sur lesquelles ont été préalablement déposé un métal identique, en appliquant un couple pression/température. L'or est très largement utilisé, car il présente l'avantage d'être un très bon conducteur thermique, et contribue ainsi largement au drainage de la chaleur des composants vers le substrat. Il est également peu sujet à l'oxydation, une interface d'oxyde au niveau du joint de collage pouvant nuire à l'adhérence de l'ensemble. C'est un paramètre important à prendre en considération car les échantillons à coller sont exposés à l'air et à l'humidité ambiante durant un temps incompressible. Ce délai correspond à celui entre le déchargement du bâti d'évaporation et le chargement dans l'équipement où sera réalisé le procédé de thermocompression. L'or est également un métal ductile et malléable ce qui rend son utilisation particulièrement appropriée pour ce procédé. Une couche épaisse d'or sera en mesure d'absorber les contraintes mécaniques du collage tout en conservant son intégrité et en se conformant aux éventuelles imperfections ou impuretés présentes entre les substrats à assembler. Ce collage se fait à une température relativement basse, celle-ci n'excédant pas 300°C, ce qui est largement inférieur au point de fusion de l'or qui est de 1064 °C. La pression exercée lors du collage permet de limiter la température appliquée à l'échantillon. La gamme de pression utilisée pour des collages Au/Au s'étend de 1,2 à 5 bars. Les mécanismes qui conduisent ces deux couches d'or à adhérer l'une à l'autre sans pour autant en dépasser le point de fusion sont ceux de la diffusion et de la déformation plastique. Le procédé de thermocompression implique nécessairement la déformation d'au moins un des éléments constituant l'empilement, dans notre cas les couches d'or [57]. La migration d'atomes d'or entre les deux couches à coller est opérée en les maintenant sous pression à une température suffisante, conduisant à leur scellement. Il a été

rapporté que le collage ne se déclenche qu'après un seuil d'activation, qui se produit lorsque l'énergie fournie au matériau par le biais du couple température/pression est suffisante pour lui permettre de se déformer. Ce seuil a tendance à augmenter de manière significative si la pureté de l'or utilisé n'est pas optimale ou en cas de contamination de surface [58].

Compte tenu de ces éléments, nous pouvons désormais sélectionner la technologie de collage la plus appropriée à notre application. L'option d'un collage adhésif est écartée à cause de la faible conductivité thermique des joints de collage utilisés et car cette technologie a déjà été évaluée dans la réalisation de diodes Schottky GaAs comme exposé précédemment. En définitive, nous préférons retenir l'option du collage par thermocompression plutôt que le collage eutectique. Ce choix s'explique car les températures et les pressions mises en œuvre sont relativement modérées, et parce que le joint obtenu est robuste et de très bonne qualité. Des aspects pratiques entrent également en considération dans ce choix, comme celui de capitaliser sur l'expérience et le savoir-faire déjà présents au laboratoire, un équipement dédié de type Süss SB6e pour réaliser ce procédé y étant accessible.

1.4.3 Substrats hôtes envisagés

La croissance des couches actives des diodes Schottky GaAs est réalisée sur des substrats semi-isolants de GaAs qui présentent des caractéristiques thermiques, mécaniques et électriques bien précises. Dans notre optique d'optimiser le comportement thermique de diodes GaAs pour des applications de multiplication de fréquence, nous avons retenu le procédé de thermocompression afin de transférer ces couches actives sur un substrat de remplacement qui présente de meilleures caractéristiques pour répondre à cet objectif. Le Tableau 1.1 expose les caractéristiques des substrats les plus utilisés en microélectronique et qui pourraient se substituer au substrat GaAs.

Les principales caractéristiques de ces substrats sont les suivantes :

- La conductivité thermique λ , exprimée en W/mK ;
- La résistivité électrique ρ , exprimée en Ωcm ;
- Le coefficient de dilatation thermique Cte , exprimé en $10^{-6}/\text{K}$;
- La constante diélectrique ϵ_r .

Matériau	Quartz	Saphir	GaAs	Si	SiHR	AlN	SiC	Diamant
λ (W/mK)	1	25	50	160	160	170	490	2000
ρ (Ωcm)	10^{17}	10^{14}	10^8	10^3	10^5	10^{14}	10^6	10^{15}
Cte ($10^{-6}/\text{K}$)	0,5	5,3	6,8	2,6	2,6	3	4,2	0,8
ϵ_r	3,78	9,4	12,9	11,8	11,8	9	9,7	5,5

Tableau 1.1 : Caractéristiques thermiques, mécaniques et électriques de différents substrats utilisés en microélectronique, données à titre indicatives et sujettes à variation selon les sources ou de leurs procédés de fabrication respectifs.

Au regard des caractéristiques des différents substrats ci-dessus, notre choix pour le substrat hôte se porte sur le silicium haute résistivité. En effet, même s'il ne possède pas la meilleure conductivité thermique, celle-ci reste environ trois fois plus élevée que celle du GaAs. Le SiHR est préféré au silicium standard car sa résistivité électrique permet d'envisager les applications à haute fréquence. Le SiHR présente également l'avantage d'être largement disponible et une fabrication utilisant ce matériau bénéficiera de toute l'expérience et de la maturité technologique propre aux procédés silicium. Il peut aussi être aminci mécaniquement à des épaisseurs de l'ordre de 50 μ m, voire moins. Cela laisse entrevoir comme ligne de mire la fabrication de cellules de multiplication monolithiques sur membrane de silicium. Cela n'est pas forcément le cas du SiC ou du diamant, substrat ultime pour les applications hyperfréquences de puissance, car ces matériaux sont beaucoup plus durs et de ce fait, leur amincissement est bien plus difficile à réaliser. La solution de l'utilisation du substrat AlN est également attractive pour sa bonne conductivité thermique et pour son excellente résistivité. Elle est cependant écartée car de précédents travaux ont mis en évidence que la rugosité inhérente à ce substrat était un obstacle au bon déroulé du procédé de thermocompression [59]. Une fabrication de diodes Schottky reportées sur SiHR constituera un premier jalon au développement de cette approche, tout en laissant la possibilité de la reproduire sur d'autres substrats encore plus performants à l'avenir.

1.4.4 Objectifs de ce travail

Les différents éléments exposés tout au long de ce chapitre nous permettent maintenant de définir quels sont nos objectifs. D'une part, l'entreprise LYTID souhaite étendre sa gamme de produits avec un premier étage de source de multiplication de fréquence à 150 GHz. D'autre part, le groupe de recherche ANODE de l'IEMN, qui possède une grande expérience de la technologie III-V des composants hyperfréquences (GaAs, InP, III-Sb, III-N), s'intéresse particulièrement aux applications THz et aux principes de génération de puissance par multiplication. Enfin, le pôle instrumentation du LERMA se consacre à la réalisation d'instruments scientifiques à destination du secteur spatial, en réalisant l'intégration de composants réalisés dans des centrales de technologies externes.

Le premier point sera la réalisation à l'IEMN de diodes Schottky GaAs planaires sur substrat GaAs pour se réappropriier et maîtriser suffisamment cette technologie, de manière à disposer de composants de référence fiables pour la suite notre travail. Cette fabrication sera également l'occasion de fabriquer des composants présentant différentes longueurs d'anodes pour réaliser une étude expérimentale sur son impact sur la résistance série du composant.

Ce procédé sera mis en œuvre une deuxième fois afin de réaliser une barrette de diodes, pour répondre aux besoins de l'entreprise. Dans ce contexte, la Figure 1.21 montre la conception d'un multiplicateur doubleur effectuée par le LERMA. Ce dernier, qui possède une grande

expertise sur l'élaboration de ce type de dispositif, a également fixé les paramètres géométriques des diodes utilisés pour la barrette de diode visible sur la Figure 1.21a. Enfin, la Figure 1.21b montre un schéma illustrant l'intégration de cette barrette sur le circuit en quartz, ainsi que son incorporation dans un boîtier guide d'ondes également conçu par leurs soins.

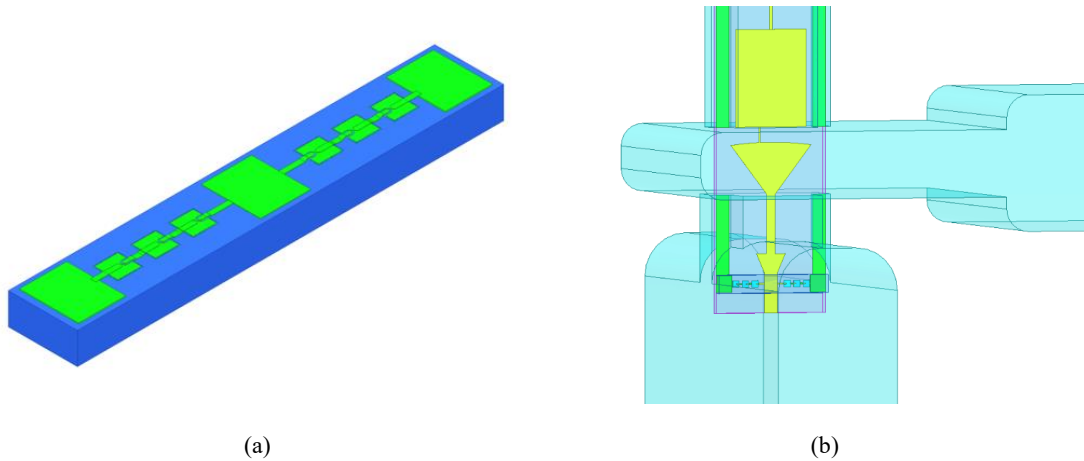


Figure 1.21 : Multiplicateur doubleur 75-150 GHz conçu par le LERMA, (a) schéma de la barrette de diodes, (b) schéma de l'intégration de la barrette sur le circuit en quartz et du montage dans le bloc de guide d'ondes.

La Figure 1.22 montre les performances simulées par le LERMA pour le multiplicateur doubleur. À 150 GHz, l'efficacité de conversion de celui-ci a été estimée à 29 %, ce qui conduit à une puissance de sortie prévue de 115 mW avec 400 mW à l'entrée. Cette conception a été réalisée sur la base d'un commun accord quant au dopage de la couche active à $1.10^{17} \text{ cm}^{-3}$ pour les futures croissances épitaxiales. Les paramètres des diodes qui seront réalisées étant encore inconnues au moment de cette conception de multiplicateur doubleur, ces simulations sont réalisées sur la base d'une règle empirique où le produit $R_s C_{j0}$ peut être fixé à $120 \Omega \cdot \text{fF}$ [60], [61], de manière à obtenir une estimation des performances. Enfin, notons que ces dernières ont été simulées en prenant en considération une tension de polarisation inverse totale de -12 V.

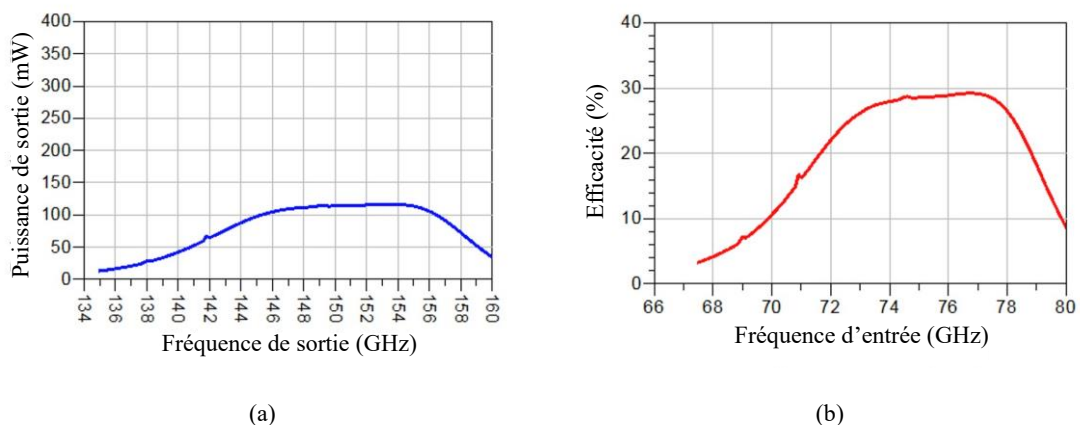


Figure 1.22 : Performances simulées pour le multiplicateur doubleur conçu par le LERMA, (a) puissance attendue sur la bande 135-150 GHz pour une puissance d'entrée de 400 mW, (b) efficacité de conversion simulée sur l'ensemble de la bande d'entrée.

Enfin, le deuxième volet de ce travail sera l'optimisation des performances thermiques d'une diode Schottky unitaire. En effet cela représente, pour les applications de multiplication de fréquences un enjeu primordial afin de maintenir une efficacité de conversion optimale, et donc une puissance de sortie à son maximum. Cela est d'autant plus vrai pour une potentielle réalisation d'un premier étage de source Schottky à 150 GHz, car c'est celui qui est soumis à la plus forte puissance. Une efficacité dégradée sur le premier étage se répercuterait alors sur l'ensemble de la chaîne. L'optimisation thermique pourrait également constituer un gain de fiabilité de fonctionnement appréciable par l'augmentation de la durée de vie des composants, ce qui est intéressant pour le secteur spatial embarqué. Dans ce contexte, nous avons décidé le développement et l'étude d'un nouveau procédé de fabrication de diodes Schottky, qui présente la particularité de reporter les composants sur un substrat avec une conductivité thermique trois fois supérieure au GaAs : le SiHR. Ce procédé s'effectuera par thermocompression Au/Au, dont le principe à mettre en œuvre est visible sur la Figure 1.23.

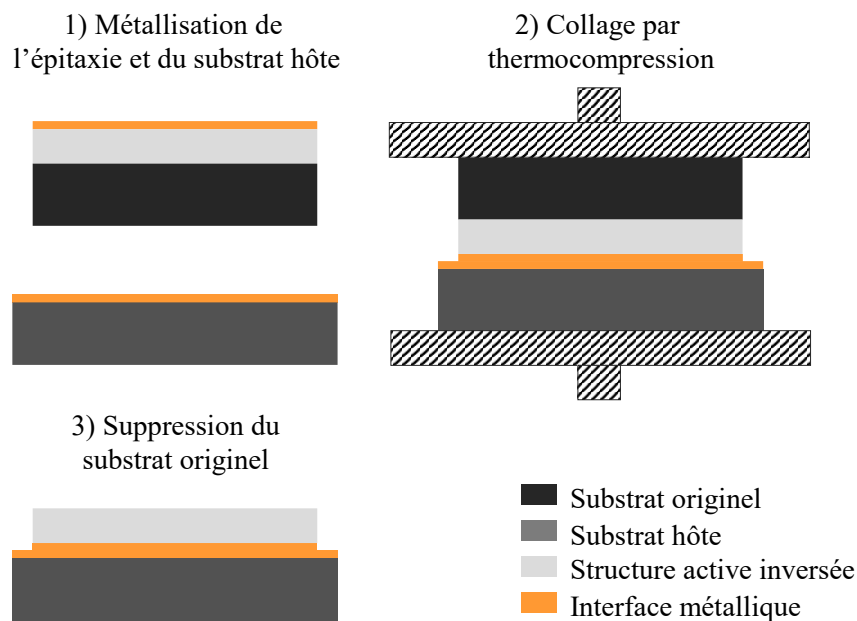


Figure 1.23 : Procédé de thermocompression à mettre en œuvre pour la réalisation des diodes Schottky reportées.

Il s'agira de définir les paramètres de collage et de développer un procédé fiable pour retirer le substrat originel après report. Il faudra également déterminer une structure épitaxiale adaptée aux contraintes imposées par ce type de procédé.

Enfin les différents composants réalisés seront caractérisés de manière électrique et thermique, de façon à en extraire les facteurs de mérite. Dans un deuxième temps, il faudra également vérifier, pour les composants planaires sur GaAs, l'impact de la longueur de l'anode sur la résistance série. Et pour finaliser notre étude, nous devons estimer le potentiel bénéfique du report de substrat sur les caractéristiques des composants quasi-verticaux, notamment l'éventuelle diminution de la résistance série ou l'amélioration du comportement thermique des diodes.

2 Technologie

Nous avons eu l'occasion dans le premier chapitre de définir le domaine THz et de dresser un état des lieux de ses principales applications ainsi que des besoins qui y sont associés. Ces derniers peuvent se résumer à la problématique de disponibilité des sources qui, même si elles existent et ont été très largement étudiées, restent encore aujourd'hui difficiles d'accès. Le secteur de l'instrumentation scientifique spatiale, et des sources à l'état solide au sens large, ayant particulièrement retenu notre attention, c'est naturellement que nous nous sommes tournés vers la technologie de génération THz que constitue les multiplicateurs de fréquence. La partie active de ces dispositifs s'appuie sur un composant en particulier : la diode Schottky. Un descriptif synthétique de son fonctionnement et de ses facteurs de mérite est proposé dans le premier chapitre. La gamme de fréquences ciblée se situe à la frontière basse du domaine THz, à 150 GHz. Cet objectif, au demeurant relativement humble au regard des écrits disponibles dans la littérature, permettra cependant de poser un premier jalon scientifique et technologique atteignable à court terme, tout en répondant aux besoins de l'entreprise dans ce contexte de recherche appliquée au milieu industriel. C'est la raison pour laquelle nous avons fait le choix de retenir la filière GaAs pour sa maturité, la disponibilité de matériau d'excellente qualité cristalline, ainsi que pour capitaliser sur l'expérience et la maîtrise disponible à l'IEMN dans la mise en œuvre des procédés de fabrication de dispositifs III-V.

Ce deuxième chapitre est divisé en trois parties et se focalisera sur le volet technologique. C'est-à-dire le développement et la mise en œuvre des procédés conduisant à la fabrication de différentes itérations de diodes Schottky GaAs. Ces aspects ont représenté la part dominante de ces travaux de recherche. Nous détaillerons les spécificités ainsi que l'objectif recherché propre à chaque fabrication.

Nous expliciterons dans la première partie de ce chapitre la démarche qui a été la nôtre afin d'élaborer un procédé de fabrication de diodes Schottky GaAs sur leur substrat de croissance originel de GaAs. Nous commencerons par préciser la définition des structures épitaxiales. Puis nous aborderons l'optimisation des briques technologiques fondamentales dans la réalisation de ces composants, telles que l'obtention de contacts ohmiques de faible valeur, ainsi que la gravure contrôlée des épitaxies. Ces briques seront assemblées pour former un procédé de fabrication cohérent, et celui-ci, mis en œuvre de bout en bout, mènera à la réalisation de diodes Schottky GaAs sur plaquettes destinées à de multiples caractérisations. On notera que ce procédé, que nous avons souhaité dès le départ le plus simple possible, apporte un élément peu fréquent susceptible d'intéresser la communauté : l'optimisation du contact ohmique par l'incorporation dans la structure épitaxiale d'une couche avec une faible hauteur de bande interdite d'InGaAs.

La deuxième partie portera sur la fabrication d'un composant de type flip-chip destiné à la réalisation d'un doubleur de fréquence à 150 GHz. Le procédé mis au point au cours de la fabrication précédente a été optimisé et réitéré avec des conceptions de doubleurs de fréquence de type flip-chip, aussi appelés barrette de diodes, dont la conception a été effectuée au LERMA. Dans ce cas, il ne s'agit plus ici de réaliser de simples composants sur plaquettes, mais bien de passer à l'étape supérieure, avec de véritables puces découpées ayant vocation à être intégrées dans un système concret et opérationnel. Cette fabrication représente un challenge technologique notable et requiert rendement et fiabilité. Elle s'appuie sur l'expérience acquise et la prise en considération des difficultés rencontrées lors de la fabrication précédente. Au plan technologique, cette fabrication présente des aspects spécifiques et notamment un certain nombre d'étapes à haut risques, telles que l'amincissement mécanique du substrat en face arrière, ainsi que la libération et la manipulation des puces au cours de leur conditionnement ainsi que de leur intégration en boîtier guide d'ondes par nos collègues du LERMA.

La troisième et dernière partie de ce chapitre traitera de la réalisation de diodes Schottky de technologie plus innovantes. Il s'agit toujours de diodes GaAs, mais d'une topologie différente. Celles-ci ne sont plus planaires mais quasi-verticales, et transférées sur un substrat hôte à plus haute conductivité thermique que le substrat de croissance originel de GaAs. Le SiHR semble être un candidat idéal, car celui-ci présente l'avantage d'être disponible à faible coût et bénéficie d'une conductivité thermique trois fois supérieure au GaAs. Cette deuxième fabrication reprendra une partie des briques technologiques des précédentes fabrications, tout en incluant les spécificités propres au report de substrat et la plus marquante d'entre elles est le collage par thermocompression Au/Au. Bien que cette approche de transfert de couches minces de semiconducteur sur un substrat hôte par le biais d'un joint métallique soit, à notre connaissance, inédite dans le cas de la diode Schottky GaAs, ce principe a déjà prouvé son efficacité. À l'IEMN, il a déjà permis la réduction drastique de la résistance thermique d'une couche active de transistor bipolaire à hétérojonction (TBH) lorsque celle-ci a été transférée sur SiHR [62]. À ce moment-là, la résistance thermique était la plus basse jamais rapportée pour un TBH. Ce concept a également été démontré à l'IEMN pour les dispositifs photoniques THz, à savoir des photodiodes UTC, également transférées sur SiHR [63]. Nous avons noté que ce composant délivrait une puissance de sortie à 300 GHz, trois fois plus élevée que sa variante standard et avec une efficacité rapportée plus élevée. Notre objectif, lors de la fabrication de ces diodes Schottky GaAs reportées sur substrat SiHR, sera donc de réduire efficacement la résistance thermique, comme pour les variantes reportées des TBH et des UTC, afin d'obtenir de nouveaux records de performances, et notamment d'accroître la tenue en puissance des composants.

2.1 Fabrication des diodes Schottky GaAs sur substrat GaAs

Bien que les premières diodes Schottky GaAs planaires sur substrat GaAs aient été réalisées au début des années 1990 [64] et que cette technologie s'appuie en grande partie sur les procédés des filières III-V aujourd'hui très matures, à l'IEMN comme ailleurs, elle n'en est pas pour autant plus aisée à prendre en main et à mettre en œuvre. C'est encore plus vrai dans le contexte qui est le nôtre, qui n'est pas uniquement académique, et où les composants réalisés sont amenés à court terme à être intégrés dans un système opérationnel, voire à fonctionner en milieu industriel. Le cahier des charges de cette démarche se doit alors d'être : qualité, rendement et reproductibilité technologique. C'est la raison pour laquelle nous avons décidé que le point de départ de ce travail sera une fabrication de diodes GaAs sur substrat GaAs. Cela permettra d'acquérir suffisamment de savoir-faire pour considérer une prochaine fabrication, une partie active de multiplicateur de fréquence, celle-ci étant plus complexe. Cette première fabrication présentera également l'intérêt de constituer un point de référence et de comparaison avec la technologie des diodes reportées sur SiHR.

2.1.1 Définition des structures épitaxiales

La densité de dopage utilisée pour la couche n^- d'une diode Schottky a un impact majeur sur les propriétés d'un contact métal-semiconducteur, dans la conception d'un multiplicateur de fréquence. Il est nécessaire que le dopage soit suffisamment élevé afin de ne pas pénaliser la résistance série des diodes, ce qui aurait un effet négatif sur l'efficacité de conversion. Il faut également que celui-ci soit modéré pour que le composant ait une tension de claquage acceptable [65]. La densité de dopage utilisée dépend également de la surface de l'anode. On aura tendance à doper plus fortement la couche n^- des diodes Schottky pour réaliser des multiplicateurs au-delà du THz, cela pour contrebalancer l'augmentation de la résistance amenée par la diminution de la surface de l'anode. Des valeurs allant jusqu'à $5 \cdot 10^{17} \text{ cm}^{-3}$ ont été rapportées dans ce contexte [66], [67]. Les paramètres d'épaisseur de couche n^- , de dopage, de surface d'anode ainsi que de tension de polarisation inverse optimale sont interdépendants. En modifier un revient à déplacer l'optimum des autres. Par un procédé de simulation itératif, il est tout à fait envisageable pour une surface d'anode fixée par exemple à $50 \mu\text{m}^2$, de déterminer une épaisseur et un dopage de couche n^- afin d'obtenir l'efficacité de conversion attendue par le concepteur. Dans notre cas, nous avons fait le choix de fixer l'épaisseur de couche n^- à 350 nm ainsi que son dopage à 10^{17} cm^{-3} , qui sont des valeurs de référence dans la littérature pour des multiplicateurs doubles présentant une fréquence de sortie en dessous des 200 GHz [22], [68]. Ce choix a été fait préalablement à ces travaux avec nos collègues du LERMA de manière à initier la croissance des épitaxies dès que possible et constitue une base d'étude solide pour procéder à la conception des composants.

Les caractéristiques de la couche n^+ que nous avons retenues sont quant à elles aussi conventionnelles pour cette application. Le niveau de dopage de la couche n^+ GaAs le plus fréquemment utilisé est de l'ordre de $5.10^{18} \text{ cm}^{-3}$ [68]. Le savoir-faire interne au laboratoire sur la croissance des matériaux III-V nous permet de disposer d'un dopage de $1.10^{19} \text{ cm}^{-3}$ sur une épaisseur de 200 nm. Cette densité de dopage extrêmement élevée pour du GaAs de type n devrait se traduire par une amélioration appréciable des caractéristiques du contact ohmique.

Ayant défini la nature et les caractéristiques des deux couches actives du composant, nous avons également besoin d'y introduire, pour des raisons opérationnelles, des couches constituées du ternaire $\text{Ga}_{0.51}\text{In}_{0.49}\text{P}$ accordé en maille sur GaAs. Ces épitaxies sont en effet destinées à être structurées par gravure humide. La grande majorité des solutions de gravures humides utilisées dans les procédés III-V présentent une sélectivité quasi infinie entre les matériaux phosphorés et arséniés. C'est sur ce principe que ces couches dites *d'arrêt* permettent de limiter intentionnellement une attaque chimique sur une ou plusieurs couches définies. L'utilisation de ces couches d'arrêt permettra un contrôle strict des gravures humides, assurant ainsi reproductibilité et fiabilité. Ces dernières garantiront une rugosité très faible de la couche inférieure en fin d'attaque, permettant ainsi de réitérer les étapes de gravures qui suivront de manière optimale. Une couche d'arrêt en GaInP est positionnée entre les couches GaAs n^- et n^+ pour un contrôle précis de la gravure de la première couche. La seconde est placée entre la couche tampon de début de croissance et la couche n^+ pour contrôler la gravure finale d'isolation, cela afin d'éviter une gravure trop profonde du substrat de GaAs semi-isolant. En effet, ne pas prendre cette précaution aurait pour conséquence d'augmenter inutilement l'épaisseur totale du composant et complexifierait alors la réalisation des ponts à air.

Enfin, nous avons incorporé à notre structure épitaxiale une fine couche d'InGaAs sur la couche n^+ pour optimiser les caractéristiques du contact ohmique du composant. Cette technique couramment utilisée dans les procédés de fabrication de TBH de la filière InP permet la réalisation de contacts ohmiques présentant une résistance de contact extrêmement faible [69]. Cela n'est possible que dans le cadre d'une croissance pseudomorphique 2D, où la croissance d'épaisseurs importantes n'est possible qu'en accord de maille, et notamment, dans le cas de l'InGaAs sur substrat InP. Nous avons alors envisagé d'appliquer ce principe sur la structure de nos diodes Schottky. Compte tenu du désaccord de maille entre GaAs et InGaAs, il sera envisageable de n'en faire croître qu'une épaisseur très limitée de quelques dizaines d'angströms avec un taux d'indium restreint, sans toutefois dépasser l'épaisseur critique. Nous avons alors entrepris une série d'expérimentations de croissance de couches minces d'InGaAs sur substrat GaAs par MBE (Molecular beam epitaxy), en collaboration avec l'équipe EPIPHY de l'IEMN.

Les premiers essais de croissance sur GaAs, d'une couche d'InGaAs de 75 Å d'épaisseur et présentant un taux d'indium graduel de 8 % vers 50 %, ont montré par contrôle RHEED, que nous obtenions une relaxation complète de la couche bien avant la fin de la croissance.

Quand bien même cette couche désordonnée présenterait un avantage sur la réalisation d'un contact ohmique aux caractéristiques avantageuses par rapport à du GaAs, nous ne pouvons pas dans notre cas tolérer une couche défectueuse à ce stade de la croissance de notre structure. Il n'est effectivement pas envisageable d'effectuer la croissance de la couche de GaAs n⁻ de diodes sur une couche d'InGaAs présentant un taux élevé de dislocations, car cela modifierait drastiquement les propriétés de transport électronique au sein de celle-ci.

Une nouvelle campagne d'essais de croissance d'InGaAs sur GaAs a permis d'obtenir un matériau de bonne qualité en diminuant l'épaisseur de la couche. C'est ainsi que nous avons convergé vers une épaisseur d'InGaAs de 50 Å, mais ici avec un taux d'indium de 20 % au départ de la croissance et en l'augmentant graduellement jusqu'à 50 %. En effet, la croissance d'une couche d'aussi faible épaisseur est très rapide, environ une minute, ce qui impose de diminuer le différentiel du taux graduel d'indium. La structure finale retenue pour les futures fabrications de diodes Schottky GaAs sur substrat GaAs est exposée sur le Tableau 2.1.

Épaisseur (Å)	Matériau	Dopage (cm ⁻³)	Description
3500	GaAs	1.10 ¹⁷	Couche Schottky
200	GaAs	5.10 ¹⁸	Transition de dopage
200	Ga _(0,51) In _(0,49) P	4.10 ¹⁹	Couche d'arrêt
50	In _(0,2→0,5) Ga _(0,8→0,5) As	4.10 ¹⁹	Couche ohmique
2000	GaAs	1.10 ¹⁹	Couche ohmique
200	Ga _(0,51) In _(0,49) P	NID	Couche d'arrêt
500	GaAs	NID	Couche tampon de lissage
Substrat	GaAs semi-isolant		

Tableau 2.1: Structure épitaxiale retenue pour la technologie des diodes Schottky GaAs sur substrat GaAs.

2.1.2 Structuration des épitaxies par gravure humide

Nous allons à présent aborder le développement et la définition du procédé de fabrication de notre composant. Bien qu'il y ait plusieurs approches envisageables, certaines étapes clés sont incontournables dans sa réalisation :

- La structuration des épitaxies, par gravure des mesas des couches de GaAs n^- et n^+ ;
- La formation des électrodes, déposées par évaporation de séquences de métaux dédiées aux contacts Schottky et ohmiques ;
- La réalisation des connexions extérieures du composant : les accès et les ponts à air.

Pour structurer les couches de nos épitaxies, le choix de l'utilisation d'un procédé de gravure humide s'est imposé naturellement pour sa simplicité de mise en œuvre. Historiquement, il s'agit du procédé de référence pour graver les matériaux III-V et en particulier le GaAs. Il reste encore très utilisé de nos jours [70], [71]. Une synthèse très complète des différentes solutions de gravure humide envisageables pour les matériaux les plus utilisés en micro-électronique est présentée dans [72].

Le fonctionnement de ces procédés repose sur des mécanismes chimiques et électroniques d'oxydo-réduction détaillés dans [73] et [74]. Ceux-ci présentent l'avantage de ne pas endommager la structure cristalline de surface des matériaux, comme cela peut potentiellement être le cas avec des procédés de gravure sèche, où des phénomènes d'amorphisation de la surface ou d'incorporation d'ions peuvent se produire. Il est absolument essentiel dans notre cas de garantir la qualité cristalline du matériau, notamment au niveau de l'interface métal-semiconducteur et des flancs de gravures du mesa de la couche Schottky, pour ne pas générer des courants de fuite parasites. Il serait techniquement envisageable de développer ou d'optimiser un procédé de gravure sèche adapté au GaAs provenant de la littérature, qui est très fournie à ce sujet, et où ces démarches de réduction des défauts ont été entreprises depuis longtemps [75]. Nous considérons cependant que cela représente un défi technologique trop complexe dans le cadre de ce travail. Nous avons alors fait le choix de l'utilisation d'un procédé de gravure humide. Ces procédés ont cependant un inconvénient majeur : ils présentent pour la plupart d'entre eux un caractère isotrope lors de la gravure des matériaux III-V. C'est à dire que la gravure du matériau considéré présente un caractère hétérogène suivant les différents plans cristallins. Cela se traduit par l'apparition des facettes du cristal et de vitesses de gravure variables suivant celles-ci. Cela n'est pas rédhibitoire dans notre cas, compte tenu des épaisseurs relativement faibles de notre structure, et de l'ordre de grandeur des dimensions des mesas à réaliser, qui sont de quelques microns pour les plus petits d'entre eux.

Lors de l'attaque chimique d'un matériau III-V, la nature du facettage ainsi que la vitesse de gravure obtenue sont déterminées par différents paramètres, comme les agents de gravure utilisés, ainsi que leur concentration. Cela peut compliquer fortement la réalisation des masques

de lithographie, car il est nécessaire de tenir compte des plans cristallins du GaAs qui généreront des flancs rentrants, sortants ou bien rectilignes suivant l'orientation cristalline de ce dernier lors de la gravure des mésas. Pour concevoir efficacement un masque destiné à être utilisé pour une gravure humide, il est fondamental d'avoir une idée précise de la solution de gravure qui sera employée. La concentration et la température de la solution, ainsi que l'alignement des motifs et formes géométriques du masque de gravure par rapport aux plans cristallins du matériau, ont un impact déterminant sur le résultat.

Dans la littérature, des méthodes sont disponibles pour anticiper la nature des facettes obtenues pour certains procédés de gravure humide [76]. Compte tenu de tous les paramètres mentionnés plus haut et des facteurs technologiques impondérables, il est plus réaliste, en pratique, d'expérimenter empiriquement différents agents de gravure dans différentes concentrations, jusqu'à obtenir le résultat désiré. Le procédé mis en œuvre devra également se montrer compatible avec les étapes technologiques qui devront intervenir dans la suite de la fabrication des composants. Il conviendra également de bien fixer tous les paramètres expérimentaux afin d'assurer la reproductibilité des résultats.

Les premiers essais technologiques réalisés dans ce travail ont donc consisté à évaluer les différentes options envisageables pour graver par voie humide la première couche de notre structure épitaxiale : la couche active de GaAs n^- . Il s'agit d'une des étapes les plus critiques de la fabrication. Pour ce faire, il a été nécessaire dans un premier temps de définir notre masque de gravure. Précisons que l'utilité de ce dernier est de permettre de différencier les zones à supprimer de la couche considérée de celles à conserver. Dans un souci de simplicité, la première idée a été d'utiliser l'électrode supérieure du composant, le contact Schottky, comme masque de gravure. Celui-ci est constitué d'une séquence de métallisation des éléments Ti/Pt/Au d'épaisseurs respectives de 25/25/350 nm.

Dans un procédé de fabrication standard, cette gravure serait effectuée à l'aide d'un masque de résine lithographié. La raison pour laquelle nous avons décidé d'utiliser le contact Schottky comme masque de gravure est que l'emploi d'un masque de résine présente l'inconvénient d'un procédé en plusieurs étapes comme montré sur la Figure 2.1a : la gravure de la couche active puis le dépôt du contact Schottky. Cela implique des actions et des difficultés supplémentaires. La méthode que nous avons retenue pour ces premiers essais est visible sur la Figure 2.1b et présente l'avantage de réduire le nombre d'étapes, tout en limitant les probables contaminations provoquées par la présence de résine à l'interface métal-semiconducteur de notre composant.

Notons qu'avant toute gravure, les échantillons sont désoxydés puis rincés à l'eau distillée de manière systématique, dans le but de supprimer l'oxyde natif du GaAs, ou d'éliminer en grande partie les contaminants de surface, et ainsi permettre un départ de l'attaque de manière homogène sur toute la surface. Une solution d'acide sulfurique diluée est employée pendant une minute, et plus précisément d' H_2SO_4/H_2O dans les proportions 1/40.

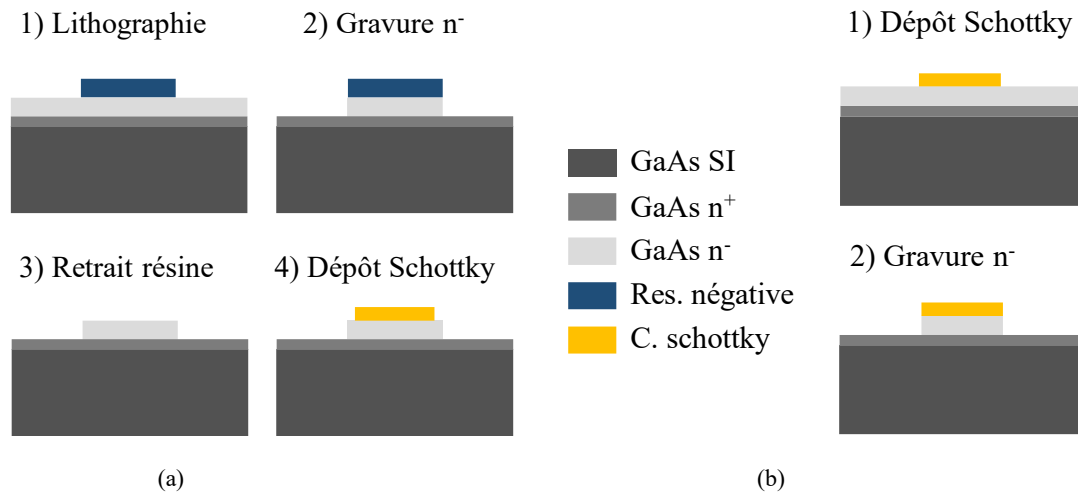


Figure 2.1 : Procédés de gravure envisagés, (a) masque de résine négative par lithographie électronique, (b) utilisation de l'électrode Schottky comme masque.

Le premier agent de gravure humide ainsi évalué pour structurer la couche active des diodes a été l'acide orthophosphorique, de formule H_3PO_4 , combiné avec du peroxyde d'hydrogène et dilué dans de l'eau. Il s'agit d'une des solutions les plus utilisées dans la technologie des procédés III-V. La solution $H_3PO_4/H_2O_2/H_2O$ a été utilisée dans les proportions 5/1/40 et pendant 2 minutes et 30 secondes. Cette dilution est connue au laboratoire pour présenter une vitesse d'attaque d'environ 150 nm/min pour le GaAs. Le résultat obtenu est visible sur la photo MEB en Figure 2.2 et nous pouvons aisément constater qu'il n'est pas à la hauteur de nos attentes. La sous-gravure du semiconducteur est supérieure à 3 μm par rapport au masque, ce qui n'est pas acceptable. En effet, cela n'est pas utilisable en l'état car le contact risquerait de s'effondrer sur la couche inférieure et conduirait à un court-circuit du composant. Il y a de toute évidence une réaction indésirable qui se produit ici et qui conduit à une accélération très importante de la vitesse de gravure. Il pourrait s'agir d'une réaction de catalyse avec le masque de métal. Nous pensons que celle-ci pourrait être minimisée, voire supprimée, en utilisant d'autres solutions de gravure. Notons qu'ici la couche d'arrêt de GaInP a très bien joué son rôle, puisque la solution d'attaque n'est pas passée au travers de celle-ci, preuve que la sélectivité est suffisante. Il s'agit d'un indicateur encourageant quant à la qualité des structures.

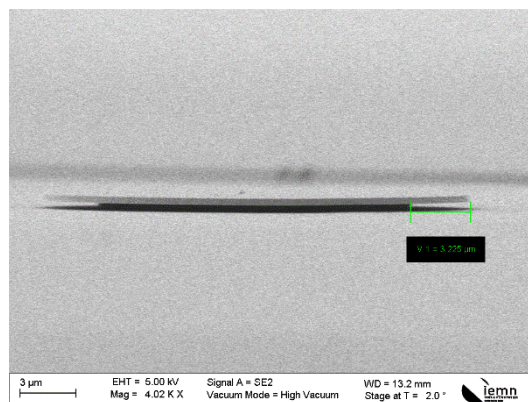


Figure 2.2 : Gravure $H_3PO_4/H_2O_2/H_2O$ (5/1/40), 2m30s, le masque utilisé est la métallisation de Schottky.

Nous avons alors employé une autre solution d'attaque à base d'acide sulfurique, $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ dans les proportions 1/1/50. L'expérience au laboratoire nous indique que la vitesse de gravure reste la même que pour la solution précédente. Le résultat obtenu est très similaire à celui de la gravure avec H_3PO_4 , avec une sous-gravure bien plus importante que ce qu'elle devrait être. D'autres options sont donc envisagées avec de nouveaux agents de gravure.

Une nouvelle solution d'attaque expérimentée est l'acide citrique. De formule $\text{C}_6\text{H}_8\text{O}_7$, il peut être combiné avec H_2O_2 pour graver les matériaux arséniés. Il est connu et apprécié dans la réalisation de gravures sélectives entre AlGaAs et GaAs [77]. Il présente aussi la caractéristique de ne quasiment pas affecter les matériaux phosphorés, ce qui rend cette solution compatible avec notre structure [78]. Nous avons utilisé la même préparation que dans [77] afin de conserver la même vitesse d'attaque qui est d'environ de 100 nm/min. L'élaboration de cette solution est néanmoins plus complexe que les précédentes. Elle consiste à dissoudre 1,5 g d'acide citrique monohydrate pour 100 ml d'eau distillée et d'ajouter du peroxyde d'hydrogène à hauteur de 2 % du volume total. Nous obtenons alors une solution qui présente un pH d'environ 2. La vitesse de gravure du GaAs est légèrement conditionnée par le pH de la solution. Il est alors nécessaire de tamponner cette dernière avec de l'ammoniaque, de formule NH_4OH , pour neutraliser en partie le caractère acide de l'acide citrique, et tendre ainsi vers un pH 6,5. Les premiers résultats obtenus par la gravure à l'acide citrique sont visibles sur la Figure 2.3a. L'échantillon a été plongé dans la solution pendant 6 minutes et 20 secondes. Le résultat met en évidence un comportement complètement différent par rapport aux solutions de gravure précédemment expérimentées. On note l'absence de sous-gravure, ce qui pourrait faciliter la définition des masques. Un défaut est cependant constaté, le procédé de gravure semble s'arrêter, ou devenir très lent, avant l'attaque complète de la couche. Les essais suivants employant cette solution ont montré des résultats trop variables et peu qualitatifs avec, dans certains cas, des problèmes d'homogénéité lors de l'amorce des gravures, bien que les échantillons aient été préalablement désoxydés. Puis, un essai de gravure d'une durée exagérément longue de 15 minutes a été réalisé, et a montré que la vitesse de gravure chute fortement après un certain temps, conduisant à une gravure incomplète de la couche.

Ces essais de gravure réalisés avec cette solution d'acide citrique tamponnée avec de l'ammoniaque ont attiré notre attention sur ce dernier. La littérature faisant état de l'utilisation de solutions à base d'ammoniaque pour graver le GaAs est abondante [72], [79], [80]. Nous avons alors envisagé un procédé hybride combinant ces deux systèmes de gravure distincts, en les mettant en œuvre l'un après l'autre pour effectuer la gravure de la couche n°. La première étape consiste à utiliser la solution d'attaque à l'acide citrique préparée de la même manière qu'expliqué ci-dessus, puis de finaliser l'attaque avec une solution diluée d'ammoniaque, $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ dans les proportions 1/1/100. Nous avons vérifié si cela permettait d'améliorer le résultat obtenu en Figure 2.3a, en supprimant tout éventuel matériau résiduel, comme constaté lors de l'utilisation de l'acide citrique seul. Le résultat est visible en Figure 2.3b

et montre que ce procédé a permis de bien finaliser la gravure de la couche. Il met également en évidence que la nature des facettes obtenues après une gravure humide peut-être différente, suivant les solutions employées, et cela sur un même plan cristallin, ici $0\bar{1}1$. Malgré ces résultats encourageants, nous avons décidé d'abandonner l'utilisation de l'acide citrique. Son manque de reproductibilité constaté lors des premiers essais, ainsi que sa difficulté de préparation n'en font pas un candidat suffisamment fiable pour nos fabrications.

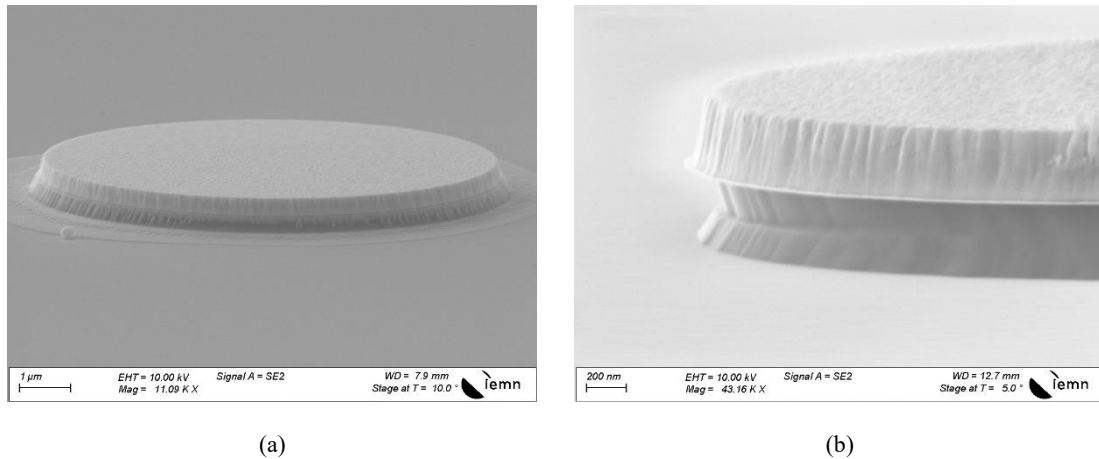


Figure 2.3 : Gravures de GaAs utilisant une solution tamponnée d'acide citrique, (a) acide citrique seul, (b) Acide citrique seul, puis deuxième attaque avec solution d'ammoniaque.

Par la suite, nous nous sommes focalisés sur l'emploi de la solution de gravure $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ dans les proportions 1/1/100, pour effectuer la gravure complète des 350 nm de GaAs avant la première couche d'arrêt de la structure. Celle-ci a immédiatement montré des résultats d'une qualité bien supérieure à toutes les autres solutions de gravure que nous avons envisagées jusqu'alors. Sa mise en œuvre est également bien plus commode que le procédé utilisant l'acide citrique évalué précédemment. La Figure 2.4 montre des résultats obtenus avec cette gravure qui, ici, a été employée avec un masque de métal. La vitesse de gravure expérimentée est d'environ 2500 Å/min. Sur le plan cristallin 011, le matériau sort de 200 nm du masque. Il rentre de 250 nm sur l'axe cristallin $0\bar{1}1$, ce qui est tout à fait acceptable.

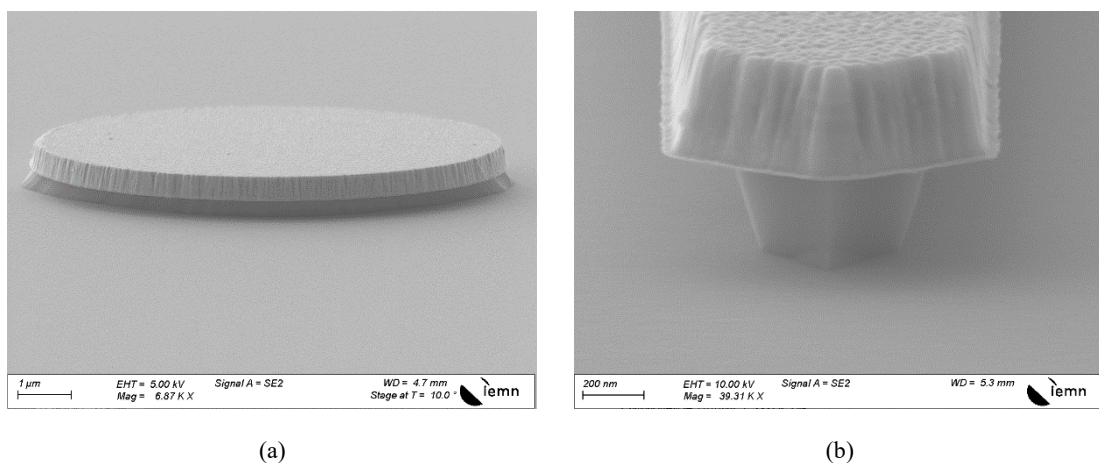


Figure 2.4 : Gravure de GaAs utilisant une solution diluée d'ammoniaque, (a) vue des flancs sortants suivant le plan cristallin 011, (b) motif de 1 µm de largeur la pour validation du profil des flancs rentrants suivant le plan cristallin $0\bar{1}1$.

Sur le motif de test présentant un masque de gravure de 1 μm de largeur, montré en Figure 2.4b, la différence entre les dimensions supérieure et inférieure du motif obtenu après gravure est d'environ 160 nm. Cela signifie que la pente du flanc de gravure rentrant, suivant le plan cristallin $0\bar{1}1$, est de 100 nm, ce qui est très faible compte tenu de l'épaisseur gravée. Nous n'avons également pas manqué de noter que le fond de gravure est ici particulièrement propre. Ce procédé est retenu et nous pouvons traiter la prochaine brique intervenant dans la réalisation des diodes, la définition du contact ohmique du composant.

2.1.3 Développement d'un contact ohmique

Pour la technologie de diodes GaAs sur substrat GaAs, nous avons cherché à optimiser une contribution de la résistance série qui est la résistance de contact du contact ohmique. Dans ce contexte, il est possible d'intervenir sur les types de métaux utilisés dans la formation du contact, ainsi que sur leurs épaisseurs [81]. Une méthode complémentaire consisterait à perfectionner la structure épitaxiale considérée. Des dispositions ont été prises en ce sens avec l'introduction d'une couche d'InGaAs qui présente une largeur de bande interdite plus petite que le GaAs. C'est sur cette couche que le contact sera réalisé. En conséquence, une étude expérimentale a été menée dans le but d'évaluer différents paramètres et de comprendre leur influence sur la résistance de contact. Nous distinguons alors deux types de contacts.

D'une part, il existe un type de contact dit *recuit*, où la séquence de métaux déposés contient un agent dopant pour le semiconducteur considéré. Ce dopant est déposé en surface avec le reste de la séquence de métallisation. Puis il est introduit dans le semiconducteur par diffusion à l'aide d'un procédé de recuit thermique rapide (RTA). En s'insérant et en s'associant avec la structure cristalline, de nouveaux composés sont formés, menant à un dopage localisé supplémentaire à l'interface.

D'autre part, il existe un autre type de contact dit *non recuit*, où la séquence de métaux est dénuée d'élément dopant. Son principe repose sur le fait que le matériau sur lequel il est réalisé présente préalablement une hauteur de bande interdite suffisamment faible, afin de permettre le passage des électrons par effet tunnel. Ce contact est alors ohmique dès le dépôt de la séquence de métaux, sans qu'aucun traitement thermique ne soit nécessaire. La littérature et le retour d'expérience sur les précédents travaux menés au sein du groupe montrent qu'il est possible d'obtenir une résistivité spécifique de contact, de $1 \cdot 10^{-8} \Omega \cdot \text{cm}^2$ pour un contact non recuit déposé sur une couche d'InGaAs de 100 nm d'épaisseur et dopée à $3,5 \cdot 10^{19} \text{ cm}^{-3}$ [82]. L'option d'un contact non recuit sera privilégiée si la filière GaAs permet la croissance d'un matériau avec une hauteur de bande interdite faible, suffisamment dopé et avec une épaisseur suffisante. Le contact recuit est utilisé par défaut dans le cas où ce n'est pas possible et pour contourner cette contrainte.

L'introduction d'un recuit impose un effort supplémentaire et apporte des contraintes technologiques avec une morphologie du contact à surveiller, ainsi qu'un stress thermique de la structure et de tous les éléments en présence sur les échantillons. Cela demande alors d'ajuster le procédé en conséquence et de prendre quelques précautions. Compte tenu de ces éléments, pour simplifier le procédé de fabrication de la diode et dans notre optique d'utiliser le contact Schottky comme masque de gravure de la couche n^- , nous optons ici pour l'utilisation d'un contact non recuit. En effet dans ce cas, le contact Schottky est réalisé en premier et il n'est pas question d'exposer l'interface métal-semiconducteur à un procédé de RTA. Nous faisons ce choix en espérant que la couche d'InGaAs ajoutée à notre structure épitaxiale se révèle suffisante pour la réalisation d'un contact non recuit aux caractéristiques satisfaisantes. Dans le cas contraire, il faudra réévaluer le procédé à mettre en œuvre. Le procédé alors envisagé dans ce contexte est explicité sur la Figure 2.5.

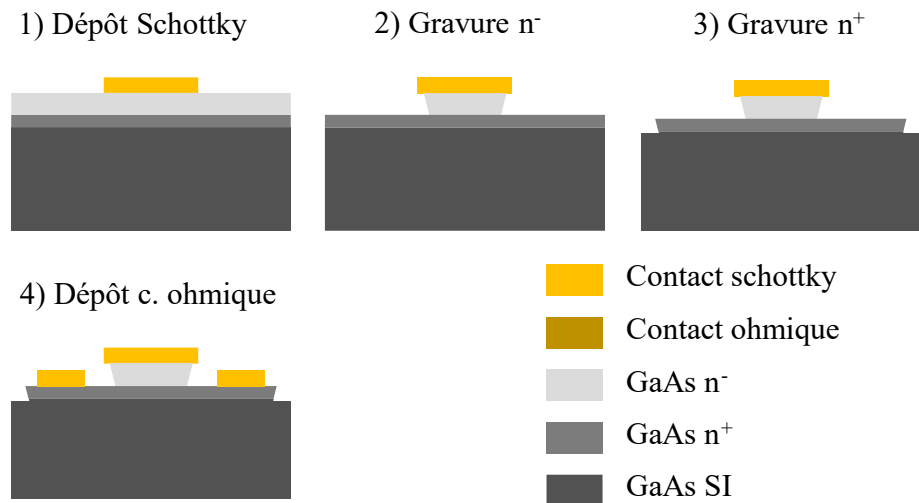


Figure 2.5 : Procédé envisagé avec contact non recuit.

Une évaluation des performances du contact ohmique non recuit avec une séquence de métaux constituée de Ti/Pt/Au a été réalisée sur nos structures. Leurs caractéristiques, extraites en utilisant la méthode TLM [83], sont disponibles dans le Tableau 2.2.

Précisons que le même contact non recuit a été expérimenté sur une autre structure disponible au laboratoire et qui est dédiée à la réalisation de transistors bipolaires TBH. Un essai de contact ohmique non recuit est alors réalisé sur une couche cap n^- d'InGaAs d'épaisseur 150 Å et bénéficiant d'un taux d'indium augmentant progressivement jusqu'à 100 %, formant ainsi une couche de surface d'InAs. Ce contact a conduit à l'obtention d'excellentes caractéristiques, avec une résistance de contact de 0,017 Ω .mm et d'une résistance spécifique de contact de $5,35 \cdot 10^{-8} \Omega$.cm². Comparons à présent ce résultat, qui est obtenu dans le cas d'une structure idéale, à la réalisation de ce type de contact avec notre structure Schottky GaAs où nous avons fait le choix d'incorporer une couche mince d'InGaAs.

Contact réalisé	Ti/Pt/Au (25/25/350 nm) : non recuit		
Matériau de contact	2500 Å GaAs $5.10^{18} \text{ cm}^{-3} \text{ Si}$	Graduel 50 Å : $\text{In}_{(0,2 \rightarrow 0,5)}\text{Ga}_{(0,8 \rightarrow 0,5)}\text{As}$ $4.10^{19} \text{ cm}^{-3} \text{ Si}$	Graduel 150 Å : $\text{In}_{(0,53 \rightarrow 1)}\text{Ga}_{(0,47 \rightarrow 0)}\text{As}$ $2 \rightarrow 5.10^{19} \text{ cm}^{-3} \text{ Si}$
R_c ($\Omega \cdot \text{mm}$)	Non ohmique	1,319	0,017
$R_{\text{carré}}$ (Ω/\square)		41,71	55,42
Lt (μm)		31,64	0,31
ρ_c ($\Omega \cdot \text{cm}^2$)		$4,18.10^{-4}$	$5,35.10^{-8}$

Tableau 2.2 : Caractéristiques obtenues lors d'expérimentations de contacts ohmiques non recuits.

La résistivité spécifique de contact mesurée de ce contact ohmique non recuit, réalisé sur la structure qui est présentée sur le Tableau 2.1, est dans un ordre de grandeur de $10^{-4} \Omega \cdot \text{cm}^2$. Cette valeur est bien au-dessus de nos attentes. En effet nous estimons que celle-ci doit être au minimum dans la gamme $10^{-6} \Omega \cdot \text{cm}$ pour être en cohérence avec nos objectifs et ainsi d'initier la fabrication de diodes avec une résistance série cohérente. La résistance de contact résultante de cette expérimentation est aussi extrêmement élevée avec $1,32 \Omega \cdot \text{mm}$. Nous notons tout de même qu'à défaut de présenter des caractéristiques suffisantes, le contact non recuit réalisé sur notre graduel d'InGaAs est bien ohmique. Nous ne pouvons pas en dire autant pour ce même contact lorsqu'il est réalisé sur un autre échantillon de GaAs dopé n^+ à $5.10^{18} \text{ cm}^{-3}$, sans la couche graduelle d'InGaAs.

Une étude complémentaire a été menée, qui consistait à intervenir sur l'état de surface de la couche d'InGaAs recevant le contact ohmique. Cela s'est traduit par différents essais de traitements de surface avec des désoxydations humides et/ou des nettoyages in-situ par plasma d'argon dans le bâti d'évaporation, intervenant juste avant le dépôt du contact. Ceux-ci n'ont jamais impacté de manière significative les caractéristiques de nos contacts réalisés dans ce contexte, avec des résistances spécifiques de contacts obtenues toujours dans cette même gamme $10^{-4} \Omega \cdot \text{cm}^2$.

Ce même contact, réalisé sur différents matériaux met ainsi en évidence l'impact qu'ont l'épaisseur et le taux d'indium de la couche quant à la formation de contacts non recuits aux caractéristiques satisfaisantes. Cela démontre aussi, malheureusement, de l'impossibilité d'utiliser ce contact ohmique non recuit dans le cadre de nos fabrications.

Après ces essais infructueux de contacts non recuits, nous optons alors pour la réalisation d'un contact ohmique recuit par RTA. C'est naturellement que nous avons sélectionné un contact basé sur un système d'eutectique AuGe, qui est historiquement un des plus utilisés de la filière GaAs. Il est en effet reconnu pour son bonne résistivité et morphologie de contact [81], [84].

Cet eutectique AuGe est très souvent associé au nickel qui présente des propriétés très intéressantes, celui-ci permet notamment d'améliorer la morphologie des contacts recuits, tout en facilitant la diffusion du germanium [85].

L'ensemble Ni/Ge/Au constitue la partie utile du contact et est complété par une séquence de Ti/Au. Ce deuxième niveau d'or jouera le rôle d'épaississement et il est intentionnellement dissocié des éléments précédents par l'emploi d'une barrière de diffusion en titane. En effet, le contact ohmique doit, de préférence, conserver une morphologie adéquate pour recevoir ultérieurement la connexion du pont à air. La séquence complète est donc : Ni/Ge/Au/Ti/Au. La température de recuit envisagée est de 400 °C pendant 40 secondes pour cet empilement [73], [86]. Après sa formation sur la structure décrite dans le Tableau 2.1, ses caractéristiques sont visibles dans le Tableau 2.3. Nous rappelons qu'il s'agit d'un recuit rapide car la température de plateau de recuit est atteinte en 7 secondes.

Contact réalisé	Ni/Ge/Au/Ti/Au (15/19,5/39/50/200 nm)			
Matériau de contact	Graduel 50 Å : In _(0,2→0,5) Ga _(0,8→0,5) As, 4.10 ¹⁹ cm ⁻³ Si			
Recuit RTA	Non recuit	400°C / 40s	400°C / 60s	420°C / 40s
R _c (Ω.mm)	Non ohmique	0,043	0,051	0,049
R _{carré} (Ω/□)		35,21	38,55	37,55
Lt (μm)		1,22	1,33	1,30
ρ _c (Ω.cm ²)		5,22.10 ⁻⁷	6,81.10 ⁻⁷	6,31.10 ⁻⁷

Tableau 2.3 : Synthèse des contacts recuits réalisés sur la structure avec une couche graduelle d'InGaAs.

Comme on pouvait s'y attendre, un tel contact n'est ohmique que s'il est recuit. Les paramètres de recuit de 400°C pendant 40 secondes ont immédiatement montré de bons résultats, avec une résistivité spécifique de contact de 5,22.10⁻⁷ Ω.cm² accompagnée d'une excellente morphologie. Cette approche de réalisation de contacts ohmiques a donc été retenue pour notre procédé de fabrication. Des variantes de ce recuit sont présentées dans le Tableau 2.3. Elles visent à vérifier si les caractéristiques du contact peuvent encore être améliorées en augmentant légèrement le temps de recuit ou la température du plateau. Ces variantes n'ont pas conduit à des résultats significativement différents. Les trois contacts réalisés présentant des caractéristiques comparables, le recuit le moins stressant pour la structure a donc été sélectionné.

Nous avons également souhaité déterminer si la présence de la couche d'InGaAs pouvait avoir une influence sur les caractéristiques d'un contact recuit. Nous avons réalisé ce même contact recuit sur une autre structure, quasiment identique à celle du Tableau 2.1, excepté que couche graduelle d'InGaAs y était absente. Les résultats sont exposés dans le Tableau 2.4.

Contact réalisé	Ni/Ge/Au/Ti/Au (15/19,5/39/50/200 nm)
Matériau de contact	2000 Å GaAs, $1.10^{19} \text{ cm}^{-3} \text{ Si}$
Recuit RTA	400°C / 40s
R_c ($\Omega \cdot \text{mm}$)	0,087
$R_{\text{carré}}$ (Ω/\square)	71,3
Lt (μm)	1,23
ρ_c ($\Omega \cdot \text{cm}^2$)	$1,07 \cdot 10^{-6}$

Tableau 2.4 : Caractéristiques du même contact recuit, réalisé sur une autre structure GaAs n^+ , sans couche d'InGaAs.

Ces résultats montrent que ce contact de Ni/Ge/Au/Ti/Au, réalisé sur GaAs n^+ , recuit à 400°C pendant 40 secondes, présente des caractéristiques satisfaisantes et similaires aux retours d'expériences disponibles dans la littérature [81], [87], [88]. Cependant, le même contact réalisé sur un graduel d'InGaAs de 50 Å d'épaisseur est plus performant, avec une résistance de contact de 0,043 $\Omega \cdot \text{mm}$, contre 0,087 $\Omega \cdot \text{mm}$ sans la présence de la couche. Ce graduel d'InGaAs, même si son épaisseur n'est pas suffisante pour réaliser un contact non recuit performant, permet tout de même d'améliorer significativement les caractéristiques du contact recuit en permettant d'obtenir une résistance de contact divisée par deux.

Les performances bien supérieures du contact ohmique recuit, mises en évidence dans le Tableau 2.3 nous imposent d'utiliser ce type de contact. Le procédé montré précédemment en Figure 2.5 est donc à reconsidérer. En effet, comme décrit dans la section 2.1.2, celui-ci utilise le contact Schottky préalablement déposé comme masque pour la gravure humide de la couche n^- . Effectuer un procédé RTA en présence du contact Schottky constituerait alors un risque d'assister à sa diffusion au sein de la couche active, engendrant une détérioration, sinon une annihilation de son caractère redresseur. Nous ne l'avons cependant pas vérifié expérimentalement. Il se pourrait cependant que cela soit tout de même possible, considérant les propriétés réfractaires de la couche de titane utilisée pour favoriser l'adhérence de ce contact et qui pourrait par la même occasion jouer le rôle de barrière de diffusion. Nous pouvons ajouter que les procédés RTA sont très brefs par définition et que notre contact Schottky pourrait hypothétiquement le tolérer. C'est un risque que nous n'avons pas souhaité prendre.

Le nouveau procédé envisagé et validé pour la fabrication de ces diodes GaAs sur substrat GaAs consiste alors à réaliser le contact ohmique et son recuit, préalablement au contact Schottky. Ce dernier ne peut donc plus être utilisé comme masque de gravure pour la couche de GaAs n^- . Nous avons décidé d'utiliser en lieu et place un masque de SiO_2 , connu pour son caractère inerte avec la plupart des solutions de gravures humides des matériaux III-V. Il sera alors nécessaire de le déposer et de le structurer pour réaliser la gravure de la couche. Cette nouvelle modification du procédé est montrée sur la Figure 2.6.

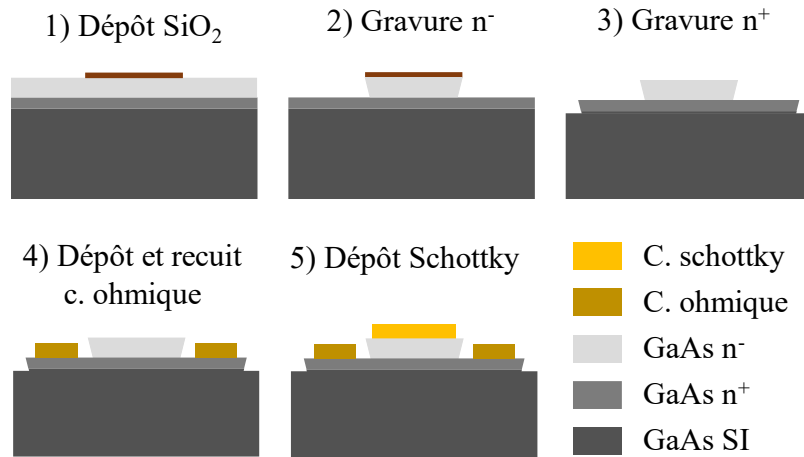


Figure 2.6 : procédé validé avec contact ohmique recuit.

Nous comprenons ici que l'utilisation d'un masque de SiO_2 pour réaliser les gravures des couches n^- et n^+ de nos épitaxies, impose nécessairement de les effectuer préalablement au dépôt du contact ohmique. En effet, le titane entre dans la composition de ce dernier et cet élément est attaqué par l'acide fluorhydrique qui sera utilisé pour supprimer les masques de SiO_2 après utilisation. En résumé, l'impossibilité d'utiliser un contact non recuit a conduit à totalement réorganiser l'enchaînement des étapes technologiques : le contact Schottky, qui était initialement prévu au commencement du procédé (Figure 2.1), constitue désormais l'une des dernières étapes dans la fabrication des diodes, après la structuration des épitaxies et la réalisation du contact ohmique recuit.

2.1.4 Séquence complète de fabrication

Les principales étapes technologiques de ce procédé sont exposées en Figure 2.7.

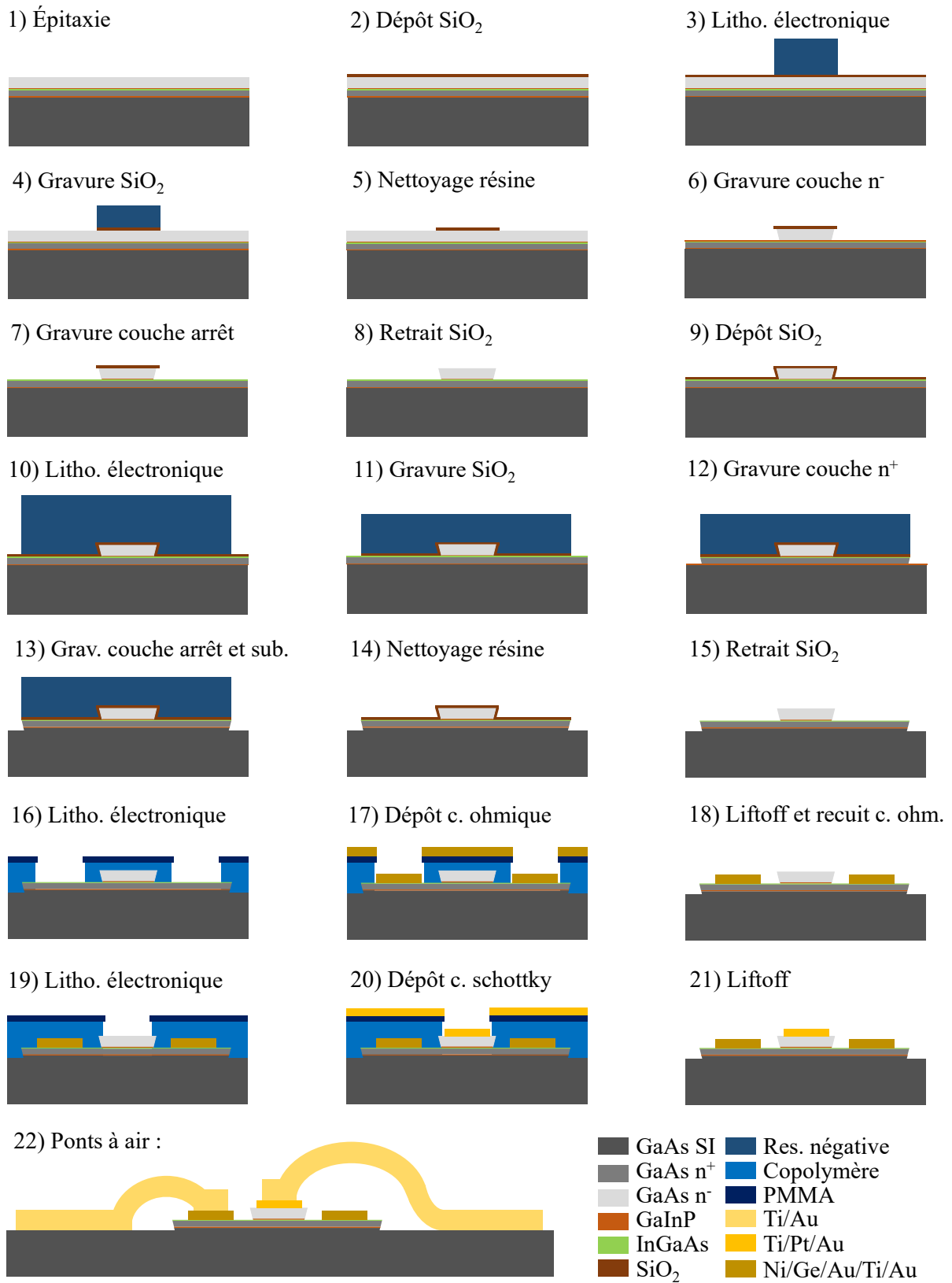


Figure 2.7 : Vue d'ensemble du procédé de fabrication de diodes Schottky GaAs.

La première étape de notre procédé de fabrication consiste à générer un niveau de marques d'alignement sur nos échantillons (non représenté en Figure 2.7). Celles-ci seront utilisées tout au long du procédé afin d'aligner les différents niveaux de lithographie électronique entre eux. Notons par ailleurs que l'intégralité des lithographies réalisées dans le cadre de ce travail sont effectuées au masqueur électronique, Vistec EBPG5000+, ceci afin de permettre un alignement à ± 20 nm entre les différents niveaux. À la précision en repositionnement est associée l'utilisation de résines qui présentent une haute résolution, permettant une excellente fidélité des dimensions réelles par rapport aux masques utilisés. Les marques d'alignement, et de manière générale les dépôts de matériaux, sont réalisées en utilisant un procédé dit *liftoff* qui met en œuvre deux couches de résines électroniques, présentant chacune une sensibilité différente au révélateur employé, générant un profil dit *casquette*. Des exemples de ce type de procédé sont visibles sur la Figure 2.7, où il est utilisé pour déposer les deux électrodes du composant. La réalisation des marques d'alignement doit répondre à plusieurs contraintes, et la qualité de leur réalisation est critique pour le bon déroulé des fabrications. Elles doivent présenter une bonne adhérence au substrat, un contraste élevé pour leur détection par le masqueur et être constituées de matériaux compatibles avec l'ensemble du procédé. Les marques que nous avons employées sont constituées d'une séquence des matériaux Ni/Pt/Au d'épaisseurs respectives de 20/25/200 nm, ce qui répond aux exigences de notre procédé.

Une couche de SiO₂ d'épaisseur 100 nm est ensuite déposée sur toute la surface des échantillons et les marques d'alignement, par PECVD. Le rôle de celle-ci sera de constituer le masque pour la gravure humide de la couche n⁻ de la diode. Un masque de résine négative d'AZnLOF2020 est ensuite réalisé en lithographie électronique sur la couche d'oxyde. Un exemple est donné sur l'image MEB visible en Figure 2.8. Notons que la couche d'oxyde est transparente pour le masqueur et ne gêne pas au bon repérage des marques d'alignement.

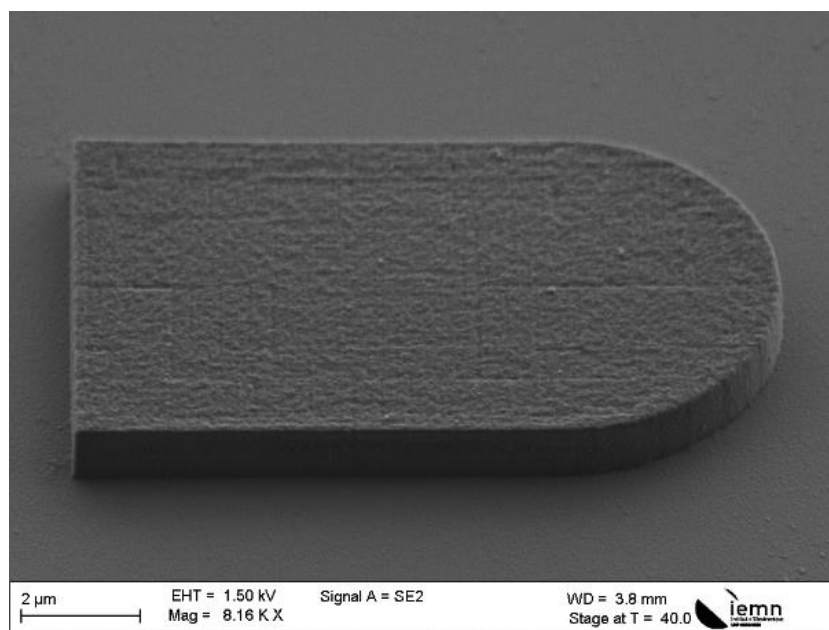


Figure 2.8 : Image MEB de lithographie électronique de résine négative sur la couche de SiO₂.

La couche d'oxyde est ensuite gravée par un procédé de gravure sèche RIE et par l'emploi du gaz SF₆. Le masque de résine négative est lui aussi affecté par la gravure. La sélectivité estimée est de 0,50. C'est-à-dire que le masque de résine est érodé d'environ 200 nm lors de la gravure d'oxyde de 100 nm. La gravure est suivie en temps réel par ellipsométrie et est stoppée manuellement quelques secondes après la détection de changement d'indice, indiquant que la couche de SiO₂ est totalement gravée. Nous avons constaté après gravure une contamination de surface visible en Figure 2.9. Nous verrons par la suite qu'il s'agit probablement de re-dépôts de résine pulvérisée. La couche de SiO₂ gravée est visible sur cette même figure à la base du motif de résine. Le flanc de résine présente également des signes de polymérisation, ce qui laisse présager qu'un nettoyage par une simple action chimique, par exemple par utilisation d'un agent de retrait dédié type *remover*, pourrait ne pas être suffisant.

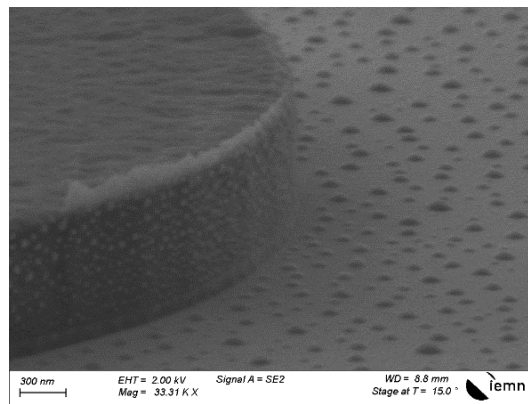


Figure 2.9 : Gravure RIE de la couche de SiO₂, flanc de résine polymérisé et contamination de surface.

Un nettoyage par plasma O₂, toujours par RIE, est effectué pour retirer le masque de résine mais cela ne permet pas d'enlever l'intégralité de celui-ci (Figure 2.10). La contamination ainsi que le reste du flanc polymérisé sur l'extérieur du motif de SiO₂ sont toujours observés. Il s'agit d'un problème classique avec l'utilisation de cette résine négative associée à la RIE. Celle-ci est pratique d'utilisation car les temps d'écritures sont modérés, compte tenu des faibles surfaces mises en jeu, mais ces résines présentent en contrepartie le désavantage d'imposer de plus lourds procédés de nettoyage pour les retirer après utilisation.

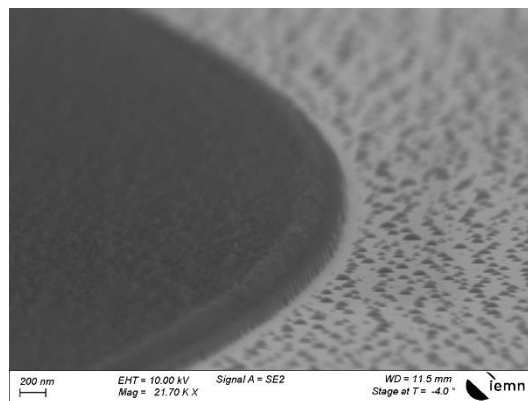


Figure 2.10 : Retrait de la résine négative après gravure RIE du SiO₂ par plasma O₂ et remover.

L'étape suivante consiste à graver le GaAs de la couche n⁻ du composant par voie humide en utilisant la solution NH₄OH/H₂O₂/H₂O (1/1/100) validée précédemment. La Figure 2.11 montre des images MEB du résultat et la nature des facettes obtenues sur les plans cristallins 011 et 0 $\bar{1}$ 1. Après cartographie de ces échantillons et étude des nombreux essais effectués, il apparait que cette gravure utilisant l'ammoniaque présente dans notre cas une très bonne reproductibilité et uniformité dans les dimensions des mesas obtenus. Le temps de gravure minimum observé visuellement est de 1 minute et 30 secondes, et 10 secondes supplémentaires sont ajoutées pour s'assurer de la bonne gravure de la couche sur l'ensemble de la surface de l'échantillon. Sur un grand nombre de motifs observés, les dimensions des flancs sortant et rentrants sur les plans cristallins 011 et 0 $\bar{1}$ 1 sont en moyenne respectivement de 200 nm et de 250 nm \pm 50 nm.

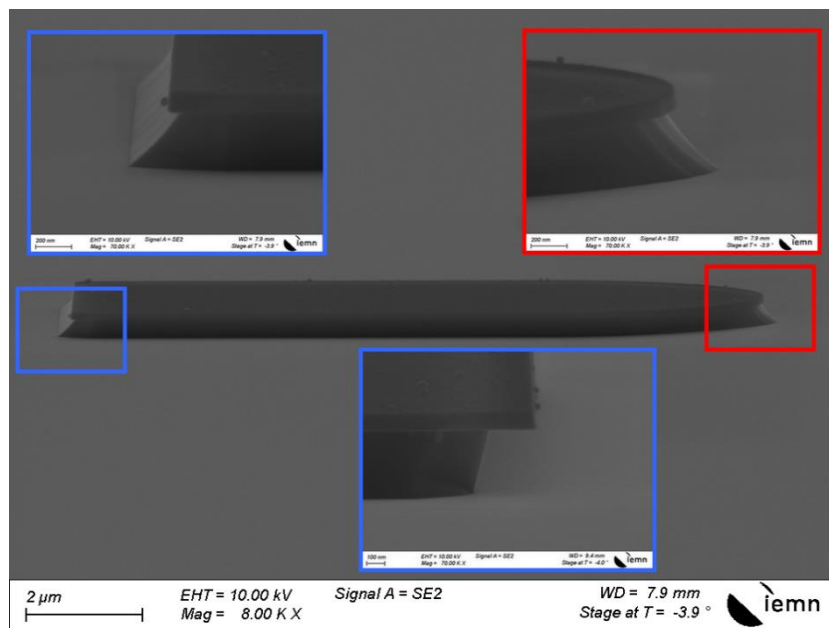


Figure 2.11 : Gravure humide du GaAs n⁻ et réalisation du mesa de diode, les extrémités latérales avec un flanc sortant suivent le plan cristallin 011 et le flanc rentrant suit le plan perpendiculaire.

Pour finaliser l'ensemble des étapes qui conduisent à la réalisation du mesa de diode, la couche d'arrêt de GaInP et le masque de SiO₂ doivent être retirés. Le GaInP d'épaisseur 20 nm est supprimé en quelques secondes à l'aide d'une solution d'H₃PO₄/HCl de concentration 4/1. Nous pouvons l'observer sur la Figure 2.12, il s'agit du liseré sombre à la base du flanc de gravure du GaAs. Puis le masque de SiO₂ est lui aussi retiré à l'aide d'une solution d'acide fluorhydrique diluée (BOE 7:1) comme le montre la Figure 2.13.

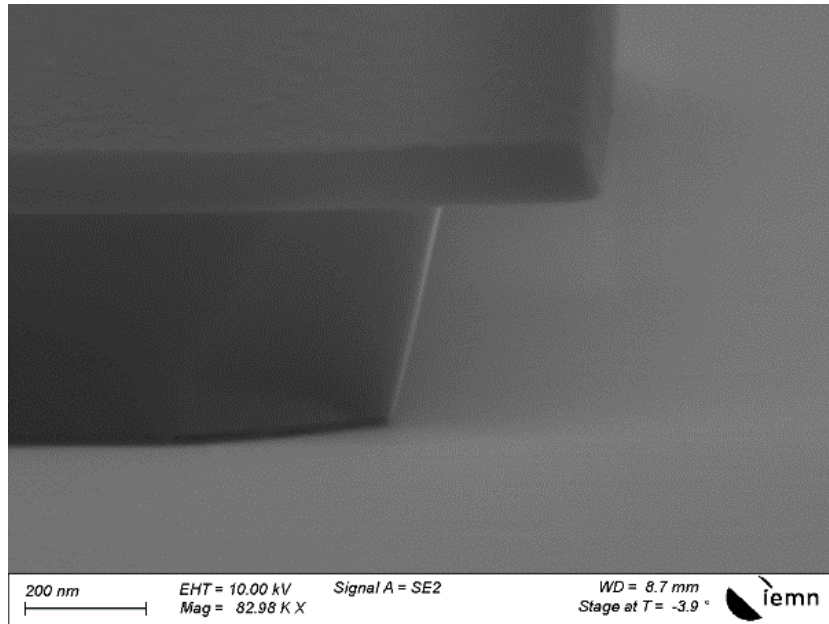


Figure 2.12 : Gravure de la couche d'arrêt de GaInP après la réalisation du mesa.

La Figure 2.13 montre un mesa de diode Schottky réalisé par gravure humide dans son ensemble. Les dimensions de celui-ci sont très proches des cotes théoriques du masque de lithographie.

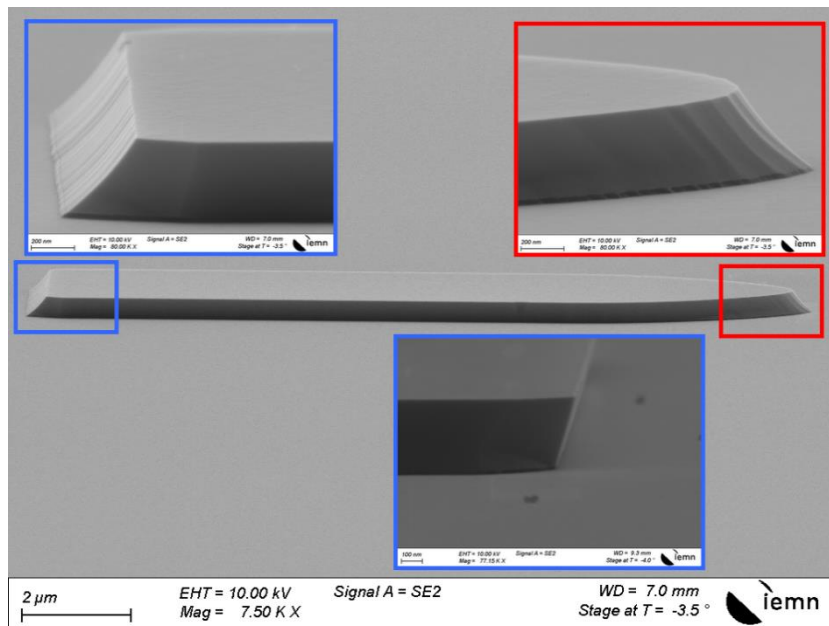


Figure 2.13: Mesa de diode Schottky finalisé après suppression du masque de SiO₂.

La suite du procédé consiste à réitérer le même ensemble d'étapes technologiques afin de réaliser la gravure humide de la couche de GaAs n⁺ (se référer à la Figure 2.7). En résumé, un nouveau dépôt de SiO₂ sur le mesa de Schottky est effectué. Ce dépôt par PECVD est conforme, c'est-à-dire que la couche de SiO₂ déposée vient recouvrir le profil des facettes rentrantes et sortantes, créant ainsi une protection étanche à la gravure humide. Une autre lithographie électronique de résine négative est effectuée. Puis une deuxième gravure SF₆ par RIE est

réalisée pour graver la couche d'oxyde. Le résultat obtenu constituera notre masque d'attaque pour la gravure humide de la couche n^+ . La Figure 2.14 montre le résultat après la gravure complète de la seconde partie de la structure. Ici, trois couches de matériaux ont été gravées de manière successive : la couche n^+ , une couche d'arrêt de GaInP ainsi qu'une épaisseur de substrat GaAs semi-isolant pour isoler les composants.

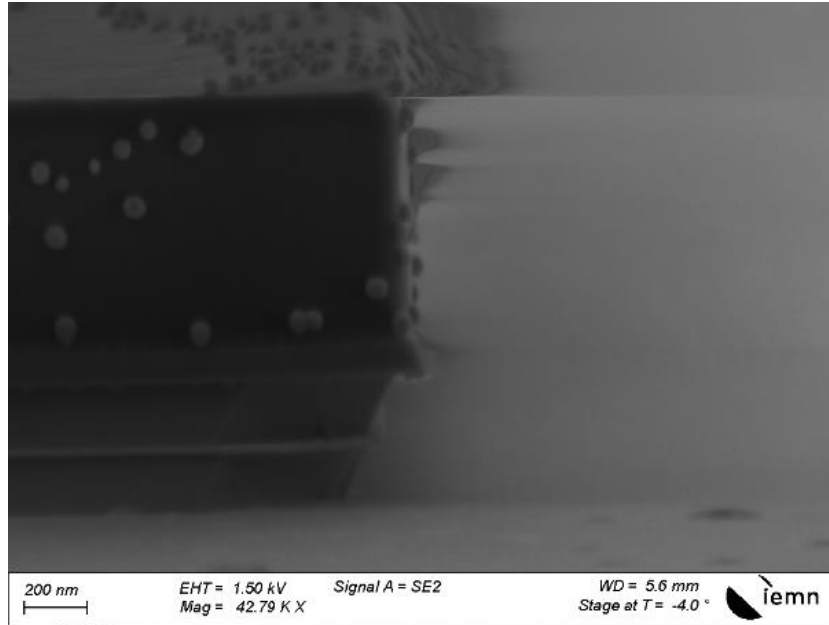


Figure 2.14 : Gravures d'isolation, du GaAs n^+ , de la couche d'arrêt et de 150 nm de substrat.

Après la gravure d'isolation dans le substrat et le retrait des masques, nous obtenons la structuration complète de nos épitaxies, visible en Figure 2.15.

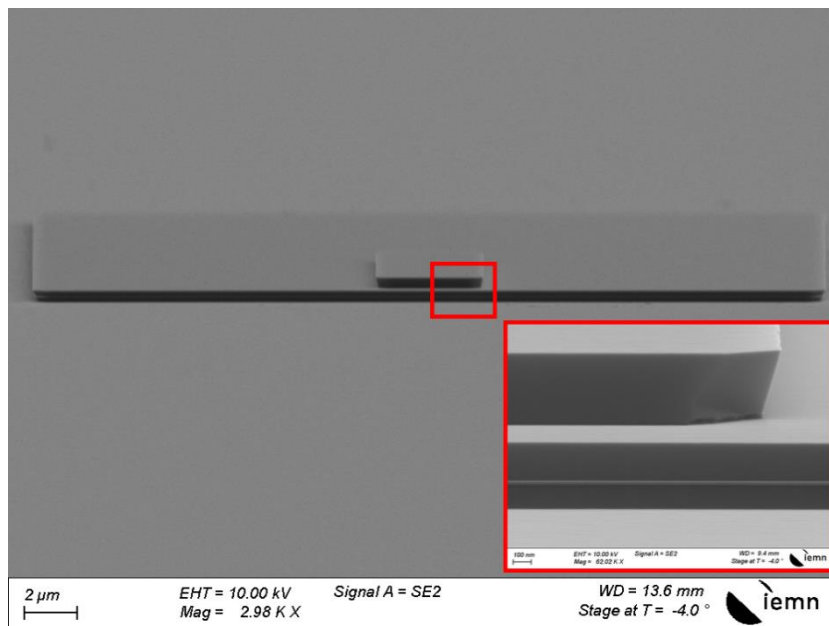


Figure 2.15 : Mesa d'isolation et structuration finalisée de la structure.

Vient ensuite le dépôt du contact ohmique. Un procédé de lithographie électronique positif est employé, puis le séquentiel Ni/Ge/Au/Ti/Au est déposé par évaporation, comme défini dans la section 2.1.3. La Figure 2.16 montre ce contact déposé sur la couche n⁺.

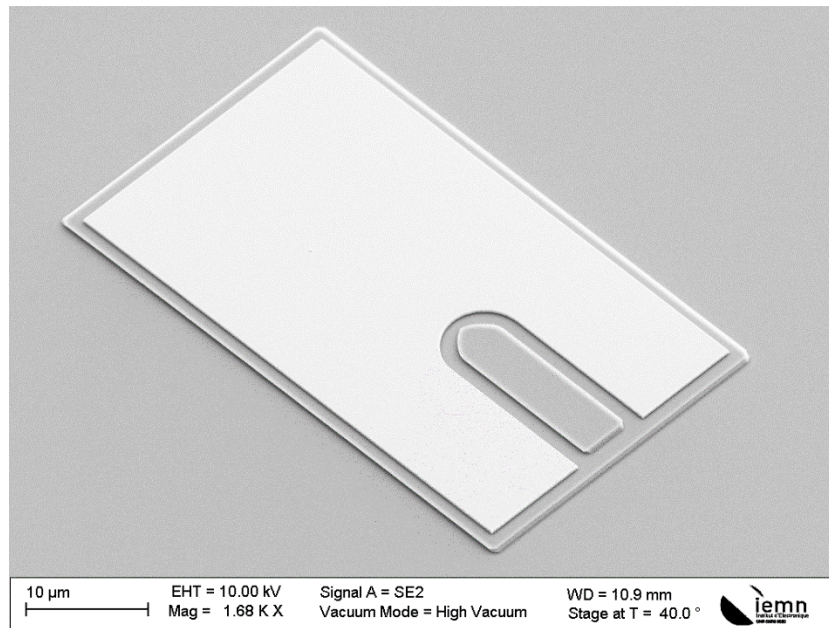


Figure 2.16 : Contact ohmique déposé sur la couche de GaAs n⁺.

Nous savons que ce contact ne sera ohmique qu'après un recuit. Comme validé dans la section 2.1.3, un recuit à 400°C pendant 40 secondes est réalisé. La Figure 2.17 présente un comparatif de la morphologie de ce contact avant et après recuit. Nous observons que celle-ci est excellente et que le métal n'a quasiment pas été affecté. La résistance de contact ainsi que la résistivité spécifique de contact sont obtenues avec la méthode TLM, en utilisant une échelle de résistance dédiée. Elles sont conformes aux essais effectués précédemment, avec respectivement 0,035 Ω.mm et 3,1.10⁻⁷ Ω.cm².

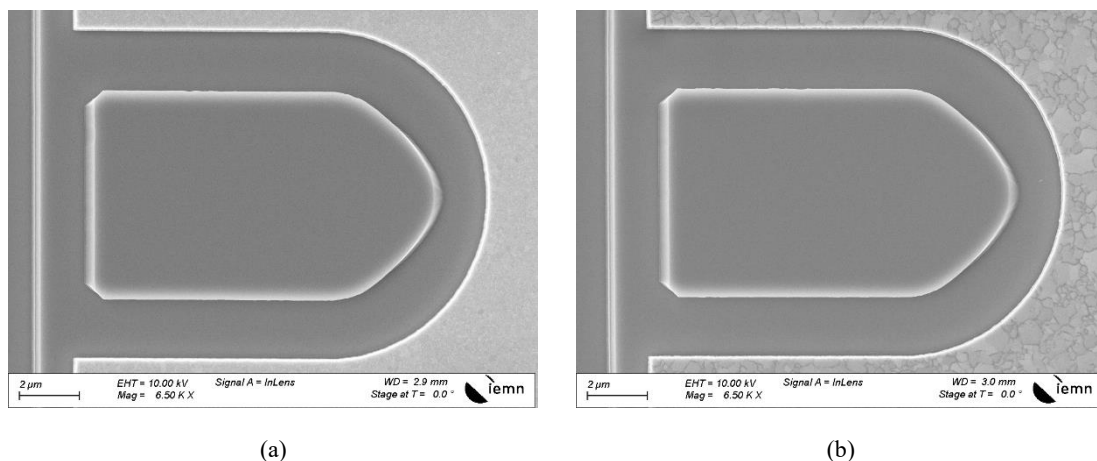


Figure 2.17 : Recuit du contact ohmique, (a) avant recuit, (b) après recuit RTA de 400°C pendant 40 secondes.

L'électrode Schottky est à présent déposée à l'aide d'un procédé de lithographie électronique utilisant des résines positives copolymère/PMMA, et le dépôt du contact en lui-

même est réalisé par évaporation. Le contact est constitué des éléments Ti/Pt/Au (25/25/200 nm). 250 nm de copolymère en haut de la structure pour assurer un bon lift-off sont nécessaires. En considérant l'épaisseur de la structure qui est d'environ 800 nm, à ajouter aux 250 nm, cela implique qu'il faut enduire une épaisseur relativement importante de copolymère, ce qui peut être source de problèmes comme la libération de contraintes à la révélation.

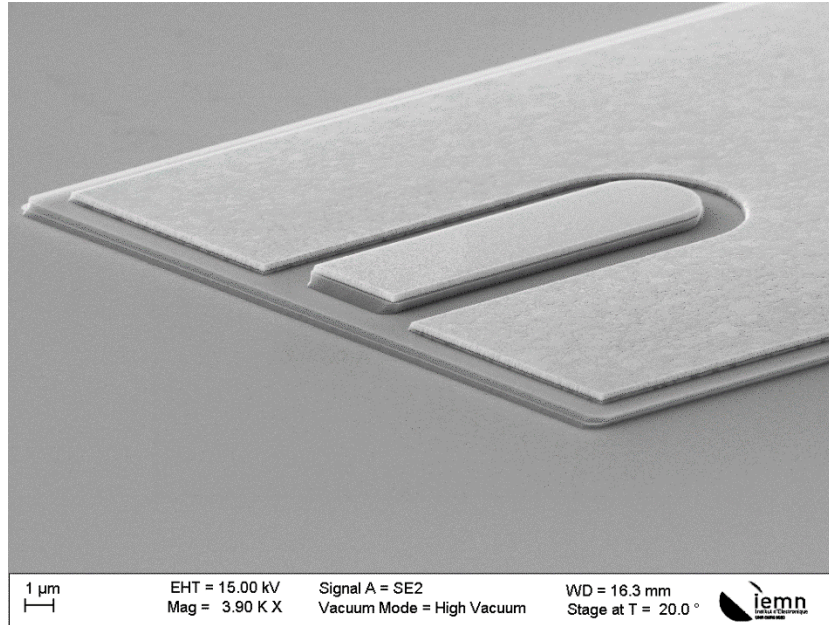


Figure 2.18 : Dépôt du contact Schottky de la diode par procédé liftoff.

Une fois les deux électrodes du composant déposées, l'étape finale consiste en la réalisation des ponts à air ainsi que des accès et lignes coplanaires pour connecter le composant. Il s'agit d'un procédé de lithographie électronique réalisé en trois étapes. La première consiste en une lithographie électronique d'une résine électronique PMMA. La résine est placée de part et d'autre des zones à connecter (Figure 2.19a). Nous venons ensuite adoucir le profil des arrêtes après la révélation, par fluage de la résine en effectuant plusieurs recuits successifs sur une plaque chauffante. Nous pouvons voir le résultat après cette opération sur la Figure 2.19b.

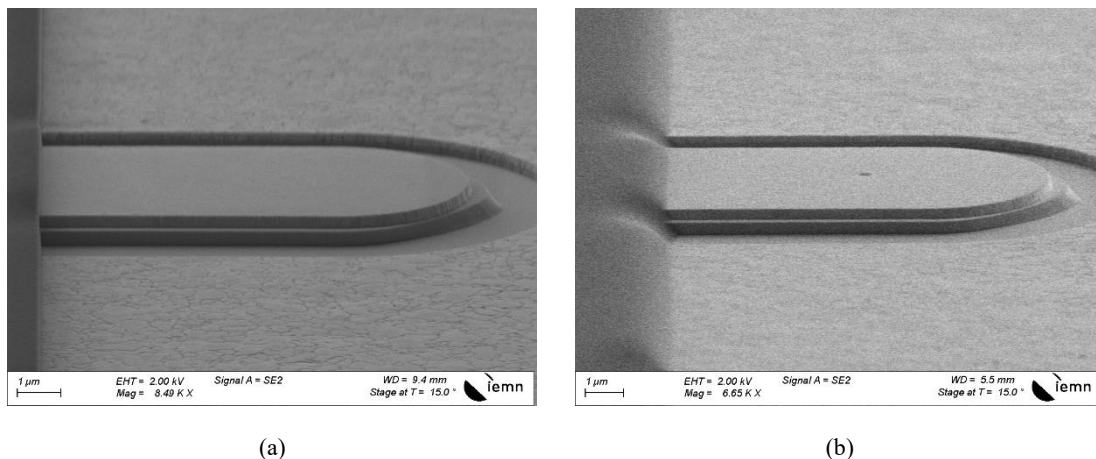


Figure 2.19 : Réalisation de la couche sacrificielle de pilier de pont, (a) révélation de la résine, (b) fluage de la résine.

Enfin, un nouveau dépôt de deux nouvelles résines est effectué sur la première couche de PMMA après son fluage pour matérialiser la forme des ponts. Nous obtenons alors trois couches de résines superposées. La principale difficulté réside à effectuer la révélation sélective des trois couches de résine de manière successive. En effet, le révélateur de la première couche, ne doit pas interagir avec celle du dessous, ici un copolymère d'une épaisseur de $2\ \mu\text{m}$ et avec 33 % de MAA ce qui la rend très sensible. La révélation de cette dernière doit elle aussi ne pas impacter la couche de PMMA fluée se situant à la base. Le résultat final de la lithographie de ponts à air est visible sur la Figure 2.20a. Nous pouvons y observer distinctement les trois couches de résines utilisées dans la définition des ponts. La Figure 2.20b montre le résultat final après la métallisation des ponts à air d'une diode schottky unitaire.

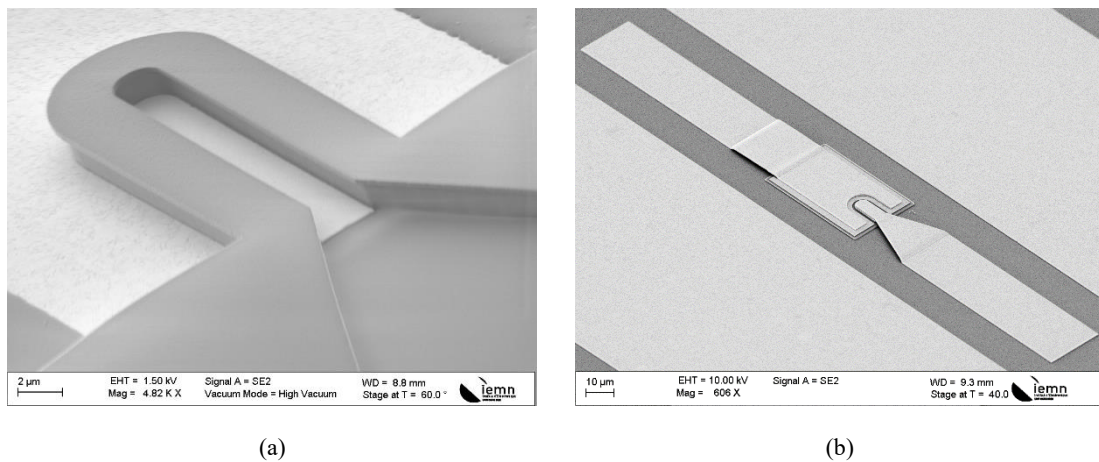


Figure 2.20 : Étapes finales de la réalisation des ponts à air, (a) lithographie électronique d'un bicouche de résine sur la PMMA fluée, (b) métallisation des ponts.

La Figure 2.21 montre une vue plus globale de l'échantillon. Nous avons alors obtenu de multiples diodes Schottky GaAs sur substrat GaAs prêtes à être étudiées en caractérisation.

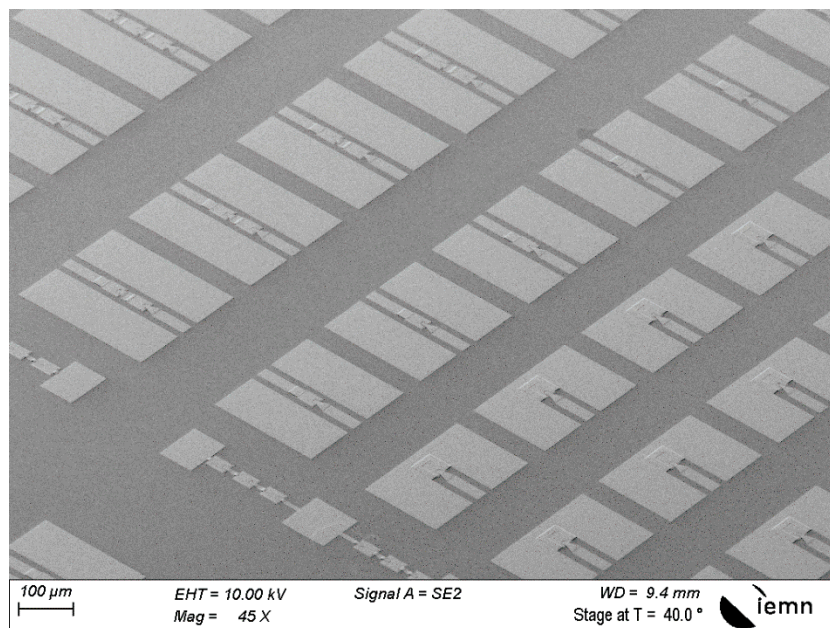


Figure 2.21: Procédé terminé, vue d'ensemble, configurations de composants unitaires et série.

2.2 Fabrication d'une barrette de diodes

Après avoir réalisé dans son intégralité le procédé de fabrication de diodes Schottky GaAs comme développé dans la section 2.1, et vérifié le bon fonctionnement des composants, un nouveau procédé est initié mais cette fois pour fabriquer un lot de barrettes de diodes Schottky conçues par le LERMA. Nous rappellerons dans un premier temps les étapes principales de fabrication, puis nous nous focaliserons sur les étapes dédiées à la réalisation d'un composant non plus sur plaquette, mais découpé et destiné à être intégré dans un boîtier de guide d'ondes.

2.2.1 Rappels de la séquence de fabrication et points clés

La fabrication du composant en face avant est effectuée en utilisant le même procédé déjà mis en œuvre dans la section 2.1. La Figure 2.22 en montre une synthèse des points les plus marquants. La Figure 2.22a expose la structuration de l'épitaxie par la réalisation des deux mesas effectués par gravure humide. La Figure 2.22b et la Figure 2.22c montrent la réalisation des électrodes avec respectivement les contacts, ohmique puis Schottky. Enfin, la Figure 2.22d expose le composant muni de ses ponts à air de connexion.

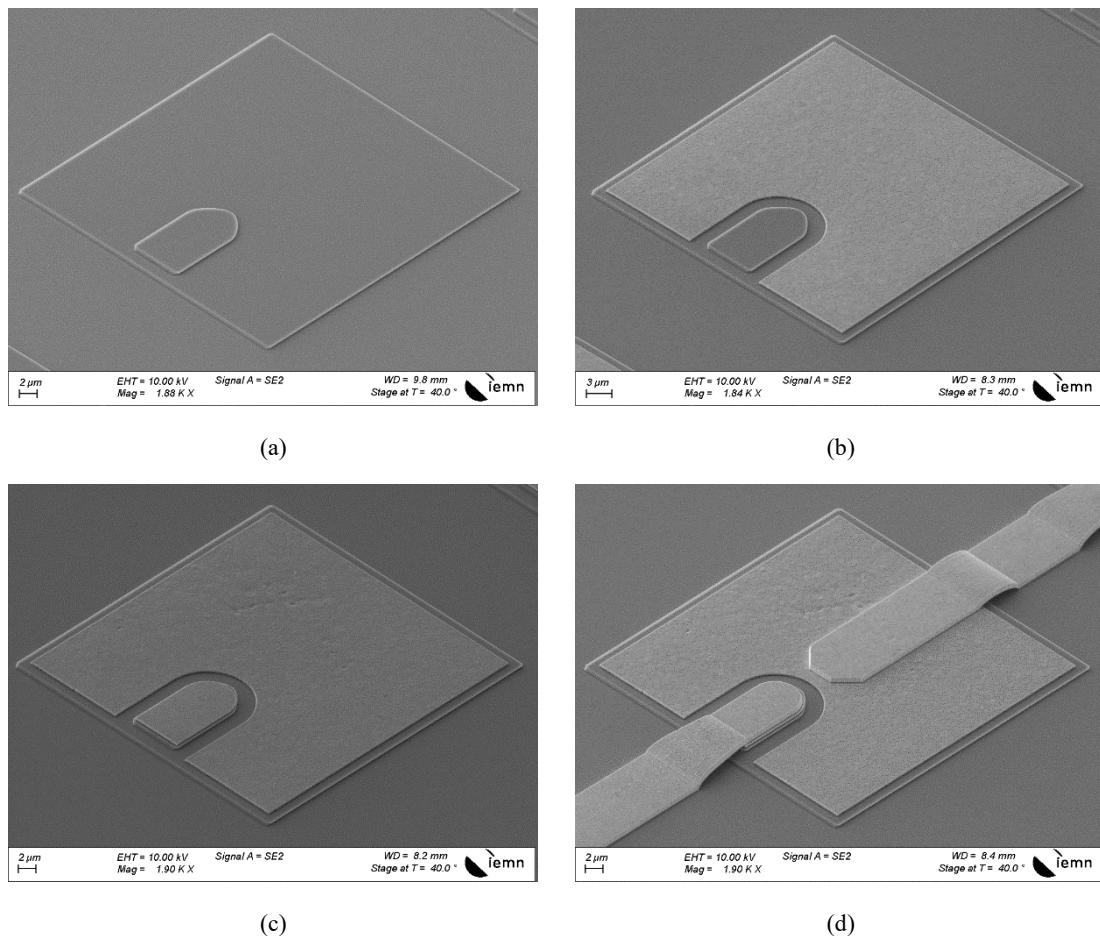


Figure 2.22 : Prises de vue MEB, synthèse du procédé de fabrication en face avant d'une barrette de diodes Schottky GaAs, (a) structuration de l'épitaxie par gravure humide, (b) dépôt et recuit du contact ohmique, (c) dépôt du contact Schottky, (d) réalisation des connexions par ponts à air.

La Figure 2.23 est une image MEB présentant une vue d'ensemble du composant avec les six diodes constituant la barrette pour le multiplicateur de fréquence. Nous y apercevons également les marques de découpe dans les coins qui seront utilisées pour effectuer la calibration du centrage de l'équipement de découpe pour le passage de la lame de scie.

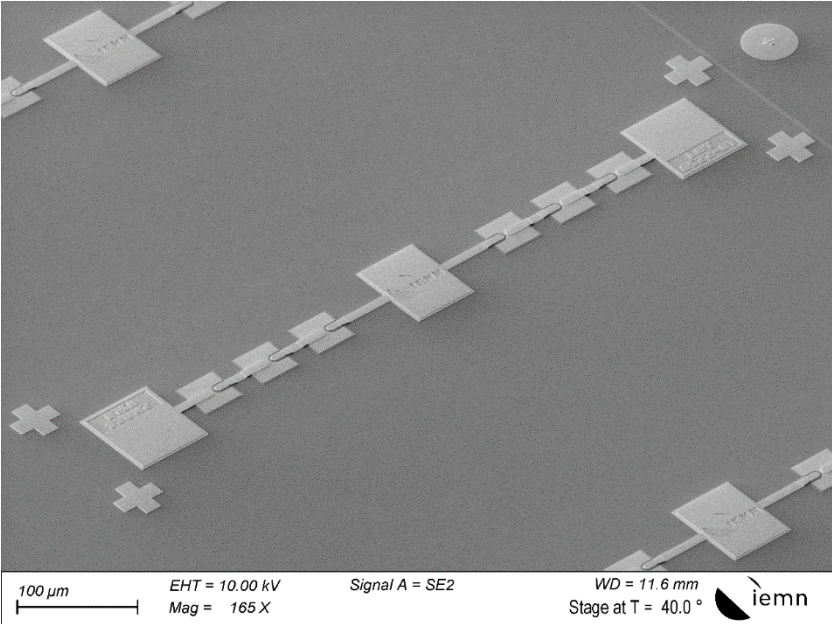


Figure 2.23 : Image MEB des six diodes composant la barrette.

2.2.2 Amincissement, découpe et intégration des puces

Le procédé que nous comptons effectuer pour réaliser la libération des puces des échantillons est présenté sur la Figure 2.24. La suite de cette sous-partie se focalisera sur sa mise en œuvre.

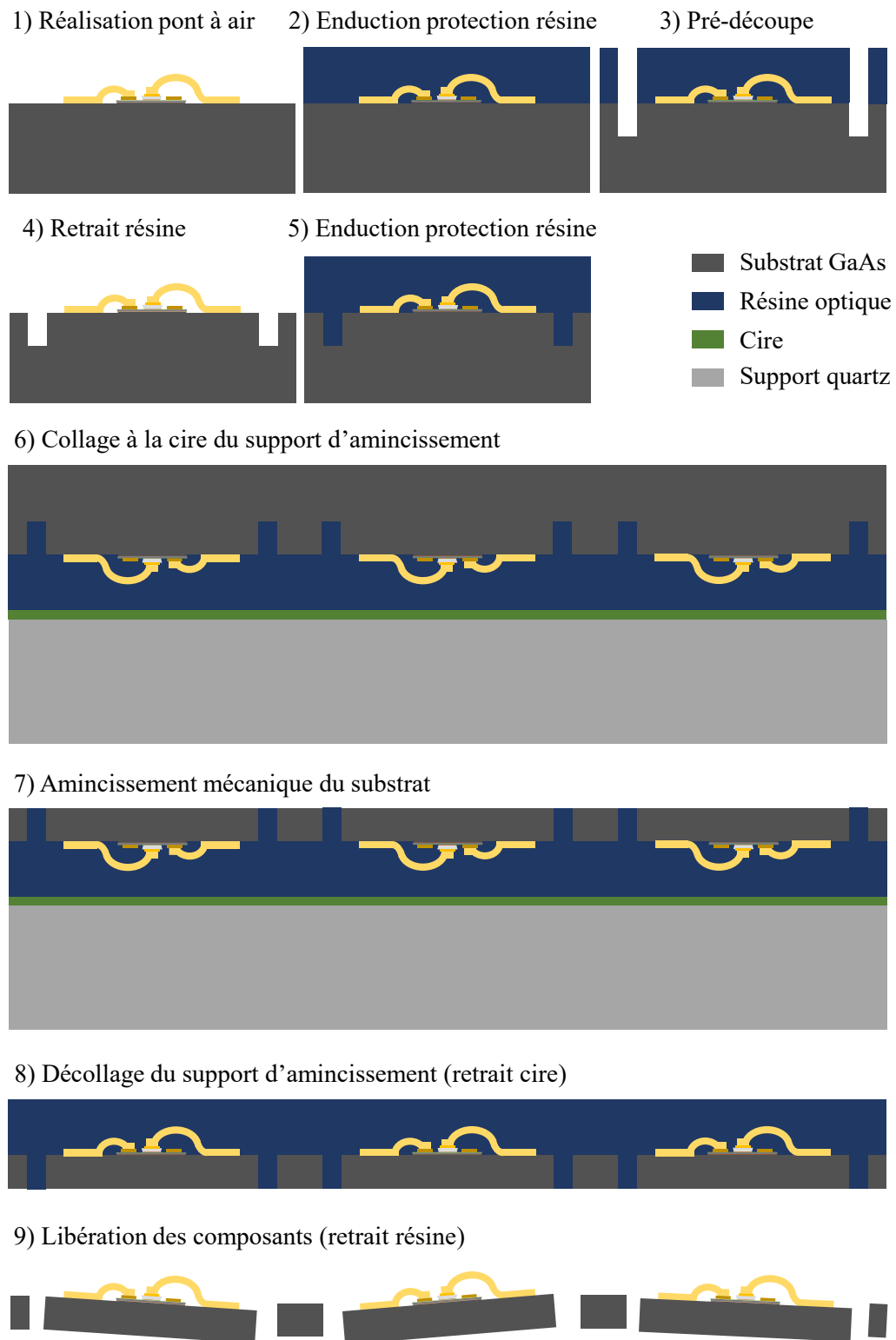


Figure 2.24 : Procédé envisagé pour la libération des barrettes

Le développement de ces étapes spécifiques à la séparation des puces a commencé en travaillant sur l'aspect de découpe à la scie du GaAs. Un équipement Disco dad3240 disponible au laboratoire est utilisé dans ce but. Lors de la conception du procédé de la Figure 2.24, il n'apparaissait pas envisageable d'effectuer la découpe des puces après l'amincissement du substrat à 50 μm . L'échantillon aurait alors été trop fragile pour supporter le procédé de découpe qui nécessite de le fixer fermement à un adhésif de maintien. La découpe est alors effectuée face avant et de manière préalable à l'amincissement. Celle-ci s'apparente plutôt à une prédécoupe ou à un rainurage. L'épaisseur visée pour le composant final étant de 50 μm , la profondeur de découpe a été fixée à 60 μm , de manière à conserver une marge suffisante qui compensera une vitesse d'amincissement non uniforme sur toute la surface des échantillons.

La largeur du trait de découpe de la lame, dédiée au GaAs, est donnée pour 20 μm . Des expérimentations sur des plaquettes factices, de taille identique au composant attendu, visibles en Figure 2.25, ont cependant montré que cette largeur est fortement conditionnée par les paramètres de découpe utilisés, comme spécifié dans la documentation du constructeur. Ceux-ci sont principalement la vitesse de rotation de la lame de scie V_{scie} , ainsi que la vitesse de déplacement de la platine $V_{platine}$. La lame est en effet positionnée sur un axe fixe et la découpe est effectuée par le déplacement de la platine sur laquelle l'échantillon est fixé.

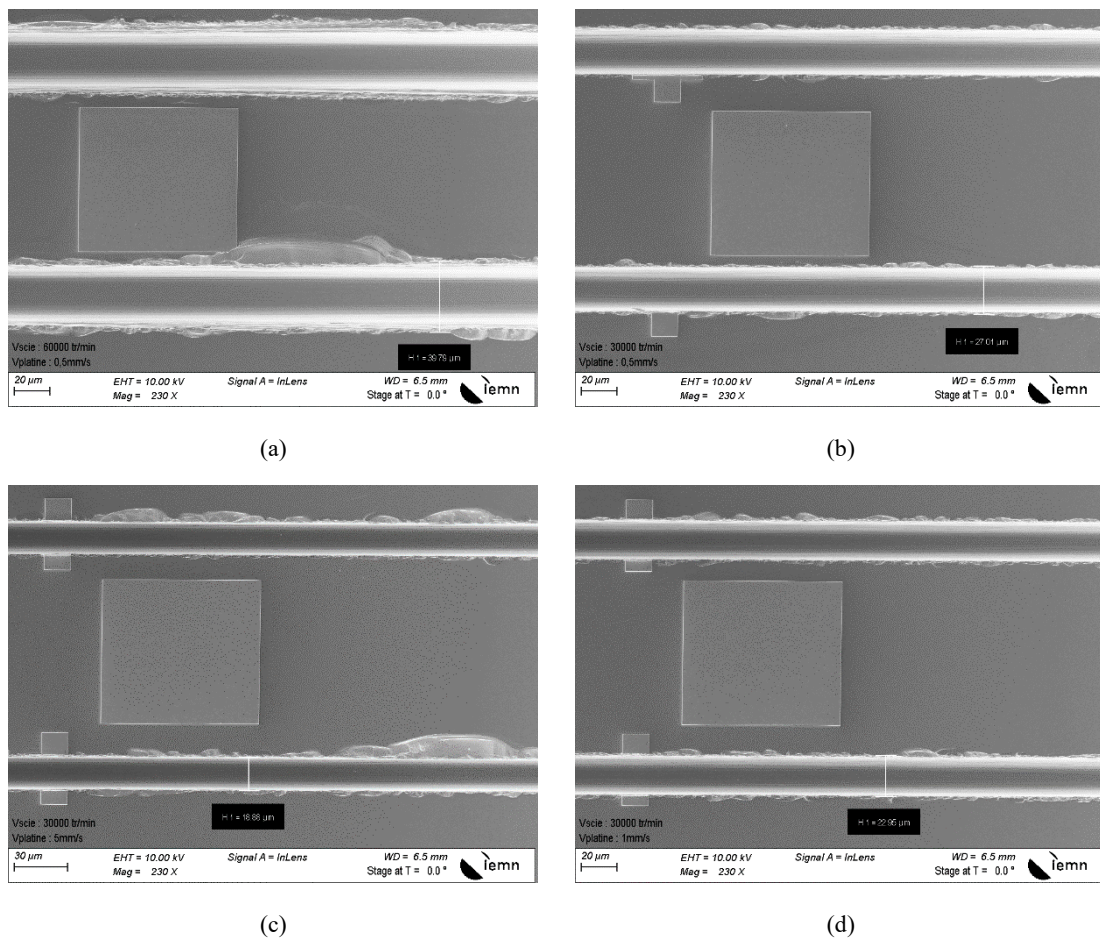


Figure 2.25 : Validation des paramètres de découpe, (a) V_{scie} 60000 tr/min $V_{platine}$ 0.5 mm/s, (b) V_{scie} 30000 tr/min $V_{platine}$ 0.5 mm/s, (c) V_{scie} 30000 tr/min $V_{platine}$ 5 mm/s, (d) V_{scie} 30000 tr/min $V_{platine}$ 1 mm/s.

Ces deux paramètres $V_{platine}$ et V_{scie} ont un fort impact sur le nombre et la taille des éclats présents en bord de trait de découpe et un compromis est à trouver pour les minimiser. La cote théorique entre le bord du trait de scie et les accès de métal du composant a été fixée à $15\ \mu\text{m}$, pour éloigner les potentiels éclats du composant, à condition que ceux-ci soient de taille raisonnable. Nous pouvons typiquement observer des éclats trop importants qui viennent empiéter sur le composant, sur la Figure 2.25a et la Figure 2.25c. Ces échantillons ayant vocation à simuler la découpe d'un composant réel, en reproduisant les pads ainsi que les marques de centrage pour la calibrer, ont permis de déterminer le bon compromis entre le respect de la largeur attendue du trait de scie et la taille des éclats en fixant $V_{platine}$ et V_{scie} .

V_{scie} a été déterminé avec l'expérimentation visible sur la Figure 2.25a et la Figure 2.25b où, pour une vitesse de déplacement de la platine fixée à $0,5\ \text{mm/s}$, des largeurs de traits de découpe de $39,8\ \mu\text{m}$ et de $27\ \mu\text{m}$ ont été obtenues pour des vitesses de rotation de la lame de scie de respectivement $60000\ \text{tr/min}$ et $30000\ \text{tr/min}$. La taille des éclats résultant de la découpe réalisée avec $V_{platine} = 0,5\ \text{mm/s}$ et $V_{scie} = 30000\ \text{tr/min}$ répond à nos exigences. Cependant les largeurs des traits obtenus de $39,8$ et même de $27\ \mu\text{m}$ sont considérées comme hors tolérance par rapport aux $20\ \mu\text{m}$ visés, afin de garantir l'espacement voulu de $15\ \mu\text{m}$ en bord de puce.

Cette largeur de trait a pu être minimisée en agissant sur le paramètre $V_{platine}$, avec l'expérimentation complémentaire visible sur la Figure 2.25c et la Figure 2.25d, où pour V_{scie} fixé à $30000\ \text{tr/min}$, des largeurs de traits de découpe de $18,9\ \mu\text{m}$ et de $23\ \mu\text{m}$ ont été obtenues pour des vitesses de déplacement de platine de respectivement $5\ \text{mm/s}$ et $1\ \text{mm/s}$. Bien qu'avec $V_{platine} = 5\ \text{mm/s}$ et $V_{scie} = 30000\ \text{tr/min}$ la largeur du trait de scie soit proche de la cote visée, la taille des éclats est trop importante.

Le compromis que nous avons retenu est alors celui présenté sur la Figure 2.25d, car la largeur du trait obtenu de $23\ \mu\text{m}$ est suffisamment proche de la valeur visée, tout en générant des éclats de taille modérée. Ceci dit, un $V_{platine}$ de $0,5\ \text{mm/s}$ impliquant un temps de découpe trop important, nous a poussé à utiliser un $V_{platine}$ de $1\ \text{mm/s}$ qui, de plus, présente l'avantage de générer un trait de coupe plus fin.

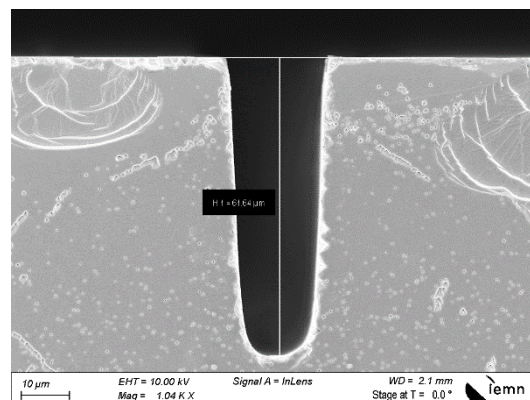


Figure 2.26 : Trait de coupe final sur GaAs, profondeur de $60\ \mu\text{m}$, largeur de $23\ \mu\text{m}$.

L'image réalisée par microscopie électronique et visible sur la Figure 2.26 présente l'aspect final du trait de coupe sur le bord de l'échantillon. Nous constatons que ses caractéristiques dimensionnelles et mécaniques correspondent aux besoins attendus.

La Figure 2.27 montre la mise en œuvre du procédé de découpe, utilisant les paramètres validés ci-dessus, sur la technologie de barrettes de multiplication après le retrait de la résine de protection, mettant un terme à la fabrication en face avant de l'échantillon.

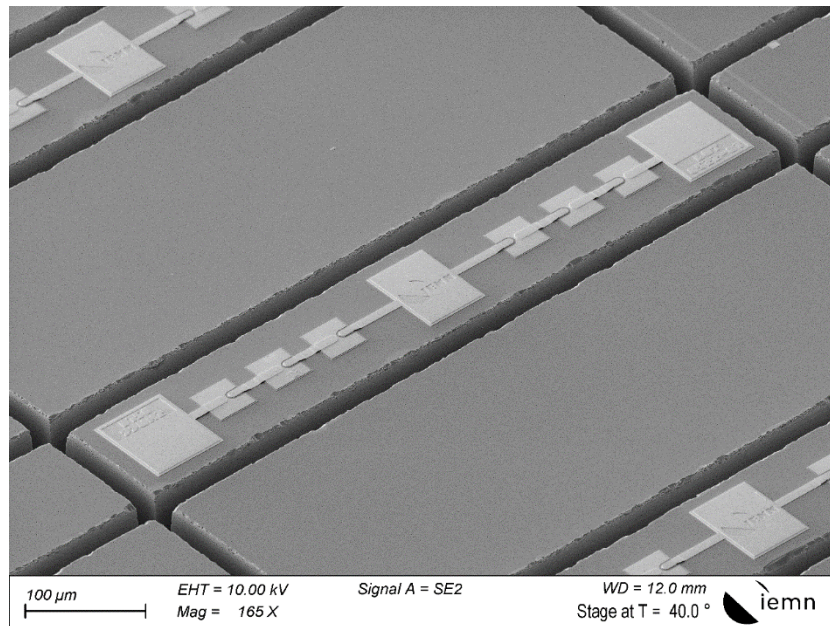


Figure 2.27 : Finalisation de la technologie face avant.

La Figure 2.28 met en évidence l'excellente qualité de la découpe et de cette fabrication qui permet d'obtenir un rendement estimé supérieur à 95 % de composants fonctionnels.

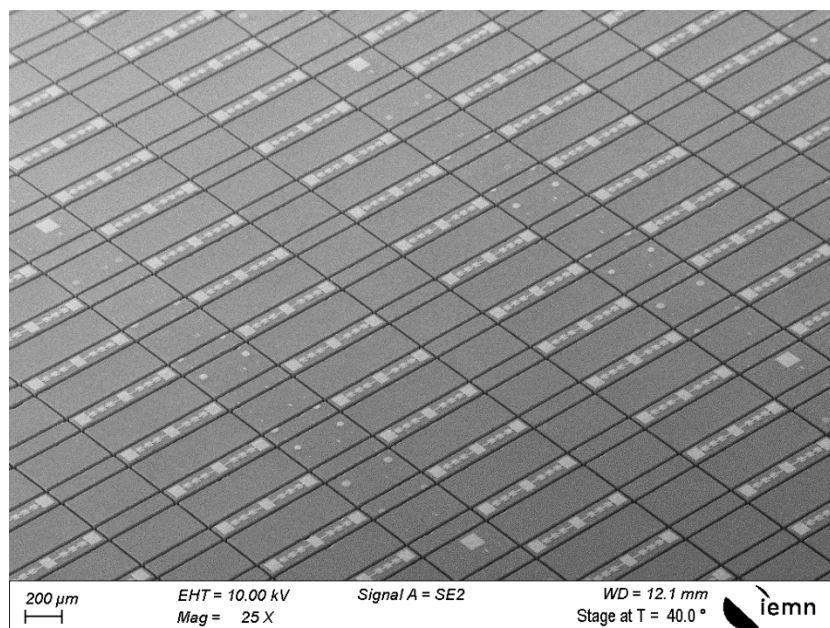


Figure 2.28 : Prise de vue d'ensemble d'un champ de l'échantillon.

L'étape suivante de séparation des puces consiste à amincir le substrat de GaAs pour atteindre l'épaisseur requise de 50 μm . L'échantillon est préalablement résiné et collé face composants sur un support dédié en quartz à l'aide d'une cire. La face arrière est ensuite soumise à un procédé d'abrasion mécanique réalisé avec un outil d'amincissement Logitech PM5 et une solution de grains d'alumine en suspension. La Figure 2.29a montre la face arrière du substrat de GaAs où les traits de découpe, d'une profondeur de 60 μm , commencent à apparaître. La Figure 2.29b montre cette même face arrière avec quelques minutes supplémentaires d'amincissement, où les 10 derniers microns nécessaires à la finalisation de ce procédé sont retirés. Cette marge de 10 μm permet de rattraper un amincissement ne s'opérant pas exactement à la même vitesse sur toute la surface de l'échantillon. Nous obtenons alors des traits de coupes parfaitement définis et des composants prêts pour l'ultime étape : la libération.

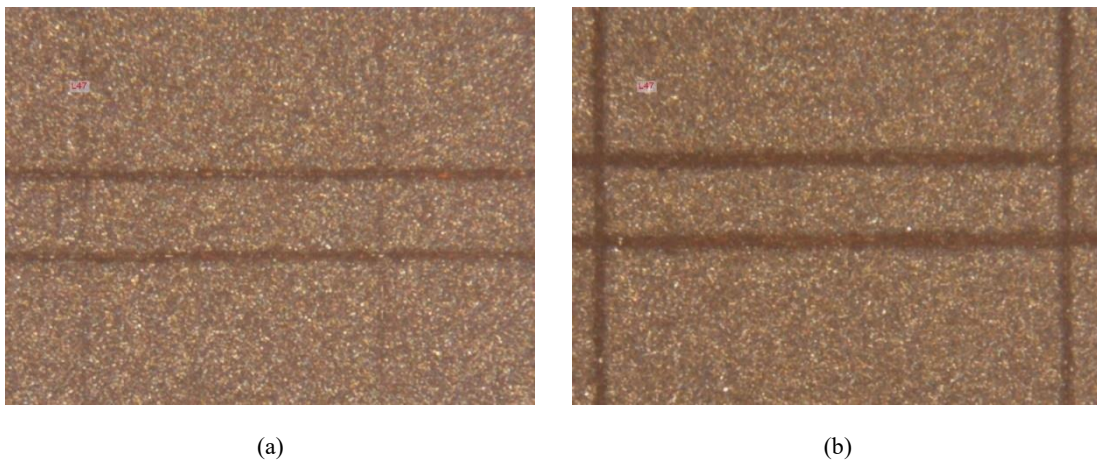


Figure 2.29 : Finalisation de l'amincissement, (a) apparition des premiers traits de découpe, (b) vue des traits de découpe à la fin du procédé d'amincissement à 50 μm .

La Figure 2.30a montre une vue d'ensemble de l'échantillon face composants, et prise par microscopie optique, après découpe et avant amincissement, comme sur la Figure 2.28. La Figure 2.30b présente le même échantillon après les procédés d'amincissement et de libération.

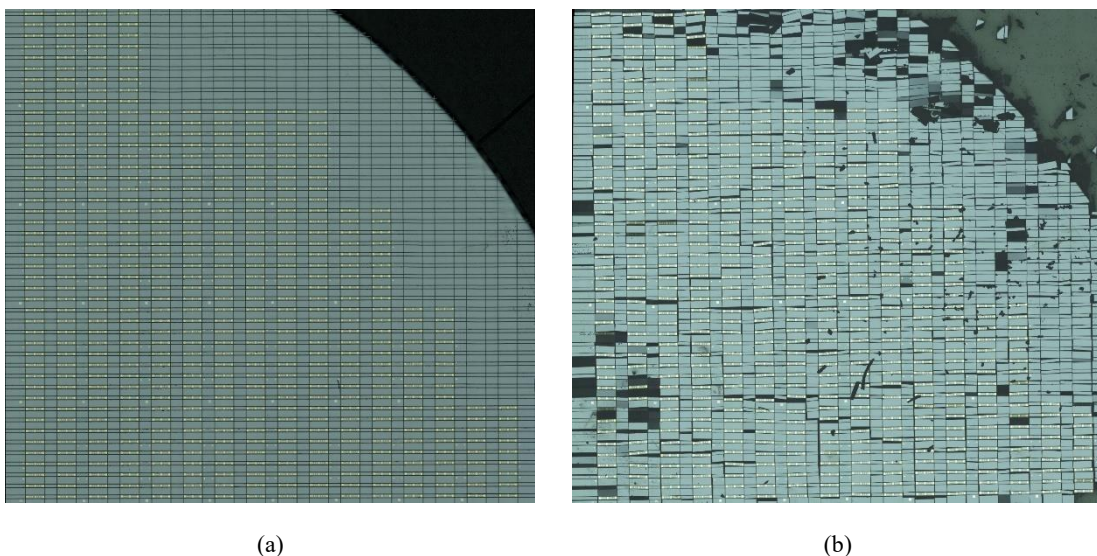


Figure 2.30 : Prises de vues de l'échantillon face composants, (a) après découpe (b) après libération.

L'échantillon est ensuite décollé de son support en quartz par dissolution de la cire. Pour cela, une solution de D-Limonène est utilisée puis rincée par des bains successifs d'acétone et d'alcool isopropylique.

Après l'obtention des composants libérés visibles sur la Figure 2.31a, ceux-ci sont conditionnés manuellement dans des boîtiers type Gel-pak comme montré sur la Figure 2.31b. Cette manipulation, particulièrement délicate et risquée, entraîne des pertes importantes à cause de la fragilité des puces qui sont de 50 μm d'épaisseur.

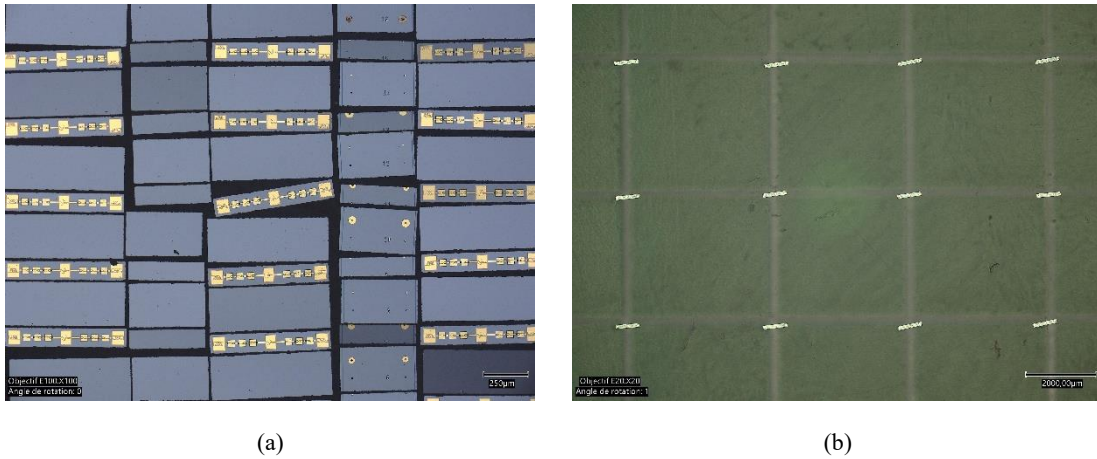


Figure 2.31 : Composants libérés, (a) vue rapprochée de l'échantillon après libération, (b) après conditionnement sur Gel-pak.

La puce unitaire prête à l'emploi est visible sur la Figure 2.32.

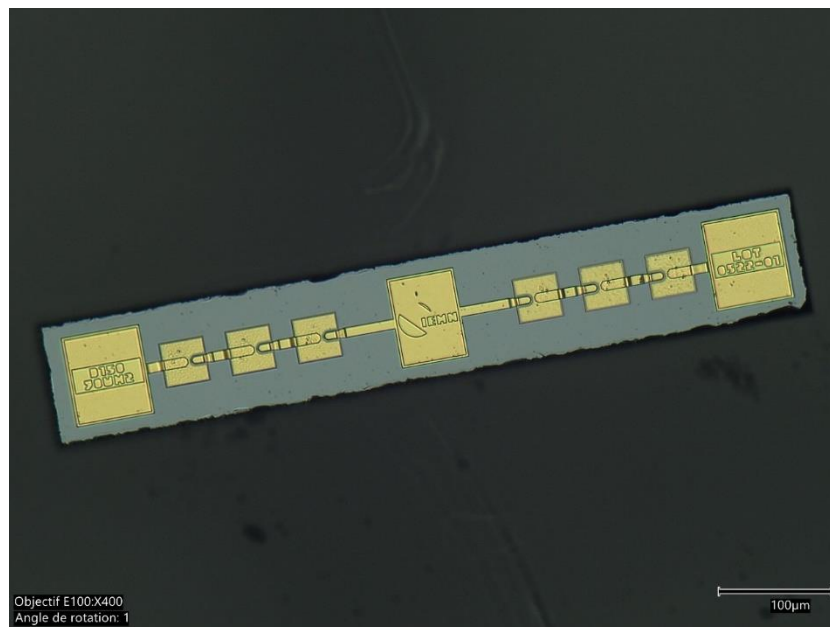


Figure 2.32 : vue rapprochée d'une barrette positionnée sur Gel-pak.

La Figure 2.33 présente l'intégration de la barrette de diodes Schottky GaAs dans le boîtier guides d'ondes par nos collègues du LERMA au sein de leur laboratoire. La Figure 2.33a montre le positionnement de la puce sur le circuit quartz et illustre son assemblage à l'aide d'une colle conductrice d'argent. La Figure 2.33b met en évidence son intégration dans le guide d'ondes.

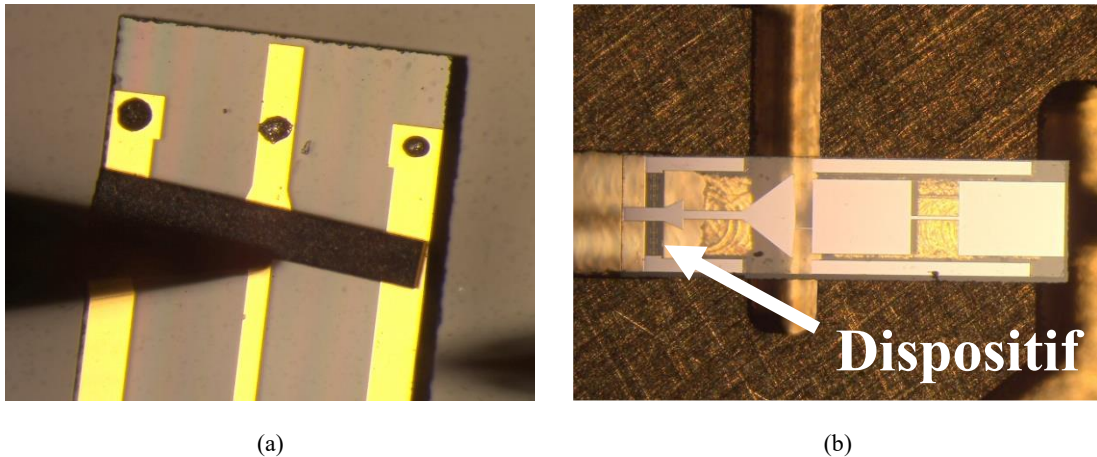


Figure 2.33 : Montage au LERMA de la barrette de diodes Schottky GaAs, (a) collage de la barrette sur le circuit d'adaptation et de filtrage à l'aide d'une colle conductrice d'argent, (b) intégration de l'ensemble au sein des guides d'ondes.

Pour l'instant ce multiplicateur de fréquence à 150 GHz n'est pas encore fonctionnel. Lorsque le montage sera opérationnel, il faudra le caractériser. Une deuxième série de barrettes a également été réalisée dans le cadre d'une conception de multiplicateur doubleur à 114 GHz. Il est aussi dans sa phase d'intégration en boîtier guide d'ondes au sein du LERMA.

2.3 Développement du procédé de diodes Schottky GaAs reportées sur SiHR

Nous allons maintenant aborder la partie de développement et de fabrication de diodes GaAs reportées sur SiHR, avec un joint de collage constitué de métal. Nous montrerons dans le chapitre suivant que l'intérêt de cette approche est la diminution de la résistance thermique des composants et donc leur meilleure aptitude à dissiper la chaleur qu'ils génèrent en fonctionnement. Cet objectif s'inscrit dans une démarche plus exploratoire car il n'a jamais été abordé pour le cas des diodes Schottky GaAs reportées par thermocompression Au/Au. Il conviendra de redéfinir la structure épitaxiale des diodes, afin de se conformer aux contraintes technologiques spécifiques à cette fabrication. Nous aborderons dans cette partie les différentes étapes qui ont conduit à leur réalisation, de la définition des structures à la levée des difficultés rencontrées dans ce contexte, tels que le collage des épitaxies, la définition de l'empilement de collage, la gravure du joint ainsi que la réalisation de ponts à air sur silicium.

2.3.1 Épitaxies inversées

L'épitaxie Schottky est destinée à être transférée sur un substrat hôte présentant une conductivité thermique plus élevée que le substrat originel de GaAs. Nous préférons conserver la même topologie de composant afin de pouvoir dresser un comparatif simple et direct des performances des deux composants. Nous devons alors prévoir de nouvelles épitaxies. Un premier procédé envisagé consiste à reprendre la même structure que pour la

technologie sur GaAs telle que montrée sur le Tableau 2.1, à l'exception que les couches dédiées à la réalisation des contacts ohmique et Schottky sont inversées pour conserver un empilement épitaxial identique après collage. Ce principe est illustré en Figure 2.34.

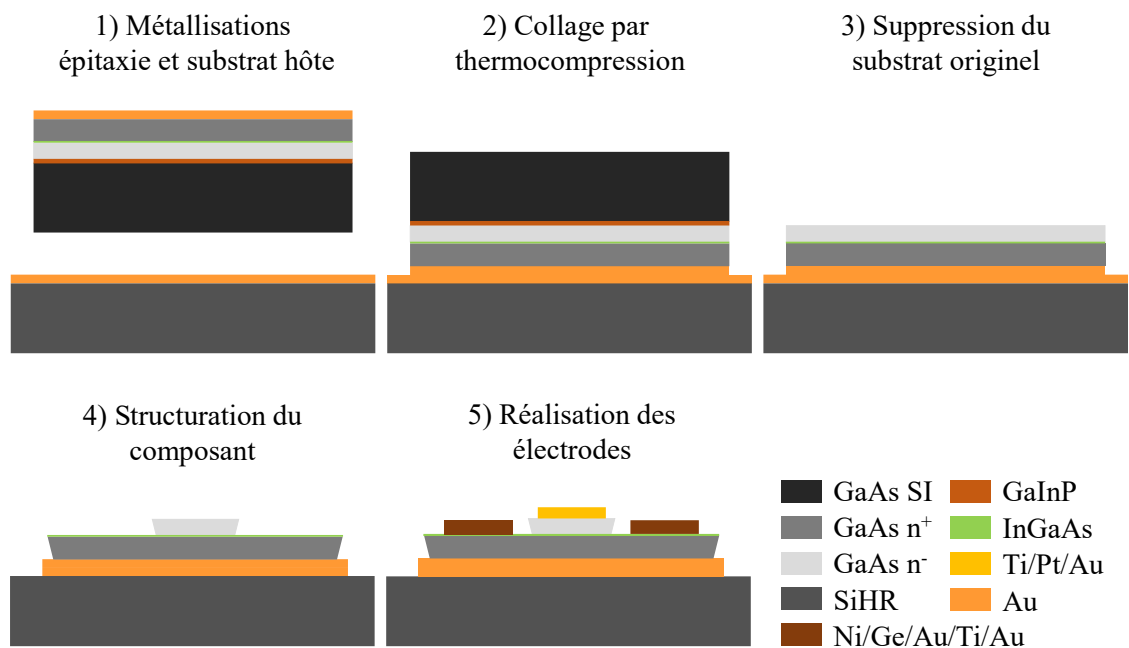


Figure 2.34 : Premier procédé envisagé pour la fabrication des Schottky GaAs reportées.

En considérant le procédé ci-dessus, une incohérence apparaît d'elle-même : la température de collage pour le procédé de thermocompression est anticipée sur une plage de 200 à 250 °C. La réalisation d'un contact ohmique recuit à 400 °C comme dans les fabrications précédentes paraît peu envisageable. Il survient alors un risque conséquent de détérioration, voire de rupture du joint de collage. Bien que cela reste à prouver, nous avons finalement fait le choix d'écarter cette option car nous avons identifié une autre approche qui nous paraît plus intéressante.

Dans la section 2.1.3 nous avons développé une démarche d'optimisation des caractéristiques de contacts ohmiques, en introduisant un matériau avec une faible hauteur de bande interdite dans notre structure épitaxiale. Le matériau utilisé était l'InGaAs et nous avons prouvé expérimentalement son impact positif sur la résistance de contact. Bien qu'un contact non recuit aux caractéristiques ohmiques ait été réalisé sur ce matériau, nous avons été contraints d'utiliser un contact recuit, la résistance de contact obtenue sur le contact non recuit étant trop élevée pour considérer la réalisation de diodes. Pour rappel, ce qui a limité les performances de ce contact non recuit a été le désaccord de maille entre InGaAs et GaAs limitant fortement son épaisseur et son taux d'indium, car nous ne pouvions tolérer une relaxation des contraintes au sein de la couche désadaptée. La croissance de la couche GaAs n⁻ du composant étant effectuée sur la couche d'InGaAs, un taux élevé de dislocation serait nuisible aux caractéristiques du composant.

Avec l'utilisation d'épitaxies inversées, la formation d'un contact non recuit peut être reconsidérée. La croissance des couches dédiées à la réalisation des contacts ohmiques est effectuée à la fin de la structure. La contrainte de conserver un matériau parfaitement 2D lors de la croissance de celles-ci pour éviter la propagation de dislocations dans les couches suivantes n'a plus lieu d'être. Nous disposons alors d'une nouvelle option : redéfinir la structure en augmentant significativement l'épaisseur de la couche d'InGaAs et son taux d'indium et terminer la croissance de la structure avec le matériau InAs. Cela pour disposer d'une couche présentant une hauteur de bande interdite encore inférieure, où la réalisation d'un contact non recuit et très performant sera possible. Nous avons bien conscience que cela conduira à la formation d'une couche à la surface probablement rugueuse, mais notre motivation au premier ordre est de permettre la réalisation d'un contact ohmique non recuit et ainsi de contourner la contrainte technologique mentionnée ci-dessus.

Avec cette perspective, le joint de collage aura une double fonction. Celui-ci sera bien évidemment utilisé pour sceller l'épitaxie sur le substrat hôte, le joint formera également un contact ohmique avec la structure lors du procédé de thermocompression. Le joint ne sera plus uniquement dédié à l'évacuation de la chaleur vers le substrat, mais constituera aussi une électrode pour le composant. On notera qu'ici, la configuration du composant s'en retrouve modifiée : celle-ci passe de planaire à quasi-verticale. Ce qui constituera un atout certain dans la diminution de la résistance série des diodes. Ce procédé est explicité sur la Figure 2.35.

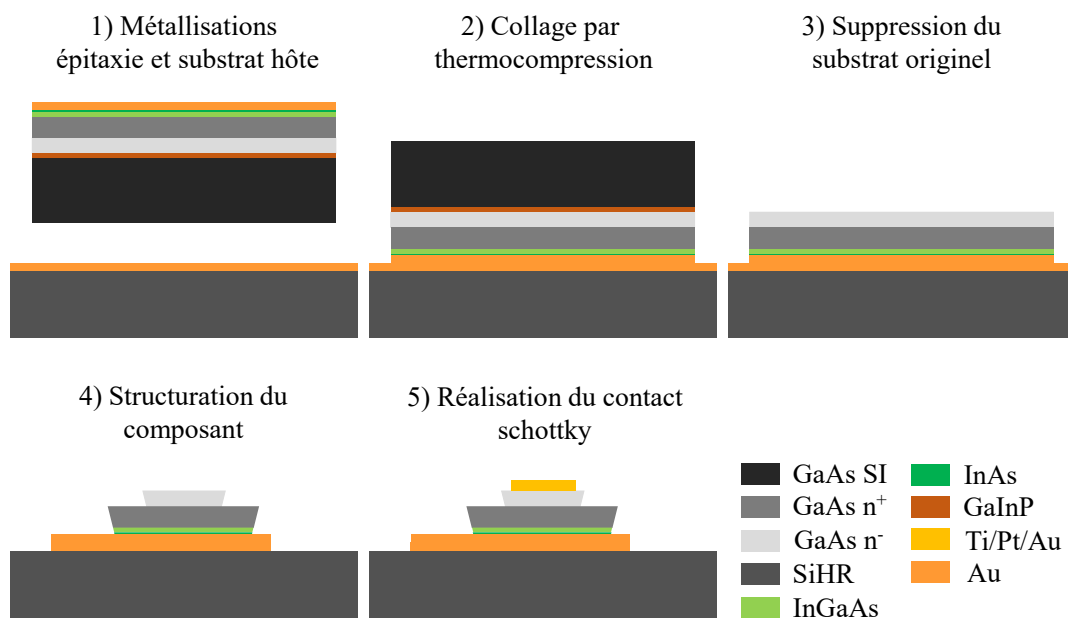


Figure 2.35 : Procédé retenu pour la fabrication des Schottky GaAs reportées.

La connexion des électrodes des composants se fera toujours par le biais de ponts à air. La connexion sur le contact Schottky reste inchangée, bien que l'épaisseur de la structure soit plus élevée, tandis que la connexion de cathode prendra place directement sur le joint de collage, où

un espace prévu à cet effet sera conservé lors de la gravure du joint. La structure épitaxiale permettant cette fabrication est exposée dans le Tableau 2.5.

Épaisseur (Å)	Matériau	Dopage (cm ⁻³)	Description
100	InAs	5.10 ¹⁹	Couche ohmique
300	In _(0→0,5) Ga _(1→0,5) As	5.10 ¹⁹	Couche ohmique
5000	GaAs	1.10 ¹⁹	Couche ohmique
3500	GaAs	1.10 ¹⁷	Couche Schottky
1000	Ga _(0,51) In _(0,49) P	NID	Couche d'arrêt
1000	GaAs	NID	Couche tampon de lissage
Substrat	GaAs semi-isolant		

Tableau 2.5 : Structure épitaxiale retenue pour les diodes reportées.

Plusieurs modifications ont été apportées par rapport à la structure du Tableau 2.1. L'épaisseur de la couche n⁺ est fixée à 5000 Å contre 2000 Å précédemment. Il s'agit ici d'une mesure de prudence, car nous anticipons une diffusion de l'or dans la structure lors de son collage sur le substrat hôte et cela sur une profondeur inconnue. L'augmentation de cette épaisseur devrait lui permettre de jouer le rôle de couche *tampon* en empêchant une éventuelle diffusion de l'or qui pourrait atteindre la couche n⁻, ce qui conduirait à la destruction du composant. Ce phénomène a déjà été constaté lors de précédents travaux au sein du groupe lors de la réalisation de TBH InP reportés sur SiHR, nous y reviendrons dans la section suivante. Un autre changement est celui de l'augmentation de l'épaisseur de la couche d'arrêt de GaInP de 200 à 1000 Å. Comme nous prévoyons la suppression du substrat par gravure humide en utilisant des solutions concentrées pendant des durées relativement longues, l'idée de renforcer la couche d'arrêt pour prévenir au maximum la pénétration de la solution d'attaque au sein de la structure est intéressante.

2.3.2 Collage et gravure de substrat

Comme explicité dans la partie 1.4.2, le procédé retenu pour effectuer le report de la structure du Tableau 2.5 sur des substrats de SiHR est la thermocompression Au/Au. Avant de commencer la fabrication proprement dite, nous avons mené une démarche de développement et de validation technologique sur deux des étapes clés montrées sur la Figure 2.35 à savoir le collage et la suppression du substrat original de croissance.

Des paramètres de collage comprenant une température et une pression de respectivement 200 °C et de 1,2 bar sont retenus pour débiter cette étude. L'efficacité de ceux-ci a été éprouvée

dans des travaux antérieurs utilisant le même équipement, bien qu'ils aient été mis en œuvre avec des hétérostructures très différentes des nôtres pour la réalisation de photodétecteurs reportés sur silicium par thermocompression [89].

D'autres travaux, qui eux ont porté sur la réalisation de TBH reportés sur silicium, se sont heurtés à des problèmes de diffusion du joint de collage au sein de la structure pendant la mise en œuvre du procédé de thermocompression. Ce problème avait été résolu en introduisant dans la séquence de métallisation, coté épitaxie, des matériaux empêchant cette diffusion tels que l'élément réfractaire molybdène, ainsi qu'une couche de platine comme barrière de diffusion [59], [62].

Pour débiter l'étude et la validation du collage de notre structure, nous avons entrepris des reports par thermocompression utilisant un empilement réduit à sa plus simple expression : Au/Au. Une simple couche d'or de 200 nm d'épaisseur est alors préalablement déposée par évaporation sur l'épitaxie et le substrat. Un contrôle de la diffusion sera effectué après report, des barrières seront incorporées ultérieurement le cas échéant, si la pénétration de la diffusion dans la structure n'était pas uniquement limitée à la couche de GaAs n⁺ de 5000 Å d'épaisseur. L'épitaxie et le substrat hôte sont tous deux nettoyés et désoxydés par des bains successifs d'acétone, d'alcool isopropylique sous ultrasons et de BOE 7:1. Les deux échantillons sont métallisés puis introduits le plus rapidement possible dans l'équipement de collage, afin de minimiser le nombre de corps étrangers en surface, nuisibles à la qualité de l'interface de collage. Ces reports ont directement conduit au bon scellement des deux échantillons et ceux-ci sont bien solidaires.

Nous nous sommes par la suite penchés sur le procédé de suppression de substrat. Tout d'abord, nous avons utilisé une solution d'ammoniaque de même nature que celle employée précédemment pour graver les couches de GaAs de nos structures épitaxiales, mais celle-ci était bien plus concentrée : NH₄OH/H₂O₂/H₂O (1/1/2). La gravure s'effectue sous agitation et à l'aide d'un porte échantillon, afin de maintenir en place l'ensemble pendant des périodes de temps importantes. La vitesse de gravure expérimentée de cette solution est d'environ 3,2 μm/min, ce qui a permis de supprimer le substrat originel de l'épitaxie d'une épaisseur de 470 μm en 2h30.

Il a cependant été constaté la délamination de l'épitaxie du substrat hôte sur une surface non négligeable de l'échantillon. Celle-ci est intervenue progressivement au cours de la gravure du substrat et s'est principalement produite au niveau du bord arrondi du substrat de l'épitaxie, laissant supposer une infiltration de la solution d'attaque pendant la gravure. Cela met en évidence que l'adhérence à l'interface de collage du joint est insuffisante en l'état. Ce problème devra trouver une solution lors de la prochaine fabrication pour assurer un rendement satisfaisant. La majorité de la surface de l'échantillon est cependant exploitable. Il a alors tout de même été utilisé pour la réalisation de premières diodes, pour vérifier ainsi leur bon

fonctionnement, et donc si la diffusion a atteint la couche n^- . La couche d'arrêt devenue apparente à la fin de la gravure du substrat est alors retirée, puis une lithographie électronique de résine positive copolymère/PMMA est réalisée pour la réalisation d'un contact Schottky Ti/Pt/Au. Une prise de vue de l'échantillon est montrée en Figure 2.36.

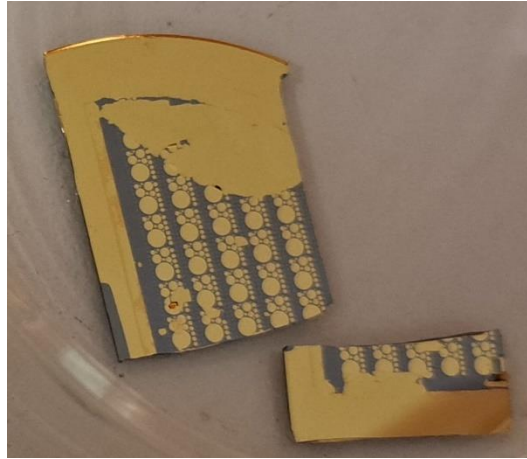


Figure 2.36 : Prise de vue des premières diodes reportées réalisées.

Des mesures courant-tension avec deux pointes sont effectuées pour vérifier le bon comportement de ces diodes. Il s'agit ici d'anodes de très grandes dimensions, où l'isolation et la formation des ponts à air ne sont pas nécessaires. Une pointe est posée sur le contact Schottky et la deuxième sur le métal situé sur l'extérieur de l'échantillon lui-même connecté au contact ohmique sous le composant. Ces mesures sont concluantes avec une caractéristique directe et une tension de claquage conforme. Celles-ci ne sont pas présentées car nous exposerons plutôt les mesures effectuées sur les fabrications suivantes. Nous avons alors confirmation que le report de substrat n'a pas endommagé la structure. Pour compléter, l'échantillon est clivé puis une observation par microscopie électronique ainsi qu'une analyse EDX sont effectuées et visibles en Figure 2.37. Nous y constatons la bonne isolation du contact Schottky, ici présent sur la partie supérieure, des deux images de la Figure 2.37, avec le joint de collage.

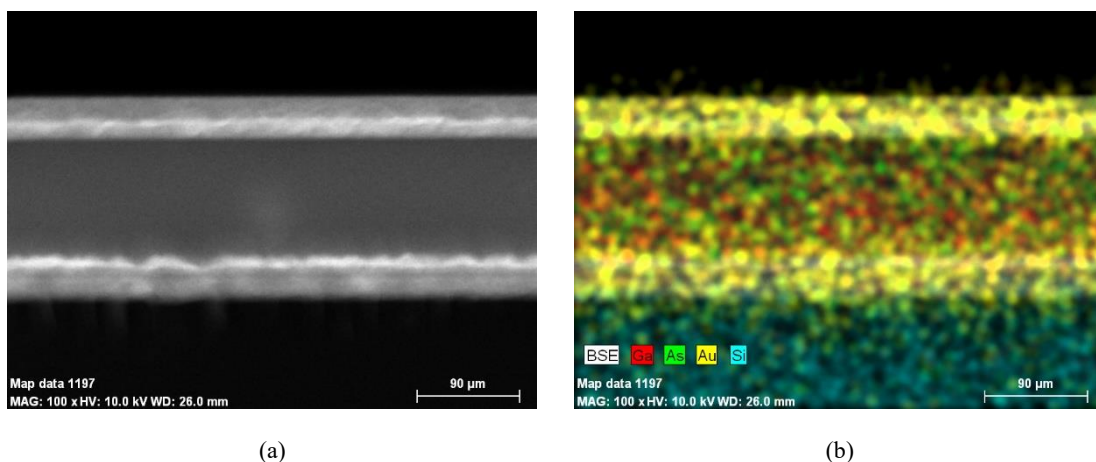


Figure 2.37 : Contrôle de la présence de diffusion au sein de la structure après collage Au/Au, (a) image MEB, (b) analyse EDX.

Comme mentionné ci-dessus, nous avons cependant constaté qu'en certains endroits de l'échantillon, l'ensemble substrat-épitaxie était délaminé, visible en Figure 2.38a.

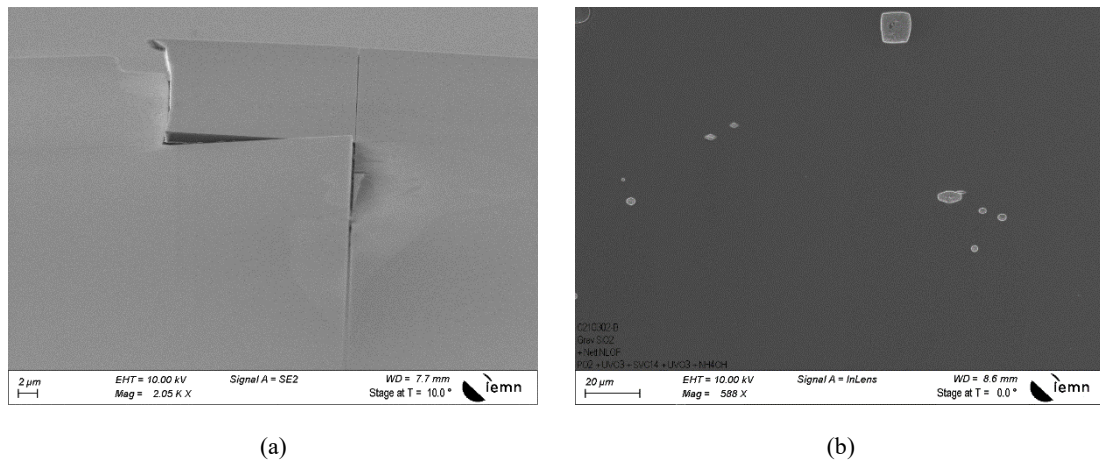


Figure 2.38 : Défauts relevés sur la structure après collage et gravure du substrat, (a) défaut d'adhérence après collage, (b) infiltration de la solution d'attaque dans la structure au cours de la gravure du substrat.

La Figure 2.38b met en évidence un autre type de défaut rencontré lors de la gravure du substrat. Ce sont des zones de petites dimensions où la structure épitaxiale est absente laissant apparaître l'or de l'empilement de collage. Il pourrait s'agir de défauts localisés engendrés par la présence de contaminants à l'interface entre les deux échantillons au moment de leur mise en contact, juste avant l'introduction dans l'équipement de collage. Ce défaut fragiliserait la couche et la solution de gravure du substrat s'infiltrerait alors au travers de la couche d'arrêt. Ce type de défauts est inhérent au report, et un nombre important d'entre eux sont présent en surface. Cela pourrait impacter le rendement de fabrication par rapport à un procédé standard.

Enfin, pour favoriser une meilleure adhérence lors des prochains reports de substrats, il a été décidé d'introduire une couche d'accroche de titane d'épaisseur 100 nm dans notre empilement de collage, coté substrat, ainsi que des traitements de surface par plasma d'argon sur les deux surfaces, dans but d'améliorer l'adhérence des couches de l'empilement de collage.

Pour limiter les risques d'infiltration de la solution de gravure dans l'empilement de collage, nous avons choisi de remplacer la gravure du substrat faite avec une solution d'ammoniaque (3,2 µm/min) par une autre gravure à l'acide sulfurique concentré (1/8/1), avec une vitesse d'attaque d'environ 20 µm/min. En diminuant le temps nécessaire à la gravure complète, nous espérons limiter le risque d'infiltration.

2.3.3 Optimisation du contact ohmique et empilement de collage

Après avoir validé les étapes de collage et de gravure du substrat lors de la fabrication de ces diodes reportées, une vérification des caractéristiques du contact ohmique doit être effectuée avant la réalisation des composants finaux. Précisons que le contact ohmique joue également le rôle de joint de collage et que celui-ci se devra d'être gravé par la suite de manière à réaliser les

accès des composants. Cela limite notre choix de matériaux dans la réalisation du contact ohmique à ceux pouvant être gravés facilement par un procédé plasma.

Pour ce faire, des motifs de TLM ont été réalisés sur la couche supérieure des épitaxies inversées InAs/InGaAs/GaAs. Plusieurs métallisations ont été testées et les résultats des deux plus pertinentes sont disponibles dans le Tableau 2.6.

Matériau de contact	100 Å : InAs, $5.10^{19} \text{ cm}^{-3} \text{ Si}$	
Contact réalisé	Au (200 nm)	Ti/Pt/Au (25/25/200 nm)
R_c ($\Omega \cdot \text{mm}$)	0,007	0,008
$R_{\text{carré}}$ (Ω/\square)	13,86	13,43
Lt (μm)	0,48	0,59
ρ_c ($\Omega \cdot \text{cm}^2$)	$3,19 \cdot 10^{-8}$	$4,66 \cdot 10^{-8}$

Tableau 2.6 : Caractéristiques des contacts ohmiques non recuits sur la structure utilisée : InAs/InGaAs.

Nous avons débuté en reprenant le même contact ohmique non recuit constitué de Ti/Pt/Au, qu'évalué précédemment dans la section 2.1.3. Celui-ci montre une excellente résistivité de contact de $4,66 \cdot 10^{-8} \Omega \cdot \text{cm}^2$ comparable à celle obtenue sur la structure TBH présentée dans le Tableau 2.2. Une résistance de contact extrêmement faible de $0,008 \Omega \cdot \text{mm}$ est obtenue, ce qui nous conforte dans notre approche de procédé envisagé et explicité sur Figure 2.35.

Ce contact ohmique peut cependant induire une incertitude technologique pour la réalisation du procédé envisagé : en considérant un empilement de collage de Ti/Au côté substrat et de Ti/Pt/Au côté épitaxie, l'empilement complet après report des deux échantillons sera très complexe à graver, les matériaux Ti et Pt étant connus pour leurs utilisations comme masque de gravure plasma dans certains procédés. Nous avons alors envisagé de simplifier ce contact non recuit à sa plus simple expression de manière à faciliter sa gravure ultérieure.

Un contact ohmique constitué uniquement d'une simple couche d'or a alors été expérimenté sur la couche supérieure d'InGaAs/InAs de nos structures. Ses caractéristiques, présentées dans le Tableau 2.6, montrent de bons résultats, quasiment identiques, avec une résistance de contact relevée de $0,007 \Omega \cdot \text{mm}$. Ce contact ohmique est donc retenu pour lancer la première fabrication complète d'un échantillon de diodes reportées sur SiHR.

2.3.4 Séquence complète de fabrication

De la même manière que dans les des deux précédents procédés de fabrication, la couche n^- de GaAs, protégée par un masque de SiO_2 , est gravée par voie humide avec une solution d'ammoniaque diluée dans les proportions 1/1/100. Nous observons sur la Figure 2.39 le résultat obtenu et constatons que nous avons les mêmes profils de gravure que précédemment. Rappelons que, n'ayant pas de couche d'arrêt à l'interface GaAs n^-/n^+ , pour ne pas pénaliser la résistance thermique, le fond de gravure présente une légère rugosité qui est sans conséquence. Une marge sur la profondeur de gravure de 50 nm sur la couche n^- est nécessaire pour s'assurer que la totalité de la couche ait été retirée de l'ensemble de la surface de l'échantillon.

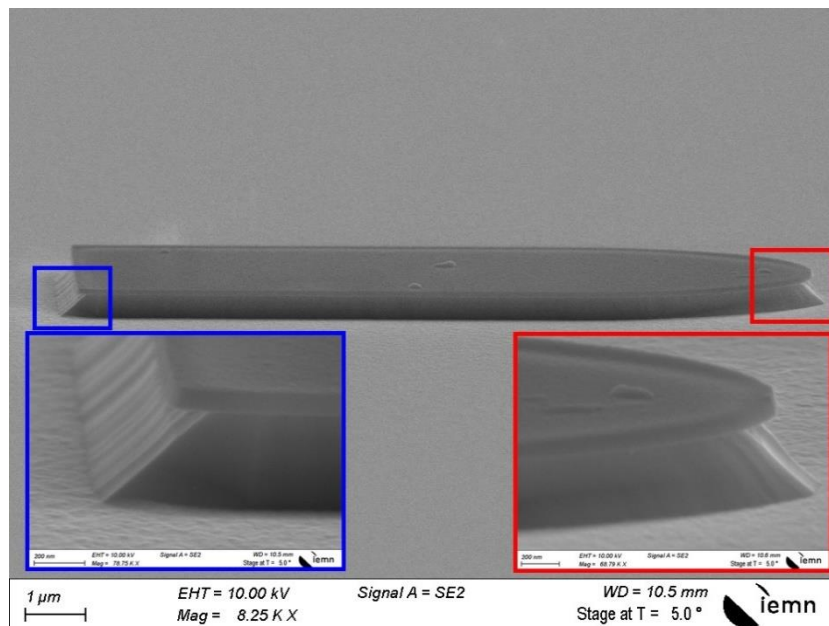


Figure 2.39 : Gravure humide de la couche de GaAs n^- de la structure de diodes Schottky reportées.

La Figure 2.40 illustre la suppression du masque de SiO_2 . Elle met en évidence que les défauts structurels, montrés sur Figure 2.38b où des fragments de matériau manquent, peuvent entraîner des composants inutilisables. Ce cas est cependant relativement rare, compte tenu de la petite taille du composant par rapport à la surface de l'échantillon.

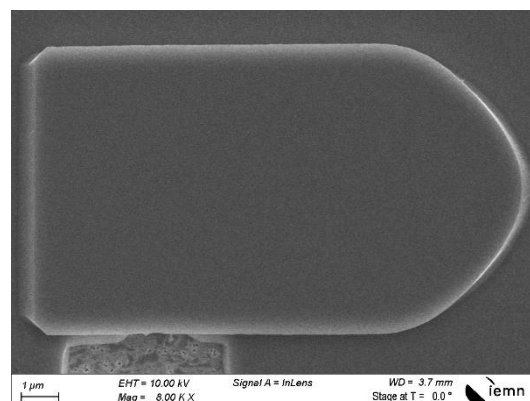


Figure 2.40 : Suppression du masque de gravure SiO_2 et visualisation d'un défaut structurel proche d'un composant.

La gravure de la couche n^+ est ensuite réalisée par gravure humide d'ammoniaque à l'aide d'un deuxième masque de SiO_2 . La Figure 2.41 montre une vue de dessus des deux gravures, et de l'or mis à nu à la fin de la deuxième. Nous constatons également un aspect altéré de la surface de l'or, qui présente une multitude d'irrégularités, problème auquel il faudrait remédier ultérieurement.

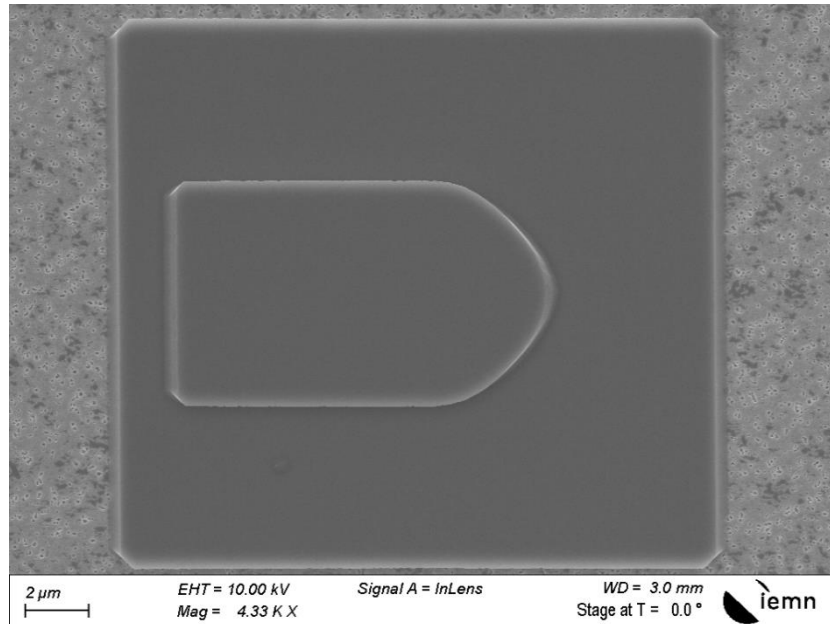


Figure 2.41 : Gravure humide de la couche de GaAs n^+ et mise à nu de l'empilement de collage.

Le composant est à nouveau protégé par un masque de SiO_2 , ici de 400 nm d'épaisseur, les deux couches d'or de l'empilement de collage sont gravées par une attaque physique d'argon. Nous pouvons voir sur la Figure 2.42 que le fond de gravure est très rugueux.

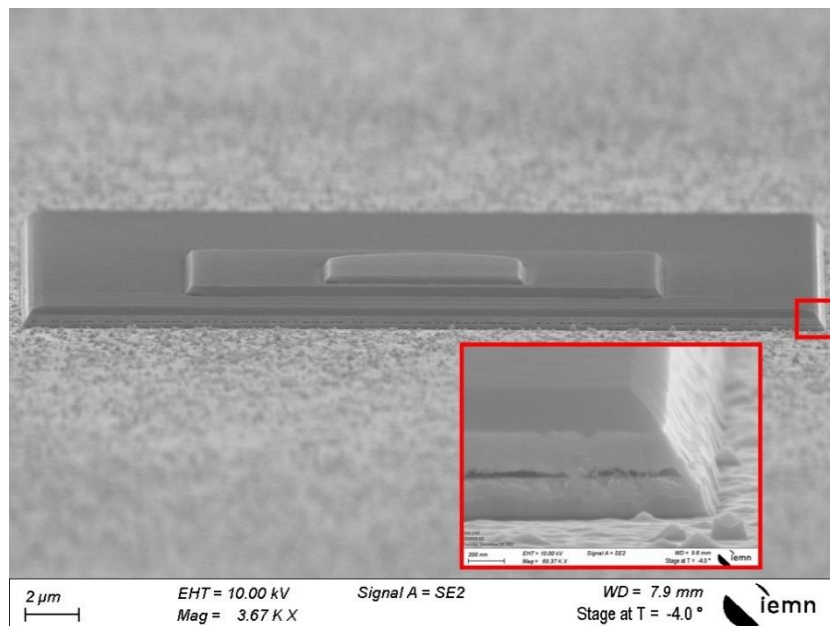


Figure 2.42 : Protection du composant par un masque de SiO_2 et gravure physique de l'or.

Dans la vue rapprochée encadrée en rouge de la Figure 2.42, nous constatons la gravure complète des deux couches d'or de l'empilement de collage, et le titane sous-jacent commence à apparaître. Bien que peu visible, il s'agit du liseré plus sombre à la base du flanc de gravure. Le titane a donc bien joué son rôle de sélectivité, protégeant le substrat de SIHR, en empêchant que ce dernier soit gravé par le plasma d'argon après la suppression complète du joint Au/Au. En effet, sans cette précaution et en attaquant le substrat, l'épaisseur du composant serait inutilement augmentée, générant des difficultés supplémentaires dans la réalisation des ponts à air ainsi qu'un état de surface rugueux. La vue rapprochée de l'encadré rouge montre également des défauts au niveau de l'interface de collage qui semble discontinue. De plus, nous y apercevons plus distinctement la rugosité de surface : il s'agit de particules d'or résultant de la gravure incomplète causée par le profil irrégulier du plot d'or. Celui-ci est lui-même dû à un phénomène de micro masquage issu de la déformation de l'empilement de collage.

La Figure 2.43 présente une photo MEB du composant après la suppression du masque de gravure de SiO₂ et de la couche de titane. Ces deux matériaux sont simultanément retirés par une solution de BOE 7:1. Notons que la vitesse d'attaque du titane est bien supérieure à celle du SiO₂ : le temps nécessaire à la suppression totale du reste du masque de SiO₂ entraîne alors une attaque latérale importante de la couche de titane. Cette sous-gravure est visible dans l'encadré rouge de la Figure 2.43.

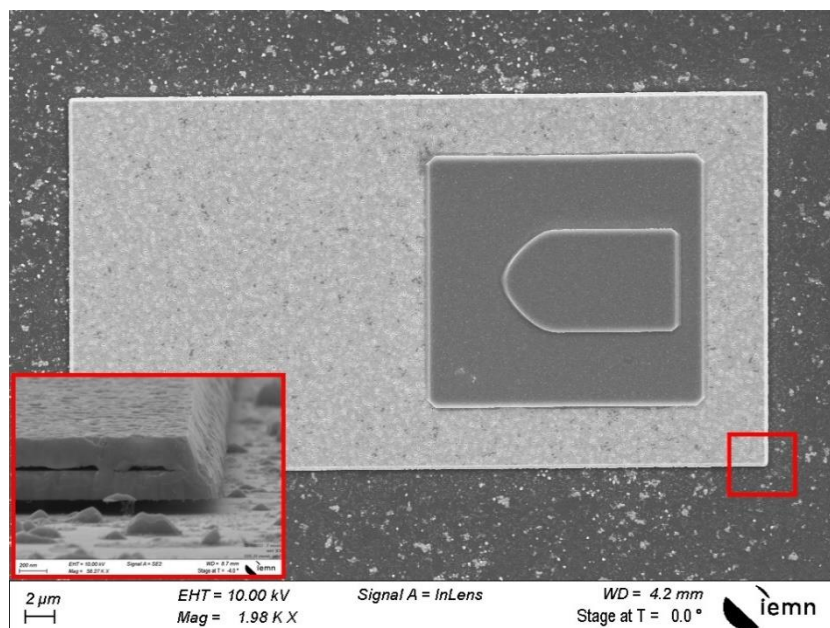


Figure 2.43 : Suppression du masque de gravure SiO₂ et de la couche de titane.

Il sera essentiel de déterminer avec précision la dimension de la sous-gravure du titane, pour s'assurer qu'elle soit bien confinée en bordure extérieure du joint, sur lequel est collé le composant.

Nous apercevons également sur la Figure 2.43 les particules d'or décrites précédemment. Lors de la gravure du titane, celles-ci ont été libérées et sont venues contaminer la surface de

l'échantillon en se redéposant. Elles posent un problème d'isolation électrique qu'il est nécessaire de traiter. Dans une éventuelle nouvelle itération de ce procédé, une marge plus importante sera prise pour la gravure physique de l'empilement de collage de manière à supprimer d'emblée ces particules.

La Figure 2.44 montre la réalisation d'une coupe FIB dans un composant. Nous y observons que la qualité de l'interface de collage n'est pas idéale, avec de nombreux vides qui diminuent la surface de contact du composant sur le substrat. Les zones de contact ponctuelles assurent bien l'adhérence de la structure sur le substrat de SiHR. Nous remarquons que dans la majorité des cas, ces derniers se situent sous un point de déformation de la couche d'or supérieure. L'état de surface de cette dernière apparaît bien plus rugueux que la couche inférieure du côté du substrat, avec les mêmes défauts visibles sur la couche d'or que sur la Figure 2.41. En effet, la rugosité de l'épitaxie se répercute sur la couche d'or dès la métallisation de l'empilement de collage. Sur cette coupe, nous pouvons également déterminer que la dimension de la sous gravure de la couche de titane est d'environ $3,5 \mu\text{m}$. Elle ne vient pas sous le composant, et ne pénalise pas le trajet de la chaleur vers le substrat, puisque la distance laissée pour la gravure de l'empilement de collage était de $6 \mu\text{m}$ par rapport au mesa de gravure de GaAs n^+ .

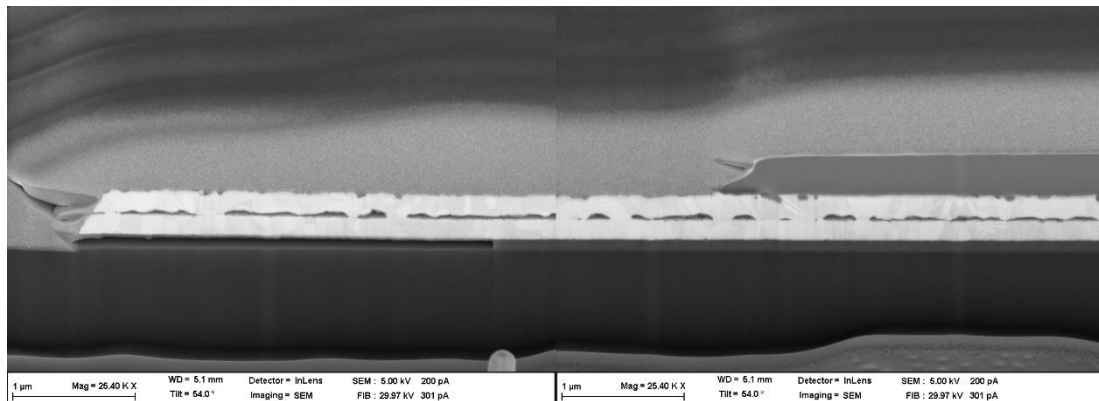


Figure 2.44 : Photos MEB d'une coupe FIB de l'empilement de collage après gravure humide du titane.

Pour quantifier cette rugosité, un scan AFM a été effectué sur la couche d'InAs de surface de nos épitaxies inversées (Tableau 2.5), visible sur la Figure 2.45.

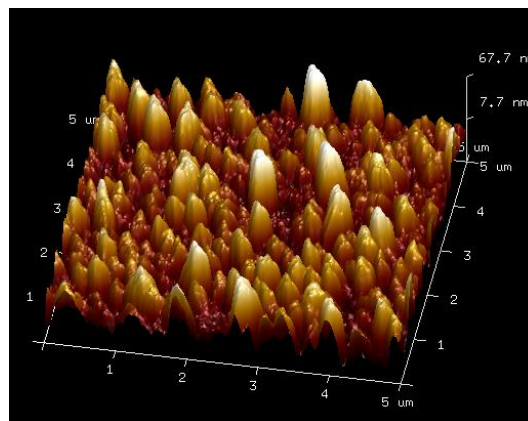


Figure 2.45 : Scan AFM de la couche supérieure d'InAs de la structure inversée.

L'épaisseur des couches désadaptées d'InGaAs et d'InAs se voulait volontairement importante, de manière à favoriser la formation d'un contact ohmique non recuit aux caractéristiques intéressantes, mais elle a entraîné un profil de surface de nos structures bien plus rugueux qu'anticipé. Nous savons par expérience que le report de substrat impliquant des couches avec une rugosité importante complique nécessairement ce type de procédé [59]. La rugosité moyenne de cette surface de matériau scannée de $25 \mu\text{m}^2$ est de 18 nm. Nous notons également qu'un pic de près de 68 nm a été relevé dans ce contexte, et ces surépaisseurs induisent les irrégularités de collage dont nous avons discuté précédemment.

Les particules d'or visibles sur la Figure 2.43 doivent ensuite être supprimées. Cela est effectué à l'aide d'une solution de KI-I₂ après avoir préalablement protégé le composant à l'aide d'une lithographie de résine négative. L'action de cette solution a été très efficace, avec un nettoyage immédiat de ces particules en seulement 5 secondes, comme le montre la Figure 2.46.

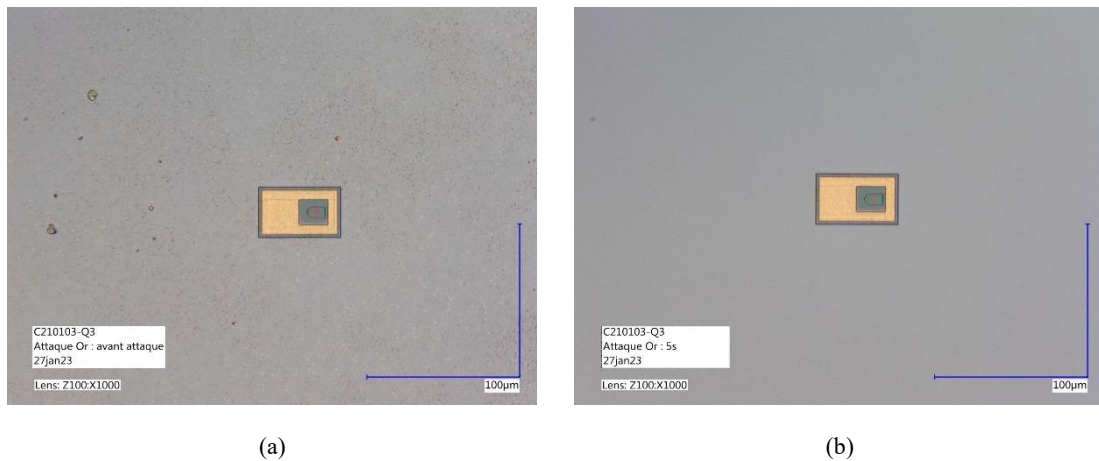


Figure 2.46 : Nettoyage des particules d'or restantes sur le substrat SiHR, (a) avant attaque KI-I₂, (b) après attaque KI-I₂.

Puis le contact Schottky est déposé sur le mesa n⁻ comme l'illustre la Figure 2.47.

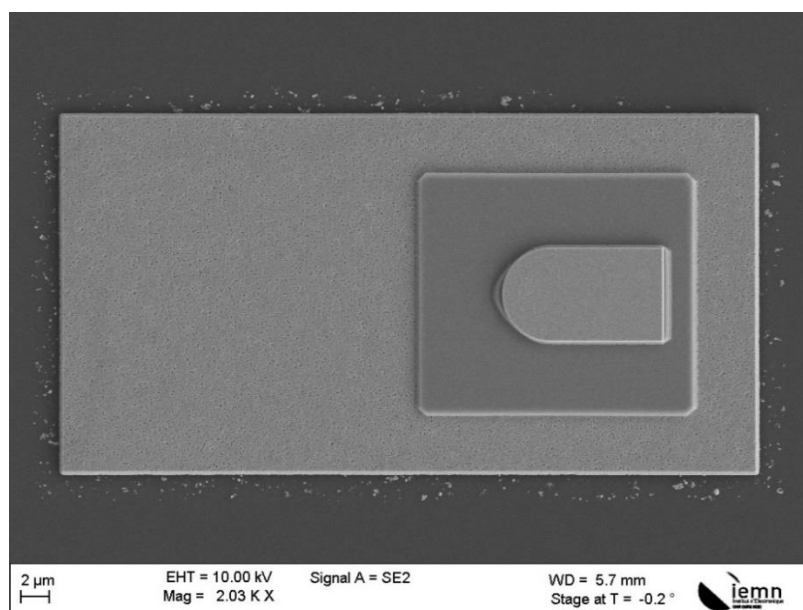


Figure 2.47 : Dépôt de l'électrode Schottky du composant.

Les particules d'or restantes sur le pourtour du composant sont celles qui étaient masquées par la résine négative lors de l'étape de nettoyage mentionnée plus haut.

Enfin, les ponts à air sont formés. La Figure 2.48 expose la lithographie électronique finale avec ses trois couches révélées sélectivement.

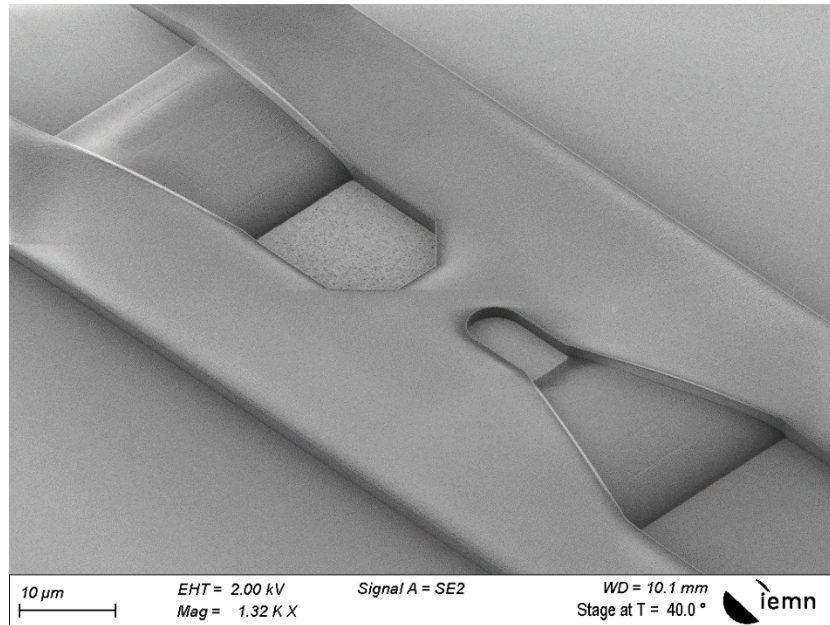


Figure 2.48 : Lithographie de ponts à air sur substrat silicium.

La Figure 2.49 montre le composant obtenu en fin de fabrication. Malgré quelques inquiétudes et problèmes rencontrés, nous sommes satisfaits du résultat de cette première fabrication : les composants sont testés fonctionnels à l'aide de mesures I-V.

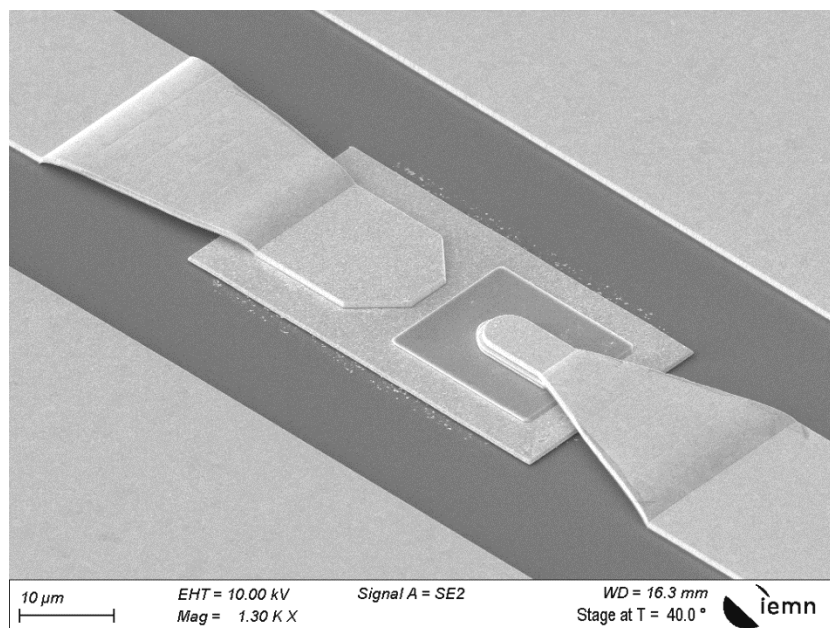


Figure 2.49 : Prise de vue du composant après métallisation des ponts à air.

2.4 Conclusion du chapitre 2

Dans ce chapitre, nous avons abordé le développement ainsi que la réalisation des différentes fabrications de diodes Schottky GaAs.

Diverses solutions de gravure ont été évaluées pour le GaAs en s'appuyant sur la littérature et le savoir-faire disponible au laboratoire. La gravure utilisant l'ammoniaque, mise en œuvre avec un masque de SiO₂, a été retenue pour son excellente homogénéité, reproductibilité, ainsi que pour la nature avantageuse des flancs de gravures qu'elle engendre pour le GaAs.

Différents contacts ohmiques ont été envisagés, certains étaient recuits et donc ayant un caractère diffusant dans le semiconducteur, d'autres non recuits. Notre approche a débuté en essayant de réaliser un contact non recuit pour simplifier le procédé de fabrication, mais cela n'a malheureusement pas été possible, pour les deux premières fabrications sur GaAs, en raison de la filière de matériaux utilisée. Nous avons alors mis en œuvre un contact ohmique recuit pour contourner ce problème et permettre la réalisation des composants. Le contact ohmique ainsi retenu, basé sur le système Ni/Ge/Au/Ti/Au, a permis la réalisation de contacts ohmiques présentant une résistance de contact au niveau de l'état de l'art.

Ces développements ont été incorporés au procédé de fabrication élaboré et mis en œuvre dans la réalisation de diodes GaAs sur substrat GaAs destinées à des caractérisations statiques, hyperfréquences et thermiques. Par la suite, ce procédé a été mis en œuvre une seconde fois, avec une conception de barrette de multiplication de fréquence, et complété avec un ensemble d'étapes technologiques spécifiques pour permettre l'extraction des composants des échantillons.

D'autres développements ont été nécessaires pour permettre la réalisation de composants d'une autre nature : des diodes Schottky GaAs reportées sur silicium haute résistivité. Ceux-ci peuvent se résumer en des travaux portant sur la définition de nouvelles structures épitaxiales inversées et dotées de couches dédiées à la formation d'un contact ohmique non recuit, le report de celles-ci sur SiHR par thermocompression Au/Au, la suppression du substrat originel de croissance par attaque chimique, la gravure du joint de collage et la réalisation de ponts à air sur silicium présentant un très haut rendement de composants fonctionnels. Le principal problème rencontré lors de cette fabrication a été la qualité relative de l'interface de collage. Nous verrons dans le chapitre suivant si cela impacte la résistance thermique du dispositif. Une perspective directe à cette première fabrication sera de fiabiliser ce point.

Ces réalisations permettent d'entrevoir la conception et la fabrication d'un multiplicateur de fréquences embarquant ces diodes reportées sous la forme d'une barrette flip-chip, voire même d'un éventuel circuit MMIC réalisé sur une membrane de silicium.

Le chapitre suivant sera consacré à l'analyse des différents facteurs de mérite des diodes et un comparatif des performances des deux technologies de diodes sera dressé.

3 Caractérisations

Nous avons détaillé dans le chapitre précédent le cheminement technologique et expérimental qui a conduit à la fabrication de différentes itérations de technologies de diodes Schottky GaAs. Dans ce contexte, trois technologies ont été réalisées.

La première est une fabrication de diodes Schottky GaAs unitaires sur substrat GaAs. Cette technologie, conventionnelle, permettra de constituer le point de référence pour ainsi dresser une comparaison avec les autres composants réalisés.

La deuxième est également une technologie de diodes Schottky GaAs, mais sous la forme d'une barrette de diodes, et sur un substrat de GaAs aminci à 50 μm . Les composants ont été séparés par un procédé spécifique détaillé dans le chapitre précédent. Sur cette fabrication, les diodes ont été disposées suivant une configuration anti-série, de manière à constituer une barrette de multiplication de fréquences à 150 GHz.

Enfin, la troisième technologie de diodes, unitaire comme la première, est le résultat d'un développement plus original. Celle-ci a consisté à transférer la structure épitaxiale sur un substrat de silicium haute résistivité à l'aide d'un procédé de thermocompression Au/Au. Puis le composant est réalisé sur ce substrat de remplacement, pour bénéficier d'une conductivité thermique trois fois supérieure au GaAs. Nous anticipons, d'après de précédents travaux menés au laboratoire sur des composants TBH reportés [59], [62], que cela devrait permettre une diminution significative de la résistance thermique du composant.

L'objectif du présent chapitre est de fournir une analyse des performances de ces trois technologies. Ceci permettra de mettre en évidence leurs limitations ainsi que les différences observées sur les caractéristiques des différentes diodes réalisées.

Ce chapitre est divisé en trois grandes parties, dans un premier temps nous définirons les différentes topologies de diodes utilisées, ainsi que les masques de lithographie associés. Leurs caractéristiques et facteurs de mérites seront par la suite extraits par le biais de diverses méthodes de caractérisations dont la méthodologie sera également présentée. En résumé, ces caractérisations ont consisté en différentes mesures : de type statiques courant-tension, d'autres à basse fréquence pour dresser la caractéristique capacité-tension, des mesures hyperfréquences jusqu'à 67 GHz, et enfin deux méthodes distinctes et complémentaires pour étudier le comportement thermique des diodes à l'aide de mesures électriques pulsées et de thermoréflexance. Pour terminer, une synthèse des résultats sera proposée et nous nous intéresserons principalement à déterminer quelles caractéristiques du composant ont significativement évoluées à la suite du report de substrat. Notons qu'en ce qui concerne la barrette de diodes, seules ses caractéristiques statiques ont pu être étudiées. Leur caractérisation hyperfréquence n'étant pas réalisable sous pointes, mais seulement après leur montage par nos collègues du LERMA dans le boîtier guides d'ondes de leur conception.

3.1 Masques de diodes utilisés pour les fabrications

Nous allons dans cette section présenter les masques qui ont été utilisés pour la réalisation des différentes fabrications de diodes détaillées dans le chapitre 2. Un premier masque comprenant des diodes aux dimensions macroscopiques a été employé et est visible sur la Figure 3.1. La partie rouge représente le contact ohmique posé sur la couche n^+ et la partie bleue est le contact Schottky sur la couche n^- . Ces diodes, dépourvues de mesa d'isolation et de ponts à air, sont dédiées à la validation technologique ainsi que des structures épitaxiales par l'analyse de leurs caractéristiques I-V et C-V. Leur procédé de fabrication simplifié permet d'obtenir un retour d'expérience rapide et de s'assurer des bonnes caractéristiques des structures de manière plus aisée qu'avec des composants habituellement de tailles plus réduites. Ce masque présente une large gamme de dimensions avec des diodes circulaires de 8 à 700 μm de diamètre, permettant d'effectuer des comparaisons en normalisant par rapport à la surface ou d'étudier des composants présentant des caractéristiques adaptées par rapport à la précision de mesure des équipements. Celui-ci a été utilisé sur les deux structures épitaxiales retenues, pour la fabrication de grandes diodes sur les substrats GaAs et SiHR, et détaillées dans le Tableau 2.1 et le Tableau 2.5. Une échelle de résistance dédiée à l'extraction des caractéristiques des contacts ohmiques, également circulaire, est présente.

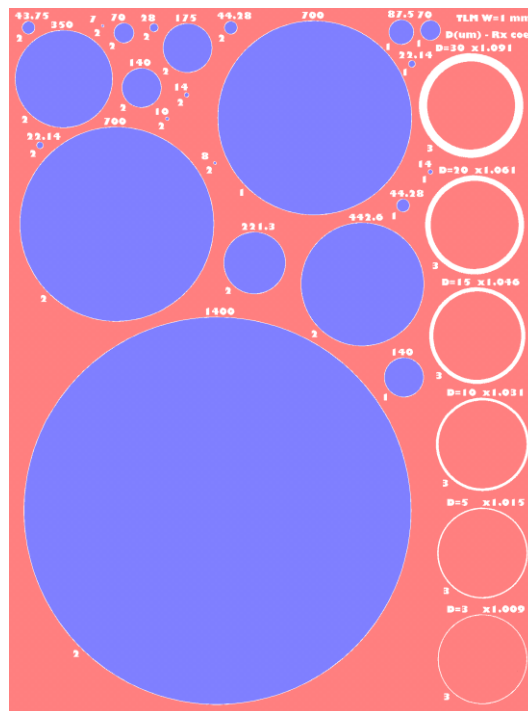


Figure 3.1 : Masque de diodes Schottky de grandes dimensions et échelle de résistance TLM.

Les autres masques utilisés dans ce travail sont ceux qui ont permis la fabrication des composants de dimensions plus petites et dont le procédé a été détaillé dans le chapitre précédent. Mentionnons à nouveau que nous avons choisi pour nos fabrications d'évaluer la topologie de diodes Schottky présentant des anodes quasi-rectangulaires, plus directement

appelées *rectangulaires* dans la suite de ces travaux. L'intérêt de cette topologie dans la réalisation de diodes destinées aux multiplicateurs de fréquences a été discuté dans le premier chapitre. Rappelons qu'en résumé, l'avantage supposé des composants de cette topologie serait de bénéficier pour une surface identique d'une résistance série plus faible que leur variante circulaire. En effet, minimiser la résistance série sans augmenter la surface (et de fait la capacité), constitue un avantage pour les multiplicateurs : une meilleure efficacité de conversion. Concernant la barrette de multiplication réalisée dans ce travail, nous avons dessiné le masque compte tenu des propositions du LERMA, qui a optimisé la topologie de la barrette afin de réaliser des multiplicateurs de fréquences intégrés dans un boîtier de leur conception.

La Figure 3.2 illustre la manière dont sont formalisées les dimensions de l'anode, et l'équation 3.1 introduit la notion de rapport d'aspect R . Par ailleurs, pour une surface d'anode donnée, une autre dimension contribue à la résistance série : la distance D , qui correspond à la distance entre le contact ohmique et le mesa de gravure de la couche n^- .

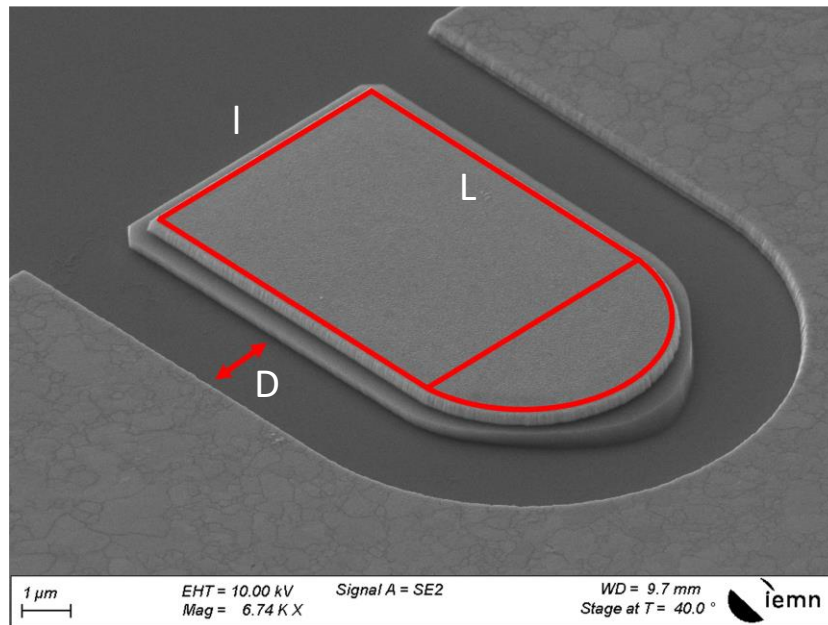


Figure 3.2 : Topologie d'anodes rectangulaires.

$$R = \frac{L}{l} \quad 3.1$$

Avec L la longueur du rectangle, et l sa largeur. La surface S de l'anode pour la topologie rectangulaire est alors donnée par l'équation 3.2 :

$$S = Ll + \frac{1}{2}\pi\left(\frac{l}{2}\right)^2 = l^2\left(R + \frac{\pi}{8}\right) \quad 3.2$$

Enfin, par transposition des termes, nous obtenons l'équation 3.3 qui permet de déterminer la largeur et la longueur de l'anode pour une surface et un rapport d'aspect imposé.

$$l = \sqrt{\frac{S}{R + \frac{\pi}{8}}} \quad 3.3$$

La surface nominale étant de $75 \mu\text{m}^2$ pour la barrette de multiplication à 150 GHz, nous avons retenu la même taille d'anode, et constitué un masque de diodes autour de celle-ci. La Figure 3.3 montre le composant de référence avec une surface d'anode de $75 \mu\text{m}^2$ et un rapport d'aspect de 1,2. Notons que les dimensions des accès coplanaires ont été fixées de manière à obtenir une impédance caractéristique de 50Ω pour les substrats considérés.

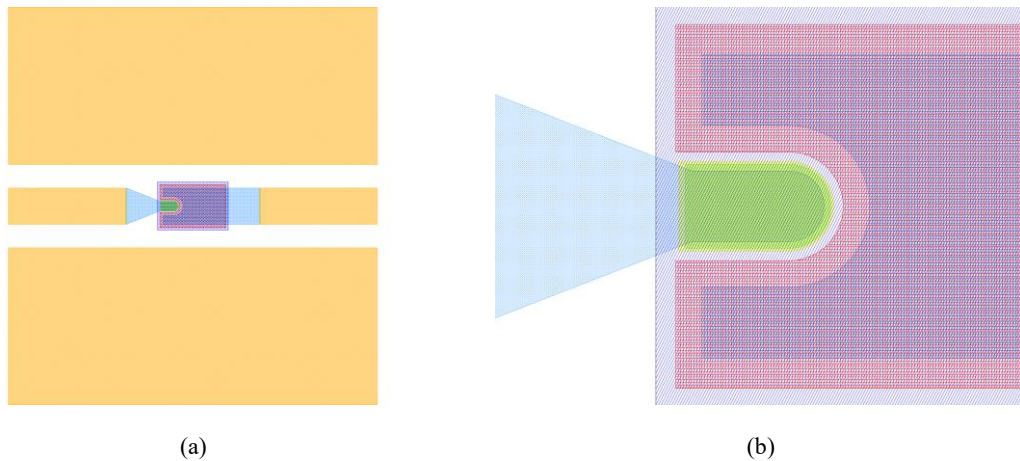


Figure 3.3 : Masque de diodes, (a) composant de référence $S=75\mu\text{m}^2$, $R=1,2$, $D=0,7\mu\text{m}$, (b) vue en gros plan de la jonction.

Ce masque permettra d'étudier la variation de la résistance série en fonction de R . La Figure 3.4 présente les différentes variations de R qui ont été implémentées sur celui-ci, pour une surface d'anode et une distance au contact ohmique de respectivement $75 \mu\text{m}^2$ et $0,7 \mu\text{m}$.

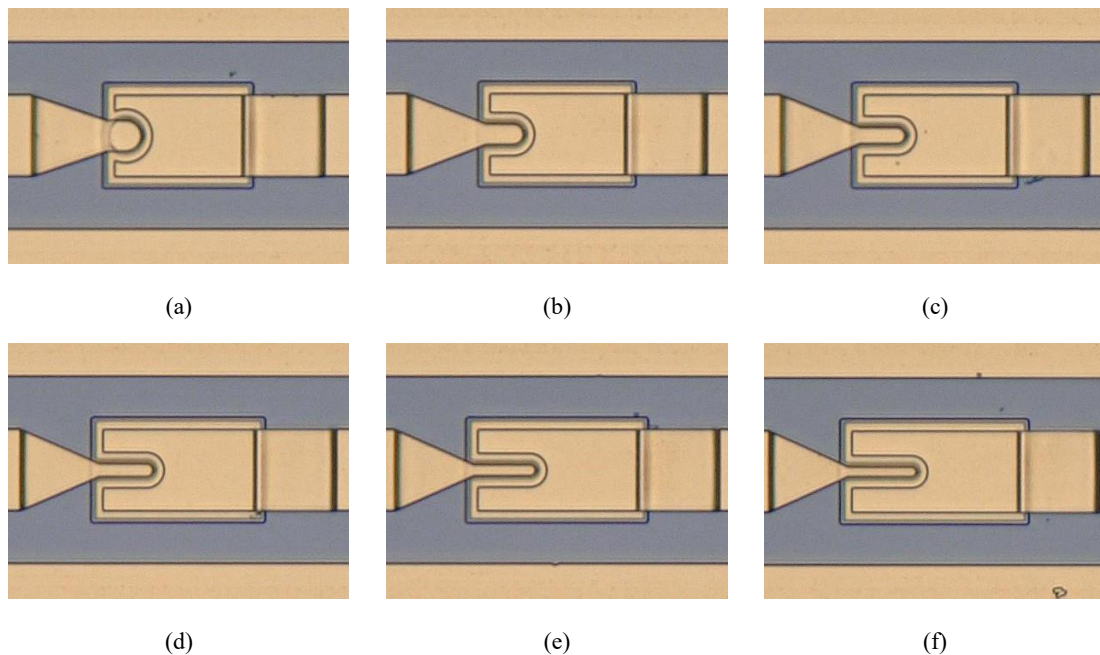


Figure 3.4: Prises de vue au microscope optique en fin de fabrication des anodes de dimensions : $S = 75 \mu\text{m}^2$ et $D = 0,7 \mu\text{m}$ expérimentées sur le masque de diodes unitaires, (a) circulaire, (b) $R = 1,2$, (c) $R = 2$, (d) $R = 3$, (e) $R = 4$, (f) $R = 5$.

La Figure 3.5 montre deux autres composants présents sur le masque de diodes et présentant un rapport d'aspect de 3 et avec $D = 1,4$ et $2,2 \mu\text{m}$. De cette manière nous pourrions évaluer expérimentalement l'impact de R et de D sur la résistance série des diodes.

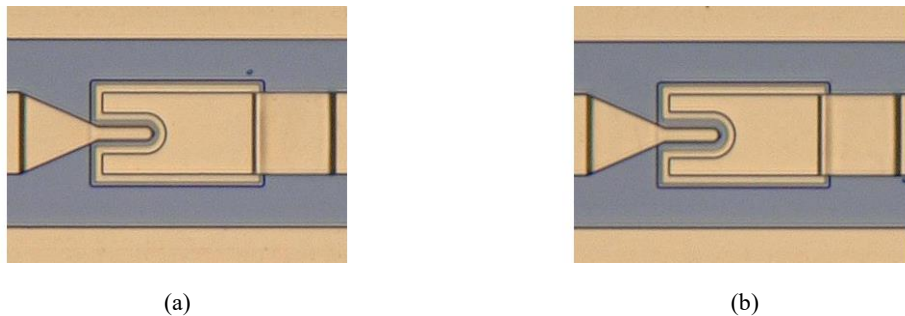


Figure 3.5: Prises de vue au microscope optique en fin de fabrication des anodes de dimensions : $S = 75 \mu\text{m}^2$ et $R = 3$, (a) $D = 1,4 \mu\text{m}$, (b) $D = 2,2 \mu\text{m}$.

En ce qui concerne les composants reportés sur SiHR, à l'heure de l'impression de ce manuscrit, l'échantillon pilote de validation technologique est finalisé. Celui-ci comporte des composants de surface de $75 \mu\text{m}^2$ avec un rapport d'aspect de 1,2 ainsi que des grandes diodes de diamètre 44,3, 70 et $140 \mu\text{m}$. Une photo MEB d'une grande diode GaAs reportée sur SiHR est visible sur la Figure 3.6. Précisons que ces grandes diodes reportées sont isolées, c'est-à-dire que le métal du joint a été gravé, autour de ces dernières, laissant apparaître le substrat de SiHR.

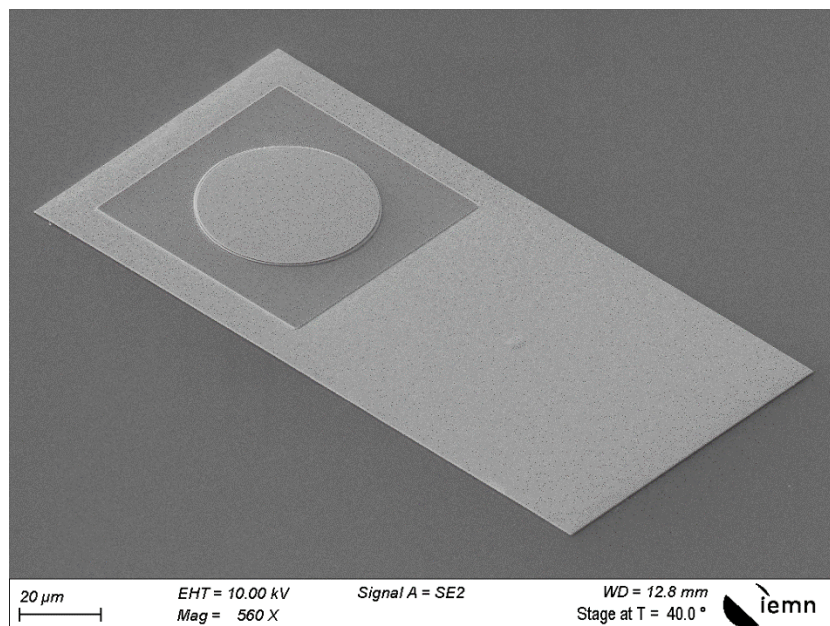


Figure 3.6 : Photo MEB d'une diode Schottky GaAs de grande dimension reportée sur SiHR.

D'une part, rappelons que la réalisation de ces composants reportés est plus complexe que ceux réalisés sur GaAs, notamment en raison des défauts structuraux pouvant survenir lors de la gravure humide du substrat comme montré sur la Figure 2.38. Fabriquer des anodes de très grande taille sur ces couches augmenterait significativement le risque qu'un de ces défauts

structurels soit présent sous le contact, entraînant des composants non fonctionnels. D'autre part, l'expérience acquise sur les échantillons précédents nous permet de cibler des dimensions qui permettront de réaliser des composants mesurables dans de bonnes conditions. Il a donc été décidé pour ces deux raisons, de limiter le diamètre maximal des diodes réalisées à 140 μm .

Le composant reporté est de configuration quasi-verticale car le contact ohmique est situé sous la diode. La résistance série ne devrait donc pas dépendre de la topologie de l'anode puisque le trajet du courant est uniquement vertical. Même si le paramètre de rapport d'aspect ne doit pas impacter la résistance série de ce composant, nous avons tout de même conservé une topologie rectangulaire pour cette première fabrication. Pour pouvoir comparer les deux technologies, nous avons donc une topologie de contact Schottky, une surface et un rapport d'aspect commun. Dans l'ensemble, le masque du composant reporté sur SiHR, visible en Figure 3.7, est similaire avec la technologie conventionnelle sur GaAs, à l'exception que le contact ohmique de la diode est ici remplacé par le joint de collage, en rouge sur la Figure 3.7. Puis un mesa de gravure est réalisé pour la couche n^+ , en bleu foncé sur la Figure 3.7, en réutilisant le procédé de gravure humide déjà validé précédemment et mis en œuvre pour la fabrication des diodes sur substrat GaAs. Une vue de ce mesa de gravure est également visible sur la Figure 3.6, il s'agit du carré foncé autour de la diode circulaire.

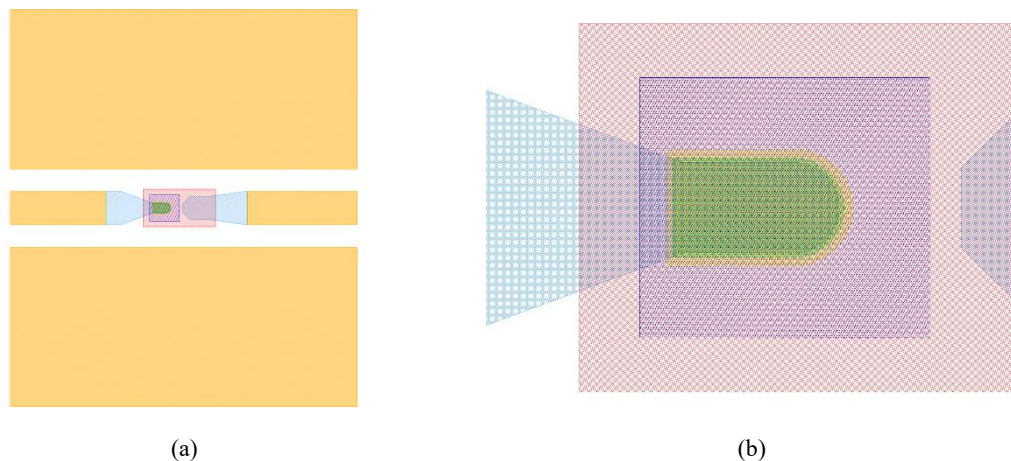


Figure 3.7 : Masque de fabrication pour un composant reporté sur SiHR, (a) composant reporté de référence $S=75\mu\text{m}^2$, $R=1,2$
(b) vue en gros plan de la jonction.

En résumé, les diodes étudiées au cours de ce chapitre seront d'une part sur substrat GaAs: des diodes de grandes dimensions présentant un diamètre d'anode allant de 44,3 à 700 μm , et des composants de taille plus réduites avec une surface d'anode fixe de 75 μm^2 . Ces derniers peuvent présenter une géométrie d'anode circulaire ou rectangulaire avec un rapport d'aspect variable de 1,2 jusqu'à 5. Des composants présentant un rapport d'aspect de 3 et des distances différentes entre le contact Schottky et le contact ohmique de 0,7, 1,4 et 2,2 μm sont également étudiés. D'autre part pour les diodes reportées sur SiHR nous avons trois tailles de diodes de grandes dimensions avec 44,3, 70 et 140 μm de diamètre ainsi qu'une taille unique pour les composants plus petits avec une diode de surface 75 μm^2 présentant un rapport d'aspect de 1,2.

3.2 Caractérisations en régime statique

Nous allons à présent nous intéresser à la caractérisation statique de nos diodes et en particulier à l'étude des différents facteurs de mérite des diodes Schottky GaAs que nous avons fabriquées. Pour commencer, des mesures en régime statique (ou continu) ont été effectuées de manière à obtenir les caractéristiques courant-tension (I-V) des composants, ce qui permet d'extraire les paramètres des diodes. Précisons que les caractérisations statiques présentées ici ont toutes été réalisées à l'aide d'une station de mesure en configuration 4 points, visible sur la Figure 3.8, qui permet d'obtenir directement la tension appliquée au dispositif en s'affranchissant de la chute de tension occasionnée par les câbles et les pointes.

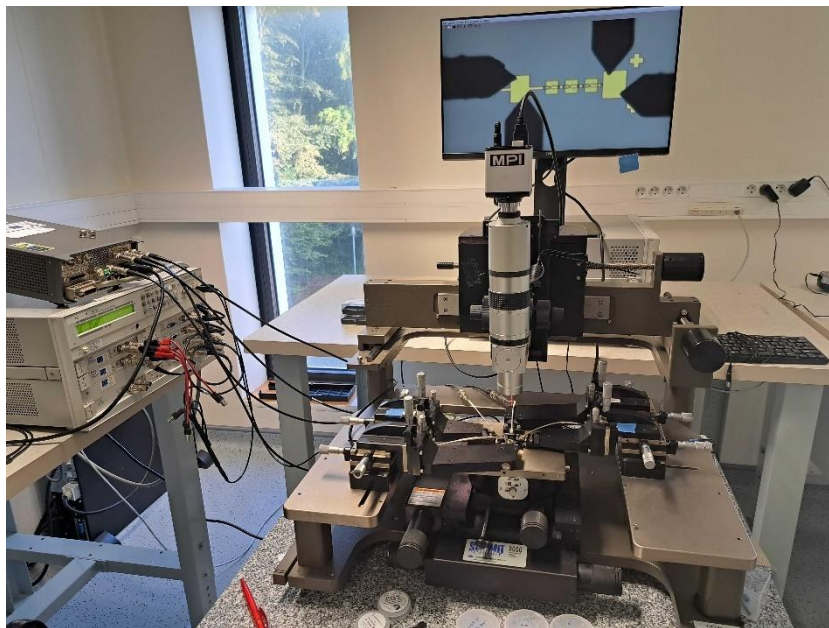


Figure 3.8 : Banc de mesure I-V en configuration 4 pointes.

Nous avons traité dans le chapitre 1 des mécanismes de conduction dans une jonction Schottky idéale. L'équation 3.4 rappelle la relation du courant en fonction de la tension pour ce dispositif. Toutes les équations relatives à la physique des diodes mentionnées dans cette partie et les suivantes sont issues d'ouvrages de référence dans le domaine [35], [36], [37]. L'intégralité des méthodes d'extraction des différents paramètres des composants y est également présenté.

$$I(V) = I_s \left[e^{\frac{qV}{kT}} - 1 \right] \quad 3.4$$

La Figure 3.9 montre une caractéristique I-V complète, mesurée sur une diode Schottky de référence, de surface d'anode de $75 \mu\text{m}^2$, pour une densité maximale de courant limitée à 1000 A/cm^2 en inverse et en direct. Nous pouvons dans un premier temps constater que ces diodes sont fonctionnelles et présentent la caractéristique conventionnelle attendue, avec un courant important dans le sens passant dès 400 mV , ainsi qu'un courant de fuite de $1 \mu\text{A}$ à -9 V . Le commencement du processus d'avalanche se produit à environ -13 V ce qui est conforme à la

valeur théorique pour l'épaisseur de couche active de 350 nm. Notons qu'il s'agit ici de la caractéristique d'une diode pour laquelle nous n'avons pas effectué de recuit de stabilisation du contact Schottky. Nous reviendrons plus tard sur cet aspect et sur l'amélioration que peut apporter un recuit de stabilisation. Nous étudierons dans cette partie les caractéristiques des composants en polarisation directe et inverse pour les deux technologies de diodes fabriquées : reportées sur SiHR et réalisées sur leur substrat originel de croissance en GaAs.

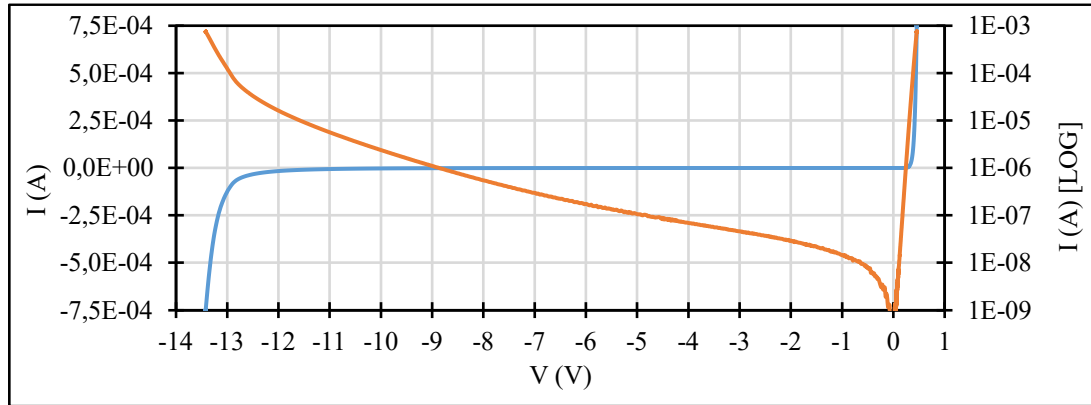


Figure 3.9 : Caractéristique I-V d'une diode Schottky de référence GaAs sur GaAs.

Commençons par évaluer la caractéristique directe des composants. L'équation 3.5 permet par rapport à l'équation 3.4 de tenir compte de la non idéalité des diodes. Cette expression introduit le coefficient d'idéalité η , facteur sans unité supérieur à 1 et typiquement compris entre 1 et 2. Il s'agit d'un indicateur couramment utilisé pour évaluer la qualité des fabrications de diodes. Un coefficient d'idéalité de 1 représente une diode Schottky idéale où le mécanisme de conduction est de nature purement thermoïonique, tandis qu'un coefficient plus élevé met en évidence que d'autres mécanismes de conduction, non souhaités, sont présents comme par exemple la conduction par effet tunnel.

$$I(V) = I_s \left[e^{\frac{qV}{\eta kT}} - 1 \right] \quad 3.5$$

Nous avons également le courant de saturation I_s , dont l'expression est également rappelée sur l'équation 3.6.

$$I_s = SA^*T^2 e^{\frac{-q\Phi_b}{kT}} \quad 3.6$$

Ainsi que la constante de Richardson A^* dont l'expression est visible sur l'équation 3.7.

$$A^* = \frac{4\pi q k^2 m^*}{h^3 m_0} \approx 120 \frac{m^*}{m_0} \quad 3.7$$

Avec h la constante de Planck, m_0 la masse de l'électron et m^* la masse effective de l'électron dans le GaAs. Dans notre contexte la valeur de m^*/m_0 est de 0,067 [36], nous retenons donc la valeur de $8 \text{ A/cm}^2/\text{K}^2$ pour la constante de Richardson pour la suite de ce travail.

Nous allons maintenant exposer les méthodes qui permettent de déterminer les paramètres des diodes. Le premier, directement accessible à l'aide d'une mesure I-V est la résistance série, calculée avec l'équation 3.8.

$$R_s = \frac{dV}{dI} \quad 3.8$$

Il est alors nécessaire d'étudier le coefficient directeur de la zone linéaire qui apparaît lorsque la jonction est fortement polarisée en direct, et donc que la résistance série est grande par rapport à la résistance de la jonction. La zone propice d'étude correspond à l'endroit où une saturation de la caractéristique directe affichée en échelle logarithmique est observée. Une illustration de ce principe est visible sur Figure 3.10, où la zone d'intérêt est montrée en noir pointillés.

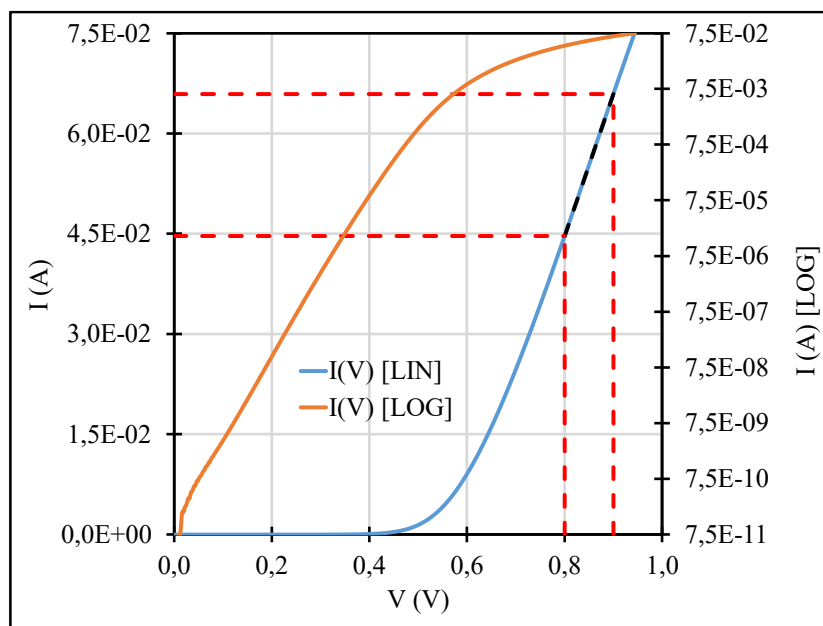


Figure 3.10 : Méthode d'extraction de la résistance série R_s .

Ensuite le coefficient d'idéalité η est obtenu en étudiant le logarithme de la caractéristique directe. En décidant de ne considérer qu'exclusivement la zone linéaire de celle-ci, nous pouvons poser l'équation 3.9.

$$\ln[I(V)] = aV + b = \frac{q}{\eta kT} V + \ln(I_s) \quad 3.9$$

Et obtenons ainsi une caractéristique telle que sur la Figure 3.11, où nous pouvons voir en orange la zone d'étude retenue, portion du logarithme de la caractéristique directe. Avec a et b , respectivement le coefficient directeur et l'ordonnée à l'origine de la droite de la zone d'étude.

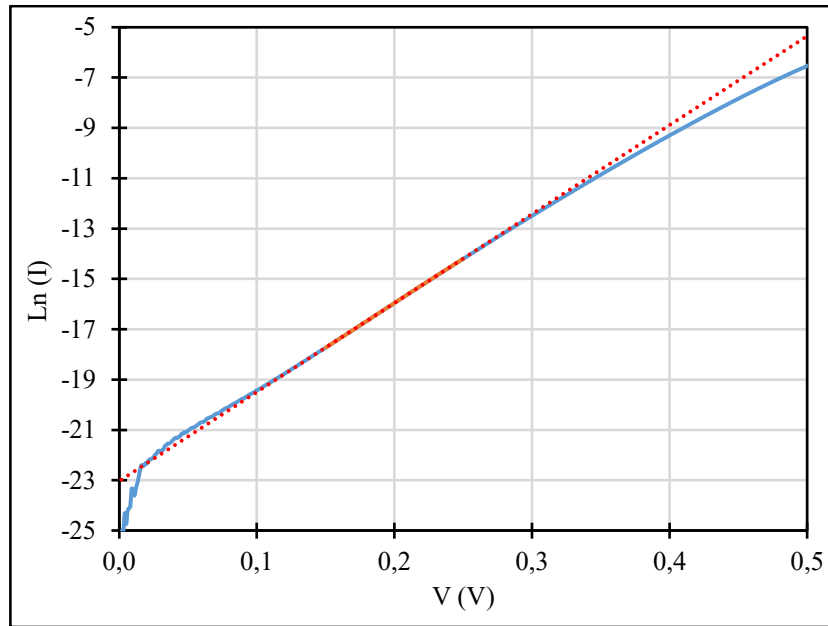


Figure 3.11 : Logarithme de la caractéristique directe et définition de la zone d'étude pour l'extraction des paramètres.

On en déduit l'expression du coefficient d'idéalité, qui est donnée par l'équation 3.10.

$$\eta = \frac{q}{akT} \quad 3.10$$

L'ordonnée à l'origine b de cette droite est le logarithme de I_s , nous avons donc l'équation 3.11 :

$$I_s = e^b \quad 3.11$$

Enfin, le dernier paramètre que nous étudierons sur les caractéristiques statiques directes sera la hauteur de barrière, dont l'expression est donnée sur l'équation 3.12 et qui est obtenue en transposant l'équation 3.6.

$$\Phi_b = \frac{kT}{q} \ln \left(\frac{SA^*T^2}{I_s} \right) \quad 3.12$$

Ces méthodes ont été mises en œuvre pour étudier les paramètres des diodes de surface de $75 \mu\text{m}^2$ pour les différentes géométries d'anodes présentées sur la Figure 3.4 ainsi que pour la diode reportée de même dimension. Cela permet de comparer l'influence des différentes variations de topologie sur la résistance série de la diode, dans le cas des diodes planaires sur substrat GaAs et des diodes quasi-verticales reportées sur SiHR. Les résultats obtenus pour la première technologie sur substrat GaAs sont visibles dans le Tableau 3.1.

Diode D = 0,7 μm	R_s (Ω)	η	I_s (10^{-10} A)	Φ_B (eV)
Circulaire	4,96	1,01	1,17	0,33
R = 1,2	4,71	1,09	0,98	0,34
R = 2	4,27	1,10	1,20	0,33
R = 3	3,92	1,11	1,67	0,32
R = 4	3,64	1,11	1,70	0,32
R = 5	3,43	1,10	1,22	0,33

Tableau 3.1 : Extractions des paramètres en régime statique pour des diodes sur substrat GaAs et de surface $75 \mu\text{m}^2$ pour les différents rapports d'aspects.

Nous remarquons que la mise en œuvre de la topologie d'anode rectangulaire ainsi que l'augmentation du rapport d'aspect de l'anode permet, à surface d'anode égale, comme anticipé par Monsieur Jean Bruston [42], de minimiser de manière significative la résistance série du composant de près de 30 % pour un rapport d'aspect de 5 par rapport à la diode circulaire. Comparons à présent ces résultats avec la diode reportée sur SiHR, dans le Tableau 3.2.

Diode reportée	R_s (Ω)	η	I_s (10^{-10} A)	Φ_B (eV)
R = 1,2	1,66	1,26	1,95	0,32

Tableau 3.2 : Extraction des paramètres en régime statique pour la diode sur substrat SiHR de surface $75 \mu\text{m}^2$.

Comme prévu, ces composants pour lesquels le transport électronique est purement vertical présentent une résistance série fortement réduite. La diminution de la résistance série est drastique, d'environ 65 % pour les deux diodes de rapport d'aspect de 1,2 entre la diode de référence sur GaAs et la diode reportée sur SiHR. Le composant reporté présente une configuration quasi-verticale et permet de minimiser fortement la contribution de la zone d'accès entre le contact ohmique et la diode intrinsèque. Elle offre donc naturellement une meilleure résistance série. Toutefois, notre étude montre également que dans le cas d'une technologie plus classique, qui ne permet pas de placer le contact ohmique directement sous la diode, qu'il y a un intérêt non négligeable de choisir judicieusement la forme de l'anode pour réduire la résistance série. Quant aux autres paramètres étudiés, un excellent coefficient d'idéalité d'environ 1,1 est relevé sur tous les composants sur substrats GaAs, preuve de la maturité de la filière. Pour la diode reportée celui-ci est plus élevé mais tout en restant satisfaisant. Cette différence s'explique par la présence de contaminants carbonés, se présentant sous la forme de résidus de résine à l'interface, que nous n'avons pas été en mesure d'éliminer complètement pour cet échantillon avant le dépôt de l'électrode Schottky comme nous pouvons le voir sur la Figure 2.43. La hauteur de barrière est quasiment constante sur l'ensemble des composants, sur GaAs et SiHR, ce qui est normal car le contact Schottky employé est identique.

Cette variation de la résistance série relevée sur les différentes topologies de composants étudiées est nettement visible lorsqu'on compare les caractéristiques directes comme sur la Figure 3.12, où la courbe rouge représente la caractéristique de la diode reportée sur SiHR tandis que les autres sont celles des composants conventionnels sur substrat GaAs, avec une distance entre les deux électrodes fixée à $0,7 \mu\text{m}$. Le caractère exponentiel du courant est renforcé lorsque la résistance série diminue.

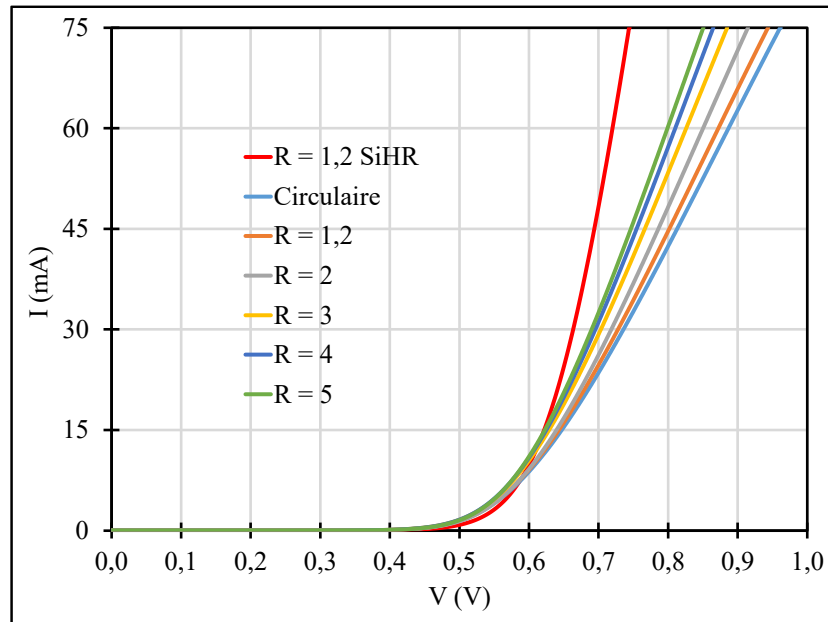


Figure 3.12 : Mise en évidence de la diminution de la résistance série sur la caractéristique directe des diodes en fonction du rapport d'aspect de l'anode et de la configuration du composant.

Par ailleurs, pour l'étude de référence sur substrat GaAs, nous avons comparé les paramètres de diodes pour les composants où la distance D entre les deux contacts est variable. Les résultats sont dans le Tableau 3.3.

Diode R = 3	R_s (Ω)	η	I_s (10^{-10} A)	Φ_B (eV)
D = $0,7 \mu\text{m}$	3,92	1,11	1,67	0,32
D = $1,4 \mu\text{m}$	4,87	1,11	1,58	0,33
D = $2,2 \mu\text{m}$	5,57	1,11	1,69	0,32

Tableau 3.3 : Extractions des paramètres en régime statique pour des diodes de surface $75 \mu\text{m}^2$ pour différentes distances entre les deux électrodes.

Sans surprise, la résistance série est plus élevée lorsque la distance D croît. Une augmentation notable de la résistance série de près de 40 % est constatée entre les composants présentant les distances de $0,7$ et $2,2 \mu\text{m}$. Les autres paramètres sont quant à eux très homogènes, et notamment quasiment identiques à ceux des diodes présentées précédemment dans le Tableau 3.1. De manière similaire à la Figure 3.12, la Figure 3.13 présente les caractéristiques directes pour ces diodes où la pente des courbes traduit de l'augmentation de la résistance série avec l'élargissement de la distance entre les deux contacts du composant.

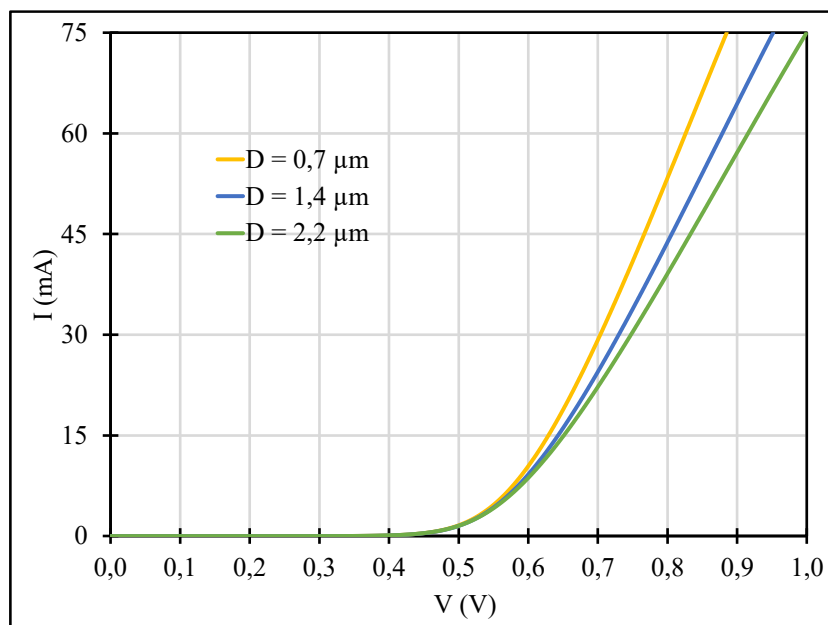


Figure 3.13 : Mise en évidence de l'augmentation de la résistance série par comparaison des caractéristiques directes de diodes Schottky GaAs réalisées avec différentes distances entre les électrodes.

Après l'étude de ces caractéristiques statiques directes, la même opération est effectuée sur les diodes de grandes dimensions pour les technologies réalisées sur les substrats GaAs et SiHR. Le Tableau 3.4 montre les résultats obtenus pour ces dernières.

Substrat GaAs					
D (μm)	S (μm^2)	R_s (Ω)	η	I_s (10^{-8} A)	Φ_B (eV)
44,3	1540	1,95	1,08	3,41	0,27
70	3850	1,04	1,08	7,61	0,27
140	15400	0,45	1,09	33,61	0,27
Substrat SiHR					
D (μm)	S (μm^2)	R_s (Ω)	η	I_s (10^{-9} A)	Φ_B (eV)
44,3	1540	0,73	1,08	3,46	0,33
70	3850	N/A	1,08	8,66	0,33
140	15400	N/A	1,09	34,26	0,33

Tableau 3.4 : Paramètres des extractions des mesures statiques pour des grandes diodes sur les substrats GaAs et SiHR.

Comme pour les diodes de dimensions plus réduites, les composants quasi-verticaux sur SiHR bénéficient de résistances séries nettement réduites. L'extraction est seulement faite ici pour la diode reportée de diamètre 44,3 μm où R_s a été minimisé de 62 %. En effet pour les diodes plus grandes, la résistance série est tellement faible que la saturation du logarithme de la caractéristique directe n'est pas observée de manière suffisante pour effectuer une extraction fiable. Quant aux autres paramètres extraits, ils sont dans la norme et similaires à ceux déjà observés précédemment.

Intéressons-nous à présent aux caractéristiques inverses des composants. Les diodes sont destinées aux applications de multiplication de fréquences et sont donc amenées à fonctionner de manière intensive en polarisation inverse. Il est alors important d'évaluer leur courant de fuite ainsi que leur tension de claquage V_{BD} . La Figure 3.14 montre les caractéristiques de courant inverse relevées pour les composants de surface $75 \mu\text{m}^2$ pour une densité de courant limitée à 1000 A/cm^2 pour les différents rapports d'aspects ainsi que pour la diode reportée.

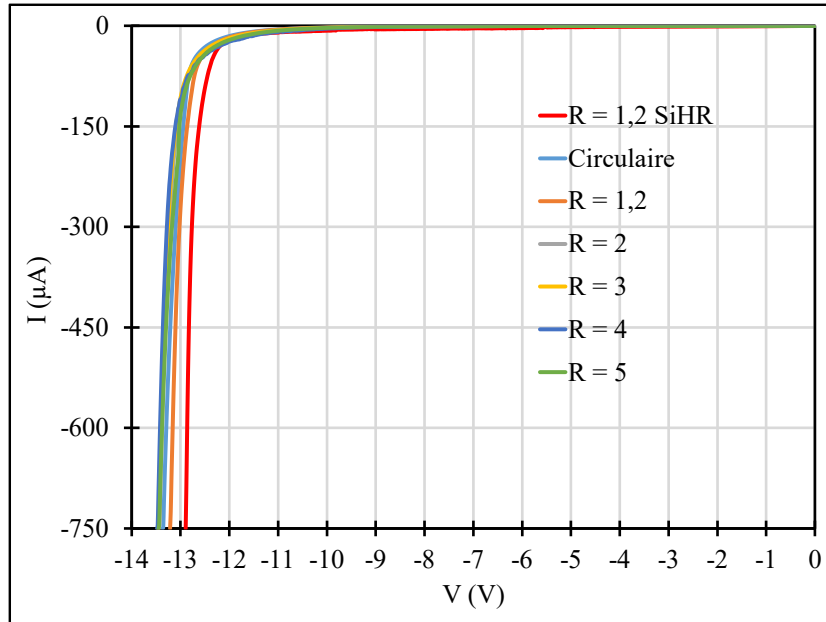


Figure 3.14 : Caractéristiques inverses pour les diodes sur substrat GaAs et SiHR.

Nous constatons que le comportement en inverse des diodes est très similaire avec un courant de fuite d'environ $1 \mu\text{A}$ à -9 V quel que soit la géométrie de l'anode ou que la configuration du composant soit quasi-verticale ou planaire. Quant à la tension relevée à $750 \mu\text{A}$ (1000 A/cm^2), elle est aussi très homogène avec environ $13,5 \text{ V}$ pour les composants sur GaAs et $12,9 \text{ V}$ pour la diode reportée sur SiHR. Le fait que ce paramètre soit comparable entre ces deux technologies de composants très différentes est un bon indicateur qui démontre la bonne préservation de l'intégrité de l'épitaxie après le collage par thermocompression.

La densité de courant inverse expérimentée ici est encore relativement faible. Déterminons maintenant la tension de claquage théorique de ces diodes. Les épitaxies utilisées pour les deux technologies sont très différentes comme nous l'avons explicité dans le chapitre 2, cependant l'épaisseur de la couche de GaAs n^- et son dopage sont identiques, avec respectivement 350 nm et $10^{17} \text{ cm}^{-3} \text{ Si}$. D'après [90] la tension de claquage d'une couche de semiconducteur complètement déplétée est donnée par l'équation 3.13.

$$V_{BD} = 60 \left(\frac{E_g}{1,1} \right)^{3/2} \cdot \left(\frac{N_d}{10^{16}} \right)^{(-3/4)} \quad 3.13$$

Avec E_g la bande interdite du semiconducteur considéré et N_d sa densité de dopage. Le résultat de ce calcul est de 15,7 V dans notre contexte. Comme deuxième estimation de la tension maximale que pourrait théoriquement supporter nos diodes, nous pouvons également nous appuyer sur la relation 3.14 issue de [91] et qui se rapproche fortement de notre contexte.

$$V_{BD} = \frac{\epsilon_r \epsilon_0 E_{crit}^2}{2qN_d} \quad 3.14$$

Avec E_{crit} le champ de claquage du GaAs, ce calcul donne également 15 V environ, toujours en considérant un dopage de 10^{17} cm^{-3} . Ces deux méthodes nous donnent un bon ordre de grandeur quant au claquage de nos diodes. Nous avons alors expérimenté des polarisations inverses plus intenses sur nos jonctions afin de déterminer V_{BD} expérimentalement. La Figure 3.15 montre des caractéristiques inverses où des densités de courant inverses importantes de 10 kA/cm^2 ont été expérimentées, pour deux composants de rapport d'aspect de 1,2 sur substrats GaAs et SiHR, et où les composants se trouvent dans un régime proche de leur destruction, sans toutefois l'atteindre.

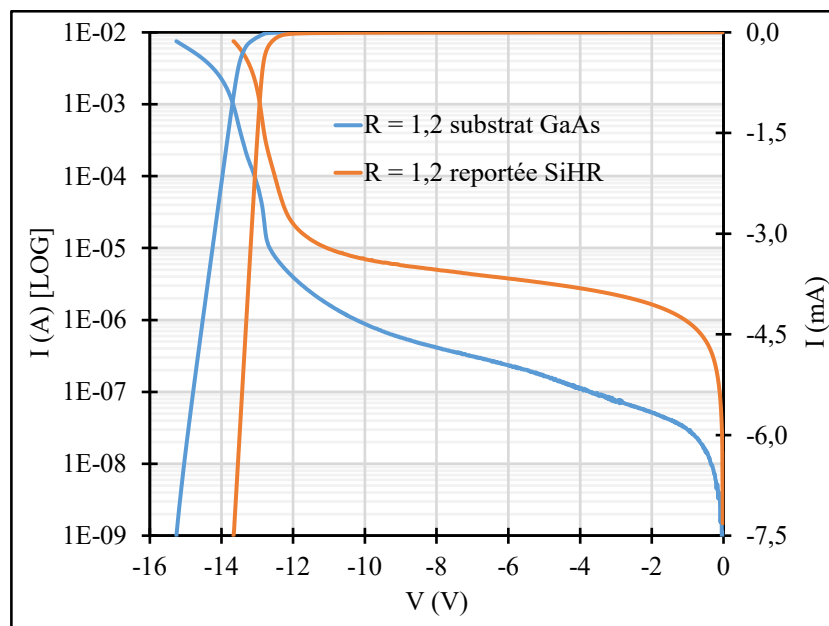


Figure 3.15 : Caractéristiques inverses proche de la destruction des jonctions pour des diodes sur GaAs et sur SiHR.

Nous constatons que la tendance observée précédemment, à plus faible polarisation inverse sur la Figure 3.14, se confirme ici avec la présence d'un courant de fuite plus élevé pour le composant reporté. La tension inverse relevée pour une densité de courant de fuite de 10 kA/cm^2 est pour les composants sur GaAs et sur SiHR de respectivement de 15,3 et de 13,7 V. Il y a cependant un aspect où la diode sur SiHR présente un avantage : la tenue en puissance. Nous avons par la suite poussé plus encore les composants en inverse, à 20 kA/cm^2 , où la diode reportée montre une tension inverse de 14,4 V alors que les composants sur substrat GaAs sont systématiquement détruits passé 15 kA/cm^2 .

Pour continuer cette partie sur l'étude des caractéristiques en régime statique, nous nous sommes intéressés aux variations que peuvent subir ces dernières lorsqu'un recuit est effectué sur les composants. Pour rappel les contacts Schottky sont composés de la séquence Ti/Pt/Au. La littérature fait mention qu'exposer les composants à un stress thermique permet de stabiliser la jonction en réorganisant l'état de surface de l'interface métal-semiconducteur [92], lui conférant un comportement plus stable et répétable tout en minimisant les courants de fuite. La température de recuit de référence pour ce type contacts Schottky à base de titane se situant autour de 300 °C [93], [94], nous avons alors expérimenté deux températures de recuits sur des composants de surface 75 μm^2 , 280 et 340 °C pendant 5 minutes. La Figure 3.16 montre les caractéristiques inverses de composants sur substrat GaAs d'un rapport d'aspect de 2 pour ces différents recuits. En raison du nombre d'échantillons disponibles limités, nous n'avons pas expérimenté de recuit sur les composants reportés sur SiHR, étant donné le caractère discontinu du joint de collage visible sur la Figure 2.44.

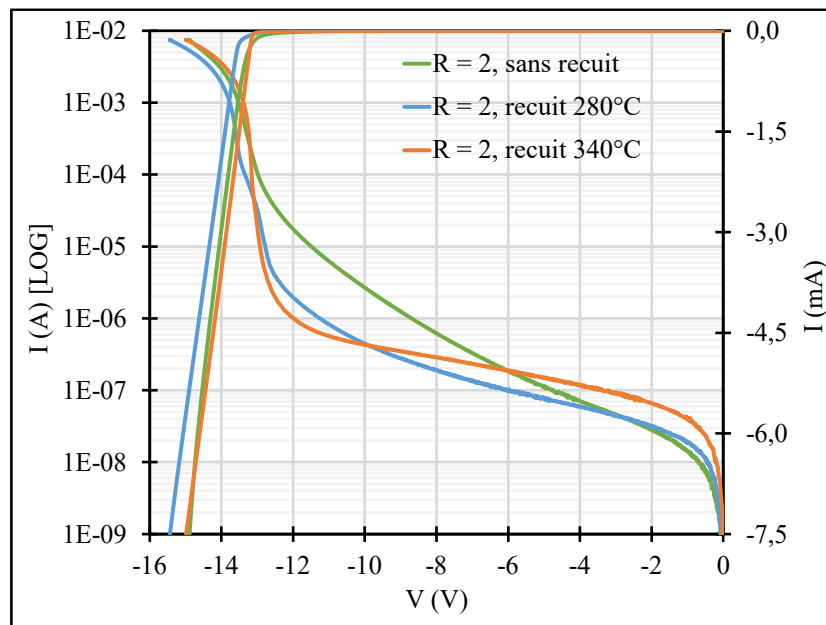


Figure 3.16 : Caractéristiques inverse pour trois composants identiques sur substrat GaAs pour différents recuits.

Nous constatons que la tension inverse maximale, qui est très proche de la destruction des diodes, s'améliore légèrement avec le recuit à 280 °C. Cette amélioration est limitée car les composants avant recuit atteignent déjà pratiquement les valeurs limites théoriques avec une tension inverse relevée de -15 V à une densité de courant de 10 A/cm². D'une manière générale, le courant de fuite évolue avec le recuit. Ce dernier augmente légèrement à faible polarisation pour les deux procédés expérimentés, puis diminue de manière significative aux plus fortes polarisations par rapport au composant n'en ayant pas subi. Le Tableau 3.5 montre l'évolution du courant de fuite pour différentes tensions inverses appliquées sur ces diodes.

Diode substrat GaAs, R = 2, Courant de fuite (A)				
Tension inverse (V)	-1	-4	-7	-9
Aucun recuit	$1,42.10^{-8}$	$7,08.10^{-8}$	$3,31.10^{-7}$	$1,25.10^{-6}$
Recuit 280 °C - 5 min	$1,94.10^{-8}$	$5,97.10^{-8}$	$1,35.10^{-7}$	$2,79.10^{-7}$
Recuit 340 °C - 5 min	$3,92.10^{-8}$	$1,20.10^{-7}$	$2,32.10^{-7}$	$3,50.10^{-7}$

Tableau 3.5 : Évolution du courant de fuite des diodes sur substrat GaAs pour deux températures de recuit.

Puis les effets de ces recuits ont été évalués sur la caractéristique directe de ces diodes, la Figure 3.17 montre que son effet est très visible.

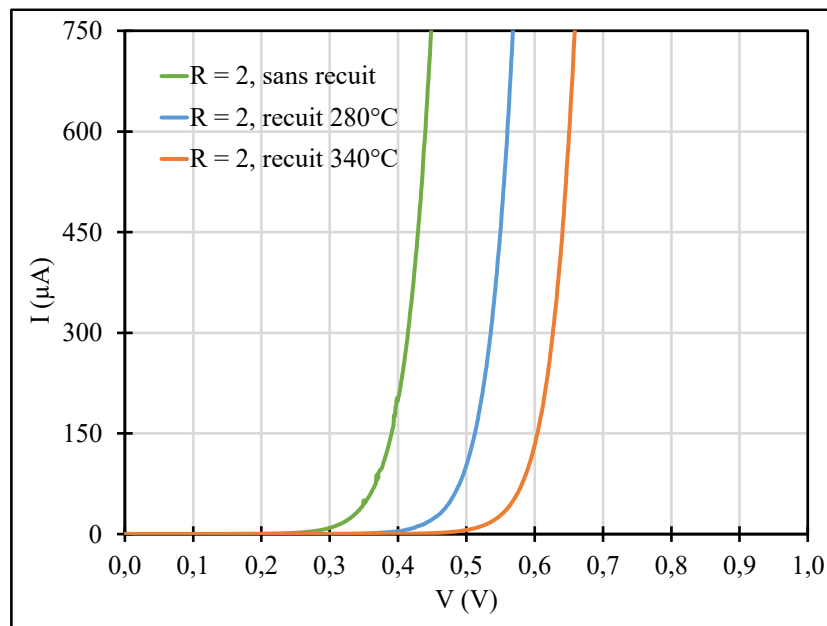


Figure 3.17 : Caractéristiques directes pour trois composants identiques sur substrat GaAs pour deux procédés de recuit de stabilisation mis en œuvre.

La polarisation directe utilisée lors de ces mesures était insuffisante pour extraire la résistance série de manière fiable. Nous pouvons cependant présumer que celle-ci n'est pas significativement impactée par le recuit, car les pentes des droites semblent très similaires.

Diode R = 2	Φ_B (eV)	η	I_s (A)
Aucun recuit	0,32	1,09	$2,55.10^{-10}$
Recuit 280 °C - 5 min	0,42	1,12	$4,35.10^{-12}$
Recuit 340 °C - 5 min	0,46	1,24	$9,86.10^{-13}$

Tableau 3.6 : Paramètres obtenus par des mesures statiques de diodes de rapports d'aspect 2 pour différents recuits de stabilisation.

Nous constatons que, conformément à la littérature, la hauteur de barrière augmente avec le recuit. Le coefficient d'idéalité s'est dégradé de manière notable sur l'expérimentation de recuit à 340 °C, ce qui peut être le signe d'une amorce de dégradation de l'interface métal-semiconducteur. On préférera alors conserver un recuit de stabilisation de la jonction de 280 °C

qui montre un coefficient d'idéalité très proche de l'échantillon non recuit, ainsi qu'une réduction des courants de fuite sur une bonne partie de la caractéristique inverse et une tension de claquage inverse légèrement améliorée.

Enfin pour terminer cette partie, nous allons présenter les paramètres de diodes extraits sur les barrettes. Nous nous intéresserons aux paramètres accessibles par des caractérisation en régime statique. Il s'agit des seules mesures que nous pouvons faire en l'état, avant intégration du dispositif en boîtier guide d'ondes par nos collègues du LERMA. Nous pouvons mesurer les barrettes, ici avant la découpe, par lots de trois diodes en série, comme l'illustre la Figure 3.18, ce qui correspond à l'une des deux branches de la barrette complète. Rappelons que les caractéristiques de la diode unitaire ont été fixées par le LERMA et sont : des anodes de $75 \mu\text{m}^2$, un rapport d'aspect de 1,2 ainsi qu'une distance entre les deux électrodes de $2,2 \mu\text{m}$.

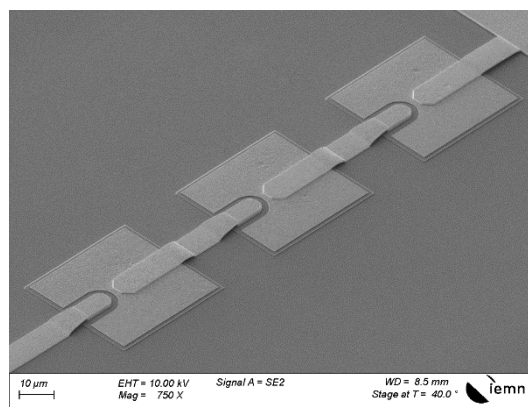


Figure 3.18 : Prise de vue d'une branche de trois diodes de la barrette de multiplication à 150 GHz,

La Figure 3.19 montre la caractéristique I-V complète, en inverse et en direct, de ces trois diodes en série, dans les conditions d'une densité de courant limitée à 3 kA/cm^2 .

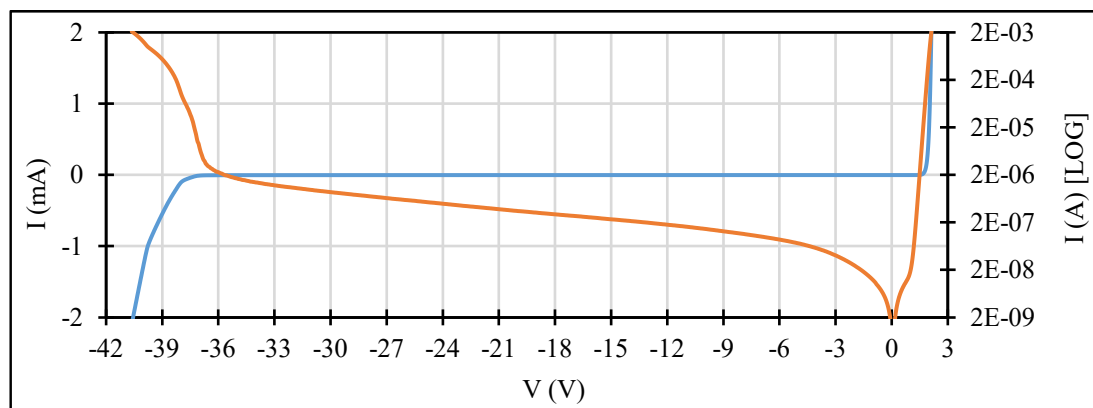


Figure 3.19 : Caractéristique I-V complète de trois diodes GaAs en série d'une branche de barrette.

Nous pouvons y constater que ces trois diodes mises en série permettent aisément d'obtenir une tenue en tension jusqu'à 40 V, ce qui représente une très bonne sécurité pour une utilisation en multiplication. Pour comparer cette association de diodes avec les diodes unitaires, nous traitons chaque branche de la barrette comme une diode équivalente et négligeons les

contributions des connexions. Le Tableau 3.7 expose les données liées à l'analyse de la caractéristique directe.

Barrette	R_s (Ω)	η	I_s (10^{-14} A)	Φ_B (eV)
3 diodes	21,87	3,24	3,70	0,57

Tableau 3.7 : Caractéristiques statiques extraites sur une branche de trois diodes d'une barrette.

La résistance série de l'ensemble de ces trois diodes est de 21,87 Ω , ce qui correspond environ à 7,3 Ω par diode. C'est un peu plus élevé que ce à quoi nous nous attendions. Notre masque de diodes unitaires sur substrat GaAs ne comportait pas la variante exacte de la configuration du composant de la barrette, la première fabrication étant intervenue avant la finalisation de la conception de celle-ci. À titre de comparaison, nous pouvons cependant considérer la diode présentant un rapport d'aspect de 3 et une distance entre les deux électrodes fixée à 2,2 μm étudiée dans le Tableau 3.3 et présentant une résistance série de 5,57 Ω . De plus, dans le Tableau 3.1, nous avons vu que la diode qui présente un rapport d'aspect de 1,2 possède une résistance série d'environ 0,8 Ω plus élevée que celle avec un rapport d'aspect 3. On peut donc estimer qu'un composant unitaire présentant les mêmes caractéristiques géométriques que ceux utilisés dans la réalisation de la barrette, s'il avait été fabriqué, aurait pu avoir une résistance série de l'ordre de 6,3 Ω . Le coefficient d'idéalité de 3,24 obtenu pour l'ensemble de ces trois diodes est quant à lui tout à fait conforme et correspond bien à un coefficient de l'ordre de 1,1 pour chacune des diodes, comme relevé sur tous les composants similaires qui ont précédemment été étudiés.

3.3 Caractérisations capacité-tension

La prochaine étape dans la caractérisation des diodes est d'effectuer des mesures capacité-tension (C-V). Ces mesures sont utiles pour évaluer la modulation de capacité des diodes, paramètre crucial pour leur utilisation dans les multiplicateurs de fréquence. Ces mesures s'adressent uniquement aux diodes de grandes dimensions présentées sur le masque de la Figure 3.1. La caractéristique C-V permet des analyses telles que la vérification de la qualité des couches épitaxiales par le biais de la détermination de la densité de dopage N_d de la couche de GaAs dopée n $\bar{}$. Un impédancemètre Agilent 4294A a été employé dans le cadre de ces caractérisations. Une prise de vue du banc est visible sur la Figure 3.20. Celui-ci mesure l'impédance Z du dispositif dans une plage de fréquence jusque 100 MHz. Pour des raisons de précision de mesure, nous avons décidé de procéder aux caractérisations à une fréquence fixe de 1 MHz. Cette impédance est traduite en résistance et en capacité par le biais d'un modèle équivalent simplifié de la jonction, constitué simplement d'une résistance en parallèle avec une capacité. Lors des caractérisations hyperfréquences qui suivront sur les diodes plus petites, le modèle équivalent que nous utiliserons sera plus complet pour prendre les éléments parasites en considération. Ceux-ci seront alors non négligeables au regard des dimensions des composants et de la présence de ponts à air. Dans le cas présent le modèle simplifié est suffisant compte tenu de la faible fréquence et des grandes dimensions des composants.



Figure 3.20 : Station sous pointes et impédancemètre pour caractérisations C-V.

Sous polarisation inverse, la jonction peut être considérée comme un condensateur plan comme le montre l'équation 3.15 extraite de [37].

$$C = \frac{\epsilon_r \epsilon_0 S}{W} \quad 3.15$$

Avec ϵ_r la constante diélectrique du matériau semi-conducteur, ϵ_0 la permittivité du vide, S la surface de l'anode et W l'épaisseur du diélectrique. Cette dernière est matérialisée dans le cas présent par la zone de charge d'espace de la couche de GaAs dopée n^- . Rappelons que l'épaisseur de cette dernière est de 350 nm pour toutes les diodes que nous avons réalisées. L'équation 3.16 permet de calculer l'épaisseur déplétée.

$$W(V) = \sqrt{\frac{2\epsilon_r\epsilon_0(V_{bi} - V)}{qN_d}} \quad 3.16$$

Avec V_{bi} le potentiel de barrière intrinsèque et V le potentiel de polarisation inverse de la jonction en volt et N_d la densité de dopage en cm^{-3} . On notera que dans la littérature la tension V est souvent associée, mais pas systématiquement dans ces relations, à un autre potentiel V_T qui est la tension thermique définie par $V_T = kT/q$, environ égale à 26 mV à température ambiante et qui est ici négligée. En combinant les équations 3.15 et 3.16, nous obtenons alors l'expression communément admise de la capacité d'une diode Schottky.

$$C(V) = S \sqrt{\frac{\epsilon_r\epsilon_0qN_d}{2(V_{bi} - V)}} \quad 3.17$$

La Figure 3.21 montre pour exemple la caractéristique expérimentale capacité-tension d'une grande diode circulaire de diamètre 70 μm .

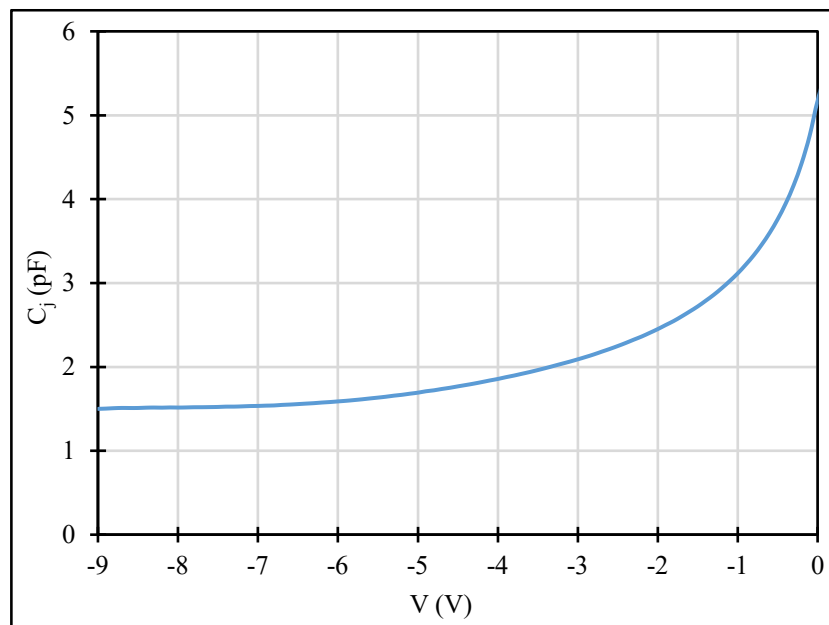


Figure 3.21 : Caractéristique C-V d'une diode Schottky GaAs circulaire de diamètre 70 μm .

On ne peut pas extraire directement N_d à partir de l'équation 3.17 en raison du trop grand nombre d'inconnues. On utilise alors les données expérimentales en s'intéressant à la courbe $1/C^2$. En effet, dans le cas où le dopage de la couche n^- est uniforme, celle-ci présente une zone

linéaire et permet alors d'associer un certain nombre de termes à son coefficient directeur, simplifiant ainsi l'opération. L'expression de $1/C^2$ est obtenue par combinaison des équations 3.15 et 3.16 et est renseignée par l'équation 3.18. La Figure 3.22 montre la caractéristique $1/C^2$ obtenue, de la courbe capacité-tension précédemment mentionnée.

$$\frac{1}{C^2} = \frac{W^2}{(\epsilon_r \epsilon_0 S)^2} = 2 \frac{V_{bi} - V}{q N_d \epsilon_r \epsilon_0 S^2} \quad 3.18$$

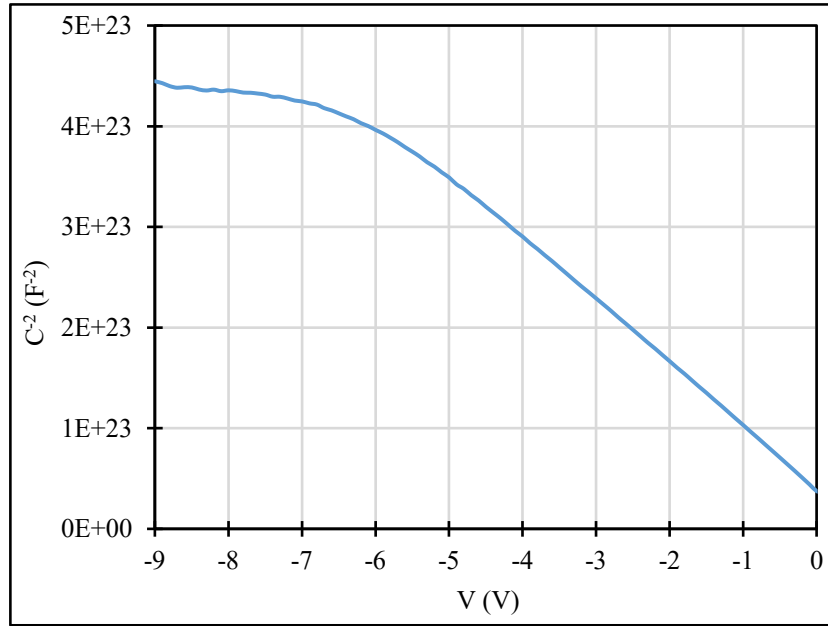


Figure 3.22 : Caractéristique $1/C^2$ d'une diode Schottky GaAs de diamètre $70 \mu\text{m}$ sur substrat GaAs.

En ne considérant qu'exclusivement la zone linéaire de la caractéristique de la Figure 3.22, il est possible de dresser la relation 3.19 qui permet d'identifier le coefficient directeur a de la courbe $1/C^2$.

$$y(V) = aV + b = \frac{1}{C^2} = -\frac{2}{q N_d \epsilon_r \epsilon_0 S^2} V + \frac{2V_{bi}}{q N_d \epsilon_r \epsilon_0 S^2} \quad 3.19$$

On en déduit alors l'expression du dopage N_d , visible sur l'équation 3.20.

$$N_d = -\frac{2}{q \epsilon_r \epsilon_0 S^2 a} \quad 3.20$$

La caractéristique $1/C^2$ permet également d'extraire d'autres informations, la Figure 3.23 montre une vue en gros plan de la courbe $1/C^2$ entre -1V et 0V , ainsi que son extrapolation avec une courbe de régression linéaire visible en rouge.

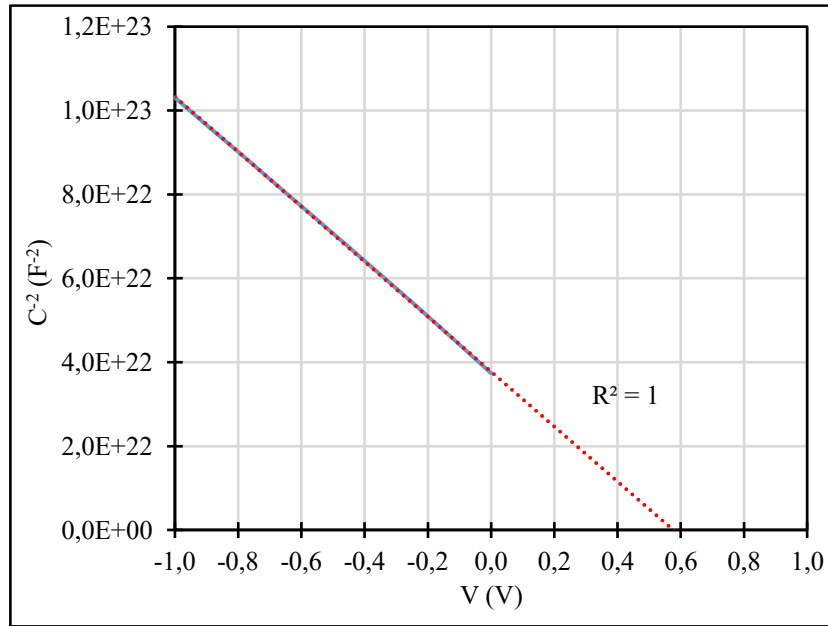


Figure 3.23 : Vue en gros plan de la courbe $1/C^2$ pour une diode GaAs de $70 \mu\text{m}$ de diamètre.

L'intersection de la droite de régression de $1/C^2$ avec l'axe des abscisses est $V_{bi} - V_T$. Nous avons donc l'équation 3.21 qui donne l'expression de V_{bi} .

$$V_{bi} = y(0) + V_T \quad 3.21$$

Nous avons également sur la zone linéaire de $1/C^2$ l'ordonnée à l'origine b qui est $1/C_{j0}^2$, nous en déduisons de la même manière que pour N_d , l'expression de C_{j0} renseignée par l'équation 3.22. Précisons que dans l'étude qui suit nous nous intéresserons à la valeur expérimentale de C_{j0} mesurée en C-V.

$$C_{j0} = S \sqrt{\frac{qN_d \epsilon_r \epsilon_0}{2V_{bi}}} \quad 3.22$$

Connaissant V_{bi} , il est alors possible de déterminer la hauteur de la barrière Φ_B définie par l'équation 3.23.

$$\Phi_B = V_{bi} + \Phi_n \quad 3.23$$

Avec Φ_n la différence entre le niveau minimal de la bande de conduction et le niveau de Fermi, dont l'expression est donnée par l'équation 3.24.

$$\Phi_n = V_T \ln \left(\frac{N_c}{N_d} \right) \quad 3.24$$

Avec N_c la densité effective de porteurs dans la bande de conduction, dont la valeur est de $4,7 \cdot 10^{17} \text{ cm}^{-3}$ [36].

À l'aide de ces différentes relations, nous avons extrait les paramètres de grandes diodes de 44,3 à 700 μm de diamètre. Le Tableau 3.8 expose les résultats pour les composants sur GaAs.

Diamètre (μm)	Surface (μm^2)	N_d (10^{17} cm^{-3})	C_{j0} (pF)	C_{j0}^n (10^{-3} F/m^2)	V_{bi} (V)	Φ_B (eV)
44,3	1540	1,38	2,3	1,52	0,60	0,63
70	3850	1,13	5,2	1,35	0,60	0,64
87,5	6015	1,08	8,1	1,35	0,57	0,61
140	15400	1,03	20,5	1,33	0,56	0,60
175	24050	0,97	31,8	1,32	0,55	0,59
221,3	38460	0,97	50,3	1,31	0,55	0,59
350	96210	0,96	124,6	1,30	0,55	0,59
442,6	153850	0,96	199,4	1,30	0,55	0,59
700	384850	0,96	492,9	1,28	0,56	0,60

Tableau 3.8 : Paramètres obtenus par l'extraction des mesures C-V pour les grandes diodes GaAs sur substrat GaAs.

Les résultats obtenus concernant la densité de dopage des diodes correspondent à nos attentes, puisque le dopage effectif de la couche n^- est très proche de la valeur demandée pour ces épitaxies qui était de 10^{17} cm^{-3} . Nous notons également que ces valeurs de dopage sont très proches les unes des autres pour les composants les plus grands. Il s'agit là d'un excellent indicateur quant à la bonne qualité des hétérostructures et notamment sur l'homogénéité du dopage et des défauts. La dispersion sur la valeur du dopage qui est obtenue pour les composants les plus petits est quant à elle attribuée à une contribution de moins en moins négligeable des éléments parasites que nous omettons avec le modèle simplifié. La Figure 3.24 montre les caractéristiques normalisées en densité de capacité pour l'ensemble de ces composants.

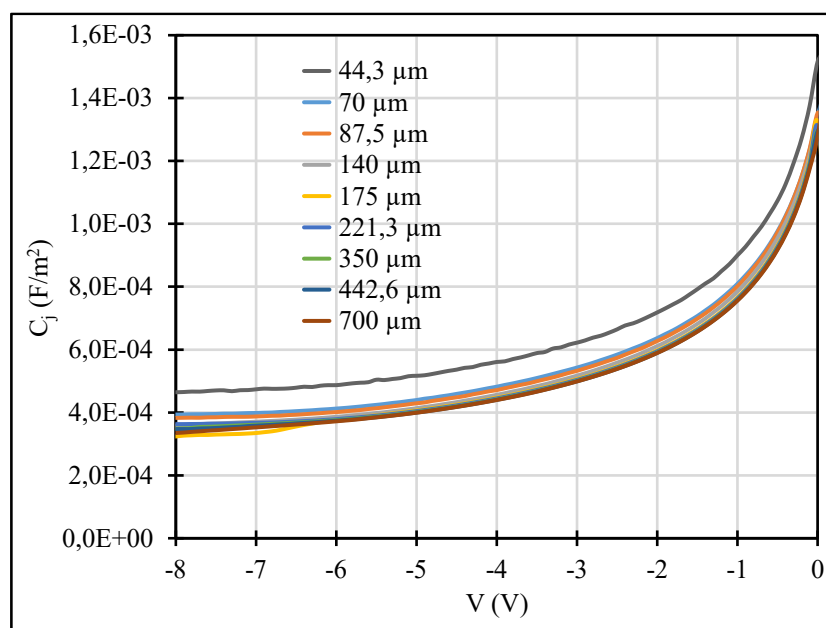


Figure 3.24 : Caractéristiques C-V normalisées par unité de surface pour les grandes diodes GaAs sur substrat GaAs.

Nous pouvons voir que la valeur de la capacité normalisée par unité de surface C_{j0}^n est très homogène sur l'ensemble de ces diodes, excepté pour le plus petit composant, où elle est anormalement élevée. Cela peut s'expliquer par le fait que le modèle simplifié que nous utilisons devient de moins en moins valable avec la diminution de la surface, les capacités parasites deviennent alors significatives au regard de la capacité que l'on cherche à mesurer. Nous en déduisons, en tenant compte de ces réserves, que ce modèle est bien valide pour l'ensemble des autres composants. Par ailleurs, les valeurs extraites de V_{bi} et de Φ_B sont donc significatives et peuvent constituer une référence pour l'analyse des caractéristiques obtenues pour les diodes reportées.

Le Tableau 3.9 montre les résultats obtenus pour les grandes diodes reportées sur SiHR.

Diamètre (μm)	Surface (μm^2)	N_d (10^{17} cm^{-3})	C_{j0} (pF)	C_{j0}^n (10^{-3} F/m^2)	V_{bi} (V)	Φ_B (eV)
44,3	1540	1,05	1,9	1,24	0,67	0,71
70	3850	1,01	4,7	1,22	0,65	0,69
140	15400	1,00	18,6	1,21	0,66	0,70

Tableau 3.9 : Paramètres obtenus par l'extraction des mesures C-V pour les grandes diodes GaAs reportées sur SiHR.

Nous pouvons voir que les composants reportés sur SiHR présentent également une densité de dopage conforme à ce qui est attendu. Cela permet de valider les résultats obtenus et de confirmer à la fois la qualité des épitaxies réalisées par nos collègues du groupe EIPHY de l'IEMN, et que le procédé de report de substrat par thermocompression n'a pas endommagé la structure. L'augmentation de la hauteur de barrière de ces diodes par rapport à celles montrées sur le Tableau 3.8 est certainement due au fait que ce premier échantillon de diodes reportées a nécessité beaucoup de développements technologiques pendant sa réalisation, et notamment pour le procédé de lithographie électronique ayant permis la réalisation d'un pont à air sur silicium. Ceux-ci ont en effet nécessité de nombreux recuits, ce qui pourrait expliquer cette différence.

Les valeurs des capacités normalisées C_{j0}^n sont quant à elles très uniformes et nous notons que la mesure de la diode de 44,3 μm de diamètre est beaucoup moins entachée d'erreurs que celle sur substrat GaAs. Une hypothèse qui justifierait cette différence est que les capacités parasites sont dans ce cas amoindries, du fait que pour des diodes reportées, le plan de métal autour des composants est réduit au strict nécessaire, ce qui n'était pas le cas sur le masque utilisé pour les diodes de grandes dimensions sur substrat GaAs montré sur la Figure 3.1.

3.4 Mesures hyperfréquences 67 GHz

Une autre méthode pour évaluer les paramètres de nos dispositifs, est de définir un modèle petit signal de nos diodes dans une gamme de fréquences proche de leur potentielles applications, le multiplicateur de fréquences à 150 GHz. Pour procéder à ces caractérisations hyperfréquences, une station munie d'un analyseur de réseaux vectoriel (PNA) Agilent E8361A, et relié à des pointes coplanaires, est utilisé. Ce dernier dispose d'une plage de mesure de 10 MHz à 67 GHz et est couplé à une alimentation DC à l'aide de té de polarisation incorporés au PNA. Grâce à ce modèle petit signal, nous pourrions déterminer la résistance série R_s des diodes et comparer les valeurs obtenues avec les mesures en régime statique. Nous pourrions également déterminer un modèle complet incluant les parasites, ce qui permet d'extraire la capacité de jonction C_j des diodes de surface $75 \mu\text{m}^2$, chose qui n'était pas envisageable avec les mesures C-V, et comparer l'ensemble de manière normalisée par rapport à la surface.

Notre banc permet de mesurer le comportement des diodes en fonction de la polarisation, ainsi que d'en obtenir les paramètres S en fonction de la fréquence. L'extraction des grandeurs mentionnées dans le paragraphe précédent se fera par le biais de mesures des paramètres S sur une bande de 250 MHz à 67 GHz. Ce formalisme permet de modéliser des rapports de puissance en module et en phase. Les paramètres S s'intéressent particulièrement aux signaux d'entrée et de sortie (transmission) d'un quadripôle (2 ports dans notre cas) en hyperfréquence, en tenant compte des pertes ou de la réflexion du signal. La Figure 3.25 donne un aperçu de la station sous pointes employée pour ces mesures.

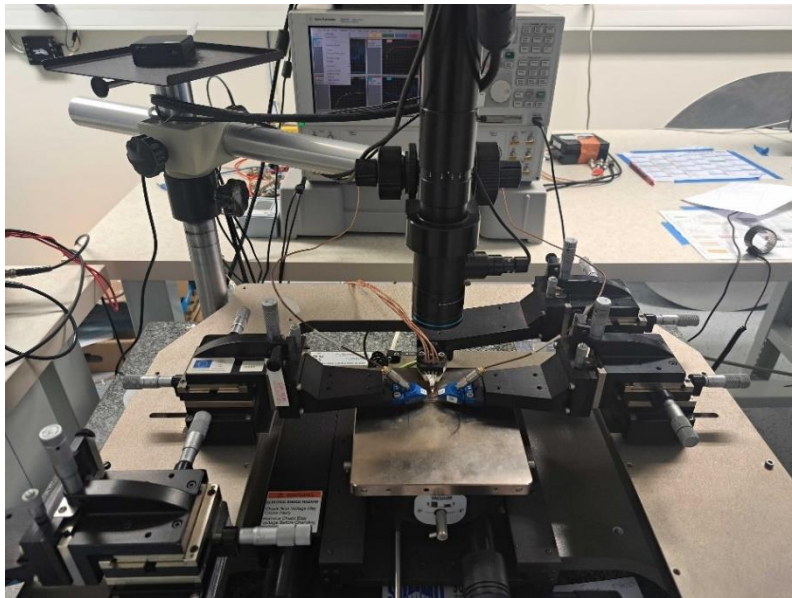


Figure 3.25 : Banc de mesure avec PNA 67 GHz.

Avant de commencer, un étalonnage est effectué de manière à éliminer toutes les contributions apportées par les câbles et les sondes à l'aide d'une méthode LRRM (line-reflect-reflect-match). On dit alors qu'on se place dans le *plan des pointes*. En effet, après cette

opération, les paramètres S mesurés renvoient uniquement au circuit situé entre les sondes. L'étalonnage est effectué à l'aide du logiciel Wincal, ainsi que d'un kit d'étalons dédié sur un substrat d'alumine, tous deux provenant de la société FormFactor. Tous les motifs nécessaires pour la méthode mise en œuvre sont matérialisés sur ce kit d'étalons.

Cependant, s'affranchir des contributions amenées par les câbles et les pointes n'est pas suffisant. Pour étudier le dispositif et sa partie intrinsèque, et notamment R_s et C_j , il est nécessaire de retirer à nouveau d'autres éléments parasites, qui sont introduits par les accès coplanaires. En effet, ces derniers ne font pas partie du composant proprement dit, mais représentent uniquement un moyen d'y accéder. La Figure 3.26 montre une prise de vue d'une diode reportée, juste avant d'y placer les sondes coplanaires sur chaque extrémité, et nous pouvons y voir une représentation des éléments à retirer pour garantir une extraction appropriée.

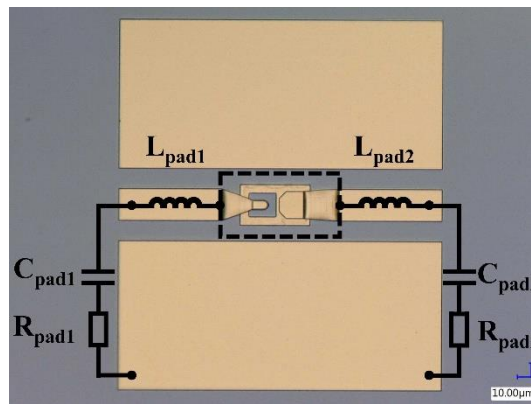


Figure 3.26 : Vue d'une diode reportée avant la pose des pointes coplanaires et avec une représentation des éléments parasites.

Cette opération, couramment appelée *épluchage*, s'effectue à l'aide de deux motifs dédiés : un circuit ouvert et un court-circuit. Ceux-ci reprennent avec exactitude les mêmes dimensions géométriques qu'utilisées sur les composants réels tels que : la longueur, la largeur, l'isolement entre la ligne et les masses, ainsi que le type et l'épaisseur du substrat. Ces deux motifs et leurs contributions respectives sont visibles sur la Figure 3.27.

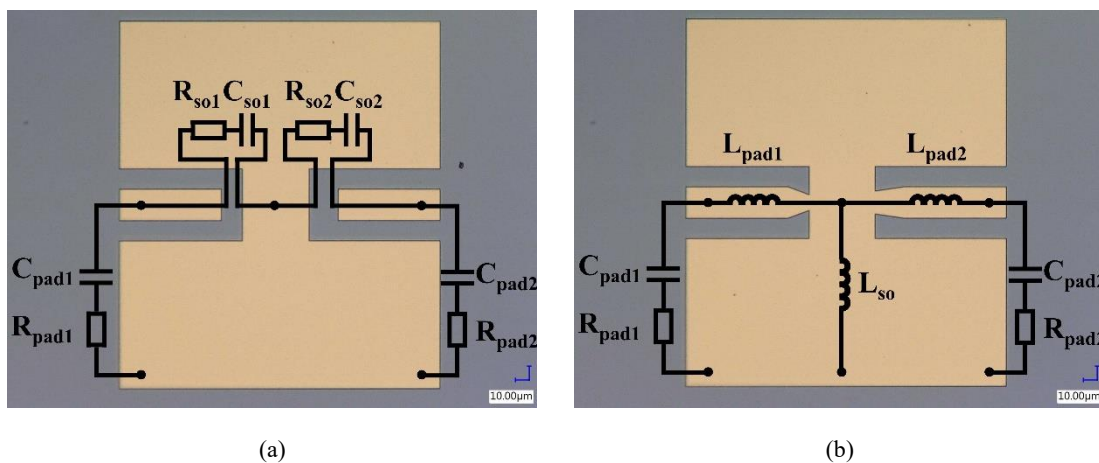


Figure 3.27 : Motifs utilisés pour l'épluchage, (a) circuit ouvert, (b) court-circuit.

Les paramètres S des circuits de ces deux motifs et du composant montré sur la Figure 3.26 sont mesurés, puis sont chacun convertis en paramètres Y, par le biais d'un algorithme utilisant les relations montrées sur [95]. Finalement, nous pouvons ensuite éliminer les contributions des accès coplanaires avec l'équation 3.25, issue de [96], pour retrouver les paramètres intrinsèques du composant.

$$Y_{\text{épluché}} = [(Y_{\text{tot}} - Y_{\text{co}})^{-1} - (Y_{\text{cc}} - Y_{\text{co}})^{-1}]^{-1} \quad 3.25$$

Y_{tot} , Y_{co} et Y_{cc} sont respectivement les matrices d'admittances : brute du dispositif, du circuit ouvert et du court-circuit. $Y_{\text{épluché}}$ est la matrice d'admittances que nous souhaitons étudier. Nous pouvons ensuite nous intéresser à la définition d'un modèle équivalent qui correspond au circuit montré sur la Figure 3.28. Notons qu'il s'agit, d'une part, de l'association de la partie intrinsèque de la diode, dépendante de la polarisation et entourée en rouge, qui correspond aux contacts Schottky et ohmique, ainsi que du semiconducteur, et d'autre part, des éléments d'accès liés au pont à air, et qui induisent des éléments parasites. Ces derniers ne peuvent pas être dissociés de la diode contrairement aux lignes d'accès. Il s'agit de l'inductance L_f amenée par le pont à air, et de la capacité C_{fp} créée entre le pont et le contact ohmique ou le joint de collage, selon la technologie de diode considérée.

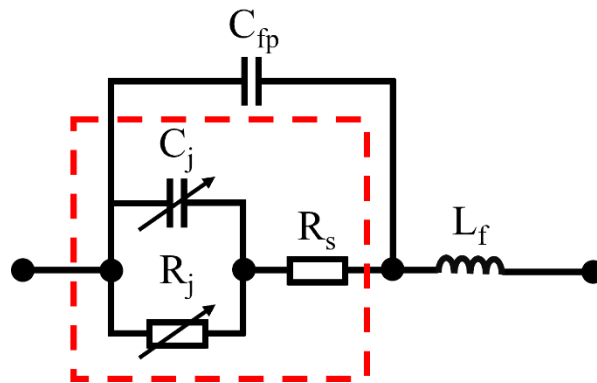


Figure 3.28 : Circuit équivalent du dispositif après épluchage.

La détermination de la valeur des différents paramètres extrinsèques a été effectuée, mais n'est pas détaillée ici. Ces aspects sont discutés dans la thèse de Madame Beatriz Orfao E Vale Tabernero de l'université de Salamanque [97], avec qui nous avons pu collaborer pour les mesures hyperfréquences et la modélisation des diodes GaAs. Nous nous contenterons dans notre cas de préciser qu'il est possible de déterminer la capacité parasite C_{fp} , dans des conditions que nous détaillerons un peu plus tard. Celle-ci a été estimée à 2 fF pour tous les composants. L'inductance L_f est quant à elle déterminée par rétro-simulation du schéma équivalent de la Figure 3.28, avec les mesures expérimentales. La valeur de L_f a été identifiée comme propre à chaque composant, et cela s'explique car les dimensions du pont à air sont légèrement différentes suivant le rapport d'aspect, comme montré sur la Figure 3.4. Le Tableau 3.10 donne à titre informatif la valeur de L_f extraite de cette manière pour quelques composants.

Diode D = 0,7 μm	L_f (pH)
R = 1,2	4
R = 2	5
R = 3	6
R = 4	7
R = 5	7,5

Tableau 3.10 : Inductances L_f amenées par le pont à air, déterminées par rétro-simulation du circuit équivalent et des mesures expérimentales pour différents rapports d'aspects.

Nous allons nous focaliser dans un premier temps sur l'extraction de R_s . Considérons alors le circuit de la Figure 3.28, polarisé en direct et à une tension significativement supérieure à V_{bi} . Dans ces conditions, les éléments R_j et C_j deviennent insignifiants. De plus, en observant l'évolution des paramètres en fonction de la fréquence, nous pouvons définir une plage de fréquences où il est possible de négliger L_f . Nous obtenons le circuit simplifié de la Figure 3.29.

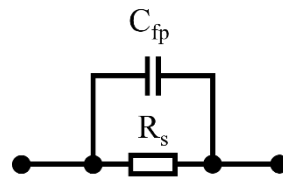


Figure 3.29: Circuit équivalent du dispositif dans la condition où la tension de polarisation permet de négliger L_f .

Les paramètres S de ce circuit sont alors mesurés, puis convertis en paramètres Y. Il en résulte la matrice d'admittances telle que montrée sur l'équation 3.26.

$$Y = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} = \begin{pmatrix} 1/R_s + jC_{fp}\omega & -1/R_s - jC_{fp}\omega \\ -1/R_s - jC_{fp}\omega & 1/R_s + jC_{fp}\omega \end{pmatrix} \quad 3.26$$

La résistance série R_s est ensuite déterminée en s'intéressant à la partie réelle d'un des éléments de la matrice Y, comme le montre l'équation 3.27.

$$R_s = \frac{1}{\text{Re}(-Y_{12})} \quad 3.27$$

Il reste à déterminer si notre extraction est suffisamment fiable, c'est à dire si R_s est bien indépendant de la fréquence et si la polarisation directe est suffisante. La Figure 3.30 montre la valeur de R_s extraite sur toute la bande pour un composant de rapport d'aspect 1,2 sur substrat GaAs, aux points de polarisations 0,5 et 1 V. Nous pouvons y constater que la valeur de R_s extraite à 0,5 V n'est pas constante, et donc que les conditions de polarisation ne correspondent pas aux hypothèses simplificatrices. Les éléments R_j et C_j ne sont donc pas encore négligeables à cette polarisation.

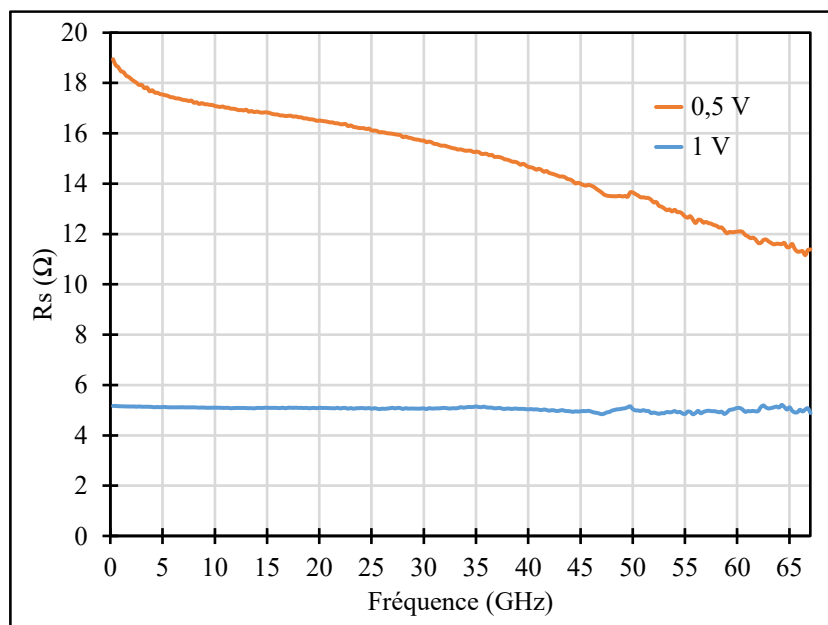


Figure 3.30 : Variation de la résistance série en fonction de la fréquence à deux points de polarisation en direct.

Cependant nous constatons qu'à 1 V, la résistance série est en première approximation constante et est donc relativement indépendante de la fréquence, comme attendu pour une résistance. Nous notons dans un deuxième temps que, d'une part, une légère diminution de la valeur de la résistance est constatée avec l'augmentation de la fréquence. Celle-ci est attribuable à la contribution de l'inductance L_f . D'autre part, nous constatons que les mesures sont légèrement bruitées avec l'augmentation de la fréquence. Pour étudier R_s , nous décidons par la suite de n'utiliser que les valeurs obtenues à des fréquences inférieures à la vingtaine de GHz.

Intéressons-nous à présent à la valeur de polarisation minimale nécessaire pour accomplir une extraction satisfaisante. La Figure 3.31 montre un balayage de 0,5 à 1 V.

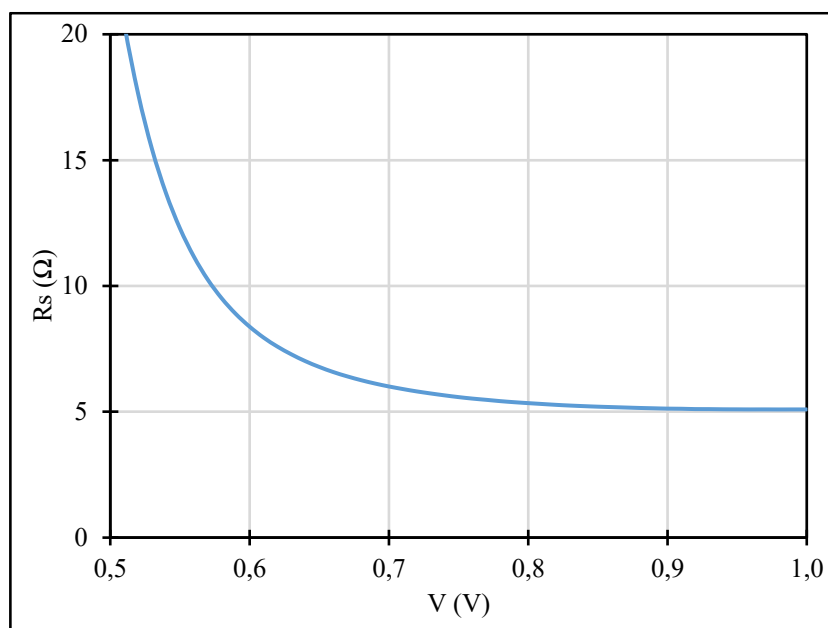


Figure 3.31 : Variation de la résistance série en fonction de la tension directe à 20 GHz.

Celle-ci permet de mettre en évidence que la variation sur la valeur extraite de R_s devient négligeable à partir d'une tension de polarisation de 0,9 V. Pour les extractions à venir sur nos diodes, l'utilisation d'une tension directe de l'ordre du Volt s'impose alors. Notons que ces données présentées ici proviennent d'un autre composant que celui étudié dans le cas de la Figure 3.30, ce qui explique la légère différence de résistance série constatée.

La Figure 3.32 présente la variation de la résistance série en polarisation directe à 1 V sur la bande de fréquence de 250 MHz à 67 GHz, pour les composants de surface $75 \mu\text{m}^2$ suivant les différents rapports d'aspects montrés sur la Figure 3.4.

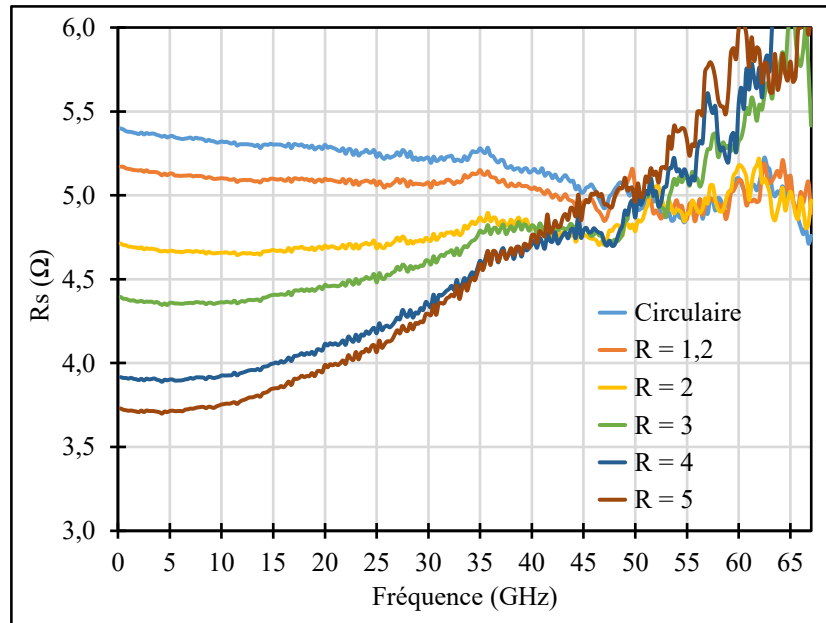


Figure 3.32 : Évolution de la résistance série en fonction de la fréquence pour différents rapports d'aspects.

Si on se concentre, sur la Figure 3.32, sur les plus basses fréquences pour lesquelles les hypothèses simplificatrices sont vérifiées, nous constatons que la résistance série diminue de manière significative avec l'augmentation du rapport d'aspect, cela avec une nette distribution des valeurs de résistance. Toutefois, on peut aussi noter que la plage de fréquences pour laquelle cette valeur est constante diminue avec l'augmentation du rapport d'aspect. Cela peut s'expliquer par deux effets : le premier est que le poids de la résistance au regard des contributions des éléments parasites diminue mécaniquement avec l'augmentation du rapport d'aspect de l'anode, et donc que, même avec des éléments parasites identiques, la fréquence pour laquelle ces derniers impactent le paramètre Y diminue. Le deuxième effet que nous pouvons observer pour les plus importants rapports d'aspects est une augmentation de la valeur réelle de l'impédance avec la fréquence. Nous attribuons cette variation à une augmentation sensible de l'inductance parasite, en cohérence avec la réduction de la largeur des ponts à air, mise en évidence sur la Figure 3.4, ainsi que l'augmentation de la longueur de l'anode pour les composants avec les rapports d'aspects les plus importants. Ceci est conforme aux extractions des éléments parasites mentionnés dans le Tableau 3.10 au début de cette section. Cela ne nous

empêche pas d'avoir une estimation cohérente de R_s pour les fréquences inférieures à 10 GHz, et ainsi de vérifier expérimentalement que, pour une même surface d'anode, il est possible de minimiser significativement la résistance série du composant en modifiant sa géométrie. Une diminution d'environ 30 % est constatée pour les cas extrêmes. La Figure 3.33 montre l'évolution de la résistance série obtenue à 5 GHz en fonction du rapport d'aspect.

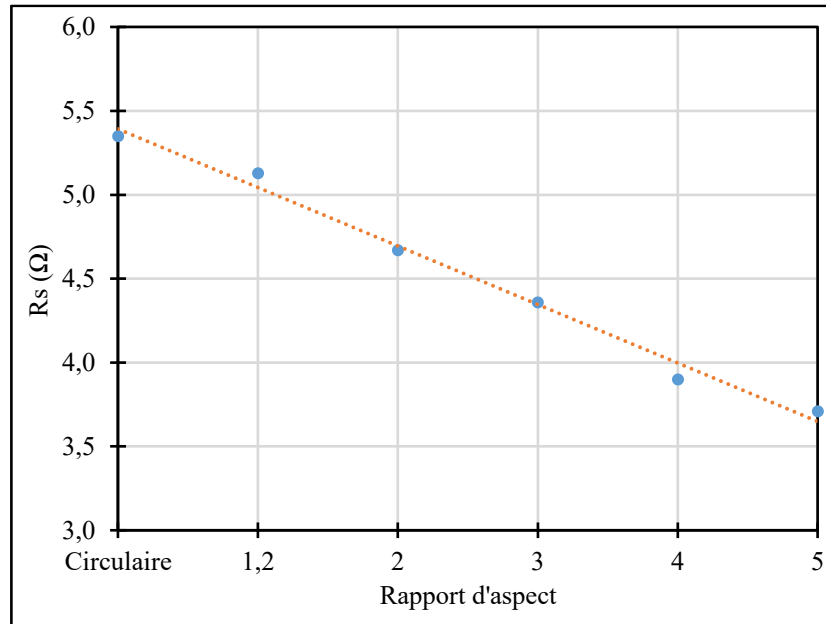


Figure 3.33 : Évolution de la résistance série en fonction du rapport d'aspect de l'anode pour des diodes Schottky GaAs sur substrat GaAs de surface $75 \mu\text{m}^2$.

Nous pouvons à présent étudier la capacité de jonction C_j des diodes. Pour cela, de la même manière que pour l'extraction de R_s , on se place dans des conditions de polarisation pour lesquelles il est possible de simplifier le circuit équivalent de la Figure 3.28, ce qui permettra de négliger une partie des éléments en présence. C'est-à-dire que nous nous plaçons à basse fréquence pour négliger Lf , ainsi qu'en polarisation inverse pour que R_s devienne insignifiant devant R_j . Le circuit résultant est visible sur la Figure 3.34.

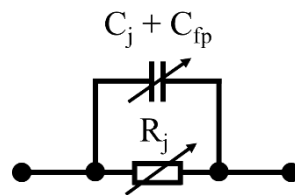


Figure 3.34 : Circuit équivalent du dispositif dans la condition $V < 0$ et à basse fréquence.

Dans ce contexte et de manière similaire à l'équation 3.26, la matrice Y du circuit de la Figure 3.34 est donnée par l'équation 3.28.

$$Y = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} = \begin{pmatrix} 1/R_j + jC_{tot}\omega & -1/R_j - jC_{tot}\omega \\ -1/R_j - jC_{tot}\omega & 1/R_j + jC_{tot}\omega \end{pmatrix} \quad 3.28$$

Il est alors possible d'utiliser à nouveau l'équation 3.27 pour déterminer R_j , et de s'intéresser à la partie imaginaire de l'un des éléments de la matrice, avec l'équation 3.29, pour obtenir C_{tot} , qui correspond à la somme de la capacité de jonction C_j et de la capacité parasite C_{fp} . Rappelons que la valeur de cette dernière a été déterminée au préalable et est de l'ordre de 2 fF [97], et précisons qu'elle est obtenue en utilisant l'équation 3.29 dans les conditions décrites menant au circuit équivalent simplifié, visible sur la Figure 3.29. Les valeurs de la capacité totale que nous avons relevées sont donc pratiquement équivalentes à la capacité de la jonction.

$$C_{tot} = C_j + C_{fp} = \frac{Im(-Y_{12})}{\omega} \quad 3.29$$

La Figure 3.35 montre l'extraction de la capacité à différents points de polarisation en inverse par la méthode exposée ci-dessus, et pour un composant sur substrat GaAs de rapport d'aspect 1,2 et de surface $75 \mu\text{m}^2$. Nous y distinguons nettement les capacités minimales et maximales du composant. Nous pouvons voir que la capacité n'évolue quasiment plus après -5 V, ce qui indique que la couche n^- est déjà presque déplétée, et ce qui est cohérent avec ce que nous avons observé sur les caractérisations C-V. Nous constatons également que la valeur de C_{tot} ainsi extraite n'est pas tout à fait constante sur l'ensemble de la bande, et augmente après 30 GHz. Cela s'explique par le fait qu'à haute fréquence il n'est plus possible de négliger L_f . Une même analyse de C_{tot} , effectuée sur les différents rapports d'aspects, est comme attendue similaire, puisque la surface des diodes est identique.

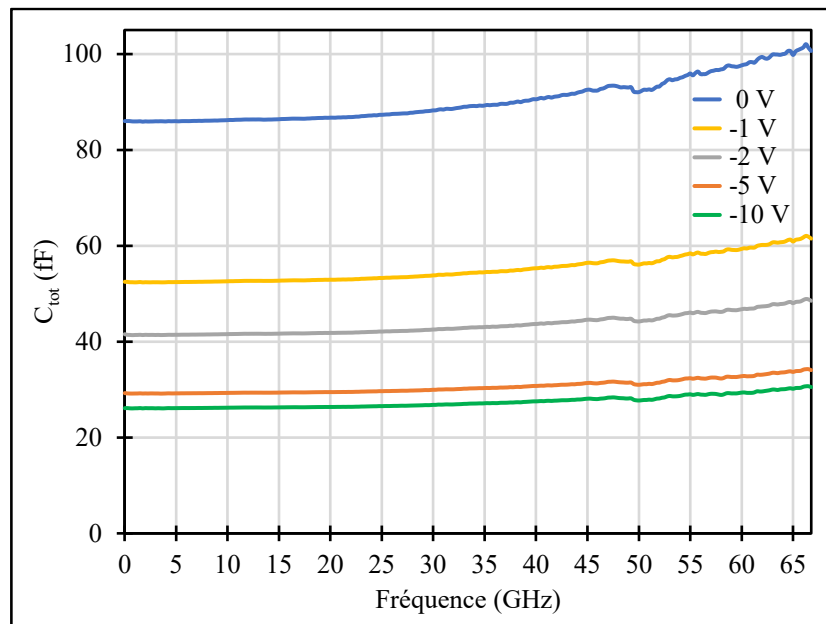


Figure 3.35 : Capacité totale mesurée sur la bande 0,25 à 67 GHz à différents points de polarisation pour une diode sur GaAs avec $S = 75 \mu\text{m}^2$, $R = 1,2$, $D = 0,7 \mu\text{m}$.

Une mesure en fonction de la polarisation, à une fréquence fixe de 5 GHz, puis une extraction de C_{tot} point à point permettent de reconstituer une caractéristique capacité-tension, comme montré sur la Figure 3.36. Nous pouvons donc, en utilisant le même principe que pour

les mesures C-V, effectuer l'extraction du dopage. Cela permettra de confirmer par deux méthodes les caractéristiques des composants, ainsi que d'éprouver notre modèle. Par ailleurs, la déplétion quasi-complète de la couche n⁻ est relevée à environ à -6 V sur la caractéristique 1/C² correspondante, ici en orange. Cela est également observé sur tous les autres composants.

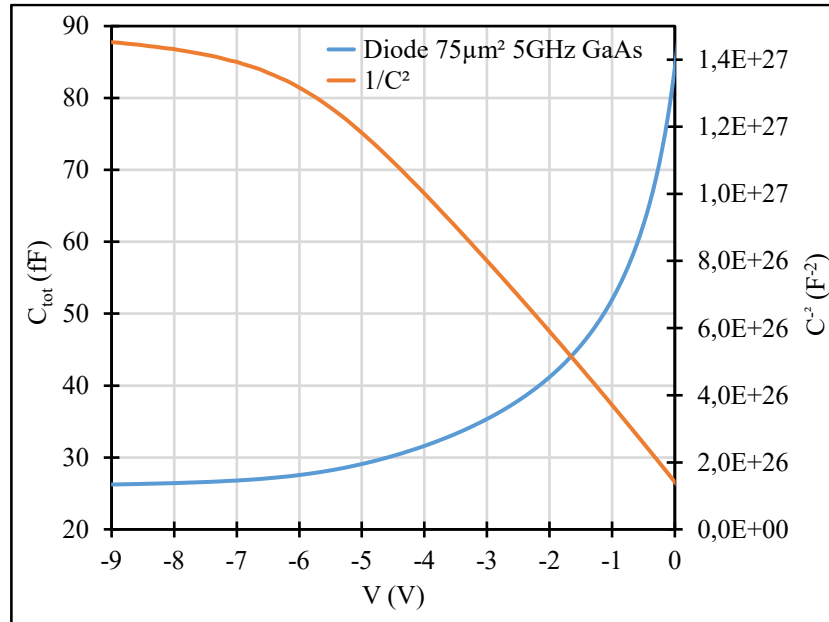


Figure 3.36 : Caractéristique C-V et courbe 1/C² obtenue en hyperfréquence à 5 GHz pour une diode sur GaAs avec $S = 75 \mu\text{m}^2$, $R = 1,2$, $D = 0,7 \mu\text{m}$.

La Figure 3.37 montre la comparaison normalisée par rapport à la surface entre d'une part, les caractéristiques C-V de diodes de $3850 \mu\text{m}^2$ (70 μm de diamètre) mesurées à 1 MHz, et dont les résultats ont été présentés dans la section précédente, et d'autre part, les courbes obtenues à 5 GHz sur les composants de surface $75 \mu\text{m}^2$ par la mise en œuvre des mesures hyperfréquences.

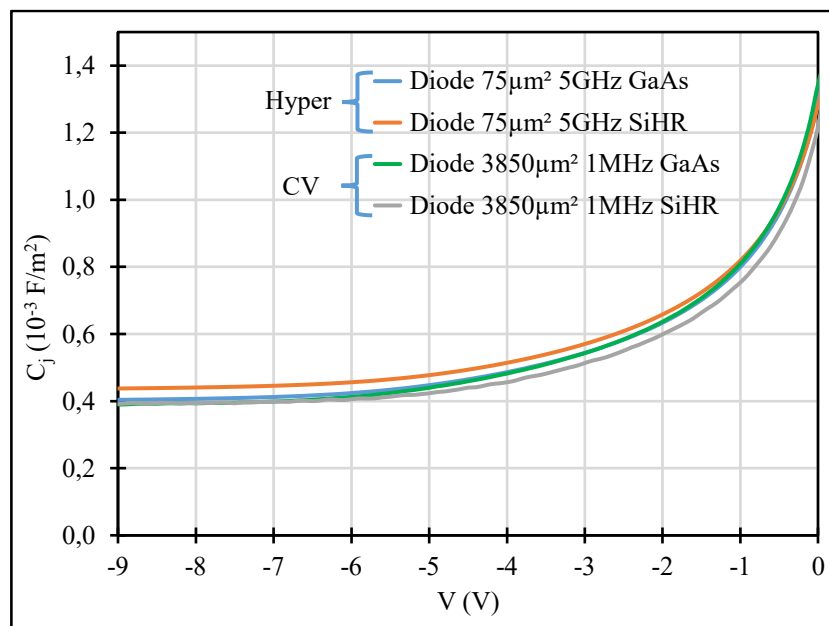


Figure 3.37 : Caractéristiques C-V normalisées par rapport à la surface, pour des composants sur GaAs et reportés sur SiHR, de dimensions très différentes.

Nous constatons que la valeur de la capacité normalisée de ces différentes diodes, de technologies et de tailles très différentes, est comparable, ce qui valide les méthodes de mesures et montre qu'elles sont en cohérence. Sur le plan technologique, c'est également un indicateur qui met en évidence la qualité ainsi que la reproductibilité des croissances et des procédés mis en œuvre. En effet, les deux structures utilisées pour les diodes sur GaAs et reportées sur SiHR sont assez différentes et ont été réalisées à plusieurs mois d'intervalle. La seule couche identique entre les deux structures est celle de GaAs n⁻ de 350 nm d'épaisseur, et le fait de retrouver quasiment le même comportement sur la capacité normalisée par unité de surface est un résultat encourageant qui nous conforte dans nos choix technologiques.

Le Tableau 3.11 montre la synthèse des résultats obtenus par les mesures hyperfréquences sur les composants de surface 75 μm^2 pour la technologie conventionnelle sur substrat GaAs, et celle reportée sur SiHR. Pour simplifier la lecture, nous utilisons l'appellation de la capacité de jonction C_j , car la capacité parasite liée au pont à air de 2 fF est négligeable. En toute rigueur, les valeurs de capacité exposées correspondent à la capacité totale mesurée.

Diode D = 0,7 μm	R_s (Ω)	C_j à 0 V (fF)	C_j à -8 V (fF)	V_{bi} (V)	Φ_B (eV)	N_d (10^{17} cm^{-3})
Circulaire	5,35	85,7	27,3	0,67	0,70	1,21
R = 1,2	5,13	84,1	26,4	0,65	0,68	1,13
R = 2	4,67	85,2	26,2	0,63	0,66	1,12
R = 3	4,36	84,9	26,1	0,62	0,66	1,11
R = 4	3,90	84,2	26,1	0,63	0,66	1,09
R = 5	3,71	84,1	25,9	0,62	0,66	1,08

Tableau 3.11 : Extractions à 5 GHz pour les composants sur substrat GaAs de R_s à 1 V, de C_j à 0 et -8 V pour différents rapports d'aspects d'anodes.

Nous voyons encore une fois que la valeur de la résistance série, extraite ici à 1 V en polarisation directe, est bien décroissante avec l'augmentation du rapport d'aspect, ce qui démontre l'intérêt que représente la topologie d'anodes rectangulaires. Le rapport d'aspect n'impacte pas la plage de modulation de capacité, ce qui était à prévoir car tous les composants ont conservé une surface identique. V_{bi} et Φ_B suivent la même tendance que pour les mesures C-V. Le Tableau 3.12 montre les mêmes extractions pour la diode reportée sur SiHR.

Diode reportée	R_s (Ω)	C_j à 0 V (fF)	C_j à -8 V (fF)	V_{bi} (V)	Φ_B (eV)	N_d (10^{17} cm^{-3})
R = 1,2	1,84	90,3	30,9	0,72	0,75	1,24

Tableau 3.12 : Extractions à 5 GHz pour le composant reporté sur SiHR de R_s à 1 V, de C_j à 0 et -8 V.

Nous voyons que la capacité totale est légèrement plus élevée sur la diode reportée. Il pourrait s'agir d'une capacité parasite supplémentaire liée à la présence du joint de collage sous le pont à air, comme l'illustre la prise de vue effectuée au microscope électronique de la Figure 2.49. Cependant, le résultat le plus intéressant est évidemment la résistance série de la diode reportée qui a été fortement réduite, de près de 65 %.

Le Tableau 3.13 montre l'évolution des paramètres lorsque la distance D entre les contacts Schottky et ohmique varie, le rapport d'aspect est fixé à 3.

Diode R = 3	R_s (Ω)	C_j à 0 V (fF)	C_j à -8 V (fF)	V_{bi} (V)	Φ_B (eV)	N_d (10^{17} cm^{-3})
$D = 0,7 \mu\text{m}$	4,36	84,86	26,10	0,62	0,66	1,11
$D = 1,4 \mu\text{m}$	5,06	84,91	26,08	0,62	0,66	1,11
$D = 2,2 \mu\text{m}$	5,94	84,90	26,04	0,62	0,66	1,11

Tableau 3.13 : Extractions à 5 GHz de R_s à 1 V, de C_j à 0 V et -10 V pour différentes distances entre le contact ohmique et le contact Schottky.

Nous notons que la valeur de la capacité C_{tot} extraite en fonction de la distance D est pratiquement constante. C'est particulièrement intéressant car cela indique que, pour cette surface de diode, la capacité parasite est quasiment identique, et donc que l'impact de D sur cette dernière est négligeable. En effet, nous supposons que la capacité parasite serait significativement plus élevée pour $D = 0,7 \mu\text{m}$, distance pour laquelle les deux électrodes sont les plus proches. Cela signifie que nous pourrions envisager la réalisation d'autres composants où D serait encore plus réduit, pour encore minimiser la résistance série, sans être pénalisé sur la capacité. Néanmoins, cela ne concerne que les composants sur substrat GaAs, qui au final servent principalement de référence dans ce travail.

Nous remarquons également que la valeur de la résistance extraite en microondes est légèrement plus élevée que la valeur observée en statique avec un écart de 8%, et cela quel que soit la technologie ou la forme d'anode considérée. La seule hypothèse que nous écartons est la modification des caractéristiques des diodes par un effet thermique, liée à l'échauffement pendant la mesure microonde, où les composants peuvent être fortement polarisés en direct. En effet, nous verrons par la suite que les diodes reportées sur SiHR s'échauffent beaucoup moins que les diodes de référence sur GaAs et l'augmentation de la valeur de résistance entre les mesures microondes et les mesures statiques est similaire pour les deux types de diodes.

3.5 Mesures pulsées et extraction de la résistance thermique des diodes

L'un des objectifs fondamentaux de ce travail est d'améliorer la tenue en puissance des diodes Schottky. Cela s'est traduit jusqu'à maintenant, par la définition de nouvelles structures épitaxiales et le développement d'un procédé de fabrication innovant dans le but de transférer les diodes sur un autre substrat, le SiHR qui bénéficie d'une conductivité thermique trois fois supérieure au substrat originel de croissance en GaAs. Les diodes reportées seraient alors susceptibles de supporter des puissances plus importantes en réduisant leur auto-échauffement. Nous devons donc évaluer la capacité des composants à évacuer la chaleur générée par la puissance traversant la jonction. Ce critère est lié à la notion de résistance thermique R_{th} qui caractérise la propension du composant à évacuer la chaleur.

Dans cette partie nous allons nous intéresser à une première méthode qui permet d'évaluer la résistance thermique à l'aide de mesures électriques. Elle permet d'extrapoler la température des jonctions et ainsi de déterminer la résistance thermique des diodes. Nous nous intéresserons dans ce contexte à deux types de composants, la diode conventionnelle sur substrat GaAs, ainsi que celle reportée sur substrat SiHR. Les deux dispositifs étudiés sont de rapport d'aspect et de surface d'anode proches des diodes utilisées dans la réalisation de la barrette de multiplication de fréquences à 150 GHz, c'est-à-dire respectivement de 1,2 et $75 \mu\text{m}^2$. Nous avons effectué ces mesures à l'aide de la station sous pointes visible sur la Figure 3.38. Cette dernière a la particularité de disposer d'un support d'échantillon chauffant et contrôlé en température, ce qui permet de thermaliser le composant. L'ensemble est couplé à une source DC pulsée.

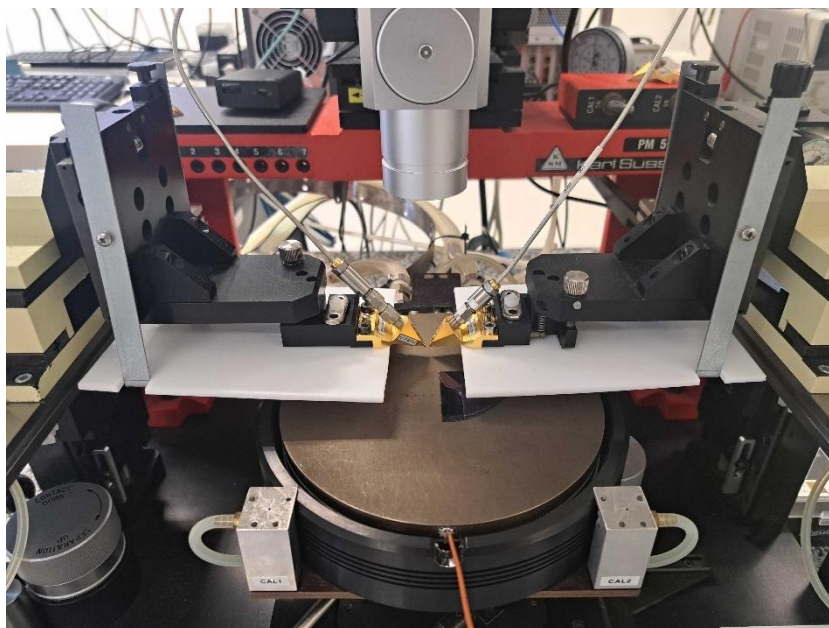


Figure 3.38 : Prise de vue de la station de mesures pulsées disposant d'un support d'échantillon contrôlé en température.

La technique de mesure utilisée est issue de [98] et est expliquée ci-après. Le principe général s'appuie sur la forte dépendance du courant de la diode avec la température de sa jonction (T_j). L'équation 3.30 en rappelle l'expression.

$$I(V, T_j) = I_s \left[e^{\frac{qV}{\eta k T_j}} - 1 \right] \quad 3.30$$

Il est alors possible d'utiliser la jonction comme un thermomètre, à condition de mesurer le courant pour une tension fixe, avec comme condition de se limiter à un régime correspondant à une puissance suffisamment faible, de manière à pouvoir négliger l'auto-échauffement de la jonction, et ainsi considérer que la température de cette dernière est identique à celle du support d'échantillon. En effet, à polarisation constante, et à faible puissance, le seul paramètre pouvant faire évoluer significativement le courant est la température extérieure. Nous pouvons donc dresser une table de correspondance courant-température (I-T), sur quelques points, à une tension directe fixe, propre à chaque composant. Nous avons mesuré le courant dans les deux diodes choisies à différents paliers de températures, de 25 à 75 °C. Cette plage de température relativement modérée a été sélectionnée afin de ne pas altérer de manière permanente la caractéristique des diodes. Une température trop élevée pourrait en effet s'assimiler à un recuit de la jonction. Dans notre cas, une température maximale de 75 °C est considérée comme raisonnable, car elle est très en deçà de la température de recuit de 180 °C, supportée par les échantillons au cours des procédés de lithographie électronique, intervenant après le dépôt de l'électrode Schottky. Le Tableau 3.14 montre les points de mesures I(T) effectuées pour les deux technologies de composants. Ils sont obtenus par des mesures statiques pulsées, de manière à pouvoir considérer l'auto-échauffement de la jonction comme négligeable.

Substrat	GaAs	SiHR
Tension V_M (mV)	565,7	433,2
Température (°C)	Courant mesuré (mA)	
25	0,3855	0,3526
35	0,5755	0,4792
45	0,6706	0,6376
55	0,8922	0,8276
65	1,1455	1,1760
75	1,5000	1,5000

Tableau 3.14 : Mesures I-V préalables, table de correspondance courant-température des deux composants étudiés.

Pour dresser cette table, l'échantillon est dans un premier temps placé à 75°C, puis la tension V_M retenue pour dresser l'échelle de températures est déterminée empiriquement : il s'agit de celle où le courant mesuré dans la diode est de 1,5 mA. Le point tension-courant à

75°C est choisi selon le compromis suivant : il est nécessaire de conserver suffisamment de courant dans la jonction à température ambiante (25 °C) pour garantir une mesure suffisamment précise, et il ne faut pas que le courant soit trop élevé à 75°C pour pouvoir négliger l'auto-échauffement du composant. Ce compromis a été établi expérimentalement par essais successifs. Cette limite de précision de mesure de courant est liée au fait que, par la suite, nous devons pouvoir basculer très rapidement d'une condition d'auto-échauffement à une condition de mesure de température. Cela impose de travailler avec un banc de mesures pulsées beaucoup moins précis qu'un banc statique classique. Ces premières mesures, destinées à servir de référence de température, sont donc établies exactement dans le même contexte expérimental que les mesures qui suivront. Nous reviendrons sur ce point un peu plus loin. La résistance des câbles est prise en compte et la tension choisie est la tension effective aux bornes du composant.

La Figure 3.39 montre les courbes obtenues aux tensions V_M fixées du Tableau 3.14 des points relevés. La courbe de régression polynomiale d'ordre 3 qui en résulte permet d'étendre la correspondance courant-température à l'ensemble des points intermédiaires.

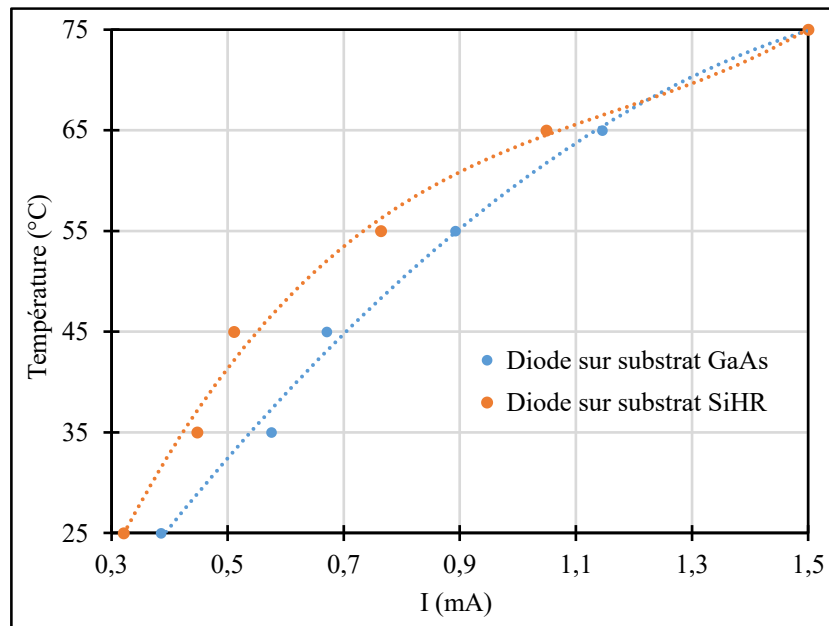


Figure 3.39 : Courbes de calibration pour l'extrapolation de la température des jonctions.

La suite de cette méthode se déroule à température ambiante et avec une régulation de la température du support de l'échantillon à 25°C. L'étape suivante consiste à appliquer au composant une polarisation V_H plus importante, où V_H est supérieure à V_M , de manière à générer un courant I_H pour auto-échauffer volontairement la jonction. Puis dans un bref intervalle de temps, la polarisation de la jonction est commutée de la tension V_H à la tension V_M . Le courant circulant dans la jonction est mesuré après cette commutation et est appelé I_M .

Le courant I_M permet de déterminer la température de la jonction à l'aide de la courbe de calibration préalablement établie en Figure 3.39. La tension V_H est choisie empiriquement de manière à générer dans la jonction un courant I_H correspondant à une puissance P_H de 25 mW.

L'objectif étant d'obtenir un échauffement significatif, mais de conserver des températures qui restent dans la plage préalablement établie pour définir notre thermomètre. À titre informatif, la valeur des différents paramètres est présentée dans le Tableau 3.15. Pour échauffer la jonction, la largeur de l'impulsion au potentiel V_H est de 1 μ s, ce qui est considéré comme suffisant pour que la température de la jonction soit établie et stabilisée.

Substrat	V_H (mV)	I_H (mA)	P_H (mW)
GaAs	786,2	31,869	25
SiHR	627,4	39,916	25

Tableau 3.15 : Paramètres retenus pour l'échauffement des jonctions.

La Figure 3.40 montre le déroulement de l'opération en fonction du temps, avec la courbe bleue qui met en évidence le basculement de I_H à I_M et la courbe orange celui de V_H à V_M .

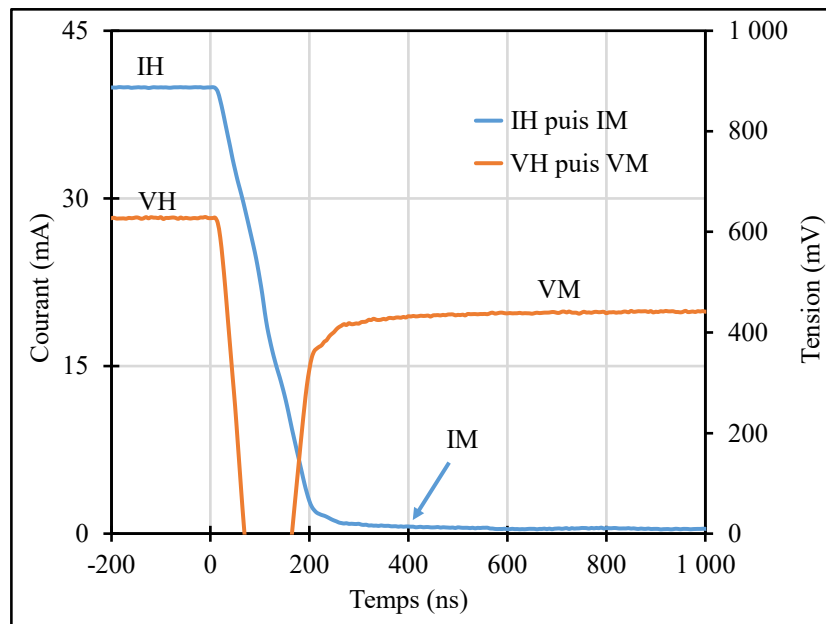


Figure 3.40 : Impulsions d'échauffement et de mesure de température des jonctions.

Comme nous pouvons le voir, le courant I_M diminue légèrement en fonction du temps. Cela traduit le refroidissement progressif de la jonction à partir du moment où V_H est interrompu, à $t = 0$ ns sur le graphique. Il est donc essentiel d'effectuer le relevé de I_M le plus rapidement possible. Dans notre cas, l'impulsion au potentiel V_M est déclenchée et stabilisée environ 400 ns après l'arrêt de l'impulsion V_H , ce qui correspond à la limite minimale de la source DC pulsée employée, en raison des temps de montée et de descente des impulsions. Il faut donc relativiser le résultat obtenu, car il se pourrait que la température de jonction ainsi déterminée soit légèrement minimisée, à cause du délai entre l'arrêt de la chauffe et la mesure de I_M .

Une fois la température de jonction déterminée, il est possible de déduire la résistance thermique R_{th} de la diode à l'aide de l'équation 3.31 [98].

$$T_j = T_0 + P_T R_{th} \quad 3.31$$

Avec T_0 la température initiale avant échauffement de la jonction, ici 25 °C, et P_T la puissance dissipée dans la diode, ici égale à P_H . Le Tableau 3.16 montre les températures de jonctions ainsi que les résistances thermiques des composants déterminées pour $P_H = 25$ mW.

Substrat	I_M (mA)	P_M (mW)	T_j (°C)	R_{th} (°C/W)
GaAs	1,4824	0,84	74,9	1992
SiHR	0,5944	0,26	42,5	699

Tableau 3.16 : Valeurs extraites de températures de jonction et de résistances thermiques pour les deux technologies de diodes à une puissance dissipée de 25 mW.

Le résultat obtenu est révélateur du bénéfice sur la résistance thermique qu'apporte le report des couches actives de diodes Schottky GaAs par thermocompression Au/Au sur SiHR. La résistance thermique a été minimisée d'un facteur d'environ 2,8 sur la diode reportée par rapport à la technologie conventionnelle réalisée sur GaAs.

3.6 Étude du comportement thermique par thermoréfectance

Afin de confirmer la tendance observée de la première estimation des paramètres R_{th} et T_j en utilisant les mesures électriques pulsées pour les deux technologies, nous nous sommes intéressés à une seconde méthode expérimentale pour confronter ces résultats à d'autres données. Il existe différentes méthodes non invasives qui peuvent être mises en œuvre dans ce contexte. Grâce à une collaboration avec l'UCLouvain en Belgique, nous avons eu l'occasion d'effectuer des mesures d'imagerie par thermoréfectance. Cette méthode d'analyse a particulièrement retenu notre attention pour sa très bonne résolution spatiale, typiquement inférieure à 0,5 μm . Cela est particulièrement approprié compte tenu de la surface nominale de nos jonctions. À titre de comparaison, nous pouvons citer la méthode d'imagerie infrarouge où la résolution spatiale est supérieure d'environ un ordre de grandeur par rapport à la méthode d'imagerie par thermoréfectance. Utiliser une caractérisation par imagerie infrarouge impliquerait alors un relevé de température moins significatif sur le point chaud, matérialisé dans notre cas par la jonction, car l'étude ne s'effectuerait que sur quelques pixels à peine. Cela reste bien entendu envisageable, mais la technique de caractérisation par thermoréfectance nous semble plus appropriée ici.

Dans ce contexte, nous avons eu accès à un équipement d'imagerie par thermoréfectance, Microsanj EZ-therm, disponible à la plateforme Welcome de l'UCLouvain en Belgique. La Figure 3.41 montre le banc de mesure de thermoréfectance utilisé, puis une brève description de ce type de caractérisation est proposée.

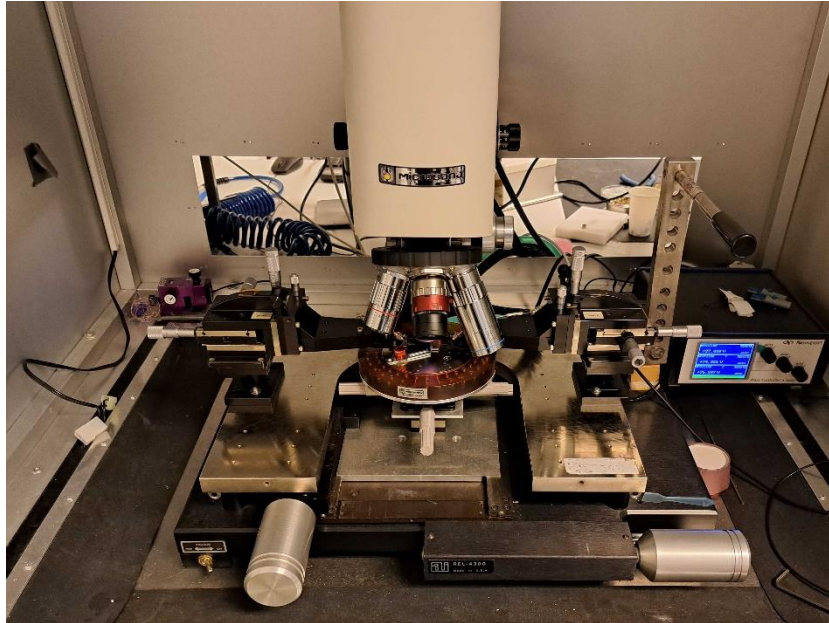


Figure 3.41: Banc de thermoréfectance mis à disposition par l'UCLouvain.

L'essentiel du principe de la thermoréfectance consiste à étudier le changement de réflectivité d'un matériau, en y dirigeant un faisceau de lumière monochromatique, puis en mesurant l'énergie qui en est réfléchi, à l'aide d'un capteur CCD (charge coupled device), pour en déduire l'élévation de la température. La Figure 3.42 illustre ce principe.

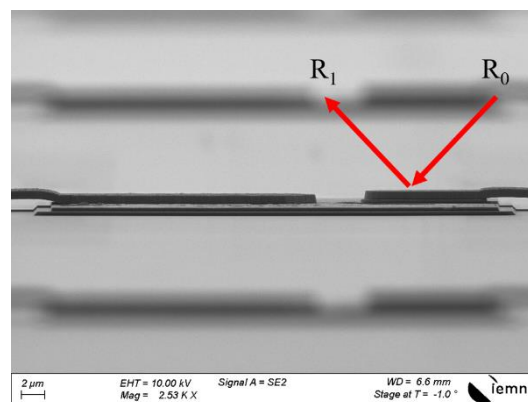


Figure 3.42: Principe de la thermoréfectance.

Lorsque le dispositif est excité électriquement, les matériaux qui le composent subissent une élévation de température par effet joule. Il s'en suit une variation de son indice optique, entraînant à son tour une modification de sa réflectivité. L'équation 3.32 montre la relation qui lie cette dernière avec un différentiel de température [99].

$$\Delta T = \frac{\Delta R}{R_0 \cdot C_{th}} \quad 3.32$$

R_0 est l'énergie incidente du faisceau d'illumination sur la surface, ΔR la réflectance qui est définie par la différence entre l'énergie réfléchi et incidente, ΔT l'élévation de température en

degré Celsius et C_{th} le coefficient de thermorélectance du matériau. Notons que C_{th} est un paramètre relativement connu et propre à chaque matériau et qui dépend également de la longueur d'onde du faisceau d'illumination comme illustré sur la Figure 3.43.

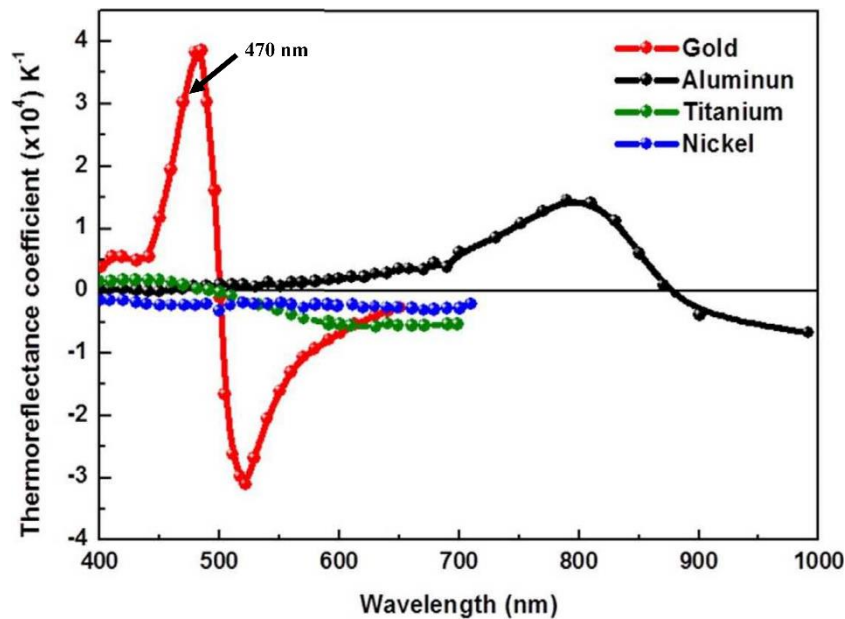


Figure 3.43: Coefficient de thermorélectance pour différents matériaux en fonction de la longueur d'onde [99].

Pour garantir une bonne sensibilité de détection lorsque la température du point d'intérêt évolue, il convient de sélectionner une longueur d'onde appropriée pour le faisceau d'illumination. La longueur d'onde optimale est celle où le matériau à caractériser est le plus réfléchissant, et cela correspond à un C_{th} élevé. Notons par ailleurs que la température étudiée sera celle de la surface supérieure du métal de l'électrode Schottky et non pas celle de la jonction intrinsèque proprement dite. En effet, il n'est pas possible de mesurer la température du GaAs à travers la métallisation de contact. Nous devons alors sélectionner une longueur d'onde appropriée pour l'or, et sur la Figure 3.43, il apparaît que 470 nm est un choix approprié.

Cependant, en pratique, il est indispensable d'effectuer un étalonnage préalable pour chaque dispositif, afin d'ajuster la valeur retenue de C_{th} pour la suite de l'étude. Ce coefficient peut en effet varier suivant l'état de rugosité de la surface et l'équation 3.32 montre qu'il est également fonction de la température.

La première étape de ce procédé de caractérisation est d'effectuer le relevé du coefficient de thermorélectance effectif de la zone à analyser pour chaque dispositif, cela en fonction de la température extérieure et sans excitation électrique. D'une manière analogue à la méthode électrique précédemment employée, l'objectif dans un premier temps est d'obtenir une référence servant de thermomètre. Il s'agit ici de mesurer la variation de C_{th} en fonction de la température. Dans ce but, le banc de thermorélectance est lui aussi équipé d'un support d'échantillon chauffant et régulé en température. L'opération est toutefois plus simple à réaliser dans le cas présent parce que l'évolution du coefficient de thermorélectance est linéaire en fonction de la

température. Il suffit donc de deux points, choisis ici à 20 et 100 °C pour connaître sa valeur de manière fiable sur une plage importante. C_{th} est déterminé pixel par pixel et chaque point est moyenné 8 fois. Pendant la calibration, l'échantillon est fixé sur le support chauffant, et une zone d'intérêt est définie sur la visualisation du composant réalisée par le capteur CCD. La position dans l'espace du point d'intérêt est monitorée et maintenue en temps réel par des micro-positionneurs piézoélectriques, pour éviter tout désalignement de la matrice de pixels au cours de la calibration pouvant être causé par la dilatation thermique de l'échantillon ou de vibrations. Le Tableau 3.17 montre les coefficients de thermoréfectance établis par la méthode explicitée plus haut, pour les composants sur substrat GaAs et reportés sur SiHR.

Substrat	C_{th} (10^{-4} K)
GaAs	1,816
SiHR	2,346

Tableau 3.17 : Valeurs des coefficients de thermoréfectance retenus pour les deux technologies.

À titre informatif, le C_{th} théorique de l'or à 470 nm est de 3.10^{-4} K, ce qui démontre l'intérêt d'effectuer une calibration préalable, compte tenu de la différence observée en pratique sur nos dispositifs. L'étape suivante consiste à effectuer la mesure de thermoréfectance lorsque le composant est polarisé. L'équipement Microsanj EZ-therm dispose de sa propre source DC pulsée intégrée, et une largeur d'impulsion de 1 μ s est à nouveau employée. La tension V_H est déterminée empiriquement, de manière à compenser la chute de tension induite par les câbles, et de manière à ce que les courants I_H soient identiques à ceux employés dans la section précédente, pour effectuer une comparaison directe des paramètres. Les résultats obtenus sont visibles sur la Figure 3.44 où la température absolue résultant de cette excitation électrique est représentée. Notons que le relevé des températures n'est correct que sur les zones présentant les mêmes caractéristiques que celle que nous avons utilisées dans la phase de calibration, c'est-à-dire sur les surfaces d'or planaires. Les relevés sur des structures non planaires comme les ponts à air ou sur les autres matériaux sont inexacts.

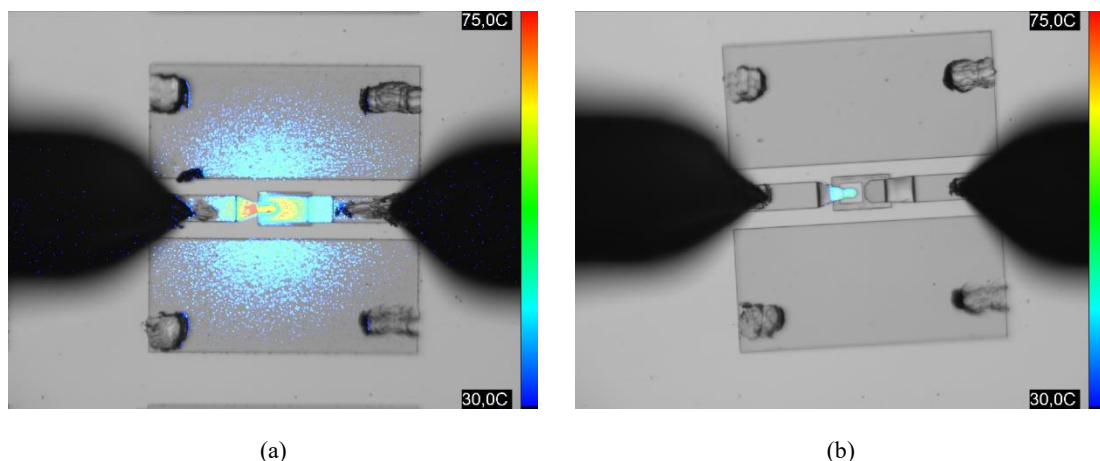


Figure 3.44 : Représentation de la température absolue des diodes caractérisées par thermoréfectance sous 25 mW, (a) diode sur substrat GaAs, (b) diode reportée sur substrat SiHR.

Nous constatons de manière flagrante que le comportement thermique des deux composants est très différent. Sur la diode reportée, le point chaud est très localisé au-dessus de la jonction, et avec un maximum de température bien inférieur au composant sur substrat GaAs. Une valeur approximative de la résistance thermique est calculée, à l'aide de l'équation 3.31, en faisant l'hypothèse que la température de surface du contact Schottky est identique à la température de la jonction. Les résultats sont présentés dans le Tableau 3.18.

Substrat	$T_{\text{m\u00e9tal}} \text{ (}^\circ\text{C)}$	$R_{\text{th approx.}} \text{ (}^\circ\text{C/W)}$
GaAs	65,4	1816
SiHR	43,5	938

Tableau 3.18 : Température du métal de l'électrode Schottky et résistance thermique approximative extraits par thermoréfectance pour les deux technologies de diodes sous une puissance de 25 mW.

La température des accès coplanaires environnants est inférieure à 30 °C pour la diode reportée. La chaleur semble donc totalement évacuée dans le substrat de SiHR. Notons qu'ici la température initiale est de 20 °C, ce qui signifie que la température relative (ou l'élévation de la température) sous 25 mW pour les composants sur GaAs et sur SiHR est de respectivement 45 et 23 °C. Cette première mesure de thermoréfectance conforte les résultats observés à l'aide de la méthode électrique. La résistance thermique évaluée ici est fortement améliorée, d'un facteur 2 entre l'échantillon reporté et l'échantillon de référence sur GaAs. Ce facteur est plus faible que celui observé à l'aide de la méthode électrique, mais correspond à la mesure de température au niveau supérieur du métal de contact Schottky, contrairement à la mesure électrique qui nous permet de mesurer directement la température de jonction. Cela dit, nous nous attendions à une température relevée par la méthode de la thermoréfectance légèrement supérieure à celle obtenue par la méthode électrique. En effet, le relevé est effectué dans le cas de cette dernière 400 ns après l'arrêt de l'auto-échauffement de la jonction, ce qui signifie que celle-ci a eu l'occasion de se refroidir, ne serait-ce que légèrement. Une étude complémentaire, par exemple à l'aide d'un simulateur thermique, serait probablement à considérer pour étudier cette différence.

3.7 Synthèse des résultats et conclusion du chapitre 3

Ce dernier chapitre expose les mesures réalisées sur les différentes technologies de composants fabriqués au cours de ces travaux. Les résultats obtenus les plus parlants ont été synthétisés dans des tableaux comparatifs.

Dans un premier temps, nous avons évalué la technologie de diodes GaAs réalisées sur leur substrat de croissance GaAs originel. Pour rappel, nous avons principalement souhaité réaliser cette fabrication pour disposer de caractéristiques de composants conventionnels, de manière à pouvoir effectuer leur comparaison directe avec la technologie de diodes reportées sur SiHR. Nous avons également souhaité profiter de cette fabrication de diodes sur GaAs pour réaliser une étude paramétrique concernant la géométrie de l'anode, et plus précisément sur l'utilisation d'une topologie quasi-rectangulaire en lieu et place d'anodes circulaires classiques. Les résultats obtenus grâce aux mesures statiques et hyperfréquences concernant ce dernier point ont effectivement montré que la topologie quasi-rectangulaire a un impact positif sur la résistance série. Le premier rapport d'aspect évalué de 1,2 apporte une légère amélioration de la résistance série qui est 5 % inférieure à celle d'une diode présentant une anode circulaire de même surface. Nous avons montré qu'en augmentant jusqu'à 5 le rapport d'aspect de l'anode, nous obtenions une résistance série réduite de 30 % par rapport à une anode circulaire, et cela pour les deux méthodes de mesures mises en œuvre mentionnées ci-dessus. Cela se répercute sur le produit $R_s C_{j0}$ qui diminue sensiblement de 460 à 310 $\Omega \cdot \text{ff}$ lorsqu'on compare les caractéristiques des diodes circulaires et quasi-rectangulaires de rapport d'aspect 5. Cependant, il est à noter que cette diminution est contrebalancée par l'augmentation de l'inductance parasite, qui est doublée dans le cas de l'anode la plus longue. Cela est imputé à la diminution de la largeur du pont à air. Une solution à ce problème pourrait être de considérer la réalisation d'un pont à air plus large que les dimensions de l'anode, c'est-à-dire suspendu sur les extrémités de cette dernière ou alors d'épaissir la métallisation du pont. Nous avons mené une autre étude paramétrique lors de la fabrication des diodes planaires GaAs sur GaAs, et qui portait sur l'évaluation des caractéristiques des diodes en fonction de la distance entre les deux électrodes du composant. Celle-ci a montré, comme on pouvait s'y attendre, que la résistance série des diodes augmente proportionnellement avec cette distance. Le point le plus intéressant a été que la capacité de jonction et la capacité parasite de ces composants qui a été mesurée en hyperfréquence, est identique pour les trois distances évaluées, et cela même pour la plus faible d'entre elles qui était de 0,7 μm . Cela signifie que nous avons plutôt intérêt à réaliser les composants avec une distance entre les deux électrodes la plus resserrée possible, de manière à diminuer la résistance série. Par exemple dans notre étude, passer cette distance de 1,4 à 0,7 μm permet de réduire la résistance série de 15 à 25 % sans impacter les autres paramètres. Les caractéristiques des diodes de grandes dimensions, de 44 à 700 μm de diamètre, réalisées sur GaAs ont quant à elles apporté la confirmation de l'excellente qualité des couches épitaxiales et du procédé de

fabrication. En effet, la mesure de la capacité de jonction normalisée ainsi que de l'extraction de la densité de dopage, sont homogènes et cohérentes sur toute la plage de dimensions étudiée. Par ailleurs, l'ensemble des composants fabriqués, quels que soient leur taille ou leur rapport d'aspect, montre un bon coefficient d'idéalité typique de 1,1 ainsi qu'une tension de claquage au plus proche de ce qu'est capable d'offrir le GaAs avec 15,3 V obtenu pour 350 nm dopé à 10^{17} cm^{-3} .

Dans un deuxième temps, nous avons étudié les caractéristiques de la barrette de diodes pour la réalisation du multiplicateur de fréquences à 150 GHz. Nous avons vérifié le bon fonctionnement de celle-ci, composée de 6 diodes en configuration anti-série, en réalisant des mesures statiques sur les deux branches de la barrette, constituée chacune de 3 diodes. Ces mesures ont montré que cette nouvelle fabrication de diodes Schottky GaAs sur GaAs était une bonne réitération de la première, avec l'obtention d'un coefficient d'idéalité pour une branche de la barrette de 3,3 soit de 1,1 pour chacune des diodes. D'autre part, la résistance série cumulée pour chaque branche est elle aussi dans l'ordre de grandeur attendu, d'environ 7 Ω par diode. Les caractérisations hyperfréquences du doubleur de fréquence auront lieu après la finalisation du montage du composant en boîtier guide d'ondes.

Dans un troisième temps, nous avons évalué les performances de la technologie de diodes GaAs reportées sur SiHR. Tout d'abord, l'analyse des données extraites des mesures C-V sur les diodes de grandes dimensions, et leur comparaison avec les mesures effectuées sur ces mêmes composants sur GaAs, nous indique que le procédé de report de substrat n'a pas endommagé la structure. Les diodes présentent une densité de dopage vérifiée de 10^{17} cm^{-3} , très proche de la valeur théorique. La valeur de la capacité normalisée par la surface qui est obtenue pour ces dispositifs est également cohérente avec les composants réalisés sur GaAs. Un autre argument de la bonne préservation de l'intégrité du composant après report est l'exploitation des mesures statiques. En effet, ces mêmes composants de grande dimension et reportés sur SiHR, montrent un coefficient d'idéalité de 1,1. Un des résultats les plus intéressants de ce travail est obtenu grâce aux mesures statiques et hyperfréquences, par lesquelles nous avons pu mettre en évidence une diminution de la résistance série de près de 65 % pour l'ensemble des composants reportés étudiés par rapport aux composants de même topologie réalisés directement sur GaAs. Cette diminution drastique est associée au passage de la configuration planaire du composant à une configuration quasi-verticale. En effet, dans ce dernier cas, la contribution de la résistance série occasionnée par la résistance associée au trajet du courant dans la couche n^+ entre le contact ohmique et le corps de la diode est fortement minimisée. Cela se traduit également par une nette diminution du produit $R_s C_{j0}$ qui est de 165 $\Omega \cdot \text{fF}$ dans le cas de la diode de 75 μm^2 reportée sur SiHR contre 310 $\Omega \cdot \text{fF}$ dans le meilleur des cas pour les diodes sur substrat GaAs.

Après l'extraction des paramètres classiques des diodes, nous avons souhaité évaluer les performances thermiques des deux technologies réalisées et nous avons dans ce but mis en œuvre deux méthodes d'évaluation de la résistance thermique. D'une part nous avons utilisé une

méthode s'appuyant sur des mesures par thermoréfectance et d'autre part sur des mesures électriques. La première ligne du Tableau 3.19 montre les résultats obtenus pour la méthode par thermoréfectance, et la deuxième les résultats pour la méthode électrique.

Comme il n'existe pas dans la littérature d'équivalent à notre technologie de diodes reportées sur SiHR par thermocompression Au/Au, nous avons comparé nos résultats sur la diminution de la résistance thermique, avant et après le report de substrat, avec ceux d'autres dispositifs, des transistors bipolaires TBH de la filière InP, fabriqués de manière comparable sur substrat SiHR. Les conductivités thermiques des substrats originels de GaAs et d'InP sont relativement proches avec respectivement 55 et 68 W/mK, ce qui permet de comparer le gain obtenu. Le Tableau 3.19 présente en plus de nos résultats, le parallèle que nous faisons avec ceux visibles dans la littérature concernant les TBH reportés.

Dispositif	Substrat originel	Substrat hôte	R _{th} avant report (°C/W)	R _{th} après report (°C/W)	Gain R _{th} (%)	Référence
Schottky	GaAs	SiHR	1816	938	48	Ce travail
Schottky	GaAs	SiHR	1992	699	65	Ce travail
TBH	InP	SiHR	4452	1625	65	[62]
TBH	InP	SiC	3280	1250	62	[100]
TBH	InP	SiC	Non précisé		60	[101]
TBH	InP	SiC	Non précisé		75	[101]

Tableau 3.19 : Comparaison du gain obtenu sur la résistance thermique avant et après transfert de substrat pour différents dispositifs.

Il apparaît que nos résultats d'amélioration de la résistance thermique, et surtout les résultats des mesures effectuées par la méthode électrique, sont en accord avec celui obtenu pour le TBH reporté sur SiHR par thermocompression Au/Au mentionné ci-dessus. Par ailleurs, nous avons constaté que la qualité du joint de collage de ce transistor bipolaire est impeccable, ce qui n'est pas notre cas. La croissance d'une couche désadaptée d'InGaAs/InAs pour favoriser un bon contact ohmique sur la structure de notre composant de la filière GaAs a entraîné une rugosité importante, et a eu pour conséquence la formation d'une interface de collage d'une qualité non optimale. Ce problème est moins critique pour les composants de la filière InP, où la croissance de ces matériaux peut se faire en accord de maille. Cependant les imperfections de notre joint de collage n'ont pas empêché l'efficacité du choix technologique que nous avons fait et la diminution significative de la résistance thermique. Par ailleurs nous pouvons relativiser ce résultat en nous interrogeant sur l'impact de cette couche InGaAs/InAs sur la résistance thermique. En effet ces deux matériaux présentent une faible conductivité thermique, de respectivement 5 et 27 W/mK, et correspondent donc au principal goulet d'étranglement que rencontre le flux de chaleur vers le substrat. L'utilisation de ces matériaux reste cependant

indispensable, où a minima une couche d'InGaAs, pour réaliser un contact ohmique non recuit aux performances satisfaisantes sur GaAs. Une perspective intéressante d'amélioration serait d'identifier l'épaisseur optimale de la couche, de manière à réaliser un compromis entre les performances du contact ohmique et la résistance thermique de l'ensemble. Cet aspect a déjà été étudié expérimentalement et par simulations pour le TBH de filière InP, et il a été conclu que l'épaisseur de la couche de sous-collecteur d'InGaAs avait un impact très important sur la résistance thermique du dispositif. En effet, une nette diminution de 47 % est constatée lorsque l'épaisseur de la couche est réduite de 150 à 15 nm [102]. Il existe également dans la littérature des expérimentations de TBH reportés sur SiC, mentionnés dans le Tableau 3.19, le gain sur la résistance thermique est également excellent et peut atteindre jusqu'à 75 %, notamment dans le cas où la surface de contact avec le substrat est maximisée à l'aide de la mise en place de contacts supplémentaires, ici avec la partie supérieure de la structure du composant.

Au final, les résultats de nos mesures se révèlent concluants et valident notre démarche d'amélioration des caractéristiques de diodes Schottky GaAs en effectuant leur transfert sur un substrat à meilleure conductivité thermique que leur substrat originel de croissance.

Conclusion générale et perspectives

Ce travail a consisté en l'amélioration des caractéristiques de diodes Schottky GaAs pouvant s'intégrer dans une conception de multiplicateur de fréquence. Ces dispositifs, alors compliqués à concevoir et à réaliser, étaient historiquement réservés au secteur de l'instrumentation spatiale. Ils sont aujourd'hui sur le point de se démocratiser et participent à l'essor de nombreuses autres applications naissantes ou matures. Les nombreux débouchés scientifiques et commerciaux identifiés au cours de la dernière décennie ont dopé les efforts de recherche autour de cette thématique. C'est pourquoi nous nous sommes proposés d'effectuer cette étude sur l'optimisation des caractéristiques de diodes Schottky GaAs.

Dans ce contexte, nous avons donc réalisé plusieurs itérations de fabrications de diodes Schottky GaAs. La première a consisté en la validation d'un procédé de fabrication cohérent d'un composant conventionnel en configuration planaire, ce qui nous a permis à cette occasion d'optimiser certaines briques technologiques. Dès le commencement de ce travail, et d'après l'expérience présente au sein de notre groupe de recherche ainsi que dans la littérature de la communauté autour du transistor TBH de filière InP, nous avons fait le choix d'incorporer une couche graduelle d'InGaAs au sein de notre structure épitaxiale. Ce choix original et peu fréquent dans la réalisation de diodes Schottky de filière GaAs nous a permis de réaliser un contact ohmique recuit, qui s'appuie sur le système Ni/Ge/Au, et qui présente une résistance de contact ayant été divisée par deux. Ce premier procédé a également été l'occasion de valider nos compétences sur la définition des structures par gravure humide du GaAs, en utilisant une solution d'attaque à base d'ammoniaque, qui s'est montée particulièrement performante. Nous avons eu l'occasion de reproduire ce procédé avec succès de nombreuses fois au cours des fabrications ultérieures. Ce premier procédé a également été l'occasion de réaliser des diodes Schottky quasi-rectangulaires, de surface identique mais présentant différents rapports d'aspects d'anodes, ainsi que différentes distances entre les deux électrodes. Les résultats de nos mesures ont permis de montrer que, malgré l'augmentation de l'inductance parasite avec l'allongement de l'anode, le rapport d'aspect est un puissant levier permettant de minimiser la résistance série des diodes, avec notamment une diminution de celle-ci, pouvant aller jusqu'à 30 %, par rapport à des anodes circulaires classiques. Nous avons également démontré expérimentalement que la diminution de la distance entre les deux électrodes du composant n'induisait pas nécessairement l'augmentation de la capacité parasite.

La deuxième fabrication consistait en la réalisation de composants sous la forme de puces flip-chip, comprenant chacune plusieurs diodes et ayant vocation à être intégrées au sein de blocs micromécaniques guide d'ondes conçus par le LERMA, pour réaliser des multiplicateurs doubleurs de fréquence à 150 GHz. Il s'agissait d'une réalisation plus complexe que la précédente. Pour cela, nous avons mis au point et optimisé une succession de briques technologiques spécifiques, nécessaires à l'extraction des puces des plaquettes de travail. Cela

comportait d'une part la réalisation de traits de coupes, qui se devaient d'être à une profondeur parfaitement contrôlée et d'une qualité de trait particulièrement soignée. D'autre part, nous avons réussi à procéder à l'amincissement des substrats de GaAs à 50 μm , sur la face arrière des échantillons de puces flip-chip, avec une bonne homogénéité, par un procédé d'abrasion mécanique. Ainsi pour résumer, la réalisation de ces puces a été l'occasion d'effectuer un procédé de bout en bout, et ce avec un excellent rendement de fabrication. Les puces flip-chip ont donc été fabriquées, découpées, amincies, conditionnées sur Gel-Pak et caractérisées. Enfin, nous en avons expédié au LERMA pour effectuer les premiers montages en boîtier guide d'ondes et pour procéder aux caractérisations hyperfréquences des doubleurs à 150 GHz. À l'heure de la finalisation de ce manuscrit, ces opérations de montage sont en cours au LERMA.

La troisième et dernière fabrication réalisée lors ce travail est le résultat d'un développement plus original et ambitieux. Elle a consisté à remplacer le substrat de GaAs utilisé pour la croissance de la structure épitaxiale par un autre substrat, de silicium haute résistivité (SiHR), qui présente une conductivité thermique trois fois plus élevée. Contrairement aux procédés décrits dans la littérature qui utilisent un joint en matière polymère pour le report des diodes Schottky GaAs sur un autre substrat, nous avons décidé d'opter pour un joint de collage constitué de métal. Ceci dans l'optique de favoriser l'évacuation de la chaleur du composant par une diminution de la résistance thermique de l'ensemble. L'épitaxie de la diode a été transférée et scellée sur le substrat de remplacement par la mise en œuvre d'un procédé de thermocompression Au/Au. Le deuxième avantage que comporte cette approche d'un joint de métal est que de collage revêt également le rôle de contact ohmique de la diode, ce qui implique que les composants réalisés sont alors de nature quasi-verticale contrairement aux diodes planaires réalisées jusqu'à présent. L'expérience acquise au cours de la première fabrication a permis de définir de nouvelles structures épitaxiales adaptées à la réalisation d'un contact ohmique non recuit, présentant une résistance de contact au niveau de l'état de l'art pour des diodes GaAs. Les caractéristiques thermiques et électriques des diodes ainsi fabriquées ont été mesurées, et comparées aux résultats des diodes précédemment fabriquées sur substrat GaAs. Nos résultats ont montré que les composants reportés sur SiHR bénéficiaient d'une résistance série 65 % plus faible que les diodes classiques, grâce à leur configuration quasi-verticale et à l'excellente qualité de leur contact ohmique. Les caractérisations thermiques ont quant à elles mis en évidence que la résistance thermique de ce composant reporté a été diminuée d'un facteur compris entre deux et trois. Ce résultat est cohérent avec les données disponibles dans la littérature pour des reports de substrats de même nature dans la communauté des transistors TBH. D'après nos mesures à température ambiante, la température de fonctionnement des diodes reportées sur SiHR est de 30 à 40 % inférieure à celle de diodes sur substrat GaAs pour une même excitation électrique.

Les perspectives d'études complémentaires à ce travail sont nombreuses et nous pouvons en présenter quelques-unes. Maintenant que nous disposons d'un procédé de fabrication de

diodes Schottky GaAs reportées, nous pourrions envisager d'étendre cette étude à d'autres substrats hôtes présentant une conductivité thermique encore supérieure au SiHR, comme par exemple le SiC ou même le diamant comme l'a fait la société ASCT. Nous avons également constaté que de l'état de surface rugueux de nos premiers démonstrateurs, avant leur report sur le substrat hôte, permettait la réalisation de composants mais n'était pas optimum. Cela pourrait être un axe de travail important d'améliorer l'interface de collage, pour maximiser le transfert de chaleur et ainsi entraîner une nouvelle minimisation de la résistance thermique. Pour cela, nous pourrions envisager de diminuer le taux d'indium de la couche inférieure d'InGaAs, au prix cependant d'une diminution des performances du contact ohmique. Nous pourrions également utiliser une interface de collage d'or plus épaisse, puis effectuer son polissage pour niveler les défauts et ainsi revenir à un état de surface plus approprié à un collage par thermocompression, en comblant les cavités formées par cette rugosité. Toutes ces améliorations visant à optimiser la résistance thermique se traduisent directement par une augmentation de la durée de vie des composants. Une étude plus poussée menée dans différentes conditions de température extérieures pourrait par la suite être menée pour déterminer avec plus d'exactitude le gain obtenu. Enfin la vocation de ce transfert étant d'améliorer la tenue en puissance, une étude de cet aspect en configuration de multiplication ou de vieillissement serait nécessaire pour pleinement apprécier l'apport de cette méthode pour les applications visées. Par ailleurs, cette technologie de composants reportés, proposant une température de fonctionnement plus basse à puissance identique que leurs homologues sur substrats GaAs, il est possible d'augmenter la puissance du signal d'entrée et par conséquent d'obtenir des multiplicateurs proposant une puissance de sortie accrue. Nous pourrions également affiner l'évaluation quantitative du gain apporté par la structure reportée sur la résistance série d'un point de vue théorique. Ainsi, au-delà d'une étude expérimentale, nous pourrions mieux apprécier les mécanismes qui conduisent à l'amélioration de ce paramètre.

Les perspectives d'applications pour cette technologie de composants reportés laissent entrevoir la possibilité de réaliser des dispositifs de type flip-chip ou des circuits MMIC sur des membranes de SiHR, de manière à bénéficier des optimisations des caractéristiques thermiques et électriques des diodes dans le contexte d'une conception de multiplicateur de fréquence. Il conviendrait cependant de vérifier préalablement par des simulations que le gain sur la résistance thermique que nous avons observé sur un substrat de SiHR est toujours valable dans le contexte d'une membrane de SiHR de quelques microns d'épaisseur. Enfin, nous pourrions même imaginer, à titre encore plus prospectif, la réalisation d'un tel circuit MMIC au sein d'une structure de guide d'ondes micro-usinée dans du silicium en volume.

Références bibliographiques

- [1] T. Nagatsuma, « Terahertz technologies: present and future », *IEICE Electron. Express*, vol. 8, n° 14, p. 1127-1142, 2011, doi: 10.1587/elex.8.1127.
- [2] S. Fan, Y. He, B. S. Ung, et E. Pickwell-MacPherson, « The growth of biomedical terahertz research », *J. Phys. D: Appl. Phys.*, vol. 47, n° 37, p. 374009, sept. 2014, doi: 10.1088/0022-3727/47/37/374009.
- [3] U. R. Pfeiffer *et al.*, « Ex Vivo Breast Tumor Identification: Advances Toward a Silicon-Based Terahertz Near-Field Imaging Sensor », *IEEE Microwave*, vol. 20, n° 9, p. 32-46, sept. 2019, doi: 10.1109/MMM.2019.2922119.
- [4] D. Clery, « Brainstorming Their Way to an Imaging Revolution », *Science*, vol. 297, n° 5582, p. 761-763, août 2002, doi: 10.1126/science.297.5582.761.
- [5] R. Knipper *et al.*, « THz Absorption in Fabric and Its Impact on Body Scanning for Security Application », *IEEE Trans. THz Sci. Technol.*, vol. 5, n° 6, p. 999-1004, nov. 2015, doi: 10.1109/TTHZ.2015.2474115.
- [6] E. Lacombe, « Evaluation of silicon photonic technology for the development of innovative 40 Gbps wireless link above 200 GHz ».
- [7] « Microwave backhaul evolution – reaching beyond 100GHz », 2017.
- [8] ECC et CEPT, « THE EUROPEAN TABLE OF FREQUENCY ALLOCATIONS AND APPLICATIONS IN THE FREQUENCY RANGE 8.3 kHz to 3000 GHz (ECA TABLE) Approved November 2020 ».
- [9] P. H. Siegel, « Terahertz technology », *IEEE Trans. Microwave Theory Techn.*, vol. 50, n° 3, p. 910-928, mars 2002, doi: 10.1109/22.989974.
- [10] P. H. Siegel, « THz Instruments for Space », *IEEE Trans. Antennas Propagat.*, vol. 55, n° 11, p. 2957-2965, nov. 2007, doi: 10.1109/TAP.2007.908557.
- [11] D. Doyle, G. Pilbratt, et J. Tauber, « The Herschel and Planck Space Telescopes », *Proc. IEEE*, vol. 97, n° 8, p. 1403-1411, août 2009, doi: 10.1109/JPROC.2009.2017106.
- [12] M. A. Cordiner *et al.*, « Phosphine in the Venusian Atmosphere: A Strict Upper Limit From SOFIA GREAT Observations », *Geophysical Research Letters*, vol. 49, n° 22, p. e2022GL101055, nov. 2022, doi: 10.1029/2022GL101055.
- [13] J. Treuttel *et al.*, « 1200 GHz High Spectral Resolution Receiver Front-End of Submillimeter Wave Instrument for JUPiter ICy Moon Explorer: Part I - RF Performance Optimization for Cryogenic Operation », *IEEE Trans. THz Sci. Technol.*, vol. 13, n° 4, p. 324-336, juill. 2023, doi: 10.1109/TTHZ.2023.3263623.
- [14] European Space Agency, « JUPiter ICy moons Explorer Exploring the emergence of habitable worlds around gas giants ». 2014.
- [15] L.-C. Calvez *et al.*, « Mémoire de Thèse présenté par Alain Maestrini sous la direction de Serge Toutain et sous la codirection de Gérard Beaudin, pour l'obtention du grade de docteur de l'Université de Bretagne Occidentale. ».
- [16] J.-L. Coutaz et F. Garet, « Les ondes électromagnétiques térahertz au service de la sécurité et de la défense », *Photoniques*, n° 55, p. 34-39, sept. 2011, doi: 10.1051/photon/20115534.

- [17]G. Chattopadhyay, « Technology, Capabilities, and Performance of Low Power Terahertz Sources », *IEEE Trans. Terahertz Sci. Technol.*, vol. 1, n° 1, p. 33-53, sept. 2011, doi: 10.1109/TTHZ.2011.2159561.
- [18]R. F. Kazarinov et R. A. Suris, « Possibility of amplification of electromagnetic waves in a semiconductor with a superlattice », 1971.
- [19]J. Faist, F. Capasso, D. L. Sivco, C. Sirtori, A. L. Hutchinson, et A. Y. Cho, « Quantum Cascade Laser », vol. 264, 1994.
- [20]LYTID SAS, « Lytid Teracascade 2000 datasheet ». [En ligne]. Disponible sur: <https://lytid.com/wp-content/uploads/2021/10/dataSheet-TC2000-2.pdf>
- [21]M. Carras, « Comprendre. Les lasers à cascade quantique : vers la démocratisation ! », *Photoniques*, n° 93, p. 44-48, sept. 2018, doi: 10.1051/photon/20189344.
- [22]J. Ward *et al.*, « Capability of THz sources based on Schottky diode frequency multiplier chains », in *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No.04CH37535)*, Fort Worth, TX, USA: IEEE, 2004, p. 1587-1590. doi: 10.1109/MWSYM.2004.1338884.
- [23]M. T. Faber, J. Chramiec, et M. E. Adamski, *Microwave and Millimeter Wave Diode Frequency Multipliers*.
- [24]A. Maestrini *et al.*, « The 1200GHz Receiver Frontend of the Submillimetre Wave Instrument of ESA JUper ICy moons Explorer », in *2018 43rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, Nagoya: IEEE, sept. 2018, p. 1-2. doi: 10.1109/IRMMW-THz.2018.8509935.
- [25]C. G. Perez-Moreno, J. Grajal, C. Viegas, H. Liu, J. Powell, et B. Alderman, « Thermal analysis of high-power millimeter-wave Schottky diode frequency multipliers », in *2016 Global Symposium on Millimeter Waves (GSMM) & ESA Workshop on Millimetre-Wave Technology and Applications*, Espoo, Finland: IEEE, juin 2016, p. 1-4. doi: 10.1109/GSMM.2016.7500307.
- [26]D. M. Melgar, « Design and optimization at the highest frequency of a heterodyne receiver at 1.2 THz for the JUICE-SWI instrument ».
- [27]D. Moro-Melgar, V. L. Rubio, O. Cojocari, I. Opra, et A. Negrus, « 600 – 900 GHz Frequency Sources with up to 4 mW Output Power based on Flip-Chip Schottky Barrier Diodes Technology », in *2022 47th International Conference on Infrared, Millimeter and Terahertz Waves (IRMMW-THz)*, Delft, Netherlands: IEEE, août 2022, p. 1-1. doi: 10.1109/IRMMW-THz50927.2022.9895924.
- [28]A. Maestrini *et al.*, « Design and Characterization of a Room Temperature All-Solid-State Electronic Source Tunable From 2.48 to 2.75 THz », *IEEE Trans. THz Sci. Technol.*, vol. 2, n° 2, p. 177-185, mars 2012, doi: 10.1109/TTHZ.2012.2183740.
- [29]E. Schlecht *et al.*, « 200, 400 and 800 GHz Schottky diode “substrateless” multipliers: design and results », in *2001 IEEE MTT-S International Microwave Symposium Digest (Cat. No.01CH37157)*, Phoenix, AZ, USA: IEEE, 2001, p. 1649-1652. doi: 10.1109/MWSYM.2001.967221.
- [30]D. T. Young et J. C. Irvin, « Millimeter frequency conversion using Au-n-type GaAs Schottky barrier epitaxial diodes with a novel contacting technique », *Proc. IEEE*, vol. 53, n° 12, p. 2130-2131, 1965, doi: 10.1109/PROC.1965.4511.

- [31] J. V. Siles, K. B. Cooper, C. Lee, R. H. Lin, G. Chattopadhyay, et I. Mehdi, « A New Generation of Room-Temperature Frequency-Multiplied Sources With up to 10× Higher Output Power in the 160-GHz–1.6-THz Range », *IEEE Trans. THz Sci. Technol.*, vol. 8, n° 6, p. 596-604, nov. 2018, doi: 10.1109/TTHZ.2018.2876620.
- [32] A. Maestrini *et al.*, « A 1.7-1.9 THz local oscillator source », *IEEE Microw. Wireless Compon. Lett.*, vol. 14, n° 6, p. 253-255, juin 2004, doi: 10.1109/LMWC.2004.828027.
- [33] T. Maeda *et al.*, « Impact ionization coefficients and critical electric field in GaN », *Journal of Applied Physics*, vol. 129, n° 18, p. 185702, mai 2021, doi: 10.1063/5.0050793.
- [34] J. V. Siles et J. Grajal, « Capabilities of GaN Schottky Multipliers for LO Power Generation at Millimeter-Wave Bands », 2008.
- [35] S. M. Sze et K. K. Ng, *Physics of semiconductor devices*, 3rd ed. Hoboken, N.J: Wiley-Interscience, 2007.
- [36] D. A. Neamen, *Semiconductor physics and devices: basic principles*, 4. ed. New York, NY: McGraw-Hill, 2012.
- [37] « Semiconductor Material and Device Characterization », in *Semiconductor Material and Device Characterization*, Hoboken, NJ, USA: John Wiley & Sons, Inc., 2005, p. i-xv. doi: 10.1002/0471749095.fmatter.
- [38] I. Mehdi, « Effect of Parasitic Capacitance on the Performance of Planar Subharmonically pumped Schottky Diode Mixers ».
- [39] W. L. Bishop, K. McKinney, R. J. Mattauch, T. W. Crowe, et G. Green, « A Novel Whiskerless Schottky Diode for Millimeter and Submillimeter Wave Application », in *1987 IEEE MTT-S International Microwave Symposium Digest*, Palo Alto, CA, USA: MTT005, 1987, p. 607-610. doi: 10.1109/MWSYM.1987.1132483.
- [40] T. W. Crowe, R. J. Mattauch, H. P. Roser, W. L. Bishop, W. C. B. Peatman, et X. Liu, « GaAs Schottky diodes for THz mixing applications », *Proc. IEEE*, vol. 80, n° 11, p. 1827-1841, nov. 1992, doi: 10.1109/5.175258.
- [41] K. Bhaumik, B. Gelmont, R. J. Mattauch, et M. Shur, « Series impedance of GaAs planar Schottky diodes operated to 500 GHz », *IEEE Trans. Microwave Theory Techn.*, vol. 40, n° 5, p. 880-885, mai 1992, doi: 10.1109/22.137393.
- [42] Jean Bruston, « Avancées de la technologie MMIC vers les longueurs d'onde submillimétriques: application aux multiplicateurs de fréquences. », 1997.
- [43] I. Mehdi, S. C. Martin, R. J. Dengler, R. P. Smith, et P. H. Siegel, « Fabrication and performance of planar Schottky diodes with T-gate-like anodes in 200-GHz subharmonically pumped waveguide mixers », *IEEE Microw. Guid. Wave Lett.*, vol. 6, n° 1, p. 49-51, janv. 1996, doi: 10.1109/75.482068.
- [44] I. Mehdi *et al.*, « Improved 240-GHz subharmonically pumped planar Schottky diode mixers for space-borne applications », *IEEE Trans. Microwave Theory Techn.*, vol. 46, n° 12, p. 2036-2042, déc. 1998, doi: 10.1109/22.739280.
- [45] I. Mehdi, J. V. Siles, C. Lee, et E. Schlecht, « THz Diode Technology: Status, Prospects, and Applications », *Proc. IEEE*, vol. 105, n° 6, p. 990-1007, juin 2017, doi: 10.1109/JPROC.2017.2650235.
- [46] L. Gatilova *et al.*, « Recent progress in the Development of French THz Schottky Diodes for Astrophysics, Planetology and Atmospheric Study », in *2019 44th International*

- Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, Paris, France: IEEE, sept. 2019, p. 1-2. doi: 10.1109/IRMMW-THz.2019.8873728.
- [47] Maccorm/Nitronex, « Thermal considerations for GaN technology », 2008.
- [48] C. Lee *et al.*, « A wafer-level diamond bonding process to improve power handling capability of submillimeter-wave Schottky diode frequency multipliers », in *2009 IEEE MTT-S International Microwave Symposium Digest*, Boston, MA, USA: IEEE, juin 2009, p. 957-960. doi: 10.1109/MWSYM.2009.5165857.
- [49] A. Ghosh, M. Clavel, et M. Hudait, « Impact of buffer architecture on the performance of heterogeneously integrated III-V-on-Si solar cells », in *2016 IEEE 43rd Photovoltaic Specialists Conference (PVSC)*, Portland, OR, USA: IEEE, juin 2016, p. 2379-2381. doi: 10.1109/PVSC.2016.7750066.
- [50] L. Xie *et al.*, « An Epitaxy Transfer Process for Heterogeneous Integration of Submillimeter-Wave GaAs Schottky Diodes on Silicon Using SU-8 », *IEEE Electron Device Lett.*, vol. 38, n° 11, p. 1516-1519, nov. 2017, doi: 10.1109/LED.2017.2756920.
- [51] N. Alijabbari, M. F. Bauwens, et R. M. Weikle, « Design and Characterization of Integrated Submillimeter-Wave Quasi-Vertical Schottky Diodes », *IEEE Trans. THz Sci. Technol.*, vol. 5, n° 1, p. 73-80, janv. 2015, doi: 10.1109/TTHZ.2014.2361434.
- [52] S. Nadri *et al.*, « A 160 GHz Frequency Quadrupler based on Heterogeneous Integration of GaAs Schottky Diodes onto Silicon using SU-8 for Epitaxy Transfer », in *2018 IEEE/MTT-S International Microwave Symposium - IMS*, Philadelphia, PA: IEEE, juin 2018, p. 769-772. doi: 10.1109/MWSYM.2018.8439536.
- [53] O. Cojocari et C. Sydlo, « Schottky-Structures for THz-Applications based on Quasi-Vertical Design-Concept ».
- [54] O. Cojocari, D. Moro-Melgar, I. Oprea, M. Hoefle, et M. Rickes, « High-Power MM-Wave Sources based on Schottky Diodes », in *2018 43rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, Nagoya: IEEE, sept. 2018, p. 1-2. doi: 10.1109/IRMMW-THz.2018.8509861.
- [55] D. Moro-Melgar, O. Cojocari, et I. Oprea, « High Power High Efficiency 475-520 GHz Source Based on Discrete Schottky Diodes », in *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands: IEEE, janv. 2021, p. 607-610. doi: 10.23919/EuMC48046.2021.9338081.
- [56] F. S. Shieu, C. F. Chen, J. G. Sheen, et Z. C. Chang, « Intermetallic phase formation and shear strength of a Au-In microjoint », *Thin Solid Films*, vol. 346, n° 1-2, p. 125-129, juin 1999, doi: 10.1016/S0040-6090(98)01737-4.
- [57] L. Condra, J. Svitak, et A. Pense, « The High Temperature Deformation Properties of Gold and Thermocompression Bonding », *IEEE Trans. Parts, Hybrids, Packag.*, vol. 11, n° 4, p. 290-296, déc. 1975, doi: 10.1109/TPHP.1975.1135079.
- [58] J. Jellison, « Effect of Surface Contamination on the Thermocompression Bondability of Gold », *IEEE Trans. Parts, Hybrids, Packag.*, vol. 11, n° 3, p. 206-211, sept. 1975, doi: 10.1109/TPHP.1975.1135065.
- [59] A. Thiam, « Etude et développement de transistors bipolaires à hétérojonctions InP/GaAsSb reportés sur Si en vue de l'amélioration de la dissipation thermique. », 2012.

- [60] N. R. Erickson, « Diode frequency multipliers for terahertz local-oscillator applications », présenté à *Astronomical Telescopes & Instrumentation*, T. G. Phillips, Éd., Kona, HI, juill. 1998, p. 75-84. doi: 10.1117/12.317407.
- [61] A. Maestrini *et al.*, « Schottky diode-based terahertz frequency multipliers and mixers », *Comptes Rendus Physique*, vol. 11, n° 7-8, p. 480-495, août 2010, doi: 10.1016/j.crhy.2010.05.002.
- [62] A. Thiam *et al.*, « InP HBT Thermal Management by Transferring to High Thermal Conductivity Silicon Substrate », *IEEE Electron Device Lett.*, vol. 35, n° 10, p. 1010-1012, oct. 2014, doi: 10.1109/LED.2014.2347256.
- [63] P. Latzel *et al.*, « Generation of mW Level in the 300-GHz Band Using Resonant-Cavity-Enhanced Unitraveling Carrier Photodiodes », *IEEE Trans. THz Sci. Technol.*, vol. 7, n° 6, p. 800-807, nov. 2017, doi: 10.1109/TTHZ.2017.2756059.
- [64] D. G. Garfield, R. J. Mattauch, et S. Weinreb, « RF performance of a novel planar millimeter-wave diode incorporating an etched surface channel », *IEEE Trans. Microwave Theory Techn.*, vol. 39, n° 1, p. 1-5, janv. 1991, doi: 10.1109/22.64597.
- [65] Z. Chen, H. Wang, B. Alderman, P. Huggard, B. Zhang, et Y. Fan, « 190 GHz high power input frequency doubler based on Schottky diodes and AlN substrate », *IEICE Electron. Express*, vol. 13, n° 22, p. 20160981-20160981, 2016, doi: 10.1587/elex.13.20160981.
- [66] S. Martin *et al.*, « Fabrication of 200 to 2700 GHz multiplier devices using GaAs and metal membranes », in *2001 IEEE MTT-S International Microwave Symposium Digest (Cat. No.01CH37157)*, Phoenix, AZ, USA: IEEE, 2001, p. 1641-1644. doi: 10.1109/MWSYM.2001.967219.
- [67] A. Maestrini, J. Bruston, D. Pukala, S. Martin, et I. Mehdi, « Performance of a 1.2 THz frequency tripler using a GaAs frameless membrane monolithic circuit », in *2001 IEEE MTT-S International Microwave Symposium Digest (Cat. No.01CH37157)*, Phoenix, AZ, USA: IEEE, 2001, p. 1657-1660. doi: 10.1109/MWSYM.2001.967223.
- [68] J. V. Siles et J. Grajal, « Physics-Based Design and Optimization of Schottky Diode Frequency Multipliers for Terahertz Applications », *IEEE Trans. Microwave Theory Techn.*, vol. 58, n° 7, p. 1933-1942, juill. 2010, doi: 10.1109/TMTT.2010.2050103.
- [69] R. Dormaier et S. E. Mohny, « Factors controlling the resistance of Ohmic contacts to n -InGaAs », *Journal of Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena*, vol. 30, n° 3, p. 031209, mai 2012, doi: 10.1116/1.4705730.
- [70] B. Alderman *et al.*, « Integrated Schottky Structures for Applications Above 100 GHz », in *2008 European Microwave Integrated Circuit Conference*, Amsterdam, Netherlands: IEEE, oct. 2008, p. 202-205. doi: 10.1109/EMICC.2008.4772264.
- [71] L. Qi *et al.*, « Design of a Schottky Metal-Brim Structure to Optimize 180–220 GHz Broadband Frequency Doubler MMIC », *Electronics*, vol. 9, n° 5, p. 715, avr. 2020, doi: 10.3390/electronics9050715.
- [72] A. R. Clawson, « Guide to references on III–V semiconductor chemical etching », *Materials Science and Engineering: R: Reports*, vol. 31, n° 1-6, p. 1-438, janv. 2001, doi: 10.1016/S0927-796X(00)00027-9.
- [73] M. Zaknour, « Etude de la technologie et des potentialités pour l'amplification de puissance hyperfréquence des transistors à effet de champ des filières phosphore AlGaInP/GaInAs et métamorphique AlInAs/GaInAs sur substrat GaAs. », Lille, 1999.

- [74] G. C. DeSalvo *et al.*, « Wet Chemical Digital Etching of GaAs at Room Temperature », *J. Electrochem. Soc.*, vol. 143, n° 11, p. 3652-3656, nov. 1996, doi: 10.1149/1.1837266.
- [75] S. J. Pearton, U. K. Chakrabarti, W. S. Hobson, C. Constantine, et D. Johnson, « Low damage dry etching of III–V compound semiconductors using electron cyclotron resonance discharges », *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 59-60, p. 1015-1018, juill. 1991, doi: 10.1016/0168-583X(91)95754-2.
- [76] D. W. Shaw, « Localized GaAs Etching with Acidic Hydrogen Peroxide Solutions », *J. Electrochem. Soc.*, vol. 128, n° 4, p. 874-880, avr. 1981, doi: 10.1149/1.2127524.
- [77] X. Hue, « Gate recessing optimization of GaAs/Al_{0.22}Ga_{0.78}As heterojunction field effect transistor using citric acid/hydrogen peroxide/ammonium hydroxide for power applications », *J. Vac. Sci. Technol. B*, vol. 16, n° 5, p. 2675, sept. 1998, doi: 10.1116/1.590255.
- [78] G. C. DeSalvo, W. F. Tseng, et J. Comas, « Etch Rates and Selectivities of Citric Acid/Hydrogen Peroxide on GaAs , Al_{0.3}Ga_{0.7}As , In_{0.2}Ga_{0.8}As , In_{0.53}Ga_{0.47}As , In_{0.52}Al_{0.48}As , and InP », *J. Electrochem. Soc.*, vol. 139, n° 3, p. 831-835, mars 1992, doi: 10.1149/1.2069311.
- [79] C. Bryce et D. Berk, « Kinetics of GaAs Dissolution in H₂O₂–NH₄OH–H₂O Solutions », *Ind. Eng. Chem. Res.*, vol. 35, n° 12, p. 4464-4470, janv. 1996, doi: 10.1021/ie960278t.
- [80] L. H. Guan, A. Yusof, A. Dolah, M. Sazli Jusoh, M. R. Yahya, et B. Y. Majlis, « The etching of GaAs, AlGaAs and InGaAs in different chemicals in p-HEMT mesa layers », in *2004 IEEE International Conference on Semiconductor Electronics*, Kuala Lumpur, Malaysia: IEEE, 2004, p. 4 pp. doi: 10.1109/SMELEC.2004.1620919.
- [81] A. G. Baca, F. Ren, J. C. Zolper, R. D. Briggs, et S. J. Pearton, « A survey of ohmic contacts to III-V compound semiconductors », *Thin Solid Films*, vol. 308-309, p. 599-606, oct. 1997, doi: 10.1016/S0040-6090(97)00439-2.
- [82] A. M. Crook *et al.*, « Low resistance, nonalloyed Ohmic contacts to InGaAs », *Appl. Phys. Lett.*, vol. 91, n° 19, p. 192114, nov. 2007, doi: 10.1063/1.2806235.
- [83] H. H. Berger, « Models for contacts to planar devices », *Solid State Electronics*, vol. 15, p. 145.
- [84] E. V. Erofeev, S. V. Ishutkin, V. A. Kagadei, et K. S. Nosaeva, « Multilayer low-resistance Ge/Au/Ni/Ti/Au based ohmic contact to n-GaAs ».
- [85] M. N. YODER, « Ohmic contacts in GaAs », 1980.
- [86] H. R. Kawata, T. Oku, A. Otsuki, et M. Murakami, « NiGe-based ohmic contacts to *n*-type GaAs. II. Effects of Au addition », *Journal of Applied Physics*, vol. 75, n° 5, p. 2530-2537, mars 1994, doi: 10.1063/1.356226.
- [87] H. R. Kawata, T. Oku, A. Otsuki, et M. Murakami, « NiGe-based ohmic contacts to *n*-type GaAs. II. Effects of Au addition », *Journal of Applied Physics*, vol. 75, n° 5, p. 2530-2537, mars 1994, doi: 10.1063/1.356226.
- [88] E. V. Erofeev, S. V. Ishutkin, V. A. Kagadei, et K. S. Nosaeva, « Multilayer low-resistance Ge/Au/Ni/Ti/Au based ohmic contact to n-GaAs ».
- [89] M. Billet, « Photodétecteurs rapides à la longueur d'onde de 1550 nm pour la génération et la détection d'ondes sub-THz et THz », 2018.

- [90] M. K. Hudait et S. B. Krupanidhi, « Breakdown characteristics of MOVPE grown Si-doped GaAs Schottky diodes », *Solid-State Electronics*, vol. 43, n° 12, p. 2135-2139, déc. 1999, doi: 10.1016/S0038-1101(99)00194-X.
- [91] J. Montero-de-Paz, M. Sobornytsky, M. Hoefle, et O. Cojocari, « High power 150 GHz Schottky based varactor doubler », in *2016 Global Symposium on Millimeter Waves (GSMM) & ESA Workshop on Millimetre-Wave Technology and Applications*, Espoo, Finland: IEEE, juin 2016, p. 1-4. doi: 10.1109/GSMM.2016.7500328.
- [92] R. L. Van Meirhaeghe, W. H. Laflere, et F. Cardon, « Influence of defect passivation by hydrogen on the Schottky barrier height of GaAs and InP contacts », *Journal of Applied Physics*, vol. 76, n° 1, p. 403-406, juill. 1994, doi: 10.1063/1.357089.
- [93] E. Ayyıldız, B. Batu, et C. Temirci, « Dependence of thermal annealing on the density distribution of interface states in Ti_n-GaAs_zTe/ Schottky diodes », 1999.
- [94] B. K. Sehgal, B. Bhattacharya, S. Vinayak, et R. Gulati, « Thermal reliability of n-GaAs/Ti/Pt/Au Schottky contacts with thin Ti films for reduced gate resistance », *Thin Solid Films*, vol. 330, n° 2, p. 146-149, sept. 1998, doi: 10.1016/S0040-6090(98)00756-1.
- [95] D. A. Frickey, « Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances », *IEEE Trans. Microwave Theory Techn.*, vol. 42, n° 2, p. 205-211, févr. 1994, doi: 10.1109/22.275248.
- [96] M. C. A. M. Koolen, J. A. M. Geelen, et M. P. J. G. Versleijen, « An improved de-embedding technique for on-wafer high-frequency characterization », in *Proceedings of the 1991 Bipolar Circuits and Technology Meeting*, Minneapolis, MN, USA: IEEE, 1991, p. 188-191. doi: 10.1109/BIPOL.1991.160985.
- [97] B. Orfao E Vale Taberero, « Simulación, fabricación y caracterización de diodos de barrera Schottky de nitruro de galio para aplicaciones en el rango de sub-terahercios », Salamanca, 2023.
- [98] S. Khanal *et al.*, « Thermal Characterization of THz Schottky Diodes Using Transient Current Measurements », *IEEE Trans. THz Sci. Technol.*, vol. 4, n° 2, p. 267-276, mars 2014, doi: 10.1109/TTHZ.2014.2303982.
- [99] B. Abad, D.-A. Borca-Tasciuc, et M. S. Martin-Gonzalez, « Non-contact methods for thermal properties measurement », *Renewable and Sustainable Energy Reviews*, vol. 76, p. 1348-1370, sept. 2017, doi: 10.1016/j.rser.2017.03.027.
- [100] Y. Shiratori, T. Hoshi, M. Ida, E. Higurashi, et H. Matsuzaki, « High-Speed InP/InGaAsSb DHBT on High-Thermal-Conductivity SiC Substrate », *IEEE Electron Device Lett.*, vol. 39, n° 6, p. 807-810, juin 2018, doi: 10.1109/LED.2018.2829531.
- [101] Y. Shiratori, T. Hoshi, et H. Matsuzaki, « Ultra-high Speed InP/GaAsSb-based Type-II Double-heterojunction Bipolar Transistors and Transfer Technology onto SiC Substrate », in *2020 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Monterey, CA, USA: IEEE, nov. 2020, p. 1-4. doi: 10.1109/BCICTS48439.2020.9392903.
- [102] B. Grandchamp *et al.*, « Trends in Submicrometer InP-Based HBT Architecture Targeting Thermal Management », *IEEE Trans. Electron Devices*, vol. 58, n° 8, p. 2566-2572, août 2011, doi: 10.1109/TED.2011.2150224.

Liste des figures

Figure 1.1 : Définition des ondes THz, extrait de [1].	12
Figure 1.2 : Nombre de publications scientifiques en fonction des années où le domaine THz est mentionné [2].	13
Figure 1.3 : Exemple de comparaison d'analyse de tissus tumoraux, (a) examen histopathologique, (b) examen visuel, (c) examen par imagerie THz [3].	14
Figure 1.4 : Détection d'armes dissimulées sur des individus à l'aide de systèmes d'imagerie THz, (a) comparaison entre deux images l'une en lumière visible et l'autre réalisée à 0,094 THz [4], (b) détection d'une arme sur une image à 0,85 THz [5].	15
Figure 1.5 : Atténuation dans l'air de signaux de télécommunications en fonction de la fréquence et des précipitations [6], [7].	15
Figure 1.6 : Mission d'exploration JUICE de l'agence spatiale européenne, image extraite de [14].	16
Figure 1.7 : Synoptique d'une chaîne de détection hétérodyne, extrait de [15].	17
Figure 1.8 : Synthèse des technologies de génération THz [17].	18
Figure 1.9 : Principe du laser à cascade quantique, (a) Photographie en microscopie électronique de la structure de confinement, (b) Principe de fonctionnement des QCL [21].	19
Figure 1.10 : Principe de fonctionnement de la multiplication de fréquence, redessiné de [23].	20
Figure 1.11 : Exemple de chaîne de multiplication, en l'occurrence pour l'instrument SWI de la sonde JUICE [24].	20
Figure 1.12 : Multiplicateur doubleur fréquence à 160 GHz de type flip-chip, (a) schéma de conception, (b) montage et intégration des différents éléments dans un bloc de guide d'ondes [25].	21
Figure 1.13 : Illustrations de boîtiers guide d'ondes, (a) conception du LERMA montrant une des deux moitiés [26], (b) boîtier guide d'ondes usiné par micromécanique et assemblé.	21
Figure 1.14 : Multiplicateur tripleur de fréquence à 2,7 THz de type membrane, (a) schéma de conception, (b) montage et intégration dans un bloc de guide d'ondes [28].	22
Figure 1.15 : État de l'art de la génération de puissance par la multiplication de fréquence, adapté de [31].	23
Figure 1.16 : Diagrammes de bandes d'un contact métal-semiconducteur, (a) avant contact, (b) après contact [36].	24
Figure 1.17 : Configurations de composants, (a) diode verticale avec contact à moustache (b) diode planaire avec contact par pont à air, figures adaptées de [39].	27
Figure 1.18 : Résistance série simulée pour différentes longueurs d'anodes [42].	28
Figure 1.19 : Anodes non circulaires, (a) conception rectangulaire originale [42], (b) mise en œuvre de la topologie quasi-rectangulaire dans une conception du LERMA [26].	28
Figure 1.20: Étude de fiabilité d'un transistor GaN sur Si par Maccorn/Nitronex [47].	29
Figure 1.21 : Multiplicateur doubleur 75-150 GHz conçu par le LERMA, (a) schéma de la barrette de diodes, (b) schéma de l'intégration de la barrette sur le circuit en quartz et du montage dans le bloc de guide d'ondes.	35
Figure 1.22 : Performances simulées pour le multiplicateur doubleur conçu par le LERMA, (a) puissance attendue sur la bande 135-150 GHz pour une puissance d'entrée de 400 mW, (b) efficacité de conversion simulée sur l'ensemble de la bande d'entrée.	35
Figure 1.23 : Procédé de thermocompression à mettre en œuvre pour la réalisation des diodes Schottky reportées.	36
Figure 2.1 : Procédés de gravure envisagés, (a) masque de résine négative par lithographie électronique, (b) utilisation de l'électrode Schottky comme masque.	44
Figure 2.2 : Gravure H ₃ PO ₄ /H ₂ O ₂ /H ₂ O (5/1/40), 2m30s, le masque utilisé est la métallisation de Schottky.	44

Figure 2.3 : Gravures de GaAs utilisant une solution tamponnée d'acide citrique, (a) acide citrique seul, (b) Acide citrique seul, puis deuxième attaque avec solution d'ammoniaque.....	46
Figure 2.4 : Gravure de GaAs utilisant une solution diluée d'ammoniaque, (a) vue des flancs sortants suivant le plan cristallin 011, (b) motif de 1 μm de largeur la pour validation du profil des flancs rentrants suivant le plan cristallin 011.....	46
Figure 2.5 : Procédé envisagé avec contact non recuit.....	48
Figure 2.6 : procédé validé avec contact ohmique recuit.....	52
Figure 2.7 : Synoptique du procédé de fabrication de diodes Schottky GaAs.....	53
Figure 2.8 : Image MEB de lithographie électronique de résine négative sur la couche de SiO_2	54
Figure 2.9 : Gravure RIE de la couche de SiO_2 , flanc de résine polymérisé et contamination de surface.....	55
Figure 2.10 : Retrait de la résine négative après gravure RIE du SiO_2 par plasma O_2 et remove.....	55
Figure 2.11 : Gravure humide du GaAs n^- et réalisation du mesa de diode, les extrémités latérales avec un flanc sortant suivent le plan cristallin 011 et le flanc rentrant suit le plan perpendiculaire.....	56
Figure 2.12 : Gravure de la couche d'arrêt de GaInP après la réalisation du mesa.....	57
Figure 2.13: Mesa de diode Schottky finalisé après suppression du masque de SiO_2	57
Figure 2.14 : Gravures d'isolation, du GaAs n^+ , de la couche d'arrêt et de 150 nm de substrat.....	58
Figure 2.15 : Mesa d'isolation et structuration finalisée de la structure.....	58
Figure 2.16 : Contact ohmique déposé sur la couche de GaAs n^+	59
Figure 2.17 : Recuit du contact ohmique, (a) avant recuit, (b) après recuit RTA de 400°C pendant 40 secondes.....	59
Figure 2.18 : Dépôt du contact Schottky de la diode par procédé liftoff.....	60
Figure 2.19 : Réalisation de la couche sacrificielle de pilier de pont, (a) révélation de la résine, (b) fluage de la résine.....	60
Figure 2.20 : Étapes finales de la réalisation des ponts à air, (a) lithographie électronique d'un bicouche de résine sur la PMMA fluée, (b) métallisation des ponts.....	61
Figure 2.21: Procédé terminé, vue d'ensemble, configurations de composants unitaires et série.....	61
Figure 2.22 : Prises de vue MEB, synthèse du procédé de fabrication en face avant d'une barrette de diodes Schottky GaAs, (a) structuration de l'épitaxie par gravure humide, (b) dépôt et recuit du contact ohmique, (c) dépôt du contact Schottky, (d) réalisation des connexions par ponts à air.....	62
Figure 2.23 : Image MEB des six diodes composant la barrette.....	63
Figure 2.24 : Procédé envisagé pour la libération des barrettes.....	64
Figure 2.25 : Validation des paramètres de découpe, (a) $V_{\text{scie}} 60000 \text{ tr/min}$ $V_{\text{platine}} 0.5 \text{ mm/s}$, (b) $V_{\text{scie}} 30000 \text{ tr/min}$ $V_{\text{platine}} 0.5 \text{ mm/s}$, (c) $V_{\text{scie}} 30000 \text{ tr/min}$ $V_{\text{platine}} 5 \text{ mm/s}$, (d) $V_{\text{scie}} 30000 \text{ tr/min}$ $V_{\text{platine}} 1 \text{ mm/s}$	65
Figure 2.26 : Trait de coupe final sur GaAs, profondeur de 60 μm , largeur de 23 μm	66
Figure 2.27 : Finalisation de la technologie face avant.....	67
Figure 2.28 : Prise de vue d'ensemble d'un champ de l'échantillon.....	67
Figure 2.29 : Finalisation de l'amincissement, (a) apparition des premiers traits de découpe, (b) vue des traits de découpe à la fin du procédé d'amincissement à 50 μm	68
Figure 2.30 : Prises de vues de l'échantillon face composants, (a) après découpe (b) après libération.....	68
Figure 2.31 : Composants libérés, (a) vue rapprochée de l'échantillon après libération, (b) après conditionnement sur Gel-pak.....	69
Figure 2.32 : vue rapprochée d'une barrette positionnée sur Gel-pak.....	69
Figure 2.33 : Montage au LERMA de la barrette de diodes Schottky GaAs, (a) collage de la barrette sur le circuit d'adaptation et de filtrage à l'aide d'une colle conductrice d'argent, (b) intégration de l'ensemble au sein du guides d'ondes.....	70
Figure 2.34 : Premier procédé envisagé pour la fabrication des Schottky GaAs reportées.....	71
Figure 2.35 : Procédé retenu pour la fabrication des Schottky GaAs reportées.....	72

Figure 2.36 : Prise de vue des premières diodes reportées réalisées.	75
Figure 2.37 : Contrôle de la présence de diffusion au sein de la structure après collage Au/Au, (a) image MEB, (b) analyse EDX.	75
Figure 2.38 : Défauts relevés sur la structure après collage et gravure du substrat, (a) défaut d'adhérence après collage, (b) infiltration de la solution d'attaque dans la structure au cours de la gravure du substrat.	76
Figure 2.39 : Gravure humide de la couche de GaAs n ⁻ de la structure de diodes Schottky reportées.....	78
Figure 2.40 : Suppression du masque de gravure SiO ₂ et visualisation d'un défaut structurel proche d'un composant.....	78
Figure 2.41 : Gravure humide de la couche de GaAs n ⁺ et mise à nu de l'empilement de collage.	79
Figure 2.42 : Protection du composant par un masque de SiO ₂ et gravure physique de l'or.	79
Figure 2.43 : Suppression du masque de gravure SiO ₂ et de la couche de titane.	80
Figure 2.44 : Photos MEB d'une coupe FIB de l'empilement de collage après gravure humide du titane.	81
Figure 2.45 : Scan AFM de la couche supérieure d'InAs de la structure inversée.....	81
Figure 2.46 : Nettoyage des particules d'or restantes sur le substrat SiHR, (a) avant attaque KI-I ₂ , (b) après attaque KI-I ₂	82
Figure 2.47 : Dépôt de l'électrode Schottky du composant.	82
Figure 2.48 : Lithographie de ponts à air sur substrat silicium.	83
Figure 2.49 : Prise de vue du composant après métallisation des ponts à air.	83
Figure 3.1 : Masque de diodes Schottky de grandes dimensions et échelle de résistance TLM.	86
Figure 3.2 : Topologie d'anodes rectangulaires.	87
Figure 3.3 : Masque de diodes, (a) composant de référence S=75µm ² , R=1,2, D=0,7µm, (b) vue en gros plan de la jonction.	88
Figure 3.4: Prises de vue au microscope optique en fin de fabrication des anodes de dimensions : S = 75 µm ² et D = 0,7 µm expérimentées sur le masque de diodes unitaires, (a) circulaire, (b) R = 1,2, (c) R = 2, (d) R = 3, (e) R = 4, (f) R = 5.....	88
Figure 3.5: Prises de vue au microscope optique en fin de fabrication des anodes de dimensions : S = 75 µm ² et R = 3, (a) D = 1,4 µm, (b) D = 2,2 µm.	89
Figure 3.6 : Photo MEB d'une diode Schottky GaAs de grande dimension reportée sur SiHR.	89
Figure 3.7 : Masque de fabrication pour un composant reporté sur SiHR, (a) composant reporté de référence S=75µm ² , R=1,2 (b) vue en gros plan de la jonction.....	90
Figure 3.8 : Banc de mesure I-V en configuration 4 pointes.....	91
Figure 3.9 : Caractéristique I-V d'une diode Schottky de référence GaAs sur GaAs.	92
Figure 3.10 : Méthode d'extraction de la résistance série R _s	93
Figure 3.11 : Logarithme de la caractéristique directe et définition de la zone d'étude pour l'extraction des paramètres.....	94
Figure 3.12 : Mise en évidence de la diminution de la résistance série sur la caractéristique directe des diodes en fonction du rapport d'aspect de l'anode et de la configuration du composant.....	96
Figure 3.13 : Mise en évidence de l'augmentation de la résistance série par comparaison des caractéristiques directes de diodes Schottky GaAs réalisées avec différentes distances entre les électrodes.....	97
Figure 3.14 : Caractéristiques inverses pour les diodes sur substrat GaAs et SiHR.....	98
Figure 3.15 : Caractéristiques inverses proche de la destruction des jonctions pour des diodes sur GaAs et sur SiHR.	99
Figure 3.16 : Caractéristiques inverse pour trois composants identiques sur substrat GaAs pour différents recuits.	100
Figure 3.17 : Caractéristiques directes pour trois composants identiques sur substrat GaAs pour deux procédés de recuit de stabilisation mis en œuvre.....	101
Figure 3.18 : Prise de vue d'une branche de trois diodes de la barrette de multiplication à 150 GHz,.....	102

Figure 3.19 : Caractéristique I-V complète de trois diodes GaAs en série d'une branche de barrette.	102
Figure 3.20 : Station sous pointes et impédancemètre pour caractérisations C-V.	104
Figure 3.21 : Caractéristique C-V d'une diode Schottky GaAs circulaire de diamètre 70 μm	105
Figure 3.22 : Caractéristique $1/C^2$ d'une diode Schottky GaAs de diamètre 70 μm sur substrat GaAs.	106
Figure 3.23 : Vue en gros plan de la courbe $1/C^2$ pour une diode GaAs de 70 μm de diamètre.	107
Figure 3.24 : Caractéristiques C-V normalisées par unité de surface pour les grandes diodes GaAs sur substrat GaAs.	108
Figure 3.25 : Banc de mesure avec PNA 67 GHz.	110
Figure 3.26 : Vue d'une diode reportée avant la pose des pointes coplanaires et avec une représentation des éléments parasites.	111
Figure 3.27 : Motifs utilisés pour l'épluchage, (a) circuit ouvert, (b) court-circuit.	111
Figure 3.28 : Circuit équivalent du dispositif après épluchage.	112
Figure 3.29: Circuit équivalent du dispositif dans la condition où la tension de polarisation permet de négliger L_f	113
Figure 3.30 : Variation de la résistance série en fonction de la fréquence à deux points de polarisation en direct.	114
Figure 3.31 : Variation de la résistance série en fonction de la tension directe à 20 GHz.	114
Figure 3.32 : Évolution de la résistance série en fonction de la fréquence pour différents rapports d'aspects.	115
Figure 3.33 : Évolution de la résistance série en fonction du rapport d'aspect de l'anode pour des diodes Schottky GaAs sur substrat GaAs de surface 75 μm^2	116
Figure 3.34 : Circuit équivalent du dispositif dans la condition $V < 0$ et à basse fréquence.	116
Figure 3.35 : Capacité totale mesurée sur la bande 0,25 à 67 GHz à différents points de polarisation pour une diode sur GaAs avec $S = 75 \mu\text{m}^2$, $R = 1,2$, $D = 0,7 \mu\text{m}$	117
Figure 3.36 : Caractéristique C-V et courbe $1/C^2$ obtenue en hyperfréquence à 5 GHz pour une diode sur GaAs avec $S = 75 \mu\text{m}^2$, $R = 1,2$, $D = 0,7 \mu\text{m}$	118
Figure 3.37 : Caractéristiques C-V normalisées par rapport à la surface, pour des composants sur GaAs et reportés sur SiHR, de dimensions très différentes.	118
Figure 3.38 : Prise de vue de la station de mesures pulsées disposant d'un support d'échantillon contrôlé en température.	121
Figure 3.39 : Courbes de calibration pour l'extrapolation de la température des jonctions.	123
Figure 3.40 : Impulsions d'échauffement et de mesure de température des jonctions.	124
Figure 3.41: Banc de thermorélectance mis à disposition par l'UCLouvain.	126
Figure 3.42: Principe de la thermorélectance.	126
Figure 3.43: Coefficient de thermorélectance pour différents matériaux en fonction de la longueur d'onde [96].	127
Figure 3.44 : Représentation de la température absolue des diodes caractérisées par thermorélectance sous 25 mW, (a) diode sur substrat GaAs, (b) diode reportée sur substrat SiHR.	128

Liste des tableaux

Tableau 1.1 : Caractéristiques thermiques, mécaniques et électriques de différents substrats utilisés en microélectronique, données à titre indicatives et sujettes à variation selon les sources ou de leurs procédés de fabrication respectifs.	33
Tableau 2.1: Structure épitaxiale retenue pour la technologie des diodes Schottky GaAs sur substrat GaAs.	41
Tableau 2.2 : Caractéristiques obtenues lors d'expérimentations de contacts ohmiques non recuits.	49
Tableau 2.3 : Synthèse des contacts recuits réalisés sur la structure avec une couche graduelle d'InGaAs.	50
Tableau 2.4 : Caractéristiques du même contact recuit, réalisé sur une autre structure GaAs n ⁺ , sans couche d'InGaAs.	51
Tableau 2.5 : Structure épitaxiale retenue pour les diodes reportées.	73
Tableau 2.6 : Caractéristiques des contacts ohmiques non recuits sur la structure utilisée : InAs/InGaAs.	77
Tableau 3.1 : Extractions des paramètres en régime statique pour des diodes sur substrat GaAs et de surface 75 μm ² pour les différents rapports d'aspects.	95
Tableau 3.2 : Extraction des paramètres en régime statique pour la diode sur substrat SiHR de surface 75 μm ²	95
Tableau 3.3 : Extractions des paramètres en régime statique pour des diodes de surface 75 μm ² pour différentes distances entre les deux électrodes.	96
Tableau 3.4 : Paramètres des extractions des mesures statiques pour des grandes diodes sur les substrats GaAs et SiHR.	97
Tableau 3.5 : Évolution du courant de fuite des diodes sur substrat GaAs pour deux températures de recuit. ...	101
Tableau 3.6 : Paramètres obtenus par des mesures statiques de diodes de rapports d'aspect 2 pour différents recuits de stabilisation.	101
Tableau 3.7 : Caractéristiques statiques extraites sur une branche de trois diodes d'une barrette.	103
Tableau 3.8 : Paramètres obtenus par l'extraction des mesures C-V pour les grandes diodes GaAs sur substrat GaAs.	108
Tableau 3.9 : Paramètres obtenus par l'extraction des mesures C-V pour les grandes diodes GaAs reportées sur SiHR.	109
Tableau 3.10 : Inductances L_f amenées par le pont à air, déterminées par rétro-simulation du circuit équivalent et des mesures expérimentales pour différents rapports d'aspects.	113
Tableau 3.11 : Extractions à 5 GHz pour les composants sur substrat GaAs de R_s à 1 V, de C_J à 0 et -8 V pour différents rapports d'aspects d'anodes.	119
Tableau 3.12 : Extractions à 5 GHz pour le composant reporté sur SiHR de R_s à 1 V, de C_J à 0 et -8 V.	119
Tableau 3.13 : Extractions à 5 GHz de R_s à 1 V, de C_J à 0 V et -10 V pour différentes distances entre le contact ohmique et le contact Schottky.	120
Tableau 3.14 : Mesures I-V préalables, table de correspondance courant-température des deux composants étudiés.	122
Tableau 3.15 : Paramètres retenus pour l'échauffement des jonctions.	124
Tableau 3.16 : Valeurs extraites de températures de jonction et de résistances thermiques pour les deux technologies de diodes à une puissance dissipée de 25 mW.	125
Tableau 3.17 : Valeurs des coefficients de thermoréfectance retenus pour les deux technologies.	128
Tableau 3.18 : Température du métal de l'électrode Schottky et résistance thermique approximative extraits par thermoréfectance pour les deux technologies de diodes sous une puissance de 25 mW.	129
Tableau 3.19 : Comparaison du gain obtenu sur la résistance thermique avant et après transfert de substrat pour différents dispositifs.	132

Résumé

Les besoins exponentiels liés aux applications exploitant le domaine THz nécessitent d'accroître l'éventail des sources disponibles et d'optimiser leur fabrication. Dans ce travail de thèse, nous nous sommes intéressés aux diodes Schottky en vue de la réalisation de multiplicateurs de fréquences. Notre travail de recherche expérimental a consisté en l'optimisation des caractéristiques de diodes Schottky de filière GaAs, par le développement et la mise en œuvre d'un procédé de fabrication innovant. Dans un premier temps, nous avons réalisé des diodes Schottky GaAs sur substrat GaAs de différentes tailles, pour élaborer des composants de référence. Nous avons ensuite fabriqué un composant de type flip-chip pour une application de multiplication à 150 GHz en boîtier guide d'ondes. Enfin, dans le but d'améliorer les performances en puissance des diodes, nous avons optimisé leur dissipation thermique en transférant leur structure épitaxiale sur un substrat bénéficiant d'une meilleure conductivité thermique : le SiHR (silicium haute résistivité). Le procédé technologique complet de ces fabrications est détaillé, puis la dernière partie de l'étude est consacrée à leurs caractérisations. D'une part, nous avons évalué les éventuelles variations sur les caractéristiques des diodes GaAs sur GaAs, induites par les différentes tailles. D'autre part nous avons comparé les deux technologies sur les substrats SiHR et GaAs. Ce travail montre l'apport que peut présenter ce type de technologie reportée, où une diminution significative de la résistance thermique des composants est observée, et est associée à un gain notable sur la résistance série.

Abstract

The exponential needs associated with applications exploiting the THz domain require to expand the range of available sources and optimize their fabrication processes. In this thesis, we focused on Schottky diodes for its use as frequency multipliers. Our experimental research involved optimizing the characteristics of GaAs Schottky diodes through the development and implementation of an innovative fabrication process. First, we fabricated GaAs Schottky diodes on GaAs substrate with several aspect ratios in order to make a reference in terms of device. Then we fabricated a flip-chip device for a 150 GHz frequency multiplication application in a waveguide block. Finally, in order to enhance the power handling of the diodes, we optimized their thermal dissipation by transferring their epitaxial structure onto a substrate with higher thermal conductivity : SiHR (high resistivity silicon). The complete technological processes for these fabrications are detailed, and the last part of the study is dedicated to their characterization. On one hand, we assessed any variations in the characteristics of GaAs diodes on GaAs induced by the different aspect ratios. On the other hand, we compared the two technologies on SiHR and GaAs substrates. This work demonstrates the potential of this type of transferred technology, where a significant reduction of thermal resistance is observed and is associated with a notable improvement of the series resistance.