



HAL
open science

Circuits intégrés millimétriques en bande Ka pour une antenne à pointage électronique pour les télécommunications avec des satellites géostationnaires ou des constellations de satellites

Elmo Luiz Fechine Sette

► To cite this version:

Elmo Luiz Fechine Sette. Circuits intégrés millimétriques en bande Ka pour une antenne à pointage électronique pour les télécommunications avec des satellites géostationnaires ou des constellations de satellites. Electronique. Université de Limoges, 2024. Français. NNT : 2024LIMO0002 . tel-04540938

HAL Id: tel-04540938

<https://theses.hal.science/tel-04540938>

Submitted on 10 Apr 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Limoges

ED 653 - Sciences et Ingénierie (SI)

Faculté des Sciences et Techniques – Institut de Recherche XLIM

Thèse pour obtenir le grade de

Docteur de l'Université de Limoges

Électronique des Hautes Fréquences, Photonique et Systèmes

Présentée et soutenue par

Elmo Luiz FECHINE SETTE

Le 9 janvier 2024

**Circuits intégrés millimétriques en bande Ka pour une antenne à
pointage électronique pour les télécommunications avec des
satellites géostationnaires ou des constellations de satellites**

Thèse dirigée par Bruno BARELAUD et Julien LINTIGNAT

JURY :

Président du jury

M. Cyrille MENUJER, Professeur des Universités, Institut XLIM – Univ. de Limoges

Rapporteurs

M. Philippe FERRARI, Professeur des Universités, Laboratoire TIMA – Univ. Grenoble Alpes

M. Christian PERSON, Professeur des Universités, LABSTICC, IMT Atlantique

Examineurs

M. Bruno BARELAUD, Professeur des Universités, Institut XLIM – Univ. de Limoges

M. Julien LINTIGNAT, Maître de Conférences, Institut XLIM – Univ. de Limoges

M. Anaël LOHOU, Ingénieur hyperfréquences, Safran Data Systems, La Teste-de-Buch

M. Bernard JARRY, Professeur des Universités, Institut XLIM – Univ. de Limoges

M. Vincent ARMENGAUD, Ingénieur hyperfréquences, CNES, Toulouse

Invités

M. Christophe MELLE, Responsable Antennes, Safran Data Systems, La Teste-de-Buch

M. François DEBORRIES, Expert Technologie RF, ESA-ESTEC



Seja sempre humilde e grato
Um sábio

Remerciements

Tout d'abord, je tiens à remercier ma famille pour son soutien incondicional, sans lequel je n'aurais certainement pas été en mesure d'achever ce long parcours. *Obrigado familia !*

Ensuite, j'adresse mes remerciements à mes encadrants pour ces trois années de thèse. Je tiens à remercier sincèrement mon directeur de thèse, M. Bruno Barelaud, pour le suivi continu de mes études, pour sa patience et sa sagesse qui m'ont beaucoup aidé tout au long de ce travail. Merci, Bruno, pour la confiance que tu m'as toujours accordée depuis le début.

Je tiens également à remercier mon co-directeur de thèse, M. Julien Lintignat, pour son immense savoir qui a été très important pour le bon déroulement de cette thèse. Merci pour toutes les idées qui m'ont encouragé à chercher de nouveaux points de vue pour ce travail.

Je tiens à exprimer ma sincère gratitude à mon tuteur industriel chez *Safran Data Systems*, M. Anaël Lohou, pour son soutien constant sur le plan académique, industriel et personnel. Son expertise et sa sagesse, associées à sa bonne humeur, ont été fondamentales pour que je puisse mener à bien ce travail. Merci d'avoir été un excellent tuteur ainsi qu'un ami.

Je remercie également M. Philippe Ferrari et M. Christian Person d'avoir accepté d'être rapporteurs et pour leurs remarques pertinentes. Merci également à M. Bernard Jarry, M. Vincent Armengaud, M. Cyrille Menudier et M. François Deborgies d'avoir accepté de faire partie du jury de cette thèse et pour l'intérêt que vous avez porté à mon travail.

J'adresse également mes remerciements à mes anciens professeurs, M. Antonio de Souza et M. Emmanuel Dupouy, sans qui je n'aurais certainement pas suivi cette voie de recherche.

Ensuite, je souhaite exprimer ma gratitude envers M. Stéphane Bila, directeur de l'Institut de Recherche XLIM, pour m'avoir accueilli au sein de ce laboratoire. Étant donné que cette thèse découle d'une convention CIFRE, je tiens également à adresser mes remerciements à l'ANRT pour avoir accepté de cofinancer ces travaux, ainsi qu'à M. Jean-Marie Bétermier, directeur de *Safran Data Systems*, pour m'avoir accueilli au sein de cette entreprise.

Je tiens sincèrement à remercier M. Christophe Mellé et M. Alain Karas, chef et ancien chef de service chez *Safran Data Systems*, ainsi que mes collègues Benoît, Charlotte, Fabien, Paul, Alain et Pascal pour l'accueil chaleureux qu'ils m'ont réservé depuis mon arrivée au service RF. Ce sera un réel plaisir pour moi de continuer à travailler avec vous.

Je remercie également l'ensemble du personnel du laboratoire XLIM. En particulier, je remercie Marie-Claude Lerouge, secrétaire de l'équipe C2SNL, pour son efficacité, sa bonne humeur et pour m'avoir aidé même quand je pensais que ce n'était pas vraiment son travail. Je remercie également Damien Passerieux et Clément Hallepee pour leur aide lors des mesures dans le laboratoire XLIM.

Je tiens à remercier mes collègues de bureau pour toutes les discussions, les pauses café et les bons moments passés ensemble. Je tiens particulièrement à remercier Rémy Bouché pour son soutien et son amitié depuis mon arrivée en France. Ce fut un plaisir de travailler avec toi et cela continue d'être un plaisir chaque fois que nous nous rencontrons, mon ami. J'en profite pour remercier tous les doctorants d'XLIM avec qui j'ai partagé de bons moments.

Last but not least, je tiens à remercier tous mes amis brésiliens, dont beaucoup avec qui j'ai tissé des liens d'amitié à Limoges, à Toulouse et dans toute la France, et qui ont contribué d'une manière ou d'une autre à m'aider à arriver là où je suis aujourd'hui. *Obrigado amigos !*

Droits d'auteurs

Cette création est mise à disposition selon le Contrat :

« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »

disponible en ligne : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>



Table des matières

Table des illustrations.....	15
Table des tableaux.....	21
Liste des sigles et acronymes.....	23
Introduction	25
Chapitre I. Contexte de l'étude	29
I.1. Télécommunication par satellite.....	29
I.1.1. Historique : du télégraphe au satellite.....	29
I.1.2. Les réseaux satellitaires	31
I.2. Antennes à dépointage électronique.....	33
I.2.1. Dépointage électronique : Principe	34
I.2.2. Architectures pour la formation de faisceau.....	37
I.2.3. État de l'art des systèmes existants et en développement.....	41
I.3. Cadre de la thèse.....	50
I.3.1. Objectif du projet	50
I.3.2. Spécifications du système	50
I.3.3. Objectifs de la thèse.....	53
I.4. Choix de la technologie.....	53
I.4.1. Le transistor HBT et la technologie BiCMOS	54
I.4.2. Les technologies BiCMOS9MW et SG13G2 : un bref aperçu	56
I.4.2.1. Niveaux de métallisation (BEOL).....	56
I.4.2.2. Transistor HBT.....	57
I.4.2.3. Transistor MOSFET	58
I.4.2.4. Résistances	58
I.4.2.5. Capacités.....	59
I.4.2.6. Inductances.....	59
I.4.3. Bilan	59
Chapitre II. Conception de l'Amplificateur de Puissance à Gain Variable.....	63
II.1. Amplificateurs à Gain Variable	63
II.1.1. Introduction.....	63
II.1.2. Paramètres de performance	65
II.1.2.1. Puissance de sortie, de saturation et bilan de puissance	65
II.1.2.2. Efficacité énergétique.....	66
II.1.2.3. Gain de puissance	67
II.1.2.4. Bande passante et plage de gain dynamique.....	67
II.1.2.5. Linéarité	68
II.1.3. État de l'art des VGA en bande Ka	69
II.2. Conception du VGPA.....	74
II.2.1. Cahier des charges	74
II.2.2. Choix de l'architecture	76
II.2.3. Conception de l'étage de puissance	77
II.2.3.1. Choix de la topologie.....	77

II.2.3.2. Adaptation d'impédance en grand signal.....	79
II.2.3.2.1. Analyse <i>Load-Pull</i>	79
II.2.3.3. Conception du layout	83
II.2.3.3.1. Méthodologie de simulation <i>post layout</i>	83
II.2.3.3.2. Résultats <i>post-layout</i>	85
II.2.4. Conception de l'étage à gain variable	86
II.2.4.1. Conception de l'étage de contrôle (Convertisseur Numérique Analogique) ...	87
II.3. Simulations <i>post-layout</i>	89
II.3.1. VGPA complet.....	89
II.3.2. Comparaison avec le cahier des charges	92
II.3.3. Comparaison avec l'état de l'art.....	92
Chapitre III. Conception des déphaseurs.....	97
III.1. Déphaseurs en bande Ka	97
III.1.1. Introduction.....	97
III.1.2. Types de déphaseur	97
III.1.2.1. Ligne à retard et filtres commutées	97
III.1.2.2. Ligne à charge variable	98
III.1.2.3. Déphaseur en réflexion	99
III.1.2.4. Modulateur Vectoriel	100
III.1.3. Paramètres de performance	101
III.1.4. État de l'art des déphaseurs	103
III.1.5. Cahier de charges	108
III.1.6. Choix de la topologie et de l'architecture du déphaseur.....	110
III.2. Topologie 1	111
III.2.1. Conception A.....	111
III.2.1.1. Conception du 1 ^{er} étage : <i>Balun</i>	111
III.2.1.2. Conception du 2 ^{eme} étage : Réseaux I/Q.....	113
III.2.1.3. Conception du 3 ^{eme} étage (4VGA)	115
III.2.1.4. Circuit et <i>layout</i>	118
III.2.1.5. Simulations <i>post-layout</i>	119
III.2.1.6. Résultats de mesure	121
III.2.2. Conception B.....	126
III.2.2.1. Conception du 1 ^{er} étage : <i>Balun</i>	126
III.2.2.2. Conception du 2 ^{eme} étage : Réseaux I/Q.....	128
III.2.2.3. Conception du 3 ^{eme} étage (4VGA)	129
III.2.2.4. Circuit et <i>layout</i>	131
III.2.2.5. Simulations <i>post-layout</i>	132
III.3. Topologie 2	134
III.3.1. Conception C.....	134
III.3.1.1. Circuit et <i>layout</i>	138
III.3.1.2. Simulations <i>post-layout</i>	139
III.4. Comparaison et discussion	141
III.4.1. Comparaison entre les conceptions.....	141
III.4.2. Discussion par rapport au cahier des charges	143
III.4.3. Comparaison avec l'état de l'art.....	144
Conclusion Générale et Perspectives.....	147

Annexe I. Paramètres S: <i>The Scattering Parameters</i>	153
Annexe II. L'abaque de Smith: <i>The Smith chart</i>	155
Annexe III. Critères d'analyse de stabilité	157
Publications.....	159
Références bibliographiques	161

Table des illustrations

Figure I.1 : Schéma de liaison satellite conventionnelle.....	30
Figure I.2 Types de satellites : GEO (en haut), MEO (au milieu) et LEO (en bas).....	31
Figure I.3 : Types de satellites et leurs caractéristiques.....	32
Figure I.4 : Antennes à positionneur mécanique.....	33
Figure I.5 : Réseau d'antennes à N éléments avec retard temporel.....	34
Figure I.6 : La dérivation du retard temporel.....	35
Figure I.7 : Dépointage du faisceau sur deux axes orthogonaux	35
Figure I.8 : Réseau d'antennes à N éléments avec décalage de phase.....	36
Figure I.9 : Diagramme de rayonnement normalisé d'un réseau d'antennes de 64 éléments en fonction du dépointage (rouge 0°, bleu 15°, vert 30°, violet 45°, orange 60°, marron 75°)	37
Figure I.10 : Formation de faisceau analogique (Voie RF).....	38
Figure I.11 : Formation de faisceau analogique (Voie LO).....	38
Figure I.12 : Formation de faisceau voie analogique (Voie IF).....	39
Figure I.13 : Formation de faisceau numérique	40
Figure I.14 : Formation de faisceau hybride (Voie RF).....	41
Figure I.15 : Module de 16 éléments (4x4) pour la bande Ka (30 GHz). Démonstrateur de 256 éléments composé de 16 modules (a) vue de dessus (b) intégration des modules (c) [49].	42
Figure I.16 Module transcepteur de 64 éléments à 28 GHz. Schémas de signalisation sur le module d'antenne à 4 puces (a). Démonstrateur (b) vue de dessus (c) vue de dessous [50]	42
Figure I.17 : Réseau d'antennes (émetteur) de 1024 éléments à 30 GHz. Architecture (a) vue de dessous (b) et vue de dessus (c) [32].	43
Figure I.18 : Architecture du RFIC Anokiwave AWMF-0117 (a). Configuration du réseau d'antennes montrant la rotation séquentielle imbriquée appliquée (b). Prototype émetteur-récepteur d'antenne réseaux en bande Ku/Ka (c) [51].	44
Figure I.19 : Démonstrateur du système d'antenne hybride à 26 GHz avec 16 × 8 éléments rayonnants [53].	44
Figure I.20 : Module émetteur d'antenne réseau de 1024 éléments en bande Ku. Architecture (a) vue réseaux d'antenne (b) et côté composants (c) [54].	45
Figure I.21 : Module récepteur d'antenne réseau de 256 éléments en bande Ku (a). Vue de dessus (b) et de dessous (c) du démonstrateur réalisé [33].	45
Figure I.22 : Module récepteur à double polarisation pour SATCOM en bande Ku. Système d'antenne avec 1024 éléments, basé sur quatre matrices de 16 x 16 éléments chacune (a). Vue côté réseaux d'antenne (b) et côté composants (c) du démonstrateur réalisé [24].	46
Figure I.23 : Module émetteur de 256 éléments en bande Ku. Diagramme bloc (a) et.....	46

Figure I.24 : Module émetteur de 1024 éléments en bande Ka. Architecture (a) vue côté composants (b) et côté réseaux d'antenne (c) [56]	47
Figure I.25 : Antennes à dépointage électronique dédiées à la connectivité des terminaux mobiles et aéronautique	49
Figure I.26 : Cadre de la thèse	53
Figure I.27 : Régimes de fonctionnement du transistor bipolaire	55
Figure I.28 : Bilan des courants dans le transistor en régime normal direct	56
Figure I.29 : BEOL de la technologie BiCMOS9MW et SG13G2	57
Figure II.1 Émetteur-récepteur (Rx/Tx) à dépointage électronique (<i>front-end</i>) en bande Ka .	63
Figure II.2 Topologies classiques des VGAs. Topologies émetteur commun (a), <i>cascode current-steering</i> (b) et cellule de Gilbert (c).....	64
Figure II.3 Bilan de puissance de l'amplificateur de puissance	65
Figure II.4 Puissance de sortie (P_{out}) et puissance de sortie saturée (P_{sat})	66
Figure II.5 Bande passante et plage de gain dynamique	67
Figure II.6 Point de compression de 1 dB. Rouge (fondamental), noir (extrapolation)	68
Figure II.7 Schéma électrique (a) et résultats mesurés en paramètres S (b) du travail [78] ..	70
Figure II.8 Schéma électrique (a) gain dynamique mesuré en paramètres S (b) et puissance de sortie (c) du travail [73]	70
Figure II.9 Schéma électrique (a) et gain dynamique mesuré en paramètres S du travail [76]	71
Figure II.10 Schéma électrique (a), variation d'amplitude (b), gain dynamique (c) et puissance/gain en fonction de P_{in} du travail [80]	72
Figure II.11 Schéma électrique (a) et gain dynamique mesuré du travail [81]	72
Figure II.12 Schéma électrique (a) et gain dynamique mesuré du travail [82]	73
Figure II.13 Schéma électrique (a) et P_{out} /Gain/PAE mesuré en fonction de P_{in} du travail [74]	73
Figure II.14 Schéma électrique (a) gain dynamique mesuré (b) et P_{out} /Gain/PAE mesuré en fonction de P_{in} du travail [83]	74
Figure II.15 Diagramme bloc d'un amplificateur	76
Figure II.16 Diagramme bloc d'un VGA complet	77
Figure II.17 Setup <i>Load-Pull</i> en mesure	80
Figure II.18 Setup <i>Load-Pull</i> en simulation	80
Figure II.19 Diagram de <i>Load-Pull</i> . Contours de puissance (en rouge) et de PAE (en bleu). 81	
Figure II.20 P_{sat} (rouge), Gain (vert) et PAE (bleu) en schéma	82
Figure II.21 Synthèse du réseau de sortie	82
Figure II.22 Simulations <i>post-layout</i>	84

Figure II.23 Schéma et <i>layout</i> de l'étage de puissance, et <i>setup</i> de simulation.....	85
Figure II.24 P_{sat} (rouge), Gain (vert) et PAE (bleu) en <i>post-layout</i>	85
Figure II.25 Topologie <i>cascode current-steering</i>	86
Figure II.26 Circuit et <i>setup</i> de simulation de l'étage à gain variable.....	86
Figure II.27 Topologie générique d'un DAC.....	87
Figure II.28 Sauts ou non-monotonie dans les caractéristiques du DAC à pondération binaire	88
Figure II.29 Décodeur 3 bits (<i>Binary-Thermometer Decoder</i>)	88
Figure II.30 Convertisseur Numérique Analogique 3 bits	88
Figure II.31 Circuit complet du VGPA.....	89
Figure II.32 <i>Layout</i> VGPA complet (1,4 x 0,9 mm ²)	89
Figure II.33 P_{sat} (rouge), Gain (vert) et PAE (bleu) du VGPA complet. DAC en 111 = maximum gain et DAC en 000 = minimum gain	90
Figure II.34 S_{11} du VGPA pour les 8 états de gain.....	90
Figure II.35 S_{22} du VGPA pour les 8 états de gain.....	91
Figure II.36 S_{21} du VGPA pour les 8 états de gain.....	91
Figure II.37 Analyse de stabilité K et B1 pour les 8 états de gain	91
Figure III.1 Ligne à retard commutée a) et Filtres commutées b).....	97
Figure III.2 Ligne chargée.....	99
Figure III.3 Déphaseur en réflexion (RTPS).....	99
Figure III.4 Modulateur Vectoriel.....	100
Figure III.5 Critères de performance des déphaseurs	102
Figure III.6 Schéma électrique (a) et phase relative (c) du travail [95]	104
Figure III.7 Schéma électrique (a) phase relative (c) et erreurs RMS du travail [94]	104
Figure III.8 Schéma électrique (a) phase relative (b) et perte d'insertion (c) du travail [96] .	105
Figure III.9 Filtre polyphase RC (a), VGAs (b), phase relative (c) et perte d'insertion du travail [97].....	105
Figure III.10 Architecture proposée (a), phase relative et perte d'insertion (b) du travail [98]	106
Figure III.11 Schéma proposée (a), phase relative et erreur de phase RMS (b) du travail [99]	106
Figure III.12 Schéma proposé (a) et réponse en phase en fonction des bits du VM/VGA (b) du travail [100].....	107
Figure III.13 Schéma électrique (a) phase relative (b) et perte d'insertion (c) du travail [101]	107

Figure III.14 Architecture proposée (a), cellules de Gilbert (b) et réponse des paramètres S et erreur de phase e d'amplitude pour VM1 et VM2 du travail [102]	108
Figure III.15 Architecture classique d'un modulateur vectoriel	110
Figure III.16 1 ^{er} étage de la conception A	111
Figure III.17 Gain de tension (a) et déphasage relative (b) du 1 ^{er} étage de la conception A	112
Figure III.18 Réseaux I/Q : coupleur hybride (a), filtre passe-tout QAF (b) et filtre polyphase (c).....	113
Figure III.19 Types de filtres polyphases	114
Figure III.20 Filtre polyphase RC de 2 ^{ème} ordre de la conception A.....	114
Figure III.21 Phase relative à la sortie du filtre PPF de la conception A.....	115
Figure III.22 Schéma du modulateur vectoriel (conception A).....	115
Figure III.23 Configuration de simulation des VGAs isolés	116
Figure III.24 Phase relative à la sortie des VGAs isolés.....	116
Figure III.25 Topologie 4VGA	117
Figure III.26 DAC de la conception A.....	117
Figure III.27 Schéma électrique de la conception A.....	118
Figure III.28 <i>Layout</i> de la conception A	118
Figure III.29 Phase relative de la conception A.....	119
Figure III.30 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception A.....	119
Figure III.31 Pertes d'insertion (S_{21}) de la conception A.....	120
Figure III.32 Paramètres de stabilité (B1 et K) de la conception A.....	120
Figure III.33 RUN ST : Conception A (<i>balun</i> + filtre) et DAC	121
Figure III.34 DAC de la conception A fabriqué.....	122
Figure III.35 Convertisseur Numérique Analogique de 3 Bits. <i>Layout</i> (a) et banc de mesure (b).....	122
Figure III.36 Circuit schématique de la conception A (<i>balun</i> + filtre) fabriqué.....	123
Figure III.37 Conception A (<i>balun</i> + filtre) en mesure.....	123
Figure III.38 Résultats de mesure de la conception A dans des conditions de polarisation nominales.....	124
Figure III.39 Résultats de mesure (ligne continue) et <i>post-layout</i> (ligne pointillée) de S_{21} pour les quatre voies de la conception A (<i>balun</i> + filtre)	125
Figure III.40 Résultats de mesure (ligne continue) et <i>post-layout</i> (ligne pointillée) de la phase pour les quatre voies de la conception A (<i>balun</i> + filtre)	125
Figure III.41 1 ^{er} étage de la conception B	126
Figure III.42 Gain de tension (a) et déphasage relative (b) du 1 ^{er} étage de la conception B	127
Figure III.43 Filtre polyphase RC de 2 ^{ème} ordre de la conception B.....	128

Figure III.44 Phase relative à la sortir du filtre PPF de la conception B.....	128
Figure III.45 Topologie 4VGA (conception B)	129
Figure III.46 DAC de la conception B.....	130
Figure III.47 <i>Layout</i> du DAC de la conception B (33 μm x 42 μm)	130
Figure III.48 Schéma électrique de la conception B.....	131
Figure III.49 <i>Layout</i> de la conception B	131
Figure III.50 Phase relative de la conception B.....	132
Figure III.51 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception B	132
Figure III.52 Pertes d'insertion (S_{21}) de la conception B.....	133
Figure III.53 Paramètres de stabilité (B1 et K) de la conception B	133
Figure III.54 Cellule de Gilbert.....	134
Figure III.55 Double cellule de Gilbert.....	136
Figure III.56 Topologie proposée (GC)	137
Figure III.57 Schéma électrique de la conception C.....	138
Figure III.58 <i>Layout</i> de la conception C	138
Figure III.59 Phase relative de la conception C	139
Figure III.60 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception C.....	139
Figure III.61 Pertes d'insertion (S_{21}) de la conception C	140
Figure III.62 Paramètres de stabilité (B1 et K) de la conception C.....	140
Figure III.63 Comparaison entre les phases relatives des conceptions A, B et C.....	141
Figure III.64 Erreur de Phase RMS des conceptions A, B et C.....	141
Figure III.65 Comparaison entre les pertes d'insertion (S_{21}) des conceptions A, B et C	142
Figure III.66 Erreur d'amplitude RMS des conceptions A, B et C.....	142

Table des tableaux

Tableau I-1 État de l'art des systèmes d'antennes à dépointage électronique en bande Ku/Ka	48
Tableau I-2 Spécifications du système	52
Tableau I-3 Caractéristiques des transistors HBT dans les technologies BiCMOS9MW (en bleu) et SG13G2 (en rouge)	58
Tableau I-4 Caractéristiques des résistances dans les technologies BiCMOS9MW (bleu) et SG13G2 (rouge).....	58
Tableau II-1 État de l'art des VGA en bande Ka	69
Tableau II-2 Spécifications préliminaires du VGA	76
Tableau II-3 Comparatif des topologies [84]	78
Tableau II-4 Paramètres et impédances obtenus après <i>Load-Pull</i> avec optimisation	81
Tableau II-5 Comparatif au cahier des charges du VGA.....	92
Tableau II-6 Comparaison avec l'état de l'art.....	93
Tableau II-7 Comparaison avec l'état de l'art concernant la FOM et le GBP.....	94
Tableau III-1 État de l'art des déphaseurs en bande X/Ka	103
Tableau III-2 Spécifications du déphaseur.....	109
Tableau III-3 Comparaison entre les résultats <i>post-layout</i> (QRC) et les mesures du DAC..	122
Tableau III-4 Comparaison avec les spécifications du déphaseur	143
Tableau III-5 Comparaison avec l'état de l'art.....	144

Liste des sigles et acronymes

5G	5 ^{ème} génération de téléphonie mobile
6G	6 ^{ème} génération de téléphonie mobile
ABF	<i>Analog BeamForming</i>
AC	<i>Alternating current</i>
ACLR	<i>Adjacent Channel Leakage Ratio</i>
AiP	<i>Antenna-in-package</i>
AR	<i>Axial Ratio</i>
BALUN	<i>Balanced-to-Unbalanced</i>
BEOL	<i>Back End Of Line</i>
BGA	<i>Ball Grid Array</i>
BiCMOS	<i>Bipolar CMOS</i>
BJT	<i>Bipolar Junction Transistor</i>
CAO	Conception Assistée par Ordinateur
CB	<i>Common Base</i>
CE	<i>Common Emitter</i>
CMOS	<i>Complementary Metal Oxyde Semiconductor</i>
DBF	<i>Digital Beamforming</i>
DC	<i>Direct Current</i>
DRA	<i>Direct Radiating Array</i>
ETSI	<i>European Telecommunication Standards Institute</i>
EVM	<i>Error Vector Magnitude</i>
EUTELSAT	<i>European Telecommunications Satellite Organisation</i>
FCC	<i>Federal Communications Commission</i>
G/T	Gain / Température
GaAs	Arséniure de Gallium
GaN	Nitride de Gallium
GEO	<i>Geostationary Equatorial Orbit</i>
HBF	<i>Hybrid Beamforming</i>
HBT	<i>Heterojunction Bipolar Transistor</i>
HTS	<i>High Throughput Satellite</i>
IF	<i>Intermediary Frequency</i>
IFC	<i>In-Flight Connectivity</i>
InP	Phosphore d'Indium

ITRS	<i>International Technology Roadmap for Semiconductors</i>
LEO	<i>Low Earth Orbit</i>
LHCP	<i>Left-Handed Circular Polarization</i>
LNA	<i>Low Noise Amplifier</i>
MEO	<i>Medium Earth Orbit</i>
MIM	<i>Metal Insulator Metal</i>
MOSFET	<i>Metal Oxide Semiconductor Field-Effect Transistor</i>
NF	<i>Noise Figure</i>
PCB	<i>Printed Circuit Board</i>
PGS	<i>Pattern Ground Shield</i>
PIRE	<i>Puissance Isotrope Rayonnée Équivalente</i>
PPF	<i>Polyphase Filter</i>
QFN	<i>Quad Flat No-Leads</i>
RADAR	<i>Radio Detection and Ranging</i>
RF	<i>Radiofréquence</i>
RFIC	<i>Radio Frequency Integrated Circuit</i>
RHCP	<i>Right-Handed Circular Polarization</i>
RMS	<i>Root Mean Square</i>
Rx	<i>Réception</i>
SATCOM	<i>Satellite Communications</i>
SiGe	<i>Silicium–Germanium</i>
SIW	<i>Substrate Integrated Waveguide</i>
SNR	<i>Signal-to-Noise Ratio</i>
SOI	<i>Silicon on Insulator</i>
SOTM	<i>SATCOM On The Move</i>
SPDT	<i>Single Pole Double Throw</i>
TTD	<i>True Time Delay</i>
Tx	<i>Transmission</i>
VM	<i>Vector Modulator</i>

Introduction

Au cours de la dernière décennie, l'industrie des communications par satellite (SATCOM) a connu une croissance significative, principalement stimulée par la demande croissante de dispositifs sans fil. De nos jours, assurer une connectivité continue est devenu essentiel pour répondre à la demande croissante des consommateurs qui, de plus en plus, font face à de grandes quantités de données et avec des débits très élevés. En effet, le trafic de données des réseaux mobiles a augmenté de 36 % entre le T1 2022 et le T1 2023 [1].

Dans le contexte des applications aéronautiques, des solutions de connectivité innovantes sont en plein essor. Depuis quelques années, de nombreuses compagnies aériennes ont progressivement équipé leurs avions de systèmes d'antennes dédiés aux satellites, dans le but d'offrir une connexion Internet haut débit aux passagers. Cette tendance a marqué l'essor du marché de la connectivité aéronautique, communément désigné sous l'acronyme IFC (*In-Flight Connectivity*). Néanmoins, offrir un accès à Internet aux passagers représente un défi à la fois économique et technologique. Ces services nécessitent des terminaux embarqués compacts, flexibles, économiques et fiables, capables de résister à des conditions environnementales difficiles tout en occupant peu d'espace. De plus, ces terminaux doivent être équipés d'antennes à faible profil, permettant un suivi rapide et continu d'un satellite, tout en assurant un trafic de données à haut débit.

L'émergence de satellites à haut débit en bande Ka, d'une part, et les avancées de l'industrie des semi-conducteurs, caractérisées par la miniaturisation des dispositifs et la réduction des coûts de fabrication, d'autre part, ouvrent la voie à l'utilisation de réseaux d'antennes à dépointage électronique. Ce type d'antenne offre une traînée aérodynamique réduite, tout en permettant un dépointage rapide du faisceau avec une grande fiabilité.

Dans ce contexte, *Safran Data Systems*, une filiale du prestigieux équipementier aéronautique *Safran*, a décidé de développer sa propre solution d'antenne à dépointage électronique dédiée aux communications satellitaires. Cette initiative marque une nouvelle orientation pour l'entreprise, qui était jusqu'alors spécialisée dans la conception de stations sol. Pour mener à bien ce projet ambitieux, *Safran Data Systems* a opté pour une collaboration avec le laboratoire XLIM en raison de son expertise avérée dans ce domaine. Ce partenariat a donné lieu à la création du laboratoire commun nommé X-SELANS (*Xlim-Safran Electronics Lab for ANTennaS*). Cette collaboration a abouti à la réalisation de quatre thèses : la première portant sur la modélisation de grands panneaux rayonnants, la deuxième sur le développement de circuits actifs en arséniure de gallium pour la chaîne de réception, la troisième sur la conception de circuits actifs en silicium-germanium également pour la chaîne de réception, et enfin la quatrième sur la co-simulation des circuits actifs et des éléments rayonnants.

Le travail de cette thèse de doctorat se concentre notamment sur la conception des circuits actifs intégrés en silicium-germanium pour la chaîne d'émission (27 ~ 31 GHz). Deux blocs fondamentaux seront abordés et conçus : le premier est un amplificateur variable, et le second est un déphaseur pilotable. L'intégralité de ce travail est exposée dans ce manuscrit, structurée en trois chapitres :

- Le premier chapitre sert d'introduction en présentant le contexte et les objectifs du projet au sein duquel cette thèse prend place. Il commence par présenter une synthèse de l'évolution des télécommunications par satellite suivie du principe de fonctionnement d'une antenne à dépointage électronique, ainsi que des architectures possibles et un état de l'art des systèmes existants. Ensuite, il explore le cadre de la thèse et offre un exposé détaillé des spécifications préliminaires du système dans le cahier des charges. Enfin, le choix technologique est justifié et différents aspects des technologies BiCMOS9MW (STMicroelectronics) et SG13G2 (IHP) choisies sont comparés.
- Le deuxième chapitre présente l'approche adoptée pour concevoir l'amplificateur de puissance à gain variable (VGPA : *Variable Gain Power Amplifier*). Il commence par présenter une introduction à ce type d'amplificateur suivi de la définition des paramètres de performances, pour ensuite présenter un état de l'art. Dans un deuxième temps, le cahier des charges est défini puis la méthodologie de conception des différents étages de l'amplificateur est détaillée. Enfin, ce chapitre se termine par la présentation des résultats de simulation *post-layout* du VGPA complet.
- Le troisième et dernier chapitre aborde la partie de la conception des déphaseurs. Dans un premier temps, le chapitre commence par présenter une introduction aux types de déphaseurs, passant en revue les paramètres de performances qui caractérisent ce type de circuit, présentant l'état de l'art, puis définissant les spécifications et justifiant le choix de la topologie. Dans un deuxième temps, la conception de trois circuits utilisant deux topologies différentes est détaillée. Les résultats de simulation *post-layout* et certaines mesures sont ensuite présentés. Enfin, ce chapitre se termine en présentant une comparaison entre les résultats *post-layout* des trois conceptions avec le cahier des charges et à l'état de l'art.

Chapitre I

Contexte de l'étude

Sommaire

Chapitre I. Contexte de l'étude	29
I.1. Télécommunication par satellite	29
I.1.1. Historique : du télégraphe au satellite	29
I.1.2. Les réseaux satellitaires	31
I.2. Antennes à dépointage électronique	33
I.2.1. Dépointage électronique : Principe	34
I.2.2. Architectures pour la formation de faisceau	37
I.2.3. État de l'art des systèmes existants et en développement	41
I.3. Cadre de la thèse	50
I.3.1. Objectif du projet	50
I.3.2. Spécifications du système	50
I.3.3. Objectifs de la thèse	53
I.4. Choix de la technologie	53
I.4.1. Le transistor HBT et la technologie BiCMOS	54
I.4.2. Les technologies BiCMOS9MW et SG13G2 : un bref aperçu.....	56
I.4.2.1. Niveaux de métallisation (BEOL)	56
I.4.2.2. Transistor HBT.....	57
I.4.2.3. Transistor MOSFET.....	58
I.4.2.4. Résistances	58
I.4.2.5. Capacités.....	59
I.4.2.6. Inductances	59
I.4.3. Bilan.....	59

Chapitre I. Contexte de l'étude

I.1. Télécommunication par satellite

I.1.1. Historique : du télégraphe au satellite

La communication a été cruciale pour le développement de la société humaine depuis le début. Au fur et à mesure que la civilisation humaine progressait, il est devenu de plus en plus nécessaire de développer de nouvelles méthodes de communication qui dépassent les limites de la parole et de l'écriture traditionnelles. En effet, avec les explorations maritimes et la mondialisation, il est devenu de plus en plus important de transmettre des informations sur de longues distances et à des vitesses plus rapides.

Ce besoin n'était pas possible jusqu'au début du XIX^{ème} siècle, lorsque le premier système de télécommunication est apparu : le télégraphe. Développé par Samuel Morse et d'autres inventeurs, il a permis la première transmission transatlantique [2], marquant une percée dans l'histoire des télécommunications.

Quelques années plus tard, Alexander Graham Bell, Antonio Meucci et d'autres ont développé les premiers dispositifs électriques capables de transmettre la voix humaine. Le téléphone a été une étape importante dans l'évolution des télécommunications en permettant des conversations directes sur de longues distances [3].

En 1888, Heinrich Hertz a expérimentalement démontré l'existence des ondes électromagnétiques prédites par James Clerk Maxwell [4], ouvrant la voie à la naissance de la communication sans fil.

À la fin du XIX^{ème} siècle, des personnalités telles que Guglielmo Marconi [5], Ferdinand Braun [6] et Roberto Landell de Moura [7] ont apporté de grandes contributions dans le domaine de la communication sans fil en développant les tout premiers émetteurs-récepteurs radio. La radio a joué un rôle important dans l'histoire de la communication en permettant la transmission d'informations et de divertissements à un large public.

Le milieu du XX^{ème} siècle a vu une transformation majeure dans le domaine de la radiodiffusion avec l'introduction de la télévision, qui a révolutionné l'industrie en ajoutant des médias visuels au format audio traditionnel.

La prochaine étape majeure dans l'histoire de la communication a été introduite avec la proposition de la communication par satellite (SATCOM) par Arthur C. Clarke en 1945. Clarke a proposé un système de diffusion utilisant des satellites, dispositifs qui permettent de relier deux points extrêmement éloignés l'un de l'autre, placés en orbite circulaire à une distance spécifique de la Terre dans le plan équatorial [8]. La miniaturisation de l'électronique suivant l'invention du transistor en 1947 a permis à John Robinson Pierce de proposer les systèmes de communication par satellite tels que nous les connaissons aujourd'hui en 1955 [9].

Le premier satellite artificiel de l'histoire, Spoutnik I, a été lancé par l'Union soviétique en 1957. Cela marque le début de la course à l'espace entre les États-Unis et l'URSS. Cependant, ce premier satellite n'avait pas de capacité de communication. Ce n'est que quelques années plus tard, en 1960, que les Américains ont lancé le premier satellite de communication, Echo I. Ce satellite a été utilisé pour réfléchir les signaux radio à travers le monde, ouvrant la voie à la communication mondiale par satellite.

La communication par satellite repose sur deux éléments principaux : le segment spatial, qui englobe le satellite équipé d'antennes et des circuits d'émission-réception, et le segment sol, qui comprend les stations terrestres de transmission et de réception. Ces stations sol, fixes ou mobiles, sont responsables de la transmission de signaux de communication entre les utilisateurs et le satellite en orbite, ainsi que de la gestion et du contrôle du satellite lui-même. Dans une liaison satellite conventionnelle, telle que celle illustrée dans la Figure I.1, la transmission d'un signal s'effectue depuis une station terrestre vers un satellite, ce qui correspond à la liaison ascendante. Le satellite reçoit ensuite le signal, l'amplifie et le retransmet vers une autre station terrestre, correspondant à la liaison descendante. Dans ce contexte, le satellite joue le rôle d'un répéteur, permettant de transmettre des signaux sur des distances plus longues que ce qui serait possible avec une liaison directe entre les deux stations terrestres.

En 1962, les Américains ont lancé le premier satellite de communication actif, Telstar, qui a permis la transmission en direct d'images télévisées à travers l'Atlantique. Cette technologie a été utilisée pour retransmettre les événements de la Coupe du monde de football de 1966 en direct à la télévision dans le monde entier [10].

En 1965, le satellite Early Bird (Intelsat I) a été lancé, devenant le premier satellite commercial de communication par satellite [11]. Cette innovation a permis de développer des réseaux de communication internationaux qui ont ouvert de nouvelles perspectives commerciales et ont accéléré la mondialisation.

En 1983, l'Organisation européenne des télécommunications par satellite (EUTELSAT) a lancé son premier satellite de communication à grande échelle, l'EUTELSAT I-F1 [12]. Grâce à ce satellite, les pays européens ont pu se connecter les uns aux autres et aux États-Unis, élargissant considérablement leur capacité de communication à l'échelle internationale.

La communication par satellite est aujourd'hui essentielle dans notre vie quotidienne, étant utilisée pour de multiples applications telles que la télévision, la téléphonie et l'internet. Des entreprises privées, comme SpaceX, OneWeb [13] et Blue Origin [14], sont également impliquées dans le lancement de satellites pour des applications commerciales, notamment pour fournir l'accès à internet haut débit dans les zones reculées et pour la surveillance de la Terre et de l'espace lointain. Un véritable réseau, ou constellation de satellites comme on l'appelle, est en plein essor. Cela pose de nouveaux défis et ouvre de nouvelles perspectives pour l'avenir de la communication par satellite et de l'exploration spatiale.

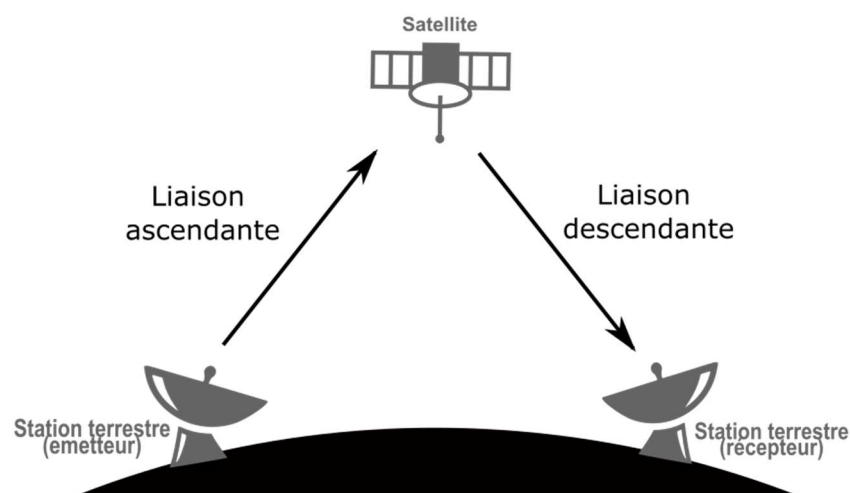


Figure I.1 : Schéma de liaison satellite conventionnelle

I.1.2. Les réseaux satellitaires

Les communications par satellite ont été initialement introduites pour répondre principalement aux besoins de diffusion des médias (téléphonie, télévision et internet), des applications de défense et plus récemment des applications de *backhauling* [15].

Ces services ont d'abord été exploités via des satellites géostationnaires pour offrir une couverture étendue. Un satellite positionné à une altitude de 35 786 km (orbite géostationnaire) au-dessus de la surface de la Terre reste immobile par rapport à la Terre. Cette orbite spécifique permet à une antenne terrestre de communiquer avec le satellite à tout moment sans avoir besoin de modifier sa position, car le satellite apparaît comme étant stationnaire dans le référentiel terrestre. Grâce à ces satellites GEO (*Geostationary Earth Orbit*), il est possible de desservir une zone régionale ou continentale sans avoir besoin de plusieurs satellites pour assurer une couverture continue.

Cependant, leur altitude élevée entraîne un important temps de latence dans les communications, car les signaux doivent parcourir une distance importante, ce qui peut causer des retards dans les communications en temps réel, comme les appels téléphoniques, la télévision ou plus récemment les jeux en ligne. Cette demande croissante de services à faible latence a poussé au développement de satellites en orbite plus basse que l'orbite géostationnaire : ce sont les satellites à défilement.

Les satellites MEO (*Medium Earth Orbit*) sont en orbite à une altitude d'environ 5 000 à 20 000 km au-dessus de la Terre, tandis que les satellites LEO (*Low Earth Orbit*) sont en orbite à une altitude comprise entre environ 320 et 1200 km. En conséquence, ils mettent moins de temps pour compléter une rotation autour de la Terre par rapport à la période de rotation de la Terre sur elle-même. Ils peuvent donc effectuer plusieurs tours de la Terre par jour et couvrir une zone plus restreinte pendant leur déplacement.

Dans ce contexte, l'idée d'une constellation de satellites pour pallier cet inconvénient est de plus en plus explorée ces dernières années. La Figure I.2 montre les trois types de satellites et leur trajectoire autour de la planète, tandis que la Figure I.3 illustre certaines caractéristiques propres à chaque type de constellation, telles que leur altitude, leur zone de couverture, leur latence, leur vitesse, leur puissance, etc.

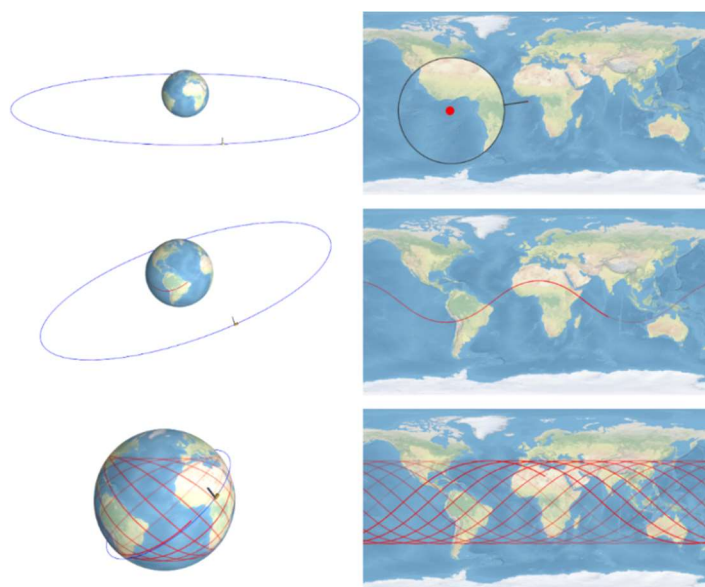


Figure I.2 Types de satellites : GEO (en haut), MEO (au milieu) et LEO (en bas)

	GEO	MEO	LEO
Altitude (km)	35 786	5 000 ~ 20 000	320 ~ 1200
Nombre de satellites pour une couverture mondiale	3	6	> 100
Zone de couverture	Continentale	Régionale	Locale
Latence (ms)	> 450	25 ~ 450	3 ~ 30
Vitesse de suivi	Stationnaire	~ 1 heure	< 10min
Puissance	Haute	Moyenne	Faible
Taille	Grand	Moyenne	Petit

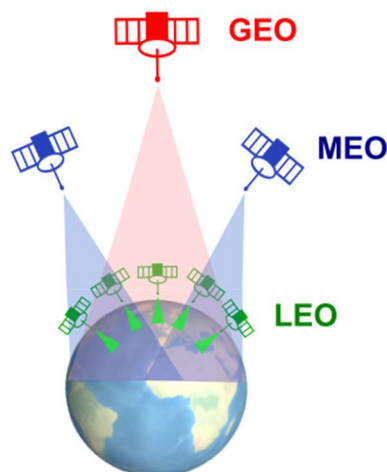


Figure I.3 : Types de satellites et leurs caractéristiques

Les constellations dédiées à la navigation, comme le GPS américain et le concurrent européen Galileo, ainsi que celles consacrées à la téléphonie, comme Iridium [16] et Globalstar [17], sont des exemples des constellations MEO et LEO qui sont largement utilisées de nos jours. Bien que l'utilisation de plusieurs satellites dans une constellation permette de couvrir une zone plus étendue, elle peut également rendre plus difficile la gestion du trafic de données. En effet, des problèmes de *hand-over*, qui se produisent lorsqu'un utilisateur passe d'un satellite à un autre en cours de communication, peuvent se poser.

Les constellations LEO les plus récentes peuvent fournir des services à large bande pour la téléphonie 5G, avec une latence aussi faible que 3 ms, grâce à leur altitude aussi basse que 320 km [18]. De plus, ces méga-constellations LEO peuvent avoir des exigences moins contraignantes en termes de puissance isotrope rayonnée équivalente (PIRE), G/T et de domaine de balayage par rapport à leurs homologues GEO, ce qui se traduit par une réduction significative des coûts et de la taille du terminal utilisateur.

Cependant, le fait de se déplacer à grande vitesse et de ne pas pouvoir assurer une couverture optimale d'une zone donnée que pendant une durée limitée pose d'autres exigences strictes en termes d'antenne. En particulier, les antennes doivent être agiles et capables de diriger leur faisceau principal sur un large champ de vision (nombre de satellites). De plus, le coût élevé du déploiement de ces constellations, en raison du grand nombre de satellites à lancer, peut s'avérer être un facteur limitant. Dans ce contexte, les satellites MEO peuvent offrir un meilleur compromis entre la latence, le coût et la complexité.

Avec des constellations déjà pleinement opérationnelles [19] et le lancement de milliers de satellites prévu au cours des prochaines années, ces constellations offriront d'importantes opportunités de marché pour l'industrie, qui attirent à leur tour de nouveaux investissements publics et privés. La forte demande de services SATCOM est en parfait accord avec l'évolution de l'industrie des semi-conducteurs, qui se caractérise par la miniaturisation des dispositifs et la réduction des coûts de fabrication. Cette croissance stimule le développement de nouvelles antennes à dépointage électronique dans les bandes Ka, permettant ainsi une adaptation plus souple aux besoins des utilisateurs et une meilleure efficacité spectrale.

En effet, la bande Ka dispose d'une capacité accrue de débit, grâce à l'usage de la diversité spatiale et de la réutilisation des fréquences, qui permettront d'une part de répondre au besoin en capacité de ces services, et d'autre part de diminuer significativement le coût de transmission.

I.2. Antennes à dépointage électronique

Au cours de la dernière décennie, l'industrie des communications sans fil a connu une croissance énorme en raison de l'augmentation de la demande d'appareils de communication sans fil. Il est donc important de pouvoir rester connecté en permanence pour répondre à une demande croissante des consommateurs qui, de plus en plus, font face à de grandes quantités de données et avec des débits très élevés.

En effet, les services de télécommunications par satellites avec des terminaux mobiles (SOTM : *SATCOM On The Move*) terrestres, maritimes, aériens et les services de connectivité aéronautique (IFC : *In-Flight Connectivity*) ont tendance à exploser. Ces services requièrent des terminaux embarqués compacts, flexibles, économiques et fiables, qui puissent supporter des conditions environnementales difficiles tout en prenant peu de place. Ces terminaux doivent être équipés d'une antenne plate mobile de taille minimale, leur permettant de dépointer vers un satellite faisant partie d'une constellation et de fournir des communications haut débit pour différents types de systèmes de transport.

Au début, les antennes utilisées pour assurer ces services étaient des réflecteurs paraboliques montés sur un positionneur mécanique (Figure I.4a). Ces antennes sont largement utilisées pour les stations terrestres de communication par satellite en raison de leur conception bien maîtrisée et de leurs bonnes performances. Toutefois, la présence d'un radôme autour de ce type d'antenne a un impact négatif sur l'aérodynamisme des terminaux mobiles. Cela devient encore plus préoccupant pour les applications aéronautiques, car la consommation de carburant est considérablement augmentée. Plus tard, des réseaux passifs montés sur un positionneur ont été développés pour améliorer l'encombrement de ces systèmes (Figure I.4b).



(a) Antenne à réflecteur [20]



(b) Réseau passif Ku/Ka bande [21]

Figure I.4 : Antennes à positionneur mécanique

Grâce aux avancées technologiques alliées à la baisse des coûts, il a été possible de concevoir des réseaux d'antennes à dépointage électronique. Ces antennes présentent de nombreux avantages par rapport aux antennes sur positionneur, tels que la possibilité d'utiliser plusieurs faisceaux, un changement instantané d'angle de dépointage, une plus grande résistance à l'usure mécanique et une faible perturbation aérodynamique.

Les antennes à dépointage électronique sont aujourd'hui la solution optimale pour le suivi des satellites, en particulier lorsqu'une opération fiable et agile est souhaitée. En effet, la technique de dépointage électronique est particulièrement avantageuse pour les systèmes SOTM et IFC, qui nécessitent des antennes plates pouvant rapidement se réorienter vers le satellite pour compenser le mouvement de la plateforme. Avant de passer à la discussion sur l'état de l'art des systèmes d'antenne à dépointage électronique, le principe de fonctionnement et les types d'architectures seront brièvement exposés ci-dessous.

I.2.1. Dépointage électronique : Principe

La technique de dépointage électronique, également connue sous le nom de formation de faisceau électronique, trouve ses racines au début du XX^{ème} siècle avec les travaux de Karl Ferdinand Braun. Cette technique est devenue particulièrement intéressante pour le secteur militaire à l'époque et a été stimulée pendant la Seconde Guerre mondiale avec l'apparition des premiers systèmes RADAR (*Radio Detection and Ranging*).

Le dépointage électronique est réalisé en utilisant des réseaux d'antennes comportant plusieurs éléments d'antenne, chacun ayant un contrôle sur le signal qui leur parvient. Le dépointage du faisceau peut être atteint en retardant le signal de chaque élément individuel de manière qu'ils s'additionnent de manière constructive dans la direction choisie θ .

Supposons que le signal dans le nième élément soit retardé de $(N - 1)\tau$ avec un espacement d entre les éléments d'antenne (Figure I.5), le signal transmis par tous les éléments aurait des retards différents entre eux. En utilisant une construction géométrique (Figure I.6), il est possible de calculer le décalage temporel τ entre chaque élément du réseau à partir du décalage spatial L et de la célérité c de l'onde :

$$\tau = \frac{L}{c} = \frac{d \cdot \sin(\theta)}{c} \tag{E-1}$$

En effet, le temps de retard nécessaire pour orienter le faisceau est égal au temps nécessaire pour que le front d'onde traverse cette distance L . En appliquant un retard approprié à chaque voie, il est donc possible d'orienter le faisceau de l'antenne dans la direction souhaitée, permettant ainsi la réalisation d'un dépointage électronique.

Ce principe peut être étendu à un réseau d'antennes à deux dimensions, permettant de dépointer le faisceau sur deux axes orthogonaux (θ, ϕ) pour atteindre n'importe quelle position dans le ciel Figure I.7. Cette technique est valable aussi bien en réception qu'en transmission grâce à la réciprocité des antennes.

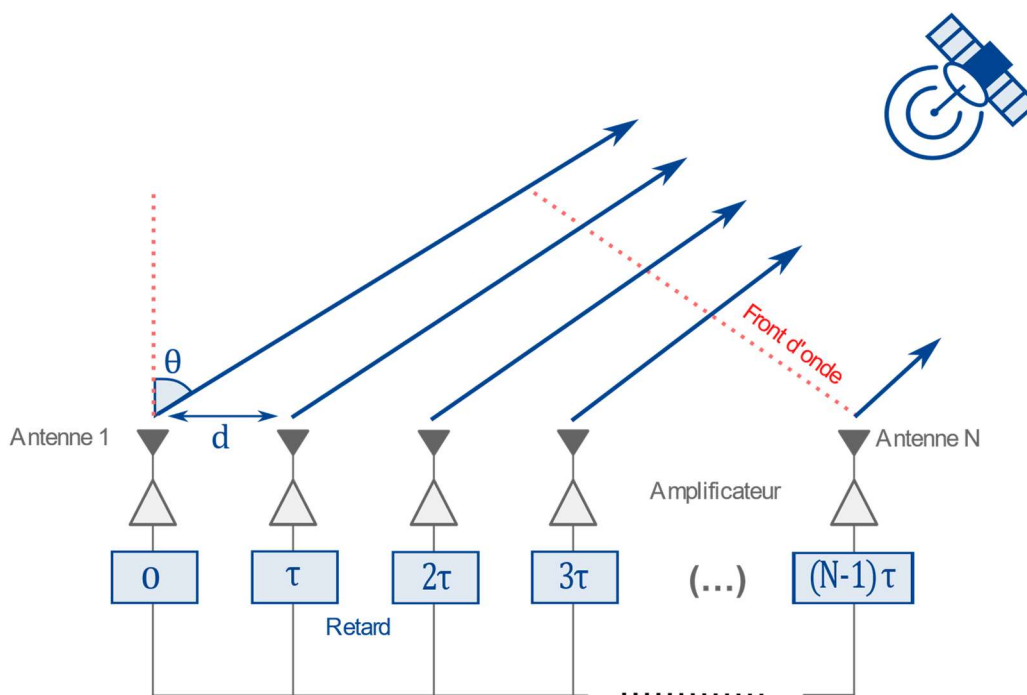


Figure I.5 : Réseau d'antennes à N éléments avec retard temporel

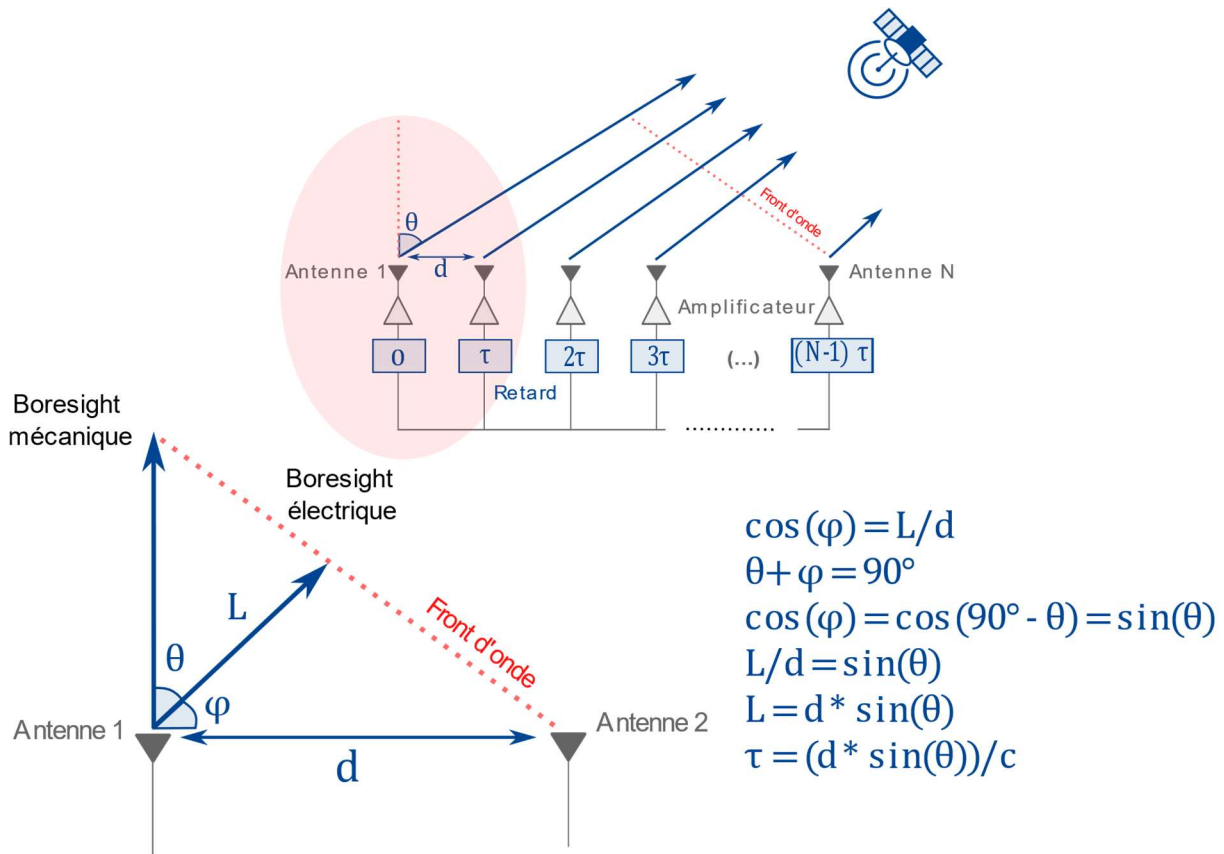


Figure I.6 : La dérivation du retard temporel

Bien que des solutions pour implémenter de retards temporels constants appliqués sur les différentes voies (TTD : *True Time Delay*) existent, la plupart des architectures analogiques sont souvent contraintes d'utiliser des déphaseurs pour ajuster les phases des signaux plutôt que d'appliquer ces retards. En effet, pour les signaux à bande étroite, les retards temporels peuvent être approximés par des déphasages. Si nous considérons L comme une fraction de la longueur d'onde, alors un décalage de phase pourrait être substitué à ce retard temporel. En utilisant cette approche, le dépointage électronique peut être réalisé en ajustant les phases de chaque voie pour générer un faisceau directionnel dans une direction spécifique. On utilise donc une antenne réseau à N éléments, tel qu'illustré dans la Figure I.8, d'une façon que le signal appliqué à chaque élément de l'antenne est déphasé de manière progressive : le signal du nième élément dans ce réseau subit un décalage de phase de $(N - 1)\varphi$.

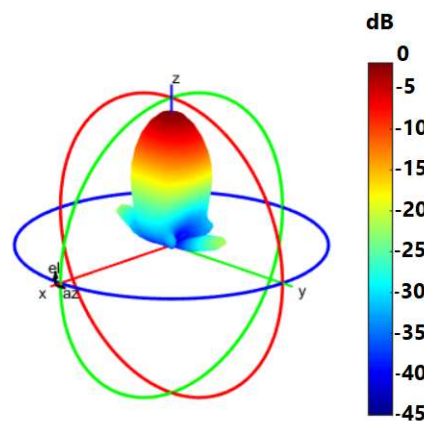


Figure I.7 : Dépointage du faisceau sur deux axes orthogonaux

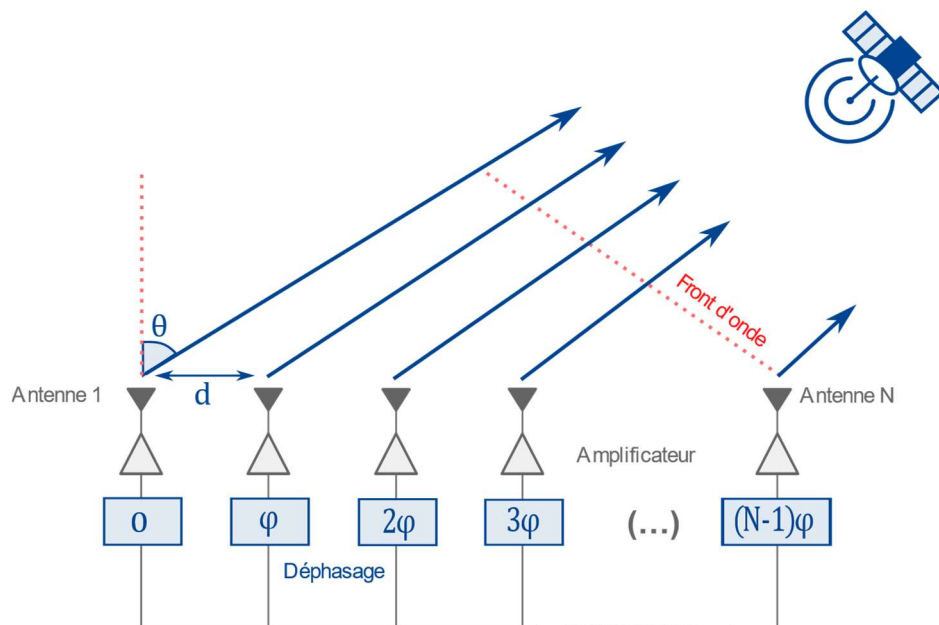


Figure I.8 : Réseau d'antennes à N éléments avec décalage de phase

Dans ce cadre, l'équivalent de l'équation (E-1) destinée à calculer le déphasage relatif entre deux éléments consécutifs du réseau pour dépointer le faisceau d'un angle θ dépend du nombre d'onde k , et donc de la longueur d'onde λ considérée :

$$\beta = k \cdot d \cdot \sin(\theta) = \frac{2\pi}{\lambda} \cdot d \cdot \sin(\theta) \quad (\text{E-2})$$

L'espacement entre les éléments du réseau d'antennes, représenté par d , a également un impact sur le diagramme de rayonnement de l'antenne. Quand on dépointe, si cet espacement dépasse la demi-longueur d'onde, des lobes de rayonnement multiples apparaissent dans le diagramme de rayonnement, avec une magnitude similaire à celle du lobe principal (*Grating lobes*). Ces lobes sont indésirables car ils transmettent de l'énergie dans une direction non souhaitée, ce qui entraîne une perte de signal et peut également causer des interférences avec les signaux d'autres utilisateurs.

L'utilisation de déphaseurs est efficace pour les systèmes à bande passante étroite, mais leur efficacité diminue pour les systèmes à bande passante très large. En effet, en raison de la variation de la longueur d'onde au sein de la bande de fréquences, un déphasage constant ne produit pas un retard temporel constant. Cela peut entraîner une dérive fréquentielle de l'angle de dépointage, qui limite la bande passante instantanée du système et provoque une divergence du faisceau, appelée *beam squint*. Pour pallier ce problème, des solutions de traitement de signal numérique en temps réel peuvent être utilisées.

De plus, lorsque l'antenne est dépointée, les performances de la communication peuvent être dégradées. En effet, la théorie des réseaux d'antennes montre que le diagramme de rayonnement d'un réseau d'antennes est le produit du diagramme élémentaire des éléments rayonnants et du facteur de réseau. Dans le cas d'une antenne réseau plane, la directivité maximale est limitée par le diagramme élémentaire de l'élément rayonnant unitaire, qui suit une loi en cosinus, ce qui diminue la directivité de l'antenne à mesure que le faisceau s'éloigne du zénith (Figure I.9). Cela rend les angles de dépointage élevés inexploitable et limite généralement le dépointage maximal des systèmes à environ $\pm 70^\circ$.

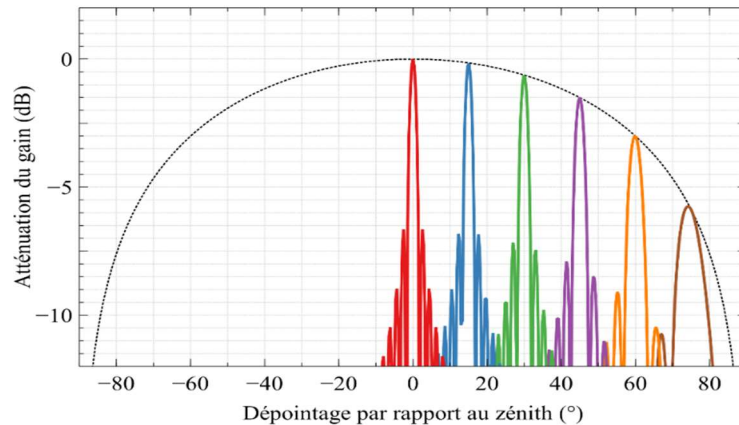


Figure I.9 : Diagramme de rayonnement normalisé d'un réseau d'antennes de 64 éléments en fonction du dépointage (rouge 0°, bleu 15°, vert 30°, violet 45°, orange 60°, marron 75°)

I.2.2. Architectures pour la formation de faisceau

Le choix de la technique de formation de faisceau exerce une influence considérable sur l'architecture du système. En plus des solutions de formation de faisceau entièrement analogiques [22]–[24] ou numériques [25]–[27], diverses topologies de formation de faisceau hybrides avec des différences sur la partie analogique/numérique sont trouvées dans la littérature [28]–[30].

La méthode la plus simple parmi les architectures, consiste à combiner les signaux des différentes voies de manière analogique (ABF : *Analog Beamforming*). En effet, les ABF sont largement utilisés dans les systèmes d'antenne réseaux dans lesquels les signaux aux éléments rayonnants sont manipulés en amplitude et en phase par des circuits analogiques. Selon l'endroit où le déphaseur est implémenté dans ce système, il est courant de distinguer trois types de formation de faisceau analogique: déphasage sur la voie radiofréquence (*RF Phase Shifting*) [31]–[35], sur la voie de l'oscillateur local (*LO Phase Shifting*) [22], [36], [37] et sur la voie de la fréquence intermédiaire (*IF Phase Shifting*) [38]–[41].

Dans cette première architecture, dans le cas de la transmission (Figure I.10), le signal en fréquence intermédiaire est transposé à la fréquence RF à l'aide d'un mélangeur et d'un oscillateur local, avant d'être divisé en plusieurs voies. Chaque élément rayonnant est équipé d'un amplificateur et d'un déphaseur, ce qui permet le contrôle de l'amplitude et de la phase des signaux sur chaque voie. Bien que cette configuration soit très courante, principalement en raison du faible nombre de circuits nécessaires par rapport aux autres architectures ABF [42], elle présente un inconvénient majeur lié à la complexité de l'intégration du déphaseur aux fréquences millimétriques. De plus, le dépointage électronique exclusivement dans le domaine RF s'avère être un fardeau important lors de la conception de systèmes d'antennes multifaisceaux, car le nombre de circuits nécessaires pour la formation de faisceau analogique augmente en proportion du nombre de faisceaux qu'il doit prendre en charge.

Dans la deuxième solution (Figure I.11), les pertes et les non-linéarités des déphaseurs ont moins d'impact sur la performance en transmission, ce qui allège les contraintes liées à sa conception. En effet, le déphasage sur la voie LO a un impact minimal sur le rapport signal à bruit (SNR) et le gain du système, car les exigences de bruit et de linéarité sur l'oscillateur local sont plus faciles à respecter [43]. Cependant, cette configuration nécessite un grand nombre de mélangeurs, en plus des déphaseurs, ce qui impacte sur la complexité du routage et sur la consommation totale.

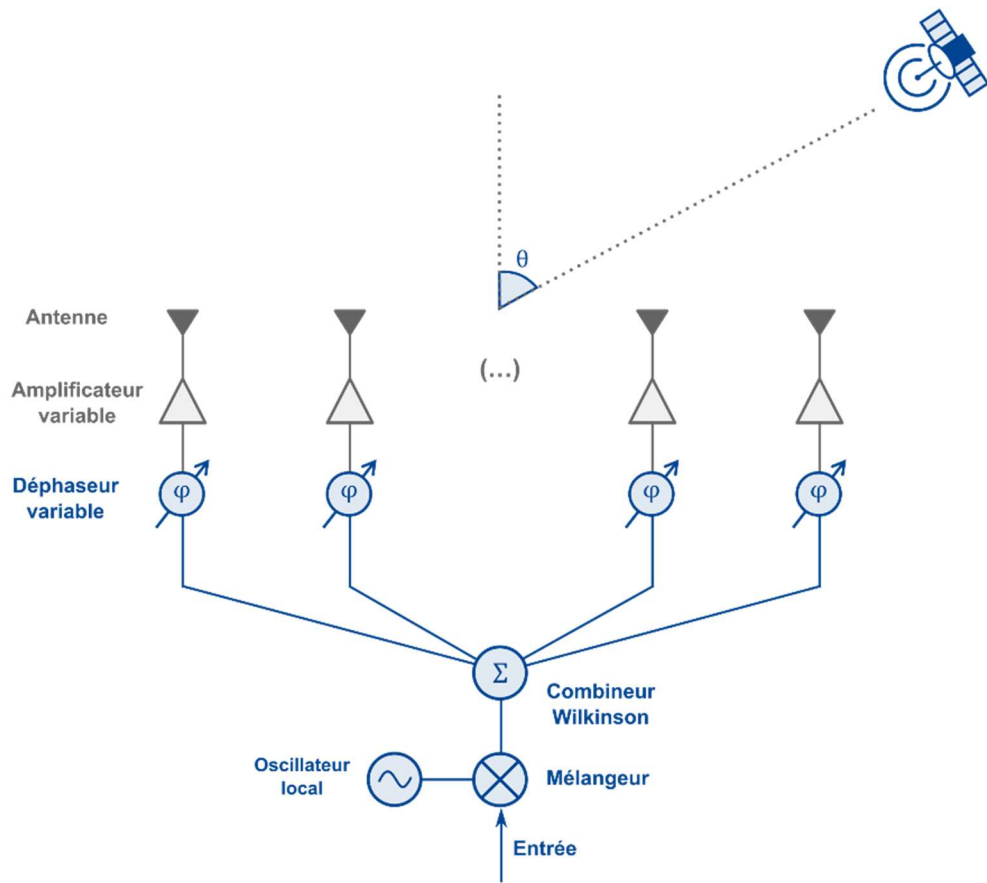


Figure I.10 : Formation de faisceau analogique (Voie RF)

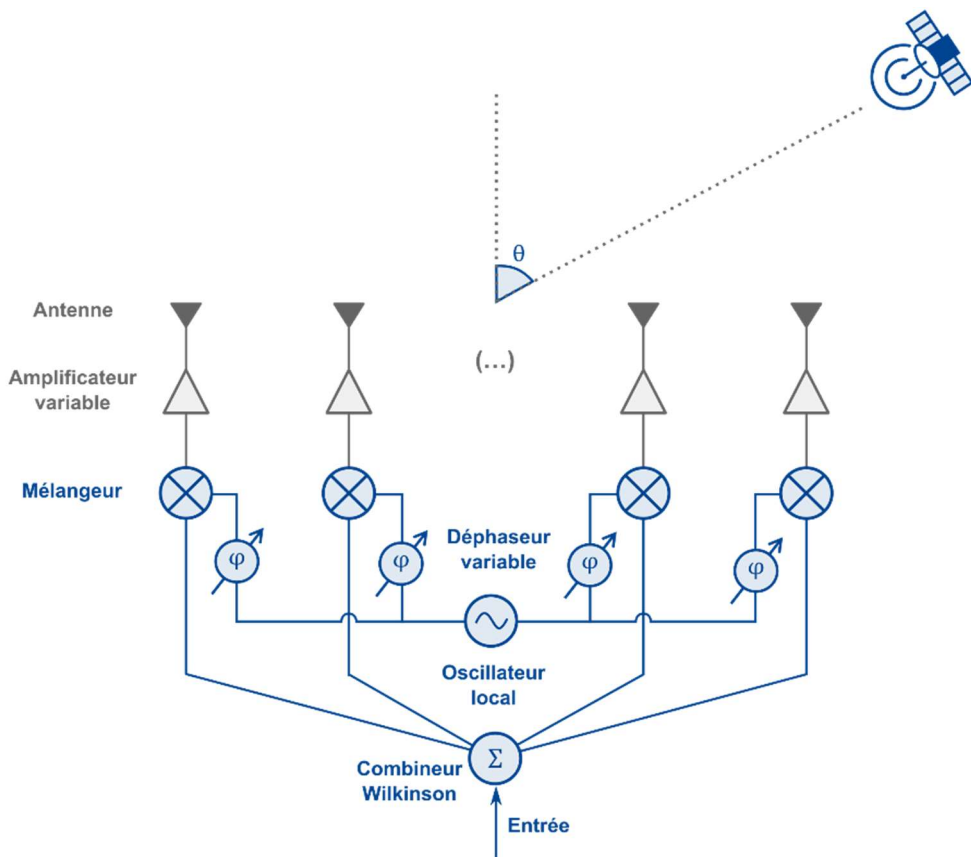


Figure I.11 : Formation de faisceau analogique (Voie LO)

Enfin, dans la dernière architecture (Figure I.12), un mélangeur est placé sur chaque voie en amont du déphaseur, ce qui augmente la consommation électrique et la surface du circuit. Néanmoins, la conception du déphaseur en fréquences intermédiaires est mieux maîtrisée.

Bien que la formation de faisceau analogique offre une bonne capacité à réaliser des réseaux d'antennes à faisceau unique, avec une complexité et une consommation d'énergie relativement faibles, elle pose des défis lors de la conception de systèmes d'antennes multifaisceaux. En effet, le nombre de réseaux de déphaseur doit être le même que le nombre de faisceaux indépendants souhaités [44].

Dans ce cas, la formation de faisceau numérique (DBF : *Digital Beamforming*) peut être plus attractive puisqu'elle déplace entièrement la fonction de contrôle du faisceau vers la partie numérique à l'aide de convertisseurs numérique-analogique/analogique-numérique (CNA/CAN) (Figure I.13). Cela peut simplifier le circuit RF, qui ne nécessite plus qu'un amplificateur et un mélangeur pour la transmission/réception (aucun déphaseur n'est nécessaire). En effet, puisque chaque voie est numérisée dans cette architecture, les retards temporels peuvent être utilisés, contrairement au cas de la formation de faisceau analogique.

Bien que cette solution devienne de plus en plus attractive pour des applications à large bande et/ou multifaisceaux, elle n'est pas encore bien adaptée aux applications à fréquences millimétriques en raison de son coût élevé, la difficulté à transposer et de sa consommation importante de composants. Pour ces raisons, la formation de faisceaux analogiques est aujourd'hui préférée dans de nombreuses applications d'un point de vue performance/économie.

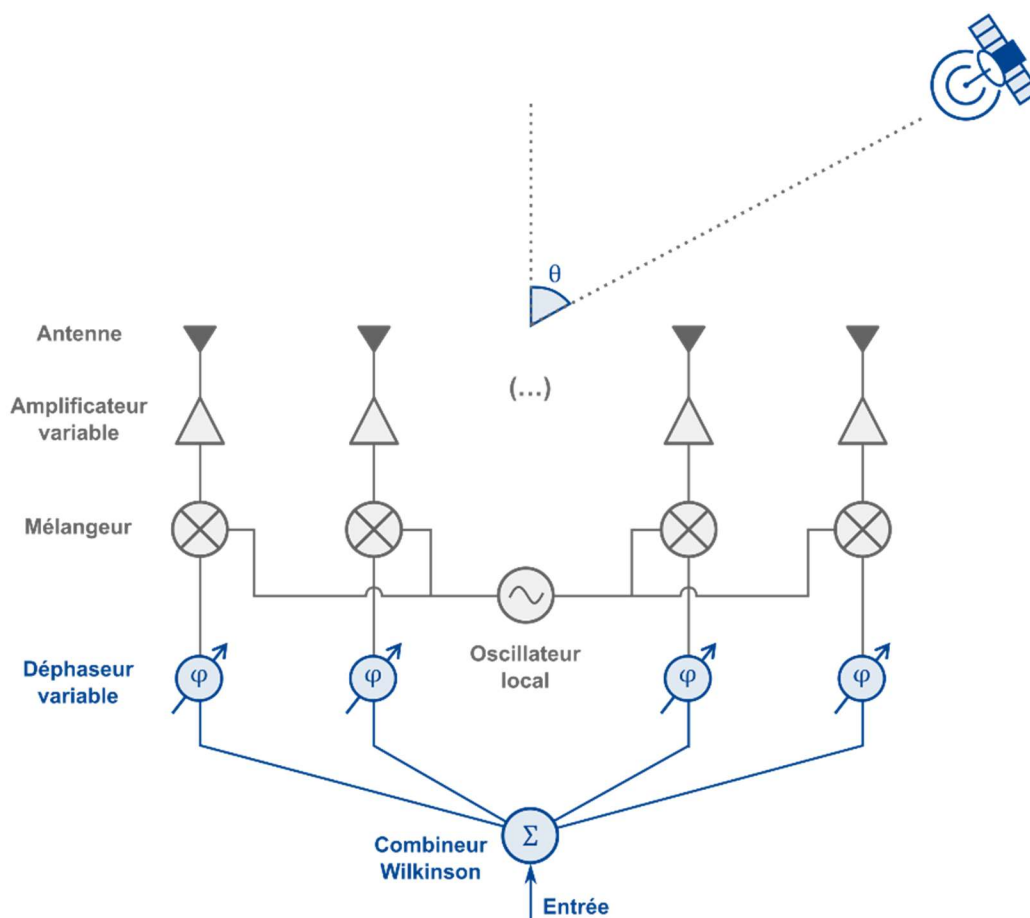


Figure I.12 : Formation de faisceau voie analogique (Voie IF)

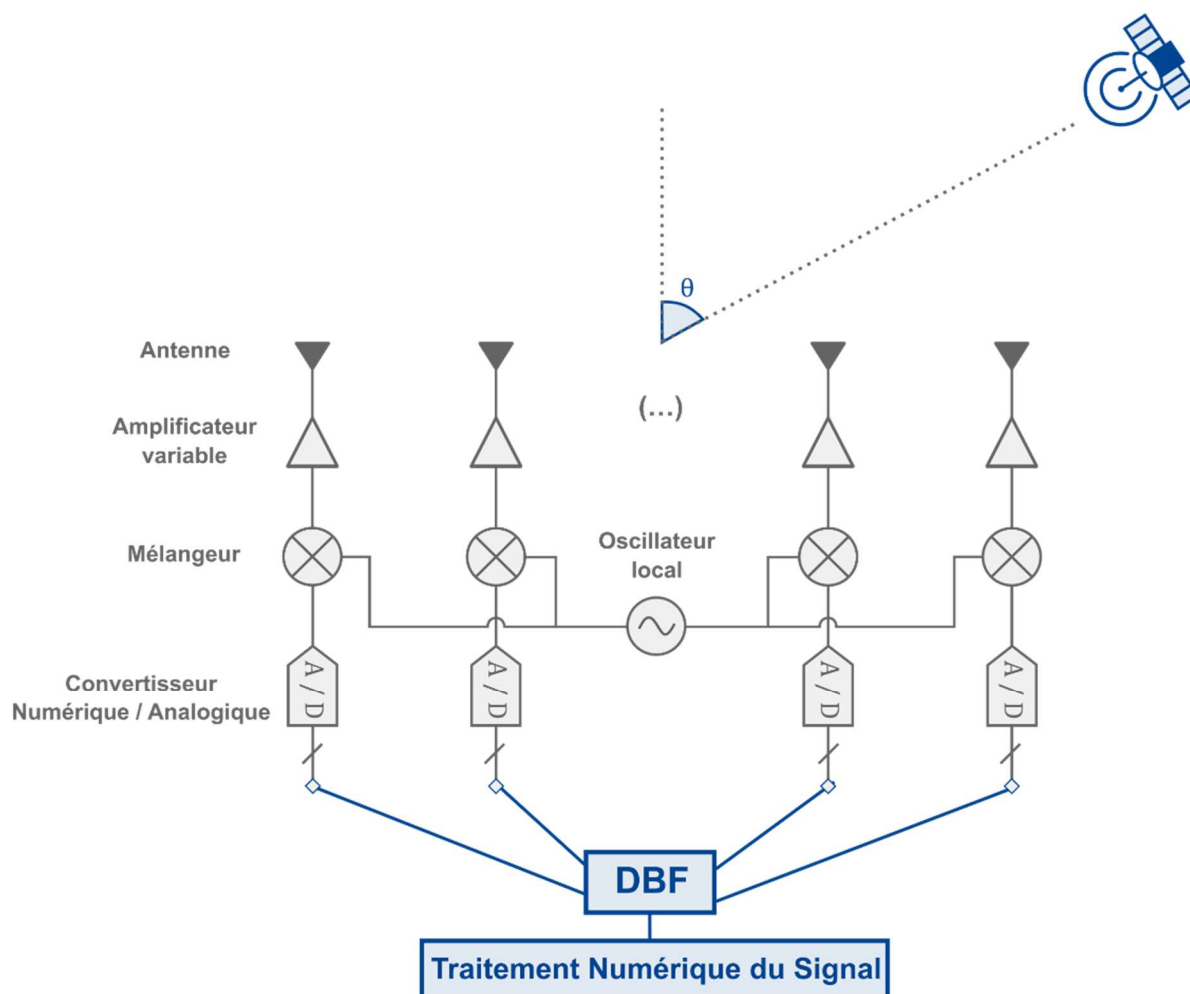


Figure I.13 : Formation de faisceau numérique

Il existe également un troisième groupe de techniques de formation de faisceaux, basé sur un traitement conjoint analogique et numérique, dont l'architecture dépend des propriétés du canal de propagation [15]. On parle de la formation de faisceau hybride (HBF : *Hybrid Beamforming*).

Ces architectures peuvent représenter un compromis intéressant entre la complexité du système et sa performance, par rapport aux architectures précédentes. L'architecture HBF à sous-réseaux, illustrée dans la Figure I.14, est couramment utilisée en raison de son compromis performance/coût. Dans cette configuration, l'antenne est divisée en sous-réseaux qui sont recombinaison de manière analogique. Le signal numérique est traité en bande de base (déphasage/combinaison) et puis converti en signal analogique à l'aide des convertisseurs et mélangeurs.

Les formateurs de faisceau hybrides sont une solution prometteuse pour les systèmes multifaisceaux de téléphonie 5G et 6G [45]–[47], car les efforts de traitement des données, et donc la consommation d'énergie globale, sont significativement réduits par rapport à leurs contreparties entièrement numériques. Cependant, ces architectures ne sont actuellement pas largement déployées dans les systèmes d'antennes multifaisceaux pour les terminaux SATCOM nécessitant à la fois un suivi et des transferts (*hand-over*) de satellite à satellite pour maintenir la connectivité [48].

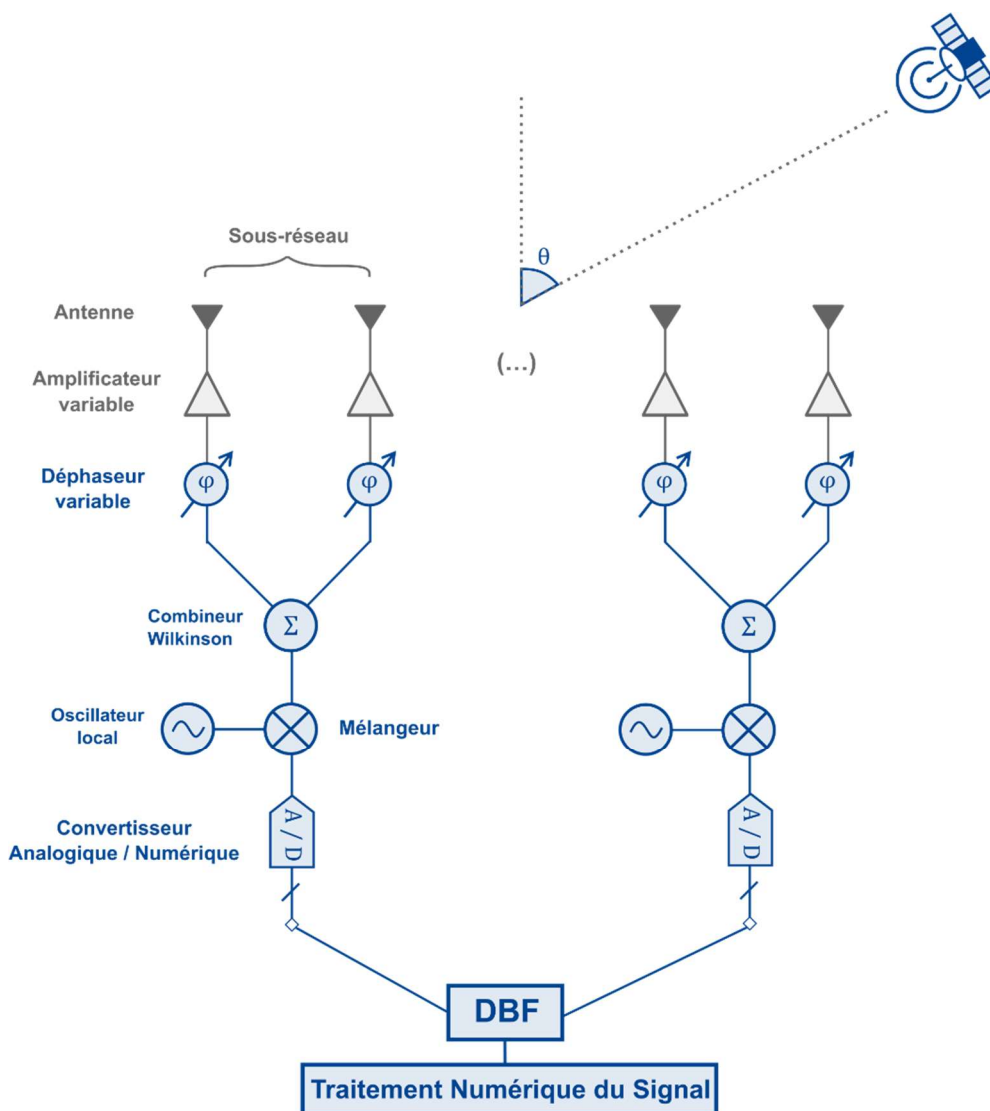


Figure I.14 : Formation de faisceau hybride (Voie RF)

Pour choisir l'architecture mieux adaptée à une application, les concepteurs doivent se baser sur les spécifications techniques du système. En effet, les spécifications prédéfinies telles que le nombre d'éléments du réseau, le coût, la consommation électrique ou même la complexité de l'architecture, orienteront le choix vers l'une des architectures décrites précédemment.

I.2.3. État de l'art des systèmes existants et en développement

Il existe plusieurs topologies de réseaux d'antennes pour le dépointage électronique dont les antennes à rayonnement direct (DRA : *Direct Radiating Array*) sont les plus maîtrisées et couramment utilisées.

Les antennes à rayonnement direct permettent à chaque élément d'antenne individuel de contribuer simultanément aux caractéristiques de rayonnement, indépendamment du mode de fonctionnement du système de communication sans fil (point-à-point ou point-à-multipoint). Cette solution est particulièrement adaptée pour les systèmes d'antenne réseaux à grande échelle, car la puissance RF est distribuée uniformément sur toute l'ouverture de l'antenne [15]. Certains de ces systèmes situés dans l'état de l'art sont discutés ci-dessous.

Une architecture modulaire d'antenne réseaux pour des applications SATCOM en bande Ka a été proposée dans [49] suivant la même approche de conception pour la transmission et la réception. L'approche modulaire proposée permet de minimiser la complexité de conception et les coûts de fabrication des réseaux d'antennes à grande échelle. Cette architecture utilise une antenne patch compatible avec une séparation de demi-longueur d'onde entre les éléments à 30/20 GHz implémenté dans les cinq premières couches supérieures de la carte PCB (*Printed Circuit Board*) multicouche, tandis que les circuits intégrés formateurs de faisceau RF à 8 canaux pour les liaison ascendante et descendante sont soudés sur le côté opposé de la carte. Le réseau à faible encombrement d'alimentation RF 16 : 1 ont été réalisés sous forme de guides d'ondes à substrat intégré (SIW : *Substrate Integrated Waveguide*) pour minimiser l'atténuation du signal pour chaque module. La vérification expérimentale des deux modules a démontré la capacité de formation de faisceau jusqu'à $\pm 70^\circ$ hors axe à 20/30 GHz.

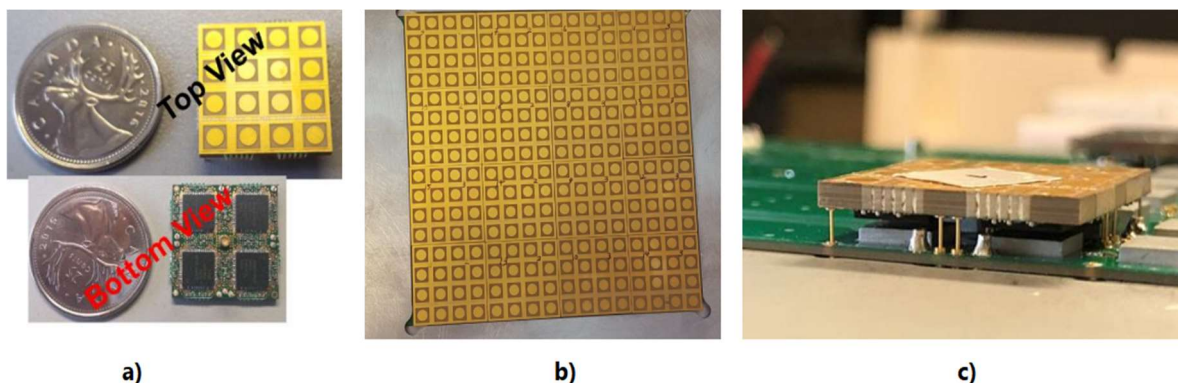


Figure I.15 : Module de 16 éléments (4x4) pour la bande Ka (30 GHz). Démonstrateur de 256 éléments composé de 16 modules (a) vue de dessus (b) intégration des modules (c) [49].

La référence [50] expose les travaux de recherche et développement portant sur une solution AiP (*Antenna-in-package*) qui permet l'intégration de l'antenne dans le même boîtier que le circuit RFIC fonctionnant à 28 GHz. Cette solution intègre 64 éléments d'antenne à double polarisation et associe quatre circuits émetteur-récepteur RF dans un boîtier multicouche basé sur la technologie BGA (*Ball Grid Array*). Chaque puce SiGe BiCMOS comprennent 16 canaux TRx par polarisation permettant la synthèse multifaisceaux simultanés dans deux polarisations, soit en mode émission, soit en mode réception. Cette solution est capable de dépointer le faisceau jusqu'à 50° avec un PIRE maximum de 24 dBW.

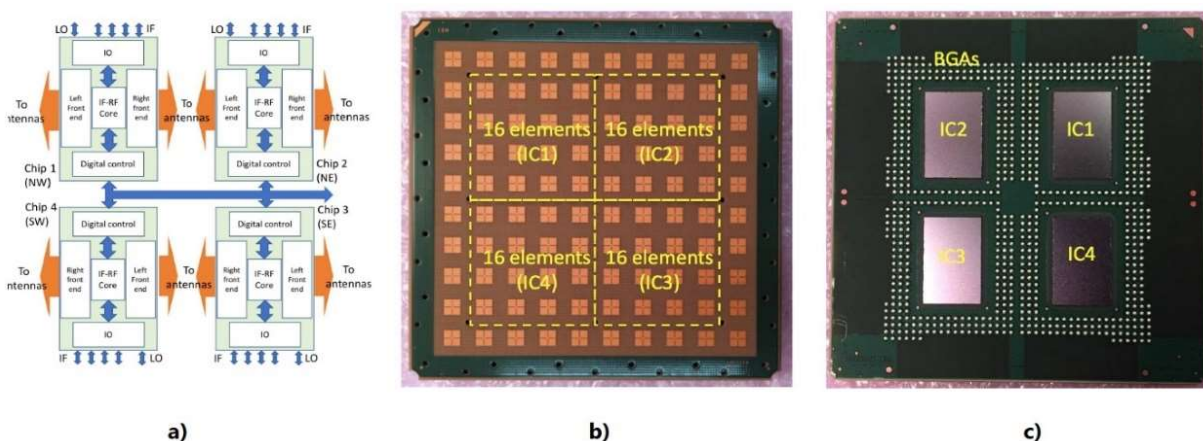


Figure I.16 Module transcepteur de 64 éléments à 28 GHz. Schémas de signalisation sur le module d'antenne à 4 puces (a). Démonstrateur (b) vue de dessus (c) vue de dessous [50]

Le travail présenté dans [32] adopte une approche d'antenne réseaux à grande échelle sur un PCB monolithique à 30 GHz avec 1024 éléments rayonnants. Cette conception utilise des circuits intégrés formateurs de faisceau RF à 8 canaux réalisés en technologie CMOS 65 nm pour réduire considérablement le coût de fabrication. Les antennes patch à double polarisation circulaire sont réalisées sur une carte PCB multicouche commune, avec un diviseur de puissance Wilkinson 1 : 256 connecté aux RFICs sur la même carte. En raison de la grande perte d'insertion du réseau d'alimentation, huit amplificateurs de puissance sont considérés pour compenser certaines des pertes. Le système est également équipé d'une unité de contrôle d'antenne avec le circuit d'alimentation électrique, le FPGA et la mémoire flash. Le système atteint une PIRE de 44 dBW et est capable d'orienter le faisceau jusqu'à $\pm 60^\circ$ avec une perte de gain de 4,5 dB de 29,5 GHz à 30 GHz et présente un rapport axial (AR : *Axial ratio*) inférieur à 3 dB pour des scans d'élévation de 30° en polarisation circulaire gauche et droite.

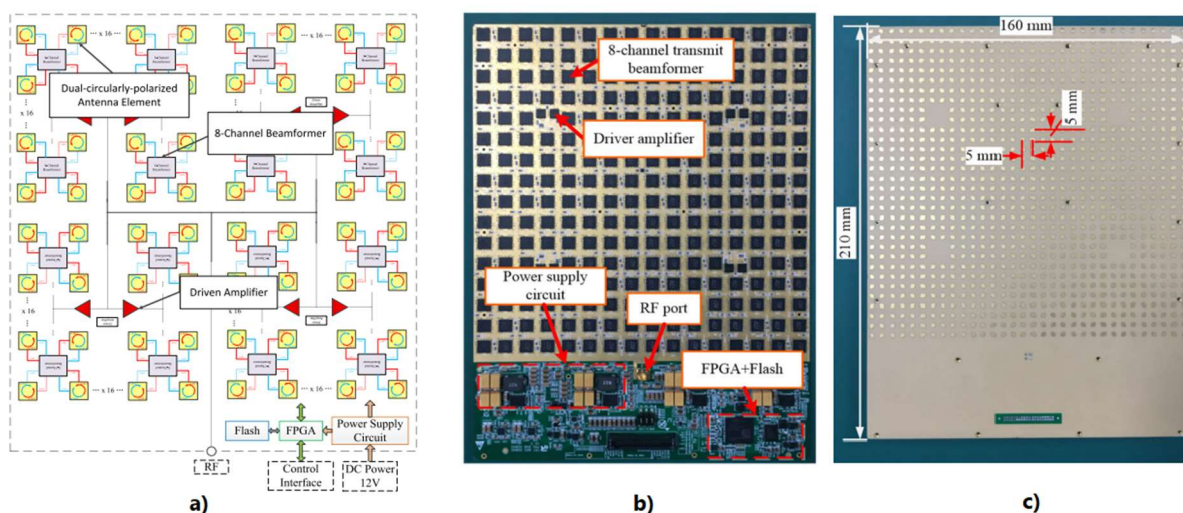


Figure I.17 : Réseau d'antennes (émetteur) de 1024 éléments à 30 GHz. Architecture (a) vue de dessous (b) et vue de dessus (c) [32].

La conception et le développement d'un module émetteur-récepteur d'antenne réseaux en bande Ku/Ka est présenté dans [51]. Ce démonstrateur pour la formation de faisceau comportait 16 éléments rayonnants disposés en une matrice 4x4 et était intégré sur une carte de circuit imprimé multicouche. Chaque élément d'antenne est piloté individuellement par le RFIC de formation de faisceau commercial Anokiwave AWMF-0117 [52] fourni dans un boîtier flip-chip attaché à la face inférieure du module. Pour prendre en charge une double polarisation circulaire, une conception d'antenne patch avec des corners tronqués a été sélectionnée.

Puisque l'élément d'antenne proposé ne couvre généralement qu'une bande passante relativement étroite en termes de rapport axial (AR), une approche de rotation séquentielle imbriquée a été utilisée au niveau des éléments. Pour les polarisations circulaires gauche (LHCP) et droite (RHCP), le module démontre une capacité de balayage de $\pm 60^\circ$. Ces réseaux peuvent être facilement étendus à grande échelle pour fournir un gain plus élevé dans le but de répondre aux besoins des applications SATCOM.

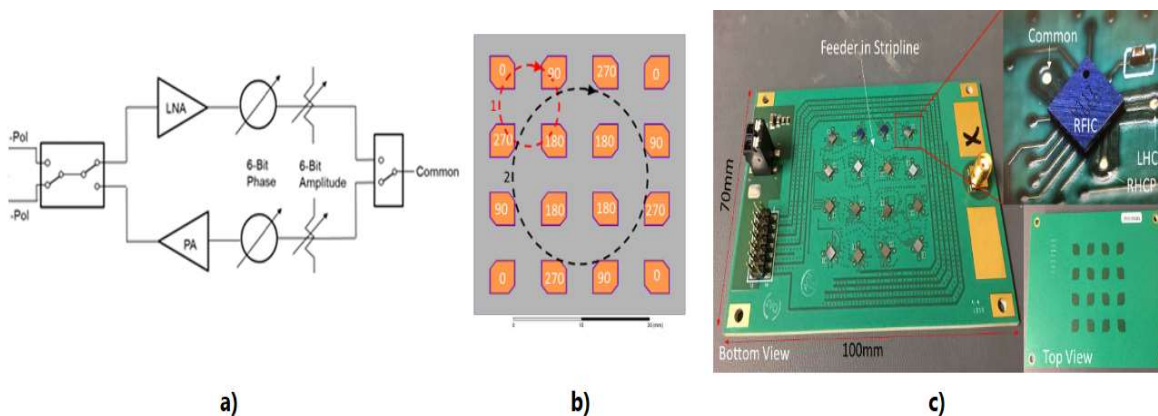


Figure I.18 : Architecture du RFIC Anokiwave AWMF-0117 (a). Configuration du réseau d'antennes montrant la rotation séquentielle imbriquée appliquée (b). Prototype émetteur-récepteur d'antenne réseaux en bande Ku/Ka (c) [51].

Les auteurs de la référence [53] ont présenté un système de formation de faisceau hybride comprenant 16×8 éléments rayonnants et deux chaînes RF. Le système utilise une topologie de formation de faisceau hybride entièrement connectée, contrairement aux architectures sous-connectées conventionnelles, ce qui permet l'utilisation d'algorithmes de formation de faisceau hybride plus avancés pour atteindre une plus grande capacité de données. Le réseau à 128 éléments fonctionne dans une bande passante de 2 GHz centrée sur 26 GHz et offre un contrôle flexible des deux faisceaux simultanés dans une plage de balayage de $\pm 60^\circ$. Le système permet d'ajuster la PIRE entre 10 dBm et 60 dBm, ce qui le rend adapté pour des scénarios de communication à courte ou longue distance.

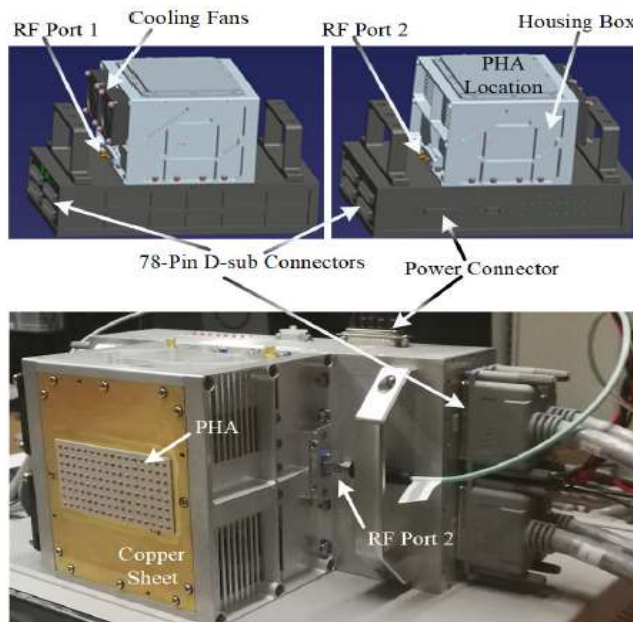


Figure I.19 : Démonstrateur du système d'antenne hybride à 26 GHz avec 16×8 éléments rayonnants [53]

Dans le travail [54] un émetteur de 1024 éléments en bande Ku pour des applications SATCOM est présenté. Le réseau est basé sur des puces de formation de faisceau SiGe à huit canaux (Tx). Les antennes à patch empilées en double polarisation permettent à l'ensemble de synthétiser une polarisation linéaire, linéaire tournée, et circulaire à droite et à

gauche. Le réseau est composé de quatre quadrants de sous-réseaux de 256 éléments, chacun comportant 64 circuits de formation de faisceaux et une puce de commande montés sur une carte de circuit imprimé (PCB). Le réseau atteint une PIRE de 75 dBm par polarisation (78 dBm pour la polarisation circulaire) et permet un balayage jusqu'à $\pm 75^\circ$ dans tous les plans. Cela est réalisé en utilisant un espacement d'antenne de $\lambda/2$ à 14,4 GHz dans une grille triangulaire équilatérale. Le réseau présente également un rejet de polarisation croisée de 30 dB jusqu'à des angles de balayage de 60° .

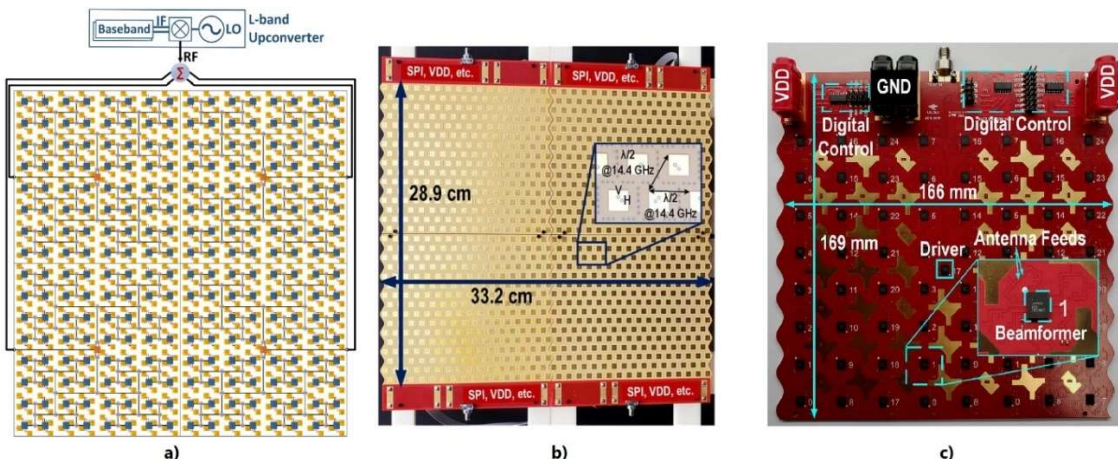


Figure I.20 : Module émetteur d'antenne réseau de 1024 éléments en bande Ku. Architecture (a) vue réseaux d'antenne (b) et côté composants (c) [54]

La Figure I.21 présente un récepteur de 256 éléments pour des applications SATCOM en bande Ku [33]. Le module en PCB de 12 couches est composé d'antennes à double polarisation linéaire et d'un réseau de combinaison de puissance RF Wilkinson 64:1. Les 64 RFICs formateurs de faisceau à double polarisation sont assemblés sur le côté inférieur. Il dispose de quatre canaux de réception attribués respectivement aux polarisations verticale et horizontale, ce qui permet au module de fonctionner avec n'importe quelle polarisation de 10,7 à 12,5 GHz dans un cône de balayage de 70° . La tuile est extensible dans les trois autres directions grâce au connecteur RF sur le bord inférieur, ce qui permet la réalisation de systèmes d'antenne réseaux à grande échelle à l'aide de tuiles $2 \times N$. Ce système d'antenne réseaux peut être implémenté en utilisant une architecture pour la formation de faisceaux analogique RF, IF ou une approche de formation de faisceau hybride.

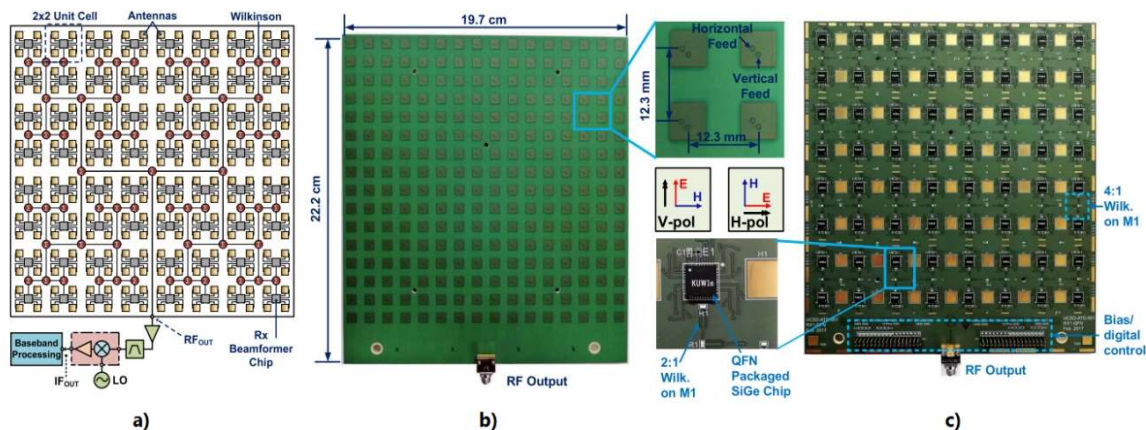


Figure I.21 : Module récepteur d'antenne réseau de 256 éléments en bande Ku (a). Vue de dessus (b) et de dessous (c) du démonstrateur réalisé [33].

Le travail présenté dans [24] étend cette approche de conception en présentant un système d'antenne réseaux à faible coût avec 1024 antennes patch à double polarisation pour une utilisation dans des terminaux de liaison descendante en bande Ku. Le réseau d'antennes actives offre une opération à faisceau unique et se compose de quatre tuile de 16x16, dont les signaux RF sont superposés de manière cohérente à l'aide d'un combineur de puissance Wilkinson 4:1. Les antennes à double polarisation sont disposées dans une grille triangulaire équilatérale pour améliorer les performances de balayage. De plus, chaque élément d'antenne à double polarisation est connecté à un LNA double canal pour une augmentation du G/T du système de réception global à 10,5 dB/K. Cependant, cette approche rend plus probable que les circuits intégrés formateurs de faisceaux en silicium soient entraînés en saturation si les modules de transmission et de réception fonctionnent sous un radôme partagé. Par conséquent, un filtre éliminateur à deux pôles (*notch filter*) est placé entre chaque LNA et le canal formateur de faisceau pour atténuer suffisamment toute fuite de transmission par réflexion sur le radôme aux fréquences de liaison montante.

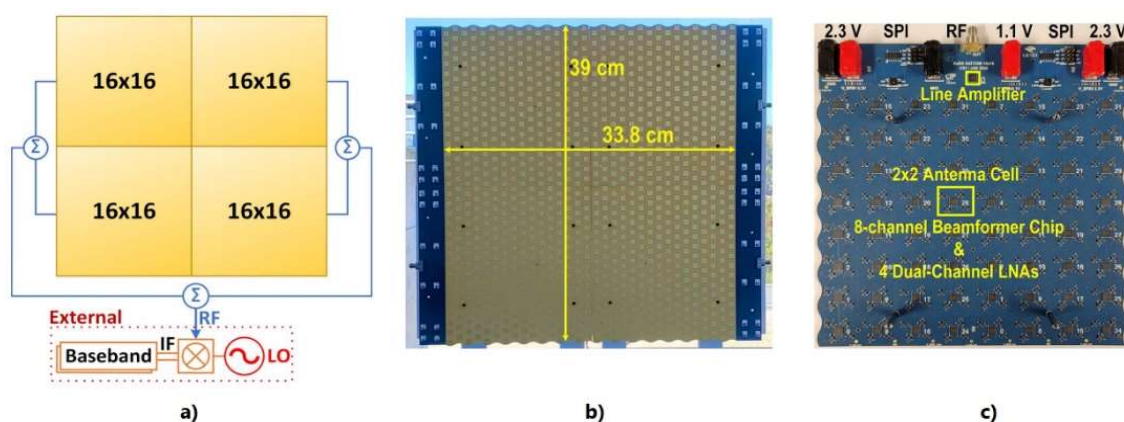


Figure I.22 : Module récepteur à double polarisation pour SATCOM en bande Ku. Système d'antenne avec 1024 éléments, basé sur quatre matrices de 16 x 16 éléments chacune (a). Vue côté réseaux d'antenne (b) et côté composants (c) du démonstrateur réalisé [24].

Dans le travail [55] un émetteur large bande à 256 éléments en bande Ku est présenté. Le réseau est basé sur 64 puces de formateur de faisceau commerciales en technologie SiGe avec une configuration 2x2. Il fonctionne dans la plage de fréquences de 13,75 à 17,2 GHz avec une PIRE de 40 dBW en mode polarisation circulaire. Le réseau est capable de balayer les plans azimutal et d'élévation sur une plage de $\pm 60^\circ$ avec des lobes secondaires faibles et des niveaux de polarisation croisée réduits. Cette solution est un excellent candidat pour les systèmes de communication et de RADAR, grâce à la possibilité d'atteindre un bruit rayonné très faible.

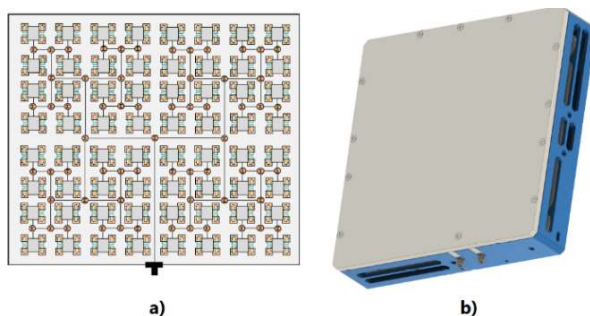


Figure I.23 : Module émetteur de 256 éléments en bande Ku. Diagramme bloc (a) et démonstrateur réalisé (b) [55]

L'article [56] présente une architecture similaire à celle de l'article [32] pour les applications SATCOM en bande Ka. Il utilise un total de 1024 éléments d'antenne patch à double polarisation linéaire, alimentés par 256 RFICs formateurs de faisceau en SiGe, déployés dans une grille carrée avec une constante de réseau de $0,48\lambda_0$ à la plus haute fréquence de fonctionnement (31 GHz). Tous les éléments rayonnants et les circuits intégrés formateurs de faisceau sont implémentés sur une seule carte PCB multicouche, ce qui permet d'incorporer également le réseau de diviseurs de puissance Wilkinson 1 : 256 distribuant les signaux d'entrée RF aux circuits formateurs de faisceau individuels. Le système démontre la capacité de balayage efficace jusqu'à $\pm 70^\circ$ dans tous les plans azimutaux de 27 à 31 GHz, tout en maintenant un rapport axial de 1,8 dB. Quatre amplificateurs de puissance RF sont utilisés entre le deuxième et le troisième niveau des réseaux d'alimentation pour compenser les pertes. Pour cette antenne une PIRE de 48 dBW a été atteinte à l'axe principal, ce qui signifie qu'un système émetteur composé de quatre de ces sous-réseaux est adapté à la communication par satellite en orbite géostationnaire.

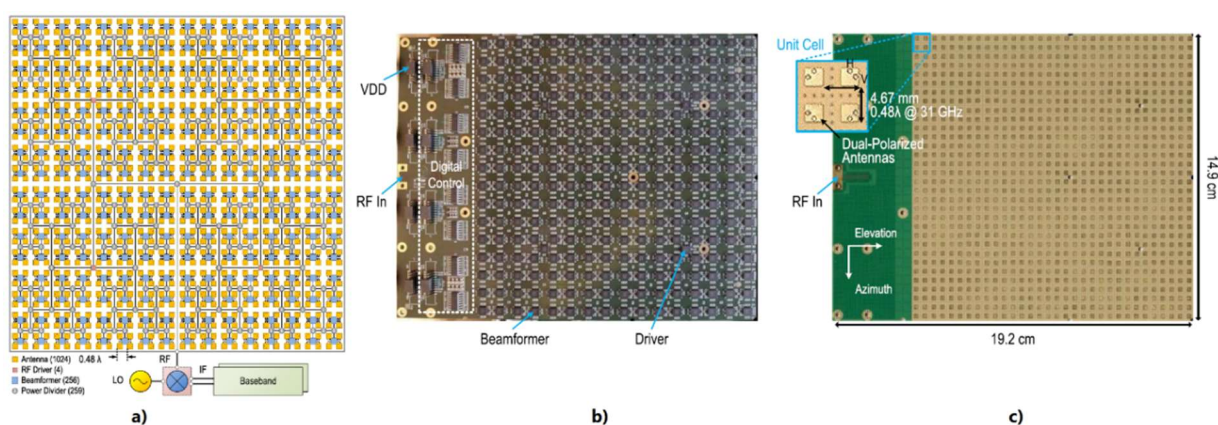


Figure I.24 : Module émetteur de 1024 éléments en bande Ka. Architecture (a) vue côté composants (b) et côté réseaux d'antenne (c) [56]

Le Tableau I-1 montre un comparatif de ces derniers systèmes. En plus des réseaux à rayonnement direct (DRA), qui sont la solution dominante d'aujourd'hui, il existe aussi les systèmes d'antennes à dépointage électronique basé sur la formation de faisceau par l'optique, on parle des antennes quasi-optiques reconfigurables. Ces réseaux d'antennes présentent l'avantage d'avoir une empreinte matérielle plus réduite. Ils atteignent un gain élevé en utilisant un petit nombre d'éléments actifs d'émission/réception combinés à un grand réflecteur ou une lentille reconfigurable. Cela se traduit par des coûts d'implémentation nettement plus bas pour les systèmes de réseaux d'antennes à grande échelle. Néanmoins, ces topologies nécessitent essentiellement un réseau de distribution RF non-planaire, ce qui empêche leur utilisation dans des applications où des antennes avec un faible encombrement sont préférées.

Un troisième groupe d'antennes est devenue l'objet d'une attention considérable dans le milieu universitaire et industriel dans les dernières années, on parle des antennes holographiques basée sur l'utilisation des métasurface et cristaux liquide. Ces réseaux d'antenne présentent l'avantage de ne pas avoir besoin de circuits intégrés tels que des amplificateurs ou des déphaseurs derrière chaque élément rayonnant. Cependant, pour reconfigurer dynamiquement les antennes holographiques, leurs cellules unitaires doivent présenter une certaine capacité de réglage électronique permettant la modulation du signal RF tout en se propageant le long de la métasurface.

Des explications plus détaillées de ces deux types d'antennes sortent du cadre de cette thèse, mais peuvent être trouvées dans la référence [15] ainsi que quelques solutions existantes.

Tableau I-1 État de l'art des systèmes d'antennes à dépointage électronique en bande Ku/Ka

Réf.	Année	Antenne	Nombre d'éléments	Bande de fréquences (GHz)	Arch.	Polarisation	Domaine de Balayage (H/V)	Nombre de faisceaux	PIRE max @P1dB (dBW)	G/T max (dB/K)
[49]	2019	Patch	16 x 16 TX 16 x 16 RX	27,5 – 31,0 17,7 – 20,2	ABF RF	Double Circulaire	70°/70°	1	34,5	-
[50]	2019	Patch empilée	8 x 8 TX 8 x 8 RX	29,0 – 32,0	ABF IF	Double Linéaire	50°/50°	1	24	-
[32]	2020	Patch empilée	32 x 32 TX	29,5 – 30,0	ABF RF	Double Circulaire	60°/60°	1	44	-
[51]	2020	Patch empilée	4 x 4 TX 8 x 8 RX	27,5 – 28,35 12,0 – 14,5	ABF RF	Double Circulaire	60°/60°	1	-	-
[53]	2020	Patch	16 x 8 TX	25,0- 27,0	HBF	Linéaire	60°/60°	2	30	-
[54]	2021	Patch empilée	32 x 32 TX	14,0- 14,5	ABF RF	Double Linéaire	75°/75°	1	45	-
[33]	2021	Patch empilée	16 x 16 RX	10,6 – 12,5	ABF RF	Double Linéaire/Circulaire	70°/70°	1	-	5,4
[24]	2021	Patch	32 x 32 RX	10,7 – 12,7	ABF RF	Double Linéaire	70°/70°	2	-	10,5
[55]	2022	Patch empilée	16 x 16 TX	13,75 – 17,2	ABF RF	Double Circulaire	60°/60°	1	40	-
[56]	2022	Patch empilée	32 x 32 TX	27,0 – 31,0	ABF RF	Double Linéaire	70°/70°	1	49,5	-

D'après le Tableau I-1, on peut constater que les systèmes d'antennes réseau utilisés dans les applications SATCOM recourent presque exclusivement à des architectures analogiques RF pour la formation de faisceaux. En effet, cette approche permet une mise en œuvre plus simple et moins coûteuse, tout en offrant une performance élevée en termes de bande passante instantanée. Cependant, pour certains applications terrestres et aériennes, les formateurs de faisceau numériques et hybrides peuvent offrir une plus grande flexibilité en termes de contrôle et d'optimisation des performances de la liaison de communication.

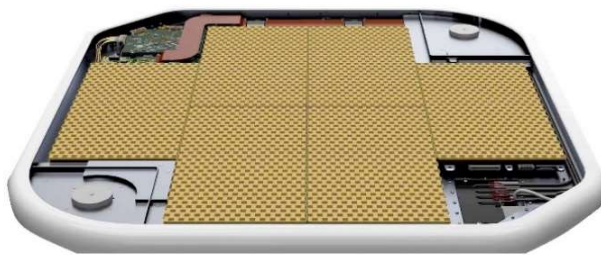
Le secteur commercial des communications par satellite s'intéresse de plus en plus à l'utilisation de la bande Ka pour offrir une grande capacité de données à un large public grâce aux satellites à haut débit (HTS : *High-Throughput Satellite*). Les avancées massives des technologies de circuits intégrés, de circuits imprimés (PCB) et de boîtiers ont permis la réalisation abordable de terminaux SATCOM en bande Ka. Afin de répondre à la forte demande attendue dans les années à venir, pour des communications ininterrompues avec les constellations de satellites (LEO/MEO) destinées à des applications SOTM et IFC, des entreprises telles que Viasat [57], Gillat [58], Phasor [59], Ball Aerospace [60], JetTalk [61], Rockwell Collins [62] et OneWeb [63] ont élargi leur gamme de produits pour inclure des solutions en bande Ka. Certaines de ces solutions sont illustrées à la Figure I.25.



(a) Viasat Ka-band Antenna [57]



(b) Gillat Ka-band Antenna [58]



(c) Hanwha Phasor M6 Antenna [59]



(d) Ball Aerospace Ka-band Antenna [60]



(e) JetTalk Aero Terminal [61]



(f) Rockwell Collins Antenna [62]

Figure I.25 : Antennes à dépointage électronique dédiées à la connectivité des terminaux mobiles et aéronautique

I.3. Cadre de la thèse

I.3.1. Objectif du projet

L'objectif du projet consiste à mettre au point un terminal de communication par satellite en bande Ka, dédié aux applications SATCOM mobiles (IFC et SOTM). Comme indiqué dans la section précédente, certaines entreprises disposent déjà aujourd'hui dans leur portefeuille de produits terminaux de dépointage électronique adaptés à ce type d'application.

Le domaine d'expertise de *Safran Data Systems* se concentre aujourd'hui sur la conception de stations à réflecteur parabolique, utilisées notamment pour des applications de télédétection (*remote-sensing*), d'essais en vol (*flight-test*) et de lanceur (*launcher*). En 2014, l'entreprise a commencé à s'intéresser au développement d'un terminal dédié à la connectivité aéronautique. L'objectif à long terme, prévu pour 2025, est de commercialiser un système complet de dépointage électronique adapté aux applications aéronautiques, tout en offrant la possibilité de l'adapter à d'autres utilisations.

Ce projet de développement a donné lieu à la création d'un laboratoire commun nommé *X-SELANS*, établi entre *XLIM* et *Safran Data Systems*. De nombreuses thèses ont été menées dans le cadre de ce laboratoire, abordant différents aspects du système. Parmi ces thèses, on peut citer la simulation de grands panneaux rayonnants [64], la conception de circuits actifs en arséniure de gallium pour la réception [65], la conception de circuits actifs en silicium-germanium pour la réception [66], l'étude des fonctions de calibrage et d'auto-calibrage de l'antenne, la co-simulation des circuits actifs et des éléments rayonnants, ainsi que la conception de circuits actifs en silicium-germanium pour la transmission (qui fait l'objet de cette thèse).

Pendant ces thèses, certaines spécifications et parties de l'architecture ont été définies. Bien que ces exigences puissent évoluer, une analyse des besoins a permis d'établir les contraintes que le système doit respecter :

- L'antenne doit avoir une hauteur réduite pour minimiser l'impact de la trainée sur la consommation en carburant de l'aéronef (antenne *low profile*) ;
- L'antenne doit être capable de dépointer vers un satellite géostationnaire sur toutes les voies aériennes du globe ;
- L'antenne doit assurer des transitions fluides et sans coupure (*make before break*) entre les satellites ou entre faisceau HTS ;
- Le système doit permettre la transmission simultanée des données dans les deux directions (*full duplex*) ;
- Le système doit être conforme aux normes aéronautiques en vigueur.

I.3.2. Spécifications du système

Les contraintes évoquées précédemment conduisent à l'établissement de spécifications préliminaires pour le système :

- **Panneaux Tx et Rx** - Les forts couplages entre les réseaux Tx et Rx rendent la disposition de ces derniers sur le même panneaux très complexes. Ainsi, il est nécessaire de séparer les antennes Tx et Rx afin de minimiser les interférences et assurer la liaison bidirectionnelle (*full duplex*).
- **Dimensions** – Pour des raisons économiques et écologiques, il est essentiel d'utiliser un radôme aérodynamique de taille réduite afin de minimiser la traînée aérodynamique. Les dimensions des radômes *low-profile* disponibles sur le marché permettent de fixer une limite quant à la taille de l'antenne : la hauteur ne doit pas dépasser 10 cm, tandis que les panneaux Tx et Rx ne doivent pas dépasser respectivement 40 cm x 40 cm et 60 cm x 60 cm.
- **Angle de dépointage** – Les antennes à dépointage électronique sont confrontées à des limitations en termes d'angle de dépointage en élévation, principalement en raison des problèmes liés aux lobes de réseau et au TOS actif aux angles élevés. Cette contrainte restreint la latitude maximale pour laquelle l'antenne d'un avion de ligne peut dépointer vers l'arc géostationnaire. Cependant, il convient de noter que seule une petite partie des voies aériennes se situe à des latitudes élevées. Par conséquent, l'angle de dépointage maximal de l'antenne a été fixé à 70°, ce qui permet de couvrir 98 % des itinéraires empruntés par le trafic aérien civil.
- **Précision de pointage** – La précision de pointage correspond à la différence angulaire entre le maximum du lobe et la position du satellite. D'après la FCC (*Federal Communications Commission*) et l'ETSI (*European Telecommunications Standards Institute*), la précision de pointage pour la liaison ascendante en bande Ku est fixé à 0,2° (étendue à 0,5° sous certaines conditions) [67]. Il est raisonnable d'anticiper une précision de pointage similaire, de l'ordre de 0,2°, pour la bande Ka, bien que cela ne soit pas encore définitivement établi.
- **Modularité** – Une architecture modulaire est prévue pour le système, permettant l'association de sous-réseaux rectangulaires élémentaires (appelés « tuiles ») comportant 16 x 16 éléments rayonnants. Cette approche modulaire présente de nombreux avantages, tels que la facilité de dépannage, l'adaptation aux besoins spécifiques des clients et la facilité de fabrication.
- **Performances** – Afin de répondre aux besoins de connectivité à bord des avions de ligne, il est essentiel de disposer d'un débit de données capable d'atteindre plusieurs centaines de Mbps qui est ensuite réparti entre les différents utilisateurs. Pour atteindre des débits élevés, il est essentiel de présenter un fort rapport signal à bruit (SNR) en réception et assez de puissance en émission. Pour cela, une PIRE de 46 dBW et un G/T de 18dB/K doivent être atteints.
- **Architecture** - Une architecture monofaisceau analogique à déphasage sur la voie RF (ABF) a été choisie par *Safran Data Systems* pour son bon compromis entre performance, complexité d'implémentation et coût.

Toutes les spécifications mentionnées précédemment sont résumées dans le Tableau I-2, qui représente le cahier des charges du système du point de vue global. Les spécifications systèmes préliminaires servent de base initiale pour établir ultérieurement le cahier des charges des circuits, comme détaillé dans les parties II.2.1 et III.1.5.

Tableau I-2 Spécifications du système

Spécifications système	
Dimensions	< 40 cm X 40 cm (TX) < 60 cm X 60 cm (RX)
Hauteur	< 10 cm
Poids	< 10 kg
Température de fonctionnement	-55°C à +85°C
Angle de dépointage	0 à 70° (EL) 0 à 360° (AZ)
Discrimination de polarisation	> 20 dB
Diagramme de rayonnement	ETSI EN 303978
Polarisation	RHCP/LHCP
Nombre de faisceaux	1 faisceau
Précision de pointage	< 0,2°
Temps de reconfiguration	< 10 ms
Spécifications Tx	
Fréquence	28,1 à 30,0 GHz
PIRE (@0°el)	> 46 dBW
Gain (@0°el)	> 39 dBi
Nombre d'éléments	4096 (16 tuiles de 256 éléments)
Spécifications Rx	
Fréquence	17,3 à 20,2 GHz
G/T (@0°el)	> 18 dB/K
Gain (@0°el)	> 41 dBi
Nombre d'éléments	4096 (16 tuiles de 256 éléments)

I.3.3. Objectifs de la thèse

Dans le cadre de cette thèse de doctorat, qui s'inscrit dans la continuité des travaux précédents, l'objectif est de développer un circuit actif de transmission capable de remplir deux fonctions principales : celle d'amplificateur de puissance à gain variable (VGPA : *Variable-Gain Power Amplifier*) et celle de déphaseur pilotable. Ces deux circuits clés seront intégrés derrière chaque élément rayonnant de l'antenne à dépointage électronique. Étant donné que les éléments rayonnants sont excités par deux lignes orthogonales représentant les polarisations verticale et horizontale, deux chaînes d'amplification et de déphasage identiques seront implantées sur une seule puce, comme illustré dans la Figure I.26. Cela permettra d'extraire simultanément les polarisations circulaires droite et gauche (RHCP et LHCP) à l'aide d'un coupleur hybride.

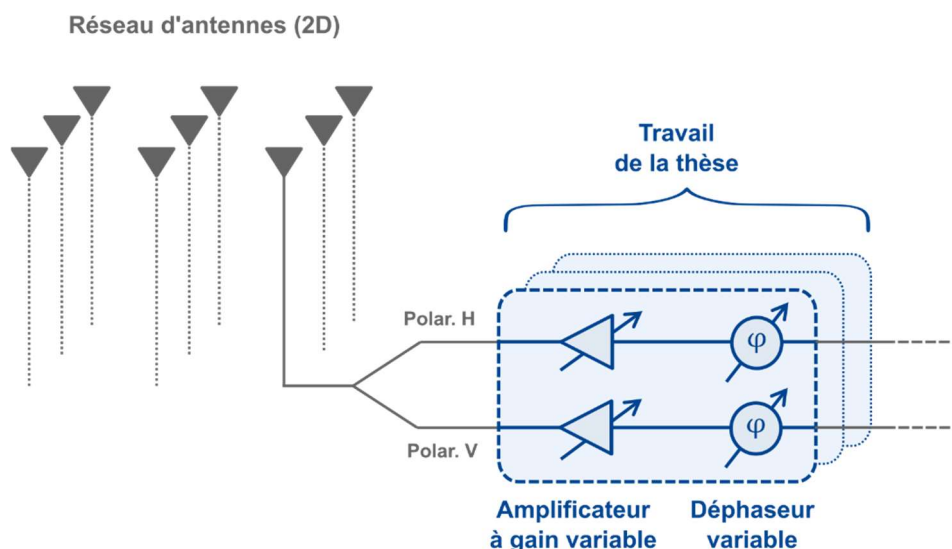


Figure I.26 : Cadre de la thèse

L'objectif de *Safran Data Systems* avec cette thèse est d'évaluer la faisabilité d'implémenter des circuits de la chaîne d'émission en utilisant une technologie en silicium-germanium (SiGe), afin de déterminer sa compatibilité avec leur application et préparer sa future industrialisation. Le choix de la technologie, ainsi que ses caractéristiques, sont discutés ci-après.

I.4. Choix de la technologie

Le transistor joue un rôle crucial en tant que composant d'un amplificateur, ce qui le rend déterminant pour ses performances. Depuis la création du premier transistor en 1947, son évolution a été marquée par une diversité de processus de fabrication. Aujourd'hui, il existe de nombreuses filières technologiques qui se distinguent les unes des autres en termes de matériaux semi-conducteurs employés, de structure du transistor et de capacité d'intégration. Cette diversité technologique permet une adaptation plus flexible aux différents besoins et applications.

Au cours des dernières décennies, la conception des amplificateurs de puissance (PAs) et amplificateurs à faible bruit (LNAs) dans la gamme des ondes millimétriques ont été réalisées principalement dans des technologies basées sur des semi-conducteurs du groupe III-V du tableau périodique (GaN, InP, GaAs). Ces technologies étaient préférées car elles permettaient une haute fréquence de fonctionnement par rapport aux technologies basées sur le silicium.

Afin de vérifier la viabilité d'une de ces technologies pour notre application, une première thèse dans le cadre de ce projet a été menée par Anaël Lohou [65]. Il a montré la conception de circuits actifs en GaAs pour la chaîne de réception, notamment un LNA et un déphaseur, et de bons résultats ont été obtenus. Cependant, *Safran Data Systems* a décidé de changer de filière, car la technologie en GaAs était incompatible avec l'application d'un grand réseau d'antennes en raison de son coût de production important et des difficultés d'association avec les circuits numériques. Une deuxième thèse menée par Rémy Bouché [66] a réalisé une étude comparative parmi les différentes technologies de circuits intégrés, et la technologie en SiGe a été retenue pour le projet en raison du bon compromis entre performance haute fréquence, coût et capacité d'intégration.

En effet, la réduction continue de la taille des composants dans les technologies SiGe au fil des années a permis aux transistors HBT (*Heterojunction Bipolar Transistor*) d'atteindre des vitesses suffisantes pour fonctionner dans les fréquences millimétriques. Cela a positionné les transistors HBT comme les principaux concurrents des semi-conducteurs du groupe III-V en termes de performances à haute fréquence. De plus, la possibilité d'avoir à la fois des transistors HBT et des MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) sur le même substrat permet l'intégration de circuits RF, analogiques et numériques sur une seule puce. Cela permet d'augmenter la densité d'intégration et de réduire les coûts de production. Ces technologies sont connues sous le nom de BiCMOS (*Bipolar Complementary Metal-Oxide-Semiconductor*).

I.4.1. Le transistor HBT et la technologie BiCMOS

Une homojonction est une structure formée par les mêmes matériaux semi-conducteurs (par exemple, le silicium) qui ont la même bande interdite, mais avec différents dopages. Cette structure est la base d'une jonction PN, telle que les diodes et les transistors bipolaires à jonction (BJT). En revanche, une hétérojonction (ou hétérostructure) est une séquence d'au moins deux couches de matériaux semi-conducteurs différents (par exemple, le silicium et le germanium) avec des bandes interdites distinctes, qui sont cultivées de manière épitaxiale les unes sur les autres.

Dans un transistor bipolaire à homojonction, le transport des électrons à travers la base est principalement réalisé par diffusion, un processus relativement lent. La région de la base est généralement formée par implantation dans la plupart des processus bipolaires au silicium, ce qui crée un champ de ralentissement pour les électrons. En variant la composition de la base, on peut obtenir une bande interdite progressive qui génère un champ de base accélérant, réduisant ainsi le temps de transit de la base et augmentant la fréquence de transition f_t . La fréquence de transition (f_t), également connue sous le nom de fréquence de coupure, est défini comme la fréquence pour laquelle le gain en courant du transistor atteint l'unité (0 dB). Physiquement, cette fréquence de transition dépend du temps de transit global τ_{EC} des porteurs entre les contacts de l'émetteur et du collecteur :

$$f_T = \frac{1}{2\pi \cdot \tau_{EC}} \quad (\text{E-3})$$

La fréquence maximale d'oscillation, f_{max} , est parfois un paramètre plus important que f_t . Il s'agit de la fréquence à laquelle le gain de puissance unilatéral maximal atteint l'unité. Elle est liée à la fréquence de transition f_t et aux paramètres intrinsèques du transistor par la relation E-4. Ces paramètres sont utilisés pour qualifier les performances à haute fréquence des transistors.

$$f_{max} = \sqrt{\frac{f_T}{8\pi \cdot R_B \cdot C_{BC}}} \quad (E-4)$$

À faibles valeurs de courants, f_t augmente linéairement avec la densité de courant. Lorsque la densité de courant est suffisamment élevée pour que la densité de porteurs minoritaires soit comparable à la concentration de dopage du collecteur, la largeur effective de la base augmente et le dispositif devient plus lent (effet Kirk). Une concentration de dopage plus élevée dans le collecteur est souhaitable car elle décale le début de l'effet Kirk vers une densité de courant plus importante (indiquant une fréquence de transition plus élevée). En revanche, cela abaisse la tension de claquage collecteur-base. Ainsi, il y a un compromis entre f_t et les tensions de claquage, car les deux dépendent fortement du dopage du collecteur.

L'ajout de germanium dans un processus Si entraîne une réduction de la bande interdite. Une concentration plus élevée de Ge entraînera une inclinaison de la bande de conduction, agissant comme un champ d'accélération pour les porteurs minoritaires dans la base. En raison de ce champ de dérive, les électrons se déplacent rapidement à travers la base, ce qui se traduit par un temps de transit de la base plus court. La concentration de Ge selon un profil graduel améliore également le gain de courant et la tension de Early (conductance de sortie) par rapport à un transistor à homojonction en silicium. De plus, une petite quantité de carbone est souvent introduite dans le cristal pour former un alliage SiGe:C. Le carbone, présent en faible proportion (entre 1% et 2%), remplit deux fonctions principales : empêcher la diffusion du bore (utilisé comme dopant) afin d'améliorer les performances, et retarder la formation de dislocations d'adaptation. Le principe de fonctionnement du transistor HBT est similaire à celui d'un transistor bipolaire classique : il se compose d'un émetteur (dopé N), d'une base (dopée P) et d'un collecteur (dopé N), formant ainsi une jonction NPN. L'application d'une tension V_{BE} (entre la base et l'émetteur) et V_{CE} (entre le collecteur et la base) permet de contrôler le courant du collecteur. La Figure I.27 présente la caractéristique de sortie du transistor pour différents modes de fonctionnement.

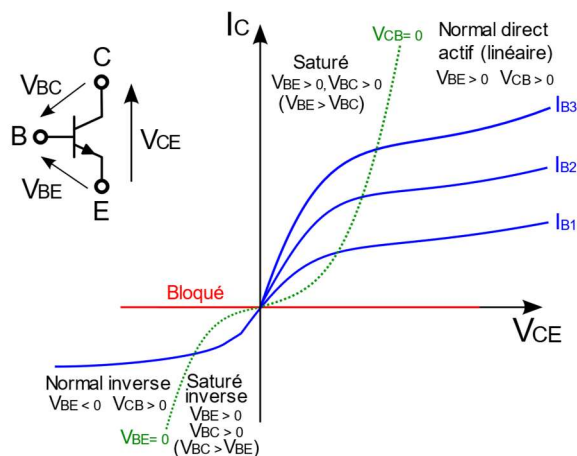


Figure I.27 : Régimes de fonctionnement du transistor bipolaire

Il existe trois zones de fonctionnement distinctes en fonction de la polarisation du transistor : bloqué, saturé et actif (normal direct). Pour l'amplification, le transistor fonctionnera en régime actif, où les tensions V_{BE} et V_{CB} sont positives. La Figure I.28 illustre le schéma des courants circulant à travers le transistor en polarisation actif.

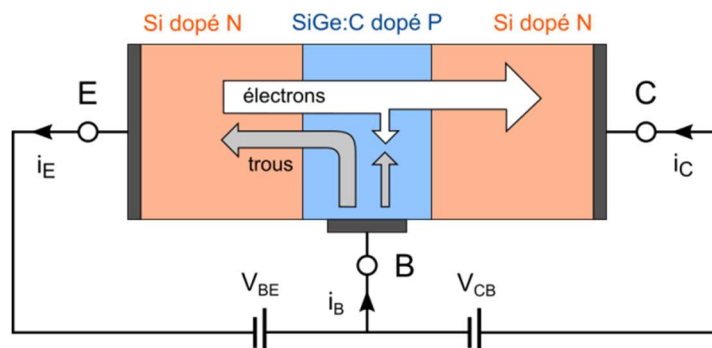


Figure I.28 : Bilan des courants dans le transistor en régime normal direct

I.4.2. Les technologies BiCMOS9MW et SG13G2 : un bref aperçu

La technologie BiCMOS9MW, développée par la fonderie franco-italienne STMicroelectronics, est une plateforme BiCMOS de 130 nm spécialement conçue pour les applications dans les ondes millimétriques. Cette technologie a été développée au début des années 2010 en se basant sur la technologie BiCMOS9, qui était initialement dédiée aux applications allant jusqu'à 40 GHz.

La technologie SG13G2, développée par la fonderie allemande IHP Microelectronics, est aussi une plateforme BiCMOS de 130 nm conçue pour les applications dans les ondes millimétriques. Cette technologie a été développée à la fin des années 2011 comme une évolution de la technologie SG13S, avec des transistors bipolaires plus performantes.

Un bref résumé des principales caractéristiques et de certains composants de ces technologies sera présenté ci-dessous.

I.4.2.1. Niveaux de métallisation (BEOL)

La technologie BiCMOS9MW, d'après [68], utilise un substrat silicium de 375 μm d'épaisseur présentant une permittivité diélectrique moyenne de $\epsilon_r \approx 4$ et une résistivité de 10 à 15 $\Omega\cdot\text{cm}$. La structure de couches se situant au-dessus du substrat, couramment appelée BEOL (*Back-end of line*), est constituée de 6 couches de métallisation en cuivre (M1 \rightarrow M6) surmontées d'une couche d'Aluminium (Alucap) et d'une couche de passivation en oxyde de silicium.

Alors que la technologie SG13G2 utilise un substrat silicium de 750 μm d'épaisseur présentant une permittivité diélectrique moyenne de $\epsilon_r \approx 11,9$ et une résistivité d'environ 50 $\Omega\cdot\text{cm}$. Le BEOL est constituée de 7 couches de métallisation, cinq couches fines (M1 \rightarrow M5) en Aluminium, une couche MIM très fine entre M5 et M6 pour les capacités, et deux couches plus épaisses en Aluminium de 2 μm et 3 μm (M6 et M7), au-delà de la couche de passivation en oxyde de silicium. Associé à un empilement diélectrique élevé, il permet d'améliorer les performances des composants RF passifs. La Figure I.29 présente une vue en coupe simplifiée de ces deux structures.

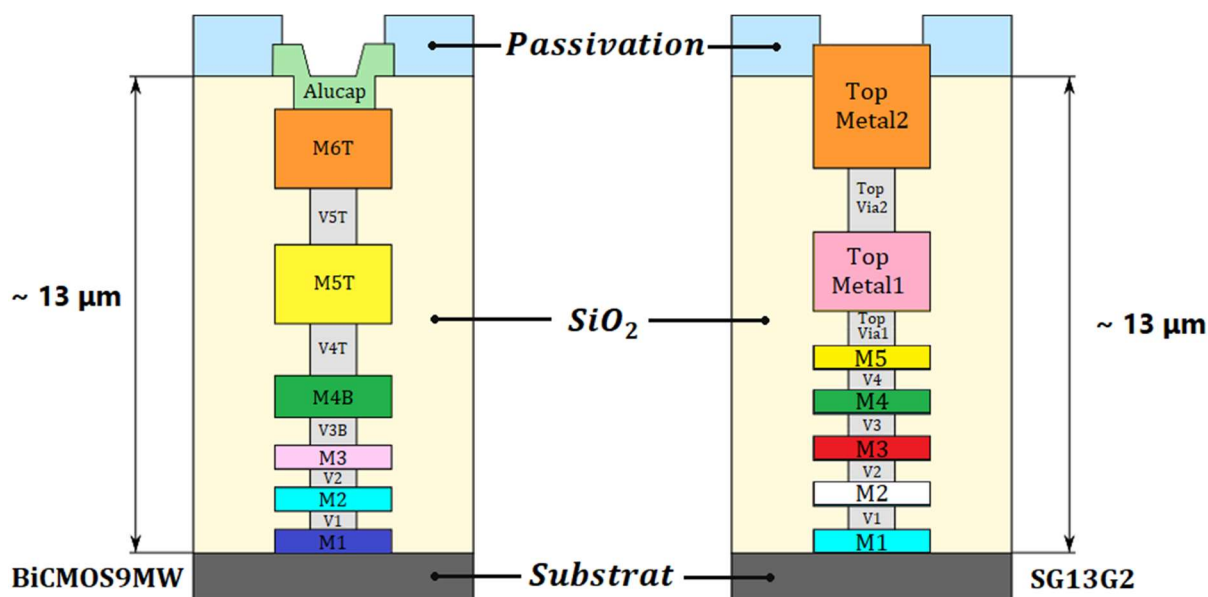


Figure I.29 : BEOL de la technologie BiCMOS9MW et SG13G2

I.4.2.2. Transistor HBT

Les paramètres f_t et f_{max} du transistor bipolaire à hétérostructure *n_pn_hs* (*high-speed*) de la technologie *BiCMOS9MW* sont annoncés respectivement à 230 GHz et 280 GHz [69], ce qui permet la conception millimétrique jusqu'à 100 GHz [70] pour certaines applications.

Le transistor est disponible dans trois configurations : *CBE*, *CBEB* et $N \times CBEBC$. La configuration *CBEB* est à privilégier car elle minimise la résistance de base et permet donc d'obtenir de meilleures performances pour f_T et f_{max} . Cette dernière configuration est aussi la seule permettant d'utiliser un transistor multi-doigts ($2 \leq N \leq 5$) pour atteindre des longueurs d'émetteurs élevés. En effet, la longueur d'un doigt d'émetteur est limitée à 15 μm dans cette technologie, mais la longueur équivalente d'un transistor multi-doigts est égale à son nombre de doigts multiplié par la longueur de ceux-ci. De plus, il présente une tension de claquage d'environ 1,6 V entre collecteur et émetteur.

En plus du transistor *n_pn_hs*, il existe également des transistor *n_pn_mv* (*medium voltage*) et *n_pn_hv* (*high voltage*) avec des tensions de claquages supérieurs, mais avec un faible f_t et f_{max} , n'étant pas faisable pour notre application.

Dans la technologie *SG13G2*, le transistor bipolaire à hétérojonction *n_pn_{13g2}* atteint une f_t et f_{max} de 350 GHz et 450 GHz respectivement. Le transistor n'est disponible que dans la configuration *CBE* et présente une tension de claquage d'environ 1,6 V entre collecteur et émetteur. La longueur d'émetteur est fixe à 900 nm sur cette configuration, mais le nombre de doigts est configurable entre 1 et 10.

Un deuxième transistor *n_pn_{13g2L}* où la longueur d'émetteur est variable (entre 1 μm et 2,5 μm) est aussi fourni, mais il présente un f_t légèrement inférieur de 330 GHz. Un troisième transistor *n_pn_{13g2V}* avec des tensions de claquages plus élevés est aussi fourni, mais avec un faible f_t de 120 GHz, n'étant pas faisable pour notre application.

Le Tableau I-3 résume les caractéristiques des transistors des deux technologies.

Tableau I-3 Caractéristiques des transistors HBT dans les technologies BiCMOS9MW (en bleu) et SG13G2 (en rouge)

Transistor	f_t (GHz)	f_{max} (GHz)	BV_{CEO} (V)	BV_{CBO} (V)
<i>npnhs</i>	230	280	1,6	5,5
<i>npnmv</i>	135	295	2,0	7,5
<i>npnhv</i>	60	210	3,5	13,5
<i>npn13g2</i>	350	450	1,6	4,8
<i>npn13g2L</i>	330	430	1,6	4,8
<i>npn13g2V</i>	120	330	2,5	8,5

I.4.2.3. Transistor MOSFET

Les deux technologies comportent des transistors MOS de type P et de type N avec différentes tensions de claquage, ce qui leur permet d'être utilisées dans différentes applications analogiques/numériques. La technologie BiCMOS9MW fournit des transistors MOS de deux types : un avec un oxyde de grille mince pour la logique numérique (1,2 V) et un autre avec un oxyde épais pour une alimentation de 2,5 V. La technologie SG13G2 fournit aussi des transistors MOS avec un oxyde de grille mince pour la logique numérique (1,2 V) et un autre avec un oxyde épais pour une alimentation de 3,3 V.

I.4.2.4. Résistances

Dans les technologies BiCMOS9MW et SG13G2, les résistances sont composées d'une couche de poly-silicium reliée par deux accès au premier niveau de métallisation. La valeur de la résistivité ρ est modifiée selon le type de dopage utilisé (N+ ou P+) et la présence ou non d'une couche de siliciure (*siliced/unsiliced*). Au total, il y a quatre types de résistances sur la technologie BiCMOS9MW et trois sur la technologie SG13G2. Ces différentes classes sont présentées sur le Tableau I-4.

Tableau I-4 Caractéristiques des résistances dans les technologies BiCMOS9MW (bleu) et SG13G2 (rouge)

Resistor type	Abréviation	R_{\square} (Ω/\square)
<i>N+ siliced Poly</i>	RPO1SAB	10
<i>N+ non-siliced Poly</i>	RPO1B	120
<i>P+ non-siliced Active</i>	RPDIFF	135
<i>P+ non-siliced Poly</i>	RPO1PB	320
<i>N+ siliced Poly</i>	RSIL	7
<i>P+ non-siliced Poly</i>	RPPD	260
<i>Non-siliced Partially Poly</i>	RHIGH	1360

I.4.2.5. Capacités

Les capacités disponibles dans la technologie BiCMOS9MW sont des capacités MIM (*Metal Insulator Metal*) composées de deux armatures comprises entre le niveau M5 et M6. Les électrodes sont proches l'une de l'autre et séparées par une couche isolante de nitrure à haute permittivité ($\epsilon_r = 11$). Ce procédé permet d'obtenir des facteurs de qualité de plusieurs dizaines et une densité capacitive de $2 \text{ fF}/\mu\text{m}^2$. Des capacités de 29 fF à 40 pF sont réalisables. Les capacités disponibles dans la technologie SG13G2 sont aussi des capacités MIM composées de deux plaques parallèles comprises entre le niveau M5 et M6. Les plaques sont séparées par une couche isolante de nitrure avec une permittivité $\epsilon_r = 6,5$. Ce procédé permet d'obtenir des facteurs de qualité de plusieurs dizaines et une densité capacitive de $1,5 \text{ fF}/\mu\text{m}^2$.

I.4.2.6. Inductances

Les modèles d'inductance inclus dans le *design-kit* de la technologie BiCMOS9MW sont de forme octogonale et utilisent les couches métalliques supérieures (M5, M6 et Alucap). Afin de diminuer les courants d'induction dans le substrat, un plan de masse en motif PGS (*Pattern Ground Shield*) composé de doigts en poly-silicium est utilisé sous l'inductance dans le but d'améliorer l'isolation avec le substrat et d'y supprimer les courants induits magnétiquement. Il en résulte un meilleur facteur de qualité et une meilleure isolation, bien que l'efficacité de ce plan de masse soit limitée à haute fréquence. Deux types d'inductance sont fournis : *ind_lohq* et *ind_lamw*. La première est une inductance d'un tour à faible valeur (entre 0,1 et 0,6 nH) pour les applications où un fort facteur de qualité (entre 15 et 35) est souhaitable. La deuxième est une inductance multi-tour (entre 2 et 9) avec un facteur de qualité inférieur (entre 10 et 25) pour les applications où une grande valeur d'inductance (entre 0,4 et 26 nH) est souhaitable. Le modèle est fidèle pour être utilisé dans des simulations à basses fréquences, cependant, pour obtenir des résultats de simulation fiables à hautes fréquences, il est impératif d'avoir recours à un simulateur électromagnétique.

La technologie SG13G2 ne fournit qu'une inductance multi-tour octogonale configurable (entre 1 et 10) avec des valeurs d'inductance selfie entre 33 pH et 287 nH . Cependant, le *design-kit* n'inclut pas un modèle complet pour les simulations *schematic*, étant indispensable l'utilisation d'un simulateur électromagnétique. Cette inductance utilise les couches métalliques supérieures (TopMetal1 et TopMetal2) et n'a pas de plan de masse PGS.

I.4.3. Bilan

Il est possible de conclure que les deux technologies conviennent à notre application, car les transistors HBT des deux technologies peuvent efficacement fonctionner dans les ondes millimétriques. En outre, les deux *design-kits* comportent également des transistors MOS et des composants passifs qui peuvent être utilisés dans différentes applications analogiques/numériques.

Du point de vue des performances à haute fréquence, la technologie SG13G2 devrait être privilégiée, car elle comporte des transistors HBT plus performants. Cependant, *Safran Data Systems* a décidé de travailler en priorité avec la technologie BiCMOS9MW de la fonderie franco-italienne STMicroelectronics afin de privilégier la souveraineté française. Toutefois, comme nous le verrons au chapitre 3, la technologie de la fonderie allemande IHPMicroelectronics sera également utilisée.

Chapitre II

Conception de l'Amplificateur de Puissance à Gain Variable

Sommaire

Chapitre II. Conception de l'Amplificateur de Puissance à Gain Variable	63
II.1. Amplificateurs à Gain Variable	63
II.1.1. Introduction	63
II.1.2. Paramètres de performance	65
II.1.2.1. Puissance de sortie, de saturation et bilan de puissance	65
II.1.2.2. Efficacité énergétique	66
II.1.2.3. Gain de puissance	67
II.1.2.4. Bande passante et plage de gain dynamique	67
II.1.2.5. Linéarité	68
II.1.3. État de l'art des VGA en bande Ka	69
II.2. Conception du VGPA	74
II.2.1. Cahier des charges	74
II.2.2. Choix de l'architecture	76
II.2.3. Conception de l'étage de puissance	77
II.2.3.1. Choix de la topologie	77
II.2.3.2. Adaptation d'impédance en grand signal	79
II.2.3.2.1. Analyse <i>Load-Pull</i>	79
II.2.3.3. Conception du layout	83
II.2.3.3.1. Méthodologie de simulation <i>post layout</i>	83
II.2.3.3.2. Résultats <i>post-layout</i>	85
II.2.4. Conception de l'étage à gain variable	86
II.2.4.1. Conception de l'étage de contrôle (Convertisseur Numérique Analogique)	87
II.3. Simulations <i>post-layout</i>	89
II.3.1. VGPA complet	89
II.3.2. Comparaison avec le cahier des charges	92
II.3.3. Comparaison avec l'état de l'art	92

Chapitre II. Conception de l'Amplificateur de Puissance à Gain Variable

II.1. Amplificateurs à Gain Variable

II.1.1. Introduction

Un critère très important pour tout système de communication sans fil est la plage de gain dynamique, car elle est liée à la capacité d'un émetteur-récepteur à traiter un signal. La compensation de gain et l'apodisation du signal sont des tâches réalisables grâce à cela.

Les réseaux d'antennes à dépointage électronique en bande Ka requièrent non seulement un contrôle de phase individuel à chaque élément rayonnant, mais également un contrôle de gain afin de :

- Compenser les variations de gain/perte des déphaseurs,
- Compenser les variations de gain entre les éléments rayonnants,
- Réduire les lobes latéraux grâce à l'apodisation

L'utilisation d'amplificateurs à gain variable (VGA : Variable Gain Amplifier) est l'un des moyens les plus efficaces de fournir un réglage de gain pour les blocs clés, tels que les amplificateurs de puissance (PA : Power Amplifier) et les amplificateurs à faible bruit (LNA : Low Noise Amplifier).

C'est pourquoi l'amplificateur VGA est l'un des éléments les plus importants pour réaliser un système d'antenne réseau à dépointage électronique. La Figure II.1 montre un schéma simplifié d'un émetteur-récepteur avec des réseaux de réception (Rx / rouge) et d'émission (Tx / bleu). Le VGA joue un rôle fondamental à la fois dans la transmission et la réception.

Selon la façon dont les VGA sont conçus et selon la partie du système où ils sont implémentés (en Rx ou Tx), des variantes du même type apparaissent. Les amplificateurs à faible bruit à gain variable (VGLNA : Variable Gain Low Noise Amplifiers) sont une variante de VGA qui comprend, en plus d'un étage à gain variable, un étage d'entrée adapté au bruit, afin de réduire le facteur de bruit global (NF) du récepteur. En revanche, si l'amplificateur VGA comprend, en plus d'un étage à gain variable, un étage de sortie adapté en puissance, il pourrait être défini comme un amplificateur de puissance à gain variable (VGPA) (voir Figure II.1).

Quelle que soit la nomenclature utilisée, ce qui ne change pas, ce sont les techniques de réglage du gain. Des topologies classiques pour réaliser un VGA utilisant des transistors bipolaires à jonction (BJT) sont illustrées à la Figure II.2.

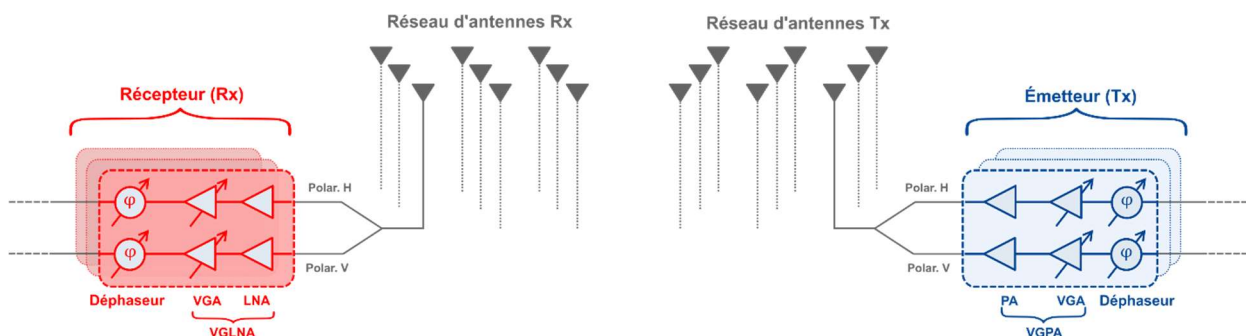


Figure II.1 Émetteur-récepteur (Rx/Tx) à dépointage électronique (*front-end*) en bande Ka

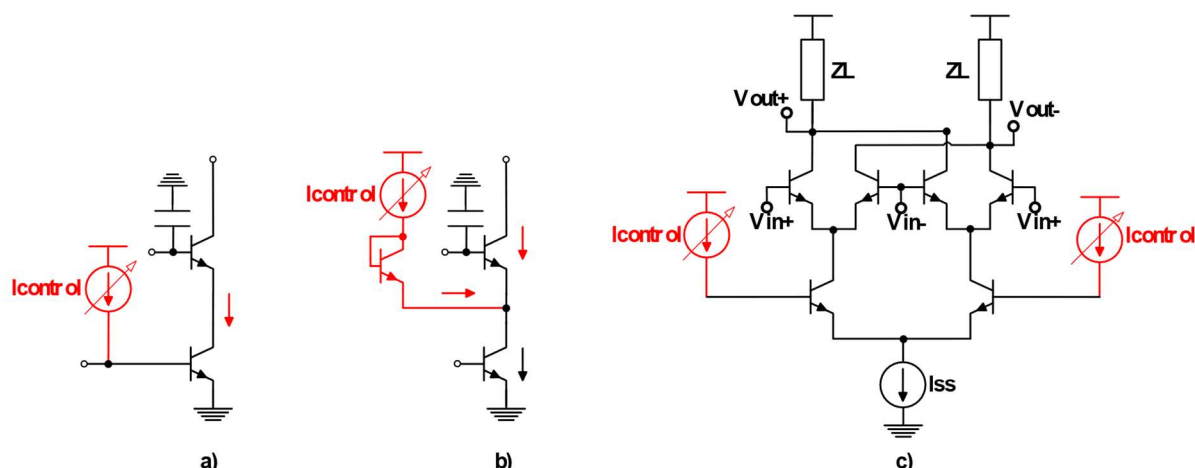


Figure II.2 Topologies classiques des VGAs. Topologies émetteur commun (a), *cascode current-steering* (b) et cellule de Gilbert (c)

Le moyen le plus simple pour fournir un gain variable consiste à contrôler le courant de collecteur d'un transistor en émetteur commun (EC) à partir du contrôle du courant de base, comme illustré sur la Figure II.2.a. En effet, en faisant varier le courant de base d'un transistor bipolaire, il est possible de contrôler le courant du collecteur et, par conséquent, la transconductance et le gain de l'amplificateur. Un inconvénient de cette topologie est l'inévitable variation d'impédance due à la variation du point de polarisation. La forte isolation de la structure cascode peut réduire l'effet des changements de gain sur l'impédance source de l'étage de sortie. Néanmoins, l'impédance d'entrée reste sensible aux variations de gain.

La topologie cascode pilotée par courant (*cascode current steering*) est une autre topologie largement utilisée pour fournir un réglage de gain (Figure II.2.b). Dans ce cas, le courant du cascode est contrôlé en injectant un courant externe entre les transistors EC et BC. En utilisant la loi de Kirchoff, il est facile de constater que le courant continu dans l'émetteur commun sera égal à la somme des courants injectés plus le courant circulant dans le BC. Étant donné que le courant continu de l'étage EC est presque le même sous différents courants de commande injectés, l'impédance d'entrée de cette structure reste relativement constante pendant le réglage du gain. De plus, la forte isolation de l'étage cascode peut minimiser les effets des fluctuations de gain sur l'impédance source de l'étage de sortie.

Une autre topologie très courante pour fournir un gain variable consiste à utiliser une cellule Gilbert (Figure II.2.c). La topologie VGA classique basée sur les cellules Gilbert contrôle le gain en ajustant le courant de polarisation du premier niveau du transistor et peut atteindre une large plage de contrôle du gain avec une faible variation de phase. Cette topologie est exclusivement de type différentiel.

Néanmoins, les topologies VGAs précédemment rapportées peuvent difficilement atteindre simultanément des performances de linéarité et d'invariance de phase d'un système, comme indiqué dans [71],[72]. Pour surmonter ce problème, plusieurs techniques peuvent être mises en œuvre dans ces topologies, telles que la double commande de courant (*dual current steering*) [73], l'utilisation de réseaux à capacités commutées [74], l'utilisation de circuits de compensation [75], l'utilisation de techniques de neutralisation capacitive [73], [76], entre autres.

Avant de passer à l'état de l'art des VGAs en bande Ka, où certaines de ces techniques seront succinctement discutées, il est nécessaire de définir les principaux paramètres de performances qui caractérisent ce type d'amplificateurs.

II.1.2. Paramètres de performance

II.1.2.1. Puissance de sortie, de saturation et bilan de puissance

L'un des principaux objectifs de la conception d'un amplificateur de puissance est de fournir une certaine puissance à une charge. La puissance de sortie est l'une des principales caractéristiques de performance de l'amplificateur, et sa valeur maximale est largement déterminée par l'impédance de charge et l'alimentation électrique. La puissance maximale théorique (à la fréquence fondamentale) dans une charge purement résistive est définie par l'équation E-5 où V_{out} est la tension de sortie maximale à la fréquence d'intérêt et R_L est l'impédance de la charge (généralement 50 Ω).

$$P_{out} = \frac{V_{out}^2}{2R_L} \quad (E-5)$$

Le schéma de la Figure II.3 montre l'équilibre des puissances dans un PA. La puissance de sortie (P_{out}) est définie comme celle délivrée à la charge à laquelle l'amplificateur est connecté. La puissance P_{in} représente celle effectivement entrant dans l'amplificateur, tandis que P_{disp} est la puissance disponible à la sortie de celui-ci. La puissance P_{avs} représente celle disponible depuis la source, tandis que P_{DC} est la puissance continue dissipée dans l'amplificateur. Les impédances caractéristiques de la source et de la charge (Z_S et Z_L) sont généralement égales à 50 Ω .

Dans la Figure II.4, la relation entre la puissance de sortie (P_{out}) et la puissance disponible depuis la source (P_{avs}) pour un amplificateur de puissance implémenté est illustrée. Sur ce graphique, on observe l'évolution de la puissance de sortie en fonction de l'augmentation de la puissance d'entrée disponible. La valeur maximale possible que P_{out} peut atteindre est appelée puissance de sortie saturée (P_{sat}). Dans cette région, des augmentations de P_{avs} n'affecteront plus P_{out} et donc, pour une polarisation fixe, cela entraînera une réduction du gain et de l'efficacité énergétique.

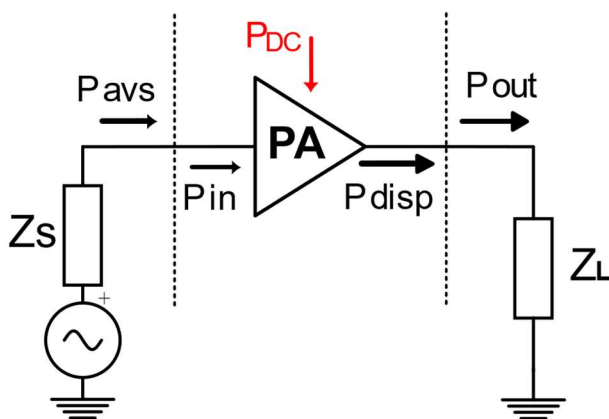
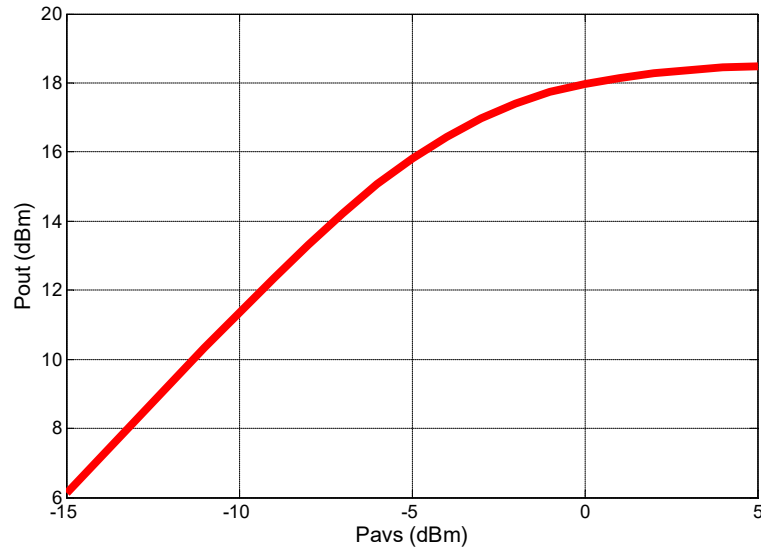


Figure II.3 Bilan de puissance de l'amplificateur de puissance

Figure II.4 Puissance de sortie (P_{out}) et puissance de sortie saturée (P_{sat})

II.1.2.2. Efficacité énergétique

La consommation d'énergie est un paramètre crucial lors de la conception de système de communication sans fil. Étant donné que la majorité de l'énergie dissipée dans un émetteur se produit dans l'amplificateur de puissance, l'efficacité énergétique de ce bloc joue un rôle crucial dans l'optimisation de la consommation énergétique totale du système. Ainsi, les amplificateurs de puissance doivent être capables de transférer et d'amplifier efficacement la puissance disponible de la source vers la charge. Sans cela, une partie de la puissance sera dissipée sous forme de chaleur, entraînant une augmentation de la température dans le transistor, ce qui se traduira par de mauvaises performances, voire dans le pire des cas, par la surchauffe et la détérioration du dispositif.

L'efficacité maximale est limitée par la classe de fonctionnement de l'amplificateur et est affectée par des éléments parasites dans le circuit. Il existe deux définitions d'efficacité : l'efficacité de drain (η) et le PAE (*Power Added Efficiency*). L'efficacité de drain, présentée dans l'équation E-6 décrit la relation entre la puissance de sortie et la puissance continue dissipée. Généralement, le PAE présenté dans l'équation E-7 est plus significatif et utilisé pour prendre en compte la puissance d'entrée. En se basant sur cette dernière observation, il est noté que pour un gain élevé, c'est-à-dire lorsque P_{out} est beaucoup plus important que P_{in} , le PAE sera équivalent à l'efficacité de drain.

$$\eta (\%) = \frac{P_{out}}{P_{DC}} \times 100 \quad (\text{E-6})$$

$$\text{PAE} (\%) = \frac{P_{out} - P_{in}}{P_{DC}} \times 100 \quad (\text{E-7})$$

II.1.2.3. Gain de puissance

Il existe différentes terminologies de gain de puissance dans les amplificateurs, en raison des désadaptations d'impédance à leur entrée et à leur sortie. Le gain de puissance du transducteur (équation E-8) établit la relation entre la puissance de sortie (P_{out}) et la puissance disponible par la source (P_{avs}). Le gain de puissance opérationnel (équation E-9) définit la relation entre la puissance de sortie (P_{out}) et la puissance à l'entrée de l'amplificateur (P_{in}). Enfin, le gain de puissance disponible (équation E-10) établit le rapport entre la puissance disponible en sortie de l'amplificateur (P_{disp}) et la puissance disponible par la source (P_{avs}). Le gain du transducteur (G_T) est le plus utilisé, car il prend en compte tous les effets des désadaptations, ce qui en fait la terminologie utilisée tout au long du manuscrit.

$$G_T = \frac{P_{out}}{P_{avs}} \quad (E-8)$$

$$G_p = \frac{P_{out}}{P_{in}} \quad (E-9)$$

$$G_{disp} = \frac{P_{disp}}{P_{avs}} \quad (E-10)$$

II.1.2.4. Bande passante et plage de gain dynamique

La bande passante d'un amplificateur est définie comme la différence entre les points de demi-puissance inférieur et supérieur par rapport à la fréquence centrale (Figure II.5), également connue sous le nom de bande passante à -3 dB. La plage de gain dynamique se réfère à la capacité à varier le gain d'un signal sur une gamme spécifiée (Figure II.5). Une large plage de gain est essentielle pour garantir la performance, la robustesse et la flexibilité des antennes à dépointage électronique, en permettant une adaptation précise aux conditions changeantes tout en maintenant des niveaux de signal optimaux.

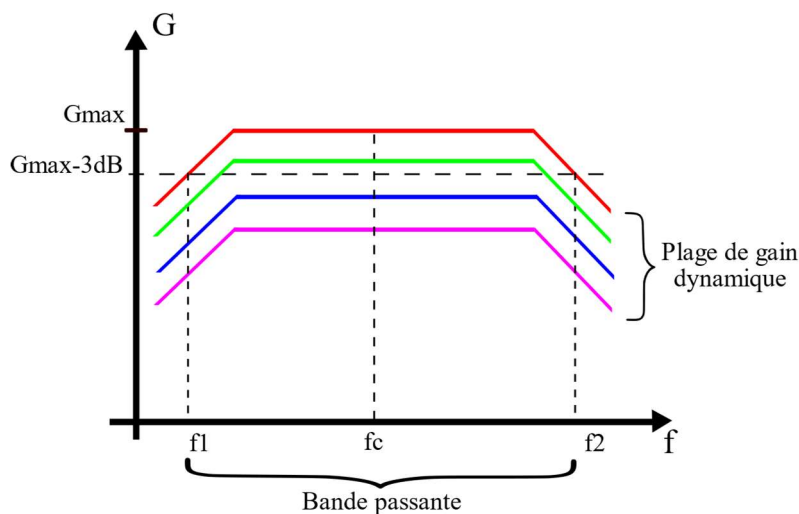


Figure II.5 Bande passante et plage de gain dynamique

II.1.2.5. Linéarité

Un autre paramètre de performance important d'un amplificateur est la linéarité. Celui-ci décrit la capacité d'un PA à amplifier le signal avec un niveau limité de distorsion. Un amplificateur répond de manière linéaire pour de faibles valeurs de puissance du signal d'entrée. À mesure que le niveau du signal augmente, une variation de gain se produit en raison des non-linéarités intrinsèques au dispositif actif.

La compression de gain survient lorsque la relation entre la puissance d'entrée et la puissance de sortie n'est plus linéaire. Lorsque la puissance de sortie est inférieure de 1 dB à la réponse idéale attendue, on obtient le point de compression à 1 dB (P_{1dB}). Ce paramètre peut être référencé à la puissance d'entrée (IP_{1dB}) ou à la puissance de sortie (OP_{1dB}). Cette non-linéarité est parfois également désignée sous le nom de conversion AM-AM (modulation d'amplitude). Graphiquement, ce point est obtenu en extrapolant la courbe fondamentale à de faibles niveaux d'entrée et en observant où la différence entre l'extrapolation et la courbe fondamentale est de 1 dB (Figure II.6).

En traçant la phase du signal de sortie en fonction du signal d'entrée, une autre non-linéarité peut être observée : la conversion amplitude-phase (AM-PM). Cette non-linéarité provoque une distorsion du signal qui affecte les paramètres EVM (*Error Vector Magnitude*) et ACLR (*Adjacent Channel Leakage Ratio*) utilisés pour qualifier les modulations complexes. Le premier quantifie l'erreur entre le symbole de sortie et le symbole de référence dans une constellation donnée. Un ACLR élevé indiquera une interférence dans les canaux voisins en raison de l'apparition de lobes latéraux de puissance (*spectral regrowth*).

Ce travail se concentrera sur les mesures du point de compression à 1 dB, car c'est le plus simple à obtenir et le plus utilisé dans la littérature scientifique.

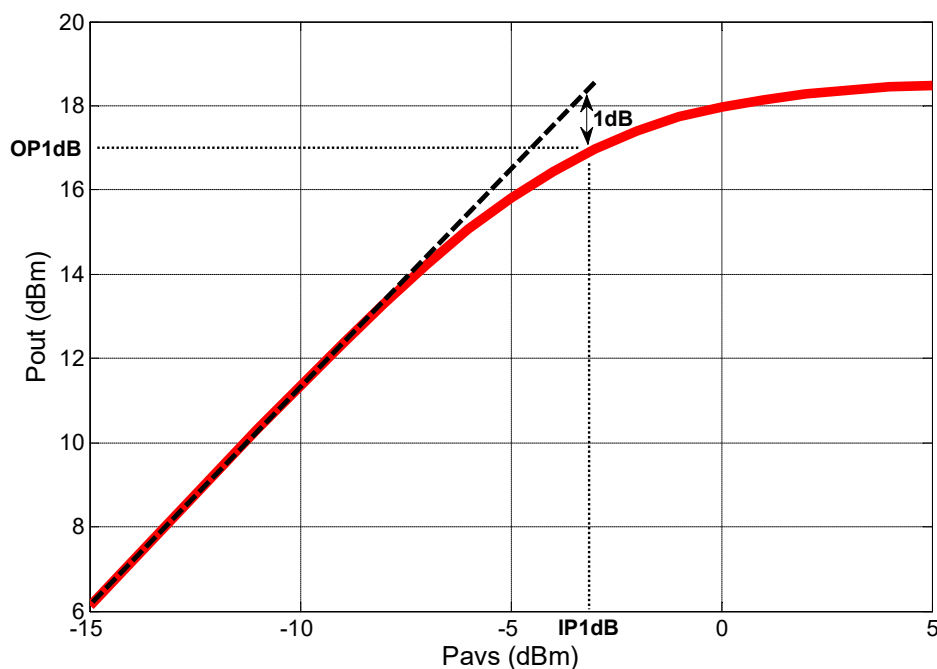


Figure II.6 Point de compression de 1 dB. Rouge (fondamental), noir (extrapolation)

II.1.3. État de l'art des VGA en bande Ka

Dans cette section, nous résumons les travaux situés dans l'état de l'art, en comparant leurs principaux paramètres de performance (Tableau II-1) et en décrivant brièvement leurs topologies.

Tableau II-1 État de l'art des VGA en bande Ka

Réf.	Année	Type	Tech.	Nombre de Bits	Fc (GHz)	Bande passante à 3 dB (GHz)	Gain max (dB)	ΔG (dB)	Psat (dBm)	OP_{1d} (dBm)	PAE (%)	PDC (mW)	NF min (dB)	Surface (mm ²)
[77]	2015	VGPA	180 nm SiGe	4	28	21.8 – 32.1	16	14.2	11.1	9,6	55	22.5	-	0,72 (puce)
[78]	2016	VGA	130 nm SiGe	Continu	28	26 – 30	20	18	-	-	-	35	-	-
[73]	2019	VGA	65 nm CMOS	2	27,5	25.7 – 29.2	21.2	5	-	-0,2	-	8	-	0,167 (puce)
[79]	2019	VGLNA	65 nm CMOS	Continu	31	29,1 – 33,1	20,8	10,6	-	-	-	26,7	3,71	0,39 (puce)
[76]	2020	VGA	65 nm CMOS	7	25.5	23.5 – 27.5	29,4	6,2	-	6,3	-	103	4,8	0,36 (puce)
[80]	2022	VGA	65 nm CMOS	Continu	29	27,5 – 29,5	18,7	8,3	9,5	5,1	-	30	4,6	0,11 (puce)
[81]	2022	VGA	130 nm SiGe	5	20	15 - 25	15	15	-	11	26,9	67,7	-	0,45 (puce)
[82]	2022	VGPA	65 nm CMOS	5	26	23,1 - 29	33,1	31,1	16,7	16	29,5	-	-	0,1265 (core)
[74]	2022	VGPA	130 nm SiGe	7	28	24 – 29,5	23,6	7	18*	16	22,1	214,5	-	0,274 (core)
[83]	2022	VGPA	65 nm CMOS	4	39	34,7 – 43,5	38,9	5,2	17,6	13,4	34,5	150	-	0,2964 (core)

Le travail [77] propose un amplificateur VGPA large bande entièrement différentiel à 2 étages avec réutilisation de courant. Le courant de base de l'amplificateur du premier étage est fourni par un convertisseur de courant binaire linéaire, tandis que l'étage supérieur différentiel utilise une polarisation fixe. Le circuit est fabriqué en utilisant un processus SiGe BiCMOS de 0,18 μm de Tower Jazz Semiconductor, avec une surface de puce de 890 μm x 810 μm . Le PGA proposé dispose d'une capacité de commutation à double bande qui peut fonctionner dans les bandes K et Ka, atteignant un PAE de 55,9 %, à une P_{sat} de 11,1 dBm, et un contrôle de gain sur 4 bits allant de 1,8 dB à 16 dB, avec une bande passante à 3 dB de 21,8 GHz à 32,1 GHz.

Dans [78], les auteurs décrivent une technique pour concevoir un amplificateur de gain variable (VGA) invariant de phase. Le gain variable est obtenu en faisant varier le courant de polarisation dans un BJT, tandis que la variation de phase est minimisée en concevant un réseau de rétroaction local de manière que la tension appliquée de la base à l'émetteur présente une variation de phase dépendante de la polarisation qui compense la variation de phase inhérente à la transconductance. Deux variantes de VGA différentielles à 28 GHz basées sur ces principes sont mises en œuvre. Dans la première variante, le premier étage dans la Figure II.7 atteint le contrôle du gain en faisant varier le courant de commande de

polarisation dans un miroir de courant du générateur de polarisation, comme illustré. Dans cette implémentation, le deuxième étage est utilisé comme inverseur de phase avec une polarisation et un gain fixe. Pour obtenir une plage de contrôle de gain plus large, la deuxième variante est conçue avec une commande de courant à la fois dans le premier étage et deuxième étage. Mis en œuvre dans la technologie GF 8HP BiCMOS, les VGA réalisent une variation de phase $< 5^\circ$ sur une plage de contrôle de gain de 8 dB et 18 dB, une bande passante de 4 GHz et un $IP_{1dB} > -13$ dBm tout en consommant 35 mW.

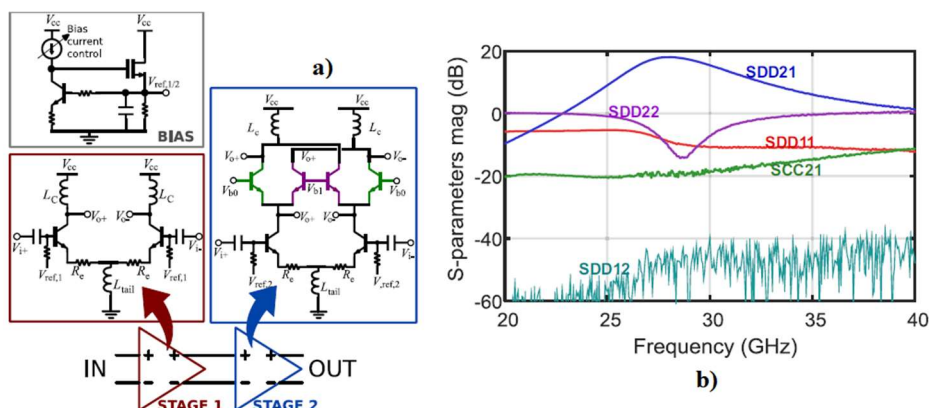


Figure II.7 Schéma électrique (a) et résultats mesurés en paramètres S (b) du travail [78]

Le travail [73] propose un VGA cascode avec une double commande de courant (*dual current steering*) pour améliorer la linéarité, ainsi qu'un amplificateur à source commune avec neutralisation de la capacité, comme on peut le voir dans la Figure II.8.a. La commande de courant sur M1 permet d'obtenir un gain variable à partir de la transconductance variée de M1, tandis que la puissance de sortie reste constante en raison du courant constant sur M2. Les courants sur M1 et M3 sont contrôlés par les miroirs de courant M11, M12 et M31. Le circuit a été fabriqué en utilisant la technologie TSMC CMOS 1P9M de 65 nm. Le VGA, à l'exception des PADs, occupe une surface de puce de $0,34 \text{ mm} \times 0,49 \text{ mm}$. Le gain mesuré était de 21,2 dB à 27,5 GHz et la bande passante mesurée à 3 dB s'étendait de 25,75 GHz à 29,25 GHz. La plage de contrôle de gain mesurée allait de 16,2 dB à 21,2 dB avec un pas de 1,7 dB. L' OP_{1dB} mesuré était de -1,4 à -0,2 dBm, avec un PAE de 7,7 % à 9,5 % entre 27 et 29 GHz pour toutes les étages de gain.

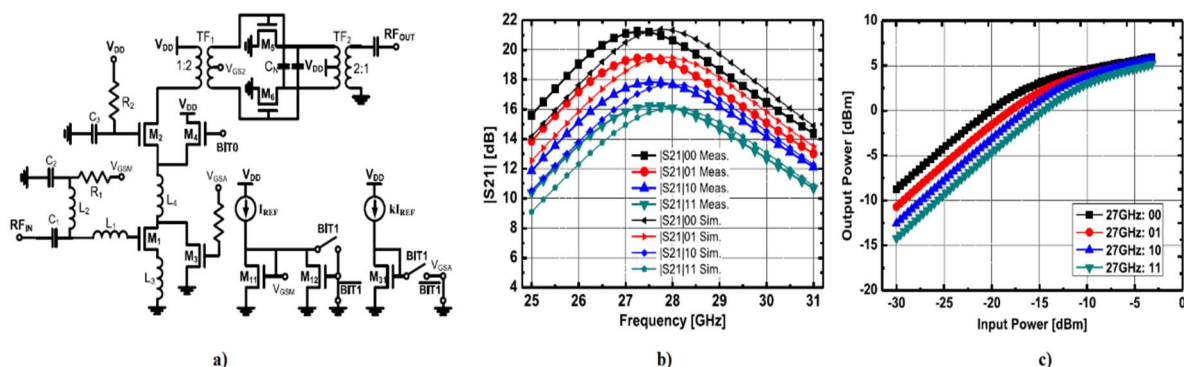


Figure II.8 Schéma électrique (a) gain dynamique mesuré en paramètres S (b) et puissance de sortie (c) du travail [73]

Un VGLNA mis en œuvre dans un processus CMOS 65 nm pour une puce de formation de faisceau est présenté dans le travail [79], dont la phase reste constante pendant les variations

de gain. La caractéristique de compensation de phase est obtenue en introduisant un PMOS shunt et une résistance parallèle aux sorties différentielles des transistors à grille commune (CG). Cela permet de contrôler le gain sans variation de phase en ajustant la tension de grille combinée du transistor CG et du PMOS shunt en même temps. Le dispositif proposé présente un gain de 20,8 dB et un facteur de bruit de 3,71 dB à 31 GHz. Il présente aussi une plage dynamique de gain de 10,6 dB à 30-34,5 GHz.

Dans le travail [76], un VGA en bande Ka avec une résolution de gain élevée et une faible variation de phase est proposé et conçu. Le VGA utilise une topologie à trois étages à source commune différentielle (CS), comme illustré à la Figure II.9. Les étages d'entrée et de sortie fournissent un gain fixe, tandis que l'étage intermédiaire fournit un contrôle de gain variable généré par un CNA (convertisseur numérique-analogique) à 6 bits. Le VGA proposé est réalisé en utilisant une technologie CMOS 65 nm, et la taille du cœur de la puce sans les PADS est de 0,36 mm². Basé sur la technique de neutralisation croisée capacitive (CCCN) et une structure de condensateur asymétrique, le VGA atteint une résolution de gain de 0,2 dB avec un contrôle de gain numérique à 7 bits dans la plage de 23 GHz à 28 GHz. Le gain maximum est de 29,4 dB avec une bande passante à 3 dB de 23,5 GHz à 27,5 GHz.

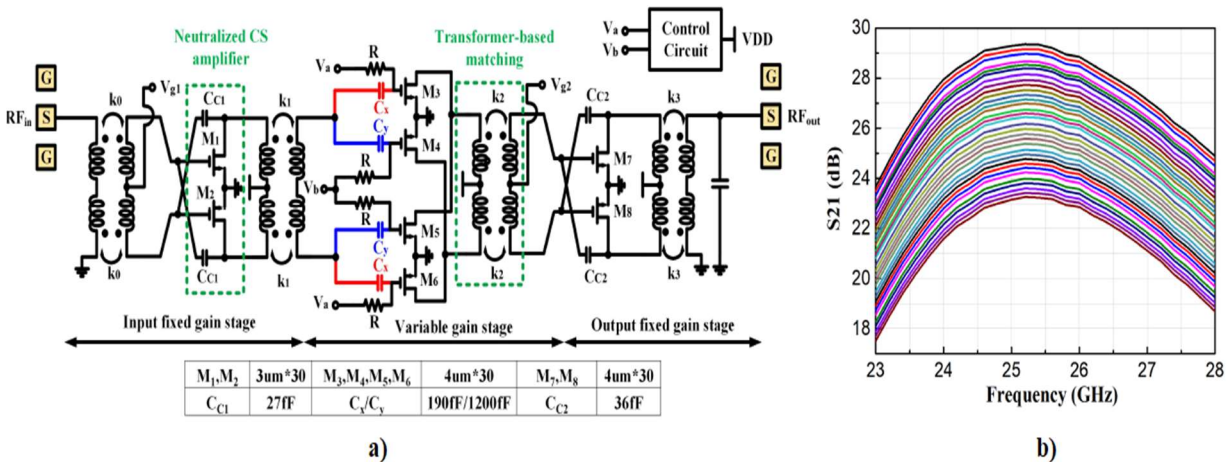


Figure II.9 Schéma électrique (a) et gain dynamique mesuré en paramètres S du travail [76]

Dans [80], un amplificateur VGA à deux étages est proposé dans un processus standard CMOS RF 65 nm. La compensation de phase pendant la variation du gain est réalisée grâce à la variation dynamique de phase complémentaire dans le premier étage. Le deuxième étage est utilisé pour augmenter le gain et maintenir la linéarité. Figure II.10(a) montre le schéma de l'amplificateur VGA proposé. Le réglage du gain est réalisé en ajustant les tensions de polarisation de grille V_{CON1} et V_{CON2} . Avec la définition du gain $A = (RF_{out}/RF_{in})$, la variation d'amplitude de A liée aux tensions de réglage V_{CON1} et V_{CON2} peut être observée dans la Figure II.10(b), indiquée par la ligne en pointillés. L'amplificateur VGA fabriqué présente une surface du cœur de 760 $\mu\text{m} \times 150 \mu\text{m}$ (0,11 mm²). Le gain mesuré avec différents réglages de V_{CON1} est illustré dans la Figure II.10(c). La bande passante à 3 dB s'étend de 25 à 35 GHz. Cette conception atteint un gain de crête de 18,7 dB et une plage de réglage de gain continue de 8,3 dB. L' OP_{1dB} maximal mesuré est de 5,1 dBm, et OIP3 est de 9,3 dBm à 28 GHz (Figure II.10(d)).

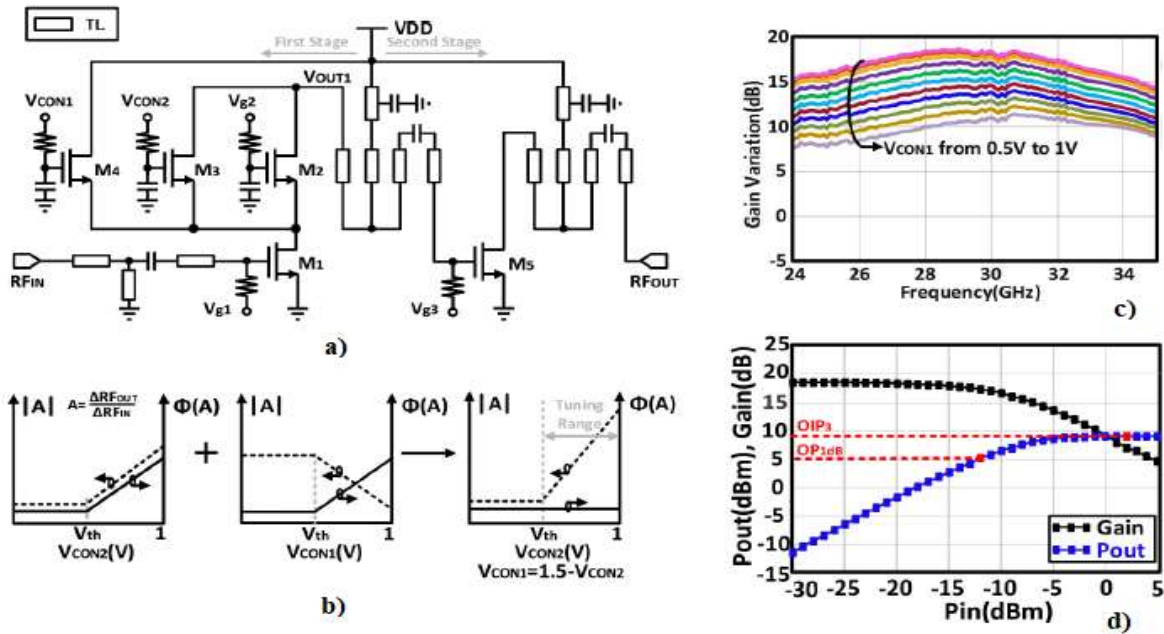


Figure II.10 Schéma électrique (a), variation d'amplitude (b), gain dynamique (c) et puissance/gain en fonction de Pin du travail [80]

Le travail [81] propose un amplificateur VGA en technologie SiGe 130 nm. Une résistance de rétroaction négative est utilisée dans la source de courant pour étendre la plage de variation de gain et améliorer la linéarité. La Figure II.11(a) montre un schéma du VGA en bande K proposé. Il se compose de deux étages, l'étage d'entrée est un étage de gain variable et l'étage de sortie est un étage de gain fixe. L'étage à gain variable utilise une structure cascode pour augmenter le gain. Dans le même temps, pour la méthode de contrôle du gain par biais de courant réglable utilisée, l'isolement élevé de la structure en cascode peut réduire l'effet des variations de gain sur l'impédance source de l'étage de sortie. Une faible polarisation est utilisée dans les deux étages de l'amplificateur pour obtenir une efficacité plus élevée dans l'étage de puissance et une sensibilité plus élevée aux variations de gain dans l'étage de gain variable. La puce fabriquée a une surface de 0,45 mm², y compris les PADs. Une tension de contrôle à 5 bits de 1,2 V est utilisée et, sur la base des résultats de mesure, 16 états ont été sélectionnés, ce qui permet d'obtenir une variation de gain de 15 à 0 dB par pas de 1 dB. L' OP_{1dB} mesuré est de 9,5 à 12,4 dBm à 16-24 GHz.

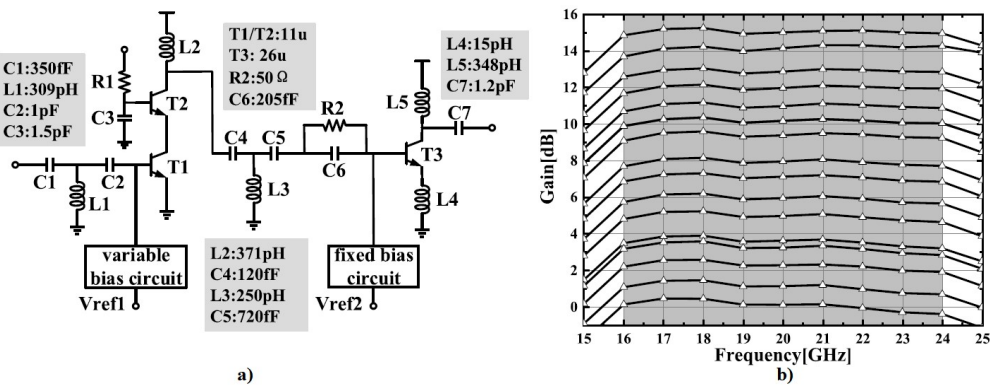


Figure II.11 Schéma électrique (a) et gain dynamique mesuré du travail [81]

Dans le travail [82], les auteurs proposent la conception d'un amplificateur de puissance à gain variable (VGPA) avec une technique d'amélioration du P1dB. Le VGPA proposé se compose d'un amplificateur de puissance à post distorsion (PDPA) et d'un amplificateur de gain variable (VGA), permettant d'obtenir respectivement un haut point de compression à 1 dB (P1dB) et un gain variable. Pour améliorer les performances de P1dB, une technique de *post distortion* est proposée. Le prototype du VGPA est fabriqué dans un processus CMOS 65 nm avec une surface du coeur de 0,55 mm × 0,23 mm. Le VGPA a un gain maximum de 33,1 dB et une plage de gain dynamique de 31,1 dB avec un pas de 1 dB. La bande passante à 3 dB s'étend de 23,1 à 29 GHz. Le VGPA a un OP_{1dB} de 16 dBm avec un PAE de 29,5 % et une P_{sat} de 16,7 dBm avec un PAE maximum de 34 % à 26 GHz.

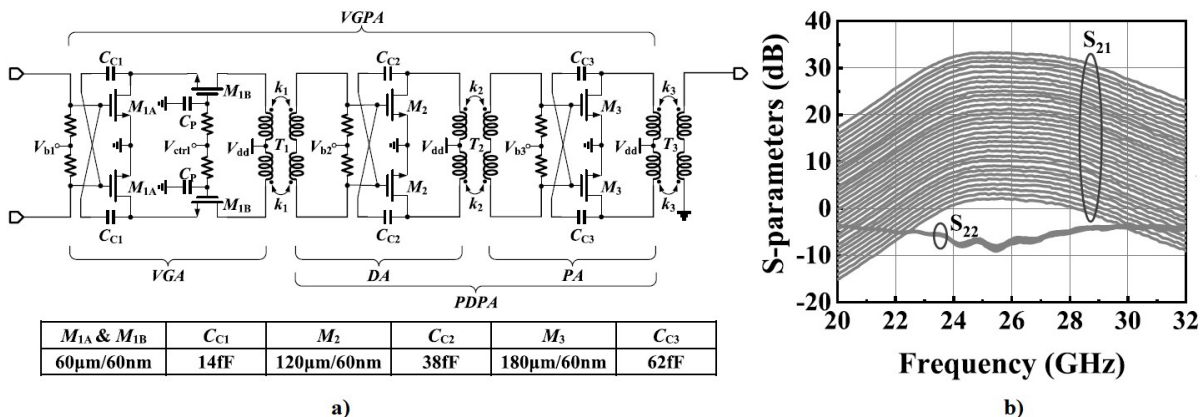


Figure II.12 Schéma électrique (a) et gain dynamique mesuré du travail [82]

Le travail [74] propose VGPA avec un réseau de capacités commutés (CA) utilisé dans le circuit cascode qui permet le contrôle du gain tout en maintenant la linéarité. L'inductance employée entre les transistors CE et CB sert à supprimer la variation de phase lorsque le gain change. Le signal d'entrée est une paire de signaux différentiels. Le transformateur (XF) et la capacitance C1 forment l'adaptation inter-étages. Le balun et la ligne de transmission forment l'adaptation de sortie. Le VGPA a été fabriqué dans une technologie BiCMOS SiGe 0,13 µm avec une surface du coeur de 0,59 mm × 0,46 mm. À 24/26/28/29,5 GHz, le VGPA présente une plage d'accord de 5,7/5,5/7,0/7,5 dB. Sur la bande de fréquence de 5,5 GHz de 24 à 29,5 GHz, l' OP_{1dB} est supérieur à 14 dBm. Le PAE maximum mesuré est de 22,1 % à 28 GHz.

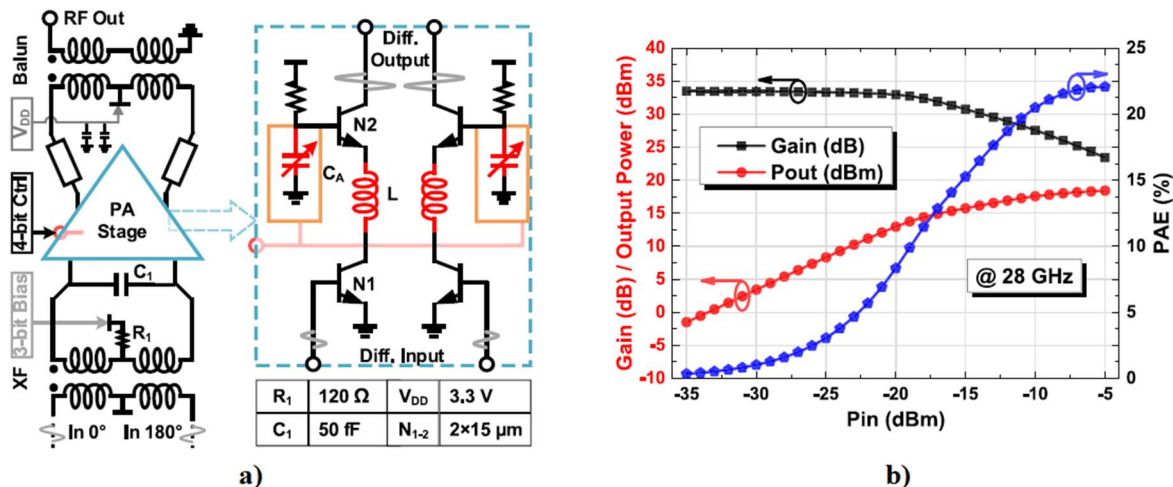


Figure II.13 Schéma électrique (a) et Pout/Gain/PAE mesuré en fonction de Pin du travail [74]

Dans [83], les auteurs présentent un VGPA à inversion de phase dans la bande de 39 GHz pour la communication 5G, comme illustré dans la Figure II.14(a). Dans le premier étage, la topologie Gilbert à gain variable est adoptée en raison de ses avantages en termes d'isolation élevée et de gain de puissance élevé. De cette manière, l'étage de réglage du gain est placé loin de la borne de sortie, garantissant la linéarité du VGPA et ses performances en termes de puissance de sortie. Dans le deuxième et troisième étages, les topologies à source commune neutralisée par capacité sont utilisées pour promouvoir la puissance de sortie et les performances de gain. En particulier, pour obtenir de bonnes performances de gain et de PAE la densité de courant de polarisation et l'impédance de sortie de le troisième étage sont optimisées. Fabriqué dans un processus CMOS 65 nm, le VGPA proposé a une surface de 0,39 mm × 0,76 mm. Figure II.14(b) montre les paramètres S mesurés aux états de phase 0°/180°. À l'état de phase 0° (courbes noires), le VGPA atteint le gain maximal de 38,7 dB dans la bande passante à 3 dB de 35,5 à 43,5 GHz. À l'état d'inversion de phase de 180° (courbes bleues), le VGPA atteint le gain maximal de 38,9 dB avec une bande passante à 3 dB de 34,7 à 43,5 GHz. Plus de 5 dB de plage de réglage de gain sont obtenus dans les deux cas. La Fig. 9(c) montre la puissance de sortie mesurée, le PAE et le gain de puissance en fonction de la puissance d'entrée à 39 GHz. Aux états de gain maximal de 0°/180°, le VGPA a des P_{sat} de 17,7/17,6 dBm et des OP_{1dB} de 13,2/13,36 dBm, avec des PAE correspondantes de 35 %/34,5 % et 13,6 %/14,4 %, respectivement.

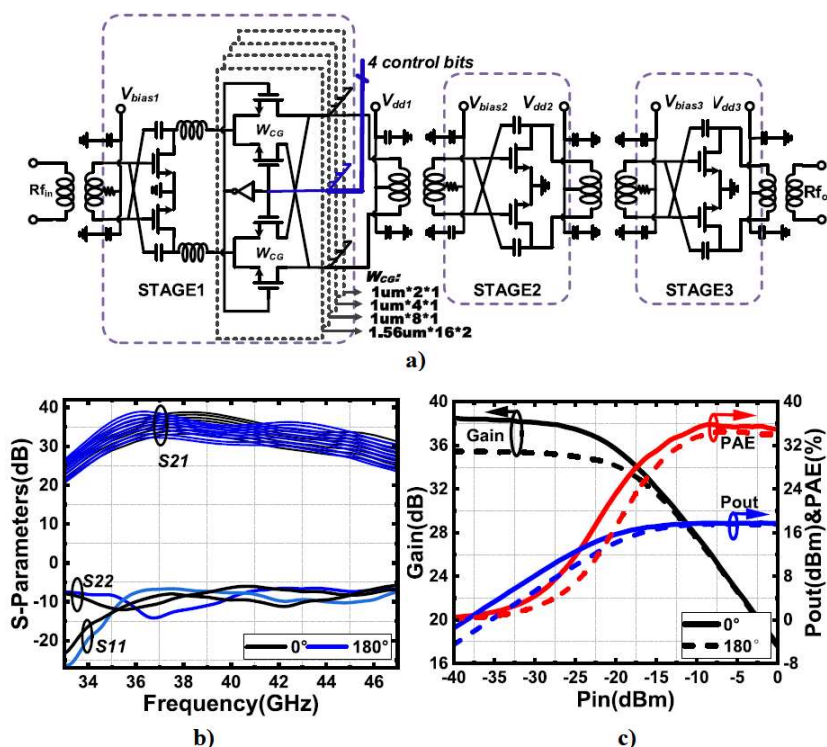


Figure II.14 Schéma électrique (a) gain dynamique mesuré (b) et P_{out} /Gain/PAE mesuré en fonction de P_{in} du travail [83]

II.2. Conception du VGPA

II.2.1. Cahier des charges

Dans cette partie, le cahier de charges du VGA sera détaillé. Les principaux critères ont été définis lors de la création du projet sur la base des spécifications du système (Tableau I-2), D'autres ont évolué au fil des années, tandis que quelques-uns ne sont pas encore

définitivement établis. Une brève description des principaux critères de performance suit, et les spécifications préliminaires du VGA sont ensuite résumées dans le Tableau II-2.

- **Gain et plage de gain dynamique** - Un gain supérieur à 20 dB est attendu pour que l'amplificateur puisse compenser suffisamment les pertes des déphaseurs, du mélangeur, des lignes de transmission, etc. Le gain doit également être relativement plat dans la bande. De plus, une plage de gain dynamique de 12 dB est nécessaire : 6 dB pour compenser les dispersions des états de phase du déphaseur et 6 dB pour l'apodisation du signal.
- **Nombre de bits** - Une résolution de 3 bits (8 états) est fixée pour fournir la plage de gain requise. Il est également prévu d'obtenir une variation discrète en dB entre les différents états de gain.
- **Point de saturation (P_{sat}) et point de compression à 1 dB (OP_{1dB})** - Une puissance de sortie saturée (P_{sat}) de 15 dBm et un point de compression à 1 dB en sortie (OP_{1dB}) de 11 dBm doivent être atteints à la charge, quelle que soit la taille des antennes.
- **Surface** - La surface du circuit emboîté est limitée par la maille élémentaire du réseau d'antennes (égale à $\lambda/2 = 0,5 \text{ cm}$ @30 GHz) puisque chaque élément rayonnant est relié à une puce. Le choix du boîtier pour l'intégration n'a pas encore été déterminé, mais il devra pouvoir contenir le circuit complet en double polarisation, comprenant 2 VGPA, 2 déphaseurs, ainsi que les circuits de contrôle et les pads. Si l'on se base sur les caractéristiques d'un boîtier typique tel que le QFN 8×8 qui rentrerait dans cet espace, la surface du circuit intégré avant encapsulation est de $3,1 \text{ mm} \times 3,1 \text{ mm} = 9,6 \text{ mm}^2$, ce qui nous permet d'estimer une contrainte de surface maximale de $1,5 \text{ mm}^2$ par VGPA.
- **Consommation** - En raison du grand nombre de circuits présents sur l'antenne (plusieurs milliers d'éléments), et étant donné que le VGPA représente le principal consommateur d'énergie d'un émetteur-récepteur, il est impératif de gérer la consommation d'énergie du circuit avec précaution. Étant donné qu'il y aura 2 VGPA par élément rayonnant (un pour chaque polarisation), une spécification de 100 mW par VGPA est souhaitable. Cependant, ce critère n'est pas définitivement fixé et le PAE devrait être le principal critère à respecter.
- **PAE** - L'efficacité énergétique est l'un des principaux facteurs dans la conception d'un PA. Cependant, ce critère n'avait pas encore été établi lors de la création et de la définition du cahier des charges du projet. En analysant l'état de l'art des VGA en bande Ka décrit dans la section précédente il est aujourd'hui estimé une valeur de PAE de 20% à atteindre.
- **Adaptation** – Pour la fabrication d'un premier démonstrateur, l'impédance de sortie de l'amplificateur est fixée à 50Ω . L'idée est que le VGPA final soit conçu avec l'élément rayonnant. L'impédance d'entrée pourra quant à elle être adaptée à l'impédance de sortie du déphaseur qui précède le VGPA. Les modules des paramètres $S_{1,1}$ et $S_{2,2}$ devront présenter une valeur maximale de -10 dB sur l'ensemble de la bande.

Tableau II-2 Spécifications préliminaires du VGA

Paramètre	Min	Typique	Max	Unité
Bande de fréquence	27	-	31	GHz
Gain	20	22	-	dB
Plage de Gain (ΔG)	-	12	-	dB
Nombre de bits	-	3	-	Bits
P_{sat}	-	15	-	dBm
OP_{1dB}	-	11	-	dBm
Surface	-	-	1,5	mm ²
Consommation	-	0,1	-	W
PAE	-	20	-	%
Adaptation ($ S_{1,1} $ & $ S_{2,2} $)	-	< -10	-	dB

Dans un premier temps, l'objectif est de concevoir un premier démonstrateur d'amplificateur que satisfait ce cahier des charges. À partir des résultats, ces spécifications pourront être mises à jour pour les prochaines conceptions.

II.2.2. Choix de l'architecture

Dans la conception d'un amplificateur, qu'il s'agisse d'un LNA, d'un PA ou autre, cela consiste essentiellement à concevoir trois blocs fondamentaux : un réseau d'adaptation à l'entrée, un bloc d'amplification (composant actif) et un réseau d'adaptation à la sortie, en plus du circuit de polarisation. Un schéma simplifié d'un amplificateur est présenté dans la Figure II.15.

Le réseau d'adaptation à l'entrée agit en transformant l'impédance observée par le transistor, cherchant à maximiser le transfert de puissance entre la source et le bloc d'amplification. On peut en dire autant pour le réseau d'adaptation à la sortie, dont la fonction est de transformer l'impédance observée à la sortie du transistor, cherchant à maximiser le transfert de puissance entre le bloc d'amplification et la charge, et ainsi maximiser les performances de l'amplificateur. Ces réseaux d'adaptation sont généralement réalisés à l'aide de composants passifs.

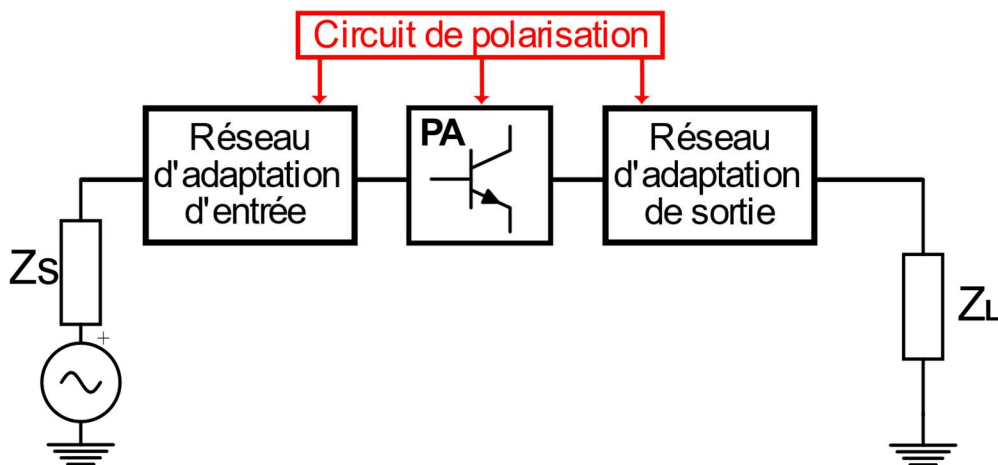


Figure II.15 Diagramme bloc d'un amplificateur

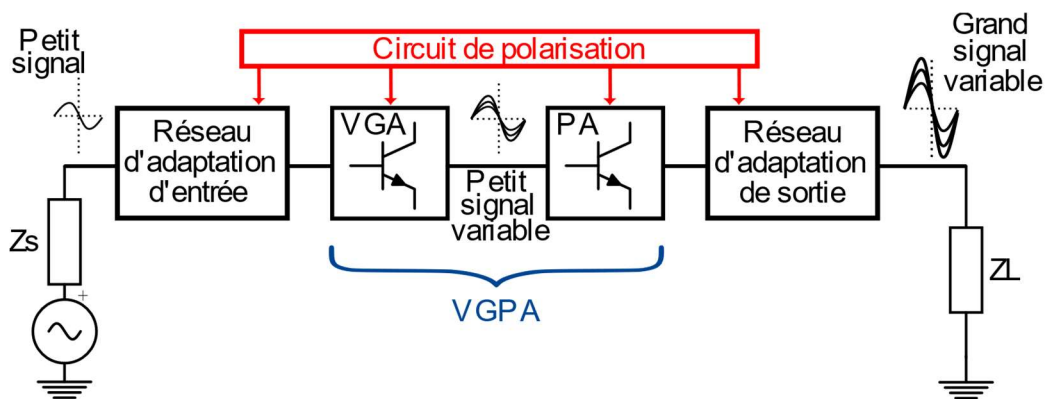


Figure II.16 Diagramme bloc d'un VGA complet

Dans notre cas, où nous envisageons de concevoir un VGPA, au moins deux étages d'amplification seront donc nécessaires. L'un sera chargé de fournir le niveau de puissance souhaité à la charge (étage de puissance), et l'autre spécialement conçu pour assurer la variation de gain (étage à gain variable). Il est important de séparer les deux fonctions pour maximiser les performances du circuit tout en conservant la stabilité et les adaptations d'entrée/sortie. Le schéma simplifié de l'architecture qui sera conçue est présenté dans la Figure II.16. Nous allons d'abord concevoir l'étage de puissance, puis l'étage à gain variable.

II.2.3. Conception de l'étage de puissance

II.2.3.1. Choix de la topologie

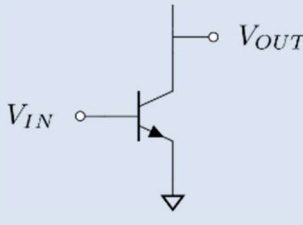
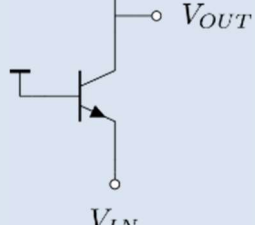
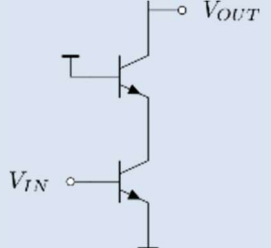
Le bloc d'amplification (étage de puissance) peut être conçu selon différentes topologies. Dans le cas de transistors bipolaires en tant que composant actif, les trois topologies les plus courantes et utilisées sont : émetteur commun (CE), base commune (CB) et cascode. Les caractéristiques de ces trois topologies sont résumées dans le Tableau II-3.

La topologie émetteur commun (CE), en comparaison avec les autres, offre un gain raisonnable et génère la plus faible Figure de Bruit (NF) parmi les topologies. En revanche, cette topologie est celle qui présente la plus mauvaise isolation en sens inverse (surtout à hautes fréquences), entraînant une plus grande dépendance entre l'entrée et la sortie, et donc étant plus susceptible d'instabilités.

La topologie base commune (CB) présente beaucoup moins de rétroaction à hautes fréquences que la topologie émetteur commun (CE), ce qui la rend plus stable et simplifie l'adaptation à l'entrée et à la sortie. Cependant, cette topologie est celle avec le gain le plus faible, en plus de présenter une Figure de Bruit (NF) qui augmente avec la fréquence.

La topologie cascode consiste à la mise en série d'un transistor à base commune (CB) connecté à un transistor à émetteur commun (CE). C'est la plus polyvalente des trois topologies, offrant le gain de signal le plus stable sur la plus large bande passante avec seulement un léger compromis en termes de performance de NF. En raison de la présence de la base commune, la rétroaction entre la sortie et l'entrée est minimisée, c'est-à-dire qu'elle présente une isolation en sens inverse élevée. La topologie cascode offre un meilleur gain que les deux autres topologies, mais nécessite une tension d'alimentation plus élevée, ce qui a un impact sur la consommation d'énergie.

Tableau II-3 Comparatif des topologies [84]

	Émetteur commun (CE)	Base commune (CB)	Cascade
			
Gain	Moyen	Faible	Élevé
Linéarité	Moyenne	Bonne	Très bonne
Bande passante	Étroite	Moyenne	Large
Stabilité	Exige souvent une compensation	Bonne	Bonne
Isolation	Faible	Bonne	Bonne
NF	Faible	Élevé	Légèrement plus que CE

Cependant, avant de fixer la topologie de cet étage, quelques considérations doivent être faites quant au choix des transistors HBT à utiliser. Tout d'abord, il faut établir que pour cette conception la technologie utilisée sera la BiCMOS9MW de STMicroelectronics (section I.4.2). Le transistor en configuration CBEBEC avec un f_t plus élevé (*nfnhs*) a été choisi automatiquement car ses concurrents (avec une tension de claquage plus élevée) ne sont pas capables de fournir un gain élevé à 30 GHz (puisque ses f_t sont de 135 et 60 GHz). De plus, les tensions de claquage de cet HBT (*nfnhs*) sont $BV_{CEO} = 1,6$ V et $BV_{CBO} = 5,5$ V. La tension de claquage BV_{CBO} est généralement beaucoup plus grand que BV_{CEO} , en raison du gain de courant continu (β) du transistor. Ainsi, l'utilisation d'une topologie à base commune est préférable à celle à émetteur commun, car la première est limitée par une tension de claquage plus élevée (BV_{CBO}). Une tension de claquage plus élevée permet une plus grande excursion de tension, et par conséquent, une augmentation de la puissance de sortie. La topologie cascode est souvent utilisée car elle présente les avantages d'une topologie à base commune tout en offrant un gain et une isolation en sens inverse plus élevés, ce qui améliore la stabilité. Comme la sortie de la topologie cascode est mise en œuvre par une configuration à base commune, l'excursion maximale de tension de sortie sera limitée par BV_{CBO} . Le transistor en base commune du cascode agit comme un buffer de courant pour l'émetteur commun, supportant la majeure partie de la tension continue. D'autre part, l'émetteur commun agit comme un étage de transconductance et contrôle le courant continu dans la topologie. De plus, la topologie cascode est supérieure en termes de bande passante. Pour ces raisons, la topologie cascode est choisie pour l'étage de puissance. Cependant, des variantes de la topologie cascode, telles que le *stacked cascode* [85], peuvent être envisagées si les spécifications de conception (notamment P_{sat}) ne peuvent pas être atteintes en utilisant la topologie cascode conventionnelle.

II.2.3.2. Adaptation d'impédance en grand signal

L'adaptation d'impédance vise à minimiser les réflexions entre une source et une charge, ce qui permet de maximiser le transfert de puissance. Il existe deux approches pour l'analyse de l'adaptation d'impédance. Lors de la conception de circuits fonctionnant à de faibles niveaux de signaux, tels que l'amplificateur à faible bruit (LNA), on utilise l'approche des petits signaux. Dans cette approche, on peut déterminer les trois types différents de gain de puissance (E.8, E.9 et E.10) en termes de paramètres S (Annexe I) et de coefficients de réflexion (Γ_S et Γ_L) (Annexe II). Ces définitions de gain diffèrent principalement par la manière dont la source et la charge sont adaptées au circuit. La plus utile est le gain du transducteur (G_T), car il prend en compte les désadaptations entre la source et la charge. Dans la condition où l'entrée et la sortie sont les complexes conjugués des impédances de la source et de la charge respectivement, le gain de puissance est maximisé et donc $G_T = G_P = G_{disp}$.

Cependant, lors de la conception de PAs, l'analyse des petits signaux ne peut généralement pas être prise en compte, car le dispositif est souvent poussé vers une région de fonctionnement non linéaire. Par conséquent, les exigences visant à maximiser la puissance de sortie de l'amplificateur diffèrent généralement de celles utilisées pour maximiser le gain de puissance en petits signaux. Dans de telles conditions, les impédances optimales de source et de charge ne correspondent plus nécessairement aux complexes conjugués des impédances d'entrée et de sortie. La valeur d'impédance de charge optimale pour une puissance de sortie maximale est déterminée par des mesures ou des simulations de *Load-Pull*. Cette approche sera discutée ci-dessous, tandis que l'analyse des petits signaux peut être bien évaluée dans les références [86], [87].

II.2.3.2.1. Analyse *Load-Pull*

Pour évaluer l'impact de l'impédance de charge sur la puissance qui lui est fournie, on utilise l'approche *Load-Pull*. Cela implique de faire varier systématiquement les parties réelles et imaginaires de l'impédance de charge, ce qui permet de tracer des contours de puissance constante sur l'abaque de Smith (Annexe II). L'ensemble de ces contours est connu sous le nom de diagramme de *Load-Pull*. Cette approche est utilisée dans l'analyse non linéaire car, en analyse linéaire, il existe des méthodes plus simples et rapides, que ce soit en simulation ou en mesure, qui donnent déjà des résultats satisfaisants. La dérivation de l'approche analytique de cette méthode a été proposée pour la première fois dans [88] pour un amplificateur de puissance en *GaAs*.

Dans la méthode par mesure, le dispositif sous test (DUT : *Device Under Test*) est connecté entre des tuners (qui vont synthétiser des impédances), et ces tuners sont connectés au circuit de polarisation. Un contrôleur (par exemple, un ordinateur) gère simultanément la puissance fournie par le générateur de signal, la puissance mesurée à l'analyseur de puissance, et les tuners, fournissant ainsi les mesures de *Load-Pull*, comme illustré sur la Figure II.17.

La méthode par simulation consiste à ajouter un tuner connecté entre la sortie du transistor et la charge. Le tuner est configuré pour synthétiser un large éventail d'impédances à afficher à la sortie du transistor. Dans cette analyse, il est possible d'obtenir le comportement de certains des principaux paramètres de performance d'un amplificateur de puissance pour une large gamme d'impédances synthétisées. En plus des contours de puissance, d'autres paramètres tels que le PAE sont également importants à analyser.

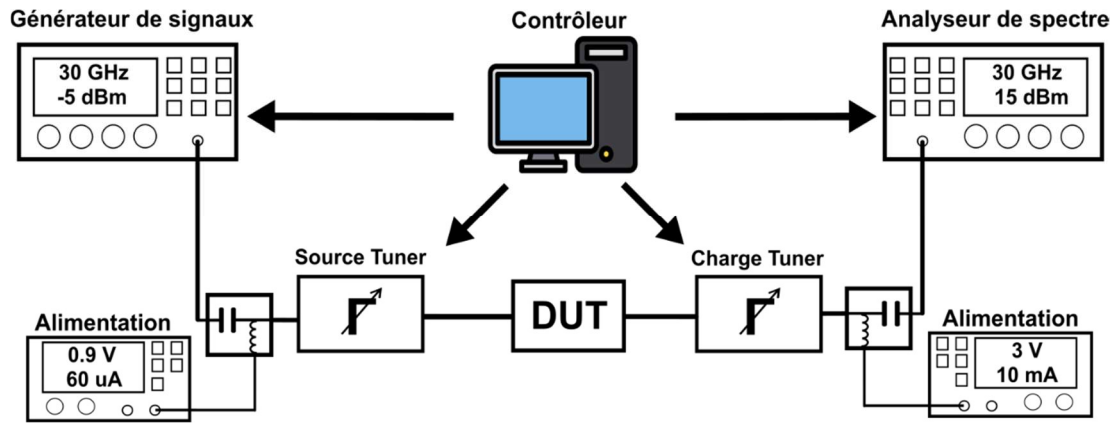


Figure II.17 Setup *Load-Pull* en mesure

Dans notre conception, un tuner est mis entre la charge et la sortie de l'étage cascode, comme illustré sur la Figure II.18. La simulation *Load-Pull* à 30 GHz du cascode est donc effectuée, ce qui inclut l'optimisation des paramètres de polarisation et de géométrie du transistor (en rouge). Pour la polarisation, des paramètres tels que la tension de base (VB) au niveau de l'étage base commune, la tension d'alimentation (VDD) et la tension de base de l'émetteur commun (VBE) ont été optimisés. En revanche, la longueur d'émetteur (L) était le paramètre géométrique optimisé. Pour les conditions initiales, la longueur de l'émetteur est fixée à $1 \mu\text{m}$, avec les valeurs VDD, VB et VBE fixées respectivement à 3, 2 et 1 V. Cette condition initiale garantit un fonctionnement dans la région active (amplification). Les capacités (C_1) et inductances (L_1) sont fixés a priori à 2 pF et 1nH pour l'isolation AC/DC. Cette analyse *Load-Pull* avec optimisation recherche de meilleurs résultats en utilisant la puissance de sortie comme objectif principal (*goal*). Il est important de souligner que nous utilisons ADE Assembler Virtuoso de la société Cadence pour les simulations et les optimisations. A la suite de cette optimisation, une valeur d'impédance Z_{OPT} est obtenue, ainsi que le Z_{OUT} correspondant et les valeurs des paramètres optimisés qui fournissent la valeur maximale de puissance. Ensuite, une simulation est réalisée pour déterminer la nouvelle impédance d'entrée Z_{IN} . Cette dernière est calculée comme étant la relation entre la tension et le courant à l'entrée observée à la fréquence d'intérêt (30 GHz) et au point de puissance de sortie maximale. L'impédance d'entrée est ensuite fixée à Z_{IN}^* et le processus de simulation de *Load-Pull* est à nouveau effectué. Après quelques itérations, il est possible d'obtenir la valeur finale de Z_{OPT} , Z_{OUT} , Z_{IN} , et des paramètres optimisés. Le Tableau II-4 présente les valeurs finales de ces paramètres.

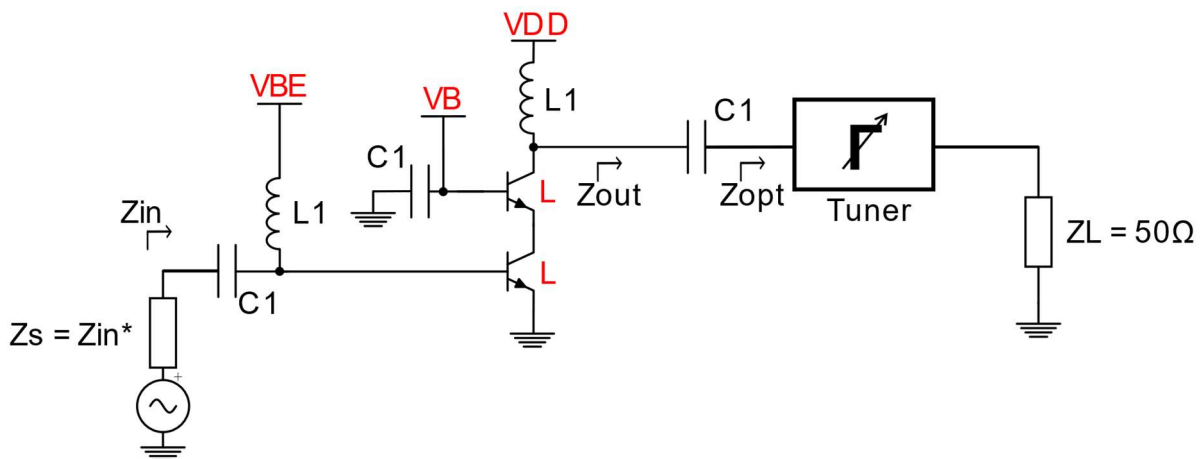
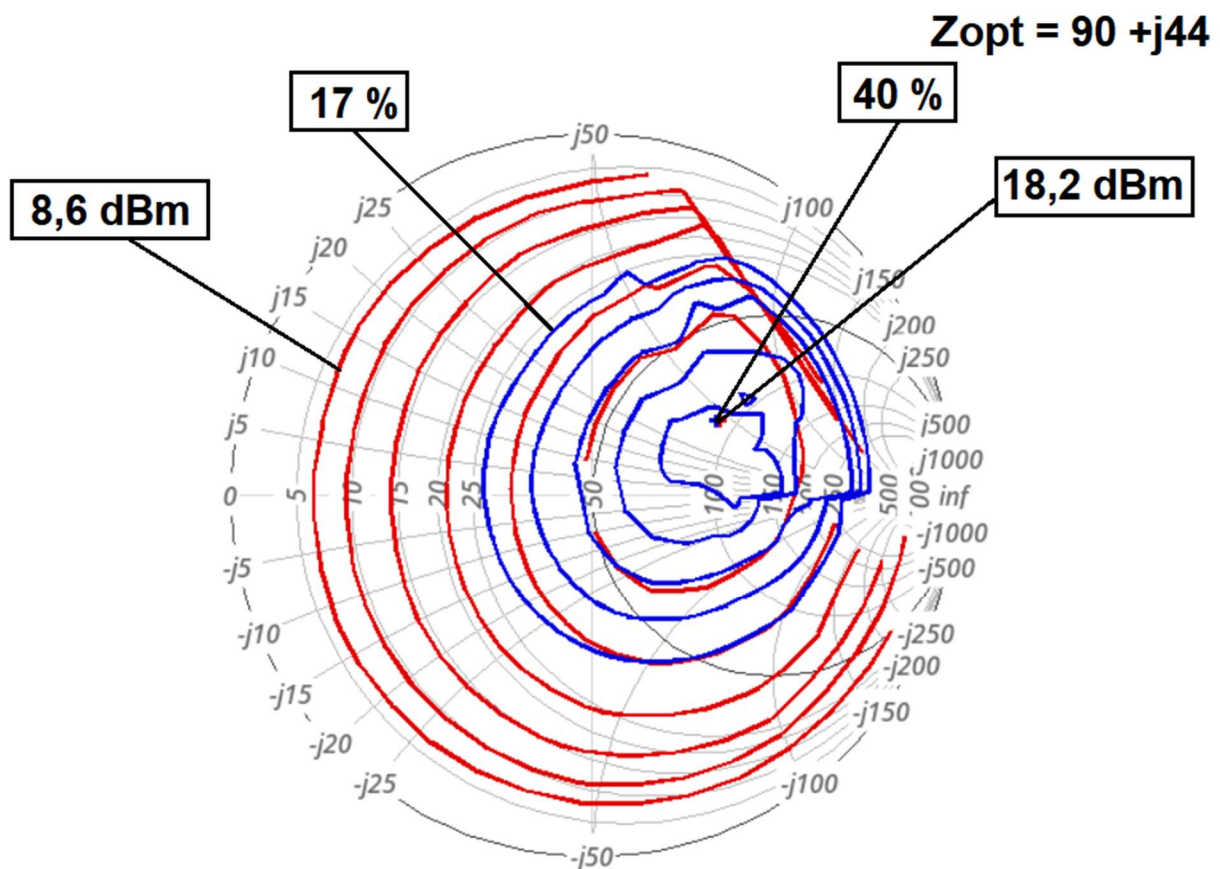


Figure II.18 Setup *Load-Pull* en simulation

Tableau II-4 Paramètres et impédances obtenus après *Load-Pull* avec optimisation

Paramètre	Description	Valeur	Unité
VDD	Tension d'alimentation	4	V
VB	Tension de base BC	2	V
VBE	Tension de base EC	0,9	V
L	Longueur de l'émetteur	14,9	μm
Z_{OPT}	Impédance optimale	$90 + j44$	Ω
Z_{OUT}	Impédance de sortie pour Z_{OPT}	$54 + j53$	Ω
Z_{IN}	Impédance d'entrée	$9 - j29$	Ω

Le diagramme *Load-Pull* de puissance et PAE de la configuration finale est illustré dans la Figure II.19 avec les contours de puissance (en rouge) et de PAE (en bleu). Cette analyse est similaire aux courbes de niveau, où les valeurs les plus élevées sont concentrées au centre des courbes. Ensuite, une simulation en fonction de la puissance d'entrée (P_{avs}) est effectuée pour obtenir tous les paramètres de performance du PA, tels que P_{sat} , PAE et gain (G_T). Les résultats sont présentés dans la Figure II.20. Cette configuration fournit un P_{sat} supérieur à 18 dBm avec un OP_{1dB} d'environ 17 dBm. Également un PAE de 40% et un gain de 23 dB au point de compression de 1 dB.


 Figure II.19 Diagram de *Load-Pull*. Contours de puissance (en rouge) et de PAE (en bleu).

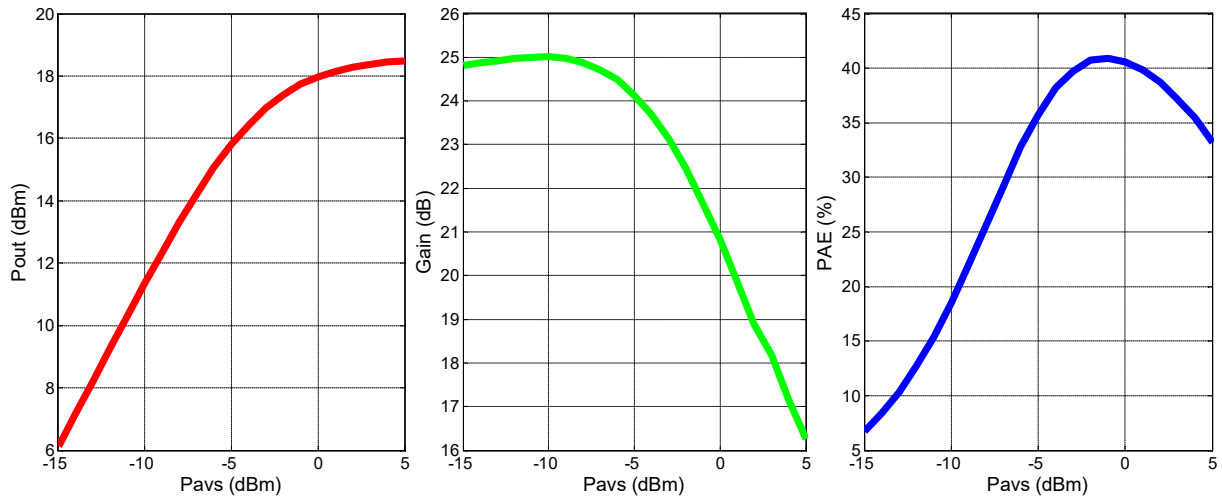


Figure II.20 P_{sat} (rouge), Gain (vert) et PAE (bleu) en schéma

Une fois l'impédance optimale, la polarisation et la géométrie des transistors définies, il est nécessaire de synthétiser l'impédance Z_{OUT} optimale vue par le transistor. Le tuner de la Figure II.18 est alors supprimé. Différentes combinaisons/arrangements de passifs ont été testées et celle qui a été retenue possède une inductance parallèle (L_2) et une autre en série (L_3). Graphiquement, la synthèse de l'impédance de sortie est représentée à l'aide du diagramme de Smith sur la Figure II.21. Le point noir représente l'impédance Z_{OUT} vue par le transistor en considérant uniquement l'inductance L_1 , la capacité de découplage C_1 et la capacité du pad (C_{pad}), et la charge de 50Ω . En ajoutant l'inductance parallèle L_2 de 165 pF et une autre en série L_3 de 110 pF on obtient l'impédance $Z_{OUT} = 53 + j55$ proche de la valeur optimale. Passons ensuite à conception du *layout* de cet étage.

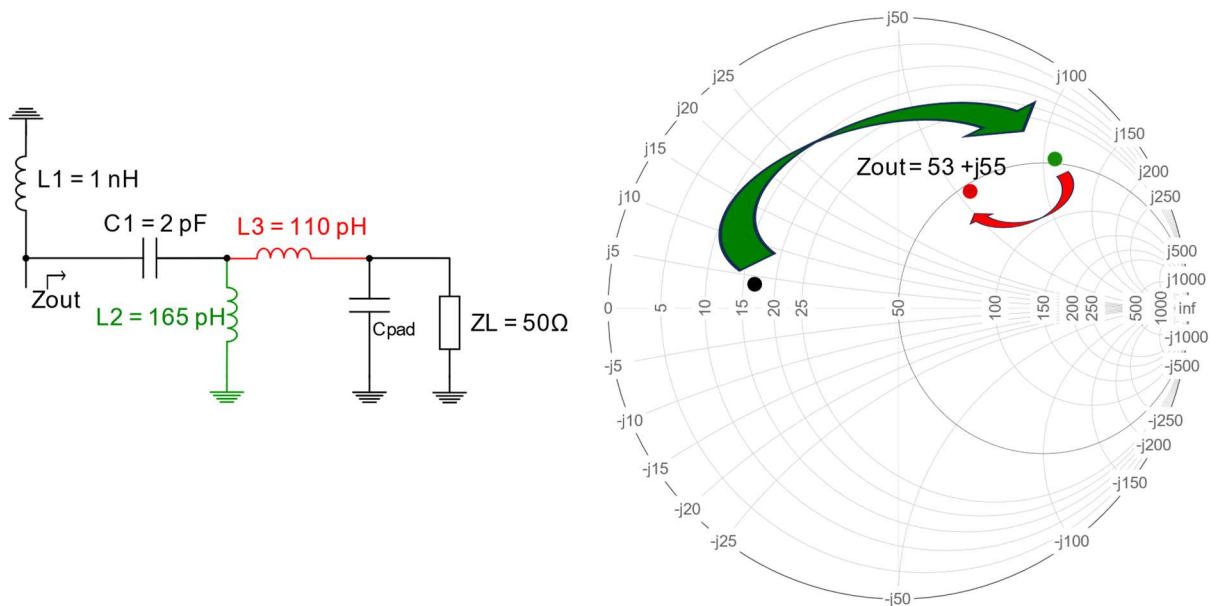


Figure II.21 Synthèse du réseau de sortie

II.2.3.3. Conception du layout

II.2.3.3.1. Méthodologie de simulation *post layout*

Dans le cadre d'une conception traditionnelle, le processus consiste généralement à concevoir le circuit entièrement au niveau schématique. Une fois les résultats souhaités atteints, le *layout* est donc conçu. Cependant, dans les ondes millimétriques, l'impact de la conception du *layout* peut introduire une grande quantité d'éléments indésirables (éléments parasites), susceptibles d'avoir un impact significatif sur le comportement du circuit en bande Ka. En effet, à de telles fréquences élevées, même les éléments parasites les plus petits (tels que les capacités de l'ordre de fF ou les résistances de l'ordre de $m\Omega$) peuvent considérablement influencer l'ensemble du comportement de l'amplificateur en provoquant des pertes et des désadaptations. Afin de tenter de réduire la grande disparité (introduite par ces éléments parasites) qui pourrait survenir si le circuit était entièrement conçu au niveau schématique puis transmis au *layout*, une approche de conception partagée (*co-design*) est mise en œuvre. Cela signifie que le *layout* de chaque étage sera conçu parallèlement au schéma et en tenant compte des résultats *post-layout* des étapes déjà conçues, afin de minimiser des pertes et des désadaptations. Cette approche implique de prendre en compte différentes combinaisons et arrangements de composants passifs et d'interconnexions entre passif/actifs/plan de masse, dans le but de maximiser la performance de l'amplificateur.

Pour obtenir des résultats *post-layout* précis en bande Ka, deux approches différentes d'extraction des parasites doivent être pris en compte : les simulations d'extraction de parasites classiques (QRC PEX : *Parasitic Extraction*) et les simulations électromagnétiques.

La simulation PEX a pour objectif de substituer chaque section élémentaire du *layout* par des éléments passifs parasites. Cette simulation peut être plus ou moins précise selon les types d'éléments parasites extraits : R, C, RC, RLC ou RLCK. Cette dernière est la plus précise, car elle prend également en compte les couplages. L'extraction de ces éléments parasites est intégrée dans un schéma électrique équivalent, permettant ainsi de simuler le comportement réel du *layout*. Lorsqu'elle est correctement configurée, cette extraction offre des simulations *post-layout* précises à basse fréquence. Cependant, au-delà de 10 GHz, elle peut perdre en précision, particulièrement lors de la simulation des parties inductives du circuit.

Il est donc essentiel d'utiliser des outils de simulations électromagnétiques pour des parties spécifiques du circuit. Ces simulations sont effectuées en utilisant les couches de métallisation supérieures (BEOL), et elles ne tiennent pas compte des couches internes du substrat, comme les résistances, les transistors, etc. Néanmoins, elles offrent une précision bien supérieure à la méthode précédente pour les fréquences élevées, et en général, elles fournissent des résultats qui sont en bonne corrélation avec les mesures obtenues après la fabrication. Contrairement à l'extraction classique, qui aboutit à un schéma électrique équivalent incluant les composants parasites, la simulation électromagnétique produit une matrice S à N ports sous la forme d'une boîte noire.

En résumé, la simulation *post-layout* du circuit doit être divisée en deux parties distinctes :

- Simulation électromagnétique pour les interconnexions et les composants passifs des couches supérieures, tels que les inductances, les capacités, les lignes de transmission et les pads.
- Extraction QRC PEX de type RLCK des composants et des connexions dans le substrat, incluant les transistors et les résistances.

La combinaison de ces deux résultats permet d'obtenir un schéma *post-layout* qui modélise le comportement du circuit avec la plus grande précision possible. Dans cette thèse, l'outil Cadence PVS QRC est utilisé pour les extractions de parasites et Keysight Momentum pour les simulations électromagnétiques. La méthodologie de simulation *post-layout* est présentée dans la Figure II.22.

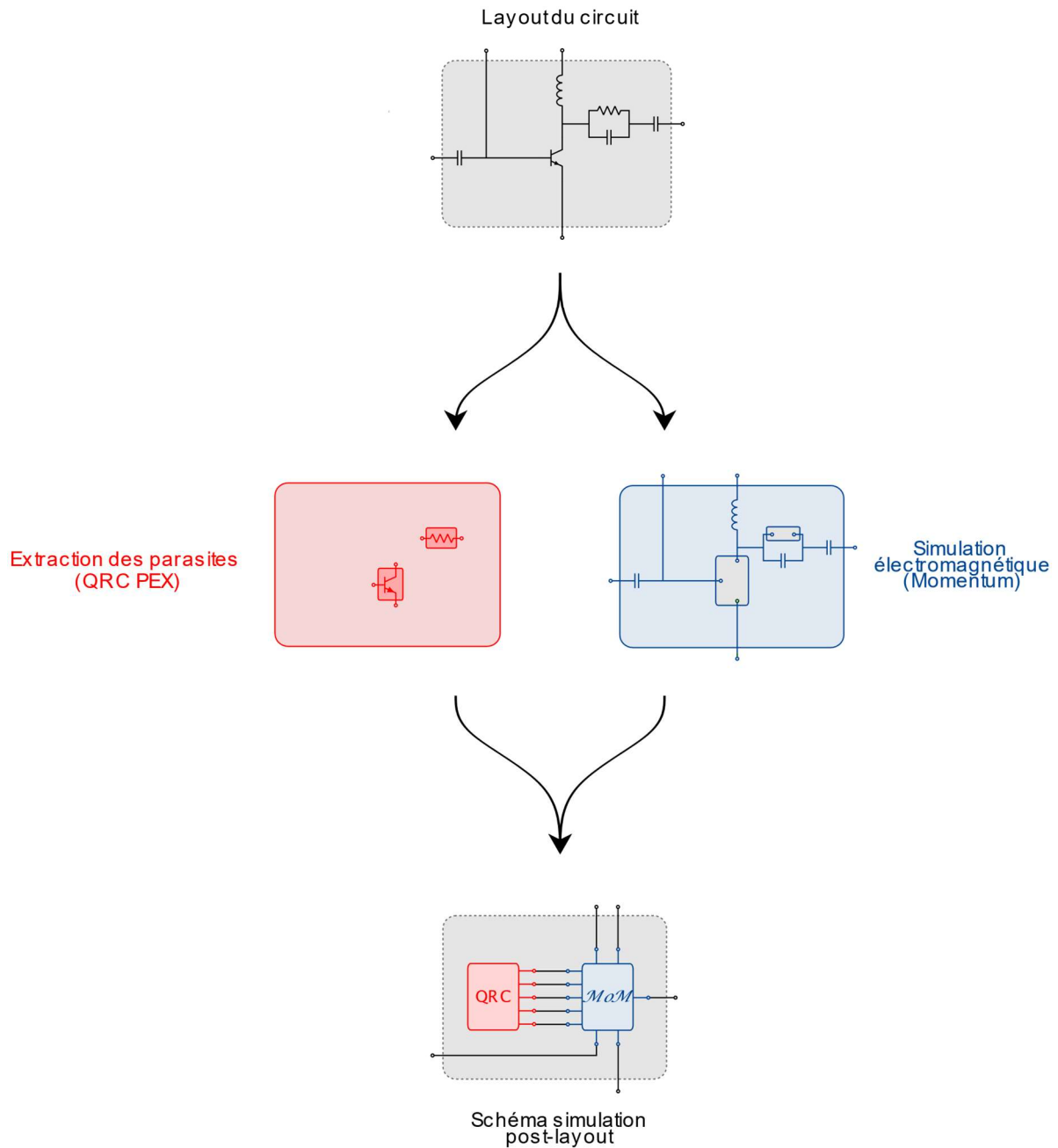


Figure II.22 Simulations *post-layout*

II.2.3.3.2. Résultats *post-layout*

La disposition finale du *layout* de cet étage ainsi que la configuration de simulation sont présentées dans la Figure II.23. Les valeurs des inductances L_1 et L_2 sont relativement plus petites en raison des longs trajets de connexion entre le transistor et les PADS. De plus, et pour la même raison, L_3 n'était pas nécessaire puisque le chemin d'interconnexion avec la sortie fournit déjà la valeur d'inductance souhaitée. Avec cette configuration, une valeur de Z_{OPT} est obtenue autour de la valeur optimale, fournissant des résultats de P_{sat} , PAE et gain proches de ceux obtenus en schématisé, tout en assurant également l'adaptation. Le résultat de la simulation *post-layout* de cet étage est présenté dans la Figure II.24. Cette configuration fournit un P_{sat} supérieur à 17 dBm avec un OP_{1dB} d'environ 15 dBm. Également un PAE de 30% et un gain de 22 dB au point de compression de 1 dB.

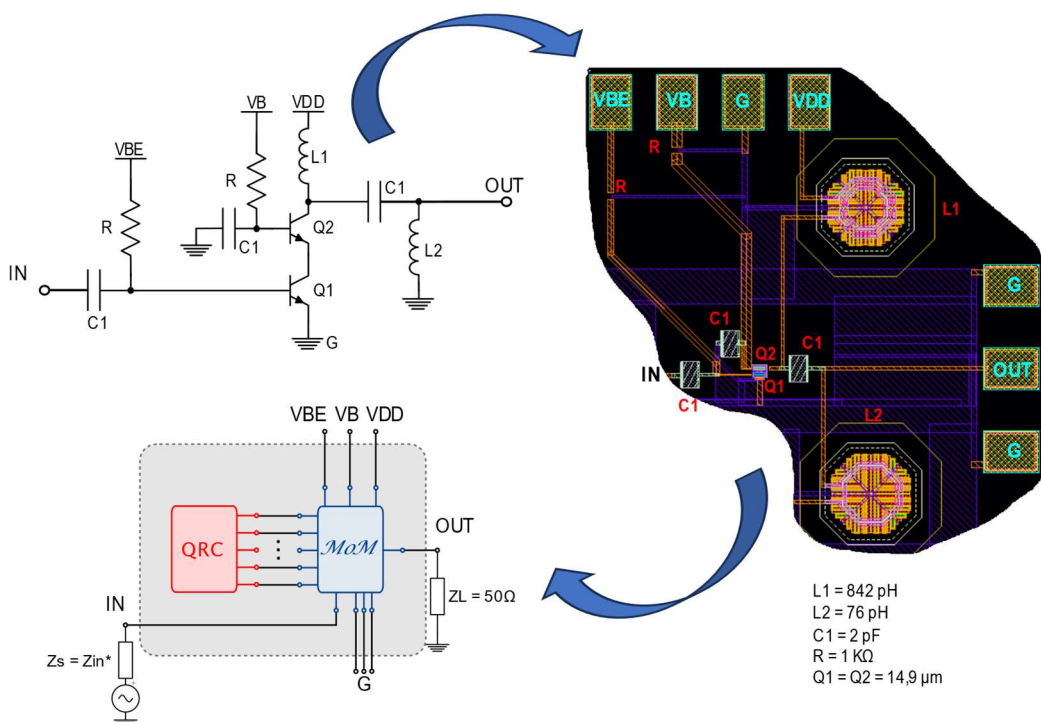


Figure II.23 Schéma et *layout* de l'étage de puissance, et *setup* de simulation

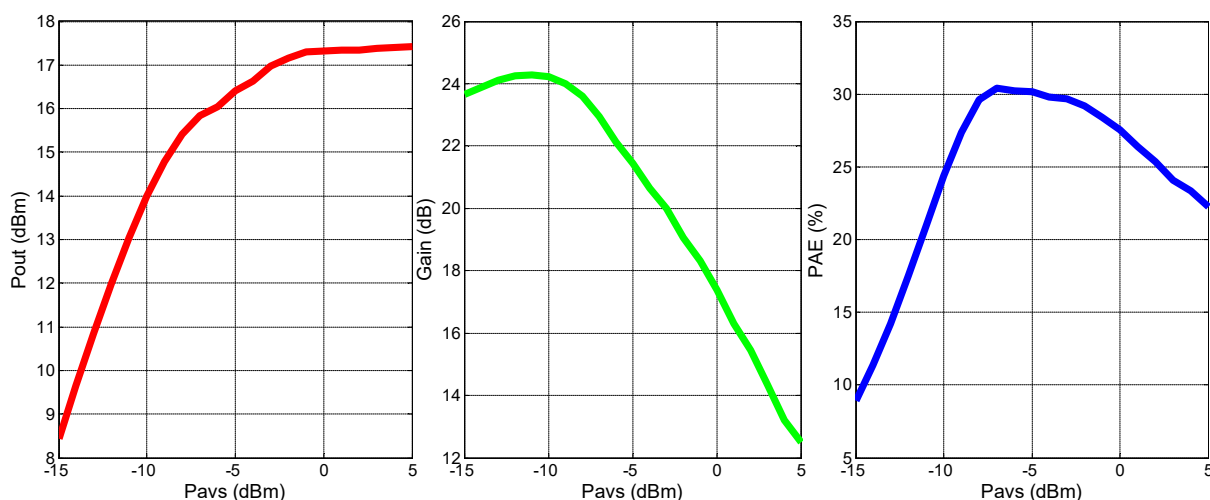


Figure II.24 P_{sat} (rouge), Gain (vert) et PAE (bleu) en *post-layout*

II.2.4. Conception de l'étage à gain variable

La topologie choisie pour cet étage est le *cascode current-steering* (Figure II.25). Il s'agit d'une topologie relativement simple à mettre en œuvre et qui peut fournir un gain élevé sur une large bande passante avec une bonne isolation entrée/sortie. Dans cette topologie, le courant du transistor EC est fixe, tandis que le courant du transistor BC varie en fonction de la variation du courant de commande injecté ($I_{control}$). La conception de cette étape consiste donc à déterminer les valeurs de ces courants, et les points de polarisation correspondants, qui fourniront la dynamique de gain souhaitée.

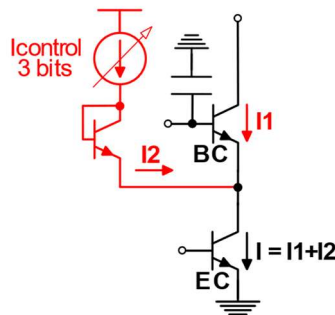


Figure II.25 Topologie *cascode current-steering*

La géométrie cascode de l'étage précédent a été conservée mais les valeurs de polarisation doivent être ajustées afin de diminuer la consommation électrique totale. En effet, le courant de l'étage précédent (38 mA) est assez élevé car il s'agit d'un étage de puissance. Comme l'objectif principal de la conception de cet étage est de fournir une dynamique de gain assez importante, plutôt que de fournir encore plus de gain lui-même, il est souhaitable de définir un nouveau point de polarisation. A partir de simulations paramétriques du point de polarisation et du courant de commande injecté ($I_{control}$), il a été constaté qu'un courant d'environ 6 mA circulant dans l'émetteur commun et une variation correspondante du courant de commande d'environ 6 mA peuvent fournir une variation dynamique souhaitée de gain de 12 dB. Il est important de souligner que les simulations de cet étage sont réalisées avec sa sortie connectée à l'entrée de l'étage de puissance (*post-layout* QRC + Momentum). La configuration du circuit simulé dans cette étape est illustrée dans Figure II.26. Il faut maintenant concevoir le circuit de commande qui fournira le courant injecté ($I_{control}$) de 6 mA.

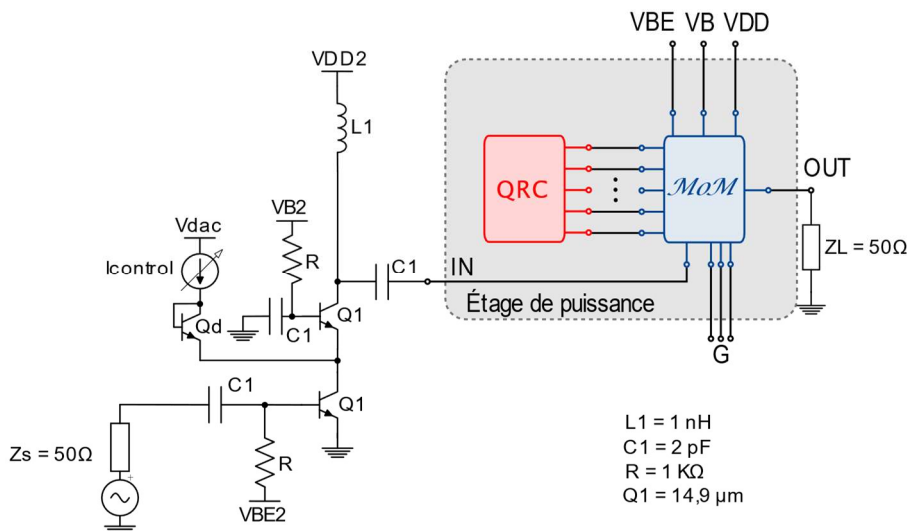


Figure II.26 Circuit et *setup* de simulation de l'étage à gain variable

II.2.4.1. Conception de l'étage de contrôle (Convertisseur Numérique Analogique)

Les convertisseurs numérique-analogique (DAC : *Digital-to-Analog Converters*) trouvent des applications dans de nombreux systèmes, allant des émetteurs-récepteurs de communication à l'électronique grand public. Parmi les différentes réalisations de DAC, la topologie de guidage de courant offre la vitesse la plus élevée et devient la solution privilégiée aux fréquences millimétriques, en particulier lorsque la sortie analogique doit être transmise à une charge résistive [89].

Un schéma générique d'un DAC en topologie de guidage de courant est présenté dans la Figure II.27. Cette topologie générique se compose de deux parties : un miroir de courant PMOS et des *switches*. Le transistor PMOS M_0 et la résistance R_0 sont utilisés pour établir le courant de référence. Ce courant est ensuite réfléchi vers les autres branches à travers les transistors M_{1_1} à M_{1_n} , tandis que les transistors M_{2_n} fonctionnent comme des interrupteurs, contrôlant le flux de courant vers la sortie.

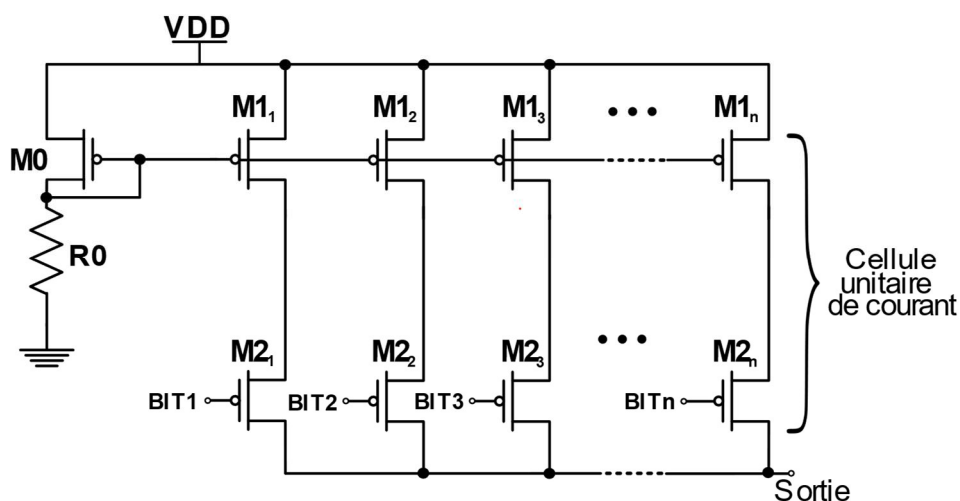


Figure II.27 Topologie générique d'un DAC

Compte tenu des spécifications de 3 bits, il pourrait sembler approprié d'attribuer chaque bit au contrôle d'une des branches du miroir de courant. Cependant, l'utilisation de la représentation binaire des bits pour piloter le circuit peut entraîner des problèmes. Les miroirs pondérés en binaire peuvent faire face à des sauts indésirables dans leur sortie lorsque l'entrée numérique passe, par exemple, de 011 à 100. En conséquence, la caractéristique d'entrée-sortie du DAC peut présenter une erreur importante ou une non-monotonie à cette transition (Figure II.28). La difficulté fondamentale réside dans le fait qu'à cette transition du bit de poids fort, un groupe de sources de courant s'éteint et une nouvelle source de courant s'allume.

Ce problème peut être évité en utilisant une approche de segmentation. Cette approche consiste à utiliser un décodeur, communément appelé décodeur Binaire-Thermomètre (*Binary-Thermometer Decoder*). Pour concevoir un DAC de N bits, nous utilisons $2^N - 1$ cellules unitaires de courant, mais nous appliquons une séquence de commutation différente. Une manière d'implémenter ce type de décodeur à 3 bits, ainsi que sa table de vérité, est présentée sur la Figure II.29. Avec ce décodeur, il est possible de contrôler 7 branches de courant ($2^3 - 1$) et éviter les problèmes mentionnés précédemment, car lors de la transition de retenue principale, simplement une cellule de plus est activé au lieu de désactiver un groupe de sources de courant. Ainsi, la sortie change de manière monotone. Lorsque la séquence de

bits est 111, toutes les branches seront désactivées, tandis que lorsque la séquence de bits est 000, toutes seront activées. Le circuit final du DAC 3 bits est illustré dans la Figure II.30. Chaque cellule unitaire fournit environ $400 \mu\text{A}$ de courant. Une huitième branche sans *switch* est ajoutée pour maintenir un courant minimal résiduel. Le DAC complet fournit environ 3 mA et consomme 8 mW. Le DAC final contient deux inverseurs supplémentaires à chaque entrée pour assurer la saturation des tensions aux ports du décodeur.

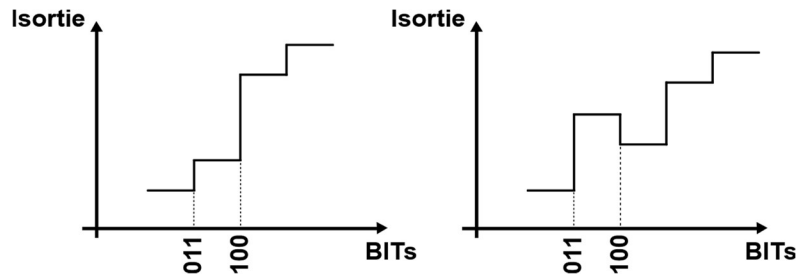


Figure II.28 Sauts ou non-monotonie dans les caractéristiques du DAC à pondération binaire

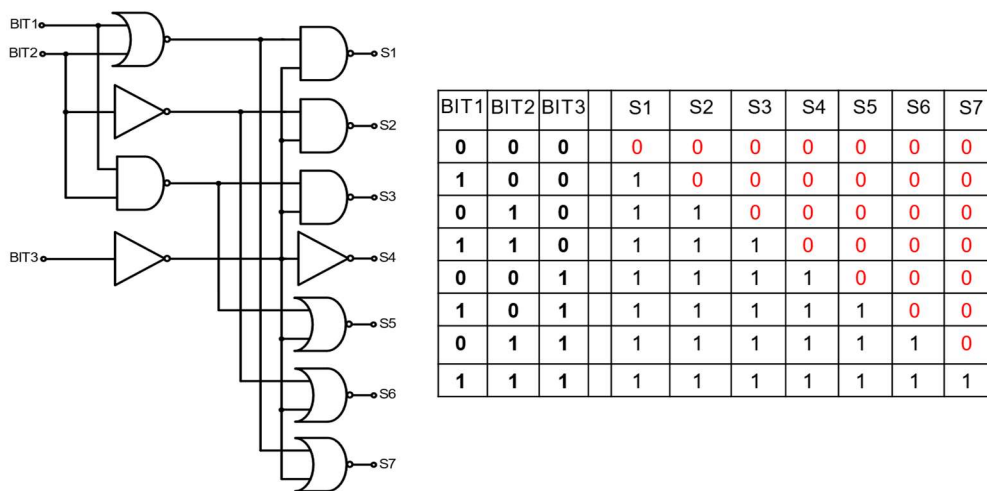


Figure II.29 Décodeur 3 bits (*Binary-Thermometer Decoder*)

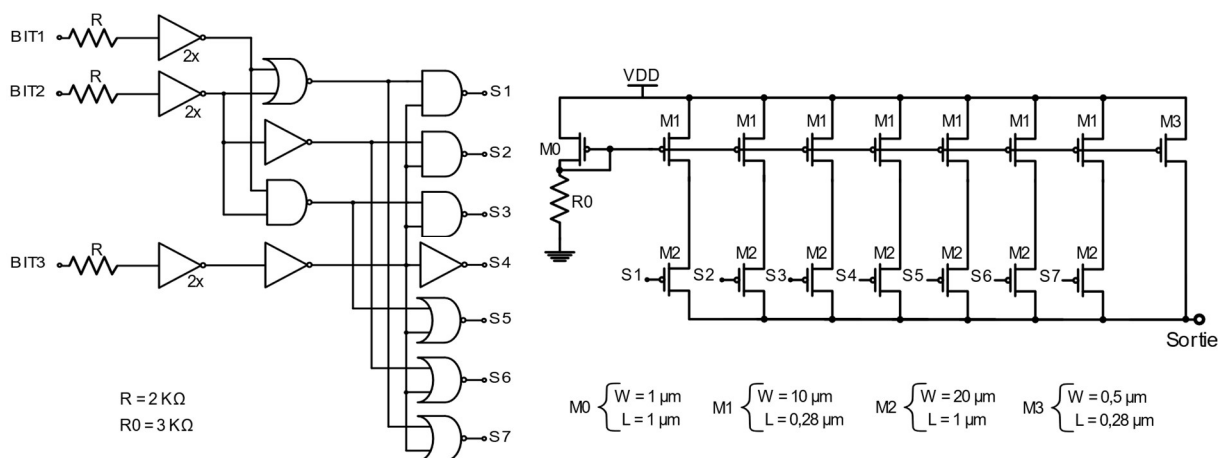


Figure II.30 Convertisseur Numérique Analogique 3 bits

II.3. Simulations *post-layout*

II.3.1. VGPA complet

Le schéma complet du VGPA est illustré dans la Figure II.31. Le circuit complet comprend les étages de puissance, de gain variable et de contrôle précédemment conçus, ainsi que les réseaux d'adaptation d'entrée/sortie. Le réseau d'adaptation d'entrée est constitué d'une capacitance (C_{in}) et d'une inductance (L_{in}) en parallèle et d'un réseau de stabilisation RC, qui sert à améliorer la stabilité du circuit à basse fréquence. Le transistor Q_d fonctionne comme une diode. Deux DAC identiques sont utilisés pour fournir le courant nécessaire à la dynamique de gain. Le *layout* complet du VGPA est présenté dans la Figure II.32 et occupe une surface de $1,4 \times 0,9 \text{ mm}^2$ (PADs d'entrée/sortie et *sealring* compris).

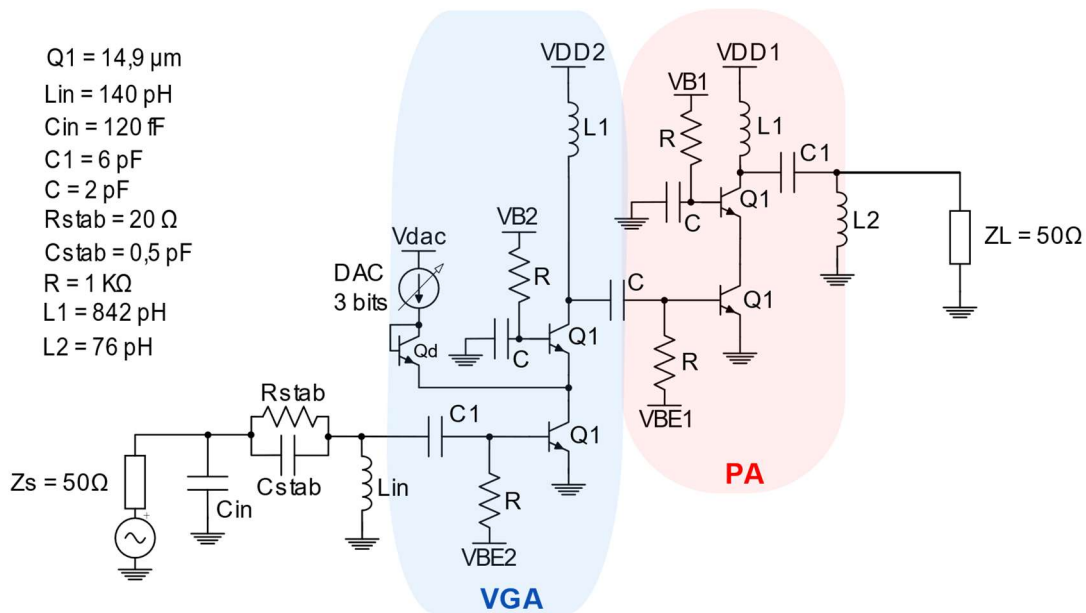


Figure II.31 Circuit complet du VGPA

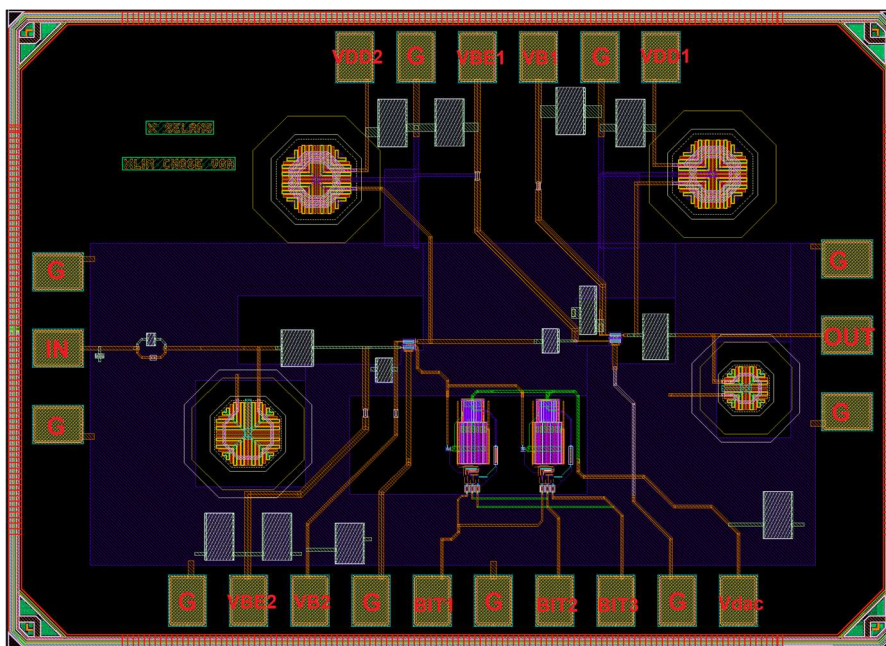


Figure II.32 *Layout* VGPA complet ($1,4 \times 0,9 \text{ mm}^2$)

Les résultats de simulations *post-layout* de la puissance de sortie, le gain de puissance et le PAE en fonction de la puissance d'entrée et à 30 GHz sont présentés dans la Figure II.33 pour deux états différents du DAC (gain maximum et minimum). Une puissance de sortie saturée de 16,8 dBm est obtenue pour les deux configurations avec un gain de puissance supérieur à 20 dB. De plus, le point de compression en sortie (OP_{1d}) est supérieur à 15 dBm pour les deux configurations avec un PAE maximum de plus de 20%. Figure II.34 et Figure II.35 montrent les coefficients de réflexion S_{11} et S_{22} , respectivement. Ils indiquent que le circuit est bien adapté à l'entrée et à la sortie autour de 30 GHz. Le coefficient de transmission S_{21} est présenté dans la Figure II.36. Comme on peut le voir, le gain dynamique varie entre 15,5 et 28,2 dB à 30 GHz. La plage dynamique de gain est supérieure à 10 GHz avec une variation linéaire en dB entre les états. De plus la consommation reste inférieure à 165 mW au gain maximal. La stabilité est analysée dans la Figure II.37 en montrant les paramètres de stabilité K et B1 (Annexe III). Il est possible de noter que K demeure supérieur à l'unité, et B1 reste supérieur à zéro pour un spectre entre DC et $2*fc$ (60 GHz), ce qui indique une stabilité inconditionnelle. Cependant, ces simulations garantissent que l'amplificateur est stable dans des conditions stationnaires (petit signal). L'analyse de stabilité en grand signal en utilisant les méthodes des pôles et des zéros (Annexe III) n'a pas été effectuée car les outils n'étaient pas disponibles.

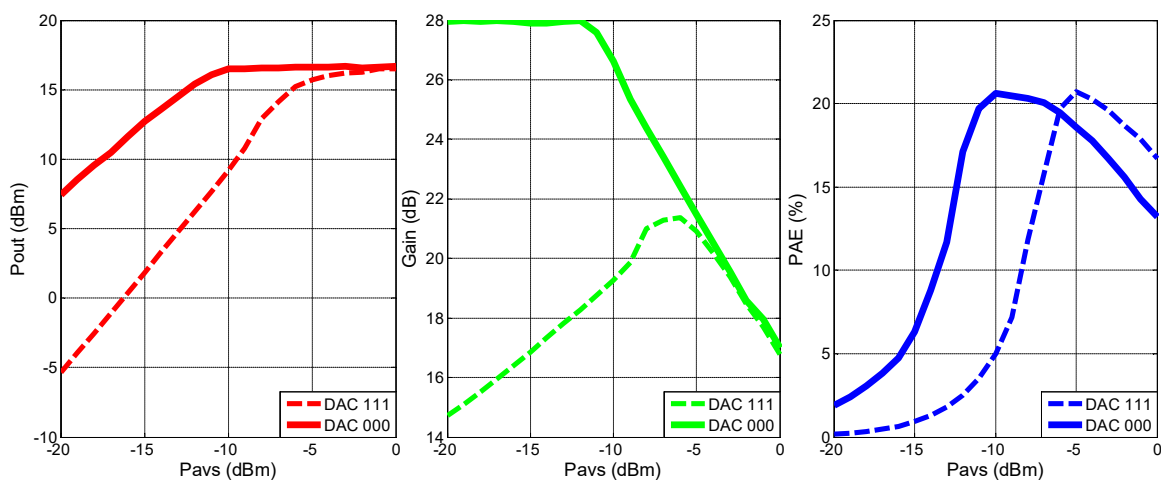


Figure II.33 P_{sat} (rouge), Gain (vert) et PAE (bleu) du VGPA complet. DAC en 111 = maximum gain et DAC en 000 = minimum gain

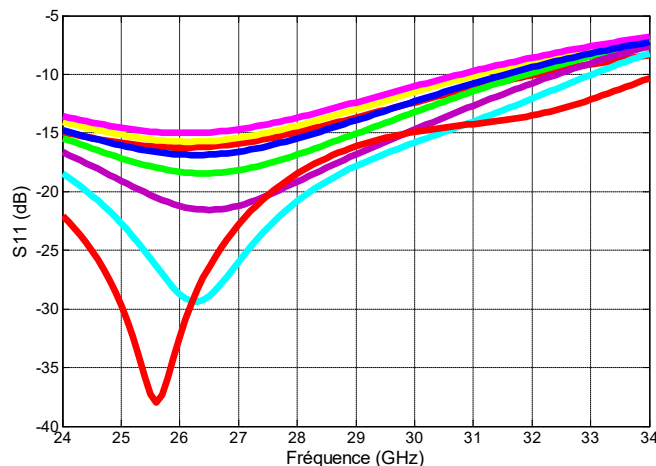


Figure II.34 S_{11} du VGPA pour les 8 états de gain

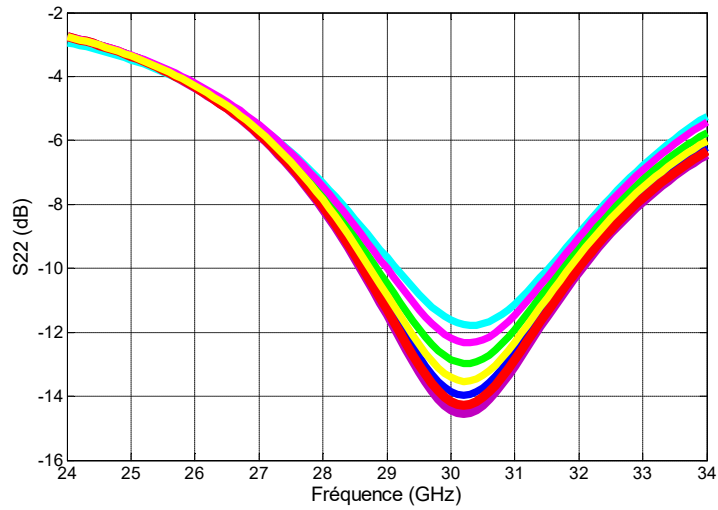


Figure II.35 S_{22} du VGPA pour les 8 états de gain

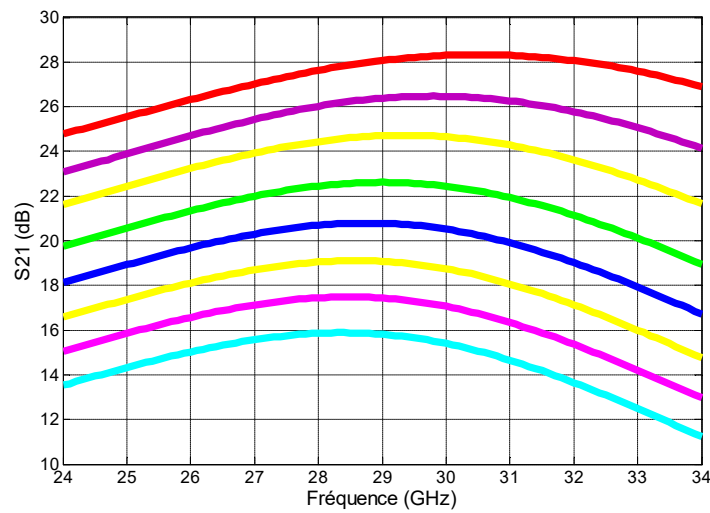


Figure II.36 S_{21} du VGPA pour les 8 états de gain

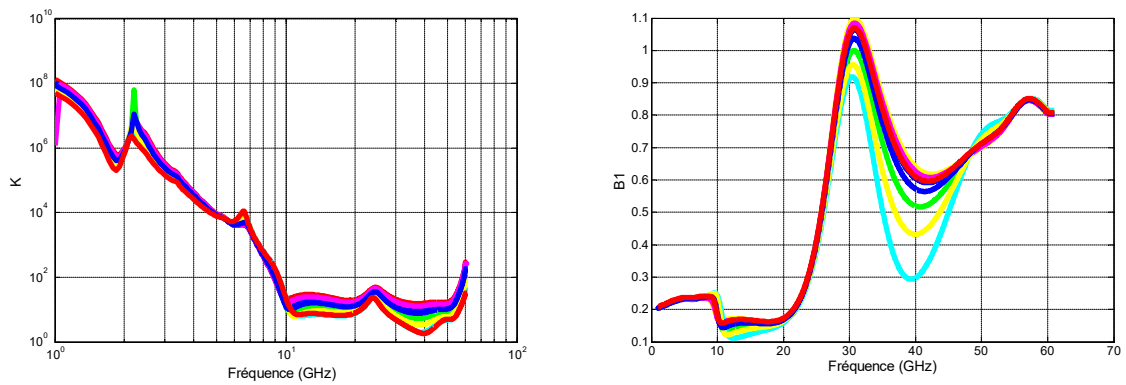


Figure II.37 Analyse de stabilité K et B1 pour les 8 états de gain

II.3.2. Comparaison avec le cahier des charges

En évaluant les résultats présentés par rapport aux spécifications énoncées par *Safran Data Systems* (section II.4), on peut conclure que les simulations *post-layout* du VGPA satisfont à tous les principaux critères de performances définis précédemment, comme indiqué dans le Tableau II-5.

Tableau II-5 Comparatif au cahier des charges du VGA

Paramètre	Min	Typ	Max	Résultats <i>post-layout</i>	Unité	Conformité
Bande de fréquence	27	-	31	27 ~ 31 24 ~ 35 (<i>bande passante</i>)	GHz	✓
Gain	20	22	-	28,2	dB	✓
Plage de Gain (ΔG)	-	12	-	12,7	dB	✓
Nombre de bits	-	3	-	3	Bits	✓
P_{sat}		15		16,8	dBm	✓
OP_{1dB}	-	11	-	15	dBm	✓
Surface	-		1,5	1,26	mm ²	✓
Consommation	-	0,1	-	0,13 ~ 0,165	W	—
PAE	-	20	-	20,7	%	✓
Adaptation ($ S_{1,1} $ & $ S_{2,2} $)	-	< -10	-	$ S_{1,1} < -10$ @ 27~31 GHz $ S_{2,2} < -10$ @ 29~31 GHz	dB	✓

II.3.3. Comparaison avec l'état de l'art

Dans le Tableau II-6, les résultats de simulation *post-layout* du VGPA en bande Ka sont comparés à l'état de l'art. Il est possible de faire le constat suivant : les simulations présentent des résultats de gain maximum proches des meilleurs rapportés dans [76][82][83], et avec une dynamique de gain qui se situe juste derrière les références [77][78][81][82]. De plus, le circuit conçu présente une grande bande passante au regard des autres conceptions citées en référence.

En outre, il présente un P_{sat} et un OP_{1dB} très proches des meilleurs rapportés dans [74][82][83]. Cependant, le PAE, bien que n'étant pas un critère fixé au début du projet, devrait être amélioré dans les conceptions futures car il est le plus bas parmi les références qui énoncent ce critère. Par ailleurs, notre circuit présente un NF très proche du meilleur rapporté dans le VGLNA [79] qui contient un étage d'entrée optimisé en bruit.

Tableau II-6 Comparaison avec l'état de l'art

Réf.	Année	Type	Tech.	Nombre de Bits	Fc (GHz)	Bande passante à 3 dB (GHz)	Gain max (dB)	ΔG (dB)	Psat (dBm)	OP_{1d} (dBm)	PAE (%)	PDC (mW)	NF min (dB)	Surface (mm ²)
[77]	2015	VGPA	180 nm SiGe	4	28	21.8 – 32.1	16	14.2	11.1	9,6	55	22.5	-	0,72 (puce)
[78]	2016	VGA	130 nm SiGe	Continu	28	26 – 30	20	18	-	-	-	35	-	-
[73]	2019	VGA	65 nm CMOS	2	27,5	25.7 – 29.2	21.2	5	-	-0,2	-	8	-	0,167 (puce)
[79]	2019	VGLNA	65 nm CMOS	Continu	31	29,1 – 33,1	20,8	10,6	-	-	-	26,7	3,71	0,39 (puce)
[76]	2020	VGA	65 nm CMOS	7	25.5	23.5 – 27.5	29,4	6,2	-	6,3	-	103	4,8	0,36 (puce)
[80]	2022	VGA	65 nm CMOS	Continu	29	27,5 – 29,5	18,7	8,3	9,5	5,1	-	30	4,6	0,11 (puce)
[81]	2022	VGA	130 nm SiGe	5	20	15 - 25	15	15	-	11	26,9	67,7	-	0,45 (puce)
[82]	2022	VGPA	65 nm CMOS	5	26	23,1 - 29	33,1	31,1	16,7	16	29,5	-	-	0,1265 (core)
[74]	2022	VGPA	130 nm SiGe	7	28	24 – 29,5	23,6	7	18	16	22,1	214,5	-	0,274 (core)
[83]	2022	VGPA	65 nm CMOS	4	39	34,7 – 43,5	38,9	5,2	17,6	13,4	34,5	150	-	0,2964 (core)
→	2023	VGPA	130 nm SiGe	3	30	24 - 35	28,2 *	12,7 *	16,8 *	15 *	20,7 *	165	4,3 *	1,26 (puce) 0,6 (core)

* Résultats de simulation

Pour comparer les performances des amplificateurs, on adopte généralement une figure de mérite (FOM), comprenant différents paramètres de performance. L'une des façons de définir le FOM pour un amplificateur de puissance est basée sur les lignes directrices introduites par l'agence *International Technology Roadmap for Semiconductors* (ITRS), qui prend en compte la puissance de sortie saturée (P_{sat}) en dBm, le gain de puissance en dB, le PAE (%) et la fréquence centrale en GHz [90], [91], définis par :

$$FOM = Psat(dBm) + G(dB) + 10 * \text{Log}(PAE(\%)) + 20 * \text{Log}(fc(Hz)) \quad (E-11)$$

Une deuxième figure de mérite, le Gain Bande Passante (GBP), utilisé pour les amplificateurs autres que PAs, qui inclut uniquement le gain de l'amplificateur en dB et sa bande passante à -3 dB (GHz) est défini par :

$$GBP = Gain_{max}(dB) * BP(GHz) \quad (E-12)$$

Dans le Tableau II-7, une comparaison de tous les références avec les deux figures de mérite est donc effectuée. Notre VGPA présente la troisième plus grande FOM sur les cinq présentées. De plus, il présente le deuxième plus grand GBP parmi les dix répertoriés, juste derrière la référence [82].

Tableau II-7 Comparaison avec l'état de l'art concernant la FOM et le GBP

Référence	Année	Type	Technologie	FOM	GBP
[77]	2015	VGPA	180 nm SiGe	253	164,8
[78]	2016	VGA	130 nm SiGe	-	80
[73]	2019	VGA	65 nm CMOS	-	74,2
[79]	2019	VGLNA	65 nm CMOS	-	83,2
[76]	2020	VGA	65 nm CMOS	-	117,6
[80]	2022	VGA	65 nm CMOS	-	37,4
[81]	2022	VGA	130 nm SiGe	-	150
[82]	2022	VGPA	65 nm CMOS	272	195,3
[74]	2022	VGPA	130 nm SiGe	263	129,8
[83]	2022	VGPA	65 nm CMOS	283	342,3
→	2023	VGPA	130 nm SiGe	267,7	310,2

Les résultats de simulation *post-layout* sont conformes au cahier des charges et bien positionnés par rapport à l'état de l'art. Dans le chapitre suivant, la conception du deuxième circuit proposé dans cette thèse sera abordée : le déphaseur pilotable.

Chapitre III

Conception des déphaseurs

Sommaire

Chapitre III. Conception des déphaseurs	97
III.1. Déphaseurs en bande Ka	97
III.1.1. Introduction	97
III.1.2. Types de déphaseur	97
III.1.2.1. Ligne à retard et filtres commutées	97
III.1.2.2. Ligne à charge variable	98
III.1.2.3. Déphaseur en réflexion	99
III.1.2.4. Modulateur Vectoriel	100
III.1.3. Paramètres de performance	101
III.1.4. État de l'art des déphaseurs	103
III.1.5. Cahier de charges	108
III.1.6. Choix de la topologie et de l'architecture du déphaseur	110
III.2. Topologie 1	111
III.2.1. Conception A	111
III.2.1.1. Conception du 1 ^{er} étage : <i>Balun</i>	111
III.2.1.2. Conception du 2 ^{eme} étage : Réseaux I/Q	113
III.2.1.3. Conception du 3 ^{eme} étage (4VGA)	115
III.2.1.4. Circuit et <i>layout</i>	118
III.2.1.5. Simulations <i>post-layout</i>	119
III.2.1.6. Résultats de mesure	121
III.2.2. Conception B	126
III.2.2.1. Conception du 1 ^{er} étage : <i>Balun</i>	126
III.2.2.2. Conception du 2 ^{eme} étage : Réseaux I/Q	128
III.2.2.3. Conception du 3 ^{eme} étage (4VGA)	129
III.2.2.4. Circuit et <i>layout</i>	131
III.2.2.5. Simulations <i>post-layout</i>	132
III.3. Topologie 2	134
III.3.1. Conception C	134
III.3.1.1. Circuit et <i>layout</i>	138
III.3.1.2. Simulations <i>post-layout</i>	139
III.4. Comparaison et discussion	141
III.4.1. Comparaison entre les conceptions	141
III.4.2. Discussion par rapport au cahier des charges	143
III.4.3. Comparaison avec l'état de l'art	144

Chapitre III. Conception des déphaseurs

III.1. Déphaseurs en bande Ka

III.1.1. Introduction

Le déphaseur est un circuit qui vise à contrôler la phase de l'onde de sortie par rapport à la phase de l'onde d'entrée. Ils sont utilisés dans une large gamme d'applications, depuis les équipements de mesure jusqu'aux systèmes de linéarisation d'amplificateurs, en passant par les boucles à verrouillage de phase (*phase-locked loops*), les radios à entrées et sorties multiples (MIMO : *Multiple Input - Multiple Output*), ainsi que des systèmes d'antennes réseaux à dépointage électronique. Le déphaseur est l'un des éléments critiques de ce dernier système, car sa résolution de phase et sa précision ont un impact direct sur la directivité du faisceau et la précision du dépointage. La principale contrainte de ces systèmes réside dans la complexité de fournir des déphasages précis. Ainsi, concevoir des déphaseurs précis tout en maintenant une faible consommation d'énergie, une empreinte spatiale adaptée et un gain approprié suscite actuellement un grand intérêt. Plusieurs conceptions ont été proposées dans la littérature scientifique et mises en œuvre de diverses manières. Cependant, la principale distinction est faite entre les conceptions passives et actives.

Les déphaseurs passifs englobent toutes les catégories de déphaseurs qui ne consomment pas de courant lorsqu'ils sont inactifs. Toutefois, ils peuvent présenter une consommation électrique lorsqu'il est nécessaire de modifier la consigne de déphasage à l'aide de transistors MOSFET par exemple. Néanmoins, la consommation électrique à l'état statique de ces composants est négligeable. D'autre part, les déphaseurs actifs sont réalisés avec des circuits gourmands en énergie tels que des amplificateurs à gain variable ou des cellules de Gilbert. Les déphaseurs passifs atteignent une haute linéarité au détriment d'une perte d'insertion et figure de bruit (NF) élevées, et d'une empreinte importante sur la puce. En revanche, les déphaseurs actifs offrent une linéarité moindre, mais la possibilité de solutions plus compactes, de faibles pertes (voire un gain), ainsi que la possibilité de régler le gain, allégeant le travail du VGPA dans la compensation des pertes et de l'apodisation du signal.

III.1.2. Types de déphaseur

III.1.2.1. Ligne à retard et filtres commutés

L'une des méthodes passives pour obtenir un déphasage consiste à intégrer deux commutateurs SPDT (*Single Pole Double Throw*) entre des lignes de transmission de longueurs électriques différentes (Figure III.1a) ou entre des filtres (Figure III.1b).

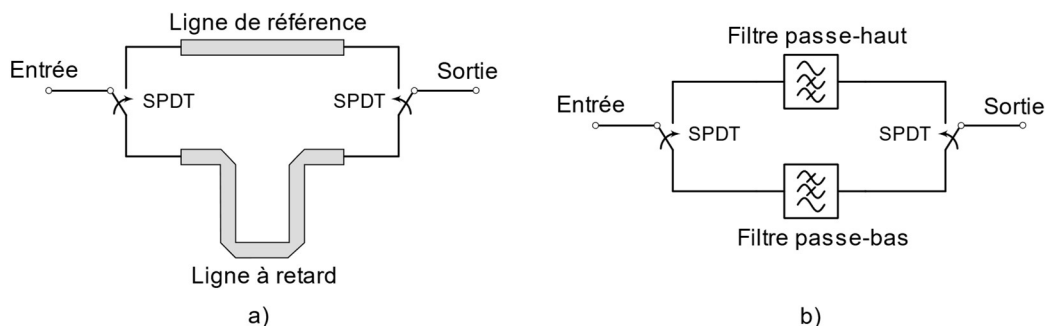


Figure III.1 Ligne à retard commutée a) et Filtres commutés b)

Dans le cas des lignes à retard et dans une situation idéale, le retard temporel τ entre les deux trajets demeure constant, correspondant à la différence de longueur ΔL entre les deux lignes, divisée par la vitesse v de propagation de l'onde dans le circuit (E-13). En ce qui concerne la phase, le déphasage effectué est égal au quotient de la différence de longueur ΔL par la longueur d'onde équivalente λ dans le milieu en fonction de la fréquence (E-14).

$$\tau = \frac{\Delta L}{v} \quad (\text{E-13})$$

$$\Delta\varphi = \frac{\Delta L}{\lambda} \cdot 2\pi \quad (\text{E-14})$$

Cette approche présente deux inconvénients significatifs malgré sa simplicité de mise en œuvre. Premièrement, la nécessité d'avoir une ligne de retard assez longue pour obtenir des déphasages substantiels entraîne une utilisation importante d'espace sur la puce. Deuxièmement, la ligne à retard génère inévitablement des pertes plus élevées que la ligne de référence, ce qui entraîne un déséquilibre d'amplitude entre les états de phase. Ces problèmes sont aggravés dans le cas de leur utilisation dans des systèmes d'antenne réseaux comportant plusieurs éléments, ce qui les rend irréalisables pour notre application.

Pour optimiser la surface utilisée, les lignes de transmission peuvent être remplacées par des filtres utilisant des composants inductifs et capacitifs. Dans l'état de référence, le signal traverse un filtre passe-haut (HP : *High-pass*), induisant une avance de phase. En revanche, lorsque les commutateurs sont activés, le signal traverse un filtre passe-bas (LP : *Low-pass*), engendrant un retard de phase. Le déphasage $\Delta\varphi$ est donc le résultat de la différence de phase relative entre les deux filtres (E-15).

$$\Delta\varphi = \varphi(S_{2,1_{HP}}) - \varphi(S_{2,1_{LP}}) \quad (\text{E-15})$$

L'utilisation de déphasage à travers des filtres commutés offre la possibilité d'obtenir une différence de phase assez précise avec une dispersion de gain réduite par rapport aux lignes à retards. Bien que cette solution soit largement utilisée dans la littérature scientifique en raison de sa simplicité, les pertes d'insertion dues aux composants passifs et aux commutateurs peuvent être élevées aux fréquences millimétriques. Dans les systèmes qui nécessitent plusieurs bits, ce problème s'aggrave, ce qui ne le rend pas attractif pour l'application choisie.

III.1.2.2. Ligne à charge variable

Une autre alternative passive pour introduire un déphasage dans le signal implique l'utilisation d'une ligne quarte d'onde connectée à des charges variables à ses extrémités, comme illustré dans la Figure III.2. Les charges sont sélectionnées de manière à altérer la phase du signal sans affecter son amplitude. Cette modification des charges peut être réalisée par commutation ou de manière analogique en utilisant, par exemple, des diodes varactors.

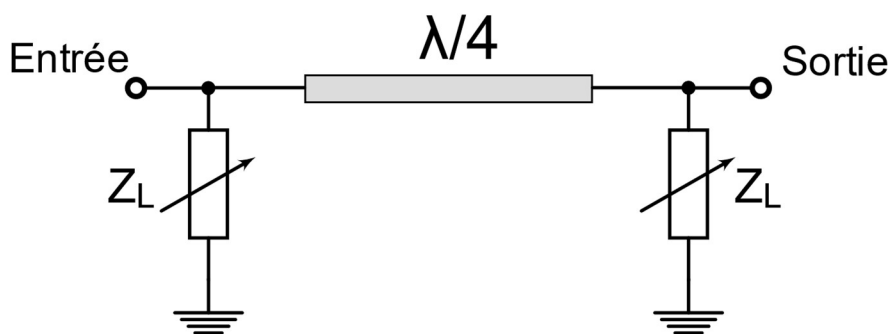


Figure III.2 Ligne chargée

Pour minimiser les pertes, il est souhaitable que les charges présentent idéalement des réactances pures. Selon les équations formulées dans [92], il est possible d'obtenir un déphasage avec une longueur de ligne quelconque, mais seules les lignes quart d'onde permettent d'obtenir des pertes d'insertion équivalentes pour les deux états. La valeur théorique du déphasage dépend de la différence de susceptance ΔB de la charge par rapport à son état de référence, ainsi que de la conductance Y_0 de la ligne (E-16). La réponse en fréquence de la phase est souvent meilleure dans le cas des déphaseurs à ligne variable par rapport à ceux des déphaseurs à ligne commutée, mais elle demeure généralement moins performante que celle des déphaseurs à filtres commutés. De plus, cette topologie rend difficile l'atteinte de déphasages importants, ce qui la rend peu pratique pour la plupart des systèmes modernes.

$$\Delta\varphi = 2 \cdot \arctan\left(\frac{\Delta B}{2 \cdot Y_0}\right) \tag{E-16}$$

III.1.2.3. Déphaseur en réflexion

Les déphaseurs en réflexion (RTPS : *Reflection-Type Phase Shifter*) utilisent un coupleur hybride de 90° pour diviser le signal d'entrée en deux, qui sont ensuite dirigés vers deux charges réfléchissantes identiques et variables, comme illustré dans la Figure III.3.

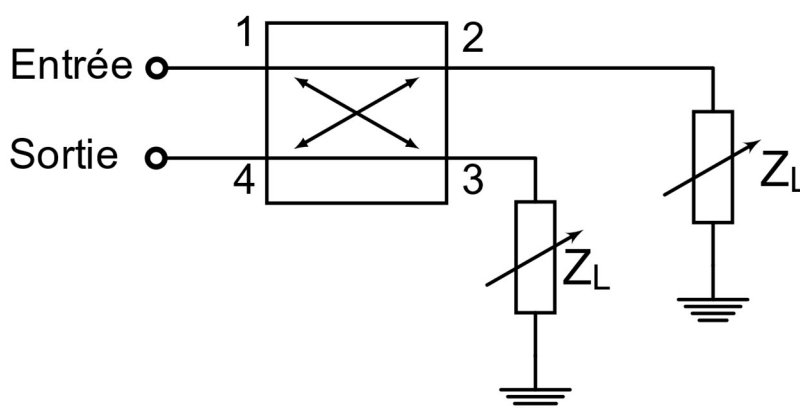


Figure III.3 Déphaseur en réflexion (RTPS)

Les signaux en quadrature sont renvoyés par les charges, puis recombinaés en phase au niveau du port de sortie et en opposition de phase au niveau du port d'entrée. Le déphasage au niveau du port de sortie est contrôlé en ajustant la valeur du coefficient de réflexion au niveau des charges.

$$\varphi(\Gamma) \cong \arg\left(\frac{j \cdot X_L - R_0}{j \cdot X_L + R_0}\right) = -2 \cdot \arctan\left(\frac{X_L}{R_0}\right) \quad (\text{E-17})$$

Dans le cas idéal, la charge utilisée est une réactance pure X_L , et Z_0 est purement résistive ($Z_0 = R_0$). Dans cette configuration, la valeur du déphasage est alors déterminée par les valeurs extrêmes X_{min} et X_{max} :

$$\Delta\varphi = 2 \cdot \left[\arctan\left(\frac{X_{min}}{R_0}\right) - \arctan\left(\frac{X_{max}}{R_0}\right) \right] \quad (\text{E-18})$$

La topologie du déphaseur en réflexion présente quelques inconvénients. Tout d'abord, il est difficile de modifier la phase du coefficient de réflexion sans en modifier l'amplitude, ce qui entraîne d'importantes variations parmi les états. La dynamique de phase reste aussi limitée par la variation maximale des charges réfléchissantes. De plus, les topologies RTPS utilisent plusieurs coupleurs hybrides de 90° , lesquels occupent une grande surface et peuvent entraîner d'importantes pertes d'insertion. En effet, les premières topologies RTPS proposé comportaient neuf coupleurs hybrides [93], tandis que les travaux plus récents en utilisent quatre [94], ce qui en fait toujours une topologie compétitive dans les systèmes de communication aujourd'hui.

III.1.2.4. Modulateur Vectoriel

Les déphaseurs passifs, classiquement utilisés dans le domaine des ondes millimétriques ont deux inconvénients majeurs. Le premier est lié à la dimension, puisque ce type de topologie utilise des inductances, des lignes de transmission ou des coupleurs hybrides, qui occupent une grande surface. Le deuxième est dû aux pertes d'insertion de ce type de topologie. Ces problèmes s'amplifient lorsque le nombre de bits augmente. Contrairement à ce type de déphaseur, le modulateur vectoriel (VM : *Vector Modulator*) peut contrôler simultanément l'amplitude et la phase d'un signal, tout en minimisant les pertes d'insertion. Un schéma générique simplifié d'un modulateur vectoriel est représenté sur la Figure III.4.

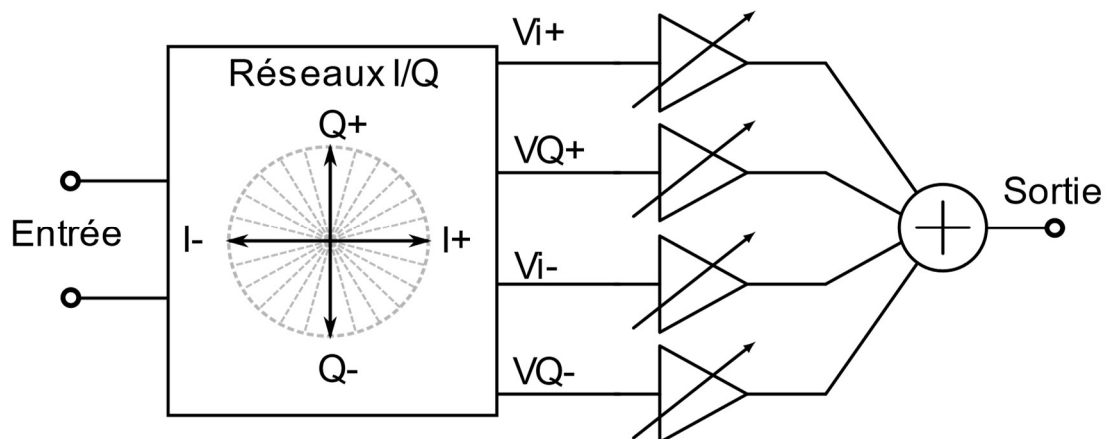


Figure III.4 Modulateur Vectoriel

Ce circuit peut générer, à partir de la pondération des signaux I et Q orthogonaux, un signal de sortie quelconque dans un domaine de balayage de 360° . Les quatre voies (Q_+ , Q_- , I_+ , I_-) sont générées préalablement à l'aide d'un ensemble de coupleurs hybrides ou de filtres, ce qui permet de produire des états dans les quatre quadrants de la constellation (0° , 90° , 180° , 270°). Ensuite, le gain des voies I et Q est ajusté à l'aide d'amplificateurs variables par exemple. En ajustant les pondérations d'amplitude $A_{Q\pm}$ et $A_{I\pm}$, il est possible de former une constellation d'états. Il existe plusieurs topologies pour générer des signaux orthogonaux et pour réaliser ces pondérations d'amplitude, comme il sera expliqué plus loin dans ce chapitre.

Les valeurs du déphasage $\Delta\varphi$ et de l'amplitude A des états sont déterminées par les équations (E-19) et (E-20). En choisissant les meilleurs états, un déphasage optimal avec un faible déséquilibre d'amplitude peut alors être obtenu avec cette solution. Il est important de souligner que la topologie du modulateur vectoriel peut également être conçue avec une consommation négligeable, en utilisant des atténuateurs variables au lieu d'amplificateurs variables.

$$\Delta\varphi = \arctan\left(\frac{A_{Q\pm}}{A_{I\pm}}\right) \quad [\text{pour } 0^\circ < \varphi < 90^\circ] \quad (\text{E-19})$$

$$A = \sqrt{A_{Q\pm}^2 + A_{I\pm}^2} \quad (\text{E-20})$$

Avant de passer à l'état de l'art des déphaseurs en bande Ka et de définir les spécifications et l'architecture de notre déphaseur, il est important de définir les principaux paramètres de performances qui caractérisent ce type de circuit.

III.1.3. Paramètres de performance

Dans le contexte des systèmes d'antennes réseaux actifs, le déphasage relatif entre les éléments rayonnants demeure le critère le plus important. La phase relative $\Delta\varphi$, par rapport à un état de référence, est définie par l'équation (E-21) suivante :

$$\Delta\varphi = \varphi(S_{2,1}) - \varphi(S_{2,1Ref.}) \quad [360^\circ] \quad (\text{E-21})$$

Idéalement, un déphaseur devrait être en mesure de fournir un déphasage $\Delta\varphi$ pouvant prendre n'importe quelle valeur comprise entre 0 et 360° , sans influencer l'amplitude du coefficient de transmission ($|S_{2,1}|$). Cependant, dans la réalité, le déphasage entraîne inévitablement des pertes d'insertion dont la valeur dépend de $\Delta\varphi$. Afin de caractériser les performances d'un déphaseur, on recourt aux critères illustrés dans la Figure III.5. Cette évaluation s'effectue en analysant les résultats, qu'ils proviennent de mesures ou de simulations, pour l'ensemble des états de phase sur la plage de fréquence considérée :

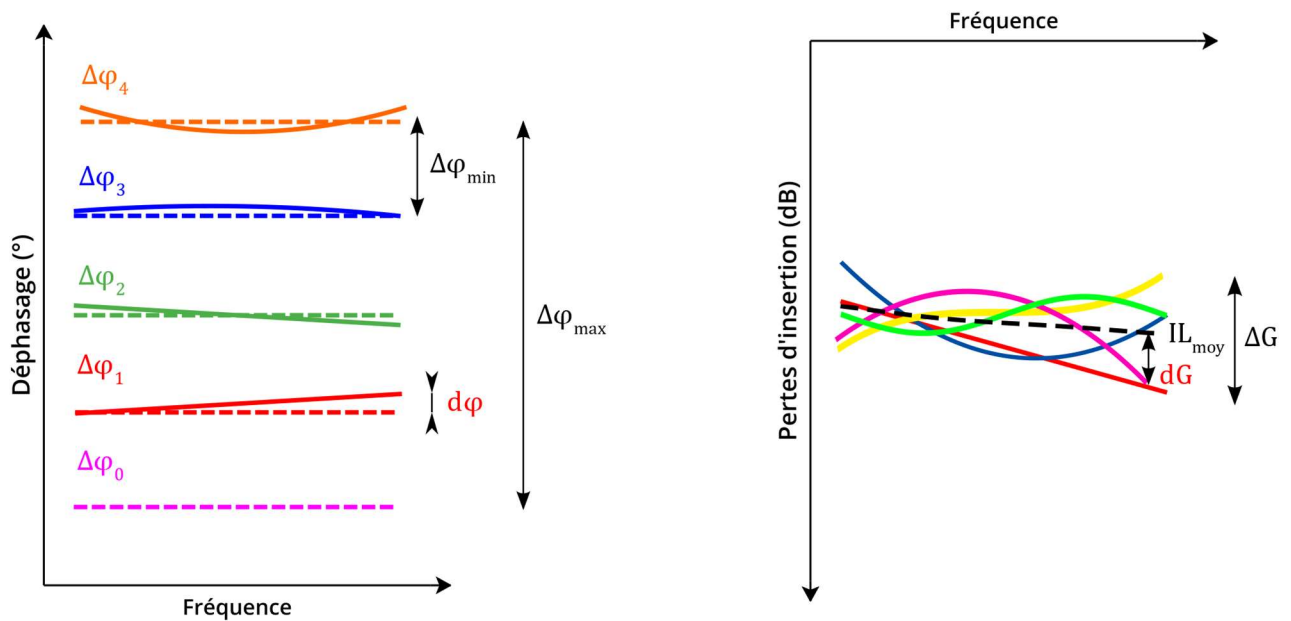


Figure III.5 Critères de performance des déphaseurs

- La dynamique $\Delta\varphi_{max}$ correspond au déphasage maximal que peut apporter le déphaseur. Pour la plupart des systèmes, cette dynamique varie entre 0 et 360°
- La résolution $\Delta\varphi_{min}$ représente la plus petite différence de phase que l'on peut contrôler. Pour un système fonctionnant avec 6 bits, par exemple, une résolution de 5,625° est souhaitée.
- Les écarts $d\varphi$ de chaque état correspondent à la différence entre le déphasage effectif et le déphasage souhaité (E-22). Ces écarts peuvent également être regroupés en un seul critère appelé $d\varphi_{RMS}$ (RMS : *Root-Mean Square*), ou erreur de phase RMS, qui correspond à la somme des écarts quadratiques moyens (E-23).

$$d\varphi = \Delta\varphi - \Delta\varphi_{idéal} \quad (E-22)$$

$$d\varphi_{RMS} = \sqrt{\frac{\sum_1^N d\varphi^2}{N}} \quad (E-23)$$

- La dispersion d'amplitude ΔG correspond à la différence entre les valeurs extrêmes de l'amplitude $|S_{2,1}|$ sur l'ensemble des états.
- La perte d'insertion moyenne, IL_{moy} , correspond à la moyenne des pertes d'insertion de tous les états de déphasage. De manière similaire à la phase, l'ensemble des écarts dG (E-24) par rapport à la moyenne peut être sommé quadratiquement pour former un critère G_{RMS} , ou erreur d'amplitude RMS. La méthode la plus couramment employée consiste à additionner directement les écarts d'amplitude en dB (conformément à l'équation E-25), bien que cette approche puisse être critiquée du point de vue mathématique, car elle revient à additionner des valeurs logarithmiques au carré.

$$dG = |S_{2,1}|_{dB} - |S_{2,1}|_{dB,moy}. \quad (E-24)$$

$$dG_{RMS} = \sqrt{\frac{\sum_1^N dG^2}{N}} \quad (E-25)$$

III.1.4. État de l'art des déphaseurs

Dans cette section, nous résumons les déphaseurs des dernières années qui sont situés dans l'état de l'art, en mettant un accent particulier sur les technologies BiCMOS. Nous comparons leurs principaux paramètres de performance (Tableau III-1) et décrivons brièvement leurs topologies et résultats.

Tableau III-1 État de l'art des déphaseurs en bande X/Ka

Réf.	Année	Type	Tech.	Bande de fréquences $f_{min} - f_{max}$ (GHz)	Dynamique $\Delta\phi_{max}$ (°)	Résolution $\Delta\phi_{min}$ (°)	Erreur phase $d\phi_{RMS}$ (°)	Pertes d'insertion IL (dB)	Erreur d'ampli. dG_{RMS} (°)	Puissance P_{DC} (mW)	Surface A (mm ²)
[95]	2016	VM	250 nm SiGe	8,0 – 12,0	360	5,625 (6 bits)	< 2,8 @ 10 GHz	5 @ 10 GHz	< 2 @ 10 GHz	110	1,645 (core)
[94]	2017	RTPS/VM	250 nm SiGe	18,3 – 22,4	360	22,5 (4 bits)	4	9,6 ± 0,7 * @ 20 GHz	0,7	0	0,154 (core)
[96]	2017	VM	250 nm SiGe	5,0 – 13,0	360	5,625 (6 bits)	< 2,8 @ 10 GHz	7,8 ± 2 @ 10 GHz	< 2 @ 10 GHz	90	0,72 (core)
[97]	2018	VM	65 nm CMOS	27,0 – 29,0	360	5,625 (6 bits)	< 0,54	3,1 ± 0,2 @ 28 GHz	< 0,13	25,2	0,582 (puce)
[98]	2019	VM	130 nm SiGe	26,0	360	11,25 (5 bits)	4	0,5 @ 26 GHz	0,2	23	0,48 (core)
[99]	2019	RTPS	45 nm SOI	27,0 – 31,0	360	11,25 (5 bits)	1,5 @ 30 GHz	9,2 ± 0,8 @ 29 GHz	< 0,5 @ 30 GHz	0	0,26 (core)
[100]	2020	VM	250 nm SiGe	28	360	2,81 (7 bits)	< 3,1 @ 28 GHz	0 ± 1 @ 28 GHz	0,5 @ 28 GHz	33,7	0,262 (core)
[101]	2021	Filtres commutés	180 nm CMOS	26 - 32	360	11,25 (5 bits)	< 2 @ 29 GHz	16,0 ± 2,0 @ 29 GHz	< 0,8 @ 29 GHz	0	0,7 (puce)
[102] VM1	2021	VM	130 nm SiGe	26,5 – 29,5	360	22,5 (4 bits)	< 4,2	$G = 2,3 @ 27$ GHz	< 0,7	42,5	1,15 (puce)
[102] VM2	2021	VM	130 nm SiGe	26,5 – 29,5	360	22,5 (4 bits)	< 3,5	4,4 @ 27 GHz	< 1	27,5	0,71 (puce)

Dans le travail [95] les auteurs proposent un modulateur vectoriel à 6 bits de 3 étages en bande X. Le premier étage est un *balun* actif (CB/CE paire), le deuxième est un filtre polyphase RC de 2^{ème} ordre, tandis que le troisième est réalisé à l'aide des VGAs piloté en courant. Un

circuit de commande basé sur un décodeur est proposé pour contrôler les VGAs. Le *layout* est réalisé en utilisant la technologie d'IHP SG25H3 SiGe BiCMOS de 250 nm. Les résultats de mesures ont montré que le déphaseur a abouti à une erreur de phase RMS < 2,8° entre 9,6 et 11,7 GHz ainsi que < 5,6° entre 8,2 et 12 GHz, atteignant une résolution de phase de 6 bits. L'erreur de gain RMS mesurée est < 2 dB entre 8 et 12 GHz. La taille de la puce est de 1,87 x 0,88 mm² sans I/O pads et la consommation totale est de 110 mW.

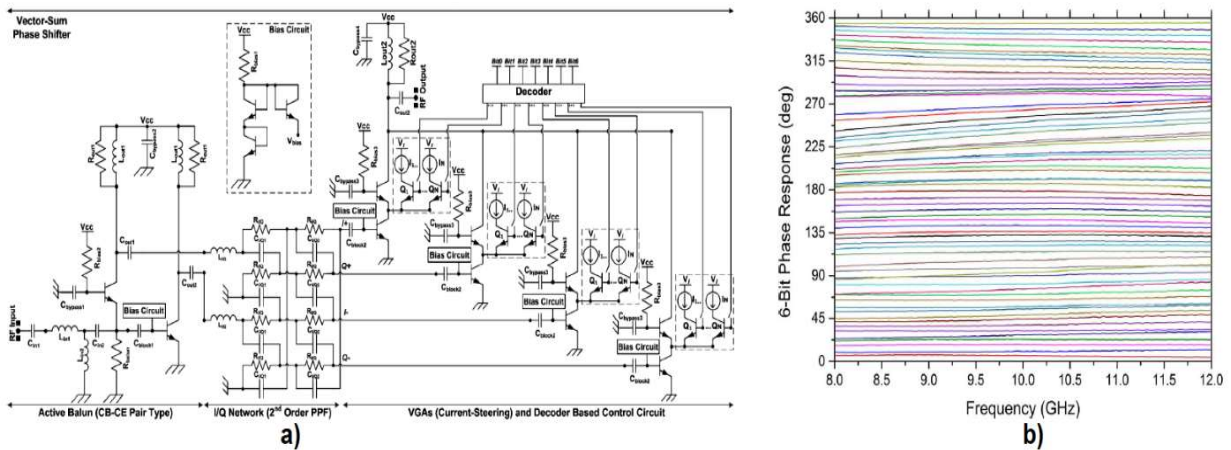


Figure III.6 Schéma électrique (a) et phase relative (c) du travail [95]

Le travail [94] propose une nouvelle topologie de modulateur vectoriel de type réflexion équilibrée. L'utilisation de seulement quatre coupleurs hybrides à 90° permet une réduction significative de la surface, la rendant compétitive par rapport aux solutions actives, tout en préservant tous les avantages de la topologie passive. Le circuit a été fabriqué en utilisant une technologie BiCMOS de 250 nm et occupe une superficie de 0,353 x 0,435 mm². Le déphaseur fonctionne entre 18,3 et 22,4 GHz avec un gain maximal à 20,35 GHz de -9,61 dB. De plus, le circuit présente des erreurs RMS en amplitude et en phase de 0,7 dB et de 4° respectivement.

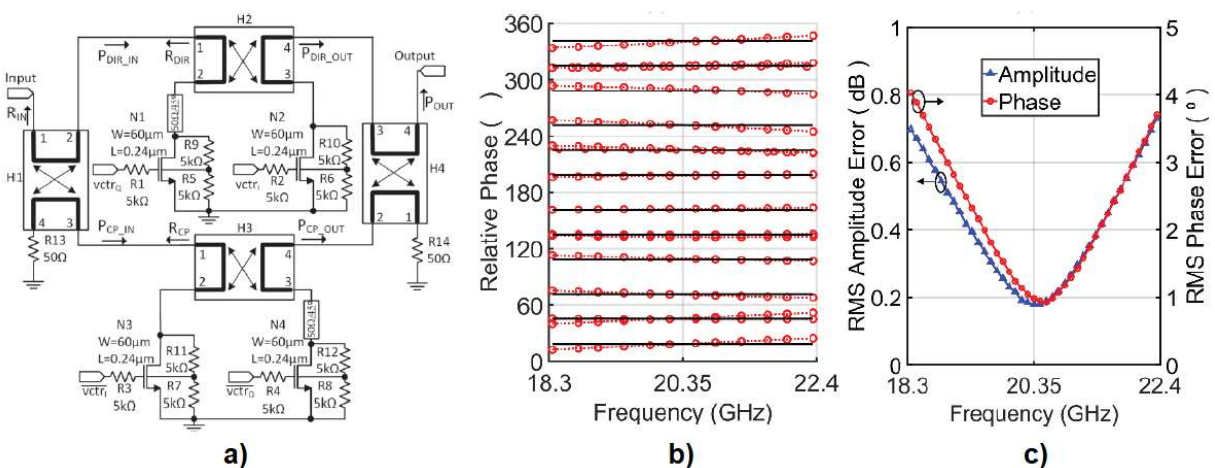


Figure III.7 Schéma électrique (a) phase relative (c) et erreurs RMS du travail [94]

Un modulateur vectoriel à 6 bits de 3 étages en bande X a été proposé dans le travail [96] comme alternative au travail [95]. Dans ce circuit, le *balun* actif de [95] a été remplacé par un transformateur, dans le but d'augmenter la linéarité et de réduire la consommation. Les deuxième et troisième étages sont mises en œuvre de la même manière que dans les travaux

[95]. Le *layout* est réalisé en utilisant la technologie d'IHP SG25H3 SiGe BiCMOS de 250 nm et la taille de la puce est de 1,87 x 0,88 mm² sans I/O pads. L'erreur de phase RMS mesurée est < 2,8° entre 7,4 et 10,3 GHz et < 5,6° entre 5,4 et 11,9 GHz, avec une perte d'insertion moyenne > 7,8 dB. La consommation totale est de 90 mW.

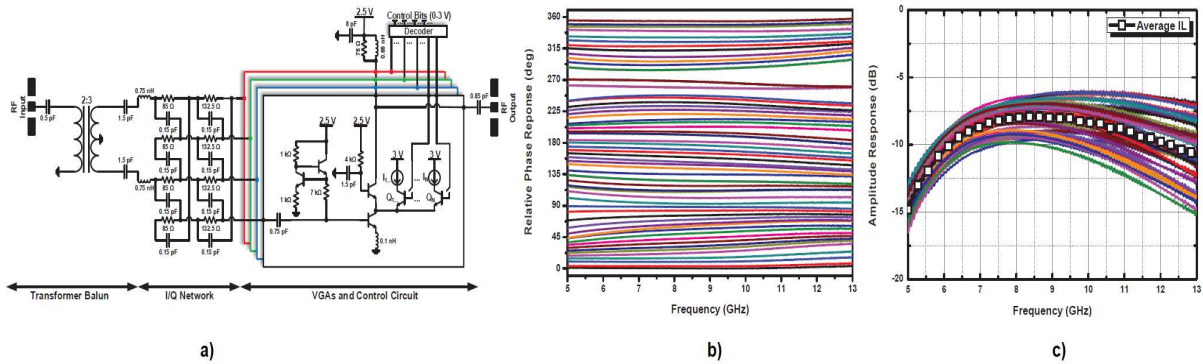


Figure III.8 Schéma électrique (a) phase relative (b) et perte d'insertion (c) du travail [96]

Dans le travail [97] un modulateur vectoriel à 28GHz est proposé pour réseau mobile 5G. Avec la technique de compensation de l'erreur de gain proposée, la variation de gain mesurée due au réglage de phase dans la plage de 27,4 à 28,6 GHz est inférieure à 0,47 dB, accompagnée d'une erreur d'amplitude RMS de 0,13 dB. L'erreur de phase RMS mesurée est inférieure à 0,54°. Le déphaseur proposé est fabriqué dans un processus CMOS 65 nm avec une taille de puce de 0.97 x 0.60 mm². La consommation totale est de 25,2 mW.

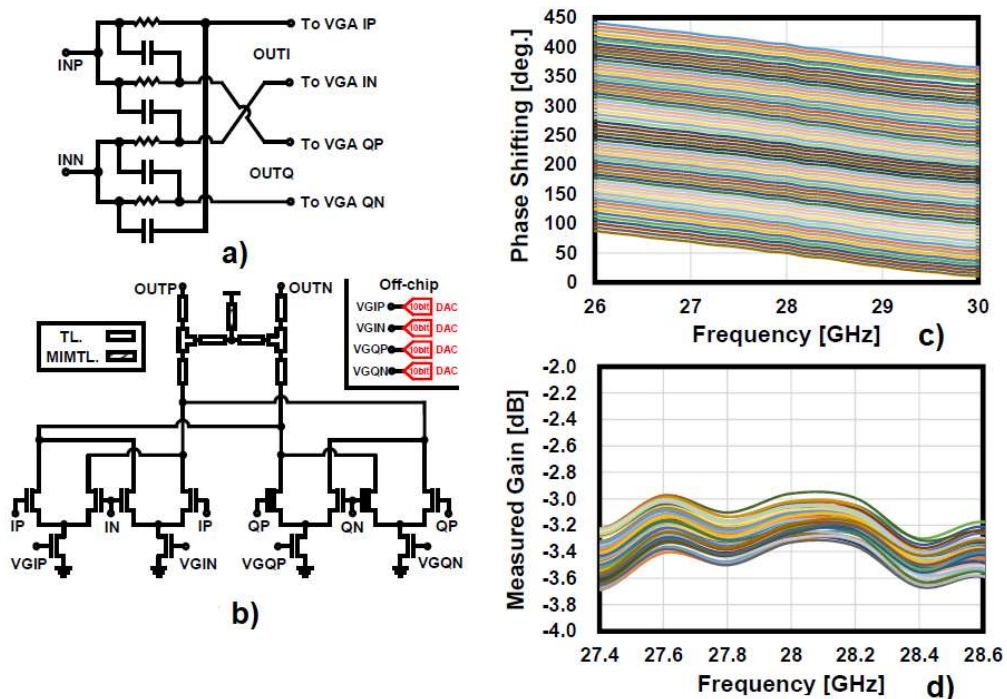


Figure III.9 Filtre polyphase RC (a), VGAs (b), phase relative (c) et perte d'insertion (d) du travail [97]

Un modulateur vectoriel de 26 GHz est proposé dans le travail [98]. Il utilise un cœur RF à cellule Gilbert, dont le courant de polarisation est contrôlé par un DAC à faible consommation d'énergie de 8 bits et des commutateurs de signe I/Q de 2 bits. Le DAC comprend une

référence de courant intégrée sur puce avec des capacités de compensation de processus. Un filtre polyphase RC à 2 étages est utilisé pour générer les signaux en quadrature. Le VM présente une perte d'insertion moyenne de 0,5 dB à 26 GHz avec une largeur de bande à -3 dB de 8 GHz et une erreur d'amplitude RMS de 0,2 dB. Avec une résolution de 5 bits, l'erreur de phase RMS est inférieure à 4°. Le VM est fabriquée en technologie IHP SG13S SiGe BiCMOS de 130 nm. La taille de la puce est de 0,8 x 0,6 mm² sans I/O pads et la consommation totale est de 23 mW.

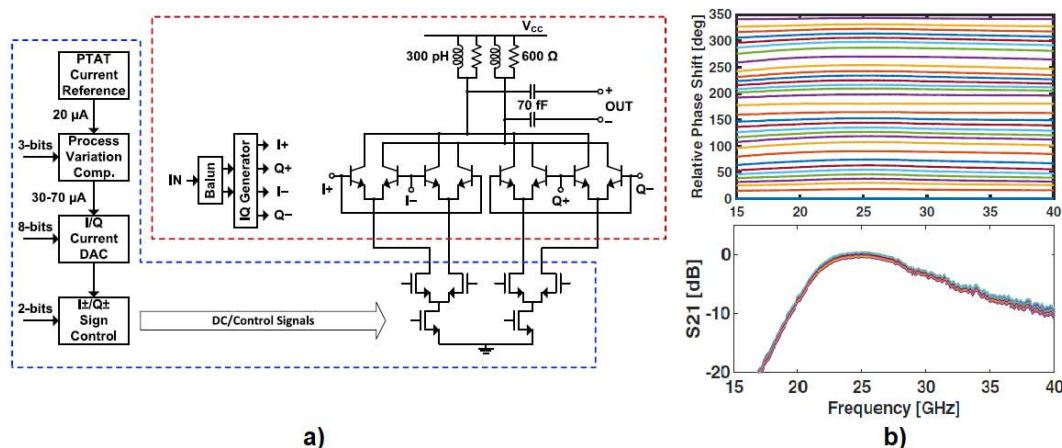


Figure III.10 Architecture proposée (a), phase relative et perte d'insertion (b) du travail [98]

Dans [99], un déphaseur de type réflexion à large bande (RTPS) est Implémenté en technologie CMOS SOI de 45 nm. Le RTPS bidirectionnel proposé fournit un déphasage complet de 360 degrés avec une résolution de phase sur 5 bits. Il intègre un résonateur inducteur/varactor en série supplémentaire à un réseau varactor/inducteur/varactor de type Pi pour élargir à la fois la plage de déphasage et la largeur de bande, et permettre à un ensemble unique de tensions de contrôler la réponse du RTPS sur la plage de fréquences de 27 à 31 GHz. Sur l'ensemble de la bande, le RTPS atteint une erreur de phase RMS inférieure à 3,8°, une perte d'insertion de 8,5 à 10 dB et une erreur d'amplitude RMS inférieure à 0,5 dB. La taille de la puce est de 0,47 x 0,55 mm² sans I/O pads.

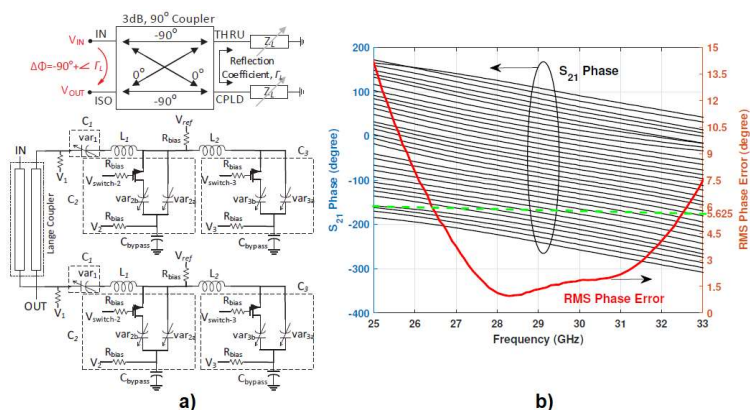


Figure III.11 Schéma proposée (a), phase relative et erreur de phase RMS (b) du travail [99]

Le travail [100] présente un émetteur à commande de phase et de gain de 28 GHz très précis pour les applications de répéteurs à réseau phasé 5G. Il est conçu dans une technologie SiGe BiCMOS de 130 nm. Le modulateur vectoriel de cet émetteur est constitué d'un *balun* passif, suivi d'un filtre passe-tout en quadrature (QAF: *Quadrature all-pass filter*) pour générer les signaux en quadrature. Le troisième étage consiste en deux cellules de Gilbert couplées de manière croisée. Le VM présente une perte d'insertion 0 ± 1 dB à 28 GHz et une erreur d'amplitude RMS de 0,5 dB. Avec une résolution de 7 bits, l'erreur de phase RMS est inférieure à $3,1^\circ$. Le déphaseur est fabriqué en technologie SiGe BiCMOS de 130 nm avec un VGA et un PA sur la même puce. Le VM occupe une surface de $0,595 \times 0,44$ mm² sans I/O pads et sa consommation totale est de 33,7 mW.

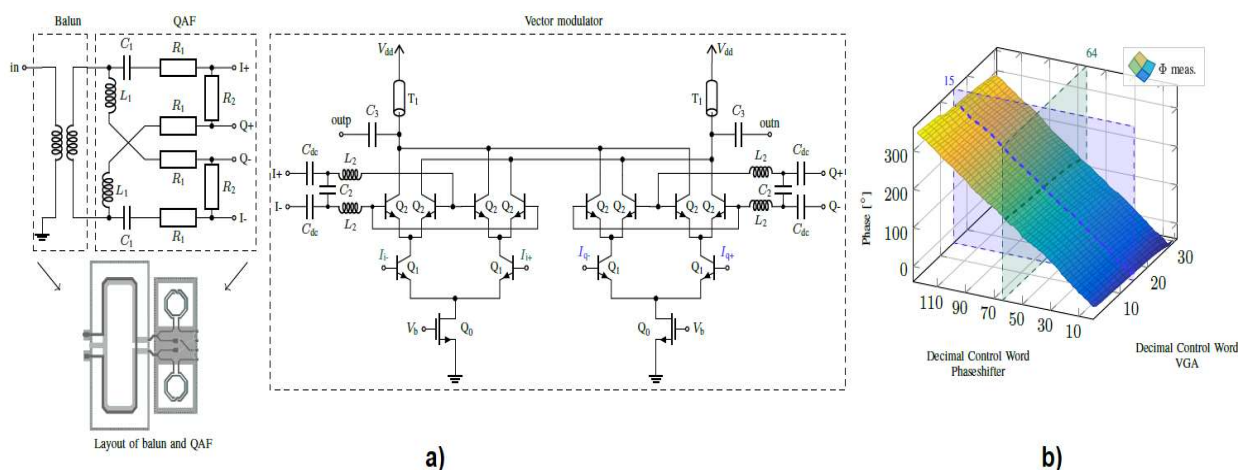


Figure III.12 Schéma proposé (a) et réponse en phase en fonction des bits du VM/VGA (b) du travail [100]

Dans le travail [101] les auteurs présentent un déphaseur à 5 bits de type filtre commuté en bande Ka. Une topologie basée sur une commutation biphasée de type réflexion est appliquée au bit de déphasage de 90° . Le déphaseur est fabriqué avec un process CMOS de 180 nm et présente un mécanisme de contrôle de phase numérique intrinsèque atteint une faible erreur de phase RMS et une faible erreur d'amplitude RMS, respectivement inférieures à 4° et 0,8 dB de 26 à 32 GHz. L'erreur de phase RMS la plus basse est de 2° et l'erreur d'amplitude est de 0,8 dB, à 29 GHz. La perte d'insertion mesurée est de 16 ± 2 dB de 26 à 32 GHz sur l'ensemble des 32 états. Le déphaseur occupe une surface de $0,965 \times 0,725$ mm².

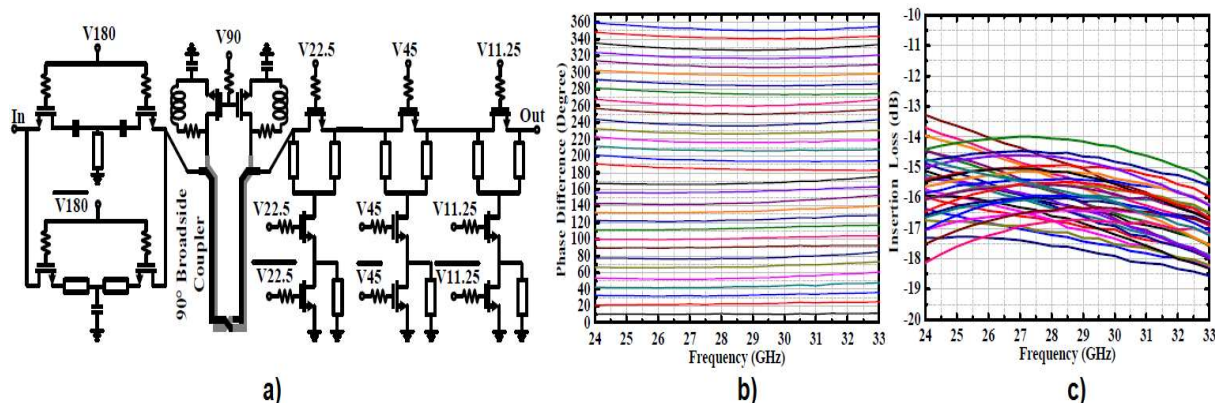


Figure III.13 Schéma électrique (a) phase relative (b) et perte d'insertion (c) du travail [101]

Les auteurs de [102] présentent deux approches pour la conception de modulateurs vectoriels de 4 bits mis en œuvre dans la technologie d’IHP SG13S SiGe BiCMOS de 130 nm pour les applications 5G dans la bande de fréquences de 26,5 à 29,5 GHz. Les modulateurs vectoriels sont composés d’un filtre RC polyphase suivi d’un réseau d’adaptation inter-étages (IMM) et de deux cellules Gilbert croisées. La première solution (VM1) exploite des réseaux d’adaptation réactive pour atteindre un gain maximal de 7,5 dB, tandis que la deuxième (VM2) minimise l’occupation de la surface avec une taille de cœur de 0,32 x 0,38 mm². Le VM1 présente un gain moyen de 2,3 dB avec des erreurs d’amplitude RMS < 0,7 dB et de phase < 4,2° et occupe une surface de 0,98 x 1,17 mm². Tandis que le VM2 présente une perte d’insertion moyenne de 4,4 dB avec des erreurs d’amplitude RMS < 1 dB et de phase < 3,5. Le VM1 consomme 42,5 mW tandis que le VM2 27,5 mW.

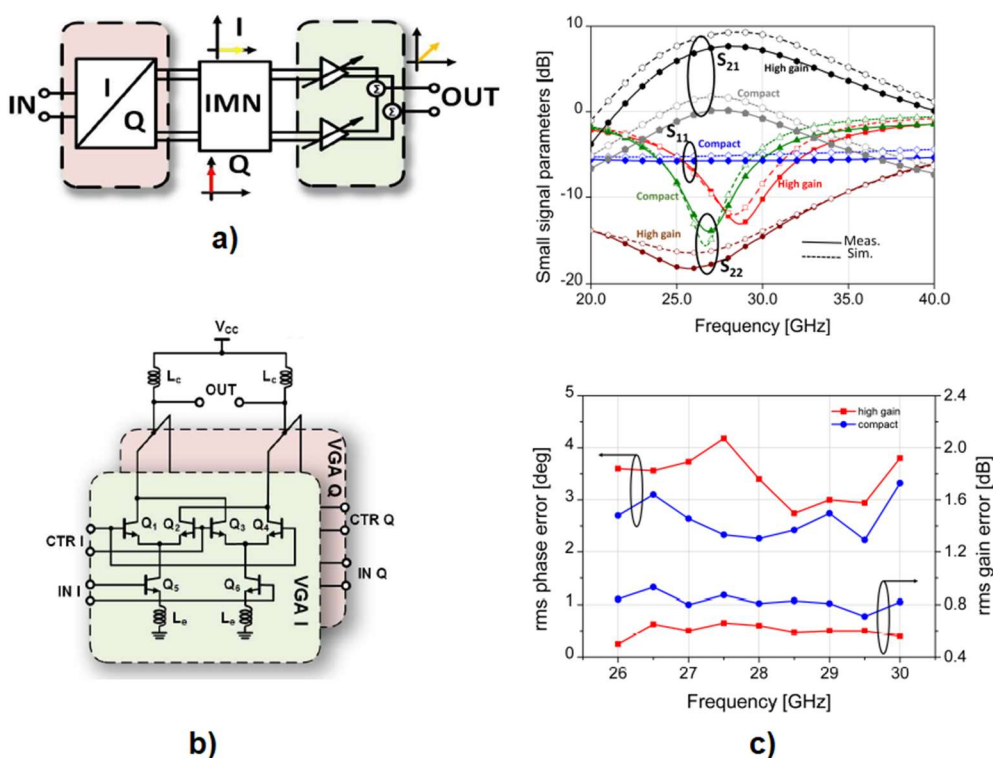


Figure III.14 Architecture proposée (a), cellules de Gilbert (b) et réponse des paramètres S et erreur de phase et d’amplitude pour VM1 et VM2 du travail [102]

III.1.5. Cahier de charges

Dans cette partie, nous définissons le cahier de charges du déphaseur. Les principaux critères ont été définis lors de la création du projet sur la base des spécifications du système (Tableau I-2) et du VGPA (Tableau II-2). Une brève description des principaux critères de performance suit, et les spécifications du déphaseur sont ensuite résumées dans le Tableau II-2.

- **Résolution et dynamique** - Une résolution de 6 bits (64 états) sur une dynamique de 360° est fixée pour permettre de tenir les gabarits de PIRE.
- **Pertes d’insertion** - En se basant sur les informations résumées dans le Tableau III-1, les pertes d’insertion associées aux technologies BiCMOS sont relativement élevées pour les topologies passives, généralement de l’ordre d’une douzaine de décibels. Dans le cas des topologies actives, ce problème est atténué, cependant le gain atteint

rarement une valeur nulle ou positive, à l'exception du travail [102]. Dans cette optique, une valeur maximale de perte d'insertion de 10 dB a été fixée.

- **Exactitude** - Il est préférable que le déphasage se rapproche autant que possible de la valeur commandée afin de ne pas altérer le diagramme de rayonnement de l'antenne. Par conséquent, une limite maximale de 3° a été établie pour l'erreur de phase ($d\varphi_{RMS}$). L'erreur d'amplitude (dG_{RMS}), même si elle n'est pas un critère fixe, doit également être minimisée afin d'alléger le travail du VGPA pour compenser les pertes entre les différents états de phase. Nous nous sommes fixés comme objectif d'atteindre une valeur inférieure à 1 dB.
- **Surface** - La surface du circuit emboîté est limitée par la maille élémentaire du réseau d'antennes (égale à $\lambda/2 = 0,5 \text{ cm @}30 \text{ GHz}$) puisque chaque élément rayonnant est relié à une puce. Le choix du boîtier pour l'intégration n'a pas encore été déterminé, mais il devra pouvoir contenir le circuit complet en double polarisation, comprenant 2 déphaseurs, 2 VGAs, ainsi que les circuits de contrôle et les pads. Si l'on se base sur les caractéristiques d'un boîtier typique tel que le QFN 8x8 qui rentrerait dans cet espace, la surface du circuit intégré avant encapsulation est de $3,1 \text{ mm} \times 3,1 \text{ mm} = 9,6 \text{ mm}^2$, ce qui nous permet d'estimer une contrainte de surface maximale de $1,5 \text{ mm}^2$ par déphaseur.
- **Consommation** - En raison du grand nombre de circuits présents sur l'antenne (plusieurs milliers d'éléments), il est impératif de gérer la consommation d'énergie du système. Étant donné qu'il y aura 2 déphaseurs par élément rayonnant (un pour chaque polarisation), une consommation maximale de 100 mW par déphaseur a été fixé dans le cas de l'utilisation d'une topologie active.
- **Adaptation** – Les impédances d'entrée et de sortie du déphaseur doivent être maintenues à 50Ω . Les modules des paramètres $S_{1,1}$ et $S_{2,2}$ doivent respecter une valeur maximale de -10 dB sur toute la bande passante.

Tableau III-2 Spécifications du déphaseur

Paramètre	Min	Typique	Max	Unité
Bande de fréquence	27	-	31	GHz
Dynamique	0	-	360	°
Nombre de bits	-	6	-	Bits
Pertes d'insertion		10		dB
Erreur de phase ($d\varphi_{RMS}$)		3		°
Surface	-		1,5	mm^2
Consommation	-	-	0,1	W
Adaptation ($ S_{1,1} $ & $ S_{2,2} $)	-	< -10	-	dB

Dans un premier temps, l'objectif est de concevoir un premier démonstrateur de déphaseur pour la Tx répondant à ce cahier des charges. Sur la base des résultats, ces spécifications peuvent être mises à jour pour de futures conceptions.

III.1.6. Choix de la topologie et de l'architecture du déphaseur

Comme le montre le résumé de l'état de l'art, les déphaseurs actifs, également appelés modulateurs vectoriels actifs (VMPS : *Vector Modulator Phase Shifter*) ou déphaseurs actifs à somme vectorielle (VSPS : *Vector-Sum Phase Shifter*), représentent actuellement l'option la plus intéressante pour fournir un déphasage précis avec peu de pertes. De plus, ils ont l'avantage d'être plus facilement adaptables aux systèmes nécessitant plusieurs bits. En effet, l'architecture d'un modulateur vectoriel à 4 bits, par exemple, est presque la même que celle d'un déphaseur à 6 bits, mais avec une commande numérique plus complexe. De plus, étant donné que les travaux antérieurs sur ce même projet [65], [66] se sont concentrés sur la conception de déphaseurs passifs, il a été décidé comme l'un des objectifs de cette thèse d'explorer d'autres alternatives. C'est dans ce contexte que la topologie du modulateur vectoriel a été choisie.

L'architecture typique d'un modulateur vectoriel est présentée sur la Figure III.15. Il se compose de trois étages principaux. Le premier étage est un *balun* (*BALanced-to-UNbalanced*), qui peut être passif grâce à l'utilisation de transformateur d'impédance ou Marchand *balun*, ou actif grâce à l'utilisation d'amplificateurs. Cet étage est chargé de transformer le signal d'entrée *single-ended* dans un signal différentiel (déphasé de 180° l'un par rapport à l'autre).

Le deuxième étage est un filtre (réseaux I/Q), chargé de générer des signaux en quadrature et en phase (0° , 90° , 180° , 270°) à partir d'une entrée différentielle. Il existe différentes manières de le mettre en œuvre comme il est possible de le voir ci-dessous.

Le troisième étage est constitué d'amplificateurs à gain variable, ou atténuateurs, chargés de pondérer les amplitudes des signaux sur chacune des voies afin de générer tous les états de phase dans un domaine de balayage à 360° . Une façon de mettre en œuvre cela consiste à utiliser quatre amplificateurs à gain variable (VGA), un pour chaque sortie de filtre, ou deux cellules Gilbert (GC) à couplage croisé. Dans les deux cas, la somme vectorielle est effectuée dans le domaine de la courant en connectant les sorties des VGA/GC à une charge commune via l'utilisation d'un combineur.

La topologie qui utilise des cellules de Gilbert est déjà bien répandue dans la littérature scientifique, montrant de bons résultats dans les bandes K/Ka [98], [100], [102]. Cependant, la topologie qui utilise quatre amplificateurs à gain variable en topologie de guidage de courant (*cascode current-steering*), que par souci de simplicité nous appellerons désormais topologie 4VGA, n'est pas aussi répandue que la précédente dans ces gammes de fréquences. Dans [95], [96], [103] les auteurs prouvent le bon fonctionnement de cette topologie en bande X mais, jusqu'à présent, la viabilité de cette topologie en bande Ka n'a pas encore été démontrée dans la littérature scientifique. Afin de vérifier la viabilité de cette topologie pour cette application, deux conceptions utilisant deux technologies différentes (BiCMOS9MW et SG13G2) seront conçues. A la fin de ce chapitre, les résultats de ces deux conceptions ainsi qu'une conception alternative avec des cellules de Gilbert seront comparés.

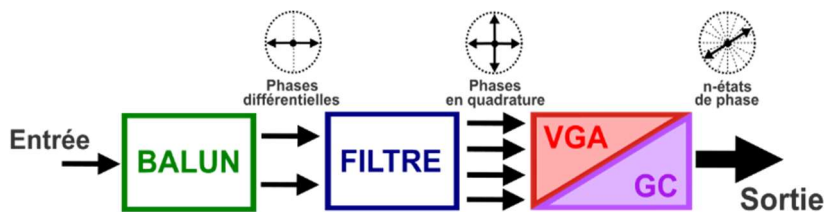


Figure III.15 Architecture classique d'un modulateur vectoriel

III.2. Topologie 1

III.2.1. Conception A

III.2.1.1. Conception du 1^{er} étage : *Balun*

Le *balun*, circuit utilisé pour transformer un signal asymétrique en signal symétrique, peut être implémenté de manière passive ou active. Un *balun* passif, ou transformateur d'impédance, est un dispositif utilisé pour convertir un signal électrique entre un circuit symétrique et un circuit asymétrique tout en assurant l'adaptation d'impédance entre les deux côtés du circuit. Les passifs ont l'avantage d'offrir une meilleure isolation et donc d'être moins sensibles aux instabilités au prix d'une perte d'insertion plus importante. En revanche, les circuits actifs peuvent générer le signal symétrique tout en apportant du gain, au prix d'une plus grande consommation d'énergie. Plusieurs topologies passives [96], [98], [100] et actives [25], [95], [104] se trouvent dans la littérature scientifique. Pour notre conception, nous avons décidé d'utiliser un *balun* actif pour générer le signal différentiel, afin de fournir un gain suffisant pour compenser les pertes globales du circuit. La topologie choisie prend pour point de départ celles des références [25], [104].

Le circuit schématique du premier étage de la conception A est illustré dans la Figure III.16. Le *balun* actif est basé sur la topologie de pair de transistors en émetteur commun et base commune (CE/CB) qui sert de diviseur à 180°. Le signal d'entrée entre dans le CE depuis la base et arrive au collecteur avec un déphasage de 180°. Comme la base du deuxième transistor en base commune est mise à la terre, une sortie différentielle est obtenue des collecteurs. Ensuite, un deuxième étage fonctionnant comme un amplificateur différentiel est ajouté à la sortie afin :

- d'augmenter le gain total du *balun* et de favoriser l'équilibre de phase et d'amplitude entre les sorties
- de servir de *buffer* entre le *balun* et le filtre qui suivra

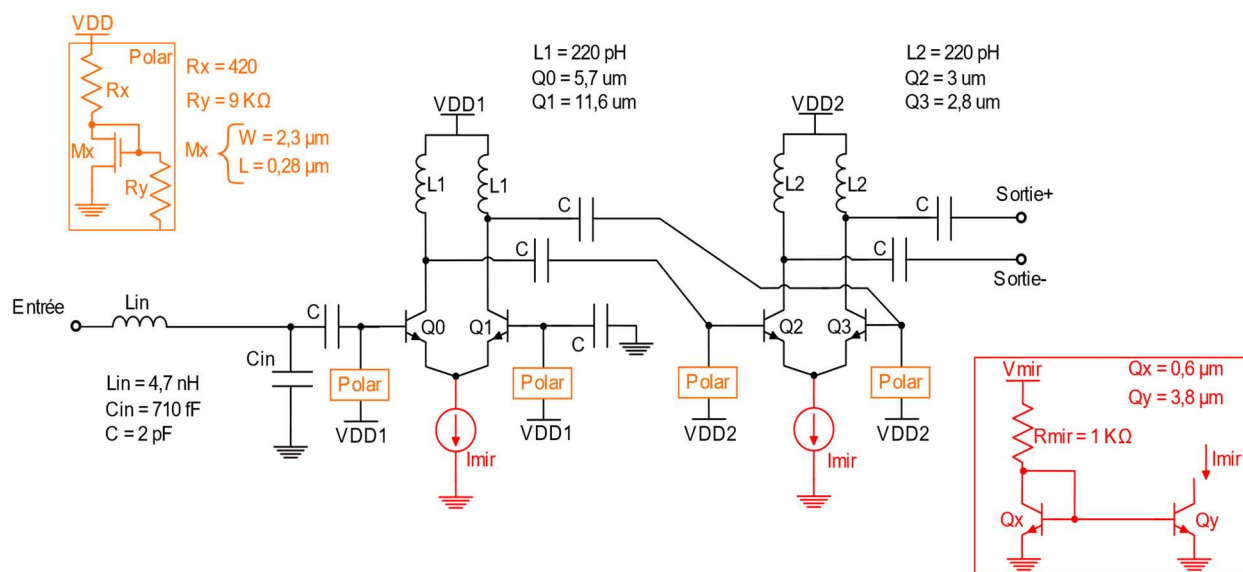


Figure III.16 1^{er} étage de la conception A

Dans un premier temps, une simulation paramétrique du premier étage du *balun* a été réalisée afin de trouver la relation entre les longueurs des émetteurs des transistors CE (Q_0) et CB (Q_1) qui offrira le meilleur équilibre d'amplitude/phase en sortie (au niveau des collecteurs), tout en offrant un bon gain. Dans cette conception, nous utilisons des transistors *npnhs* en configuration CBEC car ils ont un plus grand f_t (partie I.4.2.2). Pour ces simulations, ces longueurs ont été fixées à $3,0\ \mu\text{m}$ avec VDD et VBE égaux respectivement à $2\ \text{V}$ et $0,9\text{V}$. Ces conditions garantissent que les deux transistors fonctionnent dans la région linéaire. Les résultats de simulation ont montré qu'une relation d'environ 1,97 entre les longueurs d'émetteur des transistors CB par rapport au CE doit être recherchée pour minimiser le déséquilibre lorsque le miroir de courant est fixé à $10\ \text{mA}$. Ensuite, une optimisation, utilisant les valeurs obtenues comme valeurs initiales, a été réalisée dans le but d'affiner les résultats. Un rapport optimal de 2,035 (CB par rapport au CE) pour un courant de polarisation d'environ $10,8\ \text{mA}$ a été obtenu. La longueur finale de l'émetteur du CB (Q_1) et du CE (Q_0) est respectivement de $11,6\ \mu\text{m}$ et $5,7\ \mu\text{m}$. Le miroir de courant et le circuit de polarisation de la base des transistors qui fournissent la condition de polarisation souhaitée sont donc conçus.

Un deuxième étage d'amplification, de même longueur initiale ($3\ \mu\text{m}$) et polarisation que le premier ($10\ \text{mA}$), est alors ajouté en cascade dans le but d'augmenter le gain et de favoriser une meilleure isolation. L'ajout du deuxième étage provoque cependant un déséquilibre qui peut être facilement compensé en optimisant les longueurs des transistors de cet étage. Les valeurs optimales pour la longueur des émetteurs des transistors Q_2 et Q_3 sont fixées respectivement à $3\ \mu\text{m}$ et $2,8\ \mu\text{m}$. De plus, un circuit d'adaptation d'entrée constitué d'une inductance série (L_{in}) et d'une capacité parallèle (C_{in}) sont utilisés pour adapter l'entrée à $50\ \Omega$ sur toute la plage d'intérêt ($27 \sim 31\ \text{GHz}$). Les valeurs finales de tous les composants du 1^{er} étage de la conception A sont présentées sur la Figure III.16.

Les résultats de gain en tension et déphasage de la conception A à la sortie du *balun* sont présentés dans la Figure III.17. Comme on peut le voir, la conception A présente un gain de tension entre 25 et 30 dB dans la bande avec une très faible variation entre les deux sorties. De plus, il est possible d'observer un déphasage de 180° sur toute la bande utile.

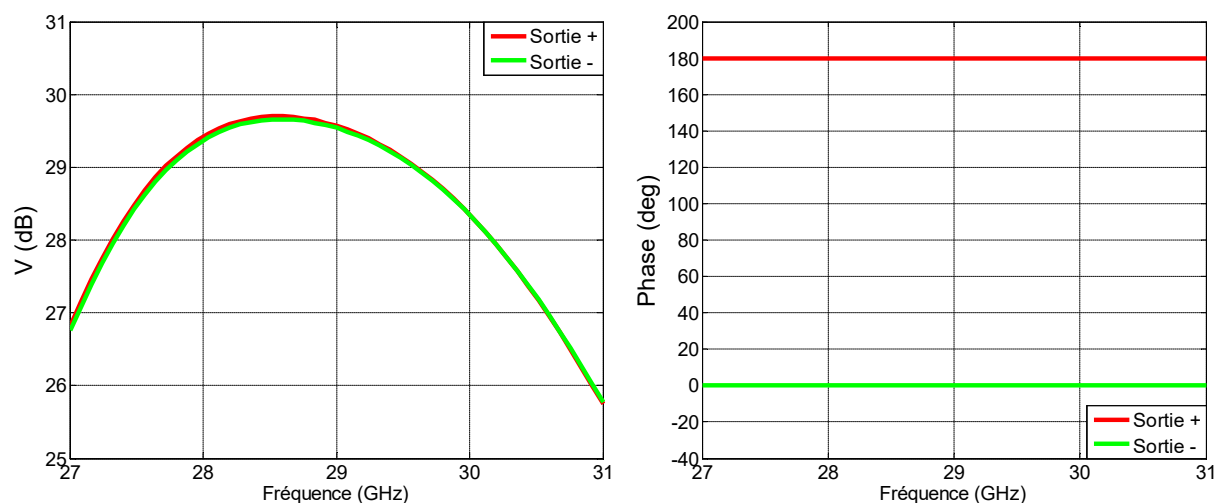


Figure III.17 Gain de tension (a) et déphasage relative (b) du 1^{er} étage de la conception A

III.2.1.2. Conception du 2^{ème} étage : Réseaux I/Q

Les réseaux I/Q sont largement utilisés dans différentes architectures d'émetteurs-récepteurs et circuits RF. Ils sont utilisés, par exemple, pour générer des signaux en quadrature dans le chemin de l'oscillateur local (LO) afin de piloter les ports du mélangeur et ainsi convertir le signal RF à des fréquences plus basses. Ce réseau est aussi largement utilisé dans la conception de déphaseurs actifs et joue un rôle crucial dans l'équilibre de la phase et de l'amplitude lors de la pondération du signal. Il existe différentes manières de le mettre en œuvre, les plus utilisées dans la conception des déphaseurs sont : les coupleurs hybrides (*hybrid coupler*), les filtre passe-tout en quadrature (QAF : *Quadrature all-pass filter*) et les filtres polyphases (PPF : *Polyphase filter*). Les trois sont représentés dans la Figure III.18.



Figure III.18 Réseaux I/Q : coupleur hybride (a), filtre passe-tout QAF (b) et filtre polyphase (c)

Le coupleur hybride avec des éléments concentrés (Figure III.18.a) et le filtre QAF (Figure III.18.b) constituent d'excellentes alternatives pour générer des signaux I/Q avec peu de pertes. Cependant, la surface occupée des inductances peut être contraignante dans de nombreuses applications, ce qui les rend peu pratiques pour une intégration dans une antenne réseau comportant plusieurs éléments. Ceci est d'autant plus vrai dans le cas de l'utilisation de coupleur hybride, qu'il en faut plusieurs pour assurer les déphasages souhaités. Contrairement aux précédents, le filtre PPF est un réseau passif composé exclusivement de résistances et de condensateurs. Il s'agit d'une méthode intéressante pour générer le déphasage de 90°, tout en annulant la fréquence image. Les avantages sont un bon équilibre d'amplitude et de phase entre ses sorties, une linéarité élevée et une surface très compacte, et son principal inconvénient est la perte d'insertion. Cependant, comme nous envisageons de concevoir un déphaseur actif, ces pertes peuvent être compensées au niveau du *balun* et sont justifiées au détriment de l'obtention d'un meilleur équilibre d'amplitude et de phase en sortie.

La topologie classique à un étage (Figure III.18.c) ne contribue qu'à une seule fréquence polaire $\omega_c = 1/RC$ à l'équilibre d'amplitude ou de phase. Cependant, un fonctionnement à large bande peut être obtenu en mettant en cascade plusieurs étages PPF, au prix de pertes plus importantes. De plus, les caractéristiques de transfert des filtres polyphases RC dépendent fortement de la manière dont les ports d'entrée sont pilotés. La Figure III.19 illustre les deux configurations possibles de pilotage des entrées dans un filtre PPF à un étage. Le type I offre une différence de phase constante de 90°, tandis que les amplitudes correspondent uniquement aux fréquences polaires $\omega_c = 1/RC$.

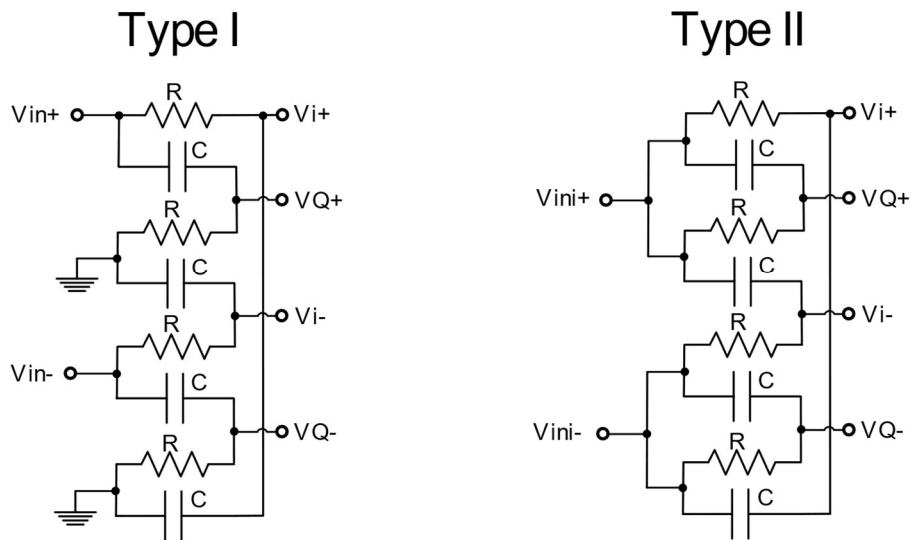


Figure III.19 Types de filtres polyphases

En revanche, le type II offre une réponse d'amplitude constante, mais une différence de phase de 90° n'est obtenue qu'aux fréquences polaires [105]. La propriété de différence de phase constante du type I est très attrayante et est donc la topologie choisie dans cette conception. Pour compenser la différence d'amplitude du type I sur la bande utile, deux étages avec des fréquences polaires différentes sont utilisés. Le circuit final du filtre PPF de la conception A est présenté dans la Figure III.20. En fixant les valeurs des résistances R_1 et R_2 respectivement à 163 et 160 Ω , et les valeurs de C_1 égales à celles de C_2 égales à 34 fF , on obtient les fréquences polaires suivantes dans la bande passante :

$$f_1 = \frac{1}{2 \times \pi \times 163 \times 34 \times 10^{-15}} \approx 28,7 \text{ GHz} \quad (\text{E-26})$$

$$f_2 = \frac{1}{2 \times \pi \times 160 \times 34 \times 10^{-15}} \approx 29,25 \text{ GHz} \quad (\text{E-27})$$

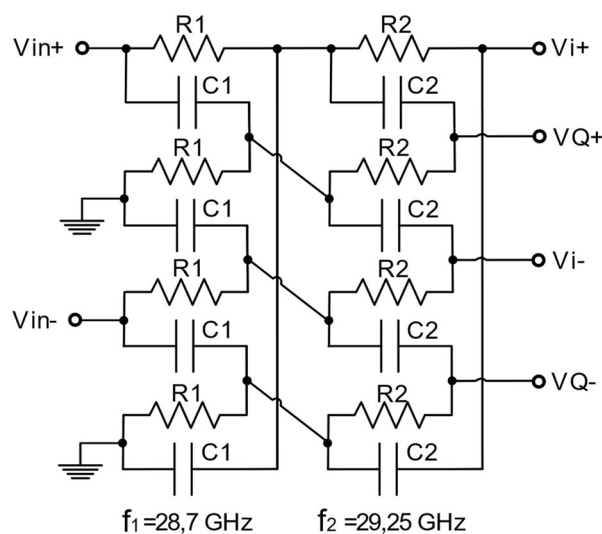


Figure III.20 Filtre polyphase RC de 2^{ème} ordre de la conception A

Cela garantit l'équilibre d'amplitude en plus de l'équilibre de phase sur la bande de 27 à 31 GHz. Les résistances utilisées pour ce filtre étaient des *rpo1sab* (partie I.4.2.4), car elles ont la tolérance la plus faible, étant les plus adaptées aux applications où de faibles valeurs de résistance sont souhaitées. Les résultats de simulation de la phase relative de la conception A à la sortie du filtre est présenté sur la Figure III.21 et montrent que des signaux en quadrature et en phase sont obtenus.

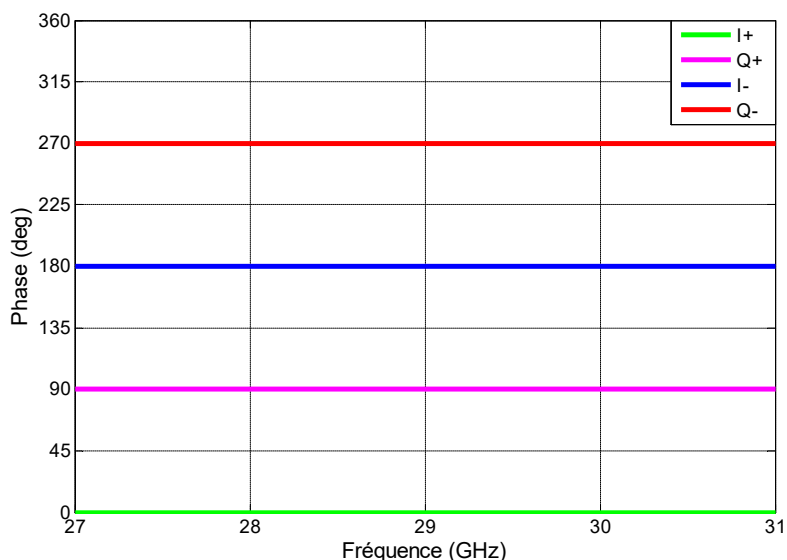


Figure III.21 Phase relative à la sortir du filtre PPF de la conception A

III.2.1.3. Conception du 3^{eme} étage (4VGA)

Le troisième étage de la conception A utilise quatre amplificateurs à gain variable (VGA). Pour une meilleure compréhension du fonctionnement de cette topologie, une analyse graphique est présentée dans la Figure III.22.

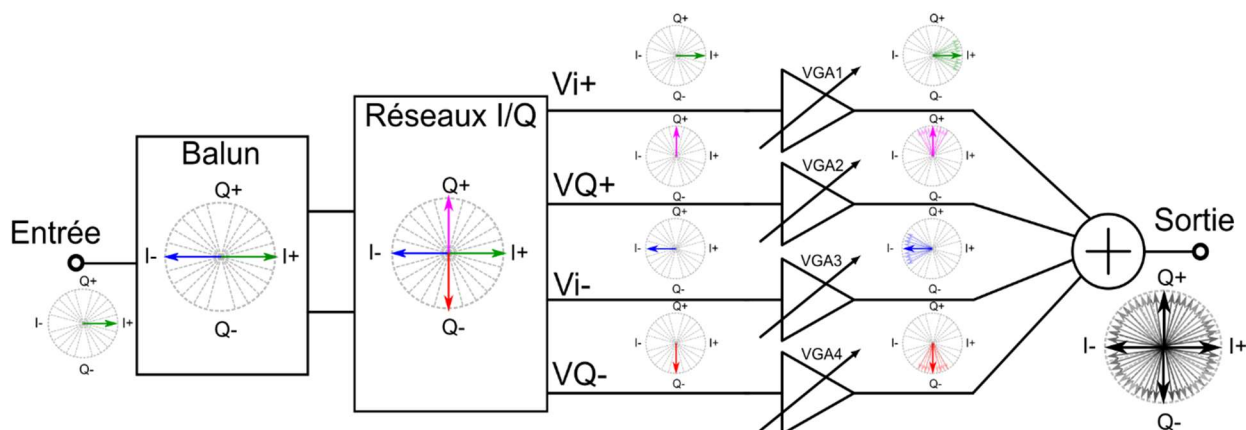


Figure III.22 Schéma du modulateur vectoriel (conception A)

Le réseau I/Q (filtre PPF) reçoit un signal différentiel généré par le balun et produit des signaux en quadrature et en phase. Ces signaux sont ensuite appliqués aux entrées de chacun des VGA identiques. En contrôlant le courant injecté dans le VGA en topologie guidage de courant (partie II.2.4), une variation de phase autour du vecteur de référence est obtenue. Les signaux de sortie de chaque voie sont ensuite connectés via un combineur et une somme vectorielle

se produit. Le déphasage et l'amplitude, en considérant deux vecteurs de référence, peuvent être obtenus par les équations (E-19) et (E-20). Avec cette topologie, il est possible de faire la pondération des amplitudes des signaux sur chacune des voies et de générer tous les états de phase dans un domaine de balayage à 360°. Dans un premier temps, les VGA ont été simulés isolément dans le but de trouver une configuration produisant un déphasage d'environ $\pm 45^\circ$ par rapport à leur vecteur de référence. Une simulation paramétrique est donc réalisée pour trouver une combinaison entre le courant de polarisation (I_{DD}) et les courants injectés ($I_{control}$) qui génère ce déphasage. Le *setup* de simulation utilisé est illustré à la Figure III.23.

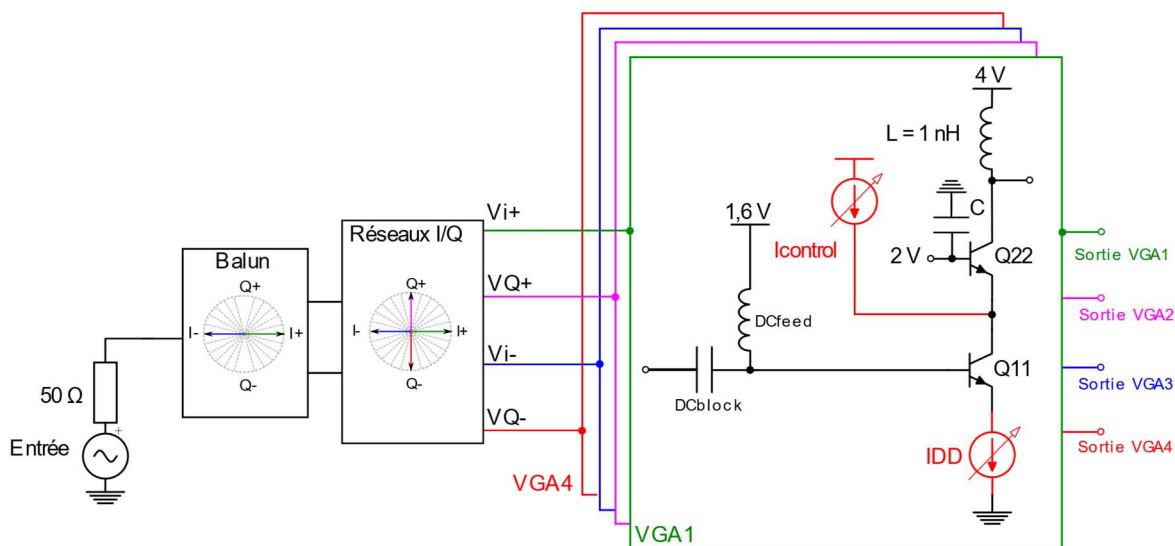


Figure III.23 Configuration de simulation des VGAs isolés

Dans ces conditions de simulation, une des combinaisons trouvées capables de générer le déphasage souhaité est celle avec un courant de polarisation (I_{DD}) de 2,3 mA et un courant injecté ($I_{control}$) compris entre 0,2 et 2 mA. Les résultats de la phase à la sortie de chacun des VGA dans ces conditions, pour huit valeurs de courants injectés ($I_{control}$), sont représentés sur la Figure III.24. Il est possible de constater que chaque VGA apporte une variation d'environ $\pm 45^\circ$ autour de son vecteur de référence.

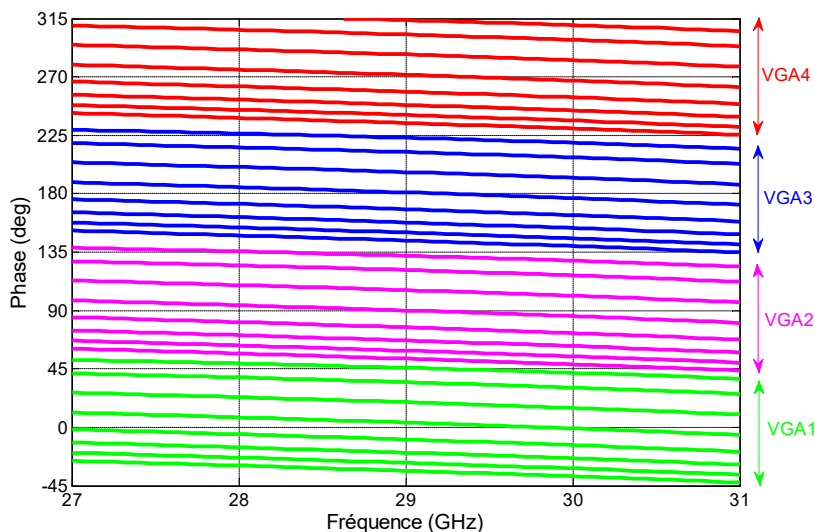


Figure III.24 Phase relative à la sortie des VGAs isolés

Une fois que les valeurs de courant de polarisation et de courants injectés fixées, les VGA sont connectés à une charge commune via un combineur. Le miroir de courant qui fournit le courant de polarisation souhaité est ensuite conçu. Une optimisation de la taille des transistors (Q_{11} e Q_{22}) est ensuite réalisée dans le but d'améliorer la discrétisation de la phase dans le domaine de balayage de 360° . La topologie complète proposée pour le troisième étage du modulateur vectoriel de la conception A est présentée dans la Figure III.25. Elle diffère de celles des travaux [95], [96], [98], du fait de l'ajout du miroir de courant qui fixe le courant de polarisation (I_{DD}) sur chacune des voies. En effet, le courant total consommé par les transistors Q_{11} vu par les sorties du filtre PPF reste donc le même avec cette topologie. Ainsi, une asymétrie indésirable entre les sorties du filtre polyphase qui pourrait corrompre la génération du vecteur de référence est minimisée. Les transistors Q_d fonctionnent comme des diodes. Le contrôle des courants injectés ($I_{control}$) se fait grâce à l'utilisation des DACs à 3 bits, ce qui totalise 12 bits. Le nombre d'états possibles avec cette structure est donc 4096, dont seulement 64 seront utilisés. En effet, comme indiqué dans la section III.1.5, seules 64 états (6 bits) sont requis pour répondre aux exigences du système. Cependant, les bits supplémentaires seront utilisés pour compenser les variations dues au processus tension-température (*PVT: Process-Voltage-Temperature*) lors de la mesure. De plus, des déphaseurs de plus haute résolution peuvent également être réalisés avec cette structure. La topologie utilisée pour le DAC est la même présentée dans la partie II.2.4.1., et son schéma est présente dans la Figure III.26.

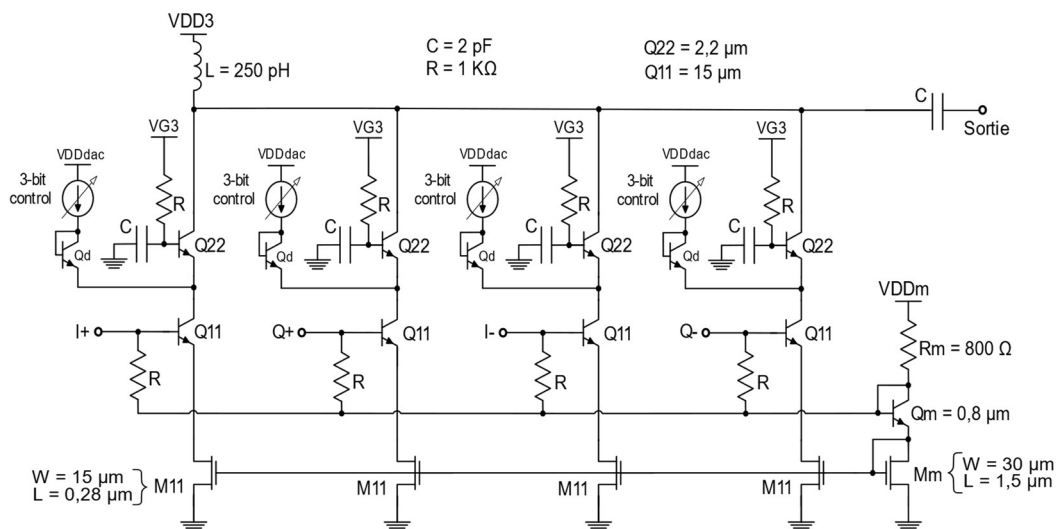


Figure III.25 Topologie 4VGA

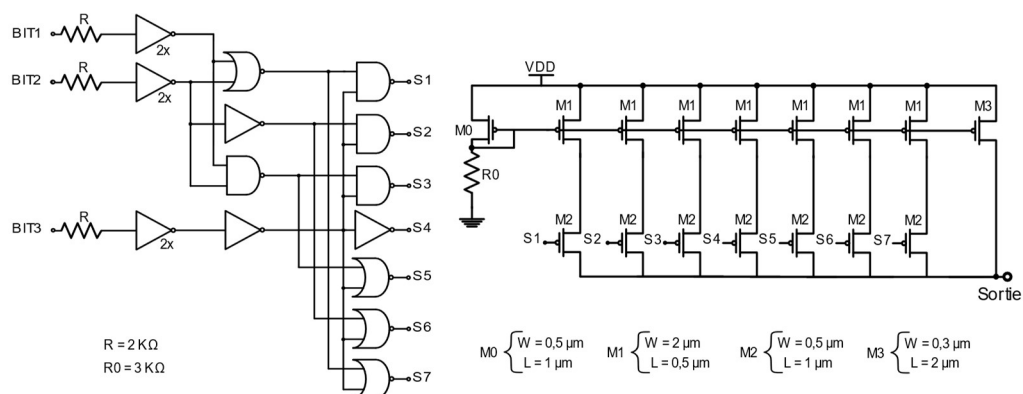


Figure III.26 DAC de la conception A

III.2.1.4. Circuit et layout

Le circuit complet de la conception A est présenté dans la Figure III.27. En plus des trois étages mentionnés, cette conception comporte des *buffers* entre le filtre et le troisième étage ainsi qu'en sortie. Les premiers sont utilisés car, de l'analyse des résultats, il a été constaté que l'impédance d'entrée du circuit (S_{11}) était considérablement impactée par le changement d'état des VGAs. Des *buffers* en configuration émetteur-suiveur (*emitter-follower*) ont été utilisés à chacune des sorties du filtre afin d'isoler les étages. D'autre part, un *buffer* à la sortie également en configuration émetteur-suiveur est utilisé pour aider à adapter l'impédance de sortie, ainsi qu'à assurer l'isolation en sortie. Le premier étage (avec le *buffer*) consomme 67,2 mW et le troisième (y compris le *buffer*) consomme 14,7 mW. Le DAC à son tour consomme environ 7 mW. La consommation totale du circuit est inférieure à 90 mW. Le *layout* complet (Figure III.28) occupe une surface de 2,0 x 1,3 mm² y compris les I/O pads et le *sealring*.

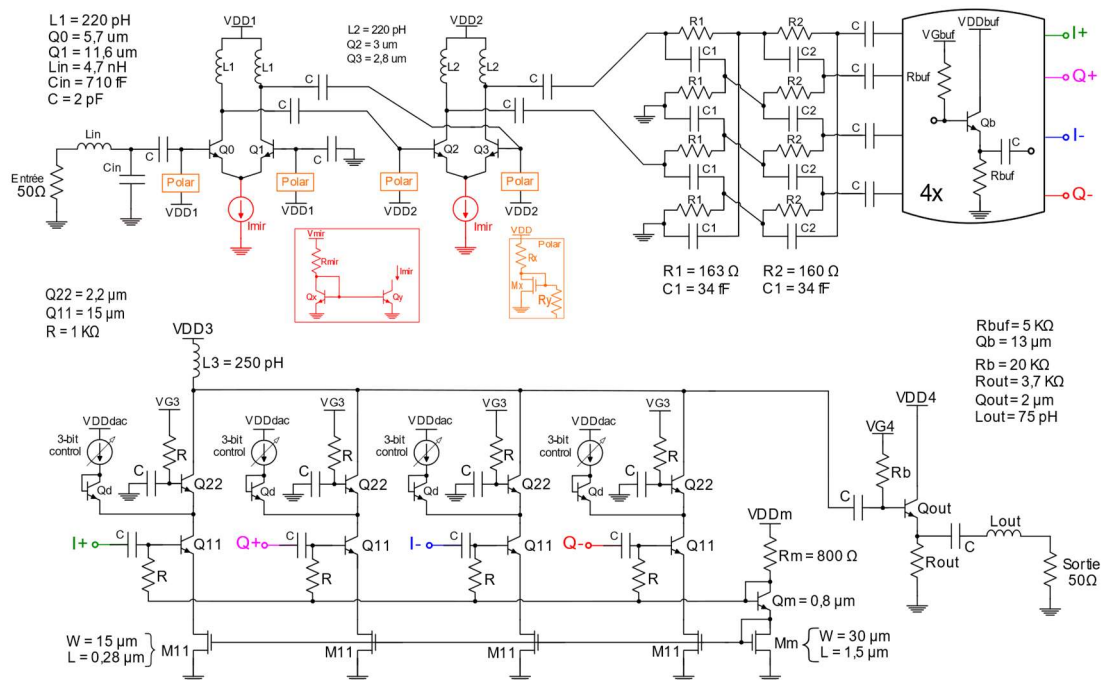


Figure III.27 Schéma électrique de la conception A

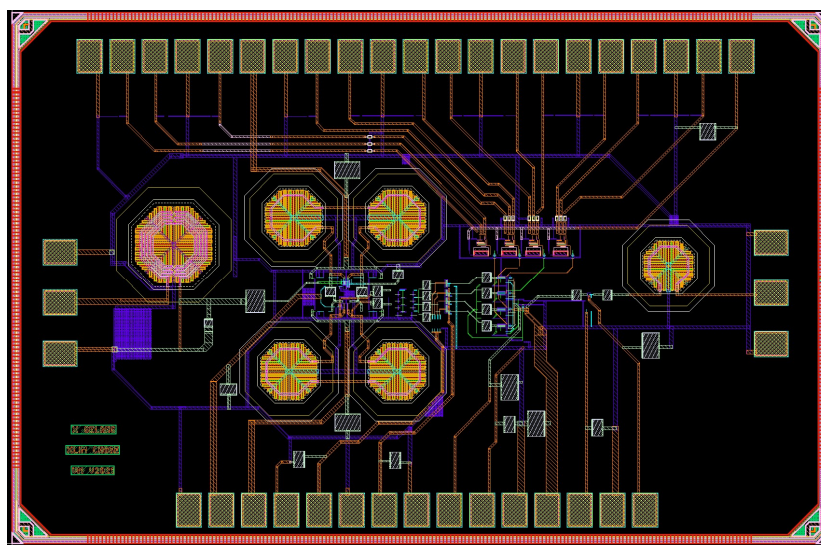


Figure III.28 Layout de la conception A

III.2.1.5. Simulations *post-layout*

Les simulations *post-layout* réalisées dans ce chapitre suivent la même méthodologie que celle exposée au chapitre 2 : simulation électromagnétique pour la partie passive et extraction QRC pour les parties actives.

Les résultats de la phase relative pour les 64 états choisis sont présentés dans la Figure III.29. Il est possible de constater une bonne différenciation des états de phase autour de 30 GHz. Cependant, la précision de phase est moins bonne en début et en fin de bande, ce qui augmente l'erreur de phase. De plus, certains états de phase se croisent au début de la bande, ce qui n'est pas souhaité. Compte tenu d'une bande passante de 200 MHz pour l'émetteur, la bonne différenciation autour de 30 GHz reste acceptable pour notre application. Les coefficients de réflexion S_{11} et S_{22} pour les 64 états sélectionnés sont présentés dans la Figure III.30. Ceux-ci montrent que le circuit est bien adapté à l'entrée comme à la sortie dans la bande d'intérêt et quel que soit l'état de la phase.

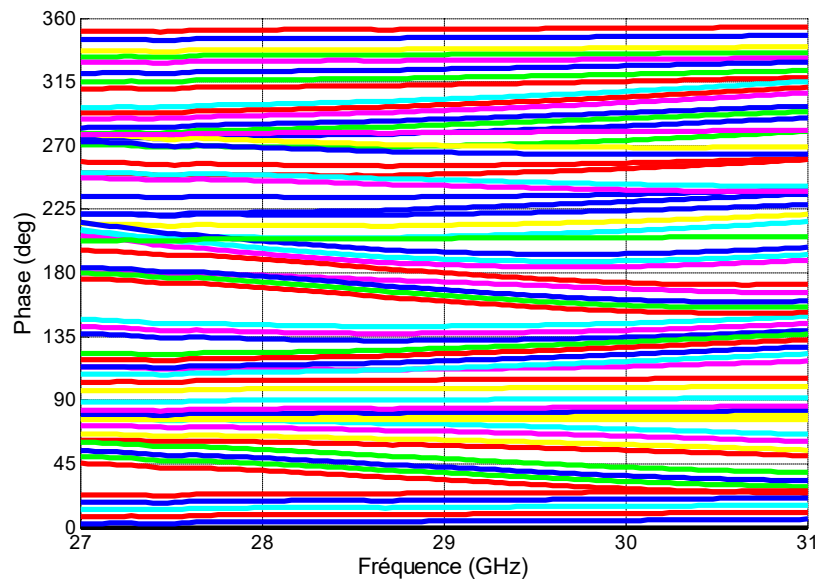


Figure III.29 Phase relative de la conception A

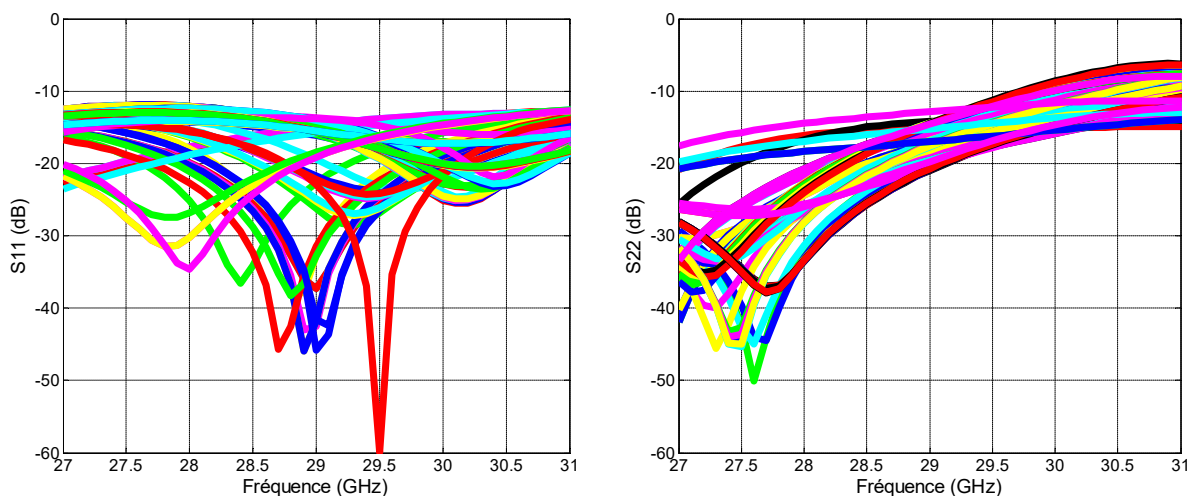


Figure III.30 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception A

Le coefficient de transmission S_{21} est représenté sur la Figure III.31. Il est possible de remarquer un $|S_{21}|$ moyen (en noir) supérieur à -2 dB à 30 GHz et supérieure à -4 dB sur toute la bande. De plus, 7 dB de dispersion de gain est constaté autour de 30 GHz. De plus, les critères de stabilité sont présentés dans la Figure III.32 pour uniquement les 64 états sélectionnés par souci de simplicité. K reste supérieur à l'unité et $B1$ reste supérieur à zéro pour un spectre compris entre DC et $2f_c$ (60 GHz). Les critères de stabilité ont été testés pour les 4 096 états et pour des fréquences encore plus élevées, indiquant une stabilité inconditionnelle.

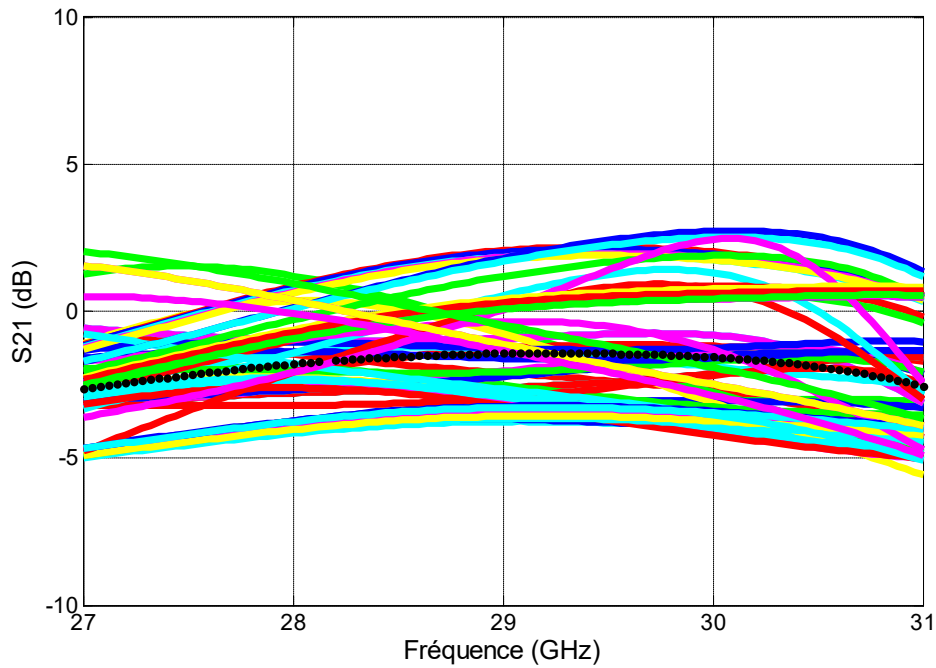


Figure III.31 Pertes d'insertion (S_{21}) de la conception A

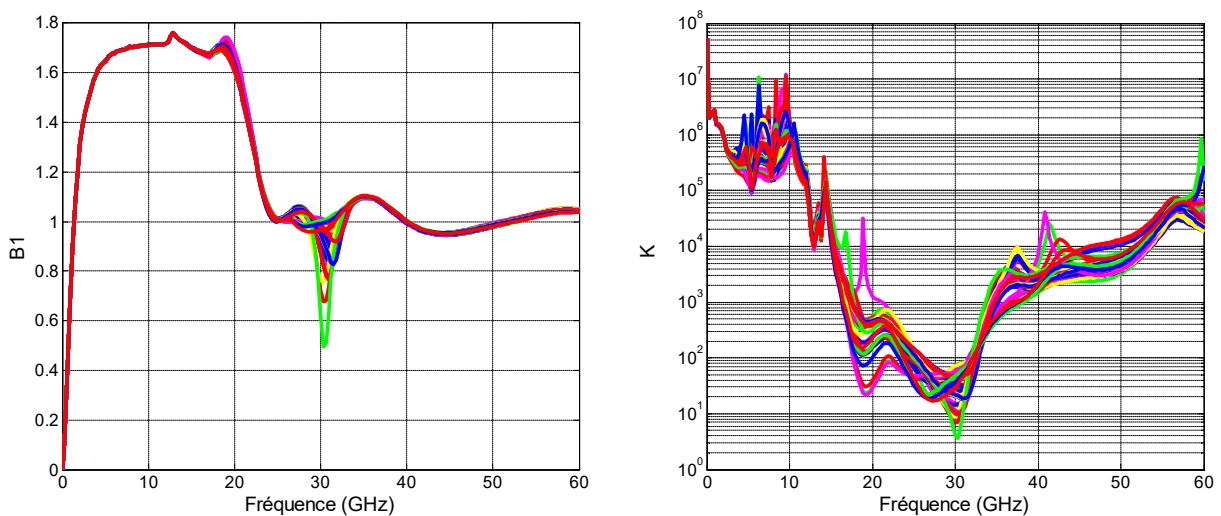


Figure III.32 Paramètres de stabilité ($B1$ et K) de la conception A

III.2.1.6. Résultats de mesure

Une première RUN, contenant la conception A (jusqu'au filtre PPF) et le DAC, a été envoyée en fabrication pour évaluer le fonctionnement de ces topologies. La puce contenant les deux circuits est présentée sur la Figure III.33.

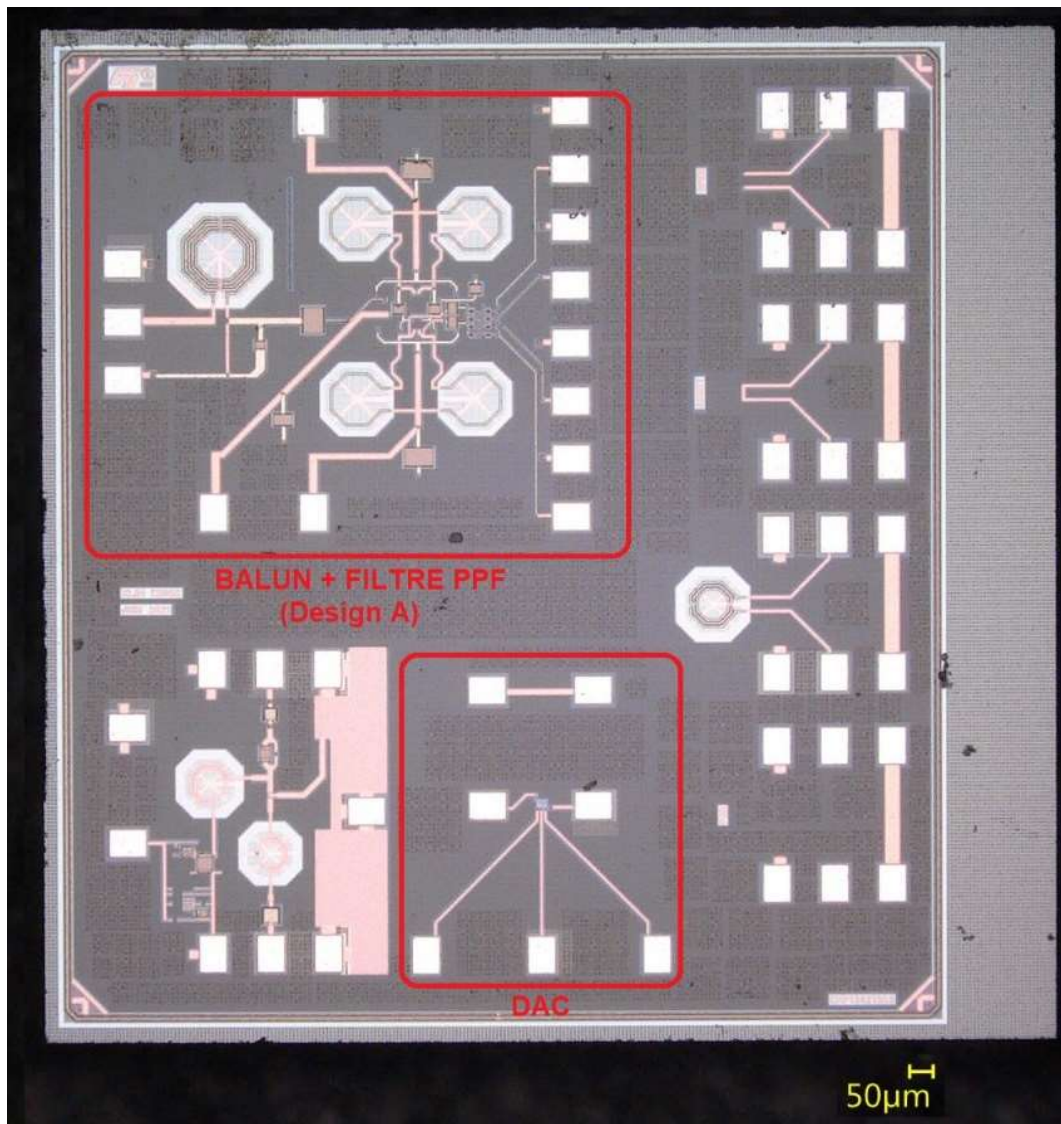


Figure III.33 RUN ST : Conception A (*balun* + filtre) et DAC

III.2.1.6.1.1. Mesures du DAC

Afin de vérifier la conformité de cette topologie de convertisseur (*cascode current-steering* DAC) à nos attentes, une première réalisation du DAC de la conception A est livrée en fabrication. Pour faciliter le travail de mesure, une résistance de 10 k Ω a été ajoutée à la sortie afin que l'on puisse mesurer les résultats en tension. Le schéma est présenté dans la Figure III.34. Le *layout* ainsi que la configuration du banc de mesure sont présentés dans la Figure III.35. Le Tableau III-3 montre une comparaison entre les résultats *post-layout* et trois puces mesurées. Les mesures révèlent une grande proximité avec les résultats issus de la simulation, de plus, une grande reproductibilité des résultats peut être observée lors de la mesure de différentes puces. Les résultats prouvent le bon fonctionnement de la topologie.

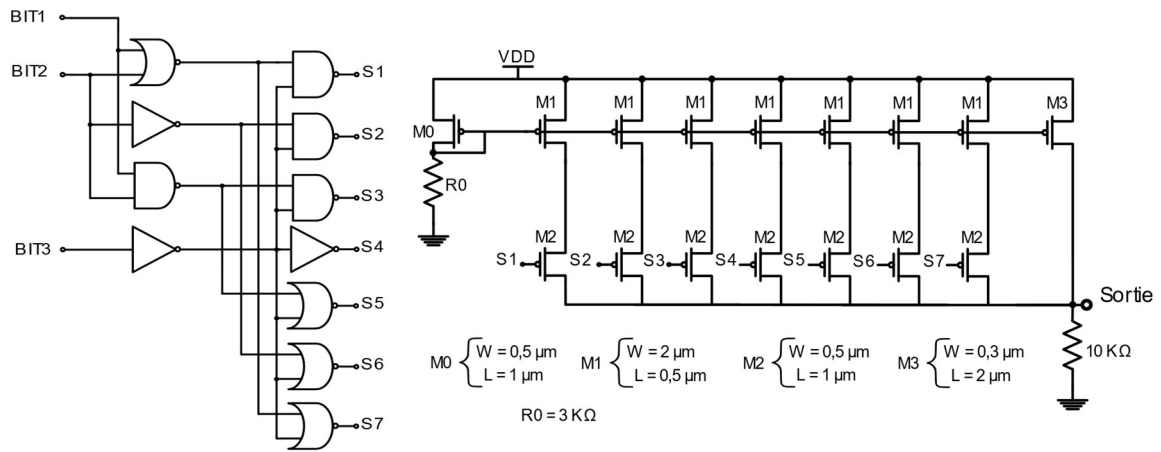


Figure III.34 DAC de la conception A fabriqué

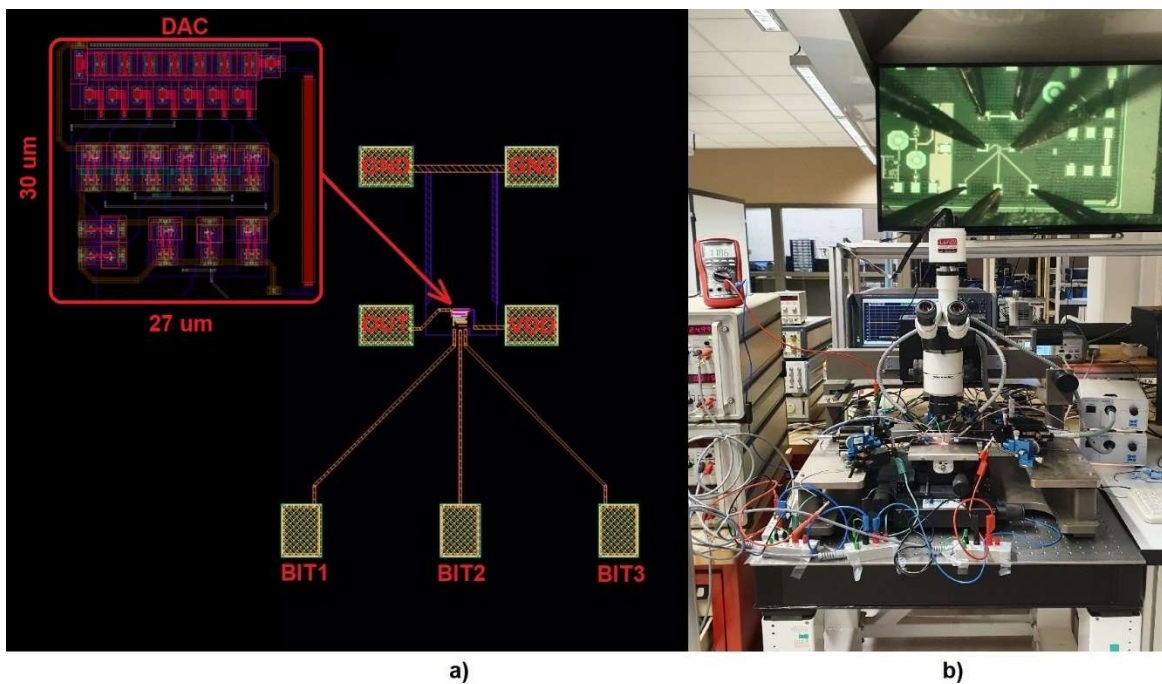


Figure III.35 Convertisseur Numérique Analogique de 3 Bits. *Layout* (a) et banc de mesure (b).

Tableau III-3 Comparaison entre les résultats *post-layout* (QRC) et les mesures du DAC

BIT	Résultats <i>post-layout</i> (QRC)	Mesure 1 ^{er} puce	Mesure 2 ^{eme} puce	Mesure 3 ^{eme} puce
000	1.5453 V	1.491 V	1.496 V	1.463 V
001	0.8517 V	0.807 V	0.812 V	0.782 V
010	1.2732 V	1.220 V	1.222 V	1.187 V
011	0.3411 V	0.319 V	0.324 V	0.309 V
100	1.4245 V	1.368 V	1.374 V	1.340 V
101	0.6003 V	0.566 V	0.571 V	0.549 V
110	1.0827 V	1.029 V	1.035 V	1.001 V
111	0.0762 V	0.070 V	0.071 V	0.068 V

III.2.1.6.1.2. Mesures de la conception A (balun + filtre PPF)

Afin de vérifier le fonctionnement de la topologie proposée pour la conception A, une partie du circuit (*balun* + filtre PPF) a également été envoyée en fabrication dans ce même RUN. Le schéma du circuit fabriqué est représenté sur la Figure III.36, tandis que le setup de mesure est illustré à la Figure III.37.

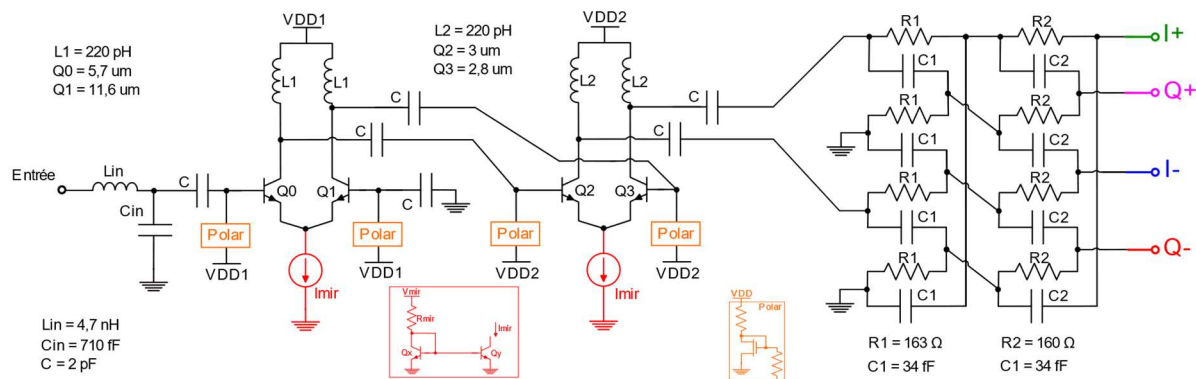


Figure III.36 Circuit schématique de la conception A (*balun* + filtre) fabriqué



Figure III.37 Conception A (*balun* + filtre) en mesure

Les résultats de mesure utilisant les valeurs nominales de tension d'alimentation sont présentés dans la Figure III.38. On peut noter que le circuit présente des instabilités aux conditions nominales de fonctionnement avec des oscillations autour de 20 GHz et 40 GHz, qui n'auraient pas pu être identifiées par simulation. Cette oscillation provient probablement du miroir de courant, puisque lorsque sa tension (V_{mir}) dépasse une certaine valeur (1 V), les oscillations commencent. Cependant, une analyse plus approfondie doit encore être menée pour identifier la cause de cette instabilité.

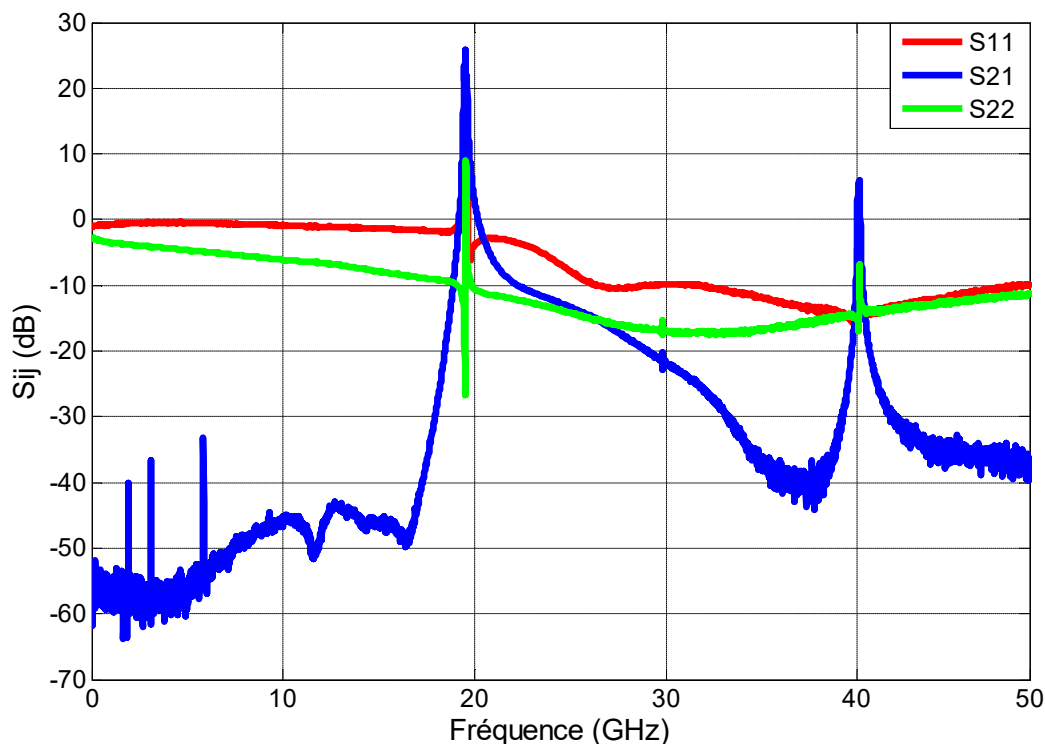


Figure III.38 Résultats de mesure de la conception A dans des conditions de polarisation nominales

Un nouveau point de polarisation a été recherché afin d'extraire de cette mesure des résultats pouvant prouver le fonctionnement de la topologie. En effet, dans une condition de polarisation inférieure à la nominale, le circuit fonctionne comme prévu, apportant du gain tout en étant adapté en entrée/sortie, mais à une fréquence plus faible que souhaitée (autour de 22,5 GHz).

Dans la Figure III.39, les résultats de mesure (ligne continue) de S_{21} pour les quatre voies (Q_+ , Q_- , I_+ , I_-) sont comparés avec les résultats de simulation *post-layout* (ligne pointillée). Lorsque la condition de polarisation diffère de celle prévue, cela entraîne un déséquilibre d'amplitude entre les sorties et un décalage vers des fréquences plus basses. Cela peut être observé aussi bien en mesure qu'en simulation. Néanmoins, il est à noter que les résultats de mesure se rapprochent de ceux obtenus en simulation, ce qui valide les méthodes de simulation *post-layout*.

Les résultats de mesure de la phase (ligne continue) pour les quatre voies sont également comparés aux simulations *post-layout* (ligne pointillée) sur la Figure III.40. Un déphasage de l'ordre de $85/95^\circ$ peut être observé entre les sorties. Les résultats valident partiellement le fonctionnement de la topologie, montrant que des signaux en quadrature et en phase peuvent être obtenus à partir de cette topologie.

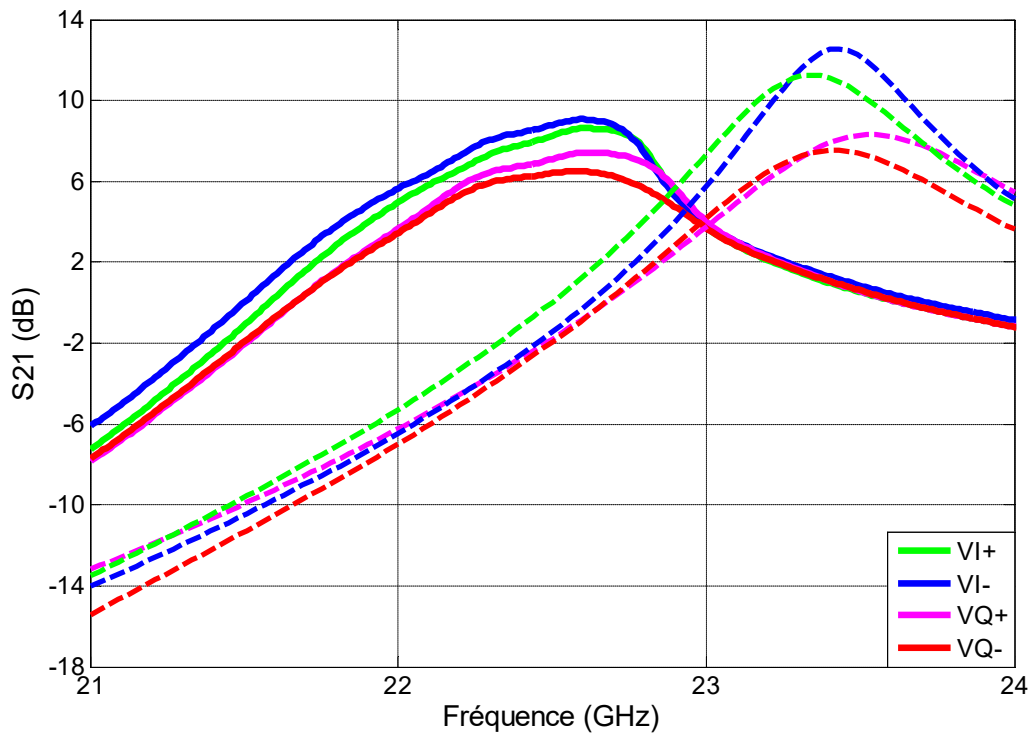


Figure III.39 Résultats de mesure (ligne continue) et *post-layout* (ligne pointillée) de S_{21} pour les quatre voies de la conception A (*balun* + filtre)

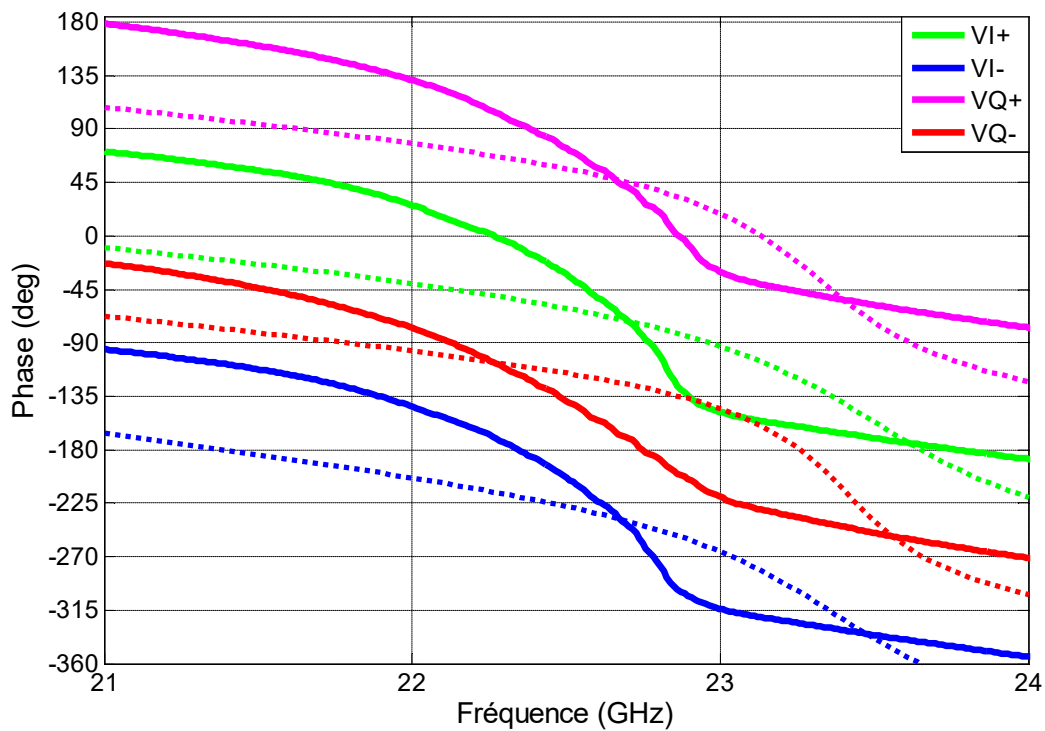


Figure III.40 Résultats de mesure (ligne continue) et *post-layout* (ligne pointillée) de la phase pour les quatre voies de la conception A (*balun* + filtre)

III.2.2. Conception B

III.2.2.1. Conception du 1^{er} étage : *Balun*

Pour cette conception, nous utilisons la technologie SG13G2 d'IHP. Le circuit schématique du premier étage de la conception B est illustré dans la Figure III.41. Le *balun* actif est aussi basé sur la topologie de paire de transistors en émetteur commun et base commune (CE/CB) qui sert de diviseur à 180°. Cependant, pour remplacer le rôle *buffer* de la conception A en ce qui concerne l'isolation et l'augmentation du gain, un étage en cascade a été ajouté à la sortie de la paire de transistors CE/CB. Comme les transistors de cette technologie ont une plus grand f_t , il est possible d'obtenir presque le même gain que la conception A avec un circuit relativement plus simple et compact. De plus, quelques modifications ont été apportées au circuit de polarisation par rapport à la conception A. Premièrement, dès le début du projet de cette conception, nous avons déjà décidé d'utiliser une carte à probes DC multi-contacts en raison de la nécessité d'utiliser plusieurs bits. Par conséquent, chaque transistor sera donc polarisé avec une source dédiée (VG1, VG2, VG3, etc.), ce qui fournira davantage de contrôle lors des mesures. Deuxièmement, le miroir de courant a été réalisé à l'aide de transistors MOSFET en raison de ses avantages tels qu'un courant de grille nul et une moindre sensibilité aux variations de température. De plus, l'inductance de charge utilisée (L_1) est de type différentiel avec un *center-tap* afin de réduire la surface utilisée par rapport à la conception précédente.

La méthodologie de conception utilisée est similaire à celle mise en œuvre dans la conception A. Il convient d'envisager l'utilisation uniquement de transistors de type *npn13G2* dans cette conception car ils ont une plus grand f_t (partie I.4.2.2). Cependant, ce transistor ne peut être paramétrée qu'en termes de nombre de doigts, ce qui rendait difficile l'obtention d'un bon équilibre entre les sorties. Ces derniers ont été utilisés dans l'étage cascade (Q_2 et Q_3), cependant, pour la paire CB/CE nous avons choisi d'utiliser les transistors *npn13G2L*. De cette façon, un meilleur équilibre entre les sorties peut être obtenu.

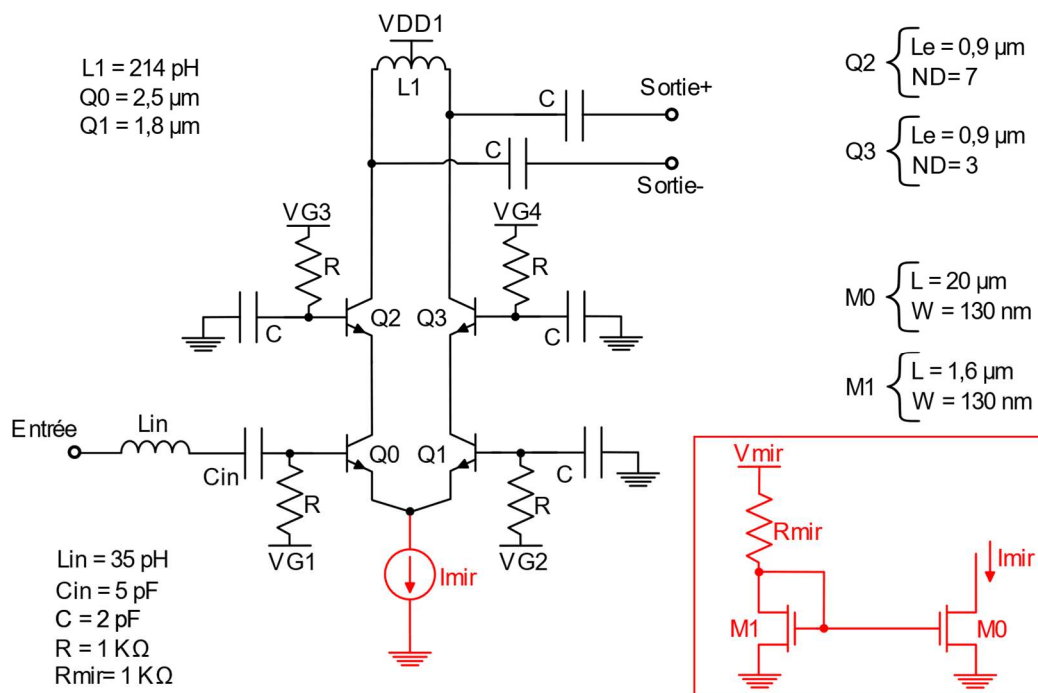


Figure III.41 1^{er} étage de la conception B

Une simulation paramétrique a été réalisée afin de trouver la relation entre la longueur de la paire de transistors CE (Q_0) et CB (Q_1) et la relation entre le nombre de doigts de la paire cascode (Q_2 et Q_3) qui offrira un bon équilibre d'amplitude/phase en sortie (au niveau des collecteurs). Pour ces simulations, les longueurs des transistors Q_0 et Q_1 ont été fixées à $1\ \mu\text{m}$ et les nombre de doigts des transistors $Q_2 = Q_3 = 1$. Les valeurs des tensions ont été fixés à $V_{DD1} = 3,5\text{V}$, $V_{G1} = V_{G2} = 1,5\text{V}$ et $V_{G3} = V_{G4} = 2,5\text{V}$. Dans ces conditions, et pour un courant I_{mir} (idéale) de 15mA , les quatre transistors fonctionnent dans la région linéaire tout en apportant un bon gain.

Les résultats de ces simulations dans ces conditions ont révélé qu'une relation d'environ 2 entre les longueurs d'émetteur des transistors CE par rapport au CB, pour une relation en nombre de doigts de $7/3$ (Q_2/Q_3), est l'une des combinaisons qui minimise le déséquilibre tout en maximisant le gain. Ensuite, une optimisation juste des longueurs des transistors CE (Q_0) et CB (Q_1) et de la courant I_{mir} a été fait dans le but d'affiner les résultats. Un rapport optimal de 1,39 (CE par rapport au CB) pour un courant de polarisation d'environ $15,9\text{mA}$ a été trouvé. Le miroir de courant qui fournit la condition de polarisation souhaitée est donc conçu. La longueur finale de l'émetteur du CE (Q_0) et du CB (Q_1) est respectivement de $2,5\ \mu\text{m}$ et $1,8\ \mu\text{m}$. Une inductance série (L_{in}) de 35pH assure l'adaptation de l'entrée.

Les résultats de gain de tension et déphasage relative de la conception B sont présentés dans la Figure III.42. Comme on peut le voir, la conception B présente un gain de tension entre 25 et 27 dB sur toute la bande, avec une variation légèrement plus importante entre les sorties par rapport à la conception A. La phase relative est aussi bonne avec un léger avantage également pour la conception A. En effet, le deuxième étage d'amplification de la conception A permet de compenser la différence d'amplitude et de phase provenant du premier étage. Cette tâche est plus difficile à réaliser dans la conception B, car les changements dans l'une des branches (droite ou gauche) impactent l'autre branche et vice versa. Ainsi, un équilibre parfait est difficile à obtenir avec cette topologie. Cependant, les observations annoncées précédemment tiennent compte du circuit schématique. Au niveau du *layout*, le fait d'avoir deux étages (conception A) complique le routage et augmente ainsi le nombre de parasites ajoutés. Finalement, ce petit déséquilibre de la conception B par rapport à la conception A se justifie par la simplicité du routage et la minimisation des parasites. Les valeurs finales de tous les composants sont présentées sur la Figure III.41.

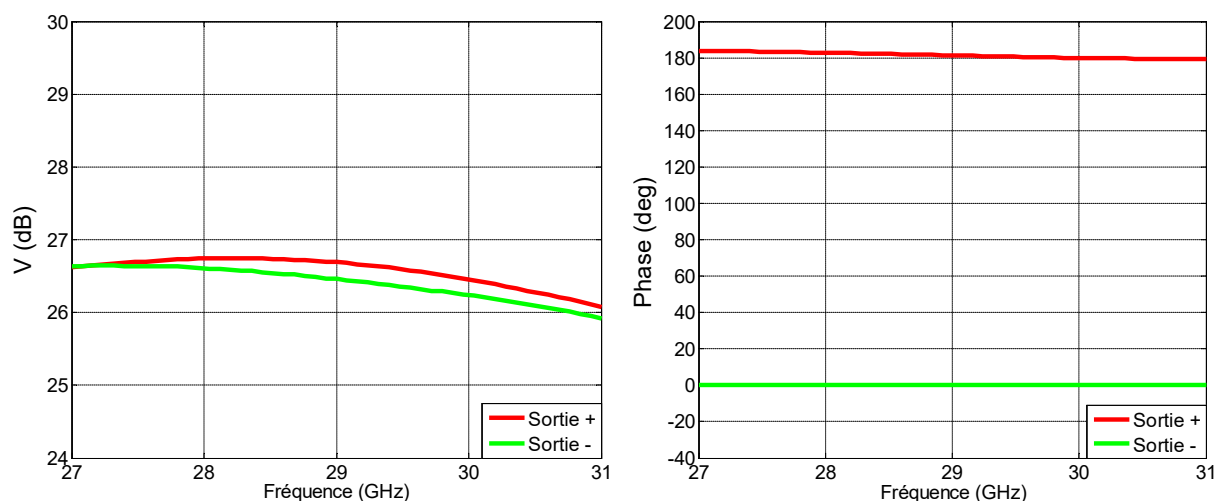


Figure III.42 Gain de tension (a) et déphasage relative (b) du 1^{er} étage de la conception B

III.2.2.2. Conception du 2^{ème} étage : Réseaux I/Q

Nous utilisons la même topologie de filtre polyphase que celle utilisée pour la conception A. Le circuit final du filtre PPF est présenté dans la Figure III.43. En fixant les valeurs des résistances R_1 et R_2 respectivement à 130 et 139 Ω , et les valeurs de C_1 égales à celles de C_2 égales à 40 fF , on obtient les fréquences polaires suivantes dans la bande passante :

$$f_1 = \frac{1}{2 \times \pi \times 130 \times 40 \times 10^{-15}} \approx 30,6 \text{ GHz} \quad (\text{E-28})$$

$$f_2 = \frac{1}{2 \times \pi \times 139 \times 40 \times 10^{-15}} \approx 28,6 \text{ GHz} \quad (\text{E-29})$$

Cela assure à la fois l'équilibre en amplitude et l'équilibre en phase sur la bande de fréquences de 27 à 31 GHz. Les résistances utilisées dans ce filtre étaient des résistances de type *rsil* (partie I.4.2.4), car elles offrent la tolérance la plus faible, les rendant ainsi les plus appropriées pour des applications nécessitant des résistances de faibles valeurs. Les résultats de simulation de la phase relative de la conception B à la sortie du filtre sont présentés sur la Figure III.44 démontrant que des signaux en quadrature et en phase sont obtenus.

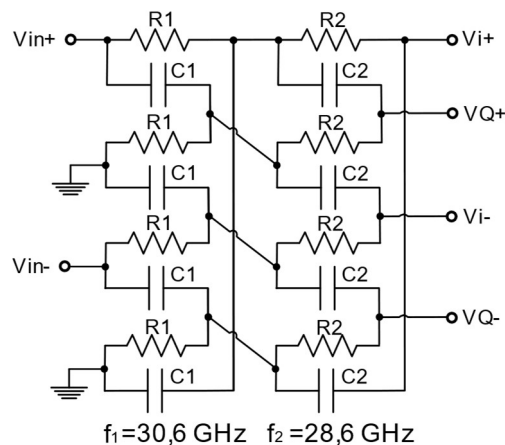


Figure III.43 Filtre polyphase RC de 2^{ème} ordre de la conception B

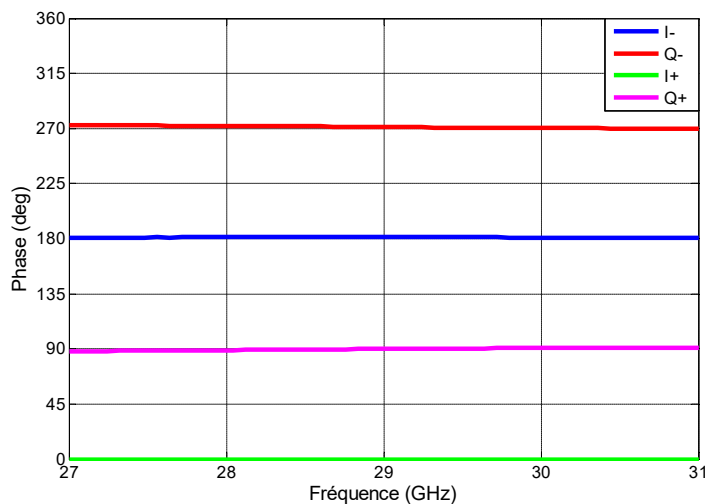


Figure III.44 Phase relative à la sortir du filtre PPF de la conception B

III.2.2.3. Conception du 3^{ème} étage (4VGA)

Le troisième étage de la conception B utilise la même topologie (Figure III.45) de la conception A avec une méthodologie similaire de conception. Cela signifie que, de la même façon que pour la conception A, les VGA ont été simulés isolément dans le but de trouver une configuration produisant un déphasage d'environ $\pm 45^\circ$ par rapport à leur vecteur de référence. Le *setup* de simulation utilisé est similaire à celui de la Figure III.23. Cependant, après une analyse plus approfondie de la topologie après avoir finalisé la conception A, il a été observé que les erreurs d'amplitude et de phase sont fortement impactées lorsque les VGA de cette topologie sont polarisés avec un courant élevé. Afin de réduire les erreurs de phase et d'amplitude par rapport à la conception A, le courant de polarisation (I_{DD}) de ce circuit a été fixé à $150 \mu A$ pour chaque branche (transistors M_{11}), au prix de l'obtention d'un gain négligeable. Comme la fonction de cet étage est de fournir le déphase souhaité plutôt que de favoriser un gain supplémentaire au circuit, ce choix reste plausible. Avec cette valeur de courant de polarisation (I_{DD}), et une variation correspondante du courant injecté ($I_{control}$), il est déjà possible d'obtenir une bonne discrétisation de phase autour de son vecteur de référence. Nous utilisons exclusivement des transistors de type *nfn13G2L* pour le VGA dans cette conception, car ils offrent une plus grande flexibilité en termes de paramétrage. Les longueurs des transistors (Q_{11} et Q_{22}) sont fixées à $2,5 \mu m$ (longueur maximale). Le miroir de courant (transistors M_{11} et M_m) que produit cette valeur de courant de référence (I_{DD}) est donc conçu. Ensuite le DAC qui fournira également le courant injecté ($I_{control}$) d'une valeur proche de $150 \mu A$ est conçu. Le circuit du DAC et son *layout* sont présentés dans la Figure III.46 et la Figure III.47 respectivement. La topologie utilisée pour le DAC contient un petit changement par rapport à la topologie précédente. La branche supplémentaire (sans *switch*) a été supprimée de telle manière que lorsque le DAC est à 000 tout le courant qui traverse le transistor Q_{11} provienne du DAC. Une fois les courants de polarisation et injectés qui fournit un déphasage d'environ $\pm 45^\circ$ par rapport à leur vecteur de référence fixées, les VGA sont connectés à une charge commune via un combineur. Une optimisation de la taille des transistors (Q_{22}) est ensuite réalisée dans le but d'améliorer la discrétisation de la phase dans le domaine de balayage de 360° . La topologie complète avec les valeurs des composants pour le troisième étage du modulateur vectoriel (conception B) est présentée dans la Figure III.45. On utilise aussi quatre DACs, un pour chaque VGA, ce qui totalise 12 bits. Le nombre d'états possibles avec cette structure est aussi 4096, dont seulement 64 seront a priori utilisés.

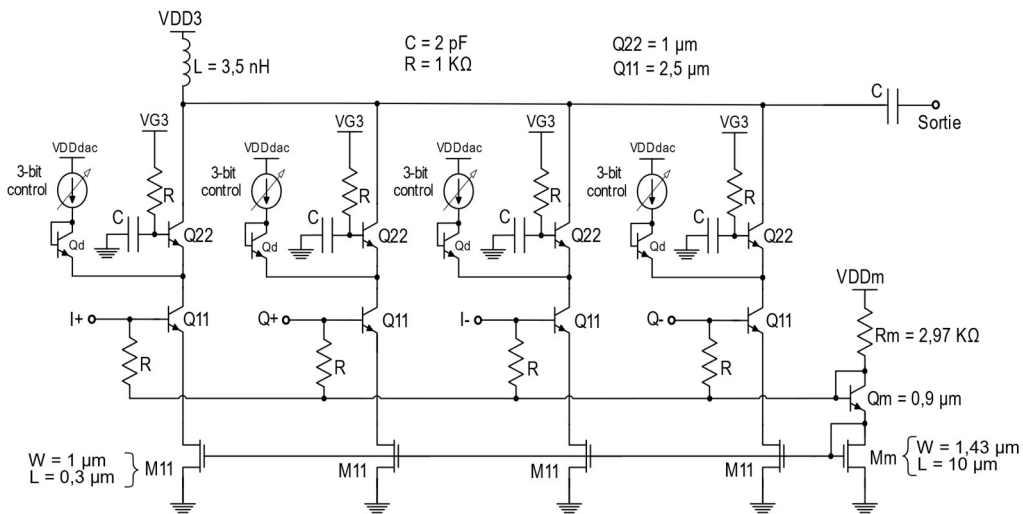


Figure III.45 Topologie 4VGA (conception B)

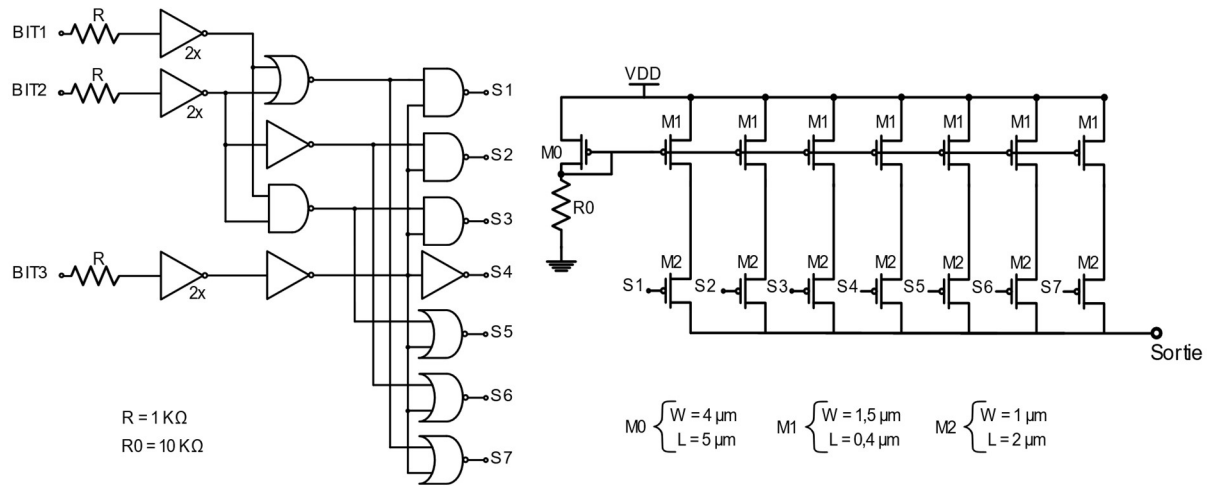


Figure III.46 DAC de la conception B

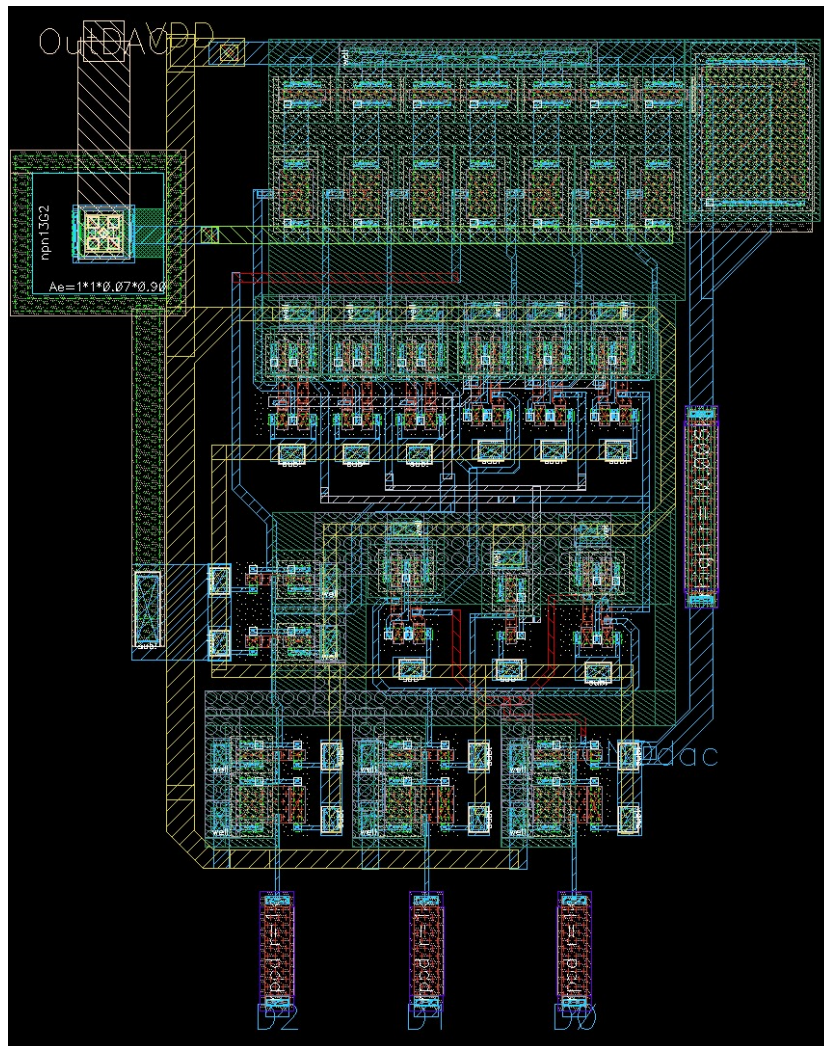


Figure III.47 *Layout* du DAC de la conception B (33 μm x 42 μm)

III.2.2.4. Circuit et layout

Le circuit complet de la conception B est présenté dans la Figure III.48. Dans ce travail, l'isolation favorisée par l'étage cascode était suffisante pour rendre l'adaptation d'entrée insensible aux variations de l'état des VGAs. Par conséquent, aucun *buffer* entre les VGA et le filtre n'étaient nécessaires. Cependant, de la même manière que pour la conception A, un *buffer* en sortie a été utilisé afin de faciliter l'adaptation et améliorer l'isolation de la sortie. Le premier étage de la conception B consomme environ 58,4 mW et le troisième (4VGA y compris le *buffer*) consomme environ 13,85 mW. Le DAC à son tour consomme environ 1,5 mW. La consommation totale du circuit est inférieure à 74 mW. Le *layout* complet (Figure III.49) occupe une surface de 2,4 x 1,0 mm² y compris les I/O pads et le *sealring*.

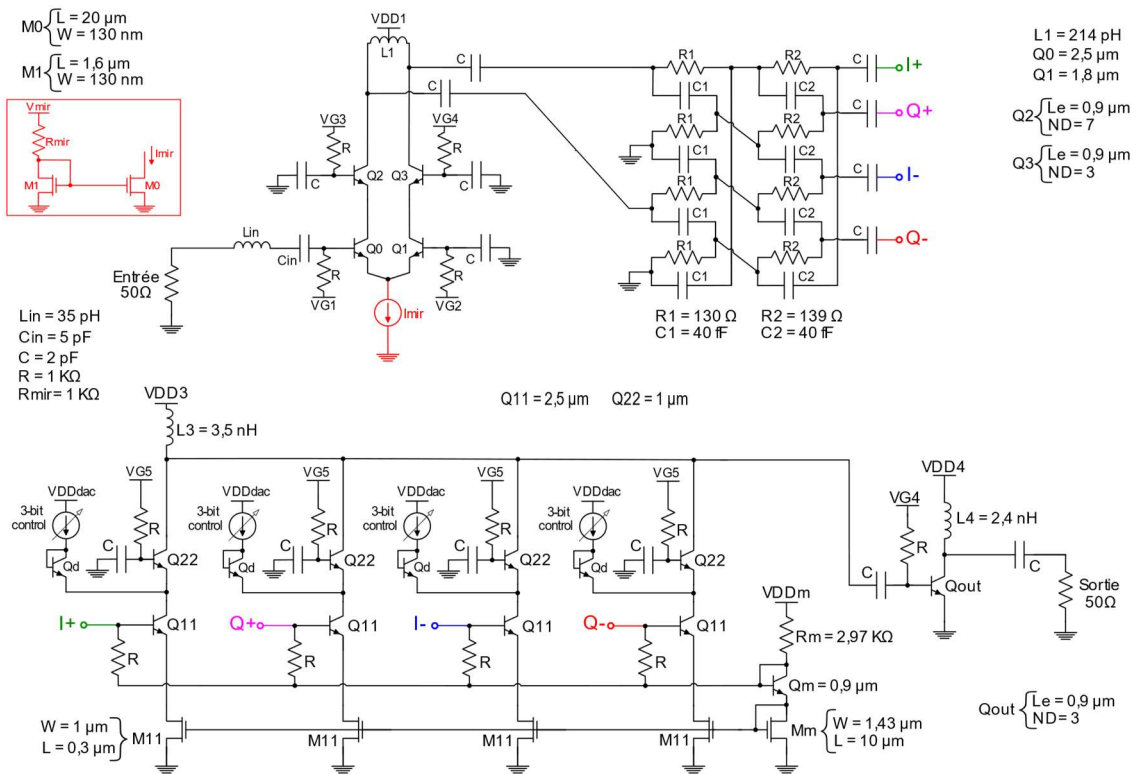


Figure III.48 Schéma électrique de la conception B

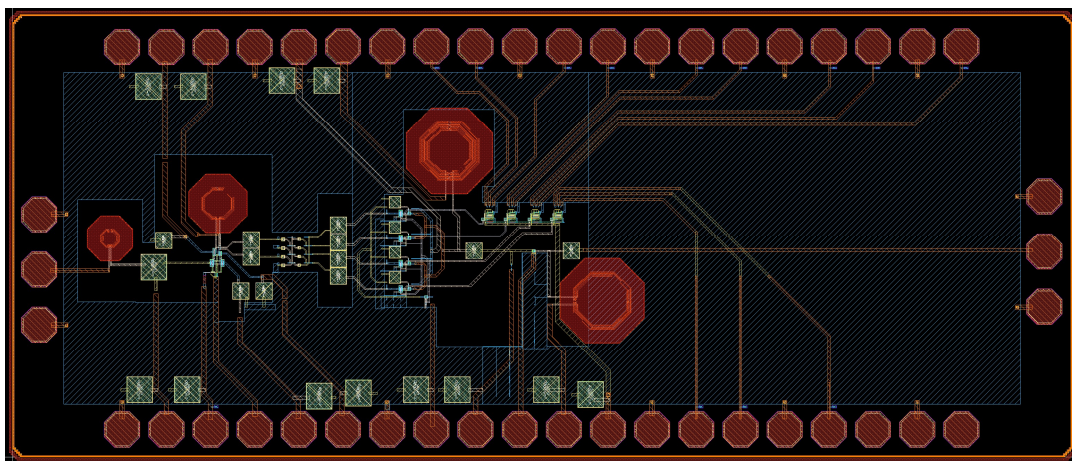


Figure III.49 Layout de la conception B

III.2.2.5. Simulations *post-layout*

Les résultats de la phase relative pour les 64 états choisis de la conception B sont présentés dans la Figure III.50. Il est possible de constater une bonne différenciation des états de phase entre 27 GHz et 29.5 GHz. Néanmoins, on peut observer une dispersion des états de phase vers la fin de la bande, ce qui se traduira par une augmentation de l'erreur de phase. Les coefficients de réflexion S_{11} et S_{22} pour les 64 états sélectionnés sont présentés dans la Figure III.51. Ces résultats démontrent que le circuit est parfaitement adapté tant en entrée qu'en sortie sur la plage de fréquences d'intérêt, indépendamment de l'état de la phase. Par rapport à la conception A, on peut observer une amélioration considérable de l'isolation entre les étages. En effet, les adaptations d'entrée et de sortie restent pratiquement les mêmes dans les différents états de phase. Cela indique que d'une part la topologie cascode améliore l'isolation entre l'entrée et le filtre, et d'autre part que les transistors de la technologie d'IHP ont une meilleure isolation.

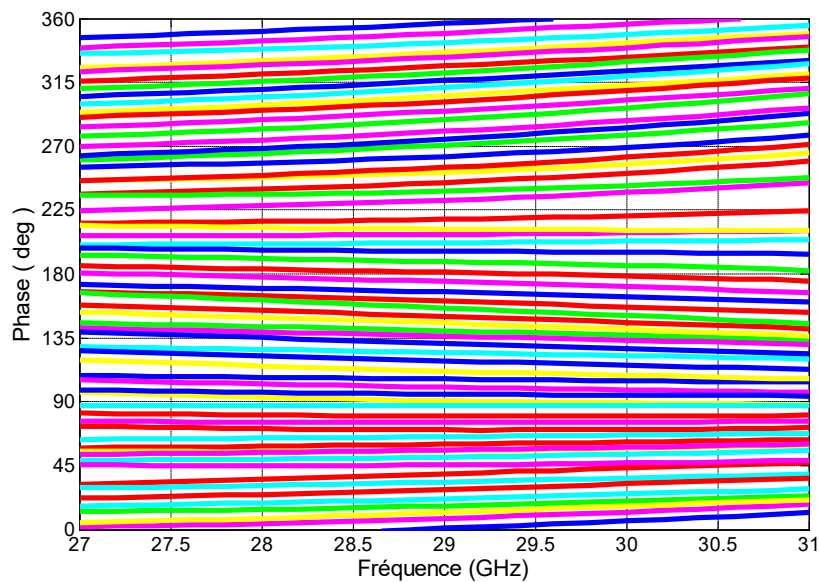


Figure III.50 Phase relative de la conception B

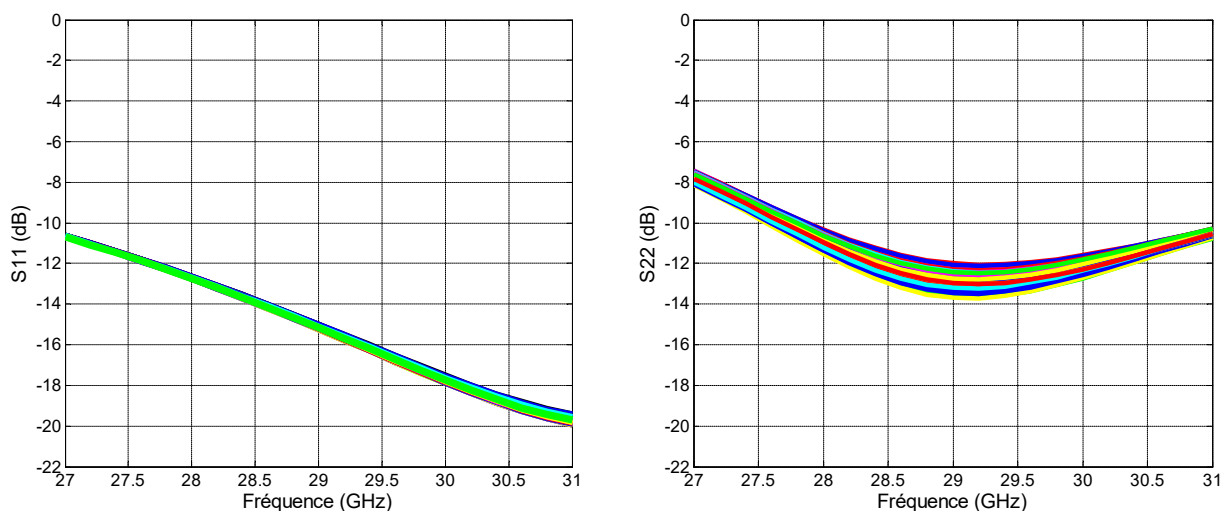


Figure III.51 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception B

Le coefficient de transmission S_{21} est représenté sur la Figure III.52. Il est possible de remarquer une $|S_{21}|$ moyen (en noir) supérieur à -4 dB à 29 GHz et supérieure à -5 dB sur toute la bande. De plus, 1,6 dB de dispersion de gain sont constatés autour de 29 GHz. Concernant la conception A, on peut noter que la perte d'insertion moyenne est plus élevée, cependant la dispersion du gain entre les états est considérablement améliorée. De plus, les critères de stabilité sont présentés dans la Figure III.53 pour uniquement les 64 états sélectionnés par souci de simplicité. K reste supérieur à l'unité et $B1$ reste supérieur à zéro pour un spectre compris entre DC et $2f_c$ (60 GHz). Les critères de stabilité ont été testés pour les 4 096 états et pour des fréquences encore plus élevées, indiquant une stabilité inconditionnelle.

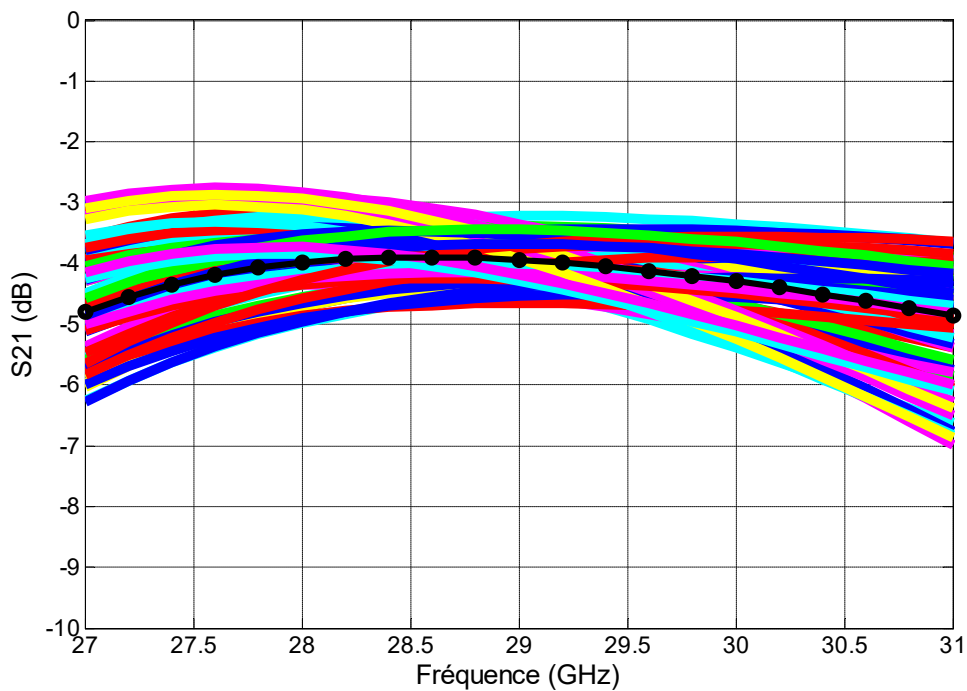


Figure III.52 Pertes d'insertion (S_{21}) de la conception B

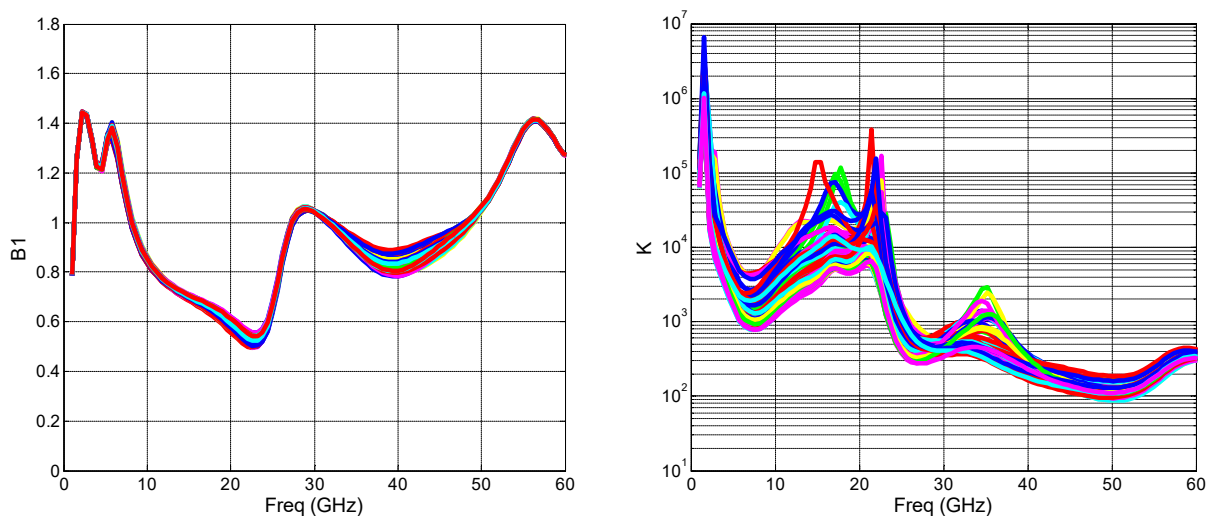


Figure III.53 Paramètres de stabilité ($B1$ et K) de la conception B

III.3. Topologie 2

III.3.1. Conception C

La topologie 2 proposée pour le modulateur vectoriel utilise des cellules Gilbert à la place des VGAs, mais avec le même *balun* et filtre PPF que la conception B. La cellule de Gilbert est une topologie polyvalente et bien connue dans la littérature scientifique, étant largement utilisée dans la conception de déphaseurs, mélangeurs, modulateurs/démodulateurs, multiplicateurs et détecteurs. Pour mieux évaluer le fonctionnement de cette topologie, considérons le circuit de la Figure III.54.

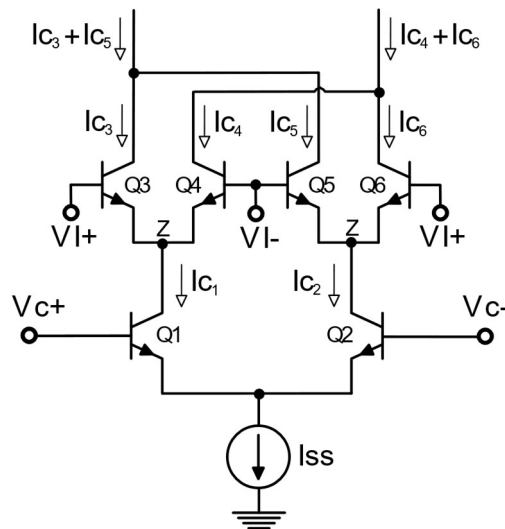


Figure III.54 Cellule de Gilbert

Dans l'analyse suivante, nous supposons que les transistors sont identiques, que la résistance de sortie des transistors et celle de la source de courant de polarisation peuvent être négligées, et que les courants de base peuvent être négligés. Les relations entre le courant du collecteur et les tensions base/émetteur des transistors supérieurs (Q_3 et Q_4) sont définies par :

$$I_{C3} = I_S e^{(V_{BE3}/V_T)} \quad (\text{E-30})$$

$$I_{C4} = I_S e^{(V_{BE4}/V_T)} \quad (\text{E-31})$$

où I_S est le courant de saturation et V_T est la tension thermique définie par $V_T = \frac{kT}{q} \approx 26 \text{ mV}$ à température ambiante (autour de $T = 290 \text{ K}$). Nous pouvons redéfinir l'équation comme suit :

$$V_{BE3} = V_T \times \ln\left(\frac{I_{C3}}{I_S}\right) \quad (\text{E-32})$$

$$V_{BE4} = V_T \times \ln\left(\frac{I_{C4}}{I_S}\right) \quad (\text{E-33})$$

La tension au point Z du circuit peut être définie par :

$$V_Z = V_I^+ - V_{BE3} = V_I^- - V_{BE4} \quad (\text{E-34})$$

$$V_I^+ - V_I^- = V_{BE3} - V_{BE4} = V_I \quad (\text{E-35})$$

En remplaçant l'équation E-35 par l'équation E-32 et l'équation E-33, nous obtenons :

$$V_I = V_T \times \ln\left(\frac{I_{C3}}{I_S}\right) - V_T \times \ln\left(\frac{I_{C4}}{I_S}\right) = V_T \times \ln\left(\frac{I_{C3}}{I_{C4}}\right) \quad (\text{E-36})$$

$$\frac{I_{C3}}{I_{C4}} = e^{V_I/V_T} \quad (\text{E-37})$$

En négligeant le courant de base, $I_E \approx I_C \rightarrow I_{C1} = I_{C3} + I_{C4}$ et ainsi on peut définir :

$$I_{C3} = \frac{I_{C1}}{1 + e^{-V_I/V_T}} \quad (\text{E-38})$$

$$I_{C4} = \frac{I_{C1}}{1 + e^{+V_I/V_T}} \quad (\text{E-39})$$

De même, les courants des collecteurs des transistors Q_5 et Q_6 sont donnés par :

$$I_{C5} = \frac{I_{C2}}{1 + e^{+V_I/V_T}} \quad (\text{E-40})$$

$$I_{C6} = \frac{I_{C2}}{1 + e^{-V_I/V_T}} \quad (\text{E-41})$$

De manière analogue, les courants I_{C1} et I_{C2} peuvent être liés à V_C comme suit :

$$I_{C1} = \frac{I_{SS}}{1 + e^{-V_C/V_T}} \quad (\text{E-42})$$

$$I_{C2} = \frac{I_{SS}}{1 + e^{+V_C/V_T}} \quad (\text{E-43})$$

En combinant (E-38) à (E-43), nous obtenons des expressions pour les courants de collecteur I_{C3} , I_{C4} , I_{C5} et I_{C6} en termes de tensions d'entrée V_I et V_C :

$$I_{C3} = \frac{I_{SS}}{\left[1 + e^{-V_I/V_T}\right] \left[1 + e^{-V_C/V_T}\right]} \quad (\text{E-44})$$

$$I_{C4} = \frac{I_{SS}}{\left[1 + e^{+V_I/V_T}\right] \left[1 + e^{-V_C/V_T}\right]} \quad (\text{E-45})$$

$$I_{C5} = \frac{I_{SS}}{\left[1 + e^{+V_I/V_T}\right] \left[1 + e^{+V_C/V_T}\right]} \quad (\text{E-46})$$

$$I_{C6} = \frac{I_{SS}}{\left[1 + e^{-V_I/V_T}\right] \left[1 + e^{+V_C/V_T}\right]} \quad (\text{E-47})$$

Le courant de sortie différentiel est alors donné par :

$$\Delta I = I_{C3} + I_{C5} - I_{C4} - I_{C6} = (I_{C3} - I_{C6}) - (I_{C4} - I_{C5}) \quad (E-48)$$

En utilisant la définition de la tangente hyperbolique ($\tanh(x) = \frac{e^x - e^{-x}}{e^x + e^{-x}}$) et les équations E-44 à E-47 il est possible de réécrire le courant comme suit :

$$\Delta I = I_{ss} \left[\tanh\left(\frac{V_I}{2V_T}\right) \right] \left[\tanh\left(\frac{V_C}{2V_T}\right) \right] \quad (E-49)$$

Le courant de sortie de la cellule de Gilbert est alors proportionnel au produit de la tangente hyperbolique des deux tensions d'entrée [106], [107]. En pratique, il existe trois modes de fonctionnement distincts pour la cellule de Gilbert, selon les grandeurs de V_C et V_I par rapport à V_T . En fonction de ces valeurs, la cellule de Gilbert peut être utilisée comme multiplicateur, modulateur, détecteur de phase, etc. Cette polyvalence fait de cette topologie l'une des plus connues et des plus utilisées dans les circuits électroniques. Elle a été utilisée pour la première fois dans la conception d'un mélangeur en 1968, proposé par Barrie Gilbert, d'où son nom [108]. Cependant, pour notre application en tant que troisième étage d'un modulateur vectoriel, une deuxième cellule doit être utilisée pour accueillir également les signaux en quadrature. Considérons maintenant le circuit de la Figure III.55 qui comprend deux cellules Gilbert identiques en couplage croisé.

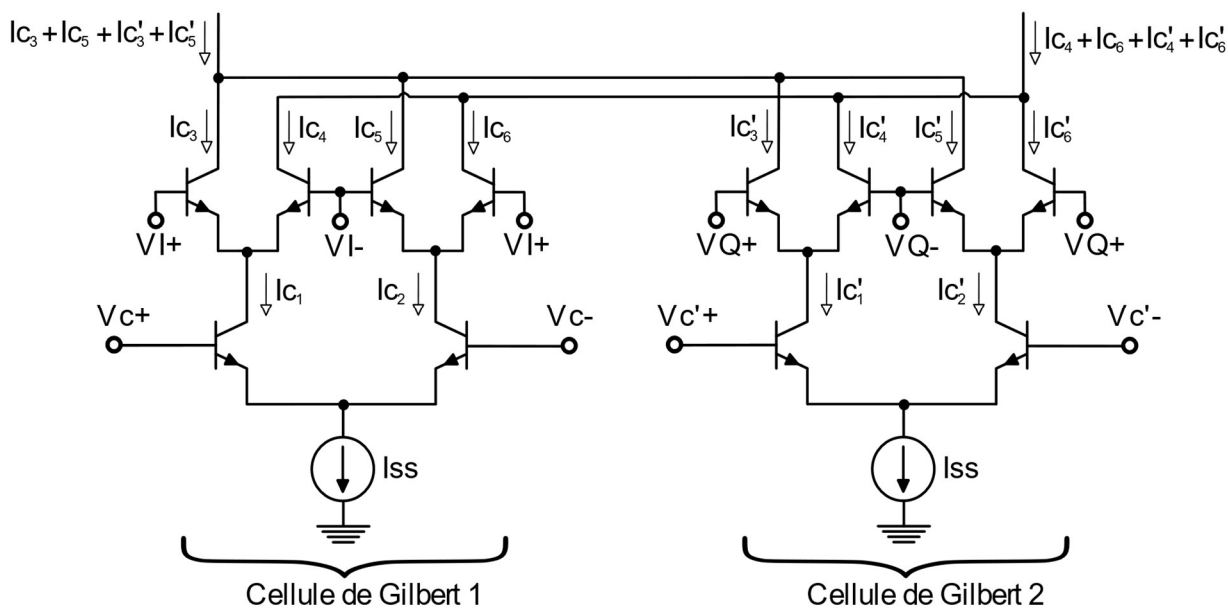


Figure III.55 Double cellule de Gilbert

En effectuant la même analyse dans la deuxième cellule Gilbert que dans la première, on peut redéfinir le courant de sortie (E-48) comme suit :

$$\Delta I = I_{ss} \left\{ \left[\tanh\left(\frac{V_I}{2V_T}\right) \right] \left[\tanh\left(\frac{V_C}{2V_T}\right) \right] + \left[\tanh\left(\frac{V_Q}{2V_T}\right) \right] \left[\tanh\left(\frac{V_C'}{2V_T}\right) \right] \right\} \quad (E-50)$$

Le courant différentiel de sortie dans la double cellule de Gilbert est donc proportionnel à la somme des produits des tangentes hyperboliques des tensions d'entrée de chaque cellule. Avec cette topologie il est possible, à partir de la somme vectorielle des courants, d'obtenir n'importe quel état de phase dans un domaine de balayage à 360°.

La topologie complète proposée pour le troisième étage de la conception C en utilisant deux cellules de Gilbert est présentée à la Figure III.56. Le cœur (transistors Q_4) du modulateur vectoriel reçoit les signaux I et Q différentiels du réseau I/Q. L'invariance de phase est obtenue grâce à un couplage croisé des transistors bipolaires supérieurs (Q_4) ce qui élimine l'influence non linéaire des capacités parasites du transistor [109]. Le signal de sortie dans un domaine de balayage à 360° est généré en combinant les signaux I et Q au nœud de sommation de sortie différentielle à l'aide d'un combineur. Les transistors M_2 jouent le rôle de source de courant I_{ss} . La pondération en amplitude est obtenue en contrôlant les courants à la base des transistors bipolaires inférieurs (Q_5). Le contrôle de ces courants est effectué à l'aide d'un DAC à 3 bits (le même de la topologie précédente : conception B) pour chaque canal, ce qui donne un total de 12 bits, et seuls les 64 meilleurs états seront sélectionnés et utilisés.

Pour la conception de cet étage nous avons utilisé uniquement des transistors HBT de type *npn13G2* (paramétrables en nombre de doigts). Comme nous utilisons le même DAC que la conception B, le courant injecté a déjà sa valeur fixe. Une simulation paramétrique est effectuée entre le nombre de doigts des transistors Q_4 et Q_5 et le courant I_{ss} (idéal) afin de trouver le meilleur compromis entre la consommation électrique, le courant de sortie RF, et la discrétisation des états de phase. Les nombres de doigts des transistors Q_4 et Q_5 sont donc fixés à 4 et 2 pour un courant I_{ss} de 2 mA. Les transistors M_2 fournissant cette valeur de courant sont alors conçus. Une inductance différentielle de 7 nH ajuste le gain maximum à 30 GHz. Les transistors Q_d fonctionnent comme des diodes. Deux inductances de 200 pH assurent l'adaptation de la sortie. La topologie complète avec les valeurs des composants pour le troisième étage du modulateur vectoriel (conception C) est présentée dans la Figure III.56.

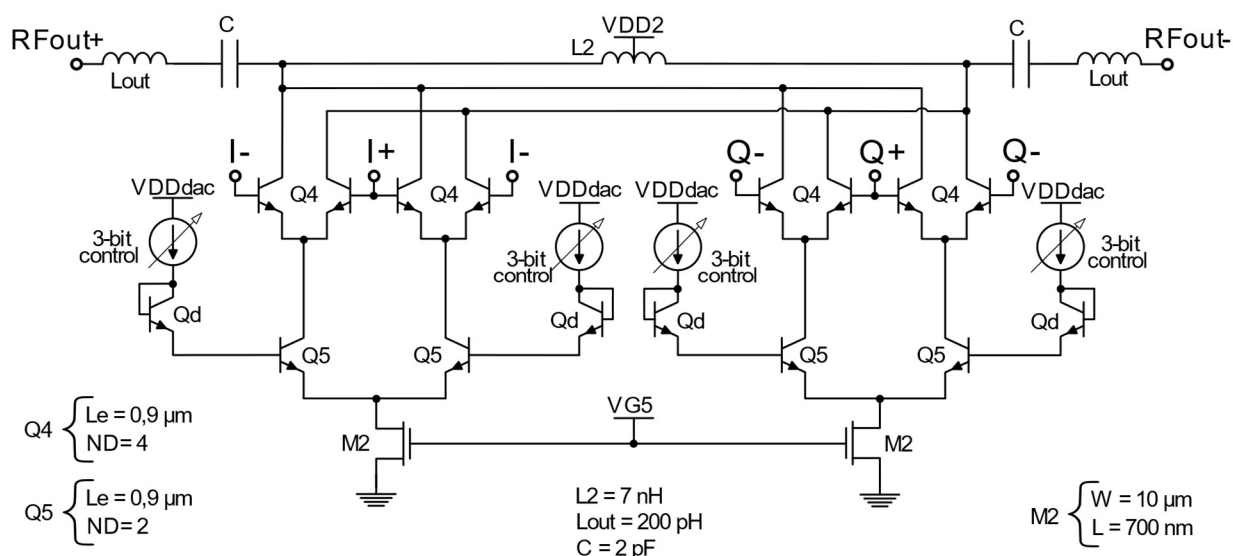


Figure III.56 Topologie proposée (GC)

III.3.1.1. Circuit et layout

Le circuit complet de la conception C est présenté dans la Figure III.57. Le *balun*, le filtre et le DAC sont exactement les mêmes que ceux utilisés dans la conception B. Le troisième étage est mis en œuvre grâce à l'utilisation des cellules de Gilbert comme indiqué précédemment. Dans cette conception, aucun *buffer* n'est utilisé pour l'adaptation ou l'isolation de la sortie, ce qui simplifie encore davantage le circuit par rapport aux conceptions précédentes. De même pour la conception B, le premier étage consomme environ 58,4 mW tandis que le DAC consomme 1,5 mW. Le troisième étage consomme à son tour 16 mW. La consommation totale du circuit est inférieure à 76 mW. Le *layout* complet de la conception C (Figure III.58) occupe une surface de 2,4 x 1,0 mm² y compris les I/O pads et le *sealring*.

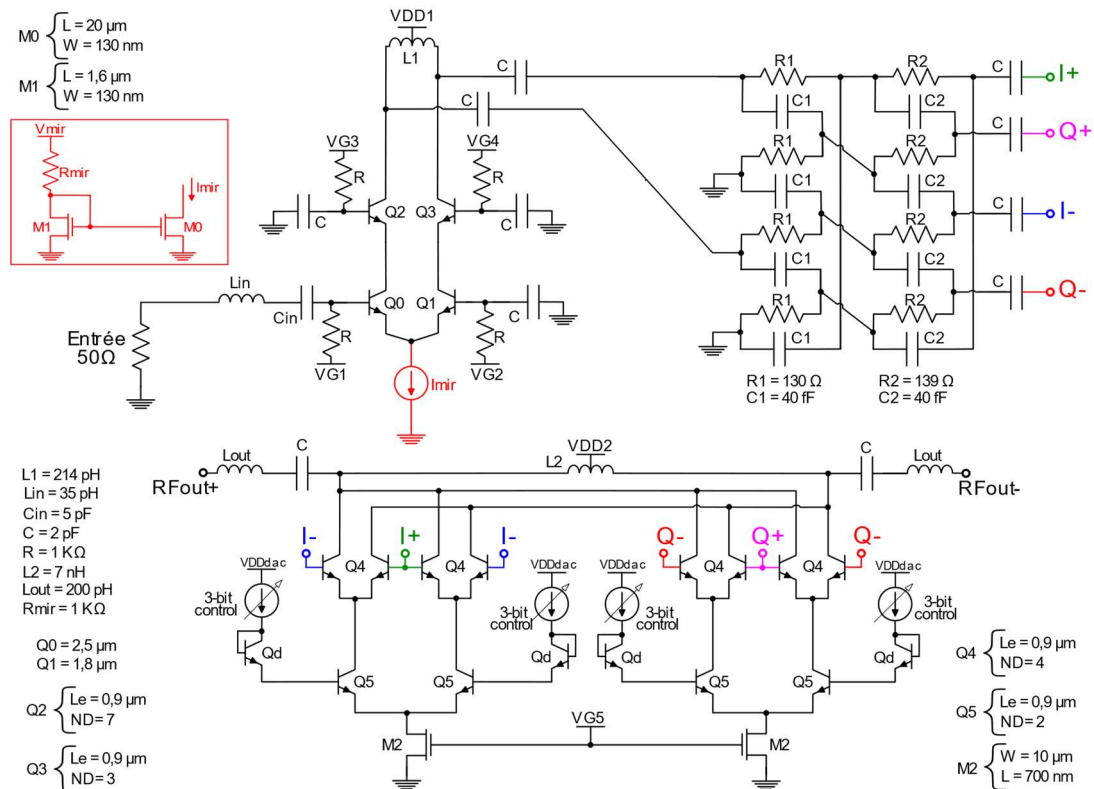


Figure III.57 Schéma électrique de la conception C

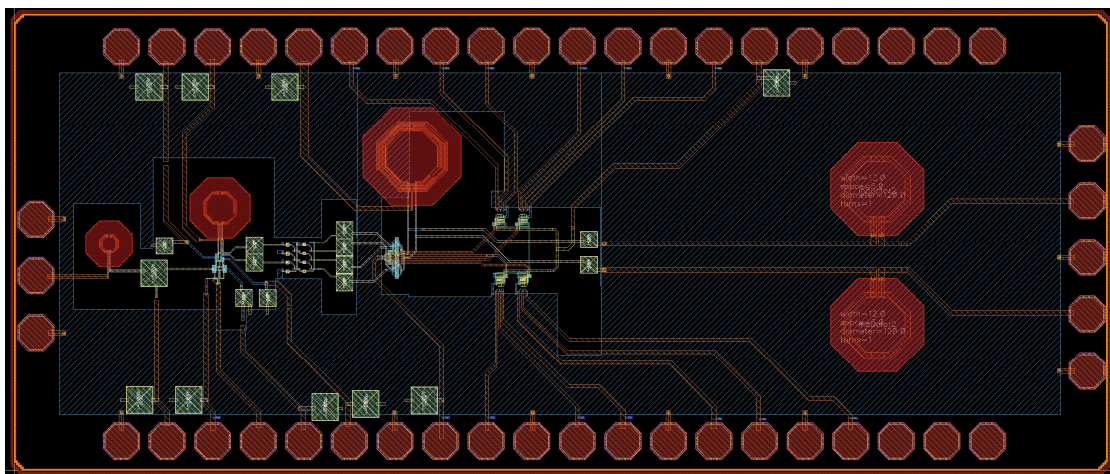


Figure III.58 Layout de la conception C

III.3.1.2. Simulations *post-layout*

Les résultats de la phase relative pour les 64 états choisis de la conception C sont présentés dans la Figure III.59. Il est possible de constater une bonne différenciation des états de phase sur toute la bande utile. Par rapport aux conceptions précédentes, on peut remarquer une amélioration considérable dans la discrimination des états de phase sur toute la bande, ce qui se traduira par une erreur de phase plus faible. Les coefficients de réflexion S_{11} et S_{22} pour les 64 états sélectionnés sont présentés dans la Figure III.60. Ces résultats indiquent que le circuit présente une adaptation satisfaisante à la fois en entrée et en sortie sur la bande de fréquences d'intérêt, quel que soit l'état de la phase. De plus, les résultats montrent que la topologie de la cellule Gilbert est moins sensible aux variations d'état, ayant moins d'impact sur l'impédance de sortie que la topologie *VGA cascode current-steering*.

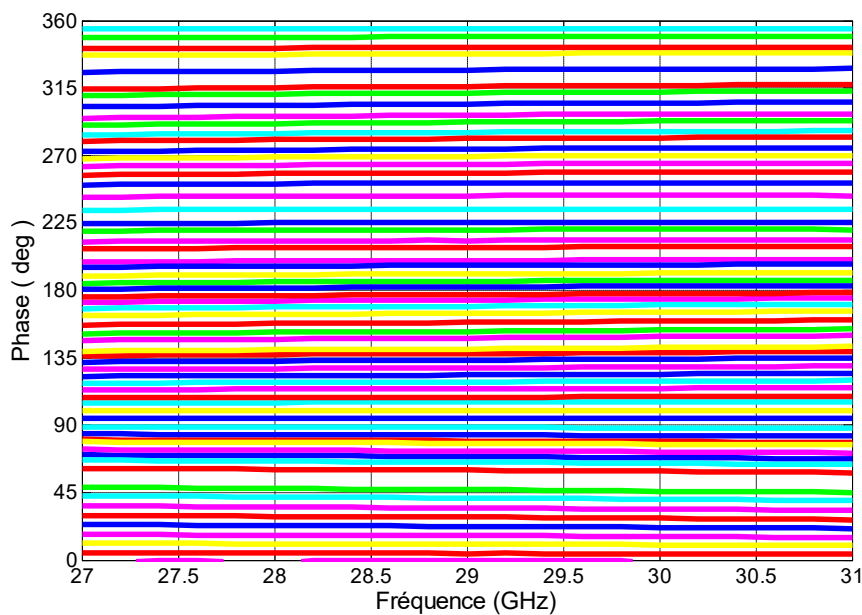


Figure III.59 Phase relative de la conception C

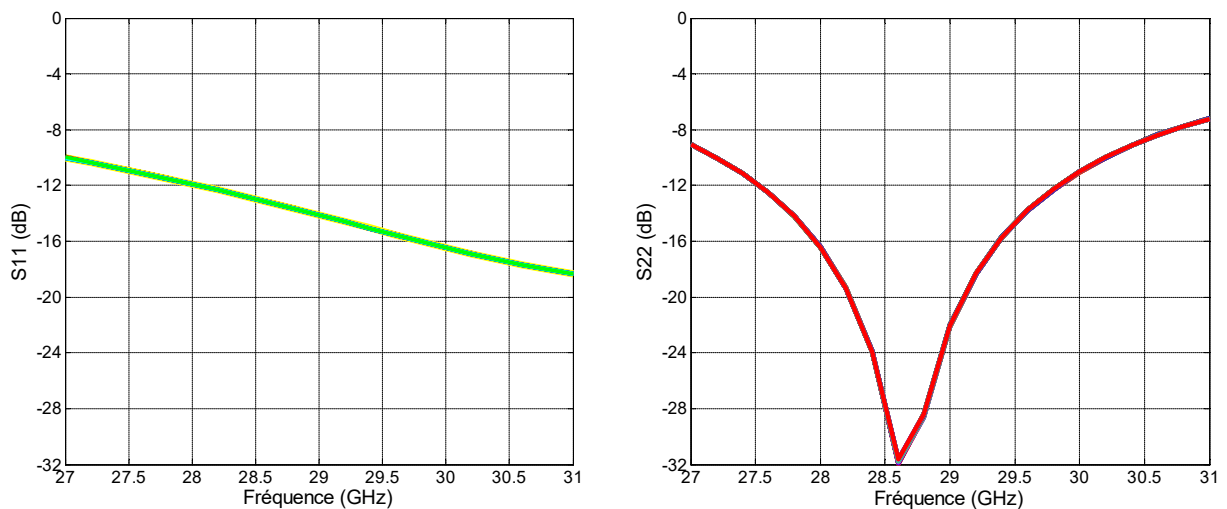


Figure III.60 Adaptation d'entrée (S_{11}) et de sortie (S_{22}) de la conception C

La conception C est de type différentiel à la sortie. Le coefficient de transmission différentielle (S_{21ds}) peut être obtenue à partir des paramètres S (magnitude) en mode simple (*single-ended*) en utilisant l'équation :

$$S_{21ds} = \frac{1}{\sqrt{2}} x [S_{21ss} - S_{31ss}] \tag{E-51}$$

Où S_{21ss} et S_{31ss} représentent les pertes d'insertion en mode simple entre les ports 2 et 1, et 3 et 1, respectivement. Le coefficient de transmission différentielle S_{21ds} est représenté sur la Figure III.61. Il est possible de remarquer une $|S_{21ds}|$ moyen (en noir) supérieur à -4 dB à 30 GHz et supérieure à -9 dB sur toute la bande. De plus, 1,8 dB de dispersion de gain sont constatés autour de 30 GHz. Comme pour la conception B, la dispersion de gain a été considérablement améliorée par rapport à la conception A. De plus, les critères de stabilité sont présentés dans la Figure III.62 pour uniquement les 64 états sélectionnés par souci de simplicité. K reste supérieur à l'unité et B1 reste supérieur à zéro pour un spectre compris entre DC et $2f_c$ (60 GHz). Les critères de stabilité ont été testés pour les 4 096 états possibles et pour des fréquences encore plus élevées, indiquant une stabilité inconditionnelle.

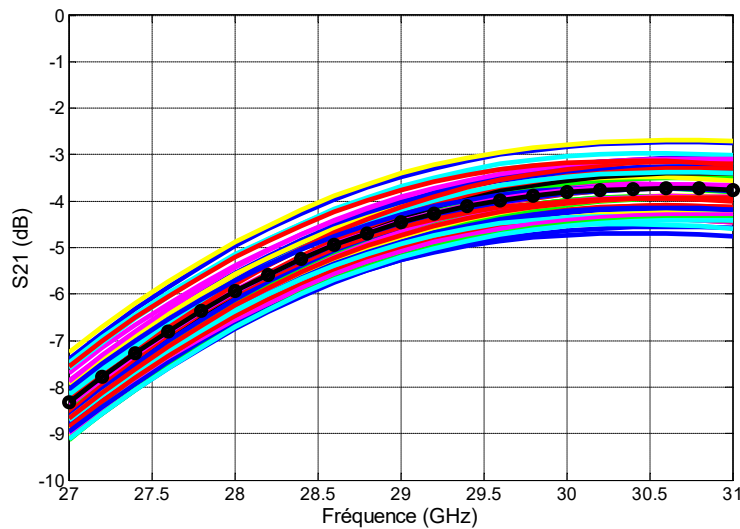


Figure III.61 Pertes d'insertion (S_{21}) de la conception C

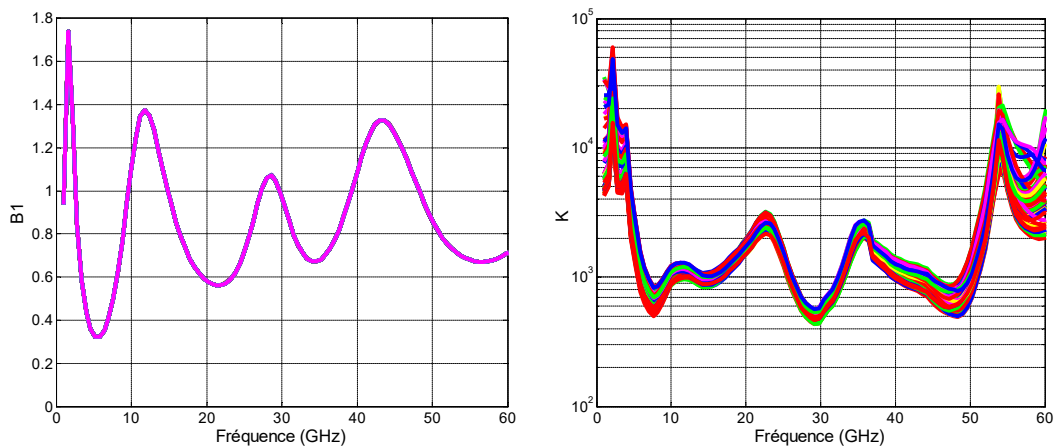


Figure III.62 Paramètres de stabilité (B1 et K) de la conception C

III.4. Comparaison et discussion

III.4.1. Comparaison entre les conceptions

Une comparaison entre les résultats de phase relative des trois conceptions et leur erreur de phase correspondante est présentée respectivement dans les Figure III.63 et Figure III.64. Une évolution considérable peut être observée dans la discrétisation de phase entre les conceptions A et B (qui ont la même topologie). L'erreur de phase minimale atteinte par la conception A est de $4,1^\circ$ à 29,3 GHz, tandis que pour la conception B, elle n'est que de $2,5^\circ$ à 27,7 GHz. De plus, la conception A présente le croisement de certains états au début de la bande, ce qui n'est pas souhaité. En revanche, la conception B présente une excellente discrétisation entre 27 et 29 GHz après cependant qu'une divergence entre les états de phase se produise, ce qui finit par augmenter fortement l'erreur de phase en fin de bande utile. En outre, l'erreur de phase minimale de la conception B peut être redirigée vers une fréquence plus élevée en choisissant d'autres états de phase parmi les 4096. Les résultats des conceptions A et B montrent que la topologie 4VGA ne présente pas une bonne invariance de phase sur une très large bande passante. En revanche, la conception C (topologie GC) présente une erreur de phase minimale de $2,2^\circ$ à 31 GHz et une erreur de phase, inférieure à 3° sur toute la bande utile, ce qui confirme en fait sa capacité à être invariante en phase même sur une très large bande passante.

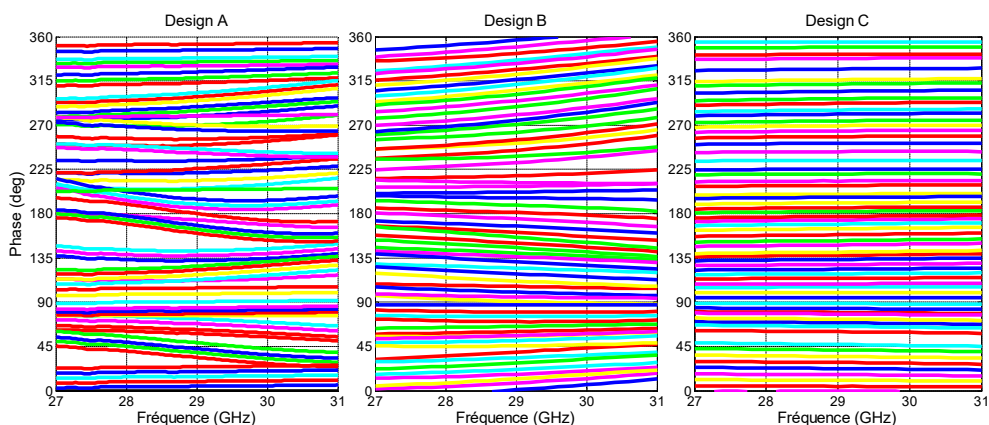


Figure III.63 Comparaison entre les phases relatives des conceptions A, B et C

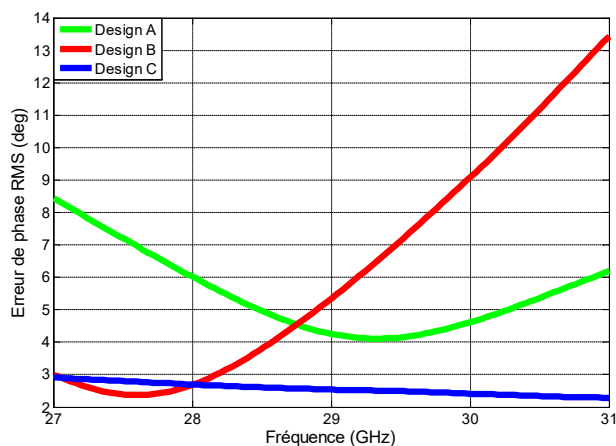


Figure III.64 Erreur de Phase RMS des conceptions A, B et C

Une comparaison entre les résultats de perte d'insertion des trois conceptions et leur erreur d'amplitude correspondante est présentée respectivement dans les Figure III.65 et Figure III.66. La conception A est celle avec la perte d'insertion moyenne (en noir) la plus faible au prix d'une plus grande dispersion en amplitude. En effet, il est possible de remarquer une $|S_{21}|$ moyen supérieur à -2 dB à 30 GHz et supérieure à -4 dB sur toute la bande. Cependant, l'erreur d'amplitude reste supérieure à 2,5 dB sur toute la bande, dépassant 3,5 dB au point où l'erreur de phase est minimale. La conception B, quant à lui, présente une perte d'insertion moyenne plus importante (inférieure à 5 dB sur toute la bande) mais avec une amélioration considérable de l'erreur d'amplitude. En effet, on peut observer une erreur d'amplitude inférieure à 3,15 dB sur toute la bande, inférieure à 0,5 dB entre 27,8 et 29,3 GHz avec un erreur minimale de 0,3 dB à 28,5 GHz. L'erreur d'amplitude est de 0,55 dB au point où l'erreur de phase est minimale. La conception C présente la perte d'insertion moyenne la plus élevée sur la bande utile parmi les conceptions (inférieure à 9 dB). Cependant la perte d'insertion est comparable à celle de la conception B aux alentours de 29 et 30 GHz (autour de 4 dB). Cependant, comme pour l'erreur de phase, l'erreur d'amplitude de la conception C est extrêmement stable sur toute la bande utile. En effet, l'erreur d'amplitude est inférieure à 0,4 dB sur toute la bande de 4 GHz avec une erreur minimale de 0,3 dB autour de 29,3 GHz.

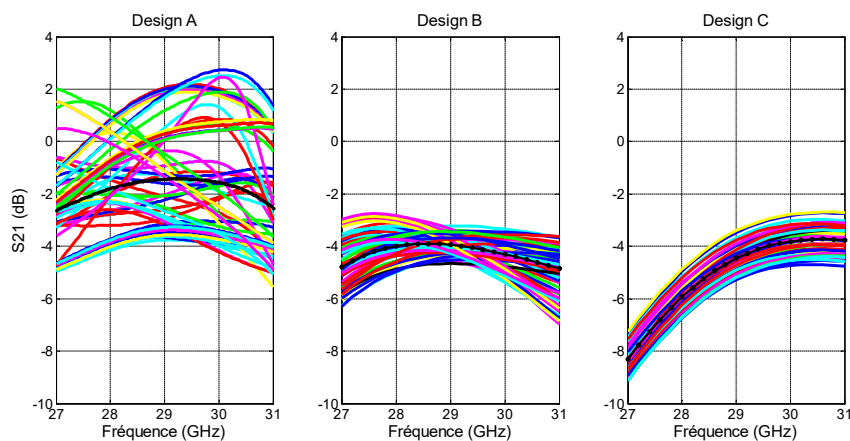


Figure III.65 Comparaison entre les pertes d'insertion (S_{21}) des conceptions A, B et C

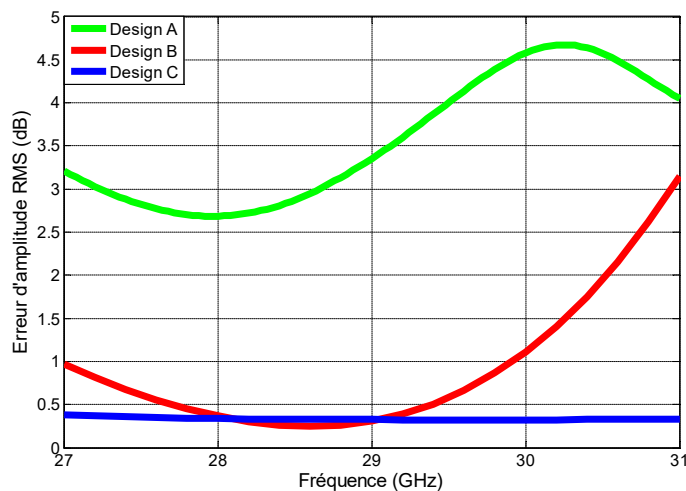


Figure III.66 Erreur d'amplitude RMS des conceptions A, B et C

III.4.2. Discussion par rapport au cahier des charges

En évaluant les résultats présentés par rapport aux spécifications énoncées par *Safran Data Systems* (III.1.5), on peut conclure que les simulations *post-layout* satisfont à tous les principaux critères de performances définis précédemment, sauf l'erreur de phase de la conception A, comme indiqué dans le Tableau III-4. En effet, la conception A présente une erreur de phase plus élevée que souhaitée, mais celle-ci a été considérablement améliorée dans les conceptions ultérieures. Par ailleurs, l'erreur d'amplitude, bien que n'étant pas fixée dans le cahier des charges, était le critère secondaire optimisé. Concernant la superficie, les trois conceptions ne respectent pas théoriquement le cahier des charges. Cependant, en analysant les *layouts* des conceptions B et C qui ont été envoyés en fabrication, il apparaît clairement qu'une bonne partie de la superficie (environ 40 % de la superficie totale) est due au fait que :

- Nous utilisons plusieurs bits pour contrôler les DAC, indiquant que nous disposons d'un nombre élevé de PADS d'entrée
- En plus, il a été décidé d'utiliser des sondes DC qui contiennent une masse à côté de chaque signal (type GSSGSSG...) permettant l'ajout de capacités de découplage entre elles, ce qui facilitera les mesures du circuit, au prix d'un plus grand nombre de PAD et par conséquent de superficie.
- Il a été décidé d'utiliser le même nombre de PADS entre les conceptions, même si certains PADS ne seront pas utilisés, dans le but d'utiliser les mêmes pointes d'entrée et de sortie et le même *setup* de mesure. De cette manière, en plus de faciliter les mesures, cela permettra d'effectuer une comparaison plus précise entre les conceptions B et C.

Compte tenu de cela, la surface effective des *layouts* sont considérablement plus petite, satisfaisant ainsi en partie aux critères établis dans le cahier des charges.

Tableau III-4 Comparaison avec les spécifications du déphaseur

Paramètre	Min	Typ.	Max	Unité	Conception A	Conception B	Conception C
Bande de fréq.	27	-	31	GHz	✓	✓	✓
Dynamique	0	-	360	°	✓	✓	✓
Nombre de bits	-	6	-	Bits	✓	✓	✓
Pertes d'insertion		10		dB	✓	✓	✓
Erreur de phase		3		°	✗	✓	✓
Surface	-		1,5	mm ²	—	—	—
Consommation	-	-	0,1	W	✓	✓	✓
Adaptation ($ S_{1,1} $ & $ S_{2,2} $)	-	< - 10	-	dB	✓	✓	✓

III.4.3. Comparaison avec l'état de l'art

Dans le Tableau III-5, nous comparons les résultats de simulation *post-layout* avec les déphaseurs dans l'état de l'art.

Tableau III-5 Comparaison avec l'état de l'art

Réf.	Année	Type	Tech.	Bande de fréquences $f_{min} - f_{max}$ (GHz)	Dynamique $\Delta\phi_{max}$ (°)	Résolution $\Delta\phi_{min}$ (°)	Erreur phase $d\phi_{RMS}$ (°)	Pertes d'insertion IL (dB)	Erreur d'ampli. dG_{RMS} (°)	Puissance P_{DC} (mW)	Surface A (mm ²)
[95]	2016	VM	250 nm SiGe	8,0 – 12,0	360	5,625 (6 bits)	< 2,8 @ 10 GHz	5 @ 10 GHz	< 2 @ 10 GHz	110	1,645 (core)
[94]	2017	RTPS/VM	250 nm SiGe	18,3 – 22,4	360	22,5 (4 bits)	4	9,6 ± 0,7 * @ 20 GHz	0,7	0	0,154 (core)
[96]	2017	VM	250 nm SiGe	5,0 – 13,0	360	5,625 (6 bits)	< 2,8 @ 10 GHz	7,8 ± 2 @ 10 GHz	< 2 @ 10 GHz	90	0,72 (core)
[97]	2018	VM	65 nm CMOS	27,0 – 29,0	360	5,625 (6 bits)	< 0,54	3,1 ± 0,2 @ 28 GHz	< 0,13	25,2	0,582 (puce)
[98]	2019	VM	130 nm SiGe	26,0	360	11,25 (5 bits)	4	0,5 @ 26 GHz	0,2	23	0,48 (core)
[99]	2019	RTPS	45 nm SOI	27,0 – 31,0	360	11,25 (5 bits)	1,5 @ 30 GHz	9,2 ± 0,8 @ 29 GHz	< 0,5 @ 30 GHz	0	0,26 (core)
[100]	2020	VM	250 nm SiGe	28	360	2,81 (7 bits)	< 3,1 @ 28 GHz	0 ± 1 @ 28 GHz	0,5 @ 28 GHz	33,7	0,262 (core)
[101]	2021	Filtres commutés	180 nm CMOS	26 - 32	360	11,25 (5 bits)	< 2 @ 29 GHz	16,0 ± 2,0 @ 29 GHz	< 0,8 @ 29 GHz	0	0,7 (puce)
[102] VM1	2021	VM	130 nm SiGe	26,5 – 29,5	360	22,5 (4 bits)	< 4,2	G = 2,3 @ 27 GHz	< 0,7	42,5	1,15 (puce)
[102] VM2	2021	VM	130 nm SiGe	26,5 – 29,5	360	22,5 (4 bits)	< 3,5	4,4 @ 27 GHz	< 1	27,5	0,71 (puce)
Conc. A	2022	VM	130 nm SiGe ST BiCMOS 9MW	27,0 – 31,0	360	5,625 (6 bits)	4,1* @ 29,3 GHz < 5* @ 28,5 – 30,2 GHz	2 ± 3,5* @ 30 GHz	3,6* @ 29,3 GHz < 3* @ 27,3 – 28,7 GHz	90	2,6 (puce) 1,2 (core)
Conc. B	2023	VM	130 nm SiGe IHP SG13G2	27,0 – 31,0	360	5,625 (6 bits)	2,5* @ 27,7 GHz < 3* @ 27 - 28 GHz	4 ± 0,8* @ 29 GHz	< 0,5* @ 27,8 – 29,3 GHz < 1* @ 27 – 29,8 GHz	74	2,4 (puce) 0,8 (core)
Conc. C	2023	VM	130 nm SiGe IHP SG13G2	27,0 – 31,0	360	5,625 (6 bits)	2,2* @ 31 GHz < 3* @ 27 – 31 GHz	4 ± 0,9* @ 30 GHz	0,35* @ 31 GHz < 0,4* @ 27 – 31 GHz	76	2,4 (puce) 1,0 (core)

* Résultats de simulation

La conception A présente une perte d'insertion proches des meilleurs rapportés dans [97], [98], [100], [102], mais avec une plus grande erreur de phase et d'amplitude. De plus, la conception A est l'une des plus consommatrices, juste derrière [95].

La conception B, à son tour, présente un erreur de phase et d'amplitude proche des meilleurs rapportés dans [97], [99], [101]. De plus, il présente des pertes d'insertion inférieures à celles

de [99], [101]. Si on compare avec [95] et [96] qui utilisent une topologie similaire pour le troisième étage (4VGA) dans la bande X, il est possible de constater que nous obtenons une meilleure erreur de phase et d'amplitude avec moins de pertes d'insertion, une consommation d'énergie plus faible et à des fréquences plus élevées.

La conception C, quant à lui, présente la plus petite erreur de phase et d'amplitude en large bande parmi les trois conceptions, avec des résultats très proches des meilleurs rapportés dans [97], [99], [101]. Si on le compare avec des travaux qui font également appel à la cellule de Gilbert [98], [100], [102], on obtient la plus petite erreur de phase, et une erreur d'amplitude proche de la meilleure rapportée dans [98]. Cependant, sa perte d'insertion et sa consommation d'énergie sont légèrement plus élevées.

A partir des résultats, nous pouvons conclure que la topologie proposée (4VGA) pour le modulateur vectoriel peut être utilisée en bande Ka avec des résultats satisfaisants tant que la bande passante utile considérée n'est pas si élevée. En effet, comme nous l'avons vu précédemment, les erreurs de phase et d'amplitude de cette topologie présentent un comportement quadratique. Avec cela, nous pouvons obtenir de faibles erreurs, mais celles-ci augmentent considérablement à mesure qu'elles s'éloignent de la vallée. Pour une bande passante de 4 GHz, cette topologie n'est peut-être pas si attractive. En pratique, cependant, la bande passante utile des systèmes est considérablement plus petite (de l'ordre de centaines de MHz), ce qui en fait une topologie intéressante pour les systèmes qui nécessitent de faibles erreurs de phase et/ou d'amplitude.

Également, la topologie utilisant les cellules de Gilbert semble être une option intéressante lorsqu'un équilibre précis d'amplitude et de phase sont requises sur une large bande. En effet, la topologie présentait une erreur de phase et d'amplitude qui varie très peu dans une bande de 4 GHz. La discrimination de phase et la planéité sur la bande passante dans le cas de la conception C devraient permettre une formation de faisceau plus précise ainsi qu'un étalonnage plus facile de l'antenne à dépointage électronique.

Les conceptions B et C ont été envoyées en fabrication pour mieux évaluer les avantages de l'un par rapport à l'autre pour notre application spécifique. Les mesures devraient avoir lieu à la fin de cette année.

Conclusion Générale et Perspectives

Les travaux présentés dans ce manuscrit portent sur la conception des circuits actifs intégrés destinés à la chaîne d'émission d'une antenne à dépointage électronique en bande Ka (27 ~ 31 GHz). Cette thèse s'inscrit dans la continuité de quatre thèses précédemment menées par *Safran Data Systems* sur le même projet. La première thèse porte sur la modélisation numérique de grands réseaux d'antennes, réalisée par Benoît Lesur. La deuxième thèse, menée par Anaël Lohou, traite de la conception d'un circuit de réception (LNA + déphaseur) en arséniure de gallium. La troisième, menée par Rémy Bouché, concerne la conception d'un circuit de réception (LNA + déphaseur) en silicium-germanium, tandis que la quatrième se concentre sur la co-simulation des circuits actifs et des éléments rayonnants (menée par Charlotte Deville). L'objectif principal de cette thèse était de concevoir, à partir d'un cahier des charges préalablement défini, deux circuits clés pour la chaîne d'émission : un amplificateur de puissance à gain variable et un déphaseur pilotable. Par ailleurs, cette thèse vise à proposer des solutions alternatives aux circuits déphaseurs déjà conçus dans des thèses antérieures, étant donné que ce circuit revêt une importance fondamentale tant en émission qu'en réception.

Les paragraphes suivants présentent les principaux enseignements de cette thèse de doctorat, détaillés chapitre par chapitre. Ensuite, dans un second temps, les perspectives de ce travail seront développées.

Le **Chapitre I** de ce manuscrit introduit le contexte de l'étude, où *Safran Data Systems* se fixe pour objectif la conception d'une antenne à dépointage électronique dédiée à la connectivité aéronautique (*In-Flight Connectivity*). La notion de dépointage électronique est rappelée en présentant les concepts fondamentaux et les différentes architectures. Ensuite, les solutions existantes dans l'état de l'art sont présentées et discutées. Dans un second temps, le cadre de la thèse est introduit, suivi des spécifications de l'antenne exprimées par *Safran Data Systems*, qui servent de base pour la définition des cahiers des charges de chacun des circuits abordés. Enfin, le chapitre se termine par le choix des technologies BiCMOS (BiCMOS9MW et SG13G2) et une brève comparaison de certaines de leurs caractéristiques et composants.

Le **Chapitre II** est consacré à la conception de l'amplificateur de puissance à gain variable (VGPA) en bande Ka. Différentes topologies sont présentées, et un résumé de l'état de l'art est détaillé au début de ce chapitre. La topologie choisie comprend deux étages : un étage de puissance et un autre étage à gain variable. L'étage de puissance utilise la topologie cascode et est spécialement conçu pour maximiser la puissance de sortie tout en conservant une bonne efficacité énergétique. Pour atteindre cet objectif, une méthode de simulation de *load-pull* avec optimisation est proposée pour déterminer l'impédance optimale qui maximise les performances à 30 GHz. Ceux-ci incluent l'optimisation des paramètres

géométriques et de polarisation de la topologie choisie. Ensuite, une conception minutieuse du *layout* de cet étage est réalisée dans le but de sélectionner la meilleure combinaison entre les dispositifs passifs et les interconnexions, permettant d'obtenir l'impédance optimale tout en minimisant les pertes introduites par les éléments parasites. La topologie retenue pour l'étage à gain variable était la topologie cascode pilotée en courant. Cet étage est spécialement conçu pour fournir la dynamique de gain souhaitée du système. Le choix et la conception de la topologie du convertisseur analogique-numérique (DAC) qui contrôle cet étage sont également détaillés. À la fin du chapitre, les résultats *post-layout* du circuit complet sont présentés et comparés aux spécifications du projet ainsi qu'à l'état de l'art. Les résultats sont conformes au cahier des charges et bien positionnés par rapport à l'état de l'art. En ce qui concerne les améliorations et les travaux futurs relatifs à ce circuit, on peut mentionner :

- Développer la méthodologie de simulation de *load-pull* avec optimisation en ajoutant la partie *source-pull* dans le but de minimiser les pertes entre la source et le cœur du circuit.
- Considérer l'utilisation d'un réseau d'adaptation entre les étages pour maximiser le transfert de puissance.
- Considérer l'utilisation de la cellule de Gilbert comme un étage à gain variable.

Le **Chapitre III** porte sur la conception et la comparaison de différentes topologies de déphaseurs, et il constitue la principale contribution de ce travail de thèse. Le chapitre commence par aborder les différents types de déphaseurs en bande Ka et leurs critères de performance. Ensuite, un état de l'art détaillé est présenté et discuté, aboutissant au choix de l'architecture active. La conception de trois circuits différents utilisant les deux technologies est détaillée dans ce chapitre. Les conceptions A et B comportent un étage *balun* comme premier étage, un filtre polyphase comme deuxième étage et quatre amplificateurs à gain variable (4VGA) comme troisième étage. Chacune des conceptions est mise en œuvre en utilisant l'une des deux technologies BiCMOS (BiCMOS9MW et SG13G2). La conception C, quant à elle, comporte les deux mêmes premiers étages que ceux de la conception B mais avec une topologie alternative pour le troisième : une double cellule de Gilbert. À la fin du chapitre, les résultats *post-layout* des trois conceptions sont comparés les unes aux autres, ainsi qu'aux spécifications du projet et à l'état de l'art. Les résultats sont en accord avec le cahier des charges et bien positionnés par rapport à l'état de l'art. Les résultats de la mesure d'un premier circuit fabriqué, comprenant une partie de la conception A ainsi que la topologie du DAC utilisée tout au long de la thèse, sont également présentés dans ce chapitre. Les conceptions B et C ont été envoyées en fabrication pour une évaluation plus approfondie de leurs avantages respectifs pour notre application spécifique. À l'égard des améliorations possibles et des développements futurs pour ces circuits, on peut citer :

- Considérer l'utilisation de boucles de rétroaction entre le troisième étage et le premier dans le but de minimiser les erreurs de phase et d'amplitude.
- Considérer la conception d'un circuit SPI (*Serial Peripheral Interface*) intégré pour contrôler la sélection des meilleurs états et compenser les variations dues au PVT (*Process Voltage Temperature*) avec des bits supplémentaires.
- Considérer l'adoption des topologies de déphaseurs proposées pour la chaîne de réception tout en optimisant le circuit *balun* d'entrée en termes de bruit.
- Considérer l'utilisation de *baluns* passifs pour améliorer la linéarité et l'emploi de filtres QAF pour réduire les pertes globales

La conclusion de cette thèse ouvre la voie à plusieurs perspectives pour l'avenir. Tout d'abord, en ce qui concerne les circuits envoyés en fabrication (conceptions B et C), les principaux objectifs à court terme sont la mesure et la rétro-simulation dès leur réception (prévues pour la fin de cette année). La prochaine étape consistera à concevoir le VGPA en utilisant la même technologie que les déphaseurs fabriqués, dans le but de les regrouper sur une même puce. Tout au long de ce processus, certaines options d'amélioration mentionnées ci-dessus peuvent être testées avant d'aboutir à un circuit final complet.

Enfin, à moyen et long terme, une étude sur la dissipation thermique des circuits, notamment de l'amplificateur de puissance, et son impact sur le système devra être menée. En effet, chaque circuit actif entraîne une augmentation de la température ambiante en raison de la dissipation thermique de ses composants actifs. Par conséquent, il est nécessaire d'évaluer l'impact de plusieurs centaines de puces au sein d'une antenne à dépointage électronique.

Annexes

Sommaire

Annexe I. Paramètres S: <i>The Scattering Parameters</i>	153
Annexe II. Le Diagramme de Smith: <i>The Smith chart</i>	155
Annexe III. Critères d'analyse de stabilité	157

Annexe I. Paramètres S: *The Scattering Parameters*

Les paramètres de diffusion (ou paramètres S), sont utilisés pour caractériser le comportement des systèmes linéaires à haute fréquence, où l'obtention d'autres paramètres à travers des mesures devient plus complexe. Un schéma de la représentation des paramètres S pour un réseau à deux ports est illustré dans la Figure. A 1.



Figure. A 1 Représentation des paramètres S dans un quadripôle

L'idée principale de cette représentation est de mesurer la vague de tension incidente V_1^+ entrant dans le système, ainsi que la vague de tension réfléchie correspondante V_1^- sortant du système (par le biais du port d'entrée). Les ondes incidentes normalisées V_1^+ et les ondes réfléchies normalisées V_1^- sont liées aux tensions et courants terminaux du port d'entrée. Pour le réseau illustré dans la Figure. A 1, les contributions des deux ports peuvent être combinées pour former l'équation (E-52) sous forme matricielle :

$$\begin{bmatrix} V_1^- \\ V_2^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \end{bmatrix} \quad (\text{E-52})$$

Où S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres S mesurés entre le port d'entrée et le port de sortie. En développant la matrice, les équations suivantes peuvent être écrites :

$$S_{11} = \frac{V_1^-}{V_1^+}, \text{ si } \rightarrow V_2^+ = 0 \quad (\text{E-53})$$

$$S_{12} = \frac{V_1^-}{V_2^+}, \text{ si } \rightarrow V_1^+ = 0 \quad (\text{E-54})$$

$$S_{21} = \frac{V_2^-}{V_1^+}, \text{ si } \rightarrow V_2^+ = 0 \quad (\text{E-55})$$

$$S_{22} = \frac{V_2^-}{V_2^+}, \text{ si } \rightarrow V_1^+ = 0 \quad (\text{E-56})$$

Où S_{11} est le coefficient de réflexion à l'entrée (impédance d'entrée), S_{12} , est le coefficient de transmission inverse, S_{21} est le coefficient de transmission directe, et S_{22} est le coefficient de réflexion à la sortie (impédance de sortie) d'un quadripôle. Ces paramètres sont largement utilisés dans la conception d'amplificateurs, l'adaptation d'impédance et l'analyse des critères de stabilité.

Annexe II. L'abaque de Smith: *The Smith chart*

Une manière très utile de visualiser graphiquement les impédances est à travers l'abaque de Smith. Cela vous permet de tracer des impédances avec la partie réelle entre zéro et l'infini, et avec toutes les valeurs imaginaires possibles. En utilisant les concepts des coefficients de réflexion, il est possible de mesurer à quel point deux impédances sont adaptées. Le coefficient de réflexion en tension (Γ) est défini par l'amplitude de l'onde de tension réfléchie normalisée par rapport à l'amplitude de l'onde de tension incidente :

$$\Gamma = \frac{V_0^-}{V_0^+} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (\text{E-57})$$

Où Z_0 est l'impédance caractéristique et Z_L est l'impédance de charge. En réécrivant E-57, l'impédance de charge peut être définie de la manière suivante :

$$Z_L = Z_0 \frac{1 + \Gamma}{1 - \Gamma} \quad (\text{E-58})$$

Les impédances réelles sont représentées entre 0Ω ($\Gamma = -1$) et $+\infty \Omega$ ($\Gamma = +1$), donc lorsque $\Gamma = 0$, $Z_L = Z_0$. Cela signifie que le centre du diagramme de Smith indique le point où la charge est identique à l'impédance caractéristique (c'est-à-dire, une condition d'adaptation). En normalisant par rapport à Z_0 , on peut obtenir directement l'impédance à partir de l'abaque de Smith de la Figure.A 2. Les lignes circulaires représentent les contours de résistance constante, tandis que les lignes en arc correspondent à la réactance constante. De plus, la partie supérieure du diagramme représente la réactance positive (inductive), tandis que la partie inférieure représente la réactance négative (capacitive).

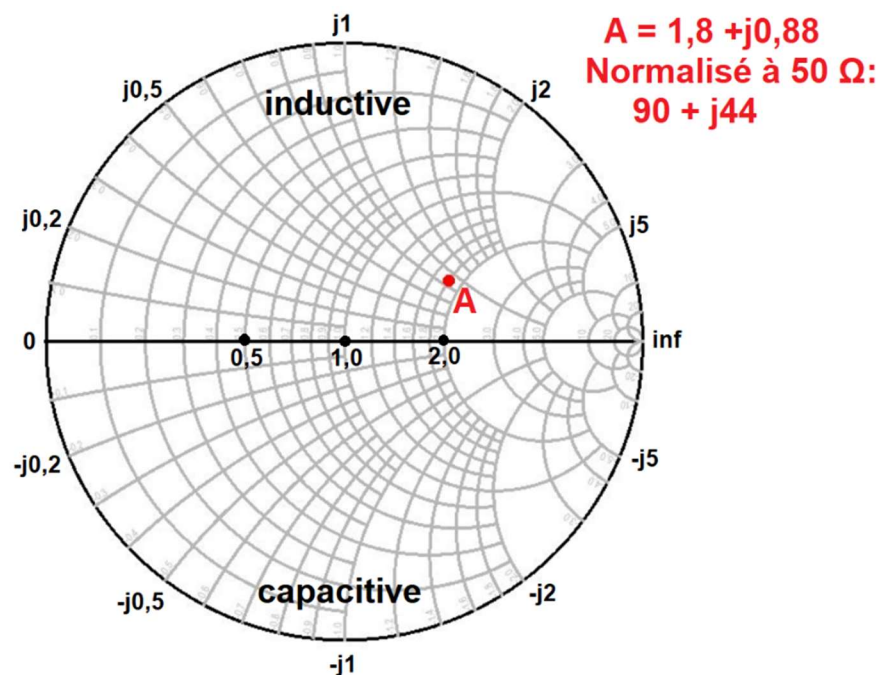


Figure.A 2 L'abaque de Smith. Le point A est un exemple d'impédance (Z_{opt} du chapitre 2)

Annexe III. Critères d'analyse de stabilité

Une caractéristique importante des amplificateurs est l'analyse de la stabilité. Grâce à cela, il est possible de s'assurer que des oscillations ne se produiront pas en raison de la présence de boucles de rétroaction de la sortie à l'entrée, qui pourraient survenir pour certaines combinaisons d'impédance d'entrée et de sortie. Pour cette analyse en régime de petit signal, considérez le circuit de la Figure. A 3.

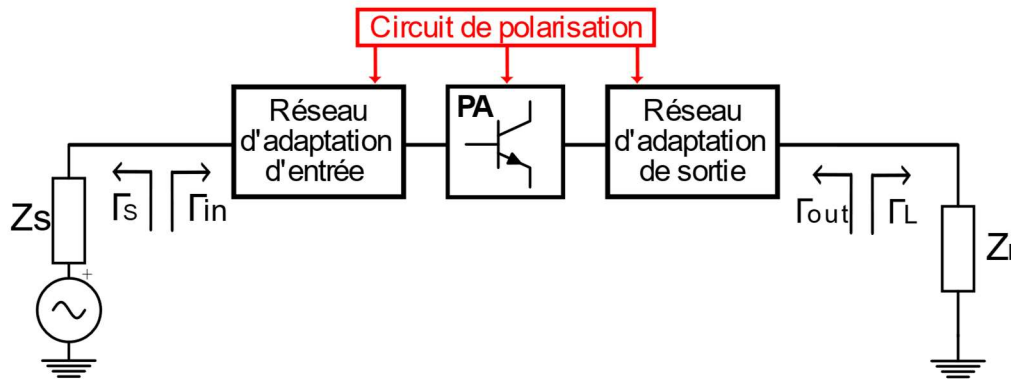


Figure. A 3 Circuit pour l'analyse de stabilité

En considérant ce circuit, des oscillations sont possibles lorsque l'impédance de la portée d'entrée ou de sortie présente une partie réelle négative, ce qui implique : $|Γ_{in}| > 1$ ou $|Γ_{out}| > 1$. Il est important de se rappeler de l'annexe précédente qu'un coefficient de réflexion supérieur à l'unité indique une région en dehors du diagramme de Smith. Étant donné que $Γ_{in}$ et $Γ_{out}$ dépendent des réseaux d'adaptation d'entrée et de sortie, la stabilité de l'amplificateur en dépendra également. Dans [86] deux types de stabilité sont définis :

- Stabilité Inconditionnelle : Le réseau sera inconditionnellement stable si $|Γ_{in}| < 1$ et $|Γ_{out}| < 1$ pour n'importe quelles impédances de charge et de source passives (c'est-à-dire, $|Γ_S| < 1$ et $|Γ_L| < 1$)
- Stabilité Conditionnelle : Le réseau sera conditionnellement stable si $|Γ_{in}| < 1$ et $|Γ_{out}| < 1$ seulement dans une certaine plage d'impédances de charge et de source passives. Ce cas est également appelé potentiellement instable.

Les critères de stabilité des amplificateurs dépendent généralement de la fréquence, car les réseaux d'adaptation d'entrée et de sortie le sont généralement aussi. De cette manière, il est possible que l'amplificateur soit stable à la fréquence de fonctionnement, mais devienne instable à d'autres fréquences. Par conséquent, les critères doivent être évalués sur une large plage de fréquences afin de garantir la stabilité. Il existe plusieurs façons de tester les conditions de stabilité d'un circuit. L'une d'entre elles consiste à déterminer les régions sur le diagramme de Smith pour $Γ_S$ et $Γ_L$ où l'amplificateur est conditionnellement stable. Cette approche nécessite un traitement mathématique plus élaboré qui peut être examiné en détail dans [86]. D'autre part, il existe des tests plus simples à évaluer qui déterminent la stabilité inconditionnelle du circuit en utilisant les paramètres S, connus sous le nom de facteur de stabilité de Rollet (K et $Δ$), définis comme suit :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad (\text{E-59})$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| \quad (\text{E-60})$$

Lorsque $K > 1$ et $|\Delta| < 1$ sont simultanément satisfaits, ils forment un ensemble de conditions nécessaires et suffisantes pour une stabilité inconditionnelle [86]. Si ces conditions ne sont pas remplies, des cercles de stabilité doivent être utilisés pour déterminer s'il existe des valeurs de Γ_S et Γ pour lesquelles le circuit est conditionnellement stable. Malgré le fait que les paramètres K et Δ fournissent un traitement mathématique rigoureux pour indiquer la stabilité inconditionnelle, ils ne permettent pas de comparer la stabilité de différents dispositifs, c'est-à-dire qu'ils n'indiquent pas à quel point la stabilité d'un circuit est meilleure que celle d'un autre. Cela est dû à la nécessité de satisfaire deux exigences différentes (K et Δ).

Parfois, dans les outils de Conception Assistée par Ordinateur (CAO), le paramètre K est directement disponible dans les configurations des simulations des paramètres S , tandis que le paramètre Δ ne l'est pas. Dans ces cas, il existe un autre paramètre largement utilisé pour remplacer Δ , connu sous le nom de facteur $B1$ et défini par :

$$B1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 \quad (\text{E-61})$$

Si $K > 1$ et $B1 > 0$, le circuit sera inconditionnellement stable.

Ces critères considèrent que le circuit fonctionne avec des petites signaux (seulement alimentés), également connus sous le nom d'analyse stationnaire. Cependant, sous un fonctionnement à grand signal, l'analyse de la stabilité est une tâche beaucoup plus difficile. Une approche consiste à utiliser l'analyse des pôles et des zéros (PZ), mais il est d'abord nécessaire de mettre l'amplificateur dans un état non linéaire connu (en appliquant un signal d'entrée à cet effet). Ensuite, une analyse PZ à petit signal est réalisée autour de ce point de fonctionnement non linéaire. Cela est difficile car cette analyse de stabilité non linéaire doit être effectuée à plusieurs conditions d'excitation (niveau de puissance et fréquence). De plus, cette analyse PZ fonctionne bien uniquement pour de petits réseaux. Un exemple d'outil d'identification PZ est STAN [110].

Publications

Conférences internationales à comité de lecture

- ❖ E. Sette, J. Lintignat, A. Lohou, B. Barelaud, B. Jarry, « Ka-band Tx Integrated Circuits in 0.13 μm SiGe BiCMOS for AESA for SATCOM Applications », XV Latin American Symposium on Circuits and Systems (LASCAS), Puntal del Este, 2024.

Conférences nationales à comité de lecture

- ❖ E. Sette, J. Lintignat, A. Lohou, R. Marinho, A. Karas, B. Barelaud, B. Jarry, « Modulateur Vectoriel pour Antenne à Pointage Électronique en bande Ka pour les télécommunications par satellite », XXII^e Journées Nationales Microondes (JNM), Limoges, 2022.

Références bibliographiques

- [1] « Ericsson mobility report june 2023 ». Consulté le: 24 octobre 2023. [En ligne]. Disponible sur: <https://www.ericsson.com/49dd9d/assets/local/reports-papers/mobility-report/documents/2023/ericsson-mobility-report-june-2023.pdf>
- [2] Tom Standage, *The Victorian Internet: The Remarkable Story of the Telegraph and the Nineteenth Century's On-line Pioneers*. Berkley Books, 1999.
- [3] Herbert Newton Casson, *The History of the Telephone*. A. C. McClurg & Company, 1910.
- [4] D. L. Sengupta et T. K. Sarkar, « Maxwell, Hertz, the Maxwellians, and the early history of electromagnetic waves », *IEEE Antennas Propag. Mag.*, vol. 45, n° 2, p. 13-19, avr. 2003, doi: 10.1109/MAP.2003.1203114.
- [5] P. K. Bondyopadhyay, « Guglielmo Marconi - The father of long distance radio communication - An engineer's tribute », in *25th European Microwave Conference, 1995*, Bologna, Italy: IEEE, oct. 1995, p. 879-885. doi: 10.1109/EUMA.1995.337090.
- [6] P. Russer, « Ferdinand Braun — A pioneer in wireless technology and electronics », in *2009 European Microwave Conference (EuMC)*, Rome, Italy: IEEE, sept. 2009, p. 547-554. doi: 10.23919/EUMC.2009.5296324.
- [7] M. S. Alencar, T. T. Alencar, et W. T. A. Lopes, « What Father Landell de Moura Used to Do in His Spare Time ».
- [8] Arthur C Clarke, « Extra-terrestrial relays », *Wirel. World*, p. 305-308, oct. 1945.
- [9] J.R. Pierce, « Orbital Radio Relays », *Journal of Jet Propulsion*, p. 153{157, octobre 1955.
- [10] F. Chisari, « When Football Went Global: Televising the 1966 World Cup », *Hist. Soc. Res.*, vol. 31, n° 1, p. 42-54, 2006.
- [11] I. Otung, T. Butash, et T. Ikegami, « Communications satellite systems: retrospect and prospect [International Communications Satellite Systems Conference] », in *Advances in Communications Satellite Systems. 37th International Communications Satellite Systems Conference (ICSSC-2019)*, Okinawa, Japan: Institution of Engineering and Technology, 2019, p. 1 (8 pp.)-1 (8 pp.). doi: 10.1049/cp.2019.1206.
- [12] « NOTRE HISTOIRE, 40 ans d'innovation dans l'industrie mondiale des satellites ». Consulté le: 25 mars 2023. [En ligne]. Disponible sur: <https://www.eutelsat.com/fr/groupe/notre-histoire.html>
- [13] V. Velivela, « Small Satellite Constellations: The Promise of "Internet for All" », n° 107, 2015.
- [14] *Blue Orig. Sierra Space Dev. Commer. Space Stn.*, oct. 2021.
- [15] T. Chaloun *et al.*, « Electronically Steerable Antennas for Future Heterogeneous Communication Networks: Review and Perspectives », *IEEE J. Microw.*, vol. 2, n° 4, p. 545-581, oct. 2022, doi: 10.1109/JMW.2022.3202626.
- [16] D. E. Sterling et J. E. Hatlelid, « The IRIDIUM system-a revolutionary satellite communications system developed with innovative applications of technology », in *MILCOM 91 - Conference record*, McLean, VA, USA: IEEE, 1991, p. 436-440. doi: 10.1109/MILCOM.1991.258290.
- [17] P. Bacon, « Introduction to Globalstar », in *IEE Colloquium on Communication Opportunities Offered by Advanced Satellite Systems - Day 1*, London, UK: IEE, 1998, p. 3-3. doi: 10.1049/ic:19980877.

- [18] X. Lin, S. Rommer, S. Euler, E. A. Yavuz, et R. S. Karlsson, « 5G from Space: An Overview of 3GPP Non-Terrestrial Networks », *IEEE Commun. Stand. Mag.*, vol. 5, n° 4, p. 147-153, déc. 2021, doi: 10.1109/MCOMSTD.011.2100038.
- [19] N. Pachler, I. del Portillo, E. F. Crawley, et B. G. Cameron, « An Updated Comparison of Four Low Earth Orbit Satellite Constellation Systems to Provide Global Broadband », in *2021 IEEE International Conference on Communications Workshops (ICC Workshops)*, Montreal, QC, Canada: IEEE, juin 2021, p. 1-7. doi: 10.1109/ICCWorkshops50388.2021.9473799.
- [20] « The World's First Future Proof Ku- to Ka-band Convertible Sub-1m VSAT ». Consulté le: 20 avril 2023. [En ligne]. Disponible sur: <https://www.intelliantech.com/en/products/nx-maritime-vsats/v85nx/#>
- [21] « Global Aero Terminal - 5530 (GAT-5530) ». Consulté le: 20 avril 2023. [En ligne]. Disponible sur: <https://www.viasat.com/products/terminals-and-radios/gat-5530/>
- [22] B. Yang, Z. Yu, R. Zhang, J. Zhou, et W. Hong, « Local Oscillator Phase Shifting and Harmonic Mixing-Based High-Precision Phased Array for 5G Millimeter-Wave Communications », *IEEE Trans. Microw. Theory Tech.*, vol. 67, n° 7, p. 3162-3173, juill. 2019, doi: 10.1109/TMTT.2019.2899598.
- [23] Y. Yin *et al.*, « A 37–42-GHz 8 × 8 Phased-Array With 48–51-dBm EIRP, 64–QAM 30-Gb/s Data Rates, and EVM Analysis Versus Channel RMS Errors », *IEEE Trans. Microw. Theory Tech.*, vol. 68, n° 11, p. 4753-4764, nov. 2020, doi: 10.1109/TMTT.2020.2998183.
- [24] G. Gulpepe, T. Kanar, S. Zehir, et G. M. Rebeiz, « A 1024-Element Ku-Band SATCOM Dual-Polarized Receiver With >10-dB/K G/T and Embedded Transmit Rejection Filter », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 7, p. 3484-3495, juill. 2021, doi: 10.1109/TMTT.2021.3073321.
- [25] M. Sayginer et G. M. Rebeiz, « An Eight-Element 2–16-GHz Programmable Phased Array Receiver With One, Two, or Four Simultaneous Beams in SiGe BiCMOS », *IEEE Trans. Microw. Theory Tech.*, vol. 64, n° 12, p. 4585-4597, déc. 2016, doi: 10.1109/TMTT.2016.2620144.
- [26] B. Yang, Z. Yu, J. Lan, R. Zhang, J. Zhou, et W. Hong, « Digital Beamforming-Based Massive MIMO Transceiver for 5G Millimeter-Wave Communications », *IEEE Trans. Microw. Theory Tech.*, vol. 66, n° 7, p. 3403-3418, juill. 2018, doi: 10.1109/TMTT.2018.2829702.
- [27] L. Kuai *et al.*, « A N260 Band 64 Channel Millimeter Wave Full-Digital Multi-Beam Array for 5G Massive MIMO Applications », *IEEE Access*, vol. 8, p. 47640-47653, 2020, doi: 10.1109/ACCESS.2020.2978070.
- [28] R. Zhang, J. Zhou, J. Lan, B. Yang, et Z. Yu, « A High-Precision Hybrid Analog and Digital Beamforming Transceiver System for 5G Millimeter-Wave Communication », *IEEE Access*, vol. 7, p. 83012-83023, 2019, doi: 10.1109/ACCESS.2019.2923836.
- [29] C.-Y. Chu *et al.*, « A Ka-Band Scalable Hybrid Phased Array Based on Four-Element ICs », *IEEE Trans. Microw. Theory Tech.*, vol. 68, n° 1, p. 288-300, janv. 2020, doi: 10.1109/TMTT.2019.2942596.
- [30] S. Mondal, L. R. Carley, et J. Paramesh, « 4.4 A 28/37GHz Scalable, Reconfigurable Multi-Layer Hybrid/Digital MIMO Transceiver for TDD/FDD and Full-Duplex Communication », in *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, San Francisco, CA, USA: IEEE, févr. 2020, p. 82-84. doi: 10.1109/ISSCC19947.2020.9063167.

- [31] C.-Y. Kim, D.-W. Kang, et G. M. Rebeiz, « A 44–46-GHz 16-Element SiGe BiCMOS High-Linearity Transmit/Receive Phased Array », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 3, p. 730-742, mars 2012, doi: 10.1109/TMTT.2012.2184130.
- [32] X. Luo *et al.*, « A Scalable Ka-Band 1024-Element Transmit Dual-Circularly-Polarized Planar Phased Array for SATCOM Application », *IEEE Access*, vol. 8, p. 156084-156095, 2020, doi: 10.1109/ACCESS.2020.3019174.
- [33] A. H. Aljuhani, T. Kanar, S. Zahir, et G. M. Rebeiz, « A 256-Element Ku-Band Polarization Agile SATCOM Receive Phased Array With Wide-Angle Scanning and High Polarization Purity », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 5, p. 2609-2628, mai 2021, doi: 10.1109/TMTT.2021.3056439.
- [34] C.-N. Chen *et al.*, « 38-GHz Phased Array Transmitter and Receiver Based on Scalable Phased Array Modules With Endfire Antenna Arrays for 5G MMW Data Links », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 1, p. 980-999, janv. 2021, doi: 10.1109/TMTT.2020.3035091.
- [35] Y. Yin, B. Ustundag, K. Kibaroglu, M. Sayginer, et G. M. Rebeiz, « Wideband 23.5–29.5-GHz Phased Arrays for Multistandard 5G Applications and Carrier Aggregation », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 1, p. 235-247, janv. 2021, doi: 10.1109/TMTT.2020.3024217.
- [36] J. Pang *et al.*, « A 28-GHz CMOS Phased-Array Transceiver Based on LO Phase-Shifting Architecture With Gain Invariant Phase Tuning for 5G New Radio », *IEEE J. Solid-State Circuits*, vol. 54, n° 5, p. 1228-1242, mai 2019, doi: 10.1109/JSSC.2019.2899734.
- [37] Y. Wang *et al.*, « A 39-GHz 64-Element Phased-Array Transceiver With Built-In Phase and Amplitude Calibrations for Large-Array 5G NR in 65-nm CMOS », *IEEE J. Solid-State Circuits*, vol. 55, n° 5, p. 1249-1269, mai 2020, doi: 10.1109/JSSC.2020.2980509.
- [38] Seong-Sik Jeon, Yuanxun Wang, Yongxi Qian, et Tatsuo Itoh, « A novel smart antenna system implementation for broad-band wireless communications », *IEEE Trans. Antennas Propag.*, vol. 50, n° 5, p. 600-606, mai 2002, doi: 10.1109/TAP.2002.1011225.
- [39] N. Naskas *et al.*, « Ka-band Integrated Transmitter for SATCOM », in *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Glasgow, UK: IEEE, nov. 2020, p. 1-4. doi: 10.1109/ICECS49266.2020.9294874.
- [40] R. Garg *et al.*, « A 28-GHz Beam-Space MIMO RX With Spatial Filtering and Frequency-Division Multiplexing-Based Single-Wire IF Interface », *IEEE J. Solid-State Circuits*, vol. 56, n° 8, p. 2295-2307, août 2021, doi: 10.1109/JSSC.2020.3044089.
- [41] E. Naviasky, L. Iotti, G. LaCaille, B. Nikolic, E. Alon, et A. M. Niknejad, « A 71-to-86-GHz 16-Element by 16-Beam Multi-User Beamforming Integrated Receiver Sub-Array for Massive MIMO », *IEEE J. Solid-State Circuits*, vol. 56, n° 12, p. 3811-3826, déc. 2021, doi: 10.1109/JSSC.2021.3118641.
- [42] B. Sadhu, X. Gu, et A. Valdes-Garcia, « The More (Antennas), the Merrier: A Survey of Silicon-Based mm-Wave Phased Arrays Using Multi-IC Scaling », *IEEE Microw. Mag.*, vol. 20, n° 12, p. 32-50, déc. 2019, doi: 10.1109/MMM.2019.2941632.
- [43] A. S. Y. Poon et M. Taghivand, « Supporting and Enabling Circuits for Antenna Arrays in Wireless Communications », *Proc. IEEE*, vol. 100, n° 7, p. 2207-2218, juill. 2012, doi: 10.1109/JPROC.2012.2186949.
- [44] G. Amendola *et al.*, « Low-Earth Orbit User Segment in the Ku and Ka-Band: An Overview of Antennas and RF Front-End Technologies », *IEEE Microw. Mag.*, vol. 24, n° 2, p. 32-48, févr. 2023, doi: 10.1109/MMM.2022.3217961.

- [45] I. Ahmed *et al.*, « A Survey on Hybrid Beamforming Techniques in 5G: Architecture and System Model Perspectives », *IEEE Commun. Surv. Tutor.*, vol. 20, n° 4, p. 3060-3097, 2018, doi: 10.1109/COMST.2018.2843719.
- [46] J. Zhang, X. Yu, et K. B. Letaief, « Hybrid Beamforming for 5G and Beyond Millimeter-Wave Systems: A Holistic View », *IEEE Open J. Commun. Soc.*, vol. 1, p. 77-91, 2020, doi: 10.1109/OJCOMS.2019.2959595.
- [47] K. B. Letaief, W. Chen, Y. Shi, J. Zhang, et Y.-J. A. Zhang, « The Roadmap to 6G: AI Empowered Wireless Networks », *IEEE Commun. Mag.*, vol. 57, n° 8, p. 84-90, août 2019, doi: 10.1109/MCOM.2019.1900271.
- [48] Stark, « Proc. Eur. Conf. Antennas Propag », *SANTANA Adv. Electron. Steerable - Tennes Ka-Band*, p. 1557-9670, 2009.
- [49] W. M. Abdel-Wahab *et al.*, « A Modular Architecture for Wide Scan Angle Phased Array Antenna for K/Ka Mobile SATCOM », in *2019 IEEE MTT-S International Microwave Symposium (IMS)*, Boston, MA, USA: IEEE, juin 2019, p. 1076-1079. doi: 10.1109/MWSYM.2019.8700842.
- [50] X. Gu *et al.*, « Development, Implementation, and Characterization of a 64-Element Dual-Polarized Phased-Array Antenna Module for 28-GHz High-Speed Data Communications », *IEEE Trans. Microw. Theory Tech.*, vol. 67, n° 7, p. 2975-2984, juill. 2019, doi: 10.1109/TMTT.2019.2912819.
- [51] J.-C. S. Chieh *et al.*, « Development of Flat Panel Active Phased Array Antennas Using 5G Silicon RFICs at Ku - and Ka -Bands », *IEEE Access*, vol. 8, p. 192669-192681, 2020, doi: 10.1109/ACCESS.2020.3032841.
- [52] « Anokiwave Ku Band Intelligent Gain Block™ IC ». Consulté le: 26 mai 2023. [En ligne]. Disponible sur: <https://www.anokiwave.com/products/awmf-0117/index.html>
- [53] S. Payami *et al.*, « Developing the First mmWave Fully-Connected Hybrid Beamformer With a Large Antenna Array », *IEEE Access*, vol. 8, p. 141282-141291, 2020, doi: 10.1109/ACCESS.2020.3013539.
- [54] G. Gultepe, T. Kanar, S. Zehir, et G. M. Rebeiz, « A 1024-Element Ku-Band SATCOM Phased-Array Transmitter With 45-dBW Single-Polarization EIRP », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 9, p. 4157-4168, sept. 2021, doi: 10.1109/TMTT.2021.3075678.
- [55] Y. Yin, Q. Ma, et G. M. Rebeiz, « A 14-17.2 GHz Dual-Polarized 256-Element Transmit Phased-Array with 40 dBW EIRP », in *2022 IEEE International Symposium on Phased Array Systems & Technology (PAST)*, Waltham, MA, USA: IEEE, oct. 2022, p. 01-04. doi: 10.1109/PAST49659.2022.9974988.
- [56] K. K. W. Low, S. Zehir, T. Kanar, et G. M. Rebeiz, « A 27–31-GHz 1024-Element Ka -Band SATCOM Phased-Array Transmitter With 49.5-dBW Peak EIRP, 1-dB AR, and ±70° Beam Scanning », *IEEE Trans. Microw. Theory Tech.*, vol. 70, n° 3, p. 1757-1768, mars 2022, doi: 10.1109/TMTT.2021.3139911.
- [57] « Viasat successfully demonstrates phased array antenna technology on flight over Europe ». [En ligne]. Disponible sur: <https://news.viasat.com/blog/gem/viasat-successfully-demonstrates-phased-array-antenna-technology-on-flight-over-europe>
- [58] « Gilat's New ESA: Flying High and Connected ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: <https://www.gilat.com/wp-content/uploads/2020/03/Gilat-Article-Gottlieb-Mobility-World-2020-03-ESA-Interview-with-Roni-Stoleru.pdf>
- [59] « Interoperable, ultra-low profile, high-gain satcom on the move ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: <https://www.hanwhaphasor.com/technology/#technologyBestOfTheRest>

- [60] « Ka-Band SATCOM Phased Array Terminals ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: https://www.ball.com/getattachment/157cc0d7-ddc3-4458-b787-553d74cc5ef4/D3285_Ka-SATCOM_Brochure_Updated_20210819.pdf
- [61] « JetTalk Aeroterminale ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: http://jet-talk.com/wp-content/uploads/2019/05/14351_Jet_Talk_Brochure_i-print.pdf
- [62] « Rockwell Collins grows connectivity footprint; readies for the future ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: <https://runwaygirlnetwork.com/2017/10/rockwell-collins-grows-connectivity-footprint-readies-for-the-future/>
- [63] « Innovation I phased array antenna ». Consulté le: 12 avril 2023. [En ligne]. Disponible sur: <https://oneweb.net/resources/innovation-i-phased-array-antenna>
- [64] Benoît Lesur, « Validations de modèles numériques de grands réseaux pour l'optimisation d'antennes à pointage électronique en bande Ka », 2017. [En ligne]. Disponible sur: <https://www.theses.fr/2017LIMO0111>
- [65] Anaël Lohou, « Conception de circuits intégrés pour antenne à pointage électronique destinée aux télécommunications par satellite en bande Ka », 2018. [En ligne]. Disponible sur: <https://www.theses.fr/2018LIMO0096>
- [66] Rémy Bouché, « Conception d'un amplificateur faible bruit et d'un déphaseur en technologie SiGe.BiCMOS pour antenne à dépointage électronique destinée aux télécommunications satellitaires en bande Ka », 2022. [En ligne]. Disponible sur: <https://www.theses.fr/2022LIMO0074>
- [67] « FCC-12-79A1 ». [En ligne]. Disponible sur: <https://docs.fcc.gov/public/attachments/FCC-12-79A1.pdf>
- [68] N. Demirel, « Co-design d'un bloc PA-antenne en technologie silicium pour application radar 80GHz », thesis, Bordeaux 1, 2010. Consulté le: 22 décembre 2021. [En ligne]. Disponible sur: <http://www.theses.fr/2010BOR14167>
- [69] G. Avenier *et al.*, « 0.13 μm SiGe BiCMOS Technology Fully Dedicated to mm-Wave Applications », *IEEE J. Solid-State Circuits*, vol. 44, n° 9, p. 2312-2321, sept. 2009, doi: 10.1109/JSSC.2009.2024102.
- [70] R. Pilard, D. Gloria, F. Giancesello, F. Le Pennec, et C. Person, « 94 GHz silicon co-integrated LNA and Antenna in a mm-wave dedicated BiCMOS technology », in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, mai 2010, p. 83-86. doi: 10.1109/RFIC.2010.5477390.
- [71] B. Wang, H. Gao, A. R. Van Dommele, M. K. Matters-Kammerer, et P. G. M. Baltus, « 60-GHz Low-Noise VGA and Interpolation-Based Gain Cell in a 40-nm CMOS Technology », *IEEE Trans. Microw. Theory Tech.*, vol. 67, n° 2, p. 518-532, févr. 2019, doi: 10.1109/TMTT.2018.2889058.
- [72] K. Kibaroglu, M. Sayginer, et G. M. Rebeiz, « A Low-Cost Scalable 32-Element 28-GHz Phased Array Transceiver for 5G Communication Links Based on a 2×2 Beamformer Flip-Chip Unit Cell », *IEEE J. Solid-State Circuits*, vol. 53, n° 5, p. 1260-1274, mai 2018, doi: 10.1109/JSSC.2018.2791481.
- [73] C. W. Byeon, S. H. Lee, J. H. Lee, et J. H. Son, « A Ka-Band Variable-Gain Amplifier With Low OP1dB Variation for 5G Applications », *IEEE Microw. Wirel. Compon. Lett.*, vol. 29, n° 11, p. 722-724, nov. 2019, doi: 10.1109/LMWC.2019.2940318.
- [74] L. Wang *et al.*, « A Variable Gain Power Amplifier Based on Switched-Capacitor Array With Stable Linearity », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 69, n° 2, p. 289-293, févr. 2022, doi: 10.1109/TCSII.2021.3099799.

- [75] F. Padovan, M. Tiebout, A. Neviani, et A. Bevilacqua, « A 12 GHz 22 dB-Gain-Control SiGe Bipolar VGA With 2° Phase-Shift Variation », *IEEE J. Solid-State Circuits*, p. 1-12, 2016, doi: 10.1109/JSSC.2016.2551749.
- [76] Q. Zhang, C. Zhao, Y. Yu, H. Liu, Y. Wu, et K. Kang, « A Ka-Band CMOS Variable Gain Amplifier with High Gain Resolution and Low Phase Variation », in *2020 IEEE Asia-Pacific Microwave Conference (APMC)*, Hong Kong, Hong Kong: IEEE, déc. 2020, p. 275-277. doi: 10.1109/APMC47863.2020.9331365.
- [77] T. B. Kumar, K. Ma, et K. S. Yeo, « A low power programmable gain high PAE K-/Ka-band stacked amplifier in 0.18 μm SiGe BiCMOS technology », in *2015 IEEE MTT-S International Microwave Symposium*, Phoenix, AZ, USA: IEEE, mai 2015, p. 1-4. doi: 10.1109/MWSYM.2015.7166782.
- [78] B. Sadhu, J. F. Bulzacchelli, et A. Valdes-Garcia, « A 28GHz SiGe BiCMOS phase invariant VGA », in *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, San Francisco, CA, USA: IEEE, mai 2016, p. 150-153. doi: 10.1109/RFIC.2016.7508273.
- [79] S. Lee, J. Park, et S. Hong, « A Ka-Band Phase-Compensated Variable-Gain CMOS Low-Noise Amplifier », *IEEE Microw. Wirel. Compon. Lett.*, vol. 29, n° 2, p. 131-133, févr. 2019, doi: 10.1109/LMWC.2018.2887335.
- [80] J. Qiu *et al.*, « A CMOS 24–30-GHz Low-Phase-Variation Variable Gain Amplifier Design for 5G New Radio », *IEEE Solid-State Circuits Lett.*, vol. 5, p. 146-149, 2022, doi: 10.1109/LSSC.2022.3176679.
- [81] Z. Xu *et al.*, « A 16–24-GHz SiGe Decibel-Linear Low-Gain-Error Digitally Controlled High-Efficiency Variable Gain Amplifier », *IEEE Microw. Wirel. Compon. Lett.*, vol. 32, n° 6, p. 543-546, juin 2022, doi: 10.1109/LMWC.2021.3138845.
- [82] X. Luo, W. Feng, H. Zhu, L. Wu, W. Che, et Q. Xue, « A Millimeter-Wave Variable-Gain Power Amplifier With P_1 dB Improvement Technique in 65-nm CMOS », *IEEE Microw. Wirel. Compon. Lett.*, vol. 32, n° 12, p. 1427-1430, déc. 2022, doi: 10.1109/LMWC.2022.3177656.
- [83] X. Zhang *et al.*, « A 39-GHz Phase-Inverting Variable Gain Power Amplifier in 65-nm CMOS for 5G Communication », *IEEE Microw. Wirel. Compon. Lett.*, vol. 32, n° 11, p. 1303-1306, nov. 2022, doi: 10.1109/LMWC.2022.3180999.
- [84] M. Božanić et S. Sinha, *Millimeter-Wave Low Noise Amplifiers*. in Signals and Communication Technology. Cham: Springer International Publishing, 2018. doi: 10.1007/978-3-319-69020-9.
- [85] J. Potschka *et al.*, « A Highly Linear and Efficient 28 GHz Stacked Power Amplifier for 5G using Analog Predistortion in a 130 nm BiCMOS Process », in *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, Singapore, Singapore: IEEE, déc. 2019, p. 920-922. doi: 10.1109/APMC46564.2019.9038828.
- [86] D. M. Pozar, *Microwave engineering: theory and techniques*, Fourth edition, International adaptation. Hoboken, NJ: Wiley, 2021.
- [87] B. Razavi, *RF microelectronics*, 2nd ed. Upper Saddle River, NJ: Prentice Hall, 2012.
- [88] S. C. Cripps, « A Theory for the Prediction of GaAs FET Load-Pull Power Contours », in *MTT-S International Microwave Symposium Digest*, Boston, Mass, USA: MTT005, 1983, p. 221-223. doi: 10.1109/MWSYM.1983.1130864.
- [89] B. Razavi, « The Current-Steering DAC [A Circuit for All Seasons] », *IEEE Solid-State Circuits Mag.*, vol. 10, n° 1, p. 11-15, 2018, doi: 10.1109/MSSC.2017.2771102.

- [90] Z. Zong *et al.*, « A 28-GHz SOI-CMOS Doherty Power Amplifier With a Compact Transformer-Based Output Combiner », *IEEE Trans. Microw. Theory Tech.*, vol. 69, n° 6, p. 2795-2808, juin 2021, doi: 10.1109/TMTT.2021.3064022.
- [91] « International Technology Roadmap for Semiconductors ». Consulté le: 31 août 2023. [En ligne]. Disponible sur: <http://www.itrs2.net/>
- [92] H. A. Atwater, « Circuit Design of the Loaded-Line Phase Shifter », *IEEE Trans. Microw. Theory Tech.*, vol. 33, n° 7, p. 626-634, juill. 1985, doi: 10.1109/TMTT.1985.1133038.
- [93] A. E. Ashtiani, Sueng-Il Nam, A. d'Espona, S. Lucyszyn, et I. D. Robertson, « Direct multilevel carrier modulation using millimeter-wave balanced vector modulators », *IEEE Trans. Microw. Theory Tech.*, vol. 46, n° 12, p. 2611-2619, déc. 1998, doi: 10.1109/22.739254.
- [94] F. Tabarani et H. Schumacher, « A novel compact balanced reflect-type vector modulator topology », in *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, oct. 2017, p. 46-49. doi: 10.1109/BCTM.2017.8112908.
- [95] B. Cetindogan, E. Ozeren, B. Ustundag, M. Kaynak, et Y. Gurbuz, « A 6 Bit Vector-Sum Phase Shifter With a Decoder Based Control Circuit for X-Band Phased-Arrays », *IEEE Microw. Wirel. Compon. Lett.*, vol. 26, n° 1, p. 64-66, janv. 2016, doi: 10.1109/LMWC.2015.2505618.
- [96] B. Cetindogan, B. Ustundag, A. Burak, M. Wietstruck, M. Kaynak, et Y. Gurbuz, « A 5–13 GHz 6-bit vector-sum phase shifter with +3.5 dBm IP1dB in 0.25- μ m SiGe BiCMOS », in *2017 IEEE Asia Pacific Microwave Conference (APMC)*, Kuala Lumpur: IEEE, nov. 2017, p. 1111-1114. doi: 10.1109/APMC.2017.8251650.
- [97] J. Pang, R. Kubozoe, Z. Li, M. Kawabuchi, et K. Okada, « A 28GHz CMOS Phase Shifter Supporting 11.2Gb/s in 256QAM with an RMS Gain Error of 0.13dB for 5G Mobile Network », in *2018 48th European Microwave Conference (EuMC)*, sept. 2018, p. 807-810. doi: 10.23919/EuMC.2018.8541422.
- [98] I. Kalyoncu, A. Burak, M. Kaynak, et Y. Gurbuz, « A 26-GHz Vector Modulator in 130-nm SiGe BiCMOS Achieving Monotonic 10-b Phase Resolution Without Calibration », in *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Boston, MA, USA: IEEE, juin 2019, p. 75-78. doi: 10.1109/RFIC.2019.8701733.
- [99] Y. Chang et B. A. Floyd, « A Broadband Reflection-Type Phase Shifter Achieving Uniform Phase and Amplitude Response across 27 to 31 GHz », in *2019 IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, nov. 2019, p. 1-4. doi: 10.1109/BCICTS45179.2019.8972730.
- [100] K. Kolb *et al.*, « A 28 GHz Highly Accurate Phase- and Gain-Steering Transmitter Frontend for 5G Phased-Array Applications », in *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*, Springfield, MA, USA: IEEE, août 2020, p. 432-435. doi: 10.1109/MWSCAS48704.2020.9184577.
- [101] J.-H. Tsai, T.-T. He, et W.-H. Lin, « A K/Ka-Band Low RMS Phase Error 5-Bit CMOS Phase Shifter », in *2021 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, Hualien, Taiwan: IEEE, août 2021, p. 1-3. doi: 10.1109/RFIT52905.2021.9565314.
- [102] A. Franzese, M. H. Eissa, D. Kissinger, et A. Malignaggi, « Vector Modulator Phase Shifters in 130-nm SiGe BiCMOS Technology for 5G Applications », in *2021 IEEE Radio and Wireless Symposium (RWS)*, San Diego, CA, USA: IEEE, janv. 2021, p. 64-66. doi: 10.1109/RWS50353.2021.9360395.
- [103] K. Kibaroglu, E. Ozeren, I. Kalyoncu, C. Caliskan, H. Kayahan, et Y. Gurbuz, « An X-band 6-bit active phase shifter », in *2014 IEEE 14th Topical Meeting on Silicon Monolithic*

- Integrated Circuits in Rf Systems*, Newport Beach, CA, USA: IEEE, janv. 2014, p. 62-64. doi: 10.1109/SiRF.2014.6828527.
- [104] S. Y. Kim, D.-W. Kang, K.-J. Koh, et G. M. Rebeiz, « An Improved Wideband All-Pass I/Q Network for Millimeter-Wave Phase Shifters », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 11, p. 3431-3439, nov. 2012, doi: 10.1109/TMTT.2012.2212027.
- [105] S. Kim et H. Shin, « A 0.6–2.7 GHz Semidynamic Frequency Divide-by-3 Utilizing Wideband RC Polyphase Filter in 0.18 μm CMOS », *IEEE Microw. Wirel. Compon. Lett.*, vol. 18, n° 10, p. 701-703, oct. 2008, doi: 10.1109/LMWC.2008.2003478.
- [106] P. R. Gray, Éd., *Analysis and design of analog integrated circuits*, 5th ed. New York: Wiley, 2009.
- [107] C. Poole, *Microwave Active Circuit Analysis and Design*. San Diego: Elsevier Science Publishing Co Inc, 2015.
- [108] B. Gilbert, « A precise four-quadrant multiplier with subnanosecond response », *IEEE J. Solid-State Circuits*, vol. 3, n° 4, p. 365-373, déc. 1968, doi: 10.1109/JSSC.1968.1049925.
- [109] Y. Xu, J. Xia, et S. Boumaiza, « A 0.6–2.8GHz CMOS RF vector multiplier with low RMS magnitude and phase errors and high P1dB », in *2017 IEEE MTT-S International Microwave Symposium (IMS)*, Honolulu, HI, USA: IEEE, juin 2017, p. 2015-2017. doi: 10.1109/MWSYM.2017.8059062.
- [110] AMCAD, « Stan Tool stability analysis ». Consulté le: 4 octobre 2023. [En ligne]. Disponible sur: <https://www.amcad-engineering.com/software-module/stan/>

Circuits intégrés millimétriques en bande Ka pour une antenne à pointage électronique pour les télécommunications avec des satellites géostationnaires ou des constellations de satellites

Ce travail présente la conception de circuits actifs intégrés en vue d'une intégration dans une antenne à dépointage électronique pour les télécommunications par satellite en bande Ka. Tout d'abord, le manuscrit présente le contexte dans lequel se déroule l'étude, abordant les principaux concepts et caractéristiques de ce type d'antenne. Par la suite, deux blocs clés de la chaîne d'émission sont étudiés en détail et conçus : un amplificateur de puissance à gain variable et trois déphaseurs pilotables. Les circuits sont réalisés en utilisant deux technologies SiGe BiCMOS: BiCMOS9MW et SG13G2. Enfin, les résultats de simulation *post-layout* sont exposés et comparés aux spécifications du projet ainsi qu'à l'état de l'art.

Mots-clés : Amplificateur à Gain Variable, Amplificateur de Puissance à Gain Variable, Déphaseur, Modulateur Vectoriel, SiGe, BiCMOS, Antenne à Dépointage Électronique, Connectivité Aéronautique, Bande Ka

Millimeter-Wave Integrated Circuits in Ka-Band for Electronically Steered Antenna Arrays Targeting Satellite Communication

This work presents the design of active integrated circuits intended for integration into an electronically steered antenna for Ka-band satellite communications. Firstly, the manuscript introduces the context of the study, discussing the main concepts and characteristics of this type of antenna. Subsequently, two key blocks of the transmission chain are studied in detail and designed: a variable gain power amplifier and three controllable phase shifters. The circuits are implemented using two SiGe BiCMOS technologies: BiCMOS9MW and SG13G2. Finally, the post-layout simulation results are presented and compared to the project specifications as well as the state of the art.

Keywords : Variable Gain Amplifier, Variable Gain Power Amplifier, Phase Shifter, Vector Modulator, SiGe, BiCMOS, Electronically Steered Antenna, In-Flight Connectivity, Ka-Band

