



**HAL**  
open science

# Développement et caractérisation de l'ASIC de lecture du calorimètre à haute granularité de l'expérience CMS pour le HL-LHC.

Sébastien Extier

► **To cite this version:**

Sébastien Extier. Développement et caractérisation de l'ASIC de lecture du calorimètre à haute granularité de l'expérience CMS pour le HL-LHC.. Micro et nanotechnologies/Microélectronique. Institut Polytechnique de Paris, 2023. Français. NNT : 2023IPPAX085 . tel-04572947

**HAL Id: tel-04572947**

**<https://theses.hal.science/tel-04572947v1>**

Submitted on 13 May 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



INSTITUT  
POLYTECHNIQUE  
DE PARIS



# Développement et caractérisation de l'ASIC de lecture du calorimètre à haute granularité de l'expérience CMS pour le HL-LHC.

Thèse de doctorat de l'Institut Polytechnique de Paris  
Préparée à L'École Polytechnique

École doctorale de l'Institut Polytechnique de Paris n°626  
Spécialité de doctorat : Physique des particules

Thèse présentée et soutenue à Palaiseau, le 26 Septembre 2023, par

**Sébastien EXTIER**

Composition du Jury :

Imad LAKTINEH Enseignant-Chercheur, IP2I, Lyon	Président, Rapporteur
Abdenour LOUNIS Enseignant-Chercheur, IJCLAB, Orsay	Rapporteur
Emilie MAURICE Enseignant-Chercheur, LLR, Palaiseau	Examineur
Christine HU Ingénieure de Recherche, IPHC, Strasbourg	Examineur
Alexandre ZABI Directeur de Recherche, LLR, Palaiseau	Co-Directeur de Thèse
Christophe de LA TAILLE IRHC, OMEGA, Palaiseau	Directeur de Thèse
Julien FLEURY CEO, Weeroc, Villebon-sur-Yvette	Invité

NNT : 2023IPPAX085

Thèse de doctorat



ECOLE  
DOCTORALE

**Institut Polytechnique de Paris**  
91120 Palaiseau, France

# TABLE DES MATIERES

Table des matières .....	2
Liste des figures.....	4
Avant-propos.....	13
Remerciements .....	14
Glossaire .....	15
Introduction.....	17
1 Etat de l’art scientifique .....	17
1.1 Physique des Particules .....	17
1.1.1 Modèle Standard.....	18
1.1.2 Expériences.....	19
1.2 Notions sur le Rayonnement.....	19
1.2.1 Sources des radiations.....	19
1.2.2 Interaction des radiations avec la matière .....	20
1.2.3 Ionisation.....	24
1.2.4 Quelles particules, quelles interactions ?.....	24
1.2.5 L’exposition aux radiations.....	28
1.2.6 Conclusion sur les rayonnements.....	29
1.3 Effets sur l’électronique .....	30
1.3.1 Effets Cumulatifs .....	30
1.3.2 Effets Singuliers .....	44
1.3.3 Quels composants ? .....	54
1.3.4 Conclusion sur les effets.....	54
2 Etat de l’art technique.....	56
2.1 Contexte du projet .....	56
2.2 Le grand collisionneur de hadrons .....	56
2.2.1 Identifier les différentes particules .....	57
2.2.2 Familles de détecteurs .....	57
2.3 HL-LHC.....	59
2.3.1 Environnement Radiatif du HL-LHC.....	59
2.3.2 Limitations des anciens instruments.....	61
2.4 HGCal : High Granularity Calorimeter .....	61
2.4.1 Système de mesure .....	62
2.4.2 Détecteur.....	64
2.4.3 Composition des couches de détections.....	65

3	Les fonctionnalités de l'ASIC HGCROC3.....	71
3.1	Very Front-end : HGCROC.....	71
3.1.1	HGCROC2.....	71
3.2	HGCROC3 : Cahier des charges.....	73
3.3	Fonctionnalités supplémentaires.....	74
3.4	Dérandomiseur.....	75
3.5	Durcissement de l'Analogique.....	76
3.6	Durcissement du Numérique.....	78
3.6.1	SEL, SEGR, SB.....	78
3.6.2	Architecture Radhard.....	78
3.6.3	Flow TMRG.....	85
3.6.4	Stratégie choisie.....	88
3.6.5	Encodage.....	89
3.6.6	Règle de développement d'un circuit soumis à un environnement radiatif sévère.....	91
4	Validation de la stratégie de durcissement de l'ASIC HGCROC.....	95
4.1	Validation en simulation.....	95
4.1.1	Injection d'erreur en Simulation.....	95
4.1.2	Vérification de l'écartement des voies tripliquées.....	96
4.1.3	Vérification de la correction/détection de l'algorithme de Hamming.....	97
4.1.4	Vérification de l'encodage des données transmises.....	98
4.2	Validation en irradiation.....	99
4.2.1	Techniques de test.....	99
4.2.2	Système de test.....	99
4.2.3	Setup de test pré-irradiation.....	100
4.2.4	Dose Ionisante Totale (TID).....	101
4.2.5	1ere campagne Total Ionizing Dose Mars 2022.....	108
4.2.6	2eme campagne Total Ionizing Dose Septembre 2022.....	123
4.2.7	1ere Campagne d'irradiation en Ions lourds.....	128
4.2.8	Reproduction des erreurs en simulation.....	138
4.2.9	Campagne d'irradiation mixte.....	141
5	Projets en Entreprise.....	142
5.1	Développement d'un circuit de lecture : TEMPOROC.....	142
5.1.1	Développement.....	143
5.1.2	Caractérisation.....	144
5.1.3	Firmware.....	145
5.1.4	Banc de test.....	145

5.2	Caractérisation d'une technologie en irradiation : ATMX150RHA.....	147
5.2.1	Résultats.....	147
5.3	Durcissement d'un circuit de configuration d'un télescope satellite : ATHENA.....	149
5.3.1	Description du projet.....	149
5.3.2	Architecture du circuit.....	150
5.3.3	Protections aux SEE.....	150
5.3.4	Triplication.....	150
5.3.5	Ecartement des P/N.....	150
5.3.6	Triplication sans auto-correction.....	151
5.3.7	Coupure physique de l'horloge.....	151
6	Conclusions et ouverture.....	152
6.1	l'instrumentation en milieu hostile.....	152
6.1.1	Solutions apportées.....	152
6.1.2	Validation de la méthodologie.....	152
	Bibliographie.....	154
7	Publications et présentation de travaux en conférence :.....	157
	Annexes.....	159

## LISTE DES FIGURES

---

Figure 1.1: Énergie Linéique de transfert (LET) dans le silicium en fonction de leur énergie pour différents ions incidents. [3].....	21
Figure 1.2: Exemple d'allure d'une section efficace d'un SEE en fonction du LET. ....	22
Figure 1.3: Pouvoir d'arrêt en fonction de l'énergie des protons et électrons incidents dans le silicium. [4].....	23
Figure 1.4: Représentation d'une ionisation directe d'un ion lourd par rapport à une ionisation secondaire d'un hadron au sein d'un semi-conducteur dopé. ....	24
Figure 1.5: Probabilité du type d'interaction du photon avec la matière en fonction de son énergie. ....	25
Figure 1.6: Effet photoélectrique au niveau atomique [62].....	25
Figure 1.7: Effet Compton au niveau atomique [62].....	26
Figure 1.8: Effet de matérialisation au niveau atomique [62].....	26
Figure 1.9: Graphique du type d'effet dominant en fonction de l'énergie du photon incident et du numéro atomique du matériau. [63].....	27
Figure 1.10: Collision nucléaire d'un Neutron sur un noyau de Silicium avec production d'un noyau de Sodium. [62].....	28
Figure 1.11: Représentation de la diffusion de Coulomb induite par un ion ionisant les électrons de valence du Silicium.[62].....	28
Figure 1.12: Récapitulatif des effets d'ionisation d'un transistor en fonction de la particule incidente. ....	29

Figure 1.13: Représentation d'une interaction non-ionisante d'une particule incidente dans la structure cristalline d'un matériau. [4] .....	31
Figure 1.14: Représentation en diagramme de bande d'un transistor NPN avec les zones de dopage et déplétées.....	32
Figure 1.15: Représentation en diagramme de bande des effets des ionisations dans un semi-conducteur.[4].....	32
Figure 1.16: Représentation en diagramme de bandes des trois phénomènes successifs suivant l'ionisation d'un semi-conducteur polarisé. [4].....	33
Figure 1.17: Graphique du taux de recombinaison des trous dans le SiO <sub>2</sub> en fonction du champ électrique et du type de particule (mobilité). [8].....	34
Figure 1.18: Tension de seuil de transistors issus du commerce en technologie CMOS. L'épaisseur de l'oxyde est relative au nœud technologique indiqué dans la légende en µm.[11].....	35
Figure 1.19 : Modèle comportemental en diagramme de bande d'un NMOS lors d'une ionisation cumulée par un rayonnement illustrant les phénomènes de pièges d'oxyde et d'interface. [13].....	37
Figure 1.20 : Diagramme de bande des impacts des pièges d'interface sur les caractéristiques d'un P (à gauche) et N (à droite) MOS illustrés par le niveau de Fermi intrinsèque. [13] .....	38
Figure 1.21: Graphiques illustrant les effets des pièges de charge et d'interface sur les tensions de seuil d'un transistor NMOS et PMOS montrant une asymétrie (Graphique de gauche [60], graphique de droite [15]). .....	39
Figure 1.22: Courbes Id(Vg) "sous le seuil" (en Log(ID)) typiques pour un transistor NMOS: 1) Avant et après irradiation (de 10 Mrad(SiO <sub>2</sub> ) avec Vg=+5V, 2)[16] Illustration schématique des effets dus aux pièges d'oxyde ("ot") et d'interface ("it") sur la caractéristique "sous le seuil" du transistor. Les deux composantes augmentent après irradiation.[17] .....	40
Figure 1.23: Illustration d'un transistor parasite issu de l'accumulation de charges dans les oxydes. 40	
Figure 1.24: Représentation des "becs d'oiseau" sur un des côtés du canal d'un transistor donnant lieu aux transistors parasites. [18] .....	41
Figure 1.25: Représentation en vue-du-dessus d'un transistor avec à gauche un problème de canal trop étroit et à droite un transistor assez large pour que les zones déplétées ne se chevauchent pas. ....	41
Figure 1.26: Représentation en vue de coupe longitudinale d'un transistor avec à gauche un problème de canal trop court et à droite un transistor assez long pour que les zones déplétées ne se chevauchent pas. [12] .....	42
Figure 1.27: Représentation graphique de l'influence de la taille du nœud technologique sur la résistance aux doses ionisantes donnée par un décalage de tension par rad. [19] .....	43
Figure 1.28: Déplacement des charges diffusées (1) puis collectées (2) au niveau des nœuds de polarisation.....	45
Figure 1.29: Pouvoir d'arrêt du Silicium en fonction de l'énergie de l'Electron, Proton et Alpha incidents.[22].....	46
Figure 1.30: Représentation en diagramme de bande des phénomènes de Tunnel (1), de Drift (2) et de Collection (3) des charges issues de l'ionisation. [24].....	46
Figure 1.31: Impact des phénomènes rapides (Collection) et lents (Diffusion) sur l'allure du courant en bas, par rapport à la représentation IC des charges piégées par ionisation au-dessus. [42] .....	47
Figure 1.32: Représentation IC d'un SEU sur le transistor CMOS d'accès à la cellule de mémoire DRAM. [25] .....	48
Figure 1.33: Schématique de la cellule mémoire DRAM.....	48
Figure 1.34: Représentation IC d'un SET sur le drain d'un NMOS d'une jonction PN.....	49
Figure 1.35: Schématique d'un transistor NMOS.....	49
Figure 1.36: Représentation IC d'un SET dans le PMOS « OFF » d'un inverseur. [26] .....	50

Figure 1.37: Schéma du SET sur le drain du PMOS OFF d'un inverseur. ....	50
Figure 1.38: Allure du chronogramme de la sortie de l'inverseur lors d'un SET sur le PMOS .....	50
Figure 1.39: Représentation IC d'un SET dans le NMOS "OFF" d'un inverseur.....	50
Figure 1.40: Schéma du SET sur le drain du NOMS "OFF" d'un inverseur. ....	51
Figure 1.41: Allure du chronogramme de la sortie d'un inverseur lors d'un SET sur le NMOS.....	51
Figure 1.42: Décomposition d'un inverseur CMOS en deux thyristors tête-bêche. [27] .....	52
Figure 1.43: Illustration de la boucle de rétroaction intrinsèque à l'inverseur CMOS à l'origine du phénomène de verrouillage, en vue-du-dessus et de coupe IC en haut, et en schéma électrique en bas. [28].....	53
Figure 1.44: Illustration des trois grandes familles de rayonnement, leurs effets et leur environnement respectifs. ....	55
Figure 2.1: Planning prévisionnel des différentes améliorations du LHC, depuis 2011 jusqu'aux prévisions du HL-LHC [2] .....	56
Figure 2.2: Vue de coupe YZ de CMS, en haut à gauche avec HGAL en bleu et vue de coupe XY en bas à gauche, permettant l'observation des différentes couches de détection, à droite.....	57
Figure 2.3: Représentation actuelle en 3D de CMS avec ses différents modules de détection. ....	58
Figure 2.4: Plan des différents accélérateurs et points de collisions qui composent le LHC. ....	59
Figure 2.5: Dose ionisante de radiation, Dose accumulée dans HGAL après une luminosité intégrée de $3000 \text{ fb}^{-1}$ , simulée par le programme FLUKA [32], montrant en 2 dimensions de coordonnées radiale et longitudinale, r et z. [2] .....	60
Figure 2.6: Fluence, paramétrée en fluence équivalente à 1 MeV de neutrons, accumulée dans HGAL après une luminosité intégrée de $3000 \text{ fb}^{-1}$ , simulée par le programme FLUKA, montrant en 2 dimensions de coordonnées radiale et longitudinale, r et z. [2].....	60
Figure 2.7: Composition d'un calorimètre électromagnétique homogène de CMS. ....	61
Figure 2.8: Photo d'un cristal de $\text{PbWO}_4$ et son PM d'un calorimètre électromagnétique homogène.61	
Figure 2.9: Vue 3D de HGAL avec sa structure mécanique à gauche, son système de refroidissement au milieu, et l'assemblage des couches hexagonales à droite.....	62
Figure 2.10: Composition des couches du module hexagonal faible densité de l'Hexaboard, de la couche de détection en silicium, la feuille de Kapton et plaque de support en cuivre et tungstène... 62	
Figure 2.11: Assemblage et interconnexion d'un module complet d'une couche de détection mixte (HD/LD).....	63
Figure 2.12: Diagramme système de la chaîne d'acquisition "Front to back end" d'HGAL. ....	63
Figure 2.13: Structure d'un calorimètre à échantillonnage. ....	64
Figure 2.14: Illustration de l'utilisation du "Particle Flow" dans l'identification de gerbes de particules. [33] .....	64
Figure 2.15: Illustration d'une couche silicium à gauche et d'une couche mixte silicium/scintillateur extraites d'une vue de coupe d'HGAL au centre.[36] .....	65
Figure 2.16: Structure longitudinale des couches de détection et d'absorbeur d'HGAL.....	66
Figure 2.17: Délimitation des sensibilités de détecteur par zone en fonction de sa proximité avec la collision.....	67
Figure 2.18: Agencement des couches d'un détecteur électromagnétique silicium d'HGAL. ....	68
Figure 2.19: Photo des connexions de la couche de détection au PCB de l'Hexaboard. ....	68
Figure 2.20: Agencement des couches d'un détecteur hadronique silicium d'HGAL à gauche, et à base de scintillateur à droite.....	69
Figure 2.21: Illustration des deux configurations de granularité du détecteur, et les cellules de détection associées à droite.....	69
Figure 2.22: Distribution des voies par circuit HGCROC dans les deux configurations de granularité . 70	



Figure 3.1: Vue du dessus du circuit HGCROCV2 avec le traitement analogique aux extrémités et les mémoires circulaires proches du centre. ....	72
Figure 3.2: Schéma du traitement analogique d'HGCROC .....	72
Figure 3.3: Schéma bloc de la partie numérique d'HGCROCV2.....	73
Figure 3.4: Schéma bloc de la partie numérique d'HGCROCV3.....	74
Figure 3.5: Graphique illustrant le temps mort de la transmission en fonction du temps de transmission d'un événement pour une fréquence d'acceptation fixée à 750 kHz et différentes profondeurs de mémoire. ....	75
Figure 3.6: Graphique illustrant le temps mort de la transmission en fonction du temps de transmission d'un événement pour une profondeur de mémoire fixée à 32 bits et différentes fréquences d'acceptation. ....	75
Figure 3.7: Illustration du courant de fuite au niveau des bords du canal classique (A), méthode de durcissement par élargissement des bords (B) et méthode du « Guard Ring » (C). [19] .....	77
Figure 3.8: Canal P classique à gauche, méthode de durcissement "Enclosed Layout Transistor" à droite. [19].....	77
Figure 3.9: Graphique comparatif du pic de courant (OFF) dans des transistors de différentes proportions et ELT en fonction de la dose. [19] .....	78
Figure 3.10: Schéma de principe d'une structure de logique tripliquée.....	79
Figure 3.11: Chronogramme d'une simulation de deux SEE consécutives dans une structure tripliquée simple .....	79
Figure 3.12: Schéma en logique combinatoire permettant de calculer la majorité de trois signaux ...	80
Figure 3.13: Schéma en logique combinatoire permettant de calculer une différence d'un signal parmi trois.....	80
Figure 3.14: Schéma logique de l'architecture d'un système de mémorisation TMR à auto-correction asynchrone. ....	81
Figure 3.15: Schéma logique permettant de calculer la latence du parcours d'un pire cas de détection de l'erreur et rechargement de la donnée.....	81
Figure 3.16: Schéma logique d'une architecture sensible à un SEE sur un registre.....	82
Figure 3.17: Schéma logique d'une architecture sensible à un SEE sur l'arbre d'horloge. ....	82
Figure 3.18: Schéma logique d'une architecture sensible à un SEE sur le voteur.....	83
Figure 3.19: Schéma logique d'une architecture de durcissement "Full-TMR". ....	83
Figure 3.20: Schéma des modules numériques d'HGCROCV3 et leurs méthodes de durcissement appropriées. ....	85
Figure 3.21: Flot de conception d'un circuit avec TMRG. ....	86
Figure 3.22: Chronogramme d'une simulation d'injection d'un SET sur un compteur Full-TMR.....	87
Figure 3.23: Schéma bloc du compteur EventCounter simulé en injectant un SET. ....	87
Figure 3.24: Simulation d'un ion fer incident de 280 MeV à droite et 28 GeV à gauche en interaction avec une cellule SRAM, avec en blanc la trace de l'ion et en rouge celles des Gammas générés par l'ionisation. ....	88
Figure 3.25: Chronogramme illustrant des SEEs touchant les différentes parties d'un compteur Full-TMR ainsi que le résultat de la sortie du circuit durcie en Full-TMR. ....	88
Figure 3.26: Schéma d'un compteur Full-TMR illustrant les zones touchées par un SEE. ....	89
Figure 3.27: Encodage Hamming d'un paquet de 32 bits avec séparation des bits de parité de 4 bits. ....	90
Figure 3.28: Structure itérative de Checksum : Somme avec le polynôme des 39 paquets d'un événement puis transmission de la somme.....	90
Figure 3.29: Traduction matérielle d'un polynôme du CRC-32 (0x04C11DB7). ....	90
Figure 3.30: Encodage d'état d'une machine d'état en Gray.....	92

Figure 3.31: Séquence de démarrage du système de lecture d'HGCROC3.....	93
Figure 3.32: Chronogramme montrant la temporisation du redémarrage de l'horloge 40 MHz après un reset.....	93
Figure 3.33: Distance de Hamming entre les codes des Fast Command. ....	94
Figure 4.1: Affichage des SEE injectées qui apparaissent dans le terminal de simulation.....	95
Figure 4.2: Identification du SEE dans la console SimVision. ....	96
Figure 4.3: Affichage du SEE dans le chronogramme du signal identifié sur la figure précédente.....	96
Figure 4.4: Zoom sur l'affichage d'un SEE dans le chronogramme du signal où l'erreur est injectée BxCounter_iNextVotedB. ....	96
Figure 4.5: Vérification lors du placement de la distance d'au moins 15 $\mu\text{m}$ entre chaque branche de triplication. ....	97
Figure 4.6: Chronogramme de simulation de l'encodage SEC-DED en injectant 0, 1, 2 et 3 erreurs. ..	97
Figure 4.7: Chronogramme de la simulation permettant de vérifier en comparant le résultat avec un checksum en ligne. ....	98
Figure 4.8: Chronogramme de la deuxième simulation de comparaison avec une source en ligne. ...	98
Figure 4.9: Schéma bloc du Firmware de l'Hexa-Controller du banc de test de notre carte de test dédiée Single ROC/Hexaboard. ....	100
Figure 4.10: Photo de la mezzanine d'HGCROCv3. ....	100
Figure 4.11: Reconstruction de l'impulsion avec le circuit directement branché sur la carte de test.100	
Figure 4.12: Reconstruction de l'impulsion avec le circuit en flip chip BGA sur la carte mezzanine. .	101
Figure 4.13: Photo du banc de test d'HGCROCv3 composé d'une carte de test "Single ROC" connectée à l'Hexa Controller par un adaptateur. ....	101
Figure 4.14: Fréquence normalisée d'un oscillateur en anneau en technologie TSMC 130nm lors d'irradiation HDR, LDR, rayons-X et Gammas. ....	102
Figure 4.15: Photo du banc de test d'HGCROCv1 composé d'une carte de test dédiée avec le ROC directement branché dessus, connecté à une carte KCU105. ....	103
Figure 4.16: Profil d'irradiation de la deuxième campagne de juillet 2019 au CERN.....	103
Figure 4.17: Photo du banc de test d'HGCROCv2 avec la mezzanine sur la carte « Single ROC ». ....	104
Figure 4.18: Résultats de la campagne d'irradiation en dose du VCO de la PLL d'HGCROCv2. ....	104
Figure 4.19: Variabilité du piédestal d'HGCROCv2, avant irradiation à gauche et après 145 Mrad à droite. ....	105
Figure 4.20: Schéma de principe d'un générateur de rayons-X. [52].....	106
Figure 4.21: Photo d'ObeliX, système d'irradiation aux rayons-X du CERN avec notre banc de test d'HGCROCv3.....	106
Figure 4.22: Schéma de principe de l'affinage du circuit HGCROC pour permettre aux rayonnements d'atteindre la zone sensible lors des campagnes de tests en irradiation. ....	107
Figure 4.23: Mesures d'épaisseur en 5 points du circuit HGCROC affiné, faites par la compagnie d'affinage.....	107
Figure 4.24: Photo de la mezzanine avec HGCROCv3 à gauche et une fois affiné à droite. ....	107
Figure 4.25: Photo du dessus d'HGCROCv3 haute densité en package BGA à gauche et du dessous à droite. ....	107
Figure 4.26: Photo du dessus d'HGCROCv3 basse densité en package BGA à gauche et du dessous à droite. ....	108
Figure 4.27: Photos du contrôleur d'humidité à l'intérieur d'ObeliX à gauche, contrôle de la température à l'intérieur d'ObeliX au centre, et notre propre système de refroidissement de la carte à droite. ....	108
Figure 4.28: Photo de l'alimentation et des Keithleys permettant d'automatiser les tests de probes DC du circuit HGCROCv3. ....	109

Figure 4.29:Piédestal ROC n°015 avant optimisation locale et globale. ....	109
Figure 4.30:Piédestal ROC n°015 après optimisation locale et globale. ....	110
Figure 4.31: Résultats du scan de phase permettant d'identifier le bruit numérique sur le piédestal. .....	110
Figure 4.32: Reconstruction de l'impulsion injectée dans chaque moitié avec son bruit résiduel en- dessous. ....	111
Figure 4.33: Illustration du la méthode afin de trouver la linéarité des ADC. ....	112
Figure 4.34: Illustration du la méthode afin de trouver la linéarité des TOA. ....	112
Figure 4.35: Illustration du la méthode afin de trouver la linéarité des TOT.....	112
Figure 4.36: Photo de la carte Single ROC avec mezzanine et HGCROCV3 et son système de refroidissement. ....	113
Figure 4.37: Mesures de température du liquide calorifique en entrée (vert) et en sortie (violet) du circuit de refroidissement du ROC n°002. ....	114
Figure 4.38: Profil d'irradiation du ROC n° 002. ....	114
Figure 4.39: Mesures de température du liquide calorifique en entrée (vert) et en sortie (violet) du ROC 003. ....	115
Figure 4.40: Profil d'irradiation du ROC 003.....	116
Figure 4.41: Variations de courant et tension de la partie analogique à gauche, et numérique à droite en fonction de la dose. ....	116
Figure 4.42: Evolution du piédestal et de son bruit en fonction de la dose du ROC 002. ....	117
Figure 4.43: Evolution du scan de phase en fonction de la dose du ROC 002. ....	117
Figure 4.44: Reconstruction de l'impulsion avant irradiation à gauche, après 345 Mrad à droite....	118
Figure 4.45:Linéarité des ADC avant et après 345 Mrad de dose. ....	118
Figure 4.46: Linéarité du TOT avant et après 345 Mrad de dose.....	119
Figure 4.47: Time-walk du TOA avant et après 345 Mrad de dose. ....	119
Figure 4.48: Jitter du TOA avant et après 345 Mrad de dose. ....	120
Figure 4.49: Evolution des mesures de fréquences du VCO lors de l'irradiation en dose d'HGCROCV3. .....	120
Figure 4.50: Etude sur l'ABCStar de l'évolution du pic de courant en fonction du dose-rate et de la température. [53].....	121
Figure 4.51: Etude de l'influence de la pré-irradiation sur le pic de courant. [53] .....	122
Figure 4.52: Schéma d'adaptation analogique du signal avec les modules à ne pas alimenter. ....	124
Figure 4.53: Evolution normalisée des courants de chaque bloc en fonction de la dose. ....	124
Figure 4.54: Augmentation du courant global du ROC n°015 en fonction de la dose. ....	125
Figure 4.55: Augmentation du courant global du ROC n°041 en fonction de la dose. ....	125
Figure 4.56: Photo du système de refroidissement du ROC. ....	126
Figure 4.57: Photo en caméra thermique d'HGCROCV3, à gauche en mode "Run, au centre avec le "Soft-Reset" activé, et relâché à droite. ....	127
Figure 4.58: Schéma du module comportant des points flottants activant un court-circuit par répercussion. ....	127
Figure 4.59: Weibull fit de la section efficace de la mémoire de configuration d'HGCROCV2 par rapport au LET des ions incidents lors de la campagne de test à l'UCL en mars 2020. ....	129
Figure 4.60: Simulation FLUKA du flux de hadrons (>20 MeV) au sein d'HGCAL, CMS.....	129
Figure 4.61: Photo de l'intérieur de la chambre d'irradiation sous vide à gauche et vue extérieure à droite. ....	130
Figure 4.62: Schéma fonctionnel de la sérialisation des événements d'HGCROCV3. ....	135
Figure 4.63: Illustration d'une perturbation courte dans le sérialiseur. ....	135
Figure 4.64: Illustration d'une perturbation longue entraînant un glissement de la trame. ....	136

Figure 4.65: Section efficace d'un bit-flip (0->1) de la mémoire de configuration en fonction du LET.	137
Figure 4.66: : Section efficace d'un bit-flip (1->0) de la mémoire de configuration en fonction du LET.	137
Figure 4.67: Distribution des arbres d'horloges dans le circuit HGCROCV3.	138
Figure 4.68: Simulation d'une perturbation sur l'horloge 320 MHz.	138
Figure 4.69: Simulation d'une perturbation longue dans les sérialiseurs.	139
Figure 4.70: Résultats de la mesure des perturbations sur la PLL lors de la campagne d'irradiation d'HGTD d'Atlas.	139
Figure 4.71: Simulation d'une perturbation longue sur l'horloge 640 MHz.	140
Figure 4.72: Marge supérieure et inférieure d'erreur en fonction du nombre d'événements et l'incertitude de la fluence.	140
Figure 5.1: Logo de l'ANDRA à gauche et photos des précédentes versions de la caméra 3D Compton.	142
Figure 5.2: Bloc-diagramme de TEMPOROC.	143
Figure 5.3: Composition de la trame du circuit TEMPOROC en configuration maximale.	143
Figure 5.4: Bloc-diagramme du design de la partie numérique de TEMPOROC.	144
Figure 5.5: Interface de test utilisateur de TEMPOROC.	144
Figure 5.6: Schéma du logiciel de configuration du circuit TEMPOROC représentant la carte de test.	145
Figure 5.7: Efficacité de déclenchement par photoélectron du circuit TEMPOROC (S-Curve de la DAQ de 1 pe à 5 pe).	146
Figure 5.8: Linéarité de la S-Curve à 50% du circuit TEMPOROC.	146
Figure 5.9: Spectres en énergie issue de la DAQ complète de TEMPOROC soumis à une source radiative Na22 de 2.2 MBeq.	146
Figure 5.10: Circuits ATMX150RHA à caractériser en dose ionisante, à gauche d'ADC, au centre le Quad switch RF et le multiplexeur 8<>1 à droite.	147
Figure 5.11: Evolution des résistances de switch en fonction de la dose.	147
Figure 5.12: Evolutions des INL et DNL de l'ADC en fonction de la dose.	148
Figure 5.13: Evolution de la tension du Bandgap ajustable en fonction de la dose.	148
Figure 5.14: Evolution de la tension du Bandgap non-ajustable en fonction de la dose.	148
Figure 5.15: Graphique de l'efficacité de détection des télescopes satellite en fonction de leur gamme d'énergie.	149
Figure 5.16: Architecture de fonctionnement des décodeurs I2C bas bruit d'ATHENA : SLICE.	150
Figure 5.17: Layout d'une cellule standard AND2_X5 avec une configuration d'écartement de 2.4 µm à gauche contre 6 µm à droite.	151
Figure 7.1: Capture des résultats du checksum en ligne.	160
Figure 7.2: Capture du résultat de la deuxième comparaison à une source en ligne.	162

## LISTE DES TABLES

Tableau 1.1: Modèle standard des particules élémentaires.	18
Tableau 1.2: Tableau récapitulatif des mesures utilisées dans l'étude des rayonnements.	29
Tableau 1.3: Grandeurs caractéristiques de la création de charge par interaction rayonnement-matière pour le silicium, et son oxyde (SiO <sub>2</sub> ) à température ambiante.[9]	35
Tableau 1.4: Résumé des composants électroniques et leurs sensibilités aux différents effets causés par les rayonnements. [30]	54

Tableau 1.5: Résumé des rayonnements, leurs effets et fonction de la particule incidente.....	54
Tableau 2.1: Nombre de collisions et de Bosons de Higgs produits par le LHC à chaque grande mise à jour de son infrastructure. [2] .....	57
Tableau 2.2: Résumé des couches de détection et du nombre de voies de lecture d'HGCAL.[34] .....	65
Tableau 2.3: Récapitulatif de la composition des couches passives d'HGCAL .....	66
Tableau 2.4: Description des trois configurations de détecteurs silicium en fonction de leur position illustrée à droite du tableau. ....	67
Tableau 3.1: Liste des temps de propagation moyens (Typical corner) des cellules élémentaires d'un voteur. ....	82
Tableau 3.2: Récapitulatif des coûts en ressources des différentes méthodologies de durcissement.	84
Tableau 3.3: Récapitulatif des temps de rétention et taux de correction de la donnée dans HGCROCv3 en fonction du type de module. ....	85
Tableau 4.1: Sommaire des dégradations maximales dans des NMOSFETs de taille minimum de 3 fonderies différentes exposées aux rayons-X. ....	102
Tableau 4.2: Augmentation du courant lors de la 1 <sup>ère</sup> campagne d'irradiation TID. ....	121
Tableau 4.3: Augmentation du courant lors de la 2 <sup>ème</sup> campagne d'irradiation TID. ....	123
Tableau 4.4: Section efficace de la mémoire de configuration tripliquée avec/sans auto-correction. ....	129
Tableau 4.5: Caractéristiques des ions disponibles à l'UCL de Louvain-la-Neuve ainsi que notre durée d'utilisation pour tester notre circuit HGCROC3. ....	130
Tableau 4.6: Composition d'un événement d'un Half (36 voies utiles). ....	131
Tableau 4.7: Composition de l'en-tête (Header) d'une trame d'HGCROCv3. ....	132
Tableau 4.8: Composition de la trame d'une voie lecture d'HGCROCv3. ....	132
Tableau 4.9: Mesures d'erreur sur les modules full-TMR. ....	134
Tableau 4.10: Récapitulatif des mesures de section efficace des mémoires de la DAQ. ....	135
Tableau 4.11: Récapitulatif des mesures de la section efficace des sérialiseurs en ions lourds. ....	136
Tableau 4.12: Résultat des mesures d'irradiation en ion lourds des registres de configuration. ....	137
Tableau 4.13: Récapitulatif des mesures d'erreurs dans chaque partie du circuit lors de la campagne d'irradiation en ions lourds. ....	141

## LISTE DES EQUATIONS

Équation 1.1: Le pouvoir d'arrêt et ses deux termes nucléaires et électromagnétique. ....	20
Équation 1.2: Energie de transfert Linéique en fonction de la distance parcourue. ....	20
Équation 1.3: Section efficace d'un ion en fonction de son LET. ....	21
Équation 1.4: Section efficace d'un nucléon en fonction de son énergie. ....	21
Équation 1.5: Weibull fit en fonction des paramètres extrapolés de la mesure d'ions lourds. ....	22
Équation 1.6: Weibull fit en fonction des paramètres extrapolés de la mesure de nucléons. ....	23
Équation 1.7: « Specific Ionization » liée à l'énergie nécessaire à la production d'électron-trous. [3] 23	23
Équation 1.8: Section efficace de chaque phénomène en fonction du numéro atomique et d'énergie du photon incident. ....	27
Équation 1.9: Section efficace totale du photon étant la somme des différents phénomènes. ....	27
Équation 1.10 : Réaction de création d'ion Hydrogène au sein de l'oxyde à partir de charges piégées. ....	37
Équation 1.11: Influence sur la tension de seuil d'un transistor en fonction de l'épaisseur de l'oxyde. ....	42

Équation 1.12: Charge collectée par la particule incidente en fonction de son pouvoir d'arrêt et la profondeur de sa course. ....	45
Équation 3.1: Définition d'un chemin de récupération des états inexistant. ....	92
Équation 4.1: Fit de la modélisation d'une impulsion. ....	111
Équation 4.2: Calcul du courant de fuite du circuit complet, due aux points flottants de chaque module TDC. ....	128
Équation 4.3: Probabilité d'un bit-flip. ....	133
Équation 4.4: Taux d'erreur d'une cellule. ....	133
Équation 4.5: Probabilité d'une erreur double dans une cellule tripliquée. ....	133
Équation 4.6: Section efficace d'un bit-flip d'une cellule pendant une durée $T_0$ . ....	133
Équation 4.7: Section efficace d'une erreur double dans une cellule tripliquée. ....	133
Équation 4.8: Section efficace d'un bit-flip d'une cellule en fonction de la probabilité d'une erreur double. ....	133
Équation 4.9: Calcul de la section efficace d'un registre full-TMR ( $T_0=TBX$ ). ....	134
Équation 4.10: Section efficace des données stockées en mémoires. ....	134
Équation 4.11: Section efficace des mémoires pour l'ion Chrome. ....	135
Équation 4.12: Section efficace des mémoires pour l'ion Nickel. ....	135
Équation 4.13: Section efficace d'une perturbation courte dans les sérialiseurs. ....	136
Équation 4.14: Section efficace d'une perturbation longue dans les sérialiseurs. ....	136

## AVANT-PROPOS

---

Le cadre de ce projet rentre dans l'expérience CMS (Compact Muon Solenoid) étant l'un des quatre détecteurs placés au niveau d'un point de collision du Grand Collisionneur de Hadrons (LHC). Le circuit de lecture développé lira les 6 millions de canaux de lecture d'un nouveau type de calorimètre 5D imageur dit « Ultra-granulaire » pour sa précision spatiale et temporelle à l'état de l'art. Ce détecteur viendra compléter différentes mises à jour lors du second long arrêt (LS2) du LHC pour devenir le HL-LHC (High Granularity LHC) afin de remplacer les pièces endommagées au sein des expériences, ainsi que d'améliorer les techniques de détection comme dans le cadre du calorimètre Ultra-Granulaire (HGCAL). Cette mise à jour permettra d'observer des événements rares au milieu d'un environnement toujours plus lumineux (8 milliards de collisions par secondes) et donc plus radiatif. C'est sur ces derniers points que mon sujet porte avec la conception d'un ASIC de lecture multi-canal pouvant résister à 200 Mrad et une fluence équivalente de  $1.5 \times 10^{16} \text{ n}_{\text{eq}}/\text{cm}^2$  en équivalence de neutrons de 1 MeV.

## REMERCIEMENTS

---

Mon doctorat fut une expérience unique grâce aux ambiances de travail exceptionnelles, aussi bien au niveau de WEEROC qu'à OMEGA.

Je tiens à remercier le laboratoire OMEGA et mes collègues qui m'ont soutenu lors des périodes difficiles, dans la relecture, le conseil et l'expérience acquise au sein du laboratoire. Particulièrement, l'équipe réduite des numériciens composée de mon encadrant Frédéric Dulucq et Mowafak El Berni, qui ont été mes références dans la conception d'ASIC.

Christophe de la Taille, qui a dirigé ma thèse d'une main de maître, bien qu'étant le premier thésard au sein du laboratoire depuis fort longtemps. Il m'a permis d'avoir une formation et une veille technologique complètes grâce aux différentes formations et conférences proposées par le CNRS, l'IN2P3 ou encore le CERN.

Je remercie aussi l'équipe de WEEROC et son directeur Julien Fleury qui me fit confiance pour concevoir des circuits numériques complexes « from scratch » et leur caractérisation transverse me permettant de mieux comprendre les différents étages d'un circuit de lecture d'un détecteur allant de la mise en forme du signal à la transmission des données back-end du FPGA au logiciel de test C#. Les conseils de Jean Baptiste Cizel, ayant déjà vécu l'expérience d'une thèse CIFRE, m'ont été d'une grande valeur, tant sur le plan moral qu'administratif.

C'est d'ailleurs avec le soutien des administratifs d'OMEGA et WEEROC, respectivement Anne-Myriam Lubin et Sabrina Clémoux, que j'ai pu composer avec les différents acteurs et leurs querelles politico-financières.

Je remercie aussi l'équipe irradiation, avec laquelle nous avons testé HGCROC à Louvain puis au CERN pendant les longues nuits à débayer le banc de test, mais toujours dans la bonne humeur. Damien Thienpont pour son travail titanesque et sa maîtrise du Firmware de test, Elena Vernazza pour son analyse de données ainsi qu'un talent certain pour rendre les résultats de mesures limpides, et Arnaud Steen pour le temps passé sur le Software de test.

Je remercie enfin mon jury de thèse pour le soutien qu'ils m'ont apportés, me permettant de converger sur mon manuscrit, et leurs remarques constructives apportées lors de la défense de ma thèse.

Je remercie enfin mon Co-directeur de thèse Alexandre Zabi pour ses relectures précises de mon manuscrit, bien que très pris par son détachement au CERN et les autres thèses en physique qu'il accompagne, me permettant de combler mes lacunes rédactionnelles.

Merci aux nombreuses personnes qui n'ont pas été nommées à OMEGA, à WEEROC, au CERN, ou d'autres laboratoires, et qui m'ont permis de finaliser cette aventure.

"Si j'ai vu plus loin, c'est parce que je me suis tenu sur les épaules de géants." - Isaac Newton



## GLOSSAIRE

---

ADC: Analog to Digital Converter.

Annealing : Chauffer une composant afin qu'il récupère ses propriétés perdues lors d'irradiation.

ASIC: Application-Specific Integrated Circuit.

Checksum: Somme de contrôle pour vérifier l'intégrité des données.

Clock gating : Désactivation de l'horloge.

CMS: Compact Muon Solenoid.

DAC: Digital to Analog Converter.

DAQ: Data Acquisition

ECON : Concentrateur des données du calorimètre bouchon (Endcap CONcentrator).

ELT: Enclosed Layout Transistor.

Glitch : Perturbation d'un signal passant de 0 à 1 (ou de 1 à 0) pendant une courte période.

Hexaboard : Carte de forme hexagonale accueillant les circuits de lecture HGCROC.

Hexa-Controller : Carte de test faisant l'interface entre le circuit de lecture et le PC de test.

HGCROC: High Granularity Calorimeter Read Out Chip.

HGCAL: High Granularity CaLorimeter.

HL-LHC: High-Luminosity Large Hardon Collider.

IC: Integrated Circuit/Circuit intégré.

LHC: Large Hadron Collider.

MBU: Multi-Bit Upset.

MCU: Multi-Cell Upset.

MIP: Minimum Ionizing Particle.

NIEL: Non-Ionising Energy Loss.

ObeliX : Installation d'irradiation à rayon-X au sein du CERN.

PCB: Printed Circuit Board.

PLL: Phase-Locked Loop.

DRAM: Dynamic Random Access Memory.

Rad-hard : Durcissement (ou rendre résistant) un circuit aux radiations.

RINCE: Radiation Induced Narrow Channel Effect.

RISCE: Radiation Induced Short Channel Effect.



ROC: Read-Out Chip.

SEB: Single Event Burnout.

SEE: Single event Error/Event.

SEGR: Single Event Gate Rupture.

SEL: Single Event Latch-up.

SET: Single Event Transient.

SEU: Single Event Upset.

SiPM: Silicon Photo Multiplier.

SMU: Single Word Multi-bit Upset.

STI: Shallow Trench Isolation.

TDC: Time-to-Digital Converter.

TID: Total Ionising Dose.

TOA: Time Over Arrival.

TOT : Time Over Threshold.

UCL : Université Catholique de Louvain.

## INTRODUCTION

---

Dans de ce mémoire de thèse, je vais aborder l'évolution de la conception d'un circuit issu de la recherche fondamentale. À la différence d'un développement industriel de circuit, dans ce type de conception, le cahier des charges est fixé par les besoins de l'expérience, donnés par les chercheurs en physique des particules et ne trouve pas d'autre équivalent. En effet, les contraintes appliquées au circuit sont telles qu'aucune autre application directe n'existe. On peut parler d'un circuit « sur mesure », qui ne sera fabriqué que pour les besoins de l'expérience.

C'est l'aspect d'un circuit jamais égalé, à l'avant-garde en la matière, qui conduit les concepteurs à faire avancer l'état de l'art technique et scientifique. Ainsi, par un processus itératif du cycle en V sur plusieurs versions du circuit sont développées sur un temps relativement long d'une dizaine d'années, par comparaison avec le « time-to-market » de l'industrie, qui ne dépasse que rarement les quelques années. La difficulté de ce genre de projet réside en une grande variabilité du cahier des charges, même quelques mois avant la validation du design par un comité d'expert, précédant l'envoi en fabrication du circuit. Cette méthode de travail permet une amélioration continue avec un cycle en V rapide, donnant des périodes de grande pression pour fournir le circuit en temps et en heure. À chaque itération, le circuit doit-être simulé et testé dans les environnements au plus proche des conditions extrêmes de l'expérience, pendant des durées très longues et avec des contraintes de bruit et de consommation drastiques. C'est donc par une analyse précise des données de test et de la criticité du risque encouru pour chaque cellule, que la collaboration valide le circuit. Celle-ci est constituée d'un comité d'experts renommés qui décident de produire le circuit dans des quantités importantes, bien que relativement faibles par rapport à l'industrie grand public, afin de fournir l'ensemble de l'expérience.

C'est en travaillant au sein d'une start-up en microélectronique durant ma thèse CIFRE, que j'ai pu distinguer la différence majeure concernant le temps de développement, la complexité du cahier des charges avec des applications dans des secteurs-clés comme dans l'industrie nucléaire, le spatial, le médical et les transports.

## 1 ETAT DE L'ART SCIENTIFIQUE

---

Je vais, dans un premier temps, vous décrire l'état de l'art de la Physique des Particules, ainsi que les raisons motivant la conception d'instruments toujours plus puissants et précis, permettant aux chercheurs de reproduire des interactions rares mais s'accompagnent de rayonnements hostiles pour l'électronique. La deuxième partie s'attardera donc sur les différents rayonnements et leurs effets délétères sur les circuits.

Nous viendrons ensuite à l'état de l'art technique permettant à l'expérience CMS auprès du LHC d'arriver à ce niveau de précision et résistance aux environnements sévères.

### 1.1 PHYSIQUE DES PARTICULES

La physique des particules se consacre à l'étude des éléments constitutifs fondamentaux de l'univers ainsi qu'aux interactions qui les régissent. Depuis l'Antiquité, l'humanité a entrepris de comprendre la structure de la matière en élaborant divers modèles atomiques. Au fil du temps, ces recherches ont conduit au développement d'une théorie unificatrice qui décrit de manière cohérente les particules élémentaires et des interactions électromagnétiques, faibles et fortes : Le modèle Standard.

### 1.1.1 Modèle Standard

Le Modèle Standard de la physique des particules est une théorie qui décrit, au sein d'un même formalisme mathématique, trois des quatre interactions fondamentales connues entre les particules élémentaires, illustrées dans le Tableau 1.1. Il est basé sur les lois de la physique quantique et la relativité restreinte d'Albert Einstein. Dans ce modèle, les particules élémentaires sont divisées en deux catégories : les quarks et les leptons, qui sont les constituants élémentaires de la matière, et les bosons, qui sont les vecteurs de force pour les interactions fondamentales.

L'une des particules les plus importantes du Modèle Standard est le boson de Higgs. Son rôle essentiel est de conférer une masse aux autres particules élémentaires. Sa découverte a été réalisée grâce aux expériences menées au Grand collisionneur de hadrons (LHC) du CERN, en particulier les expériences ATLAS et CMS.

Quant aux expériences futures, plusieurs projets sont en cours de développement pour approfondir notre compréhension du boson de Higgs et explorer ses propriétés. Le LHC continue de collecter des données à des énergies plus élevées, permettant une étude plus précise des propriétés du boson de Higgs [1] et de ses interactions. De plus, des projets tels que le High-Luminosity LHC (HL-LHC) en cours de construction et l'objet des développements de cette thèse [2], ouvriront de nouvelles perspectives en permettant des expériences encore plus précises et en sondant les limites du Modèle Standard. Ces expériences futures pourraient également conduire à la découverte de nouvelles particules ou de phénomènes au-delà du Modèle Standard comprenant la gravité dont la hiérarchie des masses, la matière et énergie noires.

La puissance du modèle standard réside en sa capacité à prédire avec précision l'existence de centaines de particules et d'interactions complexes avec un minimum d'ingrédients (constituants élémentaires et leurs nombre quantiques ; interactions et leurs règles de conservation).

	masse → charge → spin →	≈2.3 MeV/c <sup>2</sup> 2/3 1/2	≈1.275 GeV/c <sup>2</sup> 2/3 1/2	≈173.07 GeV/c <sup>2</sup> 2/3 1/2	0 0 1	≈126 GeV/c <sup>2</sup> 0 0
		<b>u</b> up	<b>c</b> charm	<b>t</b> top	<b>g</b> gluon	<b>H</b> boson de Higgs
<b>QUARKS</b>		≈4.8 MeV/c <sup>2</sup> -1/3 1/2	≈95 MeV/c <sup>2</sup> -1/3 1/2	≈4.18 GeV/c <sup>2</sup> -1/3 1/2	0 0 1	<b>γ</b> photon
		<b>d</b> down	<b>s</b> strange	<b>b</b> bottom	<b>Z<sup>0</sup></b> boson Z <sup>0</sup>	
		0.511 MeV/c <sup>2</sup> -1 1/2	105.7 MeV/c <sup>2</sup> -1 1/2	1.777 GeV/c <sup>2</sup> -1 1/2	0 1	<b>W<sup>±</sup></b> boson W <sup>±</sup>
<b>LEPTONS</b>		<2.2 eV/c <sup>2</sup> 0 1/2	<0.17 MeV/c <sup>2</sup> 0 1/2	<15.5 MeV/c <sup>2</sup> 0 1/2	80.4 GeV/c <sup>2</sup> ±1 1	
		<b>ν<sub>e</sub></b> neutrino électronique	<b>ν<sub>μ</sub></b> neutrino muonique	<b>ν<sub>τ</sub></b> neutrino tauique	<b>BOSONS DE JAUGE</b>	

Tableau 1.1: Modèle standard des particules élémentaires.

### 1.1.2 Expériences

Dans l'histoire, les découvertes dans ce domaine ont été faites par l'observation de phénomènes issus des rayonnements des matériaux terrestres ainsi que des particules provenant du cosmos et interagissant avec notre environnement. Mais à partir du XX<sup>ème</sup> siècle, le monde de la recherche est passé à la vitesse supérieure en produisant elle-même les événements désirés à l'aide d'accélérateurs de particules. Il existe malgré tout encore de nombreuses installations d'étude des particules cosmiques sur terre, sous l'océan ou encore en orbite, permettant de mieux comprendre l'univers qui nous entoure.

En parallèle, de nombreux accélérateurs ont été créés partout à travers le monde afin de repousser les possibilités, permettant d'accélérer d'autres particules à des énergies plus grandes. C'est en les couplant à des collisionneurs, que le Modèle Standard s'est enrichi des particules de 2<sup>ème</sup> et 3<sup>ème</sup> génération présentes lors du Big-Bang. Ces particules existent toujours dans la nature et sont produites dans les collisions, mais ne sont pas présentes en quantité importante. La matière qui nous entoure est essentiellement constituée des particules de première génération.

De nos jours, ces installations servent aussi pour des applications civiles comme pour certaines centrales nucléaires ou encore des hôpitaux pour de la protonthérapie. Nous les utilisons aussi afin de tester la résistance de notre circuit aux radiations.

## 1.2 NOTIONS SUR LE RAYONNEMENT

Un environnement radiatif se caractérise par la présence de rayonnement issu de particules ou d'ondes appelé particulaire ou corpusculaire. Il existe différentes sources de radiations provenant soit du cosmos, soit de sources terrestres naturelles ou artificielles.

### 1.2.1 Sources des radiations

Les différents environnements et sources de radiation donnent différentes particules irradiantes avec différents spectres énergétiques. Par exemple, les réactions de fission nucléaires donnent principalement lieu à des impulsions de rayons Gamma et de neutrons, alors que l'environnement spatial, se compose essentiellement de particules chargées, comme des électrons, protons, Alpha et ions lourds, et sont généralement à une haute énergie (>MeV), d'un flux constant et d'un niveau de dose faible. Les divers types de particules radiatives peuvent être triés en trois grandes catégories : Les photons constituant les rayons-X ainsi que les Gammas, les particules chargées comprenant les électrons, protons, Alpha, muons, pions, les ions lourds, et enfin les neutrons.

Au sein du LHC, il existe différents types de rayonnements provenant de différentes sources, comme le rayonnement synchrotron ou rayonnement de courbure émis par les particules chargées, qui se déplacent dans un champ magnétique les déviant de leur trajectoire, comme dans les accélérateurs de particules circulaires.

Dans le cadre de cette thèse, les sources principales de radiations présentes au sein des détecteurs comme CMS proviennent de la désintégration de particules émises lors de collisions de protons accélérés par le LHC. Comme son nom l'indique, l'électronique au sein des expériences du LHC est soumise à des quantités de flux de hadrons élevées. Les composants principaux de l'environnement proche du point de collision sont des pions. Ce sont les neutrons qui dominent les zones plus éloignées, d'où une utilisation plus importante de composants du commerce (COTS) pour l'instrumentation de ces couches du détecteur. L'environnement dans lequel nous travaillons est mille fois plus ionisant que les missions spatiales, et se compose de hadrons chargés, d'électrons, de gammas ainsi que de neutrons.

### 1.2.2 Interaction des radiations avec la matière

Il existe deux types d'interactions dites élastiques ou inélastiques dépendant de l'énergie cinétique entre le rayonnement incident et le rayonnement diffusé. Lorsqu'un rayonnement traverse la matière, il va interagir avec les atomes/molécules et les électrons liés par différents mécanismes. L'interaction avec les électrons de l'atome peut être une éjection du cortège appelé « ionisation », ou une excitation en les portant à un niveau d'énergie supérieure. Il y a une conservation de l'énergie cinétique, mais sa trajectoire est souvent déviée par l'interaction entre les deux corps, c'est donc une interaction élastique. La particule incidente peut également être déviée et freinée au voisinage du noyau ou encore entrer directement en collision avec ce dernier, provoquant une interaction nucléaire. C'est une diffusion inélastique lorsque la particule incidente va venir frapper le noyau de l'atome en l'excitant ou le transformant. Ainsi, l'énergie cinétique incidente ne sera pas diffusée car convertie en énergie interne de l'atome. Donc en traversant le matériau cible, la particule incidente va venir céder son énergie par des diffusions élastique et inélastique successives jusqu'à absorption complète ou le traverser.

#### 1.2.2.1 Pouvoir d'Arrêt

Pour décrire ce mécanisme, il existe différents outils permettant de calculer la quantité d'énergie cédée au milieu par distance parcourue ( $dE/dx$ ) appelé « Pouvoir d'Arrêt » ou « Stopping Power ».

$$\frac{dE}{dx} = \left( \frac{dE}{dx} \right)_{col} + \left( \frac{dE}{dx} \right)_{rad}$$

Équation 1.1: Le pouvoir d'arrêt et ses deux termes nucléaires et électromagnétique.

La formule complète du Pouvoir d'Arrêt [3] en Équation 1.1, composée de deux termes, l'un  $(dE/dx)_{col}$  correspondant à l'énergie perdue par la diffusion de Coulomb (Rutherford) donnée par la formule de Bethe dans les énergies supérieures à une centaine de keV appelé pouvoir d'arrêt électronique, et l'autre  $(dE/dx)_{rad}$  correspondant à l'énergie nucléaire perdue lors de l'émission de Bremsstrahlung (ou la radiation de Cherenkov), qui atteint un maximum plutôt dans les basses énergies (~1 keV), appelé pouvoir d'arrêt nucléaire.

#### 1.2.2.2 Notion de LET

La quantité d'énergie déposée le long d'une trace en fonction de sa longueur est appelée l'énergie linéaire de transfert (LET) en Équation 1.2. Elle est utilisée pour la mesure des Evènements Singuliers (SEE) et est exprimée en MeV.cm<sup>2</sup>/mg. C'est une notion qui dépend du type de particule et de son énergie et peut être associée par approximation au Pouvoir d'Arrêt, mais est en général utilisé pour les ions d'une portée de pénétration grande car leur LET est constante le long de son parcours.

$$\begin{cases} LET(x) \cong \frac{1}{\rho} \frac{dE}{dx}(x) & 0 \leq x \leq r \\ LET(x) = 0 & otherwise \end{cases}$$

Équation 1.2: Energie de transfert Linéique en fonction de la distance parcourue.

Avec  $r$  la distance de parcours maximum de la particule dans ce milieu, et  $\rho$  la densité du matériau cible, avec 2.32 g/cm<sup>3</sup> pour le silicium. Le LET étant multi-facteur, il existe des ions différents avec le même LET ainsi que des ions identiques avec un LET différent car l'énergie de la particule incidente joue un rôle important dans la distribution de la charge le long de la trace, comme l'illustre la Figure 1.1.

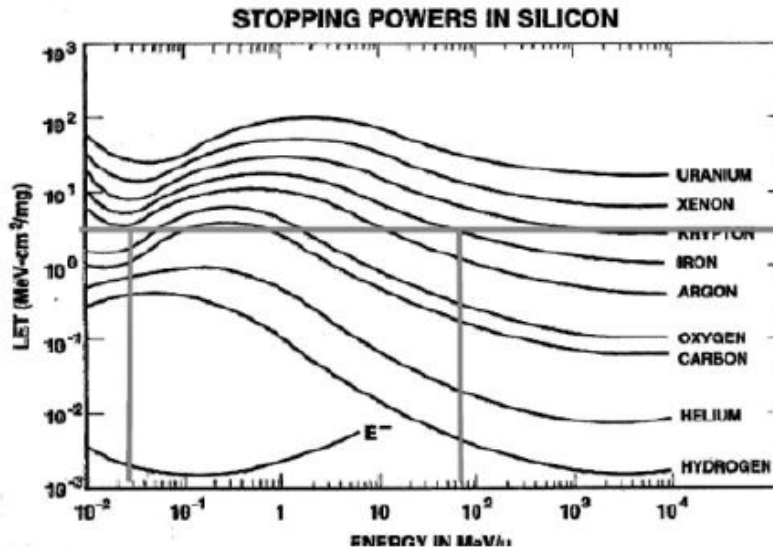


Figure 1.1: Énergie Linéique de transfert (LET) dans le silicium en fonction de leur énergie pour différents ions incidents. [3]

### 1.2.2.3 Notion de section efficace

Pour décrire la probabilité d'interaction d'une particule, on utilise la section efficace  $\sigma$  (Cross Section). Elle est décrite par une unité du Système international ( $m^2$ ) représentant la surface occupée par les particules cibles dans un plan homogène. En pratique, on utilise le barn correspondant à un carré de 10 femtomètre de côté ( $1 \text{ b} = 10^{-28} m^2$ ), plus adapté à l'échelle atomique.

En électronique, la sensibilité d'un composant lors d'une exposition à des rayonnements ionisants est aussi caractérisée par la section efficace. Elle correspond à la probabilité qu'une particule incidente vienne corrompre la valeur stockée dans une cellule et ainsi provoquer une erreur. La section efficace est toujours donnée pour une fluence donnée. Dans les faits, seuls les événements comptabilisés donc observés peuvent être pris en compte.

Sa formulation dépend de la particule incidente ; pour les ions, la section efficace est fonction du LET. En effet, les ions lourds cèdent leur énergie au milieu (par ionisation) de façon relativement stable tout au long de leur trace. En revanche, pour les neutrons et protons le calcul est plus complexe car ce sont les interactions nucléaires avec le noyau produisant un recul du noyau du matériau (ion) qui peuvent produire des ionisations secondaires. Ce type d'interaction possède une forte dépendance à l'énergie du nucléon incident qui sera donc utilisé en abscisse de la section efficace.

$$\sigma_{ion}(LET) = \frac{\text{Number of event}}{\Phi_{ion}}$$

Équation 1.3: Section efficace d'un ion en fonction de son LET.

$$\sigma_{nucleon}(E) = \frac{\text{Number of event}}{\Phi_{nucleon}}$$

Équation 1.4: Section efficace d'un nucléon en fonction de son énergie.

Avec E l'énergie du nucléon,  $\Phi$  la Fluence étant le nombre de particules en question ayant traversé la surface correspondant à la partie du circuit ou le circuit complet dont on désire calculer la section efficace, exprimée en  $cm^2/circuit$ , mais pour les erreurs liées au changement de valeur d'un ou plusieurs bits (SEU : Single Event Upset, MBU : Multi-Bit Upset, MCU : Multi-Cells Upset, SMU : Single-

word Multi bit Upset), dans des composants de stockage comme des mémoires ou des registres de configuration, il est préférable de normaliser la section efficace à une case mémoire ( $N_{bit}/N_{word}$ ) afin de pouvoir extrapoler la probabilité d'erreur pour un bit dans un temps donné, la section efficace est alors exprimée en  $cm^2/bit$ . Cela permettant ainsi de choisir une fréquence à laquelle la donnée est rechargée ou corrigée, en fonction des possibilités du design et *a fortiori* du taux d'acceptation d'erreur fixé par le projet.

#### 1.2.2.4 Weibull fit

La Figure 1.2 illustre la forme générale de la section efficace du composant. Dans le cas d'ion lourd incident, la probabilité qu'une particule incidente vienne déclencher une erreur ( $\sigma$ ) en échelle logarithmique est fonction du LET ( $\sigma(LET)$ ), c'est-à-dire fonction de son pouvoir d'arrêt linéique.

Ce graphique possède une asymptote verticale correspondant au seuil de déclenchement à partir duquel l'énergie déposée par la particule provoque des erreurs ( $LET_{th} > 0$ ). La position du  $LET_{th}$  sur l'abscisse nous donne donc la sensibilité du circuit en fonction de l'énergie de l'hadron incident ou en fonction du pouvoir d'arrêt linéique de l'ion incident.

La Figure 1.2 possède aussi une asymptote horizontale donnant la saturation de la section efficace ( $\sigma_{sat} > 0$ ) à partir de laquelle la probabilité d'une erreur stagne quel que soit le LET de l'ion ou l'énergie de l'hadron incident.

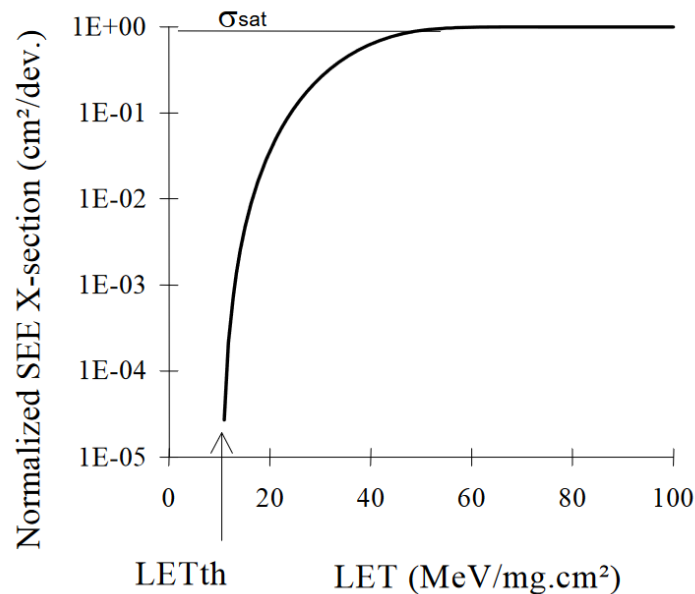


Figure 1.2: Exemple d'allure d'une section efficace d'un SEE en fonction du LET.

Une fois les points mesurés dans les accélérateurs fournissant des ions lourds, on doit trouver les valeurs correspondantes afin d'extrapoler à la « distribution de Weibull » comme indiqué à l'Équation 1.5 suivante :

$$\sigma_{SEU}(LET) = \begin{cases} \sigma_{sat} \left[ 1 - e^{-\left(\frac{LET-LET_{th}}{\lambda}\right)^k} \right] & : LET > LET_{th} \\ 0 & : LET \leq LET_{th} \end{cases}$$

Équation 1.5: Weibull fit en fonction des paramètres extrapolés de la mesure d'ions lourds.



Cette distribution est un modèle statistique généralement utilisé pour décrire la distribution en temps des défaillances. Elle possède des paramètres d'ajustement  $\lambda > 0$  la portion de la courbe croissante qu'on appelle aussi paramètre d'échelle, et  $k > 1$  étant le paramètre de forme de la distribution. Les données de section efficace d'un SEE pour une ionisation directe (ions lourds), car elle offre une grande flexibilité dans l'ajustement du  $LET_{th}$  et se stabilise naturellement avec le plateau de  $\sigma_{sat}$ . Elle est aussi utilisée pour avoir une description empirique de la section efficace induite par des protons en utilisant comme variable (en abscisse), l'énergie du proton, au lieu du LET décrit par l'Équation 1.6 suivante :

$$\sigma_{SEU}(E) = \begin{cases} \sigma_{sat} \left[ 1 - e^{-\left(\frac{E-E_{th}}{\lambda}\right)^k} \right] & : E > E_{th} \\ 0 & : E \leq E_{th} \end{cases}$$

Équation 1.6: Weibull fit en fonction des paramètres extrapolés de la mesure de nucléons.

Une autre unité appelée « Specific Ionization », décrite par l'Équation 1.7 est calculée cette fois-ci en divisant le LET par l'énergie moyenne nécessaire à la création d'une paire d'électron-trou ( $w$ ), d'environ 35 eV, correspondant à l'énergie nécessaire pour arracher un électron du cortège électronique d'un atome. Cette unité d'ionisation spécifique représente le nombre d'ionisations que réalise la particule incidente par unité de longueur.

$$S.I. = \frac{dE/dx \text{ [eV/cm]}}{w \text{ [eV/i.p.]}}$$

Équation 1.7: « Specific Ionization » liée à l'énergie nécessaire à la production d'électron-trous. [3]

Pour les particules chargées, à mesure que la vitesse des particules diminue, la particule gagne en capacité à transmettre son énergie au milieu, et ainsi ioniser le matériau. L'énergie déposée dans le matériau cible dépend donc aussi des propriétés de ce dernier, et le caractère ionisant dépend donc à la fois du pouvoir de pénétration du rayonnement ainsi que du pouvoir d'arrêt de la matière cible. C'est à partir de cette dernière que l'on va définir l'épaisseur ainsi que le type de matériaux permettant de se protéger du rayonnement en question. Lors des tests du circuit en irradiation, le pouvoir d'arrêt du plastique et du silicium nous est utile afin de savoir si le package du circuit nous protège des radiations, alors que nous cherchons justement les dégâts causés par ces dernières.

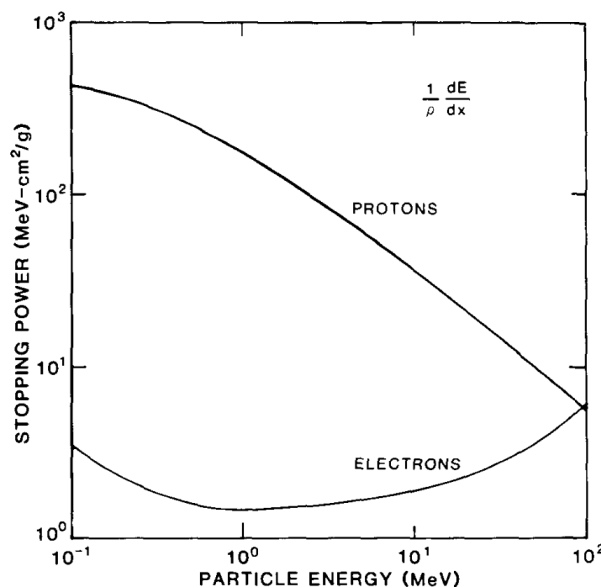


Figure 1.3: Pouvoir d'arrêt en fonction de l'énergie des protons et électrons incidents dans le silicium. [4]

Afin de prévoir l'impact des particules ionisantes dans un circuit électronique, il est important de connaître les propriétés d'ionisation du milieu. Le pouvoir d'arrêt d'un certain nombre de matériaux en fonction de l'énergie de la particule incidente a été mis à disposition à la communauté comme la Figure 1.3 donnant le pouvoir d'arrêt massique des protons et des électrons dans le silicium, en divisant le pouvoir d'arrêt par la densité du matériau-cible.

### 1.2.3 Ionisation

L'ionisation est le mécanisme qui consiste à ajouter ou enlever des charges d'un atome ou d'une molécule. Lorsque des particules interagissent avec un matériau solide, elles peuvent provoquer une ionisation en transférant suffisamment d'énergie pour arracher des électrons de leur bande de valence. Cela crée des ions chargés positivement (cations) et des électrons. Les processus d'ionisation peuvent être directs lorsque la particule fournit l'énergie nécessaire ( $> E_{\text{Gap}}$ ), elle est en général causée par des ions lourds, ou encore des photons, mais rarement par des protons et jamais des neutrons.

#### 1.2.3.1 Direct VS indirecte

En revanche, les protons peuvent ioniser indirectement le silicium en transférant leur énergie cinétique aux électrons ou atomes du matériau, créant ainsi un électron de recul ou un ion de recul, d'un numéro atomique inférieur au silicium ( $^{24}\text{Mg} + \alpha$  ou  $^{12}\text{C} + ^{16}\text{O}$ ), en fonction de la cible de l'interaction illustrée en Figure 1.4. En général l'ionisation indirecte se produit pour des énergies des protons supérieures à environ 10 keV, mais la probabilité d'ionisation indirecte augmente avec l'énergie du proton et peut causer des dommages plus importants au matériau.

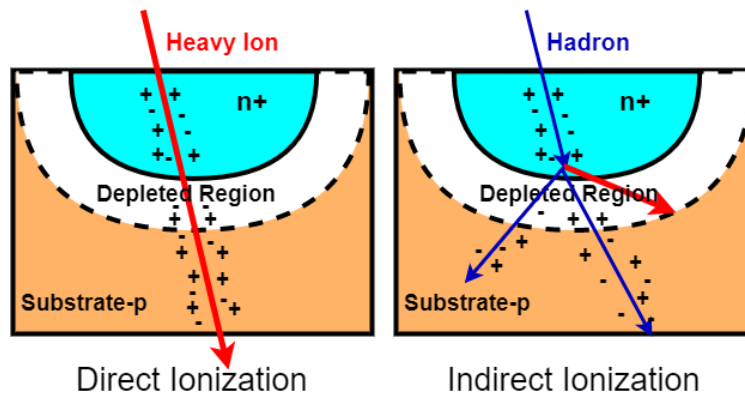


Figure 1.4: Représentation d'une ionisation directe d'un ion lourd par rapport à une ionisation secondaire d'un hadron au sein d'un semi-conducteur dopé.

### 1.2.4 Quelles particules, quelles interactions ?

Dans ce paragraphe, nous allons comparer les effets des rayonnements issus de particules chargées par rapport aux effets des photons en fonction des interactions qu'elles ont avec la matière cible.

#### 1.2.4.1 Photon

Dans notre cadre, c'est l'ionisation de la cible qui nous intéresse ainsi que les dégradations subies par cette dernière. Les rayons-X peuvent être également utilisés pour simuler la contrainte radiative mais le pire-cas n'est obtenu qu'avec le rayonnement  $\gamma$  car la dose cumulée déposée ne dépend que très peu du matériau cible, étant donné la très haute énergie de ce type de rayonnement. Les photons interagissent avec les atomes de la cible et génèrent ainsi un rayonnement  $\beta^-$  caractérisé par un électron suivant trois processus. Le processus d'ionisation dépend majoritairement de l'énergie du photon incident comme l'illustre la Figure 1.5[6].

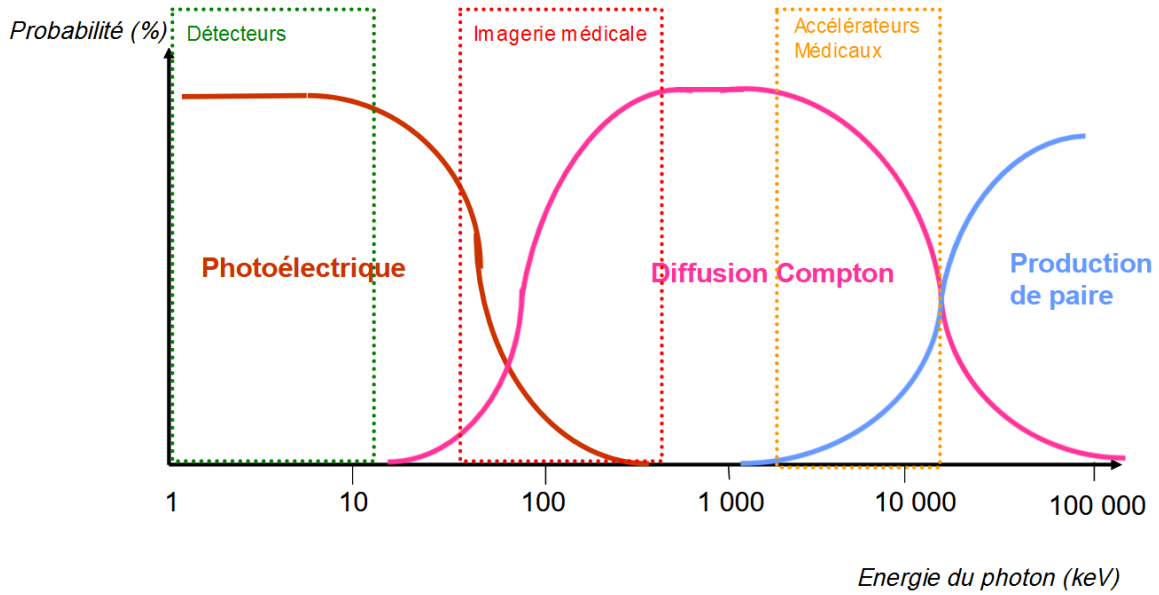


Figure 1.5: Probabilité du type d'interaction du photon avec la matière en fonction de son énergie.

Je ne vais pas aborder l'effet de Rayleigh dans ce chapitre, car il ne concerne que les interactions d'un photon de basse énergie (10 à 100 eV) avec la matière. Si le photon est de l'ordre du keV, l'effet majoritaire est photoélectrique et correspond à l'absorption totale d'un photon incident avec excitation d'un électron ou ionisation de l'atome. L'espace vacant laissé par l'électron éjecté est ensuite comblé par un électron de la couche extérieure et peut donner lieu à des cascades de remplissage de couche par les électrons si l'interaction photoélectrique a arraché un électron d'une couche intérieure de l'atome comme l'illustre la Figure 1.6. Cet effet donne lieu à l'émission d'un photon caractéristique à la couche sur laquelle il s'est déplacé (K, L, M...). Dans une interaction photoélectrique, la particule incidente (photon ou autre particule électromagnétique) est absorbée par l'atome transmettant son énergie cinétique à un électron périphérique émis appelé photoélectron.

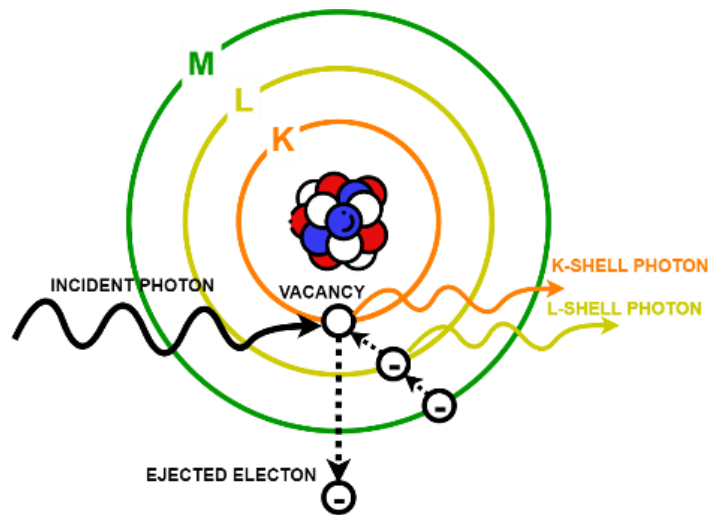


Figure 1.6: Effet photoélectrique au niveau atomique [62]

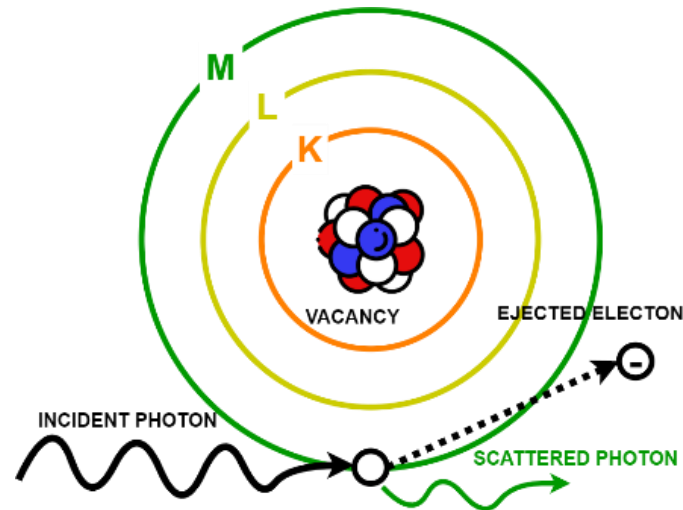


Figure 1.7: Effet Compton au niveau atomique [62]

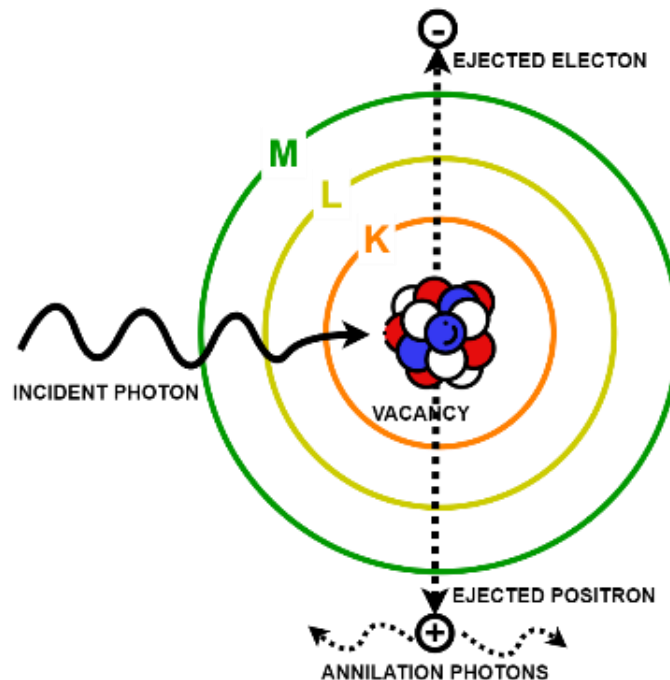


Figure 1.8: Effet de matérialisation au niveau atomique [62]

A *contrario*, l'effet Compton n'absorbe pas la totalité du photon incident. Il intervient lorsqu'un photon de quelques centaines de keV entre en collision avec un électron d'un atome, cet électron est alors éjecté de l'atome qui est donc ionisé. C'est en se recombinant avec un électron d'un atome du voisinage qu'un photon est diffusé avec une longueur d'onde et donc une énergie plus faible que le photon incident comme l'illustre la Figure 1.7.

Enfin en Figure 1.8, la matérialisation ou effet de création d'une paire électron/positron. Elle est le processus majoritaire pour les photons incidents d'énergie supérieure à 20 MeV dans le silicium et se déroule en différentes étapes. Il y a d'abord conversion de l'énergie du photon en énergie de masse et énergie cinétique, la création d'une paire d'électron-positron se produit à partir du moment où l'énergie incidente est  $E_0 > 2 \cdot mc^2$ . Ils perdent progressivement leur énergie dans le milieu jusqu'à ce que le positron s'annihile avec un électron du milieu en émettant 2 photons de 511 keV dans des directions opposées, qui pourront par la suite s'échapper ou réagir par un effet Compton dans le silicium.

1.2.4.1.1 Section efficace du photon

La section efficace du photon dans un milieu est donc relative à l'énergie de la particule incidente ( $E_0$ ) ainsi qu'au numéro atomique ( $Z$ ) donnant la surface apparente de la particule cible afin d'avoir une probabilité d'interaction avec le photon. Les expressions par effets sont données par l'Équation 1.8 :

$$\sigma_{photo} \propto \frac{Z^{4.5}}{E_0^3} \quad \sigma_c \propto \frac{Z}{E_0^3} \quad \sigma_{pair} \propto Z^2$$

Équation 1.8: Section efficace de chaque phénomène en fonction du numéro atomique et d'énergie du photon incident.

Donnant une section efficace totale d'un atome par l'Équation 1.9:

$$\sigma_{total} = \sigma_{photo} + \sigma_c + \sigma_{pair}$$

Équation 1.9: Section efficace totale du photon étant la somme des différents phénomènes.

Ainsi, la probabilité d'une interaction photoélectrique diminue à mesure que l'énergie du photon augmente, elle augmente avec  $Z$  comme l'illustre la Figure 1.9. Cela explique donc le fait que le nombre atomique des scintillateurs ou autres matériaux photosensibles est souvent élevé comme le  $Z(\text{PbWO}_4) = 73$ . Afin de nous placer dans notre cas où c'est l'électronique fabriquée en silicium qui interagit avec les radiations environnantes, on place donc le curseur du nombre atomique à  $Z(\text{Si})=14$ .

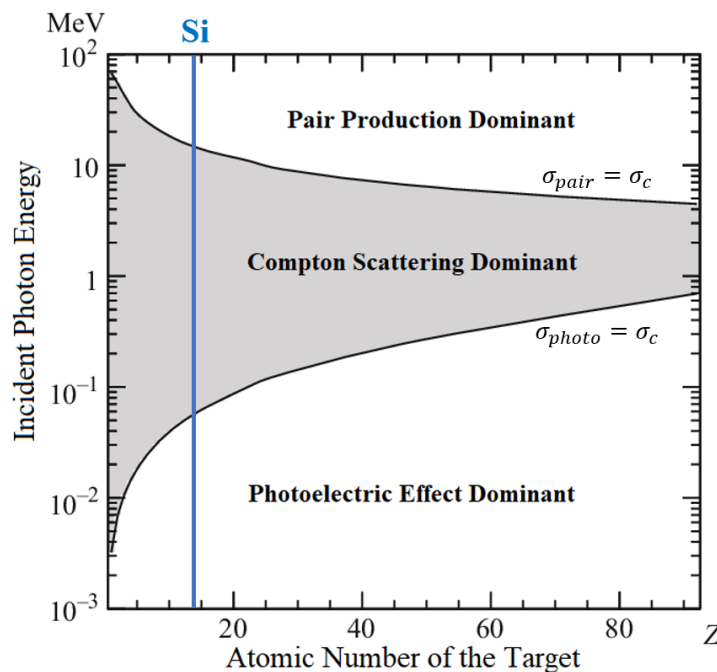


Figure 1.9: Graphique du type d'effet dominant en fonction de l'énergie du photon incident et du numéro atomique du matériau. [63]

1.2.4.2 Particule chargée

La plupart du temps, l'interaction des particules chargées avec la matière se fait avec les électrons du cortège de l'atome et rarement avec le noyau de ce dernier, car l'espacement du réseau cristallin est supérieur de cinq ordres de grandeurs par rapport à la taille du noyau.

L'interaction principale est donc la diffusion Coulombienne. C'est une interaction élastique (où l'énergie cinétique est conservée) qui peut être faite avec les électrons liés du matériau comme l'illustre la Figure 1.11, ou avec le noyau de l'atome en déviant la particule incidente et pouvant faire reculer les atomes de leur position initiale sur le réseau cristallin, appelés atome de recul. Si la particule

chargée incidente est suffisamment énergétique (la barrière de Coulomb étant de 2 MeV pour les protons dans le Silicium), elle peut également subir une collision nucléaire faisant éclater le noyau en émettant des particules de masse inférieure au Silicium, illustrée par la Figure 1.10.

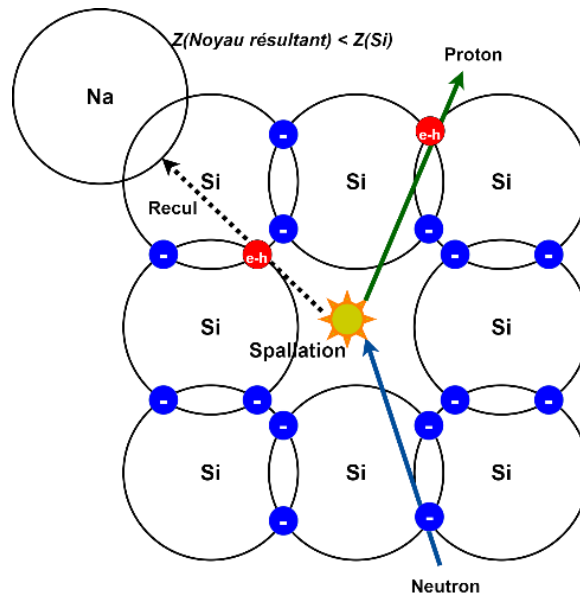


Figure 1.10: Collision nucléaire d'un Neutron sur un noyau de Silicium avec production d'un noyau de Sodium. [62]

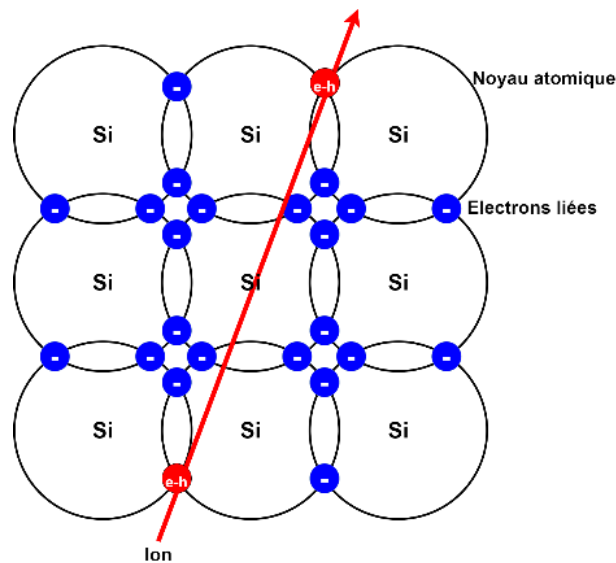


Figure 1.11: Représentation de la diffusion de Coulomb induite par un ion ionisant les électrons de valence du Silicium.[62]

### 1.2.5 L'exposition aux radiations

Afin d'approfondir les effets liés à l'ionisation, nous allons citer les terminologies utilisées pour décrire une exposition à des rayonnements ainsi que les dommages engendrés par cette dernière. Le Tableau 1.2 met en évidence que le flux caractérise la densité de courant des particules incidentes sur une surface exprimée en Particule/cm<sup>2</sup>.s. La Fluence correspondra ainsi à l'intégrale du flux sur une période de temps donnée. Pour la mesure de l'exposition aux neutrons, on utilise la fluence neutronique (n/cm<sup>2</sup>), le temps d'exposition correspondant à la durée de l'impulsion rayonnante.

De plus, les dommages de déplacements causés par les neutrons varient du tout au tout en fonction de l'énergie du neutron, c'est pourquoi on l'exprime souvent en fonction de l'effet équivalent au spectre de neutrons d'une énergie de 1 MeV.

Concernant l'unité de dose ionisante absorbée, on utilise en majorité le rad pour « Radiation-Absorbed Dose », représentant l'énergie totale déposée lors de l'ionisation par unité de masse équivalent à une énergie absorbée de 100 ergs pour un gramme de matériau. En revanche, la perte d'énergie est dépendante du matériau soumis à la dose. On va donc spécifier le type de matériau lors de l'utilisation de cette unité : rad (Si). L'unité du système international utilisé habituellement pour une dose absorbée est le gray (Gy) étant égal à 1 J/kg, soit 100 rad.

TYPE OF RADIATION EXPOSURE	UNITE OF MEASURE
<b>FLUX</b>	Particles/cm <sup>2</sup> .s
<b>FLUENCE</b>	Particles/cm <sup>2</sup>
<b>ENERGY SPECTRUM</b>	Particles/cm <sup>2</sup> .MeV
<b>NEUTRON</b>	
• <b>FLUENCE</b>	n/cm <sup>2</sup>
• <b>1-MEV EQUIVALENT FLUENCE</b>	n/cm <sup>2</sup>
<b>IONIZING RADIATION</b>	
• <b>STOPPING POWER - LINEAR ENERGY TRANSFERT (LET)</b>	MeV.cm <sup>2</sup> /g
• <b>MASS STOPPING POWER</b>	MeV/(g/cm <sup>2</sup> )
• <b>TOTAL RADIATION ABSORBED DOSE</b>	rad <sup>[1]</sup>
• <b>IONIZING DOSE-RATE</b>	rad(Si)/s
• <b>SPECIFIC IONIZATION</b>	Ion pair/cm

Tableau 1.2: Tableau récapitulatif des mesures utilisées dans l'étude des rayonnements.

<sup>[1]</sup> 1 rad(Si) = 100 ergs/g(Si) = 0.01 J/kg(Si) ; SI unit : 1 J/kg = 100 rad = 1 gray (Gy)

### 1.2.6 Conclusion sur les rayonnements

Afin de comprendre l'environnement particulier dans lequel l'expérience prendra place et quels sont les outils permettant de quantifier les rayonnements qui vont transiter à travers le circuit, je vais faire un rapide récapitulatif des différentes particules qui le compose. Ces rayonnements vont se comporter différemment en fonction du type de particule qui les compose, mais aussi des matériaux qu'ils vont traverser et avec lesquels ils vont potentiellement interagir. La Figure 1.12 résume les différentes particules qui vont céder leur énergie dans le silicium et par des ionisations directes ou indirectes comme dans le cas des neutrons et protons.

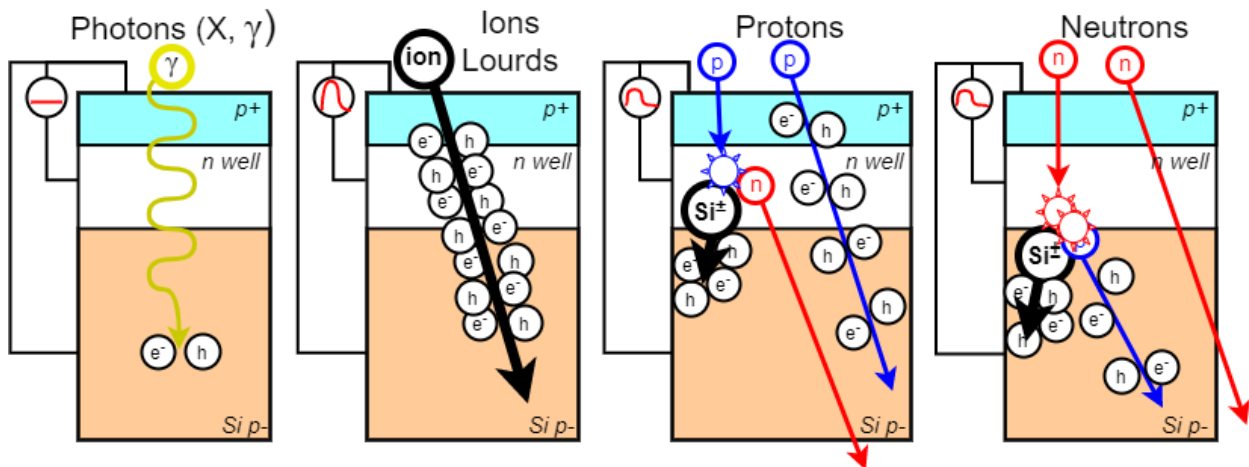


Figure 1.12: Récapitulatif des effets d'ionisation d'un transistor en fonction de la particule incidente.

Lorsqu'un photon traverse le silicium et son oxyde nous avons vu précédemment que le type d'interaction dépend de l'énergie de la particule incidente, et que lorsqu'elle est supérieure à 1 MeV c'est la génération d'une paire d'électron-trou qui est majoritaire. En revanche, dans ce type de phénomène, la génération de paires est faible en densité, mais c'est par l'accumulation de ces dernières que les problèmes interviennent.

Dans le cas de l'ion lourd, il ionise le silicium avec une densité de génération très élevée. Ces particules sont souvent utilisées pour simuler les circuits aux événements singuliers induit par l'ionisation du substrat que je vais aborder dans le chapitre 4.2.7 sur notre campagne de test à l'Université Catholique de Louvain.

Les dommages dus aux radiations au sein du LHC sont majoritairement engendrés par des protons, des neutrons et des pions. Les protons ayant une charge unique ( $Z=1$ ), et donc un faible LET ( $< 0.5 \text{ MeV.cm}^2/\text{mg}$ ), c'est lors d'un choc nucléon-noyau de la particule avec le noyau de silicium et que l'ion silicium résultant vient ioniser à son tour le milieu en générant une forte densité de paires d'électron-trou, c'est une ionisation indirecte.

### 1.3 EFFETS SUR L'ELECTRONIQUE

Maintenant que les causes de ces dégradations de l'électronique au sein d'un environnement radiatif sont bien comprises, nous allons approfondir les différents effets sur les circuits électroniques en les classant selon la nature de la dégradation qui peut être cumulée ou singulière. Avant d'aborder la classification des types de problèmes liés à l'irradiation de circuits électroniques, nous allons essayer d'éclaircir le phénomène lié à l'ionisation et aux dommages de déplacement des semi-conducteurs au passage d'une particule.

#### 1.3.1 Effets Cumulatifs

Les effets dits cumulés sont donc associés à une exposition continue à un faisceau de particules énergétiques. Il existe deux types de dégradations dans les effets de dose cumulatifs, les effets ionisants sont appelés TID pour « Total Ionizing Dose » et les effets non-ionisants (NIEL) appelés dommages de déplacement. Maintenant que nous savons que l'effet dominant des particules chargées est l'ionisation, et que les dommages de déplacement sont associés à une exposition à des neutrons de haute énergie, nous allons maintenant analyser les conséquences dues à ces effets.

Je vais décrire ce phénomène de façon succincte comme étant un défaut couramment observé dans les transistors bipolaires, les CCD ou les matériaux à structure cristalline, mais très peu en technologie CMOS [4] que nous utilisons.

De plus, comme nous l'avons vu dans le chapitre précédent, ce type de dégradation est en majorité dû à un environnement radiatif composé en majorité de neutrons de haute énergie, et les CMOS peuvent en général demeurer indemnes jusqu'à un taux de  $10^{15}$  neutrons/cm<sup>2</sup>.

La Dose Dommages de Déplacement (DDD) est liée au transfert d'énergie de la particule incidente par une collision déplaçant le noyau. Le résultat d'interaction nucléaire entre la particule incidente dite « primaire » et le matériau cible, arrachant l'atome à son réseau, changeant la structure atomique du matériau cible et donnant lieu à des sites interstitiels et des lacunes [4]. Cet atome interstitiel peut à son tour induire d'autres déplacements tant que son énergie cinétique est suffisamment grande. Ce sont des dommages cumulatifs issus d'interactions non-ionisantes, c'est pourquoi on peut les quantifier à l'aide de la perte d'énergie non-ionisante (NIEL). Ces défauts peuvent, dans les cas extrêmes, changer les caractéristiques du matériau. Si les défauts sont accumulés dans la masse d'oxyde de grille, ils peuvent entraîner un court-circuit massif à travers cette couche censée être



isolante. Cela fera fondre la région localement par effet joule et détruira de façon irrémédiable la structure.

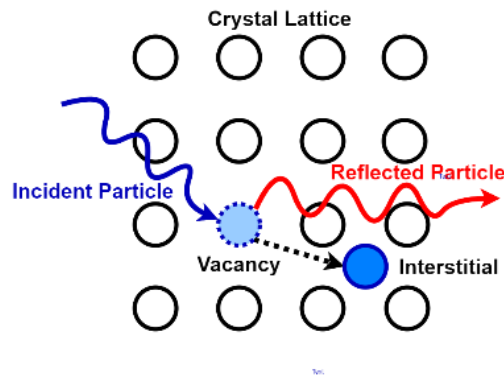


Figure 1.13: Représentation d'une interaction non-ionisante d'une particule incidente dans la structure cristalline d'un matériau. [4]

Nous allons maintenant aborder les effets résultants de l'ionisation des matériaux composant les circuits électroniques, particulièrement en technologie silicium, afin de s'adapter à la problématique de notre circuit. C'est en général les hadrons chargés, les électrons et les Gammas ou encore neutrons qui vont venir déposer leur énergie par ionisation dans le  $\text{SiO}_2$ , mais l'utilisation de rayons-X est courante, car génère aussi *in fine* une paire d'électron-trou. Nous aborderons dans un deuxième temps le cas du transistor CMOS avec chacune de ses polarités NMOS et PMOS.

### 1.3.1.1 Théorie des bandes

Une théorie en physique du solide est souvent utilisée en électronique pour décrire l'état d'un solide par les valeurs énergétiques que peuvent prendre les électrons de ce dernier. On l'appelle la théorie des bandes, et elle est souvent utilisée pour expliquer les différents comportements que peuvent prendre les matériaux dans la microélectronique : isolant, semi-conducteur, conducteur. En effet, la répartition de ces bandes dépend de la nature du solide considéré et se caractérise par :

- La bande de valence correspondant au premier niveau énergétique entièrement occupé par des électrons. Ce sont les électrons qui sont situés sur la couche externe de l'atome et sont à l'origine des liaisons interatomiques formant les molécules.
- La bande de conduction, située à un niveau énergétique plus élevé, est composée d'électrons considérés comme libres car permettant, soumis à un champ électrique, la circulation du courant électrique au sein du matériau.
- La bande interdite, n'étant présente que dans les isolants et les semi-conducteurs, est placée entre la bande de valence et la bande de conduction. Dans un semi-conducteur comme le silicium, la largeur de la bande interdite est étroite ( $\sim 1.12$  eV) et large pour un isolant ( $> 6$  eV).

La finesse de la bande interdite permet de faire passer le niveau de Fermi, représentant le niveau d'énergie le plus élevé occupé par un électron, de la bande de valence à la bande de conduction lui permettant de circuler dans le matériau. De manière générale, un semi-conducteur possède une bande interdite inférieure à 2,5 eV à température nulle, rendant possible le passage des électrons de la bande de valence à la bande de conduction en dopant le semi-conducteur ou en faisant augmenter la température jouant un rôle important dans les caractéristiques de bande. En effet, l'agitation thermique conduit à exciter les électrons qui peuvent ainsi changer de bande. La Figure 1.14 illustre la représentation en diagramme de bande d'un transistor NPN avec les zones dopées N et P, étant les zones déplétées permettant le passage ou le blocage des charges libres en fonction de l'alimentation de la structure créant un champ électrique.

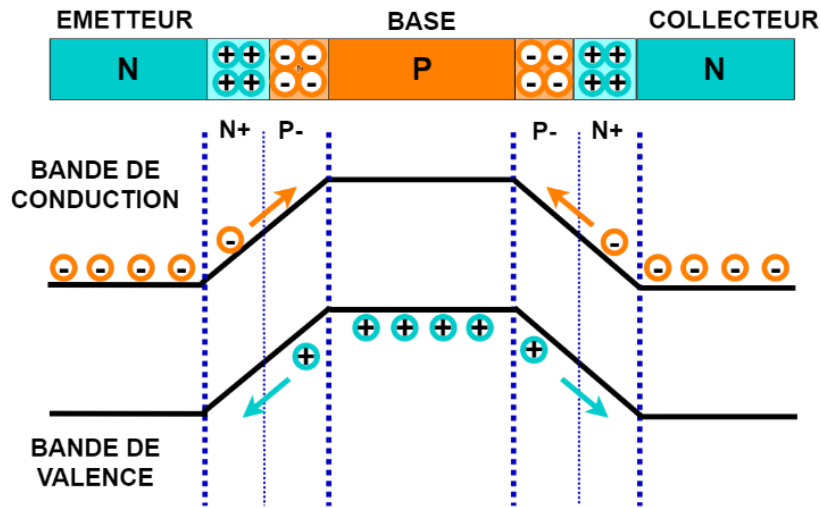


Figure 1.14: Représentation en diagramme de bande d'un transistor NPN avec les zones de dopage et déplétées.

Lorsqu'un semi-conducteur est dopé, c'est le niveau de Fermi qui va être modifié. Pour un semi-conducteur dopé N, ce sont les électrons qui seront les porteurs majoritaires décalant le niveau de Fermi proche de la bande de conduction. Dans le cas du dopage P, ce sont les trous qui sont les porteurs majoritaires décalant donc le niveau de Fermi proche de la bande de Valence. Si l'on applique cette schématisation à une jonction PN, le niveau de Fermi devant rester unique, c'est la structure des bandes qui va se déformer. C'est la zone de déplétion qui apparaît au centre, donnant l'énergie potentielle nécessaire au fonctionnement de cette dernière. C'est le champ électrique au sein de la jonction PN qui va produire le phénomène de collection de charge via deux mécanismes : la dérive et la diffusion, qui vont être abordées par la suite. La Figure 1.15[4] illustre bien la notation en diagramme de bandes pour les différents phénomènes liés aux défauts de charge dans le silicium. La génération d'une paire d'électron-trou due à l'ionisation du matériau, la recombinaison de charges libres (un trou venant de la bande de valence et un électron provenant de la bande de conduction) dépendant de la densité de recombinaison, et enfin le déplacement des pièges d'oxyde par piégeage successif à des niveaux d'énergie proches de leurs bandes respectives.

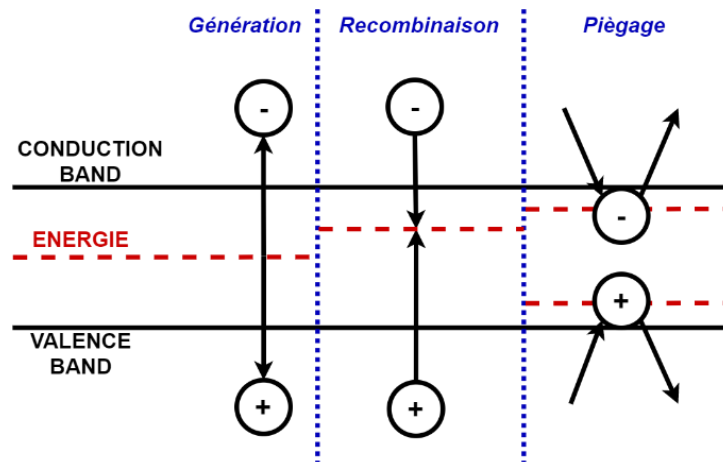


Figure 1.15: Représentation en diagramme de bande des effets des ionisations dans un semi-conducteur.[4]

### 1.3.1.2 Création de paires d'électron-trou

Dans l'étude de la dose ionisante cumulée, on se concentre sur l'impact que va avoir l'accumulation de paires d'électron-trou dans un circuit. Le processus d'ionisation peut avoir lieu dans un semi-conducteur comme dans un isolant d'un composant électronique, et va être décrit avec un diagramme

des bandes de valence et de conduction. Dans la Figure 1.16 on observe la particule incidente ioniser un électron, passant de la bande de valence à la bande de conduction en passant via la bande interdite.

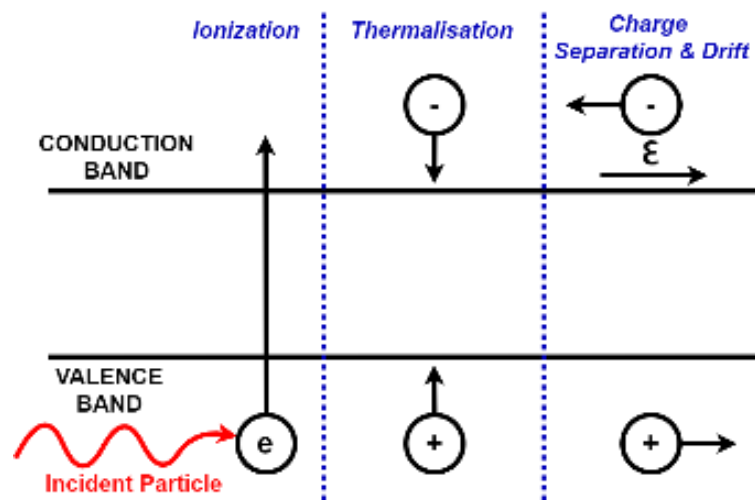


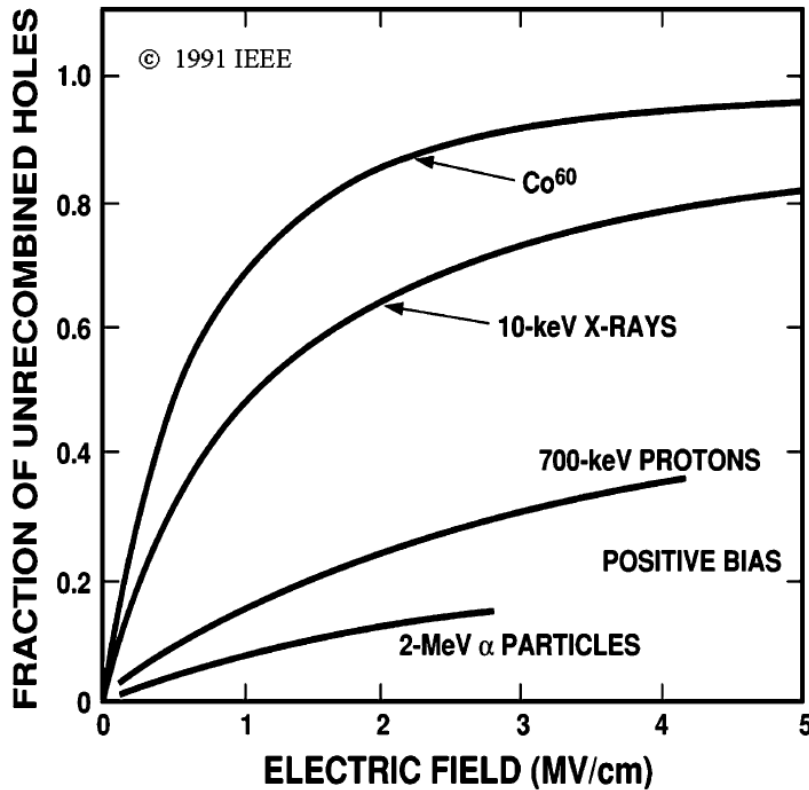
Figure 1.16: Représentation en diagramme de bandes des trois phénomènes successifs suivant l'ionisation d'un semi-conducteur polarisé. [4]

Cette excitation laisse donc un électron dans la bande de conduction et un trou dans la bande de valence. Ce phénomène est appelé « génération d'une paire électron-trou », perdant dans un second temps leur énergie cinétique excédentaire par diffusion dans le réseau cristallin, aussi appelé thermalisation, tombant au voisinage des bords de leur bande respective. Dans une dernière étape, ces paires d'électron-trou vont subir une recombinaison initiale à l'exception d'une fraction plus ou moins importante des électron-trou, si le matériau est respectivement un isolant ou un semi-conducteur, pour des raisons que nous allons approfondir dans le chapitre suivant. Ainsi, l'électron et le trou seront libres de se diffuser et de dériver loin de leur point de génération jusqu'à être piégés ou bien se recomposer plus loin dans le matériau.

### 1.3.1.3 Rendement de charge

Une partie des paires d'électron-trou se recombine immédiatement, ne créant ainsi pas d'accumulations de charges et donc de pièges. Le « Charge Yield » ou Rendement de charge, représente la capacité des porteurs de charge à ne pas se recombiner directement. En effet, si les paires ne se recombinent pas rapidement, l'électron ayant une grande mobilité va être balayé loin du point de génération. Cette valeur est directement reliée au type de rayonnement défini par son LET ainsi que le champ électrique qui est appliqué par l'intermédiaire de la polarisation de la grille dans le cas du transistor.

Comme l'illustre la Figure 1.17, plus le LET est élevé, plus la densité de la trace laissée par la particule est élevée et donc le nombre de recombinaisons est plus faible, comparativement au nombre de porteurs de [8].



« Figure 1.17: Graphique du taux de recombinaison des trous dans le SiO<sub>2</sub> en fonction du champ électrique et du type de particule (mobilité). [8]

Plus le champ est élevé, plus la séparation de charge est forte : elles n'ont ainsi pas le temps de se recombiner. Comme illustrée dans le Tableau 1.3, la mobilité des trous étant bien plus faible que celle des électrons, ils peuvent donc être considérés comme immobiles durant les instants suivant la création de la paire. Le phénomène de recombinaison directe est ainsi directement dépendant de la mobilité des trous.

#### 1.3.1.4 Cas du transistor MOS

Les effets de dose cumulée sont un phénomène bien connu sur les technologies CMOS [9]. Elles sont particulièrement sensibles à ce phénomène en raison des isolants/diélectriques présents dans leurs transistors. En effet, la technologie Silicium utilise la Silice SiO<sub>2</sub> comme oxyde de grille ou comme isolant de séparation. Étant isolant, ce matériau ne possède pas suffisamment de charges libres pour permettre un retour à l'équilibre de la charge par recombinaison (Charge Yield faible), par conséquent, c'est dans l'oxyde de silicium (SiO<sub>2</sub>) que les charges induites peuvent être piégées pendant de longues périodes. On peut donc associer la quantité de dommages liés à l'ionisation au rendement de charge, et donc au nombre de paires générées par dose unitaire absorbée.

Le Tableau 1.3 répertorie ainsi les caractéristiques de la création de charge par interaction rayonnement-matière des deux variations du silicium utilisées dans notre technologie [11].

Matériau	$\mu$ ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ )	$E_g$ (eV)	$E_p$ (eV)	$\rho$ ( $\text{g} \cdot \text{cm}^3$ )	$g_0$ (paires/ $\text{cm}^3$ )
Si	$\mu_e = 1500$ $\mu_h = 600$	1.12	3.6	2.33	$4.0 \times 10^{13}$
SiO <sub>2</sub>	$\mu_e = 2 \text{ à } 40$ $\mu_h = 10^{-8}$	9	17	2.27	$8.1 \times 10^{12}$

Tableau 1.3: Grandeurs caractéristiques de la création de charge par interaction rayonnement-matière pour le silicium, et son oxyde (SiO<sub>2</sub>) à température ambiante.[9]

### 1.3.1.5 Forces et faiblesses des MOS

Les composants fabriqués en technologie CMOS sont généralement sensibles aux doses ionisantes, en revanche, les dommages de déplacement ne les affectent pas. Typiquement, la plupart des composants CMOS supportent des niveaux de dose de l'ordre de 5 à 10 krad, certains peuvent atteindre 30 à 50 krad et une petite minorité survivent jusqu'à 100 krad. Il existe heureusement pour notre expérience la fonderie TSMC en nœud technologique 130 nm qui a été testée par l'équipe radiation du CERN [11], possédant une tenue aux radiations allant jusqu'à des centaines de Mrad, comme illustré sur la Figure 1.18.

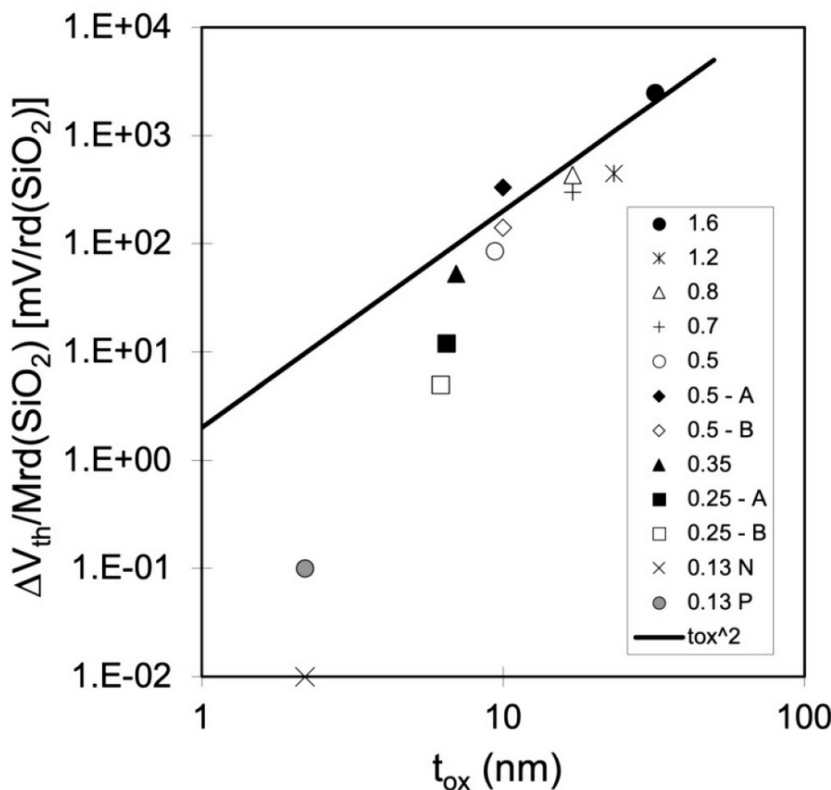


Figure 1.18: Tension de seuil de transistors issus du commerce en technologie CMOS. L'épaisseur de l'oxyde est relative au nœud technologique indiqué dans la légende en  $\mu\text{m}$ . [11]

Un des problèmes principaux des technologies CMOS non qualifiées en dose cumulée est un pic de courant de fuite. Ce courant de fuite est issu de l'accumulation de charges dans les oxydes augmentant jusqu'à un maximum aux alentours de 1 Mrad. Ce courant a tendance à diminuer par la suite de l'irradiation, car les pièges d'interface, plus lents, vont venir compenser les effets de pièges d'oxyde. Il est possible de détecter ce genre de panne avec une augmentation significative du courant

d'alimentation supérieur aux spécifications, ou encore le seuil de déclenchement  $V_{th}$  qui se décale vers une tension  $V_{GS}$  plus faible, que je vais illustrer dans le chapitre suivant. C'est la raison pour laquelle les circuits de haute précision, reposant sur des paramètres électriques très exigeants, font que leur sensibilité aux doses ionisantes est accrue.

### 1.3.1.6 Modélisation des phénomènes de pièges

Comme nous l'avons abordé dans le chapitre précédent, l'ionisation d'une structure CMOS donne lieu à la création de paires d'électron-trou au sein de l'oxyde. Ces paires suivent plusieurs phénomènes [13] que je vais lister en m'appuyant sur le diagramme de bande d'un NMOS Figure 1.19[13].

Les particules énergétiques traversant un circuit vont y déposer de l'énergie se traduisant par la génération de paires d'électron-trou. La quantité de charges est proportionnelle à la dose cumulée déposée et dépend du milieu qui constitue la cible. Dans le Silicium, les paires sont générées en excès (5 fois plus que dans le  $SiO_2$ ), mais finiront majoritairement par se recombiner. Dans notre cas, c'est l'isolant en oxyde de silicium qui est étudié au sein duquel chaque rad génère  $8.1 \times 10^{12}$  paires d'électron-trou (1).

Une partie des paires d'électron-trou (e-h), bien qu'en faible quantité dans l'isolant, se recombinent directement (2). Ainsi, les paires restantes se déplacent sous l'effet du champ électrique de polarisation du transistor. Du fait de leur différence de mobilité, particulièrement au sein de l'oxyde, les électrons en excès sont rapidement balayés (picosecondes) par diffusion en direction de la grille (3). C'est le champ électrique présent dans le matériau qui est responsable de la séparation des charges, et donc de la création d'un courant miroir. Ce sont ces courants qui peuvent induire des problèmes dans les régions de jonction semi-conductrices que nous allons aborder dans le chapitre sur les événements singuliers. Les trous se retrouvent alors piégés de façon peu profonde sur les défauts de la silice. Concernant les trous restants, ils vont se déplacer à une relativement faible vitesse et dans la direction opposée donnée par celle du champ électrique, par un phénomène qui peut être assimilé à des sauts de piège en piège (4). Ces trous se déplacent par saut de piège en piège peu profonds appelés « saut de polaron », étant capturés par ces derniers avant d'être émis vers la bande de valence, continuant ainsi son transport le long de la bande de valence vers l'interface Si/ $SiO_2$  (5). Ces trous arrivant finalement proche de l'interface Si- $SiO_2$  (6) vont à nouveau se retrouver piégés dans des pièges appelés « profonds » car c'est une région de transition entre le silicium monocristallin et la silice amorphe, faisant une rupture brutale dans la structure cristalline du silicium. Une partie des trous non-piégés arrivant à l'interface  $SiO_2$ -Si (Polarisation positive de Grille) vont se recombiner avec des électrons provenant du silicium par un effet tunnel (7) donnant naissance à un recuit (annealing) soignant les effets de TID dont nous allons préciser l'effet dans le chapitre suivant.

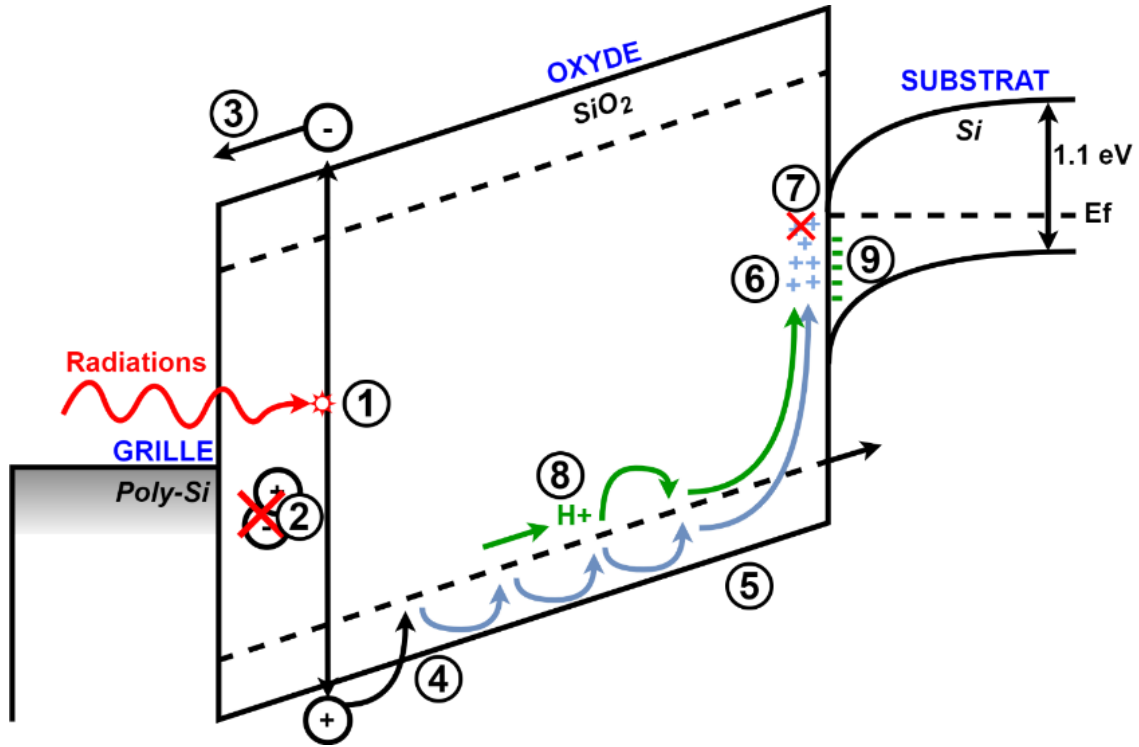


Figure 1.19 : Modèle comportemental en diagramme de bande d'un NMOS lors d'une ionisation cumulée par un rayonnement illustrant les phénomènes de pièges d'oxyde et d'interface. [13]

En parallèle de l'accumulation de pièges dans l'oxyde, il existe un autre phénomène plus lent dans le temps à l'interface SiO<sub>2</sub>-Si. C'est un phénomène secondaire induit par le piégeage ((HH)<sup>2</sup>) ou le déplacement (WML) des trous proches de la surface créant des ions hydrogènes (8). La création de ces ions est due à la l'hydrogène qui est abondamment utilisé pour le dopage lors du processus de fabrication de la technologie CMOS donnant ainsi l'Équation 1.10.



Équation 1.10 : Réaction de création d'ion Hydrogène au sein de l'oxyde à partir de charges piégées.

Dans un second temps, ces ions ayant une charge positive vont aussi se déplacer vers l'interface avec le silicium, changeant d'état pour devenir à son tour un piège d'interface (9). Ce phénomène est bien plus lent que la création de piège d'oxyde, car dépendant d'ions ayant une mobilité moindre par rapport aux trous.

### 1.3.1.7 Etats d'interface

Dans ce paragraphe nous allons approfondir le mécanisme de piège d'interface donnant lieu à des états d'interface, causant comme les pièges d'oxyde des défauts de fonctionnement. Ils ont la particularité d'être amphotères, c'est-à-dire que leur état dépend de la valeur du potentiel de surface du silicium, pouvant être positif, neutre ou négatif. De cette façon, les pièges se situant sur la partie inférieure de la bande interdite sont en majorité donneurs, et vont ainsi « donner » un électron quand le niveau de Fermi est en-dessous du niveau énergétique du piège. *A contrario*, les pièges présents sur la partie supérieure sont en majorité accepteurs, lorsque le niveau de Fermi à l'interface est au-dessus du niveau énergétique du piège, ils vont donc « accepter » un électron.

Ainsi, les états d'interface peuvent se présenter en tant que donneurs ou accepteurs en fonction de leur charge déterminée par la position du niveau de Fermi au niveau de l'interface par rapport au niveau de Fermi intrinsèque correspondant au potentiel de surface. Les états d'interface sont donc

directement dépendants de la polarisation de la grille par rapport au substrat et donc du type de transistor. La Figure 1.20 illustre donc les deux cas de polarisation correspondant au PMOS et NMOS [13].

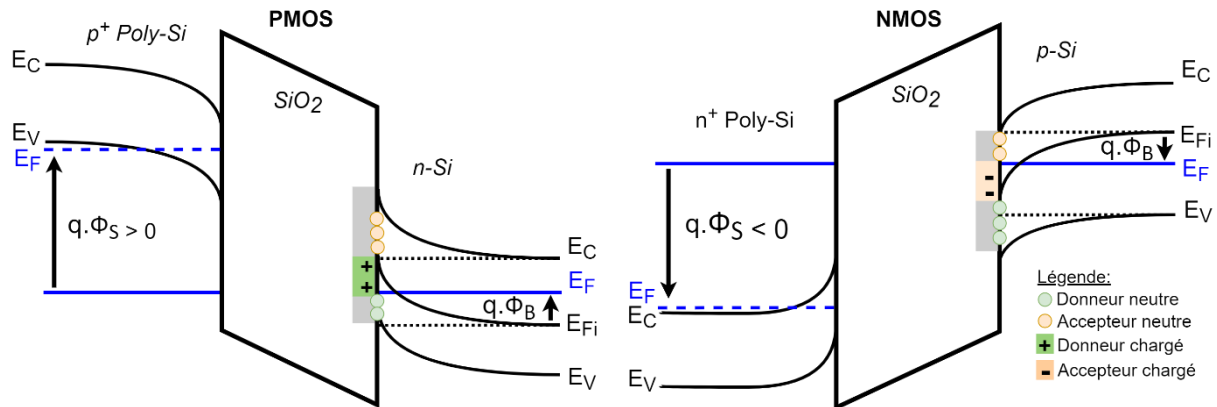


Figure 1.20 : Diagramme de bande des impacts des pièges d'interface sur les caractéristiques d'un P (à gauche) et N (à droite) MOS illustrés par le niveau de Fermi intrinsèque. [13]

C'est en polarisant en forte inversion que l'on voit apparaître les accepteurs chargés négativement dans la moitié supérieure du Gap pour le NMOS, et les donneurs chargés positivement dans la moitié inférieure dans la zone entre le niveau de Fermi  $E_F$  et le niveau intrinsèque de Fermi  $E_{Fi}$ , dépendant du potentiel de surface  $\Phi_S$  par rapport au potentiel du substrat  $\Phi_B$  donnant la quantité de charges libres piégées à l'interface.

Il est important de faire la distinction entre le NMOS et le PMOS car dans le premier cas, la polarisation positive de la grille provoque des états d'interface chargés négativement et pouvant ainsi compenser l'effet électrostatique des charges positives piégées par les trous. À l'inverse, dans un PMOS, la polarisation de la grille en inverse, donc avec une tension négative, va charger positivement les pièges d'interface, s'ajoutant aux trous déjà piégés dans l'oxyde.

Les pièges d'interface vont donc provoquer une asymétrie entre les PMOS et NMOS, accélérant la dégradation dans un cas et la réduisant dans un autre.

### 1.3.1.8 Emission par effet tunnel

Nous avons vu que le champ électrique au sein du transistor augmente la séparation des porteurs de charge et ainsi fait diminuer le taux de recombinaison des charges libres, mais il existe aussi un mécanisme de guérison reposant sur les électrons de valence du silicium, qui soumis à un champ, peuvent neutraliser les trous piégés dans l'oxyde à l'interface avec le silicium. On appelle ce mécanisme l'émission par effet tunnel, qui peut être assimilé à une guérison car faisant décroître la charge d'oxyde en fonction du temps [10].

### 1.3.1.9 Emission thermique

Ce type d'interaction physique est un phénomène qui a une dépendance à la température très importante. En effet, sous l'effet d'agitation thermique, un porteur de charge peut être émis d'un défaut de la silice sur lequel il est piégé, on appelle cela l'émission thermique. On a vu précédemment que lors du transport des trous par émission thermique puis piègeages successifs sur des niveaux peu profonds, mais ce mécanisme intervient aussi pour la guérison des charges piégées profondément à l'interface SiO<sub>2</sub>-Si. L'énergie d'activation pour les trous correspond à la différence entre le niveau d'énergie du piège avec celle de la bande de valence. Lorsqu'on va augmenter la température, on active thermiquement les trous piégés de la bande de Valence du SiO<sub>2</sub>, pouvant être modélisée par un



front d'émission thermique [10]. Les pièges étant entre la bande de valence et le front d'émission thermique ont ainsi une forte probabilité de se recombiner, alors qu'au-delà ils restent majoritaires. L'activation thermique est donc couramment utilisée, on appelle cette méthode le « Recuit » ou « Annealing » en anglais, pour accélérer le phénomène de guérison en fonction du temps.

### 1.3.1.10 Conséquences sur les performances

Dans ce paragraphe, je vais commencer par caractériser les effets des pièges d'oxyde et d'interface sur les performances des transistors. Ces pièges créent des courants de fuite dépendant de la forme du design du transistor mais il existe un autre type de courant de fuite plus dépendant de la technologie ainsi que de la taille du nœud technologique. Ces notions m'ont permis de mieux analyser les données récoltées lors des campagnes d'irradiation sur les augmentations sur les courants de fuite mesurés sur notre circuit.

### 1.3.1.11 Contribution des pièges sur les caractéristiques

Il est important de considérer la temporalité des phénomènes de piégeage. Comme l'illustre la Figure 1.21, au fur et à mesure de l'irradiation des composants CMOS, les deux types de canaux P et N vont subir dans un premier temps, un même décalage du  $V_{TH}$  vers une tension plus faible due aux porteurs de charges positives accumulées dans les pièges d'oxyde [15]. Dans un second temps, l'influence des pièges d'interface va commencer à apparaître, avec un résultat différent sur les canaux dopés N qui vont voir les charges négatives dues à l'interface compenser celles positives des oxydes, que l'on appelle rebond. Pour les canaux dopés P, les pièges d'interfaces chargées positivement vont avoir tendance à s'ajouter aux perturbations dues aux oxydes.

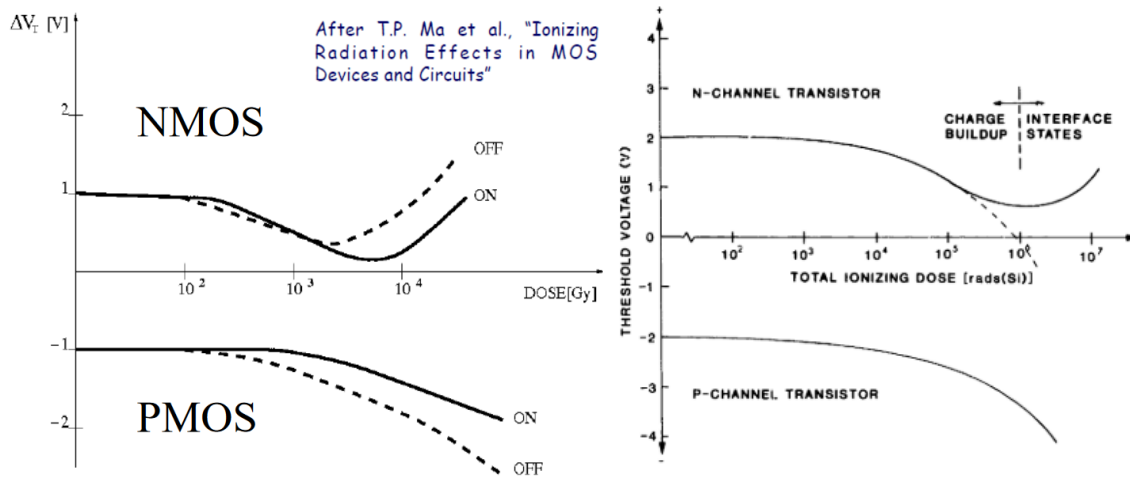


Figure 1.21: Graphiques illustrant les effets des pièges de charge et d'interface sur les tensions de seuil d'un transistor NMOS et PMOS montrant une asymétrie (Graphique de gauche [60], graphique de droite [15]).

Pour les transistors CMOS, la technique la plus utilisée pour mesurer ces caractéristiques consiste à mesurer le courant du Drain, souvent exprimé en échelle logarithmique, en fonction de la tension de la grille (la source étant la référence de tension). Cette représentation donne les caractéristiques  $I_{DS}/V_{GS}$ , parfois notée  $I_D(V_G)$ , en nous illustrant en Figure 1.22, l'impact des différents types de pièges.

Pour les pièges d'oxyde marqués « ot » (« oxyde traps »), l'accumulation des porteurs de charges positives dans l'oxyde va décaler la tension de déclenchement  $V_{TH}$  vers la gauche comme illustré en Figure 1.22. Comme expliqué plus tôt, les pièges d'interface « it » (« interface traps ») ne sont pas symétriques entre les PMOS et les NMOS, car la polarité des porteurs de charge piégés ne sont pas les mêmes, ayant une conséquence différente sur les caractéristiques I-V des transistors que l'on peut observer sur la Figure 1.21 illustrant la tension de déclenchement des NMOS en fonction de la dose.

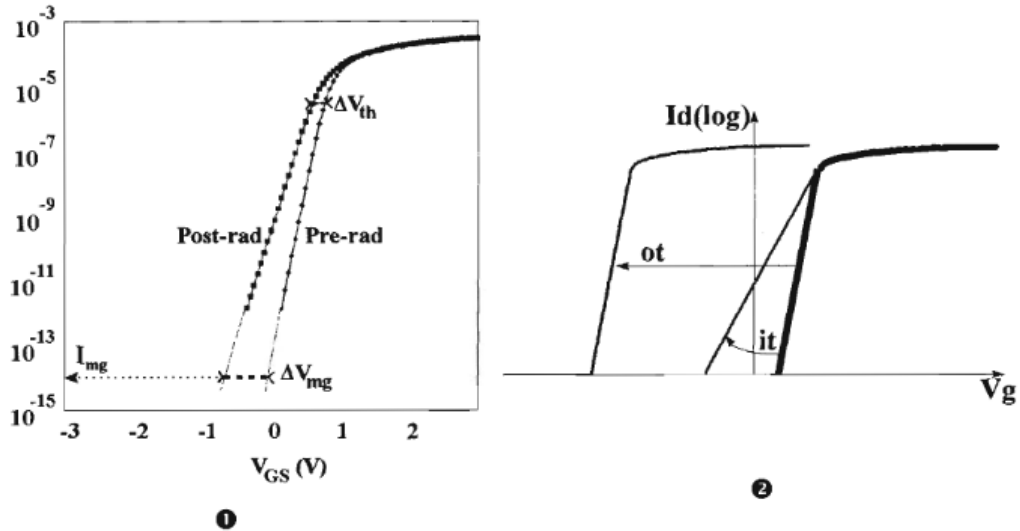


Figure 1.22: Courbes  $I_d(V_g)$  "sous le seuil" (en  $\text{Log}(I_D)$ ) typiques pour un transistor NMOS: 1) Avant et après irradiation (de 10 Mrad( $\text{SiO}_2$ ) avec  $V_g=+5\text{V}$ , 2)[16] Illustration schématique des effets dus aux pièges d'oxyde ("ot") et d'interface ("it") sur la caractéristique "sous le seuil" du transistor. Les deux composantes augmentent après irradiation.[17]

Au fil du temps, les effets découlant des charges positives accumulées se manifestent par le décalage de la tension de seuil [16], l'augmentation du courant de fuite et du courant de commande [17]. Le bruit de scintillement va aussi augmenter, du aux recombinaisons de paires parasites piégées dans la bande interdite.

### 1.3.1.12 Courants de fuite des transistors

C'est au niveau des oxydes d'isolement ou oxydation locale du silicium appelé LOCOS (LOCAL Oxydation of Silicon), particulièrement épais par rapport à la zone active, qu'il apparait un courant de fuite important du aux piégeages de charges au niveau de ces dernières. C'est au niveau de la région biseautée appelé « bec d'oiseau » (« bird's beak ») montré sur la Figure 1.24, que se crée une zone d'inversion par effet électrostatique, générant ainsi un canal conducteur permettant au courant de passer du Drain à la Source [18]. On peut ainsi modéliser les effets parasites dus aux LOCOS épais de chaque extrémité de la grille par des MOS parasites latéraux placé de chaque côté du MOS principal illustré sur la Figure 1.23. On observe l'effet de ce phénomène en constatant lors de l'irradiation avec une tension de grille nulle que le courant de fuite entre la source et le drain augmente au fur et à mesure de l'irradiation.

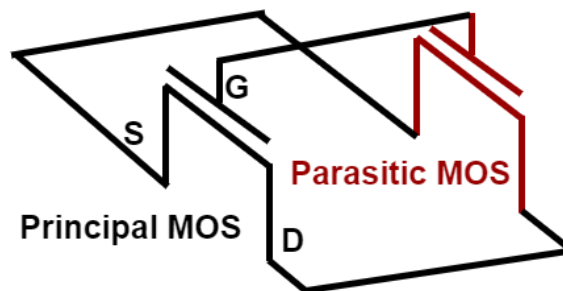


Figure 1.23: Illustration d'un transistor parasite issu de l'accumulation de charges dans les oxydes.

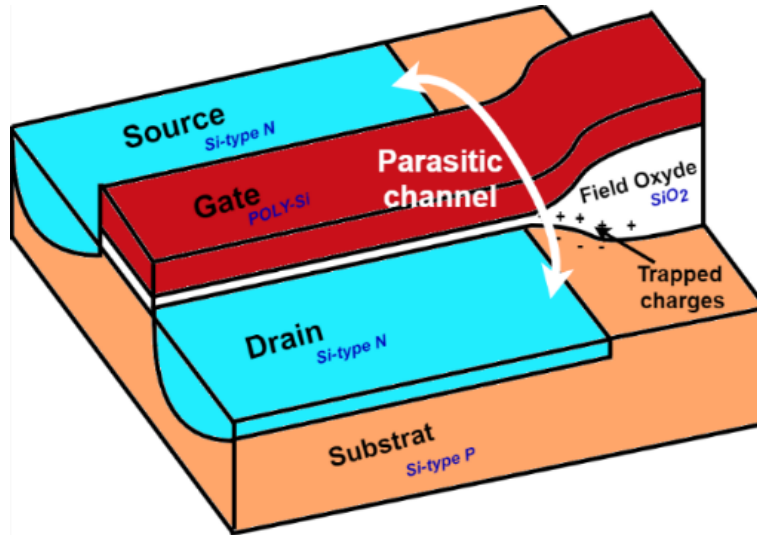


Figure 1.24: Représentation des "becs d'oiseau" sur un des côtés du canal d'un transistor donnant lieu aux transistors parasites. [18]

Ainsi les charges piégées dans l'oxyde épais tel que les LOCOS et les STI (Shallow Trench Isolation) diminuent la tension de seuil ( $V_{th}$ ) du transistor et le substrat dopé P peut être inversé même en l'absence d'un champ électrique et donc produire un courant de fuite. Cet effet de courant de fuite entre le Drain et la Source est causé par les charges positives piégées par les STI latéraux plus large, et ainsi n'affecte que les NMOS. Ce type d'effet est très dépendant de la température, l'avantage de ce type de dégradation des oxydes est de pouvoir se soigner très rapidement le circuit en appliquant un recuit (annealing) ; en revanche, une température basse lors de l'irradiation va avoir tendance à laisser augmenter le courant de fuite en réduisant l'effet de recombinaison des pièges de charge.

### 1.3.1.13 Courants de fuites IC

Il existe aussi une influence liée à la largeur du canal que l'on nomme donc RINCE pour « Radiation-Induced Narrow Channel Effects » illustré en Figure 1.25. Comme son nom l'indique, les transistors possédant un canal étroit vont être plus sensibles aux TID causé par les charges emprisonnées dans le STI. Ce type d'effet causera davantage de dégradations dans les transistors PMOS et sera amplifié si la grille est polarisée lors de l'irradiation. À l'inverse de l'influence des radiations sur les LOCOS, ce phénomène de canaux étroits va être réduit à basse température.

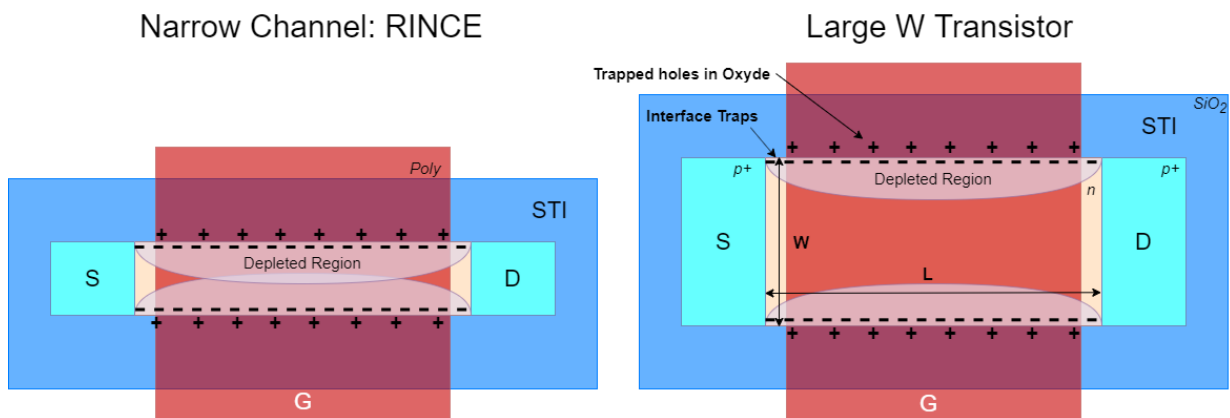


Figure 1.25: Représentation en vue-du-dessus d'un transistor avec à gauche un problème de canal trop étroit et à droite un transistor assez large pour que les zones déplétées ne se chevauchent pas.

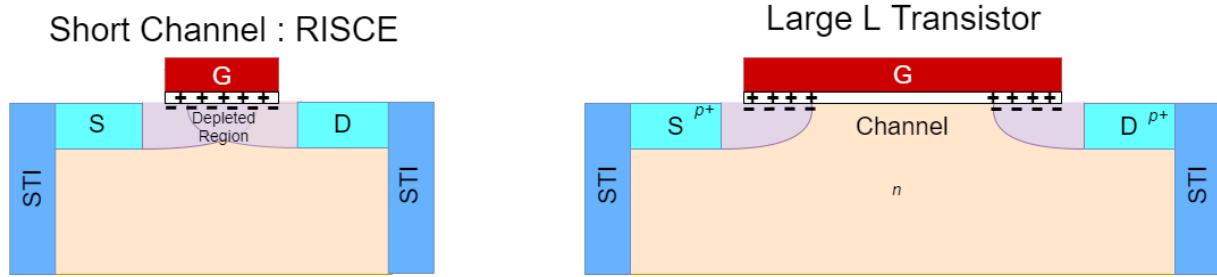


Figure 1.26: Représentation en vue de coupe longitudinale d'un transistor avec à gauche un problème de canal trop court et à droite un transistor assez long pour que les zones déplétées ne se chevauchent pas. [12]

Maintenant que l'influence de la largeur du canal a été décrite, il existe aussi un phénomène lié à la longueur de ce dernier, appelé RISCE pour « Radiation-Induced Short Channel Effects », et touche donc les canaux les plus courts des PMOS dus aux pièges d'oxyde et d'interface se cumulant, illustrés sur la Figure 1.26. Ces effets sont amplifiés par la température élevée ainsi que lorsque la Grille et le Drain sont alimentés. Les effets principaux de ce phénomène sont l'augmentation de la résistance en série ainsi qu'un décalage et une asymétrie de la tension de seuil ( $V_{th}$ ). Ces effets sont plus marqués dans les technologies plus fines que celle utilisée pour le projet (130 nm).

#### 1.3.1.14 Diminution des dommages avec l'épaisseur de l'oxyde

La tendance globale à la diminution des nœuds technologiques et des alimentations des circuits intégrés donnée par la loi de Moore s'accompagne de la diminution de l'épaisseur des oxydes et de la diminution des effets de dose cumulée. En revanche, pour les problèmes d'événement singulier liés à la quantité de charge déposée par les rayonnements à un instant donné, la diminution des tensions d'alimentation rend les circuits plus sensibles aux événements de SEE qui seront décrits dans le chapitre associé.

Plusieurs études [19] ont confirmé l'influence de l'épaisseur des oxydes sur les dommages dus aux radiations dans une capacité MOS que l'on peut observer sur la Figure 1.27. Lorsque l'oxyde de grille du transistor est épais, les radiations vont avoir pour effet de faire dériver leur tension de seuil et de diminuer la pente de la caractéristique I-V sous le seuil. C'est la raison pour laquelle les technologies CMOS Rad-Hard qui vont majoritairement posséder un oxyde de grille très fin, rendant ces effets de dose plus négligeables. Les transistors MOS sont des transistors qui présentent de nombreux avantages tels que leur commande en tension et la possibilité de réduire leur taille donnée par l'Équation 1.11, qui ont de tout façon tendance à diminuer avec la loi de Moore [12] (diminution du nœud technologique et ainsi de la tension d'alimentation des circuits).  $\Delta V_{th}$  traduit l'impact des pièges d'oxyde sur la tension de seuil du transistor,  $t_{ox}$  étant l'épaisseur de l'oxyde.

$$\Delta V_{th} = -\frac{Q_{ox}}{C_{ox}} \propto t_{ox}^2$$

Équation 1.11: Influence sur la tension de seuil d'un transistor en fonction de l'épaisseur de l'oxyde.

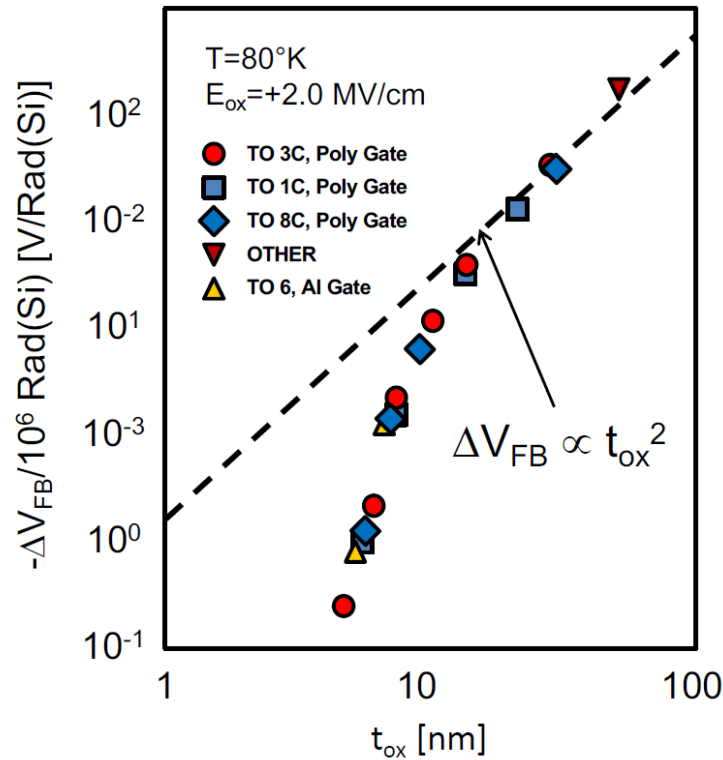


Figure 1.27: Représentation graphique de l'influence de la taille du nœud technologique sur la résistance aux doses ionisantes donnée par un décalage de tension par rad. [19]

Ainsi, les trous piégés en profondeur vont avoir tendance à décaler la tension de déclenchement ( $V_{\text{th}}$ ), ajouter du bruit et augmenter le courant de fuite du transistor. Les états d'interfaces vont être aussi responsables d'un décalage de  $V_{\text{th}}$  ainsi dû à la différence de mobilité (la transconductance) des trous par rapport aux électrons.

### 1.3.1.15 Conclusion sur la Dose Cumulée

Dans ce chapitre, nous avons tout d'abord étudié l'influence en dose des rayonnements sur un matériau, puis appliqué ces interactions physiques à la technologie utilisée dans notre circuit, le transistor CMOS. Cette partie nous a permis de conclure que les effets non-ionisants comme les dommages de déplacement étaient négligeables dans les ASICs.

Notre étude se concentre donc sur l'accumulation des charges dues aux ionisations au sein d'un transistor CMOS en considérant ses différentes composantes en termes de structure, matériaux, conductivité pour conclure sur les défauts engendrés sur les performances. Même si tous ces effets de dose cumulée sont tous dus aux phénomènes de génération de paires d'électron-trou au passage d'une particule ionisante, les effets délétères qui en découlent sont dépendants de paramètres technologiques et de designs que je vais décrire.

La loi de Moore tendant vers une miniaturisation des nœuds technologiques des transistors permet une diminution « naturelle » de l'épaisseur des oxydes de grille. Cette évolution rend les technologies récentes plus résistantes aux effets de dose cumulée. En revanche, il reste dans les structures des MOS des oxydes épais comme des LOCOS et les STI, accumulant des pièges de charges et d'interface en leur sein, créant des courants de fuites, particulièrement entre 1 Mrad et 5 Mrad.

La technologie CMOS ne subit pas les mêmes dégradations lorsque le canal est P ou N. En effet, les paires générées au sein des oxydes se comportent différemment, particulièrement au niveau des

pièges d'interface, donnant une asymétrie des caractéristiques I-V sous le seuil de déclenchement, mais ce phénomène a tendance à disparaître après 80 Mrad.

Les phénomènes de canal court (RISCE) et étroit (RINCE) sont aussi asymétriques entre PMOS et NMOS mais les dommages liés à la géométrie du canal diminuent considérablement à faible température à  $-30^{\circ}\text{C}$  [19].

### 1.3.2 Effets Singuliers

Les paragraphes précédents décrivent les phénomènes d'ionisation de faible énergie mais devenant problématiques dans le temps long, avec une accumulation des charges créant des défauts de fonctionnement. Dans ce paragraphe, nous allons nous concentrer sur le phénomène temporellement opposé à la dose cumulée : l'événement singulier. Ce phénomène découle aussi de la génération de paires d'électron-trou induit par l'ionisation d'une particule incidente, mais on se concentre cette fois-ci sur la densité de charge induite pouvant causer un court dysfonctionnement dans le temps (10 à 100 ps).

Historiquement, les phénomènes singuliers dus aux rayonnements furent observés relativement tard, lors de la publication dans le journal IEEE en 1975[20] par rapport aux phénomènes cumulatifs, car intimement liés à réduction de la taille des nœuds technologique. En effet, pour la dose cumulée, la diminution de l'épaisseur des oxydes s'accompagne de la réduction des dégradations des caractéristiques. Pour les événements singuliers, c'est la sensibilité du circuit aux variations de courant qui joue un rôle prépondérant sur la génération d'erreurs, qui va se retrouver accrue dans le cas des technologies plus fines, car elles s'accompagnent aussi d'une diminution de l'alimentation et donc de la diminution des capacités. Cette diminution fait que Q/C atteint plus facilement les tensions de seuils  $V_{th}$ .

On les appelle aussi SEE pour « Single Event Error/Event » (ou encore « Single Event Effect » pour les effets qui en découlent) car ils sont provoqués par le passage d'une particule unique, généralement un proton ou un ion lourd, causant une défaillance transitoire. Ces erreurs ont la spécificité d'être très localisées dans le temps et dans l'espace, mais peuvent aussi se propager si elles ne sont pas détectées et corrigées. On peut distinguer plusieurs types d'effets singuliers correspondant aux temporalités des dégâts provoqués dans le circuit.

#### 1.3.2.1 Single Event Upset

Dans les « Single Event Upset », plusieurs phénomènes ont lieu successivement ; la dépose de la charge par la particule, l'influence du champ électrique qui fait se déplacer les charges qui vont être ensuite collectées, et ainsi déclencher une erreur. La particularité des Upset est de corrompre une donnée dans un composant de stockage comme une mémoire où un registre où l'information électrique est considérée comme « statique ». Il est donc nécessaire d'au moins détecter l'erreur et au mieux de la corriger, pour ne pas qu'elle se répercute dans le circuit.

##### 1.3.2.1.1 Déclenchement d'un Upset

Les événements singuliers sont tous déclenchés par les porteurs de charges générés par l'ionisation. Une fois les paires d'électron-trou générées, les charges vont dériver, sous l'influence du champ électrique, de la trace de la particule incidente en traversant les jonctions vers les nœuds d'alimentation comme l'illustre la Figure 1.28. Cette dérive est un événement court dans le temps et ainsi contribue de manière significative à la création d'un SEE, mais elle s'accompagne aussi du phénomène de diffusion, plus lent.

Lors de l'arrivée de la particule incidente la charge déposée par cette dernière va dépendre de deux paramètres, le premier étant le LET expliqué précédemment et le deuxième étant la zone de déplétion et sa profondeur notée  $X$ . L'Équation 1.12 nous donne la charge collectée dans le cas d'une incidence normale et d'une efficacité de collection maximale :

$$Q_{col} = LET \cdot X$$

Équation 1.12: Charge collectée par la particule incidente en fonction de son pouvoir d'arrêt et la profondeur de sa course.

### 1.3.2.1.2 Influence du Champ

C'est le mécanisme de dérive appelé « Drift » qui va séparer les charges dans le sens du champ électrique, elles vont être collectées et créer ainsi une variation du courant comme illustré en Figure 1.28.

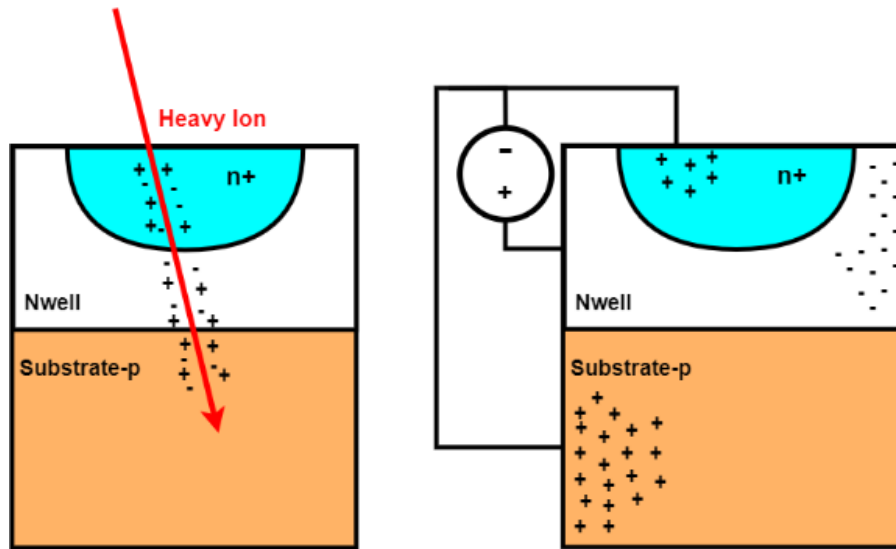


Figure 1.28: Déplacement des charges diffusées (1) puis collectées (2) au niveau des nœuds de polarisation.

Mais toutes les charges ne contribuent pas à l'événement, il faut que la densité de paires soit suffisante à proximité des nœuds de collection pour que ce phénomène soit assez rapide pour déclencher un SEE. La Figure 1.29 met en lumière que même les protons à leur pouvoir d'arrêt maximum, ont moins de probabilité que des ions lourds ayant un LET bien plus élevé de causer un SEU dans un circuit électronique [22].

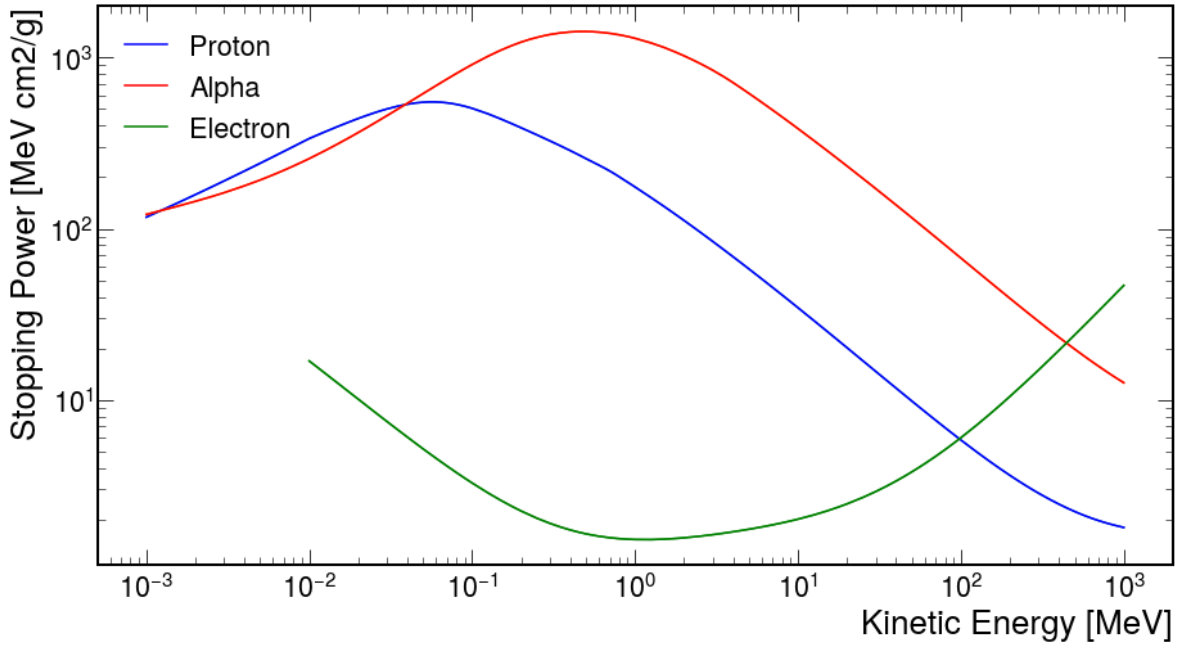


Figure 1.29: Pouvoir d'arrêt du Silicium en fonction de l'énergie de l'Electron, Proton et Alpha incidents.[22]

L'ionisation peut aussi découler du passage d'une particule secondaire résultant d'une interaction nucléaire ou d'une collision élastique, généralement produite par des protons ou des neutrons énergétiques (de l'ordre du MeV). Les ions lourds ayant une forte capacité à céder leur énergie au milieu cible seront surtout présents dans un environnement spatial. Dans le cadre du LHC, les SEE seront causés par des Hadrons ayant une énergie transférée plus faible mais plus difficile à quantifier, car pouvant céder leur énergie par diffusion secondaire.

### 1.3.2.1.3 Répercussion des effets transitoires

Je décris dans ce paragraphe, comme pour l'effet de dose ionisante totale dans le MOS concernant les effets cumulatifs, les différentes étapes du passage de la particule dans la zone sensible d'un NMOS à la création d'une erreur singulière dans le circuit.

En traversant le circuit, la particule chargée cède son énergie au milieu par le phénomène d'ionisation, laissant des paires d'électron-trou sur son chemin comme l'illustre la Figure 1.30. La grande majorité des paires se recombinent sans perturber le circuit, mais en présence d'un champ électrique, ces derniers vont être balayés dans des directions opposées comme décrit dans les phénomènes de dérive et transport cités dans le chapitre sur les effets de dose du transistor MOS. C'est ce déplacement des charges qui donne naissance au courant d'alea [24]. La particule va d'abord passer dans la région dopée N+ en y laissant des paires d'électron-trous qui vont immédiatement se recombiner car le milieu dopé est riche en électrons libres.

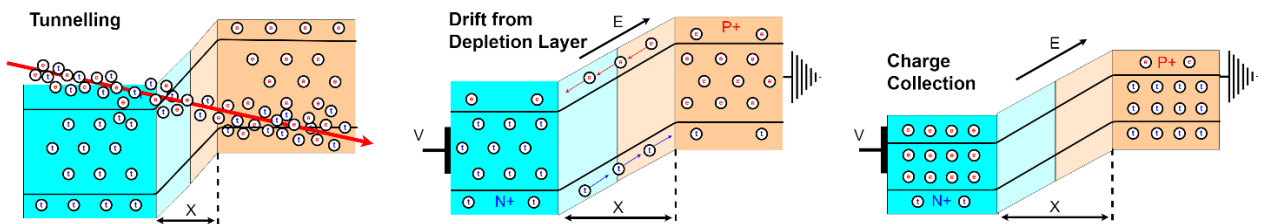


Figure 1.30: Représentation en diagramme de bande des phénomènes de Tunnel (1), de Drift (2) et de Collection (3) des charges issues de l'ionisation. [24]



La particule chargée va continuer sa course en cédant de l'énergie au milieu par la création de paires mais dans la région de déplétion cette fois. On observe alors une distorsion de la zone de déplétion, s'étendant le long de la trace de la particule. Sous l'effet d'un champ électrique, les porteurs de charge vont dévier sur plusieurs microns autour de la trace appelé « funneling » pour la forme de tunnel que cette région à l'origine dopée P, qui pendant un court instant deviendra une zone de déplétion. Ce phénomène donne une augmentation significative du nombre de charges collectées par dérive. Ce phénomène est assez rapide dans le temps, ne prenant qu'une dixième de nanosecondes où ces paires vont être collectées par le drain N+ ainsi que le substrat contribuant déjà à un courant parasite au sein du transistor. C'est ce premier pic qui est la première cause de défaillance d'Upset.

Si la particule est suffisamment pénétrante, elle va finir sa course dans la région du substrat faiblement dopée P en continuant de générer des paires d'électron-trou, modifiant alors le champ électrique présent dans cette dernière. Cette charge va aussi être capturée par le drain dopé N+, faisant elle aussi varier le courant mais dans des proportions plus faibles et avec un retard par rapport au premier pic de courant illustré sur la Figure 1.31.

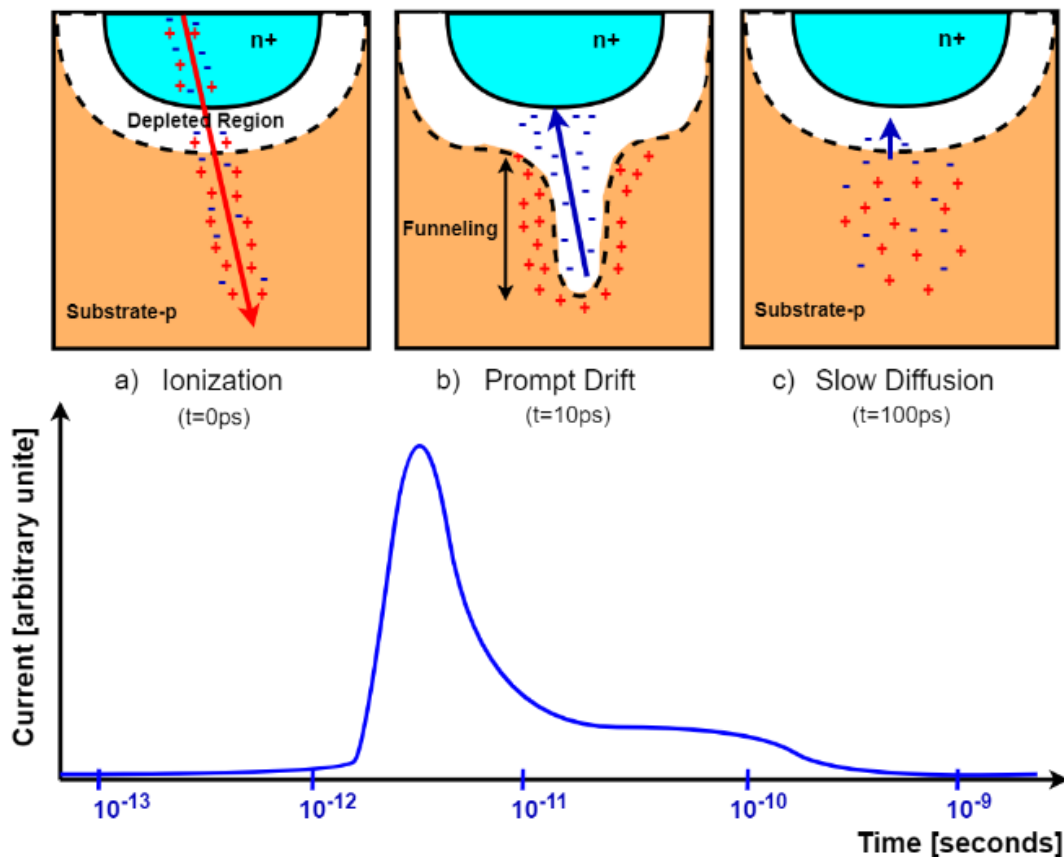


Figure 1.31: Impact des phénomènes rapides (Collection) et lents (Diffusion) sur l'allure du courant en bas, par rapport à la représentation IC des charges piégées par ionisation au-dessus. [42]

#### 1.3.2.1.4 SEE dans les mémoires DRAM

Les DRAM ont historiquement été considérées comme des composants très sensibles aux événements singuliers, dus principalement à deux phénomènes expliqués précédemment, la collecte de la charge d'ionisation suivie d'un transfert de charge. Ces événements peuvent toucher deux parties d'une cellule de mémoire DRAM ; la capacité de stockage qui, au passage d'un ion, va se décharger donnant une erreur de « 1 vers 0 », mais peut aussi toucher le transistor de lecture de la « word line ». Dans ce dispositif, la collecte des charges se fait par la jonction de polarisation d'un transistor d'accès à la

cellule de mémoire, augmentant la quantité d'électrons dans le condensateur de stockage, comme illustré sur la Figure 1.32. Le transfert de charge se produit lorsqu'une particule ionisante crée un chemin faiblement résistif entre deux condensateurs de stockage [25] adjacents dans des états électriques opposés, de sorte que les électrons se transfèrent du nœud de basse tension au niveau de haute tension donnant une erreur « 0 vers 1 ». De ce deuxième phénomène découle la grande nécessité, pour bien tester le temps de rétention d'une mémoire DRAM, de la pré-remplir d'alternances de '0' et de '1'. Ces types d'erreurs sont facilités avec la réduction des nœuds technologiques donnant une tension de seuil plus faible, ainsi qu'une proximité entre les cellules accrue avec des technologies plus fines.

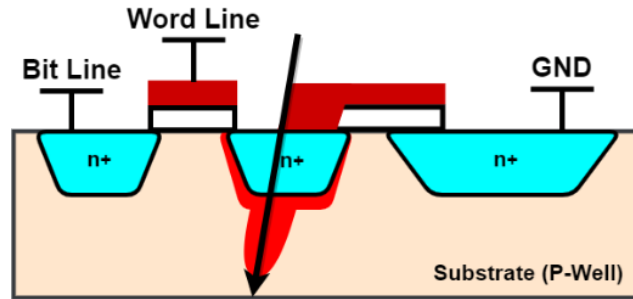


Figure 1.32: Représentation IC d'un SEU sur le transistor CMOS d'accès à la cellule de mémoire DRAM. [25]

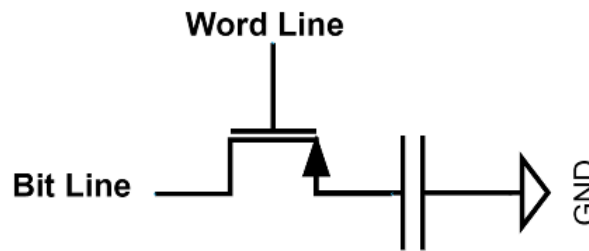


Figure 1.33: Schématisation de la cellule mémoire DRAM.

Dans ces deux cas, si la quantité de charge est trop importante pour l'amplificateur de détection, la donnée lue se voit corrompue. Il est donc possible qu'une erreur relevée provienne d'un ion frappant le nœud connecté au bit de ligne pendant le cycle de lecture [25]. La force des DRAM est que lorsqu'elle est déchargée, les charges ne modifient pas sa valeur logique et se voient donc insensibles aux effets des radiations dans cet état.

C'est donc leur caractère passif qui rend les DRAM sensibles, car l'information est stockée sur des nœuds de circuit sans régénération active du signal. Avec les générations de technologies successives utilisant des charges stockées de plus en plus faibles accompagnant la réduction d'échelle de taille et d'alimentation, amène une réduction drastique de la surface de la cellule DRAM et ainsi réduit la section efficace pouvant être corrompue par le passage d'une particule, ce qui prime sur la diminution de la charge critique. Les DRAM modernes ont une charge critique faible, de l'ordre de  $1 \text{ MeV.cm}^2.\text{mg}$ , mais une sensibilité globale aux SEU réduite.

De plus, afin de rendre ces dispositifs plus résilients, des techniques améliorent le rapport signal sur bruit ainsi que la détection et correction d'erreurs de type EDAC, avec une distance de Hamming, afin de limiter l'impact de la perturbation de plusieurs bits (MCU).

### 1.3.2.2 Single Event Transient

En électronique numérique, on appelle transient une erreur singulière qui prend son origine dans le monde asynchrone. Comme décrit dans le chapitre précédent, elles proviennent de la liaison PN des transistors, brique de base des portes logiques. Les transients vont toucher principalement des composants combinatoires avec une mobilité des charges (Drift) rapides dans la zone de déplétion ainsi qu'un effet tunnel, ce qui va permettre à un signal électrique inattendu d'être assez long pour être transmis aux cellules suivantes.

#### 1.3.2.2.1 SET dans les Jonctions PN

Dans le cas du transistor PMOS, ce sont les charges proches de la Source ou du Drain qui sont les principales contributrices, c'est donc la diffusion p+ qui est la plus importante, car les charges négatives ne seront que peu ou pas collectées. Dans un transistor NMOS en revanche, c'est une diffusion n+ qui est majoritaire. C'est lorsque la jonction PN est « OFF », donc polarisée en inverse, que la structure est sensible à un pic de courant produit par la collection des charges déposées par ionisation comme illustré par la Figure 1.34.

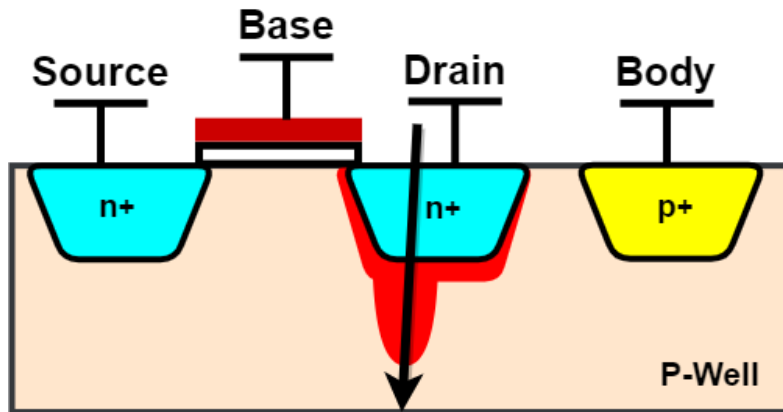


Figure 1.34: Représentation IC d'un SET sur le drain d'un NMOS d'une jonction PN.

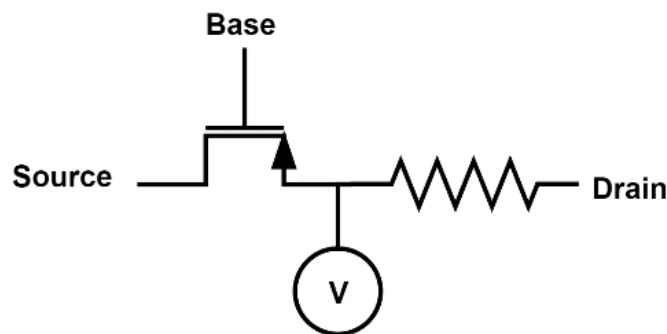


Figure 1.35: Schématique d'un transistor NMOS.

#### 1.3.2.2.2 SET dans les Inverseurs

Maintenant que le lien entre le passage de la particule ionisante et le pic de courant transitoire induit par cette dernière au sein d'une jonction PN a été décrit, nous allons prendre comme exemple un inverseur CMOS composé d'un transistor NMOS écrivant un « 0 » logique en sortie et d'un PMOS se chargeant de l'écriture du « 1 » logique. C'est particulièrement au moment où le PMOS est OFF qu'il est sensible à un SEU [26], car une charge déposée excessive et collectée par le nœud P+ de sortie verra apparaître une perturbation illustrée sur la Figure 1.38, plus ou moins longue suivant l'énergie de la particule ionisante.

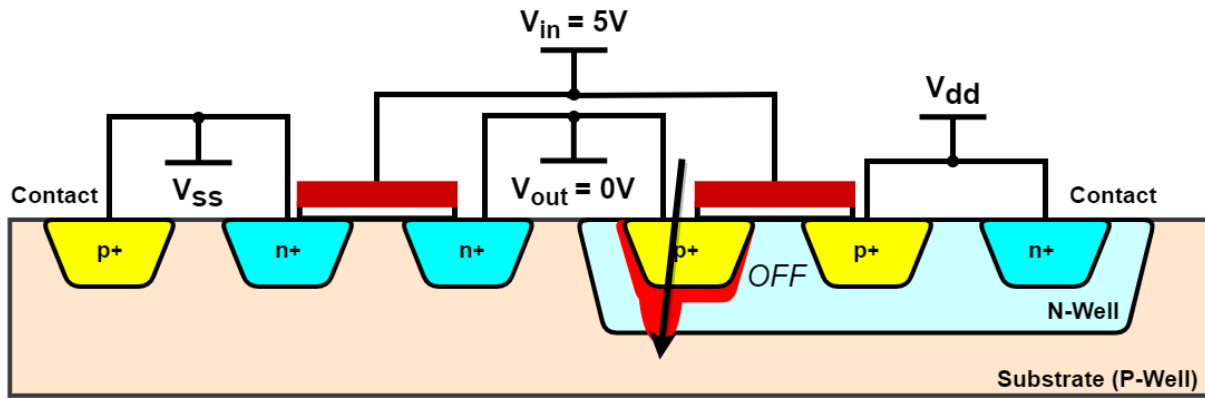


Figure 1.36: Représentation IC d'un SET dans le PMOS « OFF » d'un inverseur. [26]

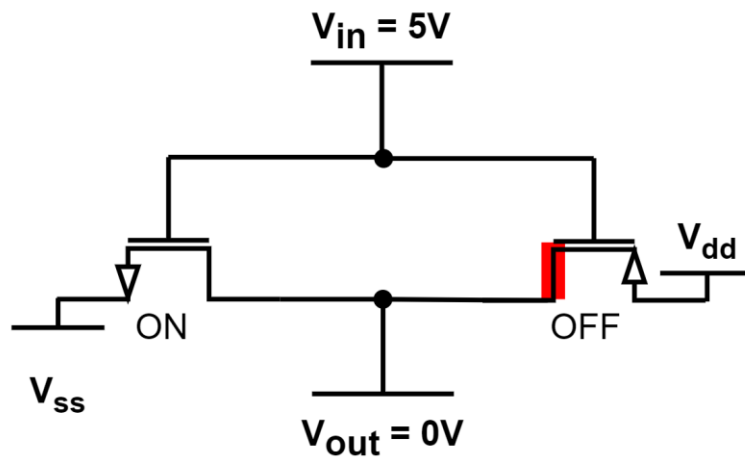


Figure 1.37: Schéma du SET sur le drain du PMOS OFF d'un inverseur.

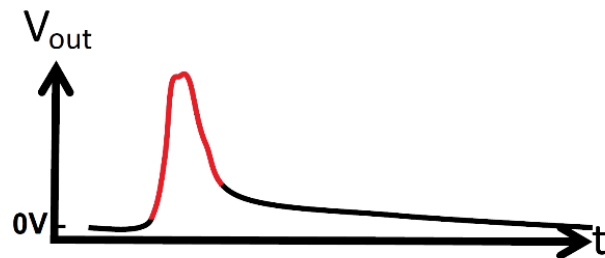


Figure 1.38: Allure du chronogramme de la sortie de l'inverseur lors d'un SET sur le PMOS

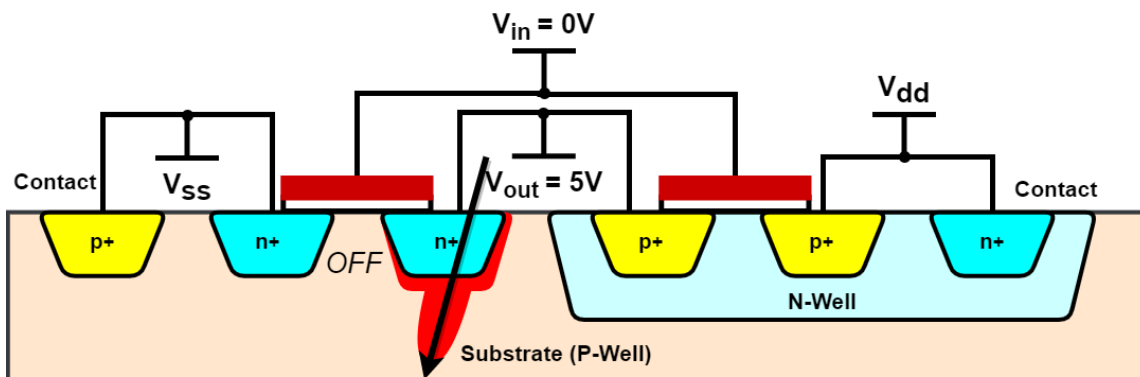


Figure 1.39: Représentation IC d'un SET dans le NMOS "OFF" d'un inverseur.

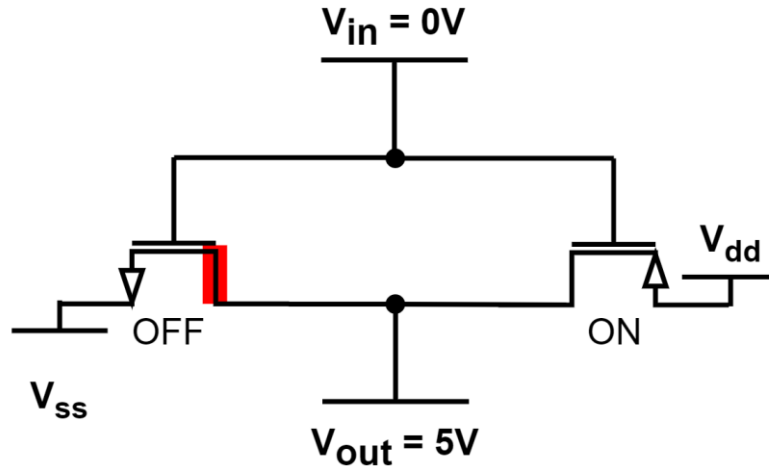


Figure 1.40: Schéma du SET sur le drain du NOMS "OFF" d'un inverseur.

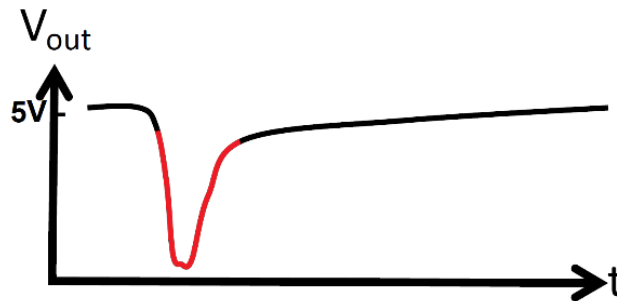


Figure 1.41: Allure du chronogramme de la sortie d'un inverseur lors d'un SET sur le NMOS.

La même faiblesse existe dans la polarisation inverse de la porte inverseur, le NMOS étant OFF cette fois. C'est alors une collection excessive de charges par le nœud dopé N+ qui viendra passer la tension de sortie à 0 durant un court instant pouvant être transmis à la suite du circuit. Cette transmission de l'erreur peut même être multipliée si ce signal est distribué à un nombre important de cellules.

### 1.3.2.3 Effets singuliers destructifs

Les plus critiques sont les effets qualifiés de « destructifs », comprenant les SEGR, SEB et SEL causant des dommages irrémédiables dans le fonctionnement du circuit. On les groupe souvent sous le nom de « Single Hard Errors » (SHE) pour leurs effets permanents dans le circuit.

#### 1.3.2.3.1 Single Event Latchup

Le Latchup ou verrouillage en français, est un des phénomènes singuliers les plus connus et le plus critique pour les transistors MOS. Tout d'abord avec des ions lourds (1979), et plus tard pour les protons (1991) [27]. Ce phénomène intervient lors de la mise en conduction d'une succession de jonctions PNPN illustrées sur la Figure 1.42, inhérent aux inverseurs en technologie CMOS.

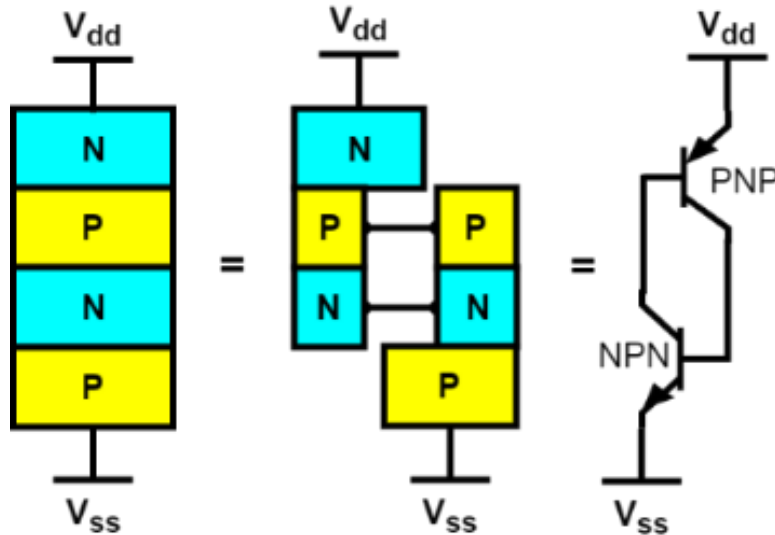


Figure 1.42: Décomposition d'un inverseur CMOS en deux thyristors tête-bêche. [27]

Cette structure parasite composée de deux thyristors, qui dans un fonctionnement nominal du composant est à l'état bloqué. Elle devient passante lorsque qu'une particule ionisante d'énergie suffisante passe à travers le substrat générant l'amorçage des thyristors parasites. Les thyristors, devenus passants, provoquent alors un court-circuit entre l'alimentation et la masse du circuit, conduisant à un fort appel de courant ainsi qu'un emballement thermique pouvant mener à la destruction du circuit si l'alimentation n'est pas coupée [28].

Les problèmes de Latchup venant du fait que le collecteur de chaque jonction de transistor bipolaire est connecté à la base d'un autre transistor, une augmentation du courant au niveau du collecteur du PNP se répercute au collecteur du NPN puis à sa Base, créant une boucle de rétroaction positive, de sorte que si le gain du thyristor est supérieur à 1, une perturbation peut déclencher un blocage dans cet état, donnant le nom de verrouillage (Latchup), qui ne peut être interrompu que par la coupure de l'alimentation. Dans le cas contraire, un chemin de faible impédance est alors créé entre l'alimentation et la masse. Un courant important traversant la puce de part en part gêne son fonctionnement et peut l'endommager.

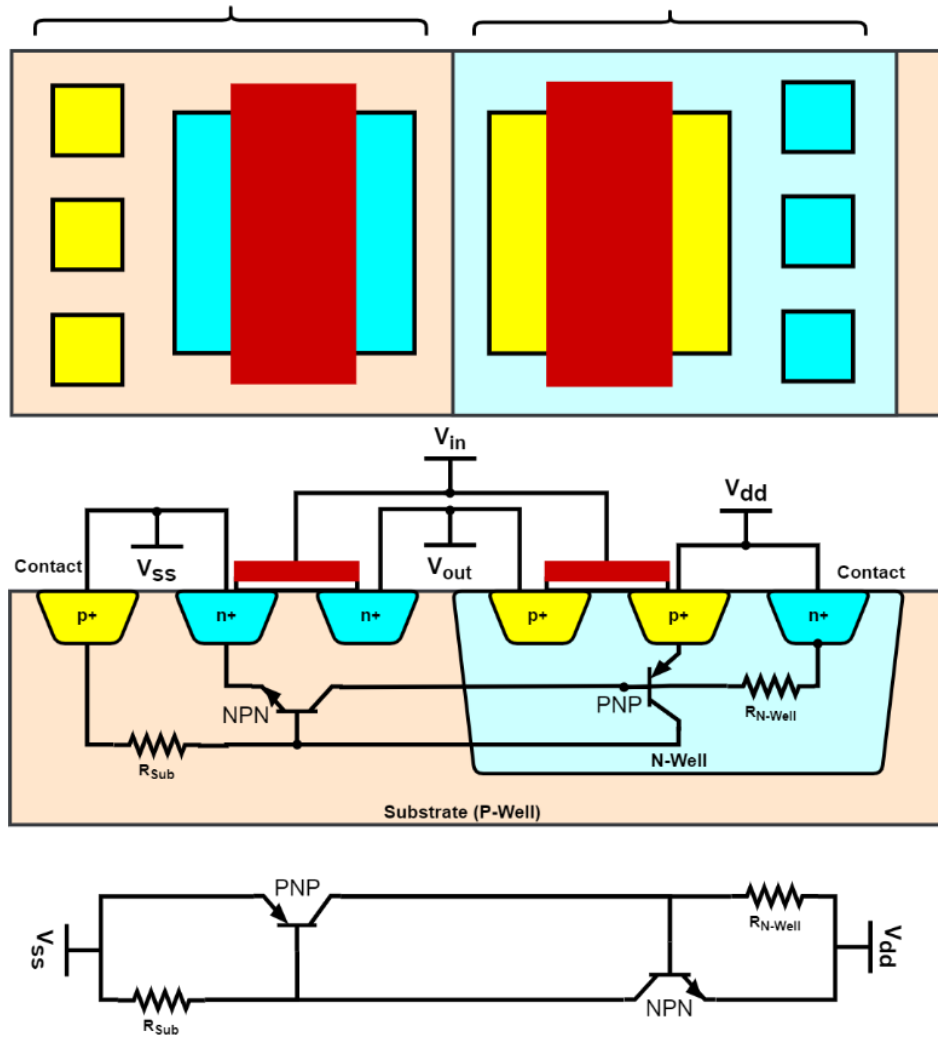


Figure 1.43: Illustration de la boucle de rétroaction intrinsèque à l'inverseur CMOS à l'origine du phénomène de verrouillage, en vue-du-dessus et de coupe IC en haut, et en schéma électrique en bas. [28]

Ce phénomène peut découler de différents problèmes de fonctionnement :

- Une tension appliquée aux contacts de la puce supérieur à sa tension d'alimentation provoquant un claquage des Wells.
- Une décharge électrostatique qui vient activer les thyristors.
- Et enfin les rayonnements ionisants venant activer les thyristors, appelés dans la littérature Single Event Latchup (SEL).

### 1.3.2.3.2 Single Event Gate Rupture

Le SEGR est un effet destructif d'un composant possédant un oxyde de grille d'isolement qui, au passage d'une particule (Ion lourd, Proton, Neutron), qui en ionisant l'isolant, va le faire passer de sa bande de valence à sa bande de conduction, créant un court-circuit détruisant la capacité du transistor à réguler le courant coulant de la Source vers le Drain [29]. Etant un court-circuit généralement vertical, ce phénomène est sensible à une orientation du faisceau perpendiculaire au circuit.

### 1.3.2.3.3 Single Event Burnout

A *contrario*, ce phénomène induit un court-circuit directement entre la source et le drain. Comme son nom l'indique, ce phénomène va détruire le composant par emballement thermique surtout présent dans les circuits de puissance, car découle de la combinaison du mécanisme d'avalanche avec le

déclenchement d'un transistor bipolaire. Je ne m'attarderai pas sur ces deux derniers effets propres aux transistors parasites de la jonction bipolaire au sein de la couche épitaxiée (BJTs, FETs, MOSFETs de puissance, capacités MIM), car notre circuit n'en possède pas.

### 1.3.3 Quels composants ?

Tous les effets décrits précédemment, qu'ils soient destructifs ou non, ne s'appliquent pas dans les mêmes proportions sur tous les types de composants. Dans le cadre de notre circuit HGCROC, particulièrement dans son cœur numérique, ce sont des technologies CMOS qui sont utilisées, et du Bi CMOS dans le cadre du projet ATHENA que je vais décrire en fin de document. Dans ces technologies, seuls les effets destructifs de Latchup (SEL) sont à prévoir dans les composants numériques. En revanche, les effets non-destructifs sont nombreux : SEU et SET pour les composants standards tels que les cellules combinatoires et séquentielles. Les mémoires aussi, qu'elles soient Statiques (SRAM) ou Dynamiques (DRAM), sont sujettes au Transients (SET) et Multiple Bit Upset (MBU) comme l'illustre le Tableau 1.4.

Techno	Family	Function	SEL	SEGR	SEB	SEU	MBU	SET	SEFI
			Destructive			Non-destructive			
Power MOS				X	X				
CMOS, BiCMOS, SOI	Digital	SRAM	X			X	X		
		DRAM	X			X	X		X
		Standard Cells	X			X		X	X
	Mixed	ADC/DAC	X	X	X	X		X	X
	Analog	Linear	X	X	X			X	
Bipolar				X	X	X		X	

Tableau 1.4: Résumé des composants électroniques et leurs sensibilités aux différents effets causés par les rayonnements. [30]

Dans le chapitre suivant concernant le durcissement des circuits, je vais décrire les méthodologies permettant de rendre un circuit mixte résistant aux différents effets associés aux rayonnements.

### 1.3.4 Conclusion sur les effets

Pour résumer les propos abordés dans ce chapitre je dresse un Tableau 1.5 récapitulatif des effets que produisent les radiations, selon le type de particule radiative, ainsi que les principaux effets causés sur l'électronique.

	PARTICLES	RADIATION EFFECT
<b>IONIZING : SMALL CHARGE</b>	Toutes les particules charges (photons, électrons, hadrons chargés...)	Total Ionizing Dose (TID)
<b>IONIZING : LARGE CHARGE</b>	Ions lourds, hadrons par une interaction nucléaire dans le Si.	Single Event Effects (SEE)
<b>NON-IONIZING</b>	Hadrons (neutrons, protons, ...)	Displacement Damage (DD)

Tableau 1.5: Résumé des rayonnements, leurs effets et fonction de la particule incidente.



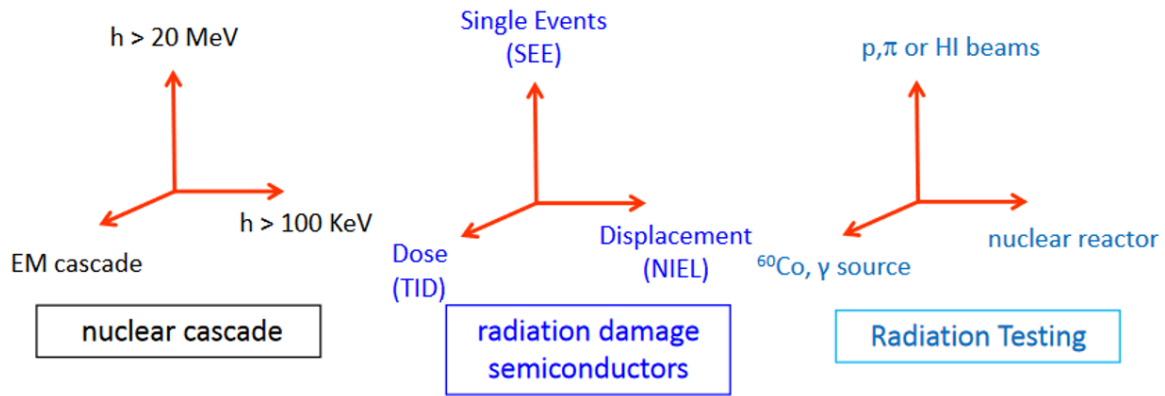


Figure 1.44: Illustration des trois grandes familles de rayonnement, leurs effets et leur environnement respectifs.

Les effets ionisants provenant des particules avec de faibles charges vont venir faire la plupart des dégradations en dose totale ionisante par accumulation, qui seront simulées avec des sources radiatives ou des photons (Gamma ou X), tandis que les particules fortement chargées vont avoir tendance à produire des erreurs singulières au passage de la particule, simulées en faisceaux d'ions ou protons. Lorsque l'énergie transmise au milieu cible n'est pas ionisante (NIEL), elle va créer des effets de déplacement causant des dommages irrémédiable dans le réseau cristallin du matériau, mais sont en générales propres aux composants optique et bipolaires.

## 2 ETAT DE L'ART TECHNIQUE

Dans ce chapitre, nous aborderons l'état de l'art de la technique allant de pair avec la recherche scientifique. Les avancées de l'industrie, comme la miniaturisation des technologies, ont permis aux détecteurs de particules d'être toujours plus précis et rapides. Le LHC, en tant qu'emblématique accélérateur de particules, a progressivement évolué en expérimentant de nouvelles techniques d'accélération et de détection, capitalisant ainsi une grande diversité d'infrastructures historiques. Un bon exemple de cette diversité sont les détecteurs CMS et ATLAS, utilisant des approches de détection différentes, mais ayant tous deux observé le Boson de Higgs, renforçant ainsi la véracité de cette découverte.

### 2.1 CONTEXTE DU PROJET

Mon projet porte sur l'électronique embarquée d'une nouvelle génération de calorimètre hautement granulaire HGAL [2] pour le projet d'amélioration du détecteur CMS qui utilise les collisions protons du LHC. Dans ce chapitre je vais partir du contexte le plus large, le grand collisionneur de hadrons (LHC), son détecteur CMS composé de nombreux étages de détection pour arriver aux calorimètres. Le projet de développement de calorimètres imageur 5D est une conception unique, il est premier de sa génération dans l'histoire de la physique des particules. Il se compose de 6 millions de canaux avec des spécifications concernant l'électronique de lecture dictées par les limites des performances physiques d'HGAL. Ce projet est dans la lignée de CALICE [31], un prototype de calorimètre imageur pour l'expérience de collisionneur électron-positron.

### 2.2 LE GRAND COLLISIONNEUR DE HADRONS

On le nomme ainsi car il est historiquement un collisionneur proton-proton mais permet aujourd'hui d'étudier de nombreux types de particules. Depuis sa création, le LHC n'a cessé d'augmenter sa luminosité de fonctionnement afin de découvrir des particules et interactions jamais observées, et ainsi affiner le Modèle Standard de la Physique des Particules.

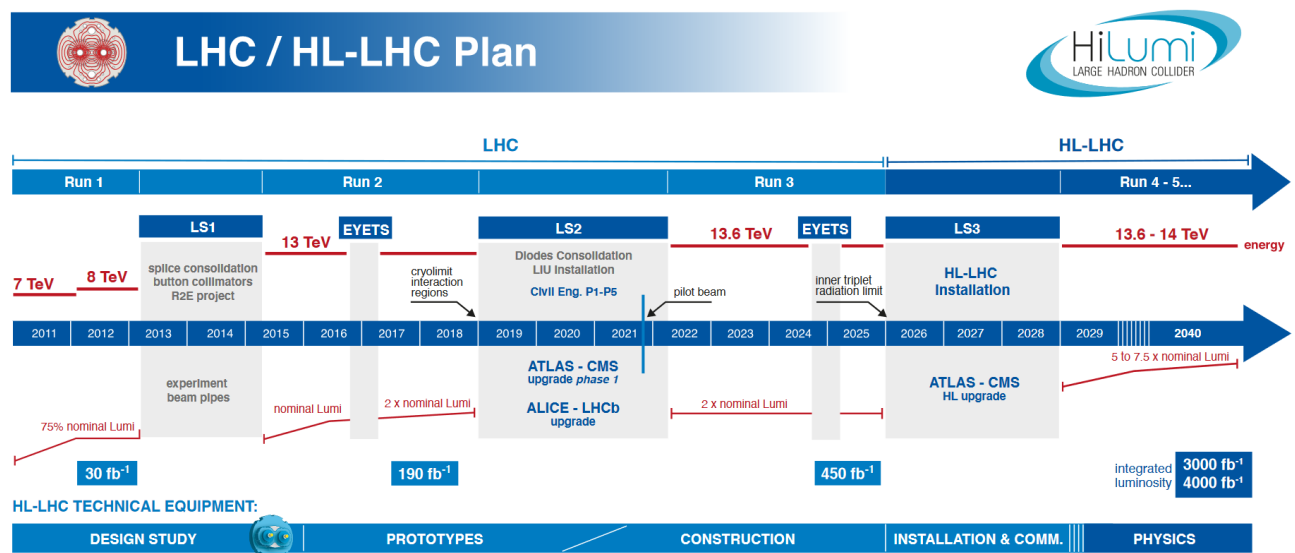


Figure 2.1: Planning prévisionnel des différentes améliorations du LHC, depuis 2011 jusqu'aux prévisions du HL-LHC [2]

En partant d'une énergie totale disponible au centre de masse des collisions de 7 TeV et 20 collisions toutes les 25 ns en 2011, sa puissance en 2017 a presque doublé, avec une énergie de 13,6 TeV et un

nombre de collisions passant à 60 à chaque croisement paquet de protons comme illustré dans le Tableau 2.1.

	LHC (2011)	LHC (2017)	HL-LHC (2028)
# Collisions / $25 \text{ ns}$	20	60	140 (200)
# Higgs / $an$	1M	3M	15M

Tableau 2.1: Nombre de collisions et de Bosons de Higgs produits par le LHC à chaque grande mise à jour de son infrastructure. [2]

C'est lors du 3<sup>ème</sup> long arrêt du LHC (marqué LS3) que s'installeront les améliorations de ses détecteurs afin d'augmenter encore la luminosité avec 200 collisions par croisement, passant du LHC au HL-LHC. L'évolution des détecteurs en même temps que les infrastructures d'accélération de particules est importante pour pouvoir s'adapter aux contraintes fixées par la luminosité des collisions et les radiations, induites par le nombre important de particules secondaires générées. De nouveaux algorithmes d'identification des gerbes de particules (« Particle Flow ») et une détection toujours plus fine permettent de pallier ces problèmes d'empilement d'événements (« Pile-up »). C'est dans ce cadre que le circuit HGCROC, sur lequel porte ma thèse, s'inscrit dans la 2<sup>ème</sup> phase d'amélioration des calorimètres bouchon appelés HGCal (« High Granularity Calorimeter »).

### 2.2.1 Identifier les différentes particules

Afin d'identifier au mieux les particules produites, il existe 3 grandes familles de détecteurs. Chaque famille correspond à un type de particules à mesurer qui se définit par son énergie, poids, sa durée de vie, ainsi que la capacité que l'on a à les mesurer.

### 2.2.2 Familles de détecteurs

La première couche de détection est appelée couche de trajectographie (tracker) car elles détectent le passage d'une particule chargée par son énergie perdue par l'ionisation, et donc ne peut détecter que des particules chargées. La principale qualité pour ces couches de détections est la précision temporelle et spatiale, car au plus près du point d'interaction. Leur fonction première est de détecter l'origine des trajectoires des particules. Différents types de détecteurs de trace vont être ajoutés après les pixels afin de servir de déclencheur pour les couches suivantes.

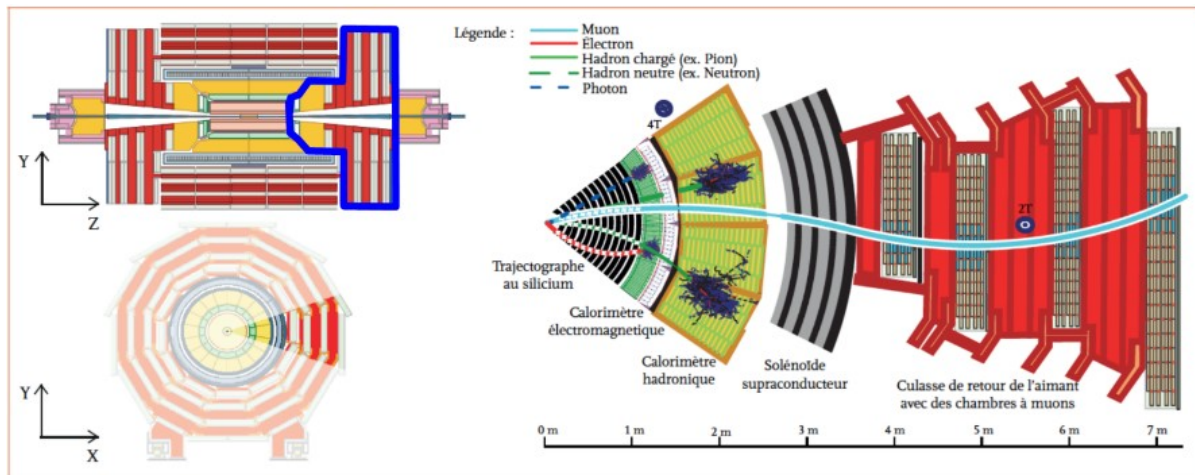


Figure 2.2: Vue de coupe YZ de CMS, en haut à gauche avec HGCal en bleu et vue de coupe XY en bas à gauche, permettant l'observation des différentes couches de détection, à droite

Les couches suivantes sont celles qui nous intéressent dans ce manuscrit : les calorimètres. Une mise à jour des calorimètres-bouchon représentée en bleu sur le schéma de coupe de la Figure 2.2, seront installés afin de répondre aux défis donnés par le HL-LHC. C'est à la fin de la partie de trajectographie et calorimétrie que se situe le solénoïde supraconducteur donnant son nom à l'expérience CMS. Son rôle est de courber les particules en fonction de leur masse et de leur charge, dans un sens si elle est positive, et dans le sens inverse si la charge est négative. Cette méthode est un bon moyen d'identifier le type de particules que l'on observe.

Les calorimètres électromagnétiques en vert sur la Figure 2.3 vont permettre de détecter l'énergie des électrons et photons en les absorbant. Les calorimètres hadroniques en jaune claire sont destinés à la mesure d'énergie des hadrons, chargés ou non, tels que les protons et neutrons par le même phénomène d'absorption, bien qu'il existe deux types de calorimètres qui seront décrits plus loin.

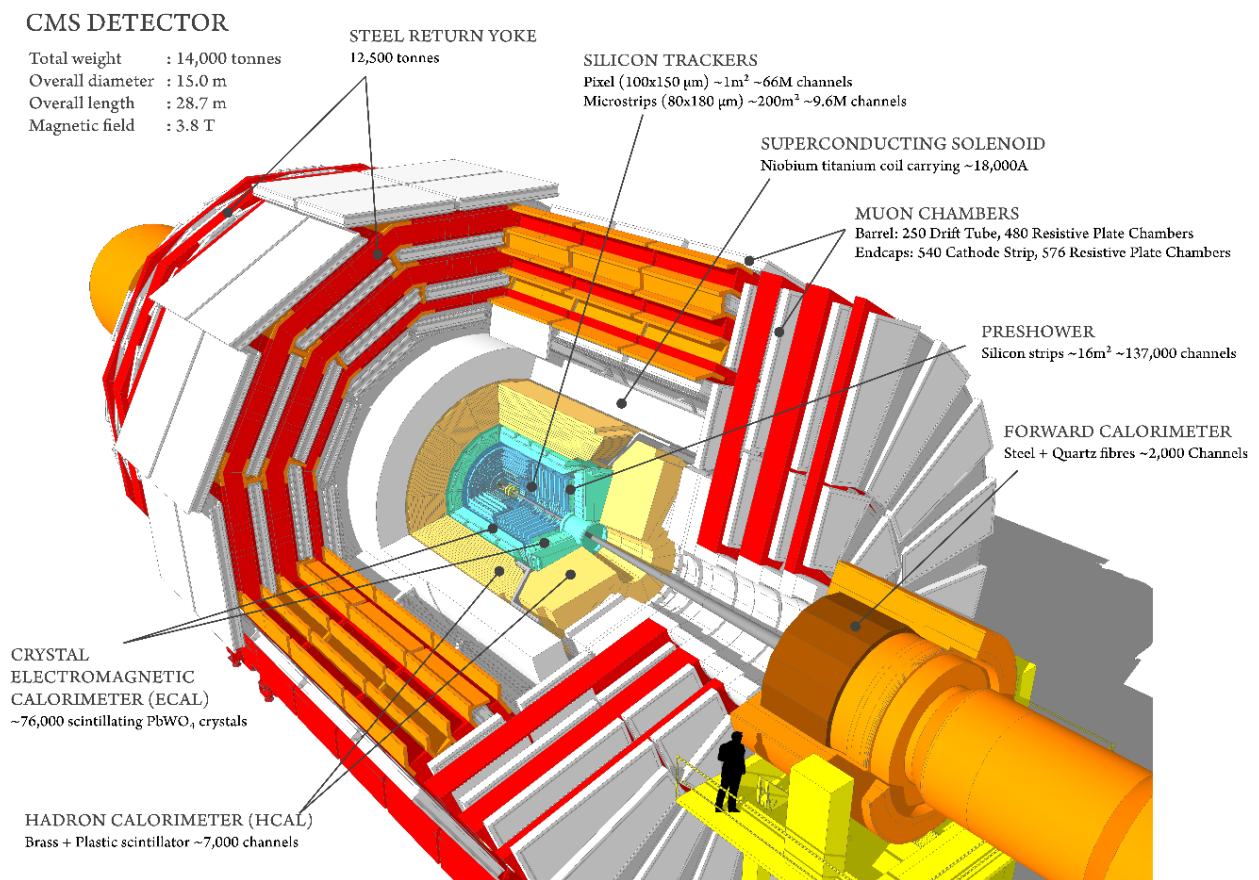


Figure 2.3: Représentation actuelle en 3D de CMS avec ses différents modules de détection.

Seules quelques particules chargées comme les muons, sont capables de traverser les calorimètres. On les identifie donc avec des détecteurs de trajectoire appelés spectromètres à Muons en en blanc derrière un blindage en rouge qu'elles seules peuvent traverser. Un champ magnétique émis par un solénoïde supraconducteur en blanc placé avant les chambres à muon permet de courber leur trajectoire afin de mesurer leur impulsion.

## 2.3 HL-LHC

On observe aussi différents points sur l’anneau principal, nommés ATLAS, ALICE, CMS et LHCb. Ce sont des points de collisions, appelés aussi « expériences ». C’est à ces emplacements que sont étudiées les particules résultant des collisions. C’est dans cette démarche que sont installés des détecteurs de particules de différentes formes et de différents types, afin de pouvoir reconstruire sur ordinateur la collision avec de puissants logiciels assemblant toutes les « photos » prises par chaque couche de détection.

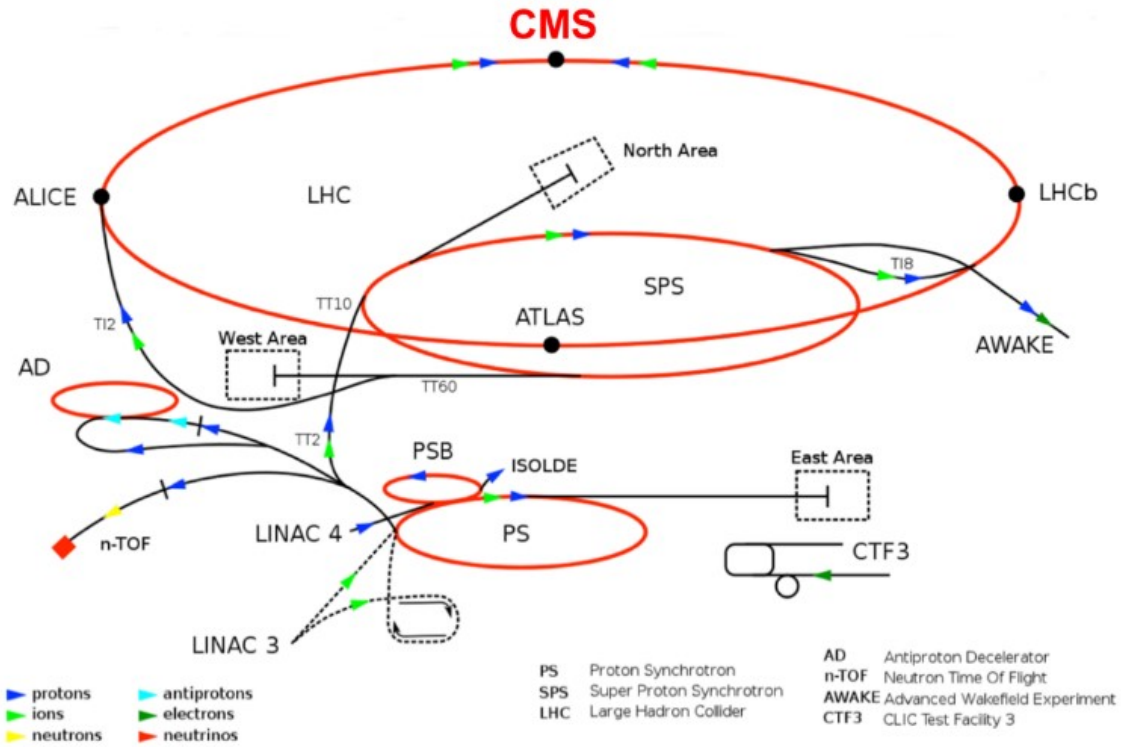


Figure 2.4: Plan des différents accélérateurs et points de collisions qui composent le LHC.

### 2.3.1 Environnement Radiatif du HL-LHC

Afin de prévoir les contraintes auxquelles va être soumis le détecteur, l’expérience simule l’environnement avec des logiciels tels que Geant4 ou FLUKA, en prenant compte de l’augmentation de l’énergie et de la luminosité. Dans notre cadre, ce sont des simulations FLUKA que sont estimées les quantités et type de rayonnement auxquels l’expérience sera soumise, en fonction des matériaux composant le détecteur et la puissance de fonctionnement de l’accélérateur. Dans la région  $1.5 < \eta < 3$  correspondant à l’angle du détecteur proche du faisceau dans laquelle sera le détecteur-bouchon (ou « End-Cap »), les simulations en Figure 2.5 et Figure 2.6 nous montrent que la dose ionisante cumulée pour une luminosité intégrée de  $3000 \text{ fb}^{-1}$ , ne dépassera pas les 2 MGy ou 200 Mrad et que la fluence remise en équivalence de neutrons de 1 MeV sera  $1.5 \times 10^{16} \text{ n}_{\text{eq}}/\text{cm}^2$ , au plus près de la collision et de  $8 \times 10^{13} \text{ n}_{\text{eq}}/\text{cm}^2$  pour les détecteurs les plus éloignés utilisant aussi une déclinaison de notre circuit : H2GCROC pour lire des détecteurs à base de scintillateurs, qui seront approfondis dans le chapitre sur les détecteurs.

**CMS p-p collisions at 7 TeV per beam**  
**Absorbed Dose at 3000 fb<sup>-1</sup>**

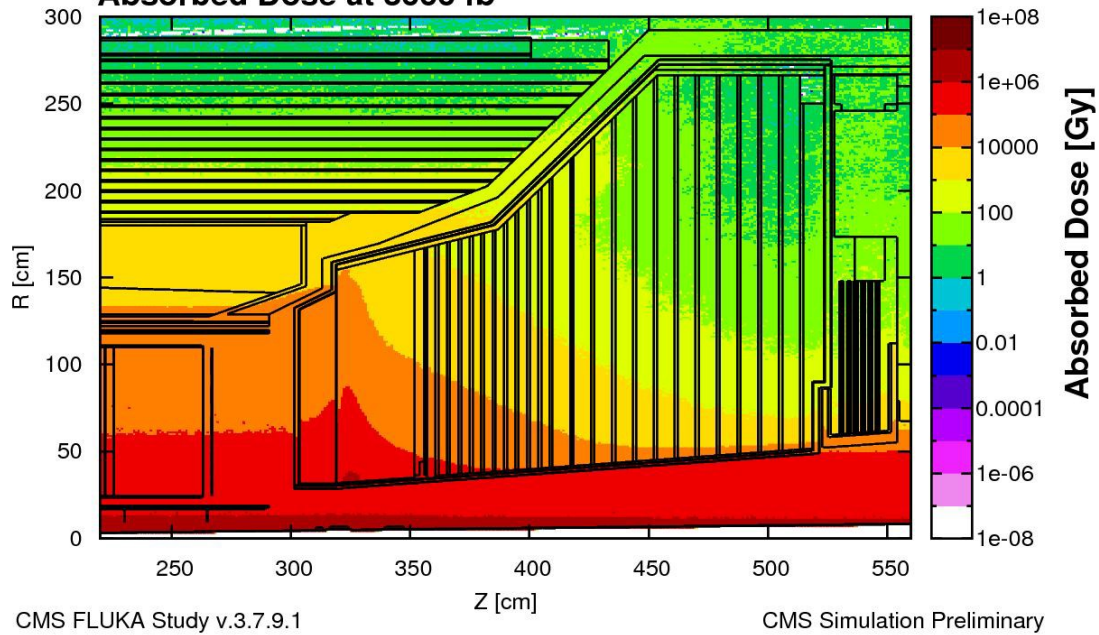


Figure 2.5: Dose ionisante de radiation, Dose accumulée dans HGCAL après une luminosité intégrée de 3000 fb<sup>-1</sup>, simulée par le programme FLUKA [32]<sup>1</sup>, montrant en 2 dimensions de coordonnées radiale et longitudinale, r et z. [2]

**CMS p-p collisions at 7 TeV per beam**  
**1 MeV-neutron equivalent fluence in Silicon at 3000 fb<sup>-1</sup>**

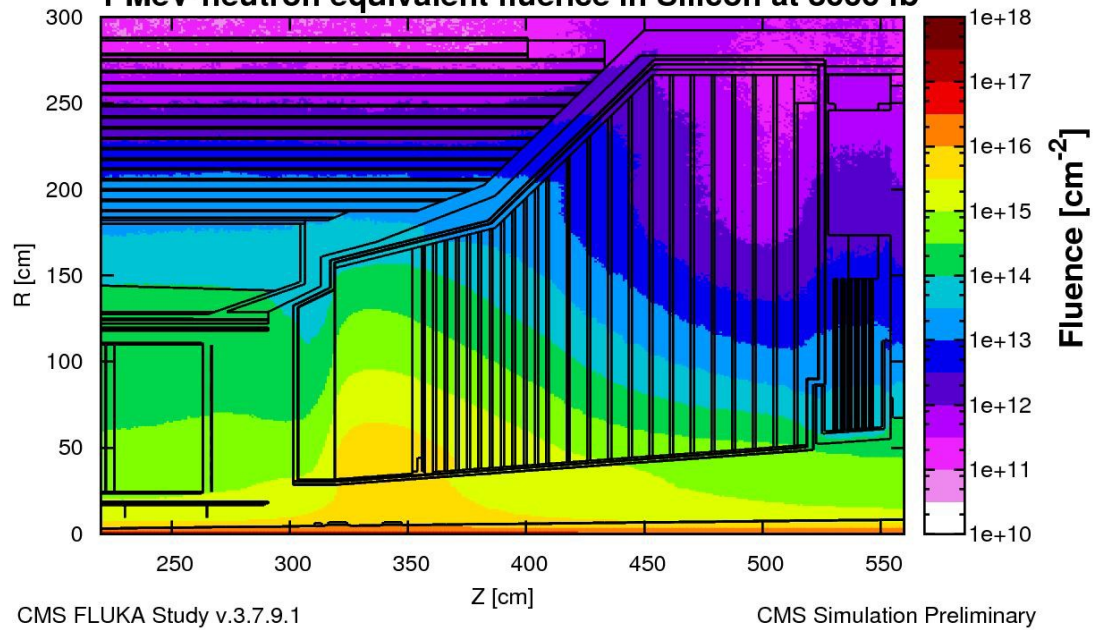


Figure 2.6: Fluence, paramétrée en fluence équivalente à 1 MeV de neutrons, accumulée dans HGCAL après une luminosité intégrée de 3000 fb<sup>-1</sup>, simulée par le programme FLUKA, montrant en 2 dimensions de coordonnées radiale et longitudinale, r et z. [2]

<sup>1</sup> <http://www.fluka.org/fluka.php>

### 2.3.2 Limitations des anciens instruments

Le rôle d'un calorimètre est de mesurer l'énergie d'une particule en absorbant son énergie. Dans le cas du calorimètre homogène illustré sur la Figure 2.7, c'est l'intégralité de l'énergie qui est absorbée dans le matériau.



Figure 2.7: Composition d'un calorimètre électromagnétique homogène de CMS.

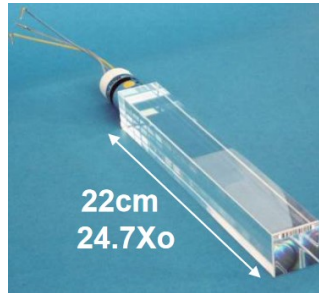


Figure 2.8: Photo d'un cristal de  $PbWO_4$  et son PM d'un calorimètre électromagnétique homogène.

Dans la précédente génération de calorimètres électromagnétiques de CMS, la particule est absorbée par un cristal de  $PbWO_4$  (en vert) générant une quantité déterminée de photons, proportionnelle à l'énergie reçue. C'est à l'aide d'un détecteur VPTs pour Vacuum Photo-Triode (en rouge) placé à l'arrière du cristal, agissant comme un photodétecteur que l'on mesure l'énergie absorbée par le cristal en convertissant l'énergie lumineuse en une valeur électrique mesurable. L'avantage de cette méthode de détection est sa précision en énergie, ainsi que la linéarité de sa mesure. La constante de désintégration du  $PbWO_4$  permet d'obtenir 80% de la lumière absorbée en 25ns. En revanche, son prix est très élevé, et ce type de détecteur ne possède pas la segmentation longitudinale et la rapidité de déclenchement nécessaire à l'utilisation d'algorithme de « Particle Flow » [33] issu du tracking, et augmentant significativement la précision d'identification des particules dans un environnement très lumineux tel que le HL-LHC. De plus, il existe aussi un problème avec ce type de cristal, perdant en transparence lors d'une irradiation prolongée. Pour y remédier, ils doivent être mis au repos pendant une longue durée afin de retrouver une partie de leur efficacité.

Concernant les calorimètres hadroniques, ils se composent actuellement de détecteurs à base de scintillateur. Cette technique de détection va être utilisée sur les couches éloignées du calorimètre hadronique, donc moins exposées aux rayonnements. Ils se composent d'un scintillateur plastique accolé à un SiPM lu par un ASIC très similaire à HGCROC, avec un étage de traitement analogique différent : H2GCROC.

Un virage technologique important a donc été effectué pour la prochaine mise à jour des calorimètres actuels, grâce au projet de calorimètre silicium ultra-granulaire HGCal. Les calorimètres passeront d'une détection homogène à une détection par échantillonnage, que je vais approfondir dans la partie suivante.

## 2.4 HGCAL : HIGH GRANULARITY CALORIMETER

Comme son nom l'indique HGCal est un calorimètre à haute granularité, à la frontière entre la trajectographie et la calorimétrie. Il viendra prendre place de chaque côté du détecteur cylindrique de l'expérience CMS. Ce circuit devra donc respecter un cahier des charges très strict, dû au milieu très

radiatif dans lequel il va évoluer. Dans ce chapitre, nous allons étudier le cahier des charges imposé par la collaboration et les raisons de sa complexité. On appelle ce type de détecteur des imageurs 5D pour leur précision spatiale dans les trois dimensions ainsi qu'une précision temporelle accrue, permettant la reconstruction précise des gerbes de particules malgré une luminosité intense dans le HL-LHC. L'effet d'empilement de collisions passe donc à plus de 200 collisions à chaque Bunch Crossing (BX), correspondant au croisement de deux paquets de hadrons, espacés de 25ns.

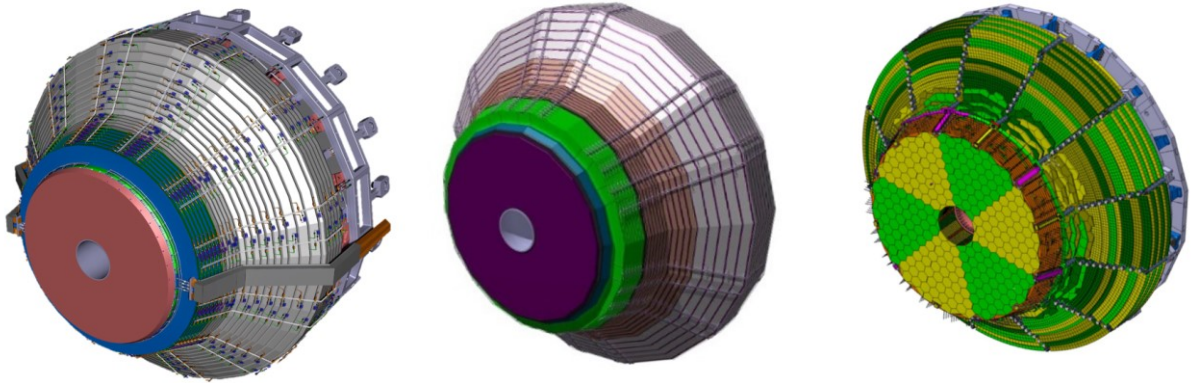


Figure 2.9: Vue 3D de HGCAL avec sa structure mécanique à gauche, son système de refroidissement au milieu, et l'assemblage des couches hexagonales à droite.

#### 2.4.1 Système de mesure

Dans cette partie, je vais décrire succinctement le système de mesure permettant à partir d'une particule ionisant le silicium des détecteurs électromagnétiques et hadroniques, d'arriver à une reconstruction en 5D de la collision exploitable par les physiciens.

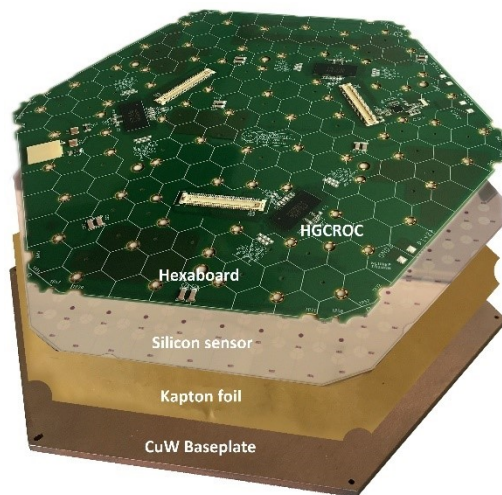


Figure 2.10: Composition des couches du module hexagonal faible densité de l'Hexaboard, de la couche de détection en silicium, la feuille de Kapton et plaque de support en cuivre et tungstène.

Le détecteur silicium va directement être connecté à une carte PCB illustrée sur la Figure 2.10; l'Hexaboard, supportant à la fois les ROC et les senseurs silicium. Dans la chaîne d'acquisition, notre circuit se situe directement après le détecteur silicium ayant comme rôle principal de lire l'information énergétique délivrée par ce dernier, d'où l'appellation « Very Front-end » pour notre circuit et « Front-end » pour un ensemble de circuits illustrés en Figure 2.12.



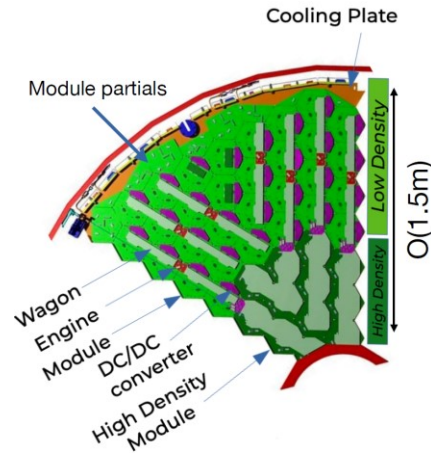


Figure 2.11: Assemblage et interconnexion d'un module complet d'une couche de détection mixte (HD/LD).

Le système est piloté par un lien de commande rapide (Fast Commands) et par une horloge à 320 MHz cadencant l'ensemble des détecteurs. Une fois les informations lues et prétraitées par un de nos circuits (HGCROC), elles sont envoyées par 6 liens-série 1,28 Gbps, 4 liens-série pour le concentrateur de données de déclenchement (ECON-T) appliquant un des quatre algorithmes disponibles pour l'envoyer au niveau 1 de prise de décision, et 2 liens-série pour le concentrateur de données d'acquisition analysant l'alignement des informations et la suppression de données inutiles (« zéro suppression »). (ECON-D).

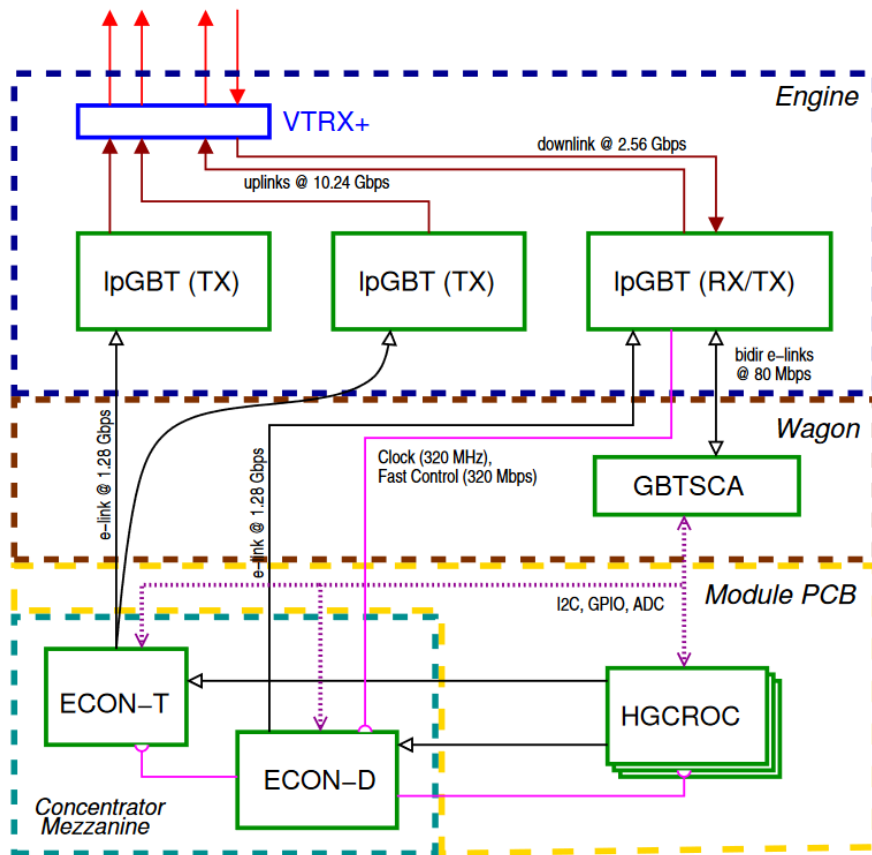


Figure 2.12: Diagramme système de la chaîne d'acquisition "Front to back end" d'HGCAL.

Les données sont ensuite transmises, toujours par des liens-séries 1.28 Gbps, à un module appelé « Wagon » car faisant l'interconnexion des modules hexagonaux illustré en Figure 2.12. Ils peuvent

relier d'une à 3 Hexaboard se chargeant de distribuer les configurations des circuits (Slow Control) par un lien I2C, afin de caractériser chaque étage de la chaîne d'acquisition en détail. Vient ensuite en fin de Front-end la partie « Engine » connectée à deux Wagons, composée de modules (ipGBT), ayant comme rôle de convertir les informations compressées et épurées de toutes les voies sur des liens optiques allant de 2,56 Gbps pour les commandes (Rx et Tx) à 10,24 Gbps pour les données (Rx), afin d'être transmises au niveau supérieur (Back End) de traitement par des FPGA puissants (VTRX+).

### 2.4.2 Détecteur

Comme nous l'avons vu dans le chapitre précédent (HGAL), notre circuit se situe directement après le détecteur. Ces détecteurs fonctionnent sur le principe des diodes PN réagissant au passage d'une particule chargée au travers d'une structure de silicium dopée venant céder son énergie au milieu par ionisation, libérant ainsi des paires d'électron-trou. On va ainsi mesurer le courant généré par ces dernières en polarisant la jonction.

#### 2.4.2.1 Améliorations des calorimètres

Les technologies utilisées précédemment pour mesurer l'énergie des particules électromagnétiques et hadronique deviendront obsolètes avec la montée en puissance et en luminosité du LHC. En effet, la technique de détection utilisée sur la précédente génération de calorimètres électromagnétiques utilise des calorimètres homogènes, en opposition avec la nouvelle génération qui utilise de la calorimétrie par échantillonnage.

#### 2.4.2.2 Calorimètre à Echantillonnage

La nouvelle génération de calorimètres électromagnétiques de CMS utilise cette fois le principe d'échantillonnage de la mesure calorimétrique. Cependant, ce calorimètre à échantillonnage est moins précis car il perd une partie des informations énergétiques dans les absorbers. En revanche, ses principaux points forts sont sa résistance aux radiations ainsi que sa granularité transversale minimale de 0.53 cm<sup>2</sup> et longitudinale d'environ 12 mm sur les premières couches de détection, donnant une précision spatiale suffisante pour permettre au système de distinguer de 140 à 200 collisions p-p par croisement de paquets pouvant s'étaler spatialement sur 6 cm, et temporellement sur 200 ps. Ce phénomène de superposition d'événements avec une grande congestion est appelé « empilement » (« pile-up »).



Figure 2.13: Structure d'un calorimètre à échantillonnage.

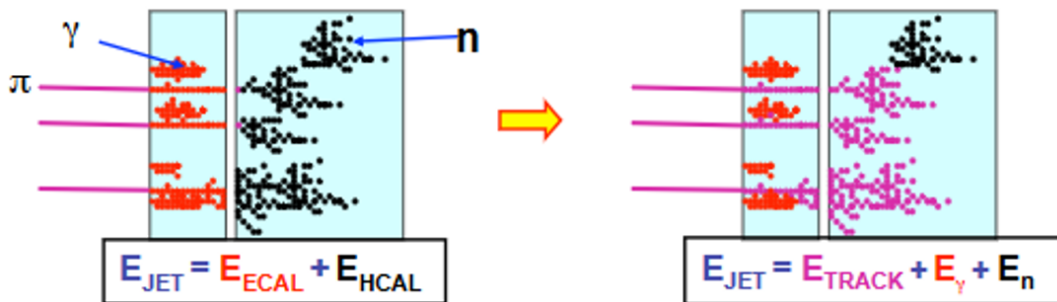


Figure 2.14: Illustration de l'utilisation du "Particle Flow" dans l'identification de gerbes de particules. [33]

Cette granularité très élevée permet d'utiliser des algorithmes de « Flot de particules » (« Particle Flow »). En physique des particules, ces algorithmes reconstruisent précisément les trajectoires de particules subatomiques en utilisant des informations de divers sous-détecteurs. Cette approche permet d'améliorer la reconnaissance des formes, même lors d'événements congestionnés, en identifiant d'abord des clusters 2D alignés dans l'axe de la gerbe, puis en étendant cette identification à d'autres dimensions du calorimètre (énergie, positions x-y-z et temps), pour une reconstruction complète en 5D. Ainsi, il aide à distinguer les particules adjacentes ou chevauchantes, contribuant à notre compréhension de la matière subatomique.

Par ailleurs, le fait de le maintenir à  $-30^{\circ}\text{C}$  permet de diminuer les courants de fuites ainsi que les impacts des radiations sur les détecteurs silicium à des expositions prolongées en dose, ce point sera approfondi dans le chapitre sur les Doses cumulées.

### 2.4.3 Composition des couches de détections

La composition du HGAL va être détaillée afin de donner les chiffres respectifs pour chaque élément du détecteur, donnant le nombre de voies à lire ainsi que le nombre de circuits nécessaires. Le Tableau 2.2[34] nous donne les surfaces par type de détecteur, le nombre de voies et ainsi la quantité de circuit HGROC permettant de lire chacune d'entre elles. Comme la sensibilité du détecteur doit dépendre de la distance au point de collision, on observe à gauche de la Figure 2.15 les délimitations correspondant à l'épaisseur du détecteur de 100, 200 et 300  $\mu\text{m}$ . L'épaisseur de la couche de détection en silicium va varier selon la fluence reçue, avec une durée de vie en doses respectives de 100, 20 et 3 Mrad. Les détecteurs les plus fins (120  $\mu\text{m}$ ) ont aussi un MIP (Minimum Ionizing Particle) et une taille de cellule deux fois plus petite (0.52  $\text{cm}^2$  au lieu de 1.18  $\text{cm}^2$ ) correspondant à la haute granularité [35]. On observe aussi dans la vue de coupe au centre de la Figure 2.15, la séparation entre détecteurs Silicium et scintillateurs correspondant aux seuils de radiations simulés sur l'outil FLUKA. Les couches de détection mixtes comme illustré à droite de la Figure 2.15 se composent à la fois de détecteur silicium de forme hexagonale et de détecteur à base de scintillateurs en rouge.

PARTIE ACTIVE HGROC/H2GCROC	ELECTROMAGNETIC SILICON	HADRONIC	SCINTILLATOR
Surface ( $\text{m}^2$ )	368	215	487
N° de voies (k)	5855		389
N° de modules	16008	8868	3960
N° de modules partiels	1008	1452	-
N° de couches Si[36]	26	7	-
N° de couches mixtes (Si + Sc)	-	16	

Tableau 2.2: Résumé des couches de détection et du nombre de voies de lecture d'HGCAL.[34]

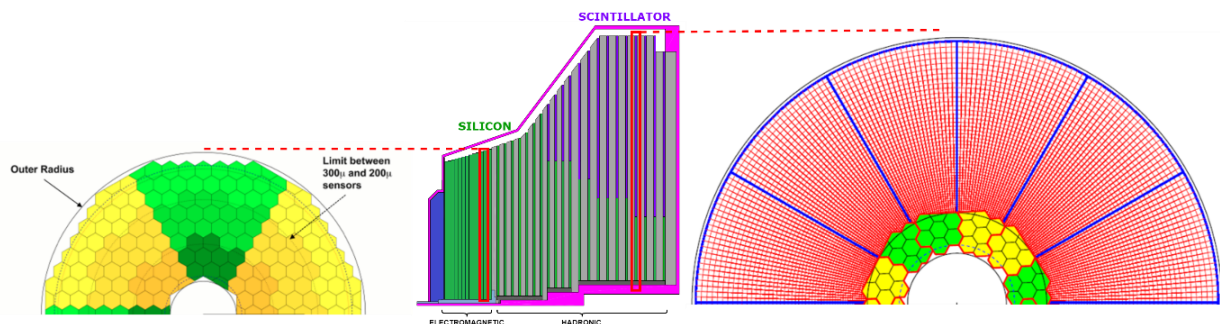


Figure 2.15: Illustration d'une couche silicium à gauche et d'une couche mixte silicium/scintillateur extraites d'une vue de coupe d'HGCAL au centre.[36]

### 2.4.3.1 Structure longitudinale

L'appellation de « Compact » de CMS n'est pas un vain mot, comme les calorimètres doivent être à l'intérieur des aimants, toutes les couches ne disposent que d'un espace limité pour détecter les particules, convertir le signal, envoyer les données jusqu'au back-end, tout ceci en refroidissant et alimentant en électricité. On observe sur la Figure 2.16 l'alternance des différentes couches d'absorbeurs avec les couches de détection en silicium.

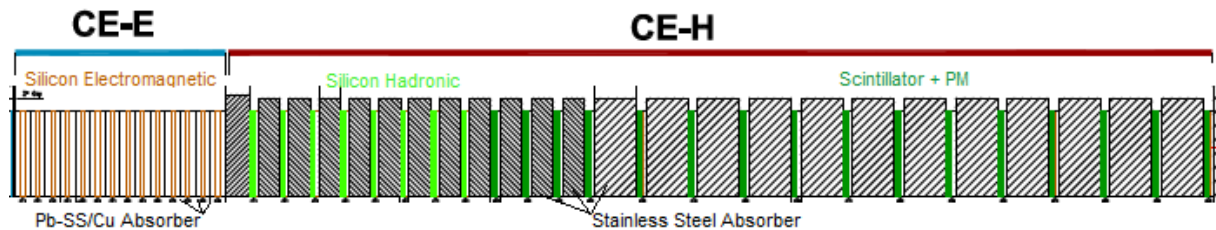


Figure 2.16: Structure longitudinale des couches de détection et d'absorbeur d'HGCAL

On observe bien à gauche la séparation entre les détecteurs électromagnétiques possédant des absorbeurs en cuivre/plomb, puis hadroniques plus loin de la collision, avec des absorbeurs plus épais en acier inoxydable. Tous deux sont composés, au plus proche du point de collision, de capteurs silicium bien plus résistants aux radiations et permettant une granularité plus fine (0.5 – 1 cm<sup>2</sup> taille de cellule). Et enfin, plus loin de la collision, des scintillateurs plastiques car moins résistants aux radiations, mais très intéressants par leur prix et fiabilité. Ils ont une granularité suffisante (4 – 32 cm<sup>2</sup> par dalle) à leur distance au point de collision.

PARTIE PASSIVE	ELECTRONMAGNETIQUE	HADRONIQUE	
	SILICIUM	SCINTILLATEUR	
<b>Absorbeur</b>	Pb, CuW, Cu	Acier Inox, Cu	
<b>Epaisseur absorbeur (mm)</b>	4	35	68
<b>N° de couches</b>	28	8(12)	16(12)
<b>Epaisseur couche (mm)</b>	24	49	84

Tableau 2.3: Récapitulatif de la composition des couches passives d'HGCAL.

On a un total de 6,1 millions de voies provenant de capteur silicium, et 240 000 voies provenant de scintillateurs, pour un total d'environ 100 000 ROCs pour lire ce nombre important de voies couvrant une surface de détection d'environ 600m<sup>2</sup>, l'ensemble tenant dans moins de 2 mètres de long.

### 2.4.3.2 Détecteurs silicium

L'élément sensible du détecteur est une diode silicium, dont l'épaisseur de la zone sensible va déterminer les caractéristiques du détecteur. Des études ont démontré l'impact, en termes de collection de charge, de courant de fuite et de dissipation de puissance avec des détecteurs plus fins [37]. C'est la raison pour laquelle il existe différentes configurations des zones actives en silicium, qui sont listées dans le Tableau 2.4 avec les zones associées par couleurs à la Figure 2.17 associée. Les détecteurs au plus proche de la collision (en rouge) voient leur zone de détection réduite en épaisseur, leur permettant une meilleure résistance aux rayonnements au détriment du signal sur bruit. Ces zones soumises à de plus grandes quantités d'événements possèdent une surface moitié moins étendue, permettant d'augmenter le nombre de voies de lecture par hexagone, donc la granularité passant de 192 à 432. Cette différence de configuration implique une contrainte au niveau du circuit de lecture HGCROC qui sera approfondie dans le prochain chapitre.

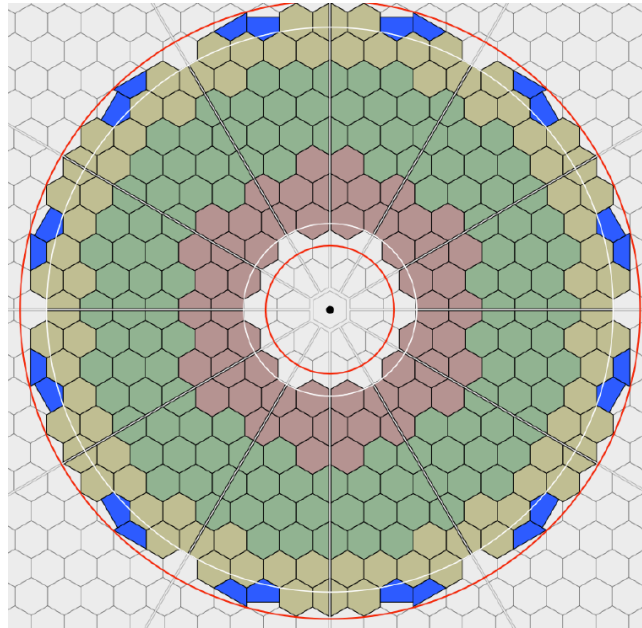


Figure 2.17: Délimitation des sensibilités de détecteur par zone en fonction de sa proximité avec la collision.

Thickness	300 $\mu\text{m}$	200 $\mu\text{m}$	120 $\mu\text{m}$
Maximum dose (Mrad)	3	20	100
Maximum fluence ( $n_{\text{eq}}/\text{cm}^2$ )	$6 \times 10^{14}$	$2.5 \times 10^{15}$	$1 \times 10^{16}$
Position in electromagnetic	$R > 120 \text{ cm}$	$120 \text{ cm} > R > 75 \text{ cm}$	$R < 75 \text{ cm}$
Position in hadronic	$R > 100 \text{ cm}$	$100 \text{ cm} > R > 60 \text{ cm}$	$R < 60 \text{ cm}$
Cell size ( $\text{cm}^2$ )	1.05	1.05	0.53
Cell capacitance (pf)	40	60	60
S/N after $3000 \text{ fb}^{-1}$	6.5	2.7	1.7

Tableau 2.4: Description des trois configurations de détecteurs silicium en fonction de leur position illustrée à droite du tableau.

### 2.4.3.3 CE-E

Ce détecteur se compose donc d'un assemblage de 28 couches de détection pour une épaisseur totale du détecteur d'environ 34cm. Chaque couche de détection est composée elle-même d'un assemblage de différents matériaux ayant chacun une fonctionnalité : le silicium pour la détection et le plomb, acier inoxydable et cuivre très denses, provoquant les effets radiatifs pour initier les gerbes de particules, et le tungstène ainsi que les PCB pour la rigidité. La Figure 2.18 en vue de coupe longitudinale d'un calorimètre électromagnétique illustre l'organisation des couches, ainsi que l'endroit où prendra place notre circuit en rouge.

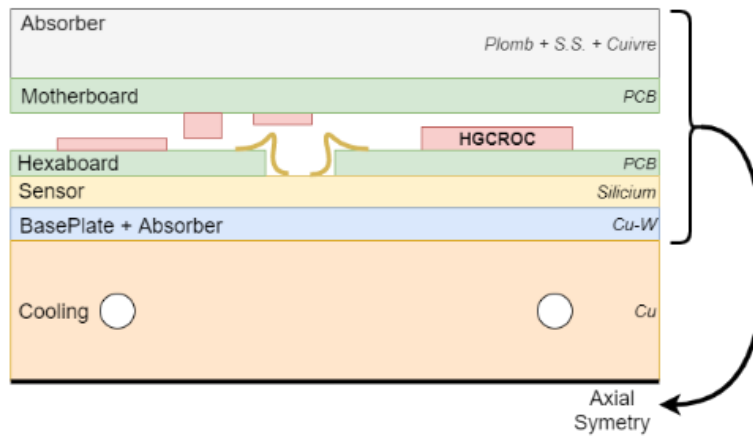


Figure 2.18: Agencement des couches d'un détecteur électromagnétique silicium d'HGCAL.

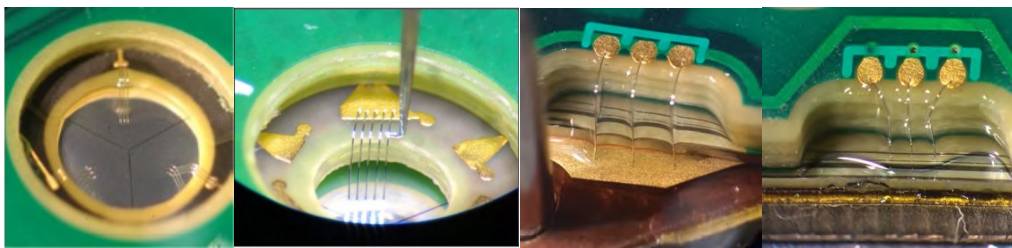


Figure 2.19: Photo des connexions de la couche de détection au PCB de l'Hexaboard.

Les couches d'absorbeurs, PCB, la couche de détection en silicium, la couche de polarisation ainsi que la base plate ont été collées en sandwich permettant une grande rigidité de la structure, ainsi qu'une bonne conductivité thermique avec le circuit de refroidissement intégré à la plaque de refroidissement appelée « cassette ». La couche de support en Cuivre-Tungstène sert aussi de couche absorbante pour les interactions électromagnétiques. Faire une connexion en Wirebonding des PCB directement sur les couches de silicium, ainsi que la polarisation directement sur les Base plates sont un véritable défi de conception. On notera que ces structures sandwich sont fixées de chaque côté du module de refroidissement, donnant 28 couches d'échantillonnage pour 14 couches de cassette.

#### 2.4.3.4 CE-H

Le calorimètre hadronique est la couche de détecteur suivante. Elle permet de détecter, comme son nom l'indique, les hadrons. Cette partie de l'end-cap se compose de couches mixtes, tout d'abord avec 12 couches de 49 mm composées d'absorbeurs en acier inoxydable (35 mm) appelées FH pour « Forward Hadronic ». La Figure 2.20 donne l'assemblage d'une couche du FH. Plus loin du point de collision, dans la partie BH pour « Back Hadronic » qui compte 12 couches d'échantillonnage, composées d'absorbeurs en acier inoxydable plus épais (68 mm). Mis à part l'épaisseur des absorbeurs, l'assemblage des couches pour les détecteurs silicium est similaire dans le FH et le BH. Dans la partie BH du calorimètre hadronique, les couches de maintien de la structure se font avec des PCB. Ce choix confère de bonnes propriétés thermiques, bien moins coûteuses que les base-plates en tungstène-cuivre.

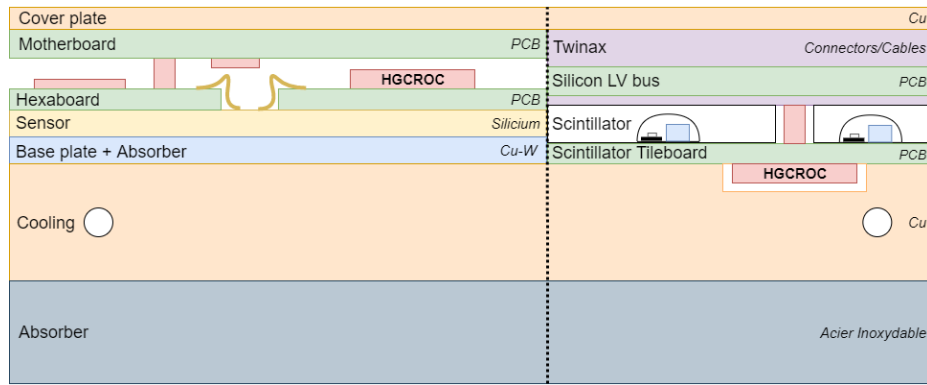


Figure 2.20: Agencement des couches d'un détecteur hadronique silicium d'HGAL à gauche, et à base de scintillateur à droite.

Cette partie du détecteur se compose de couches mixtes, détecteurs silicium au plus près de la collision et scintillateurs là où l'exposition aux radiations est moins élevée. Je vais à présent passer sur un point de vue transversale du calorimètre, afin de comprendre les moyens entrepris pour rendre le détecteur ultra granulaire.

#### 2.4.3.5 Structure Transversale

Le calorimètre-bouchon étant rond, chaque couche de détection devra optimiser l'espace de détection à l'intérieur de cette forme, que ce soit pour les couches de détection en Silicium, mais aussi les PCB qui vont accueillir notre circuit. La forme hexagonale est donc un bon compromis afin de perdre un minimum de surface de wafer, qui est, lui aussi, rond. Les cartes PCB devant être collées à la couche de détection afin d'acheminer les données avec le minimum de latence et de perturbations à travers des trous métallisés illustrés précédemment en Figure 2.19, et prendra donc le nom « d'Hexaboard ». Elle existe en deux configurations illustrées sur la Figure 2.21, correspondant aux deux granularités de la couche de détection sur la droite de la figure. En effet, plus les détecteurs sont à proximité du faisceau, plus la granularité doit être élevée pour être capable de lire la densité d'information présente proche de la collision. Deux Hexaboard de granularité différente ont dû être développés, celle avec la granularité élevée (« High Density »), propose une totalité de 432 voies correspondant aux diodes individuelles avec une surface des cellules de détecteur silicium de  $0.53 \text{ cm}^2$ . Cette granularité de carte possède donc 6 circuits HGCRROC (en configuration 72 voies). La seconde (« Low Density »), lit 192 voies de détection en silicium de surface  $1.05 \text{ cm}^2$ . Ces voies sont lues par 3 circuits HGCRROC en configuration 64 voies.

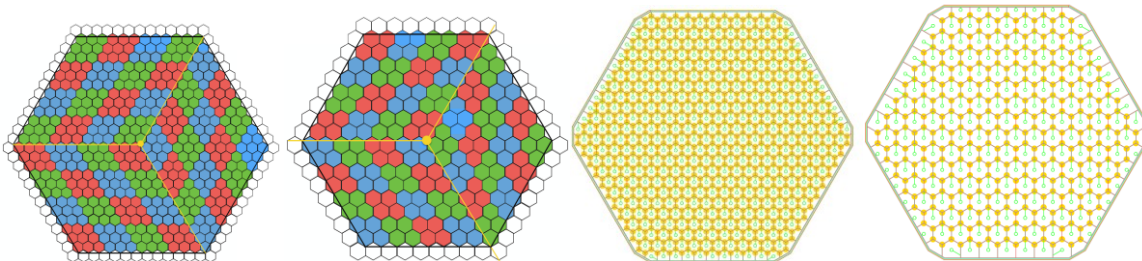


Figure 2.21: Illustration des deux configurations de granularité du détecteur, et les cellules de détection associées à droite.

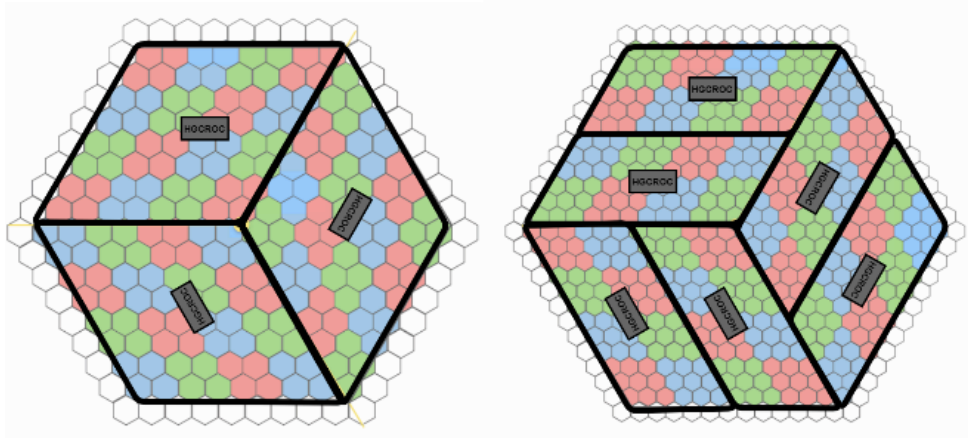


Figure 2.22: Distribution des voies par circuit HGCROC dans les deux configurations de granularité

#### 2.4.3.6 Scintillateur

Une adaptation de la partie analogique de mise en forme du signal d'entrée permet même à ce circuit de lecture de lire les détecteurs à base de scintillateurs plastiques sous une autre appellation : H2GCROC. Le choix de cette technologie a été un compromis sur la surface de grande taille à couvrir, pouvant être plus facilement et à moindre coût relié à une cellule de photo-détection plastique. Ces zones du détecteur sont plus éloignées du point de collision et sont donc moins exposées aux radiations pouvant détériorer la transparence des matériaux photosensibles. La tolérance aux TID des scintillateurs plastique est de 0.3 Mrad.



## 3 LES FONCTIONNALITES DE L'ASIC HGCROC3

---

Arriver à ce taux de complexité a demandé beaucoup de temps à être atteint ; en effet, le premier prototype arriva en 2016 avec le prototype SKIROC en silicium-germanium [38].

Par la suite, deux Test Véhicules ont vu le jour la même année avant d'arriver à la première version d'HGCROC en 2017[35].

Nous allons nous concentrer sur les 2 dernières étapes nommées HGCROCV2, reçus en 2019 et la v3 revenue de production à l'automne 2021.

Le principal point commun entre ces 2 dernières versions concerne le package et la taille de l'ASIC ainsi que la majorité des fonctionnalités analogiques.

### 3.1 VERY FRONT-END : HGCROC

Le circuit HGCROC est en première ligne derrière le détecteur (Front-end), il va donc avoir comme rôle de lire le faible signal électrique de quelques femtocoulombs pour le MIP, avec un bruit d'une sensibilité inférieure à 2500 électrons, avec une large bande dynamique allant de 0.2 fC à 10 pC. Ce circuit doit avoir une information temporelle de l'ordre de la dizaine de picosecondes à l'aide de TDC à l'état de l'art, donnant le Time over Arrival (TOA) et le Time over Threshold (TOT) du signal. Le système doit avoir une faible consommation avec moins de 20 mW par voie de lecture, afin que le système complet avec 1 million de voies de lecture puisse consommer moins de 125 kW par endcap. Ces caractéristiques à la pointe de l'état de l'art permettront de répondre aux défis technologiques de conception d'un calorimètre 5D proposé par la collaboration CMS.

Il possède la fonctionnalité spécifique d'appliquer un prétraitement sur données de déclenchement (Trigger) reçues, afin de les transmettre sous un format compressé aux couches du dessus d'analyse des événements, Central L1T (Level 1 Trigger) [39]. Tout cela en moins de 1.5  $\mu$ s au niveau du détecteur. La donnée met 3.5  $\mu$ s pour sortir du détecteur et arriver dans la back-end. Le prétraitement au niveau de l'ASIC permet d'envoyer un condensé des informations lues sur les voies d'un ASIC, permettant de gagner du temps au niveau des algorithmes de corrélation des déclenchements sur les autres couches de détection. Une fois que la couche de décision valide l'événement, le Central L1T renvoie un signal L1A (Level 1 Acceptation) au ROC par l'intermédiaire des Fast-Commands dans les 12,5  $\mu$ s. Il transmet données non compressées gardées en mémoire pendant tout ce temps, au prochain maillon de la chaîne de traitement, les Concentrateurs (ECON).

#### 3.1.1 HGCROC2

La description des fonctionnalités principales de la deuxième version d'HGCROC permettra d'expliquer la philosophie de fonctionnement du circuit et une meilleure compréhension la raison des améliorations concernant la 3ème version. Ce chip est divisé en 2 moitiés avec une symétrie axiale au centre. Chaque moitié de circuit possède 39 voies composées de 36 voies de lecture standard des détecteurs pour un total de 72 en configuration haute granularité. Les 3 voies supplémentaires se composent d'une voie de calibration en MIP (Minimum Ionizing Particle) et 2 voies permettant de soustraire le mode commun par moitié. Les blocs communs aux deux moitiés sont au milieu, tels que la PLL, les horloges et liens de transmission des données.

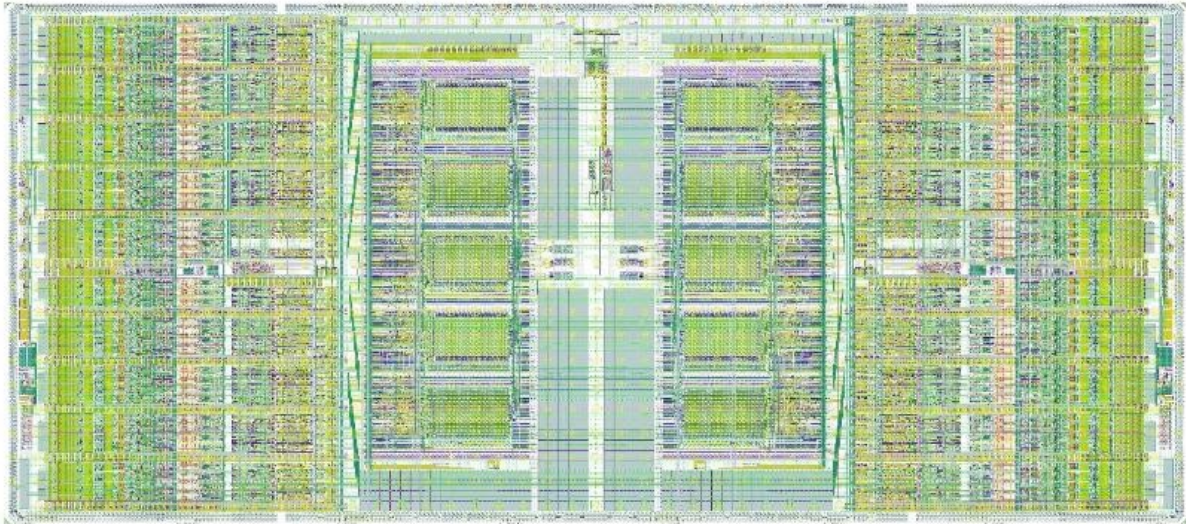


Figure 3.1: Vue du dessus du circuit HGCROCV2 avec le traitement analogique aux extrémités et les mémoires circulaires proches du centre.

Les extrémités de la puce sont dédiées au traitement analogique de chacune des voies avec différents étages que je vais détailler succinctement n'ayant pas apporté de modifications sur cette partie. Le premier étage est un préamplificateur ajustable, pour couvrir la large bande dynamique ainsi que l'étage de discrimination d'un Time Over Threshold, lui aussi configurable. Ce signal préamplifié va pouvoir servir pour le calcul du temps par les TDC du CEA-IRFU, donnant aussi le Time Over Arrival. Des ADCs provenant de AGH-Krakow vont convertir l'information énergétique après d'autres étages d'amplification globale, puis voie par voie afin de pouvoir obtenir une information la plus exploitable possible et filtrée de tout bruit pour un coût total analogique d'environ 6mW par voie.

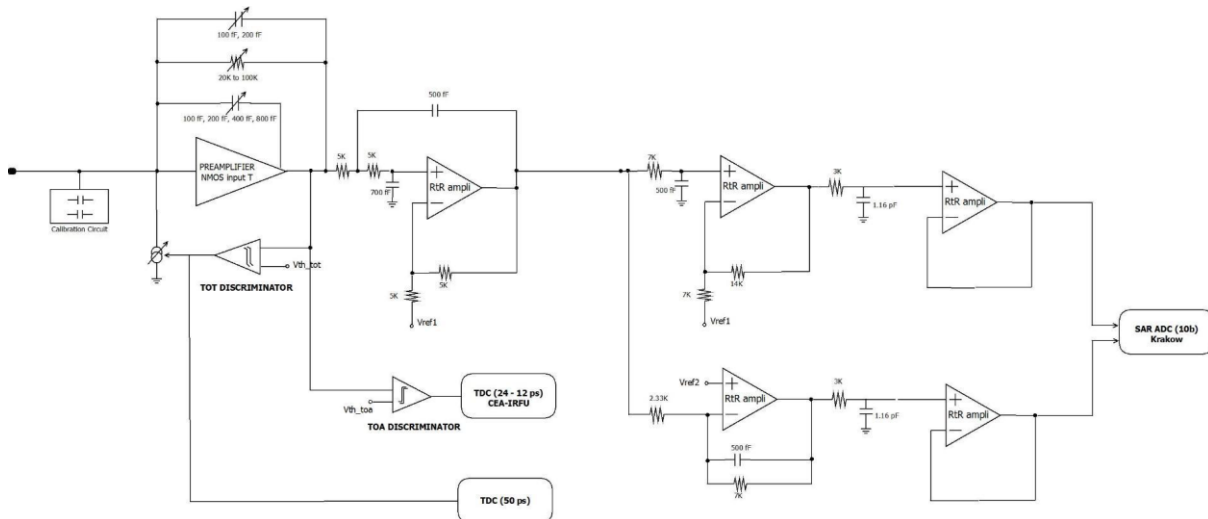


Figure 3.2: Schéma du traitement analogique d'HGCROCV2

### 3.1.1.1 Architecture numérique

Chaque voie se compose ainsi d'une mesure de charge donnée par un ADC 10 bits fonctionnant à 40 MHz pour la détection des événements de basses énergies, et d'un TOT pour les événements de hautes énergies, à partir d'une TDC de 12 bits avec 200 ns de gamme dynamique et d'un pas de 50 ps.

Pour la mesure du temps, c'est le TOA donné par une TDC de 10 bits proposant un pas de 25 ps.

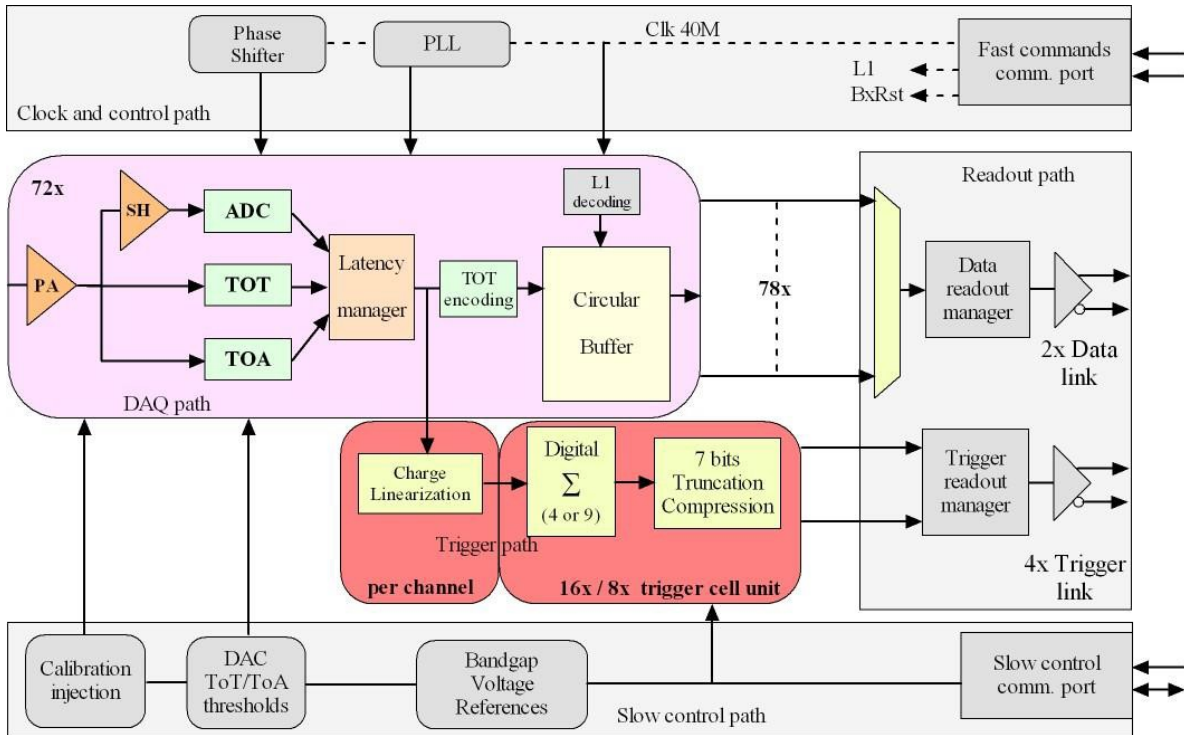


Figure 3.3: Schéma bloc de la partie numérique d'HGCROCv2.

Nous pouvons observer sur la Figure 3.3 que la partie numérique se compose de 2 chemins :

- L'un pour les données, qui stocke tous les événements numérisés dans une mémoire circulaire.
- L'autre chemin, nommé le chemin Trigger fait un prétraitement composé d'une somme et d'une compression afin de donner une information rapidement à la couche 1 validant ou rejetant l'événement par l'intermédiaire du signal d'acceptation L1 à partir de l'information fournie par les liens trigger.

L'objectif de ce type de système permet de faire une sorte de « zéro suppression » (suppression des données inutiles) limitant la quantité de données à transmettre aux étages suivants et augmentant ainsi le débit d'informations utiles à stocker dans la back-end.

HGCROC2 a ainsi toute la partie analogique et numérisation finale ainsi que la taille et le pinout. Par contre, la partie numérique a été simplifiée pour des raisons de calendrier. Cela a permis de valider la performance analogique du chip, tout en laissant le temps de compléter la partie numérique, ce qui a fait l'objet du travail de ma thèse.

### 3.2 HGCROC3 : CAHIER DES CHARGES

Ici sont listées les différentes contraintes traduites par le cahier des charges imposées à notre circuit par la collaboration HGCal[34]<sup>2</sup> :

- Une large gamme dynamique allant de 0,2 fC à 10 pC
- Un bruit inférieur à 2500 électrons pour une capacité de 65 pF
- Une linéarité inférieure à 1% sur toute la gamme
- Fournir des informations avec une précision inférieure à 100 ps pour une impulsion supérieure à 12 fC
- Un temps de shaping d'environ 20 ns
- Conversion et Traitement numérique embarqués sur la puce

<sup>2</sup> The Phase-2 Upgrade of the CMS endcap calorimeter

- Une latence maximum de 36 bunch crossing des sorties du détecteur à la sortie du circuit
- Une mémorisation des données pendant 12,5  $\mu$ s
- Des liens-séries à 1,28 Gbps pour s'interfacer avec les sérialiseurs du ECON
- Une consommation inférieure à 20 mW par voie due aux limitations de refroidissement
- Compensation du courant de fuite après irradiation des détecteurs Silicium
- Haute résistance aux radiations : 200 Mrad et  $1.5 \times 10^{16}$  n<sub>eq</sub>/cm<sup>2</sup>

### 3.3 FONCTIONNALITES SUPPLEMENTAIRES

Sur la version 3 nous avons pallié les problèmes identifiés lors des tests en irradiations, en rendant tolérantes aux SEE toutes les parties critiques du numérique tels que la PLL, les liens-série, les pointeurs, compteurs et machines d'état illustrés en bleu sur la Figure 3.4. Les interfaces de communication rapide Fast Command en plus du Slow Control étaient déjà durcis.

Une grande partie des fonctionnalités analogiques ont été développées sur la 2eme version d'HGCROC. Les principales améliorations sur la version 3 sont ; une amélioration de la TDC fournissant le TOA développé par l'IRFU, la résolution des DAC (Digital-to-Analog Convertor) et du phase-shifter (module permettant de changer la phase de lecture) de calibration. Ils ont aussi été augmentés afin de passer à 12 bits, ainsi que l'ajout d'un générateur d'impulsions aléatoires.

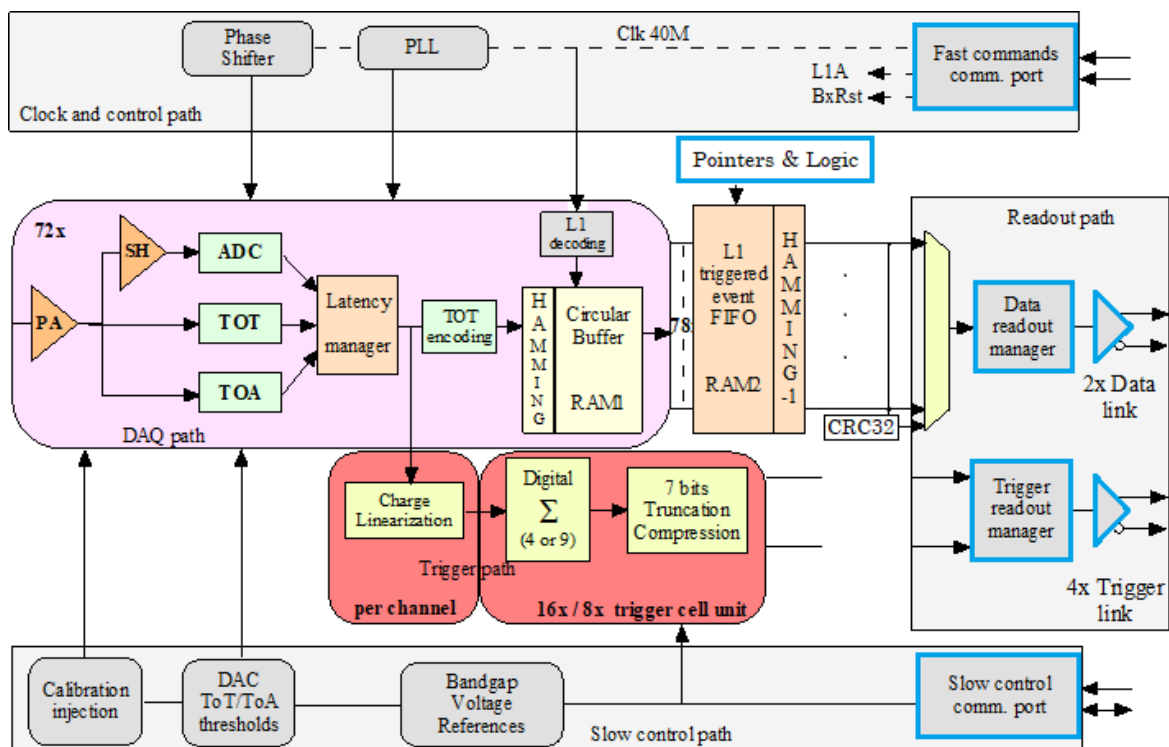


Figure 3.4: Schéma bloc de la partie numérique d'HGCROCv3.

Ces modifications ont permis une amélioration importante des performances, avec une linéarité de l'ADC et du TOT à  $\pm 0,5\%$  alors qu'ils étaient sur la version précédente à  $\pm 1\%$ . Le jitter du TOT, est autour de 25 ps et son LSB de 50 ps. Concernant la mesure de temps, le déclenchement minimum est passé de 20 fC pour la version 2 à 15 fC, ainsi que le jitter de 25 ps à 13 ps, donc 2 fois en dessous du LSB.

Il y a eu surtout l'ajout d'un Buffer appelé « Dérandomiseur », permettant recevoir des L1A consécutifs sans saturer les liens-séries ainsi que l'encodage des données conservées dans les mémoires car présentes pendant un temps relativement long de 12,5  $\mu$ s.

### 3.4 DERANDOMISEUR

L'ajout d'un buffer avant les liens-séries a pour rôle d'ajouter une marge de stockage supplémentaire à la manière d'une FIFO (First In First Out), afin de désengorger les liens-séries. Lors de périodes de temps mort où aucun événement n'est transmis au back-end, ce buffer récupère sa marge permettant de lisser les fluctuations de l'acceptation d'événement. Une étude statistique illustrée en Figure 3.5 et Figure 3.6 a donc été réalisée, afin de trouver le temps mort en fonction de la profondeur du buffer [41]<sup>3</sup>.

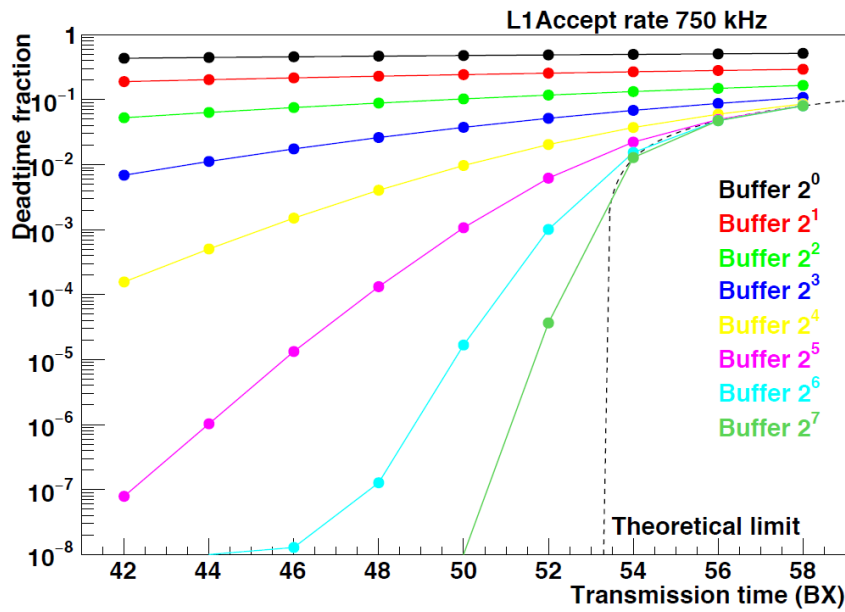


Figure 3.5: Graphique illustrant le temps mort de la transmission en fonction du temps de transmission d'un événement pour une fréquence d'acceptation fixée à 750 kHz et différentes profondeurs de mémoire.

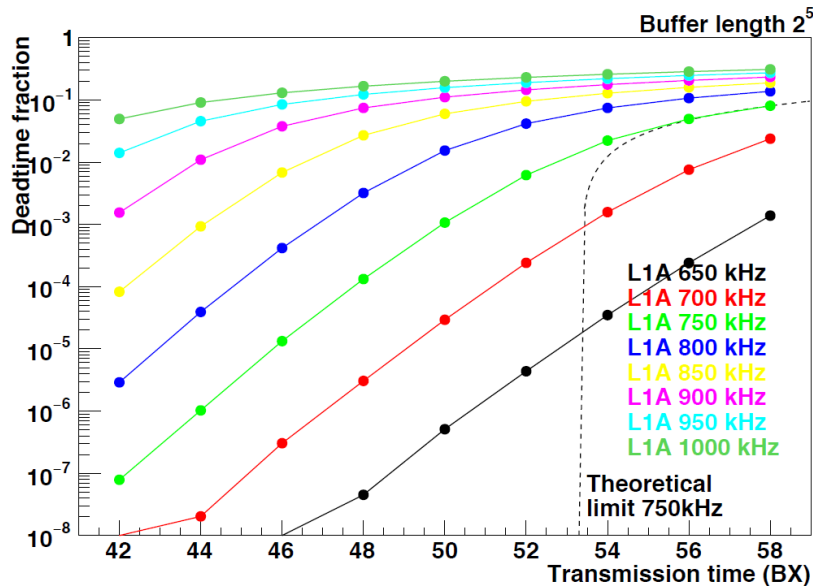


Figure 3.6: Graphique illustrant le temps mort de la transmission en fonction du temps de transmission d'un événement pour une profondeur de mémoire fixée à 32 bits et différentes fréquences d'acceptation.

<sup>3</sup> First result frm DAQ buffer simulation, Paul Dauncey, Imperial College London

Cette étude est toujours valable, bien que le temps mort entre deux trames soit passé de 3 paquets d'IDLE (Trame d'inaction permettant aux concentrateurs de se resynchroniser sur la phase d'envoi du ROC) à un seul. Dans les études concernant les systèmes électroniques du CERN, on utilise aussi l'unité BX comme un coup d'horloge à 40 MHz correspondant aussi à la cadence de croisement des faisceaux de hadrons. Cette étude est donc pessimiste, car l'occupation des liens diminue de 2 BX, mais donne un bon ordre d'idée de la profondeur du buffer nécessaire à rendre négligeable la possibilité de le saturer. Ce type de mémoire tampon utilise les moments où il y a peu d'acceptation d'événement, pour se vider et ainsi récupérer une marge supplémentaire en cas d'événement consécutif à venir. Cette marge peut être récupérée totalement en 41 BX (envoi du dernier événement) en envoyant une commande de reset des mémoires, qui peut être déclenchée pendant une phase de synchronisation de toutes les voies de l'expérience.

Une des mises à jour dont j'ai eu la charge fut l'optimisation le chemin de transmission de la donnée, en réduisant le nombre de paquets vides (IDLE) séparant chaque événement. Ainsi, chaque événement se compose de 40 paquets de 32 bits (=1312 bits) utiles plus l'IDLE. Etant donné un total de 41 BX d'occupation, il faut donc projeter l'allure des courbes sur la Figure 3.5 et la Figure 3.6 pour avoir le temps mort, pour notre cas 41 BX qui n'est pas affiché. Avec un taux nominal d'acceptation des événements de 750 kHz, donc une moyenne d'un événement tous les 53.3 BX donnant une occupation des liens supérieure à 77%, on peut relever sur la Figure 3.6 du temps mort en fonction du temps de transmission, le choix d'une profondeur de mémoire de  $2^5$  (32) faisant passer la probabilité que le buffer soit plein de  $10^{-6}/BX$  à  $10^{-7}/BX$ .

En prenant une occupation des liens supérieure et la possibilité de saturer la mémoire, on peut voir sur la Figure 3.6 que les capacités maximales en termes de débit dans le cas où l'Aval de la DAQ (ECON->KU15P->DHT) puisse le supporter, sont de plus de 800 kHz pour un temps mort de  $10^{-6}/BX$ .

### 3.5 DURCISSEMENT DE L'ANALOGIQUE

Le chapitre précédent présente les différents effets induits par la dose cumulée, qui sont principalement liés à la technologie. La principale méthode de durcissement de l'analogique sur lequel le designer peut agir, concerne l'architecture du transistor [13]. Quant aux méthodes de durcissement de l'électronique analogique, je vais succinctement illustrer dans ce chapitre lesquelles permettent de durcir un circuit aux dommages issus de l'accumulation de charge.

Afin de lutter contre les courants de fuites illustrés par les flèches noires en Figure 3.7A, induits par les transistors parasites ainsi que les oxydes épais tels que les LOCCOS et les STI présentés précédemment, on va avoir tendance à élargir le « Bec » donnant lieu à un courant de fuite comme en Figure 3.7B. Enfin en Figure 3.7C, l'anneau de garde (Guard Ring) en dopage P, permettant aux oxydes de ne pas être directement en contact avec le canal.

Les principales directives données par l'étude sur les technologies CMOS 65 et 130 nm afin de contrer ces effets sont, dans un premier temps, de faire fonctionner le circuit à basse température[42], augmenter les taille W et L des transistors comme illustré sur la Figure 3.8 afin d'éviter les problèmes de canal court entraînant un courant de fuite supplémentaire en dose cumulée, et enfin la technique ELT pour « Enclosed Layout Transistor », protection ultime de durcissement du transistor aux fuites latérales, mais coûteuse en ressource car plus étendue.

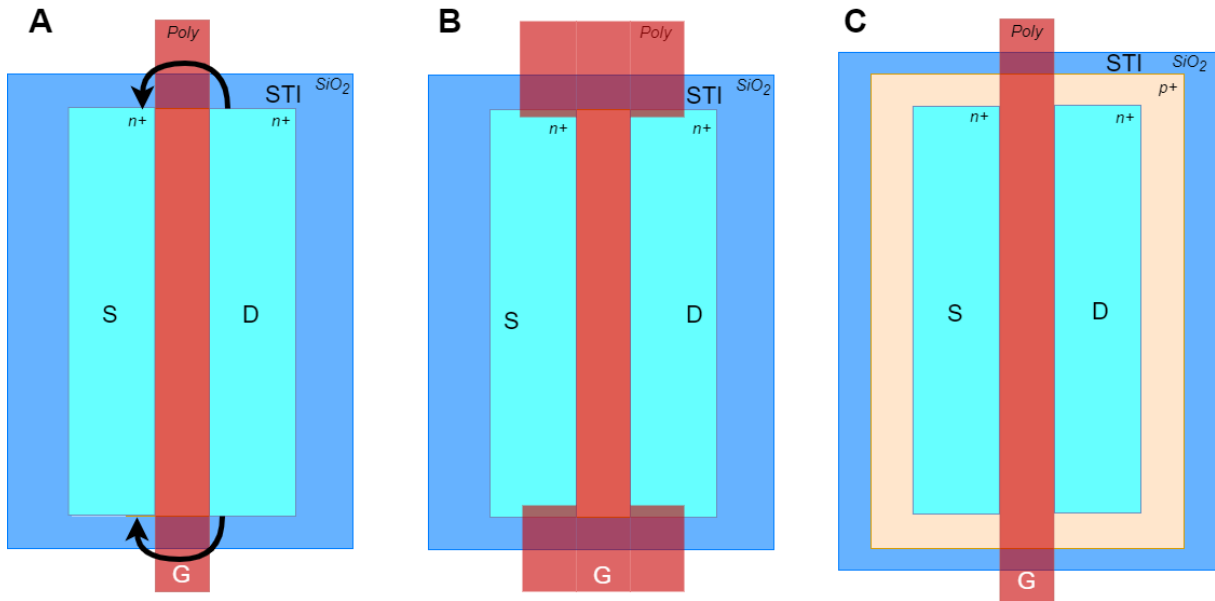


Figure 3.7: Illustration du courant de fuite au niveau des bords du canal classique (A), méthode de durcissement par élargissement des bords (B) et méthode du « Guard Ring » (C). [19]

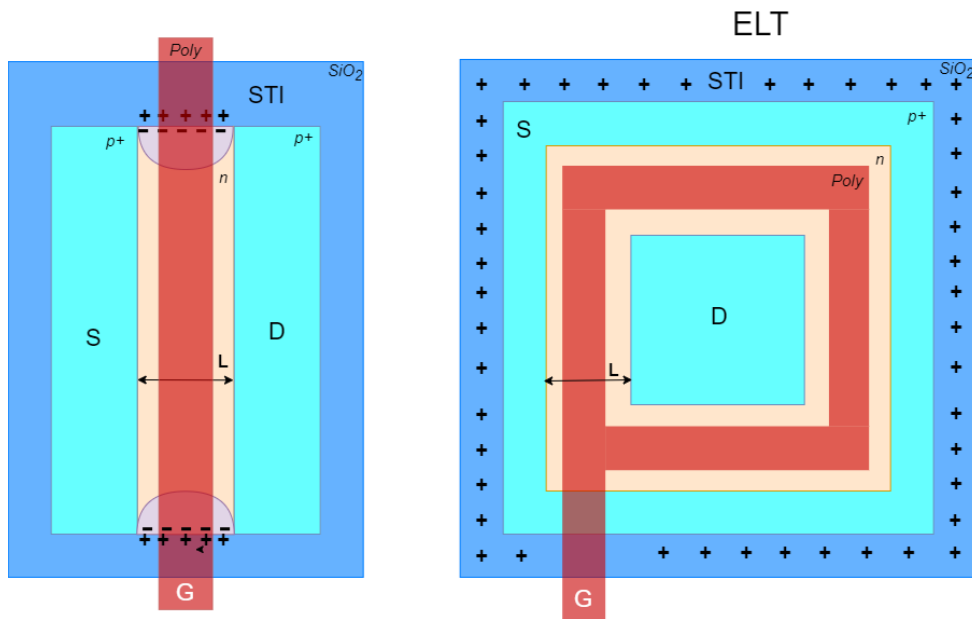


Figure 3.8: Canal P classique à gauche, méthode de durcissement "Enclosed Layout Transistor" à droite. [19]

L'utilisation de transistors encapsulés demande des ratios  $W/L$  de grandes dimensions. Dans la partie analogique d'HGCROC, seuls les transistors du Bandgap ont été enfermés par design ELT car déjà de grosse taille. C'est aussi le Bandgap qui doit être le plus stable en dose, en tant que référence de tension. On peut observer sur la Figure 3.9 les caractéristiques de courant à l'état bloqué  $I_{OFF}$  normalisées par rapport à la largeur du transistor en fonction de la dose dans différentes configurations  $W/L$  [19], et on constate des résultats significativement meilleurs de l'architecture ELT au niveau du pic de courant aux alentours de 2 Mrad par rapport au reste des solutions. La forme de  $I_{OFF}$  par rapport à la dose est une forme de pic car l'accumulation des pièges d'oxyde étant un phénomène plus rapide que le phénomène des pièges d'interface venant compenser l'effet de fuite avec du retard.

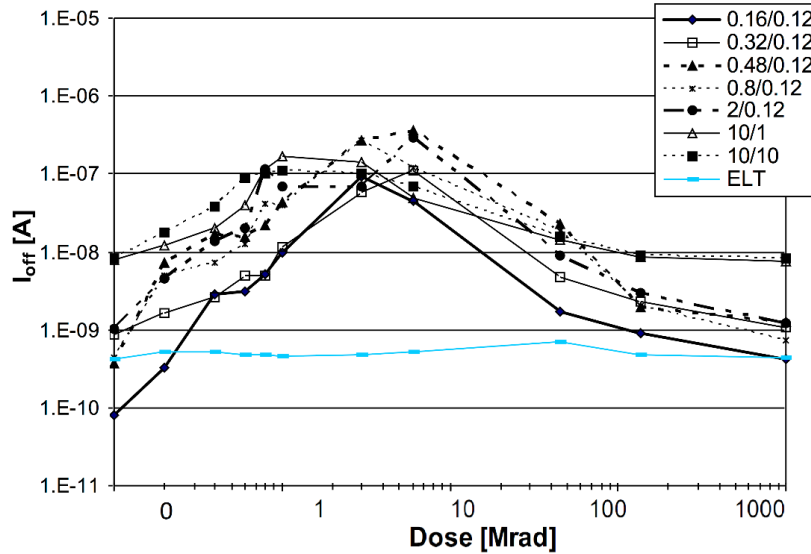


Figure 3.9: Graphique comparatif du pic de courant (OFF) dans des transistors de différentes proportions et ELT en fonction de la dose. [19]

### 3.6 DURCISSEMENT DU NUMERIQUE

Il existe trois types de durcissement aux radiations en fonction du niveau auquel les techniques s'appliqueront : Layout, Architecture et Design.

Un SEU se matérialise typiquement par le changement d'état logique d'une cellule sous l'effet d'une particule chargée. C'est un effet transitoire, qui sera effacé par la réécriture de la cellule affectée.

#### 3.6.1 SEL, SEGR, SB

Concernant les SEE, ce sont les Latchup (SEL) qui sont considérés comme une menace importante, cependant la technologie CMOS utilisée présente des seuils de SEL suffisamment bas pour être déclenché dans un environnement radiatif où les ions lourds sont rares tel que dans le LHC. En revanche, la réduction d'échelle des technologies s'accompagnant d'une diminution de l'épaisseur de l'oxyde et donne ainsi une sensibilité accrue aux SEGR et SB (Soft Breakdown). Les études en la matière ont montré que les risques de SEGR et SB sont accrus avec des particules possédant un LET faible, mais la dégradation des oxydes les rendant conductrices reste peu probable dans un collisionneur hadronique. Une validation de cette théorie par irradiation en ion lourd a été réalisée sur les versions 2 et 3 d'HGCROC et sera décrite dans les chapitres associés.

##### 3.6.1.1 Ecartement du N et du P

Dans le cas où la technologie n'est pas suffisamment résistante aux effets de Latchup, on peut venir modifier directement les cellules standards de la bibliothèque en écartant les nœuds d'alimentation P et N. Cette modification demande une certaine maîtrise des fichiers de description de la technologie (.lef et .oa) ainsi que les différentes variables dépendant de la hauteur de chaque cellule (Site).

#### 3.6.2 Architecture Radhard

Le choix de rendre un circuit résistant aux radiations dépend de plusieurs paramètres propres au type de circuit. En général, les premières limitations dépendent de l'espace disponible et de la consommation du circuit, un compromis doit donc être fait entre la résistance aux radiations et la quantité de ressources mobilisées. La fréquence du circuit peut elle aussi jouer un rôle important, à la fois pour rendre le circuit résistant en diminuant le temps de rétention d'une erreur, en rafraichissant régulièrement la donnée avec celle votée. En revanche, sur un circuit où l'erreur se propage, la



fréquence peut venir propager l'erreur à de multiples endroits du circuit, comme dans les machines d'état ou dans le cas d'erreurs transitoires (SET).

### 3.6.2.1 Triplication

La triplication est une méthode permettant de vérifier la véracité d'une information, et en cas de corruption de la corriger. C'est dans les années 1950 que l'on voit ses premières applications dans l'informatique, avec les premiers systèmes ayant une tolérance aux erreurs. C'est une méthode qui est très utilisée dans les systèmes critiques comme les systèmes de sécurité ou de contrôle d'une installation, particulièrement quand des vies humaines sont en jeu. Sur terre, la plupart des systèmes ne comportent pas de sécurité, l'atmosphère protégeant des particules les plus ionisantes. En revanche, dans le domaine du spatial, ce genre de sécurité est courant, car soumis à plus de radiations cosmiques ; il est aussi plus compliqué remettre dans un état stable à distance.

L'idée est d'avoir, en cas d'erreur sur une des trois branches, les deux autres branches pour prendre la majorité sur les 3 sorties, afin de récupérer sur une sortie unique une donnée intacte comme l'illustre la Figure 3.11.

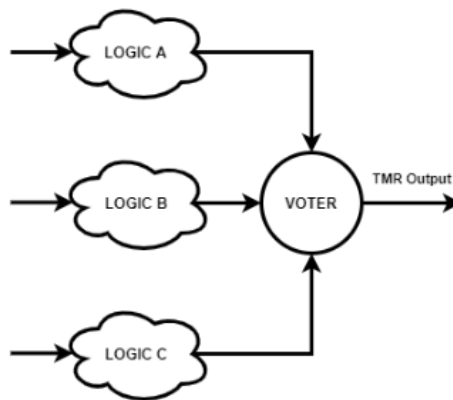


Figure 3.10: Schéma de principe d'une structure de logique tripliquée

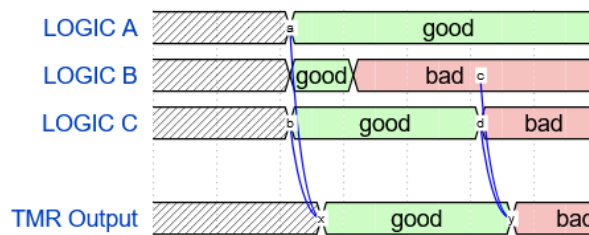


Figure 3.11: Chronogramme d'une simulation de deux SEE consécutives dans une structure tripliquée simple

Afin de « voter » la majorité en sortie sur un circuit électronique, il faut faire un montage constitué de porte logique « ET », afin de comparer deux à deux la donnée sur chaque chemin. En effet, si les deux entrées d'une porte « ET » sont égales, alors la sortie est identique, en revanche si elles sont différentes, la sortie sera égale à « 0 » comme dans l'exemple illustré Figure 3.12. C'est l'étage suivant, constitué de porte « OR », qui sera égal à la majorité si au moins une des trois comparaisons est vraie.

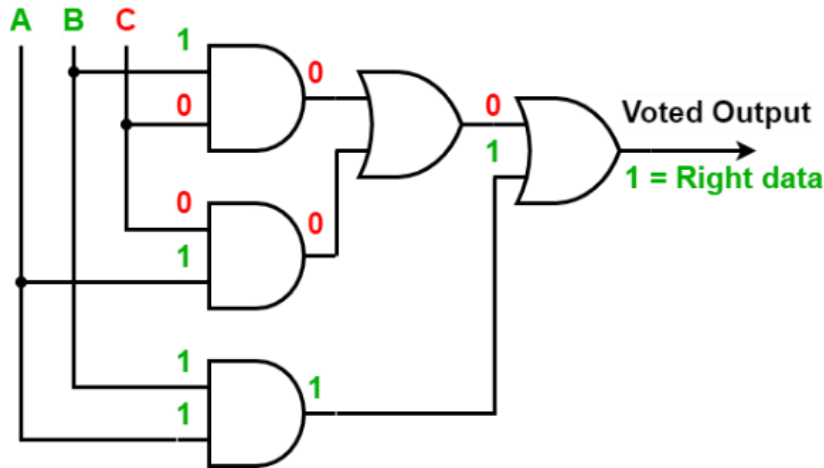


Figure 3.12: Schéma en logique combinatoire permettant de calculer la majorité de trois signaux

Afin de pouvoir signaler à l'opérateur ou au système qu'il y a eu une corruption d'une des trois branches, on utilise la porte « OU EXCLUSIF », permettant de retourner un « 1 » en cas de différence entre deux branches. Le deuxième niveau de porte « OU » permettra à aussi de signaler à la sortie « TMR Error » la corruption en levant cette sortie à « 1 » comme dans l'exemple illustré par la Figure 3.13.

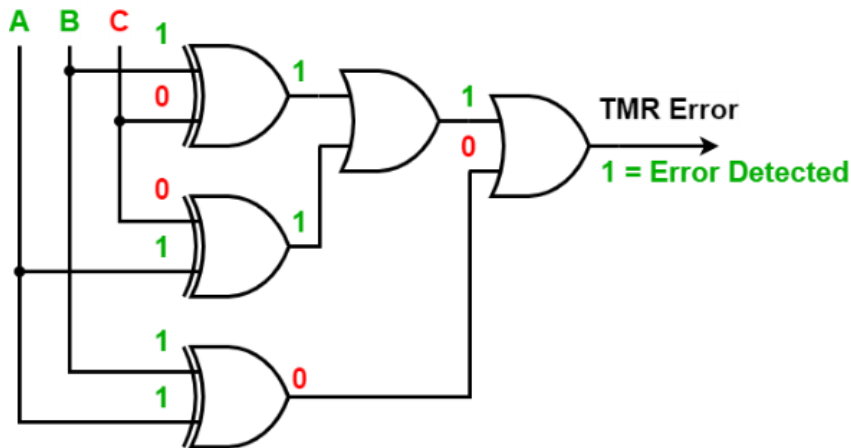


Figure 3.13: Schéma en logique combinatoire permettant de calculer une différence d'un signal parmi trois.

La limite de cette méthode est la corruption de deux des trois chemins de triplification, lorsque les signaux A et B sont corrompus, la sortie va être corrompue également en suivant la majorité des trois entrées. C'est ce type d'erreur que l'on veut à tout prix éviter car difficile à identifier et corriger. Les données ne doivent donc pas rester trop longtemps dans une même cellule tripliquée sans y être rafraîchies ou corrigées.

### 3.6.2.2 Static Triple Modular Redundancy

Pour les parties du circuit considérées comme statiques, c'est-à-dire qui garderont le même état pendant des périodes longues pouvant aller de plusieurs semaines à plusieurs mois, le système de correction d'erreurs ne doit pas dépendre d'une horloge. Dans ce cas-là, c'est une auto-correction qui est choisie, illustrée en Figure 3.13, et ainsi, à peine l'erreur sur une des trois branches détectée, elle sera directement corrigée en entrée du circuit de verrouillage faisant office de mémoire statique, avec une logique asynchrone comme l'illustre la Figure 3.14.

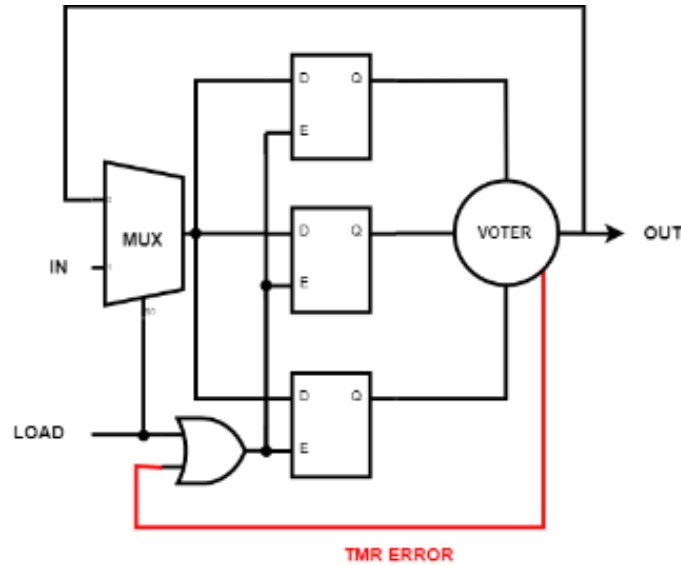


Figure 3.14: Schéma logique de l'architecture d'un système de mémorisation TMR à auto-correction asynchrone.

### 3.6.2.2.1 Calcul du temps de propagation d'une erreur provenant du vote

Lors de la détection par le vote d'une erreur due à un Upset ou Transient, le signal asynchrone d'auto-correction passe par une série de cellules élémentaires. En reprenant le temps de propagation de chaque cellule donnée par le fondeur, nous pouvons déterminer combien de temps le système d'auto-correction prend pour corriger la valeur erronée. En micro-électronique, on appelle « corner » les différents tests de stress appliqués au circuit en faisant varier l'alimentation et la température, afin d'obtenir des fluctuations possibles des temps de propagation lors de l'utilisation du circuit dans un environnement difficile. Dans ce cas, nous allons prendre le corner « Typique ».

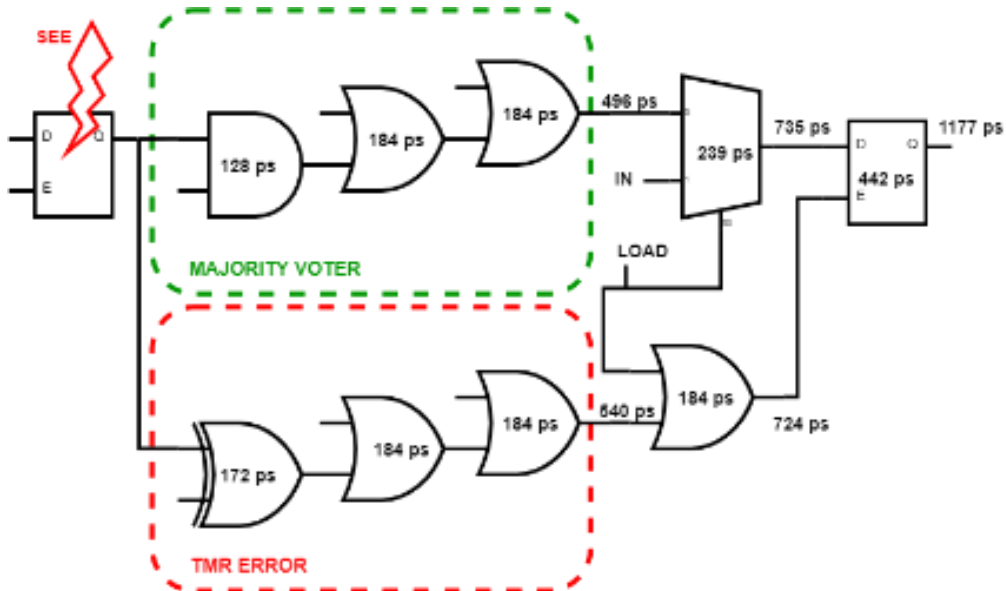


Figure 3.15: Schéma logique permettant de calculer la latence du parcours d'un pire cas de détection de l'erreur et rechargement de la donnée.

Le calcul du temps de propagation du signal d'erreur à travers le voteur permet d'avoir un ordre d'idée du temps que va mettre le système à la détecter, puis à venir corriger la valeur corrompue dans le registre touché, par une simple addition des temps de propagation des cellules parcourues. C'est au bout de 496 ps après que l'erreur soit apparue que le voteur affiche la majorité.

COMPOSANT	REFERENCE	TEMPS DE PROPAGATION (PS)
OR2	OR2HVTD1	184
AND2	AN2HVTD1	128
XOR2	CKXOR2D1	172
MUX2	CKMUX2HVTD1	239
DFF	DFCNQHVTD1	442

Tableau 3.1: Liste des temps de propagation moyens (Typical corner) des cellules élémentaires d'un voteur.

Dans cette configuration de cellule standard et avec l'utilisation de la correction asynchrone, il faut ajouter une cellule de délai sur le signal TMR\_ERROR donnant l'information qu'une branche est en erreur. En effet, le signal d'erreur doit arriver après que la donnée votée soit présente en entrée du Latch.

### 3.6.2.3 Iterative Triple Modular Redundancy

Pour les blocs itératifs de type compteur ou machine d'états, le taux de rafraîchissement est une donnée importante pour calculer la probabilité d'avoir deux erreurs consécutives en un temps donné correspondant à la période entre deux rafraîchissements. Dans ce type de module, il est préférable de séparer la partie de logique séquentielle (DFF) de la partie combinatoire illustrée par un nuage sur la Figure 3.16. La logique combinatoire ainsi que les bascules sont triplées, mais le rebouclage des données avant le voteur ne permet pas de rafraîchir les bascules avec la valeur votée donc correcte ; ce système est donc plus propice à l'accumulation d'erreurs singulières dans le temps.

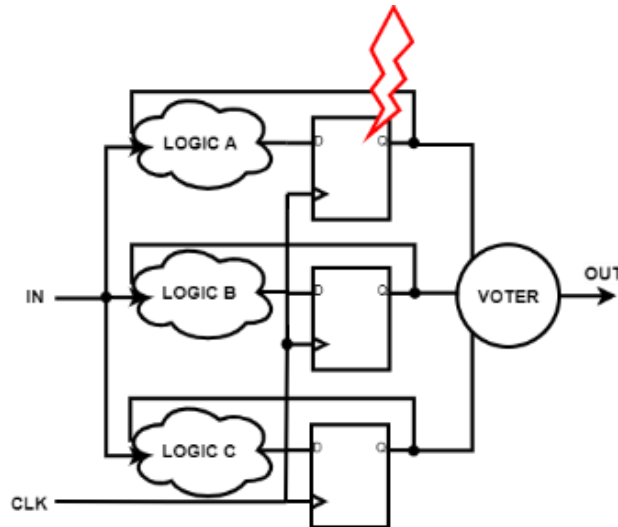


Figure 3.16: Schéma logique d'une architecture sensible à un SEE sur un registre.

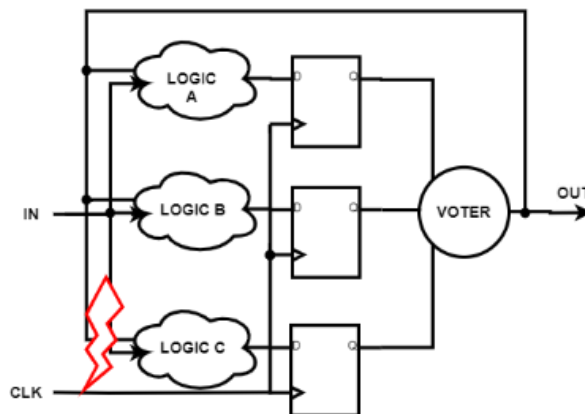


Figure 3.17: Schéma logique d'une architecture sensible à un SEE sur l'arbre d'horloge.

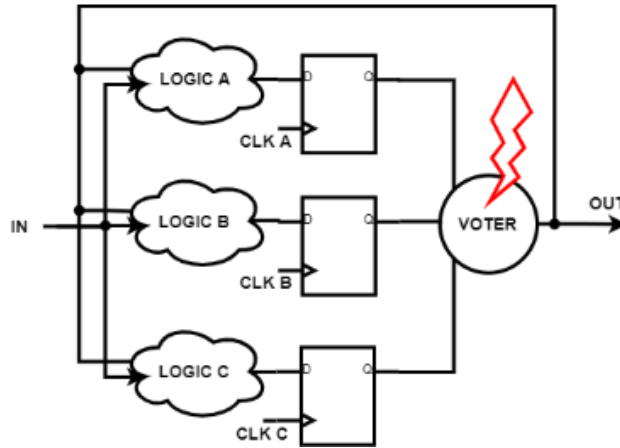


Figure 3.18: Schéma logique d'une architecture sensible à un SEE sur le voteur.

De plus, placer le rebouclage après le voteur en Figure 3.17 ne protège pas d'une SEE dans le voteur, étant constitué de portes logiques sensibles aux SEU. La dernière solution en Figure 3.18 étant de bien séparer les 3 arbres d'horloge distribuant les bascules D, afin de ne conserver la valeur erronée du voteur que dans une des bascules, ainsi le voteur se corrige avant les fronts montants des autres arbres d'horloge. Cette solution est loin d'être parfaite, car la sortie dépend de la vitesse de propagation et du déphasage relatif des trois arbres d'horloge, et est donc, par essence, non prédictive.

On en vient donc à la version complètement durcie au SEE appelée aussi Full-TMR par la redondance dans son design de chaque partie critique. Le but est donc de durcir chaque partie du circuit pouvant être corrompue par une particule chargée ; ainsi on a trois fois la logique combinatoire, après celle-ci on trouve trois voteurs afin de conserver la séparation des trois branches, tout en gardant la véracité de l'information à l'entrée des trois bascules comme illustré dans la Figure 3.19. En effet, la donnée parcourt le circuit en quelques picosecondes mais reste plus longtemps à cet endroit du circuit, en attendant le prochain front montant d'horloge.

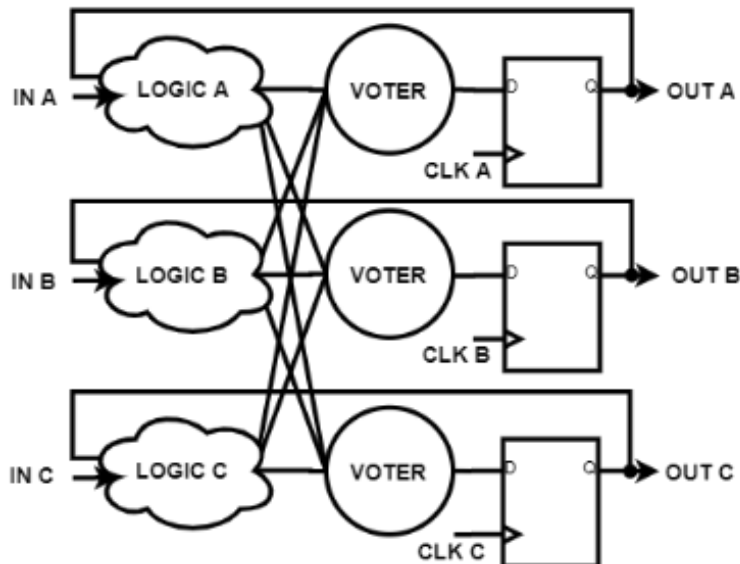


Figure 3.19: Schéma logique d'une architecture de durcissement "Full-TMR".

C'est une protection très efficace, mais ayant un coût en ressource très élevé. En effet, on va donc multiplier par trois le nombre de bascules D, la logique combinatoire et les voteurs sans compter le voteur de sortie dans le cas d'une sortie unique, et enfin l'arbre d'horloge qui distribue les trois

branches. On va donc prendre un espace supplémentaire bien supérieur à une multiplication par 3 (x3,7 dans l'exemple du Tableau 3.2), en plus des voteurs ajoutés au design ainsi que l'espacement minimum à appliquer aux trois branches de la triplification décrites dans le paragraphe suivant.

		NON TMR	TMR	FULL TMR
RESSOURCES	FLIP FLOP	x1	x3	X3
	LOGIQUE	x1	x1	x1
	VOTEUR	x1	x1	x3
	HORLOGE	x1	x1	x3
VITESSE		Standard	+ Délai du voteur	+ Délai du voteur
SENSIBILITE		SET/SEE	SET proche d'un front	Protection Ultime
CONSOMMATION [ $\mu$ W] *		20.2	57.8 (x2.8)	111.9 (x5.5)
SLACK [NS] *		8.01	7.5	7.63
SURFACE [ $\mu$ M <sup>2</sup> ] *		130	348 (x2.6)	486 (x3.7)

Tableau 3.2: Récapitulatif des coûts en ressources des différentes méthodologies de durcissement.

\*exemple d'un accumulateur 8 bits cadencé à 100 MHz en technologie CMOS 65 nm (corner typique post-synthèse) fourni lors de l'école de la microélectronique de l'IN2P3 2017[43].

Dans la méthodologie de triplification Full-TMR, il est important de grader une séparation des branches de triplification du début à la fin. En effet, à de nombreuses reprises, les faiblesses observées dans les circuits précédents furent présentes aux endroits où il ne nous était pas possible de garder séparées les trois branches, par exemple sur un pad unique auquel nous avons dû ajouter un Fanout avant de rentrer dans la partie durcie.

Maintenant que nous connaissons l'efficacité de cette méthode mais aussi le coût en ressource, donc en espace et en consommation de l'ASIC, il nous faut choisir quels seront les modules qui ne doivent absolument pas être corrompus en évitant de perdre la totalité des données ou provoquer des dysfonctionnements intrinsèques du circuit.

Voici une vue fonctionnelle du circuit en Figure 3.20 avec les différents modules correspondant aux différentes fonctionnalités du circuit, triés dans le Tableau 3.3 par criticité et par durée de rafraîchissement de la donnée, permettant d'adapter la méthodologie appliquée.

Legend :

- TMR with auto-reload
- Full-TMR refreshed at 40MHz
- Encoded data
- No SEU mitigation

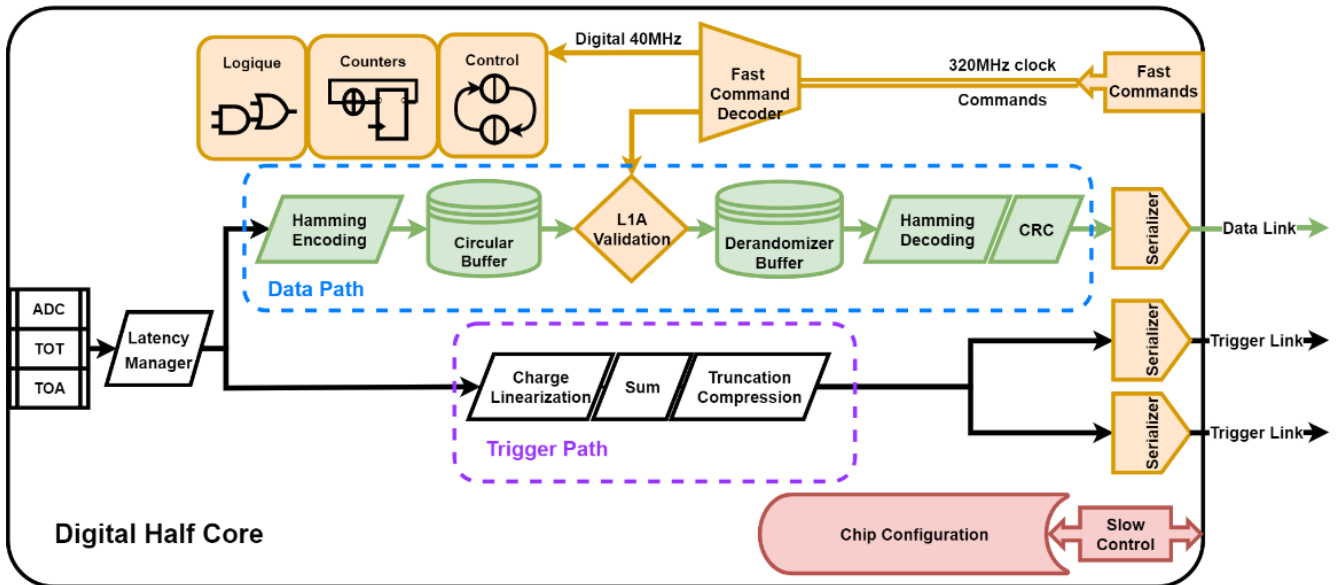


Figure 3.20: Schéma des modules numériques d'HGCROCv3 et leurs méthodes de durcissement appropriées.

Module	Rétention de la donnée	Méthode	Taux de Correction
Registres de configuration	Plusieurs jours/semaines	TMR	~ 500 ps
Logique, Contrôles et Liens-série	25 ns (40 MHz)	Full-TMR	25 ns (40 MHz)
Trigger Path	25 ns (40 MHz)	Non Triplé	
Data Path	Buffer Circulaire (12,5 us)	Encodage	Mémoires : Hamming Transmission : CRC-32

Tableau 3.3: Récapitulatif des temps de rétention et taux de correction de la donnée dans HGCROCv3 en fonction du type de module.

### 3.6.3 Flow TMRG

Voici les étapes ayant permis de tripler proprement les blocs numériques illustrés sur la Figure 3.21 [44]. Nous avons utilisé l'outil TMRG (Triple Modular Redundancy Generator), qui nous permet de partir directement du code de description Verilog de notre circuit afin de générer le circuit triplé avec TMRG, le testbench avec TBG (Test Bench Generator), les contraintes d'écartement des branches de la triplification lors du placement avec PLAG, et enfin les stimuli permettant de reproduire des SEE en simulation avec l'outil SEEG.

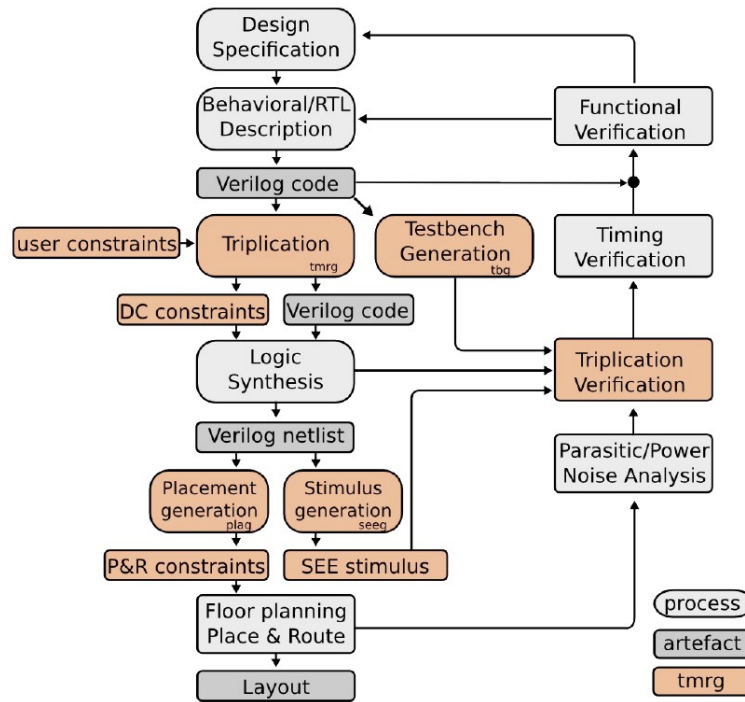


Figure 3.21: Flot de conception d'un circuit avec TMRG.

### 3.6.3.1 Générateur TMR

La séparation de la partie combinatoire et séquentielle de chaque bloc est importante pour que l'outil comprenne la méthodologie de triplification choisie. Une fois les directives de triplification définies dans l'en-tête de chaque fichier Verilog, l'outil s'occupe de tripler les bascules, la logique et d'ajouter les votants (Il existe aussi la possibilité de rentrer dans l'outil un fichier de *configuration.cfg* permettant de ne pas modifier le fichier source). Lorsque la triplification s'est bien effectuée, l'outil nous signale dans le terminal quels signaux sont triplés et s'il y eu des erreurs lors de la triplification illustrée en annexe. Si aucune erreur n'est signalée par l'outil TMRG, une première vérification fonctionnelle en simulation doit être effectuée afin de vérifier qu'aucune fonctionnalité du circuit n'a été altérée. De plus, cette étape génère une liste de contraintes, afin de spécifier à l'étape Synthèse du flow quels sont les signaux que l'outil n'optimisera pas, afin de ne pas casser la triplification. En effet, lors de la synthèse, la présence de trois branches ayant la même fonctionnalité est considérée par défaut comme optimisable par la fusion de ces dernières en une unique branche. La commande utilisée par l'outil est un « *set\_dont\_touch* » dans le fichier de *NomDuDesignTMR.sdc* afin qu'il laisse telle quelle cette partie du circuit.

### 3.6.3.2 Générateur de Test Bench

Cette partie de l'outil permet de mettre en place les modules inclus dans le testbench du circuit, afin d'avoir la possibilité de simuler les Single Event Upset et Transient par la suite. Pour cela, l'outil va numéroter chaque fil d'entrée et de sortie de chaque bascule-D et mémoires pour injecter des SEU, et les fils entre chaque porte logique pour les SET dans un fichier avec le suffixe « *\_see* » afin d'avoir une liste de points critiques pour y injecter des erreurs.

Pour reproduire de façon la plus réaliste possible des erreurs singulières telle qu'un Upset ou un Transient, l'outil choisit en arrière-plan un signal de façon aléatoire avec la fonctionnalité « *\$random* » du langage de simulation System-Verilog, possédant par rapport au Verilog une surcouche pour la mise en place de bancs de test. Cette non-prédictibilité est donc donnée sur le choix du signal à corrompre



mais aussi sur la fréquence d'apparition d'erreurs ainsi que sur la durée de cette dernière disponible en annexe.

### 3.6.3.3 Générateur de SEE

Une fois le circuit synthétisé et testé fonctionnel, on peut alors commencer l'injection de SEE dans le circuit, afin de valider que la méthodologie de triplication était la bonne pour que le circuit ne présente pas de dysfonctionnement une fois soumis aux radiations. On observe sur la Figure 3.22 le signal ciblé par un SEU sur le fil de sortie du registre p10467A233 avec l'identifiant 15798 correspondant à la sortie d'une porte logique (MAOI222HVTD1) appartenant au voteur de la branche C, en amont du registre illustré sur la Figure 3.23.

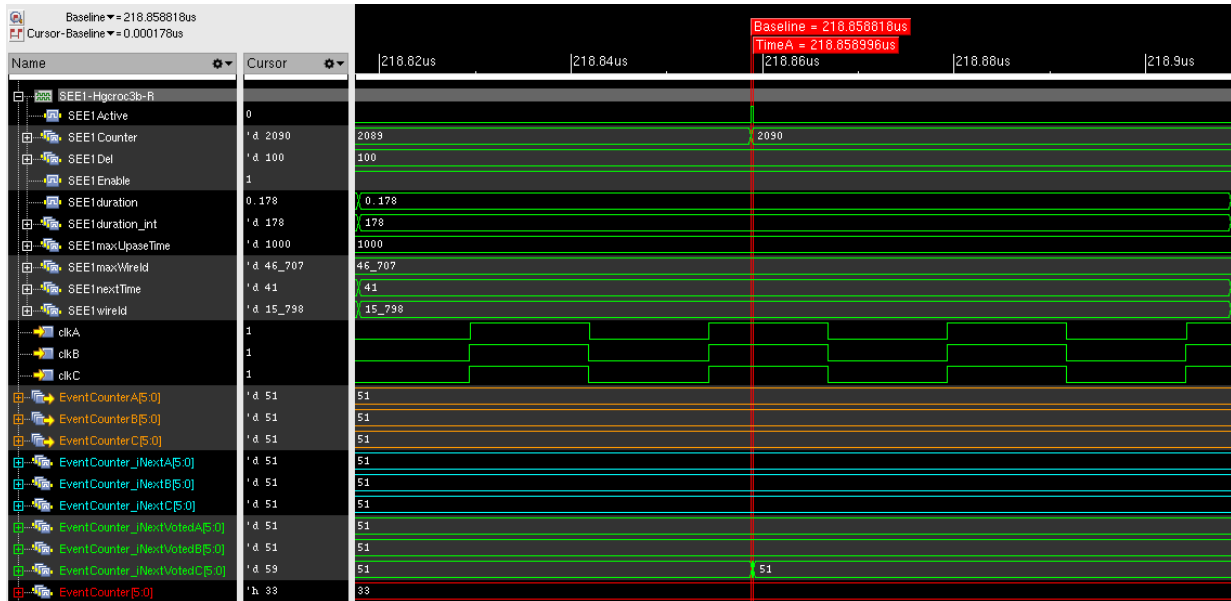


Figure 3.22: Chronogramme d'une simulation d'injection d'un SET sur un compteur Full-TMR.

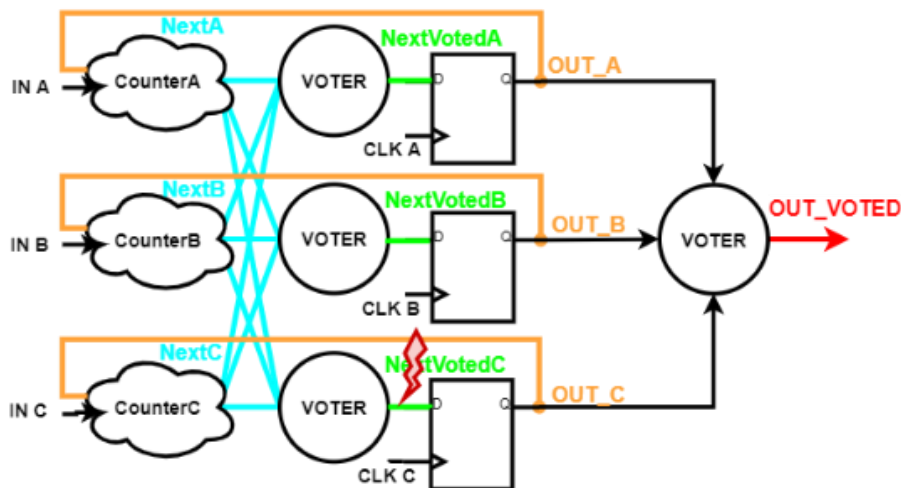


Figure 3.23: Schéma bloc du compteur EventCounter simulé en injectant un SET.

On voit bien sur la Figure 3.22 que la sortie votée du compteur d'événement, qui va écrire l'information en mémoire, n'est à aucun moment corrompue par le SEE injecté dans la branche C au niveau du voteur, jusqu'à l'entrée du registre de la branche C illustré en Figure 3.23 de la structure TMR de ce compteur durci. Dans ce cas, l'erreur n'est pas écrite dans le registre car le front montant de l'horloge arrive après que la valeur imposée par le SEU a été relâchée.

Cette configuration n'est en fait pas à appliquer en tant que telle car les trois branches doivent rester séparées partout où cette donnée doit être « durcie », tout comme les trois arbres d'horloges. En effet, le voteur n'étant pas protégé, une de ses cellules logiques peut transmettre un effet transitoire (SET).

### 3.6.3.4 Générateur de directive de placement

Le fait d'ajouter des voteurs avant ou après des bascules cause systématiquement, de la part de l'outil de placement de Cadence, un rapprochement des instances des bascules proches les unes des autres, car il cherche logiquement le chemin le plus court. Il existe plusieurs méthodes lors de la synthèse pour contrôler l'espacement des branches d'un circuit TMR, mais elles sont applicables dans le cas où un module complet est en TMR [45]. Il va donc falloir, à l'étape du placement et routage, utiliser le module PLAG (PLACEMENT Generator), qui permet d'automatiser la mise en place de contraintes d'espacement entre les cellules de chaque branche du même arbre de triplification. Espacer chaque branche permet d'éviter qu'une unique particule vienne corrompre plusieurs branches et ainsi mettre en défaut le voteur et donc l'intégralité de l'arbre en dépit de la triplification. Bien que l'énergie de la particule incidente influe sur la largeur d'ionisation comme l'illustre la Figure 3.24. Le choix de la distance d'écartement a été d'au moins 15  $\mu\text{m}$  avec une marge prise par rapport aux technologies 130nm testées dans la littérature [46].

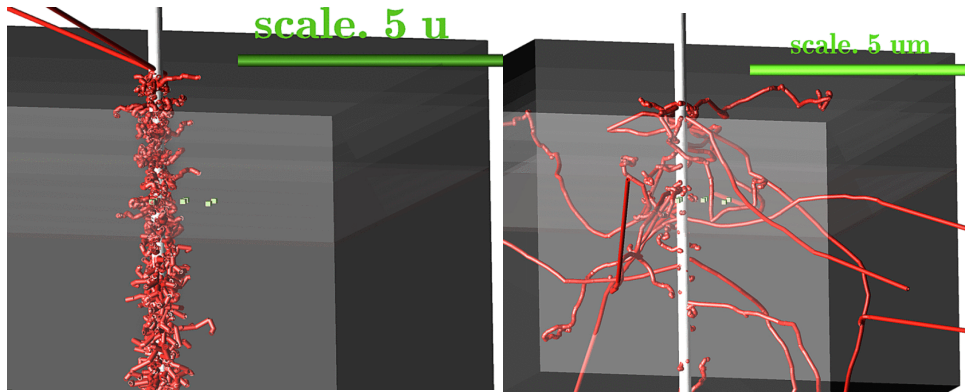


Figure 3.24: Simulation d'un ion fer incident de 280 MeV à droite et 28 GeV à gauche en interaction avec une cellule SRAM, avec en blanc la trace de l'ion et en rouge celles des Gammas générés par l'ionisation.

### 3.6.4 Stratégie choisie

La stratégie choisie fut la plus résistante aux impacts des SEU, car corrigeant une erreur intervenue à n'importe quel endroit ; logique combinatoire, Flip-Flop et même le plus critique étant l'arbre d'horloge, tant que deux branches sur les trois ne sont pas touchées pas une particule.

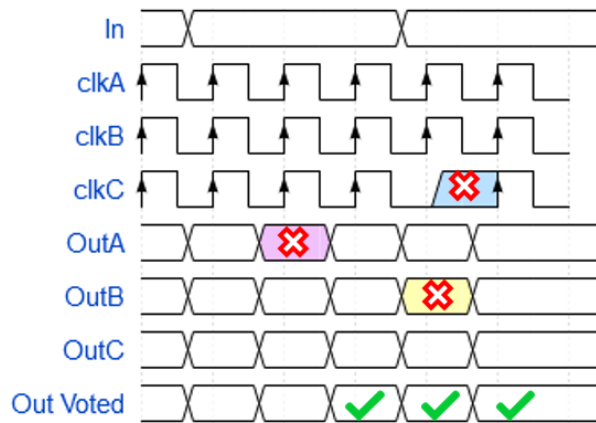


Figure 3.25: Chronogramme illustrant des SEEs touchant les différentes parties d'un compteur Full-TMR ainsi que le résultat de la sortie du circuit durcie en Full-TMR.

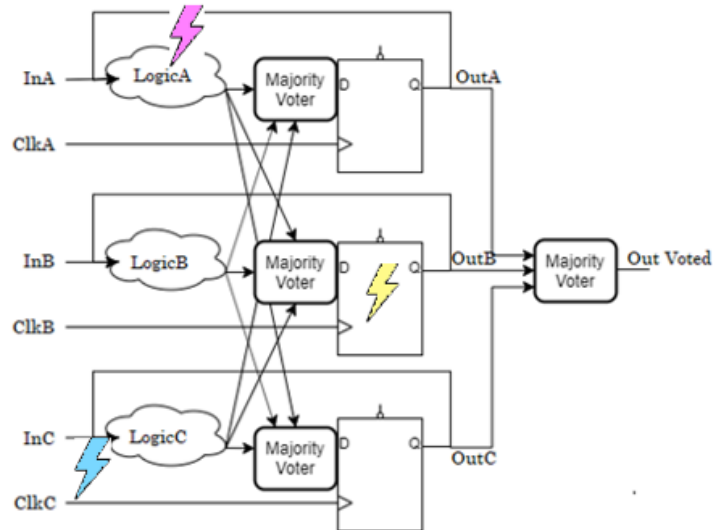


Figure 3.26: Schéma d'un compteur Full-TMR illustrant les zones touchées par un SEE.

La triplication est appliquée sur tous les modules critiques : Machine d'état, pointeurs, compteurs et paramètres. Ces parties représentent 20% des Flip-Flops du circuit, mais par comparaison avec HGCROCV2, consomment le double, en particulier à cause des arbres d'horloge tripliqués et de certaines fonctionnalités ajoutées.

Par comparaison avec un circuit entièrement triplé par le CERN dans le Tableau 3.2, sa consommation a augmentée d'un facteur 5. Sauf pour la partie configuration du circuit (Slow Control), la détection d'erreur en cas de SEE sur un des chemins ne nécessite pas de logique supplémentaire. En effet, la correction se fait automatiquement par la structure de nos blocs (rebouclés sur eux-mêmes) et fonctionnant toujours à 40 MHz sans clock-gating. La majorité est recalculée à chaque front montant de l'horloge.

### 3.6.5 Encodage

On arrive donc au paradoxe de vouloir rendre les données incorruptibles aux SEU au sein des mémoires, tout en réduisant la consommation de ces dernières. C'est à ce moment qu'interviennent les méthodes de durcissement dites « logiciel » tel que l'encodage afin de corriger les erreurs par un algorithme.

#### 3.6.5.1 Des données en mémoire

Pour le chemin des données, nous avons protégé les mémoires avec un encodage SECDED (Single Error Correction Double Error Detection). Ce type d'algorithme utilise la parité des bits constituant la donnée à une distance régulière, incrémentant, pour chaque bit de parité, en bleu sur la Figure 3.27. Le nombre de bits de parité dépend de la largeur de la donnée à encoder. Enfin, il faut ajouter un bit de parité globale en rouge, la parité des bits de parité étant, en bleu.

Les blocs d'encodage/décodage ont été groupés par moitié en laissant bien le Header à part, afin de connaître le bloc touché par la SEE. Nous avons fait en sorte que l'encodage Hamming soit encore plus résilient à une SEE en écartant d'une distance de 4 bits de données chaque bit de parité, pour limiter la probabilité que 2 bits de parité (donnant l'information en cas de donnée corrompue) soient touchés en même temps.

Afin de vérifier la solidité de cette technique, nous avons testé en simulation le design en insérant volontairement des valeurs erronées dans la mémoire, et en vérifiant s'il réagissait bien en correction et détection d'erreur.

HAMMING 32 bits -> 39 bits																																								
n°bits	Algo	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	
Algo	P0	P1	D0	P2	D1	D2	D3	P3	D4	D5	D6	D7	D8	D9	D10	P4	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	P5	D26	D27	D28	D29	D30	D31		
P0	?		D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10				D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25		D26	D27	D28	D29	D30	D31		
P1		?	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10				D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25		D26	D27	D28	D29	D30	D31		
P2			?	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10				D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25		D26	D27	D28	D29	D30	D31		
P3					?	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10				D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25		D26	D27	D28	D29	D30	D31
P4																?	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25		D26	D27	D28	D29	D30	D31		
P5																																?	D26	D27	D28	D29	D30	D31		

OUTPUT DATA 39 bits																																								
n°bits	Q	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
Q	D0	D1	D2	D3	P0	D4	D5	D6	D7	P1	D8	D9	D10	D11	P2	D12	D13	D14	D15	P3	D16	D17	D18	D19	P4	D20	D21	D22	D23	P5	D24	D25	D26	D27	Pall	D28	D29	D30	D31	

Figure 3.27: Encodage Hamming d'un paquet de 32 bits avec séparation des bits de parité de 4 bits.

### 3.6.5.2 Des données transmises par les liens-série

Concernant la transmission des données au concentrateur, le checksum a été ajouté sur la dernière version du circuit. En sortie de mémoire, les données sont traitées par paquets de 32 bits juste avant la sérialisation, c'est la raison pour laquelle nous avons choisi un CRC-32.

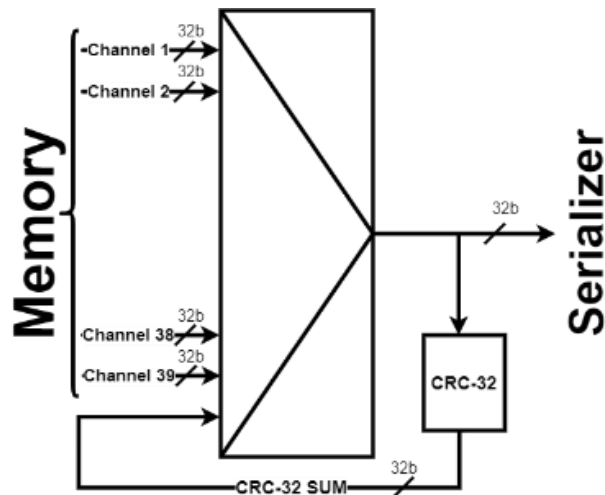


Figure 3.28: Structure itérative de Checksum : Somme avec le polynôme des 39 paquets d'un événement puis transmission de la somme.

Cette méthode est peu coûteuse en ressources, en termes du nombre de portes logique et espace occupé, aussi bien pour l'encodage/décodage que pour la transmission. C'est un algorithme basé sur un polynôme d'ordre 32 : 0x04C11DB7, avec chaque ordre correspondant à un bit du paquet de données. Si l'ordre est à 1, on additionne alors le bit correspondant à la somme, et on répète cette procédure sur chaque paquet correspondant à une division polynomiale.

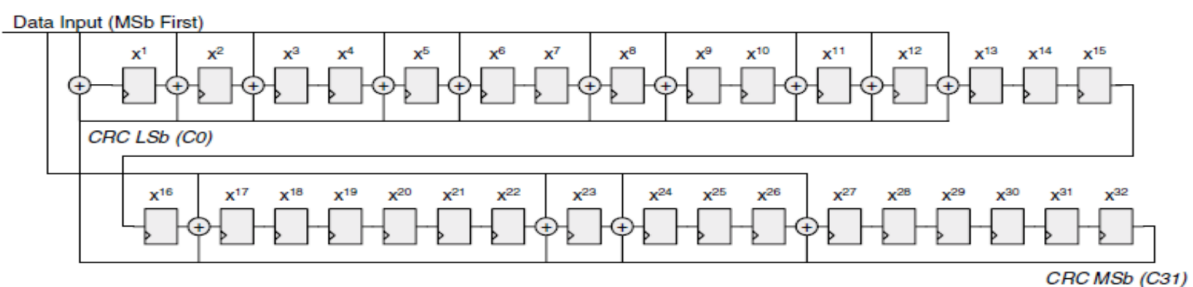


Figure 3.29: Traduction matérielle d'un polynôme du CRC-32 (0x04C11DB7).

J'ai choisi de prendre un CRC sur 32 bits, correspondant à la taille des paquets avant la sérialisation, et permettant ainsi de mettre à jour la valeur du checksum sans latence. Le polynôme générateur 0x04C11DB7 est le plus largement utilisé pour ses propriétés mathématiques, permettant de détecter efficacement une grande variété d'erreurs allant d'un simple bit-flip, erreurs en rafale (inversion de groupe de bits) ou encore de double-bit-flip<sup>4</sup>. Ce large éventail d'erreurs a contribué à sa popularité utilisée dans de nombreuses normes telle que l'Ethernet (IEEE 802.3) ou encore des formats de fichiers (ZIP) et de stockage (SATA). Ainsi le dernier paquet sérialisé sera les bits de contrôle du CRC-32 correspondant au reste de la division polynomiale, déjà calculée et disponible.

### 3.6.6 Règle de développement d'un circuit soumis à un environnement radiatif sévère

Lorsqu'un circuit est conçu pour fonctionner dans un environnement compliqué tel que des événements extérieurs peuvent venir corrompre les données, il faut rendre tolérant voire résistant ce dernier. On appelle cela respectivement « Radiation Tolerant » et « RadHard » en anglais. Pour éviter les dommages dans les modules les plus critiques, il existe des règles de conception que nous avons respectées, afin de rendre le fonctionnement le plus RadHard possible. Elles seront décrites en détail dans les paragraphes suivants.

#### 3.6.6.1 Encodage des Machines d'état

Les Machines d'état ou FSM (Finite State Machine) font partie des éléments les plus critiques d'un circuit, car elles sont responsables du séquençement des tâches du circuit. Les états de ces dernières permettent de situer l'étape dans laquelle le circuit est, pour connaître les actions à mettre en place afin de passer à la prochaine étape.

Étant soumis comme le reste du circuit à des SEU, la logique et les bascules des FSM doivent donc être triplées, comme expliqué dans le paragraphe précédent, mais une particule peut venir changer la valeur de l'état présent d'un bit. Afin de renforcer le module, il existe des règles supplémentaires.

La première et la plus simple à mettre en place consiste à ne pas laisser d'états « morts ». C'est-à-dire que si tous les codes possibles (avec  $N$  le nombre de bits choisi pour encoder les états de la FSM, Nombre de codes possible =  $2^N$ ) ne sont pas utilisés, une transition sur le prochain front d'horloge doit être mise en place entre ces états morts et l'état initial (IDLE) afin d'empêcher tout blocage du système demandant un reset global, très coûteux en temps et en données non récoltées. Cette règle se traduit par l'ajout, de la ligne de code en bleu de l'Équation 3.1 à la fin de chaque FSM où l'on définit les transitions des états morts.

```
always @ (*)
begin: FSM_EXAMPLE
  next_state = IDLE;"
  case(state)
    IDLE:      next_state = STATE1;
    STATE1:   next_state = STATE2;

    STATE2:   if (condition1) next_state = STATE3;
              else           next_state = STATE2;

    STATE3:   if (condition2) next_state = IDLE;
              else           next_state = STATE3;
```

<sup>4</sup> [https://www.ece.anits.edu.in/4B\\_2018-19\\_projects/DAP\\_2018-19\\_Project%20report\\_B.pdf](https://www.ece.anits.edu.in/4B_2018-19_projects/DAP_2018-19_Project%20report_B.pdf)

```

default:                                next_state = IDLE;
endcase
end

```

Équation 3.1: Définition d'un chemin de récupération des états inexistants.

La seconde est d'encoder les états en un code inspiré du Gray pour chaque état consécutif. Le code Gray a la particularité de ne changer que la valeur d'un seul bit entre chaque code consécutif. Cet aspect limite les dommages liés au changement de la valeur d'un bit par une SEU, faisant changer l'état dans lequel se trouve la FSM à un état directement précédant ou suivant dans le pire cas, ou à l'état IDLE dans le meilleur des cas.

Cette règle est plus compliquée à appliquer, car la complexité de la FSM peut être impossible sans ajouter/supprimer des états, ou encore augmenter le nombre de bits d'encodage, si le nombre d'état, de bits ou de branches ne le permet pas, comme sur la Figure 3.30, et on voit bien que seul l'ajout d'un état supplémentaire rend possible l'encodage en Gray. En revanche, cela rend le circuit moins optimisé en termes de coups d'horloge nécessaires pour passer de la branche de droite à l'IDLE, mais ce coût en temps supplémentaire n'est pas toujours possible en fonction du projet.

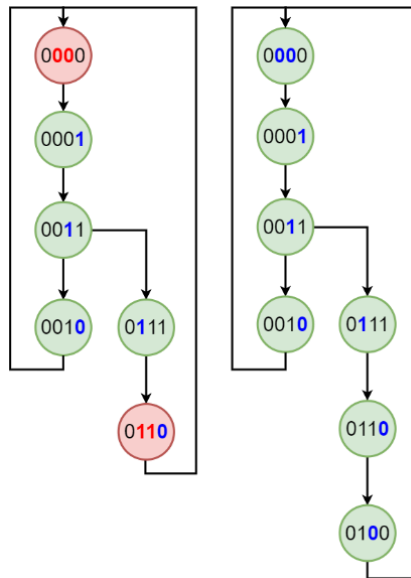


Figure 3.30: Encodage d'état d'une machine d'état en Gray.

Bien sûr, cet encodage permet aussi d'éviter un état transitoire pouvant mener à des erreurs, particulièrement lorsque les transitions ne sont pas déterministes. Si d'un état à l'autre deux bits changent, les deux bits ne changeront jamais au même moment, pouvant produire un état transitoire indéterminé capable même de produire une erreur dans une machine de Mealy (les transitions dépendantes de l'état présent).

### 3.6.6.2 Séquence de démarrage

Afin de pallier des erreurs au niveau des différentes machines d'états du circuit, comme d'arriver dans un état bloquant pouvant ainsi interrompre le fonctionnement, nous avons choisi de faire une séquence de démarrage en boucle ouverte illustrée en Figure 3.31. On observe le démarrage d'amorce par un reset global hardware (ReHb, POR : Power-On-Reset) ou software (ReSb, ChipSync).

Une fois le reset activé, le système doit se retrouver dans l'état « Startup mode » si la configuration est par défaut, c'est dans cet état qu'il attend que la PLL (Phase Lock Loop) se verrouille sur une phase, afin de fournir au système une horloge stable.

La machine d'état passe donc dans l'état « Ready mode » dans lequel la configuration se charge dans les registres de « Slow Control » par protocole I<sup>2</sup>C. Une fois que le dernier paramètre de configuration est écrit, l'ASIC commence à sortir une trame d'IDLE composée d'un en-tête particulier « 0xACCC CCCC » permettant aux étages suivants (ECON) de se synchroniser.

L'étape suivante d'un fonctionnement typique du système est le « Run mode » dans lequel le système écrit dans le buffer circulaire (RAM1) les événements dans le chemin de données et envoie les événements compressés par le chemin de trigger.

L'état « Test mode » permettra de tester en production les mémoires DRAM en temps de rétention, en permettant de temporiser la relecture des données en mémoire. De plus, les états de cette machine d'état sont observables à travers l'I<sup>2</sup>C sur des registres accessibles uniquement en lecture, permettant de vérifier le bon démarrage du système avant de lancer l'acquisition.

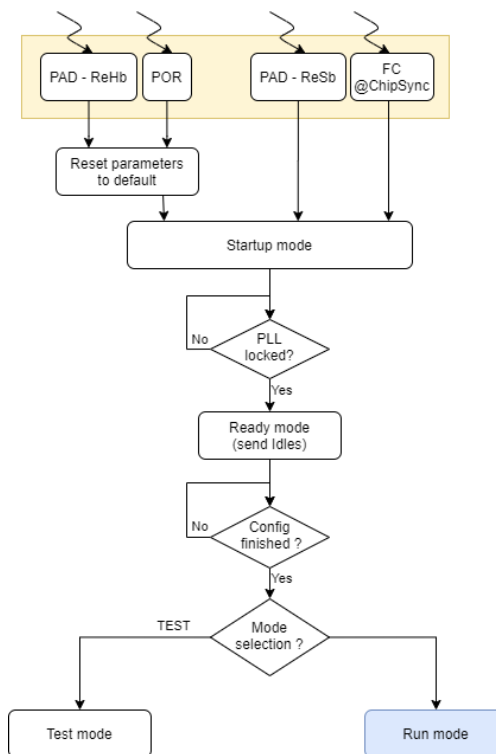


Figure 3.31: Séquence de démarrage du système de lecture d'HGCROC3.<sup>5</sup>

### 3.6.6.3 Stratégie de Reset

Afin de limiter l'impact d'un SET sur les signaux de reset du circuit, l'arbre de reset est triplé dans l'intégralité des modules possédant de la logique de contrôle. Nous avons aussi limité au strict minimum (quelques FSM) les resets asynchrones, en privilégiant les registres à reset synchrone. Pour ce faire, nous avons ajouté partout où cela était nécessaire un « synchroniseur de reset » faisant le pont du monde asynchrone au monde synchrone. Par ailleurs, c'est la séquence de démarrage du système illustré dans le chapitre précédent qui pilote les resets internes des modules numériques.



Figure 3.32: Chronogramme montrant la temporisation du redémarrage de l'horloge 40 MHz après un reset.

<sup>5</sup> Disponible sur la datasheet d'HGCROC3

Afin de pallier le problème d'un SEE venant corrompre un signal de reset bloquant tout le circuit lors de la séquence de démarrage, le reset de l'arbre d'horloge ne dépend pas du temps. En effet, lorsque le reset est relâché, l'horloge redémarre après plusieurs cycles de l'horloge à 40 MHz comme illustré sur le chronogramme en Figure 3.32, afin que l'ordre d'allumage ne soit pas dépendant du temps. Ce délai permet d'être sûr que le premier front d'horloge démarrant le circuit ne soit pas dû à une SEE.

### 3.6.6.4 Encodage des Fast Commands

Le pilotage en temps réel du système se fait par l'intermédiaire des Fast Commands, fournies par deux liens-série. L'un fournit l'horloge 320 MHz, permettant de cadencer le système, et l'autre contient des commandes permettant la synchronisation de tous les circuits présents au sein de HGICAL, ou encore le débogage des liens de lecture bloqués à l'aide de différents resets. Les informations véhiculées par ces liens peuvent être propices à des événements singuliers provenant des rayonnements ; il est donc nécessaire d'appliquer à l'encodage des commandes une distance de Hamming illustrée en Figure 3.33, évitant ainsi l'interprétation de mauvaises commandes par la seule corruption d'un bit d'une autre commande.

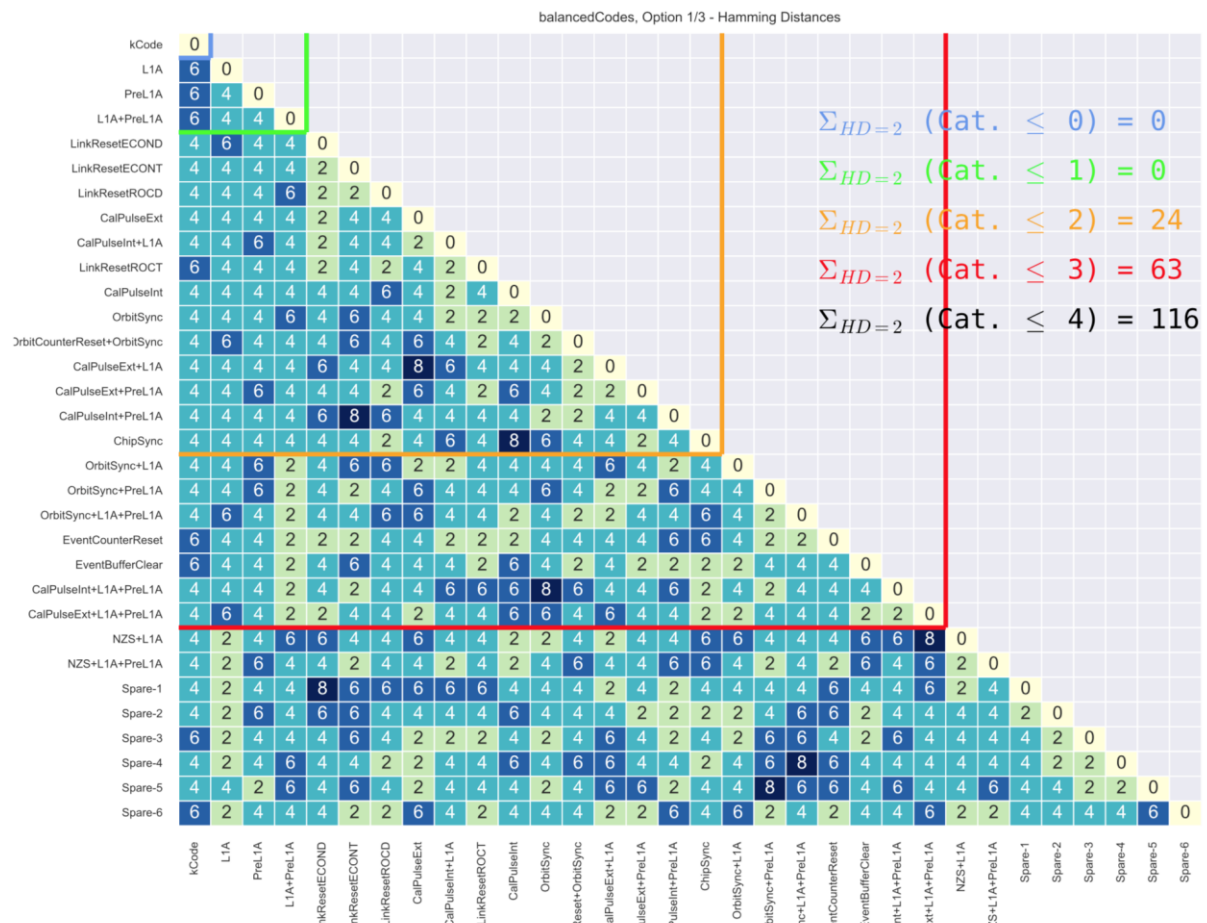


Figure 3.33: Distance de Hamming entre les codes des Fast Command.



## 4 VALIDATION DE LA STRATEGIE DE DURCISSEMENT DE L'ASIC HGCROC

Ce chapitre reprend les connaissances du chapitre précédent concernant les rayonnements, appliquées aux résultats des tests que nous avons entrepris sur notre circuit, afin de valider les méthodologies de durcissement appliquées aux différentes parties de ce dernier, et ainsi vérifier qu'HGCROC3 remplit les fonctionnalités correspondant aux attentes de l'expérience. Les fonctionnalités dites « classiques » du circuit ne seront pas approfondies afin de se focaliser sur les aspects de tolérance aux radiations qui représentent une véritable avancée dans l'état de l'art, particulièrement pour ces niveaux de rayonnement.

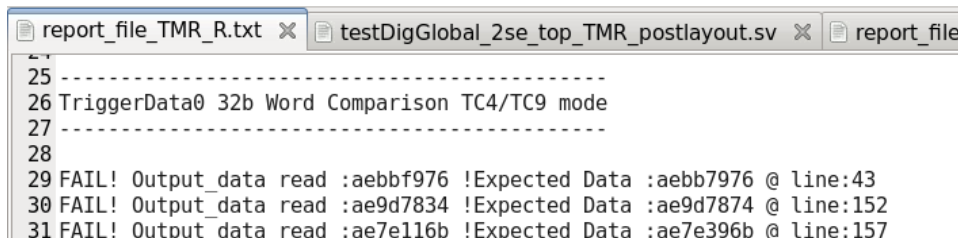
### 4.1 VALIDATION EN SIMULATION

Le processus de fabrication d'un circuit étant coûteux et chronophage, nous avons, à chaque niveau du développement, testé le comportement du circuit en simulant les impacts des radiations sur ce dernier. Lorsqu'il n'existait pas de modèles ou d'outils capables de reproduire les effets des radiations sur un circuit, j'ai mis en place des tests injectant des erreurs dans le circuit quand cela est possible, nous montrant la façon dont le circuit réagit à une corruption. Ces tests nous permettent de vérifier que l'outil de design Innovus (outils de design numérique de Cadence) a bien respecté les règles de design imposées afin de diminuer sa sensibilité aux radiations, et si les résultats sont acceptables pour l'expérience.

#### 4.1.1 Injection d'erreur en Simulation

Concernant le durcissement du circuit numérique aux événements singuliers, c'est la méthode de triplification qu'il faut valider. Afin de reproduire le passage d'une particule ionisante dans une cellule et à un moment totalement aléatoire, nous avons repris une fonctionnalité de l'outil TMRG utilisant l'injection d'un SEU/SET à l'aide de la fonction pseudo-aléatoire disponible dans le langage de description System Verilog (voir annexe).

Une vérification est faite dans le banc de test, qui écrit les données de sortie du DUT (Design Under Test) ainsi que les données qui sont censées en sortir si aucune corruption n'intervient. Chaque donnée de la référence est comparée aux données de sortie, permettant d'identifier le type de donnée en erreur. En effet, un SEE dans un compteur ou dans une mémoire n'aura pas les mêmes conséquences sur la démarche à suivre par l'expérience, pouvant aller de la suppression de la donnée au redémarrage du système complet. À la fin de notre simulation, un rapport nous relève les données qui ne sont pas arrivées en sortie comme attendu par rapport aux données entrées comme l'illustre la Figure 4.1.



```

report_file_TMR_R.txt x testDigGlobal_2se_top_TMR_postlayout.sv x report_file_
25 -----
26 TriggerData0 32b Word Comparison TC4/TC9 mode
27 -----
28
29 FAIL! Output_data read :aebbf976 !Expected Data :aebb7976 @ line:43
30 FAIL! Output_data read :ae9d7834 !Expected Data :ae9d7874 @ line:152
31 FAIL! Output_data read :ae7e116b !Expected Data :ae7e396b @ line:157

```

Figure 4.1: Affichage des SEE injectées qui apparaissent dans le terminal de simulation.

De manière générale, aucune erreur critique sur les données de sorties n'a été relevée sur la dernière version, mais nous allons faire la démarche de debugger, dans le cas d'une erreur critique observée en sortie. C'est en partant du fichier de log de la simulation (SimVision) que l'on trouve le signal « BxCounter\_iNextVoterB », qui a subi un SEE ainsi que sa temporalité (580117ns - 580209ns) :

```
Time: 580117 wireid 1 DUT.link_t0_t1_daq_L.loadregB_req.CDN
DUT.DigGlobal_2sTMR_1.fast_cmd_clk40_decoder_1.fast_cmd_decoder_inst.FE_PHC276_command_rxA.C
DUT.DigGlobal_2sTMR_1.Hgroc3bdig_half.L.BxCOUNTER_1.BxCOUNTER_iNextVoterB.Fp10502A391.ZN
Time: 580209 wireid 444 DUT.link_t0_t1_daq_L.mestartopt_1.next_stateVoterB.Fp0424A.ZN
```

Figure 4.2: Identification du SEE dans la console SimVision.

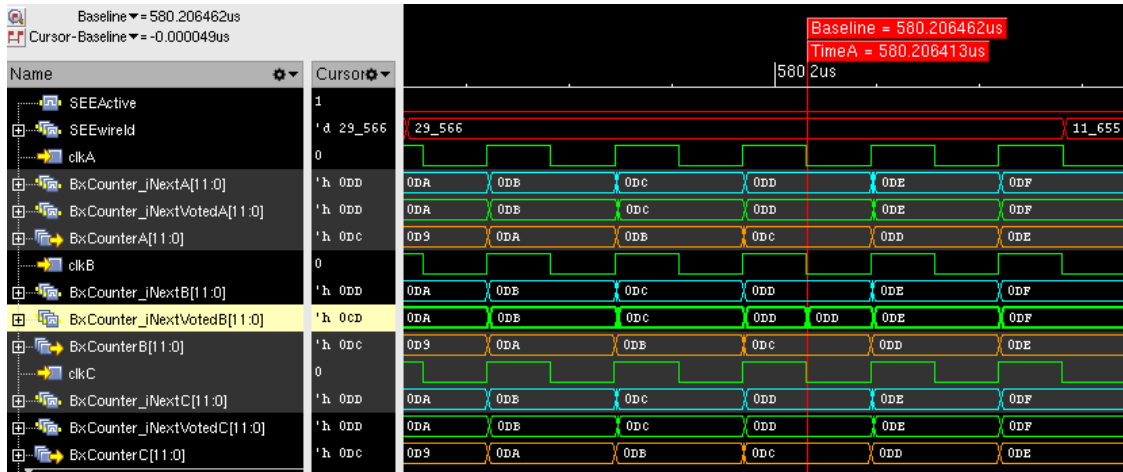


Figure 4.3: Affichage du SEE dans le chronogramme du signal identifié sur la figure précédente.

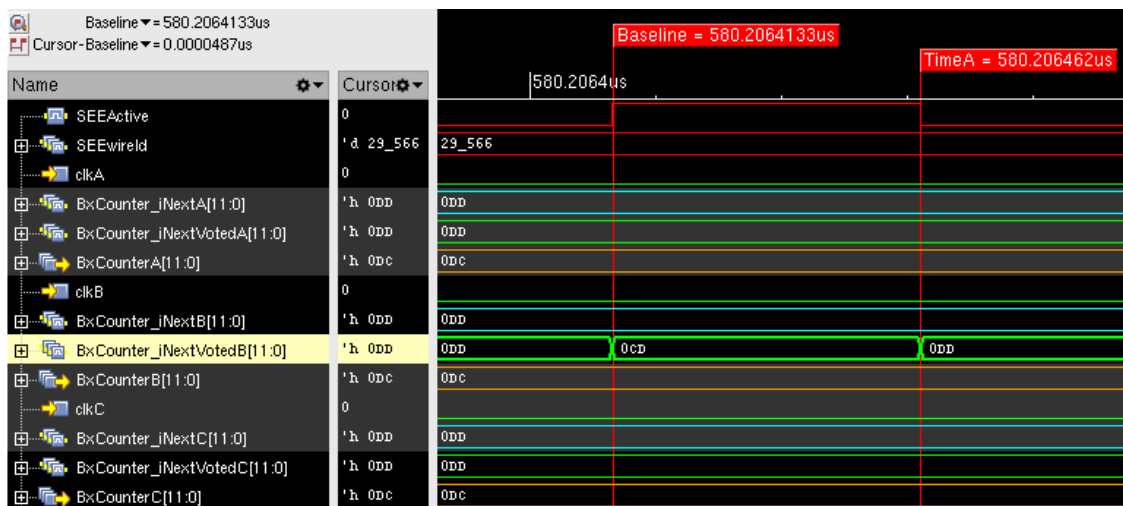


Figure 4.4: Zoom sur l'affichage d'un SEE dans le chronogramme du signal où l'erreur est injectée BxCOUNTER\_iNextVotedB.

On peut alors vérifier que le SEU ne devient pas un SET en étant transmis aux étages suivants, la stratégie de durcissement est donc validée en simulation, et il en va de même pour toutes les erreurs relevées en injectant de façon aléatoire des SEE dans le circuit en simulation.

#### 4.1.2 Vérification de l'écartement des voies tripliquées

Comme cité dans les méthodes de durcissement aux Upsets (SEU), un écartement minimum est nécessaire entre les différentes voies de triplification d'un même bloc afin de ne pas corrompre deux branches d'un même voteur, et ainsi empêcher toute correction de la donnée.

On peut vérifier manuellement sur la Figure 4.5 que l'écartement est bien respecté avec une distance d'au moins 40  $\mu\text{m}$  entre la cellule A et C alors que la consigne est de 23  $\mu\text{m}$ . Dès que la congestion nous le permet lors du placement et routage, on laisse un écartement le plus grand possible.

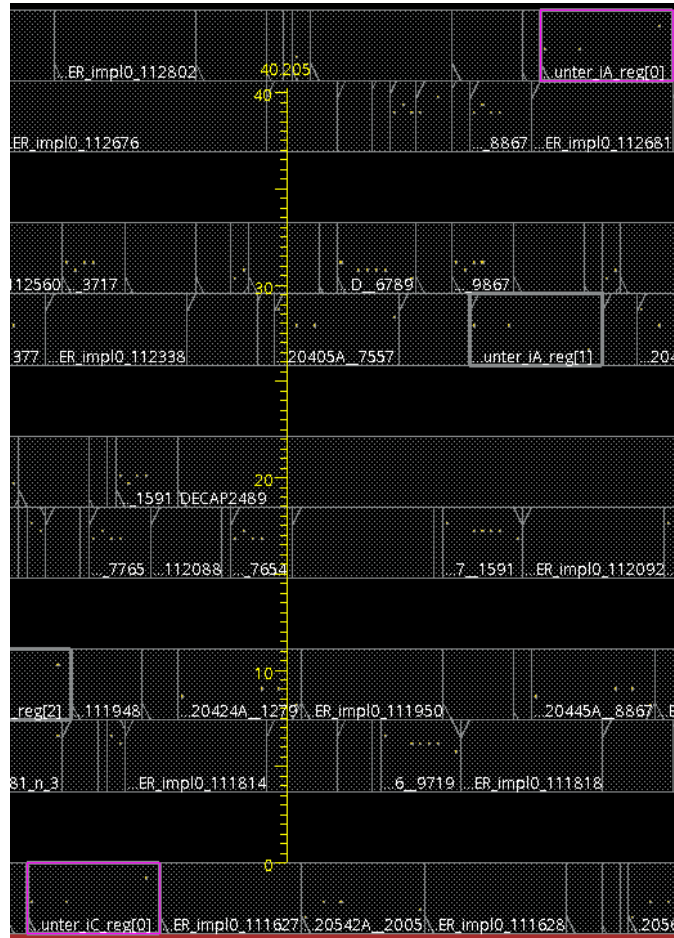


Figure 4.5: Vérification lors du placement de la distance d'au moins 15 µm entre chaque branche de triplication.

### 4.1.3 Vérification de la correction/détection de l'algorithme de Hamming

Pour vérifier le fonctionnement SECDED de l'encodage Hamming, j'ai procédé en injectant tout d'abord une erreur par l'intermédiaire d'un « force » dans la mémoire au centre d'un encodeur en entrée et d'un décodeur en sortie. On observe sur la Figure 4.6 les données d'entrée avant encodage *data\_in*, les données encodées stockées dans les mémoires *data\_inter*, les données de sorties après décodage *data\_out* et enfin le signal d'erreur *DbleError*. L'erreur ajoutée directement en mémoire (1) changeant la donnée encodée 0x2D6B5296A5 en 0x2D6B5292A5, n'apparaît pas en sortie du décodage validant la fonctionnalité de correction d'une erreur simple. Dans un second temps, j'injecte deux erreurs simultanément en mémoire (2), changeant la donnée encodée 0x2D6B5296A5 en 0x2D6B5316A5, le signal de détection d'une erreur double se lève, validant le fonctionnement de détection d'une erreur double.

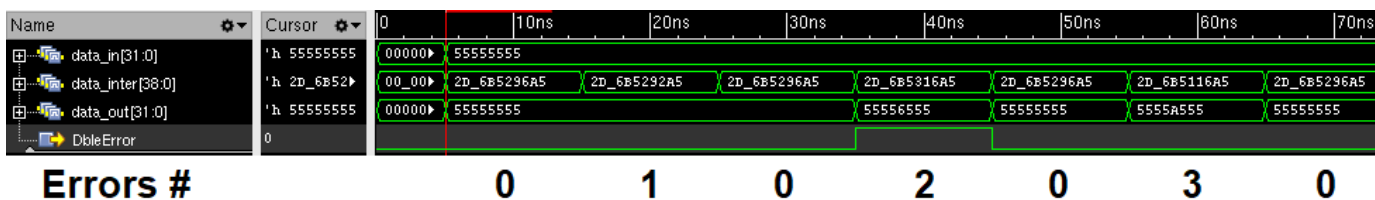


Figure 4.6: Chronogramme de simulation de l'encodage SEC-DED en injectant 0, 1, 2 et 3 erreurs.

La limite de ce système est testée avec l'injection de trois erreurs simultanées (3) n'étant ni corrigées, ni détectées. Les SEU n'arrivent pas de façon simultanée et la logique de détection et correction étant asynchrone, réactive donc en quelques picosecondes, le cas où aucune erreur n'est détectée reste peu

probable ; pour prédire cela il faut donc prévoir un compteur d'erreurs ou un signal Latché pour prévenir d'une corruption en cas de « Burst » (Plusieurs upsets).

#### 4.1.4 Vérification de l'encodage des données transmises

Pour transmettre de façon sécurisée aux concentrateurs, nous avons ajouté un checksum CRC-32 sur les paquets transmis par les liens-série. Comme l'encodage consiste à faire passer la totalité des paquets de 32 bits au fur et à mesure qu'ils rentrent dans le sérialiseur, le décodage sera l'opération exacte inverse. Il va donc falloir stocker les données reçues par les liens-série dans des registres de 32 bits avant de les faire passer à nouveau dans le même polynôme (traduit en portes logiques), afin de vérifier si la clé de checksum est bien identique à celle envoyée dans le 40<sup>ème</sup> paquet sérialisé.

Le moyen le plus efficace que j'ai trouvé pour vérifier si le polynôme CRC-32 implémenté dans HGCROC est le bon, a été de trouver plusieurs encodeurs de sources différentes afin de vérifier si, en rentrant les mêmes paquets en entrée, le checksum de sortie est identique.

Les URL des outils en ligne utilisés sont consultables en annexe de ce manuscrit des encodeurs CRC en ligne ainsi que les captures d'écran des résultats obtenus.

Dans ce premier test, je vais injecter dans le module d'encodage CRC-32 des paquets de 32 bits allant de 0x00 à 0x07 et comparer les résultats obtenus avec le calculateur de CRC en ligne. Le résultat est flagrant, le code trouvé à partir du même polynôme en sortie à chaque étape est identique. La première ligne de la « lookup table » du calculateur en ligne correspond bien aux passages successifs de la donnée 0x00000000 dans le polynôme 0x04C11DB7.

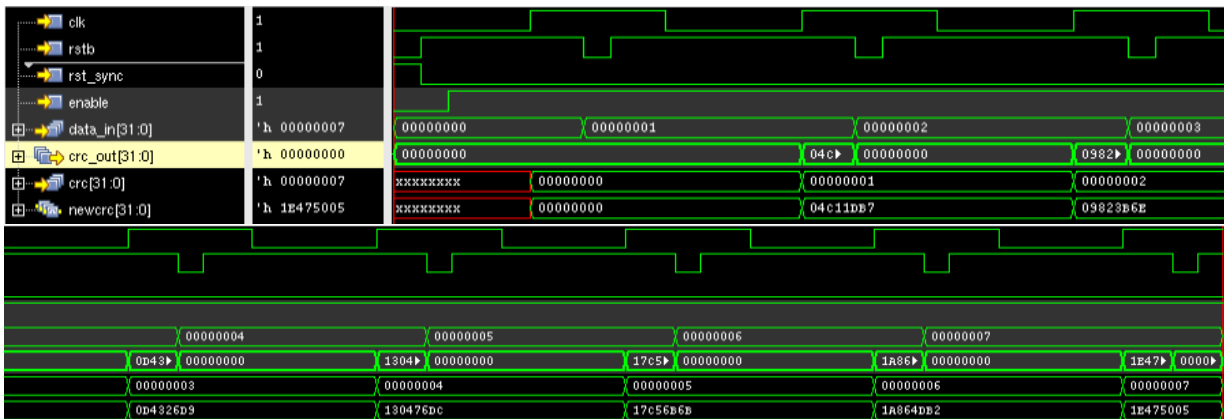


Figure 4.7: Chronogramme de la simulation permettant de vérifier en comparant le résultat avec un checksum en ligne.

Ce deuxième test avec un calculateur différent permet d'augmenter la confiance en notre module. Dans ce test, je prends des valeurs directement dans une simulation d'HGCROC afin de coller à un cas typique de fonctionnement illustré en Figure 4.8:

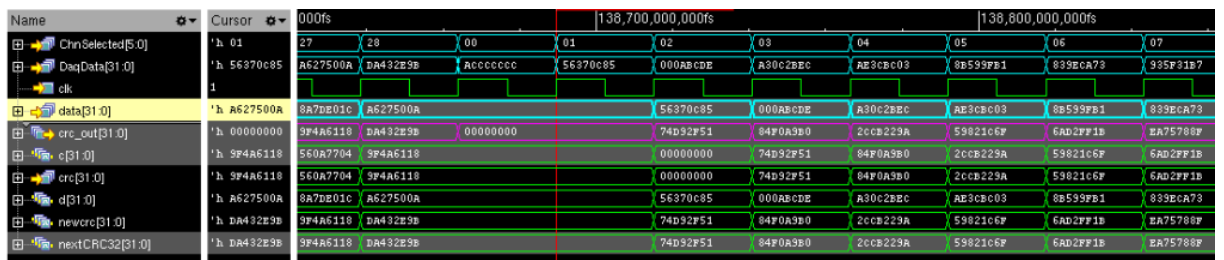


Figure 4.8: Chronogramme de la deuxième simulation de comparaison avec une source en ligne.

Je repars de l'envoi d'un nouvel événement, la valeur initiale est donc 0x00. En faisant passer dans le polynôme le premier paquet 0x56370C85, je retrouve bien le même checksum que dans la simulation. De même pour les paquets suivants, validant le module en condition réelle de fonctionnement.

## 4.2 VALIDATION EN IRRADIATION

Une fois que le design a passé tous les tests de vérification en simulation à l'aide des outils de développement et de validation de Cadence, comme Voltus ou Tempus, nous arrivons enfin à l'étape cruciale du « silicon-proven ». Le circuit ayant été soumis puis envoyé en fabrication en fin d'année 2021, il est revenu au laboratoire avec son package ainsi qu'une mezzanine permettant de le connecter à la carte de test, tout en conservant de bonnes performances en bruit numérique-analogique.

### 4.2.1 Techniques de test

Afin de tester la résistance du circuit en dose ionisante cumulée, il existe deux techniques. La première, plus simple à mettre en place utilise le cobalt 60 mais ne permet pas un dose-rate suffisant pour notre cas. J'ai participé à ce type d'irradiation lors de la qualification de la technologie ATMX150RHA de Microchip à des applications spatiales pour WEEROC. Nous avons fait ces tests de TID au sein de la compagnie Nuclétudes aux Ulis, avec des allers-retours à chaque palier de test.

Dans le cadre du projet avec le CERN, nous utiliserons donc les rayons-X pour ioniser plus rapidement afin de monter à 300 Mrad en moins d'une semaine. De plus, cette installation permet de surveiller et lancer des acquisitions au cours de l'irradiation, en plus de l'alimentation.

Afin de tester les événements singuliers tel que les SEU, SET et SEL, nous utilisons en règle générale les ions lourds pour leur pouvoir d'ionisation avec une très haute densité de charge, et augmentant le volume de la zone sensible par l'effet tunnel. Pour la détection d'erreur d'Upset dans la partie numérique ceci s'avère très pratique ; en revanche, les tests de l'électronique analogique au SET et SEL restent pessimistes car les ions lourds sont bien plus énergétiques que l'environnement du LHC, composé majoritairement de hadrons.

Il existe un dernier type de test mixte qui, dans notre cas, fournit des informations très proches de l'environnement dans lequel le circuit sera lors de l'expérience, car riche en hadrons, c'est le test en protons de 60 MeV. Les installations proposant ce type de test sont plus difficiles à utiliser, car elles sont souvent rattachées à un hôpital, et disposent donc de moins de créneaux disponibles. Dans notre cas, nous avons testé notre circuit au cyclotron d'Arronax à Nantes, disposant de créneaux réservés au monde de la recherche.

### 4.2.2 Système de test

Pour tester notre circuit, une carte de test basée sur un FPGA a été utilisée jusqu'à la deuxième version d'HGCROC, évoluant ensuite vers une carte composée d'un « System On Chip » (SOC) ZYNQ<sup>6</sup> de chez Xilinx, composé d'une partie FPGA et d'un processeur. On observe sur la Figure 4.9 la disposition du Firmware dans laquelle le processeur est principalement utilisé pour le système de communication serveur-client I<sup>2</sup>C. La partie FPGA aura toujours pour rôle de lire les FIFO stockant les données lues par HGCROC ainsi que la lecture/écriture de commandes de contrôle (Fast Command) ou de configuration (Slow Control). Elle prendra place sur l'Hexa-Controller, ayant pour but de servir de carte de test standard pour toutes les configurations de test, en changeant uniquement les adaptateurs ou le Firmware.

---

<sup>6</sup> <https://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html>

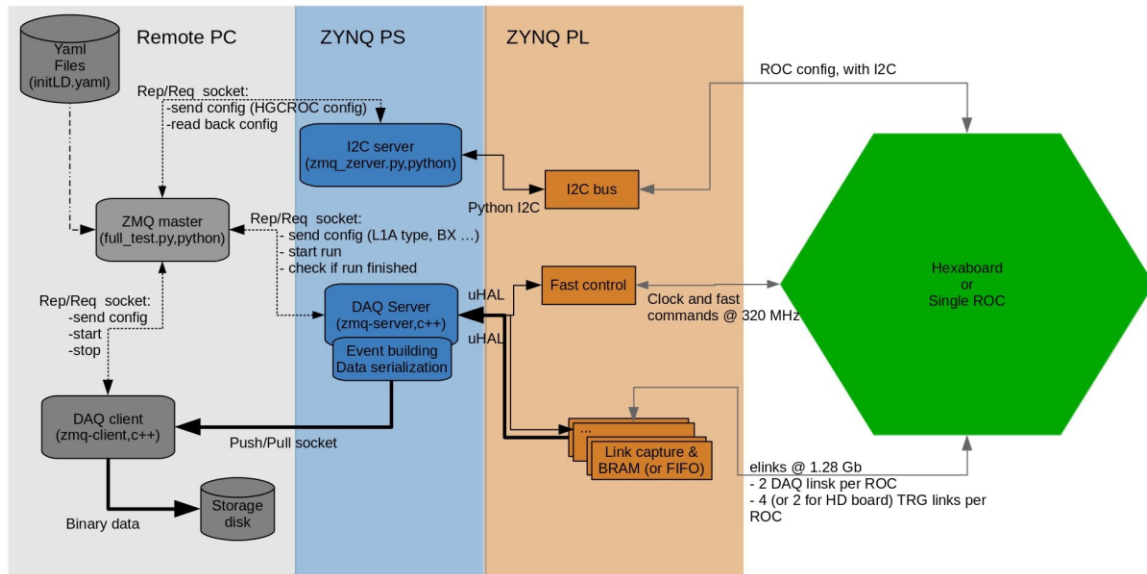


Figure 4.9: Schéma bloc du Firmware de l'Hexa-Controller du banc de test de notre carte de test dédiée Single ROC/Hexaboard.

#### 4.2.3 Setup de test pré-irradiation

Chaque circuit testé est a été caractérisé à OMEGA sur la mezzanine comme illustré sur la Figure 4.10.

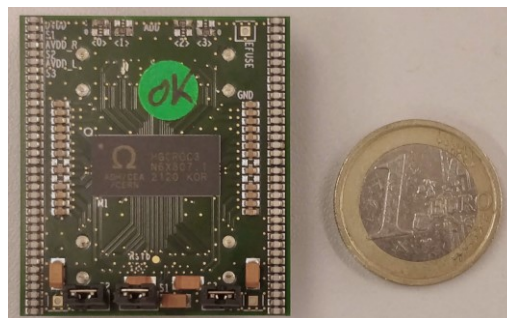


Figure 4.10: Photo de la mezzanine d'HGCROCv3.

Le choix de mettre le chip sur une mezzanine découle de tests qui ont été faits sur HGCROC2, où des problèmes de bruit entre l'analogique et le numérique ont été constatés lorsque le circuit était directement connecté sur la carte de test, comme illustré sur les Figure 4.11 et Figure 4.12 représentant la reconstruction du profil d'une impulsion de 125 fC avec un gain de 0.18 fC/ADCU.

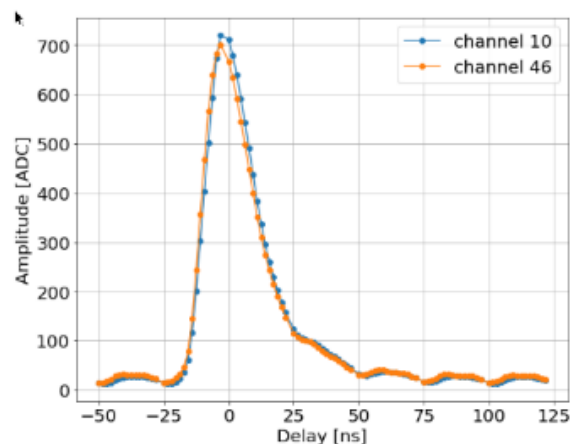


Figure 4.11: Reconstruction de l'impulsion avec le circuit directement branché sur la carte de test.

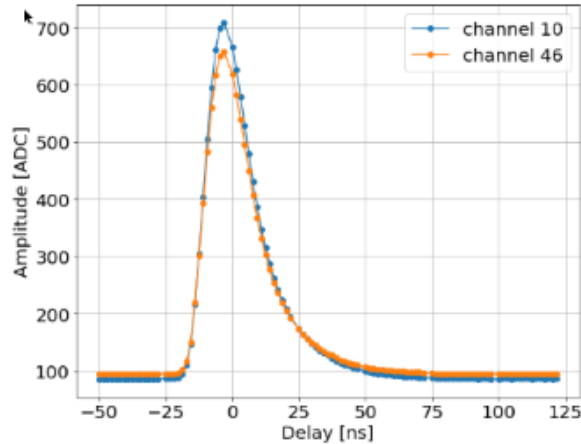


Figure 4.12: Reconstruction de l'impulsion avec le circuit en flip chip BGA sur la carte mezzanine.

Ces mêmes mezzanines sont testées avec le banc de test illustré Figure 4.13. Ce banc est composé d'une carte appelée « Single ROC board » ou carte d'irradiation, car testant un unique circuit accueillant la mezzanine en son centre. L'avantage de la mezzanine est aussi de pouvoir changer de chip facilement lors des tests en irradiation, sans avoir à changer toute la carte de test et en conservant une meilleure connectique qu'avec l'utilisation d'un socket. Cette carte permet d'avoir accès à de nombreuses alimentations et signaux internes, ainsi que l'accès aux probes, directement connectées à des unités de source et de mesure de modèle Keithley 2410 par la nappe couleur arc-en-ciel à droite. Concernant le flux de données acquises, elles passent par un adaptateur avant d'arriver à l'Hexa-Controller transmettant ces dernières à l'ordinateur de test par un lien Ethernet à

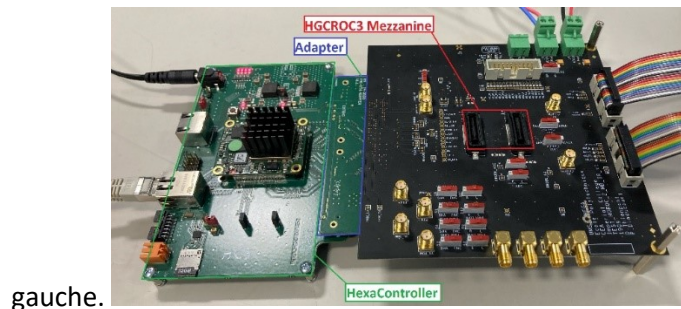


Figure 4.13: Photo du banc de test d'HGCROCV3 composé d'une carte de test "Single ROC" connectée à l'Hexa Controller par un adaptateur.

Nous avons aussi voulu nous mettre dans une situation similaire aux installations d'irradiation, où l'adaptateur ne sera pas directement connecté à l'Hexa-Controller. Il y aura une nappe pour que le l'Hexa-Controller, qui n'est pas durci aux radiations et comporte beaucoup de composants actifs pouvant être impactés, ne soit pas irradié par mégarde et n'assure plus son travail de transfert de données.

#### 4.2.4 Dose Ionisante Totale (TID)

Afin de simuler l'environnement radiatif d'un détecteur, il existe des procédures de tests normalisées. La durée de l'expérience au sein du LHC dépassent 10 années d'utilisation sous des quantités de rayonnements supérieures aux équivalents dans le secteur du spatial avec quelques centaines de krad en 10 ans de mission. Il est donc plus complexe d'avoir accès à des infrastructures d'irradiation en dose pendant plus d'une semaine. C'est la raison pour laquelle on utilise une procédure jouant sur le débit de dose afin d'arriver plus rapidement à une dose cumulée équivalente aux 5 années d'expérience. Les hypothèses sous-jacentes à ce type de procédure de test consistent, premièrement, à considérer que

tous les rayonnements sont équivalents du point de vue de la dose et deuxièmement, qu'une irradiation à faible débit de dose pendant une longue durée est équivalent à un fort débit de dose suivi d'un stockage dans les mêmes conditions que l'irradiation à faible débit de dose.

Cette méthode permet de diminuer considérablement les temps de test et permet d'avoir des équivalences du temps par rapport à la température. Cela revient donc à déposer une certaine énergie dans le circuit à caractériser et nous donnera un nombre d'ionisations et donc de création de paires d'électron-trou au sein des oxydes.

#### 4.2.4.1 Travaux sur la technologie TSMC130

Ce sont les travaux du CERN concernant l'irradiation de la technologie TSMC sur des véhicules de test HGCROC et VFAT3 qui nous ont permis de constater l'influence du flux sur des dégradations des caractéristiques électriques illustré sur la Figure 4.14. C'est aussi à l'occasion de ces tests que la meilleure résistance des ADCs aux doses ionisantes à faible température a été confirmée pour la technologie TSMC 130nm. Les observations et conclusions apportées à ces tests ont été un véritable gain de temps et aussi un modèle de comparaison. Ce sont ces travaux qui m'ont permis de comprendre l'état de la matière en termes de durcissement d'un circuit électronique, particulièrement pour les problèmes liés aux doses cumulées, très peu présents dans le monde numérique. Cette étude a montré que parmi les fonderies TSMC 130 [48], le processus de fabrication avait une grande variabilité dans les dégradations, particulièrement pour les NMOS, plus sensibles aux effets de piège dans les STI et des différences de décalage des tensions de déclenchements  $V_{TH}$  pour les petits transistors. Enfin, on observe une grande variabilité dans les courants de fuite allant d'un ordre  $10^4$  à  $10^{-4}$  d'une fonderie à l'autre.

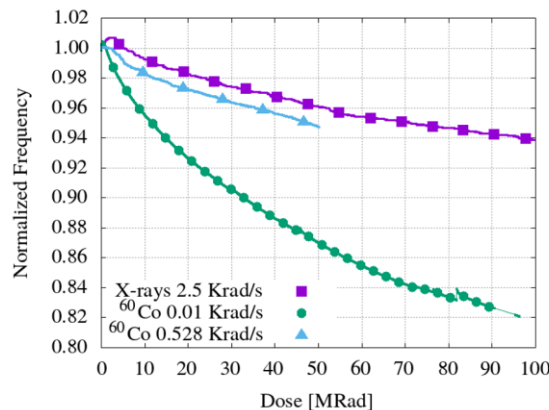


Figure 4.14: Fréquence normalisée d'un oscillateur en anneau en technologie TSMC 130nm lors d'irradiation HDR, LDR, rayons-X et Gammas.

Fonderie	TID a dégradation max (Mrad)	$\Delta V_{th, max}$ (mV)	Augmentation $I_{fuite}$
A	1 – 5	-135	$10^4x$
B	1 – 10	-65	10x
C	1 - 6	-150	$10^2x$

Tableau 4.1: Sommaire des dégradations maximales dans des NMOSFETs de taille minimum de 3 fonderies différentes exposées aux rayons-X.

Heureusement, une des usines de fabrication A de TSMC donna, par ces processus de fabrication, des résultats particulièrement encourageants en tenue aux radiations, ce qui en fit un excellent candidat pour son utilisation dans notre ASIC comme l'illustre le Tableau 4.1.



#### 4.2.4.2 Total Ionizing Dose sur HGCROCv1

Deux premières campagnes de tests TID ont été réalisées en Décembre 2018 et Juillet 2019 au CERN en rayons-X sur HGCROCv1[49]. Sur la Figure 4.15 on voit l'ASIC directement bondé sur une carte de test et les données sont lues par une KCU105, carte basée sur un FPGA Kintex. Le profil d'irradiation est illustré en Figure 4.16 à une dose-rate de 3 Mrad/h, allant jusqu'à une dose totale de 272 Mrad.

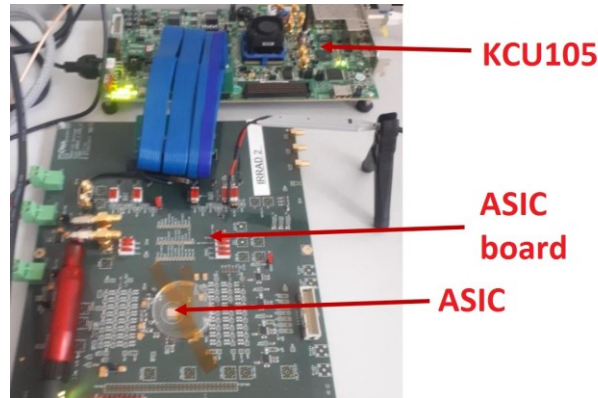


Figure 4.15: Photo du banc de test d'HGCROCv1 composé d'une carte de test dédiée avec le ROC directement branché dessus, connecté à une carte KCU105.

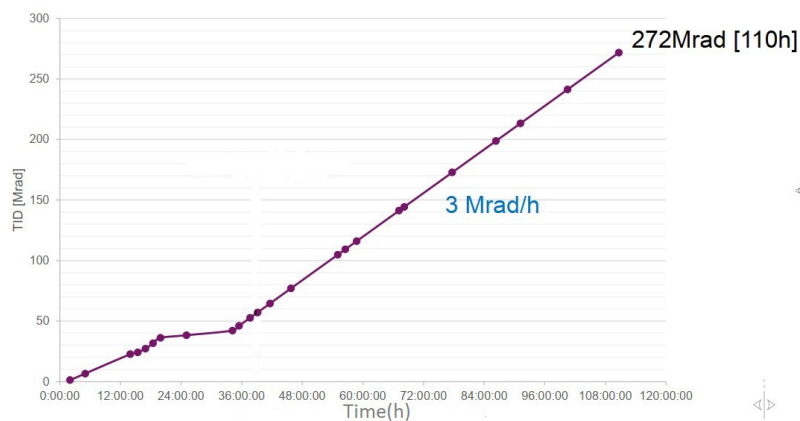


Figure 4.16: Profil d'irradiation de la deuxième campagne de juillet 2019 au CERN.

Ces premières campagnes ont permis de confirmer la résistance de la partie analogique de mise en forme du signal, par un test des piédestaux continuant de fonctionner après 272 Mrad. Ce test a mis en lumière la sensibilité des modules mixtes tels que la PLL, qui, après 33 MRad de dose cumulée, a arrêté de se bloquer, cherchant indéfiniment une phase due à une baisse de la tension d'alimentation passant en dessous des spécifications. Afin de tester les autres fonctionnalités, l'horloge fournie par la PLL a été contournée en injectant directement une horloge externe à la place, permettant de valider la tenue en radiation de l'analogique.

#### 4.2.4.3 Total Ionizing Dose sur HGCROCv2

Lors de la campagne de test sur HGCROCv2 en octobre 2019, l'ASIC fut cette fois installé sur une carte mezzanine posée sur une carte de test en noir sur la Figure 4.17, reliée à la même chaîne d'acquisition basée sur la carte Xilinx KCU105. Cette configuration mezzanine permet de tester différents ASIC en irradiation avec la même carte et ainsi limiter le matériel irradié.



Figure 4.17: Photo du banc de test d'HGCROCV2 avec la mezzanine sur la carte « Single ROC ».

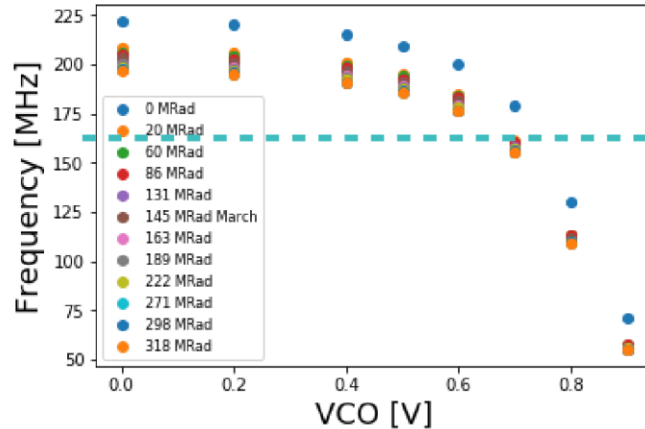


Figure 4.18: Résultats de la campagne d'irradiation en dose du VCO de la PLL d'HGCROCV2.

Dans cette deuxième campagne de tests, les tensions d'alimentation des différents blocs furent mesurées afin d'avoir en temps réel l'influence de la dose sur les alimentations des différents étages du circuit. Des tests à froid ont permis de vérifier le bon comportement du circuit dans les conditions d'HGCAL à  $-30^{\circ}\text{C}$ . En réalité, seul le liquide calorifique dans les tubes de refroidissement est à cette température ; je présenterai nos mesures de température effectuées sur HGCROC3 dans le prochain chapitre. La bonne tenue à la dose des PLL en fréquence avec la mesure du VCO en Figure 4.18 ainsi que les ADC jusqu'à 318 Mrad sont des résultats encourageants concernant la tenue aux radiations du circuit HGCROC. Concernant la mesure de temps, les TOA et TOT se détériorent, une mise à jour des tests de Scan va donc être effectuée ainsi qu'un test de rétention des données dans les DRAM.

Les différentes versions HGCROC1 et 2 ont donc permis de rendre compte de cette résistance de la technologie TSMC130 sur des designs mixtes, tels que les ADC ou TDC, et ont permis au laboratoire OMEGA de prendre en main cette dernière et ainsi affiner la précision de mesure, ainsi que faire différentes campagnes de tests en dose ionisante et ions lourds. En effet, là où le ADC irradié à température ambiante commence à présenter des erreurs à partir de 60MRad et perd définitivement la moitié des voies à 145 MRad sans deux jours d’annealing, l’ADC irradié à  $-10^{\circ}\text{C}$  ne présente des erreurs sur aucune voie jusqu’à 145 Mrad, comme l’illustre la Figure 4.19 [50].

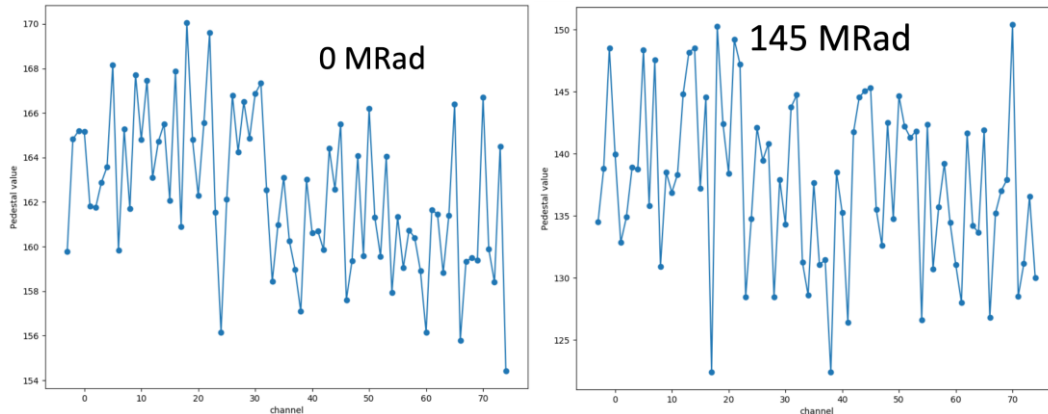


Figure 4.19: Variabilité du piédestal d’HGCROCv2, avant irradiation à gauche et après 145 Mrad à droite.

Lors des tests d’HGCROC2, les piédestaux commencent à présenter quelques problèmes à partir de 90 MRad, comme le piédestal de certaines voies chutant à 0, ainsi que son bruit, allant soit à des valeurs très hautes ou passant aussi à 0. Ce travail a été présenté lors d’une conférence sur la microélectronique dans la recherche en France [51].

#### 4.2.4.4 Installation d’irradiation en rayon X

La première campagne de tests concerne la résistance du circuit aux doses ionisantes. Au sein du HL-LHC, les quantités de doses cumulées sont très importantes (plus de 200 MRad). Afin de tester le comportement des composant en fin de vie de l’expérience ( $\sim 10$  ans), il est moins efficace d’utiliser des rayonnements issus d’une source radioactive de type Cobalt-60, couramment utilisés pour la qualification aux radiations en environnement spatial. Pour ce type d’utilisation, les rayons-X restent le meilleur moyen d’atteindre des doses de l’ordre du Mrad en quelques heures. Des sources de Cobalt 60 de 2500 Curies permettant d’avoir un débit de dose maximum de  $300 \text{ Gy } [\text{SiO}_2].\text{h}^{-1}$  ( $=30 \text{ krad } [\text{SiO}_2].\text{h}^{-1}$ ) donc 100 fois inférieur. Le temps pour monter à 300 Mrad de dose cumulée prendrait donc 10000 heures, alors qu’avec notre système de rayons-X cela a pris 122 heures (2.5 Mrad/h).

De plus, les sources à rayons-X sont plus simples à mettre en place et à utiliser. Les rayons-X sont produits en accélérant des électrons à l’aide d’un champ électrique, de sorte qu’ils percutent une cible. Les rayons-X sont le produit du rayonnement induit par le freinage des électrons dans la cible de tungstène placée devant l’anode afin de forcer l’interaction comme illustré sur la Figure 4.20. C’est avec un champ électrique généré sous fortes tensions (de l’ordre de la dizaine de kV) que les générateurs X peuvent produire des photons d’assez forte énergie pour traverser suffisamment de matière, afin d’atteindre le circuit encapsulé. Dans le cadre de nos tests, c’est l’installation ObeliX du CERN qui fut utilisée, ayant une différence de tension entre la cathode et l’anode fixée à 10 KeV. L’avantage des rayons-X de 10 keV est de mieux reproduire un environnement riche en protons, de l’ordre de la dizaine de MeV car similaire dans la génération initiale de charges [52]. C’est donc en jouant avec la valeur du courant que l’on fait varier le dose-rate de la source. Pour notre

expérimentation, nous avons utilisé deux dose-rate correspondant à deux courants, pour les raisons que je vais expliciter ; 0.245 MRad/h pour 5 mA et 2.45 MRad/h pour 50 mA.

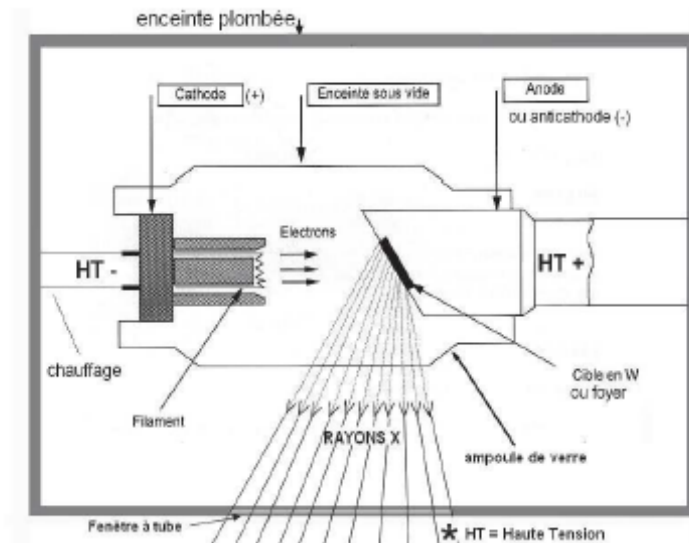


Figure 4.20: Schéma de principe d'un générateur de rayons-X. [52]

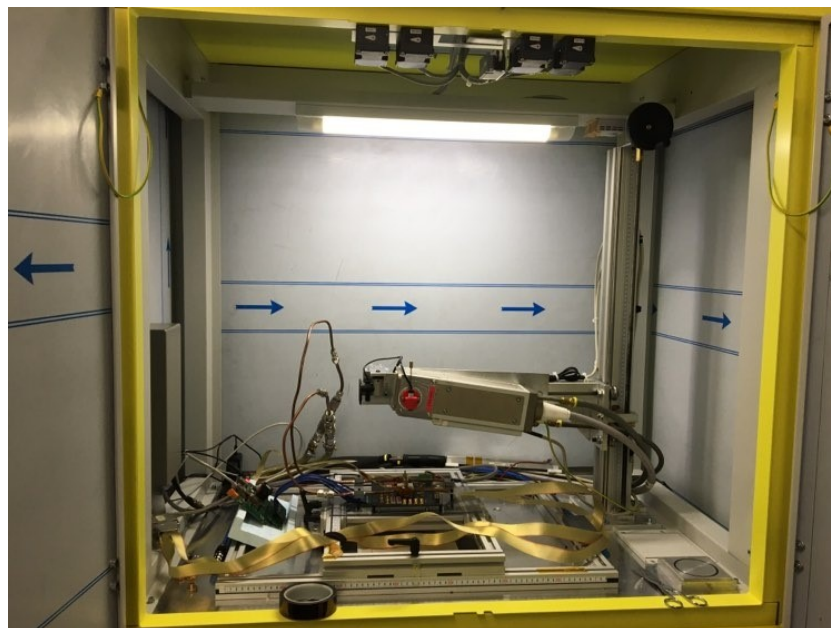


Figure 4.21: Photo d'ObeliX, système d'irradiation aux rayons-X du CERN avec notre banc de test d'HGCROCV3.

Malgré cela, l'énergie des photons émis à 10 KeV ne permet pas de traverser l'encapsulation du circuit, nous avons donc dû faire affiner le chip afin de réduire la distance entre la surface du chip et le circuit à irradier, partant de 250  $\mu\text{m}$  d'épaisseur à 75  $\mu\text{m}$ , afin de laisser moins de 70  $\mu\text{m}$  à traverser pour les photons avant d'arriver à la zone sensible du circuit, comme illustré sur la Figure 4.22. L'avantage que présente package Flip-Chip sur BGA est d'avoir son volume sensible au rayonnement, représentant le cœur de la puce, placé sur le dessus de la puce mais recouvert d'un capot plastique ou céramique.

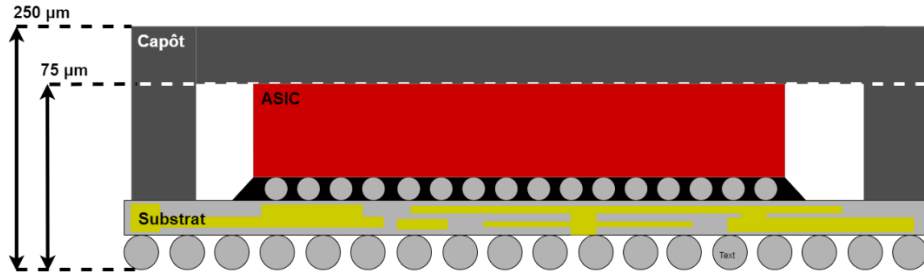


Figure 4.22: Schéma de principe de l'affinage du circuit HGCROC pour permettre aux rayonnements d'atteindre la zone sensible lors des campagnes de tests en irradiation.

Ainsi, en affinant les premiers micromètres sur le dessus de l'ASIC, on expose le volume sensible aux rayonnements peu pénétrants. La seule précaution consiste à prendre soin d'enlever le capot des boîtiers, car la profondeur moyenne de pénétration d'un rayonnement X (typiquement de 10 keV) est de l'ordre de grandeur de quelques microns. L'affinage au micron près est complexe à obtenir ; dans les faits, nous n'avons pas exactement 75 µm uniformément sur la totalité de la surface du circuit mais à  $\pm 14$  µm, comme illustré sur la Figure 4.23.

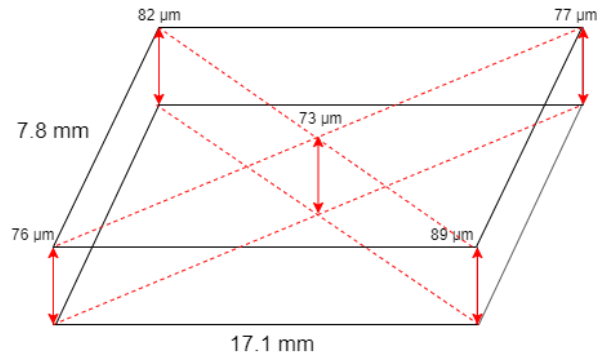


Figure 4.23: Mesures d'épaisseur en 5 points du circuit HGCROC affiné, faites par la compagnie d'affinage.

Plus la source de rayons-X est proche, moins la surface irradiée est importante mais plus la dose est intense. Dans notre cas, afin d'irradier la totalité du chip, nous sommes donc limités à un dose-rate maximal de 2.45 Mrad/h.



Figure 4.24: Photo de la mezzanine avec HGCROCv3 à gauche et une fois affiné à droite.

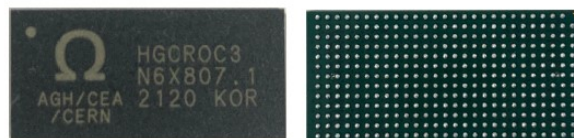


Figure 4.25: Photo du dessus d'HGCROCv3 haute densité en package BGA à gauche et du dessous à droite.

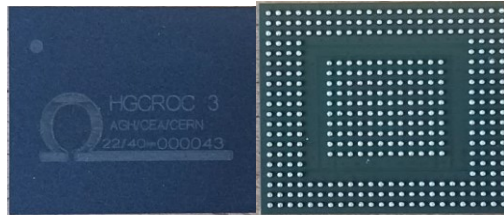


Figure 4.26: Photo du dessus d'HGCROCv3 basse densité en package BGA à gauche et du dessus à droite.

#### 4.2.5 1ere campagne Total Ionizing Dose Mars 2022

##### 4.2.5.1 Objectif de la campagne

Cette première campagne de TID sur la troisième version d'HGCROC a pour objectif de valider le fonctionnement du circuit jusqu'à 330 Mrad, en commençant par une irradiation « douce » (0.245 Mrad/h) pendant les premiers Mrad, puis une irradiation rapide (2.45 Mrad/h) jusqu'à la dose totale cumulée visée. Cette irradiation douce dans les premiers Mrad permet de mettre en lumière un problème observé lors des dernières campagnes sur HGCROC2, où les caractéristiques du VCO de la PLL présentaient un plus grand décalage aux alentours de 1 Mrad, mais toujours fonctionnels à 300 Mrad.

##### 4.2.5.2 Contrôle de l'environnement

Durant cette campagne, nous avons irradié deux cartes mezzanine sur lesquelles les circuits HGCROC3 identifiés sous l'appellation ROC-002 et ROC-003 avec différents plans d'irradiation qui seront présentés plus tard. Les circuits ont été testés et mesurés précisément avant la campagne afin d'avoir des données de comparaison.

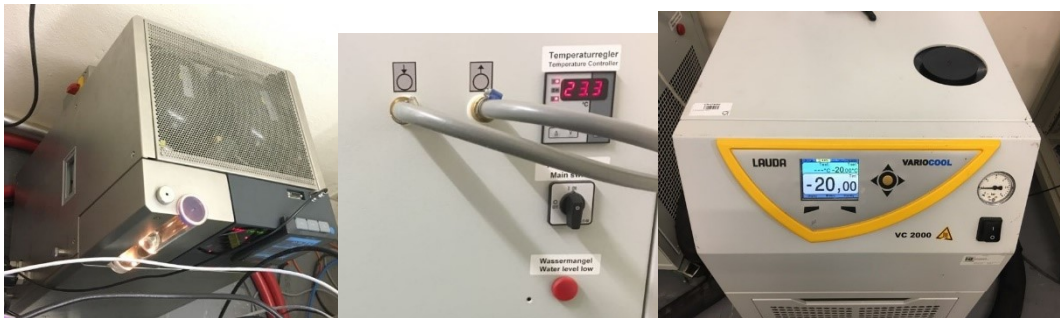


Figure 4.27: Photos du contrôleur d'humidité à l'intérieur d'ObeliX à gauche, contrôle de la température à l'intérieur d'ObeliX au centre, et notre propre système de refroidissement de la carte à droite.

L'effet des doses ionisantes sur l'électronique ont tendance à faire augmenter la consommation du circuit, faisant chauffer le composant testé. Le problème de notre banc de test réside dans l'utilisation de la mezzanine ayant l'avantage de tester plusieurs circuits avec la même carte de test, mais en revanche il ne possède pas la même capacité de refroidissement qu'avec un contact direct dû à l'Hexaboard à une plaque de cuivre, permettant de maintenir le circuit à -30°C dans l'expérience. Dans notre cas, le meilleur moyen démontable le plus efficace est un système de refroidissement disposant d'un tube de cuivre parcouru par un liquide frigorigère maintenu à la température de consigne par le refroidisseur (Figure 4.27) connecté à une bande de cuivre passant sous la mezzanine. Nous avons ainsi contrôlé la température et l'humidité de l'air dans la chambre d'irradiation.

Nous avons contrôlé l'alimentation à l'aide de multimètres Keithley, illustrés en Figure 4.28, connectés à l'ordinateur afin d'enregistrer en temps réel le courant et la tension d'alimentation du circuit afin de réagir vite en cas d'échauffement brutal. Nous avons ajouté des mesures supplémentaires sur les courants et tensions continus internes au circuit, en ajoutant dans la routine de test une lecture de

~80 probes DC balayant l'alimentation des préamplificateurs, DAC, ADC, du cœur numérique et autres composants-clés.

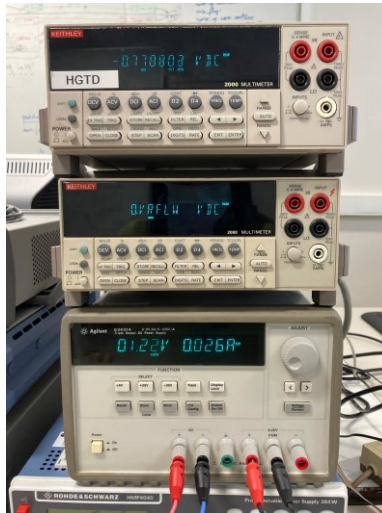


Figure 4.28: Photo de l'alimentation et des Keithleys permettant d'automatiser les tests de probes DC du circuit HGCROCV3.

#### 4.2.5.3 Calcul du Piédestal

Le circuit HGCROC dispose de nombreux tests permettant de vérifier le fonctionnement des différents modules, ainsi que l'affinage de ses caractéristiques par les différents réglages pour chaque étage. Pour vérifier que le circuit présente un bon comportement sous irradiation, nous avons déroulé différents tests correspondant à différentes fonctionnalités à valider, qui vont être décrites dans ce qui suit. Pour avoir une référence de mesure, j'ai pris le modèle du HGCROC n°015 et je l'ai testé dans les mêmes conditions de test que les circuits suivants, sans irradiation.

Ce premier test concerne l'optimisation du « piédestal » du signal équivalent à la valeur des ADC, sans signal, fondamental pour déterminer précisément l'amplitude réelle du signal. Ce test vise à trouver un optimum entre le niveau du piédestal et le bruit. Le calcul du piédestal est donc un test sans injection, permettant de régler voie par voie la valeur du piédestal afin de s'approcher au maximum du bruit pour maximiser l'utilisation de la gamme dynamique de l'ADC. Voici en Figure 4.29 l'allure du piédestal de chaque voie de lecture avant optimisation locale et globale, et en Figure 4.30, le piédestal trouvé après optimisation.

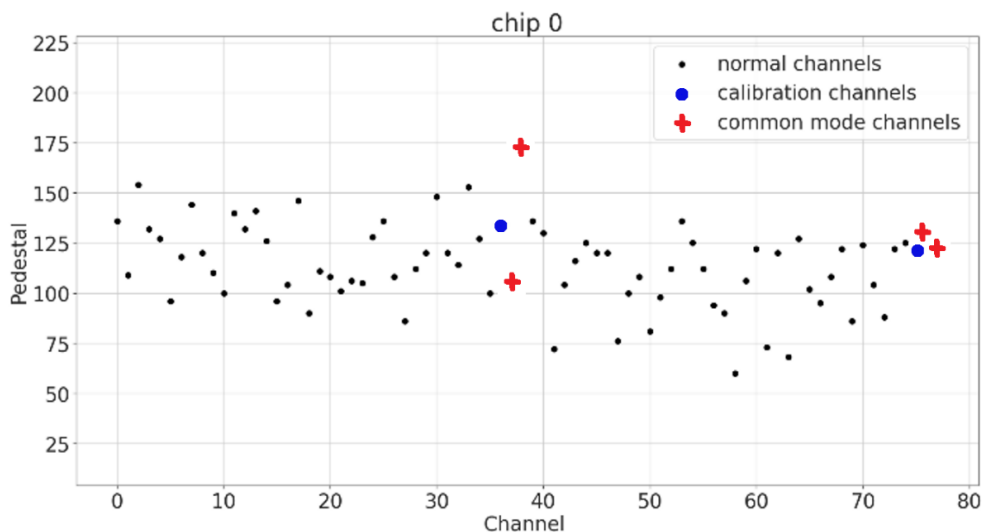


Figure 4.29: Piédestal ROC n°015 avant optimisation locale et globale.

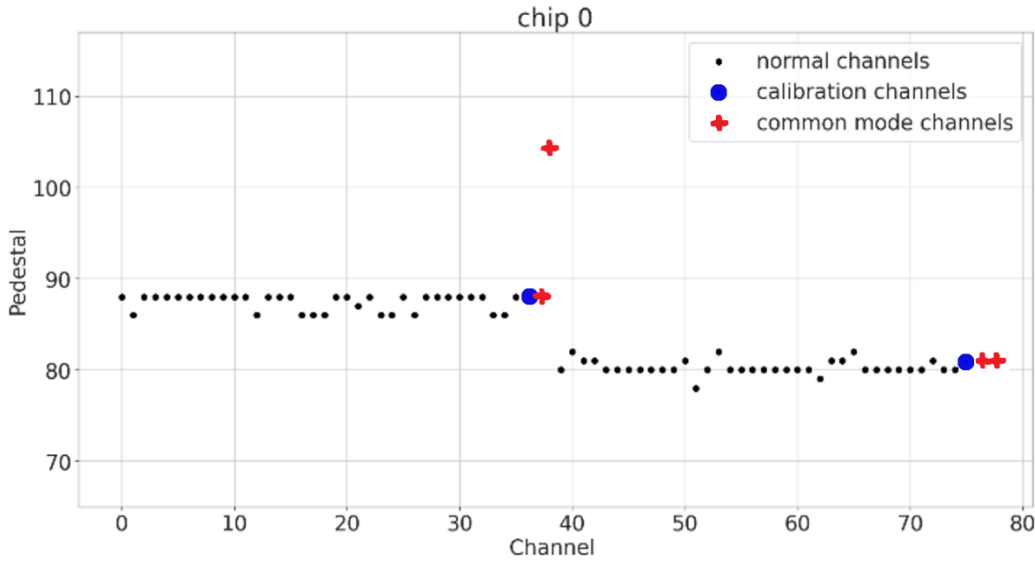


Figure 4.30: Piédestal ROC n°015 après optimisation locale et globale.

On observe bien qu’avant optimisation, la dispersion des piédestaux des voies s’étend de 170 à 80 pas d’ADC et d’une valeur moyenne de 125 pas d’ADC. Une fois les optimisations faites, on arrive à descendre à une dispersion d’une vingtaine de pas d’ADC et une valeur moyenne du piédestal plus basse. La marche qu’on peut distinguer au niveau du canal 36 est due à la séparation entre la moitié de droite et celle de gauche. En effet, sur cette version du circuit, les versions des ADC ne sont pas les mêmes d’un côté comme de l’autre, afin de tester l’efficacité des modifications appliquées.

#### 4.2.5.4 Balayage de la Phase

Le test de balayage de la phase ne nécessite pas d’injection de signal en entrée. L’objectif est de récupérer une nouvelle fois le piédestal, mais sur 16 phases d’une période de 25 ns, avec la configuration optimisée localement et globalement. Une fois les phases du piédestal récupérées, on peut ainsi observer les effets de bruit de l’horloge numérique sur l’acquisition, comme l’illustre la Figure 4.31.

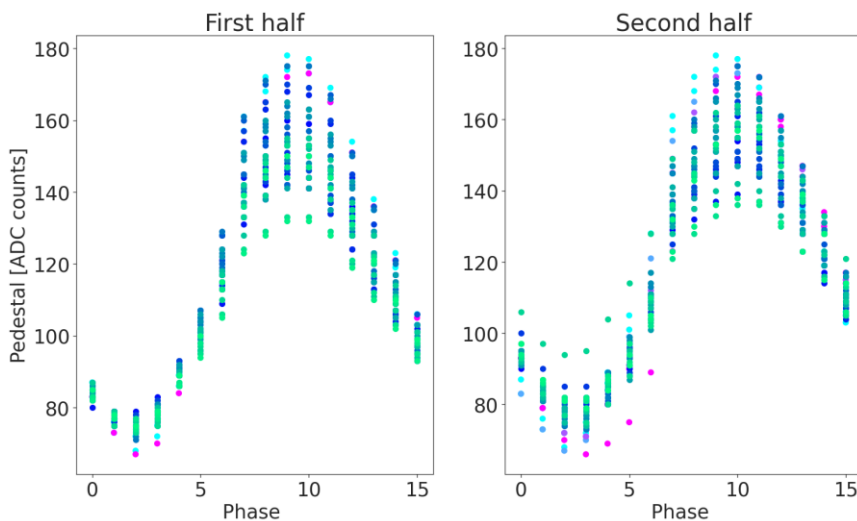


Figure 4.31: Résultats du scan de phase permettant d’identifier le bruit numérique sur le piédestal.

En effet, dans un cas idéal, le piédestal est censé rester invariant sur toutes ses phases, malheureusement HGCROC est un circuit mixte, et la synchronisation de tous les fronts montants du



circuit numérique cause un appel de courant dans l’analogique, faisant varier la valeur du piedestal d’une centaine d’unités d’ADC. On appelle ce phénomène le bruit numérique ou la modulation du piédestal, car il est dû à une différence de potentiel entre deux extrémités de phase. Des études poussées ont été faites sur le couplage entre les mondes numérique et analogique, et le type de package et de branchement sur la carte de test joue un rôle prépondérant dans ce phénomène, d’où le choix technologique d’un Flip-Chip sur BGA.

#### 4.2.5.5 Injection et reconstruction

Ce test consiste à injecter une impulsion en entrée des 72 voies du circuit et de faire un scan de plusieurs phases de la sortie de l’ADC afin de reconstruire l’impulsion. Une fois reconstruite en Figure 4.32, cela nous permet ainsi de connaître l’impact des radiations sur l’étage de pré-amplification et de mise en forme du signal.

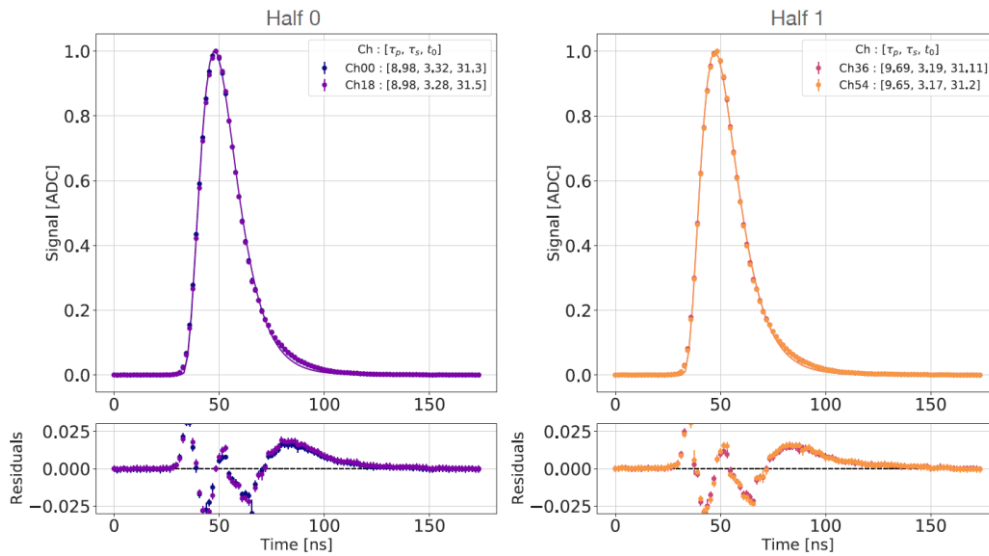


Figure 4.32: Reconstruction de l’impulsion injectée dans chaque moitié avec son bruit résiduel en-dessous.

La modélisation de l’impulsion se fait avec l’Équation 4.1 suivante :

$$f(t) = A_0 e^{-at} \left[ e^{-ct} \left( \frac{t^3}{c} - \frac{3t^2}{c^2} + \frac{6t}{c^3} - \frac{6}{c^4} \right) + \frac{6}{c^4} \right], \text{ avec } a = 1/\tau_p \text{ et } c = 1/\tau_p - 1/\tau_s$$

Équation 4.1: Fit de la modélisation d’une impulsion.

Où  $\tau_p$  est le temps de pré-amplification et  $\tau_s$  le temps de mise en forme du signal (shaping). C’est en analysant la corrélation entre les paramètres  $\tau_s$ ,  $\tau_p$ ,  $t_0$  et l’amplitude  $A_0$  en fonction de la dose (disponible en annexe) que l’on détermine quel paramètre est le plus sensible ou dépendant de la dose. Dans notre cas, c’est l’amplitude qui augmente de façon la plus significative en fonction de la dose. Une fois l’étape de la reconstruction de l’impulsion effectuée, nous allons tester la linéarité des ADC, TOA et TOT en faisant varier l’amplitude de l’injection par l’intermédiaire du DAC de calibration.

#### 4.2.5.6 Linéarité de l’ADC, TOT et TOA

Une fois l’injection à plusieurs amplitudes et la mesure du pic du signal, on détermine la linéarité de l’ADC. Ce test se découpe donc en trois vérifications de linéarité. Pour l’ADC, en mesurant l’amplitude au niveau du maximum de l’impulsion et en vérifiant la linéarité comme l’illustre la Figure 4.33, pour le Time Over Threshold (TOT) ainsi que le Time Over Arrival. Cette mesure étant plus gourmande en temps et en quantité de données enregistrées, nous nous limiterons à certaines voies représentatives de l’ensemble des voies. L’ensemble de ces tests est contenu dans une routine de test

de 5 minutes, s'exécutant en boucle afin de vérifier l'impact des radiations sur les données de sortie, avec une bonne précision en fonction de la dose, 5 minutes de test au plus haut dose-rate (2.45 Mrad/h) correspondant à environ 200 krad et 20 krad au dose-rate le plus faible (0.245 Mrad/h). C'est en analysant les paramètres a et b que l'on peut statuer sur la linéarité en fonction de l'amplitude d'entrée x.

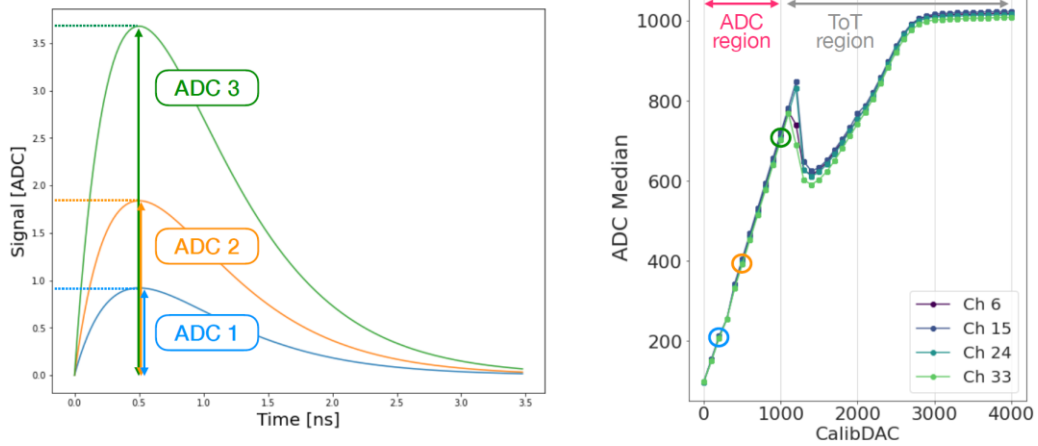


Figure 4.33: Illustration de la méthode afin de trouver la linéarité des ADC.

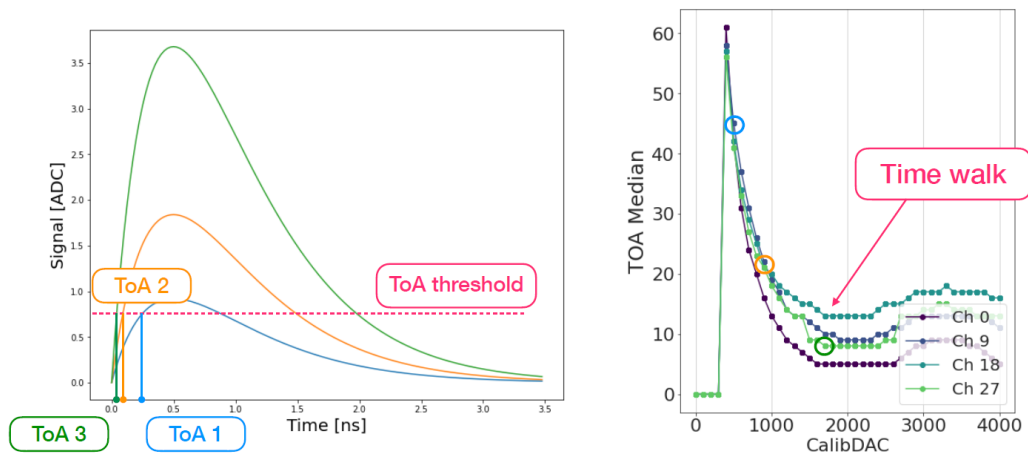


Figure 4.34: Illustration de la méthode afin de trouver la linéarité des TOA.

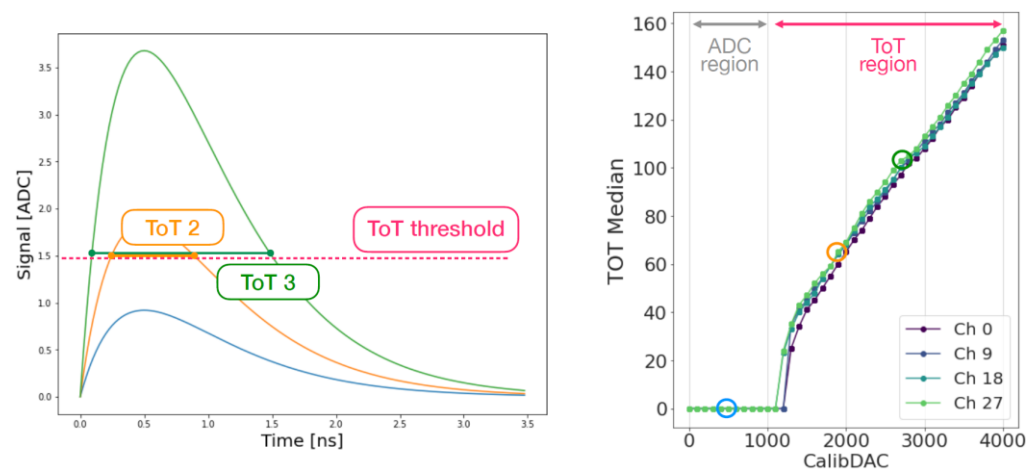


Figure 4.35: Illustration de la méthode afin de trouver la linéarité des TOT.

#### 4.2.5.7 Mesure de la PLL

La PLL est un élément critique, car elle donne l'horloge à l'ensemble des parties séquentielles du circuit. De plus, il est particulièrement sensible à des particules pouvant venir impacter la fréquence de fonctionnement de cette dernière. Cette mesure ne faisant pas partie de la routine de tests car nécessitant l'intervention d'un opérateur, il a été décidé suffisant de la faire toutes les 12 heures. Pour cette mesure, nous sommes contraints d'arrêter la routine afin de lancer un script Python qui charge la configuration du circuit, afin de connecter l'horloge en sortie de PLL sur un port de la carte reliée à un oscilloscope. La prise de mesure de la fréquence de sortie se fait avec différentes valeurs de VCO en modifiant le DAC **VOUT\_INIT\_EXT\_D**. C'est en comparant les valeurs de fréquence de sortie en fonction de la dose et de la configuration du VCO que nous pouvons statuer de la résistance de notre PLL en dose totale ionisante.

#### 4.2.5.8 Irradiation du ROC n°002

Ce premier circuit sera irradié à froid (-10°C) en essayant de se rapprocher des conditions de fonctionnement du HGAL à -30°C mais difficilement atteignables avec notre système de test. Nous irradiions doucement jusqu'à 1 Mrad afin d'observer plus précisément l'origine de la dégradation des performances, observée lors des campagnes d'irradiations précédentes.

La première mezzanine nommée ROC-002 est refroidie à -10°C pendant toute la durée de l'irradiation afin de se rapprocher au maximum des conditions de fonctionnement de HGAL de 240 Kelvin (= -33.15°C). Dans les faits, malgré la consigne du refroidisseur à -10°C, la température prise au niveau du circuit à l'aide de deux thermistors à l'entrée, et à la sortie des buses de refroidissement comme sur la Figure 4.36, varie d'environ +5°C, comme illustré sur la Figure 4.37, due à l'irradiation, et le circuit fonctionnant en continu pendant toute la semaine.

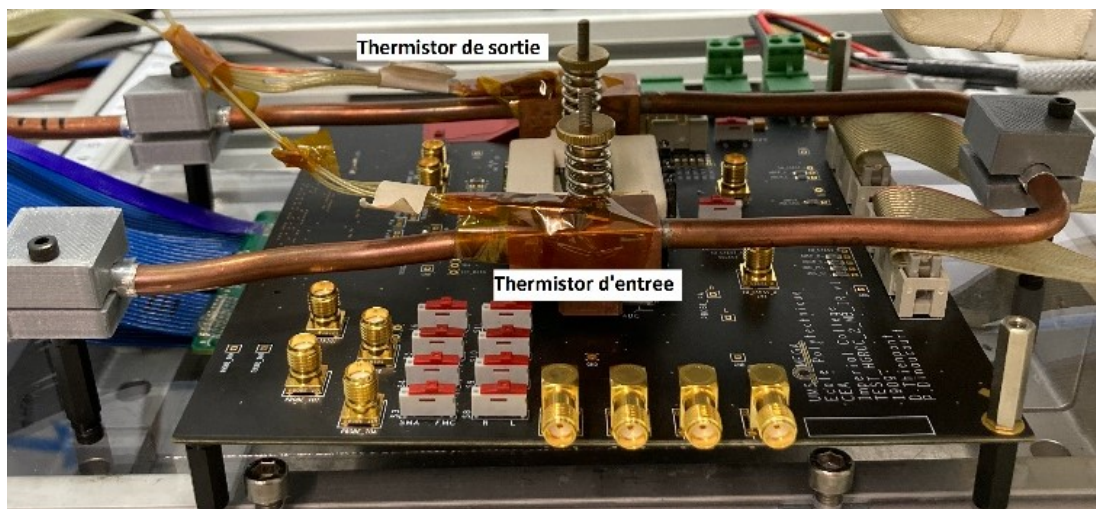


Figure 4.36: Photo de la carte Single ROC avec mezzanine et HGCR0Cv3 et son système de refroidissement.

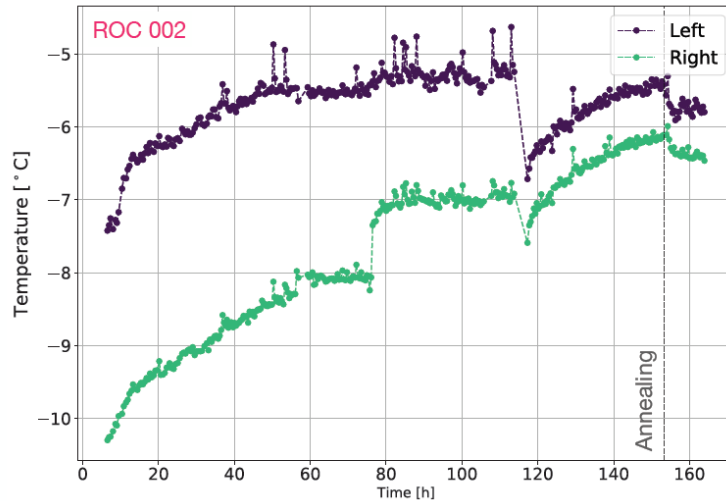


Figure 4.37: Mesures de température du liquide calorifique en entrée (vert) et en sortie (violet) du circuit de refroidissement du ROC n°002.

#### 4.2.5.8.1 Schéma d'irradiation

Pour le début de l'irradiation, nous avons soumis le circuit à un dose-rate faible (0.245 Mrad/h) puis passé à un facteur 10 (2.45 Mrad/h) au-delà de 2 Mrad comme l'illustre la Figure 4.38. L'objectif est de prouver la tolérance à un niveau de dose ionisante cumulée équivalente à celle du HL-LHC, approximé à l'aide du logiciel de simulation FLUKA à 200 Mrad. Dans notre cas, ayant un créneau sur l'installation ObeliX durant deux semaines, nous avons choisi de continuer l'irradiation tant que les données de sortie restent valides et ceci jusqu'à 345 MRad.

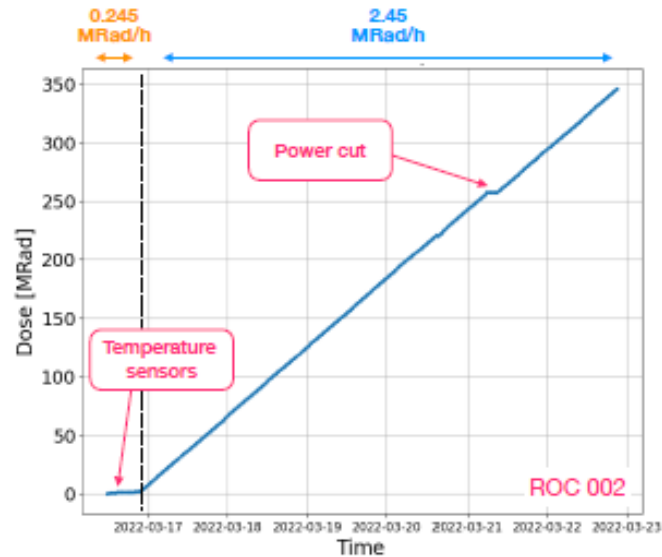


Figure 4.38: Profil d'irradiation du ROC n° 002.

#### 4.2.5.8.2 Problèmes rencontrés

Nous avons rencontré différentes difficultés avec notre banc de test. Dès le début de l'irradiation, les capteurs de température ont présenté un problème de connexion aux Keithleys, qui nous a forcé à stopper l'irradiation et à remettre à température ambiante la chambre afin de pouvoir l'ouvrir pour régler le problème, protéger les détecteurs de température en les couvrant, et relancer l'irradiation. Les problèmes qui ont été les plus récurrents concernent l'alignement des liens-série. En effet, les arrêts de la routine de test pour mesurer la PLL ont par moments été néfastes, lorsque le script a été

relancé mais les liens-série sont restés désynchronisés, insérant quelques bits en erreur dans les données stockées. Heureusement, ces problèmes ne nécessitent qu'un redémarrage du script et la vérification après une boucle de la routine la connexion au serveur reste valide. Le dernier problème ayant forcé l'arrêt momentané de l'irradiation fut une coupure de courant du bâtiment du CERN où sont localisées les installations d'irradiation. Cette coupure étant planifiée, nous avons pu arrêter proprement l'installation afin de la redémarrer dès le redémarrage 3 heures, 5 minutes et 28 secondes après la coupure.

Malgré ces problèmes minimes sur le banc de test, les données sur l'augmentation du courant aux alentours de 1 Mrad ont bien été observées et dans des proportions encore plus importantes que les fois précédentes, confirmant l'impact de la température sur le pic de consommation.

#### 4.2.5.9 Irradiation du ROC n°003

Nous avons choisi d'irradier le circuit ROC-003 à température ambiante afin d'avoir une mesure de référence sans refroidissement. Nous avons tout de même laissé le système de contrôle de la température afin qu'elle soit stabilisée à 20°C afin d'éviter l'emballement thermique.

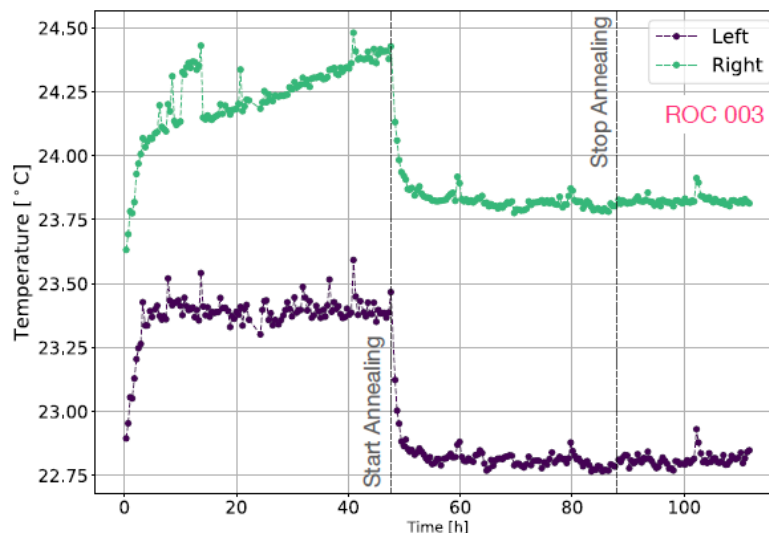


Figure 4.39: Mesures de température du liquide calorifique en entrée (vert) et en sortie (violet) du ROC 003.

##### 4.2.5.9.1 Schéma d'irradiation

A titre de comparaison et afin de valider la théorie sur la pré-irradiation, nous avons choisi d'irradier le ROC-003 directement avec un dose-rate de 2.45 MRad/h. Pour ce circuit, nous nous sommes arrêtés à 175 Mrad, car nous n'avions pas assez de temps prévu pour monter plus haut en dose cumulée.

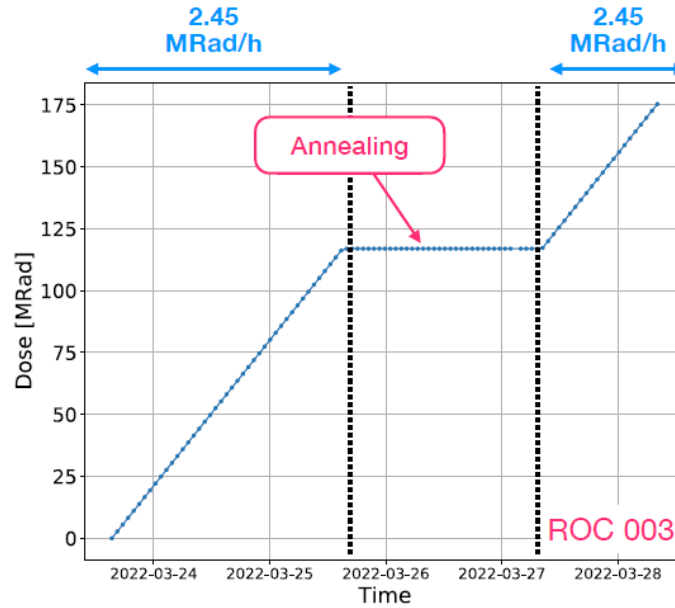


Figure 4.40: Profil d'irradiation du ROC 003.

#### 4.2.5.9.2 Problèmes rencontrés

Lors de l'irradiation du ROC-003, nous avons eu de mauvaises performances sur le piédestal et le bruit pour toutes les 78 voies, à partir de 50 Mrad, et les ADC à partir de 116 Mrad, ce qui nous a forcé à arrêter l'irradiation afin de faire de l'annealing durant 48 heures, comme illustré sur la Figure 4.40, afin de restaurer un fonctionnement correct du circuit. Nous avons ainsi pu récupérer quelques voies et continuer l'irradiation jusqu'à 175 Mrad. De plus, une fois la campagne terminée, l'annealing terminé complètement, le circuit ROC-003 a retrouvé l'intégralité de ses capacités de départ.

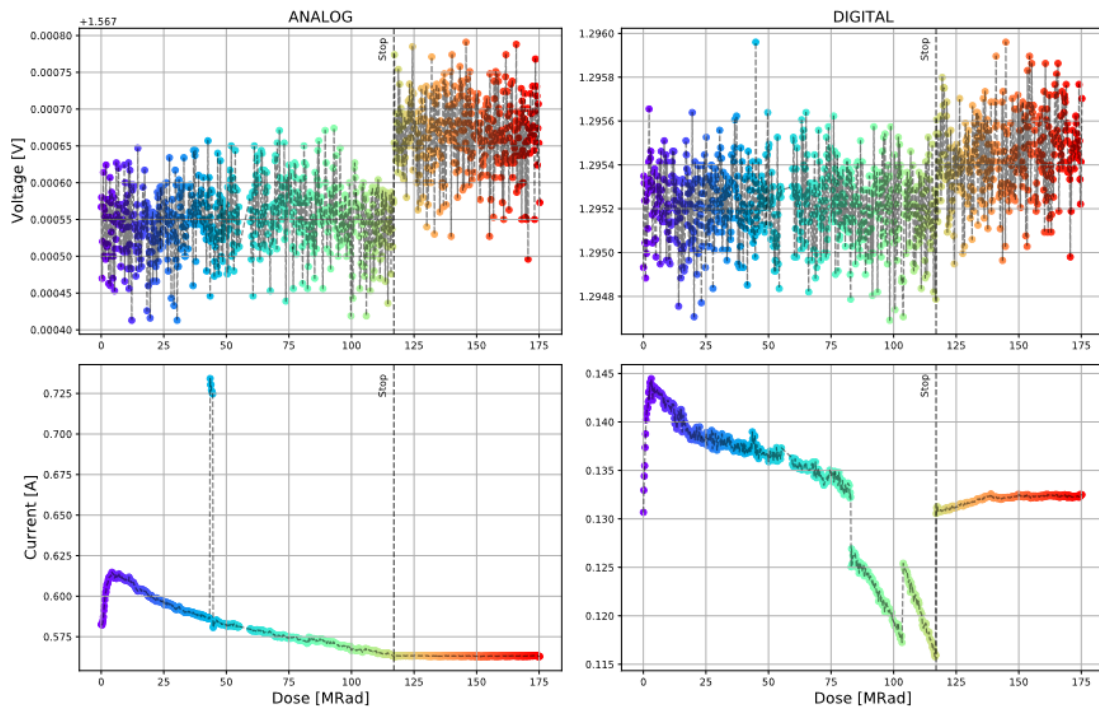


Figure 4.41: Variations de courant et tension de la partie analogique à gauche, et numérique à droite en fonction de la dose.

Il est visible sur la Figure 4.41 que les courants d'alimentation analogique ont augmenté de 40 mA et numérique de 15 mA aux alentours de 5 Mrad, plutôt négligeable pour cet ordre de grandeur.

#### 4.2.5.10 Mesure des Piédestaux et bruit

Les mesures des piédestaux ainsi que du bruit, illustrées en Figure 4.42 sont encourageantes, car les disparités sur les valeurs de piédestaux ne varient que d'une vingtaine de coups d'ADC, même à 350 Mrad, et le bruit ne représente qu'une unité d'ADC sur le Half 1 et d'environ deux unités d'ADC sur le Half 0, plus sensible par son design d'ADC expliqué antérieurement.

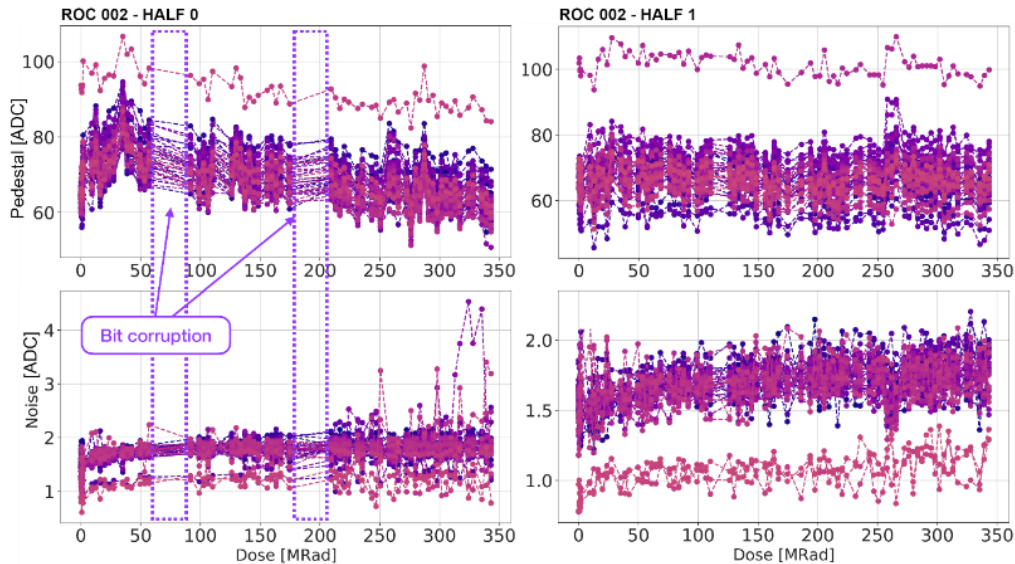


Figure 4.42: Evolution du piédestal et de son bruit en fonction de la dose du ROC 002.

#### 4.2.5.11 Mesure de Phase

Concernant le balayage des 16 phases consécutives, il a permis de s'assurer que les disparités sur l'amplitude du signal liées au bruit numérique restent stables (entre 20 et 40 ADC), tout au long de l'irradiation jusqu'à 350 Mrad. Le choix du packaging Flip-Chip sur BGA câblée sur une carte mezzanine est donc un bon moyen de réduire au maximum le bruit numérique sur l'analogique, tout en ayant une flexibilité lors de tests en irradiation.

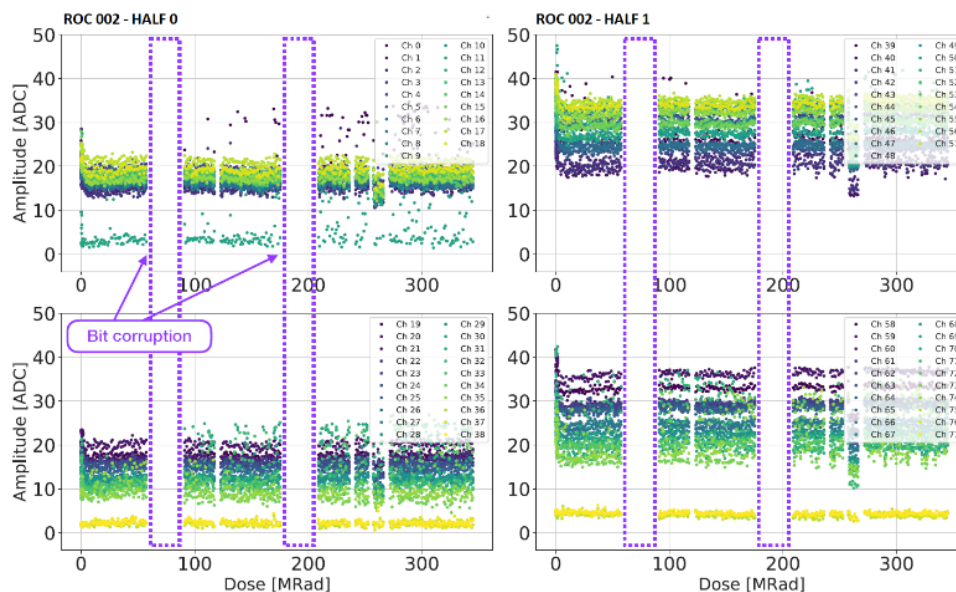


Figure 4.43: Evolution du scan de phase en fonction de la dose du ROC 002.

#### 4.2.5.12 Reconstruction de l'impulsion

L'analyse des paramètres de la courbe d'adaptation est résumée en annexe. En revanche, il est évident d'observer sur la Figure 4.44 que l'allure de l'impulsion ainsi que son bruit résiduel restent identiques même pour une dose totale de 345 Mrad.

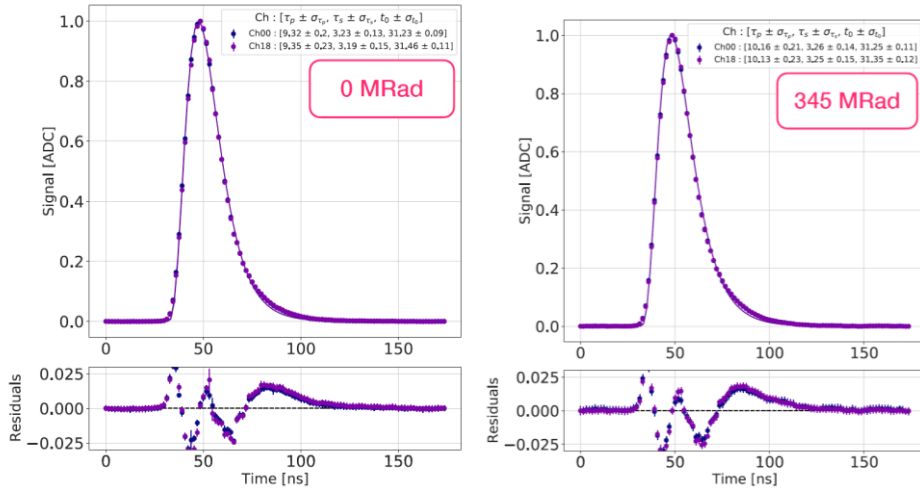


Figure 4.44: Reconstruction de l'impulsion avant irradiation à gauche, après 345 Mrad à droite.

#### 4.2.5.13 Etude de l'ADC, TOT et TOA de l'impulsion

L'évolution de la linéarité de l'ADC en fonction de la dose peut être directement observée sur la Figure 4.45. Pour ce qui est de l'analyse de l'évolution des paramètres de l'adaptation linéaire du TOT ainsi que celle des paramètres de l'adaptation au time-walk et au jitter du TOA, des figures sont fournies en annexe.

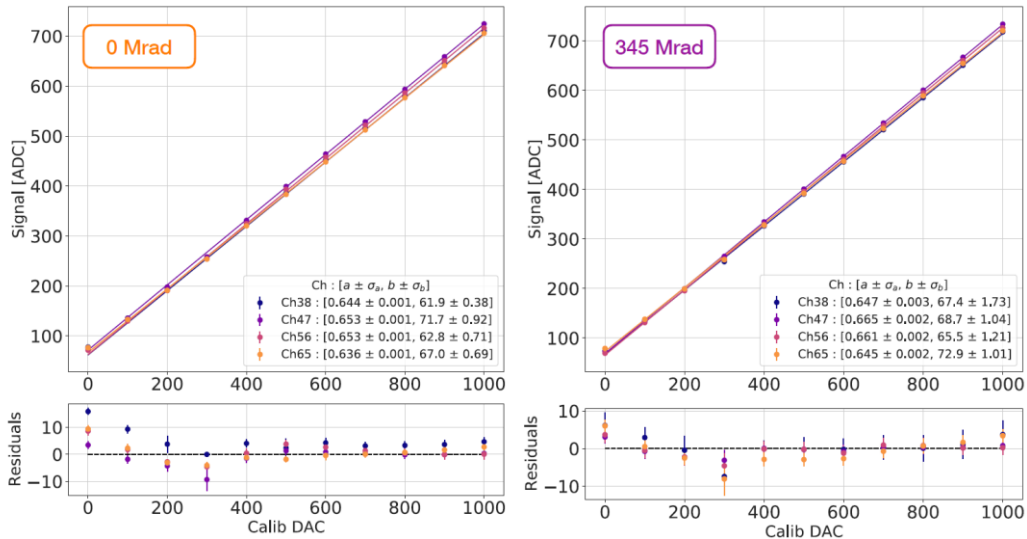


Figure 4.45: Linéarité des ADC avant et après 345 Mrad de dose.

Concernant la linéarité du TOT, on observe bien une conservation des performances en Figure 4.46 avec une unité de TDC étant égale à 50 ps.



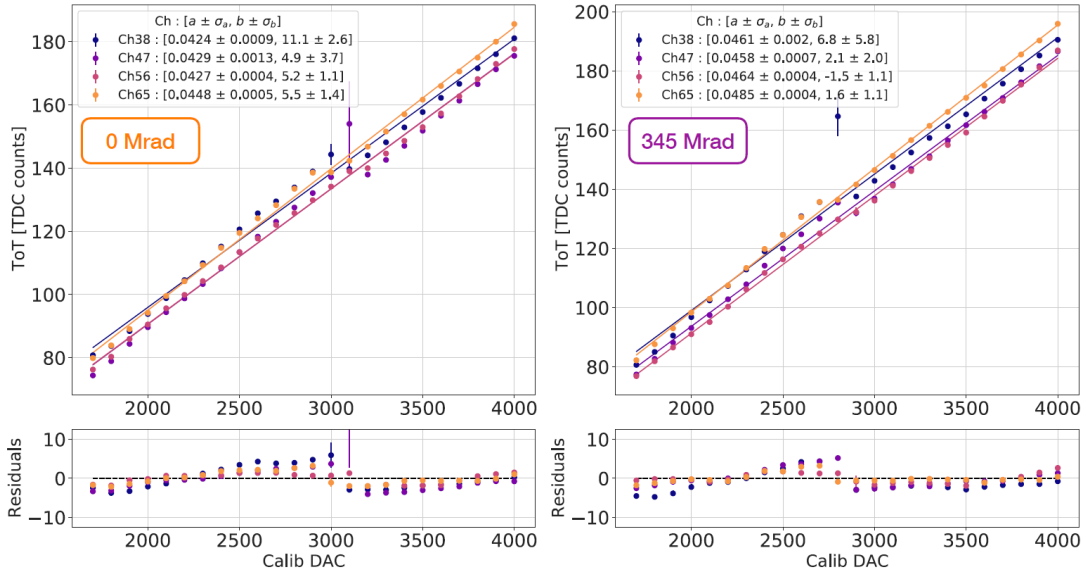


Figure 4.46: Linéarité du TOT avant et après 345 Mrad de dose.

La Figure 4.47 illustre le time-walk du TOA en pré-irradiation et à 345 Mrad, et on observe bien un bruit résiduel toujours compris entre  $\pm 0.5$ .

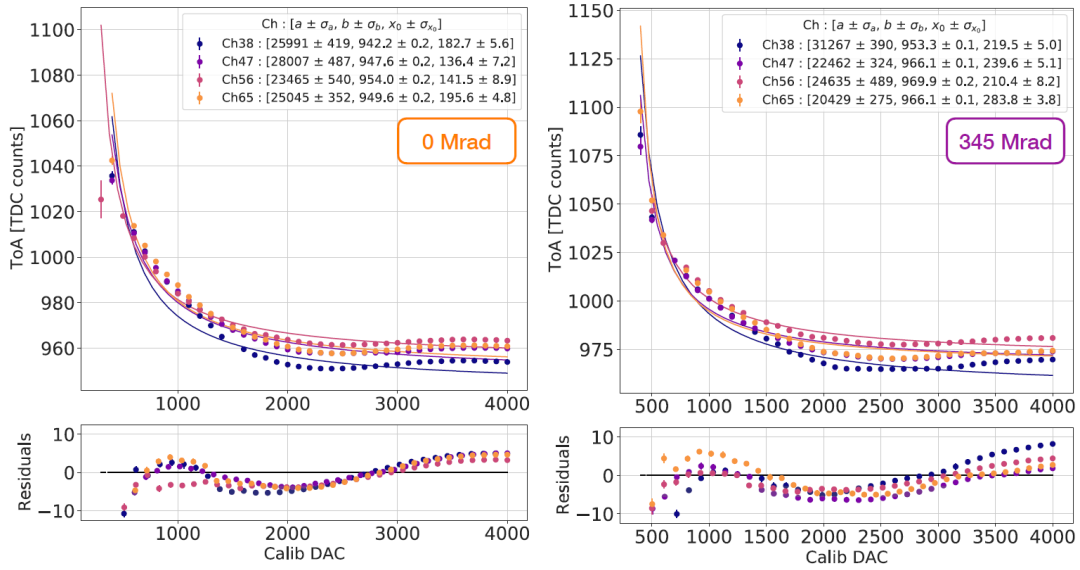


Figure 4.47: Time-walk du TOA avant et après 345 Mrad de dose.

Enfin sur la Figure 4.48, l'évolution du jitter du TOA cette fois, toujours très régulier même pour 345 Mrad.

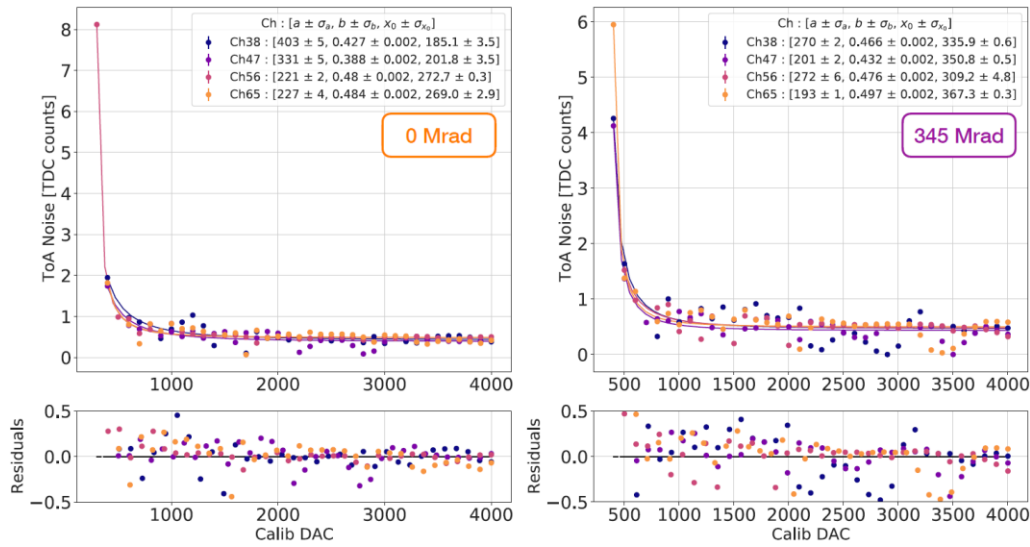


Figure 4.48: Jitter du TOA avant et après 345 Mrad de dose.

#### 4.2.5.14 Résultat concernant le tenu en dose de la PLL

Les résultats concernant les variations de fréquence du VCO de la PLL lors d'une irradiation en dose furent particulièrement excellents, comme l'illustre la Figure 4.49 pour le ROC 002 irradié à froid. En effet, mis à part une diminution négligeable de la fréquence, elle reste très stable jusqu'à 345 Mrad.

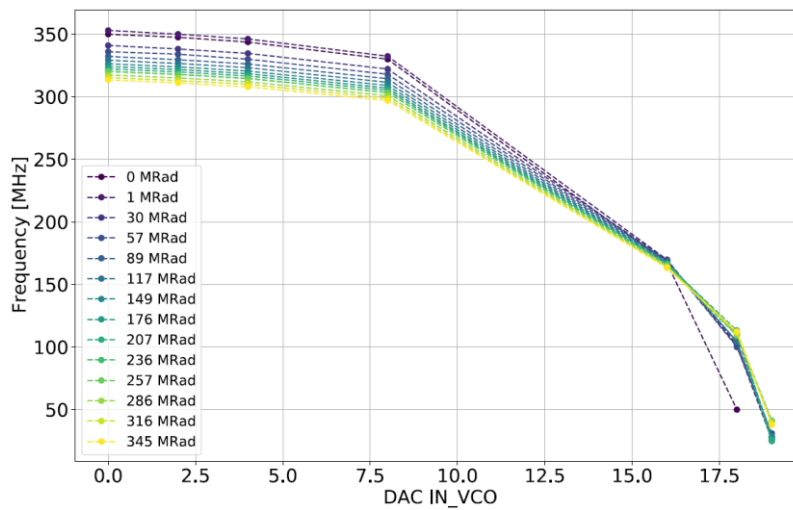


Figure 4.49: Evolution des mesures de fréquences du VCO lors de l'irradiation en dose d'HGCROCV3.

#### 4.2.5.15 Analyse des données de la 1ere campagne TID

Les résultats de cette première campagne d'irradiation en dose ionisante cumulée sur le circuit HGCROC3 furent très encourageants. Par comparaison avec les dernières campagnes faites sur HGCROC2, les résultats ont démontré une meilleure stabilité jusqu'à une dose de 340 Mrad, bien au-dessus des spécifications données par l'expérience, et ceci avec de très bonnes performances.

CIRCUIT	TEMP	DOSE TOTALE	DOSE-RATE	COURANT ANALOGIQUE	COURANT NUMERIQUE
ROC 002	-10°C	345 Mrad	0.245 Mrad/h de 0 à 2 Mrad	+0.120 A	+0.015 A
			2.450 Mrad/h de 2 à 345 Mrad	(+25%)	(+10%)
ROC 003	20°C	175 Mrad	2.450 Mrad/h de 0 à 345 Mrad	+0.050 A (+7%)	+0.015 A (+10%)

Tableau 4.2: Augmentation du courant lors de la 1ème campagne d'irradiation TID.

Le facteur ayant joué un rôle important dans la qualité des mesures fut la température de fonctionnement du circuit. En effet, le pic de consommation attendu vers 1 Mrad était plus faible à température ambiante, comme l'illustre le Tableau 4.2. Les campagnes d'irradiations des versions précédentes du circuit présentent des résultats allant dans le même sens : plus la température est faible, plus le pic de consommation est important.

#### 4.2.5.16 Pistes d'exploration

Dans un premier temps, nous avons suspecté le même type de problème que sur ATLAS ITk où il avait été observé, en irradiant le circuit ABCStar[53], l'accroissement rapide de la consommation du circuit jusqu'à un pic vers 1 Mrad, avec une forte dépendance en température et en Dose-rate comme illustré sur la Figure 4.50. A la grande différence que notre technologie TSMC 130 nm avait déjà été testée en dose, sans jamais présenter cette augmentation significative.

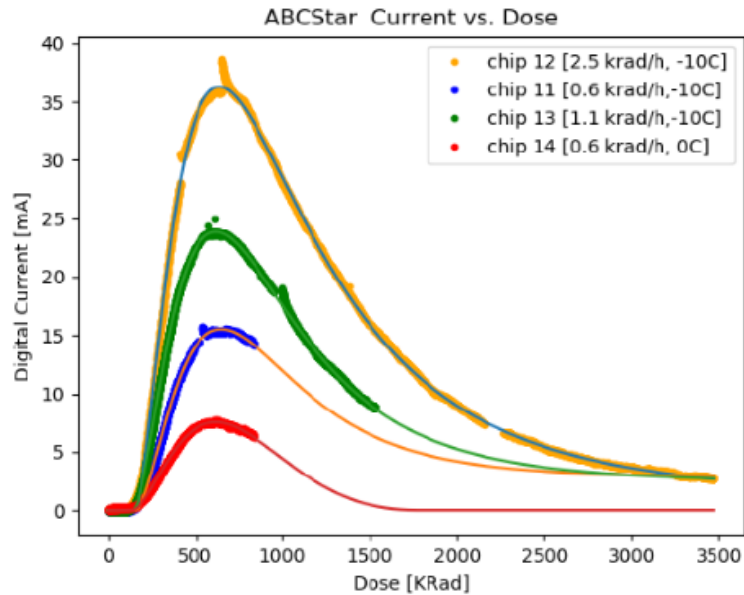


Figure 4.50: Etude sur l'ABCStar de l'évolution du pic de courant en fonction du dose-rate et de la température. [53]

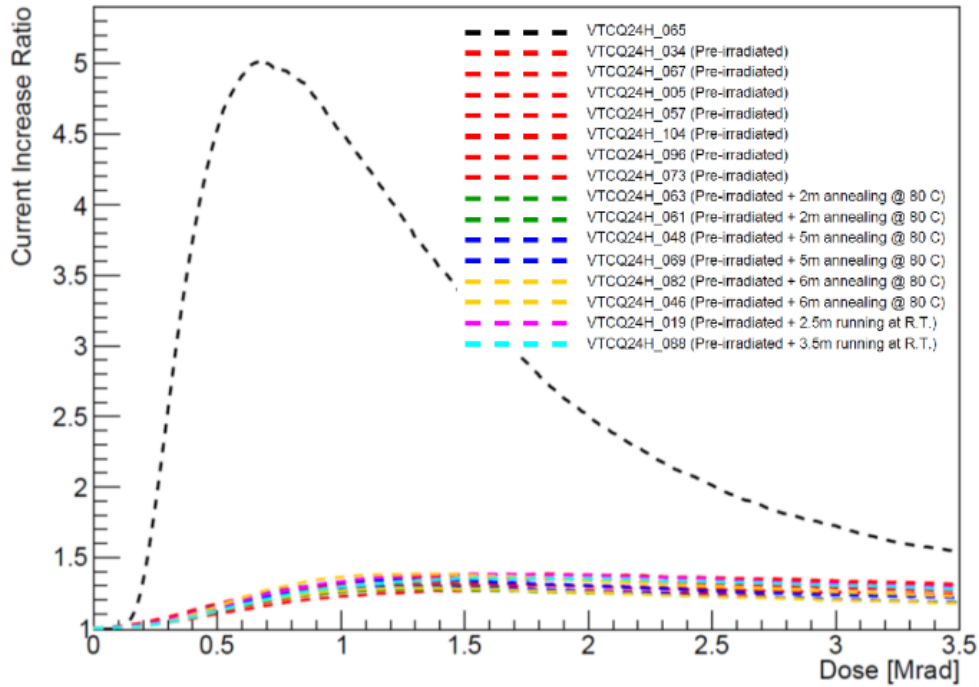


Figure 4.51: Etude de l'influence de la pré-irradiation sur le pic de courant. [53]

Afin de réduire ce pic de consommation, l'équipe d'ATLAS ITk a appliqué au circuit une pré-irradiation avec une source Cobalt 60 jusqu'à 8 Mrad. Cette méthode a permis de réduire drastiquement ce pic de consommation lors de la seconde irradiation, autour d'un Mrad illustré en Figure 4.51, même à fort dose-rate (1 Mrad/h) et même après une longue période d'annealing (14 mois) qui a donné lieu à une publication [53].

#### 4.2.5.17 Conclusions de la 1ere campagne TID

La difficulté de nos tests réside dans la reproduction de l'environnement du HL-LHC. En effet, cette campagne en dose ionisante ne nous donne qu'une facette des effets délétères des radiations sur notre circuit. De plus, la température de fonctionnement de HGAL, particulièrement les couches de détecteur au plus près de la collision (Calorimètres Electromagnétiques), seront maintenues à  $-30^{\circ}\text{C}$ . Le système de refroidissement qui sera mis en place sur l'expérience consiste à accoler une plaque de cuivre sur l'intégralité de l'Hexaboard assurant la diffusion de la chaleur. De plus, le ROC sera directement branché sur le PCB, ce qui n'est pas possible dans le cadre de nos tests en irradiation. En effet, notre carte d'irradiation possède un connecteur permettant d'interchanger les cartes mezzanines présentées dans le chapitre sur le setup de pré-irradiation, sans avoir à changer l'intégralité de la carte de test. C'est uniquement par l'intermédiaire d'une plaque de cuivre passant sous la mezzanine que le ROC est refroidi, ne nous permettant pas de descendre en dessous de  $-10^{\circ}\text{C}$ .

Cependant la différence de résultat entre l'irradiation à température ambiante ( $20^{\circ}\text{C}$ ) et à froid ( $-10^{\circ}\text{C}$ ) confirme en partie la théorie présentée sur ABCStar, la consommation augmentant d'un facteur 3. L'influence du dose-rate sur ce pic de courant reste à confirmer sur notre circuit, notre seule chance de contrecarrer l'effet délétère d'une faible température. En effet, même avec une consigne à  $-10^{\circ}\text{C}$ , la température au niveau du circuit est encore loin des  $-30^{\circ}\text{C}$  prévus dans l'installation finale, rendant difficile de considérer ce problème comme acceptable. Le HL-LHC montera progressivement en dose-rate ( $\sim 10^2$  rad/h), ce qui pourrait contrecarrer l'augmentation due à la température.

#### 4.2.6 2eme campagne Total Ionizing Dose Septembre 2022

Cette campagne a pour but de confirmer ou infirmer la théorie concernant le dose-rate, afin de vérifier si l'augmentation du courant relatif à la température dans les premiers Mrad peut être atténuée.

##### 4.2.6.1 Objectifs de la campagne

Après les résultats assez inquiétants sur le pic de consommation entre 1 et 10 Mrad mesuré lors de la campagne TID précédente, nous devons donc confirmer avec précision si les paramètres tels que la température et le dose-rate influent sur la consommation lors de l'irradiation, mais surtout trouver le lien entre ces deux effets, et quelle zone du circuit est la plus touchée. Le Tableau 4.3 rend compte du plan d'irradiation des trois circuits, ne prenant en compte que les 10 premiers Mrad à titre de comparaison :

CIRCUIT	TEMPERATURE	DOSE-RATE	COURANT ANALOGIQUE	COURANT NUMERIQUE
ROC 000	-5°C	2.45 Mrad/h	+0.175 A (+25%)	+0.015 A (+5%)
ROC 015	-5°C	2.45 Mrad/h	+0.175 A (+25%)	+0.015 A (+5%)
ROC 003	20°C	0.245 Mrad/h	+0.040 A (+6%)	+0.015 A (+5%)

Tableau 4.3: Augmentation du courant lors de la 2ème campagne d'irradiation TID.

##### 4.2.6.2 Changements du banc de test

Le banc de test utilisé lors de la 1ere campagne sera conservé, mais des tests supplémentaires seront ajoutés. Afin de localiser le composant en question, nous ajoutons des étapes à la boucle de test éteignant successivement certaines parties du circuit, illustré sur la Figure 4.52, et relevant la valeur des Probe DC principales à l'aide de multimètres Keithley de tous les étages de mise en forme du signal. Ce test permet de mettre en lumière quelle partie du circuit contribue le plus à ce pic de courant, et ainsi analyser au niveau transistor les raisons de leur sensibilité aux doses.

Nous avons quatre configurations de test :

- Standard, où l'intégralité du circuit est active.
- noDiscr, où les discriminateurs (en vert) vont être éteints.
- noRtR, où les discriminateurs ainsi que les Shapers (en bleu) seront éteints.
- Et enfin noPreamp, configuration avec un maximum d'étages éteints, les discriminateurs, les Shapers ainsi que les préamplificateurs (en rouge).

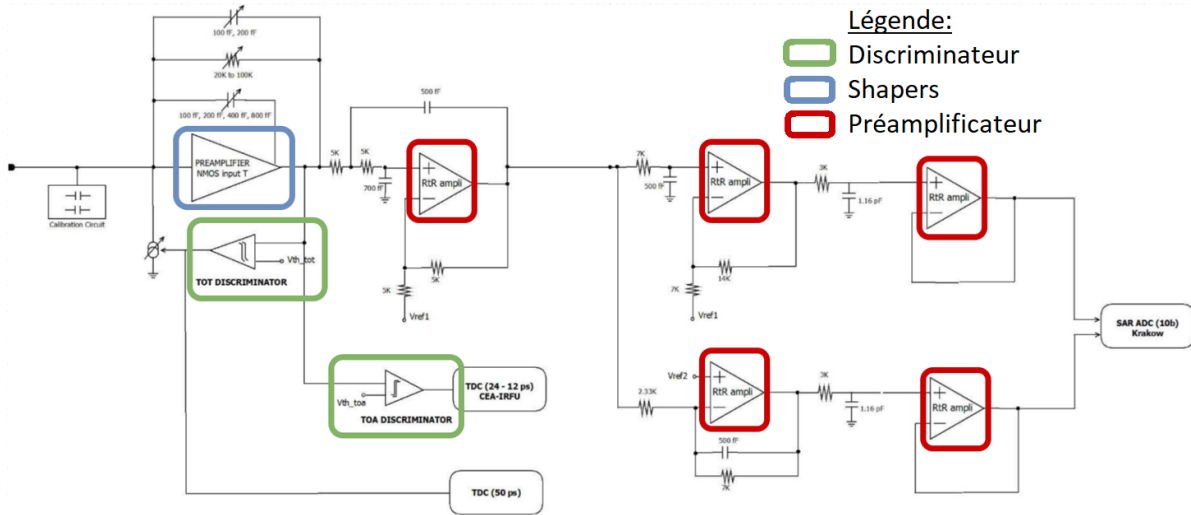


Figure 4.52: Schéma d'adaptation analogique du signal avec les modules à ne pas alimenter.

En plus de ces nouveaux tests, le banc gardera la mesure de température et d'humidité afin d'éviter les problèmes liés à la condensation, ainsi que les différents tests fonctionnels déjà présents (Piédestal du bruit, scan du signal en phase, d'un échantillonnage temporel et d'une injection)

#### 4.2.6.3 Irradiation du ROC n°000

Ce circuit est testé avec une irradiation à froid avec  $-20^{\circ}\text{C}$  en consigne mais finalement avec une température au niveau des capteurs de température aux environs de  $-5^{\circ}\text{C}$  pendant une demi-journée à  $2.45 \text{ Mrad/h}$ . Ce test nous permettra d'avoir un point de mesure de référence du pic de courant avec un haut dose-rate et une température basse. On pourra extrapoler de l'influence de chaque paramètre en les faisant varier un par un et en les comparant avec cette mesure. De plus, le test désactivant certaines parties du circuit permettra de voir en temps réel si une partie du circuit contribue plus lors de l'irradiation, et donc si elle est à l'origine de ce pic de courant. Dans ce cas, il faudrait alors comprendre quelle partie du design l'oxyde accumule des paires électron-trou et augmente ainsi le courant passant dans les transistors.

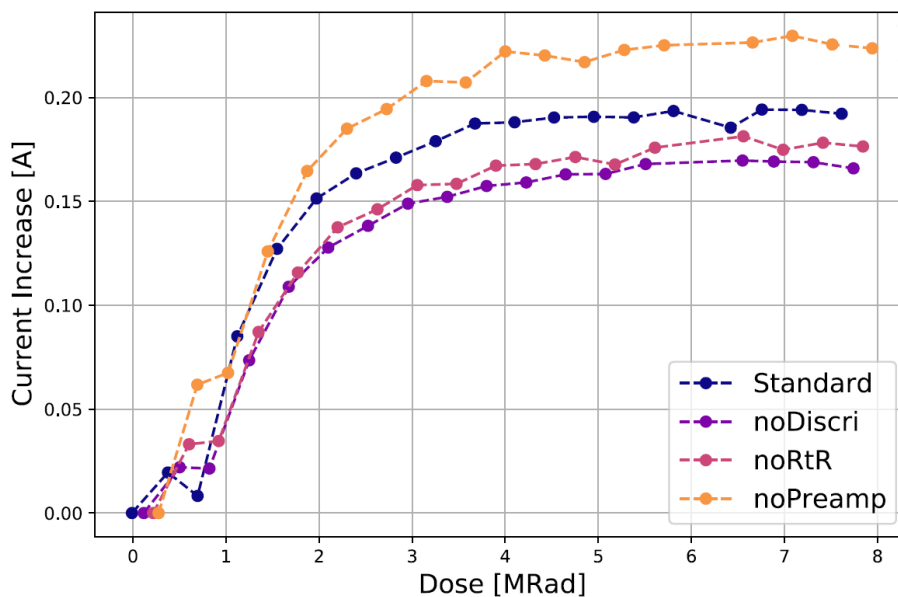


Figure 4.53: Evolution normalisée des courants de chaque bloc en fonction de la dose.

#### 4.2.6.4 Irradiation du ROC n°015

Ce circuit a été aussi irradié à froid (-5° C) pendant environ trois jours à 0.245 Mrad/h. Cette mesure servira de point de référence bas en dose-rate, et permettra peut-être de faire baisser à un niveau raisonnable le pic de consommation. Finalement, après 3 jours d’irradiation à 0,245 Mrad/h, la consommation globale du circuit commence à redescendre mais pas aussi vite que désiré. L’augmentation de la consommation n’a pas diminué proportionnellement au dose-rate.

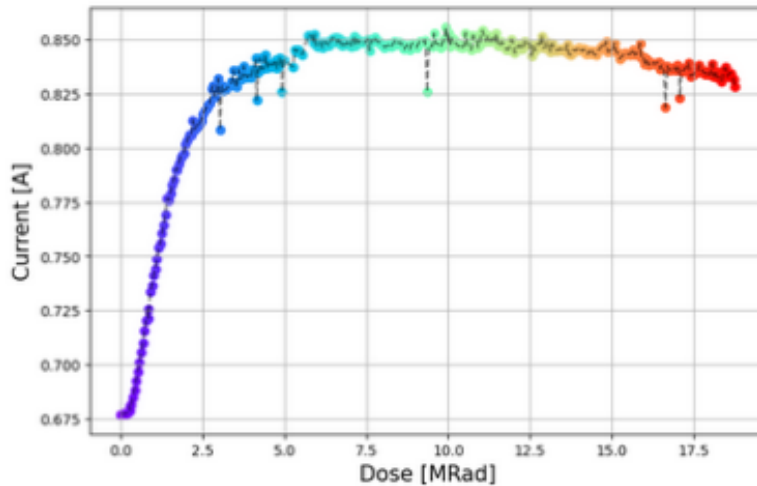


Figure 4.54: Augmentation du courant global du ROC n°015 en fonction de la dose.

#### 4.2.6.5 Irradiation du ROC n°041

Pour le dernier circuit à irradier, nous avons voulu vérifier s’il était possible d’étaler le pic de consommation en alternant une phase d’irradiation courte à 2.5 Mrad/h, suivie d’une phase d’annealing permettant une recombinaison partielle des pièges. Malheureusement, ce test ne s’est pas avéré efficace, car tant que le pic de courant n’est pas atteint, l’augmentation reste très importante, voire verticale comme l’illustre la Figure 4.55.

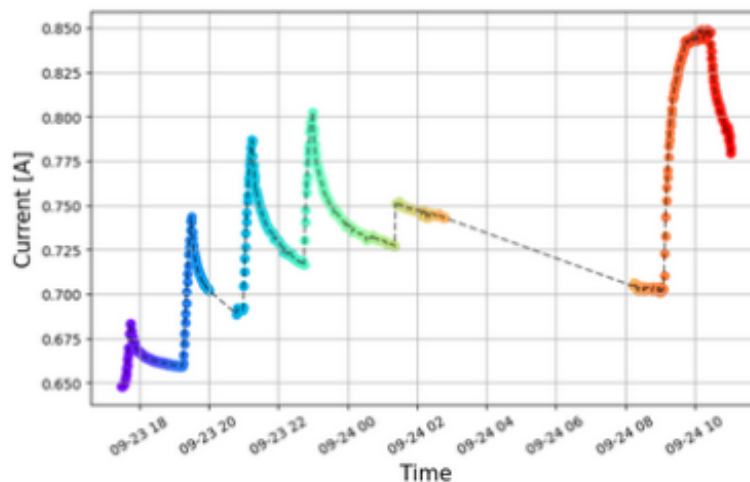


Figure 4.55: Augmentation du courant global du ROC n°041 en fonction de la dose.

#### 4.2.6.6 Analyse de données de la 2<sup>ème</sup> campagne TID

Lors de cette 2<sup>ème</sup> campagne de tests en dose ionisante, nous avons comme objectif de mieux quantifier l’influence de la température et du dose-rate sur le pic de consommation que nous avons observé avant 10 Mrad.

Malheureusement, pour une même température et avec un dose-rate inférieur presque d'un facteur 10, nous avons observé dès le deuxième jour d'irradiation que le pic de consommation comportait la même proportion qu'à fort dose-rate. Notre théorie initiale de l'influence du dose-rate n'était pas la bonne. Nous avons donc laissé le circuit pendant un jour de plus, afin d'essayer d'observer le profil de la redescende du pic de consommation.

De plus, concernant l'impact de la température sur ce même pic de consommation, le setup ne nous a pas permis de descendre plus bas que lors de la dernière campagne, pour des raisons d'interchangeabilité du circuit sans avoir à refaire une carte d'irradiation. La carte d'irradiation accueille le circuit, sur une carte mezzanine. Il n'est donc pas en contact direct avec le PCB, il nous est donc impossible de refroidir le circuit par une plaque de métal accolée au-dessous de l'Hexaboard comme ce sera le cas dans HGAL.

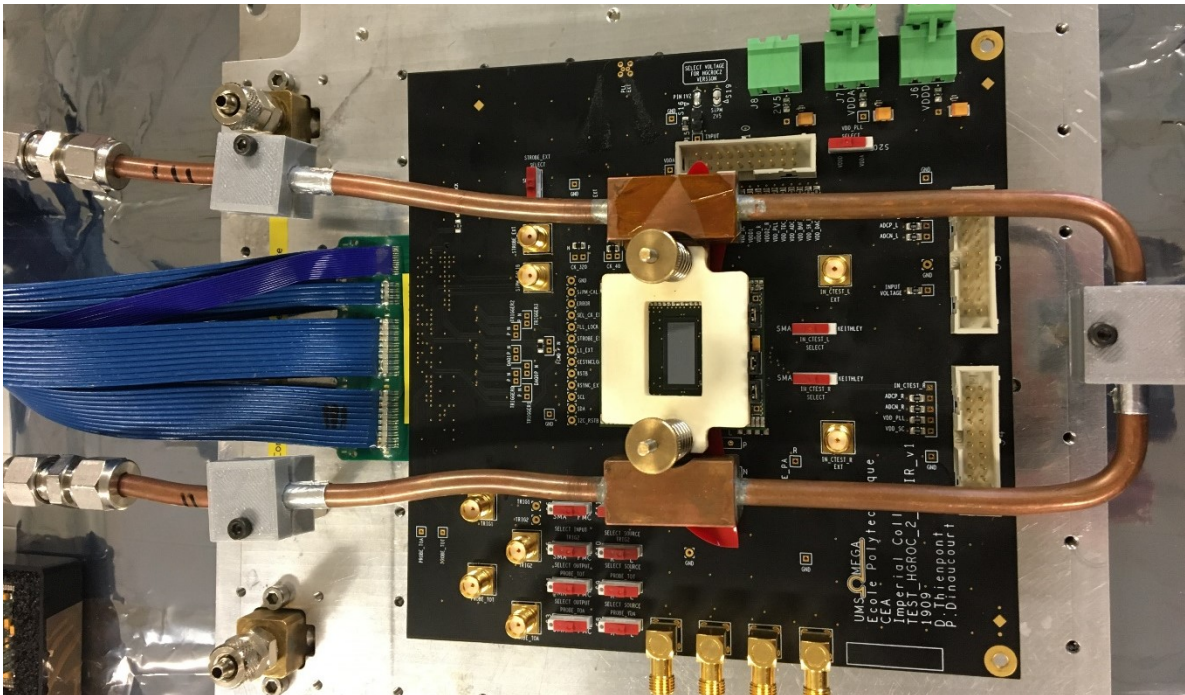


Figure 4.56: Photo du système de refroidissement du ROC.

Mais malgré la température insuffisamment basse, le principal problème réside dans l'augmentation des courants d'alimentation, dans des proportions intolérables pour le détecteur. En effet, une augmentation de la consommation de 25% appliquée aux 100 000 circuits présente un écart inacceptable par rapport aux prévisions d'alimentation du détecteur.

#### 4.2.6.7 Analyse post-TID

Lors de notre 2ème Campagne de TID, nous avons discuté les résultats avec des experts du CERN [54] [55] et la possibilité de points flottants dans la partie numérique du circuit HGROC a été soulevée.

Lors de cette 2<sup>ème</sup> campagne de test TID, nous avons mis en place un système de surveillance permettant de visualiser les alimentations à tous les étages, mais il nous était impossible, même en éteignant un par un les différents étages, d'identifier la source de l'augmentation du courant d'alimentation. Le défi fut de trouver *a fortiori* d'où pouvait provenir la consommation analogique de 150 mA alors que tous les modules analogiques étaient déconnectés. Afin d'approfondir la recherche de ce courant, nous avons utilisé une caméra thermique pour d'identifier les points chauds où le courant pourrait fuir, créant ainsi un échauffement visible à la caméra. C'est en appliquant un soft-



reset que l'on observe ainsi une chute de la température, illustrée en Figure 4.57, avec à gauche le mode « Run », puis au milieu lorsque le soft-reset est activé et enfin à droite lorsqu'il est relâché.

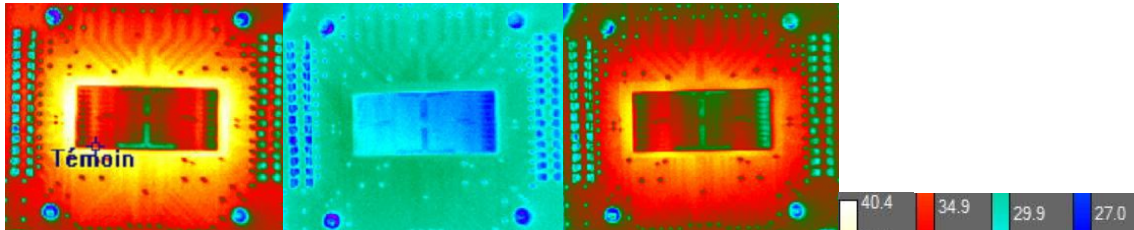


Figure 4.57: Photo en caméra thermique d'HGCROCV3, à gauche en mode "Run, au centre avec le "Soft-Reset" activé, et relâché à droite.

Ces mesures de température ont pu être corrélées aux mesures du courant, constatant en parallèle de l'activation du reset la disparition du courant fantôme de 150 mA et sa réapparition lorsqu'il est relâché. Ce soft-reset a pour fonction de redémarrer la PLL, les ADC ainsi que la TDC permettant de discriminer une grande partie du circuit. De plus, le courant de fuite dans l'analogique étant encore présent lorsque la PLL est alimentée par le digital permet de mettre hors de cause cette dernière.

La dernière étape consiste à donc identifier le module responsable, en trouvant une polarisation flottante durant le mode « sleep » du circuit de lecture. Le circuit incriminé se situe dans la TDC au niveau de la polarisation de l'étage illustré en Figure 4.58. L'entrée « HIT » est par défaut à 0 dans le mode « sleep » et est forcé à 1 quand le soft-reset est activé ou que la TDC est désactivée. C'est dans cette configuration que le point entre la source du NMOS du « HIT » (au-dessous) et le drain du PMOS « EN\_ENCODER » (au-dessus) devient flottant. Le courant de fuite étant plus élevé en irradiation fait se déplacer le nœud flottant vers le milieu de la bande dynamique ( $\sim 0.6$  V), se répercutant ainsi aux étages en aval. Le potentiel des points flottants successifs connectés aux grilles des transistors étant au-dessus de leur tension d'activation, rendent ainsi passants les transistors NMOS comme les PMOS, créant ainsi un chemin direct entre l'alimentation et la masse.

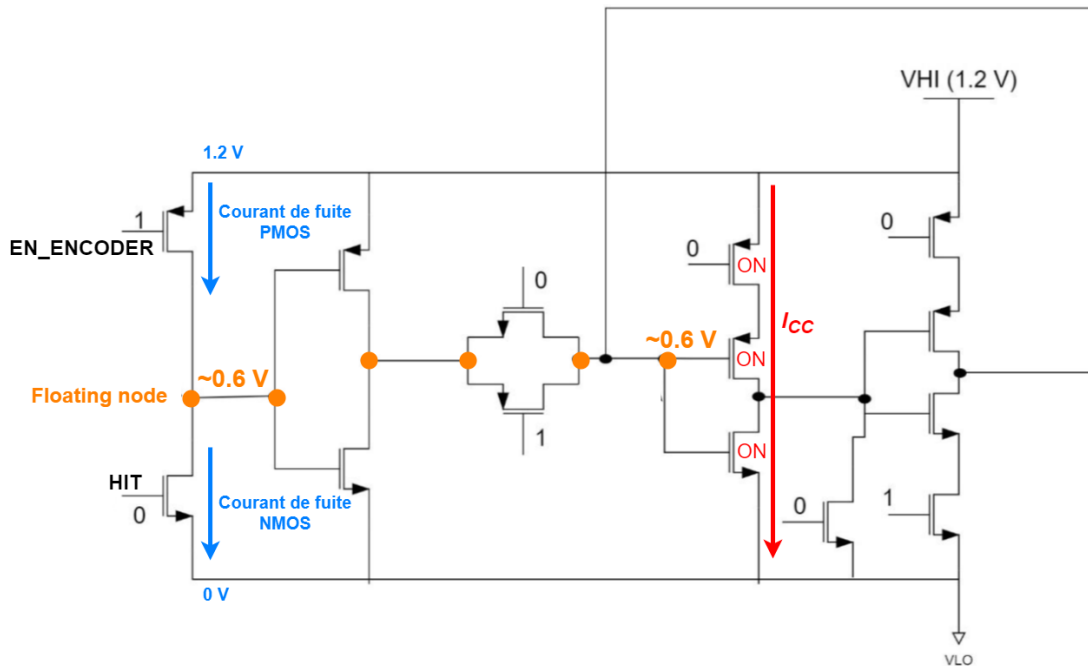


Figure 4.58: Schéma du module comportant des points flottants activant un court-circuit par répercussion.

Afin d'avoir une corrélation entre la simulation de ce courant appliqué à la totalité du circuit et les mesures du circuit donnant le courant de 150 mA, il faut tout d'abord trouver le courant de fuite que produit ce type de court-circuit en simulation ( $I_{CC} \approx 122 \mu\text{A}$ ), répertorier tous les modules de ce type, possédant un point flottant connecté à une structure NOR (42 par TDC), puis l'extrapoler à l'ensemble des modules utilisant ce design, ici les TDC sont utilisés dans le TOA et dans le TOT (2), puis à l'ensemble des voies de lecture (72 en configuration haute densité). Cette équation est décrite en Équation 4.2 et donne même un résultat pessimiste par rapport à la mesure :

$$I_{circuit} = I_{CC} \cdot N_{NOR} \cdot N_{TDC} \cdot N_{voies} = 122 \mu\text{A} \cdot 42 \cdot 2 \cdot 72 \approx 700 \text{ mA}$$

Équation 4.2: Calcul du courant de fuite du circuit complet, due aux points flottants de chaque module TDC.

#### 4.2.6.8 Conclusion sur la 2eme campagne TID

Cette deuxième campagne d'irradiation en Dose fut bien différente de nos attentes, mais permit de trouver l'origine des pics de consommation avec une analyse précise des données, une bibliographie complète des problèmes de TID liés à la consommation. Ces résultats sont encourageants mais demandent des vérifications supplémentaires en irradiation avec circuit où le problème au niveau du design a été corrigé (HGCROC3b).

#### 4.2.7 1ere Campagne d'irradiation en Ions lourds

En Mai 2022, nous avons exposé le HGCROC à un faisceau d'ions lourds à l'Université Catholique de Louvain, afin d'observer les effets singuliers des radiations sur notre circuit. Cette installation possède une grande diversité de particules, mais dans notre cas, ce sont le HIF pour Heavy Ions Facility qui nous intéressent. Les ions lourds vont ainsi être utilisés pour ioniser avec une densité de paires suffisante pour déclencher des événements singuliers. Pour la partie numérique, ce sont des SEU, et pour la partie analogique les signaux transitoires (SET) et effets de Latchup (SEL).

##### 4.2.7.1 Travaux préliminaires

La deuxième version d'HGCROC avait déjà été testée à l'UCL en Novembre 2019 avec des résultats très encourageants, à la fois sur la résistance aux SEL et sur les méthodes de durcissement aux SEU appliquées. Les parties du circuit qui ont été testées en priorité ont été les TDC ayant de nombreuses cellules numériques au sein de leurs designs, ainsi que les registres de configuration du circuit avec le module de communication « Slow Control », qui ont été tripliqués avec une correction automatique asynchrone, et enfin la présence de SEL ou SET dans la partie analogique. Ce bloc de configuration I2C a donc été tripliqué avec une commande permettant d'activer ou non l'auto-correction. Ainsi, lorsque l'auto-correcteur asynchrone est activé, les SEU n'apparaissent plus. En revanche, des sauts ont été observés dans les liens-série, mais cela était attendu car le cœur numérique d'HGCROC2 n'était pas durci aux SEU. Malgré quelques bit-flip sur les données du TOT et TOA dus à une flip-flop non triplée en sortie, aucun effet de Latch-up ne fut observé. De plus, la méthodologie de durcissement avec auto-correction a donné des résultats plus que satisfaisants au-delà de l'ion Nickel d'un LET égal à 20.4 MeV/mg/cm<sup>3</sup>.

La campagne suivante en ions lourd eu lieu en Mars 2020, une fois de plus à l'UCL, sur HGCROC2 alors que nous étions en plein développement de la troisième version du circuit. Les tests effectués en Mars 2020 ont été effectués avec des ions plus lourds allant jusqu'à l'ion Rhodium (Rh) d'un LET de 46,1, permettant cette fois-ci de faire l'adaptation de Weibull en Figure 4.59.

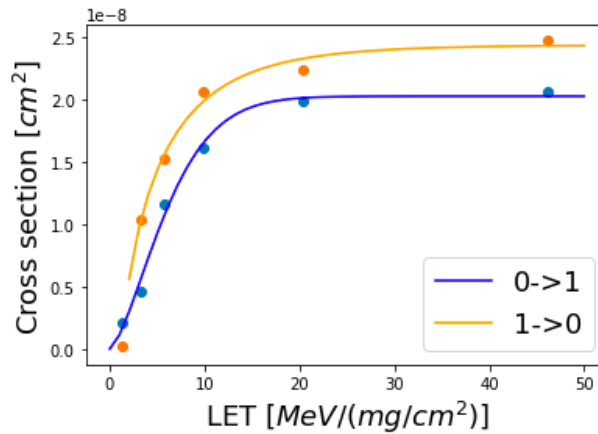


Figure 4.59: Weibull fit de la section efficace de la mémoire de configuration d’HGCR0Cv2 par rapport au LET des ions incidents lors de la campagne de test à l’UCL en mars 2020.

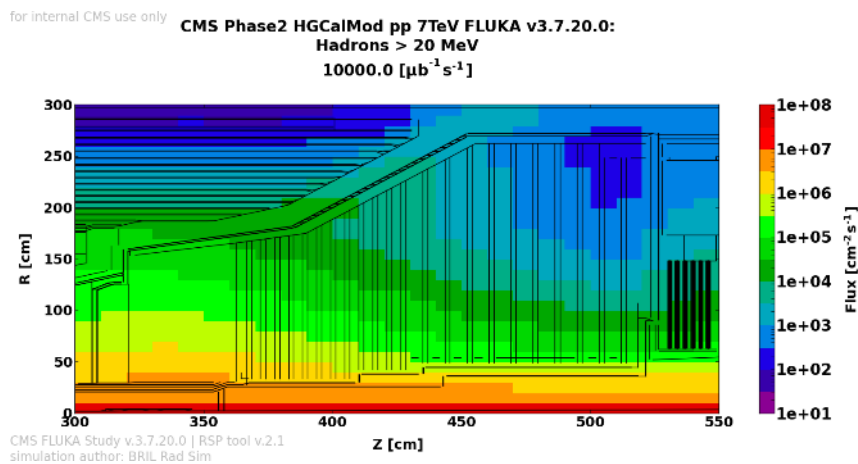


Figure 4.60: Simulation FLUKA du flux de hadrons (>20 MeV) au sein d’HGAL, CMS.

Avec  $\phi$  le flux de particules auquel le circuit est soumis, ici 10000 particules/(s.cm<sup>2</sup>) ou 10 kHz/cm<sup>2</sup>, et  $\Phi$  la fluence. Le taux d’erreur pour chaque cellule d’un registre triplé permet de le projeter aux données simulées sur FLUKA des futurs rayonnements du HL-LHC. Le Tableau 4.4 illustre bien les taux calculés en considérant les doubles erreurs qui peuvent intervenir sur un même registre tripliqué et sans ces dernières. On pourrait prendre le flux maximum touchant le bas des Calorimètres Electromagnétiques à  $2.10^7$  particules/(cm<sup>2</sup>.s) et un flux moyen de  $2.10^6$  particules/(cm<sup>2</sup>.s) car touchant la partie la plus proche du faisceau sur toute la longueur d’HGAL.

DOUBLE ERREUR	CE-E $3.10^6 \text{ part}/(\text{cm}^2.\text{s})$	CE-H $10^5 \text{ part}/(\text{cm}^2.\text{s})$
SANS	$< 1.8.10^{-7} \text{ Hz}/\text{chip}$ $< 1.8.10^{-11} \text{ Hz}/\text{bit}$	$< 6.10^{-9} \text{ Hz}/\text{chip}$ $< 6.10^{-13} \text{ Hz}/\text{bit}$
AVEC	$8.2.10^{-20} \text{ Hz}/\text{chip}$ $8.2.10^{-24} \text{ Hz}/\text{bit}$	$9.1.10^{-23} \text{ Hz}/\text{chip}$ $9.1.10^{-27} \text{ Hz}/\text{bit}$

Tableau 4.4: Section efficace de la mémoire de configuration tripliquée avec/sans auto-correction.

Ces tests ont pour but de reproduire l’impact des protons d’environ quelques centaines de MeV présents au sein du LHC, en les associant à leur énergie de transfert linéaire (LET). Voici le Tableau 4.5 contenant la carte des ions disponibles à l’UCL, leur LET associé ainsi que le LET effectif en fonction de la profondeur de pénétration dans le silicium. Lors de cette campagne, nous avons pris un flux identique pour chaque mesure de 10000 particules/(s.cm<sup>2</sup>) afin de pouvoir mieux corrélérer les résultats

en fonction du temps d'exposition (avec un temps minimum d'exposition de 900 s). L'affinage du circuit de 250  $\mu\text{m}$  à 70  $\mu\text{m}$  devrait donc permettre d'irradier le circuit et d'observer l'impact de tous les ions car le plus lourd possède une profondeur de pénétration de 73.1  $\mu\text{m}$ .

ION	LET [Mev/mg/cm <sup>2</sup> ]	LET <sub>eff</sub> [Mev/mg/cm <sup>2</sup> ]	Profondeur [ $\mu\text{m}$ Si]	Nombre de tests	Temps [s]
<sup>22</sup> Ne <sup>7+</sup>	3.3	4	202.0	583	1512
<sup>27</sup> Al <sup>8+</sup>	5.7	8.26	131.2	354	932
<sup>30</sup> Si	6.5	< 10	< 10		
<sup>40</sup> Ar <sup>12+</sup>	9.9	14.76	120.5	334	934
<sup>53</sup> Cr <sup>16+</sup>	16.0	25.2	107.6	336	873
<sup>58</sup> Ni <sup>18+</sup>	20.4	31.13	100.5	334	911
<sup>84</sup> Kr <sup>25+</sup>	32.4	38.5	94.2	162	457
<sup>124</sup> Xe <sup>35+</sup>	62.5	<10	73.1	51	128

Tableau 4.5: Caractéristiques des ions disponibles à l'UCL de Louvain-la-Neuve ainsi que notre durée d'utilisation pour tester notre circuit HGCROC3.

Cette installation se compose d'un faisceau arrivant sur une chambre à vide qu'on observe sur la Figure 4.61. En effet, même l'air ambiant peut interagir avec le faisceau, donc fausser les tests. La contrainte de la chambre à vide nous force à ne plus toucher à la carte de test une fois la chambre mise sous vide. La longueur de la nappe reliant la carte de test à l'Hexa-Controller sera donc beaucoup plus longue que dans l'installation à rayon-X où l'Hexa-Controller pouvait être dans la chambre d'irradiation. Afin de s'assurer que le banc de test puisse fonctionner sans erreurs, particulièrement la transmission des données à travers la nappe lorsque l'Hexa-Controller est déporté. Pour s'assurer d'un taux de corruption minimale, nous avons fait un test pessimiste en connectant plusieurs nappes les unes aux autres et en faisant tourner la routine de test pendant toute une nuit sans erreur.

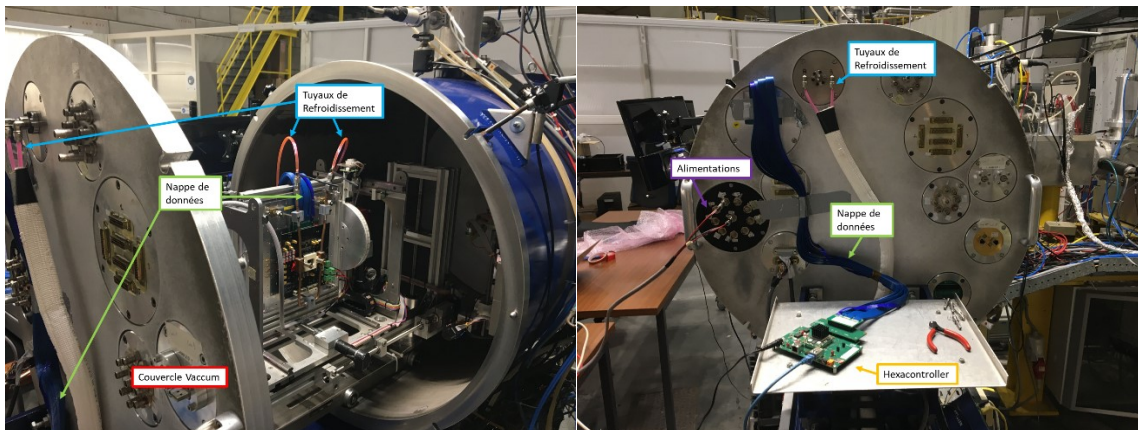


Figure 4.61: Photo de l'intérieur de la chambre d'irradiation sous vide à gauche et vue extérieure à droite.

Pour les tests en ions lourds, reproduire la température de -30°C n'est pas nécessaire car elle n'influe pas sur les effets singuliers de radiations. En revanche, il est important de surveiller la température du circuit pour détecter l'apparition de Single Event Latch-up, pouvant être assimilé à un court-circuit mais au niveau transistor, et ayant des effets destructifs sur le circuit. L'apparition de ce genre de phénomène peut être évitée si l'échauffement du circuit est vite détecté et mis à l'arrêt. Pour ces tests, nous utiliserons les appareils de l'UCL se connectant à notre système de refroidissement.

#### 4.2.7.2 Banc de test sous irradiation

Le banc de test sur lequel nous avons travaillé sous ions lourds est assez similaire à celui utilisé lors de la campagne de test TID. Il se compose de la carte mezzanine comportant le circuit HGCROC3 affiné,

connecté à la carte de test, branchée par l'intermédiaire d'un adaptateur à l'Hexa-Controller permettant d'envoyer les données des événements, par un lien Ethernet à l'ordinateur de test.

#### 4.2.7.3 Données acquises

Dans les tests en ions lourds, ce sont les événements singuliers et localisés qui nous intéressent, et il faut pouvoir les observer afin connaître leur fréquence. De plus, les impacts sur l'électronique, les types de composants qui sont touchés, ne sont pas les mêmes. Ce sont donc les composants numériques qui sont les plus sensibles au courant produit par la paire électron-trou créée par la particule ionisante traversant la cellule, particulièrement les effets de Upset et de Transient. Pour observer ces types d'erreurs, il faut connaître la valeur des cellules du circuit afin de pouvoir observer les moments où une particule vient changer cette valeur.

#### 4.2.7.4 Test de la configuration

Le test principal concerne la configuration du circuit, car les mesures peuvent varier du tout au tout si un seul des paramètres Slow Control est touché. Un exemple de criticité est le bit de configuration, permettant d'activer ou non l'auto-correction des registres de configuration qui sont tripliqués. Si ce bit est corrompu, il fragilisera drastiquement la résistance du circuit aux radiations.

Le test consistera donc à charger une configuration connue, avec un maximum d'alternance de '0' et de '1' pour avoir une meilleure couverture des bits flip de '0' à '1' et '1' à '0'. Une fois la configuration établie, on va venir relire cette dernière toutes les 5 secondes afin de la comparer à l'originale. Si différence il y a, alors ce bit-flip est comptabilisé.

Étant une partie extrêmement critique du circuit, les registres de Slow Control stockant l'intégralité des paramètres du circuit sont tripliqués avec une auto-correction directe, car asynchrone. Si l'une des trois branches se trouve corrompue par une SEU, le voteur lève alors un signal asynchrone venant corriger le registre en défaut, en chargeant en moins d'une nanoseconde la valeur majoritaire dans les trois registres.

L'avantage de cette solution est la réactivité de l'auto-correction, ne laissant qu'une infime fenêtre temporelle pour mettre en défaut la donnée en touchant deux branches de triplification durant ces quelques picosecondes. En extrapolant, cette solution fait chuter la section efficace à 95%CL :  $s < 1.10 \cdot 10^{-10} \text{ cm}^2$ .

#### 4.2.7.5 Test de la DAQ

Le 2<sup>ème</sup> test consiste aussi à compter le nombre de bit-flips mais dans l'ensemble de la DAQ. Cette partie du circuit est particulièrement exposée par les bits-flips, car les données sont d'abord stockées dans une mémoire circulaire d'une profondeur de 512 bits cadencée à la fréquence du cœur numérique de 40 MHz. Mais également et même davantage dans la mémoire de dérandomisation (ou décongestion) où l'événement peut rester dans la même case mémoire tant que le lien-série n'est pas disponible.

Header	CM	Ch 0	...	Ch 17	Calib	Ch 18	...	Ch 35	CRC	IDLE
32b	32b	32b	32b	32b	32b	32b	32b	32b	32b	32b

Tableau 4.6: Composition d'un événement d'un Half (36 voies utiles).

Cette DAQ se compose de différentes parties du circuit explicitées ci-après, correspondant aux différents mots de 32 bits des trames transmises par les liens-série. La symétrie du circuit est d'une grande utilité, car il est possible, en outre, de comparer les données en sortie avec les données injectées, de comparer les trames fournies par les deux liens de la DAQ pour vérifier si l'erreur est globale ou spécifique à un seul Half.

#### 4.2.7.5.1 Test Données tripliquées

Dans le circuit de lecture HGCROC, les parties les plus critiques, car permettant de resynchroniser les données entre les couches de détecteur et en temps, et ainsi éviter les effets de pile-up, sont les compteurs. Il y a le compteur d'Orbite, de Bunch Crossing (BX) et d'événements, qui sont contenus dans le header de la trame en orange dans le Tableau 4.7. C'est la raison pour laquelle ces compteurs ont été tripliqués en Full-TMR avec une fréquence de rafraîchissement de 40 MHz, car fonctionnant avec l'horloge principale numérique, et ont donc moins de probabilité d'être corrompus.

Start	Compteurs			Erreurs de Hamming			End
	Bx	Event	Orbit	H1	H2	H3	
« 0101 »	12b	6b	3b	3b			« 0101 »
4b							4b

Tableau 4.7: Composition de l'en-tête (Header) d'une trame d'HGCROCv3.

Channel #			
Code	ADC/ADC-1	TOT/ADC	TOA
2b	10b	10b	10b

Tableau 4.8: Composition de la trame d'une voie lecture d'HGCROCv3.

C'est en envoyant des L1A validant l'envoi de l'événement en sortie à une certaine fréquence que l'on peut prévoir la valeur du compteur de BX ainsi que le compteur d'orbite en sortie. Pour le compteur d'événements, l'indice est censé être incrémental si l'on ne surcharge pas la mémoire de dérangement, et ainsi qu'il ne puisse pas écrire l'événement dans cette dernière. Ce test permet d'identifier les erreurs sur les compteurs qui sont durcies en full-TMR.

#### 4.2.7.5.2 Test des Mémoires

Pour tester l'impact des radiations sur les données non tripliquées et contenues en mémoire, nous avons injecté toujours les mêmes valeurs en entrée pour l'ADC, le TOA et TOT, afin d'avoir toujours un maximum de '0' et de '1' consécutifs donnant des valeurs telles que 0xA ou 0x5. Ainsi nous pouvons constater, en reconstruisant les données, à quel endroit l'erreur s'est produite.

#### 4.2.7.5.3 Données trigger

Les données passant par le chemin de trigger ne sont pas stockées dans une mémoire, mais passent dans un flow de traitement des données cadencé à 40 MHz, avant d'être directement sérialisées. La difficulté de ce test est donc de refaire le traitement inverse avec les données que nous avons injectées, afin de pouvoir reconstruire la trame du moment où le SEU a eu lieu afin de le localiser.

#### 4.2.7.5.4 Contrôle des erreurs

Comme le temps de faisceau est limité, il est important lors des tests de connaître en temps réel le nombre d'erreurs, et ainsi pouvoir extrapoler sur le nombre de SEE ayant touché notre circuit. Si le nombre d'erreurs est suffisant, on peut passer à un ion plus lourd.

La console nous signale chaque erreur en comparant les fichiers de sortie avec une Golden Reference, et nous donne un premier élément sur sa provenance.

#### 4.2.7.6 Analyse des données

Une fois les données brutes traitées, nous avons pu rassembler les erreurs par localisation du problème. En effet, en fonction de leur provenance, les erreurs peuvent présenter plus de criticité.

#### 4.2.7.7 Calcul de l'erreur

La procédure consiste à déterminer la probabilité d'un bit-flip d'une cellule seule pendant un temps d'exposition donnée à un ion par l'équation 4.3 suivante :

$$P_{flip} = \frac{N_{flip}}{N_{bits}}$$

Équation 4.3: Probabilité d'un bit-flip.

Pour avoir la probabilité d'erreur à une cellule tripliquée  $P_{TMR}$ , on décompose la probabilité d'erreur en son taux d'erreur  $r_{Cell}$  multiplié par son temps  $T_0$  d'exposition par l'Équation 4.4 suivante :

$$P_{flip} = r_{Cell} * T_0$$

Équation 4.4: Taux d'erreur d'une cellule.

Dans le cas de notre circuit, le multi bit-flip ne peut pas venir d'une unique particule incidente grâce à l'espacement appliqué aux cellules tripliquées. La deuxième erreur viendra corrompre la deuxième cellule après un certain temps. Ceci nous permet d'intégrer par le temps d'exposition la probabilité qu'il y a deux parmi trois cellules du module tripliqué, soit corrompues dans l'intervalle de temps  $T_0$ , nous donnant une erreur en sortie, conduisant à l'Équation 4.5 [56]:

$$P_{TMR}(T_0) = C_3^2 \int_0^{T_0} r_{Cell1} dt_{Cell1} \int_0^{T_0} r_{Cell2} dt_{Cell2} = 3r_{Cell}^2 T_0^2 = 3\sigma_{Cell}^2 \Phi^2$$

Équation 4.5: Probabilité d'une erreur double dans une cellule tripliquée.

Avec  $C_3^2$  la combinaison de 2 parmi 3 (=3) avec un taux d'erreur identique entre chaque cellule d'un module tripliqué.

#### 4.2.7.8 Calcul de la section efficace

Une fois la probabilité d'un bit-flip calculée, on peut en déduire la section efficace du module complet par l'Équation 4.6 [57] :

$$\sigma_{cell}(T_0) = \frac{r_{Cell}}{\Phi} = \frac{P_{flip}}{\Phi * T_0} = \frac{P_{flip}}{\Phi}$$

Équation 4.6: Section efficace d'un bit-flip d'une cellule pendant une durée  $T_0$ .

Avec  $\Phi$  la Fluence,  $\phi$  le flux,  $r_{Cell}$  le taux d'erreur par seconde pour une cellule, extrapolée à la probabilité d'un recouvrement de deux flips sur deux des trois branches, nous donne l'Équation 4.7 :

$$\sigma_{TMR}(T_0) = \frac{P_{TMR}}{\Phi} = 3\sigma_{Cell}^2 \Phi$$

Équation 4.7: Section efficace d'une erreur double dans une cellule tripliquée.

La section efficace d'un module TMR est la mesure que nous pouvons extraire des tests en irradiation en observant un bit-flip sur une sortie d'un module du circuit. Elle nous permet d'extrapoler la section efficace pour une seule cellule par l'Équation 4.8 suivante :

$$\sigma_{flip}(T_0) = \sqrt{\frac{\sigma_{TMR}}{3\Phi}} = \sqrt{\frac{\sigma_{TMR}}{3\phi T_0}}$$

Équation 4.8: Section efficace d'un bit-flip d'une cellule en fonction de la probabilité d'une erreur double.

#### 4.2.7.9 Données tripliquées

Ces registres fonctionnant à 40 MHz, ne peuvent donc pas être corrompus par des SEU tant qu'il n'y a pas plus d'une corruption toutes les 25 ns dans un autre registre du même compteur triplé, correspondant au recouvrement de deux bit-flips cités plus tôt. En effet, à chaque coup d'horloge, la

donnée est corrigée par un voteur et mise à jour dans les trois branches. Sa section efficace est ainsi donnée par l'Équation 4.9 :

$$\sigma_{Full\ TMR}(T_{BX}) = \frac{P_{TMR\ flip}}{\Phi} = \frac{N_{TMR\ flips} / N_{bits}}{T_{BX} \cdot \Phi}$$

Équation 4.9: Calcul de la section efficace d'un registre full-TMR ( $T_0=TBX$ ).

Avec  $T_{BX}$  le temps d'exposition d'une cellule avant le rechargement et correction de la donnée. Le fait de ne relever aucune erreur dans les modules triplés pendant la totalité de notre campagne ne permet donc pas d'extraire une valeur de section efficace, trop faible pour observer une erreur, quel que soit le LET de l'ion incident ou le temps d'exposition, comme l'illustre le Tableau 4.9. Une campagne plus longue pourrait nous prouver que la méthode Full-TMR est corrompible à partir d'un certain temps.

ION	LET <sub>EFF</sub> [Mev/mg/cm <sup>2</sup> ]	FLUX [part/(s.cm <sup>2</sup> )]	TEMPS [s]	# SEE
<sup>22</sup> Ne <sup>7+</sup>	4	10000	1512	-
<sup>27</sup> Al <sup>8+</sup>	8.26	10000	932	-
<sup>40</sup> Ar <sup>12+</sup>	14.76	10000	934	-
<sup>53</sup> Cr <sup>16+</sup>	25.2	10000	873	-
<sup>58</sup> Ni <sup>18+</sup>	31.13	10000	911	-
<sup>84</sup> Kr <sup>25+</sup>	38.5	10000	457	-
<sup>124</sup> Xe <sup>35+</sup>	< 10	10000	128	-
<b>TOTAL</b>				<b>0</b>

Tableau 4.9: Mesures d'erreur sur les modules full-TMR.

#### 4.2.7.10 Mémoires

Les données complètes d'un événement passent par un encodage SEC-DED à l'entrée de la mémoire circulaire et ne sont décodées qu'en sortie de la mémoire de dé-randomisation avant d'être envoyées par les liens-série. C'est donc à partir d'une 2<sup>ème</sup> erreur dans un même bloc de donnée que l'erreur est détectée mais sans être corrigée et nous ne pouvons donc l'observer que par comparaison avec les données de sortie au pattern attendu. L'encodage des données nous force donc à calculer la section efficace par rapport à l'erreur telle qu'elle est perçue par l'utilisateur, et non le bit-flip en tant que tel. Pour calculer la probabilité d'erreur avec précision, nous pourrions utiliser la formule de superposition de 2 erreurs dans chaque module Hamming, afin d'en extrapoler la section efficace réelle d'une cellule mémoire. De plus, la première mémoire est un buffer circulaire, les données ne restent à l'intérieur qu'un temps bien défini :  $RAM1_{Depth} \cdot T_{BX} = 512 \times 25\ ns = 12.8\ \mu s$ . A *contrario*, la 2<sup>ème</sup> mémoire FIFO ne se remplit et vide pas de façon stable, dépendant du L1Accept. Nous allons donc prendre le cas avec le temps de rétention maximal, où la mémoire est remplie par le paquet analysé, mettant le temps le plus long à être sérialisé, en attendant que toutes les données précédentes soient sérialisées, pour être lue par les liens-séries :  $RAM2_{Depth} \cdot T_{BX} = 32 \times 25\ ns = 800\ ns$ .

Il nous est en revanche possible de mesurer rapidement la section efficace des deux mémoires à l'aide de l'Équation 4.10 :

$$\sigma_{memories} = \sigma_{RAM1}(512 \cdot T_{BX}) + \sigma_{RAM2}(32 \cdot T_{BX}) = \frac{N_{flip} / N_{readed\ bits}}{T_{memories} \cdot \Phi} = \frac{N_{flip} / (N_{tests} \cdot N_{readed\ bits} / test)}{544 \cdot T_{BX} \cdot \Phi}$$

Équation 4.10: Section efficace des données stockées en mémoires.

Le Tableau 4.10 donne le nombre de flips constatés  $N_{flip}$  pour un nombre de tests  $N_{tests}$ , permettant d'extraire la section efficace d'une double erreur (SEC-DED) au sein des deux mémoires mises bout à bout pendant la durée maximale où elle est stockée  $T_{memories}$ .



ION	LET <sub>EFF</sub> [Mev/mg/cm <sup>2</sup> ]	FLUX [part/(s.cm <sup>2</sup> )]	TEMPS [s]	# SEE	σ(ION) [cm <sup>2</sup> ]
<sup>22</sup> Ne <sup>7+</sup>	4	10000	1512	-	-
<sup>27</sup> Al <sup>8+</sup>	8.26	10000	932	-	-
<sup>40</sup> Ar <sup>12+</sup>	14.76	10000	934	-	-
<sup>53</sup> Cr <sup>16+</sup>	25.2	10000	873	1	1,80. 10 <sup>-5</sup>
<sup>58</sup> Ni <sup>18+</sup>	31.13	10000	911	2	3,60. 10 <sup>-5</sup>
<sup>84</sup> Kr <sup>25+</sup>	38.5	10000	457	-	-
<sup>124</sup> Xe <sup>35+</sup>	< 10	10000	128	-	-
<b>TOTAL</b>				<b>3</b>	

Tableau 4.10: Récapitulatif des mesures de section efficace des mémoires de la DAQ.

$$\sigma_{memories}(Cr) = \frac{N_{flip}(Cr) / (N_{tests}(Cr) \cdot N_{readed\ bits/test})}{T_{memories} \cdot T_{BX} \cdot \phi} = \frac{1 / (336 \cdot 38 \times 32)}{544 \times 25 \times 10000} = 1,80 \cdot 10^{-5}$$

Équation 4.11: Section efficace des mémoires pour l'ion Chrome.

$$\sigma_{memories}(Ni) = \frac{N_{flip}(Ni) / (N_{tests}(Ni) \cdot N_{readed\ bits/test})}{T_{memories} \cdot T_{BX} \cdot \phi} = \frac{2 / (334 \cdot 38 \times 32)}{544 \times 25 \times 10000} = 3,60 \cdot 10^{-5}$$

Équation 4.12: Section efficace des mémoires pour l'ion Nickel.

#### 4.2.7.11 Erreurs des liens-série

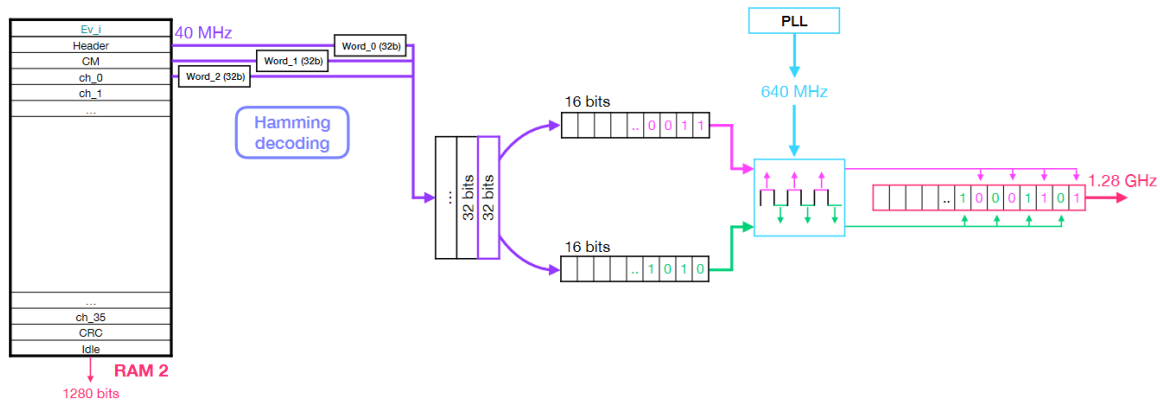


Figure 4.62: Schéma fonctionnel de la sérialisation des événements d'HGCROCV3.

Finalement, les erreurs les plus récurrentes et critiques lors de cette campagne de tests étaient la désynchronisation des liens-série, ne permettant plus de comparer les trames de sortie avec les Golden Référence. En effet, de façon assez récurrente, les données lues en sortie comportent parfois des bits corrompus au milieu d'une « bonne » trame, comme l'illustre la Figure 4.63. C'est en analysant les données d'irradiation plus en profondeur que nous avons remarqué que l'erreur ne provenait pas directement des liens-série, mais probablement d'un module en amont. En effet, lorsque ce type d'erreur se produit, il se passe le même phénomène sur les deux « Half » du circuit. Cette redondance permet de discréditer une erreur propre au sérialiseur, mais la répercussion d'une erreur sur un signal distribuant les deux Half. C'est finalement en reproduisant le même type d'erreur en simulation, explicité dans le chapitre suivant, que l'on pourra statuer de la réelle provenance de ces SEE.

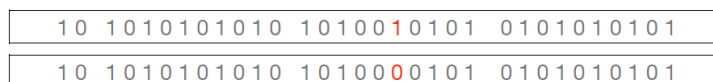


Figure 4.63: Illustration d'une perturbation courte dans le sérialiseur.

$$\sigma_{Glitch\ Court}(Cr) = \frac{N_{Glitch\ Court}(Cr) / (N_{tests}(Cr) \cdot N_{readed\ bits/test})}{T_{Serialiseur} \cdot T_{BX} \cdot \Phi} = \frac{1 / (336 \cdot 38 \times 32)}{544 \times 25 \times 10000} = 1,80 \cdot 10^{-5}$$

Équation 4.13: Section efficace d'une perturbation courte dans les sérialiseurs.

Parfois les erreurs sont plus graves, avec un décalage allant jusqu'à 16 bits. Dans ce cas, il ne présente pas de données erronées mais un décalage de la trame précédente sur la trame suivante, comme l'illustre la Figure 4.64. Ce type de problème nous force à redémarrer le script de test afin de resynchroniser les liens-série, touchant l'intégralité des sérialiseurs, ainsi le calcul de la section efficace pour une perturbation longue ne peut pas appliquer la même méthode, calculant la probabilité d'erreur d'un bit/word par rapport au nombre de bits/words lus, mais en fonction du temps total de la durée totale d'exposition illustrée dans l'Équation 4.14.

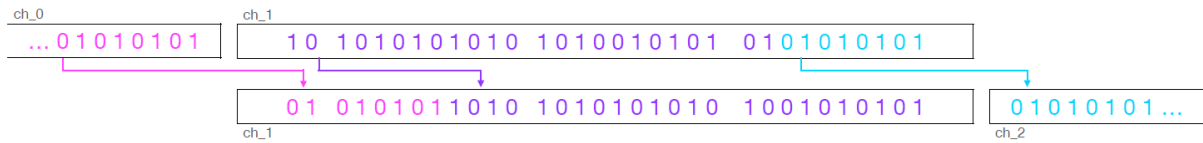


Figure 4.64: Illustration d'une perturbation longue entraînant un glissement de la trame.

Outre le fait de poser un problème sur de nombreux bits, les concentrateurs n'ont pas prévu dans leur cahier des charges de corriger un décalage de la trame, surtout si ce décalage reste dans le temps sans une resynchronisation des liens-série, ou encore un reset total du chip. Il existe bien une fonctionnalité de resynchronisation, mais elle concerne la synchronisation du début de trame représentée par un identifiant, pas un décalage des données à l'intérieur de cette dernière. Ce module est distribué par une horloge à 40 MHz donnée par les Fast commandes, et elle est tripliquée de bout en bout, ainsi qu'une horloge à 640 MHz provenant de la PLL alimentée par la 40 MHz décodée par les FC.

$$\sigma_{Glitch\ Long}(ion) = \frac{N_{Glitch\ Long}}{T_{Serialiseur} \cdot T_{BX} \cdot \Phi} = \frac{1 / (336 \cdot 38 \times 32)}{544 \times 25 \times 10000} = 1,80 \cdot 10^{-5}$$

Équation 4.14: Section efficace d'une perturbation longue dans les sérialiseurs.

Ion	LET <sub>EFF</sub> [Mev/mg/cm <sup>2</sup> ]	Temps [s]	#Tests	#Glitches Courts	$\sigma_{Glitch\ Court}$ [cm <sup>2</sup> ]	#Glitches Longs	$\sigma_{Glitch\ Long}$ [cm <sup>2</sup> ]
<sup>22</sup> Ne <sup>7+</sup>	4	1512	583	-	-	-	-
<sup>27</sup> Al <sup>8+</sup>	8.26	932	354	-	-	-	-
<sup>40</sup> Ar <sup>12+</sup>	14.76	934	334	-	-	1	
<sup>53</sup> Cr <sup>16+</sup>	25.2	873	336	1	1,80 · 10 <sup>-5</sup>	3	
<sup>58</sup> Ni <sup>18+</sup>	31.13	911	334	2		8	
<sup>84</sup> Kr <sup>25+</sup>	38.5	457	162	13		5	
<sup>124</sup> Xe <sup>35+</sup>	< 10	128	51	8		1	
<b>TOTAL</b>				24		18	

Tableau 4.11: Récapitulatif des mesures de la section efficace des sérialiseurs en ions lourds.

#### 4.2.7.12 Registres de configuration

Concernant les registres de configuration « Slow Control », le nombre de bit-flips durant de longues phases d'irradiation (~ 1200 s) à 10000 part/(s.cm<sup>2</sup>) est resté nul lorsque l'auto-correction est activée, ne permettant pas de faire l'adaptation de Weibull, comme illustré dans le Tableau 4.12. En revanche, nous pouvons calculer cette dernière avec l'auto-correction désactivée en séparant le passage d'un bit de 0 à 1 en Figure 4.65 et de 1 à 0 sur la Figure 4.66.

AUTO CORRECTION		OFF	ON
ION	LETEFF [MeV/Mg/cm <sup>2</sup> ]	TEMPS [s]	TOTAL BIT-FLIPS
<sup>22</sup> Ne <sup>7+</sup>	4	490	55
<sup>27</sup> Al <sup>8+</sup>	8.26	674	213
<sup>40</sup> Ar <sup>12+</sup>	14.76	699	316
<sup>53</sup> Cr <sup>16+</sup>	25.2	687	559
<sup>58</sup> Ni <sup>18+</sup>	31.13	678	662
<sup>84</sup> Kr <sup>25+</sup>	38.5	507	502
<sup>124</sup> Xe <sup>35+</sup>	< 10	641	130
<b>TOTAL</b>			<b>2437</b>

Tableau 4.12: Résultat des mesures d'irradiation en ion lourds des registres de configuration.

Ces résultats nous confirment que le système de triplification ajouté à une correction d'erreur asynchrone est très efficace aux SEU. À titre de comparaison, la section efficace de ce module sans protection respecte bien l'augmentation présente dans la littérature avec une saturation à 10<sup>-10</sup> cm<sup>2</sup>.

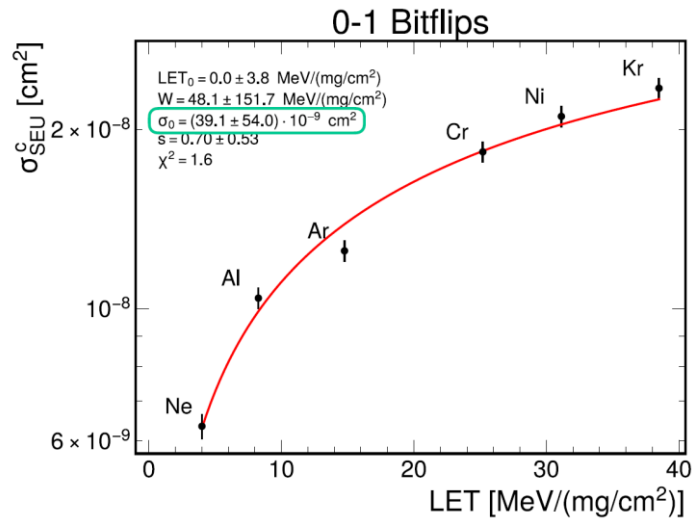


Figure 4.65: Section efficace d'un bit-flip (0->1) de la mémoire de configuration en fonction du LET.

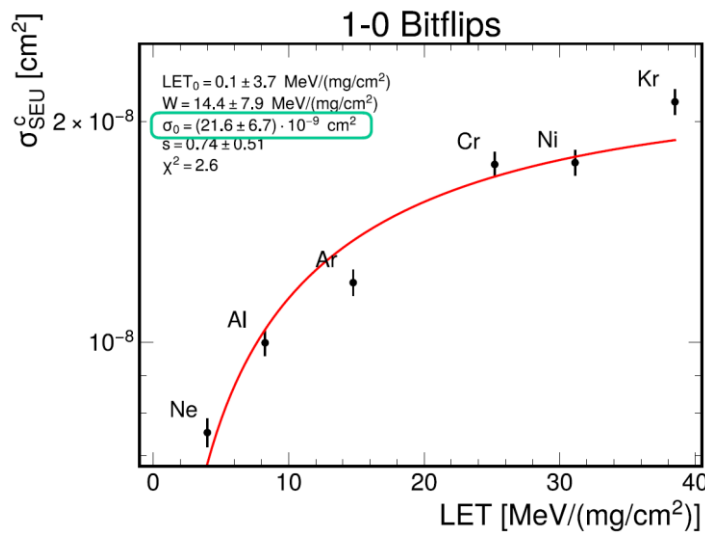


Figure 4.66: : Section efficace d'un bit-flip (1->0) de la mémoire de configuration en fonction du LET.

#### 4.2.8 Reproduction des erreurs en simulation

Afin de mieux cibler l'origine de l'erreur, notre recherche s'est portée sur les signaux d'horloge cadencant les liens.

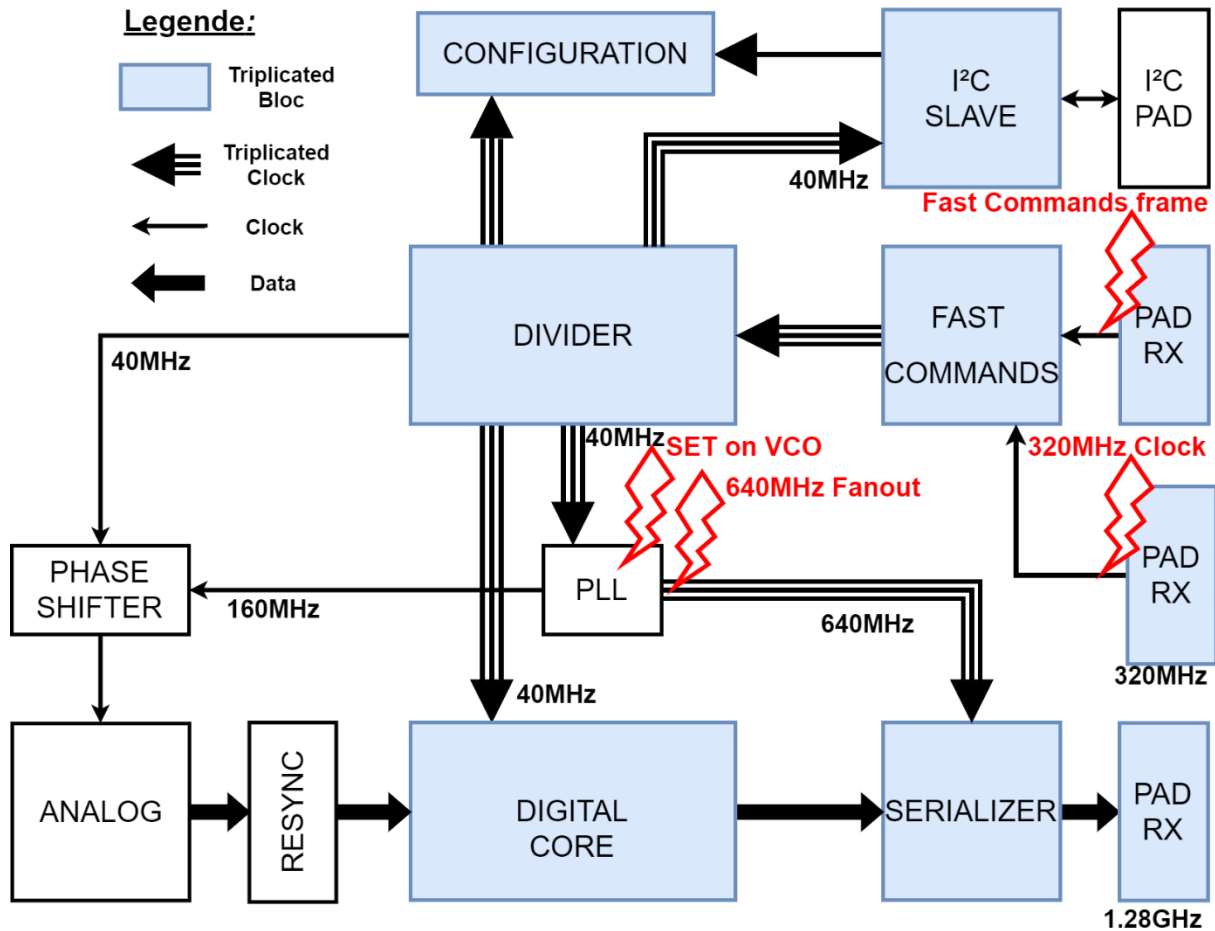


Figure 4.67: Distribution des arbres d'horloges dans le circuit HGCROCV3.

Afin de repartir de l'origine de l'arbre d'horloges du circuit illustré sur la Figure 4.67, j'ai commencé par injecter des perturbations sur les trames des Fast Commands, malgré une probabilité très faible car c'est un bloc tripliqué, et les trois branches de triplification sont conservées jusqu'au module où elles sont utilisées. Les résultats de ce test étaient à la hauteur de la théorie, car l'horloge à 40 MHz ne s'est pas vue impactée.

En remontant le chemin d'horloge, on teste la mise en erreur de la 320 MHz en injectant des perturbations entre deux fronts, afin de mesurer le comportement du reste du circuit, en finissant par les liens-série. C'est alors que l'on peut observer un déphasage de la 40 MHz de sortie du bloc de Fast Commands d'une période de la 320 MHz, comme on peut le voir sur la Figure 4.68. Ce déphasage se corrige sans intervention, après l'envoi de 5 IDLE consécutifs par les FC.

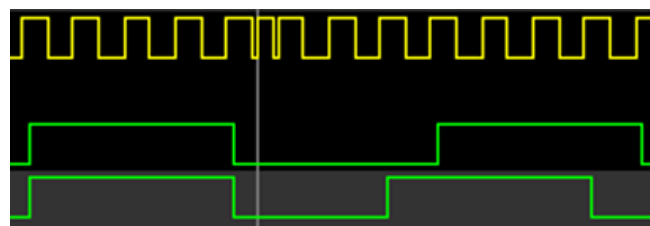


Figure 4.68: Simulation d'une perturbation sur l'horloge 320 MHz.

Le prochain test touche au module suivant dans l'arbre d'horloge qui est la sortie de la PLL, plus précisément de l'horloge 640 MHz générée par cette dernière. C'est toujours par l'injection d'une perturbation que nous allons essayer de reproduire l'erreur, c'est-à-dire d'un front d'horloge supplémentaire ou manquant. Lorsqu'un front manque sur la 640 MHz, la trame se voit retardée d'une période, comme sur la Figure 4.69 suivante.

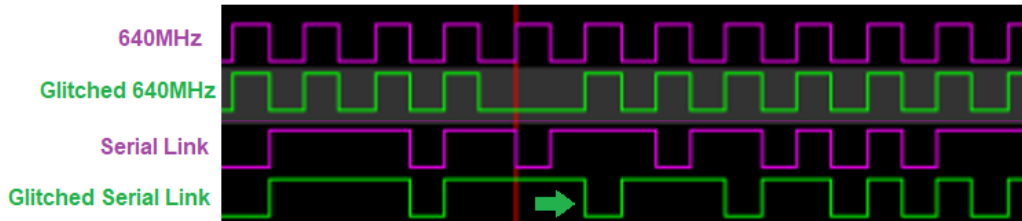


Figure 4.69: Simulation d'une perturbation longue dans les sérialiseurs.

En revanche, les liens-séries vont corrompre la trame envoyée d'un bit lorsqu'on lui ajoute un front supplémentaire en simulation. Ceci correspond donc à un « SET court » que nous avons pu observer lors de la campagne. Nous avons donc identifié une possible cause d'une des deux erreurs observées sur les liens-série pendant la campagne d'irradiation aux ions lourds. Concernant le décalage de plusieurs bits, nous avons dû approfondir les recherches, et une campagne d'irradiation du circuit HGTD d'Atlas en ions lourds nous a permis de comprendre un autre phénomène touchant la PLL. En effet, lors de cette campagne d'ATLAS, le banc de test a permis de visualiser les variations de fréquence de leur PLL durant l'irradiation, et lorsque le VCO pilotant la fréquence de la PLL est touché par un Transient, l'horloge de sortie se voit alors impactée, faisant varier la fréquence de sortie comme illustré en Figure 4.70. Dans leur cas, la PLL fournissait une horloge de 40 MHz pouvant varier en période de +/-10%.

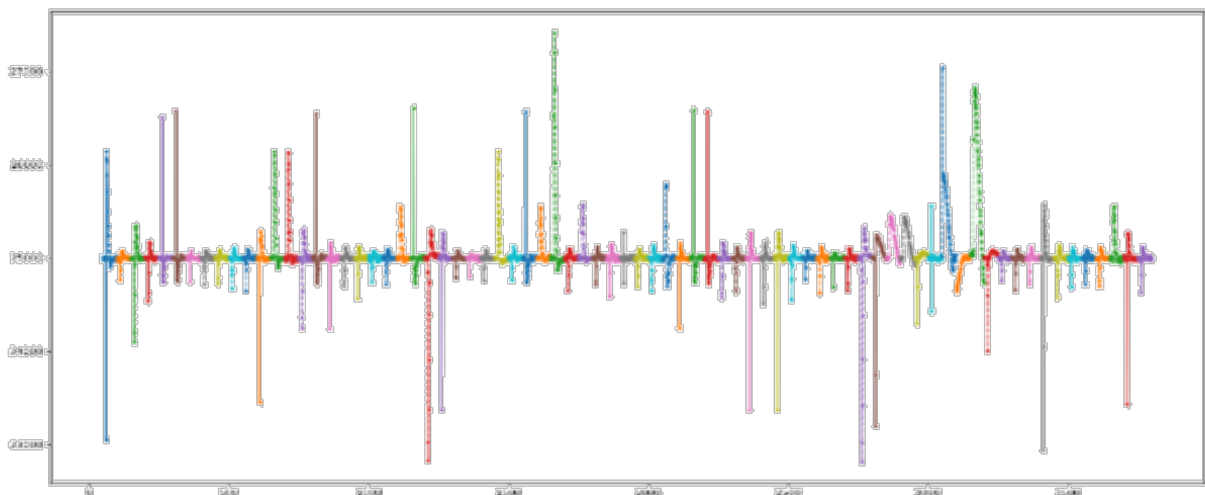


Figure 4.70: Résultats de la mesure des perturbations sur la PLL lors de la campagne d'irradiation d'HGTD d'Atlas.

J'ai donc tenté de simuler ce type de variation sur l'horloge afin d'observer si l'effet sur les liens-série est bien similaire aux erreurs observées. Pour cela, il fallut prendre le pire cas, une variation de 640 MHz à 700 MHz pendant une durée allant de quelques nanosecondes à une microseconde. Ne pouvant

pas reproduire aisément en simulation une gaussienne sur la valeur de la fréquence, je me suis contenté d'une montée et descente linéaire, comme l'illustre la Figure 4.71.

### 640MHz clock Period variation

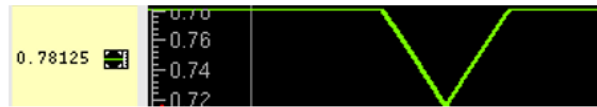


Figure 4.71: Simulation d'une perturbation longue sur l'horloge 640 MHz.

Etant donné que la variation de la fréquence augmente avant de revenir à la normale sans descendre de façon équivalente en deçà de 640 MHz, on observe bien un décalage irréversible des liens-série d'un nombre de bits proportionnel à la durée de cette variation. Dans le pire cas d'une microseconde, le décalage est de 43,75 ns, équivalent à deux trames complètes de décalage.

#### 4.2.8.1 Conclusion de la campagne

Cette campagne d'irradiation est encourageante, car les méthodes de durcissement que nous avons utilisées fonctionnent comme nous l'avions prévu. Les parties les plus durcies, qui sont les registres de Slow Control, ne reçoivent aucune SEU lorsque l'auto-correction est activée. Viennent après les compteurs et machines à état qui n'ont pas d'auto-correction asynchrone, mais qui sont full-TMR avec un rafraîchissement à 40 MHz. Aucun SEU n'a été observé dans ces parties, même avec les ions les plus lourds. Malgré une fluence moyenne de  $1 \times 10^7$  particules lors de nos tests en ions lourds, ce nombre d'erreurs observé était trop faible pour faire une étude statistique (section efficace et Weibull fit). En effet, la marge d'erreur étant trop élevée pour ce nombre d'erreurs observées comme le montre le graphique en Figure 4.72.

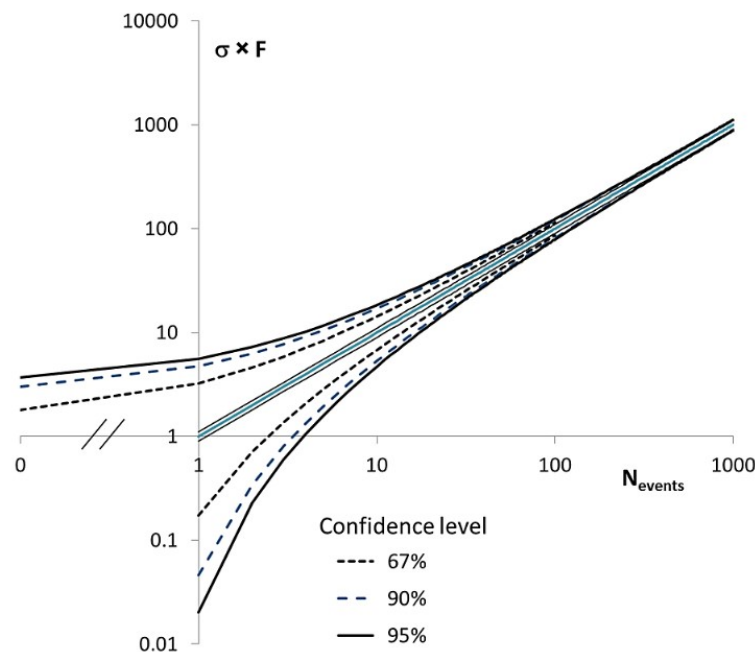


Figure 4.72: Marge supérieure et inférieure d'erreur en fonction du nombre d'événements et l'incertitude de la fluence.

Concernant les données non tripliquées mais encodées, comme les mémoires de la DAQ, les SEU relevées sont en faible nombre. Pour ce qui est des données du Trigger Path, qui ne sont pas durcies, nous n'avons observé que quelques erreurs, au nombre de trois sur toute la campagne observable dans le Tableau 4.13.

IONS	LET	EXPOSITION	LOGIQUE TMR	TRIGGER	CRC	DAQ	LIENS SET COURT	LIENS SET LONG	TOTAL
<sup>22</sup> Ne <sup>7+</sup>	3.3	1512	-	-	-	-	-	-	0
<sup>27</sup> Al <sup>8+</sup>	5.7	932	-	-	1	-	-	-	1
<sup>40</sup> Ar <sup>12+</sup>	9.9	934	-	1	1	-	-	1	3
<sup>53</sup> Cr <sup>16+</sup>	16.1	873	-	-	-	1	1	3	5
<sup>58</sup> Ni <sup>18+</sup>	20.4	911	-	-	-	2	2	8	12
<sup>84</sup> Kr <sup>25+</sup>	32.4	457	-	-	-	-	13	5	18
<sup>124</sup> Xe <sup>35+</sup>	62.5	128	-	-	-	-	8	1	10
<b>TOTAL</b>			0	1	2	3	24	18	49

Tableau 4.13: Récapitulatif des mesures d'erreurs dans chaque partie du circuit lors de la campagne d'irradiation en ions lourds.

La partie du circuit qui s'est vue la plus corrompue concerne les liens-série, bien que le compteur tripliqué soit rafraîchi à 40 MHz. Les erreurs observées sont diverses mais proviennent de la même source, allant du simple bit-flip au décalage de la trame de sortie de plusieurs bits sans retour à la normale. En étudiant l'origine de ces SEE nous nous sommes rendu compte que cela provenait en réalité de l'horloge de sérialisation des données tournant à 640 MHz, et générée par la PLL à partir de la 320 MHz provenant des Fast Command. Avec des analyses approfondies sur l'origine de décalage des liens en injectant des perturbations sur l'horloge 640 MHz, nous avons constaté que ce n'était pas uniquement dû à un Upset sur le Fanout de l'horloge mais aussi à des Transients sur le VCO de la PLL donnant des sauts de fréquence sur la 640 MHz. Bien que pessimistes, ces tests en ions lourds ont pu mettre en lumière des faiblesses de certaines parties du circuit, la plus critique et facile à régler étant de tripler les horloges à 640 MHz, distribuant en direct les trois branches de triplification des sérialiseurs, afin qu'une perturbation ou saut de phase d'une horloge n'impacte pas les autres. En effet, la démarche de tripler un circuit doit impérativement s'accompagner de la triplification de l'arbre d'horloge, afin de ne pas rendre sensible l'ensemble du module par une unique particule.

En effet, les ions lourds ont des impacts bien plus importants sur l'analogique, car plus pénétrants que les protons et leurs produits de réaction qui seront présents dans le HL-LHC, comme expliqué au chapitre précédent. C'est la raison pour laquelle ces tests en ions lourds sont des tests pessimistes en comparaison avec l'environnement dans lequel ils fonctionneront dans CMS. Cette hypothèse pourra être confirmée lors de tests mixtes, que je vais décrire dans le paragraphe suivant.

#### 4.2.9 Campagne d'irradiation mixte

Afin reproduire au plus près à l'environnement dans lequel le circuit fonctionnera au sein de l'expérience CMS, l'idéal est un environnement riche en protons. Le meilleur moyen d'avoir accès à ce genre d'installation se trouve dans les Hôpitaux pratiquant de la protonthérapie. On appelle donc cette irradiation comme mixte, car elle donne lieu à la fois à une dose ionisante cumulée ainsi que des événements singuliers tels que des Upset, Transient ou Latchup.

## 5 PROJETS EN ENTREPRISE

Ma thèse CIFRE a été financée par la startup WEEROC, entreprise innovante dans les secteurs industriels tels que l'imagerie médicale, le spatial, l'instrumentation scientifique ainsi que le nucléaire. Le type de circuits que conçoit et commercialise WEEROC sont aussi spécialisés dans la lecture des signaux issus de différents types de détecteurs. Dans mon projet de thèse, j'étais principalement rattaché à un projet de R&D multi-partenaires portant sur la conception d'une caméra Compton capable de localiser, identifier et quantifier les sources de photons ( $\gamma$ ) destinée, lors d'opérations de démantèlement de centrales nucléaires et au contrôle des déchets radioactifs.

Une seconde application possible serait dans le secteur médical pour la détection de temps de vol de hadrons, pour de l'imagerie médicale, pour des PET-Scans pré-cliniques ou hadron-thérapie.

### 5.1 DEVELOPPEMENT D'UN CIRCUIT DE LECTURE : TEMPOROC

Ce circuit s'intègre dans le projet TEMPORAL, financé par l'ANDRA (French Agency for Nuclear Waste Management). Le circuit TEMPOROC aura pour rôle de regrouper les différentes fonctionnalités du circuit actuellement fait d'assemblages de différents circuits au sein d'un même circuit intégré.



Figure 5.1: Logo de l'ANDRA à gauche et photos des précédentes versions de la caméra 3D Compton.

La caméra est équipée d'un scintillateur couplé à un photodétecteur (SiPM) permettant de mesurer le temps de désintégration des particules chargées dans le cristal de Cérium (III) de Bromide ( $\text{CeBr}_3$ ). Les informations sont ainsi lues par notre ASIC : TEMPOROC.

Dans ce circuit illustré en Figure 5.2, j'étais responsable du développement de la partie numérique, traitant les informations de temps et d'énergie converties respectivement par des TDC et des ADC, et sérialisant les données prétraitées provenant de chaque pixel/voie :

- En énergie, avec 2 ADC couvrant une gamme dynamique 5 p.e à 2500 p.e.
- En temps, avec 2 TDC donnant un TOT avec une gamme dynamique allant de 4 ns à 16  $\mu$ s.
- D'une validation intelligente d'événement intégré sur l'ASIC, permettant la non-conversion et transmission de données issues du bruit du détecteur.



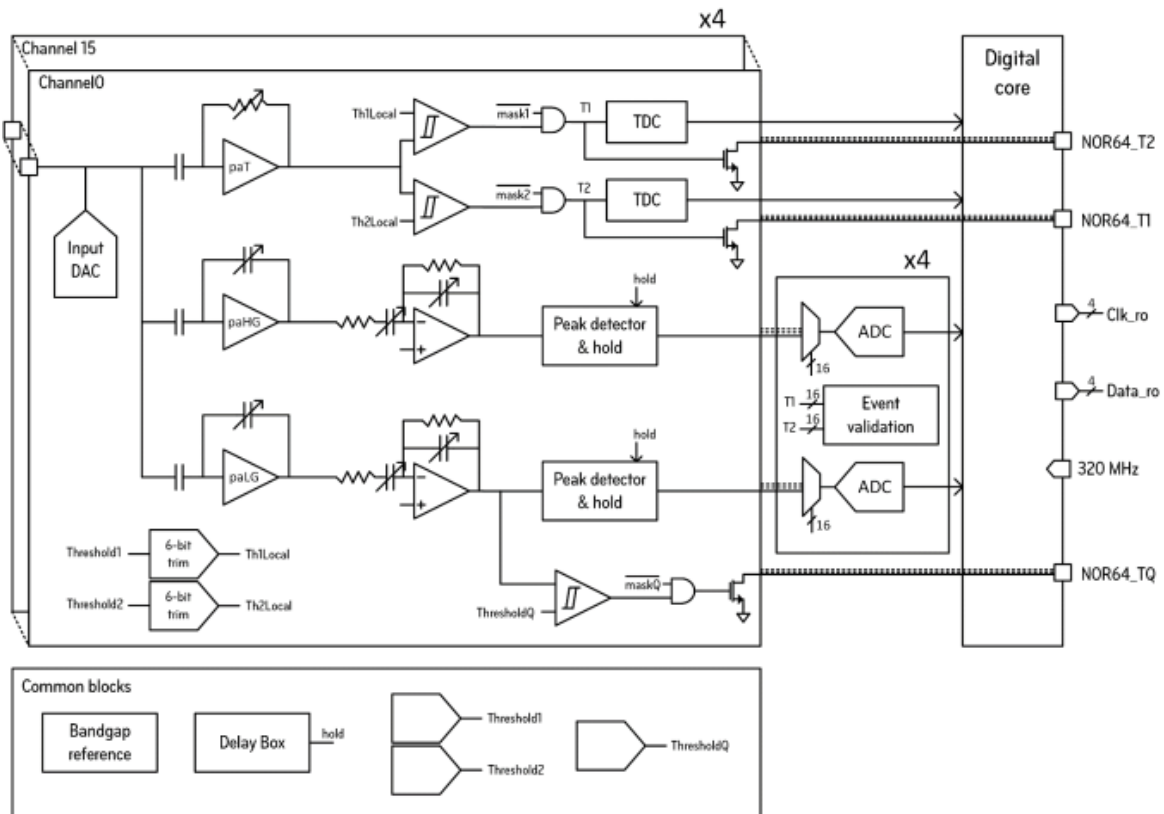


Figure 5.2: Bloc-diagramme de TEMPOROC.

Les principales difficultés de ce circuit étaient de le rendre extrêmement configurable afin de correspondre aux différentes exigences de ses applications, avec des trames de taille variable allant jusqu'à plus de 900 bits, ainsi que mettre en place un banc de test récupérant les informations issues du lien-série 320 MHz afin de le caractériser.

### 5.1.1 Développement

Mon rôle dans le développement de cette partie fut complet, partant d'un cahier des charges léger pour la partie numérique, pour arriver à concevoir l'intégralité du design numérique illustré en Figure 5.4. Les difficultés liées à la conception de ce projet furent la gestion de différentes horloges ; les ADC fonctionnant à 10 MHz, l'horloge du système étant cadencée à 80 MHz et les liens-séries à 320 MHz, permettant d'atteindre le débit souhaité. En effet, la quantité de données transmises lors de la configuration maximale est de 914 bits par événement composée des valeurs de deux ADC, TDC et une référence temporelle par voie de 4 bits pour les deux gammes dynamiques (High/Low), pour chacune des 64 voies illustrées en Figure 5.3.

Cluster	HEADER		Channel 0						Channel N	Channel 15						FOOTER
	Header	GLOBAL	HADC	HTDC	HCPT	LADC	LTDC	LCPT		...	HADC	HTDC	HCPT	LADC	LTDC	LCPT
	4b	10b	10b	14b	4b	10b	14b	4b	...	10b	14b	4b	10b	14b	4b	4b
	14b		56b						56b x 14	56b						4b
	914															

Figure 5.3: Composition de la trame du circuit TEMPOROC en configuration maximale.

Le choix d'avoir un ADC par gamme dynamique ajoute la gestion de ces derniers dans la routine. Les différentes tâches sont cadencées par une machine à état complexe prenant compte des différentes configurations. La conversion des 16 voies par ADC ainsi que la transmission de trames de 915 bits étant chronophage, il fallut développer ce module numérique en architecture Pipeline, afin de limiter au maximum les temps morts. Les erreurs de timing n'étant pas acceptables dans la routine multi-domaine d'horloge, j'ai renforcé la sécurité avec une double resynchronisation aux signaux entrants

ainsi qu'un système « Hold Control », vérifiant que la trame est bien chargée avant de lancer la sérialisation, lorsque les données passent dans le domaine à 320 MHz.

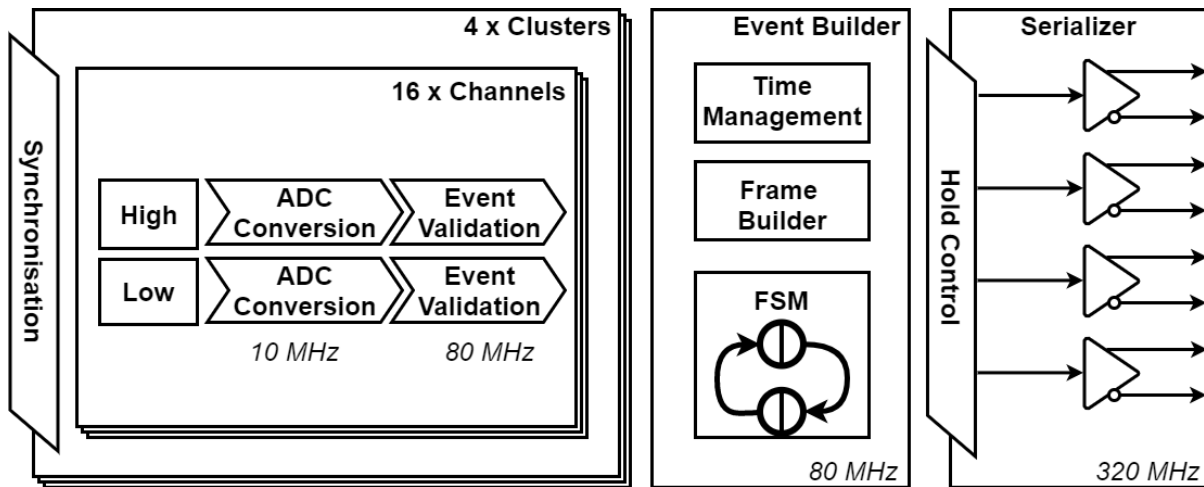


Figure 5.4: Bloc-diagramme du design de la partie numérique de TEMPOROC.

Quant à la simulation, j'ai testé le fonctionnement du design en concevant le Testbench injectant des données sur les entrées ADC et TDC, chargeant une configuration, et enfin lire les trames de sortie afin de vérifier l'intégralité de la chaîne d'acquisition numérique. Pour l'implémentation, je suis passé par toutes les étapes du flow de développement d'un l'ASIC, en allant de la Synthèse jusqu'à l'export du design, afin qu'il soit ajouté au reste du circuit intégré au niveau du Top, étant analogique.

### 5.1.2 Caractérisation

Une fois le circuit revenu de fabrication et câblé sur une carte de test, vient le moment de tester le circuit en conditions réelles. C'est sur le logiciel C# en fin de chaîne d'acquisition que l'on peut visualiser les résultats sous forme d'histogramme illustré en Figure 5.5 et configurer le circuit pour le caractériser. En revanche, tester la mesure de temps nécessite d'avoir une TDC en composant directement sur la carte, afin de pouvoir comparer les résultats de l'ASIC avec un équivalent.

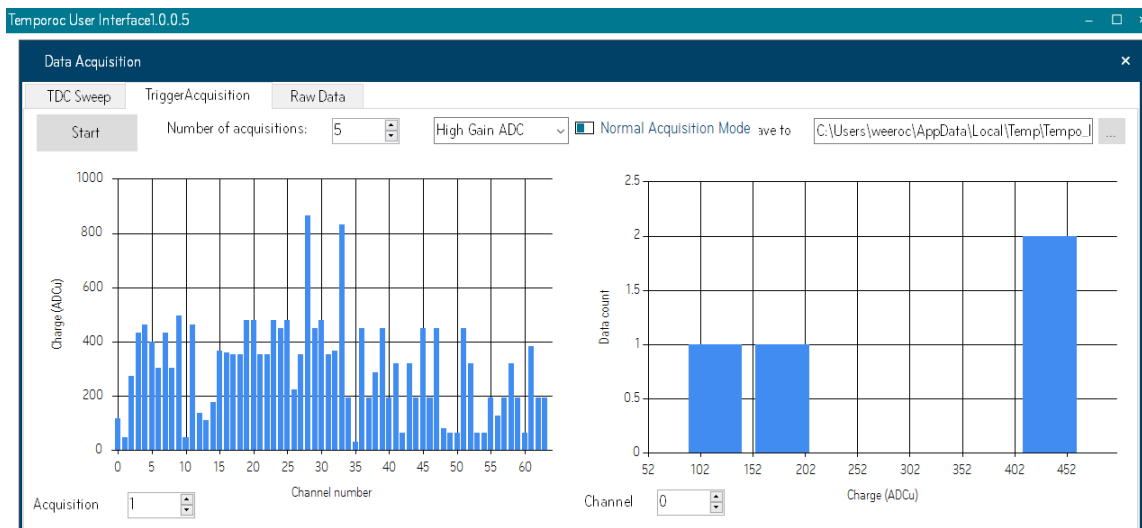


Figure 5.5: Interface de test utilisateur de TEMPOROC.

La caractérisation des ADC fut complexe, car nous avons dû remonter la chaîne d'acquisition de façon minutieuse afin de ne pas répercuter d'erreur entre configuration mal exécutée, protocole de

communication défaillant, front de l'horloge trop rond pour discrétiser correctement, ou encore une simple lecture des mots binaires en sens inverse.

### 5.1.3 Firmware

Concernant l'aspect Firmware, les blocs d'interface USB et I<sup>2</sup>C étaient déjà historiquement développés par WEEROC. La subtilité de ce Firmware fût de développer le système de récupération des données sur une des 4 FIFOs représentant les 4 liens-série.

### 5.1.4 Banc de test

La carte de test illustrée en Figure 5.6, possède un FPGA permettant de lire les liens-série haute vitesse et de configurer le circuit. Il sert d'interface entre le monde numérique en temps réel et le logiciel de test exécuté par le système d'exploitation, donc pas en temps réel. Il stocke ainsi la configuration des registres et les données lues dans des FIFOs, qui vont être dépilées par le logiciel au rythme des transferts par lien USB.

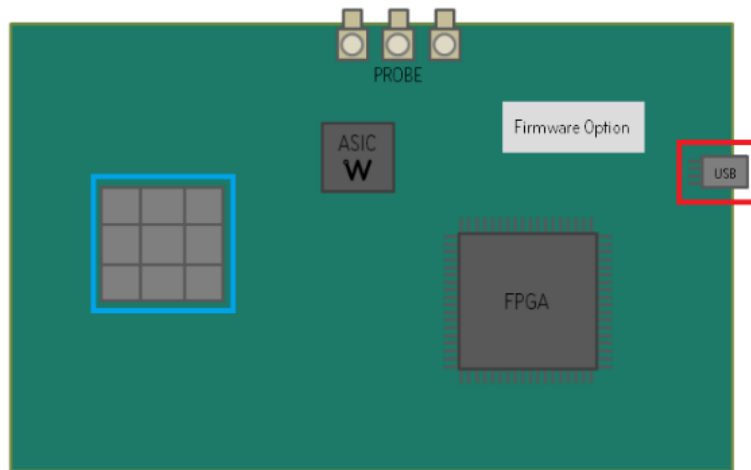


Figure 5.6: Schéma du logiciel de configuration du circuit TEMPOROC représentant la carte de test.

L'injection des données en entrée du circuit se fait tout d'abord par une impulsion électrique donnée par un Générateur basse fréquence que l'on va limiter avec un atténuateur, afin de le faire rentrer directement sur les voies analogiques. Cette étape permet de configurer la Very-Front-end analogique de façon à déclencher sur un signal sans faire saturer la mesure en énergie.

Dans un second temps, nous avons caractérisé le système d'acquisition avec des photons en connectant une matrice de photodiode à la carte de test afin de valider le fonctionnement de toutes les voies. Une diode électroluminescente est ainsi utilisée dans une boîte noire pour faire déclencher les voies et convertir la valeur par les ADC en ayant une équivalence en Photoélectron (pe). Voici en Figure 5.7 la S-curve des capacités de déclenchement pour un pe (0.16 pC), et la linéarité du déclenchement des ADC à 50% en Figure 5.8.

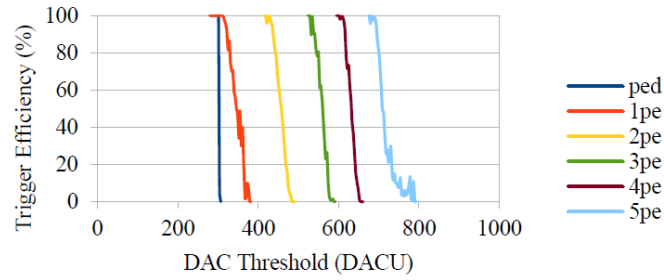


Figure 5.7: Efficacité de déclenchement par photoélectron du circuit TEMPOROC (S-Curve de la DAQ de 1 pe à 5 pe).

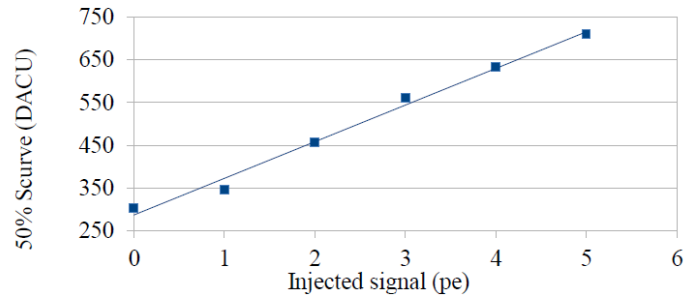


Figure 5.8: Linéarité de la S-Curve à 50% du circuit TEMPOROC.

La dernière étape consiste à remplacer la lumière par une source radioactive en accolant à la matrice photosensible Broadcom NUV MT 3x3 mm, un bâtonnet de cristal LYSO CeCa (proche du monolithe CeBr<sub>3</sub> donné par le projet) convertissant les particules en signal lumineux. Ainsi, on laisse la source irradier pendant une période significative (10000 événements) le système de détection, afin d'en sortir un histogramme du spectre énergétique reçu illustré en Figure 5.9.

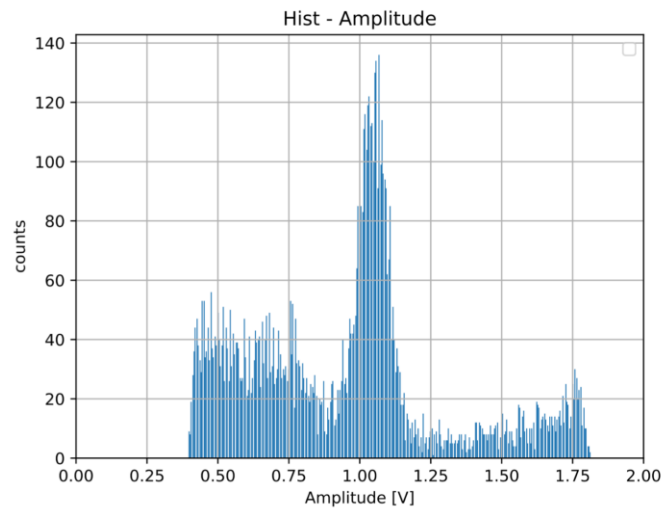


Figure 5.9: Spectres en énergie issue de la DAQ complète de TEMPOROC soumis à une source radiative Na22 de 2.2 MBeq.

## 5.2 CARACTERISATION D'UNE TECHNOLOGIE EN IRRADIATION : ATMX150RHA

J'ai aussi participé durant ma thèse à la caractérisation de différents modules en dose ionisante. Ce travail m'a apporté une expérience, à titre de comparaison, d'une irradiation avec une source radioactive par rapport aux campagnes en rayons-X pour le circuit HGCROC présentées précédemment. Afin de caractériser correctement la technologie ATMX150RHA d'ATMEL pour le spatial, WEEROc a développé pour le CNES une bibliothèque d'IP analogiques et mixtes, afin de réduire le risque dans la conception d'un circuit complexe mixte remplissant des besoins pour des missions futures de l'utilisateur final, en vérifiant leur tolérance aux doses ionisantes cumulées.

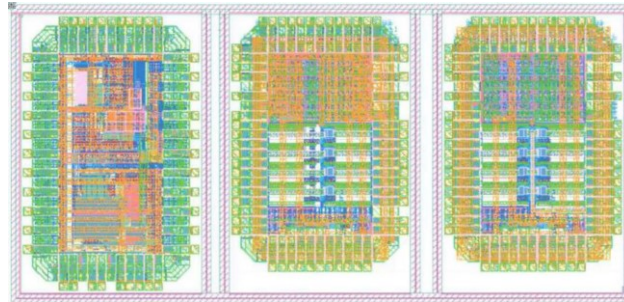


Figure 5.10: Circuits ATMX150RHA à caractériser en dose ionisante, à gauche d'ADC, au centre le Quad switch RF et le multiplexeur 8->1 à droite.

Ces modules de test sont donc testés en performances électriques ainsi qu'en température allant de -40°C à 125°C, jusqu'à une dose totale de 100 krad. Nous avons 3 véhicules de tests différents :

- Un quad-switch RF analogique 5V/500 MHz en CMOS avec son multiplexeur 8 vers 1.
- Un ADC SAR 10 bits avec son régulateur linéaire interne et deux différentes configurations pour le Bandgap :
  - Une ajustable avec faible occupation
  - Et une non-ajustable avec une optimisation en cas de décalage.

### 5.2.1 Résultats

Les résultats des irradiations ont été encourageants car proches ou dans les spécifications qui ont été fixées par le CNES. Le Bandgap s'est décalé de 100mV (8%) durant la totalité de son cycle de vie, comme l'illustrent la Figure 5.11. Voici les résultats de mesures en irradiation concernant le Switch :

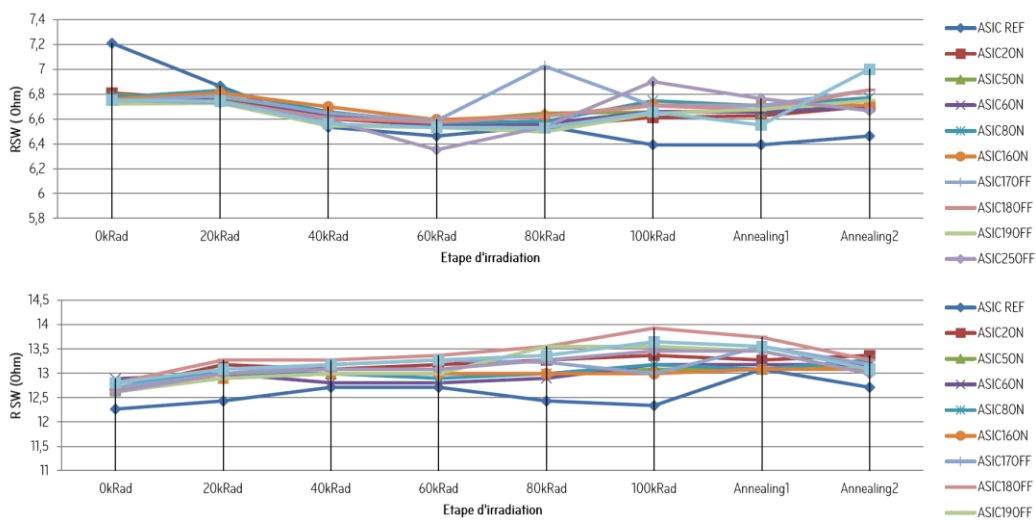


Figure 5.11: Evolution des résistances de switch en fonction de la dose.

Puis les résultats de l'ADC testé en dose :

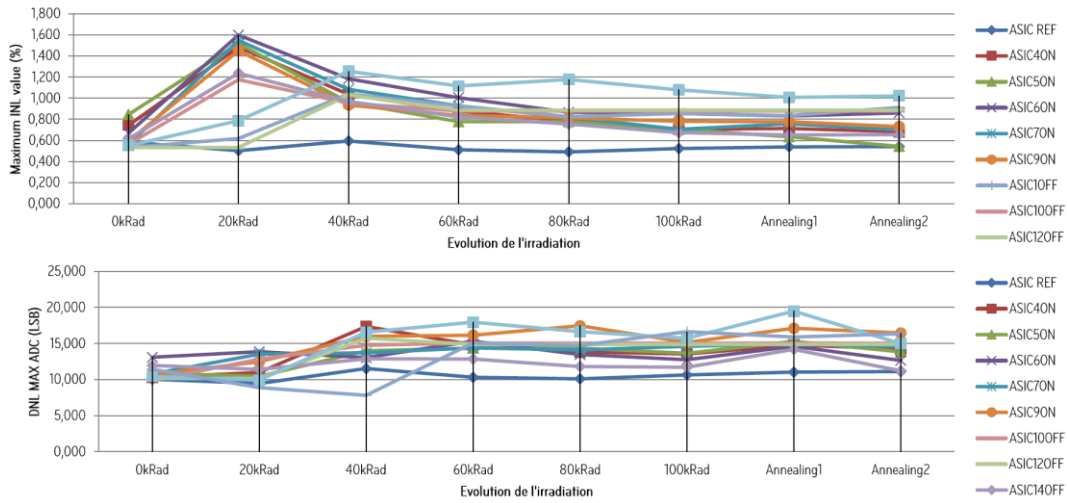


Figure 5.12: Evolutions des INL et DNL de l'ADC en fonction de la dose.

Et enfin les résultats du premier Bandgap ajustable à gauche et du deuxième, non-ajustable à droite :

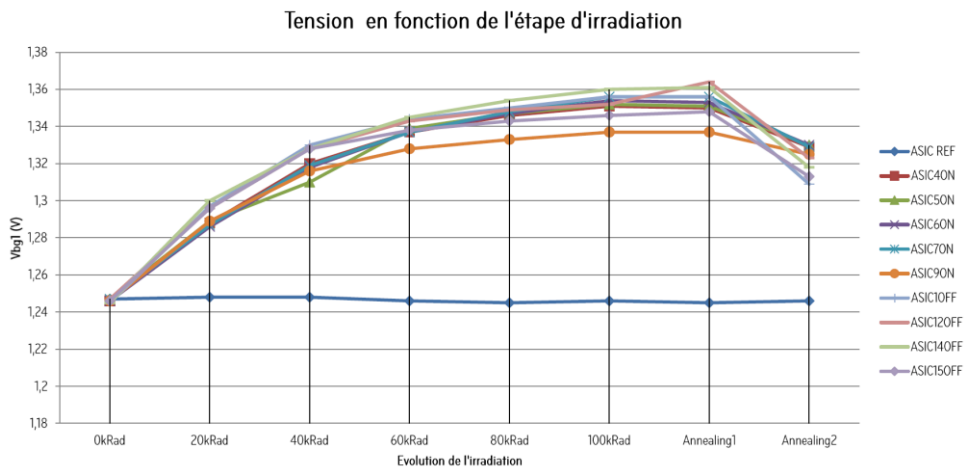


Figure 5.13: Evolution de la tension du Bandgap ajustable en fonction de la dose.

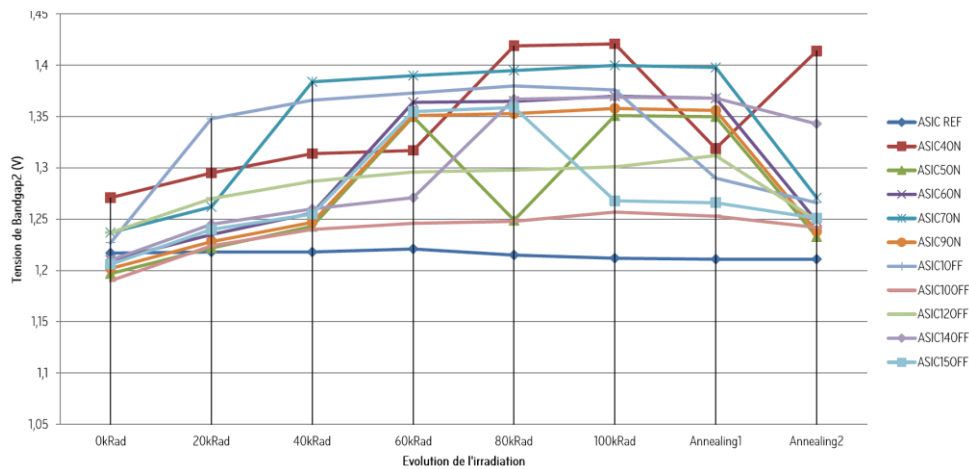


Figure 5.14: Evolution de la tension du Bandgap non-ajustable en fonction de la dose.

### 5.3 DURCISSEMENT D'UN CIRCUIT DE CONFIGURATION D'UN TELESCOPE SATELLITE : ATHENA

J'ai participé, lors de ma troisième année de thèse, à la conception d'un module de communication SSB (Spatial Serial Bus), étant un équivalent I<sup>2</sup>C bas bruit pour application spatiale. Cette fois, mon rôle dans ce projet ne fut pas le design mais la conception du circuit avec le flow numérique Cadence avec la technologie ST Microélectronique Bi CMOS 130nm, encore jamais utilisée chez WEEROC. Cette technologie ne possédant pas une résistance aux effets de Latchup suffisante, mon rôle consista à augmenter la résistance des cellules standards aux effets de Latchup sans changer les propriétés fondamentales de ces dernières, pour les utiliser dans le design de l'ASIC pour ATHENA.

#### 5.3.1 Description du projet

La mission ATHENA pour « Advanced Telescope for High ENERGY Astrophysics », est un télescope satellite rentrant dans un programme à long terme « Cosmic Vision » de l'ESA, prévu pour une mise en orbite à l'horizon 2034. Ce grand observatoire d'astronomie X a comme particularité d'être doté d'un spectro-imageur grand champ (Wild Field Imager) d'une résolution spectrale de 150 eV, ainsi qu'un spectro-imageur précis à la pointe du savoir-faire en termes de gamme et précision de détection, atteignant une résolution spectrale de 2.5 eV (X-Ray Integral Field Unit).

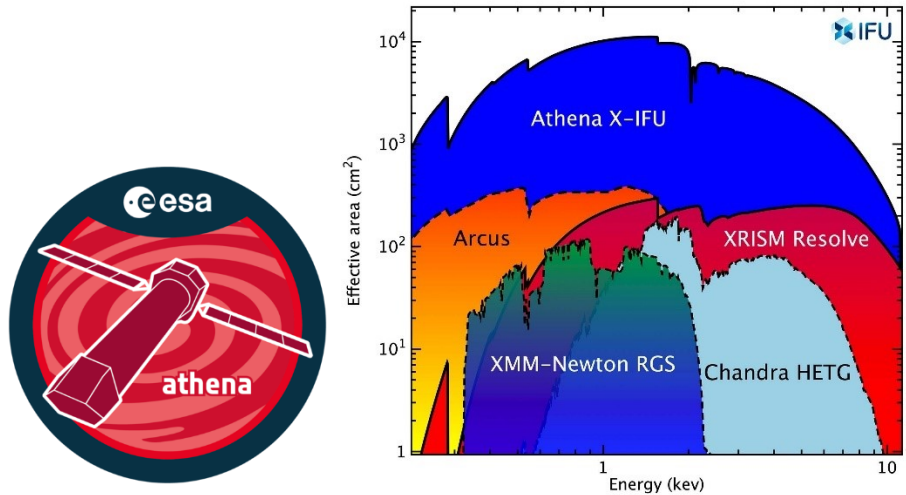


Figure 5.15: Graphique de l'efficacité de détection des télescopes satellite en fonction de leur gamme d'énergie.

Notre module permettra ainsi la configuration de l'instrument X-IFU, composé de microcalorimètres refroidis à des températures proches du zéro absolu (50mK) dans un cryostat. L'électronique de lecture des près de 100 voies se situe dans une partie plus chaude du télescope nommée WFEE pour « Warm Front End Electronics », mais se doit d'être très bas bruit pour de ne pas bruyé les détecteurs ultrasensibles.

### 5.3.2 Architecture du circuit

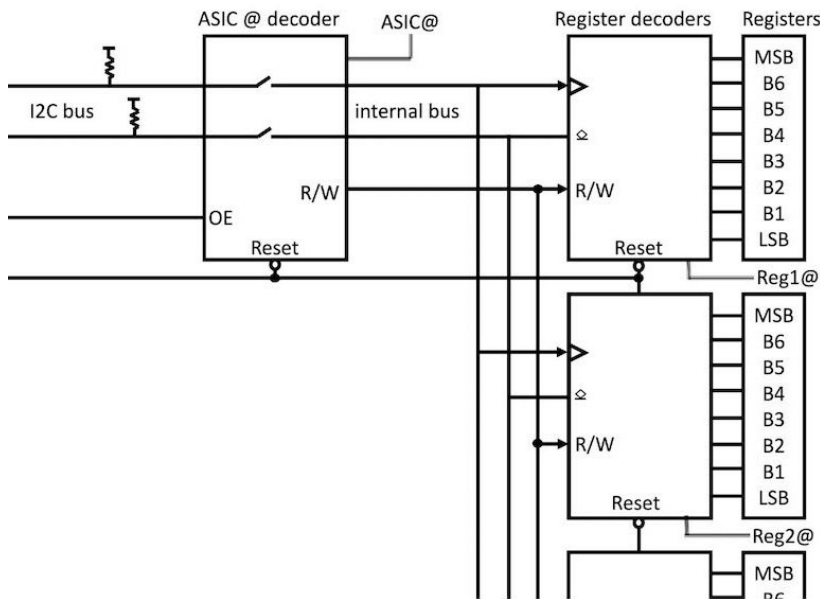


Figure 5.16: Architecture de fonctionnement des décodeurs I2C bas bruit d'ATHENA : SLICE.

### 5.3.3 Protections aux SEE

Ce télescope étant sur satellite, il va être exposé durant une longue période (5-10 ans) aux rayons cosmiques sans possibilité de le redémarrer facilement. Il prendra place en orbite Héliocentrique (L2 du système Terre-Soleil) à l'ombre de la Terre, permettant une grande stabilité thermique tout en étant proche de la Terre. Ce type de satellite est en général protégé par un blindage arrêtant les particules les moins pénétrantes, il reste donc la possibilité qu'une particule fortement chargée et pénétrante comme un ion lourd traverse le blindage et vienne corrompre ou détruire le circuit (SEU/SEL). Les fonctionnalités principales du circuit doivent résister à une dose totale d'au moins 20 krad, et ne pas se verrouiller (Latchup) à une Energie Linéaire de Transfert (LET) de 60 MeV.cm<sup>2</sup>/mg.

### 5.3.4 Triplification

Afin de pallier les problèmes de Upsets (SEU) dans les registres de configuration, nous avons choisi avec d'une méthodologie de triplification sans auto-correction, car impossible à mettre en place dans un système sans horloge lorsqu'il est au repos afin de limiter le bruit numérique dans le circuit lors de phases d'observation et de lecture par les SQUID, très sensibles.

### 5.3.5 Ecartement des P/N

La technique de durcissement au SEL, étant la moins intrusive sur les caractéristiques du transistor, consiste à écarter les N+ des P+ afin d'augmenter le seuil de courant critique donnant lieu à un Latchup [59]. Le premier wafer étant un véhicule de test, nous allons ainsi tester plusieurs écartements allant de 1 µm à 6 µm afin de pouvoir tester en irradiation l'efficacité de cette technique sur cette technologie.



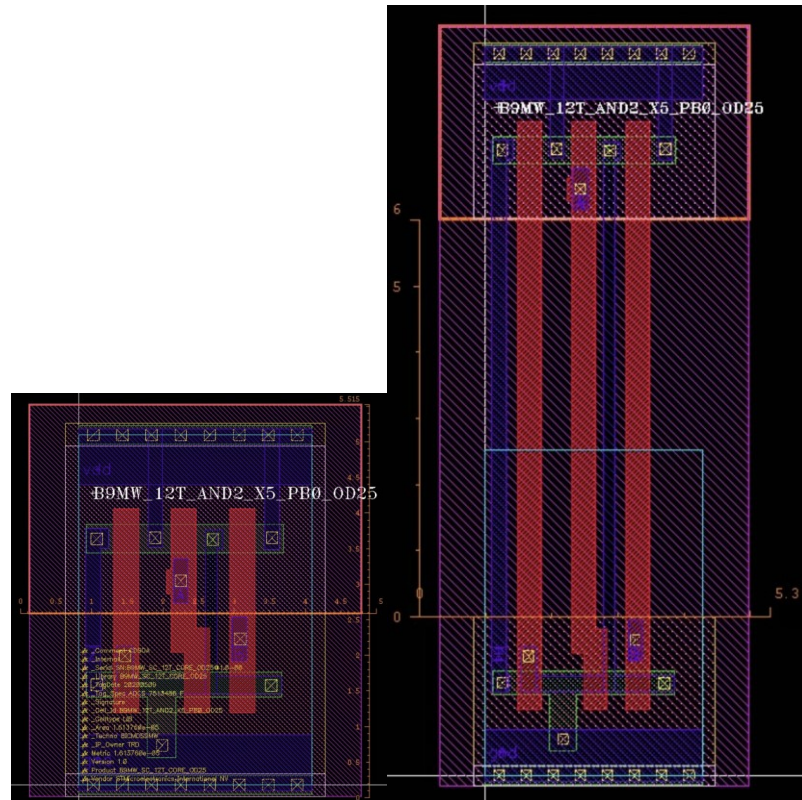


Figure 5.17: Layout d'une cellule standard AND2\_X5 avec une configuration d'écartement de 2.4  $\mu\text{m}$  à gauche contre 6  $\mu\text{m}$  à droite.

### 5.3.6 Triplification sans auto-correction

Comme le système de communication I<sup>2</sup>C et de stockage des données dans les registres est dénué d'une d'horloge attitrée pour des raisons de bruit, nous n'allons pas corriger les erreurs en temps réel, mais uniquement lever un signal « Latché » pour alerter le système de la présence d'une erreur, qu'il pourra venir recharger à la prochaine procédure de lecture/écriture, une fois la phase d'observation terminée.

### 5.3.7 Coupure physique de l'horloge

Afin de s'assurer que les horloges de l'I<sup>2</sup>C (SCL) ne viennent pas bruite le système, on va faire en sorte au niveau de l'architecture, de couper physiquement l'accès du SCL aux registres de configuration lorsqu'ils ne sont pas utilisés.

## 6 CONCLUSIONS ET OUVERTURE

---

La montée en puissance du HL-LHC permet d'explorer de nouvelles contraintes radiatives sur les composants électroniques. Mais cela ne concerne pas seulement notre circuit HGCROC, de nombreux autres circuits prendront place au sein d'HGCAL, mais aussi sur les autres points de collision du LHC et à d'autres niveaux de détection que les calorimètres. Il est donc important en tant qu'électronicien-instrumentaliste pour la recherche, de connaître l'état de l'art en la matière.

### 6.1 L'INSTRUMENTATION EN MILIEU HOSTILE

Mon projet de thèse rentre dans un domaine plus large associé à l'instrumentation en milieu radioactivement hostile. Ce domaine étant en plein essor, les dernières avancées en physique des particules, l'explosion du domaine spatial ou encore la production d'énergie à partir de l'atome, exigent de connaître les techniques permettant de rendre une donnée la moins corrompible possible. Les avancées technologiques dans le secteur de la microélectronique permettent à l'instrumentation d'être plus performante ainsi que ses applications dans l'industrie. La miniaturisation des nœuds permet de diminuer la sensibilité des composants à la dose cumulée avec la réduction de l'épaisseur des oxydes, mais d'augmenter la sensibilité aux SEU par la réduction des tensions d'alimentations, aux Latchup par la proximité des cellules entre elles, ou encore aux SET par l'augmentation des fréquences d'horloges diffusant les erreurs dans tout le circuit.

#### 6.1.1 Solutions apportées

Certaines méthodologies sont maintenant acquises par les concepteurs de circuits numériques comme les codes correcteurs ou encore la triplication matérielle, mais continuent d'évoluer avec leur époque. En effet, les techniques de fonderie et la diminution du nœud technologique changent l'influence des radiations sur le circuit et le type d'erreur induite ; ainsi de nouvelles solutions technologiques sont développées au niveau IC avec les FinFET, ou encore en design avec des ELT, SOI ou encore l'utilisation de Well (Simple, Double...), Guardring et STI (Shallow Trench Isolation), DTI (Deep Trench Isolation). Le choix de la méthode va dépendre de l'application, des ressources disponibles en espace et en consommation, ainsi que du type de données et combien de temps elles seront stockées sans rafraîchissement ou contrôle.

#### 6.1.2 Validation de la méthodologie

L'aspect incontournable de la conception de circuit RadHard est le test permettant la validation de la méthode utilisée. Les outils de simulation deviennent de plus en plus complets avec l'UVM (Universal Verification Methodology) très utilisée dans l'industrie, permettant de tester tous les cas particuliers qui peuvent être difficile à couvrir avec un test écrit à la main. En revanche, cette solution demande un temps-homme bien supérieur pour le test, pas toujours disponible dans les laboratoires. La difficulté reste d'adapter la complexité des tests à l'exigence du cahier des charges. Pour des développements « sur mesure » destinés à la recherche et une grande variabilité entre chaque circuit, l'utilisation de méthodes de test lourdes paraît être une perte de temps. La difficulté des tests en irradiation qui apparaît régulièrement lors de conférences dans le domaine est le prix d'accès aux infrastructures ainsi que le nombre de créneaux disponibles pour la recherche scientifique. En effet, ces infrastructures sont souvent publiques, comme des centres universitaires hospitaliers ou des accélérateurs de particules issus de la recherche, mais ne sont que rarement réservés à des applications liées à la recherche.

Dans la physique des hautes énergies, l'environnement dans lequel vont évoluer les circuits électroniques va continuer de devenir de plus en plus hostile. Afin de continuer à approfondir les



solutions d'instrumentation des futures expériences, une réflexion a récemment été préparée par ECFA (The European Committee for Future Accelerators) afin de prévoir des stratégies de développement pour relever les défis techniques des futures physiques.

## BIBLIOGRAPHIE

- [1] S. Chatrchyan et others, « Observation of a New Boson at a Mass of 125 GeV with the CMS Experiment at the LHC », *Phys Lett B*, vol. 716, p. 30-61, 2012, doi: 10.1016/j.physletb.2012.08.021.
- [2] D. Contardo, M. Klute, J. Mans, L. Silvestris, et J. Butler, Éd., « Technical Proposal for the Phase-II Upgrade of the CMS Detector », juin 2015, doi: 10.17181/CERN.VU8I.D59J.
- [3] L. E. Katz et A. S. Penfold, « Range-Energy Relations for Electrons and the Determination of Beta-Ray End-Point Energies by Absorption », *Rev. Mod. Phys.*, vol. 24, p. 28-44, 1952.
- [4] J. R. Srour et J. M. McGarrity, « Radiation effects on microelectronics in space », *Proc. IEEE*, vol. 76, n° 11, p. 1443-1469, 1988, doi: 10.1109/5.90114.
- [5] H. J. Barnaby, « Total-Ionizing-Dose Effects in Modern CMOS Technologies », *IEEE Trans. Nucl. Sci.*, vol. 53, n° 6, p. 3103-3121, déc. 2006, doi: 10.1109/TNS.2006.885952.
- [6] F. B. McLean et T. R. Oldham, « Basic mechanisms of radiation effects in electronic materials and devices », *Harry Diam. Lab. Tech. Rep.*, p. 2129, 1987.
- [7] « Methods for the calculation of radiation received and its effects, and a policy for design margins », *ECSS-E-ST-10-12C*, nov. 2008.
- [8] A. Papadopoulou, « Single Event Effect Testing of Commercial Silicon Power MOSFETs », Department of Electrical and Computer Engineering, Democritus University of Thrace, CERN, 2020. [En ligne]. Disponible sur: <https://cds.cern.ch/record/2744728/files/CERN-THESIS-2020-190.pdf>
- [9] J. R. Schwank *et al.*, « Radiation Effects in MOS Oxides », *IEEE Trans. Nucl. Sci.*, vol. 55, n° 4, p. 1833-1853, 2008, doi: 10.1109/TNS.2008.2001040.
- [10] C. PICARD, « Utilisation destransistorsMOS à effet de champde type COTS en environnementradiatif ionisant », *ELECTRONIQUE, PROMENA, METZ*, 2000. [En ligne]. Disponible sur: <https://hal.univ-lorraine.fr/tel-01775409>
- [11] F. Faccio, « ASIC survival in the radiation environment of the LHC experiments: 30 years of struggle and still tantalizing », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 1045, p. 167569, 2023, doi: <https://doi.org/10.1016/j.nima.2022.167569>.
- [12] D. M. Fleetwood, « Effects of Bias and Temperature on Interface-Trap Annealing in MOS and Linear Bipolar Devices », *IEEE Trans. Nucl. Sci.*, vol. 69, n° 3, p. 587-608, 2022, doi: 10.1109/TNS.2022.3147771.
- [13] L. Gonella, « TID Tolerance of commercial 130nm CMOS Technologies for HEP experiments », isica delle Tecnologie Avanzate, CERN, 2006. [En ligne]. Disponible sur: <https://cds.cern.ch/record/2252791/files/CERN-THESIS-2006-150.pdf>
- [14] Srour, Joseph. R, « Basic Mechanisms of Radiation Effects on Electronic Materials, Devices, and Integrated Circuits », vol. DNA\_TR\_82\_20, n° ADA136393, août 1982.
- [15] R. DURAND, « Modélisation des effets de dose dans les circuits intégrés en environnement spatial », *Électronique spatiale*, Université de Toulouse, Toulouse, 2007. [En ligne]. Disponible sur: <https://www.theses.fr/2007ESAE0016>
- [16] C. Chabrerie, « De l'utilisation des recuits isothermes et isochrones pour la caracterisation de structures mos irradiees. Application aux cinetiques des effets post-irradiation dans differents contextes (spatial, accelerateurs) et normes d'essais », *Microélectronique et microinformatique*, Université Paris 7, Paris. [En ligne]. Disponible sur: [https://inis.iaea.org/collection/NCLCollectionStore/\\_Public/48/047/48047047.pdf](https://inis.iaea.org/collection/NCLCollectionStore/_Public/48/047/48047047.pdf)
- [17] J.-M. Dutertre, « Circuits Reconfigurables Robustes », *Theses*, Université Montpellier II - Sciences et Techniques du Languedoc, 2002. [En ligne]. Disponible sur: <https://theses.hal.science/tel-00010317>
- [18] N. S. Saks, M. G. Ancona, et J. A. Modolo, « Generation of Interface States by Ionizing Radiation in Very Thin MOS Oxides », *IEEE Trans. Nucl. Sci.*, vol. 33, n° 6, p. 1185-1190, 1986, doi: 10.1109/TNS.1986.4334576.

- [19] F. Faccio, S. Michelis, D. Cornale, A. Paccagnella, et S. Gerardin, « Radiation-Induced Short Channel (RISCE) and Narrow Channel (RINCE) Effects in 65 and 130 nm MOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 62, n° 6, p. 2933-2940, 2015, doi: 10.1109/TNS.2015.2492778.
- [20] D. Binder, E. C. Smith, et A. B. Holman, « Satellite Anomalies from Galactic Cosmic Rays », *IEEE Trans. Nucl. Sci.*, vol. 22, n° 6, p. 2675-2680, 1975, doi: 10.1109/TNS.1975.4328188.
- [21] ICRU, « Stopping powers and ranges of electrons, positrons, protons, and alpha particles in three material », 2014.
- [22] « ESTAR PSTAR ASTAR ». 2014. [En ligne]. Disponible sur: <https://physics.nist.gov/cgi-bin/Star/compos.pl?014>
- [23] R. C. Baumann, « Radiation-induced soft errors in advanced semiconductor technologies », *IEEE Trans. Device Mater. Reliab.*, vol. 5, n° 3, p. 305-316, 2005, doi: 10.1109/TDMR.2005.853449.
- [24] J. A. Zoutendyk, H. R. Schwartz, R. K. Watson, Z. Hasnain, et L. R. Nevill, « Single-Event Upset (SEU) in a Dram with On-Chip Error Correction », *IEEE Trans. Nucl. Sci.*, vol. 34, n° 6, p. 1310-1315, 1987, doi: 10.1109/TNS.1987.4337471.
- [25] C. INGUIMBERT, « Prediction des evenements singuliers induits par les protons: contribution a une nouvelle approche de la definition du volume sensible », Electronique, L'école nationale supérieure de l'aéronautique et de l'espace, 1999. [En ligne]. Disponible sur: [https://inis.iaea.org/collection/NCLCollectionStore/\\_Public/48/080/48080440.pdf](https://inis.iaea.org/collection/NCLCollectionStore/_Public/48/080/48080440.pdf)
- [26] C. H. Kenneth, « Probability of latching single event upset errors in VLSI circuit », Electrical Engineering, Virginia Polytechnic Institute, Blacksburg - Virginia, 1991. [En ligne]. Disponible sur: [https://vtechworks.lib.vt.edu/bitstream/handle/10919/41980/LD5655.V855\\_1991.H655.pdf?sequence=1&isAllowed=y](https://vtechworks.lib.vt.edu/bitstream/handle/10919/41980/LD5655.V855_1991.H655.pdf?sequence=1&isAllowed=y)
- [27] R. C. Baumann, *Single-Event Effects in Advanced CMOS Technology*, 42th éd. Seattle, Washington, 2005.
- [28] A. Al Youssef, « Etude par modélisation des événements singuliers (SET/SEU/SEL) induits par l'environnement radiatif dans les composants électroniques », Theses, INSTITUT SUPERIEUR DE L'AERONAUTIQUE ET DE L'ESPACE (ISAE), 2017. [En ligne]. Disponible sur: <https://hal.science/tel-01716472>
- [29] L. Scheick, « Testing guideline for single event gate rupture (SEGR) of power MOSFETs », 2008. [En ligne]. Disponible sur: <https://api.semanticscholar.org/CorpusID:34656321>
- [30] ECSS, « Techniques for radiation effects mitigation in ASICs and FPGAs », sept. 2016, [En ligne]. Disponible sur: <https://ecss.nl/hbstms/ecss-q-hb-60-02a-techniques-for-radiation-effects-mitigation-in-asics-and-fpgas-handbook-1-september-2016-published/>
- [31] M. Chadeeva, « CALICE highly granular calorimeters: imaging properties for hadronic shower analysis », *J. Instrum.*, vol. 15, n° 07, p. C07014, juill. 2020, doi: 10.1088/1748-0221/15/07/C07014.
- [32] « FLUKA ». 2023 2000. [En ligne]. Disponible sur: <http://www.fluka.org/fluka.php>
- [33] M. Dordevic, « The CMS Particle Flow Algorithm », *EPJ Web Conf.*, vol. 191, p. 1-7, 2018, doi: 10.1051/epjconf/201819102016.
- [34] « The Phase-2 Upgrade of the CMS endcap calorimeter ».
- [35] Chia-Hung Chien, « Performance of a Novel CMS High Granularity Calorimeter(HGCAL) Prototype in Beam Tests at the CERN SPS », CERN, 2018. [En ligne]. Disponible sur: [https://indico.cern.ch/event/791379/contributions/3286934/attachments/1781659/2898773/MasterThesis\\_Chia-hung.pdf](https://indico.cern.ch/event/791379/contributions/3286934/attachments/1781659/2898773/MasterThesis_Chia-hung.pdf)
- [36] Thorben Quast, « Status and Plans for the CMS High Granularity Calorimeter Upgrade Project », *J Phys Conf Ser 2374 012020*, vol. 2374, doi: 10.1088/1742-6596/2374/1/012020.
- [37] C. Patrignani et others, « Review of Particle Physics », *Chin Phys C*, vol. 40, n° 10, p. 100001, 2016, doi: 10.1088/1674-1137/40/10/100001.
- [38] J. Borg *et al.*, « SKIROC2-CMS an ASIC for testing CMS HGCAL », *J. Instrum.*, vol. 12, n° 2, 2017, doi: 10.1088/1748-0221/12/02/C02019.
- [39] J. Borg, « Electronics and Triggering Challenges for the CMS High Granularity Calorimeter for HL-LHC », *Springer Proc Phys*, vol. 212, p. 149-153, 2018, doi: 10.1007/978-981-13-1313-4\_30.

- [40] E. Currás et others, « Radiation hardness and precision timing study of silicon detectors for the CMS High Granularity Calorimeter (HGC) », *Nucl Instrum Meth A*, vol. 845, p. 60-63, 2017, doi: 10.1016/j.nima.2016.05.008.
- [41] Paul Dauncey, « First results from DAQ buffer simulation ». Imperial College London, 21 janvier 2019. [En ligne]. Disponible sur: <https://indico.cern.ch/event/782030/contributions/3286476/attachments/1782136/2899733/190121.pdf>
- [42] G. Borghello, « Ionizing radiation effects in nanoscale CMOS technologies exposed to ultra-high doses », 2018. [En ligne]. Disponible sur: <https://cds.cern.ch/record/2680840>
- [43] Szymon KULIS, « Digital synthesis for rad-hard components ». [En ligne]. Disponible sur: [https://tmrg.web.cern.ch/tmrg/tmrg\\_kulis\\_in2p3.pdf](https://tmrg.web.cern.ch/tmrg/tmrg_kulis_in2p3.pdf)
- [44] S. Kulis, « Single Event Effects mitigation with TMRG tool », *J. Instrum.*, vol. 12, n° 01, p. C01082, janv. 2017, doi: 10.1088/1748-0221/12/01/C01082.
- [45] K. Appels et J. Prinzie, « Novel Full TMR Placement Techniques for High-Speed Radiation Tolerant Digital Integrated Circuits », *Electronics*, vol. 9, n° 11, 2020, doi: 10.3390/electronics9111936.
- [46] S. Bonacini, « Design and characterization of an SEU-robust register in 130nm CMOS for application in HEP ASICs », *J. Instrum.*, vol. 5, n° 11, p. C11019, nov. 2010, doi: 10.1088/1748-0221/5/11/C11019.
- [47] G. Borghello *et al.*, « Dose-Rate Sensitivity of 65-nm MOSFETs Exposed to Ultrahigh Doses », *IEEE Trans. Nucl. Sci.*, vol. 65, n° 8, p. 1482-1487, 2018, doi: 10.1109/TNS.2018.2828142.
- [48] L. Gonella *et al.*, « Total Ionizing Dose effects in 130-nm commercial CMOS technologies for HEP experiments », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 582, n° 3, p. 750-754, 2007, doi: <https://doi.org/10.1016/j.nima.2007.07.068>.
- [49] Oleksii Kurdysh, « HGCROC radiation hardness testing », CERN, Geneva, sept. 2019. [En ligne]. Disponible sur: [https://cds.cern.ch/record/2707781/files/report\\_Kurdysh.pdf](https://cds.cern.ch/record/2707781/files/report_Kurdysh.pdf)
- [50] Pieter Everaerts, « TID and SEU testing », CERN, Irradiation report, mars 2020.
- [51] Sébastien EXTIER, « HGCROC: the front-end readout ASIC for the CMS High Granularity Calorimeter », présenté à Journée des métiers de la microélectronique, LPSC Grenoble, 14 octobre 2021. [En ligne]. Disponible sur: [https://indico.in2p3.fr/event/20437/contributions/99785/attachments/66297/92639/JME21\\_HGCROCv3.pdf](https://indico.in2p3.fr/event/20437/contributions/99785/attachments/66297/92639/JME21_HGCROCv3.pdf)
- [52] M. Rousselet, « Développement de méthodologies de tests en radiation des nanosatellites », Theses, Université Montpellier, 2016. [En ligne]. Disponible sur: <https://theses.hal.science/tel-01807952>
- [53] S. A. Stucci *et al.*, « Effect of gamma irradiation on leakage current in CMOS read-out chips for the ATLAS upgrade silicon strip tracker at the HL-LHC », *PoS*, vol. TWEPP-17, p. 094, 2017, doi: 10.22323/1.313.0094.
- [54] F. Faccio et G. Cervelli, « Radiation-induced edge effects in deep submicron CMOS transistors », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 6, p. 2413-2420, 2005, doi: 10.1109/TNS.2005.860698.
- [55] M. Huhtinen et F. Faccio, « Computational method to estimate Single Event Upset rates in an accelerator environment », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 450, n° 1, p. 155-172, août 2000, doi: 10.1016/S0168-9002(00)00155-8.
- [56] D. Boumediene *et al.*, « Measurement of single event effect cross section induced by monoenergetic protons on a 130 nm ASIC », *J. Instrum.*, vol. 17, n° 02, p. P02007, 2022.
- [57] G. Balbi *et al.*, « Measurements of Single Event Upset in ATLAS IBL », *J. Instrum.*, vol. 15, n° 06, p. P06023, juin 2020, doi: 10.1088/1748-0221/15/06/P06023.
- [58] D. M. Hiemstra et E. W. Blackmore, « LET spectra of proton energy levels from 50 to 500 MeV and their effectiveness for single event effects characterization of microelectronics », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 6, p. 2245-2250, 2003, doi: 10.1109/TNS.2003.821811.

- [59] U. Schwabe, E. P. Jacobs, D. Takacs, J. Winnerl, et E. Lange, « Reduced n+/p+-spacing with high latchup hardness in self-aligned double well CMOS technology », in *1984 International Electron Devices Meeting*, 1984, p. 410-413. doi: 10.1109/IEDM.1984.190737.
- [60] After T.P. Ma et al. « Ionizing Radiation Effects in MOS Devices and Circuits”
- [61] Ultra-Low Power Fast Multi-Channel 10-Bit ADC ASIC for Readout of Particle Physics Detectors, October 2016 IEEE Transactions on Nuclear Science 63(5):2622-2631, DOI:10.1109/TNS.2016.2602391
- [62] [www.wikipedia.fr](http://www.wikipedia.fr)
- [63] Falletti, Lola. (2013). Study of the region of the unidentified source HESS J1745-303 with the Fermi/LAT.

## 7 PUBLICATIONS ET PRESENTATION DE TRAVAUX EN CONFERENCE :

---

### PUBLICATION D’HGCROC

G. Bombardi et al., "HGCROC-Si and HGCROC-SiPM: the front-end readout ASICs for the CMS HGCAL," 2020 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Boston, MA, USA, 2020, pp. 1-4, doi: 10.1109/NSS/MIC42677.2020.9508012.

ABSTRACT: The two variants of HGCROC are the ASICs designed to readout the more than 6 million channels of the future HGCAL of CMS, which will consist of hexagonal silicon sensors for a large part but also SiPM-on-scintillators tiles. The SiPM version of the chip was made from the silicon version by adapting only the first amplifier stage. The first aspect is on the performance for both versions in terms of noise, charge and timing, the DAQ and Trigger paths, as well as results from irradiation qualification with total ionizing dose and heavy ions for single-event effects. The third version of HGCROC chip is a major digital release, with RadHard solutions and an additional buffer.

URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=9508012&isnumber=9507739>

### PUBLICATION DE TEMPOROC

Présentation du travail en session « Plenary » par Julien Fleury à IEEE-NSS-MIC Milan, en Octobre 2022 : TEMPOROC : A 64-channel SiPM read-out chip for time-of-flight measurement on monolithic crystal, S. Extier Author, S. Ahmad, J-B. Cizel, J. Fleury, M. Morenas a Weeroc, Villebon-sur-Yvette, France

### PUBLICATION DE SLIME

SLIME : Radhard Clockless I2C Slave for space application, M. Cyrille Derrien (Weeroc) M. Sebastien Extier (Weeroc) Julien Fleury (Weeroc) Salleh Ahmad (Weeroc) Dr Si Chen (APC) Dr Manuel Gonzalez (APC) Dr Bernard Courty (APC) Mlle Sylvie Blin (APC) Dr Damien Prêle (APC) Dr Jean Mesquida (APC) Mlle Florence Ardellier (APC), AMICSA 2022, Madrid.

ABSTRACT: SLIME (Serial Latchup-free I2c 1Mhz link for the x-ifu Electronics) is a radhard and clockless I2C digital module implemented in a radiation-hardened library based on the BiCMOS SiGe ST 130 nm. This module will be used in the Warm Front-end Electronics of the X-ray Integral Field Unit for the Athena space mission. Due to the sensitivity of the instrument, the module must have low noise and low power consumption. It relies entirely on the I2C clock for its operation, and must operate at a frequency of up to 1 MHz. It uses a standard cell library which was modified for greater resistance to



radiation, and must remain Latchup-free at a linear energy transfer of up to  $60 \text{ Mev.cm}^2/\text{mg}$ . It must also remain entirely functional with a TID of 20 krad or more.

PUBLICATION DES RESULTATS EN DOSE DE LA TECHNOLOGIE ATMX150RHA

Présentation du travail à la conférence AMICSA 2021 (8th International Analogue and Mixed-Signal Integrated Circuits for Space Applications) : ATMX150RHA Building Blocks Block Presentation and Measurement Results; Julien Fleury, Salleh Ahmad, Florent Perez, Valentin Brinster, Jean-Baptiste Cizel ; Weeroc, 4 avenue de la Baltique, 91140 Villebon-sur-Yvette, France ;



# ANNEXES

```

omega4/extier > ./bin/tmrg Design.v -v
[INFO ] User config file does not exists at '/home/users/extier/.tmrg.cfg'
[INFO ] Loading file 'Design.v'
[INFO ]
[INFO ] Elaborating Design.v
[INFO ] Module Design (Design.v)
[INFO ] Port mode : ANSI
[INFO ]
[INFO ] Checking the design hierarchy
[INFO ] [Design]
[INFO ]
[INFO ] Applying constrains
[INFO ] Module Design
[INFO ] | tmrErrOut : False (configGlobal:False)
[INFO ] | do_not_touch : False (false)
[INFO ] | net reset : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net Output_iNextVoted : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net clk : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net Output_i : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net Output_iNext : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net Trigger : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net Output : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ] | net rstn : True (configGlobalDefault:True -> srcModuleDefault:True)
[INFO ]
[INFO ] Applying constrains by name
[INFO ] Module Design
[INFO ] Full voting detected for nets Output_iNext -> Output_iNextVoted
[INFO ] Voting present (1 nets)
[INFO ]
[INFO ] Module:Design (dnt:False)
[INFO ] +-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+
[INFO ] | Nets | tmr | range | attributes | array |
[INFO ] +-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+
[INFO ] | reset | True | | | |
[INFO ] | Output_iNextVoted | True | [5:0] | | |
[INFO ] | clk | True | | | |
[INFO ] | Output_i | True | [5:0] | | |
[INFO ] | Output_iNext | True | [5:0] | | |
[INFO ] | Trigger | True | | | |
[INFO ] | Output | True | [5:0] | | |
[INFO ] | rstn | True | | | |
[INFO ] +-----+-----+-----+-----+-----+-----+-----+-----+-----+-----+
[INFO ] Triplciation starts here
[INFO ]
[INFO ] Triplcating file Design.v
[INFO ] TMR voting Output_iNext -> Output_iNextVoted (bits:6)
[INFO ] Creating TMR errorF group A
[INFO ] Creating TMR error group B
[INFO ] Creating TMR error group C
[INFO ] Instializaing voter Output_iNextVoterA (addWires:output)
[INFO ] Instializaing voter Output_iNextVoterB (addWires:output)
[INFO ] Instializaing voter Output_iNextVoterC (addWires:output)
[INFO ] Declarations of voters and fanouts are being added to ./DesignTMR.v.new
[INFO ] Taking voter declaration from /exp/design/extier/tools/tmrg/src/./common/voter.v
[INFO ] Saving output to './DesignTMR.v'
[INFO ] Generating SDC constraints file ./DesignTMR.sdc

```

```

`ifdef SEE
reg SEEEnable=0; // enables SEE generator
reg SEEActive=0; // high during any SEE event
integer SEENextTime=0; // time until the next SEE event
real SEEDuration=0.0; // duration of the next SEE event
integer SEEDuration_int=0; // duration of the next SEE event
integer SEEWireId=0; // wire to be affected by the next SEE event
integer SEEmaxWireId=0; // number of wires in the design which can be affected by SEE event
integer SEEmaxUpaseTime=1000; // 1 ns (change if you are using different timescale)
integer SEEDel=100; // 100 ns (change if you are using different timescale)
integer SEECounter=0; // number of simulated SEE events

`include "Design_see.v"
// get number of wires which can be affected by SEE
initial
see_max_net (SEEmaxWireId);

always
begin
if (SEE3Enable)
begin
// randomize time, duration, and wire of the next SEE
SEENextTime = #(SEEDel/2) ($random) % SEEDel;
SEEDuration_int = {$random} % (SEEmaxUpaseTime-1) + 1; // SEE time is from 1 - MAX_UPSET_TIME ns
SEEDuration = SEEDuration_int/1000.0; // timescale lns/100ps
SEEWireId = {$random} % SEEmaxWireId;

// wait for SEE
#(SEENextTime);

// SEE happens here! Toggle the selected wire.
SEECounter=SEECounter+1;
SEEActive=1;
see_force_net (SEEWireId);
see_display_net (SEEWireId);
#(SEEDuration);
see_release_net (SEEWireId);
SEEActive=0;
end
else
#1;
end
`endif

```

## Liens URL des sites d'encodeur CRC32 en ligne :

- [http://www.sunshine2k.de/coding/javascript/crc/crc\\_js.html](http://www.sunshine2k.de/coding/javascript/crc/crc_js.html)

CRC width

Bit length:  CRC-8  CRC-16  CRC-32  CRC-64

CRC parametrization

Predefined   Custom

CRC detailed parameters

Input reflected:  Result reflected:

Polynomial:

Initial Value:

Final Xor Value:

CRC Input Data

String  Bytes  Binary string

0x02

Show reflected lookup table:  (This option does not affect the CRC calculation, only the displ)

**Calculate CRC!**

**Result CRC value: 0x09823B6E**

### Lookup Table:

```

0x00000000 0x04C11DB7 0x09823B6E 0x0D4326D9 0x130476DC 0x17C56B6B 0x1A864DB2 0x1E475005
0x2608EDB8 0x22C9F00F 0x2F8AD6D6 0x2B4BCB61 0x350C9B64 0x31CD86D3 0x3C8EA00A 0x384FBDBD
0x4C11DB70 0x48D0C6C7 0x4593E01E 0x4152FDA9 0x5F15ADAC 0x5BD4B01B 0x569796C2 0x52568B75
0x6A1936C8 0x6ED82B7F 0x639B0DA6 0x675A1011 0x791D4014 0x7DDC5DA3 0x709F7B7A 0x745E66CD
0x9823B6E0 0x9CE2AB57 0x91A18D8E 0x95609039 0x8B27C03C 0x8FE6DD8B 0x82A5FB52 0x8664E6E5
0xBE2B5B58 0xBAEA46EF 0xB7A96036 0xB3687D81 0xAD2F2D84 0xA9EE3033 0xA4AD16EA 0xA06C0B5D
  
```

Figure 7.1: Capture des résultats du checksum en ligne.

- <https://leventozturk.com/engineering/crc>

**Configure**

Structure?: CRC

Polynomial?: CRC-32 or BUILD or enter below  
 $111011011011100010000011001000001 = 04C11DB7$   
 $x^0 + x^1 + x^2 + x^4 + x^5 + x^7 + x^8 + x^{10} + x^{11} + x^{12} + x^{16} + x^{22} + x^{23} + x^{26} + x^{32}$

Initialise?: 00000000000000000000000000000000

Data width?: 32

Process Direction: d[0] to d[n]

---

**Generate Code**

Speed?:

Output?: Verilog Module

Generate

---

**Calculate Output**

Input Data?: 01010110001101110000110010000101 = 56370C85

Output Format: o[n] to o[0] Hex

Calculated CRC: 74D92F51

**Configure**

Structure?: CRC

Polynomial?: CRC-32 or BUILD or enter below  
 $111011011011100010000011001000001$   
 $x^0 + x^1 + x^2 + x^4 + x^5 + x^7 + x^8 + x^{10} + x^{11} + x^{12} + x^{16} + x^{22} + x^{23} + x^{26} + x^{32}$

Initialise?: 00111010011011001001011101010001 = 74D92F51

Data width?: 32

Process Direction: d[0] to d[n]

---

**Generate Code**

Speed?:

Output?: Verilog Module

Generate

---

**Calculate Output**

Input Data?: 000000000000101010111001101110 = 000ABCDE

Output Format: o[n] to o[0] Hex

Calculated CRC: 84F0A9E0

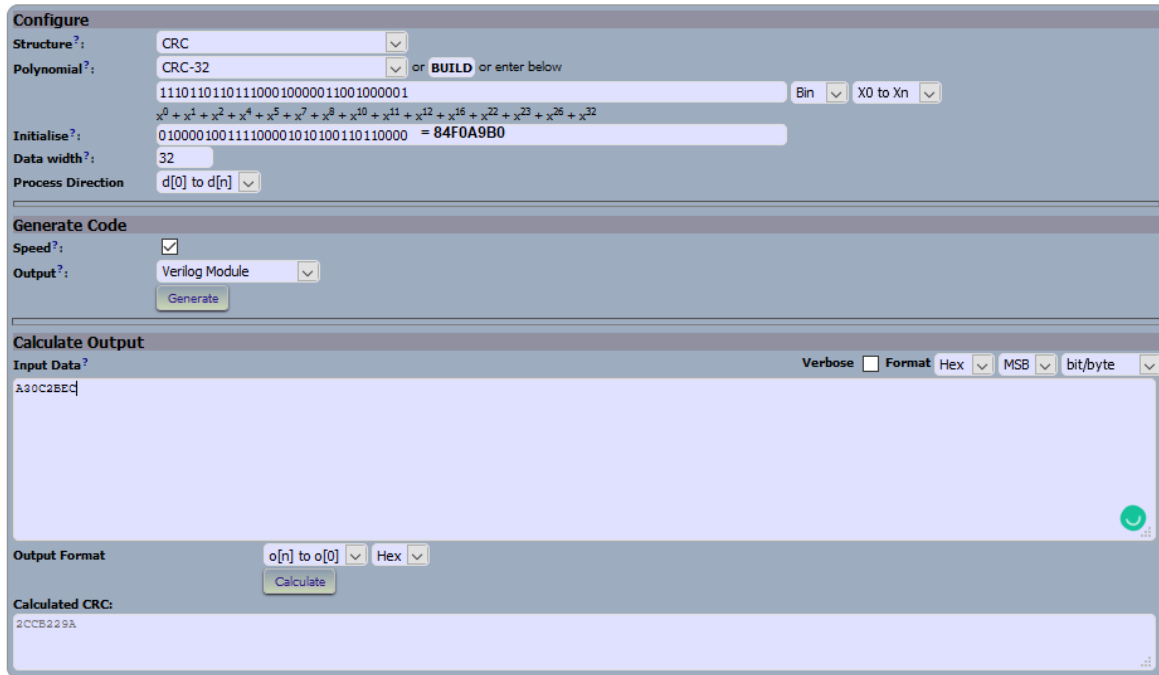
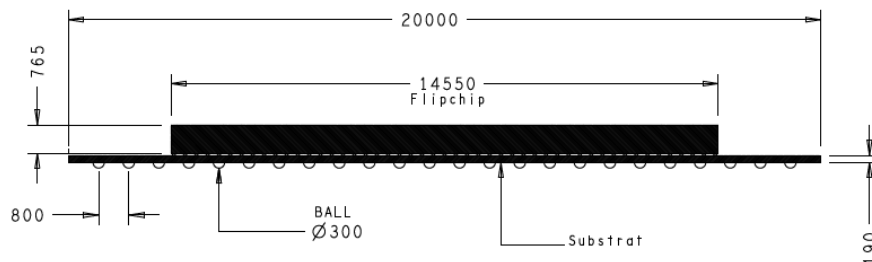
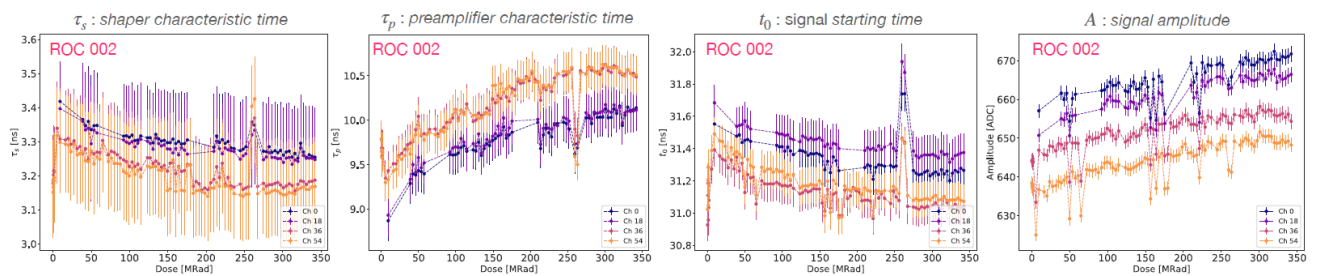


Figure 7.2: Capture du résultat de la deuxième comparaison à une source en ligne.

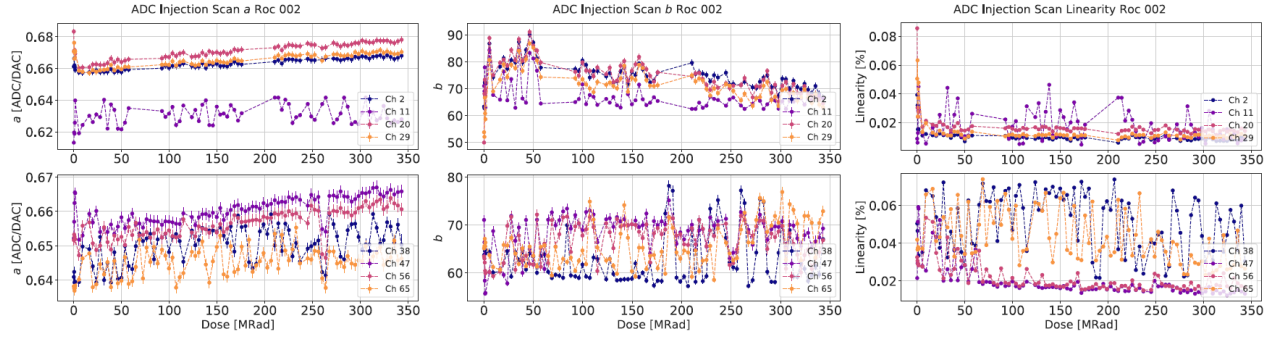
Dimensions de la puce HGROC3B basse densité en vue de coupe :



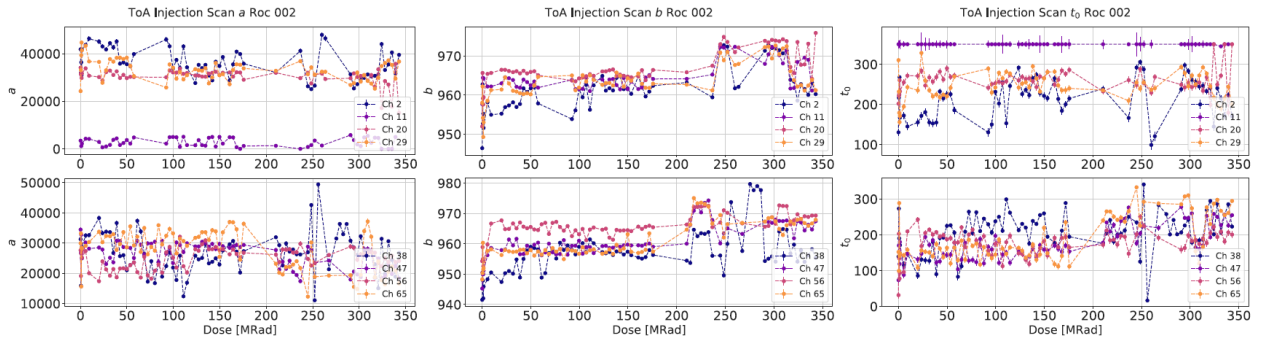
Corrélation des paramètres de l'adaptation au signal d'impulsion de l'ADC en fonction de la dose :



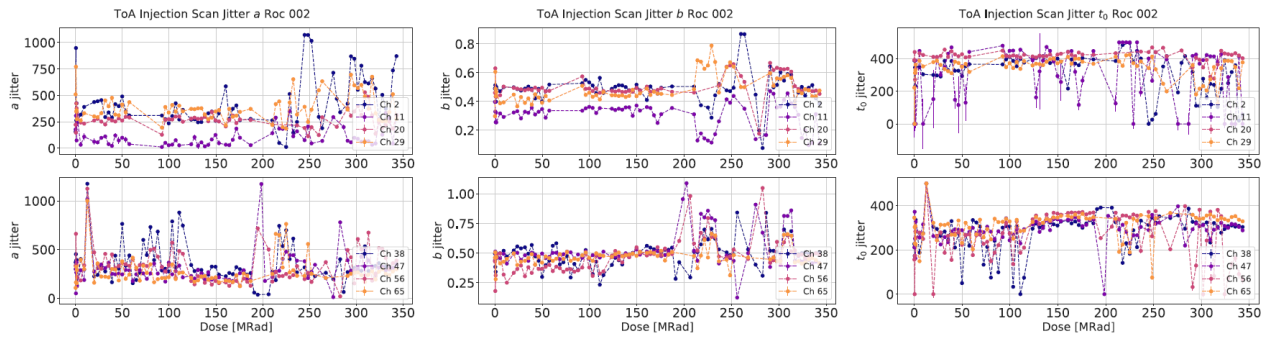
Corrélation des paramètres de non-linéarité de l'ADC en fonction de la dose (< 0.08%) :



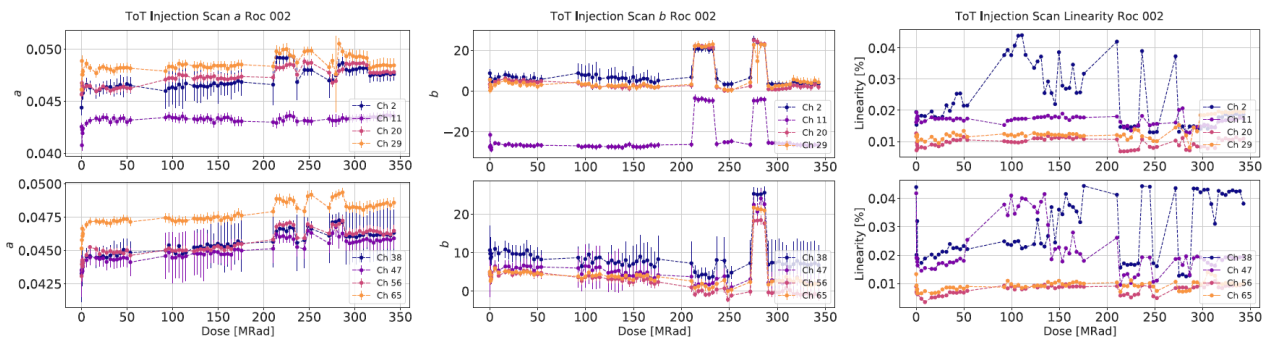
Corrélation des paramètres de l'adaptation au time-walk en fonction de la dose :



Corrélation des paramètres d'adaptation au jitter du TOA en fonction de la dose :



Corrélation des paramètres de non-linéarité du TOT en fonction de la dose (< 0.05%) :





ETUDES IRRADIATION SUR LA TECHNO TSMC130 ET HGCROCV2 FAITES AU CERN :

[https://indico.cern.ch/event/863071/contributions/3738776/attachments/2044718/3425249/ACES\\_talk\\_new.pdf](https://indico.cern.ch/event/863071/contributions/3738776/attachments/2044718/3425249/ACES_talk_new.pdf)

[https://indico.cern.ch/event/899519/contributions/3790141/attachments/2008189/3354525/Irrad\\_March24.pdf](https://indico.cern.ch/event/899519/contributions/3790141/attachments/2008189/3354525/Irrad_March24.pdf)

[https://indico.cern.ch/event/861101/contributions/3627119/attachments/1938956/3214957/Irradiation\\_October29.pdf](https://indico.cern.ch/event/861101/contributions/3627119/attachments/1938956/3214957/Irradiation_October29.pdf)

[https://indico.cern.ch/event/942488/contributions/3960325/attachments/2081244/3495788/Cold\\_TID\\_June\\_LCeard.pdf](https://indico.cern.ch/event/942488/contributions/3960325/attachments/2081244/3495788/Cold_TID_June_LCeard.pdf)

**Titre :** Développement et caractérisation de l'ASIC de lecture du calorimètre à haute granularité de l'expérience CMS pour le HL-LHC.

**Mots clés :** HL-LHC/CMS, ASIC, RadHard, Circuit de lecture, Numérique

Le travail réalisé lors de cette thèse s'inscrit dans la dernière mise à jour des calorimètres-bouchons de l'expérience du Solénoïde Compact à Muon (CMS) du Grand Collisionneur de Hadrons (LHC) devenant ainsi le LHC à Haute Luminosité (HL-LHC). Ce détecteur est le premier calorimètre imageur 5D en physique des particules, avec plus de 6 millions de canaux de lecture, opérant dans un environnement hadronique intense avec plus de 8 milliards de collisions par seconde. Ces contraintes imposées par l'environnement, la complexité de sa géométrie et les performances physiques

recherchées force le développement d'un ASIC de lecture de ce calorimètre ultra-granulaire (HGCal) à l'état-de-l'art. Cette thèse aborde donc l'impact d'un environnement fortement radiatif d'un collisionneur p-p sur la technologie CMOS 130nm, ainsi que les méthodes de durcissement aux effets de dose cumulés (TID) et d'événements singuliers (SEE). Le dernier volet traitera l'analyse des données récoltées lors des campagnes d'irradiations en ions lourds, rayons-X, et enfin en protons, afin de valider la méthodologie de durcissement utilisée.

**Title:** Development and Characterization of the readout ASIC for the High-Granularity Calorimeter of the CMS Experiment for the HL-LHC.

**Keywords:** HL-LHC/CMS, ASIC, RadHard, Readout chip, Digital

This thesis deals with the work carried out, is part of the latest update of the endcap calorimeters of the Compact Muon Solenoid (CMS) experiment at the Large Hadron Collider (LHC), which is now becoming the High Luminosity LHC (HL-LHC). This detector is the first 5D imager calorimeter in particle physics with over 6 million readout channels, operating in an intense hadronic environment, with over 8 billion collisions per second. These constraints imposed by the environment, the complexity of its geometry, and the desired physical

performance necessitate the development of a state-of-the-art readout ASIC for this ultra-granular calorimeter (HGCal). Therefore, this thesis addresses the impact of a highly radiative environment of a p-p collider on 130nm CMOS technology, as well as the hardening methods against cumulative dose effects (TID) and single event effects (SEE). The final part will focus on analysis of data collected during irradiation campaigns with heavy ions, X-rays, and finally protons, to validate the hardening methodology used.