



**HAL**  
open science

# Solutions non-intrusives, génériques et quasi-statiques pour le test et le calibrage de circuits intégrés en bande millimétrique

Olivier Occello

## ► To cite this version:

Olivier Occello. Solutions non-intrusives, génériques et quasi-statiques pour le test et le calibrage de circuits intégrés en bande millimétrique. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes [2020-..], 2024. Français. NNT : 2024GRALT005 . tel-04573177

**HAL Id: tel-04573177**

**<https://theses.hal.science/tel-04573177>**

Submitted on 13 May 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal (EEATS)

Spécialité : Nano électronique et Nano technologies

Unité de recherche : Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés

### Solutions non-intrusives, génériques et quasi-statiques pour le test et le calibrage de circuits intégrés en bande millimétrique

### Non-intrusive, generic and quasi-static solutions for integrated millimeter-wave circuits test and calibration

Présentée par :

**Olivier OCCELLO**

#### Direction de thèse :

**Philippe FERRARI**

Professeur des universités, Université Grenoble Alpes

Directeur de thèse

**Manuel José BARRAGAN ASIAN**

Chargé de Recherche HDR, CNRS

Co-directeur de thèse

**Marc MARGALEF-ROVIRA**

Ingénieur-Docteur, STMicroelectronics

Co-encadrant de thèse

#### Rapporteurs :

**Guillaume DUCOURNAU**

Professeur des Universités, Université de Lille

**Rozenn ALLANIC**

Ingénieure HDR, Université de Bretagne Occidentale

#### Thèse soutenue publiquement le 12 février 2024, devant le jury composé de :

**Sylvain BOURDEL**

Professeur des Universités, Grenoble INP

Président

**Guillaume DUCOURNAU**

Professeur des Universités, Université de Lille

Rapporteur

**Rozenn ALLANIC**

Ingénieure HDR, Université de Bretagne Occidentale

Rapporteuse

**Gildas LEGER**

Assistant Professor, Université de Séville

Examineur

**Philippe FERRARI**

Professeur des Universités, Université Grenoble Alpes

Directeur de thèse

**Manuel BARRAGAN ASIAN**

Chargé de Recherche HDR, CNRS

Co-directeur de thèse

#### Invités :

**Salvador Mir**

Directeur de Recherche, CNRS

**Sylvie Lépilliet**

Ingénieure, Université de Lille





# REMERCIEMENTS

Je souhaite tout d'abord remercier mes encadrants Philippe Ferrari, Manuel Barragán, Marc Margalef-Rovira et Cédric Durand, pour tout le temps et l'énergie qu'ils m'ont consacrés pour la préparation de cette thèse. Ils m'ont tous les quatre été d'un grand soutien scientifique, professionnel et humain durant ces 3 ans « et quelques ». Je remercie également les membres du jury qui ont accepté d'accorder de leur temps à l'examen de ces travaux : Rozenn Allanic, Guillaume Ducournau, Gildas Léger, Sylvain Bourdel, Salvador Mir et Sylvie Lépilliet.

Je remercie aussi chaleureusement Guillaume Ducournau de l'IEMN pour son accueil pendant 3 mois à l'IEMN à Lille, ainsi que la patience, la grande persévérance et l'expertise de Sylvie Lépilliet et Ayman Rhellab pour l'IEMN et de Loïc Vincent et Jordan Corsi du CIME-Nanotech, sans qui aucun résultat ni aucune conclusion ne se retrouverait imprimé sur ces feuilles !

Je remercie tous les collègues du labo avec qui j'ai passé ces quelques très bonnes années, avec des discussions enrichissantes : Mo. Wehbi, Mo. El Chaar, Larbi, Ankush, Imad, Sana, Khalil, Diana, Renato, Marc, l'équipe RMS-TIMA/ex-RFIC-Lab, Youness et Laurence (pour leur support administratif ET leur sympathie), les collègues, notamment Leticia et Sébastien, et étudiant.es de PhITEM, et ceux du CMP, François et Nicolas, ainsi que l'équipe du 4<sup>ème</sup> étage.

J'ai une pensée pour toutes mes ami.es Drômois.es et Isérois.es, qui m'ont au moins demandé une fois chacun.e au détour d'une conversation « Au fait, c'est sur quoi ta thèse déjà ? », et qui ont regretté leur question après une demi-heure de réponse et 35 rebonds, détails et parenthèses ouvertes, tous nécessaires, évidemment...

Mention spéciale à Yo, Anto et Romain, qui ont même été contraints de me donner leur avis sur la police d'écriture, parmi d'autres interrogations de la plus haute importance !

Je remercie ma famille pour leur soutien, leurs coups de boost, et leur écoute étonnamment intéressée sur les questions les plus techniques, mon père, ma mère, Claire (P...), ma mamie et ma mémé, ainsi que la « belle-famille ». Et, enfin et surtout, mon petit bout de famille, Elo, cette thèse est enfin terminée grâce à notre club de rédaction, aux nombreuses Criscosifications dont on est sorti.es indemnes finalement. Je te suis extrêmement reconnaissant de tout ce que tu as pu faire pour moi sur tous les plans, et entres-autres pour le record de speed-run orthotypo-orthographique. Tu es désormais en possession de ma redevabilité éternelle, fais-en bon usage !



## INTRODUCTION GENERALE

Depuis le début des années 2010, nous assistons à une croissance des applications en bande millimétrique des systèmes sur puce (« System On Chip » - SoC). Ces derniers sont au cœur de la recherche technologique actuelle, notamment avec le développement de *front-ends* performants à des fréquences toujours plus élevées. Un *front-end* radiofréquence (RF, jusqu'à 24 GHz) ou en bande millimétrique (de 24 à 300 GHz) est la chaîne d'émission-réception qui permet le traitement de signaux haute-fréquence transitant dans une antenne. De ce fait, le *front-end* est un circuit dont les performances limitent celles de toute la chaîne de transmission du signal, et son bon fonctionnement doit être garanti. L'augmentation des fréquences de travail demande des innovations à différents niveaux, allant du développement de technologies plus performantes au test plus efficace, en passant par des enjeux de conception intégrée. Deux de ces besoins émergents sont regroupés autour de deux applications principales : les télécommunications et les véhicules autonomes.

La première part du constat est que la consommation de données mobiles mondiale suit une croissance exponentielle, comme en témoigne la Figure 1. Pour y répondre, la solution est une hausse des débits, qui entraîne mécaniquement une augmentation des fréquences de travail. La 5G désormais bien implantée verra ses prochaines évolutions atteindre les bandes K et Ka, soit des applications entre 24 et 30 GHz. À moyen terme, il est estimé que la 6G s'étendra jusqu'à la bande D (110 – 170 GHz) pour le traitement/routage des données (« *backhaul* »). Cette croissance exponentielle de la consommation de données mobiles illustre la croissance du secteur des télécommunications, ayant pour conséquence la production d'un volume en forte augmentation de circuits fonctionnant dans ces bandes de fréquences.

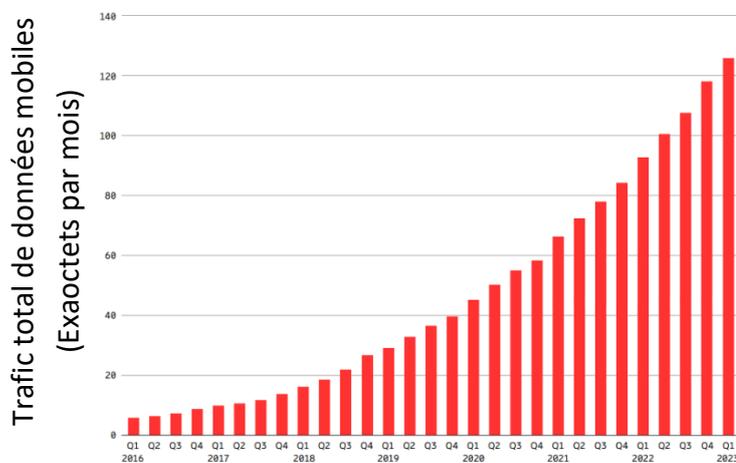


Figure 1 : Evolution du trafic mondial de données mobiles dans le temps [1]

L'autre application incontournable à court et moyen terme vise la conception de radars automobiles à très haute définition, indispensables pour le fonctionnement de véhicules autonomes sûrs. Certains de ces radars travaillent à une fréquence d'environ 77 GHz, avec la particularité de demander de très grands volumes de production de circuits intégrés.

Les travaux exposés ici ont pour objectif de démontrer une méthodologie de test et de calibrage de circuits intégrés, dont la complexité est réduite par rapport aux méthodes connues. Un démonstrateur de type Amplificateur Faible Bruit (*Low Noise Amplifier* – LNA) a été conçu sur une technologie avancée proposée par STMicroelectronics, dénommée SiGe BiCMOS 55 nm. Le LNA est un circuit critique car il se situe en entrée de la chaîne de réception, sa performance propre bride les performances de toute la chaîne de transmission. Réussir à le tester efficacement et à bas coût est donc crucial, et pouvoir le calibrer face aux variations de process est une plus-value intéressante.

Cette thèse est organisée comme suit :

- Un premier Chapitre introduit le contexte dans lequel s'inscrit notre étude. Nous y définissons également des concepts et méthodes utilisés tout au long du développement.
- Le Chapitre II dresse un état de l'art des méthodes de test et de calibrage des circuits intégrés en RF et bande millimétrique, et dégage les enjeux actuels de la thématique.
- Dans le Chapitre III, nous décrivons des solutions proposées pour améliorer les méthodes de test et de calibrage actuelles. Le Chapitre traite de deux aspects du test non-intrusif : la conception des capteurs de variation de process d'une part, puis la méthode utilisée pour appliquer le test et le calibrage à partir de ces capteurs.
- La conception des démonstrateurs est détaillée dans un Chapitre IV. Celle d'un LNA est abordée dans un premier temps, puis nous développons l'ajout de l'accordabilité à notre LNA dans un second temps.
- Les résultats expérimentaux sont présentés dans le dernier Chapitre. Suite à la présentation des résultats de mesure des démonstrateurs, nous détaillons ceux de l'application des méthodes de test et de calibrage.

Enfin, nous concluons en proposant des pistes pour prolonger ce travail, et nous soulevons quelques questionnements.

# TABLE DES MATIERES

|  |    |
|--|----|
| Remerciements .....  | I  |
| Introduction générale .....  | 1  |
| Liste des Figures .....  | 7  |
| Chapitre I. Introduction à la conception et au test de circuits en bande millimétrique .....                         | 9  |
| A. Conception intégrée.....  | 9  |
| 1. Enjeux actuels de la conception de circuits intégrés.....   | 9  |
| 2. Enjeux spécifiques liés aux circuits en bande millimétrique .....   | 10 |
| 3. Technologies intégrées.....   | 11 |
| B. Mesures en jeu .....  | 12 |
| 1. Paramètres S.....   | 12 |
| 2. Facteur et figure de bruit.....   | 13 |
| 3. Puissance .....   | 14 |
| C. Tests conventionnels et alternatifs de circuits en bande millimétrique.....                                       | 15 |
| 1. Introduction à la démarche de test .....  | 15 |
| 2. Test fonctionnel et test structurel.....  | 16 |
| 3. Test intégré, auto-test intégré RF et millimétrique.....  | 17 |
| 4. Test intégré alternatif et test intégré alternatif non-intrusif .....   | 18 |
| 5. Méthodologie générale pour le test basé sur l'apprentissage automatique.....                                      | 18 |
| D. Calibrage pour la compensation des variations de process.....   | 20 |
| E. Conclusion .....  | 20 |
| Chapitre II. Etat de l'art des méthodes de test et de calibrage de circuits intégrés en bande RF/millimétrique ..... | 21 |
| A. Test intégré.....   | 21 |
| 1. Comparaison des méthodes de test et figures de mérite .....   | 21 |
| 2. Test et auto-test intégré.....  | 22 |
| 3. Test intégré alternatif non-intrusif .....  | 29 |
| 4. Conclusions sur les enjeux du test intégré en RF/bande millimétrique.....   | 32 |
| B. Calibrage de circuits intégrés en bande millimétrique .....   | 34 |
| 1. Méthodes itératives .....   | 35 |

## Table des matières

|   |    |
|---|----|
| 2. Calibrage « <i>one-shot</i> » .....  | 36 |
| 3. Autoréparation (« Self-healing »).....   | 38 |
| 4. Conclusions de l'état de l'art et positionnement général de la thèse .....               | 38 |
| Chapitre III. Méthode de test et calibrage via capteurs non-intrusifs quasi-statiques ..... | 41 |
| A. Introduction.....  | 41 |
| B. Conception de capteurs de variation de process.....                                      | 42 |
| 1. Objectifs.....   | 42 |
| 2. Capteurs de variation de process .....   | 43 |
| 3. Capteurs « Parametric Test » (PT).....   | 52 |
| C. Principe de la méthode de test .....   | 55 |
| 1. Fonction de régression et apprentissage automatique .....                                | 55 |
| 2. Approche de sélection des signatures significatives .....                                | 57 |
| D. Méthode de calibrage dérivée .....   | 61 |
| E. Conclusion .....   | 63 |
| Chapitre IV. Un démonstrateur : un LNA 30 GHz .....   | 65 |
| A. Objectifs .....  | 65 |
| B. Conception du démonstrateur.....   | 66 |
| 1. Introduction et définition des guides de conception .....                                | 66 |
| 2. Description de la technologie STMicroelectronics BiCMOS 55 nm.....                       | 68 |
| 3. Topologies de LNA .....  | 69 |
| 4. Choix des actifs .....   | 71 |
| 5. Choix des passifs.....   | 71 |
| 6. Démonstrateur complet : un LNA à 30 GHz .....  | 79 |
| C. Réflexions sur l'ajout d'accordabilité pour correction des variations de process .....   | 81 |
| 1. Impact des variations de process .....   | 81 |
| 2. Objectifs de l'accordabilité .....   | 83 |
| 3. Eléments variables disponibles sur la technologie B55 .....                              | 83 |
| 4. LNA utilisant les réseaux d'adaptation accordables.....                                  | 87 |
| D. Conclusion .....   | 90 |
| Chapitre V. Méthodes de mesure et résultats expérimentaux .....                             | 91 |
| A. Introduction et démarche .....   | 91 |
| B. Résultats de mesure des démonstrateurs .....   | 97 |

|    |   |     |
|----|---|-----|
| 1. | Bancs et conditions de mesures .....  | 97  |
| 2. | Résultats de mesure des LNA .....   | 99  |
| C. | Mesures fonctionnelles des performances sur l'ensemble des échantillons ..... | 104 |
| 1. | Dispersion et cartographie de performances.....                               | 104 |
| 2. | Etude de la reproductibilité de la mesure .....                               | 107 |
| D. | Mise en œuvre de la méthode de test.....                                      | 110 |
| 1. | Résultats de la méthode de test.....  | 110 |
| 2. | Conclusion .....  | 113 |
| E. | Accordabilité et mise en œuvre de la méthode de calibrage .....               | 114 |
| 1. | Plage de correction disponible du LNA accordable.....                         | 114 |
| 2. | Limites du cas d'étude pour l'application de la méthode de calibrage .....    | 115 |
| F. | Conclusion .....  | 117 |
|    | Conclusion générale .....   | 119 |
|    | Perspectives .....  | 121 |
|    | Publications .....  | 123 |
|    | Références.....   | 125 |
|    | Annexe A : Prototype des Capteurs de variations de process .....              | 135 |
|    | Annexe B : Listes des Signatures PT sélectionnées .....                       | 139 |



# LISTE DES FIGURES

|  |    |
|--|----|
| FIGURE 0.1 : ÉVOLUTION DU TRAFIC MONDIAL DE DONNEES MOBILES DANS LE TEMPS [1].....   | 1  |
| FIGURE I.1 : ILLUSTRATION DES ONDES INCIDENTES ET SORTANTES AUX PORTS D'UN QUADRIPOLE [8].....   | 13 |
| FIGURE I.2 : ILLUSTRATION DU POINT DE COMPRESSION A 1 DB (CP1DB).....  | 14 |
| FIGURE I.3 : ILLUSTRATION DU POINT D'INTERCEPTION D'ORDRE 3 (IP3).....   | 15 |
| FIGURE I.4 : PRINCIPE DU TEST INTEGRE INDIRECT BASE SUR L'APPRENTISSAGE AUTOMATIQUE .....  | 19 |
| FIGURE II.1 : SCHEMA ELECTRIQUE DU DETECTEUR DE COURANT (A) ET DU DETECTEUR DE PUISSANCE (B), D'APRES [27].....  | 23 |
| FIGURE II.2 : PRINCIPE DU TEST BASE SUR L'OSCILLATION D'UN CIRCUIT RF .....  | 26 |
| FIGURE II.3 : CIRCUIT INTEGRE ET CAPTEURS POUT LE TEST NON-INTRUSIF [54].....  | 30 |
| FIGURE II.4 : SCHEMA DE PRINCIPE DU CALIBRAGE INTEGRE DE L'IMPEDANCE D'ENTREE DU LNA [57].....   | 35 |
| FIGURE II.5 : SCHEMA DU PRINCIPE DU CALIBRAGE ONE-SHOT [61] .....  | 36 |
| FIGURE III.1 : HISTOGRAMME DE LA CAPACITE D'UN CONDENSATEUR MOM POUR UNE SIMULATION MONTE-CARLO SUR LE PDK DE<br>LA TECHNOLOGIE STM BICMOS 55 NM .....   | 44 |
| FIGURE III.2 : SIGNATURE DE CAPTEURS RESISTIFS (A) ET CAPACITIFS (B) EN FONCTION DE LEUR PARAMETRE DE PROCESS LE PLUS<br>FORTEMENT CORRELE .....   | 46 |
| FIGURE III.3 : SIGNATURE DU CAPTEUR D'IMPEDANCE DE LA BASE DU TRANSISTOR BIPOLAIRE EN FONCTION DES DEUX PARAMETRES MC<br>(A) ET (B) LES PLUS FORTEMENT CORRELES.....                               | 48 |
| FIGURE III.4 : SIGNATURE DU CAPTEUR D'IMPEDANCE DE LA BASE DU TRANSISTOR BIPOLAIRE EN FONCTION DES DEUX PARAMETRES MC<br>N°1 ET N°2 ET SURFACE DE TENDANCE .....                                   | 49 |
| FIGURE III.5 : SCHEMA DE PRINCIPE DE LA METHODE ACTUELLE DE TEST AU NIVEAU DU WAFER A BASE DE CAPTEURS PT.....   | 54 |
| FIGURE III.6 : PREDICTION DE LA PERFORMANCE SUR L'ENSEMBLE DE VERIFICATION.....  | 56 |
| FIGURE III.7 : SCHEMA DE PRINCIPE DE LA SELECTION DES PARAMETRES MC SIGNIFICATIFS [17] .....   | 58 |
| FIGURE III.8 : SCHEMA DE PRINCIPE DE LA METHODE DE PREDICTION DES TK OPTIMAUX .....  | 62 |
| FIGURE IV.1 : CHAINE DE RECEPTION GENERIQUE D'UN SIGNAL HAUTE FREQUENCE.....   | 65 |
| FIGURE IV.2 : BACK-END-OF-LINE DE LA TECHNOLOGIE STM SIGE BICMOS 55 NM .....   | 69 |
| FIGURE IV.3 : VUE 3D D'UNE INDUCTANCE (A) ET D'UN CONDENSATEUR (B) INTEGRES DANS LE BEOL.....  | 73 |
| FIGURE IV.4 : VUE 3D DE LA CELLULE DE DECOUPLAGE .....   | 73 |
| FIGURE IV.5 : SCHEMA ELECTRIQUE (A) ET LAYOUT (B) DE LA CELLULE DE DECOUPLAGE .....  | 74 |
| FIGURE IV.6 : IMPEDANCE SIMULEE D'UN CONDENSATEUR DE DECOUPLAGE MOM ET D'UNE CELLULE DE DECOUPLAGE COMPOSEE DE<br>3 CONDENSATEURS DE TAILLES DIFFERENTES, SELON LA FREQUENCE .....                 | 74 |
| FIGURE IV.7 : SCHEMA D'UNE LIGNE S-CPW (A) ET D'UNE STRUCTURE FS-CPW (B).....  | 76 |
| FIGURE IV.8 : MICROPHOTOGRAPHIE DE LA STRUCTURE (A) ET PARAMETRES S (B) SIMULES (POINTILLE) ET MESURES (TRAIT PLEIN)..   | 77 |
| FIGURE IV.9 : SCHEMA ELECTRIQUE D'UN FILTRE A FS-CPW (A) ET PARAMETRES S SIMULES (POINTILLE) ET MESURES (TRAIT PLEIN) (B)<br>.....   | 78 |
| FIGURE IV.10 : SCHEMA ELECTRIQUE DU LNA CONÇU .....  | 79 |
| FIGURE IV.11 : PARAMETRES S (GAIN ET ADAPTATIONS) ET $NF$ SIMULES SELON LA FREQUENCE.....  | 80 |
| FIGURE IV.12 : DISPERSION DES PERFORMANCES FACE A LA SIMULATION MC DES VARIATIONS DE PROCESS : (A) GAIN, (B) $NF$ ,<br>$S_{11}$ (C) ET $ S_{22} $ (D) A 30 GHZ (dB) .....                          | 81 |
| FIGURE IV.13 : ABAQUE DE SMITH REPRESENTANT LES PARAMETRES $S_{11}$ ET $S_{22}$ POUR 1000 INSTANCES DU LNA EN SIMULATION<br>MC @30 GHZ.....  | 82 |
| FIGURE IV.14 : FACTEUR DE QUALITE MINIMAL (A) ET MAXIMAL (B), LE TR (C) ET LA FOM MINIMALE (D) DES VARACTORS DE<br>DIFFERENTES TOPOLOGIES ET DIMENSIONS EN FONCTION DE LEUR CAPACITE MINIMALE..... | 85 |
| FIGURE IV.15 : SCHEMA ELECTRIQUE DU RESEAU D'ADAPTATION ACCORDABLE .....   | 85 |
| FIGURE IV.16 : ABAQUE DE SMITH DU PARAMETRES $S_{22}$ DU LNA ACCORDABLE SELON LA VALEUR DE CAPACITE MINIMALE DU<br>VARACTOR (TR DE 1.5 ET Q DE 6) .....  | 86 |
| FIGURE IV.17 : PARAMETRES S ET FIGURE DE BRUIT DU LNA ACCORDABLE .....   | 87 |
| FIGURE IV.18 : ABAQUE DE SMITH DU PARAMETRE $S_{22}$ ET PLAGES DE CORRECTION NOMINALE.....   | 88 |

## Liste des Figures

|  |     |
|--|-----|
| FIGURE IV.19 : HISTOGRAMMES DES PRINCIPALES METRIQUES DU LNA AU POINT NOMINAL ET AU POINT OPTIMAL : (A) LE PARAMETRE $ S_{22} $ (dB), (B) LE NF (dB) ET (C) LE GAIN (DB) .....                                   | 89  |
| FIGURE IV.20 : ABAQUE DE SMITH DU PARAMETRE $S_{22}$ DES INSTANCES MC DU LNA AU POINT NOMINAL ET AU POINT OPTIMAL...   | 89  |
| FIGURE V.1 : SCHEMA DU BANC DE MESURE DE BRUIT [102].....  | 98  |
| FIGURE V.2 : MICROPHOTOGRAPHIE DU LNA FIXE ET INDICATIONS DE CABLAGE.....  | 99  |
| FIGURE V.3 : PARAMETRES S MESURES (TRAITS PLEINS) ET SIMULES (TRAITS POINTILLES) DES LNA FIXE (A) ET ACCORDABLE (B) ....   | 100 |
| FIGURE V.4 : SCHEMA EQUIVALENT RF DE LA SONDE DC.....  | 101 |
| FIGURE V.5 : PARAMETRES S MESURES ET SIMULES (AVEC OU SANS PRISE EN COMPTE DES SONDAS DC) DES LNA FIXE (A) ET ACCORDABLE EN POSITION MILIEU (B) .....  | 101 |
| FIGURE V.6 : $NF$ MESURE (TRAITS PLEINS) ET SIMULE (TRAITS POINTILLES) DES LNA FIXE (BLEU) ET ACCORDABLE (ROUGE).....  | 102 |
| FIGURE V.7 : CARACTERISTIQUE $P_{out}$ EN FONCTION DE $P_{in}$ MESUREE SUR LE LNA FIXE (A) ET LE LNA ACCORDABLE (B) ET LEURS ASYMPTOTES .....  | 103 |
| FIGURE V.8 : DISPERSIONS ET CARTOGRAPHIES DES PERFORMANCES DU LNA FIXE @ 27 GHz .....  | 105 |
| FIGURE V.9 : DISPERSION ET CARTOGRAPHIE DES PERFORMANCES DU LNA ACCORDABLE @ 25 GHz .....  | 107 |
| FIGURE V.10 : ECART ENTRE LES MESURES REFERENCES DU $NF$ ET DES MESURES REDONDANTES .....  | 108 |
| FIGURE V.11 : ECART ENTRE LES MESURES REFERENCES DU GAIN (EN DB) ET LES MESURES REDONDANTES SUR LA CAMPAGNE DU LNA FIXE (A) ET LNA ACCORDABLE (B) .....  | 108 |
| FIGURE V.12 : PREDICTION DES PERFORMANCES DU LNA FIXE A PARTIR DES CAPTEURS PT UNIQUEMENT .....  | 111 |
| FIGURE V.13 : PREDICTION DES PERFORMANCES DU LNA ACCORDABLE A PARTIR DES CAPTEURS PT UNIQUEMENT .....  | 112 |
| FIGURE V.14 : PREDICTION DES PERFORMANCES DU LNA FIXE A PARTIR LES CAPTEURS PT ET DU POINT DE FONCTIONNEMENT .....   | 112 |
| FIGURE V.15 : PREDICTION DES PERFORMANCES DU LNA ACCORDABLE A PARTIR LES CAPTEURS PT ET DU POINT DE FONCTIONNEMENT .....   | 113 |
| FIGURE V.16 : ABAQUE DE SMITH REPRESENTANT LES PARAMETRES $S_{22}$ DE CHAQUE LNA ACCORDABLE MESURE AU POINT NOMINAL (POINTS BLEUS), ET LA PLAGE DE CORRECTION (TRAIT PLEIN ROUGE) POUR UN SEUL LNA @ 25 GHz..... | 115 |
| FIGURE V.17 : HYSTERESIS DU POINT DE FONCTIONNEMENT SELON L'APPLICATION DE LA TENSION $V_{CE}$ .....   | 116 |

# Chapitre I.

## INTRODUCTION A LA CONCEPTION ET AU TEST DE CIRCUITS EN BANDE MILLIMETRIQUE

### A. Conception intégrée

#### 1. Enjeux actuels de la conception de circuits intégrés

Au fil du temps, les applications auxquelles doivent répondre les systèmes intégrés gagnent en exigence, du fait de l'augmentation des débits tout en cherchant à limiter la consommation. En réponse, les technologies de fabrication se complexifient : la conception devient alors dans le même temps plus technique et se doit d'être plus efficace. Le concepteur cherche à répondre au mieux au cahier des charges établi pour l'application donnée. Il utilise pour cela un flot de conception, qui repose généralement sur le *Process Design Kit* (PDK) de la technologie fournie par le fondeur. Selon la technologie considérée, la maturité et les applications visées, ce PDK plus ou moins complet comporte tout ou partie des outils de diverses simulations (schématiques, électromagnétiques, *post-layout...*), de synthèse, de dessins (placement-routage, règles de dessin), de validation (*layout vs. Schématique*), etc.

En particulier, le concepteur et le fondeur fournissent conjointement un effort de modélisation de la technologie et des composants qu'elle propose. La complexification de ces technologies pour développer des composants avec des performances surpassant à chaque fois l'état de l'art dans leur catégorie rend indirectement la modélisation plus complexe à chaque incrémentation. Notamment, l'augmentation de la densité de transistors visant la miniaturisation des systèmes implique de réduire toujours la taille du nœud technologique. Cela entraîne des conséquences diverses : le renouvellement périodique des technologies implique la perte de maturité et l'apparition de nouveaux effets d'échelle à prendre en compte. En général, la miniaturisation des transistors conduit à la réduction des capacités

parasites dans le transistor, et donc à l'augmentation des  $f_T/f_{max}$ . La tension supportée est également réduite, minimisant la puissance consommée, mais aussi les performances pour des applications analogiques. Enfin, la réduction des dimensions physiques cause une plus grande variabilité du process, et accroît la sensibilité au vieillissement.

Par ailleurs, dans une perspective d'amélioration des interconnexions entre les actifs et d'intégration de composants passifs de meilleure qualité, la tendance est au développement de couches métalliques - *Back-End-of-Line* (BEOL) - plus nombreuses (empilement) et plus denses (définition) pour adresser les domaines du digital et de l'analogique. Ceci est accompagné de l'ajout de métaux très épais pour permettre d'accéder à des passifs RF performants et tenir des courants suffisants pour les circuits émetteurs nécessitant le recours à des amplificateurs de puissance.

Le fondeur garantit au client que le process de fabrication a atteint un certain degré de maturité, et que le circuit fabriqué correspondra effectivement au circuit simulé dans un intervalle de variations raisonnable communiqué au préalable. Pour ce faire, un certain nombre de règles de dessin sont imposées. Celles-ci incluent par exemple des limites strictes aux dimensions maximales et minimales des pistes métalliques et des limites de densité de ces couches rendant parfois nécessaire l'emploi de métaux flottants (« dummies »), entraînant des effets parasites. Enfin, le choix des paramètres physiques fait par le fondeur lors de la mise au point de la technologie repose sur des compromis entre différents choix stratégiques vis-à-vis du marché, parmi lesquels on peut citer : les applications visées, les méthodes de fabrication, le coût plaquette (ou coût wafer), la possibilité d'atteindre rapidement un haut niveau de maturité et rendement associé. Un grand nombre des paramètres de la technologie sont figés lors de cette étape.

Ces contraintes pour la conception et pour la modélisation impactent tous les circuits dont l'application est exigeante en termes de performances. Notamment, ces contraintes sont d'autant plus pénalisantes dans le cadre de circuits fonctionnant en bande millimétrique.

## 2. Enjeux spécifiques liés aux circuits en bande millimétrique

En sus des contraintes des technologies avancées discutées plus haut, les applications en bande millimétrique pâtissent des limites en fréquence des composants intégrés. Ainsi la conception de circuits fonctionnant sur la bande Ka et au-delà doit répondre à des contraintes supplémentaires, de causes diverses selon les composants concernés.

Tout d'abord, les performances d'un *front-end* millimétrique dépendent directement de la performance des transistors de la technologie. Sur une technologie donnée, le dimensionnement des transistors est une étape cruciale, qui passe par une modélisation précise des composants. Or, comme précisé dans [2], la cause principale limitant la montée en fréquence est l'apparition d'effets parasites inductifs et capacitifs dans le transistor et au niveau de ses accès. Ainsi, plus la fréquence de travail augmente, plus une modélisation fine est nécessaire, et plus elle est complexe.

Les composants passifs localisés souffrent des mêmes contraintes de modélisation, mais pour des raisons légèrement différentes : lorsque la fréquence augmente, les effets électromagnétiques parasites deviennent prépondérants et entraînent des variations de valeur des composants, voire des résonances indésirables. Ceci est encore renforcé par les contraintes de dessin évoquées plus haut, ayant trait à l'ajout de métaux flottants proches des structures passives, qui sont d'autant plus difficiles à modéliser. L'effort supplémentaire de modélisation lié à ces contraintes technologiques est illustré dans [3].

La montée en fréquence implique l'apparition d'effets propagatifs délétères dans les composants passifs localisés, la longueur d'onde des signaux devenant d'un ordre de grandeur comparable aux dimensions en jeu. Cependant, on peut en tirer parti avec l'utilisation de composants passifs distribués, dont l'encombrement est suffisamment réduit en bande D pour concurrencer les passifs localisés. En début de bande millimétrique (bande Ka notamment), la question d'utiliser des éléments localisés ou distribués se pose : pour ces derniers, le facteur de qualité augmente avec la fréquence, et l'encombrement diminue. De nombreux travaux tentent de fournir des composants performants résolvant le compromis dans cette bande. Des travaux sont alors menés pour pousser l'une ou l'autre des propositions vers les hautes fréquences, en modélisant des passifs localisés moins sensibles aux parasites comme dans [4] ou [5], ou à l'inverse vers les basses fréquences, en cherchant à miniaturiser des passifs distribués, comme dans [6].

En prenant en compte ces considérations, il a fallu choisir une technologie répondant aux besoins des travaux envisagés dans cette thèse pour la conception du démonstrateur. Pour cela, nous exposons un aperçu des technologies disponibles, de leurs avantages et inconvénients, notamment axé sur les performances en bande millimétrique.

### 3. Technologies intégrées

Au cœur de la recherche académique et industrielle, on retrouve aujourd'hui le développement des technologies permettant l'intégration de circuits en bande millimétrique, et notamment de systèmes sur puce (*System on Chip*, SoC). Du point de vue du concepteur, là aussi, le choix de la technologie est motivé par un compromis entre les performances attendues, l'encombrement, le coût, le rendement, la complexité d'utilisation... Le travail mené ici se concentre sur les technologies prévues pour embarquer un *front-end* millimétrique complet.

En ce qui concerne les circuits actifs, les figures de mérite largement admises sont les fréquences  $f_t / f_{max}$ , qui permettent de classer les technologies selon les performances de leurs transistors. Les technologies silicium sont les plus répandues grâce à leur coût faible, et présentent une grande diversité permettant de répondre à un très grand nombre d'applications, dans tous les domaines. En termes de performances en hautes fréquences, les technologies basées sur des composés III-V sont en avance sur celles plus classiquement basées sur le silicium. Cependant, elles présentent des coûts de fabrication bien supérieurs

pour des marchés de volumes importants, et leur utilisation nécessite un effort de conception plus conséquent afin d'intégrer des fonctions digitales. Les technologies 3D hétérogènes permettent de profiter des avantages de deux technologies complémentaires, comme par exemple l'implémentation de la partie active sur une technologie III-V, et de la partie passive sur un interposeur. Cette approche est envisagée en bande D comme le démontre par exemple [6], mais la complexité des interconnexions pousse à privilégier la conception sur une unique technologie quand les performances sont suffisantes, notamment en début de bande millimétrique.

Nous cherchons ici à démontrer une méthode de test utilisable à grande échelle, sur une technologie vouée à un marché de grands volumes. Bon nombre de technologies abordées ne permettent pas d'intégrer un *front-end* complet, soit un SoC, en bande millimétrique. Les technologies nécessitant une plus grande variété des étapes du process sont généralement sensibles à de plus nombreux paramètres, ce qui peut rendre le test plus complexe (notamment dans le cas des technologies 3D hétérogènes). Enfin, il est nécessaire de travailler sur une technologie avec une maturité avancée et une optimisation tournée vers les fréquences élevées, de début de bande millimétrique. L'étude de cas porte ici sur un LNA, et non pas sur un *front-end* complet, mais il est nécessaire de choisir un cadre technologique réaliste.

Ces travaux ont donc été réalisés sur la technologie BiCMOS 55-nm de STMicroelectronics, introduite dans [7]. Cette technologie SiGe HBT présente des  $f_t / f_{max}$  de 325 GHz et 375 GHz. Le BEOL comprend des couches métalliques inférieures fines pour des applications numériques, et plusieurs couches supérieures épaisses optimisées pour la conception de passifs localisés et distribués à haut facteur de qualité, notamment en bande millimétrique.

## B. Mesures en jeu

Les performances des circuits en bande millimétrique doivent être mesurées avec différentes métriques, selon le type de circuit à caractériser. On se focalise ici sur la mesure sous pointes de circuits analogiques en bande millimétrique, tels que le LNA que l'on prend pour cas d'étude. On introduit ci-dessous les différents paramètres qui décrivent les performances RF d'un LNA.

### 1. Paramètres S

Les paramètres S sont indispensables dans l'analyse et la caractérisation des circuits RF et millimétriques. Avec les paramètres S, on considère une mesure de rapports de puissances plus aisée à des fréquences élevées que des mesures directes en tension et courant. Cette mesure s'effectue à l'aide d'un analyseur de réseaux vectoriel (VNA). Ces paramètres S, exprimés sous forme de matrice, représentent le comportement des ondes incidentes et réfléchies d'un circuit présentant un port ou plus. La Figure I.1, issue de [8], illustre un

quadripôle avec ses deux ports, ses ondes incidentes  $a_1$  et  $a_2$  et réfléchies  $b_1$  et  $b_2$ . La matrice  $S$  dépend de la fréquence. Les coefficients sont définis selon l'équation (I.1) :

$$S_{ij} = \frac{b_i}{a_j} \Big|_{a_k = 0 \text{ pour } k \neq j} \quad (I.1)$$

Chaque paramètre donne une information sur le circuit considéré, par exemple un quadripôle.  $S_{11}$  et  $S_{22}$  représentent la qualité de l'adaptation d'impédance respectivement en entrée et en sortie. Ils peuvent être représentés sous forme complexe en représentation polaire sur un abaque de Smith, quand on cherche à adapter l'impédance d'un système. Le paramètre  $|S_{21}|$  est le gain du système actif ou les pertes du système passif, le transfert de puissance du port 1 vers le port 2. Dans un circuit passif, le paramètre  $|S_{21}|$  est identique au paramètre  $|S_{12}|$ , le transfert de puissance étant symétrique. Dans le cas d'un circuit actif, le paramètre  $|S_{12}|$  correspond à l'isolation de l'entrée (conventionnellement le port 1) par rapport à la sortie (le port 2). Ceux-ci sont généralement représentés en décibels (dB).

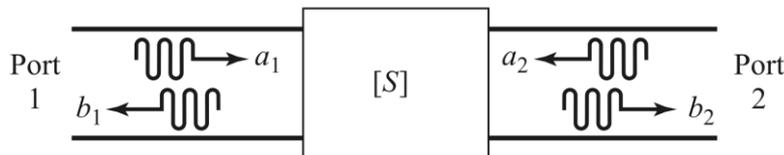


Figure I.1 : Illustration des ondes incidentes et sortantes aux ports d'un quadripôle [8]

## 2. Facteur et figure de bruit

Le facteur de bruit représente la dégradation du rapport signal sur bruit (*Signal-to-Noise Ratio*, SNR) entre l'entrée et la sortie d'un dispositif. Il est nécessaire de le quantifier dans l'étude d'une chaîne de réception RF car c'est un élément limitant la sensibilité du récepteur tout entier. C'est une figure de mérite fondamentale de l'amplificateur faible bruit (LNA), dont le rôle est d'amplifier un signal de puissance généralement faible, sans dégrader significativement son SNR. Le facteur de bruit est défini comme tel :

$$F = \frac{SNR_s}{SNR_e} \quad (I.2)$$

avec  $F$  le facteur de bruit,  $SNR_s$  et  $SNR_e$  les rapports signal sur bruit respectivement en sortie et entrée du quadripôle. La figure de bruit (*Noise Figure* – NF) correspond au facteur de bruit en décibels selon la formule :

$$NF = 10 \log(F) \quad (I.3)$$

La mesure de ce facteur de bruit se fait à l'aide d'une source de bruit et d'un récepteur de bruit calibré, que nous détaillerons en section V.A.

## 3. Puissance

Un circuit actif doit répondre à des contraintes de linéarité en puissance. En effet, le gain d'un amplificateur doit être constant peu importe la puissance injectée en entrée, sur une gamme de puissance cohérente avec l'application. La non-linéarité implique une distorsion du signal amplifié et donc la génération d'harmoniques. Ces phénomènes ont pour effet de dégrader le signal, et de compromettre la démodulation d'un signal reçu. Le LNA étant l'amplificateur en début de chaîne de réception, on doit s'assurer de sa linéarité, bien que ce paramètre ne soit pas prépondérant. Le signal que doit amplifier le LNA provient généralement d'une antenne, sa puissance est donc habituellement très faible. Ainsi, il n'est pas nécessaire que le LNA soit linéaire pour des puissances élevées (comme un amplificateur de puissance servant en émission par exemple), mais il faut s'assurer que le signal ne sera pas altéré dans la plage de puissance attendue en sortie d'antenne. On caractérise donc d'ordinaire le point de compression, et/ou le point d'interception d'ordre 3.

Pour mesurer la compression du gain, on utilise la métrique du point de compression à -1 dB [9] (noté  $CP_{1dB}$ ). Illustré par la Figure I.2, le  $CP_{1dB}$  est le point en puissance d'entrée ( $ICP_{1dB}$ ) ou de sortie ( $OCP_{1dB}$ ) à partir duquel le gain est inférieur de 1 dB par rapport au gain petit signal  $G$ .

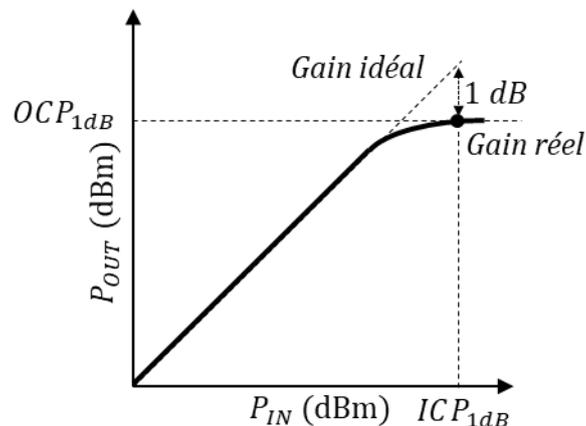


Figure I.2 : Illustration du point de compression à 1 dB ( $CP_{1dB}$ )

Le point de compression est donc en d'autres termes la puissance maximale admise en entrée ou délivrée en sortie de l'amplificateur avant que celui-ci ne devienne non-linéaire.

Le point d'interception d'ordre 3 est une seconde métrique qui donne des informations sur la distorsion d'intermodulation. Il s'agit du point hypothétique (jamais atteint en pratique en raison de la compression du gain qui a lieu avant) auquel la puissance de sortie de la fondamentale est égale à la puissance du produit d'intermodulation d'ordre 3 généré. Il est illustré en Figure I.3, et peut être lu en puissance d'entrée ( $IIP_3$ ) ou en puissance de sortie ( $OIP_3$ ).

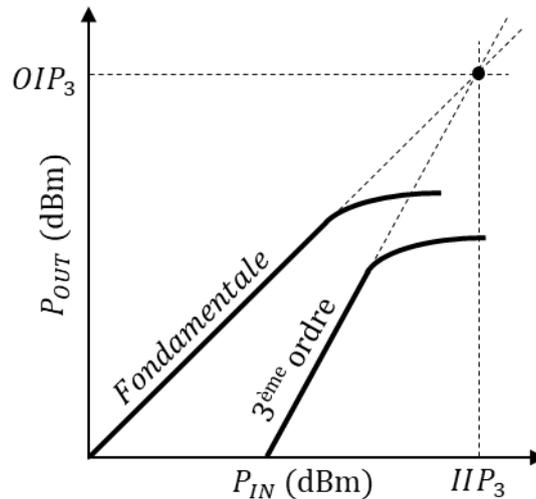


Figure I.3 : Illustration du point d'interception d'ordre 3 ( $IP_3$ )

La mesure du  $CP_{1dB}$  est réalisée avec un banc de caractérisation en puissance dans la bande de fonctionnement du circuit, comprenant un générateur et un puissance-mètre. La mesure du  $IIP_3$  implique l'utilisation d'un second générateur pour l'ajout d'un second ton.

Toutes ces mesures en bande millimétrique nécessitent des bancs de mesure dédiés que nous détaillerons dans la section V.B.1. Ces bancs sont mis en place et utilisés pour la caractérisation de prototypes, dans un objectif de validation expérimentale pour la recherche ou avant la mise en production d'un produit. Néanmoins, la reproduction de ces configurations de caractérisation dans la chaîne de production à l'aide d'équipements de test automatisés (*Automated Test Equipment* – ATE) haut de gamme est une tâche difficile et coûteuse, en particulier pour les applications RF et millimétriques [10]. Il faut alors développer d'autres méthodes de test plus simples et moins coûteuses pour une mise en production.

## C. Tests conventionnels et alternatifs de circuits en bande millimétrique

### 1. Introduction à la démarche de test

Aujourd'hui, le test des circuits intégrés en production suit une approche qui se place au niveau du process. Les défauts rencontrés sur un circuit défaillant peuvent être classés en deux catégories : (i) les défauts liés aux variations paramétriques de process (dénommées variations de process/mismatch selon le niveau considéré), dues à la dispersion statistique du process lui-même, et (ii) les défauts catastrophiques (court-circuit, circuit ouvert, événement ESD...) qui ont un caractère aléatoire imprévisible.

Par rapport aux variations paramétriques de process, des capteurs simples sensibles aux variations paramétriques de process (ces capteurs sont dénommés capteurs *Parametric Test*, ou capteurs PT) sont embarqués sur le wafer (la plaquette) par le fondeur, autour de chaque réticule ou puce (dans les chemins de découpe, aucune surface utile n'est perdue). Chaque réticule possède un jeu complet de capteurs. La dispersion des variations de process

est quantifiée en amont de la commercialisation, et des modèles Monte-Carlo (MC) sont établis pour que ces statistiques puissent être utilisées en simulation. Des critères sont mis en place pour chaque capteur mesuré, ainsi qu'un classement des capteurs par importance. Aussi, seuls les wafers dont les critères de premier ordre sont atteints sont livrés aux clients. Ces derniers peuvent accéder à un rapport de mesure PT ayant servi à qualifier la qualité de la fabrication. Les statistiques issues des mesures PT sur la ligne de production sont également directement intégrées dans le PDK afin que les variations de process puissent être considérées en simulation. Ainsi, lors de la conception d'un circuit, on réalise alors des simulations tenant compte de ces variations, et on s'assure que la dispersion des performances reste acceptable dans des proportions données pour le circuit considéré. En détails, le fondeur teste alors sur chaque wafer un nombre donné de jeux de capteurs à l'aide d'un ATE. Si les signatures de ces capteurs ne dépassent pas les seuils d'alerte établis, le wafer est accepté, sinon un protocole impliquant des mesures de capteurs supplémentaires est activé, jusqu'à statuer sur l'acceptation ou le rejet du wafer.

Cette méthode de test, que l'on peut considérer comme étant au niveau du wafer, ne teste en réalité pas les circuits-sous-test (CST) eux-mêmes, mais suppose seulement que les circuits issus des wafers acceptés sont statistiquement viables du fait de la mesure de capteurs élémentaires représentatifs de la technologie. Cette approche montre des limites lorsque les circuits produits sont particulièrement sensibles aux variations de process, ou répondent à des cahiers des charges déjà exigeants par rapport aux performances de la technologie, et enfin, ne permettent pas la détection de défauts catastrophiques. Enfin, aucun des capteurs ne mesure de comportement aux fréquences millimétriques mais uniquement proche du DC.

La caractérisation des performances de chacun des CST sur un wafer nécessite des mesures spécifiques. Nous verrons dans un état de l'art (Chapitre II) que la littérature propose des méthodes de test au niveau du réticule, mais souvent avec un coût élevé, soit en termes de mesures et d'équipements, soit en termes de temps lors de la conception, soit en termes de surface de silicium consommée si des éléments de *Design-for-Test* sont ajoutés au CST. On donne ici quelques définitions des grandes catégories de méthodes de test connues aujourd'hui.

## 2. Test fonctionnel et test structurel

Le test fonctionnel et le test structurel sont deux grandes familles classiques de test au niveau du réticule, largement utilisées.

Le premier, le test fonctionnel, consiste à réaliser la mesure systématique et directe des métriques indiquées dans les spécifications (telles le Gain, la Figure de Bruit...) sur chaque CST. Un banc de mesure doit être installé et maintenu à demeure pour réaliser à la chaîne les mesures RF nécessaires. De plus, des méthodes de calibrage régulier doivent être employées, et des « consommables » comme les pointes RF très coûteuses en bande millimétrique

doivent être changés fréquemment. Il est donc tout à fait inenvisageable de mettre en place cette méthode de test pour une production à grand volume.

Le test structurel consiste à détecter des défauts subis par le circuit, en se basant sur un modèle de l'impact de ces défauts sur les performances. Il s'agit alors de prévoir des vecteurs de test en amont, des configurations et/ou stimuli du circuit dont on sait qu'ils permettent de relever certains défauts catastrophiques attendus. Cette méthode est très efficace pour le test de circuits logiques, dont le nombre d'états du circuit est fini, et où le circuit est généralement simulable sur un grand nombre d'instances pour un coût acceptable en temps et en puissance de calcul. Ainsi, le développement de standards d'erreur est possible. Dans le cas des circuits analogiques, comme le discute [11], le test structurel est plus complexe à appliquer car le développement de modèles de faute basés sur des simulations est plus coûteux, et moins accepté par l'industrie en raison de la complexité des modèles à développer.

Ainsi diverses solutions ont été développées dans la littérature et permettent de réduire la complexité du test, comme les test et auto-test intégrés.

### 3. Test intégré, auto-test intégré RF et millimétrique

L'auto-test intégré (*Built-In Self-Test* – BIST) consiste à intégrer des structures de test directement sur le CST de manière à ce que ce dernier puisse être testé sans équipement extérieur (ATE analogique, RF et/ou millimétrique). Le test est piloté par un ATE numérique à bas coût qui déclenche (numériquement) une procédure de test intégré au circuit et récupère un résultat binaire d'acceptation ou de refus. Dans le domaine de la conception de circuits à signaux mixtes, cette solution a été appliquée entre autres dans [12,13] pour des convertisseurs analogique-numérique dans le domaine de l'audio. La procédure de test demande alors l'intégration d'instruments de test directement sur le wafer, au sein du CST. Lorsque le test est réalisé à l'aide d'équipements de test intégrés, mais qu'un ATE analogique extérieur est nécessaire pour la lecture des signatures des capteurs, on parle de test intégré, et non d'auto-test.

Le test intégré montre cependant un certain nombre de limitations, principalement pour les circuits RF et en bande millimétrique. La principale limitation est le besoin de co-conception important induit par la connexion d'un capteur au CST lorsqu'il fonctionne en bande millimétrique. La circuiterie de test sur le circuit RF peut entraîner des pertes, désadaptation, non-linéarité, oscillations parasites qu'il est parfois difficile d'éliminer, voire parfois même difficile de simuler. Les méthodes de test intégré comportent toutes l'ajout de capteurs à l'intérieur du CST. Les méthodes sont généralement intrusives, avec l'ajout de détecteurs de puissance RF ou des appareils de mesure (tout ou partie d'un VNA, d'un analyseur de spectre...), l'utilisation de test basé sur l'oscillation (OBT)... Elles peuvent cependant aussi être non-intrusives avec par exemple de capteurs thermiques intégrés avec

le CST mais isolés électriquement de ce dernier. Nous détaillerons ces solutions dans un état de l'art, en section II.A.2.

#### 4. Test intégré alternatif et test intégré alternatif non-intrusif

Le test intégré de circuits analogiques nécessite la caractérisation directe ou indirecte des performances du CST, qui reste coûteuse même lorsque les performances sont mesurées de manières détournées. Le test alternatif, proposé dans [14], consiste non pas à mesurer des performances de manière directe ou indirecte, mais plutôt à mesurer des signatures corrélées à ces performances. Il faut alors mesurer des grandeurs qui ne sont pas directement celles des spécifications, mais qui y sont corrélées, et qui réduisent la complexité de la mesure. Le test alternatif est donc basé sur l'apprentissage automatique, avec l'entraînement d'une fonction de régression reliant les performances à tester avec les signatures des capteurs de variation de process, pour un test au niveau du réticule.

Le test intégré non-intrusif alternatif, introduit dans [15], reprend le concept du test alternatif mais s'attelle à proposer des capteurs électriquement isolés du CST, dont les signatures sont corrélées aux performances. Ceci limite ainsi l'effort de co-conception, puisque les capteurs ne sont plus connectés au circuit et n'impactent plus les performances. La méthode s'appuie sur le fait que des capteurs situés à proximité immédiate du CST subiront les mêmes variations de process que le CST lui-même. Ainsi, si la signature du capteur est corrélée aux performances du CST, une variation mesurée de la signature indiquera une variation de la performance. Les capteurs de variation de process sont conçus, sélectionnés et placés durant la conception du circuit sous-test. La littérature propose des méthodes pour choisir efficacement ces capteurs en fonction de la sensibilité du CST aux différents paramètres de process. Il revient enfin au concepteur d'optimiser le placement des capteurs pour assurer leur proximité avec le circuit et minimiser leur encombrement. Ces capteurs peuvent être des composants identiques à ceux présents dans le circuit, comme des composants conçus indépendamment du circuit, dans le but de révéler un ou des paramètres concernés par les variations de process.

L'utilisation de capteurs non-intrusifs pour le test alternatif devient alors très intéressante pour le test de circuits RF ou en bande millimétrique, pour lesquels le fait de charger électriquement un circuit par un capteur entraîne une hausse importante de la complexité et potentiellement une diminution des performances. Ainsi, les auteurs de [16] étendent la méthode de test non-intrusif aux circuits RF avec succès.

Le test alternatif non-intrusif est basé sur l'apprentissage automatique. La section I.C.5 décrit la méthodologie de ce type de test.

#### 5. Méthodologie générale pour le test basé sur l'apprentissage automatique

Les méthodes de tests alternatifs se basent sur l'apprentissage automatique pour déterminer la relation entre un espace d'entrée, les signatures des capteurs de variation de

process, et une cible, les performances du CST. L'apprentissage automatique ou apprentissage statistique permet de déterminer une relation généralisée (dans une certaine mesure) entre des données d'entrée et des données cibles, il repose sur des données préexistantes, des observations, alors que cette relation est considérée comme trop complexe pour être explicitée avec une formulation analytique.

La méthode de test se déroule en deux temps, comme illustré dans la Figure I.4. Elle commence par une phase d'entraînement. Pour construire la fonction de régression, il est inenvisageable aujourd'hui d'utiliser une méthode de modélisation analytique qui donnerait une expression reliant directement les signatures des capteurs de variation de process et les performances du CST. On pourrait utiliser une méthode d'interpolation, mais elle montre ses limites lorsque l'on ne connaît pas l'ordre de la fonction de régression, ce qui est notre cas. On préfère alors utiliser une méthode d'apprentissage automatique. Pour l'étape d'entraînement, la fonction de régression est entraînée à partir d'un ensemble d'entraînement constitué de la mesure des performances à tester (données cibles) et des mesures des signatures correspondantes sur un certain nombre de réticules. Seul cet ensemble d'entraînement de taille réduite nécessite la mesure directe des performances du CST, sur l'ensemble des réticules sélectionnés, avec les appareils de mesure adaptés. On mesure également les signatures des capteurs correspondants. L'entraînement consiste à trouver la fonction qui minimise l'erreur de prédiction des performances. Une fois que cette fonction de régression est déterminée et évaluée sur un ensemble de validation, on peut alors démarrer la seconde phase.

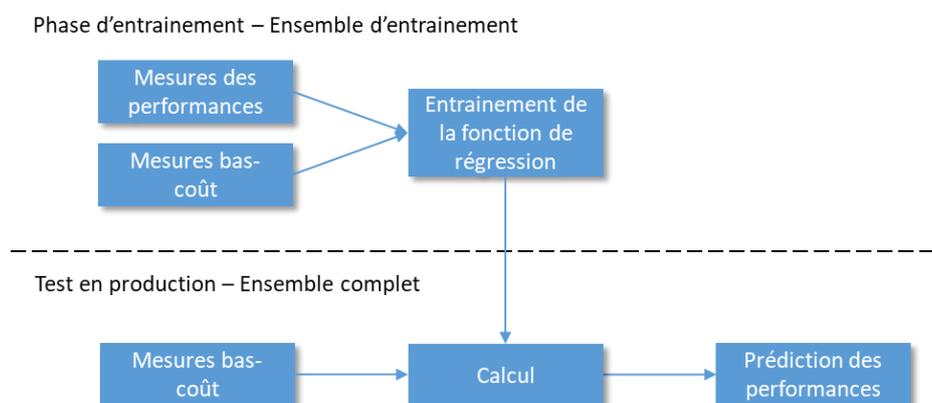


Figure I.4 : Principe du test intégré indirect basé sur l'apprentissage automatique

Lors de la phase de test en production, dont la démarche est illustrée dans la Figure I.4, la fonction de régression est désormais connue, et seule la mesure des signatures bas coût est nécessaire. On prédit alors les performances du CST sur ses figures de mérite propres. La fonction de régression est valable tant que le process n'est pas drastiquement modifié, et que les conditions de mesure des signatures sont stables. C'est généralement ce que l'on peut observer sur une technologie mature, avec des équipements de test industriels à demeure sur la chaîne de production. Cette méthode a été appliquée avec succès dans [17] et [18]

notamment. Les enjeux portent alors sur la complexité des mesures restantes, à savoir la mesure des capteurs de variation.

#### D. Calibrage pour la compensation des variations de process

Une fois que la dispersion des performances due aux variations de process peut être prédite à partir de mesures simples, suffisamment de paramètres sont connus pour envisager une correction des variations de performance. En effet, il est possible d'anticiper les variations de performances du CST, et donc d'inclure, le cas échéant, des éléments accordables pour corriger ces performances. Il faut alors bien considérer les inconvénients, notamment les possibles pertes additionnelles induites par ces éléments variables et le besoin d'alimentations supplémentaires.

Il a été montré que la méthode du test intégré non-intrusif pouvait être complétée pour prédire la configuration (tension, courant) des éléments variables de manière à compenser des performances. Cette méthode est dénommée calibrage « *one-shot* ». La prédiction est toujours effectuée sur la base des mêmes signatures de capteurs non-intrusifs mesurés à bas coût, ce qui n'entraîne pas de coût de surface supplémentaire. Ainsi, il est possible de prédire les variations de performances, mais également de les compenser, permettant de gagner en rendement de production et/ou en qualité des performances des CST.

Nous dédions la section II.B de l'état de l'art aux méthodes de calibrage et nous tenterons d'appliquer le calibrage *one-shot* à notre cas d'étude.

#### E. Conclusion

Ce chapitre introductif nous a permis de relever les enjeux principaux auxquels la conception et donc le test à l'échelle industrielle doivent répondre aujourd'hui. Les applications requérant des circuits fonctionnant à des fréquences toujours plus élevées, le besoin de test croît, et il devient parallèlement plus coûteux. Les méthodes de test alternatif semblent être des solutions intéressantes aujourd'hui, mais comportent encore des inconvénients marqués pour les CST signaux-mixtes, RF et millimétriques. Le travail de simplification et de réduction des coûts du test doit encore être renforcé pour être finalement adopté par les fondeurs pour la production en grand volume.

Cette thèse se focalise sur les applications en bande millimétrique. Par définition, les méthodes de test alternatif non-intrusif semblent les plus à même de permettre un test à bas coût sans dégrader les performances des circuits sous-test, mais nous détaillerons plus en profondeur les problématiques que soulèvent ces méthodes. Dans un état de l'art, nous relèverons les limitations des méthodes permettant éventuellement le test de circuits intégrés en bande millimétrique, et de motiver le choix des pistes que nous emprunterons dans ces travaux.

## Chapitre II.

### ÉTAT DE L'ART DES METHODES DE TEST ET DE CALIBRAGE DE CIRCUITS INTEGRES EN BANDE RF/MILLIMETRIQUE

Dans un chapitre introductif, nous avons pu montrer en quoi le développement de méthodes de test à bas coût est un point d'appui face à l'accroissement des fréquences de travail vers la bande millimétrique. Cet état de l'art détaille les différentes méthodes que la littérature propose pour répondre à cet enjeu. Dans une première partie, nous passons en revue les différentes méthodes de test intégré, alternatif ou non, et intrusif et non-intrusif, ainsi que leurs avantages et limitations. Dans une seconde partie, nous discutons des travaux concernant le calibrage des circuits intégrés face aux variations de process.

#### A. Test intégré

Le choix de la méthode de test intégré dépend en premier lieu du type de circuit à tester. On se concentre ici sur le test de circuits RF et millimétriques intégrés sur des technologies basées sur le silicium, ayant généralement un coût plus faible et un volume de production plus important que les autres technologies intégrées. La réduction de la complexité du test est d'autant plus intéressante sur des circuits produits en grand volume.

Tout d'abord, nous présentons les différents critères permettant la comparaison des différentes méthodes de test. Nous abordons ensuite les exemples de tests intégrés classiques, puis nous explorons enfin les méthodes de tests intégrés non-intrusifs.

#### 1. Comparaison des méthodes de test et figures de mérite

Pour comparer les différentes méthodes décrites par la suite, nous avons besoin de définir des critères de performance. L'article [19] relève les neuf principaux critères d'évaluation d'une méthode de test : (1) le degré d'automatisation, (2) la généricité, (3) la portabilité d'une technologie sur une autre, (4) l'impact sur les performances du CST, (5)

l'encombrement supplémentaire dû à la méthode de test, (6) le nombre de broches dédiées à la méthode de test, (7) les modifications que la méthode implique sur la conception du circuit, (8) la réduction de la complexité du test au niveau de la mesure, et finalement (9) la qualité de la méthode de test, par rapport à la méthode standard. Nous articulerons les différentes méthodes de test issues de la littérature autour de ces critères pour en comparer les différents avantages et inconvénients.

Pour quantifier l'efficacité des méthodes de test, il existe des figures de mérite. Lors de la décision d'acceptation ou de rejet d'un CST, le test pourra être défaillant dans deux cas : (i) le faux-positif, qui indique une décision d'acceptation sur un circuit effectivement défaillant, (ii) le faux-négatif, qui indique une décision de rejet sur un circuit effectivement fonctionnel. L'article [20] discute des métriques basées sur ces deux types d'échec, et dénomme TEL (*Test Escape Level*, en ppm) la proportion de faux-négatifs parmi l'ensemble de la population de circuits testés, et à l'inverse, la proportion de faux-positifs est dénommée TYL (*Test-related Yield-Loss*, en ppm), qui correspond à la baisse de rendement causée par la méthode de test. Les auteurs de [21] proposent également une définition du coût du test, basé sur l'affirmation suivante : "Le coût de l'acceptation d'un circuit défectueux est dix fois supérieur au coût du rejet d'un circuit fonctionnel ». Ainsi, en termes de coût du test, ils définissent la figure de mérite suivante (équation (II.1)), avec le TEL et le TYL en ppm:

$$FOM_{\text{coût}} = TEL + \frac{TYL}{10} \quad (II.1)$$

Plus cette valeur est petite, plus le test est performant. Cependant, elle doit toujours être mise en regard de la proportion de circuits défectueux. Ces critères de performance maintenant explicités, nous pouvons dresser un état de l'art du test intégré.

## 2. Test et auto-test intégré

Le test intégré se base sur la mesure d'un ou plusieurs capteurs connectés au CST qui donnent une indication sur l'état de fonctionnement de ce circuit, sans forcément passer par un test fonctionnel RF. C'est une solution efficace afin de réduire drastiquement le coût du test si le coût du silicium ajouté est contenu.

Selon le type de CST, les performances à tester sont différentes et les capteurs employés le sont alors également. Nous passerons en revue les différents types de capteurs que la littérature propose. Chaque méthode est généralement développée pour optimiser un ou plusieurs critères en particulier, mais peut en contrepartie négliger certains aspects. Nous essayerons de discuter les points forts et les points faibles de chaque méthode, afin de saisir les enjeux actuels du développement de méthodes de test novatrices.

### **Détecteur de courant, détecteur d'enveloppe**

Pour tester simplement le bon fonctionnement d'un circuit RF et signaux mixtes, une première approche consiste à mesurer le courant qu'il consomme. Cette technique est

empruntée au test structurel de circuits numériques, sous le nom de test  $I_{DDQ}$ , elle est proposée précocement dès les années 1970, avec une large diffusion dans les années 1990 comme le montrent les exemples dans [22, 23]. Cette méthode est présentée comme complémentaire au test mis en œuvre sur ces circuits numériques.

Dès la fin des années 1990, la littérature fait état de l'utilisation de telles méthodes appliquées au test devenu critique des circuits intégrés analogiques RF. Des capteurs ou détecteurs de courant sont alors conçus spécifiquement pour monitorer la consommation de circuits dont l'alimentation n'est pas accessible directement. Les spécifications principales sont alors la surface consommée, l'impact sur le circuit RF qu'ils monitorent, et la résolution atteinte. Les articles [24 - 26] en font l'exemple. L'article [24] montre un capteur de courant prévu pour un LNA intégré en technologie CMOS 0,25  $\mu\text{m}$  d'IBM. Selon les auteurs, le convertisseur présente une surface très faible de l'ordre de 0,1% de la surface totale du CST, et surtout une bande passante de 3,7 GHz, évitant toute dégradation sur le chemin RF pour les applications UHF. En amont de l'utilisation de ce capteur, on prévoit de fixer soit par simulation, soit par mesure, des valeurs seuil révélant le bon fonctionnement du CST. Les auteurs indiquent également que le capteur peut être désactivé pour réduire sa consommation et l'impact sur le CST, hors phase de test. Les articles [24 - 26] donnent des pistes sur la conception des capteurs et l'intégration avec un circuit RF, mais ne détaillent pas leurs performances lors du test en production.

Leur utilisation est combinée généralement à des détecteurs d'enveloppe ou détecteurs de puissance. Ces derniers permettent de relever à travers une tension continue la valeur de la puissance d'un signal RF. Il est ainsi plus aisé de mesurer cette puissance sur une broche DC, voire, si disponible, via un convertisseur analogique-numérique embarqué. L'article [27] propose un cas d'étude sur un LNA 5 GHz implémenté en technologie 0,18  $\mu\text{m}$ . Ce LNA comporte un détecteur de courant et deux détecteurs de puissance, dont les schémas électriques sont donnés en Figure II.1 respectivement (a) et (b).

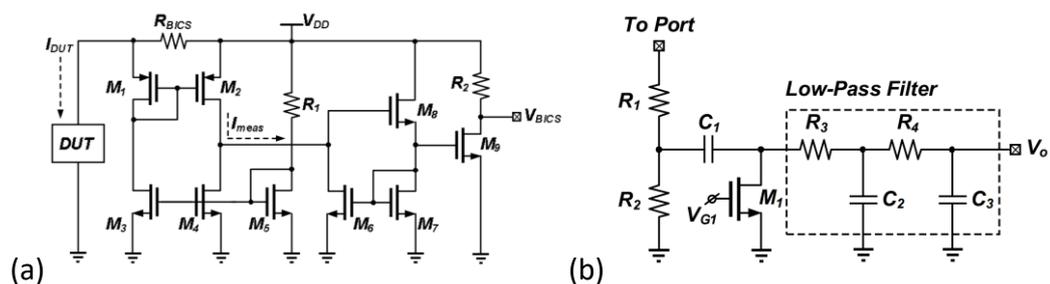


Figure II.1 : Schéma électrique du détecteur de courant (a) et du détecteur de puissance (b), d'après [27]

La conception des deux capteurs a pour objectif de ne pas dégrader les performances RF. Ainsi, le détecteur de courant est conçu avec une résistance série la plus faible possible (qui n'est pas indiquée), et suit une architecture d'amplificateur de courant basée sur des transistors MOS. Ce capteur de courant consomme 0,9 mW. Le courant consommé par le LNA

est alors représenté par une tension continue. Le détecteur a été utilisé pour prédire la consommation du LNA et indique un courant de 13,34 mA, ce qui présente une erreur relative de 2,6% par rapport au courant mesuré par un appareil externe.

Le détecteur de puissance, ou plutôt le détecteur d'amplitude, est conçu pour récupérer une partie de la puissance à travers un pont diviseur venant charger le chemin RF. Il consomme également 0,9 mW de puissance continue lorsqu'il est activé. Le signal est alors redressé et filtré à travers un filtre RC second ordre. La sortie est donc une tension continue proportionnelle à la puissance du signal RF (en dB, avec l'utilisation d'un amplificateur logarithmique), avec une dynamique de -15 à 15 dBm, représentée par une tension continue de 0,6 à 0,75 V. Pour caractériser le gain et le point de compression à 1 dB en entrée  $ICP1dB$  du LNA, les auteurs ont placé deux capteurs de puissance en entrée et en sortie du LNA. En injectant de la puissance RF en entrée du LNA via un dispositif externe, il est donc possible de mesurer simultanément la puissance entrante et sortante du LNA via les détecteurs. On peut alors en déduire le gain  $|S_{21}|$ , puis à l'aide d'un balayage en puissance, en déduire la valeur du  $ICP1dB$ . Le gain estimé est de 16 dB, pour un gain mesuré de 16,7dB, et le  $ICP1dB$  est estimé à -10 dBm pour une valeur réelle de -7 dBm.

L'impact de ces détecteurs sur le circuit est raisonnable : il n'y a aucune dégradation en gain entre le mode en test et le mode en fonctionnement normal, et une très légère dégradation du  $NF$ , de 3,52 à 3,56 dB. On note cependant un surplus de surface de 10%. Enfin, les auteurs avertissent sur le fait que les détecteurs sont susceptibles de subir une variation de performance estimée à 1 dB à cause des variations de process subies par les résistances intégrées, ce qui rend le test en production difficile à mettre en œuvre pour les variations paramétriques. Aucune comparaison n'est donnée avec un LNA qui n'aurait pas été chargé par ces détecteurs.

L'article [28] mise sur l'utilisation d'un détecteur d'enveloppe haute définition pour relever les différentes métriques d'un LNA à 60 GHz, en complément d'un détecteur de courant. Il n'est pas proposé ici de conclusion sur l'utilisation en test avec variations de process. Cependant, les auteurs montrent que le détecteur présente une grande impédance d'entrée, de l'ordre de 800  $\Omega$ , qui n'impacte pas le gain et le  $NF$  du LNA. Avec les données DC obtenues, les gain (10,14 dB),  $ICP1dB$  et  $IIP3$  sont prédits avec une erreur (relative) respectivement de +0,3 dB (+7%), +0,4 dB (+9%) et +0,4 dB (+10%).

Dans d'autres travaux, les auteurs de [29] proposent d'utiliser deux détecteurs d'enveloppe pour tester un *front-end* 4 canaux 28 GHz dédié à la formation de faisceau. La présence de défauts dans l'un des transmetteurs entraîne un déséquilibre d'amplitude et/ou de phase entre les différentes sorties, rendant impossible la formation du faisceau souhaité. En plaçant les détecteurs entre deux canaux, il est donc possible d'obtenir, en plus des amplitudes, de précieuses informations sur le déphasage entre les sorties.

Dans tous ces exemples, on peut noter qu'il est toujours nécessaire d'injecter de la puissance RF en entrée du CST, ce qui implique le posé systématique d'une sonde RF en entrée

du CST et l'utilisation d'un générateur de puissance RF, et donc ne réduit pas fortement la complexité du test.

### ***Architecture de bouclage***

Une seconde méthode de test intégré qui résout ce problème est la méthode de test par bouclage. Dans la littérature, comme dans [30] ou [31], cette méthode est dédiée au test de *front-end* RF complet, la méthode du bouclage (ou « *loopback* ») consiste à connecter lors d'une phase de test la sortie du circuit émetteur à l'entrée du circuit récepteur. La transmission d'un message à travers le *front-end* permet donc de vérifier si l'émetteur et le récepteur ont permis de conserver son intégrité, et donc si le circuit est conforme aux spécifications. Les auteurs de [30] et [32] proposent d'intégrer un *switch* (ou commutateur commandé) intégré pour sélectionner le mode test ou le mode en fonctionnement directement dans le CST, afin de rendre le test totalement intégré. Le *switch* comporte un atténuateur pour que le niveau à la sortie de l'amplificateur de puissance soit ramené à un niveau cohérent pour l'entrée d'un amplificateur faible bruit. Ce *switch* avec atténuateur peut être une source de réduction des performances du CST, notamment lorsque le front-end fonctionne en bande millimétrique.

Cette méthode permet un test très peu coûteux, car l'ATE utilisé est entièrement numérique, et aucune mesure analogique n'est nécessaire. Cependant, la méthode ne peut être appliquée qu'à un type de circuit, un *front-end* complet, elle n'est pas générique. Cela ne l'empêche pas d'être très répandue car la production de *front-ends* complet est effectivement très courante, et leur test fonctionnel est complexe. Par ailleurs, l'effort de co-conception est relativement faible car le *switch* de bouclage n'est qu'une petite partie de l'ensemble du circuit, qui est nécessairement un *front-end* complet.

### ***Test basé sur l'oscillation***

Une méthode introduite en 1996 dans [33] propose l'ajout d'une boucle de contre-réaction sur le circuit à tester, rendant le système stable lorsqu'il est connecté. Cette méthode est nommée « test basé sur l'oscillation » ou *Oscillation-Based Test*, abrégé OBT. La fréquence générée va ainsi varier en fonction des défauts du CST, et en cas de défauts catastrophiques, les conditions peuvent ne pas être réunies pour produire l'oscillation.

La Figure II.2 illustre ce principe. Sur l'entrée et la sortie, on vient charger le CST par une boucle de contre réaction. Tout l'intérêt de la méthode est de générer une oscillation à une fréquence bien inférieure à la fréquence de travail d'un test fonctionnel, avec des paramètres de l'oscillation qui varient avec les variations de process.

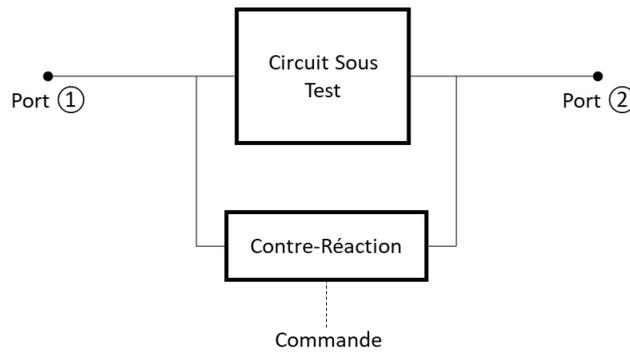


Figure II.2 : Principe du test basé sur l'oscillation d'un circuit RF

L'ajout de *switchs* permet d'isoler la boucle de contre-réaction du CST, si l'oscillation générée peut impacter le fonctionnement de ce dernier. Les *switchs* permettent ainsi soit de connecter directement les ports au circuit sous-test pour une utilisation hors test, soit de connecter la contre-réaction au circuit en phase de test. Il est également possible de prévoir de commander la contre-réaction pour changer la sensibilité de la circuiterie OBST à différents paramètres, comme dans [34].

Les articles [35,36] utilisent cette méthode pour le test de LNA à 2,4 GHz. Le premier arrive à fixer un seuil sur les données d'amplitude et de fréquence recueillies sur la puissance et la fréquence du signal généré par la circuiterie OBST, et montre un test efficace jusqu'à 99% de détection sur les défauts catastrophiques (court-circuit et circuit ouvert). Le second article approfondit la méthode, et donne des indications sur la génération des modèles qui lient les performances aux mesures du circuit OBST, et déduit donc le choix des seuils à utiliser pour la décision finale. Il ajoute une étude sur l'influence des variations PVT (Process, Voltage, Température), et introduit également une perspective OBIST (*Oscillation-based built-in self-testing*), ajoutant un détecteur de puissance pour détecter l'oscillation sans passer par un appareil de mesure externe. Les articles [37 - 39] donnent d'autres exemples à des fréquences comparables.

À plus haute fréquence, en bande millimétrique, les auteurs de [40] proposent de tester un déphaseur à 60 GHz intégré en STM BiCMOS 55 nm avec un circuit OBST suivant la topologie de la partie active d'un oscillateur. En effet, le CST étant passif, l'oscillation n'a pas lieu sans gain dans le circuit OBST, et les auteurs conçoivent alors un oscillateur à une fréquence entre 14 et 17 GHz. Ainsi, les auteurs obtiennent la relation entre la fréquence et l'amplitude de l'oscillation et le déphasage attendu à 60 GHz. Seule la mesure de puissance et de fréquence d'un signal est donc nécessaire, simplifiant alors un test fonctionnel utilisant une mesure de déphasage plus complexe. Cette étude ne propose pas d'estimation de l'efficacité du circuit de test proposé lors d'un test en production.

La méthode OBST est intéressante pour le test d'un circuit simple, mais entraîne un fort coût de conception. Dans le dernier article, la tâche consiste en la conception additionnelle d'un oscillateur intégré entre 14 et 17 GHz, adapté au résonateur déjà en place, constitué par un coupleur intégré. Ceci, qui plus est à ces fréquences, fait déjà l'objet de contraintes

énormes. L'utilisation de *switchs* rend son utilisation complexe et/ou dégrade les performances lorsque les fréquences de travail augmentent. Enfin, l'objectif étant le test face aux variations de process, la méthode OBT présente un inconvénient majeur : la circuiterie subit les mêmes variations paramétriques de process que le CST, et une variabilité des résultats est alors observée. Toutefois, avec cette méthode, on s'affranchit de l'utilisation de sondes RF et d'appareils nécessaires au test fonctionnel.

### ***Appareils de mesure intégrés***

On peut aisément considérer que le test fonctionnel demeure la méthode de test la plus précise parmi toutes les méthodes de test disponibles actuellement, et le restera probablement dans le futur. Or, comme cela a été discuté plus haut, le test fonctionnel reste inapplicable à grande échelle pour des circuits fonctionnant en bande millimétrique. Une solution proposée dans la littérature consiste à embarquer tout ou une partie du banc de mesure sur la puce, à proximité du CST, pour profiter de la fiabilité de la méthode, tout en réduisant son coût.

Nous avons abordé l'intégration de détecteurs de puissance RF, ceux-ci imposaient l'utilisation de sources RF et millimétriques externes. Pour éviter ceci, les auteurs des articles [41, 42] proposent conjointement l'intégration d'un générateur de puissance RF in-situ pour exciter une chaîne de réception intégrée. Celui-ci est composé d'un oscillateur contrôlé en tension (*Voltage Controlled Oscillator - VCO*) permettant d'atteindre une bande de 17,5 à 23 GHz, et d'un atténuateur intégré faisant varier la puissance injectée de -45,5 à -28 dBm. Associé à un détecteur de puissance dans le récepteur, il est possible de mesurer à terme le gain et le point de compression du récepteur. La connexion entre le générateur et le récepteur se fait par voie externe à la puce, ce qui évite l'utilisation complexe de *switchs*, mais nécessite un posé de pointes RF, un *wire-bonding*, ou la mise en boîtier pour réaliser le test. Il est à noter que ces trois possibilités réduisent à chaque fois le coût de la procédure de test, car il est plus simple d'utiliser un circuit en boîtier que sa version mesurée sous pointes, mais le rejet d'un circuit lors du test aura un coût inversement proportionnel. S'il est déjà mis en boîtier lors du rejet, ces étapes auront été inutiles. Le test n'a pas été mis en œuvre, et les statistiques de performances ne sont pas disponibles.

Dans l'article [43], une source de bruit est intégrée en technologie STM BiCMOS 55-nm fonctionnant dans la bande 130-260 GHz. Celle-ci remplace le générateur de bruit normalement présent sur un banc de mesure de bruit. Il faut alors seulement connecter un récepteur de bruit externe pour relever le NF. Les mêmes auteurs proposent un mélangeur intégré sur la même technologie dans [44], ce qui remplace une partie du banc en réception, avant le *Noise Figure Meter (NFM)*, cela réduit grandement les coûts de la mesure. De plus, les articles [45, 46] proposent des tuners d'impédance intégrés, à ajouter après la source, permettant de faire varier l'impédance d'entrée du CST vue par la source. Cela autorise de réaliser des mesures source-pull, qui permettent de parcourir l'abaque de Smith et de trouver l'optimum de bruit (impédance où le NF sera minimal) d'un CST. Cette fonction est

particulièrement utile pour la caractérisation de nouveaux transistors ou diodes fonctionnant à très hautes fréquences. Par contre, aucune étude n'est réalisée en termes d'efficacité du test, car il semble que toutes ces briques n'ont pas été assemblées sur un même circuit, et les infrastructures de mesure de bruit en bande D ne sont aujourd'hui pas disponibles pour la réalisation d'études statistiques.

La mesure de paramètres S via un VNA intégré est proposée dans des domaines éloignés du test, mais ces VNA intégrés sont en cours de développement également. L'article [47] montre un VNA intégré en technologie CMOS 65 nm travaillant à la fréquence de 40 GHz. Ce VNA est prévu pour la détection de cellules cancéreuses, qui modifient l'environnement électrique d'une zone de détection, soit une ligne coplanaire modifiée ici considérée comme le CST. Il est assez facile de transférer ces travaux vers un objectif de test, avec de très légères adaptations du schéma électrique (comme l'ajout d'un oscillateur commandé pour couvrir une bande donnée). Ces travaux montrent que le test de circuits passifs serait possible avec un VNA embarqué, mais l'axe de recherche ici n'est pas du tout le même, il n'y a donc pas de démonstration sur ce sujet. Dans la même optique, un capteur fonctionnant entre 207 et 257 GHz axé sur la caractérisation de diélectrique est présenté dans [48]. Ce circuit ne peut pas être utilisé directement dans une méthode de test, mais il est possible de s'en inspirer pour le test intégré de circuits passifs particulièrement sensibles. Un *switch Thru-Load* fonctionnant sur une bande de 73 à 179 GHz pouvant servir à l'intégration de VNA est présenté dans [49].

Ces méthodes de caractérisation in-situ constituent des pistes intéressantes pour le développement de test intégré, mais on constate aujourd'hui que l'effort de conception qu'elles nécessitent est encore trop grand, et que la surface mise en jeu pour le test est aujourd'hui rédhibitoire.

### ***Test intégré alternatif***

Une difficulté inhérente aux méthodes de test intégré est de trouver la relation la plus précise possible entre la signature des capteurs intégrés, quels qu'ils soient, et les performances à tester. L'information obtenue doit à terme être une décision d'acceptation ou de refus (« pass/fail ») du CST, mais on peut également obtenir des informations plus complexes, allant jusqu'à la prédiction de la valeur précise des performances à tester. Dans les méthodes proposées jusqu'ici, ces relations étaient déterminées soit analytiquement, soit par simulation. Le test intégré alternatif, développé à partir de la fin des années 1990 par plusieurs auteurs, prévoit de déterminer cette relation à partir d'outils statistiques basés sur des données expérimentales. Ainsi, l'apprentissage automatique est basé dans un premier temps sur des estimateurs statistiques (comme dans [14, 50 - 52] par les équipes de Y. Makris et A. Chatterjee) puis s'appuie progressivement sur des réseaux de neurones, comme dans [53]. L'utilisation des signatures générées par des instruments intégrés (détecteurs de crête, détecteurs d'enveloppe, détecteurs de courant, points de fonctionnement DC etc.) est

largement simplifiée, et une notion de sélection des paramètres impactant les performances apparaît.

Or, les capteurs restent intrusifs et nécessitent toujours une co-conception, avec un risque de baisse des performances des circuits fonctionnant en bande millimétrique. Le test alternatif offre cependant la possibilité de déterminer la relation entre les performances à tester et les signatures des capteurs, non plus seulement analytiquement, ou par simulation, mais également statistiquement, à partir de données statistiques empiriques, a posteriori. Ainsi des méthodes de tests alternatifs non-intrusifs ont vu le jour, tirant parti de la méthode pour éloigner les capteurs de la grandeur qu'ils ont à monitorer, et les rendre à terme non-intrusifs. Ces techniques sont décrites dans la section II.A.3.

### 3. Test intégré alternatif non-intrusif

#### ***Principe***

Les méthodes de test intégré en bande RF et millimétrique proposées ou envisageables aujourd'hui dans la littérature entraînent un coût important (soit au niveau de la conception, soit au niveau de la surface consommée) ou présentent des performances encore limitées et sont peu fiables. Notamment, pour réduire le coût de conception et s'assurer une forte réduction de la complexité du test, des méthodes de test non-intrusives ont vu le jour. Elles présentent la particularité, comme leur nom l'indique, de ne pas impliquer de dispositif directement connecté au circuit, et donc de ne pas perturber le fonctionnement RF ni en phase de fonctionnement, ni même en phase de test. Cette méthode a tout d'abord été introduite par [15] sur un convertisseur analogique numérique, en utilisant des capteurs de variation de process situés autour du CST. Ces capteurs non-intrusifs, des composants issus du CST, sont mesurés par des blocs de test intégrés et tous les capteurs sont accessibles à travers un multiplexeur. La décision d'acceptation/rejet est prise directement dans la puce, par un circuit logique dédié, et l'information est transmise numériquement à un ATE externe. Ainsi les auteurs de [15] introduisent une méthode entièrement automatisée, à partir de capteurs non-intrusifs, ce qui annule le besoin de co-conception.

Le point de vue du test non-intrusif est appliqué au test de circuits RF dans [54], ce qui correspond l'introduction du test alternatif non-intrusif pour les circuits analogiques RF. Comme discuté en début de ce chapitre, l'enjeu principal du test est de trouver la fonction qui donne une prédiction des performances du CST en fonction de signatures issues de capteurs à bas coût. Expliqué dans [54], cette fonction est entraînée par apprentissage automatique à partir de données statistiques recueillies lors d'une phase de mise en place, et non à partir d'un modèle analytique ou empirique. En effet, les capteurs utilisés sont assez variables dans leurs types, et sont multiples pour une unique prédiction. Les signatures relevées sont par suite de natures très diverses. Les technologies d'apprentissage automatiques permettent justement d'entraîner un modèle de régression, un réseau de neurones dans notre cas. Une fois la fonction de régression entraînée, on ne mesure plus que les capteurs non-intrusifs. Lors

de la phase en production, on aura besoin de bancs de mesure différents selon les capteurs utilisés, mais ils seront nécessairement moins coûteux qu'un test fonctionnel.

### **Exemples de mises en œuvre**

L'enjeu de conception dans les méthodes de test non-intrusif concerne souvent le choix des capteurs pertinents, c'est-à-dire qui permettront la prédiction la plus précise des performances. Les auteurs de [54] ajoutent à proximité immédiate du CST des capteurs variés, la plupart avec des topologies très proches d'étages du CST. Le CST est un LNA 2,4 GHz avec un étage cascode MOS intégré en 0,25  $\mu\text{m}$  Qubic4+ BiCMOS. Les auteurs indiquent avoir intégré : (a) un étage d'alimentation identique à celui du LNA, (b) un miroir de courant, (c) un étage amplificateur cascode MOS très ressemblant à celui du LNA, (d) des condensateurs extraits du LNA, et (e) des transistors également extraits du LNA. Ces capteurs sont placés au plus proche du LNA pour éviter qu'un effet de variation intra-réticule ne vienne fausser les résultats obtenus. La Figure II.3 tirée de [54] illustre la configuration des capteurs non-intrusifs autour du circuit sous test.

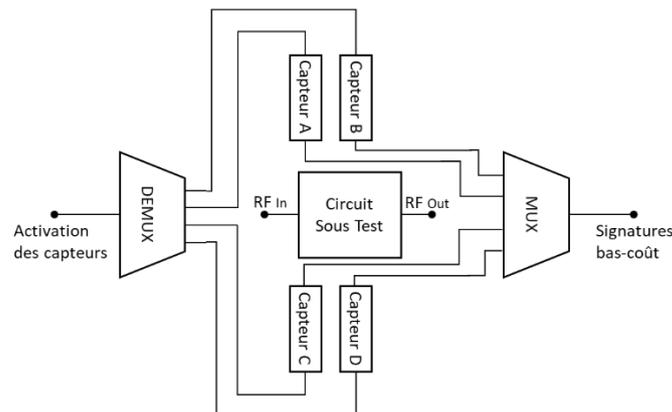


Figure II.3 : Circuit intégré et capteurs pour le test non-intrusif [54]

Dans ces travaux, les capteurs sont accessibles à la mesure (DC et basse fréquence non spécifiée) via un démultiplexeur et un multiplexeur, permettant de limiter le nombre de plots nécessaires à la mesure. L'étude est réalisée sur 142 échantillons, issus d'un même wafer, et consiste à effectuer la mesure fonctionnelle de toutes les performances à tester, en parallèle de celle des capteurs, sur tous les échantillons également. L'ensemble des données recueillies est alors séparé en deux jeux de données, les données d'entraînement de la fonction de régression d'un côté (70% du jeu de données), et un ensemble de validation de la méthode de l'autre (les 30% restant). Les deux ensembles sont supposés représentatifs des variations de process sur le wafer. Les auteurs attirent l'attention sur l'importance de quantifier la répétabilité de la mesure, et évaluent l'erreur de mesure pour chaque performance. La méthode de test proposée montre de très bons résultats, avec une erreur moyenne relative <1% sur le gain et le NF, et <2% sur le point de compression et l'IIP3.

Les références [18, 55] présentent des capteurs thermiques prévus pour être utilisés pour compléter les capteurs de variation de process. Ceux-ci ont pour objectif de combler les

lacunes de la méthode du test non-intrusif : avec des capteurs extérieurs au circuit, il est impossible de détecter un défaut catastrophique comme un court-circuit, un circuit ouvert ou un événement électrostatique venu causer le claquage d'une jonction. Or, lorsqu'un circuit actif est mis sous tension, il chauffe. On peut donc avoir une information sur l'état du CST en relevant la température à proximité du cœur du circuit quand celui-ci est en fonctionnement. Les auteurs de [18] conduisent l'étude jusqu'à la comparaison de l'efficacité du test avec les capteurs mentionnés précédemment, et du test intégrant des capteurs thermiques supplémentaires. Ce travail mené en simulation sur le test d'un LNA à 2,4 GHz donne des résultats probants. La prédiction des performances sur une plage de valeurs continue est toujours réalisée grâce à la méthode décrite dans [54], avec une erreur RMS relative de 1,3 %, 1,1 %, 1,6 % et 3,3 % pour la prédiction respectivement du gain, du NF, du point de compression et du IIP3. En plus de cela, 27 cas de défauts catastrophiques sur le LNA et 32 cas sur le capteur lui-même sont testés en simulation, et dans tous les cas, les circuits défectueux sont effectivement rejetés. Ces capteurs thermiques sont très efficaces au niveau du test, mais sont complexes à concevoir au niveau schématique, puis *layout* (proximité nécessaire et stricte avec le CST). Enfin, un protocole est mis en œuvre pour calibrer les capteurs : une procédure de test est effectuée en plusieurs temps, tout d'abord sans alimentation du LNA, ensuite avec alimentation nominale, et pour terminer avec injection de puissance RF (donc avec l'utilisation d'un banc RF, ou d'un générateur intégré).

Enfin, pour des applications à des fréquences beaucoup plus élevées, les auteurs de [17, 56] démontrent que la méthode est toujours viable en bande millimétrique, où elle est d'autant plus intéressante, vu le coût du test fonctionnel et la sensibilité des systèmes aux variations de process. Les deux articles se basent sur l'ajout de capteurs correspondant à des parties du CST quasiment à l'identique. Le premier propose le test d'un LNA 60 GHz 3 étages intégré en technologie 65-nm. À l'aide de la signature DC et/ou des paramètres S à 100 MHz de 6 capteurs intégrés à proximité du CST, les auteurs obtiennent en simulation une erreur RMS relative de prédiction respectivement sur le gain, le NF et l'IIP3, de 3,16%, 2,29% et 2,39%. Les capteurs sont conçus sans méthode de conception générique : il s'agit de répliquer des parties du LNA en dehors du circuit principal, et de compléter avec d'autres capteurs, si les premiers ne s'avèrent pas suffisants. Ici, une ligne de transmission micro-ruban a été ajoutée, après avoir constaté qualitativement que les effets des variations de process sur la propagation dans le circuit ne sont pas pris en compte pour la prédiction, avec le jeu de capteurs prévus au départ.

Afin de systématiser cette démarche par tâtonnement, les auteurs de [17] proposent une méthodologie précise pour déterminer les capteurs qui témoigneront au mieux des variations de process impactant le plus les performances, pour un CST donné. Cette méthodologie se base tout d'abord sur les modèles des composants qui tiennent compte des variations de process, généralement fournies par le fondeur. Dans un premier temps, des simulations Monte-Carlo du CST sont réalisées, en faisant varier les paramètres de process. On a alors un jeu de données qui lie un ensemble de paramètres Monte-Carlo (paramètres

MC) à des performances du CST. À l'aide d'un algorithme de sélection de paramètres guidé par un calcul de distance, on cherche alors dans ces jeux de données la liste de paramètres Monte-Carlo qui permet la meilleure prédiction de la performance visée par le test.

À chaque itération, une fonction de régression est entraînée à partir de l'ensemble d'entraînement issu des simulations initiales, en prenant en entrée les paramètres MC sélectionnés, et en données cibles la performance. L'erreur de prédiction entre la performance prédite et la performance simulée est alors calculée sur un ensemble de validation. Si l'erreur RMS de prédiction est plus élevée qu'un seuil défini, l'algorithme sélectionne un nouveau paramètre MC : celui qui présente la plus petite distance avec les résidus de la prédiction. Les résidus correspondent à l'écart de la prédiction pour chaque point de l'ensemble de validation. Une fois la précision requise atteinte, les paramètres MC qui impactent le plus les performances du circuit sont connus. On cherche donc à concevoir des capteurs dont les signatures sont corrélées à ces paramètres MC, associés à une signification physique, des variations de process définies. Les auteurs introduisent ici une notion de généralité : une fois qu'un capteur qui témoigne de la variation d'un paramètre du process est conçu, son *layout* pourra être réutilisé pour tester n'importe quel autre CST qui verrait ses performances impactées par ce paramètre.

L'article montre ensuite l'application de la méthode au test d'un amplificateur de puissance (*Power Amplifier* – PA) à 65 GHz, intégré en technologie STM BiCMOS 55-nm. Les capteurs sélectionnés sont : (a) deux lignes micro-ruban avec la piste signal sur le métal épais du BEOL, avec l'une étroite pour une mesure de résistance DC, l'autre large pour une mesure de la permittivité des diélectriques (mesure au VNA à 1 GHz), (b) un condensateur MOM de 3,65 pF issu du PDK (mesure au VNA à 1 GHz), (c) une capacité de jonction d'un transistor MOS (mesure au VNA à 1 GHz), et (d) un transistor NMOS, dont on mesurera la résistance DC de la grille et le courant de polarisation. L'efficacité de la méthode a été quantifiée en mesure, à partir de 21 échantillons. La prédiction du gain, du point de compression en entrée et de la PAE montre une erreur RMS relative de respectivement 1,4%, 2% et 2,1 %, soit une très bonne qualité du test.

#### 4. Conclusions sur les enjeux du test intégré en RF/bande millimétrique

##### ***Méthodologie de test***

Les méthodes de test intégré issues de la littérature montrent toutes une très bonne qualité de test. Les différences entre ces dernières peuvent être évaluées sur les critères décrits dans [19], que nous avons énoncés en section II.A.1. L'évaluation des méthodes de test avec ces critères est qualitative, sauf en termes de précision (même si la précision attendue dépend également de l'application). Il est alors difficile de classer radicalement les méthodes, d'autant plus que les résultats dépendent toujours pour partie de la manière dont elles sont appliquées, et des cas d'études dont elles sont l'objet. Le Tableau 1 présente une synthèse de l'évaluation des méthodes de test issues de l'état de l'art.

Trois critères sont écartés pour différentes raisons. La qualité du test est toujours jugée en fonction de l'application, et les articles issus de la littérature montrent les applications sur lesquelles les méthodes sont les plus performantes, par suite les résultats du test sont généralement très bons pour toutes les méthodes. Les critères du nombre de broches dédiées au test et de la portabilité entre deux technologies sont peu pertinents pour un état de l'art qui se focalise uniquement sur les technologies Silicium CMOS et BiCMOS, et pour le développement d'un test sur wafer dans lequel il n'est pas questions de broches, mais de plots de mesure assimilés principalement à de l'encombrement.

*Tableau 1 : Synthèse et évaluation des méthodes de test intégré issus de la littérature*

| Critères                           | Détecteurs, Appareils de mesures intégrés | Test par bouclage | Test basé sur l'oscillation | Test alternatif intrusif   | Test alternatif non-intrusif |
|------------------------------------|---|-------------------|-----------------------------|----------------------------|------------------------------|
| Références                         | [22 – 28, 41 – 49]                        | [30 – 32]         | [33 – 40]                   | [14, 50 – 53]              | [15, 17, 18, 54 – 56]        |
| Automatisation                     | Possible                                  | Totale            | Possible                    | Possible, en phase de test | Possible, en phase de test   |
| Généricité                         | Adaptation possible                       | Non               | Adaptation complexe         | Adaptation possible        | Bonne                        |
| Impact sur les performances du CST | Important                                 | Faible            | Faible                      | Faible                     | Nul                          |
| Encombrement supplémentaire        | Important                                 | Faible            | Moyen                       | Important                  | Important                    |
| Complexité de la co-conception     | Importante                                | Faible            | Importante                  | Moyenne                    | Nulle                        |
| Coût de mesure du test             | Moyen                                     | Faible            | Moyen                       | Selon application          | Selon application            |

Il ressort de cette synthèse que les méthodes de test alternatif non-intrusif sont effectivement les plus performantes sur la plupart des critères, notamment en éliminant totalement l'effort de co-conception et l'impact sur les performances du CST. La généricité de la méthode reste la meilleure sur l'ensemble de l'état de l'art, d'autant plus depuis la contribution de [17] qui propose de généraliser les capteurs de variations de process et suggère une méthode de sélection de ces capteurs lors de l'étape de simulation. Ainsi, l'encombrement, la généricité et le coût de mesure de ces capteurs sont les points à améliorer dans la méthode du test non-intrusif, et pour l'amélioration du test intégré en général.

### ***Enjeux de conception des capteurs non-intrusifs***

Le premier point à perfectionner dans la conception des capteurs de variation de process est le coût des mesures. Cela peut être résolu de plusieurs manières : par exemple avec un circuit de mesure intégré (multiplexeur, détecteurs puis circuits de décision, comme dans [15]) rendant le coût de mesure négligeable mais entraîne un encombrement et un coût de conception très lourd. Un autre exemple de solution consiste à utiliser des capteurs de très grande simplicité, dont on peut travailler la généricité, mais qui seront mesurés par un ATE analogique plus coûteux lors de la phase de test. C'est vers cette seconde possibilité que nous nous tournons, car il est à noter qu'il s'agit ici de tester des circuits fonctionnant en RF et en bande millimétrique, et dont le test est extrêmement coûteux. La réduction du test à la mesure avec un ATE analogique basse fréquence est un gain très important, et le passage vers un ATE numérique est alors un gain assez minime pour le coût que cela entraîne. Le point de vue de la conception en bande millimétrique est d'ailleurs plus proche de la physique du composant que pour des applications basse-fréquence. La conception et l'utilisation de capteurs de variations physiques de process peut être en prime source d'informations pour le concepteur de circuits millimétriques. Enfin, la généricité du test est plus simple à atteindre si l'on se focalise sur des variations du process, et non plus sur des variations de performances de parties du CST comme le propose directement ou non certains auteurs.

Dans le Chapitre III, nous proposerons un changement de point de vue dans la conception des capteurs, qui permettra de répondre à ces enjeux. Ces capteurs se voudront génériques, réduisant de ce fait l'effort de conception des capteurs et du CST, et permettant à un même jeu de capteurs de tester un grand nombre de circuits différents et donc de réduire drastiquement la surface dédiée au test dans le circuit. Nous verrons qu'il en fait possible d'utiliser des structures déjà existantes comme capteurs de variations de process, et que ces dernières, fournies par le fondeur, sont par définition génériques, très simple à mesurer, et n'entraînent aucun encombrement supplémentaire pour le test : les capteurs *Parametric Test*.

#### B. Calibrage de circuits intégrés en bande millimétrique

Puisque le test permet aujourd'hui d'identifier individuellement quel réticule subit une variation de performances, et quel est le paramètre de process qui implique cette variation, il est possible de prévoir des méthodes pour corriger ces variations de performances une fois le circuit fabriqué. Ces méthodes sont dénommées méthodes de calibrage face aux variations de process. Elles consistent à ajouter des éléments variables au CST, et à déterminer pour chaque échantillon (généralement chaque réticule) la configuration qui optimise les performances. L'objectif de la méthode de calibrage est de déterminer une configuration des éléments variables, dénommés TK (« *Tuning Knobs* », ou boutons de réglage), qui satisfait les spécifications. Dans la littérature, on retrouve plusieurs propositions de méthodes de calibrage, ayant toutes des avantages et des inconvénients, on propose ici de discuter de ces méthodes. Nous aborderons dans un premier temps les méthodes itératives, puis le calibrage dit *one-shot*, avant d'évoquer les méthodes d'auto-réparation (*self-healing*).

## 1. Méthodes itératives

Un exemple issu de la littérature est un LNA 1,9 GHz en technologie IBM 0,25  $\mu\text{m}$  dont le réseau d'adaptation est calibré pour optimiser l'adaptation d'impédance en entrée du LNA [57]. L'élément variable de ce LNA est une inductance accordable située en entrée du réseau d'adaptation. Un détecteur de crête intégré permet de relever la qualité de l'adaptation par une méthode différentielle résistante aux variations de process. Une procédure de calibrage dédiée est pilotée directement par un simple circuit de décision embarqué sur le réticule. Le but est alors de déterminer comment configurer les *switchs* qui viennent modifier la valeur de l'inductance accordable. La procédure, illustrée par la Figure II.4, est un algorithme simple qui modifie la position des *switchs* à chaque itération et monitor les performances. Une fois qu'une itération donne une configuration qui satisfait les conditions de performance, le calibrage est terminé. La séquence de calibrage dure au maximum 30  $\mu\text{s}$ .

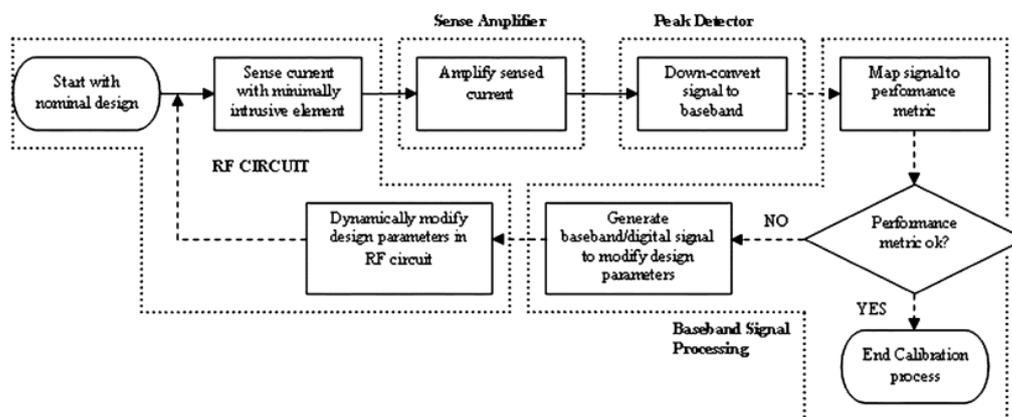


Figure II.4 : Schéma de principe du calibrage intégré de l'impédance d'entrée du LNA [57]

Grâce à ce calibrage, on peut recentrer le pic d'adaptation sur une plage de 200 MHz, soit un peu plus de 10% d'accordabilité de la fréquence centrale. En contrepartie, l'ajout du détecteur de crête et des *switchs* cause une dégradation du NF et du gain de 0,4 dB.

En basse fréquence, mais sur une technologie moins classique (CN-TFT – Nanotube de carbone) et également plus sujette aux variations de process, on peut également citer [58] qui présente le calibrage d'un amplificateur opérationnel à partir d'un oscillateur.

Dans [59], un banc de test et d'optimisation complet basé sur des capteurs BIST est proposé. Ces capteurs (intrusifs) sont suffisamment complets pour permettre de communiquer numériquement au banc de test des informations sur la qualité du CST. Le banc utilise les données numériques fournies par les capteurs pour estimer la configuration d'éléments variables intégrés. L'estimation est menée par un algorithme itératif fonctionnant par étude des tendances. Les configurations requises sont alors transmises sous format numérique au CST, et l'algorithme décide de la configuration suivante en fonction du retour des capteurs. Dans [60], un circuit embarque également un lot de capteurs intrusifs complet et un VCO qui génère des stimuli, qui permettent de caractériser le gain, le NF et la puissance

DC consommée par un LNA fonctionnant à 1,6 GHz. En plus de ce lot de capteurs, un circuit d'apprentissage est intégré. Ce réseau de neurones analogiques a pour rôle de prédire la figure de mérite du LNA, mesurée par les capteurs, en fonction de la configuration des éléments variables. Il est alimenté en données par des itérations : vierge au démarrage de la procédure, le réseau apprend à chaque itération, et guide le choix de la configuration suivante. Les éléments variables sont alors les trois tensions d'alimentation du circuit RF. Les résultats du calibrage montrent de bonnes performances : la meilleure des performances atteignables est effectivement atteinte dans 61 des 64 cas de l'étude, et dans les cas restant, l'écart avec le meilleur état est de 0.008%, donc négligeable.

## 2. Calibrage « one-shot »

Les méthodes vues précédemment nécessitent toutes un temps de calibrage non-négligeable et un effort de conception de la partie test et calibrage qui peut rendre complexe la mise en place de la méthode. Une méthode répond aux enjeux de réduction de surfaces et surtout de simplification de la conception : le calibrage *one-shot* [61]. Cette méthode, appuyée sur [62], prévoit de prédire la configuration des éléments variables via des informations statistiques sur le lot, et les informations disponibles au départ sur le CST, sans itération. Pour ce faire, il est nécessaire d'entraîner le modèle qui lie les signatures des capteurs aux valeurs des TK, puis aux performances. Comme l'illustre la Figure II.5, l'ATE vient mesurer les capteurs intégrés, et éventuellement mesurer les réponses du CST à des stimuli donnés. Ces informations sur le réticule sont alors placées en entrée d'un modèle de régression entraîné en amont, et ce modèle calcule alors les TK.

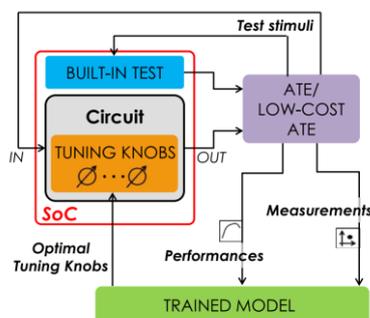


Figure II.5 : Schéma du principe du calibrage one-shot [61]

Dans [61], les auteurs calibrent un PA intégré en technologie STM 65 nm CMOS065. Ils commencent par mesurer 55 réticules avec 67 configurations différentes des éléments variables. Cela fait un total de 3685 instances du circuit pour lesquelles les performances du circuit et les mesures des capteurs BIST non-intrusifs sont désormais connues. La première étape est d'entraîner un réseau de neurones en tant que fonction de régression liant les mesures de capteurs de test intégré et les TK (en entrée) aux performances du PA (en sortie). En phase de test en production, seule la mesure des capteurs BIST est nécessaire, car on prédit les performances en considérant des TK nominaux. Cela mène à deux possibilités : (i) les performances prédites sont suffisantes, le test est passé et les TK sélectionnés sont les TK

nominaux, ou (ii) le CST n'affiche pas les performances escomptées, à l'aide de la fonction de régression, on cherche virtuellement à trouver les valeurs de TK qui maximisent la fonction de régression, et donc les performances. On définit alors ces TK sur le CST. Les résultats de mesure montrent une assez grande variabilité des performances pour une assez faible erreur de reproductibilité, ce qui favorise la qualité de la prédiction.

Les auteurs de [63] comparent trois méthodes de calibrage *one-shot*, dont l'étude [61]. Les deux premières [64, 65] se basent sur les signatures de capteurs intrusifs, contrairement à la troisième. Elles ont également en commun le fait qu'elles supposent l'orthogonalité entre l'impact des variations de process et celui des TK. Autrement dit, cela signifie que les auteurs considèrent possible d'entraîner successivement un modèle qui prédit les performances en fonction des signatures des capteurs intégrés, puis un second qui prédit les performances en fonction des TK, en prenant seulement en compte les variations de process avec un décalage des performances aux TK nominaux. Cela permet d'économiser drastiquement le nombre de mesures nécessaires. Dans le cas de [61], cela conduit (au mieux) à réaliser un premier modèle, (a) prédisant les performances selon les capteurs BIST avec un total de 55 mesures, puis un second modèle, et (b) prédisant les performances selon les TK, avec 67 mesures, soit un total valant la somme des deux lots de mesures (122 mesures), plutôt que leur produit (3685 mesures). Il faut cependant nuancer ici : les circuits restent connectés au banc de mesure pour toutes les mesures afférentes au modèle (b), cela allonge donc la durée des mesures mais pas le nombre de manipulations. L'article [66] discute justement de cette orthogonalité, et prouve que lorsque le nombre d'échantillons dédiés à la phase d'entraînement le permet, il est contreproductif de faire la distinction entre les signatures des capteurs de variation de process et les TK. Il montre que l'on peut tirer aléatoirement des valeurs de TK, et ainsi couvrir la plage de variation des TK et des signatures du test en ne réalisant qu'un nombre restreint de mesures de performance sur chaque réticule (minimum une). Les auteurs démontrent ainsi que la qualité de la prédiction augmente exponentiellement avec la taille de l'ensemble d'entraînement, alors que les deux autres méthodes présentent une augmentation linéaire de la qualité.

Une méthode de calibrage basée sur des capteurs non-intrusifs a été introduite dans [67]. Cette étude propose de calibrer un convertisseur analogique-numérique à partir des informations obtenues des capteurs non-intrusifs. L'article [68] propose par la suite une application de la méthode de calibrage *one-shot* avec des capteurs non-intrusifs sur un PA 2 étages à 60 GHz intégré en technologie STM BiCMOS 55 nm. Il s'agit à notre connaissance de la première application de la méthode *one-shot* en bande millimétrique. Les éléments variables sont alors des cellules de découplage accordables sur les chemins de polarisation utilisant des *varactors*. Cet article nous permet de relever que la conception d'un circuit accordable nécessite des précautions. Les pertes des composants accordables augmentant avec la fréquence [69], le choix du placement et du dimensionnement des éléments accordables est crucial, pour ne pas causer de dégradations des performances dues à ces sous-circuits davantage que par l'impact des variations de process. Dans [68], les auteurs cherchent

à obtenir une réduction de la dispersion des performances du PA, et ont pu réduire en simulation l'écart-type  $\sigma$  du gain du PA de 0,84 à 0,56 dB, en plus d'une réduction de la dispersion comparable sur les autres performances, avec une légère amélioration de la moyenne des performances. La moyenne du gain passe alors de 9,16 dB à 9,36 dB.

### 3. Autoréparation (« Self-healing »)

On parle d'auto-réparation lorsque le calibrage n'est réalisé qu'à partir d'éléments intégrés sur la même puce que le circuit à calibrer. On lui préférera souvent le terme anglais de *self-healing*. En effet, si tous les éléments permettant le calibrage sont internes au circuit, alors le circuit est en capacité de se calibrer seul. Cela implique également qu'il est en capacité, sauf exception (calibrage par fusibles par exemple), de le faire tout au long de sa période de fonctionnement et même d'optimiser son état dans diverses situations (faible consommation notamment) comme le suggère [70]. Ainsi, le circuit pourra se calibrer à nouveau selon son environnement, ou son vieillissement. Une des premières références de cet état de l'art, [57], fait par exemple partie des circuits autoréparables. C'est également le cas de [60, 71 - 74]. Nous ne détaillerons pas cette notion car elle n'est pas centrale vu l'objet des travaux menés ici, puisqu'elle n'est actuellement pas compatible avec le calibrage basé sur les statistiques de variations de process et le principe de fonctionnement des capteurs non intrusifs.

### 4. Conclusions de l'état de l'art et positionnement général de la thèse

La littérature a fait la démonstration que les méthodes de calibrage *one-shot* présentent des performances remarquables. L'enjeu du développement n'est donc pas à ce niveau-là. En revanche, la mise en œuvre de ces méthodes induit un effort de conception assez lourd. Comme on a pu le relever, une partie importante des publications décrites fait même état d'avancées sur des topologies de capteurs sans donner de résultats statistiques sur la méthode employée. C'est en réalité la façon de concevoir ces capteurs qui est aujourd'hui un point limitant à l'utilisation massive de ces méthodes. Dans les méthodes proposées, il est toujours question de sélectionner des capteurs qui seront les mieux adaptés au CST ou circuit à calibrer. Les capteurs intrusifs montrent de bonnes performances, souvent mesurées à très bas coût, et des travaux publiés sont facilement réutilisables, mais leur ajout à un nouveau circuit est toujours une cause de pertes supplémentaires, de surface et de puissance consommées. Lorsque la fréquence augmente, le besoin de co-conception des capteurs intrusifs devient rapidement très complexe à gérer.

À l'inverse, les capteurs non-intrusifs ne causent pas de problème ni de co-conception, ni d'impact sur les performances du circuit à calibrer. Par contre, ils sont assez peu génériques, ils sont souvent composés de parties issues du circuit à calibrer que l'on conçoit à chaque nouveau CST. De plus, les capteurs sont assez encombrants, et leur mesure n'est généralement pas aussi simple que celle des capteurs intrusifs.

Il s'agit de changer de point de vue : l'objectif n'est en réalité pas tant de tester le circuit que de tester les variations de process qu'il subit. Les capteurs de variations de process peuvent alors être grandement simplifiés en conception et en complexité de mesure, et gagnent nécessairement en généralité. Cette thèse discute dans un premier temps de la conception d'un jeu de capteurs non-intrusifs totalement génériques et qui permettent la mesure des variations relatives du process. Ce jeu de capteurs réduit fortement le coût de conception, puisque s'il est générique, il suffit de le placer à proximité de chaque CST sans avoir à le modifier. La mesure de ces capteurs doit être à très bas coût pour rendre la complexité du test la plus intéressante possible : on s'intéresse alors à des capteurs mesurables avec un simple impédancemètre, pour permettre le test de circuits en bande millimétrique. Par ailleurs, une autre piste est explorée : l'utilisation des capteurs de monitoring de la technologie, ou capteurs PT, comme capteurs non-intrusifs. Les capteurs PT, qui s'apparentent à un jeu de capteurs génériques mesurable à bas coût, sont déjà embarqués sur chaque réticule par le fondeur, dans des zones sacrificielles (perdues à la découpe), et toute l'infrastructure de mesure automatisée de ces structures de test est déjà fonctionnelle en sortie de chaîne de production. Inspirée de la sélection des paramètres process significatifs de [17], une solution sera proposée pour définir une méthode de test générique, puis un calibrage à partir des mesures des signatures de ces jeux de capteurs à très bas coût.

Dans le Chapitre III, nous argumenterons en faveur de la faisabilité d'un jeu de capteurs de variations de process génériques mesurable à très bas coût, pour le test de circuits intégrés fonctionnant en bande millimétrique. Ensuite, nous décrivons une méthode de test, puis une méthode de calibrage basée sur l'apprentissage automatique, et utilisant un jeu de capteurs générique comme capteurs non-intrusifs.



## Chapitre III.

### METHODE DE TEST ET CALIBRAGE VIA CAPTEURS NON-INTRUSIFS QUASI-STATIQUES

#### A. Introduction

Dans ce troisième chapitre, nous allons tenter de répondre aux limitations que nous avons relevées dans l'état de l'art, par une méthode de test indirect utilisant des capteurs basés directement sur les différentes grandeurs physiques de la technologie. En effet, les capteurs intégrés dans les méthodes de test non-intrusif sont aujourd'hui axés sur le test d'un circuit donné. Pour rendre la méthode de test plus générique, on ne propose pas de chercher à tester le circuit, mais de chercher à monitorer l'ensemble des variations de process qui impactent ses performances. En effet, on prend pour hypothèse que toutes les valeurs de variations de process sont accessibles, ou du moins que des signatures de capteurs donnent suffisamment d'informations sur ces variations (signatures corrélées aux variations physiques du process). Alors, on peut entraîner une fonction de régression prenant pour entrées les signatures les plus corrélées aux performances, et pour données cibles les performances du CST. Il est ensuite possible de prédire l'impact de ces variations sur les performances du CST, et donc à terme de se servir des capteurs sélectionnés pour mettre en place une méthode de test non-intrusif.

Pour conforter cette piste, on peut ajouter que si une variation paramétrique de process a un effet sur les performances du CST, elle a nécessairement un impact sur les caractéristiques électriques d'un composant (au sens d'élément constituant du circuit), et pourra donc être relevée par un capteur simple. On peut alors construire un jeu de capteurs génériques et mesurables à bas coût.

Ainsi, on propose de démontrer que pour toute performance d'un CST, si toutes les variations de process sont monitorées par des capteurs de manière exhaustive, il existe un ensemble de capteurs parmi ceux embarqués dont les signatures permettront de prédire les performances du CST.

Nous discutons dans la section III.B des pistes de conception d'un tel ensemble exhaustif de capteurs bas coût et des ressources déjà disponibles que nous pourrions utiliser. Nous explicitons ensuite en section III.C comment mettre en œuvre le test à partir de ces capteurs et des techniques de test non-intrusif connues, puis nous étendons la méthode pour réaliser le calibrage des circuits face aux variations de process.

## B. Conception de capteurs de variation de process

### 1. Objectifs

La principale contrainte qui s'applique à la conception des capteurs non-intrusifs est la réduction du coût de la mesure lors du test en production : la fréquence de mesure doit être réduite (par rapport à la fréquence du test fonctionnel, qui est de plusieurs dizaines de GHz pour les circuits millimétriques), et le matériel nécessaire à leur mesure sous pointes doit être le plus simple possible. On impose comme cahier des charges que les capteurs soient quasi-statiques et analogiques, pour être mesurés à l'aide de seulement deux appareils : un impédancemètre fonctionnant jusqu'à 100 MHz et un multimètre pour la mesure de courants et tensions continus. Il sera donc possible de n'utiliser que des sondes DC (classiquement de l'ordre de grandeur de la centaine d'euros), avec des consommables moins coûteux que pour la mesure en bande millimétrique, qui atteignent un coût de plusieurs dizaines de milliers d'euros. De plus, cela permet de placer des plots de mesure de surface réduite pour chaque capteur : les plots de mesure RF sont de type coplanaire Masse-Signal-Masse, là où les plots DC présentent simplement un plot signal. On évite ainsi l'utilisation d'un VNA extrêmement coûteux.

Les capteurs doivent être les plus simples possible pour faciliter leur conception, et rendre leur signature sensible minimum de paramètres de process. En effet, plus les capteurs sont complexes, plus ils ont de dépendance avec des variables différentes. Nous en discutons en section III.B.2 sur des exemples concrets.

L'état de l'art a permis de relever que la surface occupée par ces capteurs peut être importante. Un jeu de capteurs génériques présentera généralement plus d'encombrement qu'une méthode classique, car certains paramètres process testables ne seront pas utiles pour le test de tous les circuits. Cependant, ces circuits génériques permettent par définition de tester tous les circuits situés sur le même réticule, peu importe leur type, ce qui minimise l'impact sur la surface totale du CST. Nous verrons également en section III.B.3 que le coût silicium engendré par l'ajout de ces capteurs peut être pris en charge par le fondeur sans surcoût pour aucun des acteurs, par l'utilisation des capteurs PT.

Enfin, il faut s'assurer de la robustesse des signatures devant le bruit de mesure et du fait que ces signatures soient fortement corrélées aux variations de process à monitorer. En effet, il est nécessaire que l'ordre de grandeur de la dispersion des signatures dues aux variations de process soit grande devant la dispersion de mesures. Une dispersion des

mesures est nécessairement observée, notamment due au bruit de mesure, aux posés irréguliers et à l'encrassement des sondes. On peut estimer la dispersion des signatures face aux variations de process grâce à la documentation de la technologie (*Design Rule Manual – DRM*) et aux spécifications des corners, les valeurs seuil pour lesquelles les wafers sont considérés comme fonctionnels. Pour certains capteurs, il est même possible d'utiliser directement les modèles Monte-Carlo de certains composants simples pour estimer la variation relative de la signature d'un capteur donné. On peut ainsi estimer la variation observable sur les capteurs pour s'assurer que leur plage de variation est mesurable. On constate ici que plus la topologie du capteur est simple, plus il est aisé de connaître analytiquement (ou en simulation) la dispersion de sa signature. Il est important de noter que la méthode du test non-intrusif se base sur des variations relatives des signatures, et non sur des valeurs absolues. Il n'est donc pas nécessaire d'en connaître les valeurs exactes, mais seulement un ordre de grandeur de la valeur nominale et de la variation estimée.

En résumé, on impose pour les capteurs :

- (a) qu'ils soient de conception la plus simple possible ;
- (b) qu'ils puissent être mesurés à l'aide d'un impédancemètre à 100 MHz ou moins et/ou avec des mesures de courants et tensions continus (plots de mesure DC) ;
- (c) qu'ils soient robustes devant le bruit de mesure ;
- (d) en dernier lieu, que leurs dimensions soient acceptables par rapport à celles du CST.

Dans la section III.B.2, nous nous intéressons aux capteurs liés au BEOL où se situent les éléments passifs et les interconnexions, puis nous discutons des solutions possibles pour les capteurs du *Front-End-of-Line* (FEOL), qui comprennent les éléments actifs. Enfin nous proposons une solution qui dépasse les principaux inconvénients du test alternatif non-intrusif, basée sur les capteurs PT, qui n'entraîne aucun coût supplémentaire (zéro silicium nécessaire), utilisant les capteurs déjà intégrés par le fondeur.

## 2. Capteurs de variation de process

### **Capteurs de variation du BEOL**

Le BEOL en technologie intégrée est constitué d'un empilement de couches métalliques, isolées entre elles par des couches de matériaux diélectriques. Il est utilisé pour intégrer des interconnexions classiques entre des transistors, mais également pour intégrer des composants passifs localisés (condensateurs, inductances, éventuellement résistances), et distribués (lignes de transmission, coupleurs...). Ainsi, la partie du process servant à la fabrication du BEOL (qui peut être différent d'une technologie à l'autre) voit ses variations impacter les composants passifs de manière prépondérante. Les principales variations du BEOL peuvent être assez aisément listées : il s'agit des caractéristiques physiques (dimensions) et électriques (résistivité) de chaque couche métallique, des caractéristiques physiques

(dimensions également) et électriques (permittivité) de chaque couche diélectrique, et de la qualité des vias (dimensions et qualité des contacts) entre chaque couche.

Pour tester ces différents paramètres, toujours de façon générique (pour tout circuit), on peut proposer des capteurs très simples. Un premier exemple concerne le test de la qualité des vias. Celui-ci peut se faire avec la mesure de la résistance d'une chaîne de vias pour chaque couche de diélectrique. Le capteur donne des informations sur la qualité des contacts entre les vias et les couches métalliques, sur la qualité du métal qui les compose, ainsi que sur leurs dimensions. Ces trois grandeurs impactent directement la résistance des vias, et donc la résistance de la chaîne de vias. Nous verrons à la fin de cette section que des contraintes technologiques peuvent influencer les choix de conception concernant la topologie du capteur.

Les variations de process des couches métalliques influent sur deux points : leur résistivité impacte les pertes RF du circuit et modifie les résistances parasites au niveau des chemins de polarisation des actifs, alors que les dimensions peuvent jouer sur beaucoup plus de paramètres selon le CST. Par exemple, dans un condensateur MOM (métal-oxyde-métal) où la capacité ramenée par des rubans métalliques interdigités est prépondérante, la largeur des rubans ou l'espacement entre ces rubans ont un impact critique pour la variation de la capacité totale. À l'aide du PDK de la technologie STM BiCMOS 55 nm, on peut réaliser une simulation Monte-Carlo d'un condensateur MOM. La Figure III.1 illustre les résultats de simulation Monte-Carlo en donnant la variation de la capacité du condensateur MOM sur un histogramme. De la simulation Monte-Carlo ressortent les paramètres les plus impactant sur la valeur de la capacité du condensateur, et il en découle qu'il s'agit en effet des dimensions des couches métalliques et diélectriques qui composent le condensateur.

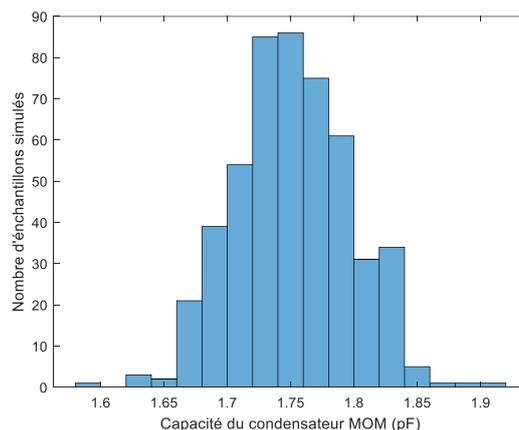


Figure III.1 : Histogramme de la capacité d'un condensateur MOM pour une simulation Monte-Carlo sur le PDK de la technologie STM BiCMOS 55 nm

Ainsi, pour le monitoring des couches métalliques, un capteur constitué d'un étroit serpentini métallique pour chaque couche du BEOL peut être mesuré, donnant une résistance DC corrélée à la résistivité des métaux et aux variations de leur section. L'indépendance entre

ces deux grandeurs peut être obtenue en utilisant deux serpentins de largeurs différentes : la résistivité du métal étant identique sur les deux serpentins, les différences entre les variations relatives des deux capteurs révèlent une variation sur les dimensions plutôt que sur la résistivité du métal. Aussi, des rubans de métaux de largeurs différentes peuvent subir des variations différentes. L'utilisation de serpentins de largeurs différentes permet de compléter les informations obtenues.

Enfin, pour le monitoring des couches diélectriques, l'épaisseur du diélectrique et sa permittivité ont toutes deux un impact sur la capacité présente entre deux métaux situés de part et d'autre du diélectrique. Le capteur peut être un empilement de surfaces métallisées en vis-à-vis sur chacune des couches, et donc entre chaque couche de diélectrique. Si l'on mesure la capacité entre deux couches proches, on obtient une signature qui est corrélée aux deux paramètres mentionnés. Si la valeur de la capacité nominale fournie par le capteur est suffisamment élevée, on peut la mesurer à une fréquence relativement faible, inférieure à 100 MHz, avec un simple impédancemètre.

Il n'est pas toujours possible d'obtenir une indépendance entre chaque variable. Toutefois, lorsque l'on ne peut pas obtenir cette indépendance, il s'agit généralement de cas où les grandeurs ont un impact commun sur les performances. Par exemple, l'épaisseur d'une couche métallique et sa résistivité vont impacter conjointement la résistance de la piste signal d'une ligne de transmission intégrée sur cette couche. Ainsi, si les signatures des capteurs ne distinguent pas de manière évidente qui de l'épaisseur ou de la résistivité du métal est en cause, cela n'est pas bloquant car ces deux paramètres agissent dans le même sens de variation sur les signatures et sur les performances du CST. Enfin, chaque paramètre MC ne correspond généralement pas un paramètre de process précis, il peut être la représentation de la variation d'un ensemble de paramètres.

Sur la technologie STMicroelectronics BiCMOS 55 nm, sur laquelle nous avons embarqué un démonstrateur, le BEOL compte huit couches métalliques principales, avec des dimensions différentes selon la couche considérée. Ces huit couches sont distinguées en quatre catégories de couches : M1 pour la première couche métallique, MX pour les métaux fins, MZ pour les métaux semi-épais et MU pour le métal épais supérieur. Le PDK considère les variations comme uniformes dans une catégorie, et permet de réaliser des simulations Monte-Carlo de composants, tenant compte de paramètres Monte-Carlo regroupant les variations de process. Le PDK ne considère pas chaque paramètre de process indépendamment, mais regroupe les variations physiques qui ont un impact commun sur des composants donnés dans des paramètres MC plus généraux. On y retrouve des capacités normalisées entre différentes catégories de couches du BEOL, des variations normalisées de dimensions (épaisseurs des couches par exemple), la résistivité de métaux...

Pour certains des capteurs, il est possible d'utiliser des modèles fournis dans le PDK pour estimer la variation qu'ils peuvent subir sur un lot. On peut ensuite calculer la corrélation entre cette variation et les paramètres MC fournis par le PDK, et vérifier qu'ils monitorent

effectivement le paramètre MC que l'on souhaite. On fait l'exercice avec des capteurs simples et déjà modélisés dans le PDK : pour 500 instances, on simule @100 MHz l'impédance d'une résistance métallique (ruban de plusieurs centaines de  $\mu\text{m}$  sur la couche M1) et d'un condensateur plan (métaux M7 – dit MZ, et M8 en vis-à-vis). On isole enfin pour chaque capteur le paramètre MC qui lui est le plus corrélé. Dans la Figure III.2, ces signatures sont tracées en fonction du paramètre MC sélectionné.

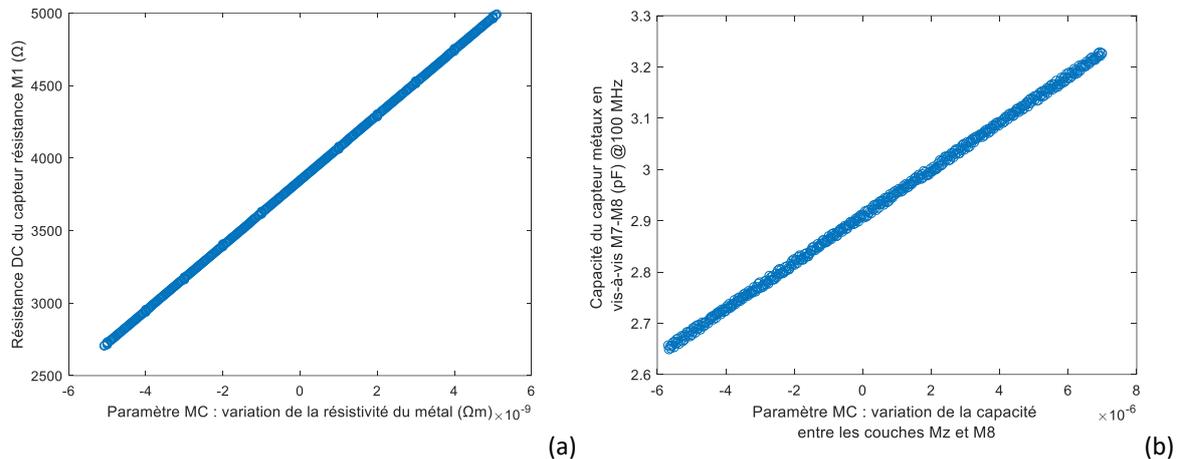


Figure III.2 : Signature de capteurs résistifs (a) et capacitifs (b) en fonction de leur paramètre de process le plus fortement corrélé

Dans la Figure III.2 (a), on constate que le capteur de résistance M1 simulé est directement dépendant de son paramètre MC le plus corrélé (coefficient de corrélation de 1). Ce paramètre représente la variation normalisée de la résistivité de la couche M1, qui est donc plutôt représentatif de paramètres physiques. Dans la Figure III.2 (b), on voit que le capteur de capacité entre les couches M7 et M8 est très corrélé à un paramètre MC qui représente la variation de capacité normalisée entre les couches MZ (soit M7 ou M6) et M8 (ou MU). Ce paramètre MC n'est donc pas relié directement à une grandeur physique de base comme l'épaisseur du diélectrique ou sa permittivité, mais ces grandeurs ne sont pas représentées directement dans le PDK. On peut considérer qu'ils ont un effet conjoint sur la capacité entre ces deux couches dans tous les cas, et donc qu'il n'est pas vraiment nécessaire de les dissocier. Par ailleurs, on constate que ce capteur est capable de monitorer quasiment directement un paramètre MC du PDK, soit un paramètre considéré comme suffisant par les équipes de modélisation de la technologie. Connaître cette signature est donc suffisant pour caractériser les composants qui y sont associés (sans avoir à en connaître la liste, puisque la méthode se veut générique).

Il est également possible de compléter les informations révélées par les signatures des capteurs en passant par la simulation électromagnétique. Cette dernière donne plus d'informations sur les liens entre grandeurs physiques et signatures, qui peuvent être utiles pour compléter la liste de capteurs ou améliorer la sensibilité de capteurs existants.

Nous avons abordé ici la conception de capteurs génériques de variation de process basés sur le test des grandeurs physiques du BEOL. Ce travail de conception n'est pas forcément aisé, mais il est fortement assisté par les outils de simulation et les modèles fournis par le fondeur.

### ***Capteurs de variation FEOL***

Il est théoriquement possible de faire le même travail de décomposition sur les composants du FEOL, en détaillant les types d'implantation, de dopage, de tranchées isolantes, de contacts, d'oxyde de grille, etc. Seulement, il existe des obstacles à ce travail sur le FEOL qui pouvaient être ignorés ou contournés sur le BEOL.

Tout d'abord, le principal obstacle à la mise en œuvre de capteurs spécifiques vient des contraintes de dessin (*Design Rules Checking* – DRC) imposées par le fondeur pour encadrer une certaine reproductibilité du process et des performances pour chaque réticule exploitable du wafer. Cela implique que l'ajout de composants actifs personnalisés est très compliqué au niveau de la conception, et peut dans certains cas avoir lieu au terme de discussions entre différentes équipes de conception ainsi qu'avec les équipes de modélisation et de process. Il est par conséquent très difficile de dessiner des capteurs témoignant directement de paramètres physiques de la technologie.

Il n'est pas possible, en suivant les règles du DRC, de dessiner au niveau des implants du FEOL, et donc d'obtenir des informations directement sur les différents dopages, les qualités des contacts, la qualité des tranchées d'isolant, la résistivité du polysilicium... Dans la plupart des cas, il faut se baser sur des capteurs reprenant des composants déjà existants ou des parties de ces derniers. On se fie donc à diverses mesures quasi-statiques sur un même composant (par exemple, un ou deux transistors bipolaires de taille moyenne pour tester tout circuit à base de transistors bipolaires) en supposant que ces mesures sont valables pour tous les composants de topologie et de dimensions proches.

Or, s'il est difficile de concevoir des capteurs personnalisés, il en est de même pour les composants eux-mêmes. Ainsi, le nombre de topologies différentes de composants actifs reste relativement limité. Il existe ainsi un nombre total limité de capteurs qui permettent de tester l'ensemble des composants actifs de la technologie (ou du moins du PDK).

Avec l'objectif de tester les transistors bipolaires de taille moyenne, on peut utiliser plusieurs capteurs différents. On peut notamment proposer la mesure de l'impédance de diodes connectées dans différentes configurations, de transistors bipolaires et MOS également connectés dans de multiples configurations. On peut également envisager la mesure de caractéristiques courant-tension en continu, ce qui se fait à très bas coût aussi bien sur des transistors que sur des diodes.

On peut montrer un exemple de simulation sur les capteurs FEOL comme nous l'avons fait sur les capteurs BEOL. On a simulé 500 instances Monte-Carlo d'un capteur de capacité de base d'un transistor bipolaire, dont on a court-circuité le collecteur et l'émetteur. Le

transistor est un bipolaire NPN de dimensions standard. La Figure III.3 présente la signature du capteur (capacité issue de l'impédance à 100 MHz en mesure 1 port) en fonction du paramètre MC le plus corrélé, en (a) et le second plus corrélé en (b).

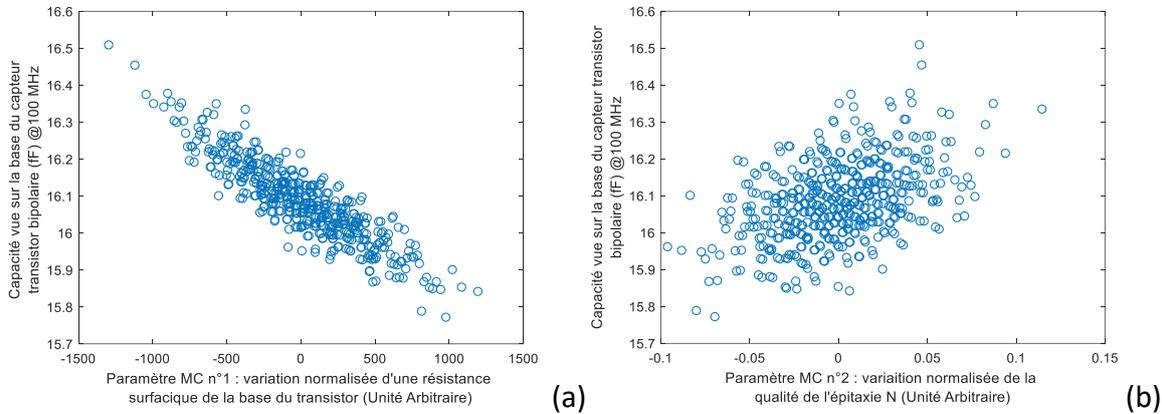


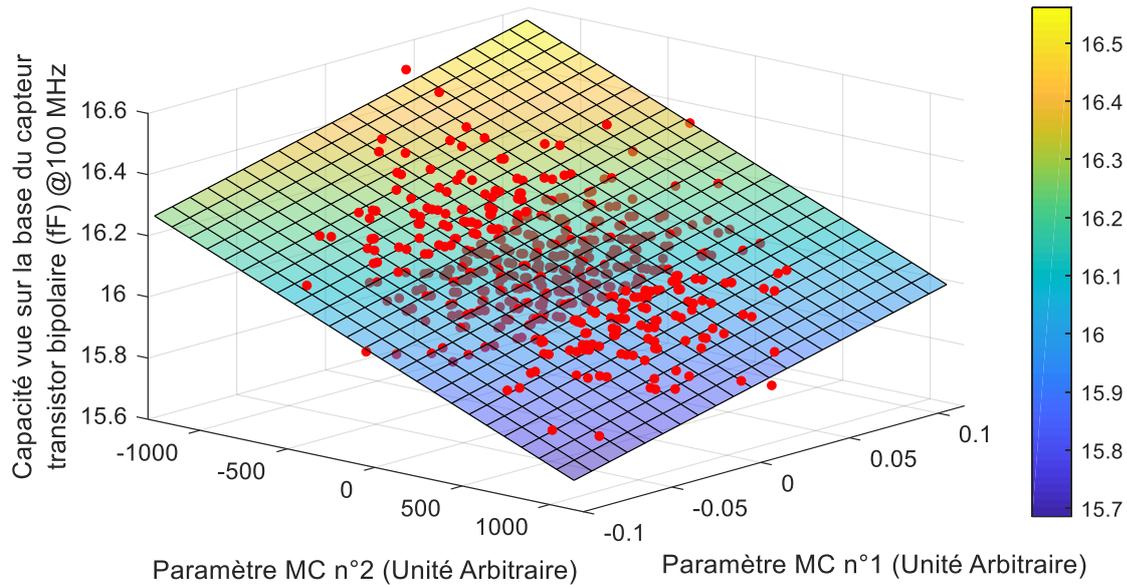
Figure III.3 : Signature du capteur d'impédance de la base du transistor bipolaire en fonction des deux paramètres MC (a) et (b) les plus fortement corrélés

Dans un premier temps, on utilise la corrélation au sens du coefficient  $r$  de corrélation de Pearson entre deux échantillons  $a$  et  $b$ , défini comme suit :

$$r(a, b) = \frac{\sum_{i=1}^n (a_i - \bar{a})(b_i - \bar{b})}{\sqrt{\sum_{i=1}^n (a_i - \bar{a})^2 \times \sum_{i=1}^n (b_i - \bar{b})^2}} \quad (\text{III. 1})$$

avec  $n$  la taille de l'échantillon,  $a_i$  et  $b_i$  les points échantillonnés, et  $\bar{a}$  et  $\bar{b}$  les moyennes des échantillons.

On constate dans la Figure III.3 la forte corrélation ( $r = -0.89$ ) entre la signature du capteur et le paramètre MC (nommé n°1) qui représente la variation normalisée d'une contribution à la résistance de base du transistor. On constate également que la signature est corrélée dans une moindre mesure ( $r = 0.46$ ) à un second (n°2) paramètre MC qui représente la variation d'une épitaxie dans le transistor. On se rend compte graphiquement que la signature est directement impactée par ces deux paramètres MC, mais si l'on trace (dans la Figure III.4) les résultats de simulation MC dans l'espace en fonction des deux paramètres, on constate que les signatures forment un plan (visible sur la Figure III.4 avec la surface de tendance). Il existerait donc une fonction relativement simple qui exprime la valeur des signatures en fonction de ces deux paramètres uniquement.



*Figure III.4 : Signature du capteur d'impédance de la base du transistor bipolaire en fonction des deux paramètres MC n°1 et n°2 et surface de tendance*

Ainsi, puisque le but est de retrouver les paramètres de process, on peut constater que ce capteur révèle les variations de deux paramètres de process (ici des paramètres MC) distincts en même temps. Il faut alors obtenir de l'information supplémentaire avec d'autres capteurs pour isoler ces deux paramètres, si l'on se rend compte lors de la phase de test (en simulation) qu'il y a besoin de discriminer les paramètres entre eux. Avec un capteur supplémentaire qui donnerait des informations complémentaires sur l'un ou l'autre des deux paramètres, il est tout à fait possible de retrouver suffisamment d'informations indépendantes pour monitorer chacun des deux paramètres indépendamment. Or, comme dans le cas des capteurs de variation du BEOL, il est probable que des phénomènes agissant conjointement sur une grandeur électrique et qui sont difficiles à monitorer indépendamment aient en général un effet conjoint sur les performances du CST comme sur les signatures des capteurs. Il n'est alors pas nécessaire de les monitorer indépendamment.

Dans le cas des capteurs BEOL ou FEOL, les pistes proposées semblent rendre possible la conception de capteurs de variation de process génériques et basés sur les paramètres technologiques, et permettant de couvrir largement les variations que les circuits peuvent être amenés à subir. Nous avons pu explorer ces pistes en simulation au niveau circuit, il faut maintenant voir à mettre en œuvre ces capteurs au niveau *layout*, puis en mesures. Nous allons donc citer quelques contraintes qui s'appliquent au dessin de ces capteurs pour s'assurer qu'ils soient correctement intégrables, qu'ils soient fonctionnels, et qu'ils soient mesurables.

### **Capteurs et contraintes d'intégration**

Une première liste de capteurs du FEOL (axés sur le process dédié aux transistors bipolaires) et du BEOL qui pourront être intégrés et les conditions de mesure de leurs

signatures est donnée dans le Tableau 2. On y retrouve seulement des mesures à l'impédancemètre à des fréquences maximales de 100 MHz et des mesures en DC. Cette liste est à compléter pour obtenir le plus d'informations possibles sur les paramètres de process, mais est a priori suffisante pour tester des CST basés sur des transistors bipolaires et/ou des passifs.

Tableau 2 : Capteurs intégrés pour le test de circuits basés sur des transistors bipolaires et/ou des passifs sur la technologie STM BiCMOS 55 nm

| Capteurs                      | Type de mesure                   | Fréquence | Magnitude  |
|-------------------------------|----------------------------------|-----------|--|
| Capacités M1-AP               | Impédance                        | 100 MHz   | 150 fF - 15 pF   |
| Résistances M1-AP             | Résistance                       | DC        | 100 $\Omega$ - 2 k $\Omega$  |
| Chaîne de vias                | Résistance                       | DC        | 1 k $\Omega$ - 2 k $\Omega$  |
| Transistors HBT               | Polarisation DC<br>$I_c(V_{ce})$ | DC        | $I_c$ : 1 - 15 mA  |
|                               |                                  |           | $I_b$ : 0 - 10 $\mu$ A   |
|                               |                                  |           | $V_{ce}$ : 0 - 3 V   |
|                               | Impédance                        | 100 MHz   | $Re(\overline{Z}_{21})$ : 1 - 20 $\Omega$<br>$Im(\overline{Z}_{21})$ : 0.1 - 10 $\Omega$ |
| Diode ( <i>varactor</i> ) PN  | Polarisation<br>$I(V)$           | DC        | $I_d$ : 0.1 - 10 mA<br>$V$ : -5 - 2 V  |
|                               | Impédance                        | 100 MHz   | 0.5 - 50 fF  |
| Diode ( <i>switch</i> ) PIN   | Polarisation<br>$I(V)$           | DC        | $I_d$ : 0.1 - 10 mA<br>$V$ : -5 - 2 V  |
|                               | Impédance                        | 100 MHz   | 0.5 - 50 fF  |
| Calibrage : Circuit-ouvert DC | Impédance                        | 100 MHz   | Pour calibrage des appareils   |
| Calibrage : Court-circuit DC  | Impédance                        | 100 MHz   | 10 m $\Omega$ - 2 $\Omega$<br>Pour calibrage des appareils                               |

On retrouve dans cette liste des capteurs du BEOL comme les serpentins métalliques mesurant les variations de dimensions et de résistivité de chacun des huit métaux principaux, et de la couche d'aluminium (AP) permettant de réaliser des plots d'accès à la surface du wafer. Les capteurs de capacité entre chaque couche que nous avons présentés et les chaînes de vias sont également présentes. Du côté du test du FEOL, on mesure plusieurs topologies (dimensions, nombre de doigts) de transistors bipolaires en DC, et on relève leurs caractéristiques courant-tension. On relève également le  $\beta$  des transistors à partir de ces mesures, puis on mesure l'impédance présentée par la base de ces transistors lorsque le collecteur est connecté à l'émetteur. Enfin, on mesure également les caractéristiques courant-tension et impédances à 100 MHz de différentes topologies de *varactors* et de *switches* à base de diodes PIN. La surface totale de ces capteurs en technologie B55, plots de mesure compris,

est de l'ordre de  $2 \text{ mm}^2$ , qui peut être intégré au *layout* d'un *front-end*. Le schéma électrique et les microphotographies des capteurs intégrés sont présentés en Annexe A.

Certaines considérations sont à prendre en compte pour la conception des capteurs. Tout d'abord, on doit s'assurer que tous les capteurs sont mesurables avec une bonne précision. Pour cela, il faut estimer l'ordre de grandeur attendu de la variation des signatures, et le comparer avec l'erreur de mesure du banc de mesure. Il faut donc maîtriser la reproductibilité de la mesure en amont de la conception des capteurs. Pour améliorer la mesure, il est possible de réaliser des mesures 4 pointes, en prévoyant des plots de mesure supplémentaires dans le *layout*. La mesure 4 pointes permet de supprimer l'effet des accès d'un circuit ainsi que les défauts de l'appareil de mesure, et consiste à mesurer une résistance en injectant un courant dans le dipôle à caractériser par un premier accès, et à en mesurer la tension résultante à travers un second accès. Il est également possible avec une méthode plus simple de prévoir un kit de calibrage (circuit-ouvert et court-circuit) pour l'impédancemètre, qui permet de minimiser l'effet des accès (couplage parasite entre les pads, résistance de contact). Un compromis doit être trouvé entre la complexité de la mesure, la complexité et l'encombrement des *layouts*, et la précision de la mesure.

Nous l'avons abordé plus haut, les contraintes de dessin sont à prendre en compte dans l'étape de *layout*. En effet, on doit tout d'abord s'assurer que les capteurs soient suffisamment proches des CST pour relever les variations de process telles qu'elles sont subies par ce dernier. Il faut aussi tenir compte de l'environnement du capteur, qui peut influencer sur les variations de process qu'il peut subir : le comportement des vias est un exemple, un via seul ne subira pas le même degré de variations qu'un via situé au milieu d'une matrice de plusieurs dizaines de vias. Il en est de même pour les composants actifs, les effets de proximité peuvent être assez importants, et c'est justement le rôle du DRC fourni par le fondeur de limiter l'impact de ces phénomènes sur la conception. De plus, les méthodes de test non-intrusif fonctionnent à partir de variations relatives. Les variations de process qui dépendent d'effets de proximité en changeant de degré mais pas de nature sont prises en compte de manière transparente par le modèle.

Il est ainsi tout à fait envisageable de compléter cette liste pour être en capacité de tester n'importe quel circuit intégré sur la technologie. En effet, il suffit de suivre à nouveau la même démarche, pour monitorer les composants actifs basés sur du MOS par exemple. À travers la simulation MC, on peut vérifier que les capteurs déjà intégrés couvrent effectivement les variations de process, et en ajouter si besoin.

Dans cette section, nous avons pu dessiner des pistes pour l'intégration de capteurs simples capables de tester une très grande liste de variations de process. Ces jeux de capteurs, bien qu'étant quasi-statiques et simples de conception, et à terme génériques, représentent cependant un certain effort à la mise en œuvre, et un coût silicium non-négligeable. Dans cette configuration, l'effort de conception, les équipements de mesures ATE et la gestion des

capteurs en *layout* restent à la charge du concepteur de circuit intégrés en bande millimétrique, ou du moins à la charge d'une équipe chargée de l'intégration de ces circuits.

Il existe néanmoins une solution qui résout ces différentes contraintes : l'utilisation des capteurs PT comme capteur de variations de process non-intrusifs. Ces capteurs présentent de nombreux avantages, et résolvent totalement les contraintes d'encombrement, de conception, et proposent une solution clés en main pour la mesure à très bas coût de ces structures de test. La section suivante est consacrée à l'argumentation pour l'utilisation de ces capteurs déjà existants comme une solution efficace pour le test non-intrusif.

### 3. Capteurs « Parametric Test » (PT)

Les fondeurs garantissent une certaine reproductibilité de la technologie, et garantissent donc que chaque wafer sorti de production est dans les limites de variation de la technologie, qui sont représentées dans le DRM. Pour ce faire, les fondeurs intègrent et mesurent une grande quantité de capteurs qui monitorent toutes les variations de process garanties au client, et qui sont décrites dans le DRM. Cela implique qu'un test au niveau du wafer est mené, conduisant à une décision de rejet ou d'acceptation de chaque wafer. Le test n'est pas réalisé au niveau de CST fonctionnant en RF ou millimétrique, mais au niveau du process. Avec les mesures de ces capteurs de test paramétrique (capteurs PT, parfois *e-test*), des statistiques sont dressées par le fondeur, et sont à la base des modèles MC fournis dans le PDK. D'un point de vue statistique, les concepteurs utilisent déjà indirectement ces capteurs PT pour estimer en simulation la dispersion de performances qu'un circuit peut présenter.

Ces capteurs PT sont conçus par les fondeurs eux-mêmes, par des équipes de technologues et de conception, avec une normalisation du *layout* et des conditions de mesure pour optimiser au mieux cette dernière. La méthode de conception est mise en place et développée avec l'expérience des technologies antérieures, et est incrémentale. La mesure du jeu de capteurs PT est directement réalisée par un équipement de test automatisé (ATE) en sortie de chaîne de production, avec des fréquences limitées à quelques kHz. La proposition de conception d'un jeu exhaustif de capteurs génériques, et proches de la technologie, s'avère donc redondante avec celle que fait déjà le fondeur.

Les capteurs PT constituent donc un jeu de capteurs suffisant pour effectuer le test non-intrusif au niveau du réticule bas coût de circuits RF ou en bande-millimétrique. Si l'on reprend nos conclusions sur les limitations des méthodes de test non-intrusif, on peut y confronter les capteurs PT :

- Tout d'abord, la mesure des capteurs doit être la plus simple possible. Du point de vue conception/clients, nous avons ici une bonne configuration : la mesure des capteurs est optimisée et réalisée par le fondeur avant même la livraison des circuits au client ou concepteur. Elle est réalisée via un ATE déjà en place et parfaitement maîtrisé en termes de reproductibilité, qui utilise des mesures allant du continu à seulement quelques kHz. La mesure est de ce fait entièrement automatisée et totalement

transparente pour le client ou l'équipe de conception qui souhaiteraient appliquer une méthode de test non-intrusif sur leur système.

- Les capteurs doivent être relativement légers en termes de coûts de conception : les capteurs PT sont conçus par le fondeur, qui a la meilleure connaissance de la technologie, y compris sur des informations couvertes par le secret industriel. Ainsi, la conception des capteurs est orientée par des besoins remontés des équipes de conception internes et des équipes de process avec qui elles sont en discussion régulière. On peut alors efficacement cibler les points clés du process à monitorer, et adapter la liste de capteurs lorsque des nouvelles options et topologies sont offertes. Les capteurs sont conçus en plusieurs itérations suivant un processus strict de validation : chaque nouveau capteur est embarqué plusieurs fois en tant que circuit classique sur des wafers multi projets (MPW), il est mesuré, puis il est finalement intégré aux matrices de capteurs PT.
- L'encombrement supplémentaire dû aux capteurs doit être raisonnable : les capteurs PT sont placés par le fondeur dans les lignes de découpe situées entre les réticules (ou entre les circuits si le réticule comporte plusieurs circuits). Les capteurs doivent donc respecter des dimensions strictes et normalisées pour ne pas impacter la surface totale des circuits. Lors de la mise en boîtier, les capteurs PT sont perdus dans la découpe sans entraîner de coût supplémentaire de surface.

Les capteurs PT sont donc des capteurs de variation de process déjà existants, dont la mesure est maîtrisée. L'exhaustivité de ce jeu de capteurs est l'objectif premier du fondeur, ce qui nous assure que toutes les variations de process sont prises en compte dans notre méthode de test. Le fondeur l'utilise aujourd'hui pour garantir la technologie, et on envisage alors d'y ajouter une application plus fine, la prédiction de performances de circuits en bande millimétrique au niveau du réticule.

Toutefois, comme l'utilisation de ces capteurs PT par le fondeur ne poursuit pas du tout les objectifs d'application que nous proposons ici, la procédure utilisée actuellement ne permet pas encore de réaliser des tests non-intrusifs au niveau du réticule. En effet, le but est de tester chaque wafer, et non chaque réticule. Bien que les capteurs soient reproduits à l'identique sur chaque réticule, seul un petit nombre des jeux de capteurs est mesuré sur chaque wafer. La Figure III.5 illustre la méthode de test au niveau du wafer employée par les fondeurs.

Inclus dans les réticules, les jeux complets de capteurs PT sont reproduits à l'identique autant de fois que les circuits. Cependant, seulement quelques jeux sont effectivement mesurés durant la procédure : seule une petite partie des réticules est mesurée systématiquement (de l'ordre de 10% des jeux disponibles). Si les signatures sont comprises dans un intervalle acceptable, le wafer est accepté, sinon on pousse l'investigation avec la mesure de capteurs supplémentaires.

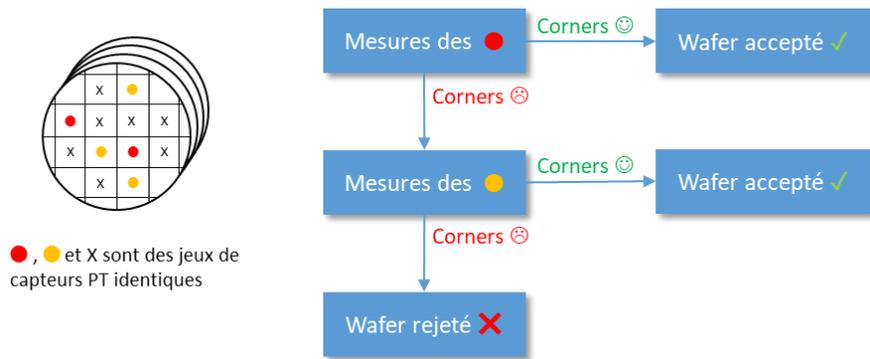


Figure III.5 : Schéma de principe de la méthode actuelle de test au niveau du wafer à base de capteurs PT

Si le second jeu de capteurs donne des résultats acceptables et permet de lever les doutes sur le wafer, ce dernier est accepté, sinon le wafer est rejeté définitivement. Dans cette méthode, il est très rare que tous les jeux de capteurs soient mesurés, cela peut-être le cas uniquement pour diagnostiquer un problème spécifique, mais cela ne fait pas partie de la procédure automatisée. La première adaptation que l'on doit donc appliquer à cette procédure pour passer au test non-intrusif au niveau du réticule est de rendre automatique la mesure complète.

Une seconde limitation à prendre en compte est la taille du jeu de capteurs PT. En effet, la procédure prévoit la mesure de plus de 1500 signatures par réticule monitoré, là où les méthodes de tests non-intrusifs issus de la littérature prévoient au plus une vingtaine de signatures. De plus, dans les méthodes connues, les capteurs sont sélectionnés lors de la conception, on est donc assuré de la pertinence de tous les capteurs non-intrusifs disponibles sur le réticule lors de la mesure. Il faut alors être capable de proposer une sélection des capteurs utiles a posteriori, après l'intégration, car il est difficilement envisageable d'entraîner une fonction de régression à partir de milliers de signatures. Cela nécessiterait un nombre d'échantillons d'entraînement beaucoup trop important, avec une efficacité assez limitée, et tout de même une certaine capacité de calcul.

Enfin, la dernière limitation concerne la difficulté de relier nommément les capteurs PT à des variations de process précises, en raison du nombre de capteurs disponibles. On sait que l'on peut considérer que la liste est proche de l'exhaustivité, et que les signatures sont proches des variations physiques du process, mais les données précises et complètes fournissent beaucoup de détails sur les méthodes de fabrication, données qui tombent donc sous le coup du secret industriel. Pour plus de flexibilité, il est préférable que la sélection des signatures soit entièrement automatisée, ou avec un tri manuel très basique (par exemple, éliminer les capteurs traitant uniquement du process du MOS si seuls des transistors bipolaires sont utilisés). Dans l'état actuel des choses, on en déduit également qu'il n'est pas possible qu'une équipe de conception externe au fondeur ait accès aux liens entre les signatures des capteurs PT et les paramètres Monte-Carlo, pour les mêmes raisons de secret industriel mais aussi à cause de la complexité de telles données. Une équipe de conception ne peut donc pas

simuler les capteurs PT en même temps que son circuit à l'aide du PDK, et ne peut donc pas avoir de recul sur la méthode de test avant de passer par la mesure. Une solution complémentaire que nous n'explorons pas ici serait de prévoir un échange entre le fondeur et le concepteur sans unité de production. Le concepteur relèverait les paramètres MC les plus impactant sur son application (avec la méthode de [17] par exemple), et transmettrait la liste au fondeur. Ce dernier peut ensuite mesurer seulement les capteurs pertinents sélectionnés en amont et transmettre ces données pré-triées et anonymisées au concepteur pour qu'il réalise son test indirectement. Le secret industriel du fondeur est alors maintenu, et le concepteur possède les données nécessaires au test.

Avec les considérations dont nous avons pu discuter dans cette section, nous disposons à présent d'un cahier des charges à suivre pour proposer une méthode de test non-intrusif basé sur les signatures des capteurs PT. Dans la section III.C, nous détaillons une méthode de test non-intrusif capable de prédire les performances d'un circuit fonctionnant en bande millimétrique. Cette méthode prévoit la sélection des signatures PT significatives sans avoir à connaître leur signification précise.

### C. Principe de la méthode de test

Pour expliciter la méthode proposée, nous détaillons comment utiliser une fonction de régression basée sur l'apprentissage automatique pour la prédiction des performances du CST, dans la section III.C.1. Dans une deuxième sous-section, nous adaptons les algorithmes existants à nos besoins, afin de réaliser la sélection de signatures PT significatives.

#### 1. Fonction de régression et apprentissage automatique

L'objectif du test est de prédire les  $m$  performances  $(P_1, P_2 \dots P_m)$  du CST en fonction d'un ensemble de  $n$  signatures sélectionnées  $(S_1, S_2 \dots S_n)$ . Comme nous l'avons évoqué lors de l'introduction de la méthode de test non-intrusif, il n'est pas possible, au vu du nombre de dimensions en jeu, de trouver une formule analytique qui lierait les deux ensembles. La prédiction est réalisée à l'aide d'une fonction de régression multi-variable, notée  $f_{S \rightarrow P}$ , entraînée à partir de données préexistantes (données issues de mesures préliminaires dans notre cas). L'équation III.2 définit la fonction de régression.

$$f_{S \rightarrow P} : (S_1, S_2 \dots S_n) \rightarrow (P_1, P_2 \dots P_m) \quad (\text{III. 2})$$

avec  $(P_1, P_2 \dots P_m)$  les  $m$  performances du CST, et  $(S_1, S_2 \dots S_n)$  les  $n$  signatures.

Pour ce faire, comme dans [17], nous utilisons une fonction de régression fonctionnant à base d'apprentissage automatique, un réseau de neurones. Les réseaux de neurones sont des outils de régression très performants dans leur capacité à fournir une fonction de régression multivariée en utilisant un ensemble d'entraînement de petite taille, ce qui permet pour notre méthode de limiter le nombre de mesures fonctionnelles à réaliser. Cela est intéressant à terme à la fois pour la mise en production et pour la démonstration que nous

menons ici, car la quantité de données que l'on peut obtenir en laboratoire est relativement limitée (mesures sur un wafer uniquement). Ici, nous travaillons avec un réseau de neurone à propagation avant (FFNN) et l'algorithme d'entraînement Levenberg-Marquardt (LM).

Le jeu de données en entrée du réseau est dénommé espace d'entrée. L'entraînement est plus efficace quand la taille de l'espace d'entrée (le nombre de signatures PT considérées) est limitée et que cet espace d'entrée est pertinent, c'est pour cela qu'il est nécessaire de sélectionner l'espace d'entrée, soit les signatures en fonction de leur corrélation avec les performances. Lorsque l'espace d'entrée est trop grand et qu'une partie de ses variables n'est pas corrélée avec les performances (ce qui s'apparente à du bruit), on peut voir apparaître un phénomène de surapprentissage. Celui-ci correspond à un apprentissage lié aux données d'entraînement elles-mêmes : la fonction de régression cherche à minimiser l'erreur de prédiction pour chaque échantillon précis de l'ensemble d'entraînement, sans aucune généralisation. Ainsi, lorsque l'on change le jeu de données d'entrée pour passer à la phase de test en production, la fonction n'est plus capable de prédire les nouvelles données de performance à partir des nouvelles entrées.

Pour exemple, on peut entraîner une fonction de régression du capteur de variations de la capacité parasite de la base d'un transistor bipolaire, capteur présenté en section III.B.2. Nous avons constaté en simulation MC que la signature du capteur variait principalement selon ses deux paramètres MC les plus corrélés. Nous avons à notre disposition 500 instances simulées du capteur. Nous avons alors entraîné une fonction de régression à partir d'un ensemble d'entraînement de 250 instances issues de ces simulations, puis nous avons prédit la capacité parasite du transistor (la performance  $P$ ) en fonction des deux paramètres MC (l'espace d'entrée) connus comme suffisants (d'après la section III.B.2), pour un ensemble de vérification distinct de 250 instances. Dans la Figure III.6, on présente les valeurs prédites avec la fonction de régression en fonction des valeurs réelles de la performance sur l'ensemble de vérification.

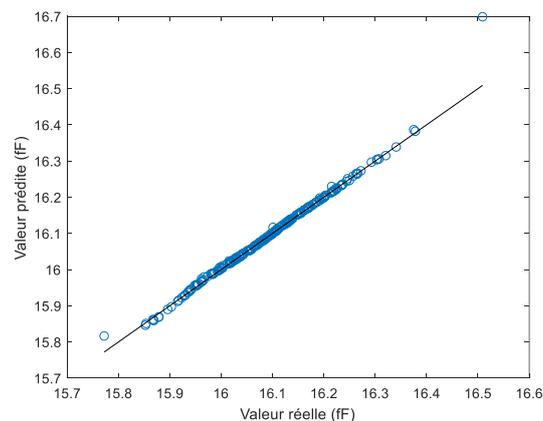


Figure III.6 : Prédiction de la performance sur l'ensemble de vérification

Cet exemple est relativement simple car seuls deux paramètres d'entrée de la fonction sont significatifs, et nous avons remarqué à l'aide de la représentation dans l'espace de la performance en fonction des paramètres MC que la relation qui les lie est assez simple. On

constate ici que la prédiction est de très bonne qualité. Par contre, on peut aussi relever que deux points, qui sont deux cas extrêmes situés loin de la moyenne de la performance, présentent une plus grande erreur de prédiction. Ceci est symptomatique de l'entraînement de la fonction de régression : il est basé sur des données préexistantes, et ne peut donc être précis que si un cas proche de celui à prédire fait partie de l'ensemble d'entraînement. C'est une contrainte d'utilisation de ce type de modèle qui devra être prise en compte lors de la mise en œuvre du test.

Nous avons décrit comment utiliser une fonction de régression basée sur un réseau de neurones, et nous avons pu constater que la sélection des paramètres les plus impactant sur la performance à prédire est indispensable pour obtenir une bonne qualité de prédiction, avec un jeu de données d'entraînement de taille raisonnable. Or, dans la méthode que nous proposons, nous avons à notre disposition un nombre très élevé de signatures des capteurs PT, dont on ne connaît pas nécessairement la signification. Il s'agira de sélectionner de manière systématique les signatures les plus significatives pour obtenir la meilleure prédiction possible.

## 2. Approche de sélection des signatures significatives

### ***Description d'un algorithme de sélection de paramètres significatifs***

Pour proposer une méthode de sélection efficace, nous allons nous baser sur des travaux décrits dans la littérature, et adapter leurs propositions à nos besoins. Les travaux présentés dans [17], et que nous avons introduits dans l'état de l'art, proposent une méthode qui automatise le choix de capteurs non-intrusifs que l'on doit embarquer avec le CST dans le cadre de test non-intrusif. Pour ce faire, l'article propose de lister les paramètres MC qui permettent la prédiction des performances simulées du CST. Une fois cette liste déterminée, les auteurs conçoivent des capteurs qui mettent en évidence les variations des paramètres MC, en simulation également. Ils démontrent que si les capteurs présentent des signatures corrélées aux paramètres MC qui régissent le comportement du CST en simulation, alors la mesure de ces signatures permet la prédiction des performances du CST lors de la phase de test.

Dans notre cas, nous cherchons à déterminer une liste de signatures de capteurs PT qui permettent directement après intégration de prédire les performances mesurées du CST, et ce à partir d'un jeu de données de mesures préliminaires. On voit donc des similitudes entre les algorithmes en jeu dans les deux méthodes.

Les auteurs de [17] proposent un algorithme qui réalise la sélection par itérations, dont le schéma de principe est présenté dans la Figure III.7.

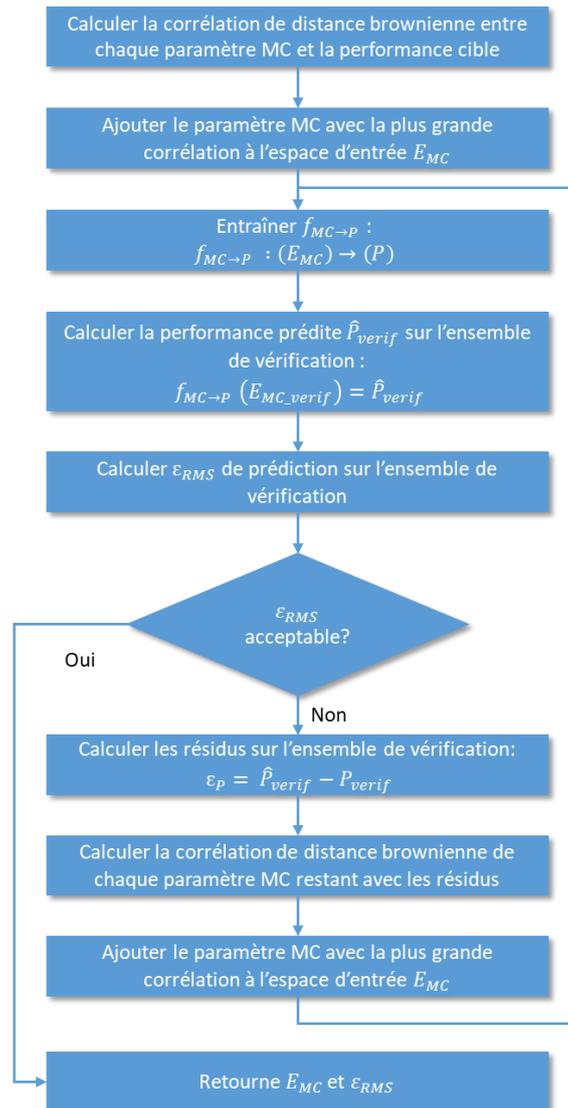


Figure III.7 : Schéma de principe de la sélection des paramètres MC significatifs [17]

L'objectif est de déterminer un espace d'entrée  $E_{MC}$  de la fonction de régression qui soit constitué des paramètres MC les plus significatifs. Il est nécessaire en entrée de la méthode d'avoir à disposition un ensemble de données comprenant, dans le cas de [17], les performances du CST issues de simulation MC et tous les paramètres MC correspondants, pour un certain nombre d'instances. La littérature évoque un nombre d'instances compris entre plusieurs centaines et plusieurs milliers, selon la complexité du CST et les capacités de calcul disponibles. On scinde cet ensemble de données d'entrée en deux ensembles, un premier servant à l'entraînement à proprement parler des fonctions de régression, un second constituant l'ensemble de vérification sur lequel on évalue les fonctions de régression à chaque itération. Avant la première itération, on calcule la corrélation de distance brownienne entre les paramètres MC et les performances simulées, et on prend pour premier élément de l'espace d'entrée  $E_{MC}$  le paramètre MC le plus corrélé. L'algorithme est basé sur le calcul de corrélation de distance brownienne (décrite dans [75], introduite dans le contexte dans [76]) entre les paramètres MC et la performance. La corrélation de distance brownienne a pour

avantage d'évaluer des corrélations sur des lois multivariées (et d'ordres plus élevés), là où le coefficient de corrélation de Pearson n'évalue que les relations linéaires.

À chaque itération, on entraîne un réseau de neurones en prenant en entrée l'espace des paramètres MC et la performance à tester comme cible sur l'ensemble de vérification. Ensuite, on calcule les résidus du modèle de régression, soit l'erreur de prédiction point par point. On cherche alors le paramètre MC le plus corrélé aux résidus de prédiction. Ceci permet de mettre en lumière les faiblesses de l'espace d'entrée constitué jusqu'ici, le nouveau paramètre MC sélectionné étant celui le plus à même de combler les lacunes du modèle. Dans [17], les itérations sont menées jusqu'à ce que l'erreur RMS de prédiction devienne inférieure à un seuil donné. Une fois l'objectif de qualité de prédiction atteint, l'algorithme retourne l'erreur RMS du modèle, et surtout l'espace d'entrée qui comporte la liste des paramètres MC les plus à même de prédire les performances. Pour les auteurs de [17], cette information est nécessaire pour la conception des capteurs qui aura lieu après cette étape de sélection.

Quelques modifications ou points sensibles sont à relever pour l'application de cette méthode de sélection dédiée à des données de simulation à notre cas.

#### ***Adaptation de la méthode à la sélection de signatures PT***

Les objectifs de l'algorithme de [17] diffèrent des nôtres principalement de par les données utilisées. Les auteurs considèrent que l'on peut estimer un seuil de l'erreur RMS que l'on peut atteindre, et stopper l'entraînement au dépassement de ce seuil. Or, celui-ci est un objectif souhaité, et il est en réalité impossible d'assurer que l'on pourra effectivement l'atteindre. Cela est dû à deux raisons. La première vient du fait que nous travaillons avec des données issues de mesure, et non de simulation. Ces données sont beaucoup plus bruitées (bruit de mesure, variabilité des conditions de mesure, détaillés dans le Chapitre V), et rendent l'apprentissage automatique plus difficile. Aussi, la qualité de la prédiction devient dépendante de la qualité de la mesure de l'ensemble d'entraînement. Deuxièmement, nous avons plus de 1500 signatures PT par réticule : entraîner un modèle à partir d'un espace d'entrée de 1500 signatures demande beaucoup de ressources, et surtout beaucoup d'échantillons, ce qui n'est pas accessible ici pour notre démonstration, ni souhaitable pour un déploiement en production.

Pour ces raisons, l'entraînement peut rapidement se heurter à un problème de généralisation et à un surentraînement, dégradant la qualité de la prédiction, et rendant les itérations de sélection des signatures PT pertinentes inefficaces. Le problème de la détection du surentraînement et de la quantification de l'erreur de généralisation est traité dans une littérature propre, mais n'est pas un verrou central ici, aussi nous ne l'aborderons pas.

Une solution simple à ce problème de surentraînement est de fixer le nombre d'itérations maximales, c'est-à-dire la taille maximale de l'espace d'entrée  $E_S$ , ou le nombre de signatures sélectionnables.

Pour un nombre d'itérations fixé, on répète les opérations, en prenant soin de stocker la fonction de régression  $f_{S \rightarrow P}$  à chaque nouvel entraînement, son erreur RMS de prédiction, et l'espace d'entrée  $E_S$  (les signatures PT sélectionnées) correspondant. La sélection erronée d'une signature PT qui n'est pas utile pour la prédiction peut ne pas être bloquante tant qu'il reste des signatures pertinentes, les itérations suivantes peuvent encore améliorer la prédiction. Par contre, comme évoqué plus haut, la taille de l'ensemble d'entraînement (et donc le nombre de mesures fonctionnelles préliminaires des performances) limite les performances de la fonction de régression : plus l'ensemble d'entraînement est petit, plus les tendances sont difficiles à déterminer et le modèle à entraîner. Par conséquent, plus l'espace d'entrée  $E_S$  est grand, plus l'ensemble d'entraînement devra être grand pour obtenir une fonction de régression de qualité, même si les signatures sélectionnées sont pertinentes. Il faut donc trouver un compromis entre la taille maximale de l'espace d'entrée  $E_S$ , la taille de l'ensemble d'entraînement, la qualité attendue de la prédiction, le tout en tenant compte de la dispersion observée des performances et de l'ordre de grandeur de l'erreur de mesure, notamment en termes de bruit de mesures aléatoire. Nous avons choisi le nombre maximal d'itérations par essai/erreur, sans chercher à trouver une solution universelle, compte-tenu du nombre de conditions (qualité des mesures, taille de l'ensemble d'entraînement, nombre de signatures PT) qu'il faudrait considérer.

Une fois toutes les itérations effectuées, on cherche quelle itération a donné les meilleurs résultats de prédiction. L'espace d'entrée  $E_S$ , la fonction de régression  $f_{S \rightarrow P}$  et l'erreur RMS  $\varepsilon_{RMS}$  du modèle sont retournés par le programme. Avec cette méthode de sélection nous sommes alors à même d'appliquer sur un CST un test non-intrusif basé sur des capteurs PT.

Une fois la fonction entraînée, il est possible de prédire les performances du CST à partir des mesures de signatures sélectionnées sur chaque réticule à tester. Dans le Chapitre V, nous appliquons cette méthode sur un cas d'étude, un LNA fonctionnant à 25 GHz. Pour nous prononcer sur la viabilité de notre méthode de test, nous observerons l'erreur de prédiction sur l'ensemble de validation. Dans un déploiement à grande échelle en production, il est possible d'entraîner une fonction de régression plus performante à partir d'ensembles d'entraînement plus vastes et divers, en se basant sur la liste de signatures PT sélectionnées sur un petit ensemble initial. On peut également envisager un apprentissage par renforcement tout au long de la période de production pour couvrir d'éventuelles évolutions. Ces pistes ne seront pas évaluées ici au vu de la difficulté du test fonctionnel sur les CST, et donc du jeu de données très limité pour la validation de la méthode.

Par ailleurs, nous pouvons étendre aisément cette méthode au calibrage face aux variations de process, qui consiste à prédire les meilleures configurations des éléments variables pour corriger l'impact des variations de process sur les performances du CST. Cela fait l'objet de la section suivante.

## D. Méthode de calibrage dérivée

Le but du calibrage est de corriger l'impact des variations de process sur les performances du circuit de chaque réticule. Un circuit que l'on peut calibrer, au-delà de toute considération ayant trait à la conception, est un circuit dont les performances sont modifiées par l'ajustement d'éléments variables. Autrement dit, la configuration des éléments variables impacte directement les performances du CST. Cette formulation permet de considérer la configuration des éléments variables comme une entrée de la fonction de régression, à la différence que l'on sait déjà que cette entrée est significative par définition. On peut alors utiliser le résultat de la sélection des signatures PT pertinentes de l'algorithme de test pour entraîner une nouvelle fonction de régression, décrite dans l'équation (III.3). Il est à noter qu'avec l'utilisation de signatures PT sélectionnées en amont pour des TKs nominaux, on suppose l'orthogonalité de l'impact des variations de process sur les performances par rapport à la plage de correction offerte par les TKs.

$$f_{S \rightarrow P} : (TK_1, TK_2 \dots TK_k, S_1, S_2 \dots S_n) \rightarrow (P_1, P_2 \dots P_m) \quad (\text{III.3})$$

avec  $(P_1, P_2 \dots P_m)$  les  $m$  performances du CST,  $(TK_1, TK_2 \dots TK_k)$  la configuration des  $k$  éléments variables et  $(S_1, S_2 \dots S_n)$  les  $n$  signatures PT.

Il s'agit alors d'une fonction de régression capable de prédire les performances en fonction non seulement des signatures PT, mais aussi des configurations des éléments variables, appelées communément « *Tuning Knob* » (ou bouton de réglage, abrégé TK).

Les TK étant des variables accessibles, à l'inverse des signatures PT, on doit générer judicieusement leurs valeurs pour favoriser un entraînement efficace de la fonction de régression. Il a été démontré dans [66] que la génération aléatoire d'un jeu de données de TK est la génération qui permet l'entraînement le plus précis, avec un ensemble d'entraînement de taille réduite. Les valeurs des TK sont tirées aléatoirement dans un intervalle déterminé par simulation, intervalle qui permet de couvrir une certaine zone de correction. Lors de la mesure de l'ensemble d'entraînement, nous utilisons donc une génération aléatoire des TK pour chaque réticule. Nous reprenons également la proposition de l'article [66] en mesurant les performances pour un seul jeu de valeurs de TK par réticule appartenant à l'ensemble d'entraînement, afin de minimiser le temps de mesure.

La Figure III.8 illustre la méthode de prédiction des TK optimaux, qui a lieu en deux temps : la phase d'entraînement dont nous avons détaillé les principes, et la phase de production.

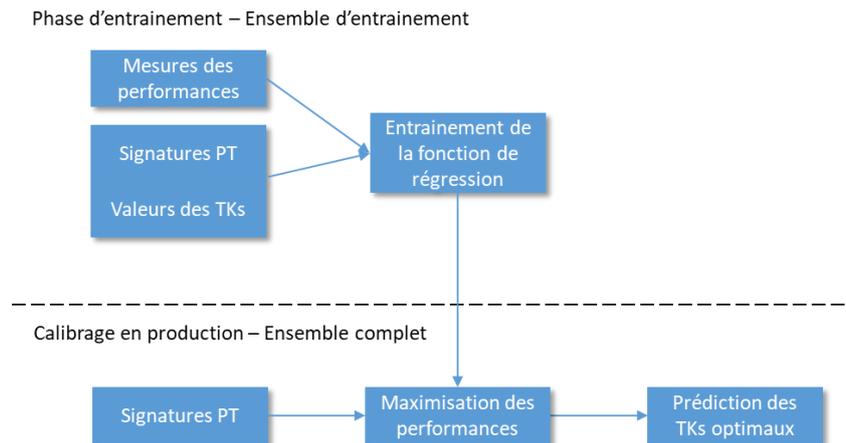


Figure III.8 : Schéma de principe de la méthode de prédiction des TK optimaux

Pour résumer, les étapes de la phase d'entraînement sont les suivantes :

- on génère aléatoirement un jeu de valeur de TK pour tous les réticules de l'ensemble d'entraînement,
- on mesure les performances via un test fonctionnel, avec les TK donnés, ainsi que les TK nominaux,
- on mesure toutes les signatures PT sur tous les réticules de l'ensemble d'entraînement,
- on emploie la méthode de sélection détaillée plus haut et on récupère l'espace des signatures PT sélectionnées,
- on entraîne la fonction de régression et on l'évalue.

Lors de la phase du calibrage en production, la fonction de régression est connue, on mesure alors sur chaque réticule seulement les capteurs PT dont les signatures ont été sélectionnées. L'objectif du calibrage est de déterminer les valeurs des TK qui optimiseront les performances, et pas seulement de prédire ces performances. Pour ce faire, on utilise les signatures PT mesurées que l'on place en entrée de la fonction de régression, et on cherche à optimiser la performance prédite en faisant varier les TK en entrée de la fonction de régression. Comme il faut trouver un compromis entre les différentes spécifications, on cherche à minimiser une fonction de coût dans l'intervalle acceptable des valeurs des TK. Une fois les TK déterminés par l'optimisation du calcul de coût, ils sont appliqués au circuit à calibrer, et on peut passer au réticule suivant.

Cette méthode peut donc être qualifiée de *one-shot* car il n'y a besoin de réaliser qu'une mesure des capteurs PT sur le réticule à calibrer, et la valeur des TK optimaux est prédite sans itération. Cette méthode de calibrage est très proche de la méthode de test décrite précédemment et se base sur les capteurs PT qui présentent toujours les mêmes avantages de faible complexité. Grâce aux mesures de capteurs PT à bas coût et la méthode de sélection des signatures PT significatives, nous montrerons que nous pourrions prédire des TK optimaux

pour calibrer des circuits RF ou en bande millimétrique, avec très peu de mesures fonctionnelles.

#### E. Conclusion

Dans ce chapitre III, nous avons développé les propositions de capteurs de variation de process et les méthodes de test et de calibrage qui répondent aux limitations relevées dans l'état de l'art. Ainsi, nous proposons d'utiliser des capteurs de variation de process qui bénéficient de l'expérience et du support des équipes du fondeur, les capteurs PT. Ces capteurs sont de conception simple, monitorent les variations au niveau de la technologie de manière très complète, et sont mesurés à très basses fréquences à l'aide de matériel déjà dédié au test en production à grande échelle. Ils n'entraînent aucun coût de conception, ni d'intégration car ils sont non-intrusifs, totalement génériques, et situés dans les chemins de découpe utilisés par le fondeur. Basés sur la mise en évidence des variations du process avec un très bas niveau de complexité, les capteurs PT donnent des informations valables pour la prédiction de diverses performances, et ce théoriquement jusqu'à des fréquences très élevées. Nous proposons également une méthode de test non-intrusif, qui sélectionne efficacement les signatures de capteurs PT, et donne une fonction de régression qui prédit des performances d'un CST en fonction de seulement quelques capteurs PT. La méthode de calibrage est une extension de la méthode de test, et a l'avantage de ne nécessiter que peu de mesures et étapes supplémentaires par rapport à la méthode de test.

Pour évaluer cette méthode, nous avons tout d'abord besoin d'un démonstrateur, un exemple précis de circuit que l'on peut soumettre à la méthode de test et de calibrage. Le démonstrateur choisi est un LNA, dont nous discuterons la conception dans le Chapitre IV. Une fois le démonstrateur conçu, nous discuterons de l'évaluation des méthodes de test et de calibrage en mesures sur le démonstrateur intégré dans le Chapitre V, en présentant des résultats de mesures et les études statistiques permettant de consolider ces résultats.



## Chapitre IV.

### UN DEMONSTRATEUR : UN LNA 30 GHz

#### A. Objectifs

Pour appliquer les méthodes de test et de calibrage que nous avons détaillées dans le Chapitre III, nous avons réalisé un démonstrateur. L'objectif n'est pas de proposer une méthode de conception d'un circuit à l'état de l'art, mais bien d'avoir à disposition un véhicule de test mesurable avec des performances cohérentes avec un cas réel. Le choix du type de circuit est motivé par divers paramètres : (i) il devra présenter plusieurs performances critiques que nous devons tester et calibrer, (ii) également présenter des performances qui dépendent aussi bien de la partie passive du circuit que de sa partie active. Cela fournit un cas d'étude difficile en raison de la nature multidimensionnelle de la relation entre performances et signatures.

Nous avons introduit l'utilisation du LNA comme véhicule de test en relevant la prépondérance de ce dernier dans les performances d'une chaîne de réception incluse dans un *front-end*. La Figure IV.1 illustre une chaîne de réception générique d'un signal haute fréquence, qui traverse ici trois blocs circuits qui modifient le signal.

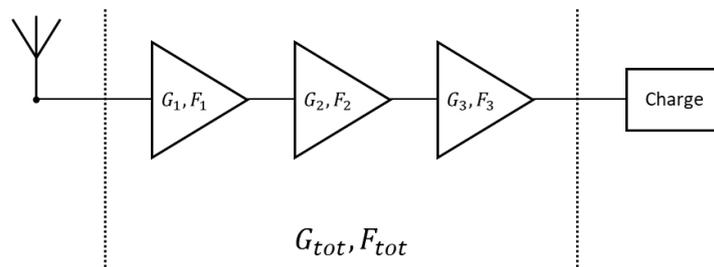


Figure IV.1 : Chaîne de réception générique d'un signal haute fréquence

Chaque bloc (considéré linéaire ici) est caractérisé par deux grandeurs, son gain  $G_i$  et son facteur de bruit  $F_i$ . On peut de la même manière caractériser toute la chaîne de réception avec le gain et le facteur de bruit équivalent, respectivement  $G_{tot}$  et  $F_{tot}$ . L'équation (IV.1)

donne la formule de Friis qui permet de calculer le facteur de bruit équivalent de la chaîne en fonction des blocs qui la constituent :

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} \quad (IV.1)$$

On voit dans cette formule que le terme qui impacte le plus le facteur de bruit total  $F_{tot}$  est  $F_1$ , le facteur de bruit du premier bloc de la chaîne, suivi de  $G_1$  son gain. Classiquement, le premier bloc de la chaîne de réception est un LNA, justement pour minimiser l'impact de ce bloc sur les performances en bruit de la chaîne. En raison de sa position, l'impact des variations de process sur les performances de ce bloc sont aussi prépondérantes sur les performances complètes de la chaîne de réception, et notamment pour le bruit. Il est donc prioritaire de tester le plus précisément possible les performances des LNA, il s'agit ainsi d'un bon candidat comme démonstrateur.

Dans la section IV.B.1, à partir d'exemples issus de la littérature, nous définissons des performances indicatives servant de guide pour la conception du démonstrateur, avant de décrire la technologie qui nous allons utiliser, dans la section IV.B.2. Nous donnons ensuite des éléments de la conception du LNA pour répondre au mieux à nos contraintes, puis nous présentons enfin le démonstrateur complet en section IV.B.6.

## B. Conception du démonstrateur

### 1. Introduction et définition des guides de conception

Une comparaison de LNA issus de la littérature et travaillant en début de bande millimétrique, est présentée dans le Tableau 3. Cette comparaison nous permet de constater les différents éléments de performance qui entrent en jeu dans la conception d'un LNA, d'en conclure la pertinence comme véhicule de test, et d'en tirer des performances indicatives pour guider la conception.

Les quatre références sélectionnées présentent des LNA sur des technologies silicium classiques, qui sont assez comparables (en termes d'applications visées) à la technologie STM BiCMOS 55 nm à laquelle nous avons accès pour l'intégration de notre démonstrateur. Tout d'abord, les principaux éléments de performance d'un LNA sont les suivants : le gain  $G$ , la figure de bruit  $NF$  (ou facteur de bruit  $F$ ) au premier plan, suivis de la consommation  $P_{DC}$ , le point de compression  $CP_{1\text{ dB}}$  en entrée ou en sortie, la fréquence centrale  $f_0$  et la bande passante relative. L'ordre d'importance des différentes performances est dépendant de l'application, mais les deux premières performances (gain et figure de bruit) restent généralement les plus importantes, et donc les principales performances à tester.

Tableau 3 : LNA intégrés en début de bande millimétrique.

| Ref.                             | [77]                | [78]                     | [79]                     | [80]                     |
|----------------------------------|---------------------|--------------------------|--------------------------|--------------------------|
| Technologie                      | 28nm FDSOI          | 40nm CMOS                | 65nm CMOS                | 65nm CMOS                |
| Fréquence (GHz)                  | 21.3 - 41.1         | 26 – 33                  | 23.3 - 32.2              | 24.9 – 32.5              |
| Gain (dB)                        | 20.3                | 27.1                     | 15                       | 18.3                     |
| NF (dB)                          | 2.92 – 3.61         | 3.3 – 4.3                | 3 – 3.8                  | 3.25 – 4.2               |
| OCP1dB (dBm)                     | 2.9                 | 5.5                      | N/A                      | -5.7                     |
| Bande passante relative (%)      | 63%                 | 23%                      | 32%                      | 26%                      |
| PDC (mW)                         | 27.5                | 31.4                     | 13.5                     | 20.5                     |
| Surface utile (mm <sup>2</sup> ) | 0.128               | 0.26                     | 0.17                     | 0.11                     |
| Topologie                        | 2 étages<br>CG Diff | 3 étages<br>Cascode Diff | 2 étages<br>Cascode Diff | 2 étages<br>Cascode Diff |

La mesure fonctionnelle de ces deux grandeurs est assez coûteuse, il s'agit pour le gain  $G$  d'utiliser un banc de mesure de paramètres  $S$  en bande millimétrique, une source et un récepteur de bruit pour le  $NF$ . Cela implique pour les deux tests l'utilisation de stations de mesures sous pointes à haute fréquence. Le choix d'un LNA comme démonstrateur permet ainsi de travailler sur un exemple où le test fonctionnel est particulièrement coûteux, et où l'application de la méthode de test (puis de calibrage) apporte une forte plus-value.

De par leur conception, ces circuits sont sensibles aussi bien aux éléments actifs qu'aux éléments passifs qui les composent. Les performances de ces circuits dépendent de différents composants, dépendant eux-mêmes de parties diverses du process de fabrication. Il est donc d'autant plus intéressant d'y appliquer notre méthode de test et de calibrage basée sur des capteurs génériques.

L'objectif de la démarche est de concevoir un démonstrateur qui permet de réaliser des mesures en bande millimétrique sur un wafer complet, d'en relever les performances en termes de dispersion face aux variations de process, puis d'y appliquer notre méthode de test et de calibrage. Le rapide état de l'art du Tableau 3 nous permet de relever les performances actuellement démontrées par les concepteurs, et d'en tirer des tendances pour choisir des ordres de grandeur atteignables de performances avec un circuit nécessitant un travail de conception modéré, puisque l'effort portera également sur le choix et l'intégration des éléments variables, puis sur la mesure et sur la mise en application de la méthode. Le Tableau 4 présente les ordres de grandeur indicatifs des performances retenues pour la conception du démonstrateur. Ces indications sur les performances à obtenir pour la conception du LNA permettent d'appliquer la méthode de test avec un circuit cohérent vis-à-vis des performances des LNA actuels.

Tableau 4 : Performances indicatives pour la conception du démonstrateur

| <i>Critère</i>                   | <i>Spécifications</i> |
|----------------------------------|-----------------------|
| Technologie                      | BiCMOS 55nm           |
| Fréquence centrale (GHz)         | 30                    |
| Bande passante relative (%)      | >25                   |
| Gain (dB)                        | >18                   |
| NF (dB)                          | <3                    |
| OCP1dB (dBm)                     | >-5                   |
| PDC (mW)                         | <20                   |
| Surface utile (mm <sup>2</sup> ) | <0.15                 |

Dans la section IV.B.2, nous décrivons la technologie STMicroelectronics BiCMOS 55 nm, avant d'aborder le démonstrateur en lui-même dans les sections suivantes.

## 2. Description de la technologie STMicroelectronics BiCMOS 55 nm

Le démonstrateur a été intégré sur la technologie BiCMOS 55 nm de STMicroelectronics, introduite dans [81]. La technologie STM SiGe BiCMOS 55 nm est une technologie avancée avec une production en grand volume, optimisée pour la conception de *front-ends* performants à des fréquences RF et millimétriques. Elle tire ses performances des caractéristiques de son FEOL et de son BEOL.

Tout d'abord, comme nous l'avons évoqué en introduction, le FEOL est prévu pour l'intégration de composants performants à des fréquences élevées. On peut notamment y intégrer des transistors bipolaires à hétérojonction (HBT) qui permettent des performances accrues pour des applications analogiques à des fréquences très élevées, présentant des  $f_t / f_{max}$  respectivement de 320/ 370 GHz. Ces composants, conçus et modélisés par le fondeur, permettent d'obtenir un gain élevé en bande millimétrique et un facteur de bruit minimal ( $NF_{min}$ ) faible qui se prêtent à la conception d'amplificateurs, et notamment de LNA. La technologie propose également des transistors CMOS avec des performances intéressantes en début de bande millimétrique également, mais qui permettent aussi l'intégration de circuits à signaux mixtes, et parfois de circuits numériques. Nous travaillons avec les transistors HBT qui affichent de meilleures performances et sont dédiés à des applications analogiques en bande millimétrique. On peut également y intégrer des diodes qui implémentent des capacités variables (*varactors*) ou des *switchs* en bande millimétrique, sur lesquels nous nous attarderons dans la section IV.C.3 pour la conception d'un LNA accordable.

Le BEOL est lui aussi prévu pour accueillir des passifs performants en bande millimétrique. Il comprend huit couches métalliques principales, constituées de cuivre et présentant des épaisseurs différentes selon le niveau de la couche. Une coupe du BEOL est illustrée dans la Figure IV.2. Les huit couches métalliques sont de trois types différents. Au plus près des composants actifs, les cinq couches inférieures du BEOL sont des couches fines (dénommées

couches Mx), plutôt adaptées à l'intégration dense de circuits digitaux. Au-dessus, on trouve deux couches d'épaisseur intermédiaire (dénommées Mz), et une dernière couche sur le haut du *stack* beaucoup plus épaisse (de l'ordre de 3  $\mu\text{m}$ , contre quelques centaines de nm pour les couches Mx inférieures). Cette configuration des couches métalliques permet la conception de passifs intégrés performants à des fréquences très élevées, et avec de bons facteurs de qualité  $Q$ . Cela est dû à deux raisons principales : (i) l'épaisseur du métal supérieur (M8U) permet d'avoir une faible résistance DC, et donc de réduire les pertes, et (ii) il est possible d'obtenir une hauteur totale de diélectrique de plus de 5,5  $\mu\text{m}$  (sans compter la couche d'aluminium supplémentaire), ce qui est assez élevé pour une technologie Silicium, la hauteur du diélectrique impactant directement le facteur de qualité des passifs en hautes fréquences, comme le montre [82].

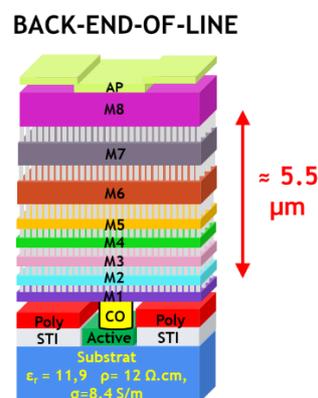


Figure IV.2 : Back-End-of-Line de la technologie STM SiGe BiCMOS 55 nm

Nous allons maintenant discuter de la conception du LNA en tenant compte des composants disponibles sur cette technologie. Dans la section IV.B.3, nous commençons par expliquer le choix de la topologie de LNA que nous avons intégré, puis nous détaillons les divers composants actifs et passifs disponibles.

### 3. Topologies de LNA

Nous cherchons à réaliser un amplificateur relativement simple de conception. Pour cela, nous nous tournons vers une solution avec un seul étage d'amplification. Cela nous permet d'éviter la conception de réseaux d'adaptation inter-étages, ce qui n'apporterait rien par rapport à l'objectif du travail. Les articles [83 - 86] développent des exemples de LNA donnant des performances acceptables avec des LNA à un seul étage. Il s'agit dans certains cas de LNA servant de démonstrateurs pour des hypothèses qui ne portent pas directement sur les LNA eux-mêmes, ce qui est notre cas. Les auteurs de [85] se servent d'un LNA à un étage comme preuve de concept pour l'intégration de lignes à ondes lentes dans des dispositifs actifs miniaturisés, tandis que [86] utilise un LNA à un étage dans un déphaseur actif en RF, à 2 GHz. Dans [87, 88], des LNA à un seul étage sont présentés pour des applications cryogéniques, même si cela se situe à des fréquences plus basses. Par ailleurs, les différentes tensions et le courant de polarisation du LNA pourront être utilisés comme TK pour

le calibrage même si ce ne sont pas des éléments variables prévus expressément pour cette application.

Tous les LNA présentés ci-dessus fonctionnent en mode commun : un LNA en mode différentiel a généralement des performances supérieures à technologies et topologies égales, mais ce choix a des conséquences sur la complexité de conception, et/ou sur celle de la mesure. En effet, si l'on fait le choix de concevoir les accès de mesure du LNA en mode différentiel, nous devons le mesurer en mode différentiel, donc avec l'utilisation de baluns externes, ou avec des appareils de mesure 4 ports compatibles. Si on veut éviter ces mesures fonctionnelles complexes, on doit alors intégrer des baluns directement sur puce, avec le LNA. Ceci est efficace en termes de performances, mais génère de l'encombrement supplémentaire, et une forte complexité de conception. Nous discuterons de cette possibilité en perspectives.

Le choix de la topologie est une question principale de la conception d'un LNA, surtout avec un LNA multi-étage. Le compromis entre les différents avantages et inconvénients des topologies dépend de l'ordre de placement des différents étages. Par exemple, un étage qui minimise le  $NF$  au détriment du gain  $G$  sera placé avant un étage qui maximise le gain  $G$  au détriment du  $NF$ , une conséquence décrite par la formule de Friis. Avec un LNA à étage unique, il est plus facile de déterminer la topologie, le nombre de possibilités étant fortement réduit. On cherche donc le meilleur compromis selon les performances du cahier des charges et de l'application. Ici, le cahier des charges étant équilibré, on cherche une topologie qui soit relativement polyvalente. Le livre [89] guide les étapes de conception d'un LNA en bande millimétrique et nous donne le Tableau 5 qui compare les topologies simples à notre disposition.

Tableau 5 : Comparaison des topologies basiques de LNA [89]

| <i>Critères</i>                      | <i>Emetteur commun /<br/>Source commune</i> | <i>Base commune /<br/>Grille commune</i> | <i>Cascade</i>                    |
|--------------------------------------|---|--|-----------------------------------|
| Figure de bruit ( $NF$ )             | Faible                                      | Augmente avec la fréquence               | Plus élevée que l'émetteur commun |
| Gain ( $G$ )                         | Moyen                                       | Faible                                   | Elevé                             |
| Linéarité                            | Mauvaise                                    | Moyenne                                  | Bonne                             |
| Stabilité                            | Mauvaise                                    | Stable                                   | Stable                            |
| Consommation                         | Faible                                      | Faible                                   | Elevée                            |
| Isolation                            | Mauvaise                                    | Bonne                                    | Bonne                             |
| Robustesse aux variations de process | Faible                                      | Elevée                                   | Elevée                            |

D'après [89], la topologie la plus performante est le montage cascade, qui présente le plus d'avantages. Ses principaux inconvénients sont son  $NF$  plus élevé qu'avec le montage en émetteur commun, et sa consommation qui est supérieure aux deux autres topologies. En revanche, le montage cascade conduit à une très bonne isolation entrée / sortie. Ce paramètre

est intéressant lors de l'ajout d'éléments variables pour le calibrage. En effet, lorsqu'on ajoute un élément variable en entrée, il est souhaitable que sa variation n'entraîne pas une modification du comportement du LNA en sortie. Notamment, si l'on corrige l'impédance d'entrée du LNA via un *varactor*, on veut garantir au maximum une indépendance de l'impédance de sortie sur la plage de variation du *varactor*. Le montage cascode fournit structurellement cette isolation.

En résumé, nous choisissons donc comme démonstrateur un LNA à étage unique, basé sur une topologie cascode, et conçu en mode commun. Nous allons maintenant donner nos choix parmi les composants disponibles sur la technologie STM BiCMOS 55 nm, avec un court commentaire sur les actifs du LNA dans un premier temps, et des pistes de conception sur les composants passifs dans un deuxième temps, qui présentaient plus d'enjeux dans la conception du démonstrateur.

#### 4. Choix des actifs

Après le choix de la topologie vient le choix et le dimensionnement des transistors du LNA. La technologie BiCMOS 55 nm propose des transistors SiGe HBT et des transistors MOS, qui peuvent tous deux être utilisés pour la conception de circuits en bande millimétrique. Les transistors MOS sont utilisés en général pour réaliser des circuits avec des coûts très concurrentiels, sur des technologies n'offrant que ces composants. Ici, nous avons aussi accès aux transistors SiGe HBT qui présentent un coût légèrement plus élevé, mais qui est toujours accessible pour de la production à très grand volume. Dans [89], les auteurs comparent les différentes technologies de transistors sur différents critères de performance en bande millimétrique. Dans le Tableau 6, nous relevons les avantages et inconvénients des deux types de transistors auxquels nous avons accès. On constate que les transistors SiGe HBTs sont effectivement généralement plus performants pour notre application que les transistors MOS. Nous utiliserons donc les transistors SiGe HBT pour la conception de notre démonstrateur.

Tableau 6 : Comparaison des performances des transistors CMOS et HBT [89]

| <i>Critères</i>    | <i>CMOS</i> | <i>SiGe HBT</i> |
|--------------------|-------------|-----------------|
| $f_T$              | Moyen       | Elevé           |
| Tenue en puissance | Faible      | Faible          |
| Bruit              | Faible      | Faible          |
| Linéarité          | Moyenne     | Elevée          |

Les transistors sont dimensionnés par optimisation à l'aide du PDK pour obtenir un compromis entre le gain, la figure de bruit minimale ( $NF_{min}$ ) et la consommation. Nous présentons les performances et le schéma électrique du LNA complet en section IV.B.6.

#### 5. Choix des passifs

Nous détaillons dans cette section les pistes de conception concernant les éléments passifs. Les éléments passifs sont nécessaires pour de nombreuses fonctions dans le LNA,

notamment pour la conception des réseaux d'adaptation d'entrée et de sortie, et des cellules de découplage.

La conception des composants passifs est un point clé dans la conception du LNA pour plusieurs raisons. En effet, les performances des composants passifs impactent directement le  $NF$  et le gain du LNA, notamment à cause des pertes qu'ils entraînent. Ce sont aussi les éléments passifs qui permettent le découplage des alimentations, ayant également un impact sur les performances. Enfin, les composants passifs sont beaucoup plus volumineux que les composants actifs, ce sont donc généralement ces premiers qui ont un encombrement prépondérant dans un LNA intégré, et ceux-ci qu'il faut miniaturiser pour réduire l'encombrement total.

Pour des fréquences élevées en début de bande millimétrique (30 GHz ici), on peut s'orienter vers deux types d'éléments passifs : les passifs localisés (condensateurs et inductances) ou les passifs distribués (lignes de transmission, couplées...).

### ***Passifs localisés***

Lorsque la fréquence de travail est élevée, des effets électromagnétiques parasites impactent le comportement des composants localisés. Des couplages peuvent causer des résonances indésirables dans les composants. Il faut alors être en mesure de simuler et de prendre en compte ces effets parasites et de dimensionner les composants en conséquence. Le fondeur de la technologie utilisée ici fournit des modèles des composants passifs localisés qui prennent en compte la plupart de ces effets parasites. On peut donc dimensionner les composants passifs directement à partir du PDK par le biais de simulations au niveau schématique.

Les composants passifs localisés proposés sur la technologie STM BiCMOS 55 nm sont tous intégrés dans le BEOL, sauf certaines résistances qui sont intégrées dans le FEOL. La Figure IV.3 (a) illustre le *layout* d'une inductance de 900 pH et (b) d'un condensateur MOM de 200 fF optimisés par le fondeur pour la bande millimétrique et intégrés dans le BEOL.

Dans les inductances, le principal parasite est le couplage électrique entre les spires de l'inductance. Dans les condensateurs MOM, on observe une inductance parasite sur chaque doigt de la structure. Cette inductance parasite croît avec la longueur des doigts, et donc avec les dimensions du condensateur. Or, la capacité du condensateur croît également avec la longueur des doigts, avec l'augmentation de la surface en vis-à-vis. Ainsi, un condensateur MOM ayant une grande valeur de capacité aura tendance à résonner à une fréquence relativement faible. Pour notre démonstrateur, ces composants passifs seront utilisés notamment pour la conception des réseaux d'adaptation d'impédance et des cellules de découplage.

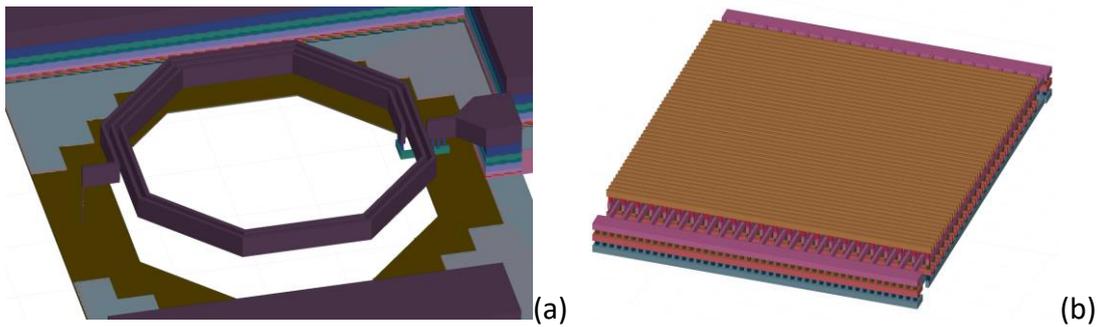


Figure IV.3 : Vue 3D d'une inductance (a) et d'un condensateur (b) intégrés dans le BEOL

On peut prendre pour exemple le dimensionnement d'une cellule de découplage. Le condensateur de découplage est généralement placé sur un chemin DC pour isoler une alimentation d'un signal RF, et doit donc imposer une masse RF sans impacter l'alimentation DC. Il est nécessaire qu'il présente une très faible impédance sur une large bande de fréquences. Or, un condensateur de grande taille est performant à basse fréquence, mais son impédance augmente rapidement au-delà de quelques GHz. Pour améliorer cette impédance, il est alors préférable de concevoir une cellule de découplage qui utilise plusieurs condensateurs de petite taille en parallèle. La Figure IV.4 représente une vue 3D d'une cellule de découplage utilisant trois paires de condensateurs MOM de tailles différentes.

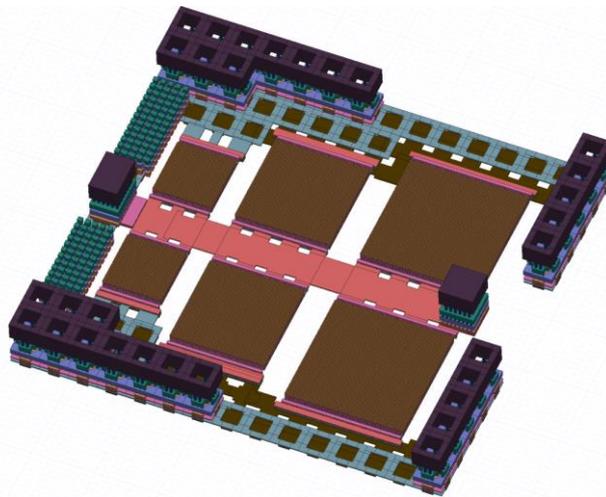


Figure IV.4 : Vue 3D de la cellule de découplage

L'utilisation de condensateurs en parallèle permet de bénéficier des avantages de condensateurs plus petits, qui ont une fréquence de résonance supérieure puisque leur inductance parasite est plus faible. On sélectionne des condensateurs de tailles croissantes, qui placés en parallèle portent la capacité nominale totale de la cellule à 3 pF, soit idéalement une impédance de  $1,7 \Omega$  à la fréquence de travail. Le schéma électrique et le *layout* de la cellule sont donnés en Figure IV.5. La Figure IV.6 permet de comparer l'impédance simulée de la cellule et d'un condensateur seul de capacité nominale 3 pF également.

## Un démonstrateur : un LNA 30 GHz

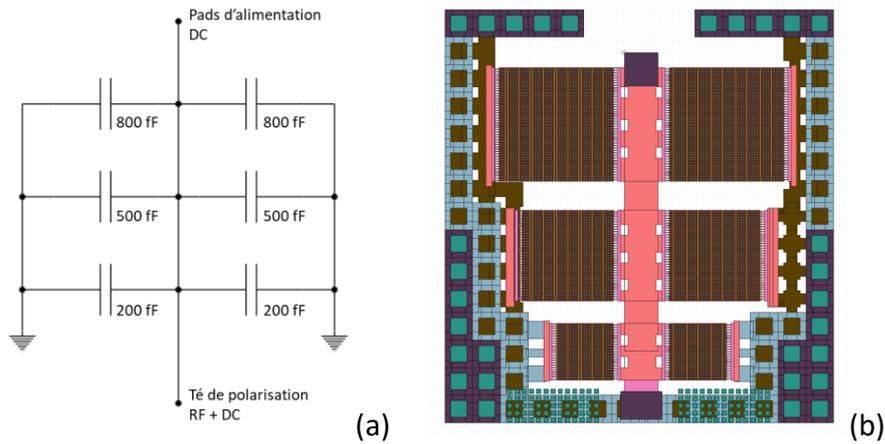


Figure IV.5 : Schéma électrique (a) et layout (b) de la cellule de découplage

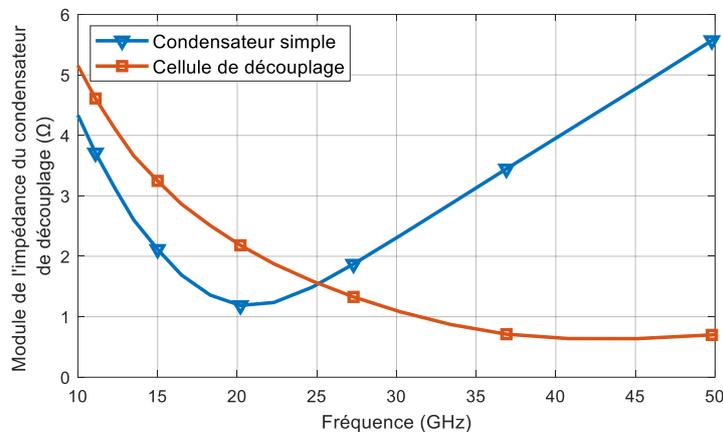


Figure IV.6 : Impédance simulée d'un condensateur de découplage MOM et d'une cellule de découplage composée de 3 condensateurs de tailles différentes, selon la fréquence

On constate effectivement que l'utilisation de la cellule de découplage basée sur plusieurs condensateurs de petites tailles améliore largement la qualité du découplage à partir d'une fréquence de 25 GHz, bien qu'elle soit légèrement plus élevée en dessous de cette fréquence, mais dans une moindre mesure. À 30 GHz, on obtient une impédance de 2,3  $\Omega$  avec le condensateur seul, alors qu'elle est de l'ordre de 1,1  $\Omega$  pour la cellule de découplage. Cette impédance est plus faible que dans le cas idéal en raison des capacités parasites prises en compte dans le modèle du PDK, qui s'ajoutent aux 3 pF nominaux.

Cet exemple illustre le besoin de dimensionner les composants passifs pour gagner en performances, tout en trouvant des compromis entre ces performances, l'encombrement et la complexité du *layout*. Ici, les simulations et choix de conception sont basés sur les modèles fournis par le fondeur sur les composants passifs disponibles sur la technologie. L'utilisation de ces modèles permet de faire des choix de manière simple mais limitée car on ne peut pas prendre en compte l'impact des interconnexions entre les différents composants, ni des éventuels couplages parasites qui peuvent apparaître, sauf à travers des simulations EM complètes et donc lourdes à mettre en œuvre. De plus, les *layouts* des composants fournis doivent fréquemment être modifiés (avec l'ajout de métaux flottants) pour satisfaire les règles

de dessin de la technologie, le DRC (*Design Rules Check*). Ces ajouts n'ont généralement qu'un impact minimal sur les performances, mais il faut de nouveau passer par une simulation EM très coûteuse en temps pour connaître précisément leur impact.

### ***Passifs distribués***

Dans notre cadre de conception d'un démonstrateur pour une méthode de test face aux variations de process, les modèles fournis permettant de simuler l'impact des variations de process sur le circuit en simulation schématique sont un atout. C'est par ces modèles que nous pouvons estimer la dispersion des performances avant l'intégration, et que nous pouvons proposer des pistes sur l'accordabilité des LNA. Les simulations électromagnétiques restent encore aujourd'hui trop coûteuses en temps et/ou en puissance de calcul pour réaliser des simulations Monte-Carlo de circuits passifs complexes. Cependant, les simulations électromagnétiques permettent tout de même de simuler le comportement de structures complexes et innovantes, rendues de plus en plus pertinentes par la montée en fréquence des applications. Notamment, les composants passifs distribués sont très utilisés pour la conception de circuits en bande millimétrique, mais généralement très peu de modèles les décrivant sont fournis.

Le PDK de la technologie STM BiCMOS 55 nm propose les modèles de lignes de transmission microruban, et de lignes microruban couplées. La complexité du BEOL de cette technologie ouvre bien plus d'opportunités que ces deux composants, nous proposons différentes pistes émergentes dans cette sous-section.

Les passifs distribués sont des circuits passifs qui tirent parti des phénomènes qui apparaissent lorsque les dimensions du composant sont d'un ordre de grandeur comparable à la longueur d'onde du signal, en raison des effets propagatifs. On peut utiliser des lignes de transmission, ou tout autre passif distribué pour réaliser un grand nombre de fonctions passives, comme l'adaptation d'impédance, le filtrage [90, 91], les coupleurs [49, 92], les diviseurs et combineurs de puissance [93], etc.

La longueur d'onde diminue lorsque la fréquence de travail augmente ce qui rend les passifs distribués très intéressants en termes de dimensions à partir du milieu de bande millimétrique. Pour exemple, en considérant une ligne de transmission intégrée dans le BEOL de la technologie BiCMOS 55 nm, une ligne quart d'onde à 60 GHz mesure une longueur de 650  $\mu\text{m}$ . Le facteur de qualité des passifs distribués augmente avec la fréquence, ce qui donne également un intérêt supplémentaire face aux passifs localisés, dont la conception est plus complexe au-delà quelques dizaines de GHz. Le PDK de la technologie, plutôt orienté vers les applications RF et millimétriques, propose les modèles des lignes de transmission microruban, et de lignes microruban couplées. À 30 GHz, ces lignes de transmissions simples sont trop encombrantes pour être utilisées telles quelles, mais il existe des propositions qui permettent de réduire cet encombrement et/ou modifier le facteur de forme.

Une première proposition classique consiste simplement à méandrer les lignes microruban pour réduire l’encombrement en présentant le même déphasage (la même longueur électrique). Il existe des solutions qui visent à réduire la longueur physique d’une ligne de transmission tout en conservant sa longueur électrique, en réduisant la vitesse de propagation de l’onde  $v_\varphi$ , dont l’expression dans une ligne de transmission est donnée dans l’équation (IV.2). Ce phénomène, appliqué dans [94], est nommé effet d’onde lente. Pour ce faire, on vient modifier indépendamment le comportement du champ électrique (en impactant la capacité linéique  $C_{lin}$  de la ligne) ou le champ magnétique (en impactant l’inductance linéique  $L_{lin}$ ) dans la ligne de transmission. L’expression de la longueur électrique  $\theta$  d’une ligne en fonction de la vitesse de propagation  $v_\varphi$ , de la fréquence  $f$  et de la longueur physique  $l_{phys}$  de la ligne est donnée dans l’équation (IV.3).

$$v_\varphi = \frac{1}{\sqrt{L_{lin}C_{lin}}} \quad (IV.2)$$

$$\theta = \frac{2\pi \cdot f}{v_\varphi} \cdot l_{phys} \quad (IV.3)$$

La ligne coplanaire à onde lente (*Slow-Wave CoPlanar Waveguide - S-CPW*) est un exemple proposé dans [94], avec son modèle proposé dans [95], qui permet de miniaturiser des lignes coplanaire à l’aide de l’effet d’onde lente. Pour ce faire, on prend une ligne coplanaire classique (ruban signal – nommé S – encadré par deux rubans de masse – nommés G – sur la même couche métallique, sans plan de masse) et on ajoute des rubans métalliques flottants sous les rubans S et G. Ces rubans flottants permettent de confiner le champ électrique entre les lignes S et G, sans impacter le champ magnétique, ce qui entraîne l’augmentation de  $C_{lin}$  sans impact sur  $L_{lin}$ . La vitesse de propagation  $v_\varphi$  est ainsi réduite. La Figure IV.7 (a) illustre la topologie de la ligne S-CPW.

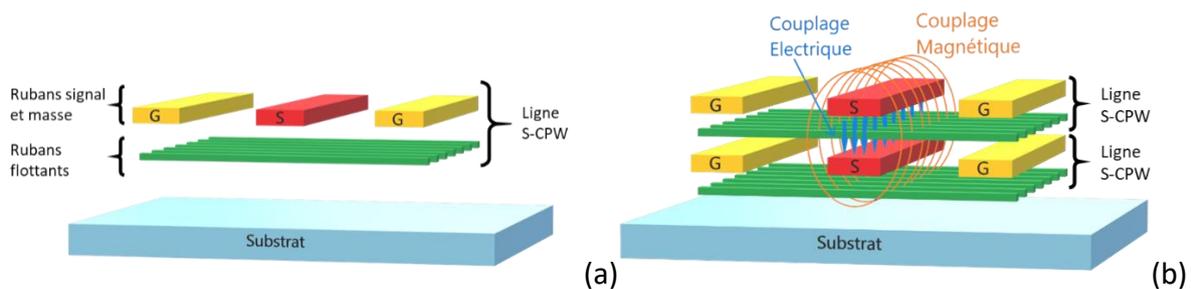


Figure IV.7 : Schéma d'une ligne S-CPW (a) et d'une structure FS-CPW (b)

Au cours de ce travail, nous avons cherché à miniaturiser ces lignes en tirant parti de la hauteur disponible dans le BEOL et du grand nombre de couches métalliques (8 couches de dimensions différentes, comme décrit en section IV.B.2). Ainsi, nous avons superposé deux lignes S-CPW, comme décrit dans la Figure IV.7 (b). Cette structure a été nommée FS-CPW pour « Folded S-CPW ». Outre le fait d’empiler deux lignes S-CPW, les structures FS-CPW permettent de créer de nouveaux couplages entre les couches superposées. D’une part cela apporte autant de degrés de liberté supplémentaires pour la synthèse de résonateurs, et

d'autre part cela permet, grâce aux couplages capacitifs et à l'inductance mutuelle créés, de réduire encore les dimensions. Les couplages sont illustrés dans la Figure IV.7 (b). Cette structure 3D a été intégrée sur la technologie STM BiCMOS 55 nm et mesurée avec un VNA VectorStar ME7838D4 145 GHz (calibrage jusqu'à 60 GHz ici). La photographie de la structure et la comparaison mesure/simulation électromagnétique sont présentées dans la Figure IV.8 (a) et (b) respectivement.

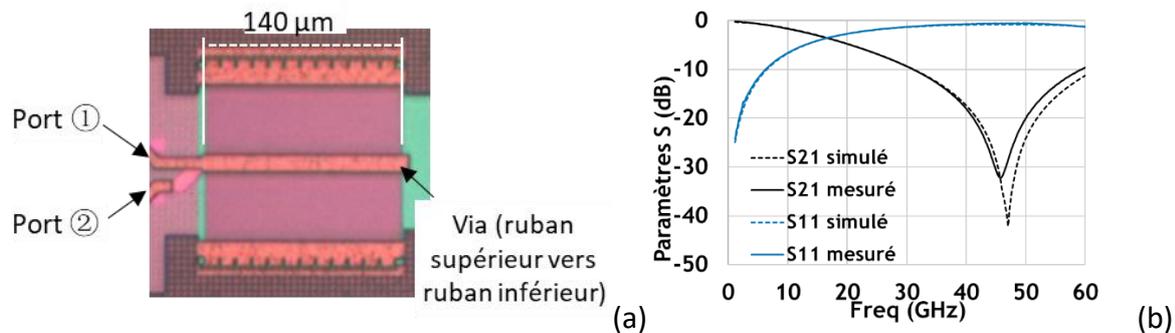


Figure IV.8 : Microphotographie de la structure (a) et paramètres S (b) simulés (pointillé) et mesurés (trait plein)

La Figure IV.8 (b) montre que la simulation électromagnétique est fiable sur la bande utile, ce qui permet d'envisager la conception de circuits plus complexes avec cette structure. On relève que cette structure présente un zéro de transmission à 45 GHz dans cette configuration, c'est-à-dire lorsque les rubans S supérieur et inférieur sont connectés entre eux par un via, ce qui n'est qu'une des configurations possibles. Un zéro de transmission généré par un stub nécessite une ligne micro-ruban d'une longueur de l'ordre de 800 µm.

En outre, les degrés de liberté obtenus par l'ajout de la troisième dimension permettent de donner des rapports de transformation d'impédances variés. Ces rapports sont fixés selon les dimensions choisies et le choix du câblage (port de connexion, choix des charges : circuit ouvert, masse). En tant que réseau d'adaptation, cette transformation d'impédance peut être utilisée telle quelle. Dans le cadre de la conception de résonateurs, cette structure 3D ramène une impédance qui permet de placer un ou plusieurs zéros de transmission.

En utilisant plusieurs structures, nous avons pu concevoir un filtre centré à 29 GHz, dont le schéma électrique et les résultats de mesure et simulation électromagnétique sont présentés dans la Figure IV.9 respectivement (a) et (b). Par optimisation, les résonateurs FS-CPW sont complétés par des lignes microruban de longueur électrique réduite de l'ordre de 5 à 10° à la fréquence centrale du filtre.

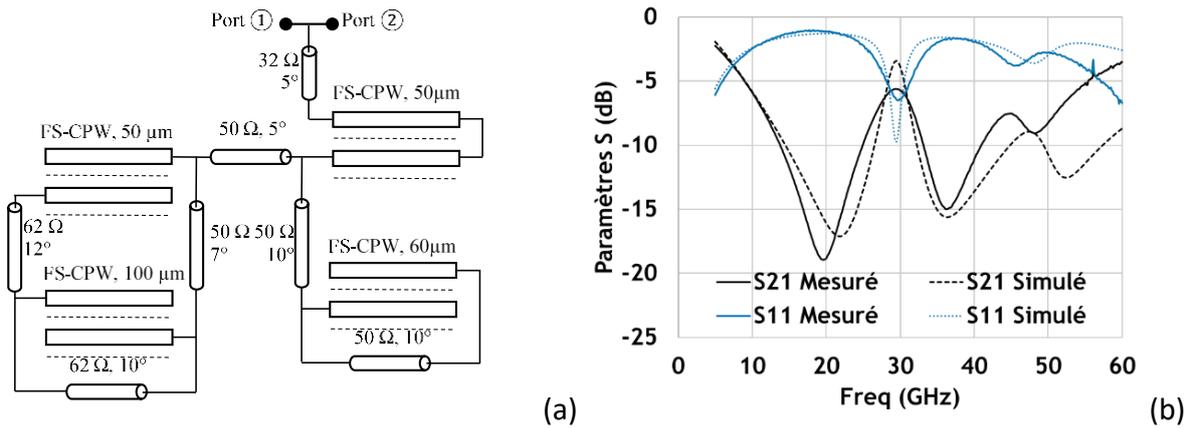


Figure IV.9 : Schéma électrique d'un filtre à FS-CPW (a) et paramètres S simulés (pointillé) et mesurés (trait plein) (b)

Le Tableau 7 donne une comparaison de ce filtre avec des travaux issus de la littérature. La surface du filtre est égale à  $0,1 \times 0,065 \lambda_g^2$  (avec  $\lambda_g$  la longueur d'onde sur cette technologie pour une ligne de transmission microruban classique) ou  $0,125 \text{ mm}^2$ . Cependant, les pertes d'insertion sont de l'ordre de 5,6 dB, pour une bande passante relative de 22%. Les pertes d'insertion sont dues en grande partie à la désadaptation. Avec un bilan de puissance, on montre que les pertes d'insertion ne sont plus que de 2,9 dB avec une adaptation idéale. Il faudrait réoptimiser le filtre à la lumière de ces résultats pour corriger l'impédance d'entrée, et améliorer la maîtrise des rapports d'impédances et/ou des fréquences de résonance de toutes les structures.

Tableau 7 : Filtres intégrés en bande millimétrique

| Références        | $F_0$ (GHz) | Bande passante relative (%) | Surface utile ( $\text{mm}^2$ ) | Pertes d'insertion (dB) | Return Loss (dB) |
|-------------------|-------------|-----------------------------|---------------------------------|-------------------------|------------------|
| [96]              | 33          | 33                          | 0,038                           | 2,6                     | 13               |
| [97]              | 26,5        | 50,9                        | 0,176                           | 3,8                     | 15               |
| <b>Ce travail</b> | <b>29</b>   | <b>22</b>                   | <b>0,125</b>                    | <b>5,6</b>              | <b>6</b>         |

Nous avons pu publier ce premier filtre et les travaux menés sur la modélisation et l'utilisation des résonateurs FS-CPW dans [98]. Cependant, le travail de conception de réseaux d'adaptation d'impédance n'a pas pu être mené à son terme. Nous avons privilégié l'utilisation de structures plus classiques pour la conception du LNA démonstrateur, faute de temps. L'utilisation de la plupart des couches métalliques du BEOL donne plus de flexibilité pour miniaturiser, mais la complexité des *layouts* implique que chaque variation de process sur chaque couche du BEOL entraîne des variations de différents paramètres du résonateur, ce qui rend intéressante l'application de notre méthode de test à ce circuit. Nous n'avons pas encore pu développer de modèle assez précis pour simuler l'impact des variations de process, il est donc difficile de simuler ces structures en simulation schématique, et impossible de réaliser des simulations Monte-Carlo. Or, nous cherchons à réaliser un démonstrateur simulable par cette méthode pour la conception par la suite d'un LNA accordable. Nous avons donc fait le choix de baser notre LNA sur des composants connus et simulables via les modèles

du PDK. La démonstration de la méthode de test sur ces circuits passifs innovants sera une des perspectives de ces travaux.

Nous avons à présent détaillé les différents types de composants auxquels nous avons accès sur la technologie, et nous avons sélectionné les approches les plus pertinentes pour répondre à nos objectifs. En considérant toutes ces pistes de conception du démonstrateur, nous avons réalisé un démonstrateur complet, un LNA à un unique étage cascode basé sur un transistor bipolaire, fonctionnant à 30 GHz.

#### 6. Démonstrateur complet : un LNA à 30 GHz

À partir des différentes pistes détaillées dans les sections IV.B.3, IV.B.4 et IV.B.5, nous avons conçu un démonstrateur complet. Le schéma complet du LNA est présenté dans la Figure IV.10. Nous décrivons brièvement le rôle des différents composants, puis nous présentons les résultats de simulations schématiques de ce circuit. Les valeurs des composants sont données dans le Tableau 8.

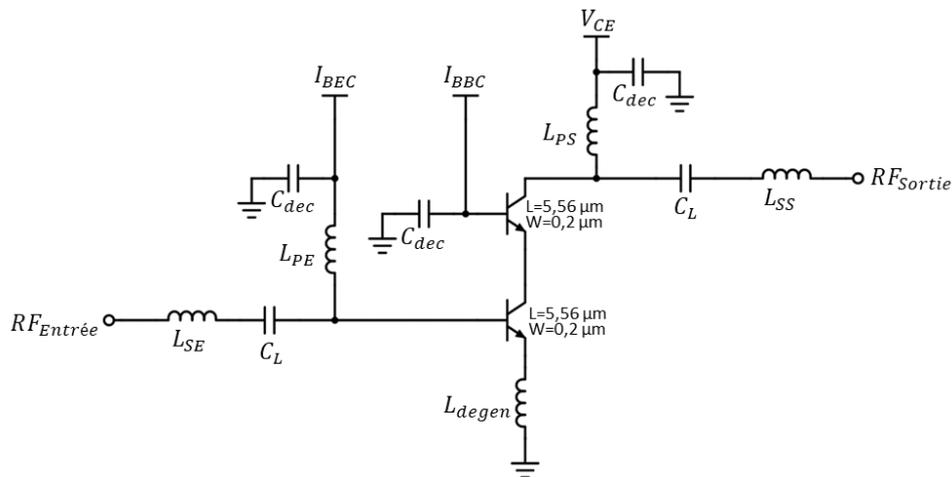


Figure IV.10 : Schéma électrique du LNA conçu

Tableau 8 : Valeur des composants passifs du démonstrateur

| Composant   | Valeur  |
|-------------|---------|
| $C_{dec}$   | 3 pF    |
| $C_L$       | 1,14 pF |
| $L_{degen}$ | 70 pH   |
| $L_{SE}$    | 330 pH  |
| $L_{PE}$    | 890 pH  |
| $L_{PS}$    | 460 pH  |
| $L_{SS}$    | 950 pH  |

Les transistors sont dimensionnés et leurs polarisations déterminées pour atteindre un compromis entre le gain, le facteur de bruit et la consommation. Les composants passifs localisés sont dimensionnés par optimisation avec pour objectif d'éviter notamment les

phénomènes de résonance, et l'optimisation est basée sur les modèles fournis par le fondeur. La cellule de découplage présentée en section IV.B.5, dénommée  $C_{dec}$ , est utilisée sur les trois chemins d'alimentation DC, pour créer des masses RF et isoler au mieux les alimentations du circuit d'un point de vue RF. Les condensateurs de liaison  $C_L$  sont constitués de deux condensateurs chacun. Enfin, les inductances de dégénération  $L_{degen}$ , et les inductances série et parallèle des réseaux d'adaptation d'entrée, respectivement  $L_{SE}$  et  $L_{PE}$ , et de sortie,  $L_{SS}$  et  $L_{PS}$ , sont optimisées pour présenter une impédance adaptée aux transistors. On a cherché à obtenir le meilleur compromis entre le facteur de bruit (minimal pour  $\Gamma_{opt}$ ) et le gain (maximal pour une adaptation d'impédance parfaite).

Les performances du LNA sous-test ont été simulées au niveau schématique, les résultats de simulations (paramètres S et  $NF$ ) sont tracés dans la Figure IV.11. Le Tableau 9 rappelle les spécifications qui guident la conception et rassemble les différentes performances simulées.

Tableau 9 : Spécifications, performances et caractéristiques simulées du LNA sous test

| Critères                         | Spécifications | LNA – Valeurs typiques |
|----------------------------------|----------------|------------------------|
| Gain (dB)                        | >18            | 20,4                   |
| NF (dB)                          | <3             | 2,2                    |
| Bande passante (%)               | >25            | 18                     |
| OCP1dB (dBm)                     | >-5            | -3,5                   |
| Consommation DC (mW)             | <20            | 12,2                   |
| Surface utile (mm <sup>2</sup> ) | <0,15          | 0,093                  |
| Fréquence centrale (GHz)         | 30             | 30                     |

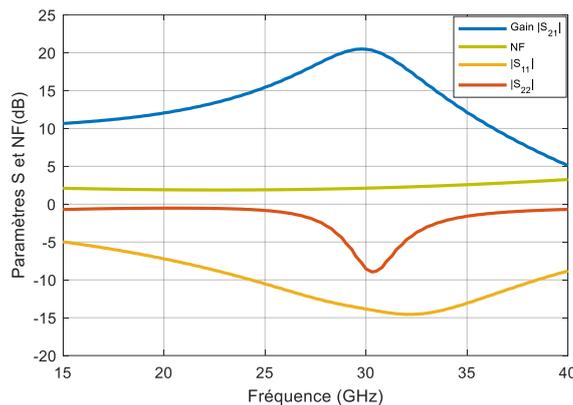


Figure IV.11 : Paramètres S (gain et adaptations) et  $NF$  simulés selon la fréquence

On note que l'isolation  $|S_{12}|$  est meilleure que 30 dB sur toute la bande simulée. La plupart des performances simulées au niveau schématique atteignent les spécifications. En raison des contraintes de temps pour la livraison des *layouts* lors du *run* de la technologie, nous n'avons pas pu réaliser les simulations électromagnétiques finales du LNA, on s'attend

donc que à ce que les performances mesurées soient inférieures aux performances simulées, mais qu'elles soient suffisantes pour notre démonstration. Puisqu'elles ont été réalisées après l'intégration des circuits, nous comparerons les simulations électromagnétiques aux résultats lors de la présentation des résultats de mesures en section V.B.2 dans le dernier chapitre.

Nous avons simulé le LNA en tenant compte des variations de process, pour estimer la dispersion des performances dans un premier temps (en section IV.C.1), puis pour proposer l'ajout d'accordabilité pour compenser l'impact des variations de process.

## C. Réflexions sur l'ajout d'accordabilité pour correction des variations de process

### 1. Impact des variations de process

Comme introduit dans le Chapitre III, les modèles fournis par le fondeur permettent de réaliser des simulations MC qui donnent la dispersion des performances selon les variations de process. Pour ce faire, on simule 1000 instances MC du LNA pour obtenir les paramètres  $S$  et le  $NF$ . On relève le gain  $G$ , le  $NF$  et l'adaptation en entrée et en sortie ( $|S_{11}|$  et  $|S_{22}|$ ) @30 GHz pour chaque instance. On représente les dispersions obtenues sur la Figure IV.12.

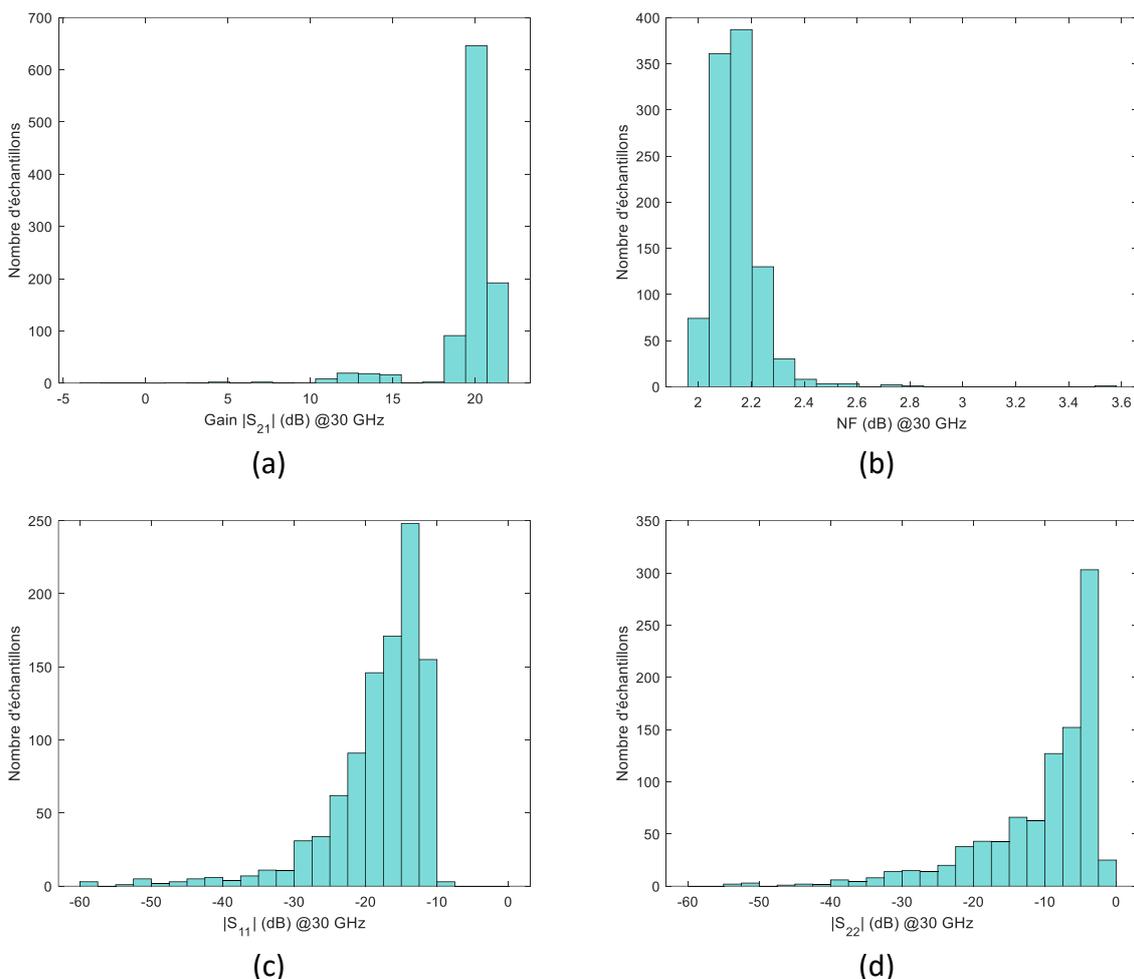


Figure IV.12 : Dispersion des performances face à la simulation MC des variations de process : (a) Gain, (b) NF,  $|S_{11}|$  (c) et  $|S_{22}|$  (d) à 30 GHz (dB)

La dispersion simulée des performances justifie l'emploi d'éléments accordables pour la correction. Avec ces histogrammes, on peut conclure que le  $NF$  varie dans une plage raisonnable, seule une instance sur 1000 dépasse les 3 dB suggérés dans les spécifications. Concernant le gain, une plus grande variabilité est observée, avec 71 instances sur 1000 qui présentent un gain inférieur à 18 dB. L'allure de la distribution du gain est particulière ; nous développerons cette observation dans le Chapitre V. Si l'on observe plus en détail les impédances vue en entrée et en sortie, on constate, sur l'abaque de Smith en Figure IV.13, que ces dernières présentent une forte dispersion.

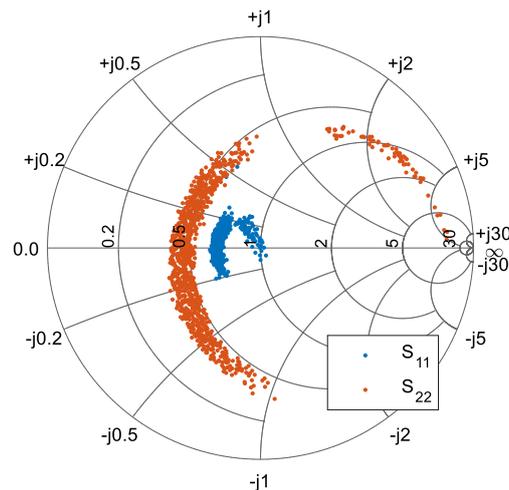


Figure IV.13 : Abaque de Smith représentant les paramètres  $S_{11}$  et  $S_{22}$  pour 1000 instances du LNA en simulation MC @30 GHz

En entrée, le « Return Loss » est très acceptable, très rarement inférieur à 10 dB (seulement 3 instances pour 1000). En revanche, pour l'adaptation en sortie (qui est moins critique pour un LNA d'après la formule de Friis introduite en section IV.A), la dispersion est beaucoup plus importante. On observe de nouveau une distribution de l'impédance de sortie qui suggère la présence d'une condition structurelle qui exclut une zone de l'abaque, comme avec le gain. Comme déjà observé sur la Figure IV.11, l'adaptation en sortie est déjà moins bonne que l'adaptation en entrée pour le circuit nominal. Elle est aussi plus sensible aux variations de process.

On peut calculer la corrélation des distances de Brown entre le gain et les paramètres  $S_{11}$  et  $S_{22}$ , avec l'opérateur décrit dans [75], et introduit dans la section III.C. On privilégie cette métrique par rapport au coefficient de corrélation de Pearson pour tirer parti de sa capacité à relever la corrélation non-linéaire ou d'ordre élevé entre deux échantillons, comme cela peut être le cas ici. On constate une forte corrélation de 0,9 (coefficient compris entre 0 et 1) entre le gain et le paramètre  $S_{22}$  et de 0,83 entre le gain et le paramètre  $S_{11}$ . On peut en conclure qu'il est pertinent de corriger les impédances vues en entrée et en sortie via l'utilisation d'éléments variables.

Nous allons donc chercher à modifier l'impédance vue en entrée (ou en sortie...) d'un réseau d'adaptation en utilisant des éléments variables disponibles dans la technologie. Nous

rappelons rapidement les objectifs de la démarche en section IV.C.1, puis nous comparons les différents éléments accordables accessibles sur la technologie en section IV.C.3.

## 2. Objectifs de l'accordabilité

Pour corriger l'impédance vue en entrée ou en sortie du LNA, il semble possible d'agir directement sur les réseaux d'adaptation eux-mêmes. Pour cela, on peut ajouter des éléments variables sur les réseaux d'adaptation déjà conçus moyennant quelques modifications mineures du schéma original. Comme on a pu le voir sur les résultats de simulation, les variations de process entraînent une variation des performances sur une plage continue. On choisit alors d'utiliser des composants présentant une variation continue, par opposition aux *switchs* qui ne peuvent généralement avoir que deux états. Il est tout à fait possible d'utiliser des *switchs* pour ajouter de l'accordabilité à un circuit avec un nombre d'états assez grand, comme par exemple dans [99] avec une ligne S-CPW commutée à phase variable (que l'on peut aisément cascader pour obtenir plusieurs bits), ou dans [100] avec diverses configurations de déphaseurs intégrés à base de *switchs*. Cependant, l'ajout de *switchs* dans nos réseaux d'adaptation impliquerait soit de grandes modifications dans la topologie de notre circuit, soit un lourd travail de conception d'une cellule à impédance ou phase variable utilisant plusieurs *switchs*, qu'il faudrait ensuite intégrer au circuit.

Pour éviter cela, nous nous sommes donc tournés vers des composants à variation continue : les *varactors*. Cette capacité d'un *varactor* varie avec la tension appliquée, ce qui donne donc une capacité commandée en tension sur une certaine plage de valeurs. Ces composants présentent également des pertes, et leur *layout* est généralement optimisé par les fondeurs pour obtenir le meilleur compromis entre les pertes et la capacité disponible, ainsi que la plage de variation disponible. Dans notre cas, on cherche à appliquer une petite variation aux réseaux d'adaptation, en impactant le moins possible le circuit déjà conçu pour alléger le coût de la conception, donc avec des *varactors* de petites valeurs. On doit également être attentif à l'impact négatif de l'ajout de ces composants sur les performances nominales du circuit.

## 3. Éléments variables disponibles sur la technologie B55

Pour répondre à nos objectifs d'accordabilité, nous avons besoin d'utiliser des *varactors* de faibles capacités. À notre disposition sur la technologie, nous avons trois principaux types de *varactors*, ou qui peuvent être utilisés comme tels : les *varactors* MOS, les *varactors* à jonctions PN et les diodes PIN. Notons que cette 3<sup>ème</sup> catégorie, qui favorise un bon  $R_{ON}C_{OFF}$ , n'est a priori pas prévue sur cette technologie pour la conception de capacités variables, mais est surtout destinée à la conception de *switchs*. Cependant, les diodes PIN à l'état bloqué présentent un  $C_{OFF}$  qui varie selon la tension inverse appliquée sur la diode, ce qui les rend utilisables comme *varactors*, à condition que l'on ne recherche pas une grande plage de variations.

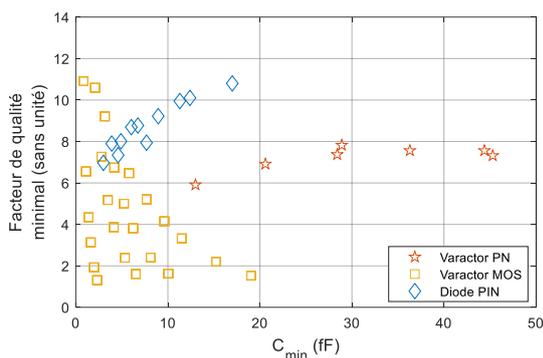
Pour comparer ces différents *varactors* et choisir le composant qui convient le mieux à notre cas, il convient tout d'abord de définir des métriques. La première métrique est le facteur de qualité des *varactors* qui est directement lié aux pertes engendrées par le composant dans un circuit. Ce facteur de qualité, noté  $Q$ , est défini dans l'équation (IV.4). La deuxième métrique est l'intervalle de variation du *varactor* (*Tuning Range*, abrégé TR), qui correspond au rapport entre la capacité maximale et la capacité minimale présentée par le *varactor*. La figure de mérite (FoM) regroupe ces deux paramètres, la formule de la FoM est donnée dans l'équation (IV.5). Elle correspond au rapport entre le facteur de qualité minimal (sur la plage de variation) du *varactor* et son TR. À valeur de capacité nominale constante, plus cette FoM est grande, plus le *varactor* est performant.

$$Q = \frac{1}{\omega R_S C_S} \quad (IV.4)$$

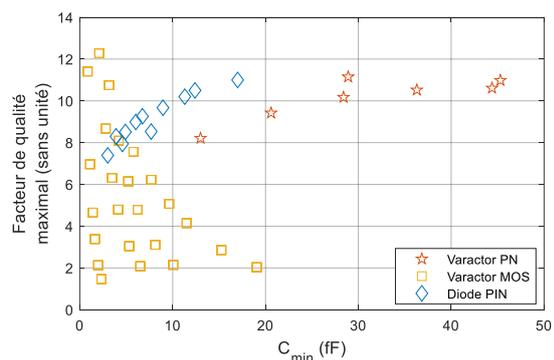
$$FoM = \frac{Q_{min}}{TR} \quad (IV.5)$$

où  $\omega$  est la pulsation de travail (en radian),  $R_S$  la résistance série (en  $\Omega$ ) et  $C_S$  la capacité série (en F) du *varactor*.

Pour comparer les différentes topologies, on simule sur une certaine plage de dimensions les composants dont les modèles sont fournis. Le modèle de la diode PIN n'était pas encore disponible lors de ces travaux, les comparaisons sont donc faites à partir de données mesurées des diodes PIN. Pour différentes topologies et différentes dimensions, on trace le facteur de qualité maximal et minimal selon  $C_{min}$  (la valeur de capacité minimale du *varactor*), le TR, et la figure de mérite minimale pour  $C_{min}$ , à 28 GHz, sur la Figure IV.14. On se concentre sur des petites valeurs de capacité, inférieures à 50 fF (soit une susceptance supérieure à environ 100  $\Omega$ ).



(a)



(b)

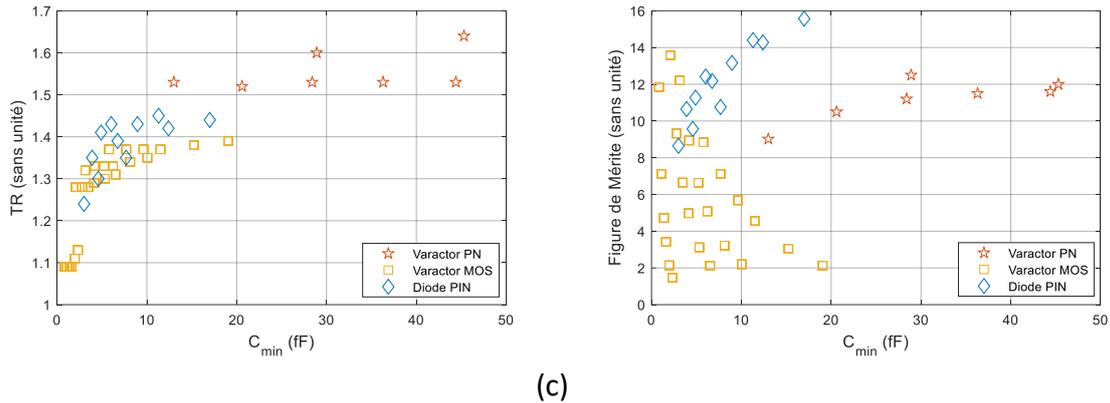


Figure IV.14 : Facteur de qualité minimal (a) et maximal (b), le TR (c) et la FoM minimale (d) des varactors de différentes topologies et dimensions en fonction de leur capacité minimale.

Tout d'abord, on peut noter que l'utilisation de diodes PIN comme *varactors* est envisageable dans certains cas, bien que celles-ci n'aient pas été optimisées pour leurs performances dans ce type de fonctionnement. C'est d'ailleurs pour cette raison que les dimensions disponibles et présentées ici ne concernent que de toutes petites valeurs de capacité, puisque le fondeur cherche à minimiser la capacité  $C_{off}$  des diodes PIN utilisées comme *switchs*. Par ailleurs, on constate que les trois types de *varactors* sont optimaux chacun sur une certaine plage de capacités minimales, pour une FoM supérieure à 10 sur toute la plage.

Grâce à ces données, nous sommes en mesure de dimensionner un *varactor* pour concevoir le réseau d'adaptation accordable. La topologie du réseau d'adaptation reste la même que dans le LNA fixe. On ajoute un *varactor* en court-circuit, après l'inductance série et avant le condensateur de liaison, pour isoler les chemins de polarisation DC, comme présenté sur la Figure IV.15. L'avantage principal de ce positionnement est le découplage des alimentations, et donc la très simple polarisation du *varactor* par un té de polarisation intégré au VNA. Dans un circuit plus complexe, ce *varactor* pourra être polarisé par un té de polarisation intégré ou par une alimentation distribuée localement.

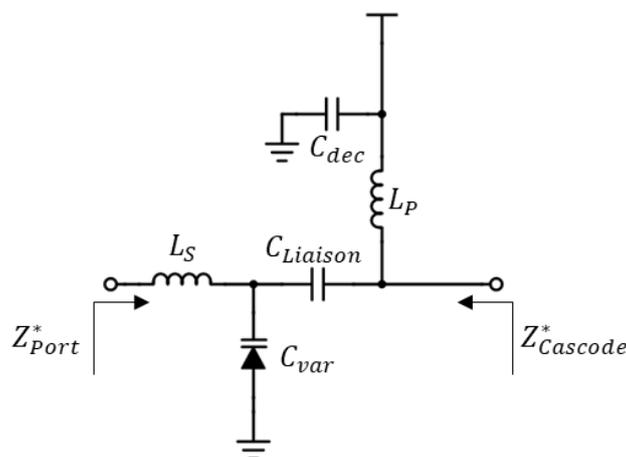


Figure IV.15 : Schéma électrique du réseau d'adaptation accordable

Le placement de cette capacité variable en parallèle du réseau d'adaptation permet de tourner sur l'abaque en modifiant principalement la partie imaginaire de l'impédance vue.

Pour dimensionner le *varactor*, on place un modèle simplifié (modèle  $R_s - C_s$ ) en simulation à son emplacement sur le réseau d'adaptation fixe, avec un facteur de qualité et un TR fixe dans un premier temps. On fait ensuite varier la capacité minimale du *varactor* et on observe la plage de variation que l'on peut obtenir avec les différentes valeurs. La Figure IV.16 illustre l'évolution de l'adaptation vue du port extérieur du réseau d'adaptation, pour différentes valeurs de  $C_{min}$ .

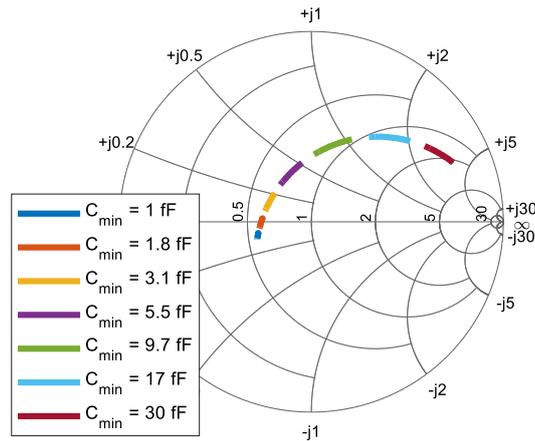


Figure IV.16 : Abaque de Smith du paramètres  $S_{22}$  du LNA accordable selon la valeur de capacité minimale du varactor (TR de 1.5 et Q de 6)

L'ajout du *varactor* cause nécessairement une désadaptation. On constate que lorsque la valeur de capacité du *varactor* augmente, l'adaptation est dégradée, mais le TR augmente également, ce qui élargit la plage de variation. C'est pour cela que l'on restreint notre recherche à des valeurs de susceptance élevées. Il faut alors résoudre ce compromis par simulation, en tenant compte de la facilité ou non (contraintes technologiques) à rattraper l'impédance avec les composants déjà inclus dans le réseau. Ici, un bon compromis correspond à une capacité  $C_{min}$  de l'ordre de 17 fF. L'étape suivante implique le choix du composant : avec la valeur de  $C_{min}$  et la Figure IV.14 (d), on sélectionne le *varactor* présentant la meilleure FoM. Pour une valeur de  $C_{min} = 17 \text{ fF}$ , il est optimal d'utiliser une diode PIN comme *varactor*. Le choix du *varactor* à la meilleure FoM automatise la résolution du compromis entre l'ajout de pertes et l'extension de la plage de variation.

Pour la réadaptation de l'impédance, on choisit de conserver les valeurs des condensateurs constantes, dont notamment la cellule de découplage décrite plus haut, qu'il ne serait pas judicieux de redimensionner. Pour compenser l'ajout, on optimise de nouveau (valeurs modifiées de quelques pourcents) les valeurs des deux inductances  $L_S$  et  $L_P$  seulement, en fixant la capacité du *varactor* à son point milieu. Le point milieu correspond à la moitié de la capacité variable ajoutée à la capacité fixe ( $C_{min}$ ) du *varactor*.

Ainsi, en fonctionnement, on peut faire varier la capacité du *varactor* autour du point milieu pour replacer l'impédance sur l'abaque dans une petite zone de l'abaque de Smith. L'ajout de l'accordabilité peut se faire sur chacun des deux réseaux d'adaptation, mais étant données les pertes potentielles qu'apporte un *varactor*, il faut faire un compromis entre l'accordabilité et les performances nominales du LNA. Comme nous avons pu le voir sur les simulations MC du LNA fixe en section IV.C.1, l'impédance de sortie est bien plus impactée par les variations de process que l'impédance d'entrée. Il est donc préférable de favoriser l'ajout d'un *varactor* dans le réseau d'adaptation de sortie, plutôt que dans celui d'entrée.

#### 4. LNA utilisant les réseaux d'adaptation accordables

Le LNA accordable a donc été adapté du LNA non-accordable, tous les choix des composants étant conservés. Seule la valeur des inductances du réseau d'adaptation de sortie sera réoptimisée, soit deux composants seulement. On sélectionne une diode PIN (en fonctionnement *varactor*) de  $C_{min}$  valant 17 fF, avec un facteur de qualité de 11 et un TR de 1,42. La valeur des inductances série  $L_{SS}$  et parallèle  $L_{PS}$  est fixée à respectivement 950 pH et 350 pH par optimisation. On simule le LNA accordable au niveau schématique, les paramètres S et  $NF$  sont tracés sur la Figure IV.17.

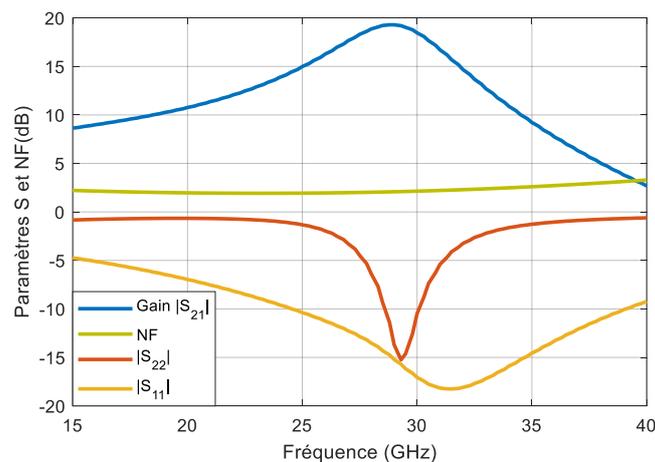


Figure IV.17 : Paramètres S et figure de bruit du LNA accordable

Le gain de ce LNA accordable est légèrement dégradé par rapport au LNA fixe, il vaut à son maximum 19,3 dB au lieu des 20,4 dB obtenus avec la version fixe. La fréquence centrale du LNA est légèrement décalée vers 29 GHz, ce qui est acceptable pour notre étude. Le  $NF$  n'est pas impacté par l'ajout du *varactor*. D'autre part, le LNA accordable a une impédance légèrement mieux adaptée que le LNA fixe, mais cela n'est a priori dû qu'à une meilleure qualité de l'optimisation réalisée pour ce circuit, qui aurait probablement pu être atteinte pour le LNA fixe. Le LNA accordable va subir les variations de process comme le LNA fixe. Pour estimer leur impact nous simulons 1000 instances MC du LNA accordable. La dispersion des performances est très proche de celle du LNA fixe pour le gain et le  $NF$ , avec un gain légèrement inférieur comme dans le cas nominal. On trace sur la Figure IV.18 le paramètre

$S_{22}$  des 1000 instances MC. Sur la même figure, on trace également la plage de correction attendue sur ce même paramètre  $S_{22}$ , simulé pour une unique instance nominale.

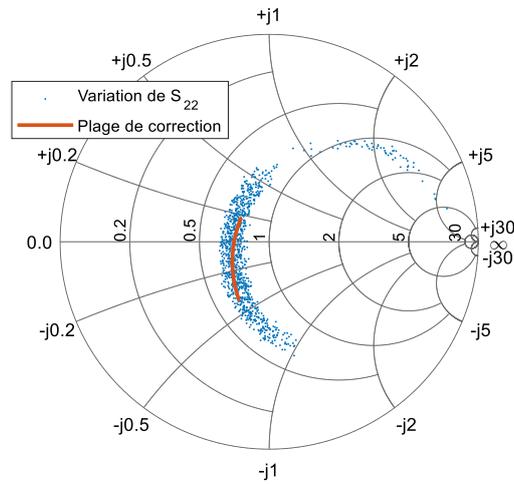
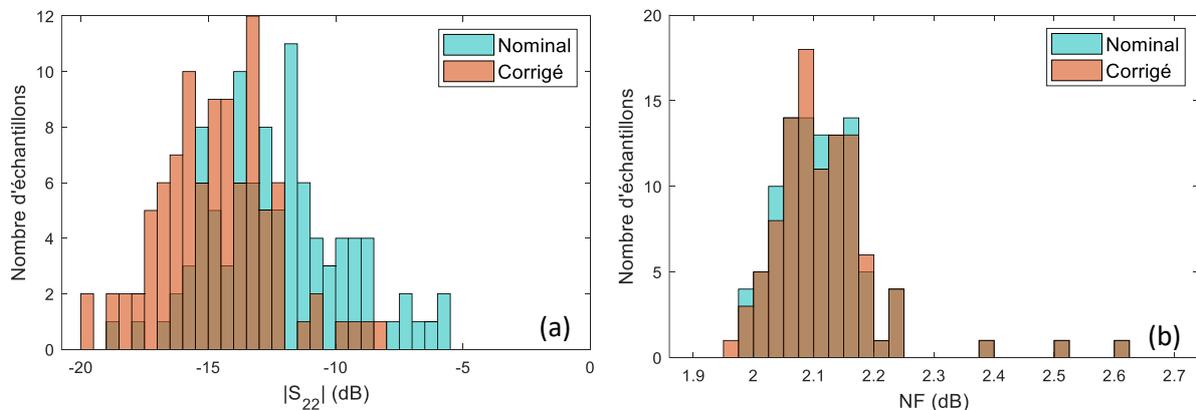


Figure IV.18 : Abaque de Smith du paramètre  $S_{22}$  et plage de correction nominale

D'après ce que l'on observe sur l'abaque de Smith, la plage de correction permettrait de corriger un certain nombre d'instances. La plage de correction suit la dispersion du coefficient de réflexion, ce qui permet de corriger efficacement les instances présentant des variations modérées.

Pour quantifier la correction possible grâce à l'ajout du *varactor*, on simule 100 instances MC du LNA avec un balayage sur toute la plage de correction. On compare ensuite le point nominal avec le point qui maximise la qualité de l'adaptation en sortie (ou  $|S_{22}|$ ). On n'applique pas directement la méthode de calibrage puisque les signatures PT ne nous sont disponibles qu'en mesures, l'objectif ici est de relever l'efficacité de la correction. Les Figure IV.19 et Figure IV.20 illustrent les performances pour le point nominal de chaque instance MC, et pour le point optimal respectivement le paramètre  $|S_{22}|$ , le NF et le gain des LNA, et pour le coefficient de réflexion en sortie  $S_{22}$ .



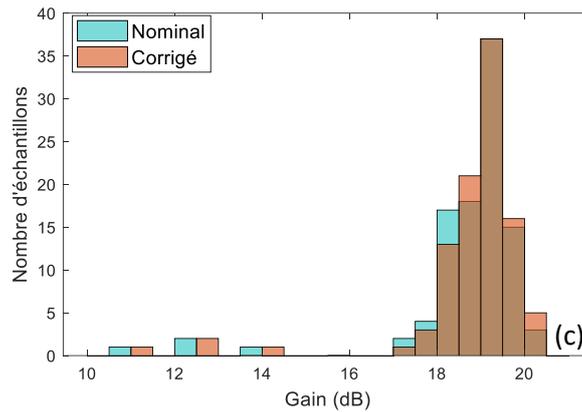


Figure IV.19 : Histogrammes des principales métriques du LNA au point nominal et au point optimal : (a) le paramètre  $|S_{22}|$  (dB), (b) le NF (dB) et (c) le gain (dB)

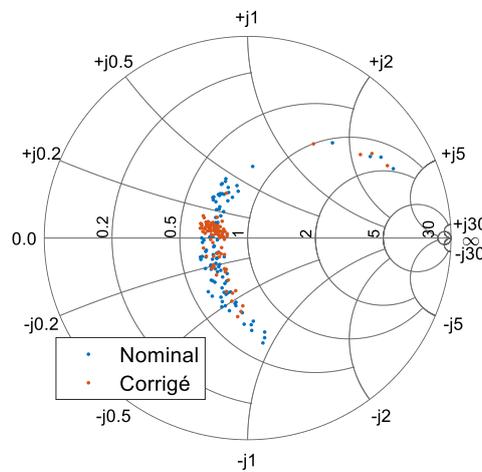


Figure IV.20 : Abaque de Smith du paramètre  $S_{22}$  des instances MC du LNA au point nominal et au point optimal

Tableau 10 : Comparaison des performances simulées avant et après optimisation

| Métrique        | Avant correction |                     | Après correction |                     |
|-----------------|------------------|---------------------|------------------|---------------------|
|                 | Moyenne          | Ecart-type $\sigma$ | Moyenne          | Ecart-type $\sigma$ |
| $ S_{22} $ (dB) | -11.9            | 3,21                | -14.2 (-2,3)     | 3,14 (-0,6)         |
| Gain (dB)       | 18,7             | 1,48                | 18,8 (+0,1)      | 1,37 (-0,11)        |
| NF (dB)         | 2,12             | 0,09                | 2,12 (=)         | 0,09 (=)            |

Le *varactor* rend possible l'accordabilité du LNA, pour la correction du  $S_{22}$  principalement. Sur la Figure IV.20, on voit que les points optimaux sont mieux centrés autour de l'axe des impédances réelles, là où l'adaptation est la meilleure dans notre cas. La moyenne du  $|S_{22}|$  (en dB) est améliorée de 2,3 dB, et l'écart-type est réduit de 0,6 dB. Le gain présente aussi une légère évolution favorable : en moyenne, il est augmenté de 0,1 dB, et son écart-type est resserré de 0,11 dB. Le NF n'est pas du tout impacté ni optimisé par la correction.

Grâce à ce démonstrateur, nous pourrions appliquer la méthode de calibrage sur un cas concret. Nous prendrions comme TK du LNA accordable la tension d'alimentation du *varactor* (qui est directement liée à la capacité du *varactor*).

## D. Conclusion

Dans ce chapitre IV, nous avons abordé des pistes de conception pour des circuits intégrés en début de bande millimétrique, puis nous avons conçu deux LNA simples fonctionnant aux alentours de 30 GHz. La variante accordable est basée sur une diode PIN utilisée comme *varactor*. Le Tableau 11 récapitule les performances des deux démonstrateurs proposés. Les spécifications/guides de conception sont effectivement respectés sur quasiment tous les critères de performances.

Tableau 11 : Récapitulatif des performances des deux démonstrateurs fixe et accordable

| Critères                         | Spécifications | LNA Fixe | LNA Accordable |
|----------------------------------|----------------|----------|----------------|
| Gain (dB)                        | >18            | 20,4     | 19,3           |
| NF (dB)                          | <3             | 2,2      | 2,2            |
| Bande passante (%)               | >25            | 18       | 18,3           |
| OCP1dB (dBm)                     | >-5            | -3,5     | -3,4           |
| Consommation DC (mW)             | <20            | 12,2     | 12,2           |
| Surface utile (mm <sup>2</sup> ) | <0,15          | 0,093    | 0,093          |
| Fréquence centrale (GHz)         | 30             | 30       | 29             |

La consommation et la surface utile restent inchangées. La fréquence centrale du LNA accordable est légèrement modifiée mais sans être un obstacle à notre démarche de démonstration de la méthode de test puis de calibrage. Il est à noter que nous n'avons pas pu réaliser de simulations électromagnétiques des circuits avant leur livraison, et que nous constaterons un écart explicable avec les mesures. Cet écart n'est pas problématique pour la démonstration, tant qu'il est explicable, la méthode de test n'ayant pas besoin de plus de données que celles obtenues dans la phase d'entraînement par la mesure.

Nous avons décrit les démonstrateurs et estimé la dispersion de leurs performances, il faut maintenant être en capacité de mesurer ces circuits avec une bonne reproductibilité. Dans le Chapitre V, nous proposerons un protocole de mesure robuste pour obtenir les données les moins bruitées possible afin d'appliquer notre méthode de test. Cela passe en premier lieu par la description des bancs de mesure et une étude de leur reproductibilité. Nous présenterons ensuite les résultats de mesure des LNA et nous les comparerons aux simulations. Enfin, nous présenterons les résultats de la méthode de test, puis ceux de la méthode de calibrage, avant de conclure.

## Chapitre V.

### METHODES DE MESURE ET RESULTATS EXPERIMENTAUX

Ce dernier chapitre a pour but de démontrer par la mesure les méthodes décrites dans le Chapitre III. Dans la section V.A, nous détaillerons la démarche employée pour l'application de la méthode de test à partir de mesures, puis celle du calibrage. Dans la section V.B, nous présenterons les bancs de mesures sur lesquels nous avons réalisé la mesure fonctionnelle des LNA, puis nous discuterons des résultats de mesures de ces derniers. La section V.C sera consacrée aux mesures fonctionnelles de l'ensemble des réticules disponibles sur un wafer, suivi d'une étude de la reproductibilité des mesures. Enfin, dans la section V.D, nous mettrons en œuvre la méthode de test à partir des mesures et nous commenterons ses performances. Nous concluons enfin sur les différentes hypothèses avancées dans cette thèse.

#### A. Introduction et démarche

##### ***Enjeux de la démonstration de la méthode de test***

La démonstration de la méthode de test nécessite la mesure des performances des démonstrateurs sur une grande quantité d'échantillons. Cet ensemble d'échantillons doit être susceptible de subir les variations de process. L'ensemble complet doit être de taille suffisante pour être scindé en un premier ensemble réservé à la phase d'entraînement, et un second ensemble de validation qui nous permettra d'évaluer la méthode en appliquant la phase de test en production.

Pour chacun des deux ensembles, les données nécessaires comprennent les performances RF (mesurées), le point de polarisation DC pour chacun des réticules disponibles, et les mesures des capteurs PT de variation de process fournis par le fondeur. Les données d'entrée de la fonction de régression seront les données PT, et éventuellement les mesures du point de polarisation DC (consommation et tensions de base des transistors). Les signatures des capteurs PT de variation de process ont été mesurées de manière entièrement automatisée par le fondeur avant la livraison du wafer. Ces signatures PT sont alors disponibles pour tous les réticules du wafer. Dans notre démonstration, tous les capteurs PT

ont été mesurés sur les ensembles d'entraînement et de validation, mais dans une application industrielle, une fois que les capteurs PT pertinents ont été sélectionnés parmi l'ensemble des capteurs PT durant la phase d'entraînement, on ne mesure que ces capteurs pertinents pendant la phase en production. À terme, cela réduit le nombre de mesures à réaliser pour le test (des mesures à bas coût, et relativement peu nombreuses), et donne une information importante au fondeur sur les signatures PT significatives, qui peut faire le choix de retirer les capteurs inutiles. On peut aussi envisager de réaliser un suivi tout au long de la production en vérifiant régulièrement la stabilité de la technologie et ainsi affiner la fonction de régression évolutivement face à d'éventuelles nouvelles dérives.

Pour notre démonstration, lors de la mesure des performances RF, le point de fonctionnement DC du CST est relevé pour chaque réticule, pour être éventuellement utilisé comme donnée d'entrée de la fonction de régression en complément des données des signatures PT. Cette information peut être obtenue immédiatement dans notre cas (mesure à partir des alimentations DC accessibles), mais n'est pas issue de capteurs non-intrusifs génériques et quasi-statiques, donc ne rentre pas précisément dans la démonstration. Cependant, dans bien des cas, ces données sont effectivement accessibles, on se propose donc de comparer la qualité de prédiction dans le cas de figure strict de la méthode présentée avec le cas de figure où on les prendrait également en compte.

Les performances des circuits-sous-test en bande millimétrique sont mesurées avec plusieurs bancs et stations sous pointes différentes selon les caractéristiques à mesurer ; nous les détaillerons dans la section V.B. Notre utilisation de ces bancs nécessite une bonne reproductibilité de la mesure sur des campagnes durant plusieurs jours ; nous avons ainsi prêté un grand intérêt à l'étude de la dispersion de la mesure. En effet, pour pouvoir conclure sur la dispersion des performances mesurées, supposément due aux variations de process, il faut connaître précisément la dispersion due à la mesure elle-même. De plus, tout bruit de mesure impactant l'ensemble d'entraînement ou de validation rend respectivement la fonction de régression imprécise ou les conclusions de la validation incertaines. Nous discuterons plus bas des causes possibles de cette dispersion de mesure, et par suite des précautions à prendre pour limiter cette erreur de mesure. Les mesures des performances millimétriques sont réalisées sur tous les réticules disponibles, l'ensemble d'entraînement est utilisé comme données cibles durant la première phase, et l'ensemble de validation est seulement utilisé pour la validation de la méthode et le calcul de l'erreur de prédiction dans la phase de production.

Pour conclure sur le bon fonctionnement de la méthode, on se base sur la comparaison entre les performances prédites et les performances réelles de l'ensemble de validation. Pour ce faire, on utilise différentes métriques, décrites dans la prochaine sous-section.

### Métriques

Comme explicité dans le Chapitre III, la méthode de test donne une fonction de régression qui permet de prédire la valeur des performances (les données de sortie de la fonction - notées  $\hat{Y}_i$ ), selon les paramètres d'entrée de la fonction, ou signatures (notées  $X_i$ ).

Tout d'abord, pour étudier la qualité de la prédiction, on a assurément besoin de connaître précisément la valeur réelle  $Y_i$  sur un ensemble de validation. C'est sur cet ensemble de validation que les métriques sont calculées. La première métrique qui donne une indication sur la qualité d'une prédiction est l'erreur quadratique moyenne (« *Root Mean Square error* » – abrégé RMS), notée  $\varepsilon_{RMS}$ , qui donne la distance moyenne de la prédiction  $\hat{Y}$  avec la valeur réelle notée  $Y$ . On la calcule sur un ensemble de données de longueur  $n$ . Son expression est donnée dans l'équation (V.1) :

$$\varepsilon_{RMS} = \sqrt{\frac{\sum_{i=1}^n (Y_i - \hat{Y}_i)^2}{n}} \quad (V.1)$$

Cette métrique donne des informations intéressantes sur la qualité de la prédiction, et d'autant plus lorsqu'on la ramène à la valeur réelle.

Deuxièmement, il faut prendre en compte la dispersion de la grandeur que l'on cherche à prédire. Selon l'importance de la dispersion devant la valeur absolue, l'ordre de grandeur de l'erreur de prédiction ne signifie pas la même qualité de prédiction. Ainsi, on utilise une FoM qui prend en compte l'écart-type des performances à estimer. Cette FoM a été proposée dans [101] ; elle est décrite dans l'équation (V.2). Elle vaut le rapport de l'écart-type des performances réelles  $\sigma_{perf}$  de l'ensemble de validation sur l'erreur quadratique moyenne  $\varepsilon_{RMS}$  :

$$FoM = \frac{\sigma_{perf}}{\varepsilon_{RMS}} \quad (V.2)$$

Si la  $FoM$  est inférieure à 1, on peut conclure que la prédiction est de qualité insuffisante : la valeur prédite présente une erreur de prédiction supérieure ou égale à la dispersion de l'ensemble de validation, ce qui n'apporte rien. Au-delà de 1, la prédiction fonctionne, la méthode de test donne des informations sur la valeur des performances, bien que la précision soit faible pour des valeurs proches de 1. La qualité de la prédiction s'améliore quand la  $FoM$  augmente, mais il n'existe pas de valeur typique à partir de laquelle on considère la qualité de la prédiction comme suffisante, cela dépend des spécifications, de la qualité de prédiction attendue pour l'application donnée. Pour statuer, il faut considérer la  $FoM$  au regard de l'erreur RMS attendue pour l'application.

### **Enjeux de la démonstration de la méthode de calibrage**

Le but de la méthode de calibrage, détaillée dans le Chapitre III, la méthode étendue de celle issue de [66], est d'obtenir pour chaque réticule les valeurs des  $TKs$  qui optimisent les performances face aux variations de process.

Lors de la phase d'entraînement, on utilise quasiment à l'identique la méthode de sélections des signatures PT. Or, ici, on cherche à obtenir la prédiction des performances en fonction des signatures PT et de la configuration des éléments variables (les  $TKs$ ). L'ensemble d'entraînement comprendra donc les performances à prédire pour des  $TKs$  non-nominaux. Les  $TKs$  seront tirés aléatoirement sur l'ensemble d'entraînement pour décrire le fonctionnement du démonstrateur sur les plages de corrections offertes par ces  $TKs$ , et leur valeur sera prise en compte en entrée de la fonction de régression, comme dans l'équation (V.3).

$$f_{TK,S \rightarrow P} : (TK_1, TK_2 \dots, TK_k, S_1, S_2 \dots S_n) \rightarrow (P_1, P_2 \dots P_m) \quad (V.3)$$

avec  $(P_1, P_2 \dots P_m)$  les  $m$  performances du CST,  $(S_1, S_2 \dots S_n)$  les  $n$  signatures PT et  $(TK_1, TK_2 \dots TK_k)$  les  $k$  boutons de réglage nommés  $TKs$ .

Les  $TKs$  sont d'office considérés comme des informations pertinentes, il faut nécessairement que la fonction de régression prenne en compte leur impact sur les performances pour que cette dernière soit utilisable en phase de production. Les  $TKs$  ne font pas l'objet de la méthode de sélection, ce sont les  $k$  premiers paramètres d'entrée de la fonction.

Comme décrite dans la section III.D, la détermination des  $TKs$  optimums en phase de production se déroule en deux étapes : (i) on prédit les performances à l'aide de la fonction de régression dans une phase d'entraînement, (ii) on cherche le minimum de la fonction de régression pour les signatures PT connues, en parcourant la plage de valeurs des  $TKs$ .

Ici, les  $TKs$  sont la tension de polarisation du *varactor*, et les tensions et courant de polarisation et d'alimentation du montage cascade. Bien que ces derniers n'aient pas été optimisés à ces fins, on suppose qu'une légère variation de ces paramètres peut corriger le fonctionnement du circuit dans une moindre mesure. On mesure les performances de chaque réticule pour un jeu de valeurs de polarisation aléatoires nouveau pour chaque réticule.

Ainsi, on propose de valider la méthode en deux temps, à savoir :

- On dispose d'un ensemble de validation dont les performances ont été mesurées en prenant un jeu de valeurs de  $TKs$  aléatoires pour chaque réticule de l'ensemble. À l'aide de la fonction de régression entraînée en amont, on prédit les performances pour chaque réticule selon les signatures PT et le jeu de valeurs de  $TKs$  aléatoires, et on vérifie la qualité de la prédiction des performances. La qualité de prédiction s'apprécie grâce à la *FOM* par rapport à la dispersion des

performances due au process (à *TKs* nominaux), et non par rapport à la dispersion de l'ensemble de validation (à *TKs* aléatoires).

- On cherche les valeurs de *TKs* qui optimisent les performances en évaluant la fonction de régression sur une plage de valeurs acceptables des *TKs*. On mesure ensuite les performances de l'ensemble de validation avec les *TKs* optimisés, et on conclut sur l'amélioration des performances.

Ici, l'ensemble d'entraînement est de taille réduite. L'ajout des *TKs* comme paramètres d'entrée et comme variables rend le comportement du démonstrateur plus complexe à décrire par un unique modèle de régression. La taille de l'ensemble d'entraînement peut alors réduire la précision de la prédiction. La prédiction doit par ailleurs être de meilleure qualité dans ce cas que dans le cas du test. En effet, la dispersion de l'ensemble des performances est plus grande (les *TKs* impactant les performances sur une plage de variation plus grande que les seules variations de process), mais la précision à atteindre reste celle de la variation due uniquement aux variations de process. Le risque étant que la prédiction des performances en fonction des *TKs* et des signatures PT soit fonctionnelle par rapport à la dispersion de l'ensemble d'entraînement de la méthode de calibrage, et non par rapport à la dispersion à *TKs* nominaux. Cela rendra donc la fonction de régression non pertinente pour la prédiction des *TKs* optimaux.

Pour obtenir des mesures correctes des ensembles d'entraînement et de validation, et pouvoir appliquer les méthodes décrites, il faut avant tout s'assurer de la reproductibilité des mesures. Dans une dernière sous-section nous allons évoquer les causes de variabilité des mesures et les solutions que nous avons mises en place pour limiter ces variations et également pour les quantifier.

### ***Caractérisation***

Pour mener à bien notre étude, il nous faut nous assurer que la dispersion observée est bien due aux variations de process et non à la mesure elle-même. Pour cela, nous allons lister quelques causes possibles et proposer des solutions pour quantifier la dispersion de la mesure, sur les différents bancs. Des précautions sont à prendre sur chaque banc, mais chacun peut présenter des sensibilités plus prononcées pour l'un ou l'autre des facteurs externes de variation. Nous allons tenter de lister les différentes causes possibles de variabilité de la mesure, en nous basant sur des constatations qualitatives issues des campagnes précédentes internes au laboratoire, sur des composants actifs et passifs.

- On peut tout d'abord s'attendre à une dérive temporelle des résultats de mesure. Une campagne de mesure full-wafer s'étale sur plusieurs sessions de mesure. Chaque session de mesure correspond à une séquence de mesure de plusieurs heures avec ou sans interruption qui a pour début une thermalisation complète et/ou un calibrage/étalonnage (selon la mesure effectuée). Une session correspond généralement à une journée de mesure, le temps entre deux sessions étant donc supérieur à une dizaine d'heures. Il a fallu trois sessions pour la mesure des paramètres

S sur chaque LNA (donc pour la mesure du wafer entier) et 3 sessions pour la mesure de la figure de bruit  $NF$  sur le LNA accordable. Durant le temps écoulé pendant chaque session, et surtout entre chaque session, les conditions de mesures ont tendance à varier.

- i) La température ambiante peut varier localement même si elle est réglée au niveau de la pièce, et causer une dérive progressive entre le début et la fin de la campagne. La température peut être facilement monitorée, mais il est difficile d'agir dessus.
  - ii) L'encrassement des pointes de mesure est progressif, causant généralement une augmentation des pertes d'insertion après plusieurs posés. Pour éviter cela il est possible de nettoyer les sondes RF avec un substrat adhésif, mais cette opération est coûteuse en temps, et la récurrence du nettoyage serait fixée arbitrairement, sans garantie d'efficacité sur l'ensemble des mesures.
  - iii) Une dérive mécanique de la station peut avoir lieu, notamment sur les bras manipulateurs des sondes RF et les connecteurs, causant une variabilité progressive de la qualité du posé et de la connectique. Cela peut entraîner des pertes d'insertion ou des désadaptations qui évoluent dans le temps.
  - iv) La campagne durant plusieurs jours, les calibrages sont donc revus plusieurs fois. Il est possible que ces calibrages présentent une légère variabilité. Le risque est d'observer une variation importante entre la dernière mesure d'une session et la première de la suivante.
- Au-delà d'une dérive temporelle, on observe une dispersion de mesure qui s'apparente plus à un bruit aléatoire de mesure qu'à une dérive. Parmi les causes, on retrouve les suivantes :
    - i) Le posé des sondes RF est manuel, il est donc sujet à des variations difficilement prévisibles. Deux contacts peuvent être différents, et ceci peu importe le réticule, avec a priori peu de lien avec la répartition spatiale des réticules. Il en est de même avec certains connecteurs qui doivent être déconnectés pour réaliser des calibrages, et dont les conditions ne sont jamais identiques après reconnexion. C'est le cas pour l'étalonnage du NF qui est réalisé sur le plan entre le connecteur de sortie de la source de bruit et le connecteur d'entrée du récepteur. La mesure sous pointes n'est effectuée qu'après reconnexion des connecteurs aux sondes de mesure.
    - ii) Un temps de thermalisation des appareils doit être pris en compte.
    - iii) Enfin, et finalement dans une moindre mesure, l'appareil de mesure lui-même présente un bruit de mesure, mais cette dernière cause est a priori secondaire. Elle est cependant de fait prise en compte dans la quantification de la dispersion de mesure.

Il est difficile de quantifier l'impact de chaque cause sur la dispersion, mais cela n'est pas nécessaire pour conclure sur la dispersion de la mesure elle-même. Pour quantifier et limiter l'impact global de toutes ces causes possibles de variabilité de la mesure, on prend les dispositions suivantes :

- On applique les précautions d'usage durant chaque campagne :

- i) La personne qui opère les posés, les montages et démontages doit toujours être la même,
- ii) On relève la température ambiante à intervalles réguliers,
- iii) On respecte un temps de thermalisation défini en amont avant chaque session.
- Pendant la campagne, on réalise des mesures de redondance à intervalle régulier : on remesure des réticules mesurés en début de session et de campagne. Il est nécessaire de ne pas mesurer toujours le même réticule comme référence, puisque la qualité du posé risque de varier en raison de l'usure des plots.

À partir des données recueillies, nous sommes en mesure d'estimer la dispersion due à la mesure pour chacune des performances. Les résultats de ces études de reproductibilité sont présentés dans la section V.C.2.

Dans cette section, nous avons explicité toutes les étapes de la démonstration. Dans la section V.B, nous allons décrire les différents bancs et conditions de mesure pour chacune des performances mesurées sur le LNA, et discuter des résultats de mesures des démonstrateurs.

## B. Résultats de mesure des démonstrateurs

### 1. Bancs et conditions de mesures

On mesure les paramètres  $S$ , la figure de bruit et le point de compression sur chacun des LNA. Il est à noter que seules les deux premières métriques n'ont pu être mesurées sur tout le wafer pour l'application des méthodes de test et de calibrage. On décrira également la partie concernant l'alimentation DC des LNA.

#### **Paramètres $S$**

La mesure des paramètres  $S$  donne le gain  $G$  (ou paramètre  $|S_{21}|$ ), les coefficients de réflexion ( $S_{11}$  et  $S_{22}$ ) et l'isolation ( $|S_{12}|$ ). Les paramètres  $S$  ont été mesurés avec un VNA de type PNA E8361A de Keysight fonctionnant sur la bande 10MHz - 67GHz. La mesure a été réalisée sur une station sous pointes manuelle.

Chaque session de mesure démarre par l'application d'un calibrage de type LRRM (*Line-Reflect-Reflect-Match*), qui permet de calibrer la réponse du VNA. Cette démarche est dépendante de la qualité du posé, mais on peut vérifier la viabilité d'un calibrage en évaluant la mesure d'un standard connu après calibrage. On utilise un substrat de calibrage Form-Factor 101-190. Le VNA est piloté par ordinateur via le logiciel WinCal XE. Les mesures sont toutes réalisées dans la bande 250 MHz – 67 GHz avec un pas de 250 MHz. Le nombre de points n'est pas très élevé (pas de 250 MHz) pour limiter le temps de parcours de la bande de fréquence. On cherche à réduire la durée de la mesure et ainsi la durée totale de la campagne, qui peut, comme on l'a vu, être un facteur de variabilité de la mesure. Pour les mesures de paramètres  $S$ , on configure le VNA pour injecter une puissance de -28 dBm (consigne au générateur du VNA en sortie de port, et non en entrée du dispositif). Comme les performances

en puissance des démonstrateurs sont mesurées à l'aide d'un autre banc, nous n'avons pas appliqué de calibrage en puissance.

### Figure de bruit $NF$

Le banc de mesure de  $NF$  dans la bande 20 – 42 GHz a été conçu pour les besoins d'une thèse antérieure [102] où il est décrit en détail. La Figure V.1 représente les différents étages du banc. Le bloc du circuit sous test sur schéma comprend le démonstrateur mais aussi toute la partie relative à la mesure sous pointes, jusqu'aux connecteurs coaxiaux.

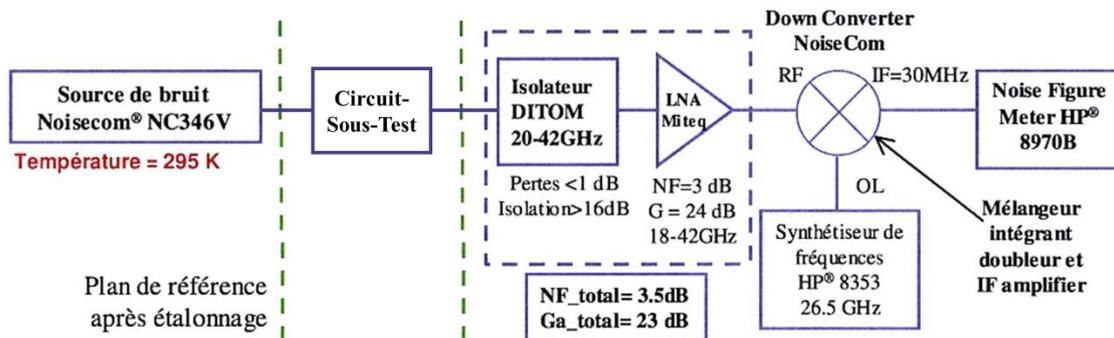


Figure V.1 : Schéma du banc de mesure de bruit [102]

Avant chaque session, on s'assure de respecter un temps de thermalisation. En effet, tant que les différents éléments de la chaîne n'ont pas atteint leur température nominale, on peut observer une variation assez importante des mesures. Une fois la thermalisation terminée, on réalise un étalonnage du récepteur de bruit, directement connecté à la source de bruit. La mesure des LNA étant réalisée sous pointes, il faut nécessairement déconnecter la source du récepteur de bruit et connecter ces éléments aux sondes RF. L'opération a lieu après l'étalonnage, ce qui risque d'entraîner une variation de la mesure entre chaque session de la campagne. La campagne de mesure de la figure de bruit s'est étalée sur trois sessions de six heures. La référence [102] indique également une méthode de retranchement de l'impact des accès, utilisant les paramètres des accès mesurés en amont de la campagne. Nous l'appliquerons ici sans la détailler.

### Point de compression

Les performances en puissance des deux LNA sous-test ont été mesurées sur un seul réticule sans avoir pour objectif de mesurer un grand nombre d'échantillons. Il n'y a donc pas eu d'étude de reproductibilité. La mesure du point de compression  $CP_{1dB}$  est effectuée à partir d'un VNA Anritsu ME7838G4 70 GHz comme générateur, et des puissance-mètres Agilent E4418B et sonde N8487A couvrant la bande de 50 MHz à 50 GHz, avec une dynamique de -35 à +20 dBm. La mesure sous pointes est menée sur une station semi-automatique.

### Alimentation DC

Il est nécessaire de détailler rapidement la partie DC des deux premiers bancs de mesure que nous avons utilisés lors des campagnes de mesures complètes. Pour alimenter les

LNA, nous avons besoin de quatre voies DC. Ces quatre voies sont fournies par deux sources continues pilotables Agilent E5263A de deux voies chacune. Trois des alimentations DC sont directement connectées aux plots des circuits via des sondes DC, à savoir celles du cascode ( $I_{BEC}$ ,  $I_{BBC}$  et  $V_{CE}$ ). On utilise une sonde DC alternant plots de masse et plots d'alimentation (correspondant aux plots DC du LNA en Figure V.2), de modèle MCW-24-7865-S. Cette sonde est découplée entre chaque aiguille puissance et masse pour améliorer l'isolation RF des circuits d'alimentation. Le découplage capacitif atteint une valeur totale de 120 pF. La quatrième alimentation sert à polariser le *varactor* de sortie sur le LNA accordable, directement relié à la sortie RF du LNA. Pour ce faire, on utilise le té de polarisation interne du VNA. Les alimentations sont pilotées par LabView.

Les bancs de mesures ayant été introduits, nous présentons les résultats de mesure des performances des LNA et les comparons aux simulations dans la section V.B.2.

## 2. Résultats de mesure des LNA

La Figure V.2 illustre par une photographie le LNA fixe intégré en technologie STM BiCMOS 55 nm. Le LNA accordable a un *layout* quasiment identique, avec pour seule différence la dimension des inductances de sortie dont la surface change légèrement sans impacter la surface utile. Le *varactor* n'est pas visible (d'où l'illustration unique).

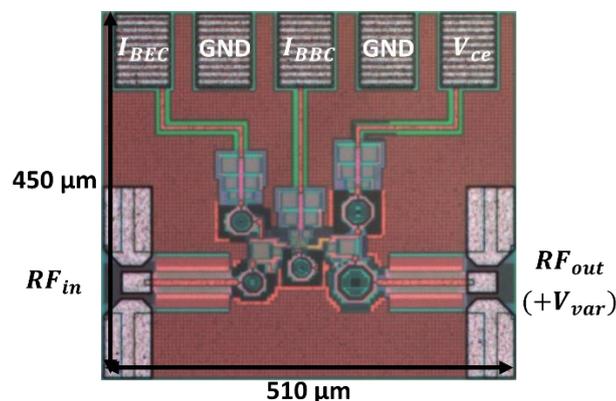


Figure V.2 : Microphotographie du LNA fixe et indications de câblage

Sur la Figure V.2, on peut voir que les plots RF sont situés à l'est et à l'ouest du circuit, et que les plots d'alimentation sont situés au nord. Parmi les cinq plots DC, trois servent à polariser le cascode, et deux connectent le circuit à la masse. Les deux plots de masse sont connectés par le plan de masse du LNA et les broches de masse de la sonde sont reliées ensemble dans la sonde.

### Mesures des paramètres S

Les paramètres S des deux LNA ont été mesurés pour une polarisation nominale ( $I_{BEC} = 6 \mu A$ ,  $I_{BBC} = 6,5 \mu A$  et  $V_{CE} = 1,5 V$ ). Les mesures du LNA accordable sont présentées pour une position nominale (valeur médiane de la capacité) du *varactor* dans un premier

temps. On présentera la plage de correction du LNA accordable dans la section V.E.1 dédiée au calibrage.

Le *layout* a été simplifié pour être simulé à l'aide du logiciel Ansys HFSS : seules les inductances et les interconnexions ont été conservées. On obtient les paramètres S simulés de ces parties du circuit, et on utilise les modèles des capacités MOM, et l'extraction parasitique du *layout* des environs proches du cascode pour compléter le schéma électrique. La Figure V.3 présente les résultats de mesure et de simulation EM des deux LNA.

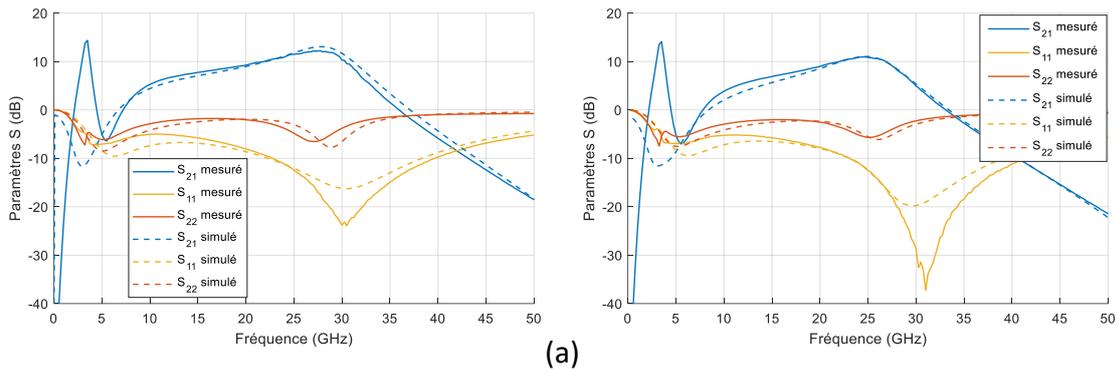


Figure V.3 : Paramètres S mesurés (traits pleins) et simulés (traits pointillés) des LNA fixe (a) et accordable (b)

Comme relevé dans le Chapitre IV, nous n'avons pas pu effectuer des simulations EM pendant la conception, faute de temps. Les mesures des LNA montrent que les performances sont en-dessous de celles attendues. Nous n'avons donc pas pu anticiper les pertes et désadaptations que nous observons ici. Cependant, on constate a posteriori que la simulation EM est en bon accord avec les mesures, même si le gain mesuré est inférieur au gain simulé au niveau schématique. Le gain maximal dans la bande passante vaut respectivement 12,2 et 11 dB pour le LNA fixe et le LNA accordable, contre 20,4 et 19,3 dB pour le gain maximal simulé au niveau schématique. En simulation EM, on obtient un gain maximal respectivement de 13 dB et 11 dB avec une allure très proche de celle de la mesure au-delà de 6 GHz. On constate également que les fréquences des maxima de gain sont décalées par rapport à la simulation au niveau schématique. En effet, sur les LNA fixe et accordable, on observe un gain maximum respectivement à la fréquence de 27 GHz et de 25 GHz, identiques en simulation EM. Les optimums d'adaptation en mesure sont aussi décalés par rapport aux simulations schématiques. Puisque les simulations EM décrivent bien le comportement réel des circuits, la baisse des performances est bien due principalement à l'impact des effets électromagnétiques parasites. On pourrait probablement corriger les désadaptations et pertes dans une nouvelle itération.

On constate que pour des fréquences inférieures à 6 GHz, la simulation EM n'est plus en accord avec la mesure, notamment sur le gain des LNA. En effet, en mesure on trouve un fort pic de gain très étroit centré à 3,4 GHz, sur les deux LNA. On peut expliquer ceci par l'impact des sondes DC qui causent une résonance des tés de polarisation. Les sondes DC

sont découplées par des capacités  $C_d$  valant 120 pF entre chaque aiguille signal et masse, mais le simple ajout de ce condensateur ne suffit pas à expliquer la résonance. Il faut alors prendre en compte l'inductance parasite série présente sur chaque aiguille. Celle-ci n'est pas communiquée par le constructeur des pointes, et aucune documentation n'est accessible à ce sujet sur les pointes utilisées. Si l'on se réfère à des documents issus d'autres constructeurs, comme [103] et [104], l'inductance série  $L_{pin}$  présentée par les aiguilles peut aller de quelques pH à 8 nH dans le pire cas, avec un cas plus commun de 0.3 ou 0.4 nH. On prend donc en compte cette inductance série, qui se trouve en amont des plots d'alimentation du circuit, et en aval des condensateurs de découplage. La référence des masses est prise dans le circuit, et les points froids des alimentations sont connectés ensemble dans la sonde. Ce modèle, dont le schéma équivalent RF est donné sur la Figure V.4, considère que l'impédance ramenée par chacune des alimentations est suffisamment grande pour être considérée comme un circuit ouvert en RF. L'inductance série des aiguilles,  $L_{pin}$ , vaut 300 pH, et la capacité de découplage entre les aiguilles  $C_d$  vaut 120 pF. La comparaison du gain mesuré et simulé en tenant compte ou non de la sonde DC est présentée sur la Figure V.5 pour les deux LNA.

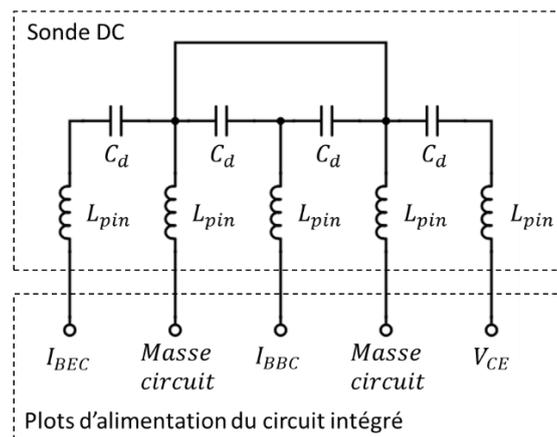


Figure V.4 : Schéma équivalent RF de la sonde DC

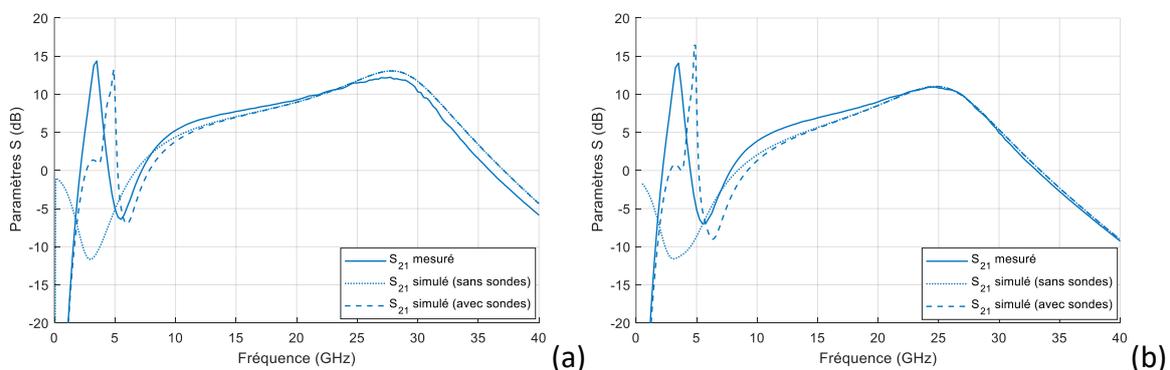


Figure V.5 : Paramètres  $S$  mesurés et simulés (avec ou sans prise en compte des sondes DC) des LNA fixe (a) et accordable en position milieu (b)

Sur la base de ces résultats de simulation, on peut conclure que c'est effectivement l'impédance ramenée par les sondes DC sur les chemins DC qui cause le pic de gain en basse

fréquence. Les courbes ne se superposent pas, il faudrait compléter le modèle simpliste des sondes pour améliorer la correspondance. Cependant, l'accord est suffisant pour affirmer que le comportement est bien dû au fait que l'on charge les tés de polarisation intégrés par la sonde DC. Pour éviter cela, il faudrait augmenter la capacité de découplage des cellules de découplage intégrées et s'assurer que l'impédance vue est suffisamment faible pour isoler le chemin DC de la RF jusqu'à des fréquences très basses. Il est à noter que ce pic ne nous empêche pas de mener notre étude, qui a lieu à des fréquences plus élevées. Par ailleurs, si l'on change le circuit d'alimentation pour intégrer par exemple le LNA dans un circuit plus complexe, ou en utilisant une connexion par fil (« *wire-bonding* »), les impédances présentées seront modifiées. En outre, une bonne connaissance des modèles doit permettre d'éliminer ces pics de gain parasites.

Les résultats de mesure des performances des LNA sont résumés dans le Tableau 12. Dans la section suivante, nous présentons les résultats d'une deuxième métrique importante : la figure de bruit  $NF$  des deux LNA.

### Mesures de la figure de bruit

La figure de bruit est mesurée sur le banc dédié sur une bande allant de 23 à 35 GHz. On retranche l'effet des accès sur la mesure de la figure de bruit à partir des mesures de paramètres  $S$  des mêmes réticules. La Figure V.6 compare la mesure du  $NF$  des deux LNA avec la simulation au niveau schématique de ces derniers. Nous n'avons pas pu mener à bien la simulation du  $NF$  à base de simulations EM, les seules simulations disponibles sont celles utilisant les modèles du PDK. Ces simulations négligeant certaines pertes comme vu précédemment, il est cohérent que le  $NF$  mesuré soit supérieur au  $NF$  simulé.

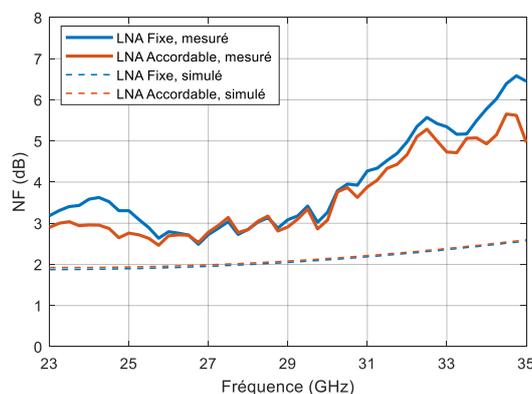


Figure V.6 :  $NF$  mesuré (traits pleins) et simulé (traits pointillés) des LNA fixe (bleu) et accordable (rouge)

Le  $NF$  mesuré est proche des 3 dB dans la bande d'intérêt, autour des pics de gain des deux LNA. Il augmente drastiquement en haut de la bande de fréquence. Aux fréquences d'intérêt, soit aux maxima de gain des LNA fixe et accordable, on obtient respectivement un  $NF$  de 2,72 dB et 2,76 dB. Ces valeurs de  $NF$  sont acceptables au vu des LNA comparés dans le Tableau 3 lors de la conception, même si nos démonstrateurs fournissent un gain relativement faible. La bande passante des LNA étant large, le  $NF$  maximal dans la bande

passante est de 4,1 dB pour le LNA fixe et 3,09 dB pour le LNA accordable. Les valeurs minimales de  $NF$  dans la bande passante sont respectivement de 2,48 dB et 2,41 dB. Ces valeurs sont reportées dans le Tableau 12.

À ce stade, les performances des démonstrateurs telles que mesurées sont donc suffisantes dans l'optique de la démonstration, l'essentiel est de prouver que l'on est capables de prédire les performances des LNA à l'aide des mesures des capteurs PT.

### **Mesure du point de compression**

Pour caractériser les différentes métriques des LNA définies dans les spécifications, il est nécessaire de compléter les mesures par le point de compression. Pour des raisons de disponibilité des bancs, la mesure des performances en puissance des LNA à été réalisée après les mesures des autres performances, et sur un seul réticule. Le point de compression ne sera donc pas une des grandeurs à prédire dans notre démonstration. On trace les caractéristiques en puissance sur la Figure V.7.

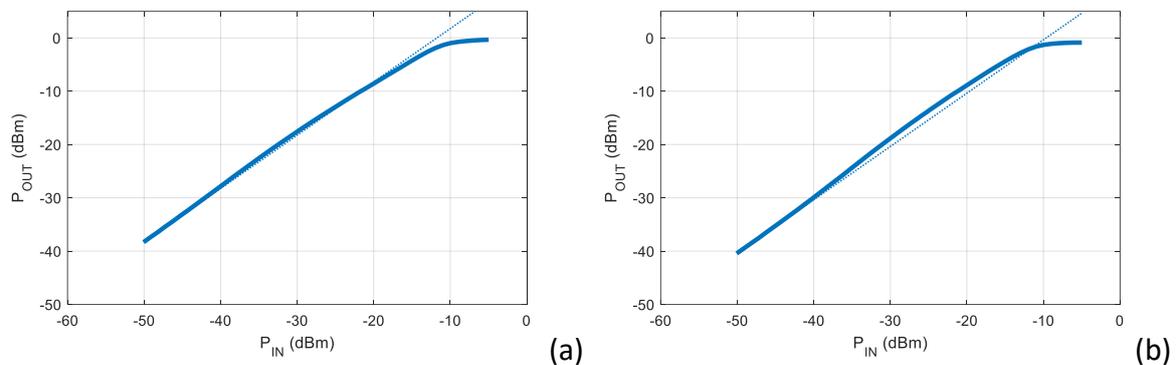


Figure V.7 : Caractéristique  $P_{out}$  en fonction de  $P_{in}$  mesurée sur le LNA fixe (a) et le LNA accordable (b) et leurs asymptotes

Le LNA fixe présente un point de compression en sortie  $OCP_{1dB}$  de - 4,3 dBm contre - 3,5 dBm en simulation schématique. Le LNA accordable présente une expansion de gain de 1,4 dB au maximum pour un  $P_{in}$  compris entre -35 dBm et -15 dBm. Son  $OCP_{1dB}$  vaut -1,30 dBm, ce qui satisfait le guide de conception, tout comme avec le LNA fixe.

### **Conclusion**

Le Tableau 12 résume les performances mesurées des deux LNA et rappelle les valeurs guides (spécifications) que nous avons établies en amont de la conception. Malgré le gain limité des LNA, nous pouvons conclure que les deux circuits n'ont pas de défauts majeurs qui entraveraient le bon déroulement des mesures pour la constitution des ensembles d'entraînement et de validation des méthodes de test et de calibrage.

Tableau 12: Performances mesurées des LNA

| <i>Critères</i>                     | <i>Spécifications</i> | <i>LNA Fixe</i> | <i>LNA Accordable</i> |
|-------------------------------------|-----------------------|-----------------|-----------------------|
| Fréquence (GHz)                     | 30                    | 27              | 25                    |
| Bande passante relative à -3 dB (%) | >25                   | 41%             | 44%                   |
| Gain (dB)<br>(Gain maximum) (dB)    | >18                   | 11.7<br>(12.2)  | 9.6<br>(11.0)         |
| NF (dB)                             | <3                    | 2.48 – 4.10     | 2.41 – 3.09           |
| OCP1dB (dBm)                        | >-5                   | -4.3            | -1.3                  |
| PDC (mW)                            | <20                   | 12              | 12                    |

À présent, les performances mesurées des deux LNA ont été décrites. La section V.C traite de la dispersion de ces performances sur l'ensemble des échantillons disponibles. En section V.C.1, on présentera les cartographies et dispersions mesurées, avant d'étudier la reproductibilité des mesures sur les deux bancs de mesures de paramètres S et du  $NF$  dans la section V.C.2. Enfin, on commentera les données de cartographie au vu des conclusions de l'étude de reproductibilité.

### C. Mesures fonctionnelles des performances sur l'ensemble des échantillons

#### 1. Dispersion et cartographie de performances

Les performances sélectionnées ont été mesurées sur tous les échantillons disponibles : un wafer complet a été mis à disposition, ce qui offre un total de 61 réticules sur lesquels 57 étaient exploitables pour notre étude. Pour se rendre compte des variations de performances, nous présentons les résultats sous deux formes : (i) un histogramme représentant la dispersion de chaque performance mesurée sur l'ensemble des échantillons, et (ii) une cartographie des performances des circuits selon leur position spatiale sur le wafer. Les données présentées sont le gain  $G$  (en dB), les coefficients de réflexion  $|S_{11}|$  et  $|S_{22}|$  (en dB) et la puissance consommée des deux LNA à leur fréquence de pic de gain, ainsi que la figure de bruit  $NF$  du LNA accordable. Le LNA accordable est polarisé en son point nominal. Toutes ces données sont représentées sur les Figure V.8 et Figure V.9.

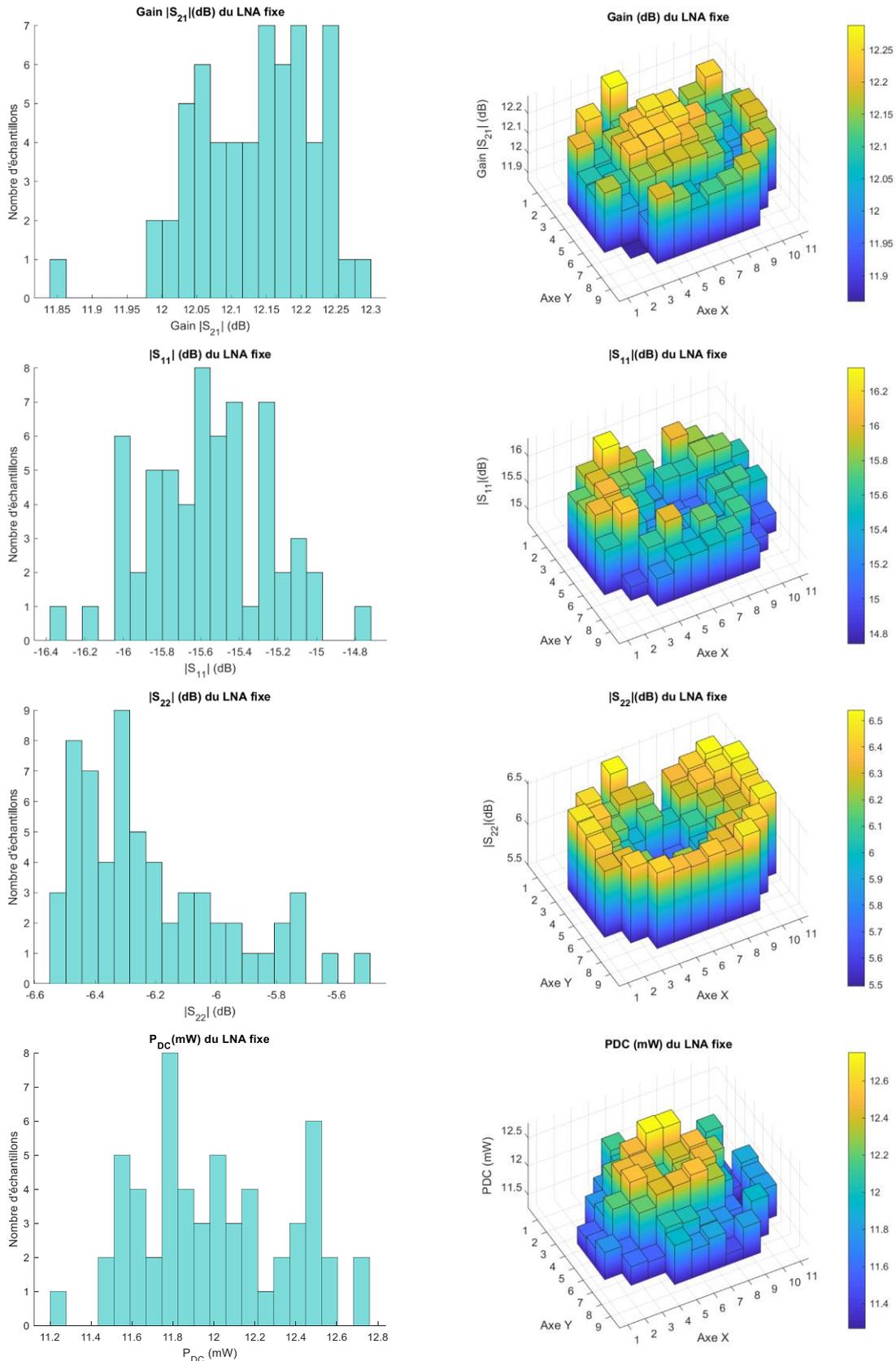
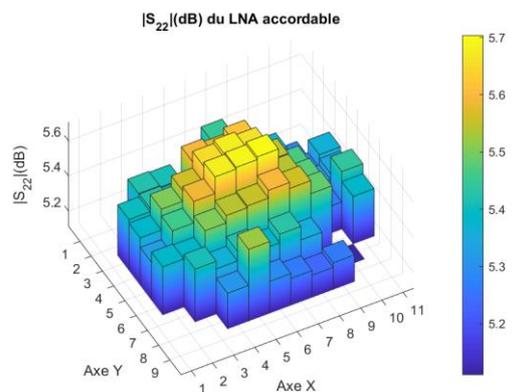
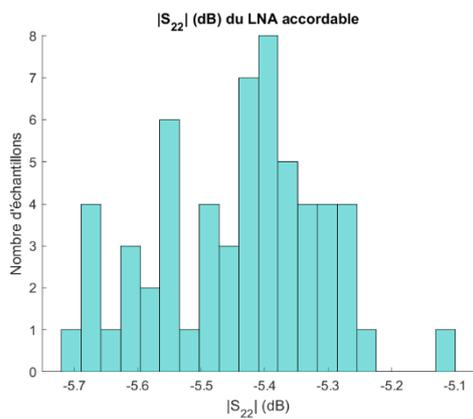
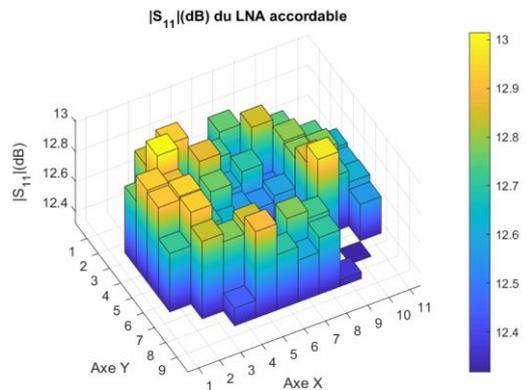
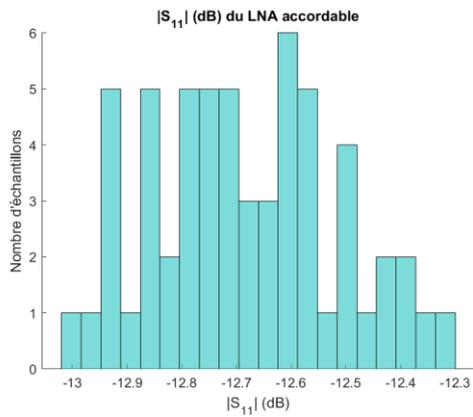
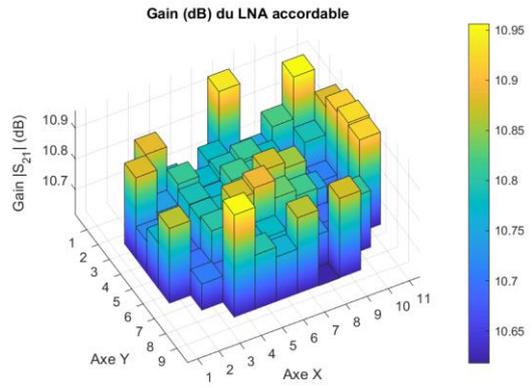
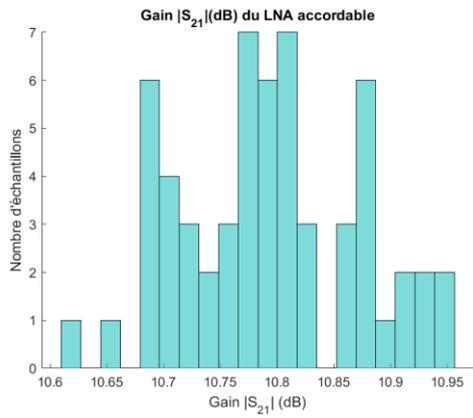
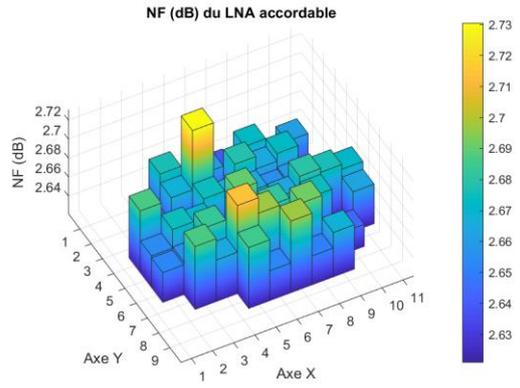
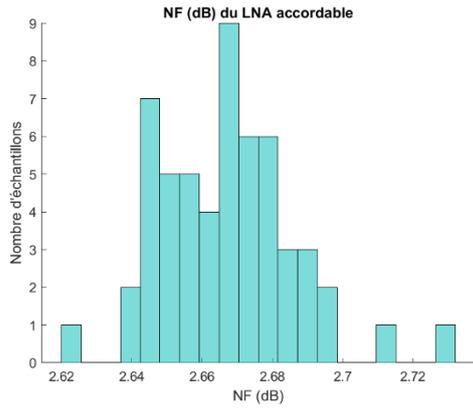


Figure V.8 : Dispersions et cartographies des performances du LNA fixe @ 27 GHz

## Méthodes de mesure et résultats expérimentaux



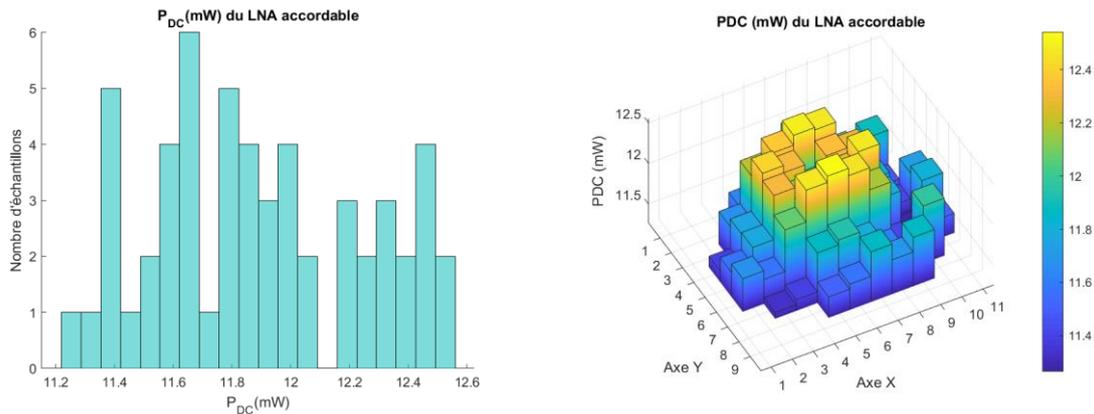


Figure V.9 : Dispersion et cartographie des performances du LNA accordable @ 25 GHz

Seul le LNA accordable a fait l'objet de la mesure de  $NF$ , il n'a pas été possible de la réaliser sur le LNA fixe pour des raisons dépendantes du banc (stabilité de température non garantie). La mesure du  $NF$  a eu lieu à la suite de la mesure de paramètres  $S$ , ce qui signifie que les plots de mesure ont été utilisés à deux reprises, causant inévitablement une usure et dégradant la qualité du contact.

Par ailleurs, on relève que la dispersion des performances mesurées est assez faible ; elles sont reportées dans le Tableau 14. Avec une étude de reproductibilité présentée à la section suivante, nous nous sommes assurés que cette dispersion était effectivement due à la variation des performances, et non à la variabilité de la mesure.

## 2. Etude de la reproductibilité de la mesure

Après avoir présenté les mesures complètes des campagnes, nous développons ici l'étude de reproductibilité de la mesure des deux performances des LNA. Pour démontrer nos méthodes, nous devons obtenir des jeux de données dont il est assuré que la dispersion des performances dues aux variations de process est plus grande que la dispersion due aux conditions de mesure. Pour ce faire, on compare des mesures d'un même composant plusieurs fois dans une même campagne en effectuant des mesures redondantes. Nous utilisons cette approche sur le banc de mesure de  $NF$  et sur le banc de mesure de paramètres  $S$ . Ces études nous permettent d'obtenir une indication sur l'écart entre deux mesures du même composant (et même réticule), et donnent un encadrement de la variation maximale de la mesure.

### **Banc de mesure de $NF$**

Pour évaluer la reproductibilité des mesures, nous avons régulièrement remesuré certains réticules durant la campagne. La durée qui sépare la mesure de référence de sa mesure redondante va de 1 à 20 h, dans la même session, ou sur deux sessions, comparant

alors des mesures effectuées avec deux calibrages distincts. L'écart entre chacune des mesures et sa mesure redondante est tracé sur la Figure V.10.

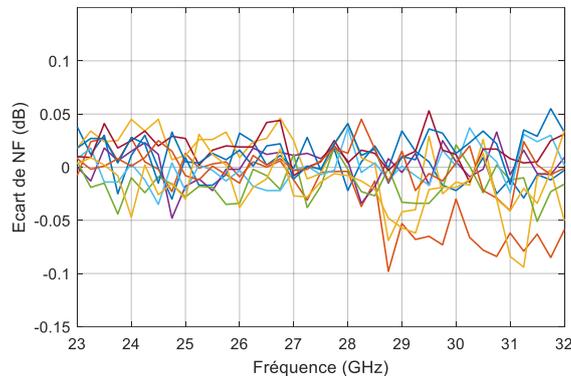


Figure V.10 : Ecart entre les mesures références du  $NF$  et des mesures redondantes

La cartographie du  $NF$  n'ayant été effectuée que sur le LNA accordable, la fréquence d'intérêt est la fréquence centrale du LNA accordable, soit 25 GHz. À cette fréquence, on observe une variabilité de  $\pm 0.03$  dB dans le pire cas.

### **Banc de mesure de paramètres S**

La même méthode a été utilisée durant les campagnes de mesure de paramètres S. Les paramètres S sont mesurés sur les deux LNA, les fréquences d'intérêt sont les maxima de gain des deux LNA, à savoir 25 et 27 GHz. La Figure V.11 présente de la même manière la variation des paramètres S entre une première mesure et la mesure redondante sur chacune des campagnes.

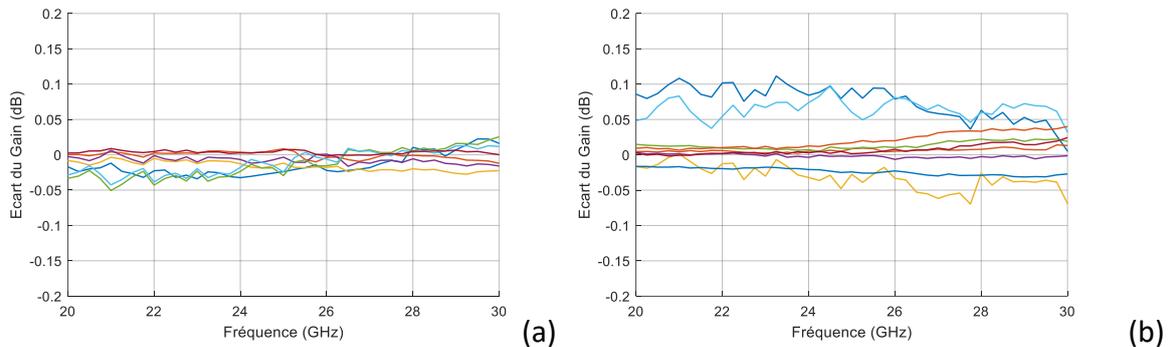


Figure V.11 : Ecart entre les mesures références du gain (en dB) et les mesures redondantes sur la campagne du LNA fixe (a) et LNA accordable (b)

Entre les fréquences de 20 et 30 GHz, dans la bande d'intérêt, la variabilité du gain sur la campagne de mesure du LNA fixe est contenue dans un écart de  $\pm 0,05$  dB, alors que celle sur la mesure du LNA accordable est comprise entre  $-0,07$  dB et  $+0,11$  dB. À la fréquence du maximum de gain, la variabilité est comprise dans l'intervalle  $[-0,024 ; +0,01]$  dB pour le LNA fixe, alors que celle de la mesure du LNA accordable est comprise dans la mesure redondante  $[-0,028 ; +0,094]$  dB. La variabilité plus élevée dans le second cas est due à une difficulté à réaliser le calibrage LRRM lors de la seconde session de mesure de la campagne. La variabilité

pire cas des autres paramètres S basée sur les mêmes mesures de redondance est indiquée dans le Tableau 13.

Avec ces informations, nous pouvons commenter la dispersion des performances sur les mesures complètes par rapport à la variabilité de la mesure.

### Commentaire

Tout d'abord, il est à noter que la dispersion des mesures de performances est très faible, et cela grâce à la maturité de la technologie. Ainsi, tous les réticules disponibles sont fonctionnels. Cette stabilité de la technologie est bénéfique aux performances des circuits qui sont intégrés dessus, mais notre démonstration nécessite que la qualité de la mesure soit bien supérieure à la dispersion des performances due effectivement aux variations de process.

Dans le Tableau 13, si l'on compare la plage de variation pire cas entre les mesures et leur redondance avec la plage de variation des données complètes, on constate que cette dernière est toujours supérieure. Cela confirme que les données sont exploitables pour l'application de notre méthode de test. Cependant, pour certaines grandeurs, la variabilité de la mesure reste proche de la plage de variation. Ce bruit de mesure, principalement sur le  $NF$ , sera un obstacle pour la méthode de test, et notamment lors de la sélection des capteurs (le bruit de mesure pouvant fausser les résultats du calcul de corrélation). Toutefois, cela signifie que la démonstration est appliquée sur un cas qui ne facilite pas la prédiction, et que les résultats sur une technologie et un CST moins robustes seront meilleurs que ce que nous obtenons ici.

Tableau 13 : Variabilité des mesures de redondance et des mesures complètes des performances

| Performance                   |                 | Mesures complètes |       |                    | Redondances |       |                    |
|-------------------------------|-----------------|-------------------|-------|--------------------|-------------|-------|--------------------|
|                               |                 | Min.              | Max.  | Plage de variation | Min.        | Max.  | Plage de variation |
| LNA fixe<br>@ 27 GHz          | Gain (dB)       | 11,86             | 12,29 | 0.43               | -0,024      | 0,007 | 0,017              |
|                               | $ S_{11} $ (dB) | -16,3             | -14,7 | 1.60               | 0,025       | 0,488 | 0,463              |
|                               | $ S_{22} $ (dB) | -6,54             | -5,49 | 1.05               | 0,008       | 0,077 | 0,069              |
| LNA<br>accordable<br>@ 25 GHz | $NF$ (dB)       | 2,62              | 2,73  | 0,11               | -0,03       | 0,03  | 0,06               |
|                               | Gain (dB)       | 10,62             | 10,95 | 0,33               | -0,028      | 0,094 | 0,122              |
|                               | $ S_{11} $ (dB) | -13,0             | -12,3 | 0,70               | -0,085      | 0,158 | 0,243              |
|                               | $ S_{22} $ (dB) | -5,70             | -5,11 | 0,59               | -0,181      | 0,017 | 0,198              |

Dans cette section, la mesure des performances et de leur dispersion a été présentée. La reproductibilité de la mesure a été étudiée et nous pouvons désormais conclure que les données recueillies sont utilisables pour la démonstration de la méthode de test. Nous allons donc appliquer la méthode aux données mesurées, et commenter les résultats.

## D. Mise en œuvre de la méthode de test

## 1. Résultats de la méthode de test

La méthode de test a été appliquée à notre jeu de mesures : sur un wafer complet, nous avons mesuré les performances en bande millimétrique des LNA, soit le  $NF$  et les paramètres  $S$ , ainsi que le point de fonctionnement qui peut être vu comme une performance à prédire, ou comme une information à bas coût complémentaire, selon les applications. Pour chaque performance, on applique indépendamment la méthode de test, et on entraîne donc une fonction de régression pour chacune des performances à prédire.

Les signatures PT ont été mesurées en amont par le fondeur. En pratique, il s'agit de la mesure automatisée de 1674 signatures PT par réticule, toutes mesurées en quasi-statique (quelques kHz maximum) à l'aide d'un ATE analogique dédié au monitoring de la technologie, déjà en place sur la ligne de production. Les *layouts* des capteurs sont normalisés pour rendre possible la parallélisation des mesures, avec des sondes de mesures dédiés. Le *layout* est géré par le fondeur et l'intégration se fait dans les lignes de découpe, une surface de silicium perdue lors de la mise en boîtier.

Nous appliquons la méthode de test pour deux cas de figures sur les deux LNA :

- i. Seules les signatures PT sont utilisées en entrée de la fonction de régression, la méthode est alors totalement non-intrusive. On présente les résultats de prédiction de ce cas sur la Figure V.12 pour le LNA fixe et Figure V.13 pour le LNA accordable. Le  $NF$  n'a été mesuré que sur le LNA accordable, à cause de l'indisponibilité des bancs de mesures.
- ii. En complément des signatures PT, on utilise les données de point de fonctionnement de nos démonstrateurs, qui sont des mesures en courant continu réalisables à bas coût avec un ATE lorsque l'alimentation du circuit est accessible. On tient systématiquement compte de ces trois données (les tensions  $V_{BEC}$  et  $V_{BBC}$  au niveau des plots de polarisation  $I_{BEC}$  et  $I_{BBC}$ , et le courant  $I_C$ ), puis on sélectionne les signatures PT suivantes via la méthode proposée. Les résultats de prédiction de ce cas de figure sont présentés sur la Figure V.14 pour le LNA fixe et sur la Figure V.15 pour le LNA accordable. Puisque le point de fonctionnement est une entrée de la fonction de régression, la consommation  $P_{DC}$  du LNA est connue, on ne cherche pas à la prédire.

Parmi les 57 échantillons mesurés, on tire aléatoirement 15 échantillons que nous prenons comme ensemble de validation (représentés par des ronds rouges) de la méthode, et les 42 échantillons restant forment l'ensemble d'entraînement (symbolisés par des points bleus). Le nombre maximum de signatures PT sélectionnées a été fixé à 30, pour éviter le surapprentissage.

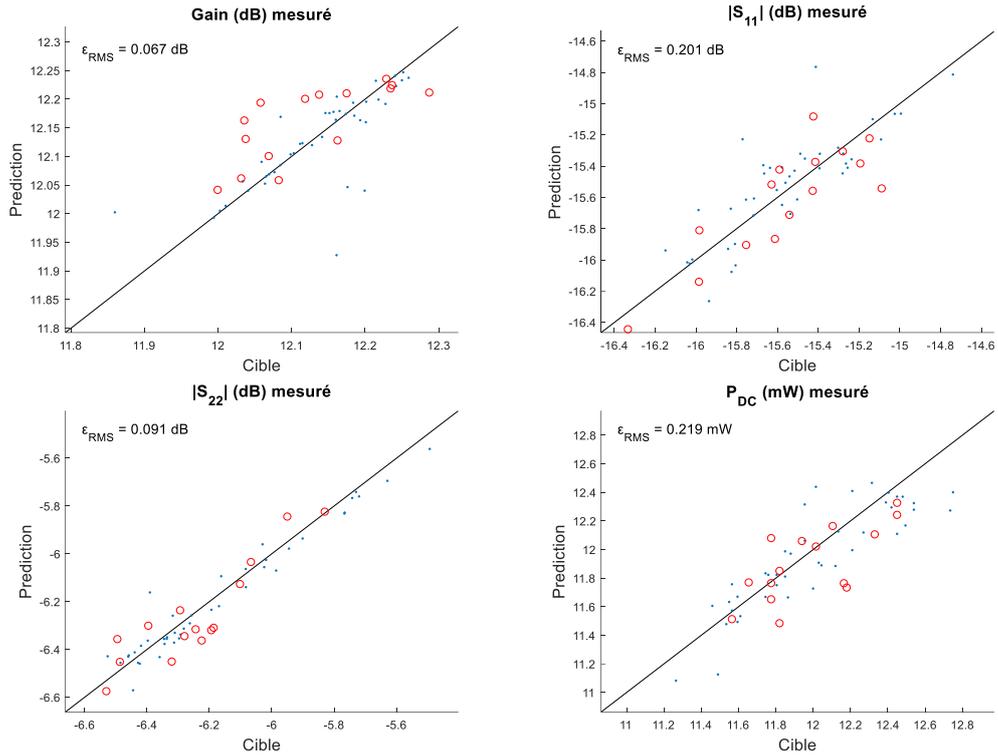
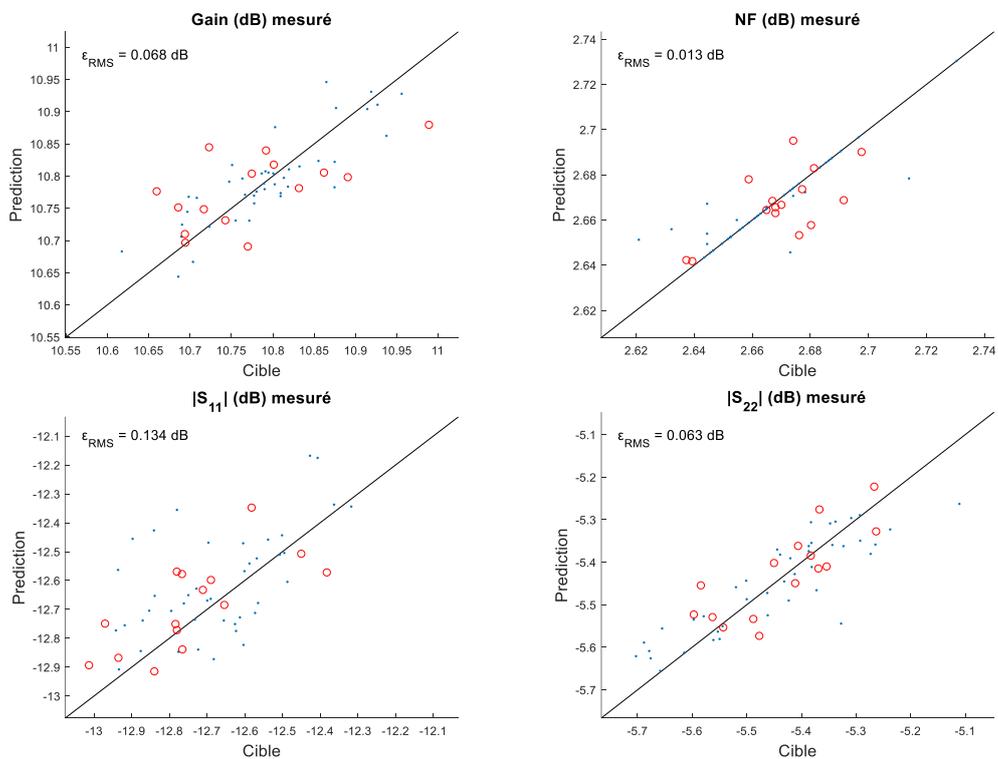


Figure V.12 : Prédiction des performances du LNA fixe à partir des capteurs PT uniquement



## Méthodes de mesure et résultats expérimentaux

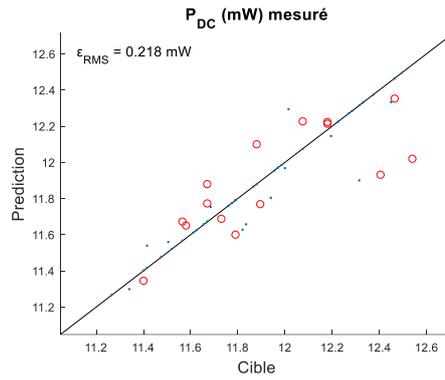


Figure V.13 : Prédiction des performances du LNA accordable à partir des capteurs PT uniquement

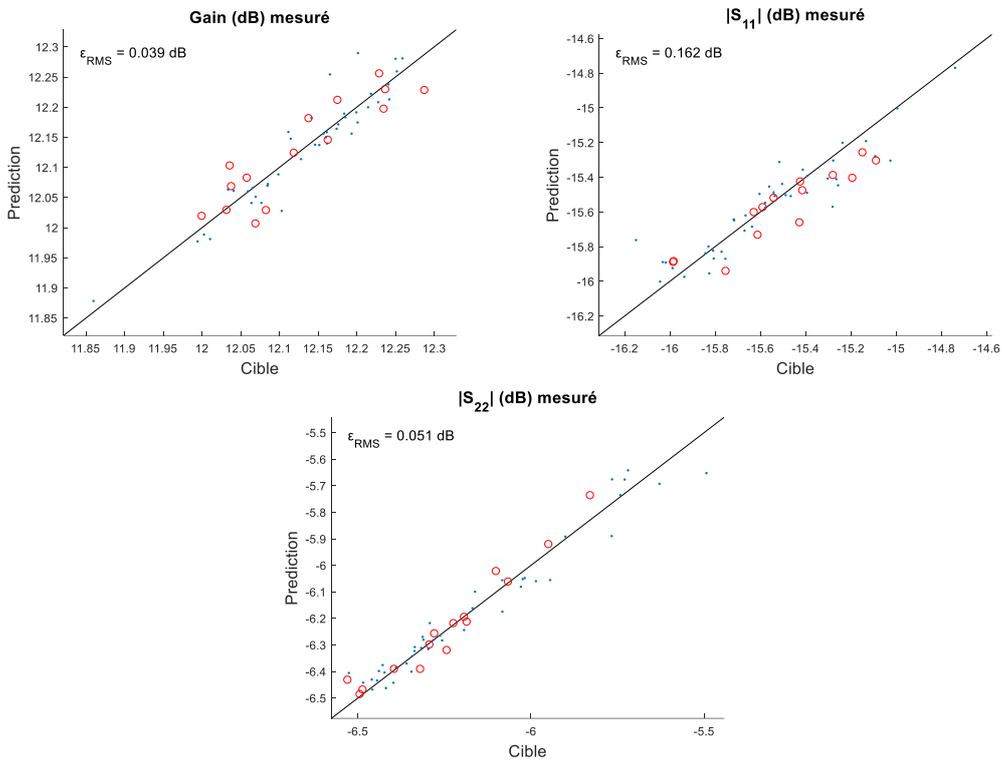
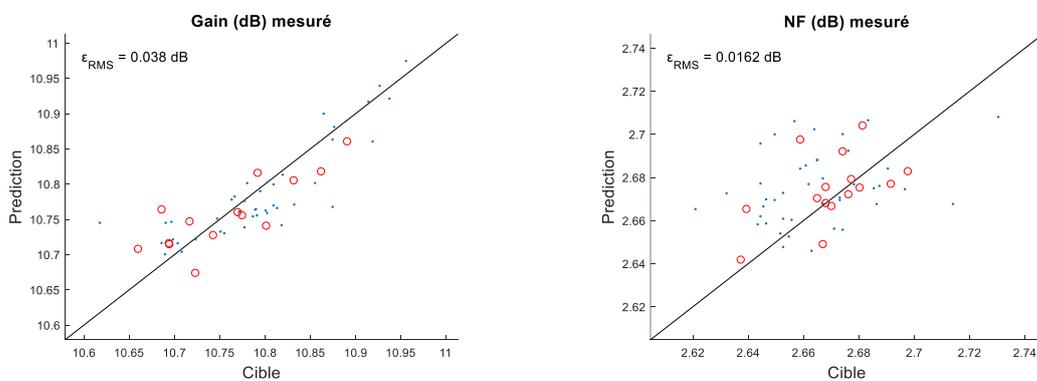


Figure V.14 : Prédiction des performances du LNA fixe à partir les capteurs PT et du point de fonctionnement



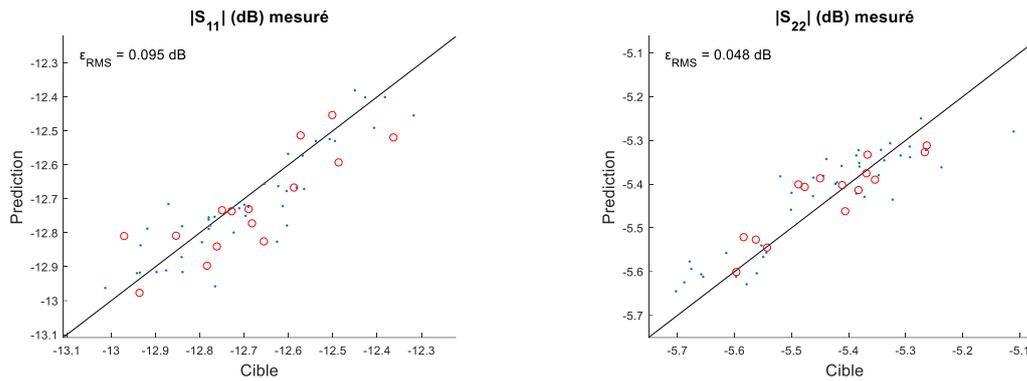


Figure V.15 : Prédiction des performances du LNA accordable à partir les capteurs PT et du point de fonctionnement

## 2. Conclusion

Pour chaque prédiction, la dispersion des performances mesurées ainsi que l'erreur RMS  $\epsilon_{RMS}$  et la  $FOM$  de la prédiction sont indiquées dans le Tableau 14. Les trois signatures du point de fonctionnement ne sont pas comptabilisées dans le nombre de signatures PT sélectionnées, dans le cas de figure correspondant.

Tableau 14 : Performances des LNA et résultats de prédiction

| Performances            |                 | Variation des mesures de redondances | Mesures fonctionnelles |       |                     | Signatures PT seules |       |                          | Signatures PT et point de fonctionnement |       |                          |
|-------------------------|-----------------|--------------------------------------|------------------------|-------|---------------------|----------------------|-------|--------------------------|--|-------|--------------------------|
|                         |                 |                                      | Min.                   | Max.  | Ecart-type $\sigma$ | $\epsilon_{RMS}$     | $FOM$ | Nb. de signatures selec. | $\epsilon_{RMS}$                         | $FOM$ | Nb. de signatures selec. |
| LNA fixe @ 27 GHz       | Gain (dB)       | 0,017                                | 11,86                  | 12,29 | 0,08                | 0,067                | 1,35  | 10                       | 0,039                                    | 2,34  | 28                       |
|                         | $ S_{11} $ (dB) | 0,463                                | -16,3                  | -14,7 | 0,32                | 0,201                | 1,72  | 19                       | 0,162                                    | 2,12  | 3                        |
|                         | $ S_{22} $ (dB) | 0,069                                | -6,54                  | -5,49 | 0,25                | 0,091                | 2,19  | 13                       | 0,051                                    | 3,92  | 0                        |
|                         | $P_{DC}$ (mW)   | N/A                                  | 11,26                  | 12,75 | 0,36                | 0,219                | 1,28  | 14                       |  |       |                          |
| LNA accordable @ 25 GHz | $NF$ (dB)       | 0,06                                 | 2,62                   | 2,73  | 0,02                | 0,014                | 1,27  | 18                       | 0,016                                    | 1,01  | 14                       |
|                         | Gain (dB)       | 0,122                                | 10,62                  | 10,95 | 0,08                | 0,068                | 1,31  | 6                        | 0,038                                    | 2,34  | 4                        |
|                         | $ S_{11} $ (dB) | 0,243                                | -13,0                  | -12,3 | 0,17                | 0,134                | 1,31  | 14                       | 0,095                                    | 1,77  | 4                        |
|                         | $ S_{22} $ (dB) | 0,198                                | -5,70                  | -5,11 | 0,13                | 0,063                | 1,68  | 6                        | 0,048                                    | 2,22  | 1                        |
|                         | $P_{DC}$ (mW)   | N/A                                  | 11,26                  | 12,54 | 0,35                | 0,218                | 1,63  | 25                       |  |       |                          |

Nous pouvons tirer plusieurs conclusions à partir de ces résultats. Tout d'abord, la  $FOM$  de chacune des prédictions est supérieure à 1, ce qui confirme que la méthode de test à base des capteurs PT, non-intrusifs, quasi-statiques et génériques fonctionne. Autrement dit, pour chacune des performances, l'erreur RMS de prédiction est inférieure à l'écart-type de la performance. Ici, le nombre de signatures PT utilisées pour atteindre l'optimum de  $FOM$  s'étend de 6 à 25 dans le cas où l'on n'utilise pas le point de fonctionnement, et de zéro (l'information sur le point de fonctionnement suffit à prédire l'adaptation en sortie  $|S_{22}|$ ) à 28 si l'on prend ce dernier comme entrée de la fonction. La liste des signatures PT sélectionnées

est fournie en Annexe B. Sans détailler, on relève que la méthode a sélectionné 151 signatures distinctes pour la prédiction de toutes les performances, parmi un ensemble disponible de 1674 signatures PT mesurées pour chaque réticule. La sélection limite grandement les besoins de mesures (les réduisant à moins de 10% des capteurs), et rend possible la suppression des capteurs non-sélectionnés pour une éventuelle économie de surface. Enfin, les capteurs sélectionnés sont divers, ils monitorent les différentes dimensions et paramètres de process de la technologie (FEOL avec bipolaires et MOS, BEOL), avec une surreprésentation des capteurs concernant les transistors bipolaires, au cœur de notre démonstrateur.

Toutes les performances ne présentent pas les mêmes dispersions et ne sont pas toutes prédites avec la même précision. Plusieurs facteurs expliquent ceci. Les bancs de mesure causent chacun une dispersion différente selon les performances, et ce également pour des performances issues du même banc (par exemple : un gain et un  $|S_{22}|$ ). La mesure de  $NF$  a été réalisée alors que les plots de mesure pouvaient être déjà usés, ce qui peut limiter la précision de la mesure et donc la qualité de la prédiction.

La taille de l'ensemble d'entraînement reste extrêmement limitée par rapport au nombre de signatures PT disponibles, plus de 1500. Il est envisageable qu'un petit nombre de ces paramètres soit plus fortement corrélé au bruit de mesure qu'aux variations des performances elles-mêmes, causant ainsi un sur-apprentissage qui affaiblit la généralisation du modèle. Ceci empêche la prise en compte de paramètres dont l'effet est plus faible sur les performances, mais qui permettent d'atteindre des précisions plus fines. Pour obtenir des prédictions plus fines, il est nécessaire d'appliquer la méthode sur des jeux de données plus grands, qui sont difficiles à obtenir dans notre contexte. Cela serait possible si la méthode était mise en application dans un cadre plus industriel, à partir de lots complets issus de la production.

Au vu de ces résultats, nous avons pu montrer que la méthode de test proposée fonctionne, nous allons maintenant évaluer la capacité du LNA accordable à corriger les performances.

### E. Accordabilité et mise en œuvre de la méthode de calibrage

Dans cette section, nous allons présenter les résultats de l'application de la méthode de calibrage qui découle de la méthode de test. Pour ce faire, nous commençons par comparer la plage de correction disponible avec les variations mesurées des performances dans la section V.E.1. Après avoir discuté des inconvénients du choix des TK, nous discuterons de l'applicabilité de la méthode de calibrage sur notre démonstrateur en section V.E.2, avant de conclure.

#### 1. Plage de correction disponible du LNA accordable

Nous évaluons tout d'abord, par la mesure, la plage de correction apportée par le *varactor* placé dans le réseau d'adaptation de sortie. Il est à noter que la mesure de la plage

de correction a été réalisée sur un seul réticule, avec un seul posé des sondes RF, pour une durée de quelques minutes seulement : les résultats de l'étude de reproductibilité ne sont donc pas considérés ici. Ce *varactor* est piloté par une tension  $V_{var}$  sur une plage de variation de 0,1 à 5 V. La Figure V.16 représente le paramètre  $S_{22}$  à 25 GHz pour tous les LNA mesurés à leur point nominal, avec superposition de la plage de correction disponible mesurée sur un unique LNA.

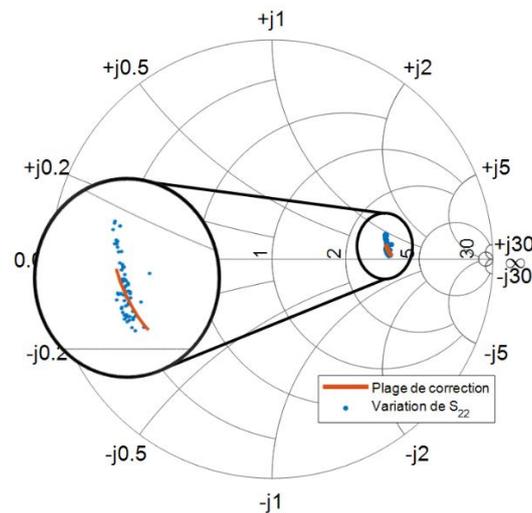


Figure V.16 : Abaque de Smith représentant les paramètres  $S_{22}$  de chaque LNA accordable mesuré au point nominal (points bleus), et la plage de correction (trait plein rouge) pour un seul LNA @ 25 GHz

Comme constaté plus haut, la variation du paramètre  $S_{22}$  est assez faible, et comme mentionné en section V.B.2, l'adaptation est assez dégradée dans l'absolu par rapport aux performances attendues en simulation schématique. Même avec une correction, il ne sera pas possible d'améliorer drastiquement la qualité de l'adaptation d'impédance de sortie du LNA. Cependant, si l'on compare la plage de variation due aux variations de process à la plage de correction apportée par le *varactor*, on constate que cette dernière couvre une grande partie des variations. Il serait ainsi possible de regrouper en partie les différents LNA vers un même point de l'abaque. La plage de correction ramenée par le *varactor* permet une variation du gain sur une plage de seulement 0,15 dB autour du point nominal. Sur cette variation, il est impossible de dissocier l'effet négatif des pertes du *varactor* sur le gain de l'effet de la correction. Dans le cas mesuré, le module du coefficient de réflexion  $|S_{22}|$  peut être amélioré manuellement de 0,2 dB, passant de -5,4 dB à -5,6 dB, alors que l'écart-type  $\sigma$  de variation du  $|S_{22}|$  mesuré vaut 0,13 dB. Il est possible de corriger le gain de seulement + 0,03 dB de 10,67 dB à 10,70 dB (quand l'écart-type  $\sigma$  est de 0,08 dB), une très faible amélioration.

## 2. Limites du cas d'étude pour l'application de la méthode de calibrage

En amont de la campagne nous avons le choix de réaliser le calibrage de toutes les polarisations accessibles, comme c'est théoriquement possible avec la méthode. Ce choix est fait pour deux raisons complémentaires : (i) un TK non-prévu comme tel lors de la conception

et qui aurait un impact sur les performances lors de son utilisation pourra être corrigé directement via la méthode de calibrage sans coût supplémentaire, et à l'inverse, (ii) un TK qui n'a aucun impact sur les performances n'est pas un obstacle, puisque sa valeur pourra être imposée à la valeur nominale comme prévu initialement. Toutes les performances ne sont pas accordables avec le seul *varactor* et les valeurs des polarisations ont fait l'objet d'une optimisation lors de la conception pour résoudre le compromis entre les différentes grandeurs. Une légère variation des polarisations peut donc en théorie corriger légèrement les performances, sans coût supplémentaire dans notre cas.

Ces affirmations sont à considérer lorsque les données disponibles pour la méthode sont assez conséquentes pour déterminer la fonction de régression décrivant le modèle. Ainsi, plus le modèle est complexe, plus l'ensemble d'entraînement doit être grand pour assurer une bonne prédiction des performances en fonction des TK et des signatures PT.

Or, au cours de la campagne de mesures fonctionnelles, nous avons pu constater un phénomène d'hystérésis au niveau de la polarisation, qui rend la relation entre la procédure de polarisation du LNA et ses performances plus complexe. En effet, pour une même polarisation, l'ordre de démarrage des alimentations peut modifier le point de fonctionnement. La Figure V.17 illustre le phénomène (en mesure et en simulation) d'hystérésis observable sur la tension de base du transistor en base commune, la tension  $V_{BBC}$  en fonction de la tension de collecteur du cascode  $V_{CE}$  (pour un  $I_{BEC} = 6 \mu A$  et  $I_{BBC} = 6 \mu A$  constants).

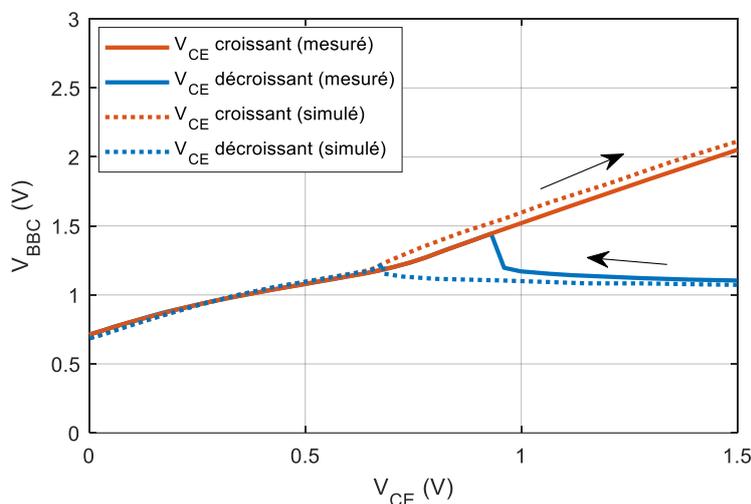


Figure V.17 : Hystérésis du point de fonctionnement selon l'application de la tension  $V_{CE}$

L'hystérésis est constatable en simulation également, avec un point de décrochement légèrement différent. L'effet de l'hystérésis n'a pas d'impact pour le cas nominal, car une séquence de démarrage qualifiée parallèlement à l'étude de reproductibilité est utilisée pour les mesures complètes pour le test (avec la séquence de démarrage :  $V_{CE} = 1,5 V$ , puis  $I_{BBC} = 6,5 \mu A$ , puis  $I_{BEC} = 6 \mu A$ ). Cette séquence de démarrage est vérifiée pour la polarisation nominale seulement. Par contre, la méthode de calibrage utilise comme ensemble

d'entraînement des mesures prenant des polarisations TK tirées aléatoirement (dans un intervalle de  $\pm 2 \mu\text{A}$  pour les courants et  $\pm 0,5 \text{ V}$  pour  $V_{CE}$ ), et le modèle qui décrit la relation entre les polarisations et les performances devra nécessairement prendre en compte l'effet de cette hystérésis pour être précis. Le modèle est alors très complexe, et les 42 échantillons d'entraînement que nous avons à disposition risquent d'être très insuffisants. De plus, comme une même configuration des TK peut donner deux états différents, sans qu'aucune variable ne puisse indiquer au modèle dans quel état de l'hystérésis se trouve le LNA, il manque des données d'entrée pour décrire correctement le fonctionnement du LNA.

Ainsi, nous ne pouvons pas entraîner de modèle prédisant les performances du LNA en fonction des TK et des variations de process dans cette configuration, et la méthode de calibrage ne peut pas être appliquée sur le démonstrateur avec les seules données disponibles. Il est par contre possible de réaliser une seconde campagne de mesure, prenant comme TK la seule tension de polarisation du *varactor*. La disponibilité des bancs de mesure n'a pas permis la tenue de cette seconde campagne. Il n'est donc pas possible actuellement de conclure sur les résultats de la méthode de calibrage.

## F. Conclusion

Pour conclure ce Chapitre V, nous allons reprendre les principaux résultats présentés. Tout d'abord, les LNA fabriqués ont des performances plus faibles qu'attendu, mais tout en restant suffisantes pour mener à bien l'application de la méthode de test. L'écart entre les performances attendues et les performances mesurées a été expliqué. La dispersion des performances mesurées sur les circuits du wafer est assez faible (la technologie ayant atteint une bonne maturité) mais restent significative devant l'estimation de l'erreur de mesure des bancs. Ainsi, grâce à ces mesures, nous avons pu montrer la faisabilité de la méthode de test proposée en donnant des prédictions avec une précision intéressante des performances en bruit et en paramètres S. Nous avons montré la faisabilité d'une méthode de test capable de prédire des paramètres S (et le  $NF$  avec une plus faible qualité de précision) en bande millimétrique basée sur des capteurs de variations de process non-intrusifs, totalement génériques, mesurés à une fréquence de quelques kHz par un testeur automatisé dédié, et dont le support et l'intégration sont déjà maîtrisés par le fondeur. Une méthode complémentaire consiste, lorsque cette dernière est accessible, à prendre en compte le point de fonctionnement du circuit-sous-test comme donnée d'entrée, ce qui permet d'affiner la précision de la prédiction dans la plupart des cas.

En outre, bien que ce dernier puisse couvrir la plage de variation qu'il subit pour être corrigé, le démonstrateur accordable a montré des performances très limitées en termes de correction. L'utilisation de la diode PIN comme *varactor* de petite valeur semble être une piste intéressante, l'optimisation et l'intégration de nouvelles versions de LNA seraient cependant nécessaires pour conclure. Enfin, la trop grande complexité de la relation entre la consigne de polarisation du LNA (apparition d'une hystérésis), son point de fonctionnement et ses performances rend plus difficile l'établissement d'une fonction de régression les liant. Un

ensemble d'entraînement bien plus grand est nécessaire pour potentiellement atteindre une précision acceptable et envisager l'optimisation des  $TK$ s en réponse aux variations de process. Un choix plus judicieux de génération des jeux de  $TK$ s aléatoires serait à mettre en place si une campagne de mesure devait être relancée. Il faudrait alors définir des conditions avec moins d'inconnues à déterminer, en contrepartie de la perte de degrés de liberté, et en se plaçant hors de la situation de l'hystérésis. Les résultats du test basé sur les signatures PT sont encourageants pour la future obtention de résultats probants sur la méthode de calibrage, cette dernière étant fondée sur les mêmes principes que la méthode de test elle-même.

## CONCLUSION GENERALE

Dans cette thèse, nous avons démontré expérimentalement une méthode de test de circuits intégrés en bande millimétrique basée sur l'apprentissage automatique dont la complexité est drastiquement réduite. Cette méthode utilise des capteurs de variations de process qui sont, de par leur conception, non-intrusifs, génériques et quasi-statiques. Ces capteurs ont pour avantage de donner des informations sur les variations dues au process, des caractéristiques physiques des circuits, et non sur les performances de parties de ces circuits, ce qui rend la démarche plus générique. Les capteurs de variation de process de caractéristiques simples sont alors mesurables en quasi-statique, réduisant la complexité du test. Enfin, ces capteurs sont généralement déjà présents sur le wafer, ils sont déjà intégrés et mesurés par le fondeur pour son monitoring de la technologie. Ainsi, cette méthode a pour avantage de ne pas consommer de surface supplémentaire pour l'implémentation du test, de ne demander aucun travail de conception supplémentaire au niveau circuit, et de simplifier grandement la mesure des structures de test.

La méthode de test a été démontrée à l'aide de deux démonstrateurs intégrés sur la technologie STM BiCMOS 55 nm. Diverses pistes de conception du LNA, notamment sur les composants passifs, ont été explorées, bien qu'une optimisation finale n'ait pas pu être menée à bien. La caractérisation des performances des LNA en bande millimétrique est une opération complexe au vu des appareils dédiés qu'elle nécessite, pour la mesure de figure de bruit notamment. Une étude de reproductibilité des mesures a été réalisée, et a pu conforter nos conclusions. Avec notre méthode, nous avons donc pu prédire des performances difficilement testables par la mesure fonctionnelle, ce qui révèle le potentiel de la méthode.

Une méthode de calibrage dérivée de la méthode de test a été décrite. Pour sa démonstration, un LNA accordable a été conçu. Cependant, seule la première étape de la démonstration a abouti. En effet, la relation entre les performances du circuit et les paramètres pris en entrée du modèle est plus complexe qu'estimée en simulation, la quantité de données disponibles ne permet alors pas l'entraînement d'un modèle de régression suffisant pour la prédiction des paramètres optimaux. L'obtention d'une plus grande quantité de données, ou une seconde itération de démonstrateur plus optimisée permettrait de résoudre cette limitation et d'appliquer la méthode de calibrage complète.



## PERSPECTIVES

Ces travaux ouvrent les portes à plusieurs développements futurs. On peut citer trois principaux axes de recherche :

- L'amélioration de la conception de circuits intégrés en bande millimétrique,
- L'application de la méthode de calibrage,
- La méthode de test.

Tout d'abord, la conception du démonstrateur n'a pas pu être optimale dans ces travaux. Les délais n'ont pas permis de réaliser toutes les simulations nécessaires avant la fabrication, ce qui a restreint les performances des démonstrateurs, sans pour autant entraver la démonstration de la méthode de test. L'application de la méthode de calibrage a pu, elle, être contrainte par ce manque de temps. Ainsi, d'un point de vue de la conception, il serait intéressant de réitérer l'application de la méthode avec un circuit optimisé. Des pistes de conception de circuits passifs ont été explorées avec succès, mais la maturité des structures et de leurs modèles n'est pas encore assez avancée ; il s'agirait de les inclure dans la nouvelle itération et de proposer un LNA accordable miniaturisé à l'aide de ces structures passives innovantes. L'utilisation de diodes PIN comme capacité variable de petite valeur est une piste à envisager au vu des résultats, pour une validation dans le contexte de l'accordabilité. Par ailleurs, des LNA différentiels plus performants pourront être étudiés pour une prochaine itération, avec l'intégration déjà effectuée dans un dernier tape-out d'un balun à 60 GHz. La montée en fréquence inhérente au domaine est également à exploiter, tant pour la conception que pour le test.

La méthode de test que nous avons mise en œuvre durant ce travail de thèse pourrait être appliquée à des circuits plus complexes au niveau conception, et par conséquent généralement plus complexes à tester. En théorie, la méthode de test proposée fonctionne pour des fréquences très élevées puisque le test est basé sur des capteurs génériques étroitement liés aux variations de process, au niveau des caractéristiques physiques. L'application sur des démonstrateurs plus complexes fonctionnant à plus haute fréquence démontrerait d'autant plus le potentiel de la méthode. L'application de la méthode sur un filtre passif basé sur des structures 3D et fonctionnant à plus haute fréquence sera planifiée dans les prochains mois. Par ailleurs, le monitoring de la technologie et des variations de process associées étant un domaine bien connu des technologues, des outils sont proposés dans la littérature pour optimiser la mesure des capteurs PT. Il a notamment été démontré dans [105] que la prédiction spatiale de signatures PT sur tout un wafer est possible à partir de la mesure de seulement quelques capteurs PT sur le wafer. Ainsi, si l'on est capable de prédire toutes les signatures PT du wafer à partir de quelques mesures, on pourra par conséquent, avec l'application de notre méthode de test, prédire les performances en bande

millimétrique de tout le circuit à partir de quelques jeux de mesures quasi-statiques. Cette démonstration demande alors un grand jeu de données, et ne sera envisageable que dans le moyen terme.

Enfin, la méthode de calibrage doit être consolidée pour éviter de tomber dans les écueils relevés durant la thèse : à partir d'un circuit conçu comme accordable, la génération des jeux de valeurs de configuration des éléments variables (*TKs*) doit être systématisée et dans le même temps, il faudrait déterminer un estimateur capable de donner la taille de l'ensemble d'entraînement nécessaire à une prédiction de qualité. La taille de l'ensemble d'entraînement nécessaire à la méthode (dépendant de la complexité du comportement à prédire) reste à l'heure d'aujourd'hui inconnue en amont de l'application de la méthode, ce qui a rendu impossible l'application de la méthode de calibrage dans notre cas. Enfin, l'intérêt de l'accordabilité passant par la qualité des éléments variables, le développement d'éléments variables performants donnerait un intérêt supplémentaire au calibrage et plus de flexibilité lors de la conception. Les efforts des fondeurs vont dans ce sens aujourd'hui.

## PUBLICATIONS

### *Journaux*

A. A. Saadi, M. Margalef-Rovira, **O. Ocelllo**, L. Vincent, S. Lepilliet, C. Gaquière, P. Ferrari "Design of Coupled Slow-Wave CPW Millimeter-Wave Bandpass Filter Beyond 100 GHz in 55-nm BiCMOS Technology," in *IEEE Transactions on Electron Devices*, vol. 68, no. 9, pp. 4259-4266, Sept. 2021, doi: 10.1109/TED.2021.3094780.

M. Margalef-Rovira, **O. Ocelllo**, A. A. Saadi, V. Avramovic, S. Lepilliet, L. Vincent, M. Barragan, E. Pistono, S. Bourdel, C. Gaquière, P. Ferrari., "mm-Wave Through-Load Element for On-Wafer Measurement Applications," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 8, pp. 3170-3183, Aug. 2021, doi: 10.1109/TCSI.2021.3072097.

### *Conférences*

**O. Ocelllo**, L. Boukhezar, M. Margalef-Rovira, M. Barragan, C. Durand, L. Vincent, P. Ferrari, « A 3D slow-wave transmission line approach for the design of Ka-band CMOS compact filters », *2022 52nd European Microwave Conference (EuMC)*, sept. 2022, p. 560-563. doi: 10.23919/EuMC54642.2022.9924358.

**O. Ocelllo**, L. Tiague, M. Margalef-Rovira, L. Vincent, F. Ndagijimana and P. Ferrari, "High-Performance Compact Reflection-Type Phase Shifter operating at 2 GHz Using a Transdirectional Coupler," *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands, 2021, pp. 550-553, doi: 10.23919/EuMC48046.2021.9337998.

**O. Ocelllo**, M. Margalef-Rovira, M. J. Barragan, C. Durand, et P. Ferrari, « Filtre ultra compact à lignes à ondes lentes 3D en technologie BiCMOS à 29 GHz », *XXII èmes Journées Nationales Microondes*, Limoges, 2022.

**O. Ocelllo**, M. Margalef-Rovira, M. Barragan, C. Durand, A. Rhellab, S. Lepilliet, G. Ducourneau, P. Ferrari, « Méthodologie de test non-intrusive, générique et quasi-statique de circuits intégrés en bande millimétrique basée sur l'apprentissage automatique : application à un LNA 25 GHz », *XXIII èmes Journées Nationales Microondes*, Juan-Les-Pins, 2024.

**O. Ocelllo**, M. Margalef-Rovira, M. Barragan, C. Durand, A. Rhellab, L. Vincent, J. Corsi, S. Lépilliet, G. Ducourneau, P. Ferrari, « Zero-overhead nonintrusive test of mmW integrated circuits based on wafer-level parametric tests », *2024 22th IEEE Interregional NEWCAS Conference (NEWCAS)*, Sherbrooke, QC, Canada, 2024.

### *Présentations en Workshop ou journée scientifique (sans comité de lecture)*

**O. Ocelllo**, M. Wehbi, « mm-Wave 2D and 3D innovative Passive Circuits and test solutions », *Workshop, 2022 Microwave Mediterranean Symposium (MMS)*, Pizzo Calabro, Italy, 2022



## RÉFÉRENCES

- [1] « Ericsson Mobility Report June 2023 », 2023.
- [2] H. Rücker et B. Heinemann, « SiGe BiCMOS technology for mm-wave systems », *2012 International SoC Design Conference (ISOC)*, nov. 2012, p. 266-268. doi: 10.1109/ISOC.2012.6407091.
- [3] A. Tsuchiya et H. Onodera, « Patterned Floating Dummy Fill for On-Chip Spiral Inductor Considering the Effect of Dummy Fill », *IEEE Trans. Microw. Theory Tech.*, vol. 56, n° 12, p. 3217-3222, déc. 2008, doi: 10.1109/TMTT.2008.2007362.
- [4] M. El-Chaar, F. Podevin, S. Bourdel, A. A. L. de Souza, et J.-D. Arnould, « Integrated Stacked Parallel Plate Shunt Capacitor for Millimeter-Wave Systems in Low-Cost Highly Integrated CMOS Technologies », *IEEE Solid-State Circuits Lett.*, vol. 5, p. 114-117, 2022, doi: 10.1109/LSSC.2022.3172992.
- [5] H. Zhu, Y. Yang, X. Zhu, Y. Sun, et S.-W. Wong, « Miniaturized Resonator and Bandpass Filter for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 65, n° 12, p. 4062-4071, déc. 2018, doi: 10.1109/TCSI.2018.2839701.
- [6] M. Peeters, S. Sinha, X. Sun, C. Desset, G. Gramegna, J. Slabbekoorn, P. Bex, N. Pinho, T. Webers, D. Velenis, A. Miller, N. Collaert, G. Van der Plas, E. Beyne, M. Huynen et R. Broucke, H. Rücker, P. Sakalas, R. Schmid, K. Schneider, K. Schuh, W. Templ, A. Visweswaran, T. Zwick « (Why do we need) Wireless Heterogeneous Integration (anyway?) », *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, juin 2022, p. 256-257. doi: 10.1109/VLSITechnologyandCir46769.2022.9830480.
- [7] T. Zimmer, J. Böck, F. Buchali, P. Chevalier, M. Collisi, B. Debaillie, M. Deng, P. Ferrari, S. Fregonese, C. Gaquiere, H. Ghanem, H. Hettrich, A. Karakuzulu, T. Maiwald, M. Margalef-Rovira, C. Maye, M. Möller, A. Mukherjee, , « SiGe HBTs and BiCMOS Technology for Present and Future Millimeter-Wave Systems », *IEEE J. Microw.*, vol. 1, n° 1, p. 288-298, janv. 2021, doi: 10.1109/JMW.2020.3031831.
- [8] D. M. Pozar, *Microwave Engineering*, 4th Edition. John Wiley & Sons, Inc., 2012.
- [9] M. Božanić et S. Sinha, *Millimeter-Wave Low Noise Amplifiers*. in Signals and Communication Technology. Cham: Springer International Publishing, 2018. doi: 10.1007/978-3-319-69020-9.
- [10] J. Kelly et M. Engelhardt, *Advanced production testing of RF, SoC, and SiP devices*. in Artech House microwave library. Boston: Artech House, 2007.
- [11] S. Sunter, « Analog Fault Simulation - a Hot Topic! », 2020 IEEE European Test Symposium (ETS), Tallinn, Estonia, 2020, p. 1-5. doi: 10.1109/ETS48528.2020.9131581.
- [12] M. J. Barragan, R. Alhakim, H. Stratigopoulos, M. Dubois, S. Mir, H. Le Gall, N. Bhargava, A. Bal, « A Fully-Digital BIST Wrapper Based on Ternary Test Stimuli for the Dynamic Test of a 40 nm CMOS 18-bit Stereo Audio  $\Sigma\Delta$  ADC », *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, n° 11, p. 1876-1888, 2016, doi: 10.1109/TCSI.2016.2602387.

- [13] G. Renaud, M. J. Barragan, A. Laraba, H. Stratigopoulos, S. Mir, H. Le Gall et H. Naudet, « A 65nm CMOS Ramp Generator Design and its Application Towards a BIST Implementation of the Reduced-Code Static Linearity Test Technique for Pipeline ADCs », *J Electron Test*, vol. 32, p. 407-421, 2016.
- [14] P. N. Variyam et A. Chatterjee, « Enhancing test effectiveness for analog circuits using synthesized measurements », 16th IEEE VLSI Test Symposium (Cat. No.98TB100231), 1998, p. 132-137. doi: 10.1109/VTEST.1998.670860.
- [15] A. Zjajo, M. J. Barragan, et J. Pineda de Gyvez, « BIST Method for Die-Level Process Parameter Variation Monitoring in Analog/Mixed-Signal Integrated Circuits », 2007 Design, Automation & Test in Europe Conference & Exhibition, 2007. doi: 10.1109/DATE.2007.364477.
- [16] L. Abdallah, H. Stratigopoulos, C. Kelma, S. Mir, « Sensors for built-in alternate RF test », 2010 15th IEEE European Test Symposium, 2010, p. 49-54. doi: 10.1109/ETSYM.2010.5512783.
- [17] F. Cilici, M. J. Barragan, E. Lauga-Larroze, S. Bourdel, G. Leger, L. Vincent et S. Mir, « A Nonintrusive Machine Learning-Based Test Methodology for Millimeter-Wave Integrated Circuits », *IEEE Trans. Microw. Theory Tech.*, vol. 68, n° 8, p. 3565-3579, août 2020, doi: 10.1109/TMTT.2020.2991412.
- [18] L. Abdallah, H.-G. Stratigopoulos, S. Mir, et J. Altet, « Testing RF circuits with true non-intrusive built-in sensors », *2012 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, mars 2012, p. 1090-1095. doi: 10.1109/DATE.2012.6176657.
- [19] M. J. Barragan et H.-G. Stratigopoulos, « Practical Simulation Flow for Evaluating Analog/Mixed-Signal Test Techniques », *IEEE Des. Test*, vol. 33, n° 6, p. 46-54, 2016, doi: 10.1109/MDAT.2016.2590985.
- [20] C. Wegener et M. P. Kennedy, « Test Development Through Defect and Test Escape Level Estimation for Data Converters », *J. Electron. Test.*, vol. 22, n° 4-6, p. 313-324, déc. 2006, doi: 10.1007/s10836-006-9457-y.
- [21] M. Samiha et Z. Yervant, *Principles of Testing Electronic Systems*. Wiley, 2000.
- [22] J. C. M. Li et E. J. McCluskey, « IDDQ data analysis using current signature », *Proceedings 1998 IEEE International Workshop on IDDQ Testing (Cat. No.98EX232)*, nov. 1998, p. 37-42. doi: 10.1109/IDDQ.1998.730730.
- [23] J. M. Soden et C. F. Hawkins, « I/sub DDQ/ testing: issues present and future », *IEEE Des. Test Comput.*, vol. 13, n° 4, p. 61-65, 1996, doi: 10.1109/54.544537.
- [24] A. Soldo, A. Gopalan, P. R. Mukund, et M. Margala, « A current sensor for on-chip, non-intrusive testing of RF systems », *17th International Conference on VLSI Design. Proceedings.*, janv. 2004, p. 1023-1026. doi: 10.1109/ICVD.2004.1261064.
- [25] K. Le Phan, H. Boeve, F. Vanhelmont, T. Ikkink, et W. Talen, « Geometry optimization of TMR current sensors for on-chip IC testing », *IEEE Trans. Magn.*, vol. 41, n° 10, p. 3685-3687, oct. 2005, doi: 10.1109/TMAG.2005.854813.
- [26] J. Liobe et M. Margala, « Novel Process and Temperature-Stable BICS for Embedded Analog and Mixed-Signal Test », *13th IEEE International On-Line Testing Symposium (IOLTS 2007)*, juill. 2007, p. 231-236. doi: 10.1109/IOLTS.2007.47.

- [27] Y.-C. Huang, H.-H. Hsieh, et L.-H. Lu, « A Low-Noise Amplifier with Integrated Current and Power Sensors for RF BIST Applications », *25th IEEE VLSI Test Symposium (VTS'07)*, mai 2007, p. 401-408. doi: 10.1109/VTS.2007.7.
- [28] S. B. Sleiman, A. Akour, W. Khalil, et M. Ismail, « Millimeter-wave BiST and BiSC using a high-definition sub-ranged detector in 90nm CMOS », *2010 53rd IEEE International Midwest Symposium on Circuits and Systems*, août 2010, p. 477-480. doi: 10.1109/MWSCAS.2010.5548737.
- [29] S.-C. Chae, C.-G. Jang, S.-J. Kim, K.-H. Ahn, et K.-J. Kim, « A Power Detector for Built-In Self-Test of 4-Channel Beamforming Transceiver in Phased Array Systems », *2022 IEEE International Symposium on Phased Array Systems & Technology (PAST)*, oct. 2022, p. 1-4. doi: 10.1109/PAST49659.2022.9975100.
- [30] A. Valdes-Garcia, J. Silva-Martinez, et E. Sanchez-Sinencio, « On-Chip Testing Techniques for RF Wireless Transceivers », *IEEE Des. Test Comput.*, vol. 23, n° 4, p. 268-277, 2006, doi: 10.1109/MDT.2006.100.
- [31] M. Jarwala, D. Le, et M. S. Heutmaker, « End-to-end test strategy for wireless systems », *1995 IEEE International Test Conference (ITC)*, 1995, p. 940-946. doi: 10.1109/TEST.1995.529940.
- [32] M. Onabajo et F. Fernandez, « An On-Chip Loopback Block for RF Transceiver Built-In Test », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 56, n° 6, p. 444-448, 2009, doi: 10.1109/TCSII.2009.2020940.
- [33] K. Arabi et B. Kaminska, « Oscillation-test strategy for analog and mixed-signal integrated circuits », *Proceedings of 14th VLSI Test Symposium*, avr. 1996, p. 476-482. doi: 10.1109/VTEST.1996.510896.
- [34] K. Arabi et B. Kaminska, « Testing analog and mixed-signal integrated circuits using oscillation-test method », *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 16, n° 7, p. 745-753, juill. 1997, doi: 10.1109/43.644035.
- [35] H. P. Nel, T. Stander, et F. C. Dualibe, « Built-In Oscillation-Based Self-Testing of a 2.4 GHz LNA in 0.35 $\mu$ m CMOS », *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, déc. 2018, p. 837-840. doi: 10.1109/ICECS.2018.8618052.
- [36] H. P. Nel, F. C. Dualibe, et T. Stander, « Influence of PVT Variation and Threshold Selection on OBT and OBIST Fault Detection in RFCMOS Amplifiers », *IEEE Open J. Circuits Syst.*, vol. 4, p. 70-84, 2023, doi: 10.1109/OJCAS.2022.3232638.
- [37] A. Raghunathan, H. J. Shin, et J. A. Abraham, « Prediction of analog performance parameters using oscillation based test », *22nd IEEE VLSI Test Symposium, 2004. Proceedings.*, avr. 2004, p. 377-382. doi: 10.1109/VTEST.2004.1299267.
- [38] K. Suenaga, E. Isern, R. Picos, S. Bota, M. Roca, et E. García-Moreno, « Application of Predictive Oscillation-Based Test to a CMOS OpAmp », *IEEE Trans. Instrum. Meas.*, vol. 59, n° 8, p. 2076-2082, août 2010, doi: 10.1109/TIM.2009.2031381.
- [39] A. Goyal, M. Swaminathan, et A. Chatterjee, « Low-Cost Specification Based Testing of RF Amplifier Circuits using Oscillation Principles », *J. Electron. Test.*, vol. 26, n° 1, p. 13-24, févr. 2010, doi: 10.1007/s10836-009-5126-2.

- [40] M. Margalef-Rovira, M. J. Barragan, E. Sharma, P. Ferrari, E. Pistono, et S. Bourdel, « An oscillation-based test technique for on-chip testing of mm-wave phase shifters », in *2018 IEEE 36th VLSI Test Symposium (VTS)*, avr. 2018, p. 1-6. doi: 10.1109/VTS.2018.8368622.
- [41] I. Lahbib, M. A. Doukkali, P. Descamps, P. Gamand, C. Kelma, et O. Tesson, « Design and characterization of an integrated microwave generator for BIST applications », *Int. J. Microw. Wirel. Technol.*, vol. 6, n° 2, p. 195-200, avr. 2014, doi: 10.1017/S1759078714000105.
- [42] I. Lahbib, P. Descamps, M.-A. Doukkali, C. Kelma, et O. Tesson, « Design of a K-band wideband controlled variable attenuator for microwave Built-In-Self-Test applications », in *2013 13th Mediterranean Microwave Symposium (MMS)*, sept. 2013, p. 1-4. doi: 10.1109/MMS.2013.6663137.
- [43] J. C. Azevedo Gonçalves, H. Ghanem, S. Bouvot, D. Gloria, S. Lépilliet, G. Ducournau, C. Gaquière, F. Danneville, « Millimeter-Wave Noise Source Development on SiGe BiCMOS 55-nm Technology for Applications up to 260 GHz », *IEEE Trans. Microw. Theory Tech.*, vol. 67, n° 9, p. 3732-3742, sept. 2019, doi: 10.1109/TMTT.2019.2926289.
- [44] S. Bouvot *et al.*, « A D-band passive receiver with 10 dB noise figure for in-situ noise characterization in BiCMOS 55 nm », *2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, janv. 2017, p. 107-110. doi: 10.1109/SIRF.2017.7874385.
- [45] S. Bouvot *et al.*, « A D-band tuner for in-situ noise and power characterization in BiCMOS 55 nm », *2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, janv. 2017, p. 103-106. doi: 10.1109/SIRF.2017.7874384.
- [46] M. Deng *et al.*, « Millimeter-Wave In Situ Tuner: An Efficient Solution to Extract the Noise Parameters of SiGe HBTs in the Whole 130–170 GHz Range », *IEEE Microw. Wirel. Compon. Lett.*, vol. 24, n° 9, p. 649-651, sept. 2014, doi: 10.1109/LMWC.2014.2331762.
- [47] T. Nakanishi, M. Matsunaga, A. Kobayashi, K. Nakazato, et K. Niitsu, « A fully-integrated circulating tumor cell analyzer using an on-chip vector network analyzer and a transmission-line-based detection window in 65-nm CMOS », *2017 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, oct. 2017, p. 1-4. doi: 10.1109/BIOCAS.2017.8325554.
- [48] D. Wang *et al.*, « 240-GHz Four-Channel Power-Tuning Heterodyne Sensing Readout System With Reflection and Transmission Measurements in a 130-nm SiGe BiCMOS Technology », *IEEE Trans. Microw. Theory Tech.*, vol. 67, n° 12, p. 5296-5306, déc. 2019, doi: 10.1109/TMTT.2019.2949820.
- [49] M. Margalef-Rovira *et al.*, « mm-Wave Through-Load Switch for in-situ Vector Network Analyzer on a 55-nm BiCMOS Technology », *2020 18th IEEE International New Circuits and Systems Conference (NEWCAS)*, juin 2020, p. 82-85. doi: 10.1109/NEWCAS49341.2020.9159829.
- [50] N. Kupp, H. Stratigopoulos, P. Drineas, et Y. Makris, « On proving the efficiency of alternative RF tests », *2011 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, 2011, p. 762-767. doi: 10.1109/ICCAD.2011.6105415.
- [51] J. Tongbong, L. Abdallah, S. Mir, et H.-G. Stratigopoulos, « Evaluation of built-in sensors for RF LNA response measurement », *2010 IEEE 16th International Mixed-Signals, Sensors*

- and Systems Test Workshop (IMS3TW)*, juin 2010, p. 1-6. doi: 10.1109/IMS3TW.2010.5502996.
- [52] N. Kupp, H. Stratigopoulos, P. Drineas, et Y. Makris, « PPM-accuracy Error Estimates for Low-Cost Analog Test: A Case Study », 2011 IEEE 17th International Mixed-Signals, Sensors and Systems Test Workshop, 2011, p. 43-47. doi: 10.1109/IMS3TW.2011.15.
- [53] V. A. Niranjana, D. Neethirajan, C. Xanthopoulos, D. Webster, A. Nahar, et Y. Makris, « Machine Learning-Based Adaptive Outlier Detection for Underkill Reduction in Analog/RF IC Testing », 2023 IEEE 41st VLSI Test Symposium (VTS), avr. 2023, p. 1-7. doi: 10.1109/VTS56346.2023.10140005.
- [54] L. Abdallah, H.-G. Stratigopoulos, S. Mir, et C. Kelma, « Experiences with non-intrusive sensors for RF built-in test », 2012 IEEE International Test Conference, nov. 2012, p. 1-8. doi: 10.1109/TEST.2012.6401587.
- [55] J. Altet *et al.*, « Review of temperature sensors as monitors for RF-MMW built-in testing and self-calibration schemes », 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), août 2014, p. 1081-1084. doi: 10.1109/MWSCAS.2014.6908606.
- [56] A. Dimakos, H.-G. Stratigopoulos, A. Siligaris, S. Mir, et E. De Foucauld, « Built-in test of millimeter-Wave circuits based on non-intrusive sensors », 2016 Design, Automation & Test in Europe Conference & Exhibition (DATE), mars 2016, p. 505-510.
- [57] T. Das, A. Gopalan, C. Washburn, et P. R. Mukund, « Self-calibration of input-match in RF front-end circuitry », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 52, n° 12, p. 821-825, déc. 2005, doi: 10.1109/TCSII.2005.853893.
- [58] S. Banerjee, M. P. Gupta, A. Banerjee, S. Kumar, et A. Chatterjee, « Digitally-compatible ring oscillator frequency driven tuning of CN-TFT amplifiers: Performance compensation under statistical and morphological variations », 2015 IEEE 20th International Mixed-Signals Testing Workshop (IMSTW), juin 2015, p. 1-6. doi: 10.1109/IMS3TW.2015.7177860.
- [59] S. Lee *et al.*, « A Built-In Self-Test and In Situ Analog Circuit Optimization Platform », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 65, n° 10, p. 3445-3458, oct. 2018, doi: 10.1109/TCSI.2018.2805641.
- [60] G. Volanis, D. Maliuk, Y. Lu, K. S. Subramani, A. Antonopoulos, et Y. Makris, « On-die learning-based self-calibration of analog/RF ICs », 2016 IEEE 34th VLSI Test Symposium (VTS), avr. 2016, p. 1-6. doi: 10.1109/VTS.2016.7477297.
- [61] M. Andraud, H.-G. Stratigopoulos, et E. Simeu, « One-Shot Non-Intrusive Calibration Against Process Variations for Analog/RF Circuits », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 63, n° 11, p. 2022-2035, nov. 2016, doi: 10.1109/TCSI.2016.2598184.
- [62] N. Kupp, H. Huang, Y. Makris, et P. Drineas, « Improving Analog and RF Device Yield through Performance Calibration », *IEEE Des. Test Comput.*, vol. 28, n° 3, p. 64-75, 2011, doi: 10.1109/MDT.2010.119.
- [63] Y. Lu, K. S. Subramani, H. Huang, N. Kupp, K. Huang, et Y. Makris, « A comparative study of one-shot statistical calibration methods for analog / RF ICs », 2015 IEEE International Test Conference (ITC), oct. 2015, p. 1-10. doi: 10.1109/TEST.2015.7342415.

- [64] D. Han, B. S. Kim, et A. Chatterjee, « DSP-Driven Self-Tuning of RF Circuits for Process-Induced Performance Variability », *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 18, n° 2, p. 305-314, févr. 2010, doi: 10.1109/TVLSI.2008.2009454.
- [65] N. Kupp, H. Huang, P. Drineas, et Y. Makris, « Post-production performance calibration in analog/RF devices », *2010 IEEE International Test Conference*, nov. 2010, p. 1-10. doi: 10.1109/TEST.2010.5699225.
- [66] F. Cilici, G. Leger, M. J. Barragan, S. Mir, E. Lauga-Larroze, et S. Bourdel, « Efficient generation of data sets for one-shot statistical calibration of RF/mm-wave circuits », *2019 16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Lausanne, Switzerland: IEEE, juill. 2019, p. 17-20. doi: 10.1109/SMACD.2019.8795238.
- [67] A. Zjajo, M. J. Barragan, et J. P. de Gyvez, « Low-Power Die-Level Process Variation and Temperature Monitors for Yield Analysis and Optimization in Deep-Submicron CMOS », *IEEE Trans. Instrum. Meas.*, vol. 61, n° 8, p. 2212-2221, 2012, doi: 10.1109/TIM.2012.2184195.
- [68] F. Cilici, M. J. Barragan, S. Mir, E. Lauga-Larroze, S. Bourdel, et G. Leger, « Yield Recovery of mm-Wave Power Amplifiers using Variable Decoupling Cells and One-Shot Statistical Calibration », *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, mai 2019, p. 1-5. doi: 10.1109/ISCAS.2019.8702072.
- [69] M. Margalef-Rovira, A. A. Saadi, L. Vincent, S. Lépilliet, C. Gaquière, D. Gloria, C. Durand, M. J. Barragan, E. Pistono, S. Bourdel, P. Ferrari, « Highly Tunable High-Q Inversion-Mode MOS Varactor in the 1–325-GHz Band », *IEEE Trans. Electron Devices*, vol. 67, n° 6, p. 2263-2269, juin 2020, doi: 10.1109/TED.2020.2989726.
- [70] M. Andraud et M. Verhelst, « From on-chip self-healing to self-adaptivity in analog/RF ICs: challenges and opportunities », in *2018 IEEE 24th International Symposium on On-Line Testing And Robust System Design (IOLTS)*, juill. 2018, p. 131-134. doi: 10.1109/IOLTS.2018.8474078.
- [71] A. Goyal, M. Swaminathan, et A. Chatterjee, « A novel self-healing methodology for RF Amplifier circuits based on oscillation principles », *Automation & Test in Europe Conference & Exhibition 2009 Design*, avr. 2009, p. 1656-1661. doi: 10.1109/DATE.2009.5090929.
- [72] D. Banerjee, B. Muldrey, X. Wang, S. Sen, et A. Chatterjee, « Self-Learning RF Receiver Systems: Process Aware Real-Time Adaptation to Channel Conditions for Low Power Operation », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 64, n° 1, p. 195-207, janv. 2017, doi: 10.1109/TCSI.2016.2608962.
- [73] A. Antonopoulos, G. Volanis, Y. Lu, et Y. Makris, « Post-Production Calibration of Analog/RF ICs: Recent Developments and A Fully Integrated Solution », *2019 16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, juill. 2019, p. 77-80. doi: 10.1109/SMACD.2019.8795278.
- [74] J.-O. Plouchart *et al.*, « A 18mW, 3.3dB NF, 60GHz LNA in 32nm SOI CMOS technology with autonomic NF calibration », *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, mai 2015, p. 319-322. doi: 10.1109/RFIC.2015.7337769.

- [75] G. J. Székely et M. L. Rizzo, « Brownian distance covariance », *Ann. Appl. Stat.*, vol. 3, n° 4, p. 1236-1265, 2009.
- [76] M. J. Barragan et G. Leger, « Efficient selection of signatures for analog/RF alternate test », *2013 18th IEEE European Test Symposium (ETS)*, mai 2013, p. 1-6. doi: 10.1109/ETS.2013.6569362.
- [77] J. Lee, « A 21–41-GHz Common-Gate LNA With TLT Matching Networks in 28-nm FDSOI CMOS », *IEEE Microw. Wirel. Compon. Lett.*, vol. 32, n° 9, p. 1051-1054, 2022, doi: 10.1109/LMWC.2022.3169066.
- [78] M. Elkholy, S. Shakib, J. Dunworth, V. Aparin, et K. Entesari, « A Wideband Variable Gain LNA With High OIP3 for 5G Using 40-nm Bulk CMOS », *IEEE Microw. Wirel. Compon. Lett.*, vol. 28, n° 1, p. 64-66, janv. 2018, doi: 10.1109/LMWC.2017.2779832.
- [79] X. Wu, M. Kalantari, D. H. Shin, et C. Patrick Yue, « A 24-32GHz gm-boosted LNA with Triple Coupling Input Transformer for 5G Applications », *2019 IEEE MTT-S International Wireless Symposium (IWS)*, mai 2019, p. 1-3. doi: 10.1109/IEEE-IWS.2019.8804024.
- [80] S. Kong, H.-D. Lee, S. Jang, J. Park, K.-S. Kim, et K.-C. Lee, « A 28-GHz CMOS LNA with Stability-Enhanced Gm-Boosting Technique Using Transformers », *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, juin 2019, p. 7-10. doi: 10.1109/RFIC.2019.8701753.
- [81] P. Chevalier *et al.*, « A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz fT / 370 GHz fMAX HBT and high-Q millimeter-wave passives », *2014 IEEE International Electron Devices Meeting*, déc. 2014, p. 3.9.1-3.9.3. doi: 10.1109/IEDM.2014.7046978.
- [82] W. Mohammed, F. Philippe, et D. Cedric, « mm-wave Dual-Mode Grounded Microstrip Patch BandPass Filter on 55-nm BiCMOS », *2021 IEEE MTT-S International Microwave Filter Workshop (IMFW)*, nov. 2021, p. 319-322. doi: 10.1109/IMFW49589.2021.9642332.
- [83] M. Dogan et I. Tekin, « A tunable X-band SiGe HBT single stage cascode LNA », *2010 10th Mediterranean Microwave Symposium*, août 2010, p. 102-105. doi: 10.1109/MMW.2010.5605144.
- [84] S. M. S. Rashid, S. N. Ali, A. Roy, et A. B. M. H. Rashid, « A 36.1 GHz Single Stage Low Noise Amplifier Using 0.13  $\mu\text{m}$  CMOS Process », *2009 WRI World Congress on Computer Science and Information Engineering*, mars 2009, p. 480-483. doi: 10.1109/CSIE.2009.86.
- [85] A. Sayag *et al.*, « One stage 24 GHz LNA with 6.4dB Gain and 2.8 dB NF using 0.18  $\mu\text{m}$  CMOS technology and slow wave transmission lines », *2008 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems*, mai 2008, p. 1-10. doi: 10.1109/COMCAS.2008.4562814.
- [86] K. M. Tran, H. V. N. Anh, N. D. Van Le, T. M. Nguyen, L. H. Trinh, et F. Ferrero, « Design of Varactor-Loaded Transmission-Line Phase Shifter with Integrated Single-Stage LNA in 0.18  $\mu\text{m}$  RF CMOS Technology », *2021 International Conference on Advanced Technologies for Communications (ATC)*, oct. 2021, p. 244-248. doi: 10.1109/ATC52653.2021.9598246.
- [87] S. Weinreb, J. C. Bardin, et H. Mani, « Design of Cryogenic SiGe Low-Noise Amplifiers », *IEEE Trans. Microw. Theory Tech.*, vol. 55, n° 11, p. 2306-2312, nov. 2007, doi: 10.1109/TMTT.2007.907729.

- [88] A. Çağlar et M. B. Yelten, « Design of Cryogenic LNAs for High Linearity in Space Applications », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 66, n° 12, p. 4619-4627, déc. 2019, doi: 10.1109/TCSI.2019.2936506.
- [89] M. Božanić et S. Sinha, *Millimeter-Wave Low-Noise Amplifier*. Springer International Publishing, 2018.
- [90] A. A. Saadi *et al.*, « Design of Coupled Slow-Wave CPW Millimeter-Wave Bandpass Filter Beyond 100 GHz in 55-nm BiCMOS Technology », *IEEE Trans. Electron Devices*, vol. 68, n° 9, p. 4259-4266, 2021, doi: 10.1109/TED.2021.3094780.
- [91] A.-L. Franc, E. Pistono, D. Gloria, et P. Ferrari, « High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters », *IEEE Trans. Electron Devices*, vol. 59, n° 5, p. 1219-1226, mai 2012, doi: 10.1109/TED.2012.2186301.
- [92] D. Hou *et al.*, « A D-band compact rat-race coupler using novel phase inverter in standard CMOS process », 2012 IEEE/MTT-S International Microwave Symposium Digest, 2012, p. 1-3. doi: 10.1109/MWSYM.2012.6259758.
- [93] R. B. Yishay et D. Elad, « A 21 dBm 60 GHz SiGe power amplifier using modified Wilkinson combiner », 2016 11th European Microwave Integrated Circuits Conference (EuMIC), p. 409-412. doi: 10.1109/EuMIC.2016.7777578.
- [94] T. S. D. Cheung *et al.*, « On-chip interconnect for mm-wave applications using an all-copper technology and wavelength reduction », 2003. *Digest of Technical Papers. ISSCC*, 2003, p. 396-501. doi: 10.1109/ISSCC.2003.1234353.
- [95] A. Bautista, A.-L. Franc, et P. Ferrari, « An accurate parametric electrical model for slow-wave CPW », 2015 IEEE MTT-S International Microwave Symposium, 2015, p. 1-4. doi: 10.1109/MWSYM.2015.7166796.
- [96] Y. Zhong, Y. Yang, X. Zhu, E. Dutkiewicz, et K. M. Shum, « An On-Chip Bandpass Filter Using a Broadside-Coupled Meander Line Resonator With a Defected-Ground Structure », *IEEE Electron Device Lett.*, vol. 38, n° 5, p. 626-629, 2017, doi: 10.1109/LED.2017.2690283.
- [97] M. Li, X. Zhu, et S. W. Wong, « Microwave On-Chip Bandpass Filter Based on Hybrid Coupling Technique », *IEEE Trans. Electron Devices*, vol. 65, n° 12, p. 5453-5459, 2018, doi: 10.1109/TED.2018.2876324.
- [98] O. Occello *et al.*, « A 3D slow-wave transmission line approach for the design of Ka-band CMOS compact filters », in *2022 52nd European Microwave Conference (EuMC)*, sept. 2022, p. 560-563. doi: 10.23919/EuMC54642.2022.9924358.
- [99] C. M. Guizan, P. Baumgartner, et S. Heinen, « Switched shield mm-wave tunable slow wave CPW in FinFET CMOS technology », 2022 17th European Microwave Integrated Circuits Conference (EuMIC), 2022, p. 244-247. doi: 10.23919/EuMIC54520.2022.9923529.
- [100] D. Ouattara, « An hybrid approach for high-performance passive 120-GHz phase shifters in BiCMOS technology », 2021 19th IEEE International New Circuits and Systems Conference (NEWCAS), 2021, p. 1-4. doi: 10.1109/NEWCAS50681.2021.9462755.
- [101] F. Cilici, « Development of Built-In Self-Test solutions for RF/mm-wave integrated circuits », Thèse de Doctorat, Université Grenoble-Alpes, Grenoble, 2019

- [102] S. Delcourt, « Caractérisation de composants et dispositifs actifs en basse température en bande Ka et Q : application à la filière métamorphique », Thèse de doctorat, Université des Sciences et Technologies de Lille, Lille, 2007.
- [103] FormFactor, « Probe Selection Guide ». septembre 2022.
- [104] FormFactor, « Layout Rules for GHz-Probing ». juillet 2017.
- [105] X. Li, R. R. Rutenbar, et R. D. Blanton, « Virtual probe: a statistically optimal framework for minimum-cost silicon characterization of nanoscale integrated circuits », in *Proceedings of the 2009 International Conference on Computer-Aided Design*, San Jose California: ACM, nov. 2009, p. 433-440. doi: 10.1145/1687399.1687481.



## ANNEXE A : PROTOTYPE DES CAPTEURS DE VARIATIONS DE PROCESS

### Capteurs de variations du BEOL

Chaque pad est doublé pour permettre la mesure de chaque grandeur en deux ou quatre points, la méthode en deux points étant moins complexe (posé DC unique possible, ATE plus simple) mais moins précise que la méthode en quatre points. Le *layout* des plots est optimisé afin de permettre la pose dans toutes les directions, pour une plus grande flexibilité de mesure selon le matériel disponible. Le jeu de capteurs de variations de process du BEOL est conçu pour limiter l'encombrement dû aux plots de mesure : les 15 capteurs (dipôles) sont accessibles à travers 16 plots de mesure (doublés pour la mesure quatre pointes) seulement. Ainsi, pour la mesure du capteur résistif de la couche  $n$ , on mesure la résistance entre les pads  $M_{n,Nord}$  et  $M_{n,Sud}$ . Pour la mesure du capteur capacitif entre les couches  $n$  et  $n + 1$ , on mesure la capacité entre les pads  $M_{n,Nord}$  et  $M_{n+1,Nord}$ .

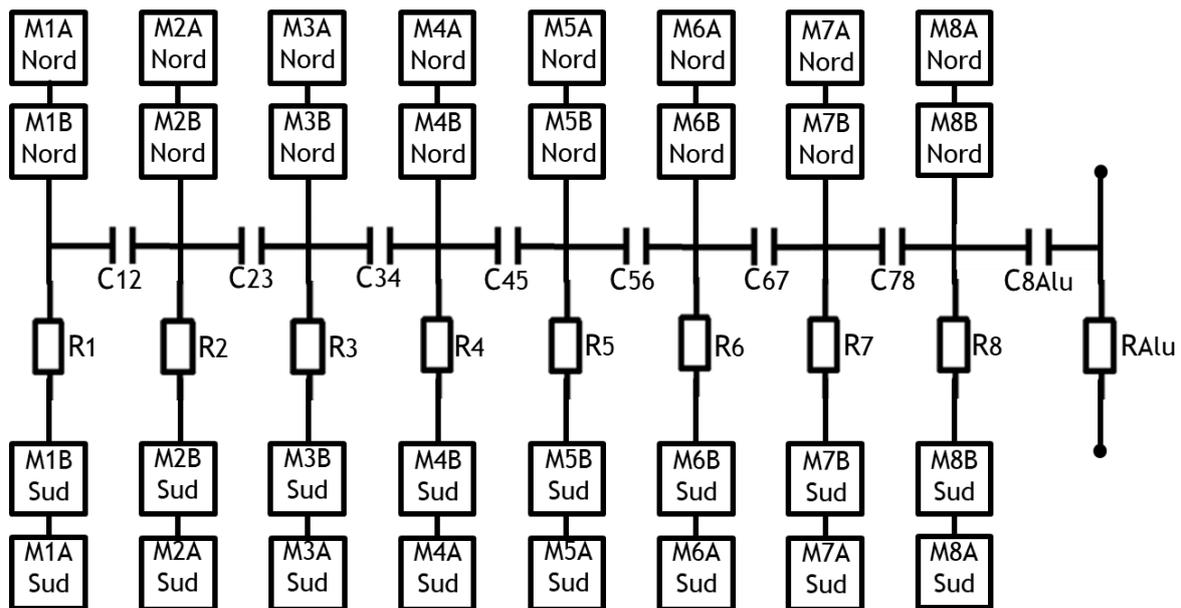


Figure A.1 : Schéma de câblage du capteur BEOL

Tableau A.1 : Valeurs nominales des capteurs résistifs ( $\Omega$ )

| $R_1$ | $R_2$ | $R_3$ | $R_4$ | $R_5$ | $R_6$ | $R_7$ | $R_8$ |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 1830  | 986   | 986   | 986   | 986   | 162,8 | 162,8 | 38,4  |

Tableau A.2 : Valeurs nominales des capteurs capacitifs (pF) @100 MHz

| $C_{12}$ | $C_{23}$ | $C_{34}$ | $C_{45}$ | $C_{56}$ | $C_{67}$ | $C_{78}$ |
|----------|----------|----------|----------|----------|----------|----------|
| 26,73    | 26,73    | 26,73    | 26,73    | 9,10     | 9,10     | 3,58     |

**Capteur FEOL + Vias**

Les grandeurs à mesurer sont décrite dans le Tableau 2.

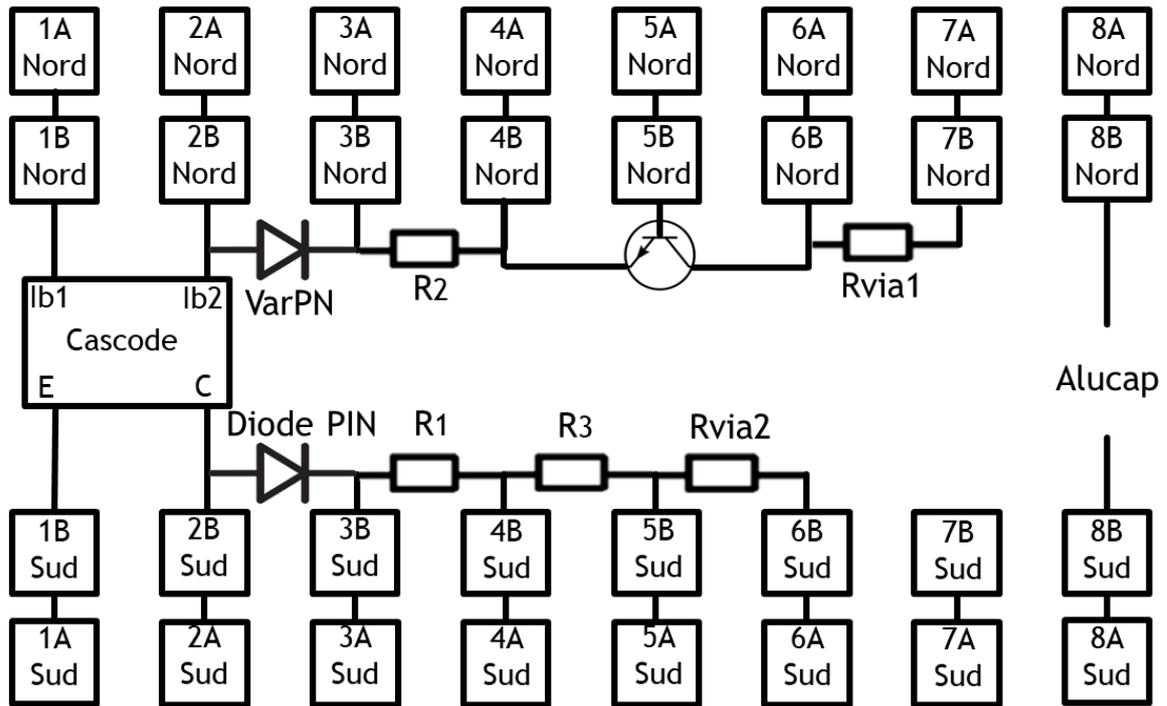


Figure A.2 : Schéma de câblage du capteur partiel FEOL et chaînes de vias

Les Figure A.3 et Figure A.4 montrent les microphotographies respectivement des capteurs BEOL et FEOL. Les deux capteurs présentent des dimensions de 800  $\mu\text{m}$  par 600  $\mu\text{m}$ . Ces dimensions tombent à 800  $\mu\text{m}$  par 400  $\mu\text{m}$  si l'on ne double pas les plots de mesure en prévision d'une éventuelle mesure quatre points.

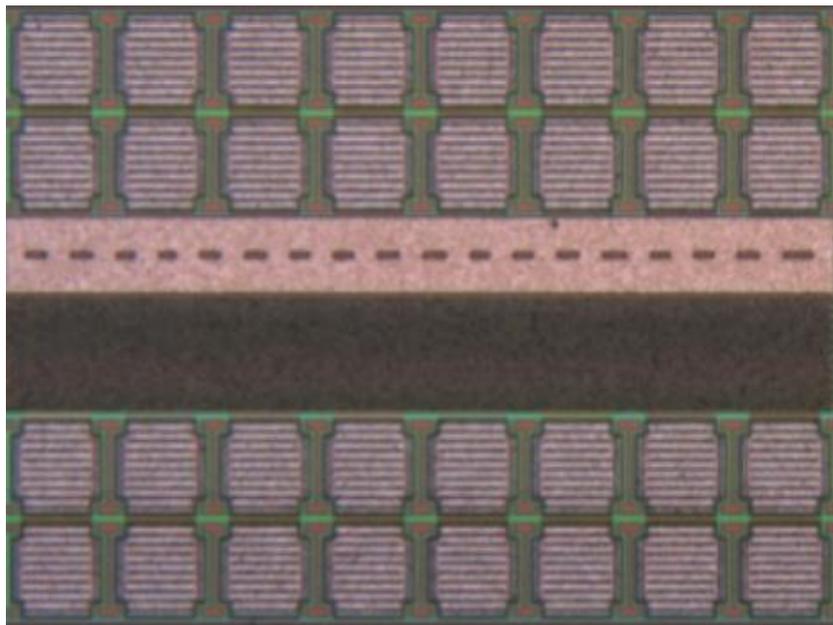
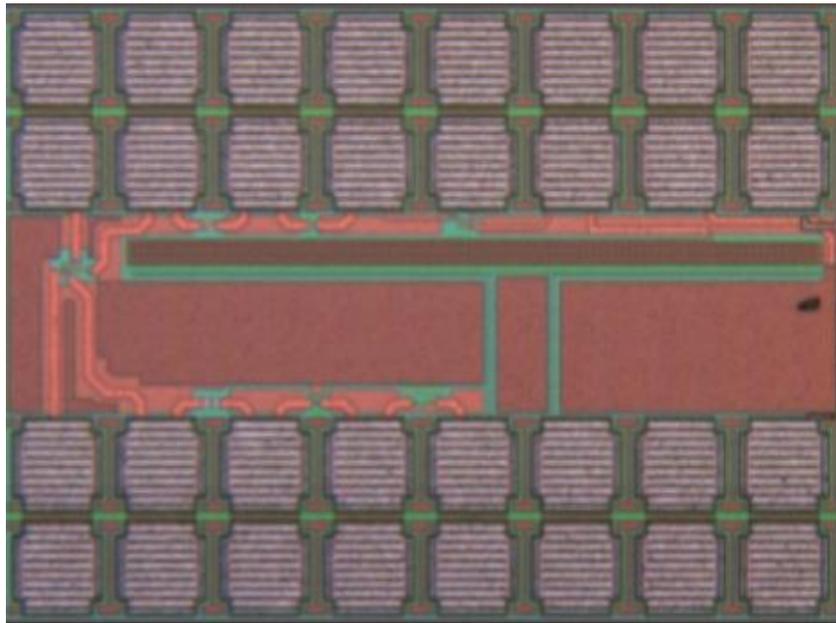


Figure A.3 : Microphotographie du capteur BEOL



*Figure A.3 : Microphotographie du capteur partiel FEOL et chaînes de vias*



## ANNEXE B : LISTES DES SIGNATURES PT SELECTIONNEES

Les signatures PT sélectionnées par la méthode de test pour la prédiction des performances sont répertoriées (dans l'ordre de sélection) dans le Tableau B.1 pour le LNA accordable, et dans le Tableau B.2 pour le LNA fixe.

*Tableau B.1 : Signatures sélectionnées par la méthode de test pour le LNA Accordable*

| N° | Signatures PT seules |          |                 |                 |               | Signatures PT et point de fonctionnement |           |                  |
|----|----------------------|----------|-----------------|-----------------|---------------|--|-----------|------------------|
|    | Gain (dB)            | NF (dB)  | $ S_{11} $ (dB) | $ S_{22} $ (dB) | $P_{DC}$ (mW) | Gain (dB)                                | NF (dB)   | $ S_{11} $ (dB)* |
| 1  | R_BEOL_11            | MOS_5    | MOS_10          | Bip_23          | BEOL_4        | MOS_4                                    | MOS_5     | Bip_21           |
| 2  | I_Bip_32             | Bip_19   | MOS_11          | I_Bip_34        | FEOL_41       | FEOL_27                                  | MOS_6     | C_BEOL_11        |
| 3  | FEOL_32              | V_Bip_13 | MOS_12          | BEOL_3          | FEOL_42       | Bip_18                                   | MOS_7     | R_BEOL_13        |
| 4  | I_Bip_33             | FEOL_33  | MOS_13          | I_Bip_35        | FEOL_9        | BEOL_1                                   | MOS_8     | MOS_24           |
| 5  | R_BEOL_12            | MOS_15   |                 | MOS_30          | FEOL_44       |  | Bip_19    | FEOL_39          |
| 6  | V_Bip_12             | FEOL_34  |                 | MOS_31          | MOS_18        |  | I_Bip_29  | MOS_25           |
| 7  |                      | MOS_6    |                 |                 | MOS_33        |  | R_BEOL_10 | MOS_26           |
| 8  |                      | MOS_8    |                 |                 | FEOL_45       |  | I_Bip_30  | Bip_5            |
| 9  |                      | MOS_18   |                 |                 | FEOL_46       |  | FEOL_28   | FEOL_40          |
| 10 |                      | MOS_19   |                 |                 | FEOL_47       |  | MOS_9     | R_BEOL_14        |
| 11 |                      | FEOL_1   |                 |                 | V_Bip_14      |  | FEOL_29   | Bip_22           |
| 12 |                      | MOS_20   |                 |                 | C_BEOL_12     |  | FEOL_14   | MOS_28           |
| 13 |                      | FEOL_36  |                 |                 | FEOL_19       |  | FEOL_31   | BEOL_2           |
| 14 |                      | MOS_21   |                 |                 | BEOL_6        |  | I_Bip_31  | MOS_29           |
| 15 |                      | MOS_22   |                 |                 | FEOL_48       |  |           |                  |
| 16 |                      | FEOL_37  |                 |                 | MOS_3         |  |           |                  |
| 17 |                      | MOS_23   |                 |                 | FEOL_49       |  |           |                  |
| 18 |                      | FEOL_5   |                 |                 | V_Bip_5       |  |           |                  |
| 19 |                      |          |                 |                 | FEOL_50       |  |           |                  |
| 20 |                      |          |                 |                 | MOS_35        |  |           |                  |
| 21 |                      |          |                 |                 | I_Bip_36      |  |           |                  |
| 22 |                      |          |                 |                 | R_BEOL_15     |  |           |                  |
| 23 |                      |          |                 |                 | C_BEOL_13     |  |           |                  |
| 24 |                      |          |                 |                 | MOS_36        |  |           |                  |
| 25 |                      |          |                 |                 | V_Bip_16      |  |           |                  |

\*Seul un capteur a été sélectionné pour la prédiction du S22 en tenant compte des signatures PT et du point de fonctionnement. Il s'agit de V\_Bip\_11.

Les noms des signatures ont été simplifiés et regroupés selon la liste suivante, et les signatures ont été numérotées dans chaque catégorie :

- MOS\_x : Capteurs de variation de process des composants MOS, tous confondus,

Annexe B : Listes des Signatures PT sélectionnées

- Bip\_x : Capteurs de variation de process des composants bipolaires HBT. La dénomination Bip comprend entre autres la mesure du Beta, et les signatures de courants et tensions statiques sont dénommées respectivement I\_Bip\_x et V\_Bip\_x,
- BEOL\_x : Monitorent le BEOL en générale, dénomination spécifiques pour les simples mesures de résistances (R\_BEOL\_x) et de capacités (C\_BEOL\_x).

Tableau B.2 : Signatures sélectionnées par la méthode de test pour le LNA Fixe

| N° | Signatures PT seules |                        |                        |                      | Signatures PT et point de fonctionnement |                        |                        |
|----|----------------------|------------------------|------------------------|----------------------|--|------------------------|------------------------|
|    | Gain (dB)            | S <sub>11</sub>   (dB) | S <sub>22</sub>   (dB) | P <sub>DC</sub> (mW) | Gain (dB)                                | S <sub>11</sub>   (dB) | S <sub>22</sub>   (dB) |
| 1  | Bip_3                | C_BEOL_3               | Bip_3                  | Bip_3                | Bip_1                                    | FEOL_8                 | (Aucun)                |
| 2  | V_Bip_4              | I_Bip_16               | Bip_1                  | Bip_1                | FEOL_1                                   | C_BEOL_3               |                        |
| 3  | V_Bip_5              | I_Bip_17               | V_Bip_4                | V_Bip_4              | FEOL_2                                   | MOS_1                  |                        |
| 4  | FEOL_9               | I_Bip_18               | Bip_12                 | Bip_12               | FEOL_3                                   |                        |                        |
| 5  | FEOL_10              | Bip_5                  | FEOL_18                | FEOL_9               | I_Bip_1                                  |                        |                        |
| 6  | R_BEOL_1             | I_Bip_19               | C_BEOL_7               | R_BEOL_6             | Bip_2                                    |                        |                        |
| 7  | FEOL_1               | V_Bip_6                | R_BEOL_5               | I_Bip_26             | V_Bip_1                                  |                        |                        |
| 8  | FEOL_3               | FEOL_13                | I_Bip_24               | R_BEOL_5             | FEOL_4                                   |                        |                        |
| 9  | I_Bip_1              | Bip_6                  | C_BEOL_8               | C_BEOL_9             | FEOL_5                                   |                        |                        |
| 10 | Bip_4                | I_Bip_20               | FEOL_19                | Bip_7                | V_Bip_2                                  |                        |                        |
| 11 |                      | FEOL_14                | R_BEOL_6               | I_Bip_27             | V_Bip_3                                  |                        |                        |
| 12 |                      | Bip_7                  | MOS_2                  | R_BEOL_1             | C_BEOL_1                                 |                        |                        |
| 13 |                      | FEOL_15                | FEOL_15                | Bip_17               | C_BEOL_2                                 |                        |                        |
| 14 |                      | R_BEOL_2               |                        | MOS_3                | FEOL_6                                   |                        |                        |
| 15 |                      | FEOL_16                |                        |                      | FEOL_7                                   |                        |                        |
| 16 |                      | Bip_8                  |                        |                      | I_Bip_2                                  |                        |                        |
| 17 |                      | R_BEOL_3               |                        |                      | I_Bip_3                                  |                        |                        |
| 18 |                      | R_BEOL_4               |                        |                      | I_Bip_4                                  |                        |                        |
| 19 |                      | I_Bip_23               |                        |                      | I_Bip_5                                  |                        |                        |
| 20 |                      |                        |                        |                      | I_Bip_6                                  |                        |                        |
| 21 |                      |                        |                        |                      | I_Bip_7                                  |                        |                        |
| 22 |                      |                        |                        |                      | I_Bip_8                                  |                        |                        |
| 23 |                      |                        |                        |                      | I_Bip_9                                  |                        |                        |
| 24 |                      |                        |                        |                      | I_Bip_10                                 |                        |                        |
| 25 |                      |                        |                        |                      | I_Bip_11                                 |                        |                        |
| 26 |                      |                        |                        |                      | I_Bip_12                                 |                        |                        |
| 27 |                      |                        |                        |                      | I_Bip_13                                 |                        |                        |
| 28 |                      |                        |                        |                      | I_Bip_14                                 |                        |                        |