



**HAL**  
open science

# Etude et conception d'un " Intelligent Power Module (IPM) " forte puissance en technologie SiC : développement du Gâte Driver

Antoine Laspeyres

► **To cite this version:**

Antoine Laspeyres. Etude et conception d'un " Intelligent Power Module (IPM) " forte puissance en technologie SiC : développement du Gâte Driver. Autre. Nantes Université, 2023. Français. NNT : 2023NANU4036 . tel-04583081

**HAL Id: tel-04583081**

**<https://theses.hal.science/tel-04583081>**

Submitted on 22 May 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE DE DOCTORAT DE

NANTES UNIVERSITÉ

ÉCOLE DOCTORALE N° 641  
*Mathématiques et Sciences et Technologies  
de l'Information et de la Communication*  
Spécialité : *Électronique - Génie Électrique*

Par

**Antoine LASPEYRES**

**Etude et conception d'un « Intelligent Power Module (IPM) » forte  
puissance en technologie SiC : développement du Gate Driver**

Thèse présentée et soutenue à Nantes, le 12 décembre 2023  
Unité de recherche : IETR UMR CNRS 6164

## Rapporteurs avant soutenance :

Eric LABOURE Professeur, Université Paris-Saclay  
Pierre LEFRANC Maître de Conférences/HDR, GRENOBLE INP

## Composition du Jury :

Président :	Nicolas ROUGER	Directeur de Recherche CNRS, LAPLACE Toulouse
Examineurs :	Eric LABOURE	Professeur, Université Paris-Saclay
	Pierre LEFRANC	Maître de Conférences/HDR, GRENOBLE INP
	Paul Etienne VIDAL	Professeur, ENIT TARBES

Dir. de thèse :	Nicolas GINOT	Professeur, NANTES UNIVERSITE
Co-dir. de thèse :	Christophe BATARD	Maître de Conférences/HDR, NANTES UNIVERSITE
Encadrante :	Anne-Sophie DESCAMPS	Maître de Conférences, NANTES UNIVERSITE

## Invité :

Abdelhadi ASSEBAN Expert Technique, Référent DGA Paris



# REMERCIEMENTS

---

Je tiens à remercier tous les partenaires du projet AM-PM, la DGA, le laboratoire IETR, Deep Concept ainsi que le groupe Safran Tech avec qui j'ai eu la chance de travailler durant mes 3 années de thèse.

Je remercie en premier lieu mes encadrants Nicolas Ginot, Christophe Batard et Anne-Sophie Descamps au sein du laboratoire IETR pour leur grande implication, leur soutien indéfectible et pour tout ce qu'ils m'ont appris au cours de ces années de thèse. J'ai pris un grand plaisir à travailler à leur contact au quotidien.

Je remercie aussi en particulier Thanh long Le et Toni Youssef du groupe Safran Tech pour leur implication au sein du projet ainsi que leur accueil sur le site de Safran Tech lors de nos essais.

Je tiens aussi à remercier Philippe Lasserre et Julie Tarrieu de Deep Concept pour avoir réussi à coordonner un tel projet durant ces 3 années.

Je tiens aussi à remercier les rapporteurs et membres du jury pour leur lecture attentive du manuscrit et leurs remarques pertinentes. Je souhaiterais remercier tout particulièrement Nicolas Rouger du laboratoire Laplace, également membre de mon comité de suivi de thèse pour son aide tout au long de mes travaux.

Merci à l'ensemble du personnel du laboratoire IETR pour leur support et l'ensemble des moyens mis à disposition pour permettre un travail dans les meilleures conditions. Je tiens également à saluer mes collègues doctorants Loreine Makki, Corentin Darbas, Julien Weckbordt, Guillaume Martin et Louison Gouy entre autres.

Je remercie bien évidemment ma famille pour leur soutien inconditionnel tout au long de cette thèse.



# TABLE DES MATIÈRES

---

Glossaire	9
Acronymes	10
<b>Chapitre 1 Contexte de l'étude et état de l'art</b>	<b>11</b>
I Introduction	11
I.1 Enjeux de la consommation d'énergie dans le monde	11
I.2 Electric Motor-Driven System (EMDS)	12
I.3 Convertisseurs d'énergie pour applications EMDS	13
II Composants grand gap dans les convertisseurs forte puissance	14
II.1 Architecture des convertisseurs d'énergie	14
II.2 Topologies des variateurs de vitesse	15
II.3 Cellule de commutation	15
II.4 Apport de la technologie grand gap SiC	16
III Intelligent Power Module (IPM)	18
III.1 Etat de l'art des IPM actuels	18
III.2 Enjeux des IPMs de demain	19
IV Smart Gate Drivers	22
IV.1 Circuit de commande de grille conventionnel	22
IV.2 Ajout des fonctions intelligentes	24
IV.2.1 Common-Mode Transient Immunity (CMTI)	26
IV.2.2 Moyens de protection avancés	27
IV.2.3 Intelligent Monitoring and Maintenance Technologies (IMMTs)	32
IV.2.4 Moyens de communication avancés	33
IV.3 Exemple de Smart gate Driver	35
V Intégration des travaux de thèse dans un projet multidisciplinaire	37
V.1 Projet AM-PM : Définition des partenaires et des objectifs	37
V.1.1 Présentations des acteurs du projet	37
V.1.2 Contexte et objectifs du projet	39
V.1.3 Caractère innovant du projet	40
V.2 Position des travaux de thèse dans le projet	41
V.3 Problématiques visées	42

V.3.1	Contraintes sécuritaires / aspect normatif . . . . .	42
V.3.2	Choix du niveau de maintenance . . . . .	43
V.3.3	Encombrement de la carte driver . . . . .	44
V.3.4	Contraintes de compatibilité électromagnétique (CEM) . . . . .	44
VI	Conclusion . . . . .	45
<b>Chapitre 2 Présentation de la topologie Source Driver</b>		<b>47</b>
I	Introduction à la commande des composants de puissance . . . . .	47
I.1	Étage de sortie . . . . .	47
I.1.1	Principe . . . . .	48
I.1.2	Étage de sortie à MOSFET . . . . .	49
I.1.3	Étage de sortie à transistors bipolaires . . . . .	50
I.1.4	Gestion du SSD . . . . .	50
I.2	Transmission du signal de commande . . . . .	51
I.3	Gestion des alimentations . . . . .	53
I.4	Exemple de topologie usuelle . . . . .	55
II	Circuit de commande par la source . . . . .	56
II.1	Compatibilité du circuit de surveillance . . . . .	56
II.2	Topologie de la commande par la source . . . . .	57
II.3	Mise en place de la nouvelle topologie . . . . .	58
II.3.1	Alimentation du source driver : phase de démarrage . . . . .	58
II.3.2	Prototypage d'un source driver . . . . .	59
II.4	Essais et validation de la nouvelle topologie . . . . .	59
III	Conclusion . . . . .	62
<b>Chapitre 3 Mesure de la tension à l'état passant <math>V_{DS\text{ON}}</math></b>		<b>63</b>
I	Etat de l'art des systèmes de mesures conventionnels . . . . .	64
II	Circuit mesure proposé . . . . .	67
II.1	Problématique liée aux modules de puissance . . . . .	68
II.2	Objectifs du circuit de mesure . . . . .	69
II.3	Oscillations des potentiels pendant la commutation . . . . .	70
II.4	Cahier des charges du circuit de mesure . . . . .	71
II.5	Description de la chaine de mesure . . . . .	72
II.5.1	Circuit de blocage différentiel double (DDCC) . . . . .	73
II.5.2	Circuit conditionneur et d'acquisition numérique . . . . .	75
II.5.3	Réalisation d'une carte prototype . . . . .	76
II.6	Caractérisation du circuit proposé . . . . .	77
II.6.1	Définitions norme ISO 5725 . . . . .	77

	II.6.2	Montage expérimental pour la caractérisation du circuit . . . . .	77
	II.6.3	Extraction du paramètre de justesse . . . . .	78
	II.6.4	Analyse de l'écart type . . . . .	79
	II.6.5	Définition du critère de fidélité retenu . . . . .	81
	II.6.6	Conclusion sur la caractérisation . . . . .	81
	II.7	Contraintes temporelles liées à la mesure . . . . .	82
III		Essais et validation sur module de puissance . . . . .	83
	III.1	Mesure de la résistance à l'état passant d'un module hors tension . . . . .	83
	III.2	Mesure de la résistance à l'état passant d'un module dans environ- nement de puissance . . . . .	84
	III.3	Analyse des résultats . . . . .	85
IV		Perspectives . . . . .	86
<b>Chapitre 4 Estimation du courant de fuite de grille IGSS</b>			<b>89</b>
I		État de l'art . . . . .	89
	I.1	Dégradation de l'oxyde de grille des composants SiC . . . . .	89
		I.1.1 Qu'est ce que l'oxyde de grille ? . . . . .	89
		I.1.2 Comparaison des MOSFETs Trench SiC vs Si . . . . .	90
		I.1.3 Fiabilité de l'oxyde de grille vs performances du canal MOS . . . . .	90
	I.2	Choix de l'indicateur de l'état de santé du SiC . . . . .	91
	I.3	Systèmes de mesures conventionnels . . . . .	92
II		Solution proposée . . . . .	94
	II.1	Cahier des charges . . . . .	94
	II.2	Compatibilité du circuit de surveillance avec le Source Driver . . . . .	94
	II.3	Étude du circuit . . . . .	96
		II.3.1 Philosophie du circuit . . . . .	96
		II.3.2 Résolution en courant du circuit . . . . .	96
		II.3.3 Circuit retenu . . . . .	99
III		Essais . . . . .	101
	III.1	Caractérisation statique du circuit proposé . . . . .	101
		III.1.1 Montage expérimental . . . . .	101
		III.1.2 Régime statique sous $V_{GS}=20V$ . . . . .	102
		III.1.3 Régime statique sous $V_{GS}=-5V$ . . . . .	103
IV		Perspectives d'amélioration du circuit . . . . .	105
	IV.1	Meilleur choix des condensateurs du buffer . . . . .	105
	IV.2	Déséquilibre du pont capacitif . . . . .	106
	IV.3	Principe de la double mesure . . . . .	107
	IV.4	Conclusion . . . . .	107



V	Conclusion . . . . .	108
<b>Chapitre 5</b>	<b>Conception du Source Driver</b>	<b>109</b>
I	Barrière d'isolation galvanique du driver . . . . .	109
I.1	Norme Européenne EN 50178 . . . . .	109
I.2	Dimensionnement et tests des alimentations . . . . .	110
I.2.1	Cahier des charges . . . . .	110
I.2.2	Dimensionnement du transformateur d'alimentation . . . . .	111
I.2.3	Prototypage et tests de l'alimentation . . . . .	113
I.3	Transformateurs de pulses . . . . .	116
I.3.1	Dimensionnement du transformateur de pulses . . . . .	116
I.3.2	Prototypage et tests des transformateurs de pulses . . . . .	117
I.4	Conclusion . . . . .	120
II	Architecture mécanique du source driver et localisation des fonctions . . . . .	121
II.1	Structure en strates et maintient mécanique . . . . .	121
II.2	Synoptique du driver AM-PM . . . . .	123
II.3	Carte middle . . . . .	124
II.3.1	Circuit de mesure $V_{DS_{ON}}$ . . . . .	125
II.3.2	Circuit de détection des courts-circuits (DESAT) . . . . .	126
II.3.3	Circuit d'alimentation communicante . . . . .	126
II.4	Cartes écran électrostatique . . . . .	127
II.5	Carte primaire . . . . .	128
II.5.1	Gestion des plans 0V . . . . .	129
II.5.2	Fonctions électroniques de la carte primaire . . . . .	130
II.6	Cartes secondaires . . . . .	131
II.6.1	Circuit de mise en forme des impulsions courtes . . . . .	132
II.6.2	Estimation du courant de fuite de grille $I_{GSS}$ . . . . .	133
II.6.3	Circuit de régulation pilotable . . . . .	134
II.6.4	Étage de sortie du source driver . . . . .	135
III	Conclusion . . . . .	136
<b>Chapitre 6</b>	<b>Validation fonctionnelle du circuit driver AM-PM</b>	<b>139</b>
I	Démarrage des alimentations et maîtrise du potentiel $V_{GS}$ . . . . .	139
I.1	Phase d'initialisation . . . . .	140
I.2	Phase de régulation . . . . .	143
I.3	Conclusion sur la régulation pilotable . . . . .	145
II	Essais en double pulses . . . . .	145
II.1	Montage expérimental . . . . .	145

III	Mesure de la tension $V_{DS_{ON}}$ . . . . .	147
III.1	Caractérisation des circuits . . . . .	148
III.1.1	Montage expérimental pour la caractérisation des circuits	148
III.1.2	Extraction du paramètre de justesse . . . . .	148
III.1.3	Analyse du critère de fidélité . . . . .	150
III.1.4	Influence de la température . . . . .	151
III.1.5	Conclusion sur la caractérisation . . . . .	153
III.2	Essais et validation sur module de puissance . . . . .	154
III.3	Conclusion sur la mesure de $V_{DS_{ON}}$ . . . . .	155
IV	Estimation du courant de fuite de grille $I_{GSS}$ . . . . .	155
IV.1	Caractérisation du démonstrateur . . . . .	157
IV.1.1	Émulation du courant $I_{GSS}$ . . . . .	157
IV.1.2	Montage expérimental . . . . .	158
IV.1.3	Calibration . . . . .	159
IV.1.4	Fonctionnement à $V_{GS} = \text{cst}$ ( $\alpha_0 = 0\%$ ou $\alpha_0 = 100\%$ ) . .	161
IV.1.5	Fonctionnement avec MLI ( $\alpha_0 \in ]0\%, 100\%[$ ) . . . . .	162
IV.1.6	Influence de la température . . . . .	164
IV.1.7	Conclusion sur la caractérisation . . . . .	165
IV.2	Essais et validation sur module de puissance . . . . .	166
IV.2.1	Montage expérimental . . . . .	166
IV.2.2	Analyse des résultats . . . . .	167
IV.3	Conclusion sur l'estimation de $I_{GSS}$ . . . . .	167
V	Conclusion . . . . .	168
	<b>Conclusion générale et perspectives</b>	<b>169</b>
	Conclusion et contributions . . . . .	169
	Topologie source driver . . . . .	170
	Mesure de la résistance à l'état passant $R_{DS_{ON}}$ . . . . .	170
	Estimation du courant de fuite de grille $I_{GSS}$ . . . . .	170
	Démonstrateur . . . . .	171
	Perspectives . . . . .	171
	<b>Bibliographie</b>	<b>173</b>
	<b>Annexes</b>	<b>189</b>



# GLOSSAIRE

---

$\Delta V_{GS}$	Plage de variation de la tension $V_{GS}$ , $\Delta V_{GS} = V_{GS_{ON}} - V_{GS_{OFF}}$ (+20 V/-5 V $\Rightarrow$ $\Delta V_{GS} = 25$ V).
$C_{GD}$	Capacité parasite Grille-Drain (Capacité Miller) d'un MOSFET.
$C_{GS}$	Capacité Grille-Source d'un MOSFET.
$C_{ISS}$	Capacité totale vue par la grille d'un MOSFET ( $= C_{GS} + C_{GD}$ ).
$D_M$	Potentiel drain de mesure, connectique interne au module relié directement au potentiel $D_P$ (uniquement disponible sur le module AM-PM).
$D_P$	Potentiel drain de puissance, connectique extérieure du module où viennent se visser les connexions de puissance.
$I_{DS_{ON}}$	Courant Drain-Source à l'état passant d'un MOSFET (A).
$I_{GSS}$	Courant de fuite de grille d'un MOSFET (A).
$Q_G$	Charge totale de la grille (nC).
$R_{DS_{ON}}$	Résistance Drain-Source à l'état passant d'un composant MOSFET (m $\Omega$ ).
$S_k$	Potentiel source kelvin du composant de puissance.
$S_M$	Potentiel source de mesure, Connectique interne au module relié directement au potentiel $S_P$ (uniquement disponible sur le module AM-PM).
$S_P$	Potentiel source de puissance, connectique extérieure du module où viennent se visser les connexions de puissances.
$V_{DC}$	Tension de bus du circuit de puissance (V).
$V_{DS_{ON}}$	Tension Drain-Source à l'état passant d'un MOSFET (V).
$V_{GS_{OFF}}$	Tension Grille-Source appliquée pour bloquer un composant MOSFET (V).
$V_{GS_{ON}}$	Tension Grille-Source appliquée pour amorcer un composant MOSFET (V).
$V_{GS}$	Tension Grille-Source d'un composant MOSFET (V).
$V_G$	Potentiel de grille par rapport au potentiel de référence du circuit secondaire (V).
$V_S$	Potentiel de source par rapport au potentiel de référence du circuit secondaire (V).
$V_{TH}$	Tension de seuil du composant de puissance (V).

# ACRONYMES

---

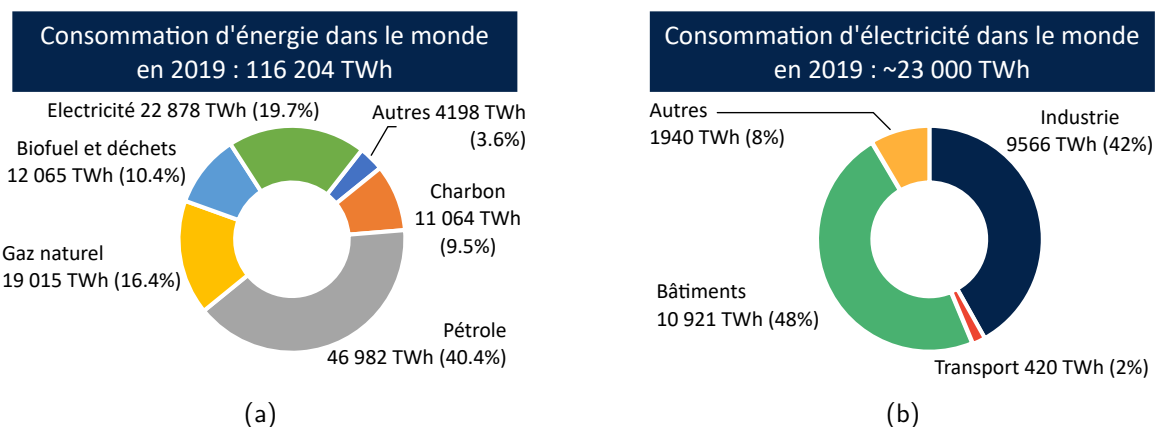
<b>AM-PM</b>	projet Additive Manufactured high voltage high current diode less SiC smart Power Module.
<b>BTI</b>	Bias Instability Temperature.
<b>CMTI</b>	Common-Mode Transient Immunity.
<b>DDAS</b>	Digital Data Acquisition System.
<b>DDCC</b>	Dual Differential Clamping Circuit.
<b>DOE</b>	U.S Departement of Energy.
<b>DVCCs</b>	Drain Voltage Clamping Circuits.
<b>EMDS</b>	Electric Motor-Driven System.
<b>FPGA</b>	Field-Programmable Gate Array.
<b>FWHM</b>	Full Width at Half Maximum.
<b>HSF</b>	Hard Switching Fault.
<b>IE</b>	International Efficiency.
<b>IEA</b>	International Energy Agency.
<b>IEC</b>	International Electrotechnical Commision.
<b>IGBT</b>	Insulated Gate Bipolar Transistor.
<b>IMMTs</b>	Intelligent Monitoring and Maintenance Technologies.
<b>IPM</b>	Intelligent Power Module.
<b>MEPS</b>	Minimum Energy Performance Standards.
<b>MLI</b>	Modulation de Largeur d'Impulsions.
<b>MOSFET</b>	Metal Oxyde Semiconductor Field Effect Transistor.
<b>PCB</b>	Printed Circuit Board.
<b>PMLCAP</b>	Polymer Multi-Layer CAPacitor.
<b>RMS</b>	Root Mean Square.
<b>SCWT</b>	Short Circuit Withstand Time.
<b>SSD</b>	Soft Shut Down.
<b>TDDB</b>	Time Dependant Dielectric Breakdown.

# CONTEXTE DE L'ÉTUDE ET ÉTAT DE L'ART

## I Introduction

### I.1 Enjeux de la consommation d'énergie dans le monde

La consommation mondiale d'énergie en 2019 s'élevait à 116 204 TWh selon le rapport de l'International Energy Agency (IEA) paru en 2021 [1]. Parmi les sources d'énergie consommées, la consommation d'énergie de source électrique arrive en deuxième position derrière le pétrole avec près de 20 % ( $\approx 23\,000$  TWh) de l'énergie mondiale consommée (voir figure 1.1a). Malgré un déclin en 2020 dû au Covid-19, la consommation d'électricité a fortement augmenté (+4.5 %) en 2021 pour atteindre près de 25 000 TWh [2].



**Fig. 1.1 :** (a) Consommation finale d'énergie dans le monde par source (b) Consommation finale d'électricité dans le monde par secteur [1]

Le bâtiment et l'industrie sont aujourd'hui les deux secteurs les plus consommateurs d'électricité, avec près de 11 900 TWh et 9300 TWh respectivement, tandis que les transports (essentiellement ferroviaires aujourd'hui) représentent autour de 2 % de la consommation d'électricité (voir figure 1.1b). Compte tenu de l'efficacité supérieure des équipements utilisant l'électricité par rapport aux équipements utilisant directement des combustibles [3], la poursuite de l'électrification de tous les secteurs fera augmenter la part

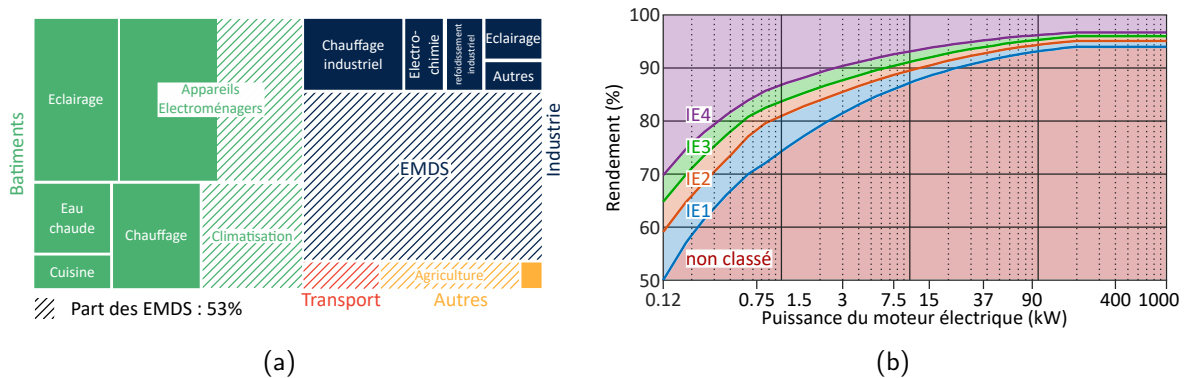
de l'électricité entre 24 % et 31 % d'ici 2040 selon les scénarios envisagés [4]. La gestion de l'énergie électrique constitue un des futurs enjeux majeurs [5].

À titre d'exemple, une amélioration de 1 % de l'efficacité énergétique des systèmes électriques représenterait une économie de 230 TWh soit la production annuelle de 38 (sur 56) réacteurs nucléaires français [6].

## I.2 Electric Motor-Driven System (EMDS)

D'après l'US U.S Department of Energy (DOE), les "systèmes entraînés par moteur électrique" (Electric Motor-Driven System (EMDS)) sont responsables de plus de la moitié de l'énergie électrique consommée par l'industrie américaine [7]. L'IEA estime la part des EMDS à 70 % de la consommation électrique mondiale du secteur industriel. Plus généralement, selon une étude en 2014 [8] et 2019 [4], la part des EMDS, tout secteur confondu, s'élevait à 53 % soit une consommation d'environ 12 000 TWh annuelle.

La figure 1.2a détaille la consommation d'électricité par utilisateur final. Dans le milieu de l'industrie, les EMDS sont utilisés pour entraîner des pompes, des ventilateurs, des systèmes d'air comprimé ; pour la manutention de matériaux, pour les systèmes de traitement, etc. Dans le secteur du bâtiment, les EMDS (principalement de très petite taille) font partie des nombreux appareils électroménagers dont les gens dépendent chaque jour (réfrigérateurs, machines à laver, climatiseurs, etc.).



**Fig. 1.2 :** (a) Consommation finale totale d'électricité dans le monde par utilisation finale [8]  
 (b) Standard IEC pour des moteurs 2 paires de pôle [9]

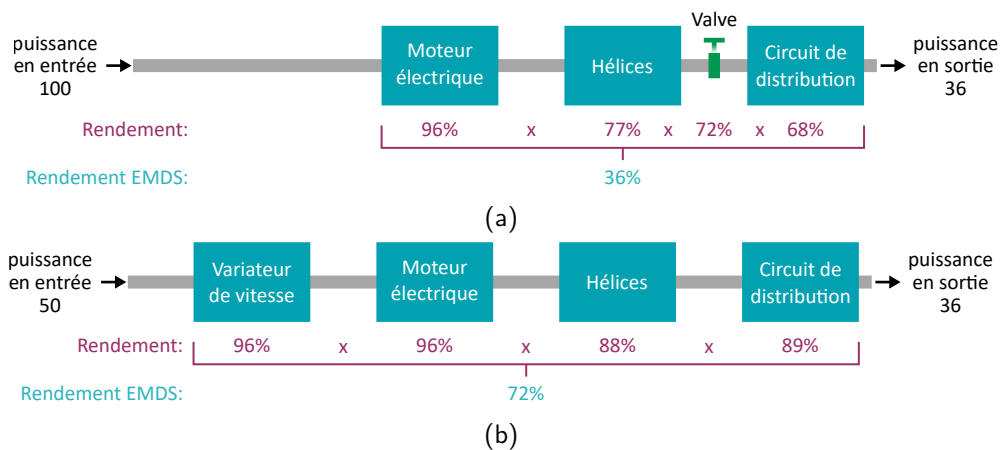
Le problème est qu'aujourd'hui, plus des 2/3 des moteurs électriques des EMDS ne sont même pas classés aux normes IE [4]. La Commission Internationale des systèmes Electromécaniques (International Electrotechnical Commission (IEC)) est la principale organisation mondiale pour la préparation et la publication de normes internationales pour toutes les technologies électriques, électroniques et connexes. Les normes d'efficacité internationale (International Efficiency (IE)) spécifient les niveaux d'efficacité pour la performance énergétique minimale des moteurs alternatifs basse tension [10]. Les normes

IE comportent quatre niveaux distincts, allant de IE1 à IE4 ou moteurs « à rendement super premium » (voir figure 1.2b).

Depuis les années 2000, de nombreux gouvernements utilisent ces normes IE pour leur politique nationale sur les performances énergétiques du pays. Ces normes de performance énergétique minimale (Minimum Energy Performance Standards (MEPS)) spécifient le rendement minimum des moteurs électriques pouvant être utilisés sur le territoire national. On peut citer en exemple l'Union Européenne (UE) qui a imposé la norme IE3 pour tous les moteurs à partir de 0.75 kW depuis juillet 2021. À partir de juillet 2023, les moteurs de fortes puissances ( $>75$  kW) devront respecter la norme IE4 [10]. En 2020, les pays étant responsables de 76 % de la consommation mondiale d'électricité ont fixé les MEPS pour les moteurs au niveau IE2 ou IE3. A titre d'exemple, l'application de ces normes permettrait d'économiser 32 TWh d'énergie consommée par les EMDS aux Etats-Unis seulement selon le DOE [11].

### I.3 Convertisseurs d'énergie pour applications EMDS

Les EMDS sont composés de la commande du moteur avec un convertisseur de fréquence variable, du moteur électrique lui-même, de l'équipement mécanique et de l'application entraînée (pompe, ventilateur, compresseur, etc.). La figure 1.3 illustre un EMDS de type système de ventilation.



**Fig. 1.3** : Illustration d'un EMDS type ventilateur industriel (a) réalisation traditionnelle (b) réalisation haute performance

Dans la configuration standard, le moteur électrique à vitesse fixe est dimensionné pour remplir le cahier des charges au débit d'air maximum. On vient ensuite réguler ce débit à l'aide d'une valve (voire figure 1.3a). Dans la plupart des cas, le système est surdimensionné ce qui diminue l'efficacité globale du système. Différents rapports [7], [8], [11] recommandent l'installation d'un variateur de vitesse (voir figure 1.3b). L'utilisation



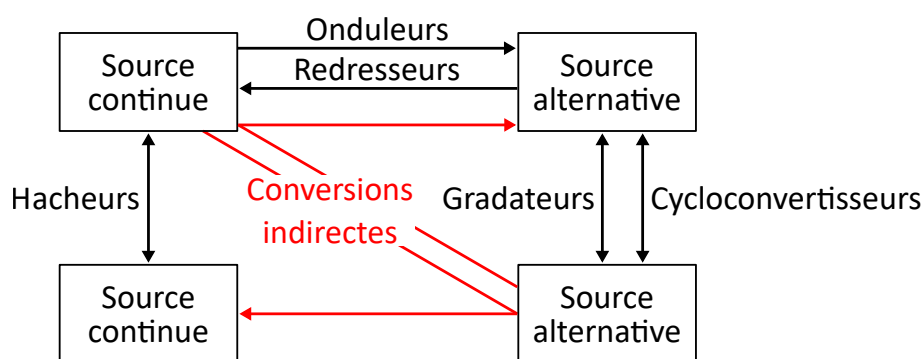
d'un variateur rend la régulation par valve inutile. Cela permet ainsi de mieux dimensionner les éléments autour du moteur (hélices, circuit de distribution) et donc d'augmenter l'efficacité globale du système.

Depuis 2020, toute l'attention des autorités publiques sur les moteurs électriques seuls s'est élargie vers les EMDS. L'objectif est d'étendre les MEPS aux composants entourant le moteur électrique afin de faire encore plus d'économie d'énergie. On pourra ainsi noter la mise en place de la norme IEC 61800-9-2 régulant les EMDS pilotés par variateur de vitesse. Depuis juillet 2021, la mise en place de variateurs de vitesse pour la commande des nouveaux EMDS dans l'UE est obligatoire [10]. L'utilisation des variateurs de vitesse devient un enjeu plus important que celui des moteurs électriques avec la possibilité d'économiser 115.2 TWh d'énergie aux US seulement selon le rapport du DOE [11].

## II Composants grand gap dans les convertisseurs forte puissance

### II.1 Architecture des convertisseurs d'énergie

Les convertisseurs d'énergie désignent l'ensemble des circuits électroniques permettant de transformer les caractéristiques électriques d'une source d'énergie électrique. Ces sources d'énergie électrique peuvent être de type continue (DC) ou alternative (AC). On peut alors ranger les convertisseurs dans 4 classes de conversions : DC/DC, AC/DC, AC/AC et DC/AC. La figure 1.4 illustre les différentes classes de conversions d'énergie en fonction des sources.



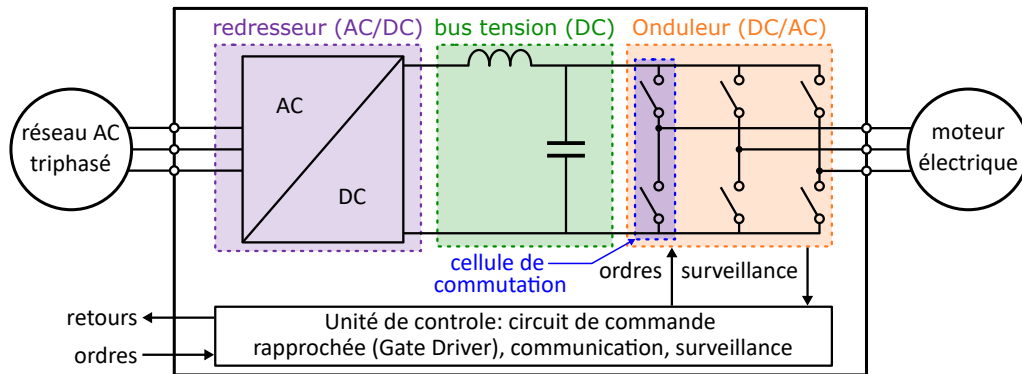
**Fig. 1.4 :** Classes de conversions d'énergie en fonction de la nature des sources et récepteurs [12]

Les convertisseurs sont majoritairement constitués d'alimentations à découpage. Une alimentation à découpage régule son potentiel de sortie à l'aide de composants électroniques de puissance utilisés en commutation. Ces commutations peuvent être naturelles comme le cas des ponts de diodes dans la famille des convertisseurs AC/DC ou bien pilotés

à l'aide de transistors comme les cas des circuits hacheurs dans la famille des convertisseurs DC/DC ou les circuits onduleurs de la famille des DC/AC.

## II.2 Topologies des variateurs de vitesse

Un variateur électronique de vitesse est un dispositif destiné à régler la vitesse et le couple d'un moteur électrique à courant alternatif en faisant varier respectivement sa fréquence et son courant. Sa source d'énergie électrique peut être continue comme dans le cas de véhicules électriques où les moteurs électriques des roues sont alimentés par une batterie fournissant une tension continue. Dans la majorité des cas (EMDS industriels, climatisation, appareils électroménagers, etc.), le variateur est directement branché sur le réseau électrique de type alternatif. La figure 1.5 illustre une réalisation usuelle du montage variateur de vitesse pour application EMDS.



**Fig. 1.5 :** Exemple de variateur de vitesse branché sur le réseau électrique

Le variateur de vitesse se base sur un convertisseur AC/AC indirect. Un redresseur AC/DC fabrique un bus DC à partir du réseau électrique AC (le plus souvent triphasé). Puis un onduleur vient ensuite moduler la tension DC afin de piloter le moteur électrique. Une unité de contrôle donne les ordres de commande (commande scalaire, commande vectorielle [13]) au convertisseur afin d'assurer la fonction souhaitée. Les onduleurs triphasés sont classiquement composés de six interrupteurs répartis en trois cellules de commutation (deux interrupteurs par cellule).

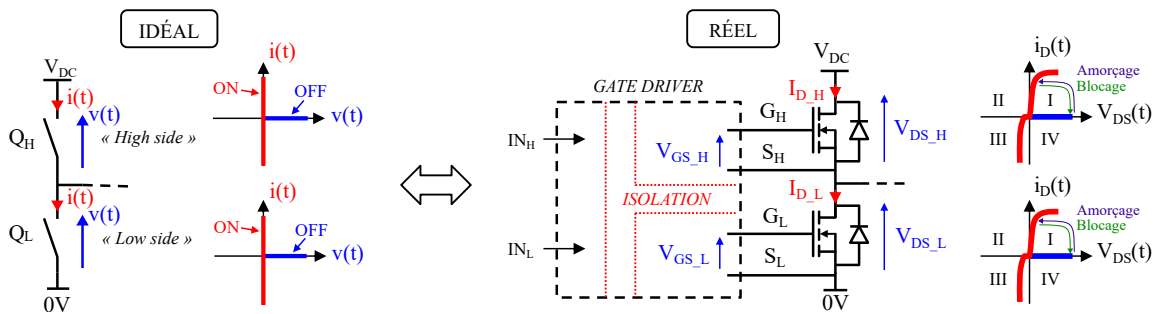
## II.3 Cellule de commutation

Une cellule de commutation est constituée d'interrupteurs dont la stratégie de commande permet de respecter les règles d'interconnexion des sources d'énergie de natures différentes. Dans les applications variateur de vitesse, la source de tension en entrée est continue. On utilise donc des interrupteurs unidirectionnels en tension. La source en sortie est une source de courant au sens de l'électronique de puissance. La source de courant

en sortie étant bidirectionnelle, on choisit des interrupteurs bidirectionnels en courant (voir figure 1.6 (à gauche)). Si les deux interrupteurs sont fermés en même temps, on vient alors court-circuiter la source de tension en entrée. On doit donc appliquer une commande complémentaire aux deux interrupteurs. De plus, il est indispensable d'intégrer une temporisation appelée « temps mort » entre la phase de blocage et d'amorçage des composants afin de compenser la différence entre le temps d'amorçage et de blocage.

Il existe différents types de semi-conducteurs susceptibles d'être utilisés comme les Insulated Gate Bipolar Transistor (IGBT) avec une diode en antiparallèle ou les Metal Oxyde Semiconductor Field Effect Transistor (MOSFET). La figure 1.6 (à droite) illustre une réalisation de la fonction cellule de commutation à l'aide de transistors de type N-MOSFET.

Le composant MOSFET est piloté à l'amorçage (passage d'interrupteur ouvert à interrupteur fermé) et au blocage (passage d'interrupteur fermé à interrupteur ouvert). Le pilotage des composants MOSFET s'effectue en contrôlant la tension  $V_{GS}$  entre la grille ( $G_H$  ou  $G_L$ ) et la source ( $S_H$  ou  $S_L$ ) du composant [14], [15]. Ces tensions sont appliquées à l'aide d'un circuit de commande couramment appelé "gate driver"



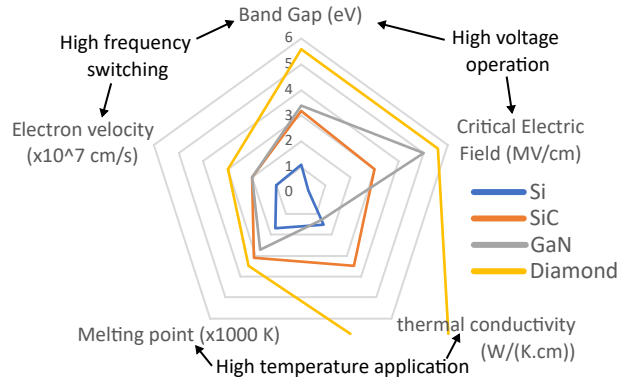
**Fig. 1.6** : Exemple de cellule de commutation à transistors N-MOSFETs

Dans le cas de transistors de puissance de type N-MOSFET, le pilotage des potentiels  $V_{GS_H}$  et  $V_{GS_L}$  implique une référence non commune des circuits de commande. Le gate driver possède donc deux voies isolées électriquement permettant le pilotage d'un transistor indépendamment de l'autre. La technologie CMOS (basée sur la complémentarité N-MOSFET et P-MOSFET) n'est pas envisageable en électronique de puissance à cause du manque de performances des P-MOSFET en termes de rapidité de commutation [16].

## II.4 Apport de la technologie grand gap SiC

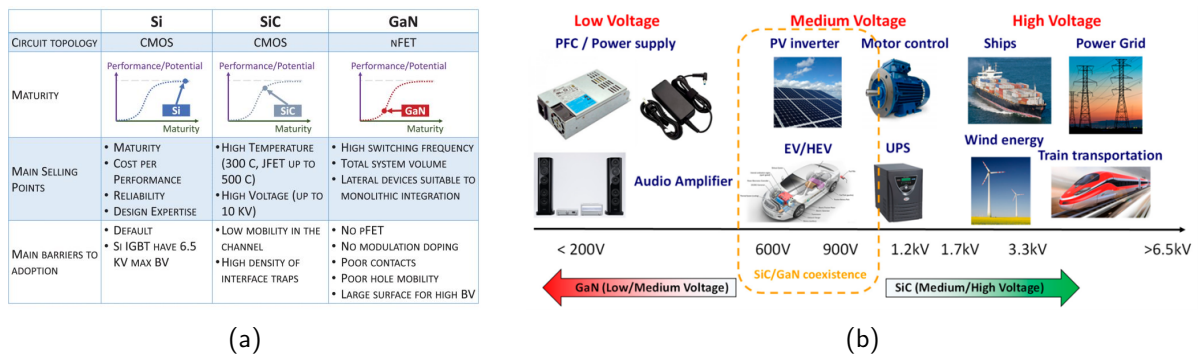
Historiquement, le Silicium a longtemps été le substrat incontournable en électronique de puissance du fait de son abondance naturelle. Depuis les années 2000, les progrès accomplis en procédé de fabrication sur la technologie "grand-gap" a ouvert de nouvelles possibilités. Les composants de puissance à base de Silicium (Si) sont de plus en plus

limités par rapport aux régimes de plus en plus sévères imposés par l'électronique de puissance moderne comme des fonctionnements haute température ou encore un rendement plus élevé (normes IE) [17]. Comme illustré à la figure 1.7, les composants "grand-gap" comme le SiC ou le GaN (Gallium Nitride) ont l'avantage de surclasser la technologie Silicium, malgré leurs coûts plus élevés [18]-[20].



**Fig. 1.7 :** Comparaison des caractéristiques des technologies Si, "grand-gap" et "super grand gap" [17].

Dans le cas de la technologie SiC, le couple point de fusion (melting point) + conductivité thermique (thermal conductivity) permet des applications haute température qui la rend très attractive pour les applications forte puissance. Dans le cas du GaN, on notera une très bonne mobilité des porteurs de charges permettant de fortes vitesses de commutation. On pourra noter l'apparition depuis 2020 des composants "super grand gap" comme la technologie diamant [21]-[24]. Cette nouvelle technologie fait l'objet de nombreuses études à cause de ses caractéristiques supérieures aux composants grand gap qui permettraient des fonctionnements notamment à plus hautes températures et tension que le SiC.



**Fig. 1.8 :** (a) Comparaison des technologies SiC en GaN [20] (b) Projection sur les applications en fonction des niveaux de tension [25].

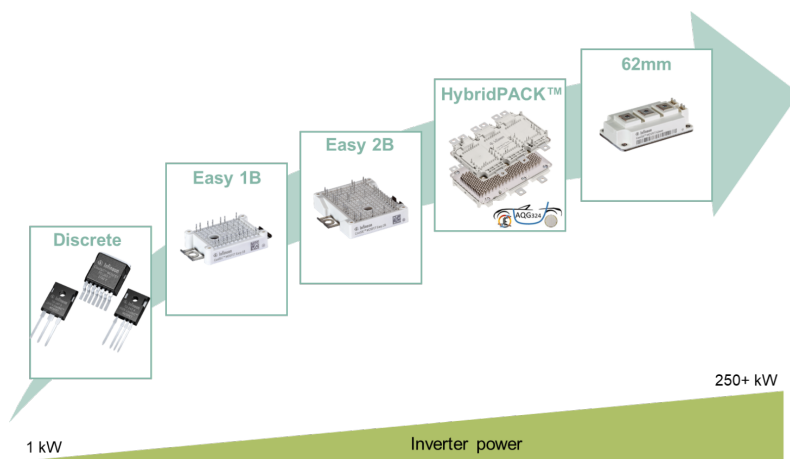
A l'heure actuelle, la technologie SiC présente le meilleur compromis entre performances et maturité commerciale [20] comme illustré à la figure 1.8a. En 2019, le fabricant

STMicroelectronics proposait une représentation des domaines d'applications des technologies SiC en GaN en fonction des tensions d'application à la figure 1.8b. Avec un énorme avantage au niveau des applications hautes températures, la technologie SiC semble s'imposer pour les applications fortes puissances où la gestion des pertes thermiques est primordiale. De plus, malgré une tenue au champ électrique supérieure (5 MV/cm pour le GaN contre 3 MV/cm pour le SiC), l'absence de la technologie "trench" rend les applications fortes tensions difficiles pour la technologie GaN. On va donc privilégier la technologie SiC pour les applications fortes tensions (>1 kV). On y retrouve notamment les applications convertisseurs pour contrôle d'EMDS. La technologie GaN s'installera dans les applications faibles tensions à fortes intégrations grâce à sa vitesse de commutation élevée qui permet la diminution du volume des éléments passifs du convertisseur.

### III Intelligent Power Module (IPM)

#### III.1 Etat de l'art des IPM actuels

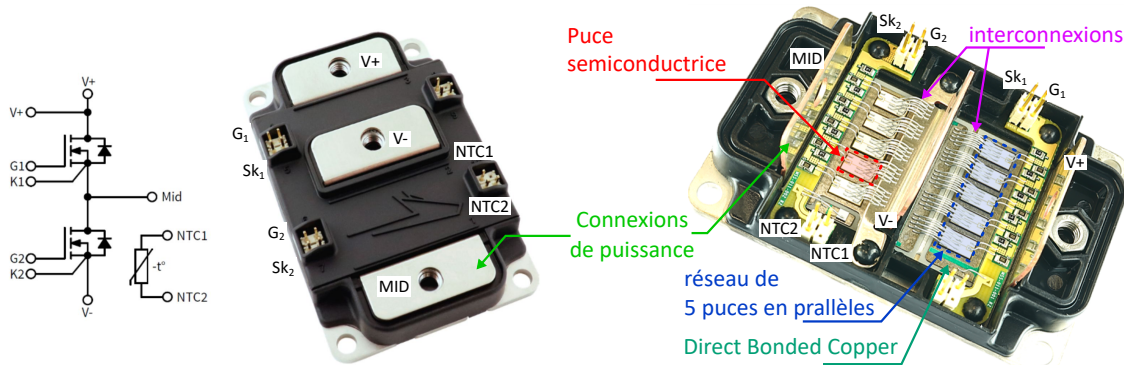
Un interrupteur de cellule de commutation peut être réalisé à l'aide de composants IGBT, MOSFET, etc. en technologie Si, SiC, etc. Le semi-conducteur est fabriqué sous forme de puce puis assemblé dans un boîtier (TO-247 ou HybridPACK par exemple). Ce boîtier sert à la fois de jonction électrique et d'interface mécanique entre la puce et le circuit électrique. Comme illustré à la figure 1.9, pour les applications faibles puissances (<1 kW), on utilise des composants discrets (1 puce) dans des boîtiers métalliques comme le TO-247.



**Fig. 1.9** : Fabricant Infineon : Gamme CoolSiC™ MOSFET.

Au fur et à mesure que la puissance du convertisseur augmente, les contraintes en courant et de dissipation thermique ne permettent plus l'utilisation d'une seule puce à la

fois. On va alors privilégier des boîtiers module de puissance (voir figure 1.10) contenant plusieurs puces en parallèles afin d’augmenter la densité de puissance.



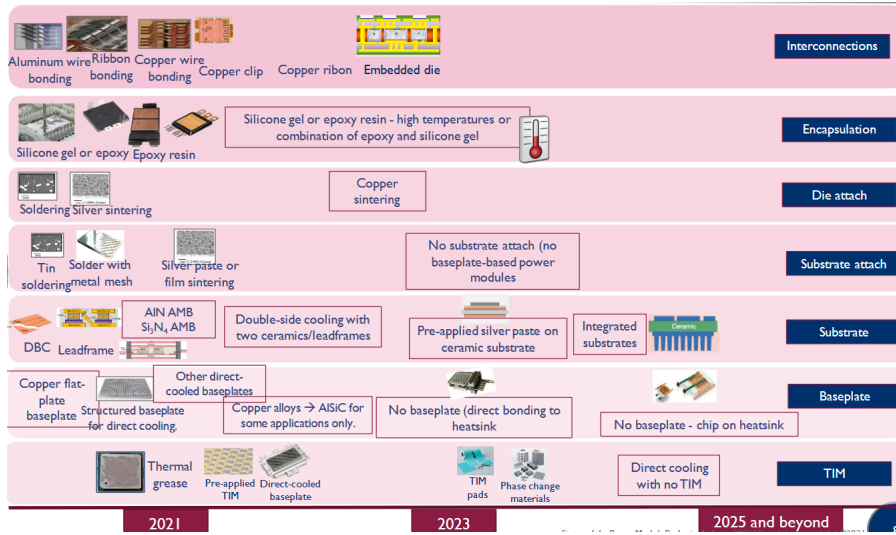
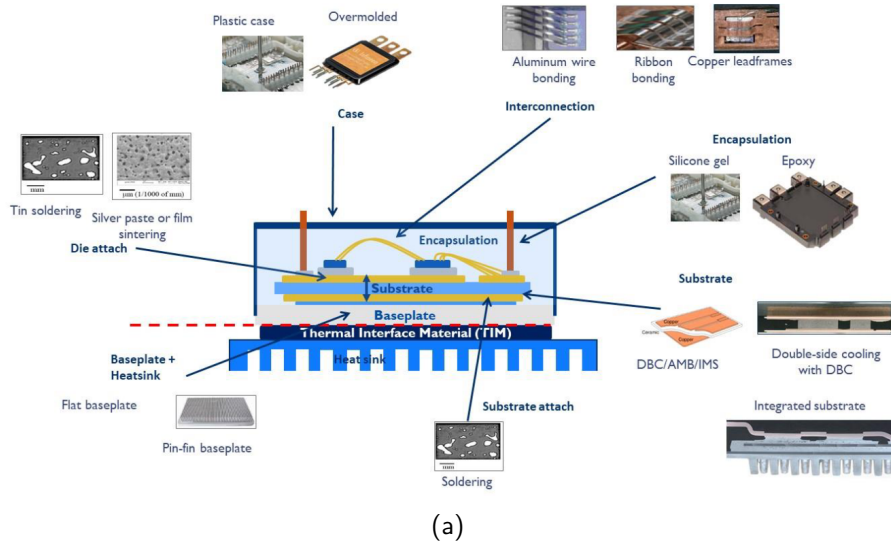
**Fig. 1.10** : Fabricant Wolfspeed : module de puissance SiC en boîtier XM3 1200 V avec sa vue interne

La figure 1.11a donne un aperçu de la réalisation pratique d’un module de puissance du commerce en 2021 [26]. La puce de puissance est généralement soudée sur un substrat DBC (Direct Bonded Copper). Le substrat a pour objectif d’assurer une isolation électrique entre la puce de puissance au potentiel et la semelle (baseplate) à la terre tout en assurant une bonne conductivité thermique afin de diffuser un maximum de chaleur dans un dissipateur thermique. Des interconnexions assurent ensuite le raccord électrique entre la puce et les connexions de puissances. Le tout est encapsulé dans un gel diélectrique pour isoler électriquement les puces des interconnexions et prévenir tout claquage. On referme ensuite le boîtier pour assurer la rigidité de l’ensemble.

Cet ensemble complexe met en œuvre de nombreuses technologies qui font encore aujourd’hui l’objet de nombreuses études comme le montre la figure 1.11b. On pourra noter les études sur la technologie press-pack [27], [28] visant à augmenter la fiabilité des interconnexions [29]. Les recherches sur des encapsulants haute température [30] ont pour objectifs d’augmenter la tenue en température des modules afin de satisfaire les nouvelles conditions d’utilisation de la technologie SiC. On pourra noter par exemple le boîtier XM3 de Wolfspeed permettant des températures de fonctionnement jusqu’à 175 °C là où les boîtiers 62mm dimensionnés pour la technologie IGBT Si ne permettent pas de dépasser 125 °C [31]. Cependant, avec l’arrivée de la technologie grand gap, de nouvelles contraintes s’ajoutent au module de puissance.

### III.2 Enjeux des IPMs de demain

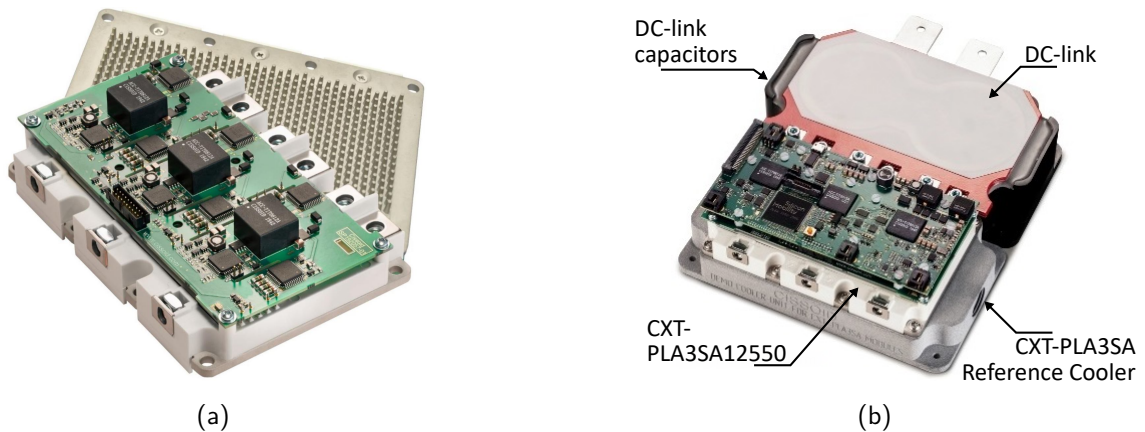
L’un des avantages de la technologie SiC par rapport au Si est sa capacité à fonctionner à des fréquences de commutation élevées. Ces fréquences élevées permettent ainsi la réduction en taille des éléments passifs et donc d’augmenter la densité de puissance du



**Fig. 1.11 :** (a) Réalisation de boîtiers pour modules de puissance (b) Évolution de la technologie boîtier pour modules de puissance [26]

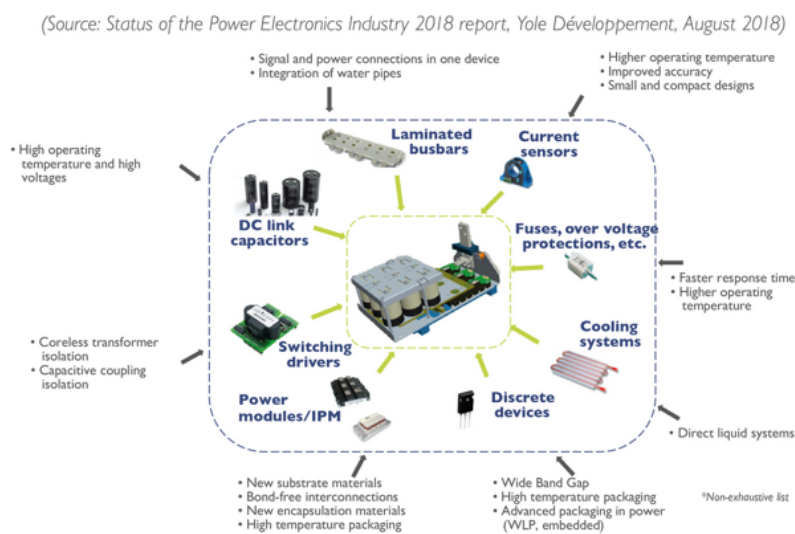
système [32], [33]. Cependant, ces fréquences élevées impliquent aussi un impact plus fort des éléments parasites du module [34], [35] sur sa commande et ses performances. Une des solutions proposée dans la littérature est l'utilisation de la connexion kelvin afin de séparer le courant de grille du semi-conducteur du courant de puissance [36]. Afin de minimiser les inductances de boucle de la partie commande et donc de garantir un meilleur contrôle du module à haute fréquence, la tendance dans les IPMs de demain est à l'intégration du circuit de commande au plus proche du module de puissance [37], [38]. Cette tendance est déjà observable dans les modules grand commerce comme illustrée à la figure 1.12a

Pour une tension et un courant nominal donnés, la partie active nécessaire d'un semi-conducteur SiC est plus petite que celle d'un composant Si. Ces densités de courant élevées (jusqu'à  $5 \text{ A/mm}^2$ ) rendent possible des convertisseurs plus compacts [41], mais



**Fig. 1.12 :** (a) 3-Phase 1200 V/550 A SiC MOSFET IPM CXT-PLA3SA12550 avec son circuit de commande rapproché CISSOID HADES2<sup>®</sup> [39] (b) Intégration de l'IPM Cissoïd sur une plateforme onduleur intégrée [40]

imposent aussi des contraintes plus fortes sur la résistance thermiques des modules [42]. Ces contraintes forcent les constructeurs à développer des technologies afin de réduire les interfaces thermiques entre la puce semi-conductrice et le dissipateur thermique pour permettre une meilleure évacuation des calories générées par la puce. On voit notamment apparaître la technologie du "Pin Fin Baseplate" (voir figure 1.12a) qui consiste à brazzer des tubes fins directement sur la semelle du module [43], [44]. On vient ensuite faire circuler un fluide calo-porteur autour des tubes pour extraire la chaleur produite par les puces semi-conductrices. La figure 1.12b illustre un exemple de circuit développé par Cissoïd, Advanced Conversion Inc et Nac Semi. La plateforme intègre aussi un bus DC (DC-link) avec des capacités de découplage au plus proche de l'IPM pour garantir les meilleures performances à haute vitesse de commutation.



**Fig. 1.13 :** Vision de l'Intelligent Power Module de demain [45]

Au final, l'IPM de demain ne se contente plus de contenir les semi-conducteurs de puis-

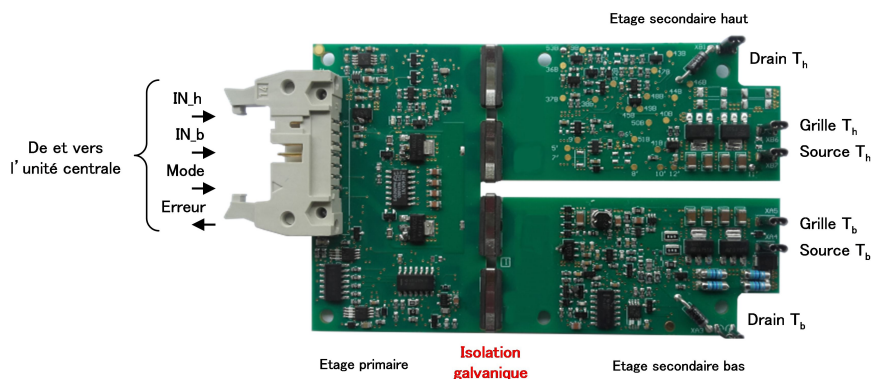


sance. L'IPM devient un ensemble de solutions (composants passifs, circuit de commande, circuit de refroidissement, circuit de protection, etc.) optimisées autour du composant semi-conducteur afin de pouvoir tirer le maximum des nouvelles technologies grand gap comme illustré à la figure 1.13.

## IV Smart Gate Drivers

### IV.1 Circuit de commande de grille conventionnel

Le pilotage des semi-conducteurs de puissance nécessite un circuit de commande rapproché alimenté en énergie appelé "gate driver" ou "driver". Le driver est un amplificateur de puissance qui accepte les signaux faibles puissances d'un circuit de commande et produit en sortie un signal de puissance adéquat au bon pilotage de la grille d'un semi-conducteur de puissance [46], [47], [48]. Dans les applications module de puissance, le driver assure la liaison entre le circuit de commande (basse tension) et le semi-conducteur de puissance (haute tension). Il lui est alors confié l'isolation galvanique assurant l'intégrité du matériel et la sécurité des utilisateurs. Un exemple de driver est présenté à la figure 1.14.



**Fig. 1.14** : Carte driver YEC0375 réalisée par l'IETR en collaboration avec ECA group [49]

Le synoptique du driver précédent est présenté à la figure 1.15. On y distingue l'étage primaire à gauche et deux étages secondaires séparés par une isolation galvanique. Le driver se caractérise par quatre éléments essentiels :

1. L'unité de contrôle situé au primaire : Il gère les flux d'informations depuis et vers l'unité centrale. On lui attribue notamment la gestion des ordres  $IN_h$  et  $IN_b$  et l'application des temps morts, essentiel pour éviter tout court-circuit de bras [14].
2. Le circuit de transmission des ordres : Il assure la transmission des ordres de commandes  $IN_h$  et  $IN_b$  issus de l'unité de contrôle à travers l'isolation galvanique. Il

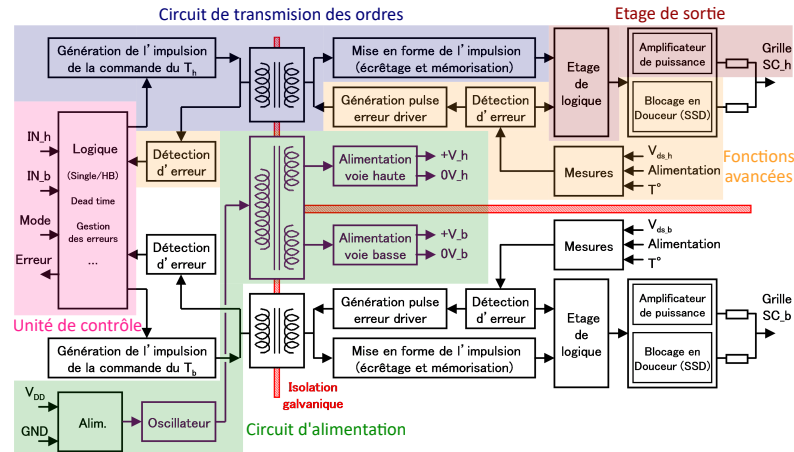


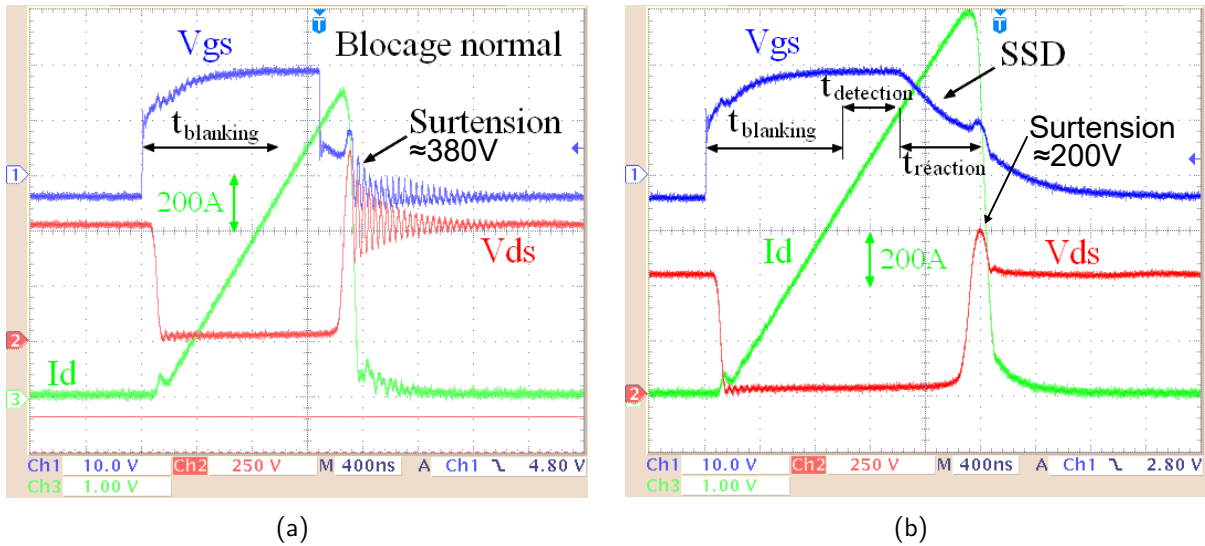
Fig. 1.15 : Synoptique d'un driver usuel [50]

peut être réalisé à l'aide d'isolateurs numériques capacitifs [51], de transformateurs d'impulsion [50] (exemple de la figure 1.15) ou de transformateurs coreless [52].

3. L'étage de sortie : Il est généralement constitué d'un level shifter et d'un amplificateur de puissance. Les impulsions de commande transmises aux secondaires sont mises en forme et mémorisées avant d'être amplifiées en puissance pour polariser correctement la jonction grille-source du MOSFET.
4. Le circuit d'alimentation : Pour faire commuter le composant de puissance, l'étage de sortie fournit des courants impulsionnels importants afin de charger la grille du composant. Même si le courant impulsionnel est fourni par des capacités de découplage, la consommation en énergie moyenne du circuit secondaire est donc fortement tributaire de l'énergie nécessaire à la charge de la grille et de la fréquence de commutation du composant de puissance. Dans les cartes driver, le circuit secondaire est la plupart du temps alimenté en énergie depuis le circuit primaire par l'intermédiaire d'un convertisseur DC-DC isolé faible puissance [53].

Depuis quelques années [14], le driver se voit attribuer de nouvelles fonctions avancées comme la surveillance de ses alimentations ou la surveillance de la température du module ou du driver lui-même. La fonction avancée plus connue est la surveillance de la désaturation du composant de puissance à l'état passant [54] pour détecter les courts-circuits de bras. Lors d'un court-circuit de bras d'onduleur, le fort  $di/dt$  positif généré dans les inductances parasites réparties au sein du module (bondings) entraîne une forte surtension ( $V = L \cdot di/dt$ ) aux bornes du composant de puissance. Le circuit de désaturation utilise cette surtension pour détecter le court-circuit. Lorsque le court-circuit est constaté, il est impératif de bloquer rapidement le composant. Cependant, le fort  $di/dt$  négatif au blocage "dur" du composant aura pour effet de créer une surtension importante comme illustré figure 1.16a. La somme de cette surtension avec la tension du bus peut dépasser

la tension nominale du composant.



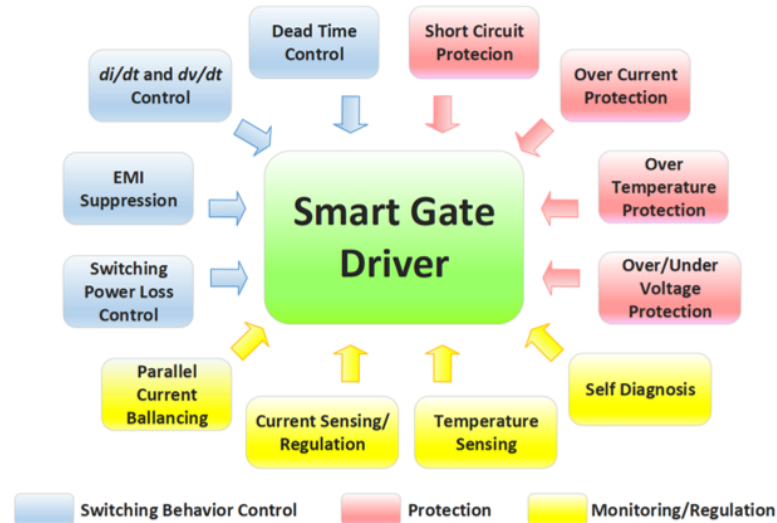
**Fig. 1.16 :** Essais de court-circuit de HSF sur un module SiC 1,2kV ( $C_{GS} = 500$  V) (a) Comparaison entre un blocage dur (b) un blocage en SSD [55]

Afin de ne pas détruire le composant par surtension, on utilise un circuit Soft Shut Down (SSD). Le mécanisme SSD a pour objectif de maîtriser le  $di/dt$  au blocage du composant lors d'une phase de court-circuit [56]. Ce blocage en douceur limite la vitesse de croissance de la tension  $V_{DS}$  pour limiter l'amplitude de la surtension aux bornes du composant de puissance comme illustré à la figure 1.16b.

## IV.2 Ajout des fonctions intelligentes

De nouvelles fonctionnalités pour les futurs convertisseurs d'électronique de puissance à base de composants SiC sont nécessaires pour augmenter leur efficacité et réduire leurs coûts et leur poids, tout en assurant un fonctionnement sûr et fiable [41]. Un élément clé de ces améliorations est l'intégration de circuits de mesure, de fonctions de contrôle et de topologies de commande de grille des semi-conducteurs de puissance améliorées dans les Smart Gate Driver [57].

En accord avec la vision de l'IPM (voir figure 1.13), le smart gate driver de demain ne se contente plus de piloter et d'assurer la protection du composant de puissance mais doit tirer le meilleur parti du semi-conducteur. Comme illustré à la figure 1.17, les fonctionnalités peuvent se regrouper sous trois axes : le contrôle du comportement de commutation (Switching Behavior Control), la protection du composant (Protection) et sa surveillance en temps réel (Monitoring Regulation).



**Fig. 1.17 :** Fonctionnalités de drivers intelligents (smart gate driver) modernes pour les MOSFET de puissance [58]

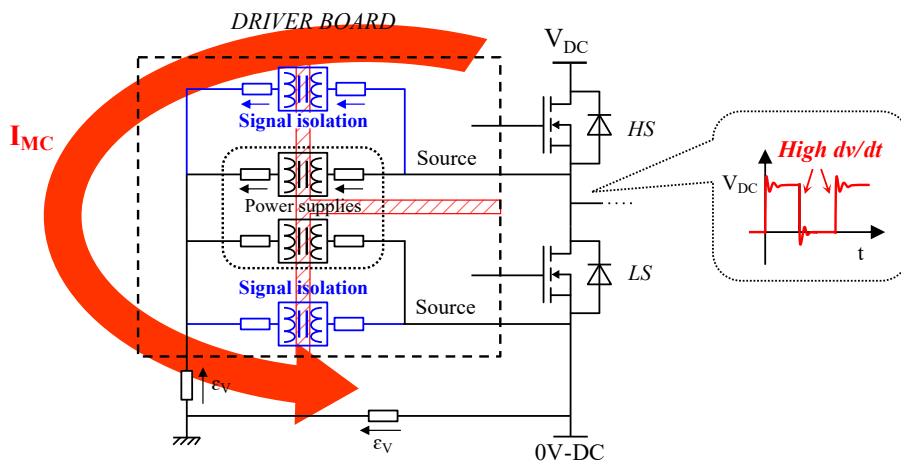
Les solutions du premier axe sont principalement utilisées pour optimiser le comportement de commutation du composant de puissance en fonction du cas d'utilisation. L'objectif est de trouver un compromis acceptable entre la vitesse de commutation, les pertes en commutation et les interférences électromagnétiques (EMI) générées par les commutations. La problématique des EMI sera discuté à la section IV.2.1. La commande de grille active comme solution a été largement discutée dans la littérature. On y retrouve des solutions par modification de la résistance de grille [59], [60], par modulation de la tension grille-source [61], [62] ou par asservissement du courant de grille [63], [64]. La commande active peut être faite de manière analogique en boucle fermée pour régler les caractéristiques  $dv/dt$  et  $di/dt$  [65], [66], [67]. Cette technique de contrôle se caractérise généralement par une conception de circuit simple, une vitesse dynamique élevée et une faible consommation d'énergie. Une autre méthode consiste à utiliser une commande numérique intelligente pour obtenir une mise en forme adaptative des caractéristiques  $di/dt$  et  $dv/dt$  [68], [69]. Ce type de solution présente l'avantage d'une grande flexibilité dans les stratégies de pilotage et d'une grande liberté de divers paramètres tels que la résistance de grille, le courant de grille et les étages de commande. Certains travaux combinent également la rétroaction analogique et le contrôle numérique pour obtenir une commutation intelligente [70], [71].

Dans le deuxième axe, il existe divers circuits de protection comme la protection contre les court-circuits de bras déjà présenté ou la surchauffe. Ces fonctions ont été bien développées au cours des dernières décennies [72]. Les études récentes se focalisent sur la façon de rendre ces schémas de protection plus robustes et avec un temps de réaction plus rapide [73]. Des exemples de fonctions de protection avancées seront donnés à la section IV.2.2

Le dernier grand axe est plutôt destiné à la surveillance et à la régulation du composant de puissance. Les applications critiques nécessitent une fiabilité élevée des systèmes d'électronique de puissance. On va alors se focaliser sur une surveillance de la réponse thermique du composant [74], [75], et le suivi en temps réel de son état de santé [76], [77]. Le tout est couplé avec une gestion thermique active du composant axée sur la fiabilité [78], [79], [80]. Plus de détails seront donnés à la section IV.2.3.

#### IV.2.1 Common-Mode Transient Immunity (CMTI)

Les composants de puissance grand gap permettent des temps de commutation plus courts et donc des pertes dans le convertisseur par commutation plus faible que leurs homologues Si [81]. Ces vitesses de commutation élevées entraînent des contraintes de compatibilité électromagnétique fortes sur le driver [82], [82]. L'électronique du circuit secondaire étant référencé par rapport à la source du composant, cette forte variation de potentiel peut se retrouver entre les références du circuit primaire et des circuits secondaires, selon l'état du transistor voisin. Compte tenu de la proximité étroite entre le driver et le composant de puissance, cette forte variation de potentiel peut se traduire par un courant de mode commun entre les masses du primaire et des secondaires comme illustré à la figure 1.18. Pour s'assurer que le courant de mode commun ne soit pas interprété comme un ordre de commande par l'étage de sortie, une attention particulière doit être portée à la réduction de la capacité parasite de la ligne de transmission à travers l'isolation galvanique.



**Fig. 1.18** : Modélisation des courants de mode commun à travers l'isolation électrique des cartes driver [83]

Le test Common-Mode Transient Immunity (CMTI) quantifie la variation maximale  $dv/dt_{max}$  appliquée entre les masses des deux circuits isolés qui ne déclenche pas les circuits de détection. Cela garantit que le côté émetteur et le côté récepteur de la ligne

de transmission isolée fonctionnent sans erreurs dans l'application spécifiée. Dans le cas des modules de puissance, les vitesses de commutations des composants grand gap (CAB500M17HM3 : 30 kV/ $\mu$ s ; CXT-PLA3SA12550A : 25 kV/ $\mu$ s) supérieures aux composants Si (FF450R12KE4 : 6 kV/ $\mu$ s) obligent des CMTI toujours plus importantes ( $>50$  kV/ $\mu$ s).

#### IV.2.2 Moyens de protection avancés

La surveillance du court-circuit de bras passe par la détection de la surtension aux bornes des inductances parasites du module lors des forts  $di/dt$  du court-circuit et par la désaturation du semi-conducteur de puissance. Néanmoins, pour pouvoir profiter au maximum des composants grand gap, des efforts ont été faits côté packaging afin de diminuer les inductances de boucle du module [34] :

- 10.2 nH pour un module SiC XAB400M12BM3 1200 V/400 A boîtier 62mm
- 6.7 nH pour un module SiC CAB400M12XM3 1200 V/400 A dans le nouveau boîtier XM3.

L'inductance de boucle représente l'inductance équivalente du module entre les connexions de puissances  $V+$  et  $V-$  (voir figure 1.10) quand les deux transistors sont amorcés. Toutefois, si ces inductances parasites sont un frein à la vitesse de commutation du composant de puissance, il en est de même pour le courant de court-circuit. En effet, lors d'un court-circuit de bras, la pleine tension du bus bar continu se retrouve aux bornes du module de puissance. Par effet inductif, la croissance du courant de court-circuit n'est donc limitée que par l'inductance de boucle du module [84]. Le fort  $di/dt$  lors des courts-circuits réduit le temps de tenue aux courts-circuits (Short Circuit Withstand Time (SCWT)) du composant SiC [85]. La chaîne de détection et de mise en sécurité du composant SiC doit donc être plus rapide que pour les composants Si. Les études de la littérature sur ces circuits se divisent en deux parties [86] : la détection du court-circuit et la mise en sécurité du composant.

##### IV.2.2.1 Détection du court-circuit

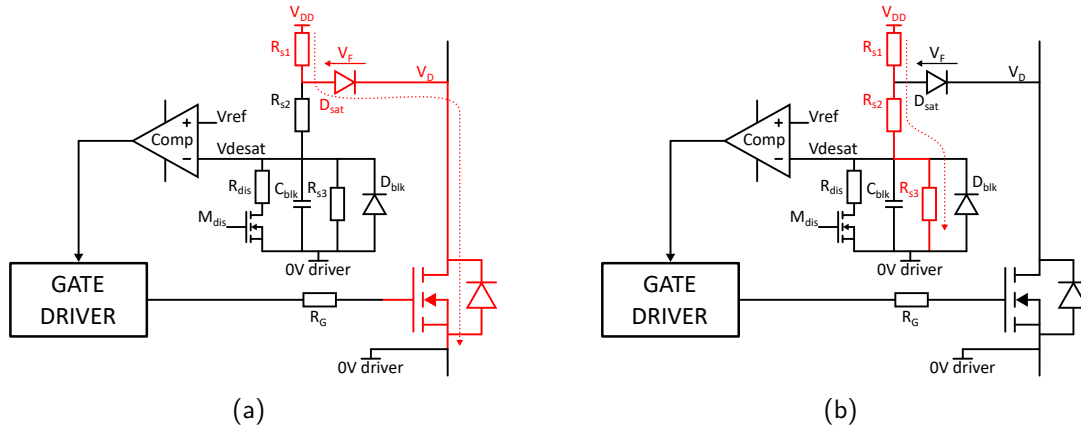
La solution la plus connue utilise la désaturation du composant de puissance. Lors d'un court-circuit, la tension  $V_{DS}$  du MOSFET augmente à cause des impédances parasites du module. On vient alors la comparer à une valeur de référence  $V_{ref}$  pour détecter le court-circuit. La figure 1.19 illustre un exemple de circuit de désaturation. Dans le cas où le composant de puissance est amorcé, le potentiel  $V_D$  est inférieur à  $V_{DD}$ , la diode  $D_{sat}$  conduit (voir figure 1.19a). L'équation (1.1) donne alors la valeur de la tension  $V_{desat}$  en entrée du comparateur.

$$V_{\text{desat}} = (V_D + V_F) \cdot \frac{R_{s3}}{R_{s2} + R_{s3}} \quad (1.1)$$

Quand le composant est en court-circuit, le potentiel  $V_D$  croit rapidement jusqu'à dépasser  $V_{DD}$ , la diode  $D_{\text{sat}}$  se bloque pour protéger le circuit (voir figure 1.19b). Le potentiel  $V_{\text{desat}}$  est exprimé par la relation (1.2).

$$V_{\text{desat}} = V_{DD} \cdot \frac{R_{s3}}{R_{s1} + R_{s2} + R_{s3}} \quad (1.2)$$

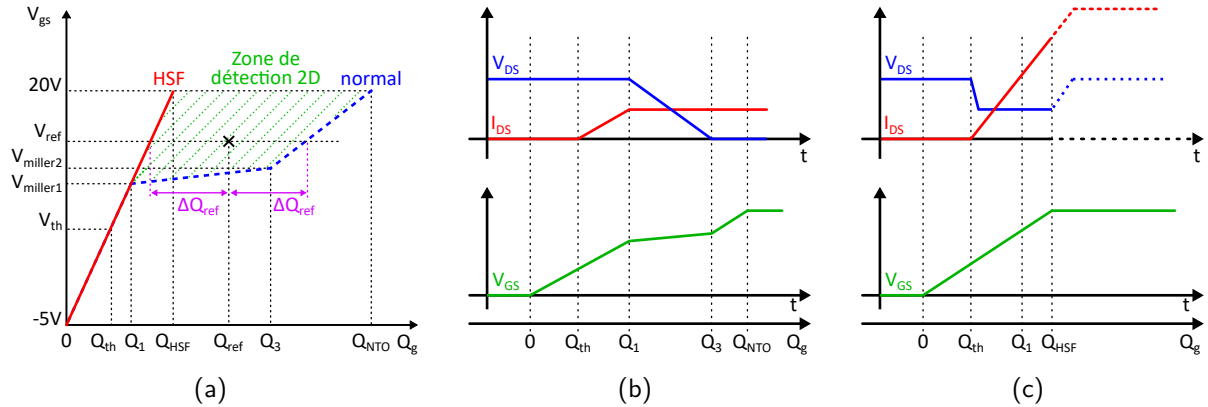
Quand le composant est bloqué, un transistor  $M_{\text{dis}}$  vient décharger la capacité  $C_{\text{blk}}$  pour être prêt au prochain amorçage. La détection de court-circuit par désaturation nécessite l'implémentation d'un temps de masquage (blanking time) après l'amorçage du transistor de puissance pendant lequel le régime de commutation chaotique impose d'inhiber la détection de court-circuit.



**Fig. 1.19** : Exemples de méthodes de détection par désaturation : chemin du courant du circuit [87] (a)  $V_{DS} < V_{DD}$  (pas de court-circuit) (b)  $V_{DS} > V_{DD}$  (court-circuit ou composant bloqué)

Une autre méthode de détection est basée sur la caractéristique de charge de la grille  $Q_G(V_{GS})$  comme illustrée figure 1.20a. Pour amorcer le composant de puissance, le driver fait varier la tension  $V_{GS}$  de  $-5\text{ V}$ , tension de blocage, à  $+20\text{ V}$ , tension d'amorçage (composants SiC 2<sup>ème</sup> génération :  $+20\text{ V}/-5\text{ V}$ , composants SiC 3<sup>ème</sup> génération :  $+15\text{ V}/-4\text{ V}$ ).

La figure 1.20b illustre les formes d'ondes  $V_{DS}$ ,  $I_{DS}$  et  $V_{GS}$  classiques d'un amorçage en fonctionnement normal (pas de court-circuit). Quand la tension  $V_{GS}$  dépasse la tension de seuil  $V_{TH}$  du composant, son canal de conduction s'ouvre. Le courant  $I_{DS}$  croît. Quand il atteint sa valeur maximale, les capacités parasites du composant se vident dans son canal de conduction :  $V_{DS}$  décroît. Au fur et à mesure que la tension  $V_{DS}$  chute, le courant  $I_G$  injecté par le driver est alors totalement dérivé dans la capacité de Miller  $C_{GD}$  du composant. La croissance de  $V_{GS}$  ralentit, c'est le plateau de Miller. Une fois les capacités



**Fig. 1.20** : Méthode utilisant la charge de grille [88] (a) caractéristique  $Q_G(V_{GS})$  (b) formes d'ondes en fonctionnement normal (c) formes d'ondes sous court-circuit de bras (HSF)

$C_{DS}$  et  $C_{GD}$  vidées ( $V_{DS} \approx 0$  V), le courant  $I_G$  se remet à charger la capacité  $C_{GS}$  jusqu'à sa valeur finale  $V_{GS} = +20$  V.

Un amorçage sur un court-circuit de bras (Hard Switching Fault (HSF)) apparaît quand le composant de puissance est amorcé alors que l'autre composant de la cellule de commutation est encore amorcé. La figure 1.20c illustre cette fois-ci les formes d'ondes en cas d'HSF. La tension du bus se répartit entre les deux composants de puissances du bras. La variation du courant  $I_{DS}$  n'est plus limitée que par l'inductance de boucle du module, ce qui a pour conséquence un plus fort  $di/dt$  à travers le composant. Comme la tension  $V_{DS}$  ne chute plus, la capacité de Miller  $C_{GD}$  ne se décharge plus : le plateau de Miller n'apparaît pas. Une fois le composant totalement amorcé, le courant  $I_{DS}$  continue de croître jusqu'à atteindre une valeur maximale.

Sur la caractéristique  $Q_G(V_{GS})$  de la figure 1.20a, on voit apparaître une zone 2D (hachurée en verte) qui peut servir de zone de détection. Plus cette zone est grande, plus le circuit de détection sera fiable et robuste. Afin de quantifier cette robustesse, B.Yazan [89] propose d'utiliser le rapport  $S$  entre la quantité de charge sous court-circuit  $Q_{HSF}$  et celle en fonctionnement normal  $Q_{NTO}$  comme exprimé à l'équation (1.3). Plus ce rapport est grand, plus la zone de détection 2D diminue et plus les marges  $\Delta Q_{ref}$  (en violet sur la figure 1.20a) du circuit diminuent.

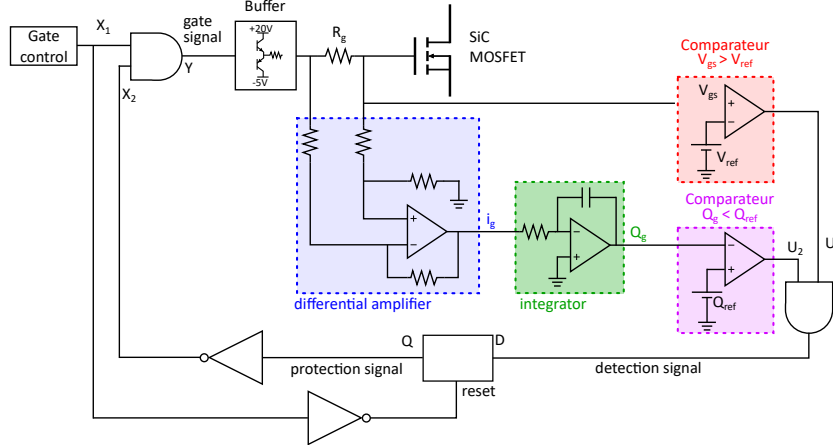
$$S = \frac{Q_{HSF}}{Q_{NTO}} \quad \text{avec } S \in [0, 1] \quad (1.3)$$

Cette méthode s'adapte très bien à la technologie Si IGBT avec des rapports  $S$  très faibles ( $S_{Si} \approx 0.2$ ). Son utilisation sur les composants grand gap ( $S_{SiC} \approx 0.5-0.6$  et  $S_{GaN} > 0.7$ ) est plus complexe et demande une électronique de précision.

La figure 1.21 propose un exemple de circuit de détection basé sur la méthode  $Q_G(V_{GS})$ . Un montage différentiel permet d'estimer le courant de grille  $i_g$  qui est ensuite intégré afin



d'obtenir la charge  $Q_G$  injectée dans la grille du composant de puissance. On compare la caractéristique  $Q_G(V_{GS})$  suivie par le composant avec un couple de valeur de référence ( $Q_{ref}, V_{ref}$ ) pour détecter le court-circuit.

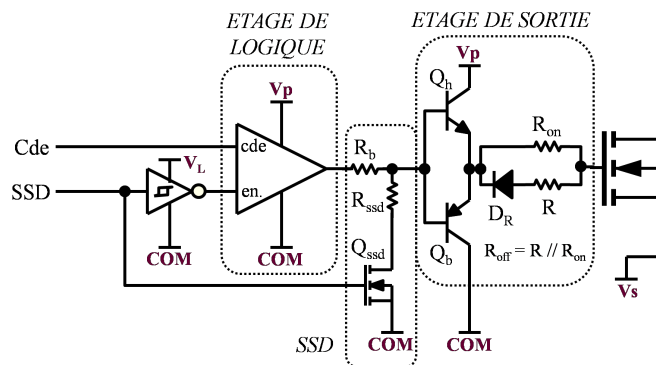


**Fig. 1.21** : Exemple de mise œuvre du circuit de détection du court-circuit [88], [90]

Cette méthode possède l'avantage de détecter un court-circuit pendant la phase d'amorçage contrairement aux circuits de désaturation qui doivent attendre que le composant soit pleinement amorcé. Elle est cependant plus complexe à mettre en œuvre et nécessite une calibration en fonction du composant et de sa technologie. Au final, on préférera la méthode par désaturation à cause de sa plus grande robustesse au bruit et de sa plus grande fiabilité.

#### IV.2.2.2 Mise en sécurité du composant de puissance

Une fois le court-circuit détecté, on vient mettre le composant en sécurité. Afin de ne pas détruire le composant par surtension au blocage, on utilise un circuit Soft Shut Down (SSD).

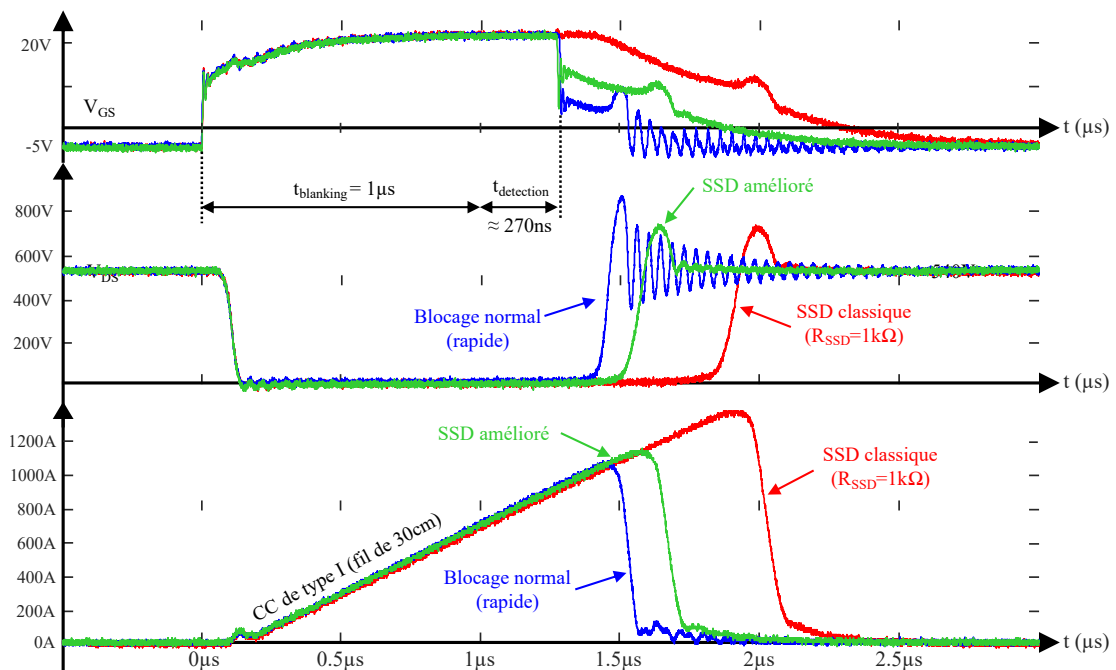


**Fig. 1.22** : Etage de sortie et gestion SSD sur un étage de sortie à transistors bipolaires

La figure 1.22 illustre une mise en œuvre d'un circuit SSD sur un étage de sortie à transistors bipolaires. En fonctionnement normal, l'étage de logique reçoit les ordres de commande du composant de puissance *Cde*. Ce signal "basse tension" (généralement 0-3.3V) est mis à niveau par l'étage de logique pour être compatible avec les niveaux de tension d'amorçage et de blocage du composant de puissance (COM- $V_P$  dans l'exemple de la figure 1.22). Le signal basse puissance mis à niveau est ensuite amplifié dans l'étage de sortie afin de pouvoir fournir l'appel de courant de la grille du composant de puissance.

En cas de court-circuit, un signal SSD met la sortie de l'étage logique en haute impédance et commande le transistor  $Q_{SSD}$  à l'amorçage. L'extraction des charges pendant le blocage du composant de puissance s'effectue par la résistance  $R_{SSD} > R_{off}$ , ce qui ralentit la vitesse de commutation au blocage, et donc la surtension aux bornes du composant.

Si le blocage "dur" du composant génère des surtensions, la remontée de la tension  $V_{DS}$  au blocage SSD est plus longue. L'énergie de court-circuit que doit supporter le composant est donc plus importante avec un SSD. Le SSD doit donc être suffisamment lent pour limiter les surtensions, mais suffisamment rapide pour ne dépasser l'énergie critique du composant (synonyme de casse).



**Fig. 1.23** : Essais en court-circuit sans SSD, avec SSD et avec SSD amélioré (SSD en deux temps) [55]

Depuis 2019, on trouve dans la littérature des propositions de blocage SSD en deux temps [55], [56], [91]-[93]. Le but ici est de réduire le temps de réaction tout en limitant la surtension. L'idée est d'initier un blocage dur puis de basculer en mode SSD après un certain délai. J.Weckbrodt et al. [55] et V.Thayumanasamy et al.[56] utilisent un composant numérique programmable (FPGA ou circuit intégré) pour régler le délai entre le blocage

dur et le SSD. Récemment, M.Shim et al. [91] ont proposé une version étendue à plusieurs étapes. Le circuit SSD est composé de plusieurs SSD ( $R_{SSD_1}/Q_{SSD_1}, \dots, R_{SSD_n}/Q_{SSD_n}$ ). Un circuit mesure la vitesse de variation de la tension  $V_{DS}$  pendant la mise en sécurité du composant. Un contrôleur vient alors agir sur les différents SSD pour garantir une vitesse de blocage  $dV_{DS}/dt$  constante.

On retiendra pour ces travaux l'utilisation du SSD amélioré en deux temps pour sa facilité de mise en œuvre.

### IV.2.3 Intelligent Monitoring and Maintenance Technologies (IMMTs)

Au cours des dernières années, de nombreuses études de robustesse ont été menées pour définir les limites de la technologie SiC en terme de durée de vie pour améliorer la fiabilité de ces composants. Les semi-conducteurs de puissance apparaissent comme l'un des facteurs de défaillance les plus critiques au sein d'une chaîne de conversion d'énergie [94]. En 2021, C.H. Van der Broeck et al. [95] ont expliqué comment les Intelligent Monitoring and Maintenance Technologies (IMMTs) peuvent être utilisées pour augmenter la durée de vie des composants à semi-conducteurs de puissance (SC).

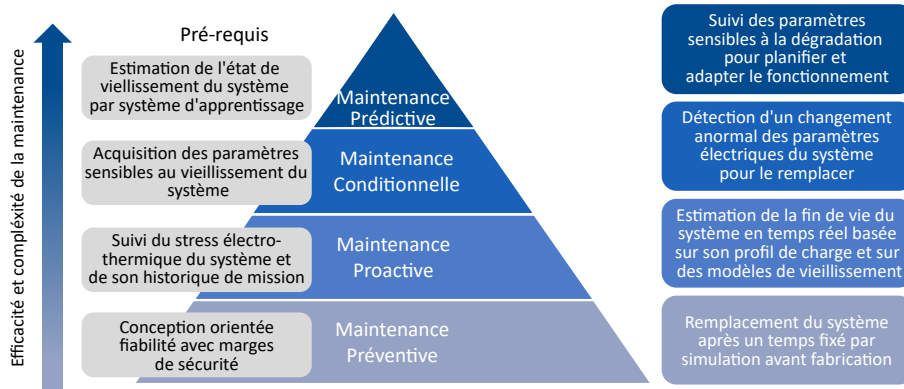


Fig. 1.24 : Vue d'ensemble des différents niveaux de maintenance [95]

La maintenance préventive est la plus utilisée dans le milieu industriel. Elle consiste à dimensionner le système avec une marge de sécurité suffisante afin d'assurer une sûreté de fonctionnement. En plus de surdimensionner le système, ce type de maintenance le sous-utilise car le calendrier de remplacement fixé par le constructeur contient lui aussi souvent une marge de sécurité. Ne nécessitant aucun système d'acquisition en temps réel, ce type de maintenance s'utilise surtout dans des applications faibles coût où la fiabilité du système n'est pas critique et où la casse du système en fonctionnement n'a pas de répercussions tragiques.

La maintenance proactive se base sur des modèles temps-réel afin d'estimer le stress électrique, thermique, etc subits par le système. L'historique de ses données sur toute la

vie du système permet ainsi d'estimer le temps restant avant de devoir changer tout ou partie du système. Ce type de maintenance se prête surtout sur des profils d'utilisation imprévisibles comme les véhicules électriques. Contrairement à la maintenance préventive qui va surdimensionner le système pour garantir une sûreté de fonctionnement dans tous les cas de figure, la maintenance proactive va permettre de d'estimer la fin de vie du système pour des profils d'utilisation très variés.

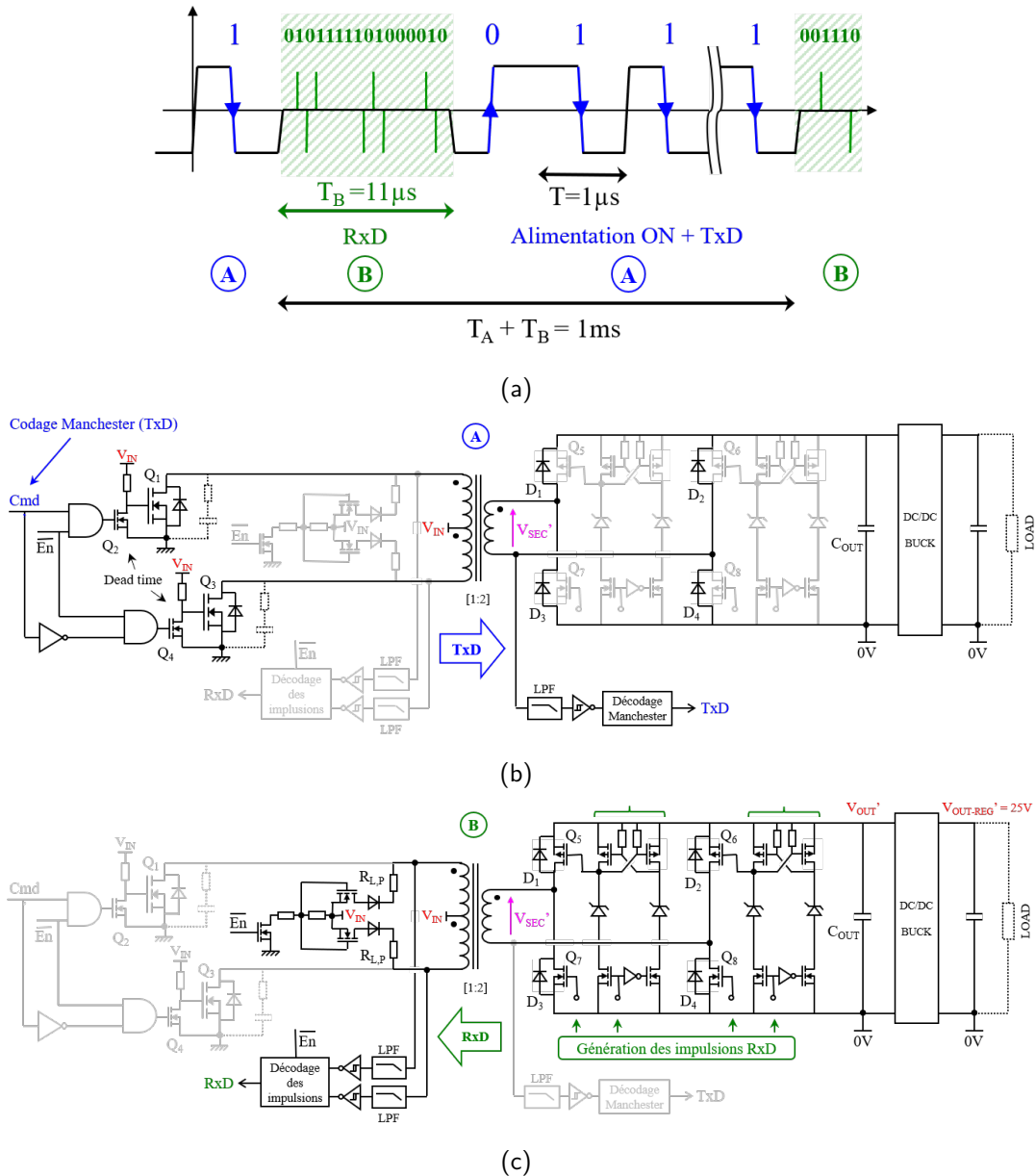
La maintenance conditionnelle combine les modèles temps-réel de la maintenance proactive avec des capteurs de paramètres électriques. L'acquisition de paramètres thermosensibles permet une meilleure précision d'estimation des stress électrique et thermique du système. Contrairement à la maintenance proactive, la maintenance conditionnelle est moins sensible à la dérive dans le temps de l'écart entre son modèle de prédiction et l'état réel du système due à des erreurs de modélisation ou à des changements de comportement au cours du temps. Le comportement du système à haute température difficilement modélisable peut alors être pris en compte dans l'estimation empirique de l'état de santé du système. Il est aussi possible de détecter un vieillissement prématuré du système comme la délamination du substrat [96] ou le décollement de fils de liaisons [97]. Ces méthodes permettent ainsi de réduire les marges de sécurité dans des applications critiques tout en garantissant un fonctionnement fiable jusqu'à ce qu'une variation d'un paramètre thermosensible surveillé reflète un fonctionnement anormal.

Pour finir, la maintenance prédictive utilise les technologies d'apprentissage automatique (machine learning) pour extraire les paramètres de durée de vie variables du système tout au long sa durée de vie [98], [99]. Utilisant les paramètres thermosensibles de la maintenance conditionnelle, le modèle par apprentissage permet d'estimer l'état de santé de chaque sous système comme l'état des métallisations [100], celle des fils de liaison [101], ou même l'état de vieillissement des substrats dans le cas des modules de puissance [100]. Couplé à des systèmes de contrôles actifs, il devient alors possible d'ajuster l'utilisation du système (fréquence de découpage, température de fonctionnement, puissance commutée) afin d'étendre la durée de vie du système ou de garantir une certaine fiabilité dans des cas d'utilisation hors cahier des charges.

#### IV.2.4 Moyens de communication avancés

Avec l'arrivée des IMMTs, le driver embarque des mesures de paramètres thermosensibles. Ces mesures étant faites au plus proche du composant de puissance, on voit apparaître depuis peu la problématique de la transmission d'informations complexes à travers l'isolation galvanique comme la remontée des mesures du circuit secondaire au circuit primaire ou l'envoi de requêtes de mesures du primaire vers le secondaire [102], [103]. La majorité des solutions implantées aujourd'hui utilisent des isolateurs capacitifs dédiés

à ces communications dans un circuit annexe. Cependant, la capacité parasite amenée par ces isolateurs dégrade les performances globales du driver (CMTI = 50 kV/ $\mu$ s pour le CMT-TIT8243). Afin de ne pas rajouter de capacités parasites au niveau de l'isolation galvanique, une solution d'alimentation communicante a été développée par Weckbrodt et al. [104] au laboratoire IETR. La solution utilise le circuit d'alimentation déjà présent sur le driver afin de véhiculer des informations complexes du circuit primaire vers le circuit secondaire et inversement. La figure 1.25 illustre le montage proposé.



**Fig. 1.25 :** (a) Modulation de l'information par codage Manchester sur le signal de commande de l'alimentation (bleu) + renvoi des informations par impulsions (vert). (b) Circuit équivalent lors de la transmission d'informations du primaire vers le secondaire (TxD) (c) Circuit équivalent lors de la transmission d'informations du secondaire vers le primaire (RxD)

Le système est basé sur une alimentation type Push-Pull. Pour transmettre des informations du circuit primaire vers le circuit secondaire, le signal de commande de l'alimentation  $Cmd$  est modulé à l'aide d'un codage Manchester. Les informations modulées sont alors filtrées puis décodées au secondaire (voir figure 1.25b). L'utilisation du code Manchester permet de conserver une tension moyenne nulle aux bornes du transformateur quelles que soient les données transmises. Ce type de transmission a pour avantage de ne pas couper l'apport en énergie du circuit primaire vers le circuit secondaire pendant la phase de communication.

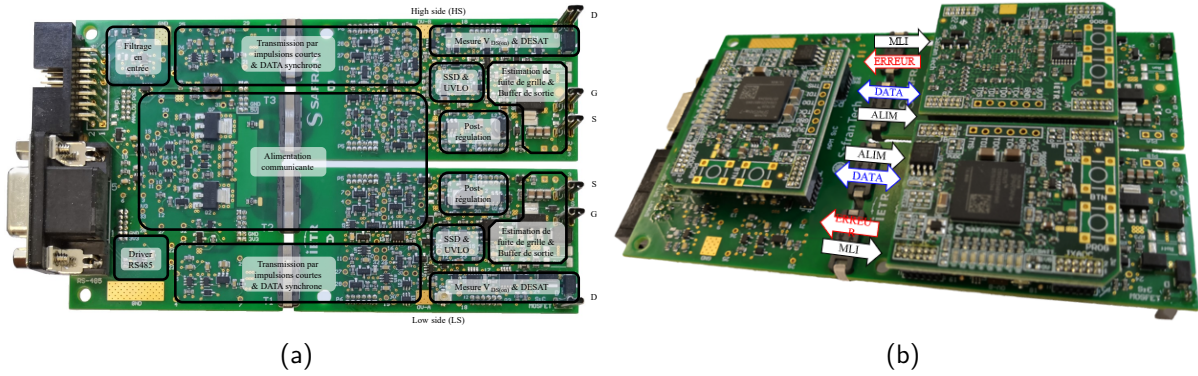
Pour remonter des données du secondaire vers le primaire, le transfert d'énergie doit être interrompu. L'alimentation s'arrête en ouvrant simultanément les transistors  $Q_1$  à  $Q_4$ . Après une phase de démagnétisation ( $\overline{En} = 1$ ), le transformateur est utilisé comme canal de communication. L'information à remonter est générée sous formes d'impulsions au secondaire pour être récupérée au primaire. Il a été ici privilégié un retour d'information par impulsions étant donné la contrainte temporelle. En effet, pendant la remontée d'information, le circuit secondaire continue de fournir de l'énergie pour la charge de la grille du composant de puissance. L'alimentation doit donc faire l'objet d'un dimensionnement en fonction du temps de transmission  $Rxd$ , de la quantité d'énergie stockée dans les capacités  $C_{out}$  et de la puissance moyenne consommée par la commande du composant de puissance afin de garantir un fonctionnement fiable du driver pendant la phase de communication.

### IV.3 Exemple de Smart gate Driver

La figure 1.26 illustre un smart gate driver réalisé au laboratoire IETR pour des modules SiC 1.2 kV en boîtier 62 mm. Ce démonstrateur intègre les fonctions de base d'un driver telles que définies à la figure 1.15 page 23 : gestion des temps morts, détection du court-circuit, SSD, etc. À cela s'ajoute des fonctions avancées telles que l'alimentation communicante définie section IV.2.4, le suivi des paramètres électriques sensibles ( $V_{DS_{ON}}$  ou  $I_{GSS}$ ) dans une optique d'IMMTs ou l'intégration de composants numériques programmables utilisés pour la commande de tous ces nouveaux éléments complexes.

Sur le synoptique du smart gate driver figure 1.27, on retrouve les quatre éléments essentiels d'un driver usuel : son étage de sortie, son circuit d'alimentation, son circuit de transmission des ordres et son unité de contrôle situé au primaire.

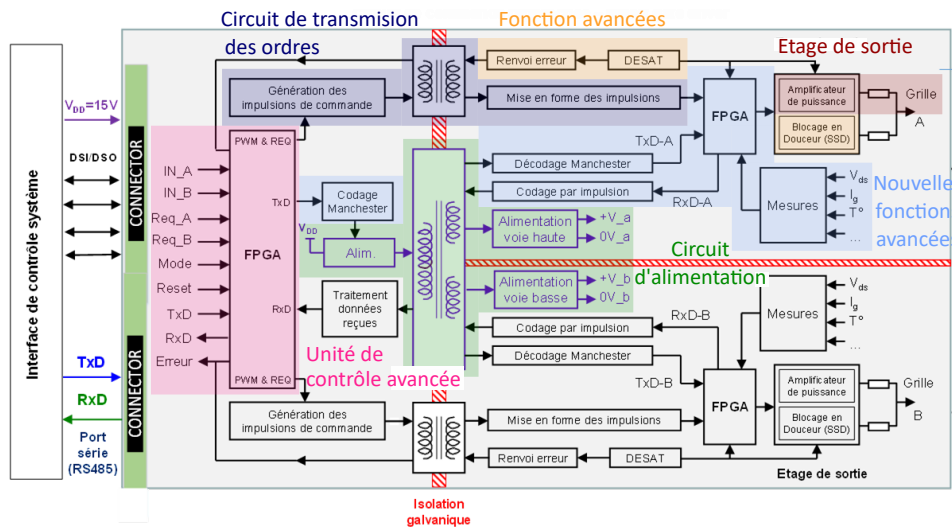
L'intégration de composants numériques programmables type FPGA au secondaire permet la coordination de toutes les fonctions avancées du smart gate driver. Il permet entre autre la conversion en valeurs numériques des paramètres électriques sensibles du composant de puissance comme la tension à l'état passant  $V_{DS_{ON}}$ , le courant de fuite de grille  $I_{GSS}$  ou la température du module. Plus de détails sur ces paramètres seront donnés



**Fig. 1.26 :** Exemple de Smart Gate Driver développé au laboratoire IETR [55] (a) Localisation des fonctions avancées (b) Assemblage du démonstrateur

section V.3.2. Ces valeurs numériques sont transmises à travers l'isolation galvanique en utilisant l'alimentation communicante pilotée par le FPGA.

Côté primaire, l'intégration d'un FPGA dans l'unité de contrôle permet d'effectuer un pré-traitement des différents états du driver avant prise de décision. À travers les nouvelles connexions avec l'interface de contrôle système ( $Req_A$ ,  $Req_B$ ,  $TxD$ ,  $RxD$ ), il est possible d'effectuer des requêtes particulières au driver (mesure de  $V_{DS(on)}$  par exemple) ou de communiquer des informations avancées avec le driver (récupérer une valeur de température ou envoyer de nouveaux temps morts à appliquer par exemple).



**Fig. 1.27 :** Synoptique du smart gate driver

Ce smart gate driver répond à une problématique de prédiction de défaillances des modules SiC en électronique de puissance pour des applications 1.2 kV. La solution retenue est basée sur la proposition de circuits de mesure embarqués, l'intégration d'un système de communication et l'utilisation de composants programmables.

Néanmoins, ces solutions présentent des limitations. Le circuit de mesure de  $V_{DS(on)}$  ne

permet pas de détecter une défaillance sur la connectique de source. Le circuit d'estimation du courant de fuite de grille  $I_{GSS}$  nécessite un étalonnage en température. De plus, un problème de compatibilité entre les deux circuits de mesures avait été mis en lumière.

Une partie des objectifs des travaux de thèse sera de proposer des solutions concernant les circuits de mesures ainsi qu'une montée en tension (jusqu'à 3.3kV) du smart gate driver.

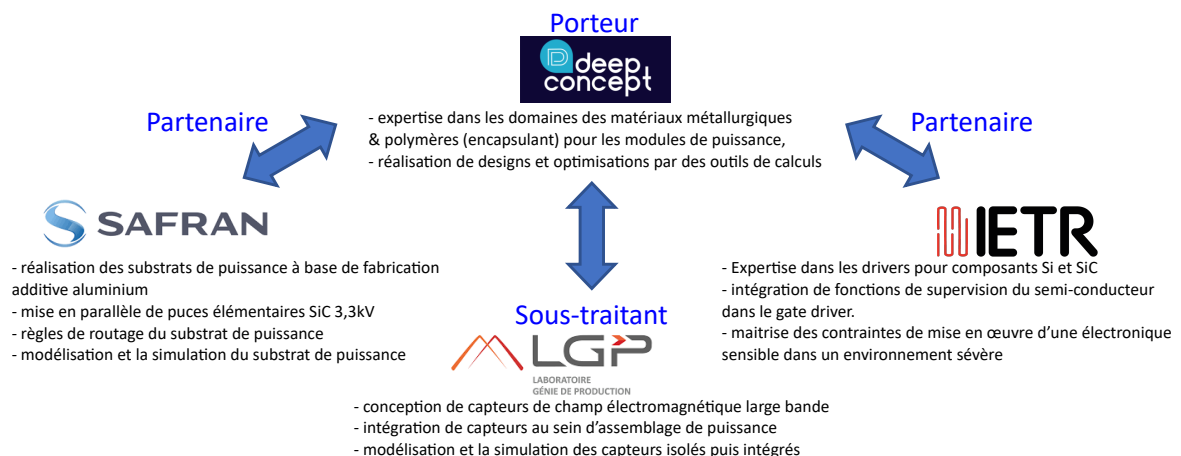
## V Intégration des travaux de thèse dans un projet multidisciplinaire

Ces travaux s'inscrivent dans un projet DGA RAPID (Régime d'APpui à l'Innovation Duale) qui met en relation un porteur de projet, un industriel et un laboratoire public.

### V.1 Projet AM-PM : Définition des partenaires et des objectifs

#### V.1.1 Présentations des acteurs du projet

Le porteur de projet AM-PM est la PME DEEP Concept. Le partenaire industriel est le Groupe Safran, le partenaire académique est le laboratoire IETR. Le laboratoire LGP est le sous-traitant de Deep Concept dans le projet. Le rôle et les compétences mises en œuvre par les partenaires dans le projet AM-PM sont illustrés à la figure 1.28.



**Fig. 1.28** : Rôle et compétences mises en œuvre de chaque partenaire pour le projet AM-PM

### Deep Concept

Créé en 2015, la société DEEP Concept propose des études et réalisations permettant au client de pouvoir développer son projet du schéma électrique au prototype fonctionnel. Pour des études amont, les clients font appel à DEEP Concept pour des preuves de concept ou une montée en maturité de technologie, en termes de maîtrise des procédés,



de caractérisation et d'étude de fiabilité. D'autres demandes concernent des besoins en optimisation de performances composants, à la fois dans le choix des matériaux, des géométries et des topologies.

## **SAFRAN Tech**

Safran Tech est un laboratoire R&T du Groupe SAFRAN. Le pôle Systèmes Electriques et Electroniques se focalise sur les recherches dans le domaine des architectures électriques des avions, sur les convertisseurs de puissance (batterie, électronique de puissance, machine électrique), sur les modules de puissance et sur les perturbations électromagnétiques. L'expertise sur les modules de puissance englobe le circuit de commande rapproché, le composant à semi-conducteur de puissance et son assemblage, et le condensateur de découplage. Les cibles applicatives adressées sont sous tensions conventionnelles (<1 kV) pour les applications non propulsives et sous tensions non conventionnelles (>1 kV) pour les applications propulsives. Ces modules de puissance devront répondre à des enjeux liés aux environnements sévères, la compacité, la conformabilité.

## **IETR**

L'IETR (Institut d'Electronique et des Technologies du numéRique) est un laboratoire regroupant 7 sites dans le grand ouest de la France. L'activité Gate Driver fait partie de l'équipe Architecture, Systems, Infrastructure and electroniCs (ASIC) du département Signal et Communication (SC) et est située exclusivement sur le site de Nantes. L'activité se focalise sur la fonction driver dans son environnement en proposant des solutions tant en termes d'intégration de fonctions de monitoring que de fonctions élémentaires de pilotage du composant de puissance. Des moyens d'essais spécifiques permettent de développer et de tester des prototypes industriels à fort niveau TRL pour une gamme de puissance s'étalant de plusieurs dizaines de kW au MW.

## **LGP-ENIT (sous-traitant de DEEP Concept)**

Le Laboratoire Génie de Production (LGP – tutelle ENIT) participe à des études sur l'optimisation de l'intégration packaging, la fiabilité, la durabilité et le vieillissement des composants de puissance et de leur packaging sous environnement sévère. Les compétences du LGP concernent la caractérisation, la modélisation, la simulation et la supervision, en conservant une approche multi-physique. Dans le cadre de ce projet les thématiques plus particulièrement concernées sont : l'étude multi-physique des architectures d'électronique de puissance (composants, packaging, modules), que ce soit au niveau du comportement ou de la sollicitation ; l'étude et la réalisation d'assemblages pour l'électronique de puissance en environnement contraint.

### V.1.2 Contexte et objectifs du projet

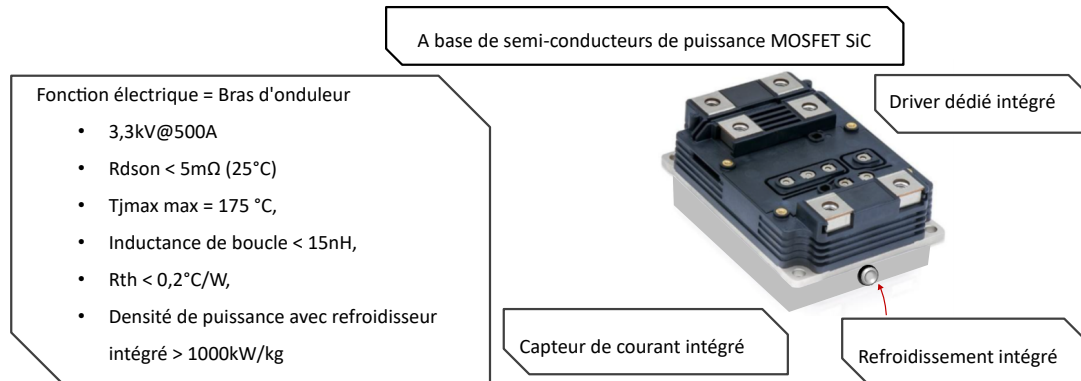
L'aéronautique, comme le naval militaire, tend à hybrider, partiellement ou totalement, la propulsion et à électrifier de plus en plus de fonctions à bord des avions, des bâtiments de surface et des sous-marins. Ceci entraîne une augmentation des puissances électriques embarquées jusqu'à des niveaux dépassant le MW induisant de nouvelles contraintes sur les réseaux et systèmes électroniques. Pour répondre à ces nouvelles contraintes, une augmentation de la tension du réseau de bord HVDC (High Voltage Direct Current) est attendue, nécessitant le développement de convertisseurs de puissance de calibres inexistants pour le monde de l'aéronautique et du naval avec de fortes contraintes liées à la conception des modules de puissance :

- **forte compacité** : augmentation de la fréquence de fonctionnement (réduction des passifs et des filtres) et développement d'assemblages et de systèmes de refroidissement performants,
- **forte densité de puissance** : faibles pertes, mise en parallèle des composants à semi-conducteur de puissance, température de jonction  $> 150^{\circ}\text{C}$ , fiabilité améliorée...,
- **environnements sévères** : température (stockage et variation), humidité, vibration, pression/dépression, et plus spécifiquement pour l'aéronautique, tenter de défier la loi de Paschen en maîtrisant les problématiques liées aux décharges partielles, aux charges d'espace et aux arcs.

Pour atteindre ces objectifs, la technologie des composants à semi-conducteur de puissance en SiC associée à de nouvelles technologies d'assemblage semble être une alternative prometteuse à la filière Silicium, conduisant à de fortes ruptures technologiques. De plus, la réduction drastique des pertes dans les convertisseurs à base de composants SiC permet d'envisager au moins deux scénarios. Le premier, le plus courant, consiste à maintenir constante la fréquence de découpage des convertisseurs et donc d'accroître le rendement de ce dernier. La densité de puissance s'en trouve augmentée. Un deuxième scénario consiste à accroître la fréquence de découpage en conservant le rendement du convertisseur. Le gain est alors porté sur la discrétion CEM du convertisseur mais également sur la discrétion acoustique des machines tournantes, point très important dans les applications navales. L'accroissement des calibres en tension des modules de puissance peut également être mis à profit pour la tenue des convertisseurs au test de surtension du réseau de bord.

C'est dans cette optique que le projet RAPID "Additive Manufactured high voltage high current diode less SiC smart Power Module" (AM-PM) se positionne afin de **concevoir et fabriquer** un module de puissance **bras d'onduleur 3.3 kV@500 A** en **technologie « full SiC »** avec **refroidisseur intégré**. Le module sera équipé d'un

**smart gate driver dédié** et de ses **capteurs associés**. Le tout devra être adapté aux fortes contraintes aéronautiques et marines : température élevée ( $T_J = 175\text{ °C}$ ), pression/dépression, humidité, etc...



**Fig. 1.29** : Vision de l'IPM du projet AM-PM avec son cahier des charges

### V.1.3 Caractère innovant du projet

Afin de pouvoir adresser la réalisation de ce module de puissance, le consortium souhaite s'appuyer sur l'expérience de SAFRAN dans le domaine de la fabrication additive métallique et plus exactement la fabrication additive Selective Melting Laser (SLM) d'alliages légers à base d'aluminium. Cette technologie initialement utilisée pour imprimer des pièces sur des plateaux nus a été adaptée pour imprimer des motifs sur des substrats isolants métallisés. Ainsi, il est directement possible d'imprimer le refroidisseur à air ou liquide, les connectiques de puissance et les plots d'interconnexion sur le substrat de puissance sur lequel seront reportés les composants à semi-conducteur de puissance. Par ailleurs, afin d'envisager une conception un peu plus globale de l'assemblage et une rupture technologique supplémentaire, le consortium propose de travailler aussi, via une sous-traitance, sur l'adjonction de capteur de courant (type shunt ou type Rogowski) par fabrication additive d'alliages légers à base d'aluminium.

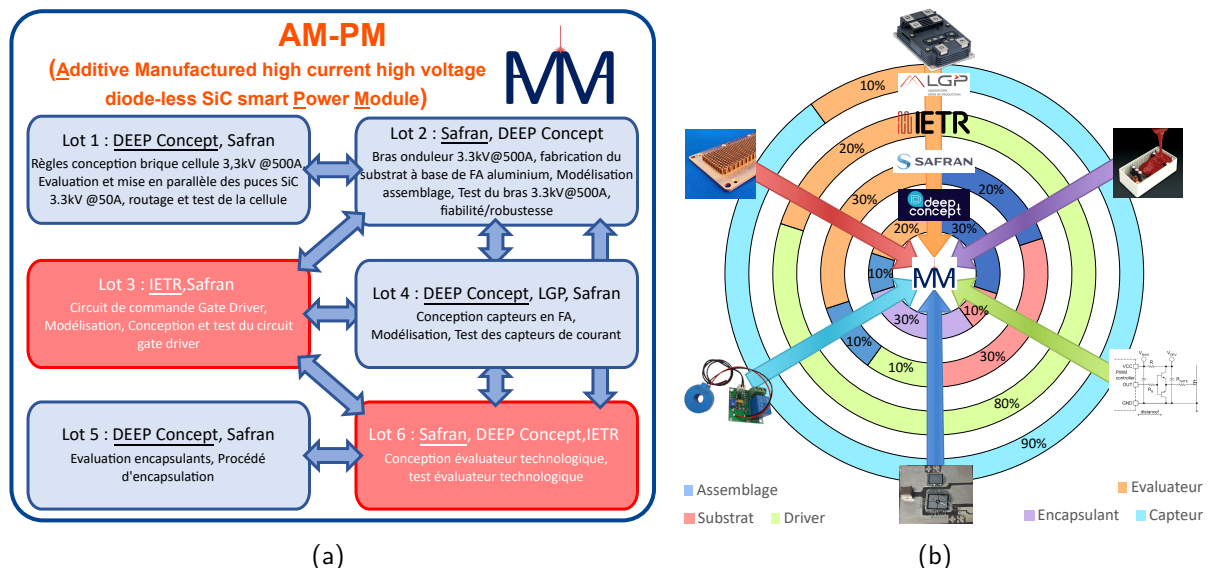
Il s'agit d'adapter cette approche pour des modules haute tension et forte puissance en y adossant le circuit de commande rapprochée adapté pour la haute tension. Une attention particulière sera apportée au procédé de report des composants à semi-conducteur de puissance qui pourrait faire appel au frittage de pâte chargée de particules métalliques ou à des solutions alternatives éprouvées. Les axes majeurs innovants sont décrits dans le tableau 1.1.

**Tab. 1.1** : Axes de recherche et d'innovation du projet

<p>Axe 1 : Assemblage de puissance à base de fabrication additive d'alliages légers à base d'aluminium</p>	<p>Axe 2 : Driver haute tension intelligent</p>
<ul style="list-style-type: none"> <li>• Impression de refroidisseur, de connectiques de puissance, de plots et de boîtier</li> <li>• Réduction du nombre d'interfaces</li> <li>• Réduction de la résistance thermique de l'assemblage et de la température de jonction de composants à semi-conducteur de puissance</li> <li>• Amélioration de la tenue à la fatigue thermique</li> <li>• Reproductibilité du procédé</li> <li>• Capteur de courant (shunt et Rogowski) imprimé et intégré</li> </ul>	<ul style="list-style-type: none"> <li>• Intégration de composants à logique programmable très basse tension, maîtrise des latences, jitter et des temps de propagation</li> <li>• Intégration de fonctions de supervision du semi-conducteur</li> <li>• Immunité du gate driver aux <math>dv/dt</math> jusqu'à <math>150\text{ kV}/\mu\text{s}</math></li> <li>• Maîtrise des chemins de propagation conduite CEM dans les barrières d'isolation galvanique du gate driver</li> <li>• Réduction du nombre de transformateurs d'isolation par mutualisation de ces derniers</li> <li>• Etude de l'intérêt à développer des drivers « cascades »</li> </ul>

## V.2 Position des travaux de thèse dans le projet

Des étapes successives sont nécessaires afin de valider les briques technologiques élémentaires élaborées dans le projet AM-PM. Ainsi, le projet est découpé en 6 lots techniques illustrés à la figure 1.30a pour lesquels les porteurs sont mentionnés. D'autre part, la figure 1.30b illustre l'implication des acteurs dans l'IPM (livrable du projet) final.



**Fig. 1.30** : (a) Description succincte des différents lots du projet AM-PM avec leurs responsables et leurs interactions (b) Implication des acteurs dans chaque élément du livrable final

Parmi les lots du projet, les travaux de thèse se focalisent principalement sur le **développement du circuit driver dédié** (lot 3 en rouge sur la figure 1.30a). Des échanges

avec le lot 2 permettront de définir les **performances du driver** (tension de pilotage du composant de puissance, puissance du driver, etc...) en fonction des caractéristiques du bras d'onduleur retenu. De plus, les travaux devront tenir compte des **dimensions physiques** de l'évaluateur final pour permettre une intégration au boîtier (lot 6). Tout au long du projet, des échanges avec le LGP permettront de définir **la position et les connexions du circuit capteur de courant (lot 4) avec le smart gate driver**.

### V.3 Problématiques visées

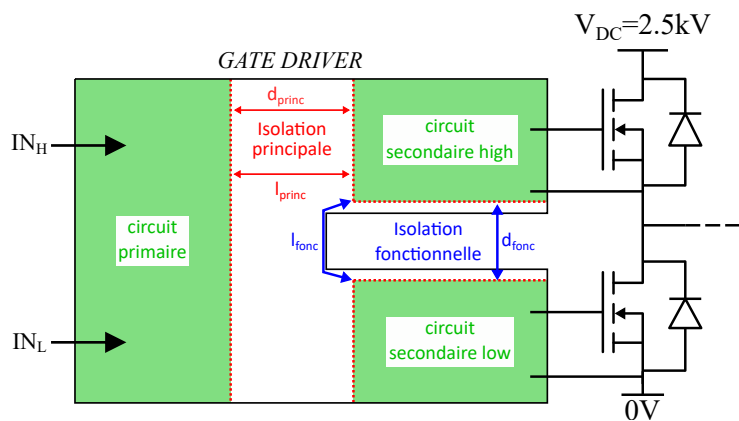
#### V.3.1 Contraintes sécuritaires / aspect normatif

Afin d'assurer la protection des utilisateurs, le smart gate driver pour AM-PM a été conçu en tenant compte des contraintes liées aux normes d'isolation. La norme d'isolation Européenne homologuée en France NF EN 50178 a été utilisée pour les spécifications du driver. Elle spécifie les exigences minimales de sécurité et de fiabilité des équipements électroniques utilisés dans les installations de puissance. On distingue deux types d'isolation : l'isolation principale et l'isolation fonctionnelle.

L'isolation principale assure la protection du circuit contre les chocs électriques. Elle est systématiquement utilisée pour protéger les utilisateurs. Dans le cas d'un driver, elle définit l'isolation entre le primaire où se situe l'utilisateur, et les secondaires connectés aux potentiels haut du module ( $>2\text{ kV}$  dans le cas des modules  $3.3\text{ kV}$ ).

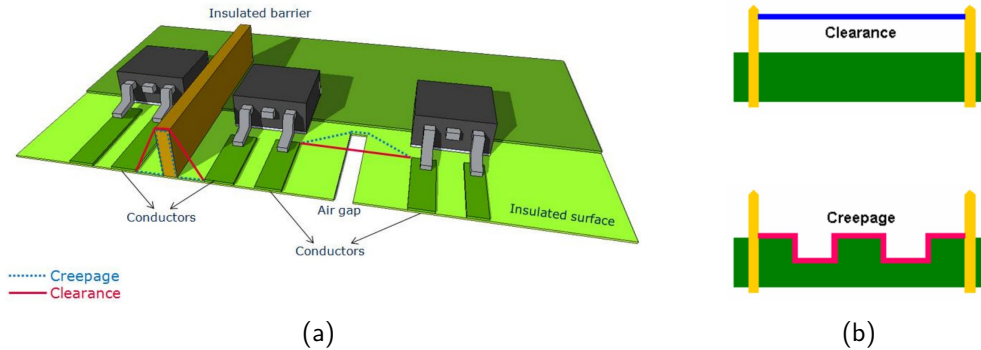
L'isolation fonctionnelle assure seulement le fonctionnement correct du matériel. Elle ne protège pas contre les chocs électriques. Dans le cas d'un driver, elle définit l'isolation électrique entre les deux secondaires. N'assurant pas la protection des personnes, elle est moins contraignante (tenue en tension, distances, etc.) que l'isolation principale.

Ces isolations peuvent être simples ou renforcées (doublement des distances d'isolation, utilisation de plusieurs couches non homogènes, etc.). La figure 1.31 illustre les isolations utilisées dans le cas d'un driver.



**Fig. 1.31** : Utilisation des isolations dans le milieu des drivers.

Un isolement électrique est qualifié par deux grandeurs : les distances d'isolement ou clearance (chemin le plus court dans l'air) notées  $d_{\text{fonc}}/d_{\text{princ}}$  et les lignes de fuites ou creepage (lignes de circulation du courant en cas de dépôt de poussière sur la carte) notées  $l_{\text{fonc}}/l_{\text{princ}}$  sur la figure 1.32. A cela s'ajoute l'isolement entre les couches internes des Printed Circuit Board (PCB), cet isolement est en général peu contraignant grâce à l'exceptionnelle tenue en tension des diélectriques de type Epoxy FR-4. Cette tenue en tension est définie par la rigidité diélectrique (FR-4 :  $>20 \text{ kV/mm}$ ).



**Fig. 1.32** : Définition des distances d'isolement (clearance) et des lignes de fuite (creepage)

Lors de la conception de la carte driver, une tension maximale d'utilisation du module 3.3 kV a été fixé à 2.5 kV. De part leur grande reproductibilité, des transformateurs planaires ont été privilégiés pour la transmission des ordres de commande et le circuit d'alimentation du driver à travers la barrière d'isolation galvanique.

### V.3.2 Choix du niveau de maintenance

Le projet de thèse est porté par des acteurs industriels du milieu de l'aviation et de la défense. Dans ces milieux, en plus d'une criticité élevée de la fiabilité, le profil de mission du système est souvent mal maîtrisé. La maintenance préventive et celle proactive décrites à la section IV.2.3 page 32 sont donc peu adaptées à ce type de milieu. Une approche de fiabilité par maintenance conditionnelle est retenue. Il convient alors de définir les paramètres électriques ou thermiques sensibles à la dégradation de l'IPM.

De nombreux indicateurs de vieillissement des modules SiC ont été identifiés dans la littérature. Le tableau 1.2 résume les principaux indicateurs.

La résistance à l'état passant  $R_{\text{DS}_{\text{ON}}}$  est souvent utilisée comme indicateur de vieillissement des modules de puissance SiC. Elle permet d'extraire des informations à la fois sur les puces semi-conductrices [110] et sur le boîtier lui-même [112], [113].

Cependant, certaines études [114] ont conclu que la surveillance du  $R_{\text{DS}_{\text{ON}}}$  seule ne suffisait pas pour estimer correctement l'état de santé des composants SiC. Un autre indicateur de vieillissement des composants SiC a été choisi : le courant de fuite de grille  $I_{\text{GSS}}$ .

**Tab. 1.2 :** Indicateurs de vieillissement de modules SiC ainsi que leurs causes [105]

Indicateur de vieillissement	Cause du vieillissement	Éléments endommagés
$V_{TH}$ [106]	- Instabilité à forte température - Polarisation de la grille	Semi-conducteur
$I_{GSS}$ [107], [108]	- Dégradation de l'oxyde de grille	Semi-conducteur
$V_{miller}$ [109]	- Fortes températures de fonctionnement - Polarisation de la grille	Semi-conducteur
$V_{SD}$ [110] @ $V_{GS} = -5 V$	- Délaminage des fils de liaisons - Décollements/fissures de la brasure puce/substrat	Semi-conducteur Module de puissance
$R_{DS(ON)}$ [111]	- Délaminage des fils de liaisons - Décollements/fissures de la brasure puce/substrat - Dérive de la tension de seuil du semi-conducteur	Semi-conducteur Module de puissance

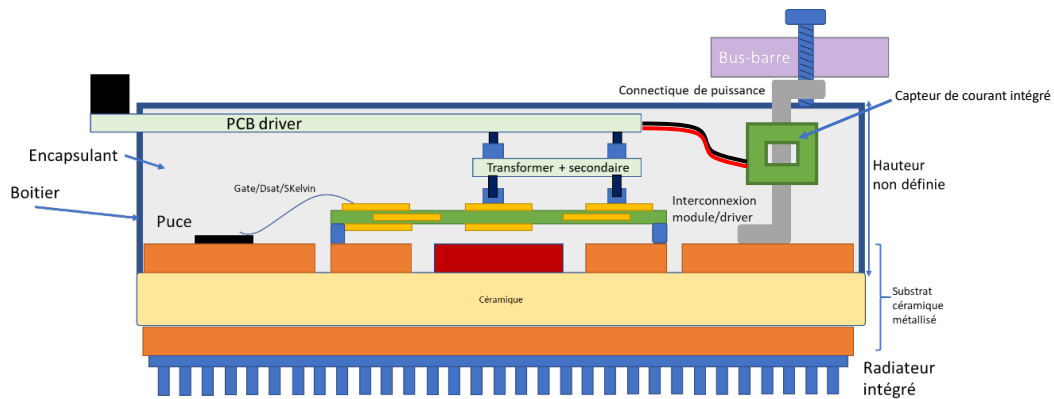
Cet indicateur a été choisi afin de surveiller l'oxyde de grille des puces semi-conductrice, point faible de la technologie SiC [115], [116], [117].

### V.3.3 Encombrement de la carte driver

Afin de faciliter l'utilisation de l'IPM d'AM-PM dans les designs industriels actuels, le smart gate driver dédié sera intégré dans le boîtier de puissance comme illustré sur la figure 1.33. Ce choix garanti une connexion au plus près des puces semi-conductrices de puissance pour une meilleure commande. Ce choix contraint cependant la taille du driver qui devra tenir compte des dimensions du boîtier de puissance. Ces fortes contraintes ont conduit à un agencement non conventionnel des cartes drivers. Plus d'informations seront données chapitre 5 section II.1.

### V.3.4 Contraintes de compatibilité électromagnétique (CEM)

Étant donné la proximité entre le circuit driver et les puces de puissance, il évolue dans un environnement perturbé par les champs générés par les fortes variations de courant ( $di/dt$ ). Un soin devra donc être porté sur les chemins de propagation des courants de mode commun et sur la CMTI du driver. En accord avec l'axe 2 (tableau 1.1), un objectif de CMTI à  $150 \text{ kV}/\mu\text{s}$  sera visé.



**Fig. 1.33** : Schéma de principe de l'IPM, vision de l'intégration du smart gate driver dédié dans le boîtier

## VI Conclusion

À une époque où l'utilisation de l'énergie sous forme électrique ne cesse de croître chaque année, la gestion de cette forme d'énergie devient une priorité. D'après les nombreux rapports des agences internationales (IEA, DOE, etc.), la principale source d'économie d'énergie devra se faire sur les EMDS. L'augmentation des rendements des EMDS passe par l'utilisation de circuit variateur de vitesse. L'utilisation des composants grand gap dans les convertisseurs type variateur de vitesse présente alors un réel avantage en terme de densité de puissance. Afin de tirer le plein potentiel de cette nouvelle technologie, les IPMs de demain intègrent un ensemble de solutions optimisées autour du composant de puissance.

Parmi ces solutions, le smart gate driver devient un élément capital pour la bonne commande du composant de puissance ainsi que le suivi de son état de santé. De part son intégration dans un projet multidisciplinaire, les travaux de thèse sont axés sur l'étude et la conception d'un circuit driver pour des applications industrielles dans des environnements sévères. Dans une optique de maintenance conditionnelle pour le suivi en temps réel de l'état de santé du composant de puissance, le suivi de deux indicateurs de vieillissement, la résistance à l'état passant  $R_{DS_{ON}}$  et le courant de fuite de grille  $I_{GSS}$ , a été proposé. Le chapitre 3 porte sur le circuit de surveillance de la tension à l'état passant  $V_{DS_{ON}}$  dans le but d'obtenir des informations sur  $R_{DS_{ON}}$ . Le chapitre 4 détaille l'étude sur le circuit d'estimation de la fuite de grille  $I_{GSS}$ . Afin de rendre ces deux circuits compatibles, une nouvelle topologie de commande des composants de puissance, le source driver, est proposée chapitre 2. L'aspect dimensionnement industriel du circuit driver (normes, CEM, décharges partielles, etc.) est abordé au chapitre 5. Enfin, le chapitre 6 regroupe tous les essais fonctionnels du circuit driver AM-PM proposé dans cette thèse.





# PRÉSENTATION DE LA TOPOLOGIE SOURCE DRIVER

---

## I Introduction à la commande des composants de puissance

Les semi-conducteurs de puissance à grille isolée sont pilotés par l'application d'une différence de potentiels entre la grille et la source. Cette différence de potentiels est l'image des ordres de commande envoyés par le contrôle commande. Afin d'amorcer le composant de puissance, on vient appliquer une tension grille-source supérieure à sa tension de seuil  $V_{TH}$ . Le driver doit alors apporter le courant de grille nécessaire à la charge des capacités  $C_{GS} + C_{GD}$  ( $=C_{ISS}$ ) du composant. Pour bloquer le composant de puissance, le gate driver doit extraire les charges de la capacité  $C_{ISS}$ .

Cette section détaille les fonctionnalités du driver usuel décrites à la figure 1.15. L'étage de sortie avec son circuit Soft Shut Down (SSD) sera abordé en premier. On détaillera dans la suite les technologies de transmission des ordres avant de finir sur les topologies des circuits d'alimentations des secondaires d'un driver.

### I.1 Étage de sortie

Lors de l'amorçage du composant, l'étage de sortie doit fournir une quantité de charge  $Q_G$  à la grille du composant en un temps  $T_{ON}$  d'après l'équation (2.1). Pendant le blocage, l'étage de sortie doit extraire la même quantité de charge de la grille.

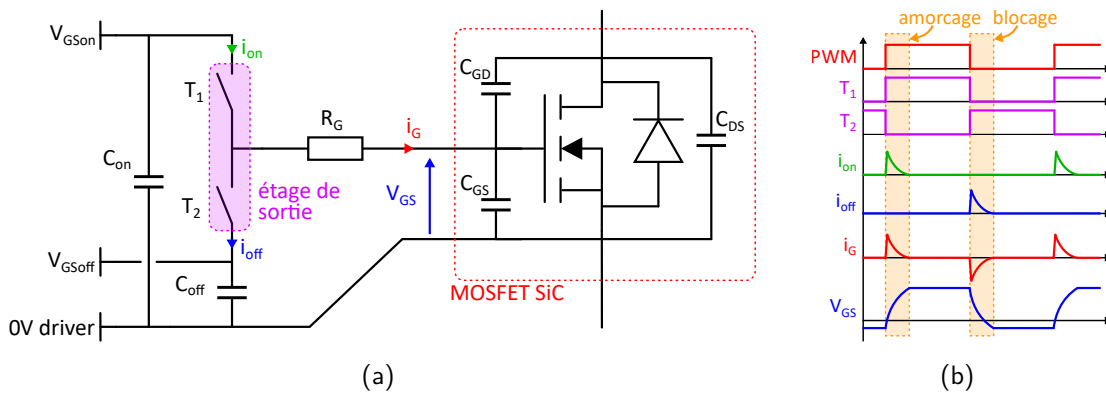
$$Q_G = \int_0^{T_{ON}} i_G(t).dt \quad (2.1)$$

Dans le cas des composants de puissance, la forte quantité de charge impose des pics courants de grille important afin de faire commuter le composant rapidement. À titre d'exemple, le SiC 1.2kV/7.2 A C3M0350120J requiert 13 nC pour charger sa grille, là où le module SiC 1.2 kV/300 A WAB300M12BM3 demande 908 nC. Les étages de sortie sont donc généralement composés d'amplificateur de puissance capable de fournir les forts

courants impulsionnels (jusqu'à 10 A pic).

### I.1.1 Principe

L'étage de sortie à la figure 2.1 connecte les capacités  $C_{on}$  et  $C_{off}$  à la grille du composant afin de l'amorcer et de le bloquer respectivement. Dans le cas des composants MOSFET SiC de deuxième génération,  $V_{GS_{ON}}$  vaut +20 V (+15 V pour la troisième génération) et  $V_{GS_{OFF}}$  vaut -5 V (-4 V pour la troisième génération). À l'amorçage,  $T_1$  est fermé et  $T_2$  est ouvert, on a alors :  $i_G = i_{on}$ . La résistance de grille  $R_G$  limite le courant de grille  $i_G$ . Au blocage,  $T_1$  est ouvert et  $T_2$  est fermé. L'énergie stockée dans la capacité  $C_{ISS}$  est dissipée dans la résistance de grille.



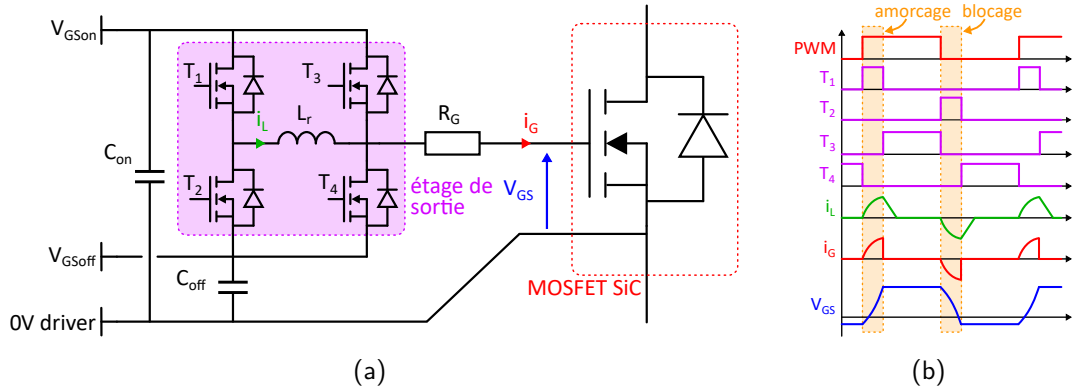
**Fig. 2.1** : Principe de la commande par source de tension avec ses formes d'ondes associées. [118]

La simplicité de mise en œuvre des circuits à base de sources de tension par rapport aux circuits à base de sources de courant en font leur principal avantage. On notera cependant de nombreuses études ces dernières années sur les circuits résonnants [119]-[122]. Ces circuits ont l'avantage de permettre des vitesses de commutation du composant de puissance plus rapides [122].

La figure 2.2 illustre le montage de principe des circuits résonnant avec les formes d'ondes associées. Ces circuits mettent l'élément inductif  $L_r$  en résonance avec la capacité d'entrée  $C_{ISS}$  du composant afin de pouvoir récupérer une partie de l'énergie de commutation. La résistance  $R_G$  sert à paramétrer le coefficient d'amortissement du circuit  $R_G L_r C_{ISS}$  afin de limiter la surtension aux bornes de  $C_{ISS}$  pour ne pas casser la grille du composant de puissance.

Les transistors  $T_1$  et  $T_2$  permettent la charge/décharge de la capacité d'input  $C_{ISS}$  du composant de puissance par résonance à travers l'élément inductif. A la fin de la commutation, les transistors  $T_3$  et  $T_4$  s'amorcent afin de clamper le potentiel de grille. Les transistors  $T_1$  et  $T_2$  se bloquent et l'énergie accumulée dans l'élément inductif  $L_r$  est vidée dans les capacités  $C_{on}$  et  $C_{off}$  à travers les diodes internes de  $T_2$  et  $T_1$ . L'énergie

recyclée peut être utilisée pour charger la grille du composant au prochain amorçage. Cela permet ainsi de diminuer la puissance moyenne injectée dans la grille du composant pour le faire commuter [119].

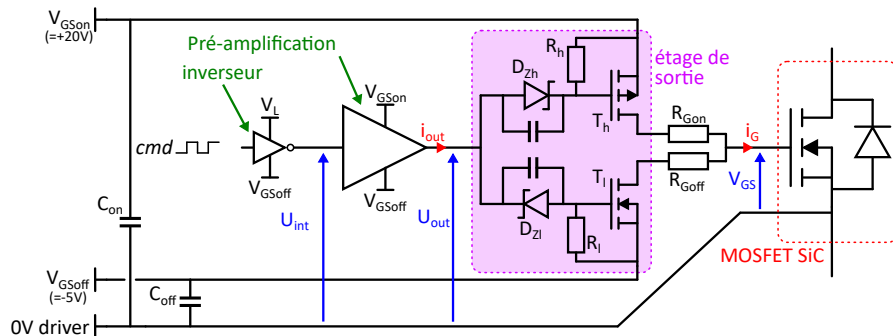


**Fig. 2.2 :** Principe de la commande par circuits résonants avec ses formes d'ondes associées [123].

Ces montages résonants trouvent surtout leur utilité dans les applications haute fréquence ( $>1$  MHz), faible puissance ( $<1$  kV A) où la consommation de la grille du composant de puissance n'est pas négligeable devant celle du convertisseur [119]. Dans nos cas d'applications fortes puissances ( $>100$  kV A), moyenne fréquence ( $\approx 20$  kHz), la puissance absorbée par la grille ( $\approx 5$  W) est négligeable devant celle du convertisseur. Nous nous focaliserons donc sur le montage à sources de tension dans la suite des travaux.

### I.1.2 Étage de sortie à MOSFET

Le montage push-pull à composants MOSFET illustré à la figure 2.3 est le montage le plus répandu dans les circuits drivers de ces dernières années (les CMT-TIT de Cissoid ou le Si823H de Silicon Lab). Il est composé de deux MOSFET  $T_h$  et  $T_l$  pilotés par un pré-amplificateur. Ce montage permet la commande en régime de commutation rail-to-rail de la tension de sortie  $V_{GS}$ .

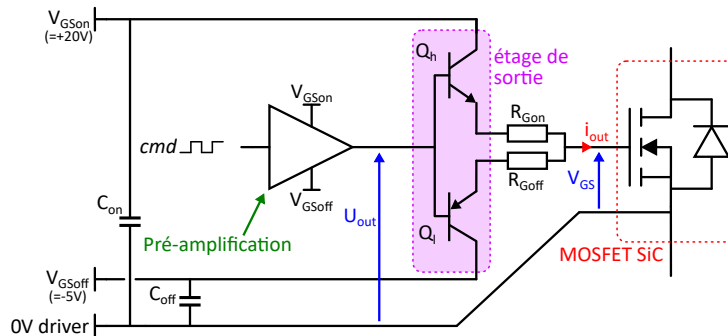


**Fig. 2.3 :** Étage de sortie : montage push-pull à MOSFET [14]

Ce montage à l'avantage de pouvoir faire circuler un fort courant de grille  $i_G$  dans le composant de puissance à partir d'un très faible courant de contrôle  $i_{out}$ . On note néanmoins que le signal de commande  $cmd$  doit être inversé afin d'appliquer un ordre d'amorçage sur état haut de  $cmd$ . Le montage présente de plus un phénomène de conduction simultanée des MOSFET  $T_h$  et  $T_l$  pendant les changements d'état du signal de commande. Si aucun temps mort n'est implémenté dans la commande de l'étage de sortie, la différence entre le temps de blocage et le temps d'amorçage d'un composant MOSFET engendre un bref court-circuit de bras limité uniquement par les résistances  $R_{on}$  et  $R_{off}$  [14].

### I.1.3 Étage de sortie à transistors bipolaires

Le montage push-pull à transistors bipolaires illustré à la figure 2.4. Il est composé de deux transistors bipolaires  $Q_h$  et  $Q_l$  à émetteurs communs, précédés d'un étage de pré-amplification.



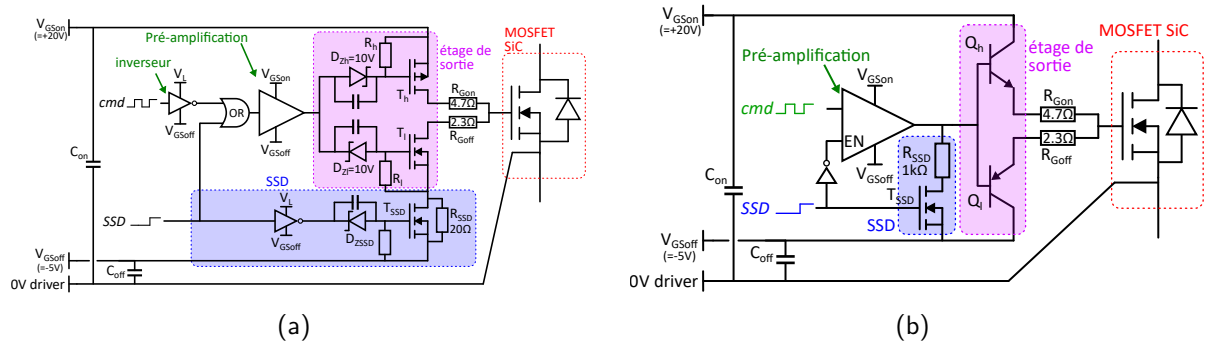
**Fig. 2.4** : Étage de sortie : montage push-pull à transistors bipolaires

Contrairement au montage à MOSFET fonctionnant en régime bloquée/saturée, le montage push-pull a l'avantage de fonctionner en mode linéaire. Cela empêche tout court-circuit de bras de l'étage de sortie (cross-conduction) pendant les changements d'état du signal de commande. De plus, contrairement au montage à MOSFET, le signal de commande n'a pas besoin d'être inversé. On note cependant une chute de tension entre le signal d'entrée  $U_{out}$  et la tension réelle appliquée  $V_{GS}$  de l'ordre de grandeur de la tension  $V_{BE}$  des transistors bipolaires.

### I.1.4 Gestion du SSD

Lors d'un court-circuit de bras, le courant dans le composant de puissance croît très rapidement. Il n'est pas possible d'ouvrir le composant très rapidement sous peine d'une destruction de ce dernier. Un mécanisme d'ouverture lent (SSD) doit être mis en œuvre.

Le choix entre le montage à transistors bipolaires et le montage à MOSFETs a des conséquences sur la gestion du SSD. Une structure du blocage SSD adaptée aux étages de sortie à MOSFET est illustrée à la figure 2.5a. Le principe consiste à ajouter une résistance  $R_{SSD}$  en série sur la source du transistor  $T_1$  qui assure un fonctionnement en source de courant de l'étage de sortie. En fonctionnement normal, on amorce le transistor  $T_{SSD}$  afin de court-circuiter  $R_{SSD}$ . On se retrouve dans le cas du schéma figure 2.3.



**Fig. 2.5 :** Solution d'implémentation de la fonction SSD sur un étage de sortie à MOSFET (a) et à bipolaires (b)

Dans le cas du montage à transistors bipolaires, on place la résistance  $R_{SSD}$  sur la base des transistors (voir figure 2.5b). Le signal SSD met le pré-amplificateur en haute impédance et amorce le transistor  $T_{SSD}$ . La résistance  $R_{SSD}$  vient alors appliquer un ordre de blocage sur la base des transistors. La valeur  $R_{SSD}$  choisie doit être suffisamment grande afin de limiter le courant de décharge du composant de puissance.

Au final, on préférera dans la suite le montage à transistors bipolaires pour la simplicité de mise en œuvre du circuit SSD et l'absence du phénomène de cross conduction.

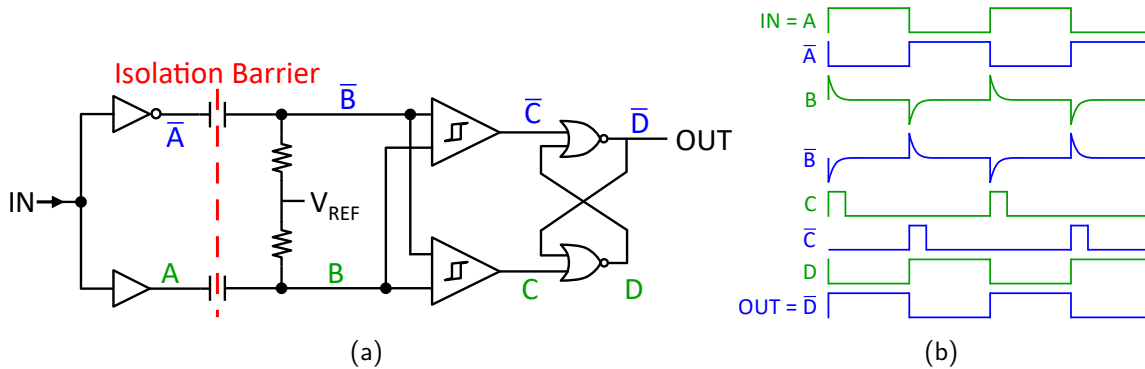
## I.2 Transmission du signal de commande

L'étage de sortie permet d'adapter le signal de commande  $cmd$  faible puissance aux niveaux de tension et de puissance requis pour le pilotage de la grille du composant de puissance. Le driver doit transporter le signal de commande depuis l'unité de contrôle jusqu'à l'étage de sortie à travers l'isolation galvanique du driver. La transmission des ordres peut être réalisée à l'aide d'optocoupleurs, de fibres optiques, d'isolations capacitatives ou inductives.

Les optocoupleurs sont principalement utilisés dans les applications faibles tensions ( $<1\text{ kV}$ ) car ils sont peu onéreux et peu volumineux. Pour les applications moyennes tensions ( $[1\text{ kV}, 10\text{ kV}]$ ), les fortes contraintes normatives induisent de long temps de propagation et de fortes incertitudes sur ces temps. Le gate driver doit alors les compenser en allongeant les temps morts ce qui impact négativement la qualité de la forme d'onde du courant en sortie du convertisseur.

Dans les applications fortes tensions ( $>10\text{ kV}$ ), les contraintes normatives imposent les solutions à base de fibres optiques. Ces solutions sont néanmoins très coûteuses et très volumineuses.

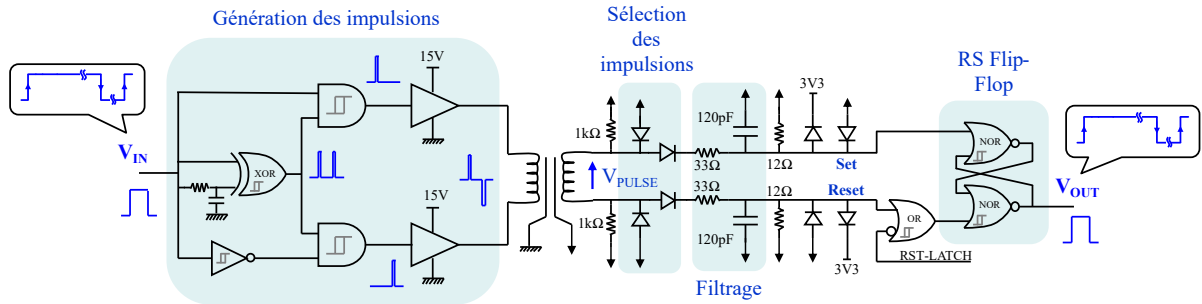
Dans le cas des applications moyennes tensions, on préférera des solutions à base d'isolations capacitatives ou inductives. Les isolateurs numériques utilisent un couplage capacitif afin d'assurer l'isolation galvanique (voir figure 2.6). Un signal d'entrée asymétrique est séparé en deux composantes symétriques  $A$  et  $\bar{A}$  via la porte inverseuse en entrée. Les signaux  $B$  et  $\bar{B}$  récupérés de l'autre côté de la barrière d'isolation sont les régimes transitoires des signaux originaux  $A$  et  $\bar{A}$ . Ces signaux transitoires sont mis en formes par deux comparateurs à trigger de Schmitt (signaux  $C$  et  $\bar{C}$ ). On vient ensuite reconstruire le signal de sortie  $OUT$  à l'aide d'une bascule flip-flop.



**Fig. 2.6 :** Circuit de transmission des ordres par isolateur numérique [51]

Les circuits à transformateurs d'impulsions utilisent l'isolation inductive (voir figure 2.7). Comme dans le cas des isolateurs digitaux, le signal en entrée est converti sous formes d'impulsions puis envoyé aux transformateurs. Les signaux reçus au secondaire des transformateurs sont alors reconstruits. Contrairement aux isolateurs digitaux, les transformateurs de pulse permettent un échange d'informations bidirectionnel par l'application d'un pulse long côté secondaire. Cette particularité est particulièrement appréciée car elle permet l'envoi d'un pulse d'erreur sans devoir ajouter un circuit de transmission d'information à travers l'isolation galvanique. Afin de réduire l'encombrement du circuit, de nouveaux circuits intégrés utilisant la technologie des transformateurs coreless ont été développés [52].

Le tableau 2.1 fournit des informations supplémentaires sur chaque solution. Au final, on préférera dans la suite les circuits à transformateurs d'impulsions pour leur tenue en tension et leur faible encombrement vis-à-vis des circuits à fibre optique.


**Fig. 2.7 :** Circuit de transmission des ordres par transformateurs d'impulsions

**Tab. 2.1 :** Comparaison des différentes solutions de circuits de transmission des ordres à travers l'isolation galvanique [52]

Paramètres	Avantages	Inconvénients
Optocoupleurs	<ul style="list-style-type: none"> <li>- faibles coûts</li> <li>- faible encombrement</li> </ul>	<ul style="list-style-type: none"> <li>- forte capacité parasite (faible CMTI)</li> <li>- faible tension d'isolation (&lt;1 kV)</li> </ul>
transformateurs d'impulsions	<ul style="list-style-type: none"> <li>- forte tension d'isolation (&gt;1.7 kV)</li> <li>- faible délai de propagation des ordres</li> </ul>	<ul style="list-style-type: none"> <li>- volumineux</li> </ul>
transformateurs coreless	<ul style="list-style-type: none"> <li>- très faible délai de propagation des ordres</li> <li>- fort CMTI</li> </ul>	<ul style="list-style-type: none"> <li>- tension d'isolation moyenne (<math>\approx</math> 1.2-1.7kV)</li> </ul>
Isolateurs numériques	<ul style="list-style-type: none"> <li>- faible délai de propagation des ordres</li> </ul>	<ul style="list-style-type: none"> <li>- niveau de tension d'isolation moyen (<math>\approx</math> 1.2-1.7kV)</li> </ul>
Fibre optique	<ul style="list-style-type: none"> <li>- très forte tension d'isolation</li> <li>- très fort CMTI</li> </ul>	<ul style="list-style-type: none"> <li>- coûts élevés</li> <li>- volumineux</li> </ul>

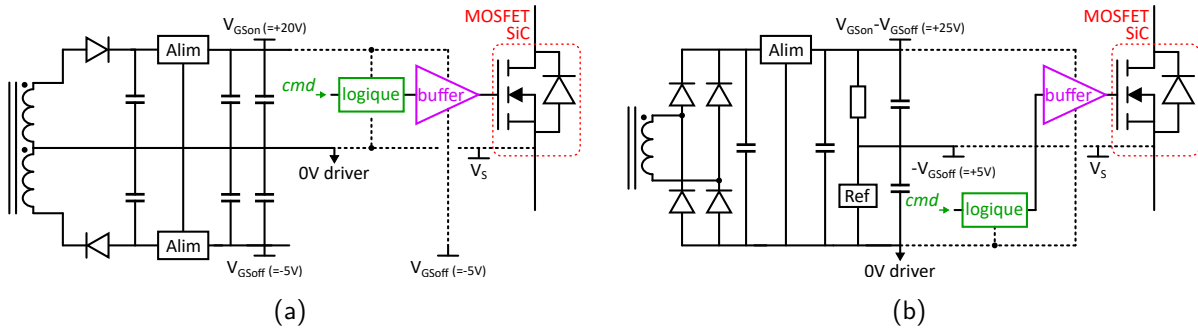
### I.3 Gestion des alimentations

L'alimentation en énergie des circuits secondaires d'un driver est réalisée par des convertisseurs isolés faible puissance depuis le circuit primaire. Ces alimentations définissent les tensions de pilotage du composant de puissance  $V_{GS_{ON}}$  et  $V_{GS_{OFF}}$  (voir figure 2.4) et fournissent l'énergie nécessaire à l'électronique du circuit secondaire.

La régulation des tensions aux secondaires peut être faite par l'intermédiaire de convertisseurs isolés régulés ou en boucle ouverte. Les convertisseurs en boucle ouverte sont majoritairement utilisés dans les applications driver car ils sont plus fiables. De plus, l'absence de composants à travers la barrière d'isolation nécessaire à la régulation (souvent des optocoupleurs) leur permet d'atteindre une capacité de mode commun plus faible et donc une Common-Mode Transient Immunity (CMTI) plus grande [124]. Parmi les topologies



de convertisseurs isolés, le montage push-pull est préféré à cause de sa plus grande densité de puissance [53]. Dans le cas des convertisseurs isolés en boucle ouverte, la régulation des potentiels de sortie est effectuée côté secondaire à l'aide de convertisseurs non isolés ou de référence de tension. La figure 2.8 illustre deux réalisations classiques (driver Cissoid CMT-TIT8244 ou driver Concept 2SC0650P) de régulation des potentiels de sortie.



**Fig. 2.8** : Alimentation circuit secondaire et choix des potentiels de référence  $V_S$  (a) source connectée au 0V driver (driver Cissoid CMT-TIT8244) (b) source connectée à  $-V_{GS_{OFF}}$  (driver Concept 2SC0650P)

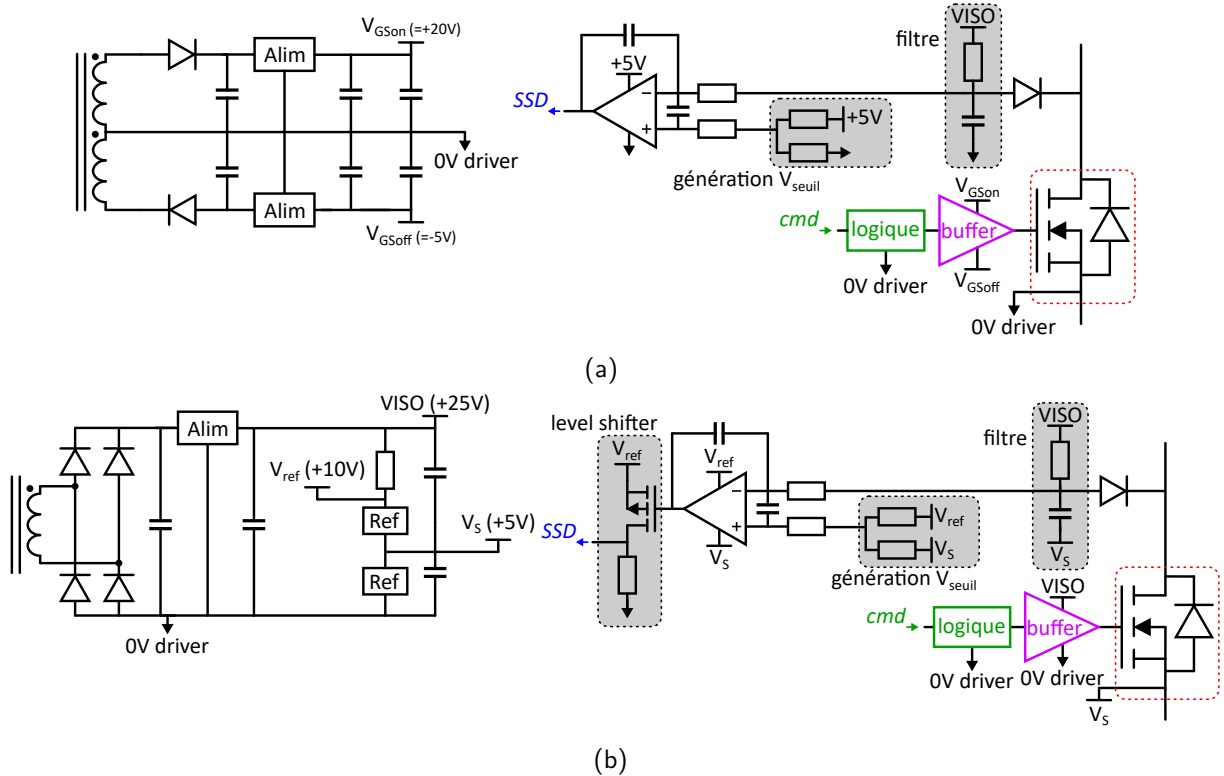
La majorité des drivers industriels utilisent la première solution figure 2.8a (voir tableau 2.2). Cette solution permet une grande stabilité des potentiels du circuit secondaire. Elle nécessite cependant l'ajout d'un level shifter dans le circuit de logique ou l'étage de sortie (buffer) afin de pouvoir gérer le potentiel négatif  $V_{GS_{OFF}}$ . L'autre solution présentée à la figure 2.8b consiste à référencer l'électronique au potentiel le plus bas. La source du composant de puissance est connectée à un pont capacitif dont le potentiel est maintenu constant grâce à une polarisation statique.

**Tab. 2.2** : Comparaison des choix du potentiel de référence  $V_S$

Choix des potentiels de référence	$V_S = 0V$ driver	$V_S \geq 0V$ driver
Références	<ul style="list-style-type: none"> <li>- Cissoid CMT-TIT8244</li> <li>- Cree PT62SCMD12-17</li> <li>- AgileSwitch 62EM1</li> <li>- Rohm BM6101FV-C</li> </ul>	<ul style="list-style-type: none"> <li>- Concept 2SC0650</li> <li>- Smart gate driver IETR</li> <li>- <b>driver AM-PM</b></li> </ul>
Avantages	<ul style="list-style-type: none"> <li>- potentiel de source stable</li> <li>- fiable et robuste</li> </ul>	<ul style="list-style-type: none"> <li>- faibles coûts</li> </ul>
Inconvénients	<ul style="list-style-type: none"> <li>- coûts (2 alimentations)</li> <li>- gestion tensions négatives</li> </ul>	<ul style="list-style-type: none"> <li>- potentiel de source pouvant varier</li> </ul>

Le choix des potentiels de référence a aussi un impact sur le circuit de détection des courts-circuits par DESAT. Quand la référence driver 0V driver est connectée à la

source du composant de puissance, le circuit de DESAT est directement compatible avec les niveaux de tension du circuit logique (voir figure 2.9a). Dans le cas du décalage du potentiel  $V_S$  (voir figure 2.9b), le circuit de DESAT est référencé au +5 V. Un level shifter permet de ramener le signal en sortie de la DESAT au 0V driver.



**Fig. 2.9 :** Différentes mises en œuvre du circuit de DESAT en fonction des potentiels de référence. (a)  $V_S = 0V$  driver. (b)  $V_S = +5V$

On préférera dans la suite la topologie de la figure 2.8b pour la simplicité de gestion des alimentations et des potentiels (pas de potentiels négatifs).

## I.4 Exemple de topologie usuelle

La figure 2.10 rappelle la topologie d'un circuit de commande classique. On y retrouve une isolation par transformateur inductif, une alimentation par potentiel décalé et un étage de sortie à transistors bipolaire. Le potentiel de source du composant de puissance est fixé au +5 V. Le buffer (ou étage de sortie) connecté à la grille du composant fait basculer le potentiel de grille entre +25 V et 0V driver afin d'appliquer la tension  $V_{GS}$  voulue (+20 V/-5 V).

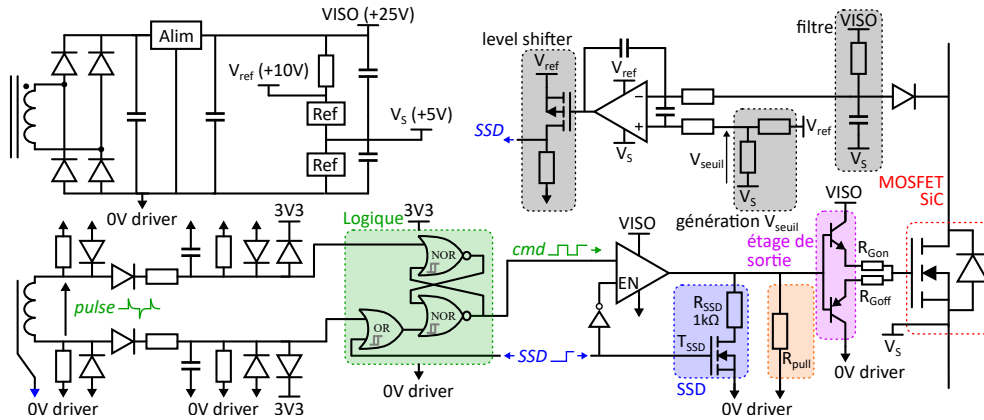


Fig. 2.10 : Exemple de topologie du circuit de commande par la grille

## II Circuit de commande par la source

Cette section détaille la nouvelle topologie de commande mise en place pour résoudre le problème de compatibilité entre la DESAT et le circuit d'estimation du courant de fuite de grille.

### II.1 Compatibilité du circuit de surveillance

La mesure du courant de fuite mise en œuvre dans la thèse de J. Weckbrodt [55] est incompatible avec le circuit de détection de court-circuit à cause de la diode DESAT. La méthode proposée se base sur une estimation indirecte du courant de fuite  $I_{GSS}$  par intégration du courant traversant les capacités de découplages ( $C_{on}$  et  $C_{off}$  sur la figure 2.11). Cependant, le courant de fuite inverse  $i_{leakage}$  (en rouge et violet) appelé par la diode DESAT ressort du driver par sa connexion de source kelvin à travers le pont capacitif  $C_{on}/C_{off}$  servant à estimer  $I_{GSS}$  (en vert) ce qui perturbe l'estimation.

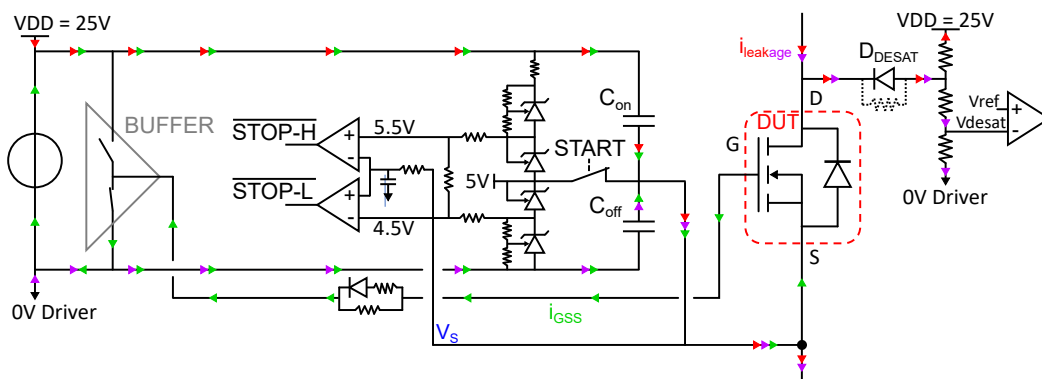


Fig. 2.11 : Estimation du courant de fuite de grille  $I_{GSS}$  par intégration du courant au niveau des capacités du buffer et problème de compatibilité avec la DESAT

La solution proposée met en place une nouvelle topologie de commande du compo-

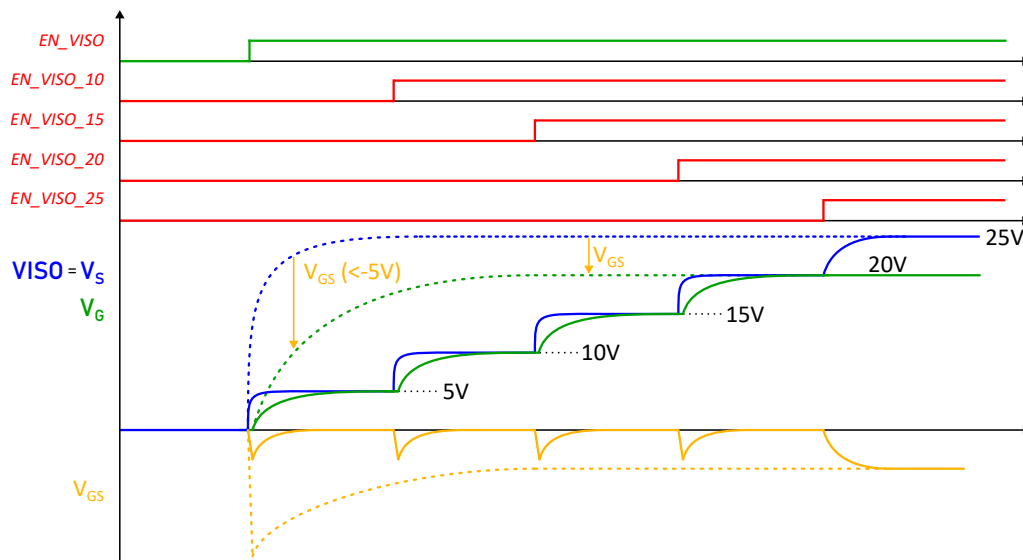


## II.3 Mise en place de la nouvelle topologie

### II.3.1 Alimentation du source driver : phase de démarrage

La capacité grille-source du composant de puissance peut capter des charges de plusieurs sources (via la capacité de Miller drain-grille ou via des décharges électrostatiques) et le rendre passant. Le driver doit donc être capable d'absorber/évacuer ces charges parasites afin de maintenir le composant de puissance dans un état bloqué. Quand le driver est alimenté, la tension  $V_{GS}$  est fixée par les tensions de références et l'étage de sortie du driver.

Pendant la phase transitoire de démarrage des alimentations du circuit secondaire, le blocage du composant doit être garanti tant que l'électronique de commande n'est pas opérationnelle. Dans le cas de la commande par la grille, le potentiel de grille reste fixe au 0V driver et le potentiel de source monte jusqu'au potentiel de référence +5 V. La tension  $V_{GS}$  reste négative avec une valeur minimale de  $-5$  V. Dans le cas de la commande par la source, les potentiels grille et source évoluent avec les alimentations : le potentiel de grille monte jusqu'au potentiel de référence +20 V pendant que le potentiel de source suit le rail d'alimentation VISO jusqu'à sa valeur finale +25 V (voir figure 2.13). Dans le cas standard en pointillé sur la figure 2.13, l'écart entre le potentiel  $V_G$  et  $V_S$  peut induire une tension grille-source inférieure à la tension minimale recommandée par le constructeur (ici  $-5$  V) et endommager la grille du composant.



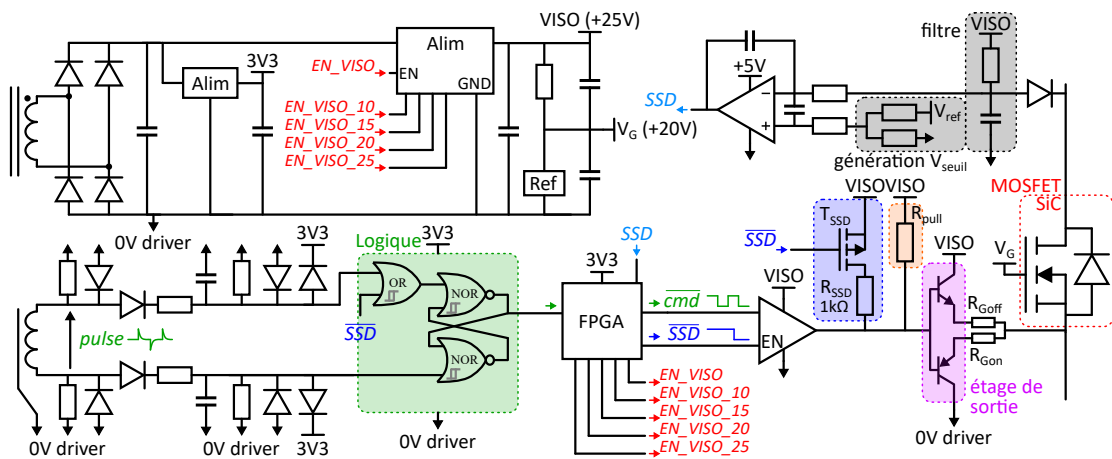
**Fig. 2.13** : Démarrage de l'alimentation du source driver, démarrage usuel (traits pointillés), démarrage pilotable proposé (trait plein)

Afin de garantir une tension  $V_{GS}$  dans la plage recommandée, le source driver est équipé d'une alimentation pilotable par FPGA (traits pleins sur la figure 2.14). Au démarrage du circuit secondaire, un FPGA va venir activer l'alimentation VISO à l'aide du signal

$EN\_VISO$ . Une fois l'alimentation stabilisée à 5 V, le FPGA va faire monter la régulation VISO progressivement jusqu'à +25 V à l'aide des signaux  $EN\_VISO\_10$ ,  $EN\_VISO\_15$ , etc.

### II.3.2 Prototypage d'un source driver

Afin d'être compatible avec le circuit d'estimation du courant de fuite de grille, le choix des potentiels de référence sera basé sur la solution de la figure 2.8b. La mise en œuvre retenue de la topologie par la source est illustrée à la figure 2.14. On y retrouve une alimentation pilotable avec un point milieu capacitif pour le potentiel de grille, un circuit de transmission des ordres par transformateur d'impulsions et un étage de sortie à transistors bipolaires.

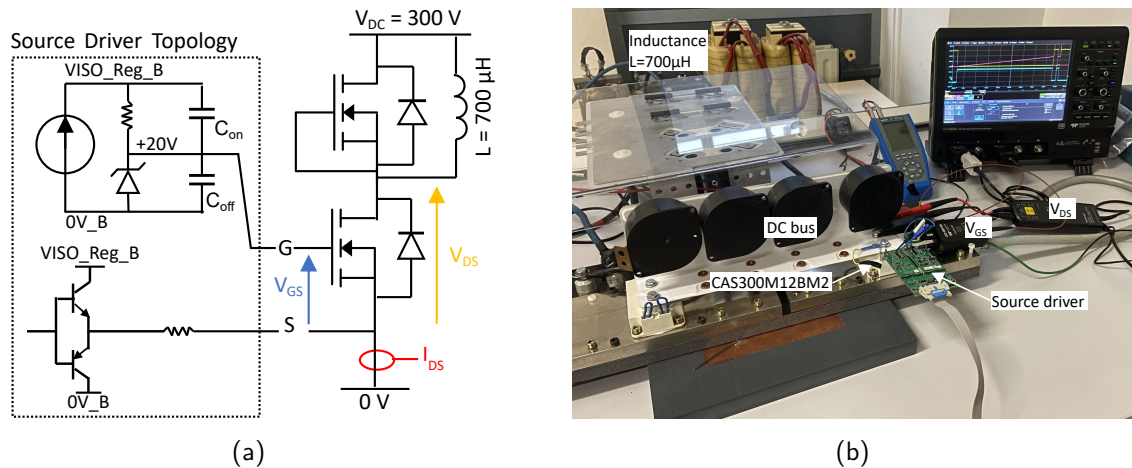


**Fig. 2.14** : Topologie du circuit de commande par la source retenue

La tension d'alimentation du circuit secondaire (+25 V) ne change pas, seules les potentiels de référence changent. Par rapport au cas illustré à la figure 2.12, la grille n'est plus fixée au 0V driver mais au potentiel +20 V. L'étage de sortie vient appliquer successivement les potentiels 0V driver et +25 V afin d'imposer les tensions  $V_{GS} = +20$  V et -5 V respectivement.

## II.4 Essais et validation de la nouvelle topologie

Un gate driver développé au laboratoire IETR est modifié en source driver afin de valider la nouvelle topologie. Le source driver est testé sur un module SiC CAS300M12BM2. On met en place un banc d'essai de type double pulses sous une tension  $V_{DC} = 300$  V. La figure 2.15 illustre le montage expérimental.

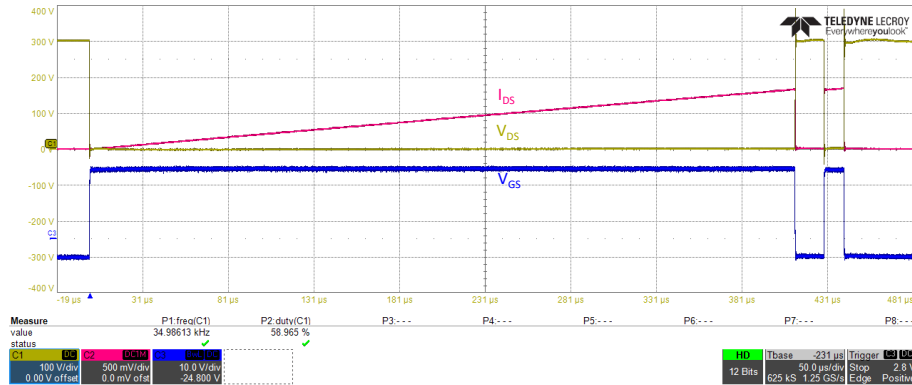


**Fig. 2.15** : Essai double pulses du source driver (a) schéma de câblage (b) montage expérimental

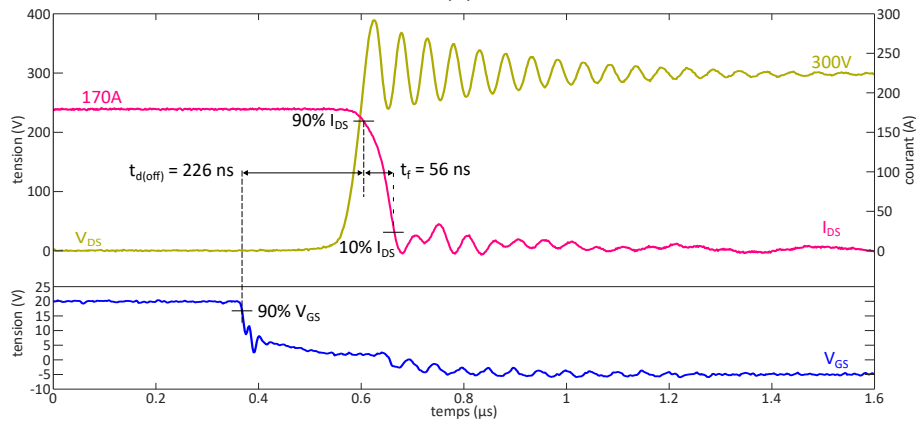
Le protocole expérimental double pulses permet d'étudier une commutation à forts courants / tensions en utilisant uniquement une charge inductive montée en hacheur. On vient charger une inductance à tension constante ce qui conduit à une croissance linéaire du courant dans le composant low side du module. Une fois le courant souhaité atteint, on vient effectuer une série de commutation (blocage, amorçage puis blocage définitif) afin de mesurer les performances en commutation du composant de puissance et du driver.

Le source driver est équipé de deux résistances MELFs  $4.7 \Omega$  en parallèle pour une résistance de grille extérieure au module équivalent de  $2.35 \Omega$ . La figure 2.16 illustre les formes d'ondes de l'essai double pulses. Durant l'essai double pulses, l'effet de la rétroaction de la capacité de Miller sur le potentiel  $V_G$  est surveillé pour s'assurer qu'aucun amorçage involontaire n'a lieu.

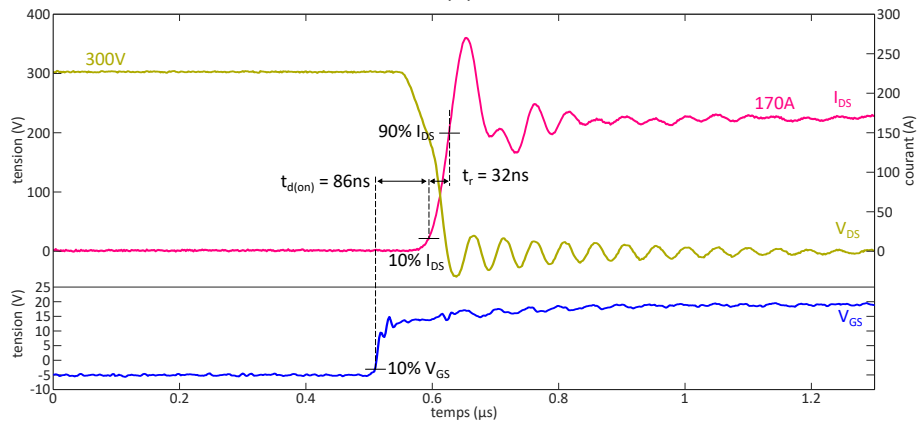
On affiche sur les figures 2.16b et 2.16c les différentes constantes de temps importantes ainsi que leurs définitions liées aux régimes transitoires au blocage et à l'amorçage. Les valeurs annoncées dans le datasheet du fabricant sont rappelées dans le tableau de la figure. Les commutations observées étant proche des données datasheet, la nouvelle topologie est jugée apte à piloter un module SiC.



(a)



(b)



(c)

$t_{d(off)}$	Turn off delay time	210	ns	$C_{GS} = 600 \text{ V}$ , $V_{GS} = -5 \text{ V} / +20 \text{ V}$ , $I_{DS} = 300 \text{ A}$ , $R_{G(ext)} = 2.5 \Omega$ , Timing relative to $I_{DS}$ Inductive load
$t_f$	Fall time	66	ns	
$t_{d(on)}$	Turn on delay time	76	ns	
$t_r$	Rise time	30	ns	

(d)

**Fig. 2.16 :** (a) Formes d'ondes de l'essai double pulses 300 V/170 A du souce driver, (b) zoom sur le régime transistoire au blocage, (c) zoom sur le régime transistoire à l'amorçage (d) extrait de la datasheet du module CAS300M12BM2



### III Conclusion

Ce chapitre introduit une nouvelle topologie de commande pour les composants de puissance : la commande par la source.

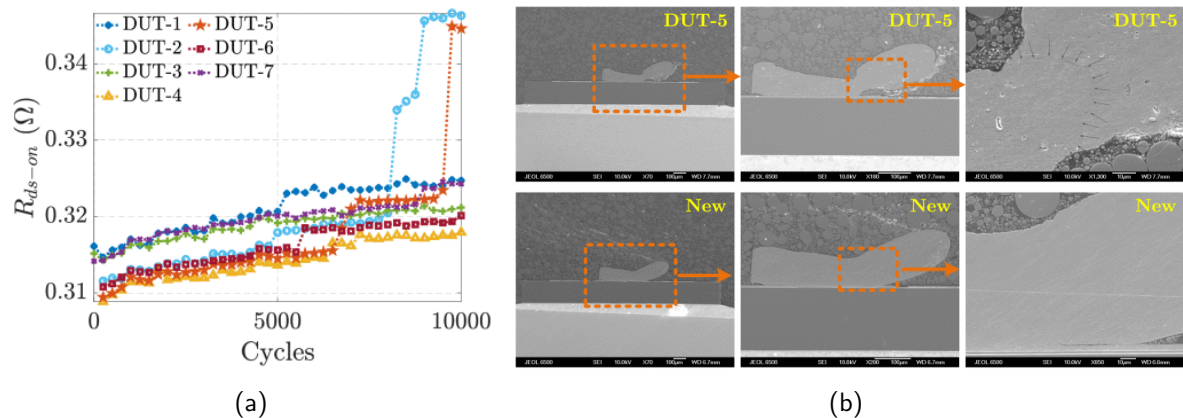
En premier lieu, une étude résume les fonctions d'un circuit de commande par la grille classique comme la transmission des ordres de commande ainsi que les différentes réalisations pratiques (optocoupleurs, isolateurs numériques, transformateurs d'impulsions, etc.).

À partir de cette étude, un circuit de commande par la source est proposé. Ce nouveau circuit de commande rend compatible un circuit d'estimation du courant de fuite de grille des composants MOSFETs SiC avec les circuits basés sur des diodes DESAT (détection du court-circuit, mesure de la tension à l'état passant).

Pour finir, un prototype de source driver issu d'un gate driver est testé en essai double pulses. Le protocole de test a permis de vérifier la capacité de la nouvelle topologie à piloter des modules à composants semi-conducteur de puissance.

# MESURE DE LA TENSION À L'ÉTAT PASSANT $V_{DS_{ON}}$

Dans les applications convertisseurs de puissance, les cyclages thermiques subits par les semi-conducteurs de puissance SiC dus aux conditions de fonctionnement entraînent des contraintes thermomécaniques sur les couches adjacentes. En raison des différences de coefficient de dilatation thermique entre la puce semi-conductrice et son environnement (substrat, fils de liaison), des fatigues mécaniques peuvent apparaître au niveau des points de contact. La figure 3.1a illustre l'évolution de la résistance à l'état passant de MOSFETs SiC [105]. Enes Ugu et al. ont vieilli 7 MOSFETs SiC par cyclage thermique sur 10 000 cycles. Sur ces résultats, on voit que les composants 2 et 5 présentent une forte variation de la résistance  $R_{DS_{ON}}$  au cours du cyclage. La vue transversale au microscope du composant 5 est présentée figure 3.1b et est comparée à la vue transversale d'un composant neuf. Leur analyse révèle qu'une fissure s'est formée au talon du fil de liaison.



**Fig. 3.1** : Cyclage thermique de plusieurs MOSFETs SiC [105], (a) variation de la résistance à l'état passant  $R_{DS_{ON}}$ . (b) vue transversale du DUT 5

La résistance à l'état passant peut alors être considérée comme un bon indicateur de vieillissement des modules de puissance (puces + fils de liaison). La mesure de la résistance à l'état passant d'un composant se fait par l'acquisition de deux mesures simultanées : la tension drain-source à l'état passant  $V_{DS_{ON}}$  et le courant traversant le canal du composant de puissance  $I_{DS_{ON}}$ . Ces mesures peuvent se faire en fonctionnement ("online") ou

à vide ("offline") [125]. La mesure "offline" est la plus simple à réaliser techniquement mais nécessite un arrêt du système afin de pouvoir extraire le module SiC et le placer dans un appareil de mesure. Dans l'optique d'une maintenance conditionnelle, ces phases d'arrêt espacées dans le temps ne permettent pas un suivi en temps réel du module. Nous nous sommes donc tournés vers une mesure online pouvant être opérée à n'importe quel moment.

Dans les cas de mesures "online", la mesure du courant se fait la plupart du temps par un circuit externe (sonde de Rogowski [126], etc.). Nous nous focaliserons sur l'acquisition de la tension  $V_{DS_{ON}}$  dans ce chapitre.

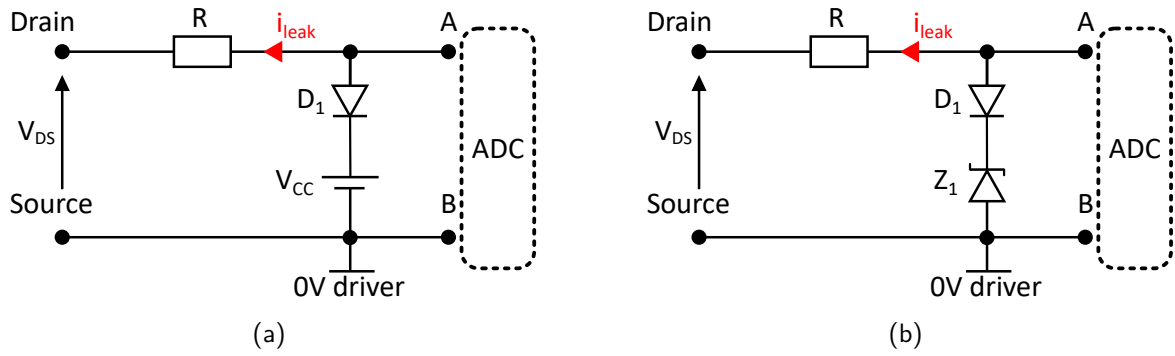
## I Etat de l'art des systèmes de mesures conventionnels

Il existe un écart entre la tension à l'état passant  $V_{DS_{ON}}$  du composant de puissance ( $\approx 2\text{ V}$ ) et sa tension à l'état bloqué  $V_{DS_{OFF}}$  (2.5 kV). Afin de supporter ces écarts de tension, on utilise des Drain Voltage Clamping Circuits (DVCCs) pour bloquer la tension à l'état bloqué  $V_{DS_{OFF}}$  du composant de puissance [127]. L'étude bibliographique a permis de mettre en lumière deux grandes catégories de DVCCs : les DVCCs à isolation par composants passifs et les DVCCs utilisant des composants semi-conducteurs.

Les DVCCs par composants passifs assurent la protection du système de mesure à l'aide de composants résistifs. Lorsque le composant de puissance est bloqué, la tension  $V_{DS_{OFF}}$  augmente jusqu'à dépasser une tension seuil fixée. La diode  $D_1$  rentre alors en conduction ce qui assure la protection du circuit de mesure. Cette tension seuil peut être fixée par une source de tension ( $V_{CC}$  à la figure 3.2a) ou à l'aide d'une diode zener ( $Z_1$  à la figure 3.2b). Quand le composant de puissance est passant, la chute de tension  $V_{DS_{ON}}$  est inférieure à la tension seuil, la diode  $D_1$  se bloque ce qui permet la mesure. En incluant la chute de tension aux bornes de la résistance  $R$ , la tension mesurée  $V_{AB}$  est donnée équation (3.1).

$$V_{AB} = V_{DS_{ON}} + R \cdot i_{\text{leak}} \quad (3.1)$$

Il faut ici choisir des diodes ( $D_1$ ) à faible courant de fuite  $i_{\text{leak}}$  afin d'obtenir une mesure la plus juste possible. De plus, lorsque le composant de puissance est bloqué, la résistance supporte la tension du composant  $V_{DS_{OFF}}$ . Il convient alors de choisir une valeur suffisamment grande dans le but de limiter la puissance dissipée par la résistance tout en assurant un facteur de bruit thermique acceptable pour la mesure.



**Fig. 3.2 :** DVCCs par composants passifs conventionnels. (a) DVCCs utilisant une source de tension [127]. (b) DVCCs utilisant une diode zener [128].

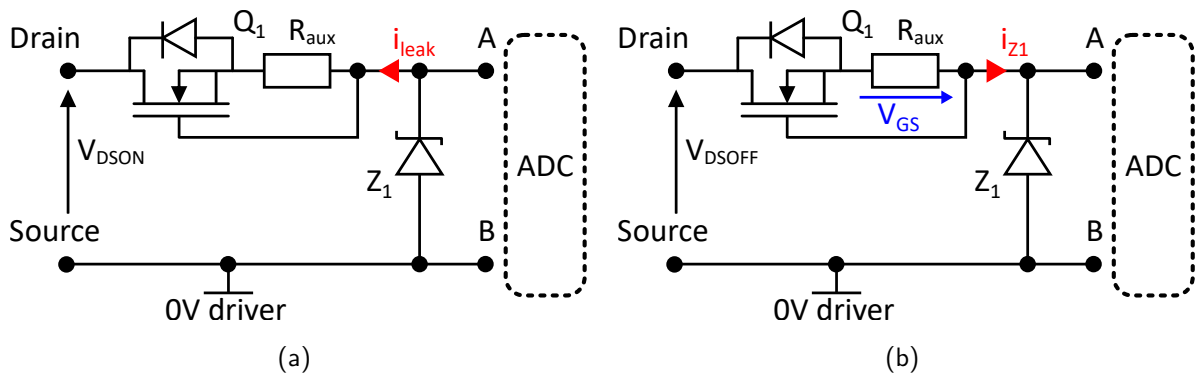
Certains DVCCs assurent l'isolation du système de mesure à l'aide de transistors normally-on haute tension ( $V_{TH} < 0V$ ) (voir figure 3.3).

Dans le cas du montage figure 3.3a, quand la tension  $V_{DS_{ON}}$  est inférieure à la tension seuil imposée par  $Z_1$ , le transistor  $Q_1$  rentre en conduction à travers sa diode interne (voir figure 3.3a). En notant  $R_{Q1}$  la résistance à l'état passant du transistor  $Q_1$ , la tension mesurée  $V_{AB}$  est donnée dans l'équation (3.2).

$$V_{AB} = V_{DS_{ON}} + R_{Q1} \cdot i_{leak} + R_{aux} \cdot i_{leak} \quad (3.2)$$

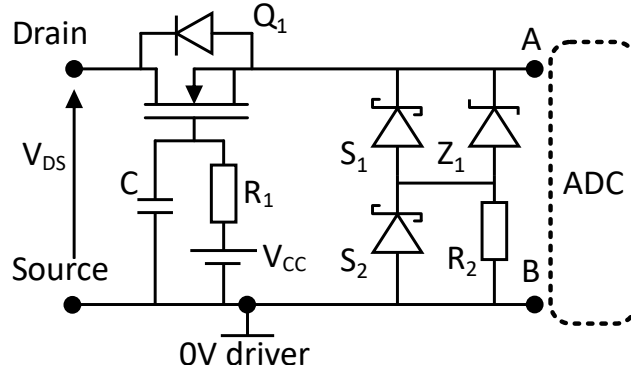
Quand la tension  $V_{DS_{OFF}}$  dépasse la tension seuil fixée par la diode zener  $Z_1$ , cette dernière entre en conduction. Le courant  $i_{z1}$  appelé par  $Z_1$  à travers le transistor  $Q_1$  finit par polariser la tension grille-source  $V_{GS}$  du transistor au travers de la résistance  $R_{aux}$ .

Cependant, lorsque le composant de puissance se bloque, la tension de mesure  $V_{AB}$  présente des pics dus à la capacité parasite du transistor  $Q_1$ . Afin de réduire ces pics, la valeur de la résistance  $R_{aux}$  doit être prise la plus petite possible ce qui entraîne un courant dans la résistance plus important lors de la mesure et donc une erreur de mesure plus grande.



**Fig. 3.3 :** DVCCs utilisant un transistor normally-on [129]. (a) schéma équivalent pour  $V_{DS_{ON}}$  (b) schéma équivalent pour  $V_{DS_{OFF}}$

Lu et al. [130] proposent un montage similaire illustré à la figure 3.4, permettant de réduire les pics de tension de mesure  $V_{AB}$  au moment de la commutation du composant de puissance. Il s'agit d'un montage à mi-chemin entre le montage illustré figure 3.2b et celui illustré figure 3.3a. Une diode zener  $Z_1$  ainsi que 2 diodes Schottky  $S_1$  et  $S_2$  sont utilisées afin de pré polariser la source du transistor  $Q_1$ . Cela permet de réduire les pics de tensions aux bornes de la capacité parasite du transistor  $Q_1$  pendant les commutations du composant de puissance.



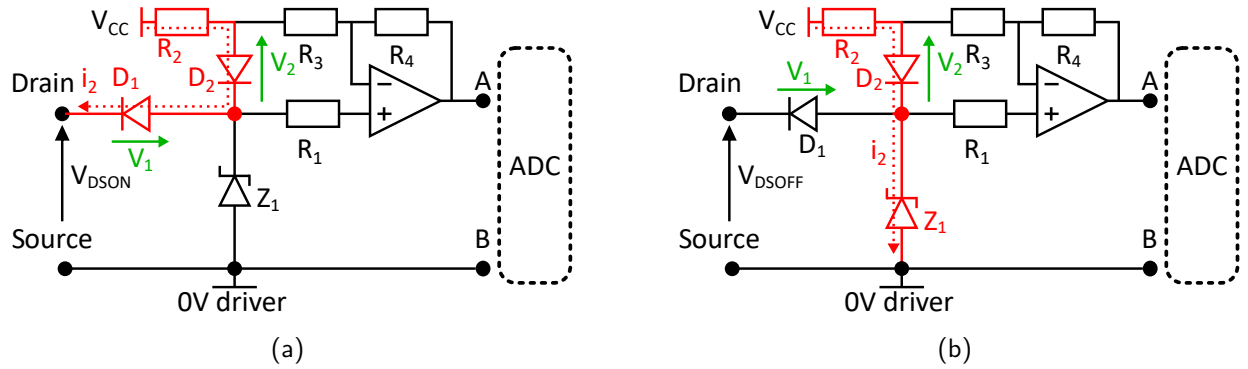
**Fig. 3.4** : Amélioration du montage DVCCs à transistor [130].

Afin d'éviter l'emploi de transistors haute tension, Ghimire et al. [131] proposent l'utilisation d'une diode haute tension à cause de sa plus faible capacité parasite que celle des transistors. Le système, illustré figure 3.5, protège le système de mesure à l'aide d'une diode  $D_1$ .

Quand la tension  $V_{DS_{ON}}$  est plus petite que la tension seuil fixée par  $Z_1$ , la diode  $D_1$  rentre en conduction (voir figure 3.5a). Un courant de polarisation  $i_2$  amené par la résistance  $R_2$  traverse alors les diodes  $D_1$  et  $D_2$ . Si ce courant et les caractéristiques de  $D_1$  et  $D_2$  sont identiques, la chute de tension  $V_2$  est égale à  $V_1$ . Le montage AOP avec les résistances  $R_3$  et  $R_4$  vient compenser  $V_1$  d'après l'équation (3.3).

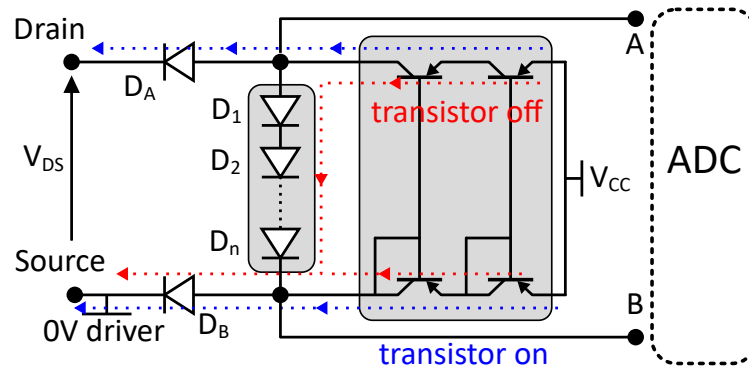
$$V_{AB} = V_{DS} + V_1 - V_2 \cdot \frac{R_4}{R_3} \approx V_{DS} + V_1 \cdot \left(1 - \frac{R_4}{R_3}\right) \underset{R_3=R_4}{\approx} V_{DS} \quad (3.3)$$

Quand la tension  $V_{DS_{OFF}}$  dépasse la tension seuil fixée par  $Z_1$ , la diode  $D_1$  se bloque. Le courant  $i_2$  est alors dérouté dans la zener  $Z_1$  (voir figure 3.5b).



**Fig. 3.5 :** DVCCs par diodes. [131] (a) schéma équivalent quand le composant de puissance est bloqué (b) schéma équivalent quand le composant de puissance est amorcé [128]

Gelagaev et al. [128] proposent enfin un circuit symétrique avec 2 diodes  $D_A$  et  $D_B$ . La figure 3.6 illustre le schéma. Afin de s'assurer que la chute de tension aux bornes de  $D_A$  et  $D_B$  soit la même lorsque le transistor de puissance est on, ils utilisent un miroir de courant (en bleu à la figure 3.6). Quand le composant de puissance est bloqué, le courant dans la diode  $D_A$  est dévié dans les diodes  $D_1$  à  $D_n$  (en rouge à la figure 3.6). Ainsi, la tension de seuil cumulée des diodes  $D_1$  à  $D_n$  définit la tension seuil du circuit (anciennement faite par la zener  $Z_1$ ).



**Fig. 3.6 :** DVCCs par diodes avec miroir de courant [128]

Dans la suite des travaux, on retiendra les montages DVCCs par résistances présentés sur la figure 3.2 et les montages DVCCs par diodes présentés sur la figure 3.5.

## II Circuit mesure proposé

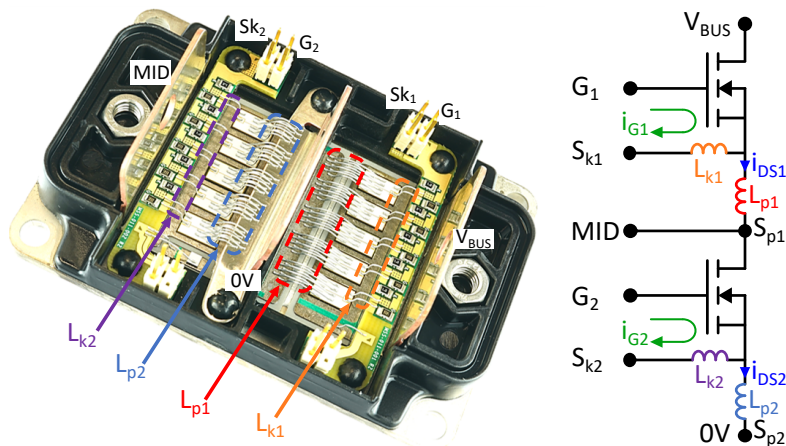
Dans la littérature, de nombreuses études sur les DVCCs ont été menées pour réduire leurs temps de réaction et fournir une meilleure précision [128] ou conformément à Yu et al. [132] une température de fonctionnement étendue. Néanmoins, tous les DVCCs de l'état de l'art bloquent uniquement le potentiel de drain du composant de puissance SiC

et supposent que le potentiel de source est connecté à la référence du Gate Driver (0V Driver). Rossetto et Spiazzi [133] ont discuté du bruit généré par la commutation du dispositif de puissance SiC sur ce potentiel de source. Tout courant de commutation traversant la référence du DVCCs peut affecter négativement la mesure de  $V_{DS_{ON}}$ . Ils proposent un circuit auxiliaire pour découpler le potentiel de référence du DVCCs du potentiel de source du composant de puissance. Cependant, leur circuit auxiliaire n'autorise que de petites oscillations de tension (700 mV crête-à-crête). Dans les applications de puissance, les oscillations de tension à travers les fils de liaison de puissance peuvent atteindre quelques dizaines voir centaines de volts crête-à-crête et ainsi détruire les DVCCs conventionnels.

Nous proposons dans ce chapitre un DVCCs capable de supporter de telles oscillations.

## II.1 Problématique liée aux modules de puissance

À cause des éléments parasites du module de puissance (inductances, capacités), les formes d'ondes des tensions et courants présentent des oscillations pendant les commutations. Celles-ci peuvent affecter la tension de grille du semi-conducteur et provoquer un auto-amorçage du composant [36]. Avec l'arrivée des composants SiC, les fréquences de commutation plus élevées amplifient ces oscillations [134]. Ainsi, la connexion Kelvin  $S_k$  sépare le chemin du courant de grille ( $i_{G_1}$  ou  $i_{G_2}$ ) du chemin du courant de puissance ( $i_{DS_1}$  ou  $i_{DS_2}$ ) pour garantir une tension de commande adéquate du composant SiC. La figure 3.7 illustre les chemins de ces courants.



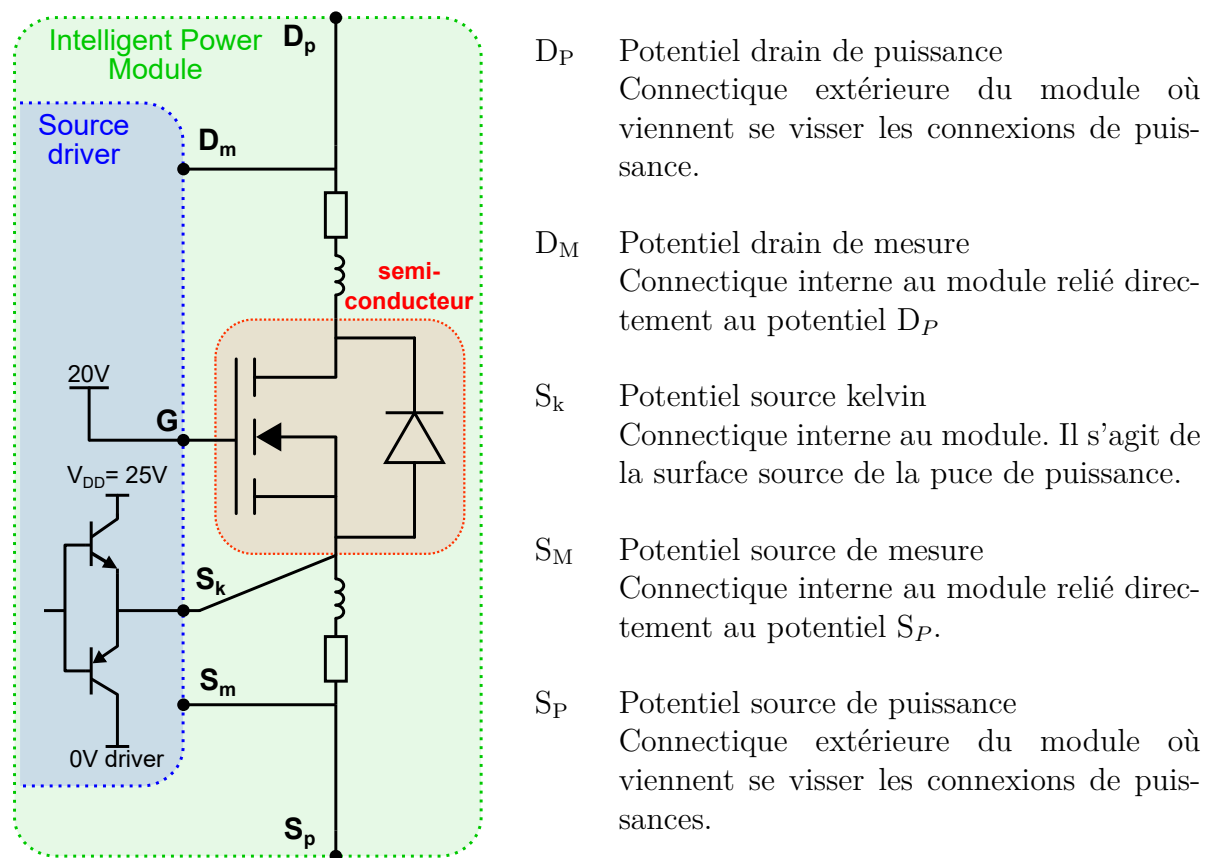
**Fig. 3.7 :** Vue interne d'un module de puissance SiC CAB450M12XM3 1.2 kV-450 A de Wolf-speed [135]

Mais comme le courant de puissance ( $i_{DS_1}$  ou  $i_{DS_2}$ ) circule dans les fils de liaison (bonding) symbolisés par les inductances  $L_{p_1}$  ou  $L_{p_2}$  respectivement, ils subissent des contraintes thermomécaniques comme illustré à la figure 3.1. Il convient alors de surveiller également ces fils de liaison afin de détecter tout vieillissement prématuré. Néanmoins, le

gate driver étant connecté à la source Kelvin, les DVCCs classiques ne peuvent pas les surveiller car ils sont situés entre la source Kelvin et la source puissance comme illustré à la figure 3.7. Nous proposons de remédier à ce problème.

## II.2 Objectifs du circuit de mesure

Dans le cadre du projet AM-PM, la fabrication du module de puissance est réalisée. Il est alors possible de faire ressortir plusieurs connectiques en interne pour la partie source driver qui ne sont normalement pas disponibles dans les modules du commerce. Sur la figure 3.8, on peut distinguer six points :



**Fig. 3.8 :** Frontières de l'IPM pour le circuit de mesure  $V_{DS_{ON}}$

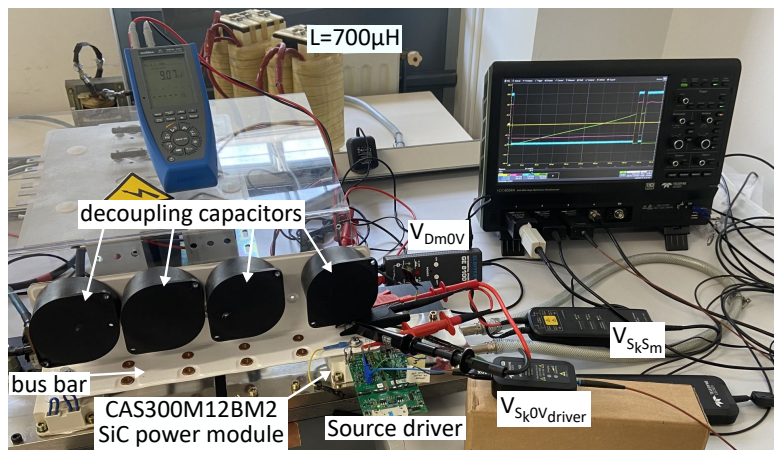
Contrairement aux modules standards, deux connectiques sont ajoutées :  $D_M$  et  $S_M$ . Ces connectiques internes au module sont dédiées uniquement à la mesure de  $V_{DS_{ON}}$ . Elles ont pour but de relier le circuit de mesure au plus près des connectiques de puissance extérieures du module. Cela assure alors une mesure plus juste prenant en compte les fils de bondings et la puce.

Avec cette nouvelle disposition, les points de mesure deviennent flottants vis-à-vis du potentiel de référence driver (0V driver). Il convient alors dans un premier temps d'identifier la plage de variation des potentiels de mesure  $D_M$  et  $S_M$ .



### II.3 Oscillations des potentiels pendant la commutation

Afin de quantifier l'amplitude des oscillations de tension aux bornes des fils de liaison, on effectue un test double pulse sur un module SiC CAS300M12BM2 1.2 kV/300 A (voir figure 3.9). Comme dans l'IPM du projet, le module CAS300M12BM2 est piloté par un source driver expérimental. Comparé au gate driver, le source driver fixe le potentiel de grille du semi-conducteur de puissance à 20 V. Le buffer de sortie du driver est connecté au potentiel source Kelvin du semi-conducteur de puissance. Il applique successivement 0/25 V pour atteindre les tensions de commande  $V_{GS}$  du semi-conducteur 20 V/−5 V. On rappelle ici que cette topologie présentée au chapitre 2 rend compatible le circuit d'estimation de fuite de grille présenté au chapitre 4 et le circuit détectant la désaturation du composant SiC [136].



**Fig. 3.9** : Test double pulse pour extraire les oscillations de tension  $V_{S_{k}S_{m}}$  aux bornes de fils de liaison.

La figure 3.10 fournit les formes d'onde du test double pulse. Le test est effectué sous une tension  $V_{DC} = 500$  V. On remarque dans un premier temps que la tension  $v_{D_{m0}V_{driver}}$  présente des oscillations limitées (10 V crête-à-crête). Cependant, la tension  $v_{S_{k}S_{m}}$  montre de fortes oscillations de tension (180 V crête-à-crête).

L'amplitude des oscillations est fortement corrélée à la vitesse de commutation du semi-conducteur de puissance. Pour la suite des travaux, on considère une amplitude des oscillations au niveau de la source égale à 300 V.

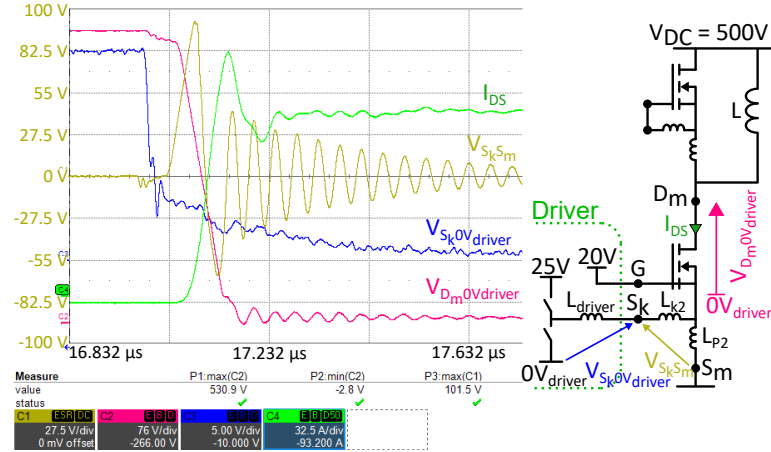


Fig. 3.10 : Résultats expérimentaux durant l'amorçage du composant de puissance.

## II.4 Cahier des charges du circuit de mesure

Le cahier des charges de l'IPM donne une résistance à l'état passant de  $7.5 \text{ m}\Omega$  à  $100 \text{ }^\circ\text{C}$ . Cette résistance est répartie entre les potentiels  $D_m\text{-}S_k$  et  $S_k\text{-}S_m$  avec respectivement  $6 \text{ m}\Omega$  et  $1.5 \text{ m}\Omega$  [55]. Comme nous considérons un courant  $I_{DS}$  variant de  $-500 \text{ A}$  à  $500 \text{ A}$ , il convient alors de différencier quatre cas de fonctionnement. On rappelle que les potentiels  $D_m$  et  $S_m$  sont définis à la figure 3.8.

Dans le cas 1, le composant est passant. Le courant de puissance est positif (i.e  $I_{DS} \in [0, 500 \text{ A}]$ ). Étant donné une résistance  $D_m\text{-}S_k$  de  $6 \text{ m}\Omega$ , on en déduit  $V_{D_m S_k} \in [0; 3] \text{ V}$ . Étant donné une résistance  $S_k\text{-}S_m$  de  $1.5 \text{ m}\Omega$ , on en déduit  $V_{S_k S_m} \in [0; 0.75] \text{ V}$ . L'ensemble des cas est résumé ci-dessous.

Cas 1 : composant passant quadrant 1  
( $I_{DS} > 0$ )

$$\text{Statique : } \begin{cases} V_{D_m S_k} \in [0; 3] \text{ V} \\ V_{S_k 0V_{\text{driver}}} \approx 0 \text{ V} \\ V_{S_k S_m} \in [0; 0.75] \text{ V} \end{cases}$$

$$\Rightarrow V_{D_m 0V_{\text{driver}}} \in [0; 3] \text{ V}$$

$$\Rightarrow V_{S_m 0V_{\text{driver}}} \in [-0.75; 0] \text{ V}$$

$$\Rightarrow V_{D_m S_m} \in [0; 3.75] \text{ V}$$

Cas 2 : composant passant quadrant 3  
( $I_{DS} < 0$ )

$$\text{Statique : } \begin{cases} V_{D_m S_k} \in [0; -3] \text{ V} \\ V_{S_k 0V_{\text{driver}}} \approx 0 \text{ V} \\ V_{S_k S_m} \in [-0.75; 0] \text{ V} \end{cases}$$

$$\Rightarrow V_{D_m 0V_{\text{driver}}} \in [-3; 0] \text{ V}$$

$$\Rightarrow V_{S_m 0V_{\text{driver}}} \in [0; 0.75] \text{ V}$$

$$\Rightarrow V_{D_m S_m} \in [-3.75; 0] \text{ V}$$

Cas 3 : composant bloqué ( $I_{DS} = 0$ )

$$\text{Statique : } \begin{cases} V_{D_m S_k} = 2500 \text{ V} \\ V_{S_k 0V_{\text{driver}}} \approx 25 \text{ V} \\ V_{S_k S_m} = 0 \text{ V} \end{cases}$$

$$\Rightarrow V_{D_m 0V_{\text{driver}}} \approx 2525 \text{ V}$$

$$\Rightarrow V_{S_m 0V_{\text{driver}}} \approx 25 \text{ V}$$

$$\Rightarrow V_{D_m S_m} = 2500 \text{ V}$$

L'étude menée précédemment nous a permis d'identifier la plage de variation des potentiels de mesure  $V_{D_m 0V_{\text{driver}}}$  et  $V_{S_m 0V_{\text{driver}}}$  en fonctionnement statique.

On propose le cahier des charges suivant pour le circuit de protection (DVCCs) :

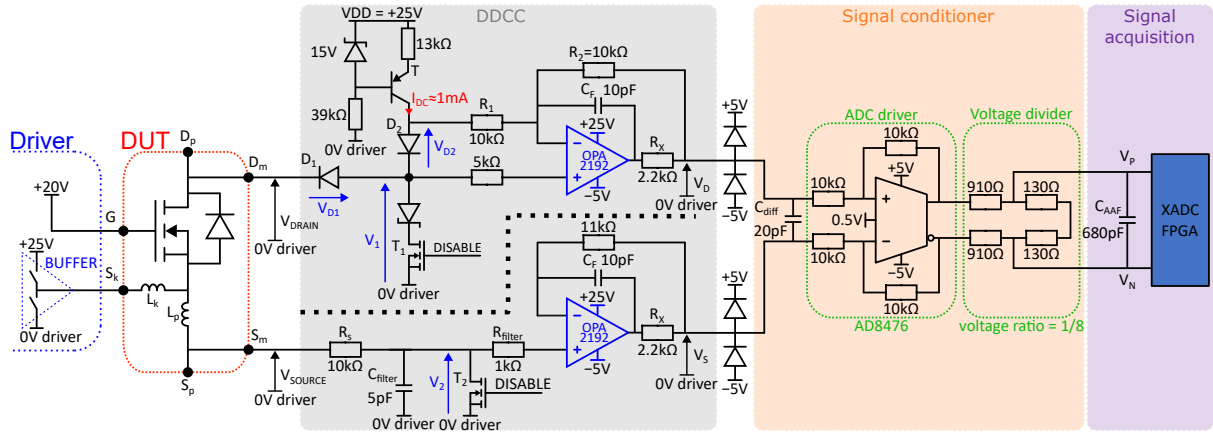
- Il devra supporter une tension de drain  $V_{D_m 0V_{\text{driver}}}$  statique allant jusqu'à 2500 V.
- Il devra supporter une tension de source  $V_{S_m 0V_{\text{driver}}}$  statique allant jusqu'à 25 V.
- Lors des commutations, le circuit devra supporter des oscillations de tension allant jusqu'à +150 V/-150 V (300 V crête-à-crête).

Le circuit d'acquisition numérique de la mesure devra respecter le cahier des charges suivant :

- Une plage de mesure symétrique de  $V_{D_m S_m} +4 \text{ V}/-4 \text{ V}$ .
- Une erreur de gain du circuit inférieure à 0.5 %
- Une résolution maximum de mesure de 5 mV
- Une fidélité de mesure de 3 mV au niveau de confiance 75 %

## II.5 Description de la chaine de mesure

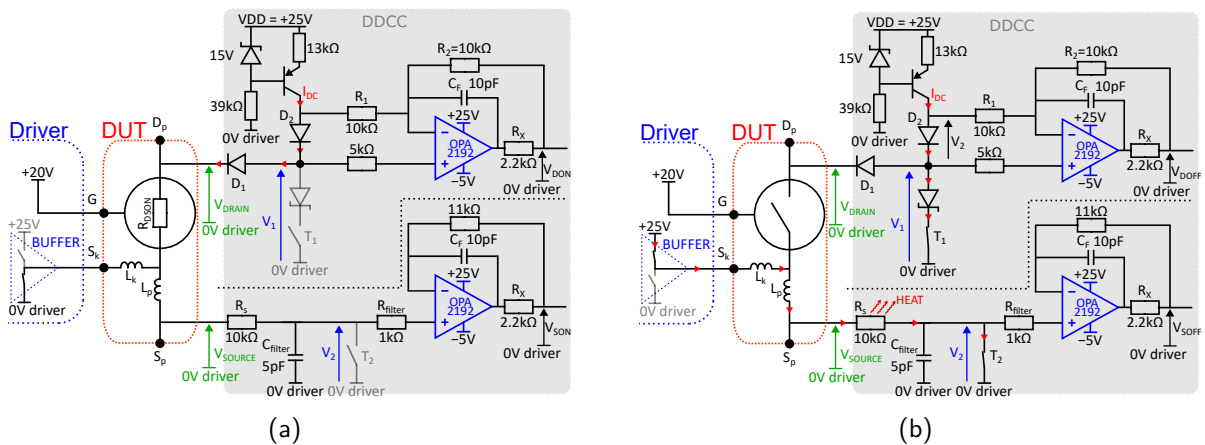
On propose une chaine d'acquisition de données numériques (Digital Data Acquisition System (DDAS)) comprenant un circuit de blocage différentiel double (Dual Differential Clamping Circuit (DDCC)) pour module de puissance SiC moyenne tension (jusqu'à 3.3 kV) compatible avec le source driver. Le DDAS complet avec son DDCC est présenté figure 3.11.



**Fig. 3.11** : Chaîne d'acquisition de données numériques (DDAS) avec le circuit de blocage différentiel double (DDCC)

### II.5.1 Circuit de blocage différentiel double (DDCC)

Le DDCC est composé de deux circuits DVCCs. Le circuit DVCCs du drain (partie supérieure) utilise un D2D standard ( $D_1$  et  $D_2$  sur la figure 3.11). Le circuit DVCCs de source (partie inférieure) utilise un DVCCs basé sur une résistance ( $R_s$  sur la figure 3.11). Comme les oscillations de commutation de la tension  $V_{S_k S_p}$  peuvent atteindre des amplitudes de  $+150\text{ V}/-150\text{ V}$ , deux transistors  $T_1$  et  $T_2$  commandés par un signal "DISABLE" clampent les potentiels  $V_1$  et  $V_2$  afin de protéger le circuit conditionneur lorsque aucune mesure n'est requise.



**Fig. 3.12** : Etat du DDCC (a) Quand le semi-conducteur est amorcé (b) Quand le semi-conducteur est bloqué

Lorsque le composant de puissance est amorcé (figure 3.12a), le source driver fixe le potentiel de source kelvin au 0V driver. Le potentiel de drain  $V_{\text{drain}}$  peut être mesuré en compensant la chute de tension aux bornes de  $D_1$  [131]. L'équation (3.4) met en évidence le principe de compensation. Pour atténuer le problème de bruit thermique des circuits

D2D dû aux diodes haute tension [127], les diodes  $D_1$  et  $D_2$  sont amorcées par une source de courant ( $I_{DC} \approx 1 \text{ mA}$ ). Le potentiel de source  $V_{\text{source}}$  peut être mesuré en compensant la chute de tension aux bornes des résistances  $R_s$  et  $R_{\text{filter}}$ .

$$V_{D_{ON}} = V_{DRAIN} + V_{D_1} - \frac{R_2}{R_1} \times V_{D_2} \quad (3.4)$$

Lorsque le semi-conducteur est bloqué (figure 3.12b), le source driver applique  $+25 \text{ V}$  à la source Kelvin. Les deux transistors imposent les potentiels  $V_1$  et  $V_2$ . La diode de puissance  $D_1$  bloque la tension de drain. Comme la tension  $V_1$  est proche de  $0 \text{ V}$ , le circuit de compensation donne  $V_{D_{OFF}} = -V_{D_2}$ .  $T_2$  étant passant,  $R_s$  supporte la tension  $V_{S_{k0V_{\text{driver}}}}$ . La capacité de dissipation thermique de  $R_s$  doit être calculée pour résister aux oscillations de tension  $V_{S_{kS_m}}$  dues aux commutations de l'IPM qui apparaissent deux fois par cycle PWM (amorçage et blocage du composant). On note  $t_{\text{osc}}$ , la durée des oscillations de tension  $V_{S_{kS_m}}$ . L'énergie des oscillations de commutation  $E_{V_{S_{kS_p}}}$  que  $R_s$  doit supporter à chaque cycle est décrite dans l'équation (3.5).

$$E_{V_{S_{kS_m}}} = 2 \cdot \int_{t_{\text{osc}}} \frac{(V_{S_{kS_m}}(t))^2}{R_s} \cdot dt \quad (3.5)$$

La puissance moyenne  $P_{V_{S_{kS_p}}_{\text{moy}}}$  que doit dissiper la résistance  $R_s$  dépend de l'énergie des oscillations  $E_{V_{S_{kS_p}}}$  et de la fréquence de commutation du convertisseur  $F_{\text{SW}}$  comme exprimée équation (3.6).

$$P_{V_{S_{kS_p}}_{\text{moy}}} = F_{\text{SW}} \cdot E_{V_{S_{kS_m}}} = 2 \cdot F_{\text{SW}} \cdot \int_{t_{\text{osc}}} \frac{(V_{S_{kS_p}}(t))^2}{R_s} \cdot dt \quad (3.6)$$

De plus, le dimensionnement thermique de  $R_s$  doit aussi tenir compte la tension  $+25 \text{ V}$  appliquée par le source driver (voir figure 3.12b). En supposant un signal PWM avec  $\alpha$  le rapport cyclique et  $F_{\text{SW}}$  la fréquence de commutation, la puissance instantanée  $p_{\text{off}}$  dissipée par  $R_s$  est décrite dans l'équation (3.7).

$$p_{\text{off}}(t) = \frac{(+25 \text{ V})^2}{R_s} \cdot (1 - \alpha(t)) \quad (3.7)$$

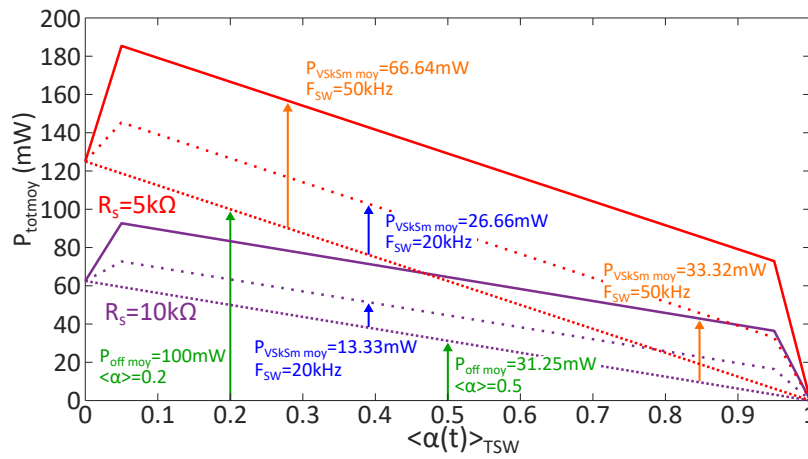
On note  $P_{\text{off}_{\text{moy}}}$  la valeur moyenne de  $p_{\text{off}}(t)$  sur une période de PWM  $T_{\text{SW}}$  exprimée équation (3.8).

$$P_{\text{off}_{\text{moy}}} = \langle p_{\text{off}}(t) \rangle_{T_{\text{SW}}} = \frac{(+25 \text{ V})^2}{R_s} \cdot (1 - \langle \alpha(t) \rangle_{T_{\text{SW}}}) \quad (3.8)$$

À partir des équations (3.5) et (3.8), la puissance totale  $P_{\text{tot}_{\text{moy}}}$  dissipée par  $R_s$  est calculée dans (3.9).

$$\begin{aligned}
 P_{\text{tot moy}}(R_S, F_{\text{SW}}) &= P_{\text{VSkSm moy}} + P_{\text{off moy}} \\
 &= F_{\text{SW}} \cdot E_{\text{VSkSm}} + \frac{(+25 \text{ V})^2}{R_S} \cdot (1 - \langle \alpha(t) \rangle_{\text{TSW}})
 \end{aligned} \tag{3.9}$$

La figure 3.13 illustre le résultat obtenu équation (3.9), pour différents couples ( $R_S$ ,  $F_{\text{SW}}$ ). En fonctionnement avec commutation (i.e  $\alpha \neq [0; 1]$ ), à la puissance moyenne  $P_{\text{off moy}}$  vient s'ajouter la puissance moyenne du à l'énergie des oscillations de commutations  $P_{\text{VSkSm}}$ .



**Fig. 3.13** : Représentation graphique de l'équation (3.9) pour différentes valeurs de  $R_S$  (10 k $\Omega$  et 5 k $\Omega$ ) et différentes valeurs de  $F_{\text{SW}}$  (20 kHz et 50 kHz)

D'après l'équation (3.9), la puissance que doit dissiper  $R_S$  est maximale pour un rapport cyclique moyen proche de zéro. Le composant de puissance commute mais reste majoritairement à l'état bloqué. Dans le cas d'une application onduleur (pour commande d'EMDS par exemple), le rapport cyclique moyen vaut 1/2. Dans ce cas d'application,  $P_{\text{tot moy}}$  est égale à 129 mW si  $R_S$  vaut 5 k $\Omega$  et égale à 64.5 mW si  $R_S$  vaut 10 k $\Omega$ .

On choisit alors une résistance  $R_S = 10 \text{ k}\Omega$  afin de limiter la puissance autour de la moitié de la puissance nominale des boîtiers des résistances 0805 SMT (i.e 62.5 mW).

## II.5.2 Circuit conditionneur et d'acquisition numérique

Pour protéger les entrées de l'AD8476 pendant les mesures (voir circuit conditionneur sur la figure 3.11), les résistances  $R_X$  limitent le courant de sortie des AOPs du DDCC (OPA2192) au cas où la tension de sortie atteindraient +25 V. Une résistance 2.2 k $\Omega$  limite ce courant autour de 1 mA. Pour éviter l'instabilité du DDCC due aux résistances  $R_X$ , des capacités de compensation  $C_F$  sont insérées entre l'entrée inverseuse et la sortie de l'OPA2192.  $C_F$  peut être calculée en utilisant (3.10) décrite dans [137].  $R_0$  est la résistance de sortie de l'OPA2192. L'équation (3.10) donne  $C_F \geq 5 \text{ pF}$ . On choisit  $C_F = 10 \text{ pF}$ .

$$C_F \geq \left(1 + \frac{1}{\left|1 + \frac{R_2}{R_1}\right|}\right) \left(\frac{R_1 + R_2}{R_2^2}\right) \cdot R_0 \cdot (2 C_{diff}) \quad (3.10)$$

Le FPGA Artix-7 de Xilinx intègre deux ADCs 12 bits, pouvant traiter 1 million d'échantillons par seconde (1MSPS). La plage d'entrée des ADCs peut être configurée en mode unipolaire de 0 V à 1 V ou en mode différentiel avec une plage de  $\pm 0.5$  V centrée autour de la valeur moyenne 0.5 V.

Afin de garantir une certaine immunité au bruit électro-magnétique induit par la commutation des semi-conducteurs de puissance, une mesure différentielle a été privilégiée. Une paire différentielle est utilisée pour transporter le signal analogique  $V_{DS_{ON}}$  vers l'ADC. Le pilote d'ADC (AD8476) dispose d'une broche pour régler la tension de mode commun de la sortie à une valeur de 0.5 V afin d'utiliser pleinement l'entrée différentielle de l'ADC. Ensuite, un diviseur de tension différentiel ajuste la plage  $V_{DS_{ON}}$  [+4 V/−4 V] à la plage d'entrée de l'ADC [+ 0.5 V/−0.5 V].

On peut alors calculer la sensibilité  $S$  du circuit de mesure.

$$S = \frac{\Delta R}{\Delta M} = \frac{1}{8} \text{ V/V} \quad (3.11)$$

Avec :

- $\Delta R$  Variation de la réponse du circuit  
Elle représente la tension en entrée de l'ADC  $V_P - V_N$
- $\Delta M$  Variations du mesurande  
Il représente la tension aux bornes du composant de puissance  $V_{DS_{ON}}$

L'ADC 12 bits permet une résolution de mesure  $res_{ADC} = 244 \mu\text{V}$ . On peut alors calculer la résolution du circuit (équation (3.12)) connaissant sa sensibilité (équation (3.11)).

$$res_{DDAS} = \frac{res_{ADC}}{S} = 1.95 \text{ mV} \quad (3.12)$$

### II.5.3 Réalisation d'une carte prototype

Afin de valider le dimensionnement, on propose la réalisation d'une carte prototype du circuit DDAS illustrée à la figure 3.14. La carte prototype contient le bloc DDCC et le bloc "signal conditioner". Le bloc "signal acquisition" se fait à l'aide d'une carte externe NEXYS DDR4. L'alimentation de la carte se fait à travers une carte driver déjà développée, modifiée en source driver.

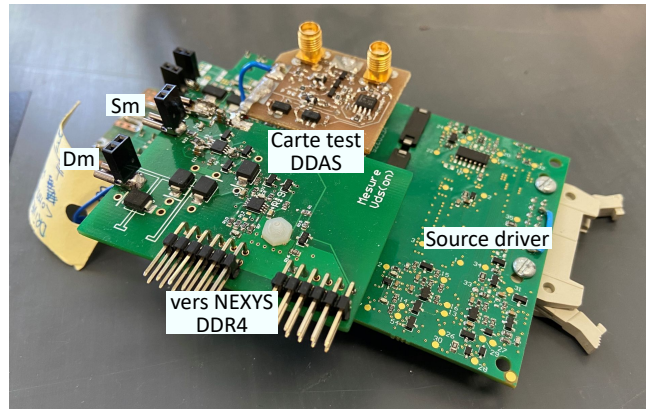


Fig. 3.14 : Carte prototype du circuit DDAS proposé

## II.6 Caractérisation du circuit proposé

Cette section quantifie les erreurs de mesure du circuit DDAS.

### II.6.1 Définitions norme ISO 5725

La grandeur électrique que l'on veut mesurer s'appelle **mesurande** ou **valeur vraie**. Un instrument de mesure est dit **précis** si les résultats de mesure qu'il indique coïncident avec le mesurande. Cette **précision** peut être divisée en deux paramètres selon la série de normes ISO 5725 de 1994 : **justesse** et **fidélité**.

La **justesse** définit à quel point la moyenne des valeurs mesurées est proche ou éloignée du mesurande. Elle caractérise les erreurs dites systématiques.

La **fidélité** définit la dispersion des valeurs mesurées les unes par rapport aux autres. Elle caractérise les erreurs dites aléatoires.

Ainsi, un circuit est considéré comme précis s'il est à la fois juste et fidèle. La figure 3.15 met en évidence le concept de précision.

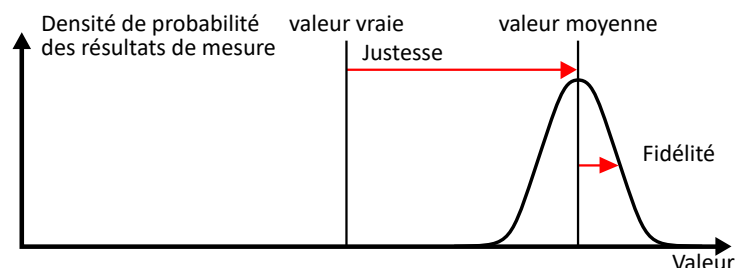


Fig. 3.15 : Selon la norme ISO 5725-1, la précision se compose de la justesse et de la fidélité

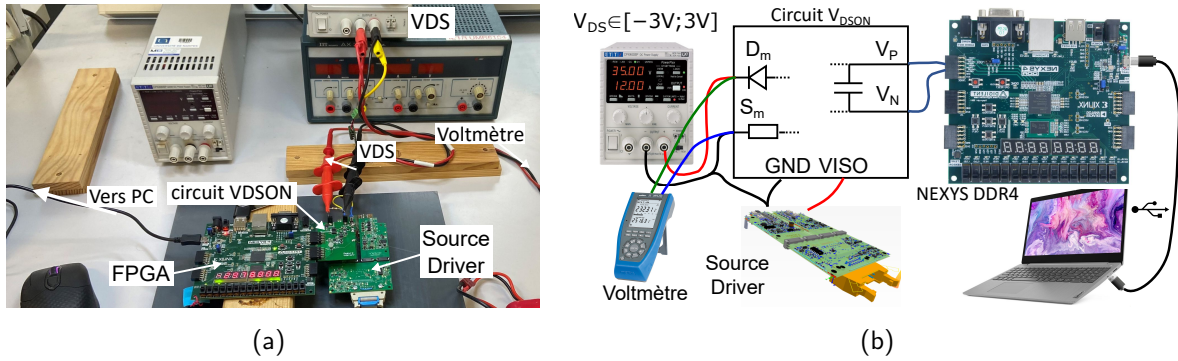
### II.6.2 Montage expérimental pour la caractérisation du circuit

Le montage expérimental permettant de quantifier la précision du circuit (justesse et fidélité) est illustré à la figure 3.16. On peut remarquer que le DDAS est connecté au



source driver des essais expérimentaux de la section II.3. La valeur  $V_{DS_{ON}}$  est émulée par une alimentation externe CPX400SP (générateur VDS). La valeur vraie retenue est celle affichée par un voltmètre branché en entrée du DDAS. On utilise une carte Nexys DDR4 de Digilent équipée d'un FPGA ARTIX-7 pour l'acquisition numérique et la synchronisation avec les ordres de commande du source driver. Les séries se font avec le circuit à température ambiante.

La carte Digilent est équipée d'un port USB-UART TDI FT2232HQ qui permet la communication avec un PC via un protocole de communication série. Un logiciel d'émulation Linux MobaXterm est utilisé pour recevoir et stocker les acquisitions du FPGA. Des séries de cent mille acquisitions consécutives sont effectuées pour différentes valeurs  $V_{DS}$  allant de  $-3\text{ V}$  à  $3\text{ V}$  avec un pas de  $1\text{ V}$ . Les acquisitions sont effectuées toutes les  $300\ \mu\text{s}$  pour respecter la contrainte temporelle du port USB-UART. La figure 3.16 illustre le montage expérimental pour la caractérisation du circuit.



**Fig. 3.16** : Caractérisation du DDAS, (a) montage expérimental (b) schéma expérimental

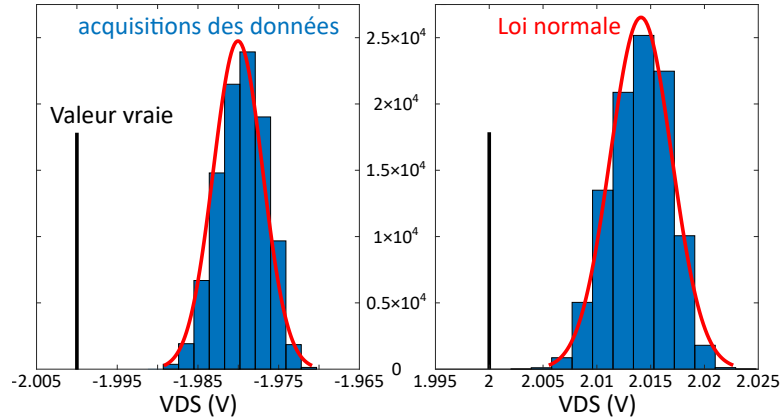
### II.6.3 Extraction du paramètre de justesse

La figure 3.17 illustre 2 séries d'acquisition pour  $V_{DS} = -2\text{ V}$  et  $V_{DS} = 2\text{ V}$ . Les séries sont modélisées par une densité de probabilité d'une loi normale. La fonction Matlab *hisfit* permet d'extraire les paramètres de la densité de probabilité.

On rappelle que la densité de probabilité  $f(x)$  d'une loi normale,  $\mathcal{N}(\mu, \sigma^2)$ , d'espérance  $\mu$  et d'écart type  $\sigma$  est donnée par l'équation (3.13). Dans notre cas,  $x$  est la tension  $V_{DS}$ .

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} \cdot e^{-\frac{1}{2}\left(\frac{x-\mu}{\sigma}\right)^2} \quad (3.13)$$

Pour les exemples de la figure 3.17,  $V_{DS} = -2\text{ V}$  et  $V_{DS} = 2\text{ V}$ , les couples  $(\mu, \sigma)$  ont pour valeur  $(-1.980\text{ V}, 3.06\text{ mV})$  et  $(2.014\text{ V}, 2.86\text{ mV})$  respectivement.

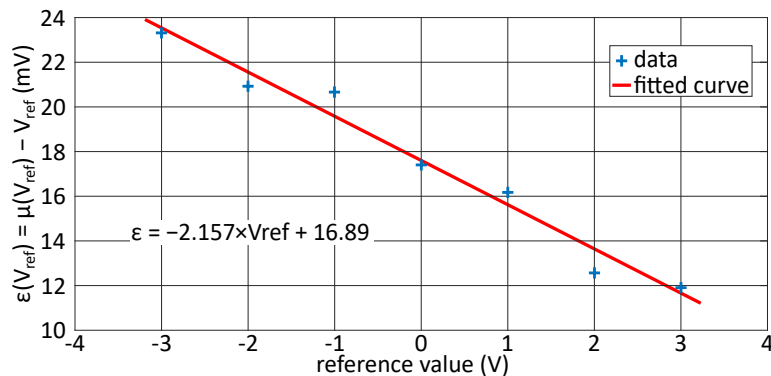


**Fig. 3.17** : Histogramme des séries avec leur densité de probabilité pour deux valeurs mesurées  $V_{DS} = -2\text{ V}$  et  $V_{DS} = 2\text{ V}$

On définit la justesse  $\epsilon$  du circuit par l'équation (3.14) où  $V_{\text{ref}}$  est la valeur vraie de chaque série de données.

$$\epsilon = \mu(V_{\text{ref}}) - V_{\text{ref}} \quad (3.14)$$

La figure 3.18 présente la justesse du circuit pour chaque série d'acquisitions. Pour les exemples de la figure 3.17, on obtient les justesses  $\epsilon(-2\text{ V}) = 20.96\text{ mV}$  et  $\epsilon(2\text{ V}) = 12.6\text{ mV}$ . À partir des justesses calculées, on effectue une régression linéaire (fitted curve). La justesse du circuit se caractérise par un offset constant  $16.89\text{ (mV)}$  et une erreur proportionnelle  $-2.157\text{ (mV/V)}$ . L'erreur proportionnelle  $-2.157\text{ mV/V}$  peut aussi être vue comme une erreur de gain de  $0.2\%$ .



**Fig. 3.18** : Critère de justesse de (3.14) appliqué à chaque série d'acquisitions

#### II.6.4 Analyse de l'écart type

Pour chaque série d'acquisitions, l'écart type  $\sigma$  est donné dans le tableau 3.1. L'écart type sera considéré constant sur toute la plage des valeurs  $[-3\text{ V}; 3\text{ V}]$ . La valeur moyenne est retenue :  $\sigma_{\text{moy}} = 2.95\text{ mV}$ .

**Tab. 3.1** : Valeurs de  $\sigma$  pour chaque série d'acquisitions

$V_{DS}$	-3 V	-2 V	-1 V	0 V	1 V	2 V	3 V
$\sigma$	3.06 mV	3.06 mV	3 mV	2.87 mV	2.9 mV	2.86 mV	2.95 mV

On cherche à quantifier la contribution de chaque élément du DDAS sur l'écart type du circuit. À partir des essais expérimentaux figure 3.16, le circuit peut être divisé en 3 blocs : l'alimentation stabilisée (générateur  $V_{DS}$ ), la carte de test du DDAS (circuit) et l'ADC de la carte NEXYS DDR4 (ADC). En supposant chaque bloc indépendant des autres, on peut appliquer la propriété de conservation de la loi normale. Autrement dit, la variance  $\sigma^2$  du DDAS peut être défini par la somme des variances de chaque bloc comme montré dans l'équation (3.15).

$$\sigma_{\text{moy}}^2 = \sigma_{\text{générateur VDS}}^2 + \sigma_{\text{circuit}}^2 + \sigma_{\text{ADC}}^2 \quad (3.15)$$

Pour extraire la contribution de chaque bloc, on effectue deux tests :

Tout d'abord, on déconnecte le générateur et on isole la Nexys DDR4. Les entrées ADC de la Nexys DDR4 ( $V_P$  et  $V_N$ ) sont court-circuitées pour extraire le paramètre de l'ADC seul  $\sigma_{\text{test1}} = \sigma_{\text{ADC}} = 1.65 \text{ mV}$ .

$$\underbrace{\sigma_{\text{test1}}^2}_{1.65 \text{ mV}} = \underbrace{\sigma_{\text{générateur VDS}}^2}_{=0 \text{ mV}} + \underbrace{\sigma_{\text{circuit}}^2}_{=0 \text{ mV}} + \underbrace{\sigma_{\text{ADC}}^2}_{=1.65 \text{ mV}} \quad (3.16)$$

Ensuite, on reconnecte la Nexys au circuit. Les entrées du circuit  $D_m$  et  $S_m$  sont court-circuitées. On obtient alors la contribution de l'ensemble ADC + circuit ( $\sigma_{\text{test2}}$ ).

$$\underbrace{\sigma_{\text{test2}}^2}_{2.83 \text{ mV}} = \underbrace{\sigma_{\text{générateur VDS}}^2}_{=0 \text{ mV}} + \underbrace{\sigma_{\text{circuit}}^2}_{=2.3 \text{ mV}} + \underbrace{\sigma_{\text{ADC}}^2}_{=1.65 \text{ mV}} \quad (3.17)$$

Pour chaque test, des mesures distribuées normalement sont acquises. Ceci confirme l'hypothèse des variables aléatoires indépendantes suivant une loi normale. On déduit la part du générateur des mesures précédentes. Au final, le générateur VDS ne sera pas branché au circuit DDAS lors de son utilisation.

$$\underbrace{\sigma_{\text{moy}}^2}_{2.95 \text{ mV}} = \underbrace{\sigma_{\text{générateur VDS}}^2}_{=0.835 \text{ mV}} + \underbrace{\sigma_{\text{circuit}}^2}_{=2.3 \text{ mV}} + \underbrace{\sigma_{\text{ADC}}^2}_{=1.65 \text{ mV}} \quad (3.18)$$

On retient donc l'écart type du DDAS :

$$\sigma_{\text{DDAS}} = 2.83 \text{ mV} \quad (3.19)$$

### II.6.5 Définition du critère de fidélité retenu

Un des intérêts de calculer des probabilités est l'utilisation des intervalles de confiance pour les tests statistiques. Dans le cas d'une variable aléatoire  $x$  suivant une loi normale  $\mathcal{N}(\mu, \sigma^2)$ , pour une probabilité  $\mathbb{P}_r$  donnée, il existe une unique valeur  $r_{\mathbb{P}_r} > 0$  satisfaisant l'équation (3.20). On définit alors l'intervalle  $[\mu - r\sigma ; \mu + r\sigma]$  comme plage de normalité au niveau de confiance  $\mathbb{P}_r$  associé au paramètre  $r$ .

$$\mathbb{P}_r = \mathbb{P}(\mu - r_{\mathbb{P}_r} \cdot \sigma \leq x \leq \mu + r_{\mathbb{P}_r} \cdot \sigma) \quad (3.20)$$

Par exemple, pour le niveau de confiance de 75 % ( $\mathbb{P}_r = 0.75$ ), on utilise la largeur à mi-hauteur (Full Width at Half Maximum (FWHM)) de la loi normale.

$$r_{\mathbb{P}_r = 0.75} = \frac{1}{2} \cdot FWHM = \sqrt{2 \cdot \ln(2)} \quad (3.21)$$

Le critère de fidélité du circuit est donc défini par l'équation (3.22).

$$\text{fidélité} = r_{\mathbb{P}_r = 0.75} \times \sigma_{\text{DDAS}} = 3.33 \text{ mV} \quad (3.22)$$

### II.6.6 Conclusion sur la caractérisation

Le tableau 3.2 compare les caractéristiques du DDAS avec le cahier des charges initial. Dans le tableau, seule la fidélité ne respecte pas le cahier des charges.

**Tab. 3.2** : Cahier des charges du circuit vs résultats expérimentaux.

Paramètres	Cahier des charges	Performances du DDAS
Résolution	5 mV	1.95 mV
erreur de gain	0.5 %	0.2 %
Offset	//	16.89 mV
Fidélité (75 %)	3 mV	3.33 mV

Afin de diminuer le bruit du DDAS, on peut jouer sur le circuit ou l'ADC. En utilisant la simulation Altium, il est possible d'ajuster le circuit dans le but de réduire sa part de bruit.

L'ADC interne du FPGA possède des entrées analogiques dédiées. Par rapport aux entrées auxiliaires utilisées, elles permettent une acquisition plus rapide ainsi qu'un bruit électronique diminué. Cependant, leur utilisation n'est pas possible sur les cartes NEXYS

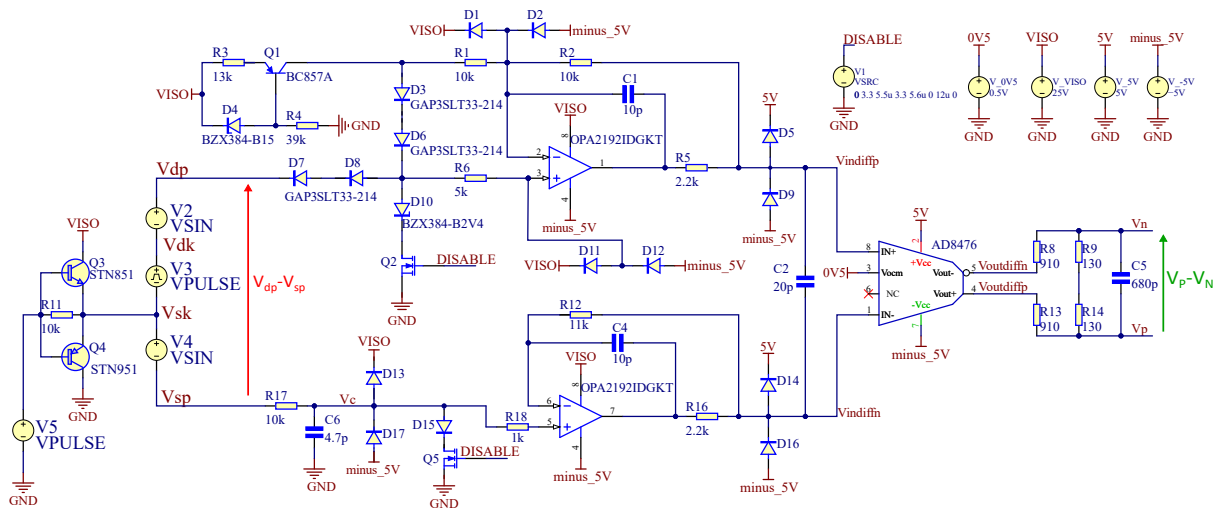
DDR4. Les ports dédiés seront utilisés dans le driver final du projet qui intégrera son propre FPGA.

Choisi pour simplifier le DDAS, l'ADC intégré au FPGA peut être remplacé par un meilleur ADC externe pilotable par liaison série afin de diminuer la taille de la liaison différentielle soumise au bruit.

## II.7 Contraintes temporelles liées à la mesure

Une fois le DDAS caractérisé en statique, on propose de le caractériser en dynamique. Lorsque le contrôle commande nécessite une mesure de  $V_{DS_{ON}}$ , le FPGA synchronise le signal DISABLE du DDAS sur les ordres de commande du semi-conducteur. Cela assure que les oscillations de tension à la commutation du composant ne saturent pas le circuit DDAS.

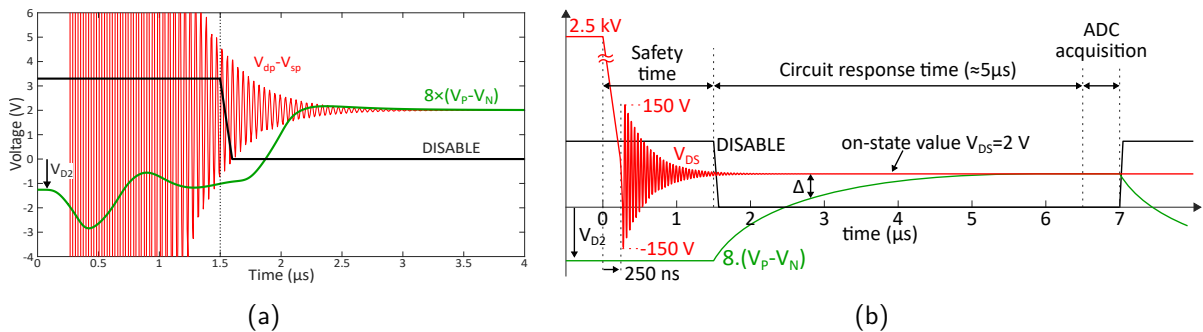
Afin de synchroniser les différentes constantes de temps du circuit, on vient émuler le DDAS à l'aide du logiciel Altium Designer. Le circuit de simulation est présenté figure 3.19. La mise sous tension du dispositif semi-conducteur de puissance est émulée à l'aide des sources de tension  $V_2$ ,  $V_3$  et  $V_4$  en utilisant les formes d'ondes des résultats expérimentaux figure 3.10.



**Fig. 3.19** : Simulation du DDAS dans Altium Designer

La différence de potentiels  $D_k S_k$  ( $V_3$ ) est émulée par une pente linéaire de 2500 V à 2 V en 250 ns. Une forme d'onde de type sinusoïdale amortie ( $V_4$ ) émule l'oscillation de tension aux bornes des fils de liaison  $S_k S_m$  pendant la commutation. L'amplitude crête-à-crête des oscillations vaut 300 V. Le signal DISABLE est synchronisé sur les ordres de commande émules par  $V_5$ . L'amplificateur push-pull  $Q_3/Q_4$  permet de simuler l'impact du source driver sur le potentiel  $S_k$ .

À partir des résultats de simulation figure 3.20a, le chronogramme du DDAS est présenté figure 3.20b. L'ouverture des transistors  $Q_2$  et  $Q_5$  (par la commande DISABLE) est effectuée après un temps de sécurité de  $1.5 \mu\text{s}$  après l'ordre d'amorçage semi-conducteur de puissance. Cela garantit une amplitude d'oscillation de tension  $V_{S_{kS_P}}$  inférieure à  $5 \text{ V}$  pour protéger l'AD8476. La tension de sortie du circuit  $8 \times (V_P - V_N)$  (courbe en verte) figure 3.20a commence à converger vers le mesurande  $V_{dp} - V_{sp}$  (courbe en rouge). D'après la simulation, le DDAS requiert  $5 \mu\text{s}$  afin de garantir un écart  $\Delta$  entre la tension de sortie du circuit et le mesurande inférieure à la moitié de la résolution du circuit  $res_{DDAS}$ . En utilisant les entrées analogiques auxiliaires de l'ADC, Xilinx recommande un temps d'acquisition  $\geq 300 \text{ ns}$ . Un temps d'acquisition  $500 \text{ ns}$  est choisi. Le DDAS requiert un temps total de  $7 \mu\text{s}$  pour effectuer une mesure de  $V_{DS_{ON}}$  répondant au cahier des charges.



**Fig. 3.20 :** (a) Formes d'ondes de la simulation Altium Designer. (b) Chronogramme du DDAS

### III Essais et validation sur module de puissance

Une fois le circuit DDAS caractérisé et ses contraintes temporelles établies, on propose de vérifier ses performances en fonctionnement sur module réel.

#### III.1 Mesure de la résistance à l'état passant d'un module hors tension

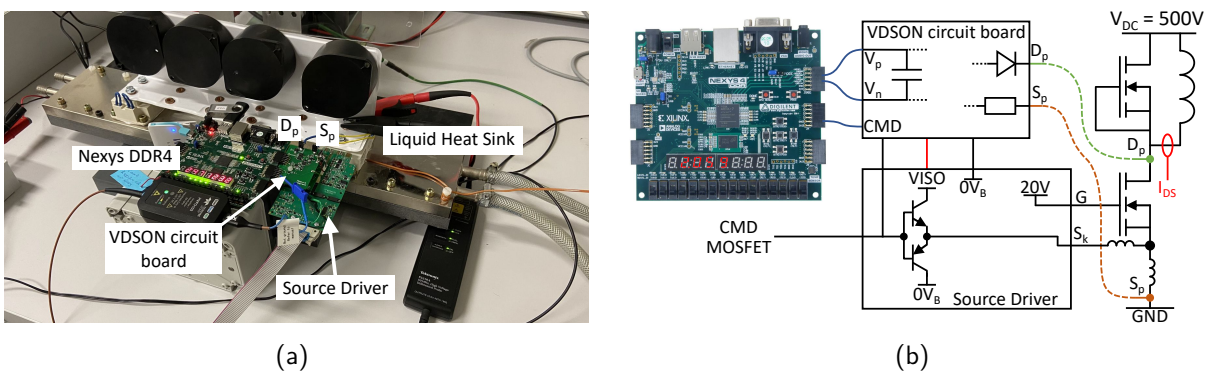
Tout d'abord, un module de puissance SiC CAS300M12BM2 1200 V 300 A est caractérisé hors tension à l'aide d'un traceur Keysight B1505 pour différentes températures. La mesure de la température est effectuée sous la semelle du module SiC. La régulation de la température se fait à l'aide d'un Temptronic ATS-750-M Thermostream avec un thermomètre Fluke. Les mesures de  $I_{DS}(V_{DS})$  sont effectuées chez le partenaire du projet SAFRAN Tech. La figure 3.21 met en évidence la plateforme expérimentale. Les résultats sont présentés figure 3.24.



**Fig. 3.21 :** (a) Plateforme expérimentale chez SAFRAN Tech pour la caractérisation hors tension du module CAS300M12BM2 (b) vue interne du module selector unit

### III.2 Mesure de la résistance à l'état passant d'un module dans environnement de puissance

Le circuit DDAS est ensuite testé sur le même module de puissance en fonctionnement. On simule l'environnement à l'aide d'un circuit de commande double pulse. Le test, sous une tension continue  $V_{DC} = 500\text{ V}$ , est effectué pour les mêmes températures de semelle que chez SAFRAN Tech. Un régulateur thermique avec plaque à eau est utilisé pour atteindre la température souhaitée. On utilise un capteur thermique Fluke pour surveiller la température de la semelle du module. La valeur de courant  $I_{DS}$  est acquise sur un oscilloscope à l'aide d'une sonde de Rogowski CWT 6R. La carte d'évaluation Nexys DDR4 basée sur Artix-7 FPGA est utilisée pour synchroniser le source driver et le signal DISABLE. L'acquisition numérique des valeurs utilise l'ADC intégré à l'Artix-7. À la différence de la caractérisation, on récupère les valeurs mesurées à l'aide de l'afficheur 7 segments de la Nexys. La figure 3.22 illustre la plate-forme expérimentale.



**Fig. 3.22 :** Mesure de la tension  $V_{DS}$  du composant SiC dans un hacheur dévolteur en commande double pulse, (a) montage expérimental, (b) schéma du montage

La figure 3.23 illustre quelques formes d'ondes de l'essai. On fait sortir du FPGA le signal *ADC acquisition* pour synchroniser l'instant de mesure du courant avec la sonde de rogowski avec celui du circuit. Sur les relevées à l'oscilloscope, le signal *DISABLE* tombe bien après la fin des oscillations de commutation ( $1.5\ \mu\text{s}$ ). Lors du test de double pulse, le DDAS parvient à acquérir la valeur  $V_{\text{DS}_{\text{ON}}}$  tout en supportant les oscillations de commutation.

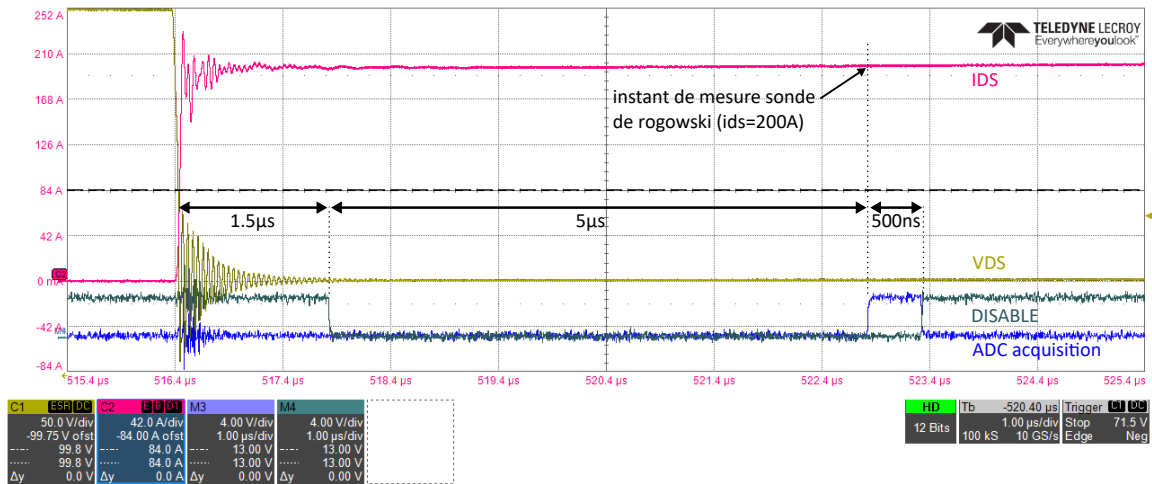


Fig. 3.23 : Formes d'ondes pertinentes des essais expérimentaux.  $T_{\text{semelle}} = 75\ ^\circ\text{C}$ ,  $I_{\text{DS}} = 200\ \text{A}$

### III.3 Analyse des résultats

La figure 3.24 compare les résultats des mesures hors tension au B1505 avec celles obtenues sous environnement de puissance. Les résultats du traceur sont affichés en lignes pointillées tandis que les résultats du DDAS sont affichés avec des croix.

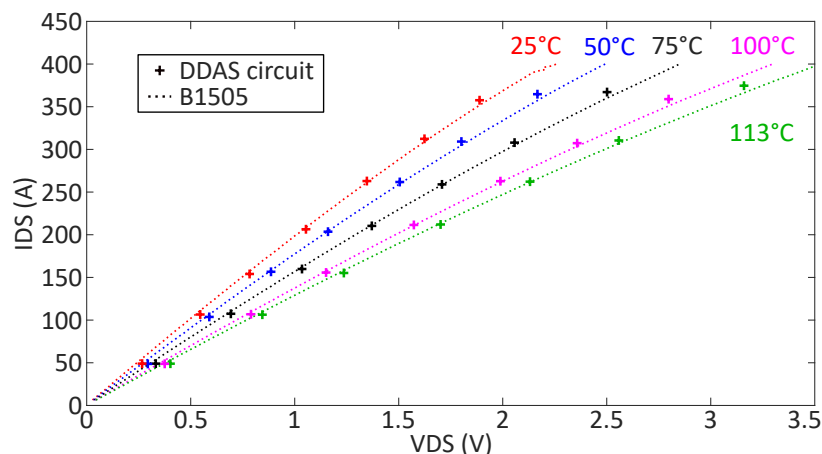


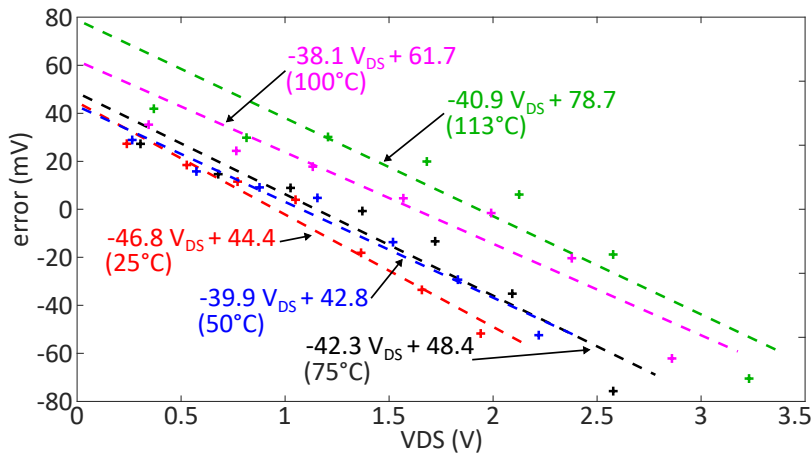
Fig. 3.24 : Comparaison des mesures au B1505 faites hors tension et du DDAS faites dans un environnement de puissance.

Le circuit DDAS donne des résultats proches de ceux du traceur B1505 sur toute la



plage de température 25 °C à 113 °C. On remarque dans un premier temps que pour des valeurs de  $V_{DS}$  faible ( $<1.5$  V), le circuit surestime la valeur réelle. Au contraire, quand  $V_{DS}$  augmente, le circuit sous-estime la valeur réelle. La figure 3.25 affiche l'écart entre les résultats du DDAS et ceux du traceur afin de les comparer au critère de justesse retenue du circuit illustré à la figure 3.18. L'équation (3.23) donne la définition utilisée.

$$\text{écart} = V_{DS_{DDAS}} - V_{DS_{B1505}} \quad (3.23)$$



**Fig. 3.25 :** Écart entre les mesures

À partir des écarts calculés, on approxime les résultats à l'aide d'une régression linéaire pour chaque température. Pour tous les résultats, on obtient une erreur proportionnelle constante autour de 40 mV alors que l'offset varie avec la température.

Avant son utilisation dans le milieu industriel, le circuit devra être caractérisé pour plusieurs températures afin de voir l'influence de la température sur le circuit. De plus, une étude de vieillissement sur le circuit lui-même sera aussi nécessaire afin de caractériser complètement le circuit.

## IV Perspectives

Ce chapitre traite de la mesure de  $V_{DS}$  dans le but d'obtenir des informations sur le paramètre électrique  $R_{DS_{ON}}$ .  $R_{DS_{ON}}$  est choisi comme indicateur de vieillissement pertinent à la fois pour la puce semi-conductrice de puissance et ses fils de liaison. Le DDAS proposé a montré sa capacité à bloquer des oscillations de tension aux bornes des fils de liaison lors des commutations des semi-conducteurs de puissance.

Au cours de cette étude, le DDAS proposé a été caractérisé puis testé sur un module de puissance SiC 1.2 kV/300 A sous une tension continue  $V_{DC} = 500$  V pour différentes températures de semelle. Le circuit ayant pour finalité une intégration sur un module

3.3 kV, il devra être testé sur des modules de puissance SiC 1.7 kV et 3.3 kV avec une tension continue jusqu'à 2.5 kV afin de valider complètement son cahier des charges. Devant être intégré sur le source driver, lui-même au plus près des semi-conducteurs de puissance dans l'IPM, une étude sur sa tenue en température devra valider sa fiabilité à haute température comme indiquée dans [132].

La simulation Altium Designer du DDAS a montré sa justesse (synchronisation, bruit électronique, oscillations de tension, etc... ) vis-à-vis du circuit réel. Il est alors possible d'utiliser la simulation pour adapter le circuit à différents cas de figures : Gate driver/Source driver, module 1.2 kV/1.7 kV/3.3 kV.

Cette étude ne doit cependant pas faire oublier que la valeur de  $R_{DS(ON)}$  varie avec la température (voir figure 3.24). Une variation soudaine de  $R_{DS(ON)}$  due à la température ne doit pas être prise comme une variation due à un vieillissement prématuré du module comme le soulèvement des fils de liaison par exemple. Le suivi d'un deuxième indicateur de vieillissement tel que le courant de fuite de grille peut également éviter la détection d'erreurs intempestives et rendre plus robuste le système de diagnostic.



# ESTIMATION DU COURANT DE FUITE DE GRILLE IGSS

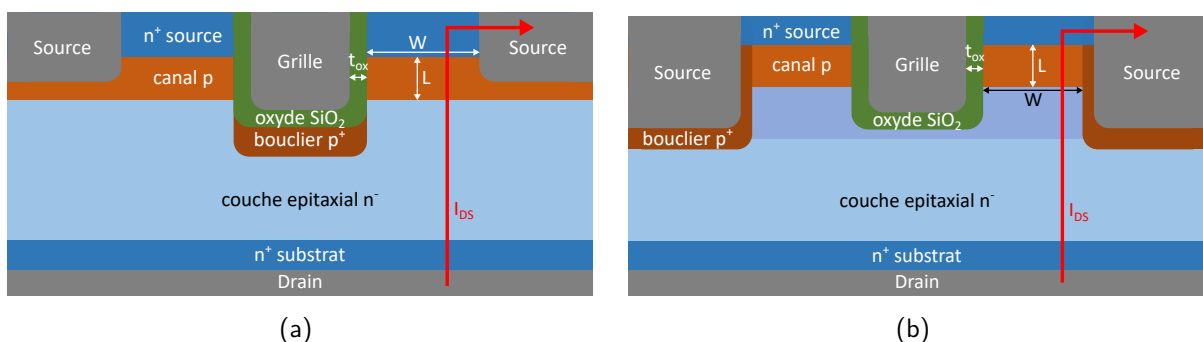
## I État de l'art

### I.1 Dégradation de l'oxyde de grille des composants SiC

#### I.1.1 Qu'est ce que l'oxyde de grille ?

Le SiC a suscité de l'intérêt en tant que matériau semi-conducteur grand gap pour les applications métal-oxyde-semi-conducteur (MOS) en raison de la simplicité à faire croître des oxydes sur des tranches de SiC par rapport à d'autres semi-conducteurs grand gaps comme le nitrure de Gallium (GaN) [138].

Le MOSFET est un type de transistor à effet de champs à grille isolée. Le courant qui le traverse est modulé à l'aide d'un signal appliqué sur sa grille. Il est généralement constitué d'un substrat de type P, dans lequel on diffuse par épitaxie deux zones N+ qui deviendront la source et le drain. On réalise majoritairement la grille par oxydation puis par métallisation de la zone N+ au-dessus du canal (dioxyde de silicium - SiO<sub>2</sub>). La figure 4.1 montre la vue transversale d'un MOSFET.



**Fig. 4.1 :** Coupes transversales d'un TRENCH MOSFET SiC. (a) bouclier dopé p<sup>+</sup> sur la grille [139]. (b) bouclier dopé p<sup>+</sup> sur la source [140]

L'oxyde de grille SiO<sub>2</sub> a donc pour but d'isoler la grille des métallisations Source et Drain.

### I.1.2 Comparaison des MOSFETs Trench SiC vs Si

La technologie SiC est surtout connue pour sa capacité à tenir un champ électrique plus important (0.3 MV/cm Si vs 3 MV/cm SiC) [141] ce qui permet des tensions de blocage supérieures pour une même géométrie du semi-conducteur. Cependant, le champ électrique développé dans l'oxyde de grille est lié au champ électrique dans le semi-conducteur sous-jacent par la loi de Gauss équation (4.1) [142], [143].

$$E_{\text{SiO}_2} = \frac{\epsilon_{\text{SiC}}}{\epsilon_{\text{SiO}_2}} E_{\text{SiC}} \quad (4.1)$$

Si le champ dans le semi-conducteur est proche de la rupture ( $E_{\text{SiC}} = 3 \text{ MV/cm}$ ) quand le semi-conducteur est bloqué, alors l'oxyde doit supporter un champ  $E_{\text{SiO}_2} \approx 7.5 \text{ MV/cm}$  ( $\epsilon_{\text{SiC}} \approx 10$  et  $\epsilon_{\text{SiO}_2} \approx 3.9$ ). Des études de la littérature conseillent de ne pas dépasser 4 MV/cm afin de garantir une "bonne" fiabilité de l'oxyde au cours du temps [144], [145]. Afin de diminuer le champ dans l'oxyde quand le composant est bloqué, les industriels implantent des régions "bouclier" dopées  $P^+$  (voir figure 4.1) [139], [140]. Ces zones boucliers vont cependant faire augmenter la tension de seuil du semi-conducteur qui se traduit par une augmentation de la résistance à l'état passant  $R_{\text{DS(ON)}}$  [143].

### I.1.3 Fiabilité de l'oxyde de grille vs performances du canal MOS

On définit les performances d'un composant de puissance à sa quantité de courant admissible par unité de surface (jusqu'à 5 A/mm<sup>2</sup> pour les composants de puissance). À travers la résistance à l'état passant du composant  $R_{\text{DS(ON)}}$ , cette densité de courant se traduit par des pertes joules surfaciques qu'il convient d'évacuer afin d'empêcher un emballement thermique de la puce. La résistance  $R_{\text{DS(ON)}}$  définit donc souvent le courant maximal admissible par un composant de puissance.

La résistance du canal  $R_{\text{ch}}$  constitue plus de 50 % de  $R_{\text{DS(ON)}}$ . Sa diminution est un enjeu clé des composants MOSFETs SiC [146]. Sa valeur est donnée par l'équation (4.2).

$$R_{\text{ch}} = \frac{L \cdot t_{\text{ox}}}{W \cdot \mu_n \cdot \epsilon_0 \cdot \epsilon_{\text{SiO}_2} \cdot (V_{\text{GS(ON)}} - V_{\text{TH}})} \quad (4.2)$$

Afin d'augmenter les performances des composants MOSFET, on peut jouer sur plusieurs paramètres comme indiqué dans le tableau 4.1.

**Tab. 4.1** : Impact des paramètres influant sur la résistance à l'état passant d'un MOSFET [146]

Paramètres	Inconvénients
↗ la surface du canal $W$	↗ coûts, ↘ rendements
↘ la longueur du canal $L$	↗ $E_{SiC} \Rightarrow \nearrow E_{SiO_2} \Rightarrow \searrow$ fiabilité de l'oxyde de grille
↘ l'épaisseur de l'oxyde de grille $t_{ox}$	↗ $E_{SiO_2}$ , ↘ fiabilité de l'oxyde de grille
↗ la tension d'amorçage $V_{GS_{ON}}$	↗ $E_{SiO_2}$ , ↘ fiabilité de l'oxyde de grille
↘ la tension seuil $V_{TH}$	↗ pertes en commutations ↗ risque d'auto amorçage
↗ la mobilité des porteurs de charge $\mu_n$	impact sur $V_{TH}$ ?

Au final, toutes les solutions proposées pour diminuer la résistance à l'état passant du composant SiC ont un effet néfaste sur l'oxyde de grille. Le compromis fiabilité de l'oxyde de grille vs performances du canal MOSFET constitue le problème majeur de la technologie SiC.

## I.2 Choix de l'indicateur de l'état de santé du SiC

Afin de satisfaire les besoins de performances, les composants MOSFET SiC sont conçus avec une épaisseur d'oxyde plus faible que leurs concurrents Silicium [147]. Cependant, cette caractéristique accentue les courants par effet tunnel dans l'oxyde de grille [148], [149] et accroît la densité de défaut dans l'oxyde de grille [138]. Ces défauts apparaissent lors de l'oxydation de la grille par passivation. Les atomes de carbone restant après oxydation du SiC en  $SiO_2$  doivent être évacués de l'oxyde de grille [146]. Tous ces phénomènes fragilisent l'oxyde de grille et posent des problèmes de fiabilité pour les applications haute tension. Cette fragilité est d'autant plus importante dans les applications module de puissance avec source kelvin à cause d'une polarisation de grille plus efficace et d'une énergie de court-circuit plus grande [150].

Afin de caractériser l'état de santé de l'oxyde de grille, on utilise deux indicateurs : le temps à rupture de l'oxyde (Time Dependant Dielectric Breakdown (TDDB)) et le Bias Instability Temperature (BTI). Le BTI se manifeste par l'augmentation au cours du temps de la tension de seuil  $V_{TH}$  (et donc de  $R_{DS_{ON}}$ ) [151]. Il est principalement causé par les défauts dans l'interface SiC/ $SiO_2$ . Le TDDB représente le moment quand l'oxyde de grille rompt à cause de l'application prolongée d'un champ électrique. La rupture est essentiellement causée par la formation d'un canal de conduction dans l'oxyde due à des courants par effet tunnel [148]. La dégradation du canal se manifeste par l'augmentation du courant de fuite de grille  $I_{GSS}$ .

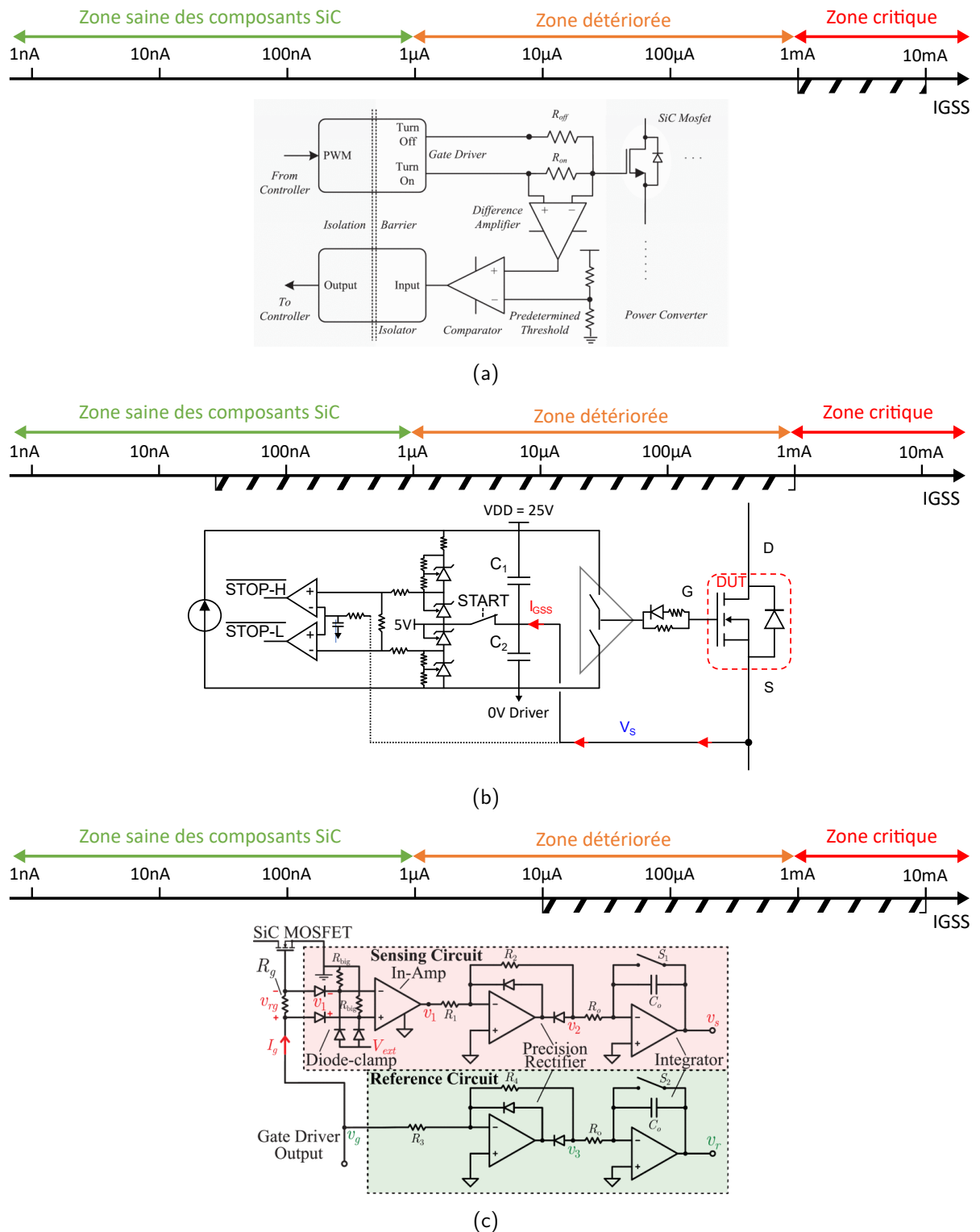
En 2018, Bencherif et al.[152] ont proposé de remplacer le  $\text{SiO}_2$  par du  $\text{Al}_2\text{O}_3$  afin d'améliorer les performances des composants SiC faible tension ( $<1.2\text{kV}$ ). Les résultats encourageants de l'étude ( $\nearrow \mu_n$ ,  $\searrow R_{\text{DS}_{\text{ON}}}$ , meilleure stabilité de  $V_{\text{TH}}$ ) ont cependant montré une augmentation du courant de fuite  $I_{\text{GSS}}$ . Des études sont actuellement en cours sur d'autres oxydes à même de remplacer le  $\text{SiO}_2$  [153].

Le choix du paramètre de surveillance s'est porté sur le courant de fuite de grille  $I_{\text{GSS}}$  à cause de l'environnement module de puissance. La tension seuil  $V_{\text{TH}}$  a été écartée à cause des nouvelles technologies d'oxyde qui semblent stabiliser la tension  $V_{\text{TH}}$  rendant sa mesure plus compliquée.

### I.3 Systèmes de mesures conventionnels

Lors des essais de vieillissement, la mesure du courant  $I_{\text{GSS}}$  est effectuée à vide en utilisant des fA-mètres [114]. Dans une optique de maintenance conditionnelle, le suivi du paramètre doit pouvoir se faire à n'importe quel moment sans devoir démonter le module de puissance du convertisseur. Lorsque que le composant de puissance change d'état, des courants transitoires élevés (quelques A) traversent la grille pour charger et décharger sa capacité de grille. En conséquence, la mesure du courant  $I_{\text{GSS}}$  de quelques nA pendant le fonctionnement normal du composant présente un réel défi.

Différentes études ont proposé des méthodes de mesure [116] ou d'estimation [107], [108] du courant  $I_{\text{GSS}}$  en fonctionnement. Les méthodes avec leur plage de mesure en zone hachurée sont illustrées figure 4.2. La méthode proposée par F. Erturk et al. [116] consiste à mesurer indirectement le courant en utilisant la tension aux bornes de la résistance de grille ( $R_{\text{ON}}$  sur la figure 4.2a). Elle permet la mesure de courants de l'ordre du mA du fait de la faible valeur de la résistance de grille et de l'environnement bruité. La méthode proposée au laboratoire IETR par J.Weckbrodt et al. [108] se base sur une estimation indirecte du courant de fuite par intégration du courant traversant les capacités de découplages ( $C_1$  et  $C_2$  sur la figure 4.2b) afin de diminuer l'impact du bruit de l'environnement sur la mesure. Elle utilise la capacité naturelle des condensateurs à intégrer le courant. Malgré une plage de mesure très large [50 nA ; 1 mA], elle nécessite néanmoins une électronique complexe et une adaptation lourde du circuit driver. Dans le but de rendre la méthode d'estimation plus simple et de modérer son impact sur le circuit driver, P. Wang et al. ont proposé un nouveau circuit fin 2021 [107]. Le circuit reprend la méthode d'intégration du courant au niveau de la résistance de grille afin de limiter les modifications faites au circuit driver (voir figure 4.2c). Le courant dans la résistance de grille est comparé à un circuit de référence afin de rendre la mesure indépendante du rapport cyclique.



**Fig. 4.2 :** Méthodes pour mesure/estimation du courant de fuite  $I_{GSS}$  en fonctionnement avec leur plage de mesure. (a) Mesure indirecte du courant en utilisant la tension aux bornes de la résistance de grille [116] (b) Estimation par intégration du courant au niveau des capacités du buffer  $C_1/C_2$  [108] (c) Estimation par intégration du courant aux bornes de la résistance de grille [107]



Aucun chiffre concret n'est donné dans la littérature mais l'analyse des différentes études menées permet de tirer une classification de l'état de santé d'un MOSFET SiC en fonction de son courant de fuite  $I_{GSS}$  en trois zones. La première zone s'étend jusqu'à la dizaine de  $\mu A$ . Dans cette zone, le composant peut être considéré sain sans attention particulière. À partir de  $10 \mu A$  jusqu'au mA, le composant peut être vu comme détérioré. L'état de santé de l'oxyde de grille ne présente de danger pour le bon fonctionnement du semi-conducteur. Une attention au courant de fuite doit cependant être portée. Au-delà du mA, l'oxyde peut être considéré dans un état critique avec un TDDB "proche" dans le temps. Ces zones sont illustrées figure 4.2.

## II Solution proposée

### II.1 Cahier des charges

Le paramètre  $I_{GSS}$  représente le courant de fuite de grille lorsque le drain et la source sont courts-circuités. Les valeurs de ce paramètre s'étalent de la centaine de pico ampère à la dizaine de nano-ampère quand le composant est neuf [148].

Une plage de mesure du courant de fuite en jusqu'à  $100 \mu A$  est choisie afin de garantir la fiabilité du semi-conducteur. Le circuit proposé se base sur les travaux antérieurs du laboratoire IETR [108]. Les verrous à lever sont :

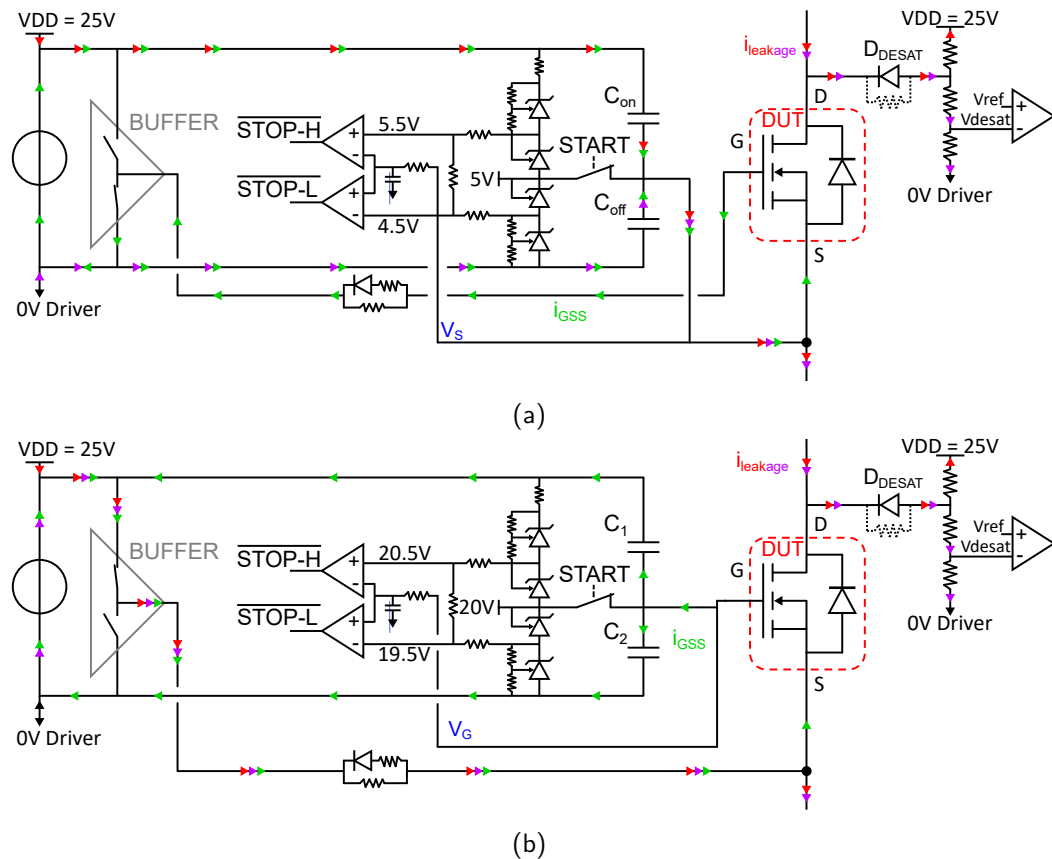
1. Résoudre le problème de compatibilité entre les circuits de DESAT et le circuit d'estimation de fuite de grille [55].
2. Réduire "l'angle mort" (aussi appelé "zone aveugle") du circuit d'estimation. Celui-ci intervient quand le courant de fuite de l'électronique  $I_0$  compense le courant de fuite du semi-conducteur  $I_{GSS}$ . Le temps d'acquisition dépasse alors un "time out error". Il en résulte une zone d'incertitude. Même si ce problème peut être résolu en augmentant le "time out error" à l'infini, une autre solution est proposée.
3. Résoudre le problème de calibration et dépendance à la température du circuit.

### II.2 Compatibilité du circuit de surveillance avec le Source Driver

Considérons le circuit d'estimation du courant  $I_{GSS}$  de l'état de l'art illustré à la figure 4.3a [108]. Lorsque le semi-conducteur de puissance se bloque, la diode haute tension DESAT se bloque à son tour pour protéger l'électronique du gate driver. Le courant de fuite inverse  $i_{leakage}$  (flèches rouges et violettes) appelé par la diode rentre alors dans le driver par le drain. Comme la grille du composant semi-conducteur est isolée électriquement

des potentiels drain et source, ce courant ressort du driver par sa connexion de source kelvin. Il traverse alors le pont capacitif  $C_1/C_2$  qui sert à estimer  $I_{GSS}$  ce qui perturbe l'estimation du courant  $I_{GSS}$  en flèches vertes sur la figure 4.3a. Ce courant est d'autant plus difficile à compenser que les diodes haute tension présentent un courant de fuite fortement dépendant de la température. À titre d'exemple, la diode GAP3SLT33-214 SiC 3.3 kV utilisée dans le circuit de mesure de  $V_{DS_{ON}}$  voit passer son courant de fuite  $I_{leakage}$  de  $10\ \mu A$  à  $100\ \mu A$  pour une plage de température de  $25\ ^\circ C$  à  $175\ ^\circ C$ . Dans sa précédente étude, J.Weckbrodt [108] concluait que les circuits utilisant des diodes haute tension DESAT ne sont pas compatibles avec le circuit d'estimation de  $I_{GSS}$ .

L'innovation majeure de la solution proposée est le dispositif de pilotage du semi-conducteur par la source : le source driver (voir chapitre 2). Le circuit d'estimation n'est plus connecté au potentiel de source du semi-conducteur de puissance comme illustré à la figure 4.3b. Le courant de fuite de la diode DESAT  $i_{leakage}$  ne traverse plus le pont capacitif  $C_1/C_2$ .

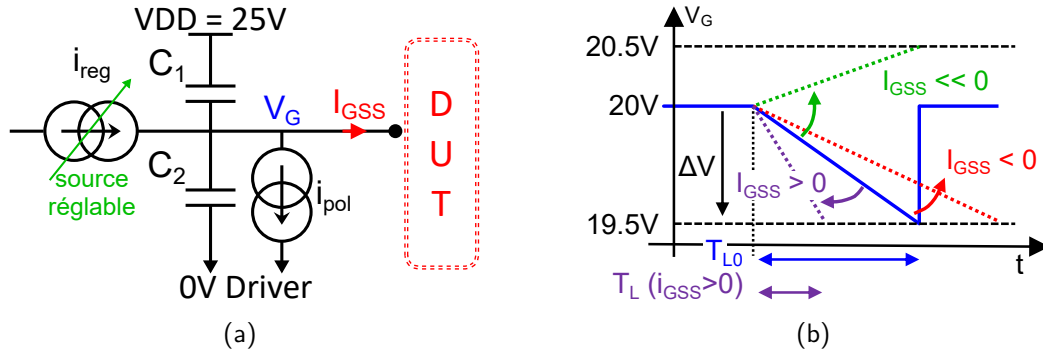


**Fig. 4.3 :** Estimation par intégration du courant au niveau des capacités du buffer (a) Solution de J. Weckbrodt (gate driver) [108] (b) Solution de [108] adaptée à la topologie du source driver

## II.3 Étude du circuit

### II.3.1 Philosophie du circuit

Le circuit proposé quantifie le temps mis par le potentiel  $V_G$  pour effectuer une variation en tension  $\Delta V$  autour du point de régulation  $V_G = 20\text{ V}$ . Contrairement aux travaux précédents [108], on vient quantifier les variations induites par le courant  $I_{GSS}$  autour d'un courant de polarisation  $i_{pol}$  afin d'estimer  $I_{GSS}$ . La figure 4.4 illustre le circuit de principe.



**Fig. 4.4 :** (a) Circuit de principe (b) Principe d'opération

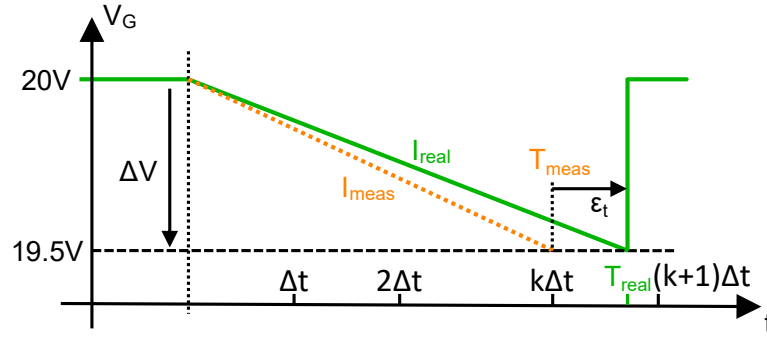
En fonctionnement normal, une source de courant  $i_{reg}$  asservit le potentiel  $V_G$  autour de la consigne  $20\text{ V}$ . La source de courant  $i_{pol}$  impose un courant de consigne. Lors d'une estimation, on déconnecte la source  $i_{reg}$  ( $i_{reg} = 0\text{ A}$ ). À vide ( $I_{GSS} = 0\text{ A}$ ), le courant  $i_{pol}$  génère une dérive du potentiel  $V_G$  en un temps connu  $T_{L0}$  (courbe bleue sur la figure 4.4b). Quand on estime un courant  $I_{GSS}$  positif, le temps de dérive  $T_L$  diminue comme illustré en violet sur la figure 4.4b. À l'opposé, quand le courant  $I_{GSS}$  est négatif, le temps de dérive augmente (courbe rouge). Dans le cas où le courant  $I_{GSS}$  devient "trop négatif", ce dernier compense  $i_{pol}$  et le potentiel  $V_G$  se met à croître (courbe en verte). Pour ces raisons, le circuit est équipé d'un seuil haut  $20.5\text{ V}$  comme représenté à la figure 4.4b.

On suppose le courant de fuite  $I_{GSS}$  constant. La source de courant  $i_{reg}$  est supposée parfaitement déconnectée ( $i_{reg} = 0\text{ A}$ ). On note  $C = C_1 + C_2$  la somme des capacités. La variation  $\Delta V$  du potentiel  $V_G$  peut alors être approximée équation (4.3).

$$C \cdot \Delta V = T_L \cdot (I_{GSS} + i_{pol}) \quad (4.3)$$

### II.3.2 Résolution en courant du circuit

Dans la réalité, la mesure du temps  $T_L$  n'est pas continue mais discrète. Afin de compter le temps  $T_L$ , un FPGA vérifie à chaque  $\Delta t$  si le potentiel  $V_G$  a atteint le seuil  $19.5\text{ V}$  ou  $20.5\text{ V}$ . Les valeurs  $T_L$  mesurées sont donc toujours des multiples de  $\Delta t$  ( $T_L = n \cdot \Delta t$ ,  $n \in \mathbb{N}$ ) comme illustré à la figure 4.5. Ainsi, une variation de courant induisant une variation temporelle inférieure  $\Delta t$  ne sera pas perçue par le circuit.



**Fig. 4.5 :** Calcul de la résolution du circuit d'estimation  $I_{GSS}$

Le but est d'obtenir la plus petite variation  $\Delta I_{GSS}$  de la grandeur mesurée  $I_{GSS}$  qui produit une variation temporelle perceptible par le circuit d'estimation. La grandeur  $\Delta I_{GSS}$  sera nommée résolution en courant du circuit d'estimation. On suppose un courant  $I_{real}$  défini par l'équation (4.4) traversant les capacités  $C_1$  et  $C_2$ .

$$I_{real} = I_{GSS} + i_{pol} \quad (4.4)$$

Il engendre une variation du potentiel  $V_G$  d'après l'équation (4.3) en un temps  $T_{real}$ . Comme le FPGA échantillonne le temps tous les  $\Delta t$ , le temps mesuré  $T_{meas}$  est plus petit que le temps réel  $T_{real}$ . On note  $\epsilon_t$  l'erreur temporelle commise et  $\epsilon_i$  l'erreur commise sur la valeur du courant qui en résulte. On peut alors exprimer la valeur du courant réel  $I_{real}$  en fonction du courant mesuré  $I_{meas}$  en utilisant l'équation (4.5).

$$I_{meas} = I_{real} + \epsilon_i \quad (4.5)$$

On applique les équations (4.3) et (4.5) à notre cas de figure pour déterminer  $I_{meas}$  dans l'équation (4.6) et  $I_{real}$  dans l'équation (4.7).

$$C \cdot \Delta V = T_{meas} \cdot I_{meas} = T_{meas} \cdot (I_{real} + \epsilon_i) \quad (4.6)$$

$$C \cdot \Delta V = T_{real} \cdot I_{real} = (T_{meas} + \epsilon_t) \cdot I_{real} \quad (4.7)$$

En utilisant les équations (4.6) et (4.7), on peut exprimer l'erreur en courant  $\epsilon_i$  par l'équation (4.9) en fonction de l'erreur temporelle  $\epsilon_t$ .

$$\epsilon_i(\epsilon_t) = \frac{I_{real}^2 \cdot \epsilon_t}{C \cdot \Delta V - I_{real} \cdot \epsilon_t} = \frac{(I_{GSS} + i_{pol})^2 \cdot \epsilon_t}{C \cdot \Delta V - (I_{GSS} + i_{pol}) \cdot \epsilon_t} \quad (4.8)$$

On définit la résolution en courant  $\Delta I_{GSS}$  du circuit d'estimation comme la limite quand  $\epsilon_t$  tend vers le pas d'échantillonnage temporel  $\Delta t$ . On obtient alors l'expression de  $\Delta I_{GSS}$  dans l'équation (4.9). On voit ici que la résolution en courant  $\Delta I_{GSS}$  dépend

de la valeur mesurée  $I_{GSS}$ . On préfère dans la suite parler de circuit d'estimation au lieu de circuit de mesure. La représentation graphique de l'équation (4.9) pour un produit  $C \cdot \Delta V = 10 \text{ V } \mu\text{F}$  et un courant de polarisation  $i_{pol} = 1 \mu\text{A}$  est illustrée figure 4.6.

$$\Delta I_{GSS} = \lim_{\epsilon_t \rightarrow \Delta t} \epsilon_i(\epsilon_t) = \frac{(I_{GSS} + i_{pol})^2 \cdot \Delta t}{C \cdot \Delta V - (I_{GSS} + i_{pol}) \cdot \Delta t} \quad (4.9)$$

Quand le courant  $I_{GSS}$  est très faible devant le courant  $i_{pol}$ , on peut approximer l'équation (4.9) par l'équation (4.10). La résolution en courant est constante pour un courant  $I_{GSS}$  sur la plage  $[0; i_{pol}]$ .

$$\Delta I_{GSS_{min}} \underset{I_{GSS} \ll i_{pol}}{\approx} \frac{i_{pol}^2 \cdot \Delta t}{C \cdot \Delta V - i_{pol} \cdot \Delta t} \quad (4.10)$$

Passé cette valeur,  $\Delta I_{GSS}$  devient proportionnelle avec la valeur estimée  $I_{GSS}$ . Plus le courant  $I_{GSS}$  augmente, plus le temps  $T_L$  nécessaire pour atteindre le seuil 19.5 V diminue. Afin que le circuit d'estimation ait le temps de compter au moins un pas temporel  $\Delta t$ , on doit respecter  $T_L \geq \Delta t$ . Le cas limite de détection peut s'exprimer par l'équation (4.11) en utilisant l'équation (4.3).

$$\Delta t = T_{L_{min}} = \frac{C \cdot \Delta V}{I_{GSS_{max}} + i_{pol}} \quad (4.11)$$

On obtient ainsi le courant  $I_{GSS_{max}}$  maximal exprimé par l'équation (4.12) qu'il est possible d'estimer en utilisant le circuit.

$$I_{GSS_{max}} = \frac{C \cdot \Delta V}{\Delta t} - i_{pol} \quad (4.12)$$

Quand le courant  $I_{GSS}$  est négatif (partie gauche de la figure), le temps  $T_L$  mis pour atteindre le seuil augmente. La résolution en courant est constant pour un courant  $I_{GSS}$  négatif sur la plage  $]-i_{pol}; 0[$ . Quand  $I_{GSS}$  atteint  $-i_{pol}$ , le courant total  $I_{GSS} + i_{pol}$  tend vers 0 A. On se retrouve dans le problème du circuit de la littérature, le potentiel  $V_G$  ne varie pas assez vite, le circuit d'estimation passe en "time out error"  $T_{L_{max}}$ . Pour éviter ce cas de figure, on doit respecter la condition équation (4.13).

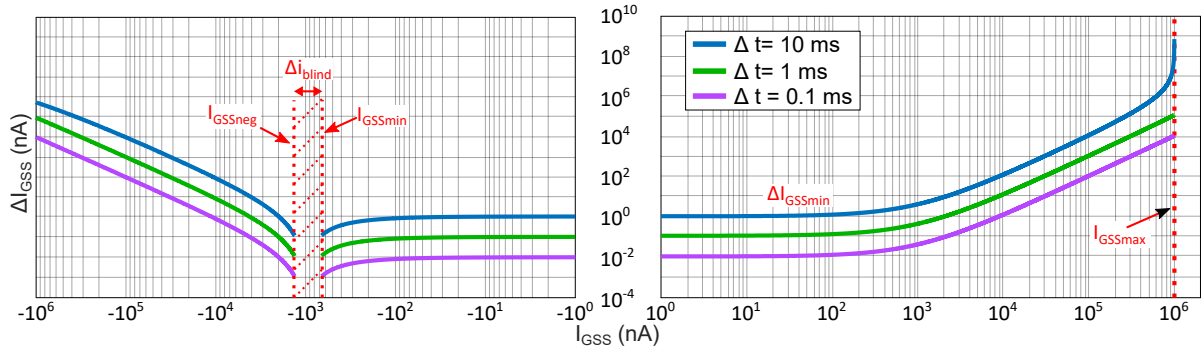
$$I_{GSS_{min}} + i_{pol} \geq \frac{C \cdot \Delta V}{T_{L_{max}}} \quad \Leftrightarrow \quad I_{GSS_{min}} \geq -i_{pol} + \frac{C \cdot \Delta V}{T_{L_{max}}} \quad (4.13)$$

Dans le cas où le courant  $I_{GSS}$  devient "trop négatif", ce dernier compense  $i_{pol}$  et le potentiel  $V_G$  se met à croître. Pour satisfaire la condition "trop négatif", le courant  $I_{GSS}$  doit respecter l'équation (4.14).

$$I_{GSS_{neg}} + i_{pol} \leq -\frac{C \cdot \Delta V}{T_{L_{max}}} \quad \Leftrightarrow \quad I_{GSS_{neg}} \leq -i_{pol} - \frac{C \cdot \Delta V}{T_{L_{max}}} \quad (4.14)$$

On définit alors une zone "aveugle" centrée autour de  $-i_{\text{pol}}$  de largeur  $\Delta i_{\text{blind}}$  telle que décrite équation (4.15).

$$\Delta i_{\text{blind}} = I_{\text{GSS}_{\text{min}}} - I_{\text{GSS}_{\text{neg}}} = 2 \cdot \frac{C \cdot \Delta V}{T_{\text{L}_{\text{max}}}} \quad (4.15)$$



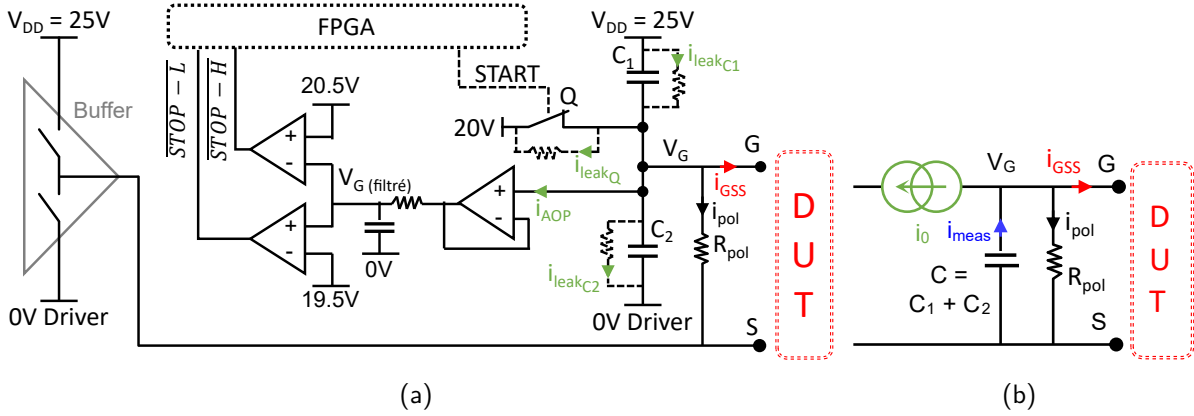
**Fig. 4.6 :** Résolution en courant  $\Delta I_{\text{GSS}}$  en fonction du courant de fuite  $I_{\text{GSS}}$  pour différentes résolutions temporelles,  $i_{\text{pol}} = 1 \mu\text{A}$ ,  $C \cdot \Delta V = 10 \text{ V } \mu\text{F}$ ,  $T_{\text{L}_{\text{max}}} = 30 \text{ s}$ . (à gauche)  $I_{\text{GSS}} < 0 \text{ A}$ . (à droite)  $I_{\text{GSS}} > 0 \text{ A}$ .

Par rapport au circuit développé par J. Weckbrodt [108], l'angle mort du circuit est "déplacé" dans une zone prédéfinie. D'après l'étude, le circuit d'estimation se paramètre de la façon suivante :

1. Le courant de polarisation  $i_{\text{pol}}$  règle la plage de linéarité du circuit (i.e  $\Delta i = \text{cst}$  sur  $\approx ]-i_{\text{pol}}; i_{\text{pol}}[$ ).
2. Le produit  $C \cdot \Delta V$  règle le courant maximal pouvant être estimé  $I_{\text{GSS}_{\text{max}}}$ .
3. Le pas temporel  $\Delta t$  permet d'ajuster la résolution minimum  $\Delta I_{\text{GSS}_{\text{min}}}$ .
4. Pour finir, le courant minimum  $I_{\text{GSS}_{\text{min}}}$  pouvant être estimé est alors réglé par  $T_{\text{L}_{\text{max}}}$ .

### II.3.3 Circuit retenu

Une résistance de précision  $R_{\text{pol}}$  est insérée entre la grille et la source du DUT pour forcer un courant de fuite connu  $i_{\text{pol}}$ . La régulation du potentiel  $V_G = 20 \text{ V}$  est assurée par une Zener programmable non représentée. Quand une estimation est requise, un FPGA déconnecte le pont capacitif de la référence  $20 \text{ V}$ . Le suivi du potentiel  $V_G$  est assuré par un montage suiveur afin de limiter le courant de fuite  $i_{\text{AOP}}$  dans le pont. La figure 4.7a illustre le principe de fonctionnement du circuit modifié.



**Fig. 4.7 :** (a) Circuit d'estimation du courant de grille proposé, (b) Modèle équivalent

Le courant de fuite du circuit illustré figure 4.7a ( $i_{AOP}$ ,  $i_{leakQ}$ ,  $i_{leakC1}$ ,  $i_{leakC2}$ ) sera modélisé comme une source de courant constante  $i_0$ . Le circuit d'estimation simplifié peut être vu figure 4.7b. On considère la variation de potentiel  $\Delta V$  négligeable devant la valeur initiale du potentiel  $V_G = 20\text{ V}$ . Ainsi, le courant  $i_{pol}$  imposé par  $R_{pol}$  est supposé constant. Le temps d'estimation  $T_L$  est supposé négligeable devant le temps de réponse du circuit RC  $\tau = R_{pol} \cdot C$  ( $T_L \ll \tau$ ) avec  $C = C_1 + C_2$ . L'équation (4.16) décrit le circuit simplifié.

$$C \cdot \Delta V = T_L \cdot (i_0 + i_{pol} + I_{GSS}) \quad (4.16)$$

Comme le courant de polarisation  $i_{pol}$  est connu, le courant de fuite  $I_{GSS}$  peut être calculé connaissant les deux paramètres  $i_0$  et  $C \cdot \Delta V$  dans l'équation (4.17).

$$I_{GSS} = \frac{C \cdot \Delta V}{T_L} - i_0 - i_{pol} \quad (4.17)$$

Pour déterminer les deux paramètres  $C \cdot \Delta V$  et  $i_0$ , on déconnecte le semi-conducteur de puissance ( $I_{GSS} = 0\text{ A}$ ). On lance l'estimation pour deux courants  $i_{pol1}$  et  $i_{pol2}$  à l'aide de deux résistances de précision  $R_{pol1}$  et  $R_{pol2}$ . On mesure alors deux temps  $T_L = T_{pol1}$  pour  $i_{pol1}$  et  $T_L = T_{pol2}$  pour  $i_{pol2}$ . À partir de ces temps mesurés, il est possible de calculer  $i_0$  (équation (4.18)) en utilisant l'équation (4.16). Le paramètre  $C \cdot \Delta V$  peut être déduit équation (4.19).

$$i_0 = \frac{T_{pol2} \cdot i_{pol2} - T_{pol1} \cdot i_{pol1}}{T_{pol1} - T_{pol2}} \quad (4.18)$$

$$C \cdot \Delta V = (i_{pol1} - i_{pol2}) \cdot \frac{T_{pol1} \cdot T_{pol2}}{T_{pol2} - T_{pol1}} \quad (4.19)$$

### III Essais

Dans la suite des travaux, plusieurs hypothèses seront considérées :

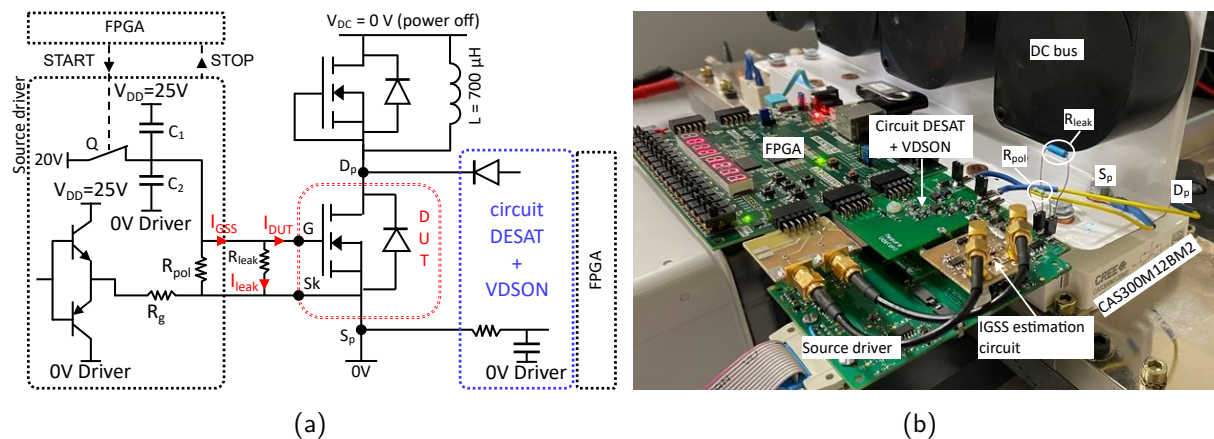
1. Le courant de fuite du circuit  $i_0$  ( $= i_{AOP} + i_{leakQ} + i_{leakC1} + i_{leakC2}$ ) est supposé constant invariable avec la température et l'instant de mesure.
2. Le produit  $C.\Delta V$  est lui aussi considéré constant invariable avec la température et l'instant de mesure.

#### III.1 Caractérisation statique du circuit proposé

##### III.1.1 Montage expérimental

Toutes les mesures seront réalisées à température ambiante  $T = 25^\circ\text{C}$ . La résolution temporelle choisie est  $\Delta t = 0.1$  ms. La figure 4.8 présente le montage expérimental. Pour tester le circuit d'estimation, le source driver est équipé d'un circuit à base d'une diode DESAT (circuit de mesure de  $V_{DS(ON)}$ ). On fait varier le courant de fuite  $I_{GSS}$  vu par le circuit d'estimation à l'aide d'une résistance  $R_{leak}$  placée entre la grille et la source kelvin du composant de puissance. En nommant  $i_{DUT}$  le courant de fuite du composant de puissance, on obtient la relation (4.20).

$$I_{GSS} = I_{leak} + i_{DUT} \quad (4.20)$$

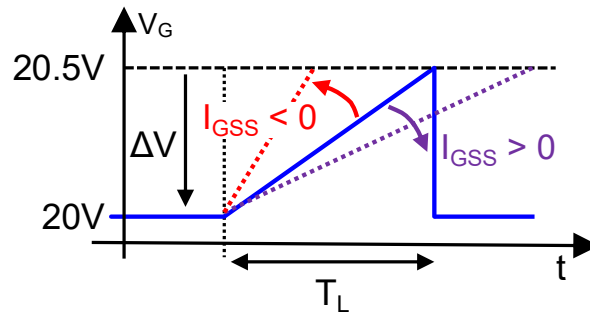


**Fig. 4.8 :** Circuit d'estimation de  $I_{GSS}$  sur un module SiC CAS300M12BM2 avec circuit DESAT + VDSON. (a) Schéma de câblage (b) montage expérimental.

On considère deux cas : DUT amorcé (i.e  $V_{GS} = 20$  V) et DUT bloqué (i.e  $V_{GS} = -5$  V). La figure 4.9 illustre le principe de fonctionnement du circuit d'estimation sous  $V_{GS} = -5$  V. Par rapport au cas d'étude  $V_{GS} = 20$  V à la figure 4.4b, le courant de polarisation fait varier le potentiel  $V_G$  vers le seuil haut (20.5 V). Cette fois, lorsqu'un courant négatif  $I_{GSS}$

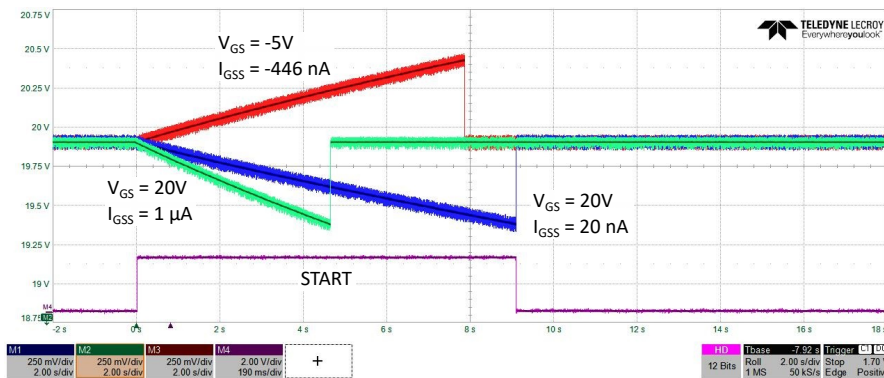


circule à l'intérieur du semi-conducteur de puissance, le temps nécessaire au circuit pour atteindre le seuil supérieur diminue.



**Fig. 4.9 :** Principe d'opération du circuit d'estimation quand le courant  $I_{pol}$  est négatif

Dans les deux cas, le test est fait à vide ( $V_{DC} = 0V$ ). La figure 4.10 illustre quelques formes d'ondes.



**Fig. 4.10 :** Formes d'ondes des essais expérimentaux pour  $V_{GS} = 20V$  and  $V_{GS} = -5V$

### III.1.2 Régime statique sous $V_{GS}=20V$

On calibre dans un premier temps le circuit. On utilise deux résistances à 1% :  $R_{pol1} = 20 M\Omega$  et  $R_{pol2} = 10 M\Omega$ . À partir des temps mesurés  $T_{pol1}$  et  $T_{pol2}$ , on extrait les paramètres du circuit :

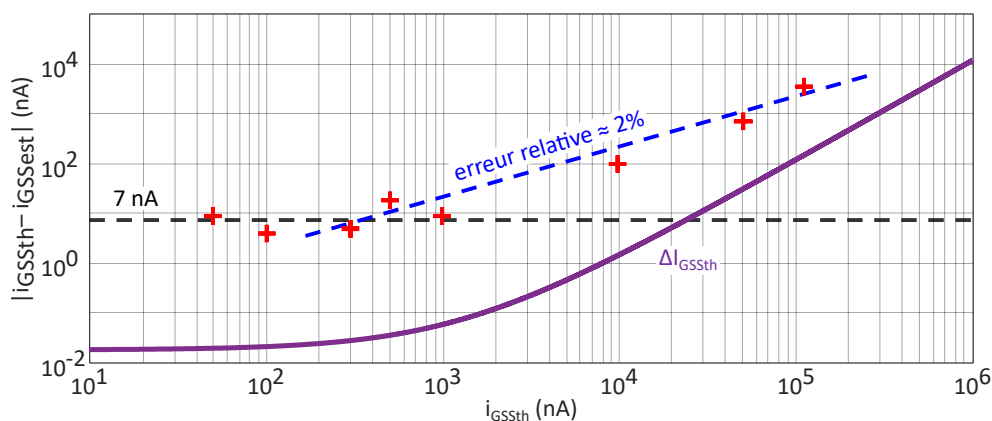
$$i_0 = 250 nA \quad C.\Delta V = 9.03 \mu V F$$

Une résistance de précision  $R_{pol} = 20 M\Omega$  impose un courant  $i_{pol} = 1 \mu A$ . Afin d'émuler un courant de fuite  $I_{GSS}$ , diverses résistances de précision  $R_{leak}$  sont insérées entre la grille et la source du semi-conducteur de puissance. Tous les courants de fuite sont à la fois mesurés par un fA-mètre Keysight B2985A ( $I_{GSS_{théorique}}$ ) et estimés à l'aide du circuit d'estimation ( $I_{GSS_{estimé}}$ ) séparément. Tous les résultats sont rassemblés tableau 4.2.

**Tab. 4.2** : Résultats expérimentaux pour  $V_{GS} = 20 \text{ V}$ ,  $R_{pol} = 20 \text{ M}\Omega$ 

$I_{GSS_{théorique}}$ (nA)	$T_L$ (s)	$I_{GSS_{estimé}}$ (nA)
110 967	0.0078	114 455
50 533	0.172	51 242
9 866	0.8053	9 966
996	4.0453	987
498	5.238	479
299	5.8677	294
100	6.738	96
49	7.0263	41

La figure 4.11 illustre l'erreur absolue  $|I_{GSS_{th}} - I_{GSS_{est}}|$  en fonction du courant de fuite théorique  $I_{GSS_{th}}$ . La résolution en courant théorique  $\Delta I_{GSS_{th}}$  (voir figure 4.6) est calculée par l'équation (4.9) en utilisant les nouveaux paramètres  $C \cdot \Delta V$  et  $i_0$ .


**Fig. 4.11** : Erreur absolue en fonction du courant de fuite imposée théorique  $I_{GSS_{th}}$ ,  $V_{GS} = 20 \text{ V}$ ,  $C \cdot \Delta V = 9.03 \mu\text{V F}$ 

Le circuit d'estimation montre une erreur relative de 2% avec une résolution minimale d'environ 7 nA. Par rapport à la limite théorique du circuit ( $\Delta I_{GSS_{th}}$ ), les données expérimentales révèlent de meilleurs résultats à mesure que le courant de fuite  $I_{GSS}$  augmente. Au contraire, à mesure que  $I_{GSS}$  diminue, le circuit d'estimation montre une limite de détection basse autour de 7 nA.

### III.1.3 Régime statique sous $V_{GS} = -5 \text{ V}$

Cette fois-ci, on fixe la tension grille-source  $V_{GS} = -5 \text{ V}$ . La résistance  $R_{pol}$  impose un courant  $i_{pol}$  négatif. On utilise deux résistances de précision  $R_{pol1} = 4.7 \text{ M}\Omega$

et  $R_{\text{pol}2} = 2.7 \text{ M}\Omega$  pour imposer un courant de l'ordre du  $\mu\text{A}$  avec la nouvelle valeur de  $V_{\text{GS}}$ . À partir des temps mesurés  $T_{\text{pol}1}$  et  $T_{\text{pol}2}$ , on extrait les paramètres du circuit :

$$i_0 = 387 \text{ nA} \quad C.\Delta V = -9.58 \mu\text{V F}$$

Par rapport au cas précédent, le produit  $C.\Delta V$  en valeur absolue est plus grand ( $9.58 \mu\text{V F}$  vs  $9.06 \mu\text{V F}$ ). Cet écart vient des seuils  $20.5 \text{ V}$  et  $19.5 \text{ V}$  qui ne sont pas parfaitement symétriques par rapport au potentiel  $V_{\text{G}} = 20 \text{ V}$ . La valeur du courant de fuite  $i_0$  a elle aussi augmenté ( $387 \text{ nA}$  vs  $250 \text{ nA}$ ). On peut vraisemblablement penser qu'un élément du buffer de sortie présente une fuite plus importante dans un sens que dans l'autre.

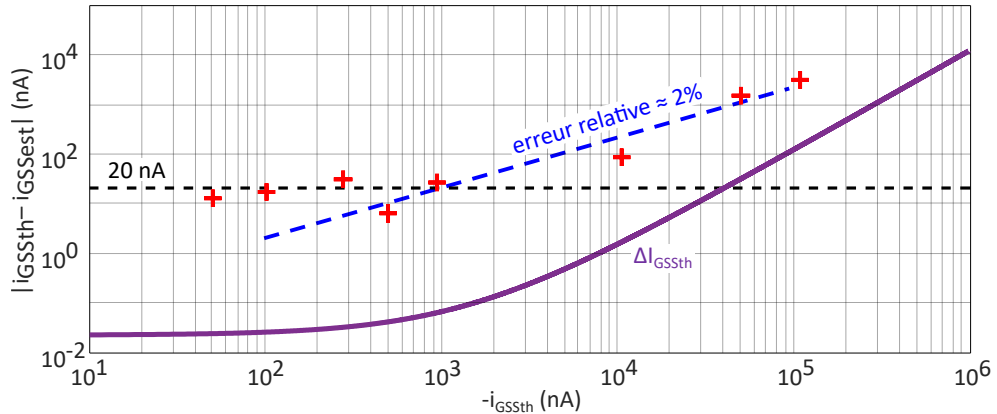
On choisit une résistance de polarisation  $R_{\text{pol}} = 4.7 \text{ M}\Omega$  afin d'imposer un courant  $i_{\text{pol}} \approx -1 \mu\text{A}$ . Cela permet ainsi de comparer les performances du circuit dans le cas  $i_{\text{pol}}$  positif et négatif afin de déterminer quel cas d'utilisation utiliser dans la suite. Tous les résultats sont classés dans le tableau 4.3.

**Tab. 4.3 :** Experimental results for  $V_{\text{GS}} = -5 \text{ V}$ ,  $R_{\text{pol}} = 4.7 \text{ M}\Omega$

$I_{\text{GSS}_{\text{theoretical}}}$ (nA)	$T_{\text{L}}$ (s)	$I_{\text{GSS}_{\text{estimated}}}$ (nA)
-109 015	0.0898	-106 112
-50 569	0.1923	-49 183
-10 795	0.8292	-10 878
-956	5.7680	-980
-506	8.0290	-512
-278	9.6933	-308
-102	11.9820	-119
-51	12.8817	-63

La figure 4.12 illustre l'erreur absolue  $|i_{\text{GSS}_{\text{th}}} - i_{\text{GSS}_{\text{est}}}|$  en fonction du courant de fuite théorique  $-I_{\text{GSS}_{\text{th}}}$ . La résolution en courant  $\Delta I_{\text{GSS}_{\text{th}}}$  (voir figure 4.6) est affichée en utilisant les nouveaux paramètres  $C.\Delta V$  et  $i_0$ .

Le circuit d'estimation montre une erreur relative de 2% avec une résolution minimale d'environ 20 nA. Par rapport aux résultats précédent, le circuit d'estimation a une résolution minimale plus grande (20 nA contre 7 nA). Comme pour les paramètres  $C.\Delta V$  et  $i_0$ , le circuit est plus performant avec un courant  $i_{\text{pol}}$  positif que négatif.



**Fig. 4.12** : Erreur absolue en fonction du courant de fuite imposée théorique  $I_{GSSth}$ ,  $V_{GS} = -5$  V,  $C \cdot \Delta V = 9.03 \mu V F$

## IV Perspectives d'amélioration du circuit

Durant les différents essais, nous avons négligé l'influence de la température et du vieillissement des composants sur les paramètres  $C \cdot \Delta V$  et  $i_0$ . Si on prend en compte ces dépendances, l'équation (4.16) se transforme en équation (4.21). Le paramètre  $T_{cir}$  représente l'influence de la température du circuit sur les paramètres. Le paramètre  $t_{cir}$  rend compte du vieillissement.

$$C \cdot \Delta V(T_{cir}, t_{cir}) = T_L \cdot (i_0(T_{cir}, t_{cir}) + i_{pol} + I_{GSS}) \quad (4.21)$$

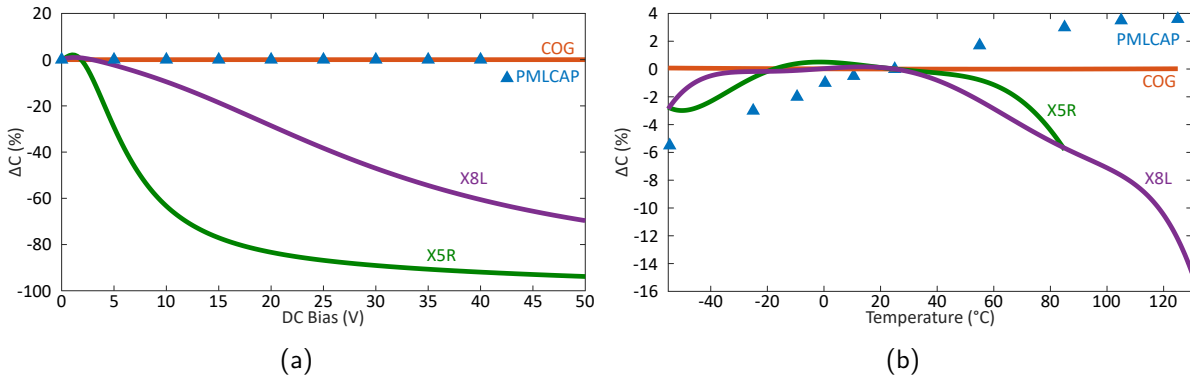
Les travaux précédents [55] avaient montré la forte dépendance du courant  $i_0$  à la température. Les causes principales de ce courant étaient dues aux capacités  $C_1/C_2$  ainsi que l'interrupteur Q. La solution initialement présentée consistait à calibrer le circuit pour différentes températures. Dans la suite, une autre solution est proposée.

### IV.1 Meilleur choix des condensateurs du buffer

Dans les essais, les capacités  $C_1$  et  $C_2$  sont chacune réalisées à l'aide de quatre condensateurs de  $4.7 \mu F$ . Cependant, cette valeur nominale est donnée pour une valeur de tension appliquée DC Bias (généralement 0 V) et de température (généralement  $25^\circ C$ ). Ces valeurs vont ainsi varier en fonction de la qualité du diélectrique. Les figures 4.13a et 4.13b illustre la dépendance de la capacité en fonction du DC Bias et de la température pour différents diélectriques.

Par exemple, les condensateurs utilisés durant les tests (X5R) présentent un dérating de 20 % et 80 % sous  $V_{DC Bias} = 5$  V et  $V_{DC Bias} = 20$  V respectivement. En moyenne, on obtient un dérating de 50 %. Si on reprend la valeur du produit  $C \cdot \Delta V$  des essais, sachant  $\Delta V = 0.5$  V et  $C_1 + C_2 = 37.6 \mu F$ , on doit trouver  $C \cdot \Delta V = 18.8 \mu V F$ . La valeur

expérimentale trouvée ( $9 \mu\text{V F}$ ) présente bien un coefficient  $1/2$  avec la valeur théorique due à ce dérating.



**Fig. 4.13 :** Caractéristique des condensateurs en fonction du diélectrique. (a) Variation de la capacité en fonction de la tension DC (b) Variation de la capacité en fonction de la température

Dans le cas du circuit d'estimation, ce fort dérating pose deux problèmes. La mauvaise connaissance de la capacité réelle du condensateur rend l'estimation moins précise et rend une calibration du produit  $C \cdot \Delta V$  souvent nécessaire pour pouvoir utiliser le circuit correctement. Un fort dérating se traduit aussi par une forte dépendance des courants de fuite des condensateurs  $i_{\text{leak}C_1}$  et  $i_{\text{leak}C_2}$  en fonction du DC Bias mais aussi de la température. Pour des applications à fortes variations de température, il est alors compliqué de proposer un circuit de compensation efficace.

Dans le milieu des condensateurs, la technologie COG est la plus stable en DC Bias et en température. Cependant, les faibles valeurs possibles ( $< \text{nF}$ ) ne permettent pas son utilisation pour des capacités de buffer. Une solution est proposée avec la technologie Polymer Multi-Layer CAPacitor (PMLCAP). Ces nouvelles capacités possèdent une forte stabilité en tension, une faible dépendance de la capacité vis-à-vis de la température et un faible courant de fuite sur une large plage de température [154]. La stabilité en tension permet de diminuer la valeur des capacités requises pour le buffer.

## IV.2 Déséquilibre du pont capacitif

La source principale du courant  $i_0$  est le pont capacitif  $C_1/C_2$ . Il résulte de la différence de la tension de polarisation des condensateurs. En supposant un comportement résistif indépendant du DC bias, le condensateur  $C_1$  polarisé sous 5 V aura un courant de fuite quatre fois plus faible que celui du condensateur  $C_2$  polarisé sous 20 V.

Pour résoudre ce problème, on propose de déséquilibrer le pont capacitif. Le pont déséquilibré est illustré en rouge figure 4.14. La capacité  $C_1$  est composée de 4 condensateurs  $C_{11}$ ,  $C_{12}$ ,  $C_{13}$  et  $C_{14}$  contre 1 condensateur pour  $C_2$ . Ainsi les courants de fuite

des condensateurs  $C_{11}$ - $C_{14}$  alimentent la fuite du condensateur  $C_2$ . Du point de vue du potentiel  $V_G$ , aucun courant ne circule.

Cette proposition présente cependant l'inconvénient de sur-solliciter le condensateur  $C_2$  polarisé sous 20 V qui doit fournir quatre fois plus de courant impulsionnel que les quatres condensateurs ( $C_{11}$  à  $C_{14}$ ) polarisés sous 5 V.

### IV.3 Principe de la double mesure

On propose une solution pour se rendre indépendant du produit  $C \cdot \Delta(T_{\text{cir}}, t_{\text{cir}})$  lors des mesures. La solution est illustrée en vert figure 4.14. Un interrupteur  $q_{\text{pol}}$  peut modifier le courant de polarisation :  $i_{\text{pol1}}$  ou  $i_{\text{pol1}} + i_{\text{pol2}}$ . Si on suppose deux estimations consécutives à un temps  $t_0$ , la température du circuit et l'impact du vieillissement des composants peuvent être considérés constants. En appliquant l'équation (4.21) aux deux courants de polarisation, on obtient les équations (4.22) et (4.23).

$$C \cdot \Delta V(T_{\text{cir}t_0}, t_{\text{cir}t_0}) = T_{L1} \cdot (i_0(T_{\text{cir}t_0}, t_{\text{cir}t_0}) + i_{\text{pol1}} + I_{\text{GSS}}) \quad (4.22)$$

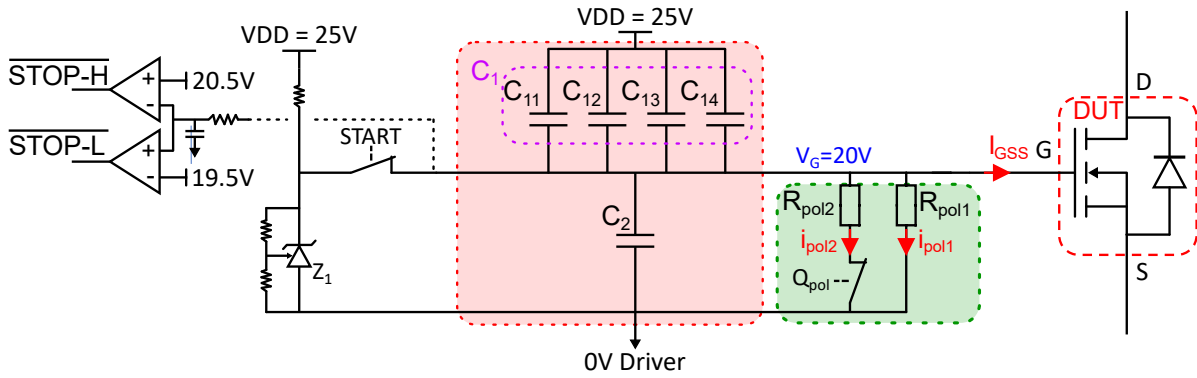
$$C \cdot \Delta V(T_{\text{cir}t_0}, t_{\text{cir}t_0}) = T_{L2} \cdot (i_0(T_{\text{cir}t_0}, t_{\text{cir}t_0}) + i_{\text{pol1}} + i_{\text{pol2}} + I_{\text{GSS}}) \quad (4.23)$$

À partir des temps mesurés  $T_{L1}$  et  $T_{L2}$ , on peut compenser le produit  $C \cdot \Delta$  Véquation (4.24).

$$I_{\text{GSS}} + i_0(T_{\text{cir}}, t_{\text{cir}}) = \frac{T_2 \cdot (i_{\text{pol1}} + i_{\text{pol2}}) - T_1 \cdot i_{\text{pol1}}}{T_1 - T_2} \quad (4.24)$$

### IV.4 Conclusion

Au final, toutes les perspectives d'amélioration du circuit d'estimation sont résumées à la figure 4.14. Parmi les propositions, le choix de la technologie PMLCAP sera retenu dans le design du démonstrateur final au chapitre 5.



**Fig. 4.14** : Perspectives d'amélioration du circuit d'estimation de  $I_{GSS}$

## V Conclusion

Ce chapitre traite de l'estimation du paramètre  $I_{GSS}$ . Une étude de la technologie MOSFET SiC a mis en lumière le problème de fiabilité de l'oxyde de grille. Le paramètre  $I_{GSS}$  est choisi comme grandeur électrique sensible à la dégradation des MOSFETs SiC et de leur oxyde. L'étude des circuits de l'état de l'art a permis de classer les composants MOSFETs en fonction de leur courant de fuite  $I_{GSS}$  : sain, détérioré et critique.

À partir des trois objectifs initiaux, les deux premiers (compatibilité DESAT et angle mort) ont été résolus. Des solutions ont été proposées pour résoudre le troisième objectif mais leur validation pratique reste à faire. Par rapport au circuit de l'état de l'art [108], le nouveau circuit utilise la variation du temps de mesure autour d'un point de polarisation pour estimer le courant de fuite. Ce courant de polarisation permet ainsi d'améliorer la précision du circuit. L'étude théorique permet de régler la précision souhaitée en fonction des paramètres d'entrée :  $C \cdot \Delta V$ ,  $i_{pol}$ ,  $\Delta t$ , plage de mesure de  $I_{GSS}$ . Pour résoudre le troisième objectif, des solutions sont proposées pour rendre le circuit indépendant de la température et du vieillissement de ses propres composants.

# CONCEPTION DU SOURCE DRIVER

---

Un démonstrateur de source driver a été développé afin de tester et valider les caractéristiques de l'évaluateur technologique du projet AM-PM (module bras d'onduleur 3.3 kV/500 A). Ce démonstrateur intègre les fonctions de base comme la gestion des temps morts et la détection et la mise en sécurité du bras d'onduleur en cas de courts-circuits. À cela s'ajoute les fonctions de monitoring décrites aux chapitres précédents ainsi que la nouvelle topologie de commande par la source.

Ce chapitre s'attarde sur les contraintes normatives de sécurité et d'encombrements du démonstrateur lors de sa conception. L'aspect normatif lié aux fortes tensions ( $>1.5 \text{ kV}_{\text{DC}}$ ) sera traité dans un premier temps. Dans un deuxième temps, le problème d'encombrement lié à l'intégration du démonstrateur dans le boîtier de puissance sera abordé.

## I Barrière d'isolation galvanique du driver

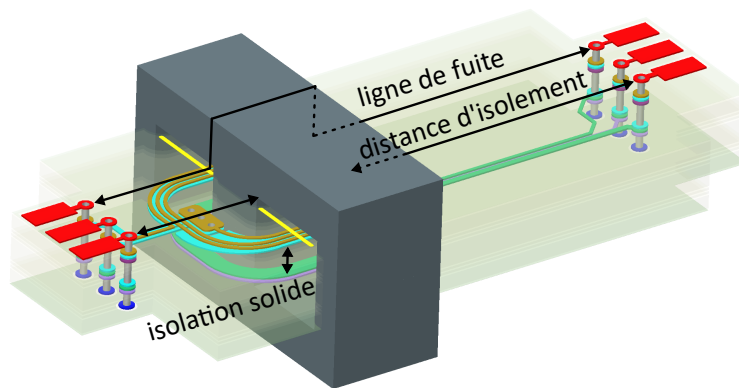
Dans le milieu des drivers de composants de puissance, le transformateur d'alimentation permet l'isolation galvanique entre l'étage primaire et les étages secondaires. L'isolation galvanique principale assure la protection du circuit contre les chocs électriques. Elle est systématiquement utilisée pour protéger les utilisateurs.

### I.1 Norme Européenne EN 50178

L'isolation électrique est qualifiée par deux grandeurs : les distances d'isolement ou clearance et les lignes de fuites ou creepage. Dans le cas des transformateurs planaires, le Printed Circuit Board (PCB) assure aussi une isolation électrique dite "solide". L'isolation solide du PCB est définie par sa "tension de tenue aux chocs" et permet d'obtenir les distances d'isolation dans le matériau connaissant sa rigidité électrique. La figure 5.1 illustre ces trois notions sur un exemple de transformateur planaire.

Le calcul des distances d'isolation du transformateur dépend de la tension d'utilisation du système  $U_{\text{DC}}$ . Cette valeur est généralement obtenue à partir de la tension de blocage du module de puissance (3.3 kV) divisée par un facteur  $\sqrt{2}$  (soit 2333 V) [155]. La tension retenue dans la suite sera  $U_{\text{DC}} = 2.5 \text{ kV}$ .





**Fig. 5.1 :** Exemple d’application des notions d’isolation électrique dans le cas d’un transformateur planaire

Dans le cas d’une application  $>2\text{ kV}_{\text{DC}}$ , la norme EN 50178 impose l’utilisation des distances renforcées pour l’isolation principale. Le tableau 5.1 donne les différentes distances d’isolement que devront respecter les transformateurs.

**Tab. 5.1 :** Distance isolations renforcées pour la norme EN 50178

Tension d’utilisation	Tension de tenue aux chocs	distance d’isolement	ligne de fuite
2500 V <sub>DC</sub>	18.4 kV	22.9 mm	25 mm

En considérant une rigidité électrique minimum de 39 kV/mm du matériau, une distance d’isolation solide de 471  $\mu\text{m}$  doit être respectée entre les pistes connectées au circuit primaire et celles au circuit secondaire. On retiendra une distance de 480  $\mu\text{m}$  dans la suite des travaux.

## I.2 Dimensionnement et tests des alimentations

### I.2.1 Cahier des charges

Les semi-conducteurs utilisés dans le module AM-PM sont des puces G2R50MT33-CAL 3.3kV/49 A (@T<sub>C</sub> =100 °C). Ces puces de deuxième génération sont pilotés en +20V/-5 V soit une amplitude  $\Delta V_{\text{GS}} = 25\text{ V}$ .

L’équation (5.1) rappelle la puissance  $P_G$  consommée par la grille d’un MOSFeT en fonction de l’amplitude de la tension de commande grille source  $\Delta V_{\text{GS}}$ , de la charge électrique  $Q_G$  absorbée par la grille du composant de puissance sur la plage de tension  $\Delta V_{\text{GS}}$  et de la fréquence  $f$  du signal MLI.

$$P_G = Q_G \cdot f \cdot \Delta V_{\text{GS}} \quad (5.1)$$

Le module comporte douze puces par voie soit une charge de grille totale  $Q_G$  de 4080 nC. On retient une fréquence de commutation des transistors du module  $f_{\max} = 20$  kHz. La puissance maximale consommée par la grille de l'évaluateur est de 2.05 W. À cela s'ajoute la consommation de l'électronique des circuits secondaires du source driver : circuit DESAT, mesure  $V_{DS_{ON}}$ , FPGA, estimateur  $I_{GSS}$ , etc.

Le circuit d'alimentation a été dimensionné pour permettre un transfert d'énergie de 4 W/voie. Afin d'être compatible avec la technologie de l'alimentation communicante [104] et l'alimentation pilotable du source driver au chapitre 2, le circuit d'alimentation est composé d'un montage push pull non régulé suivi d'un étage de post régulation (voir figure 5.2).

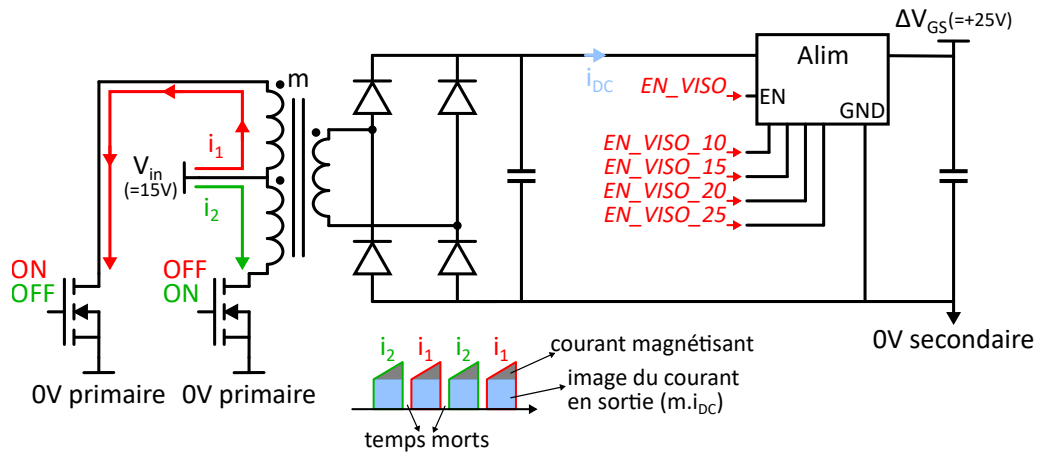
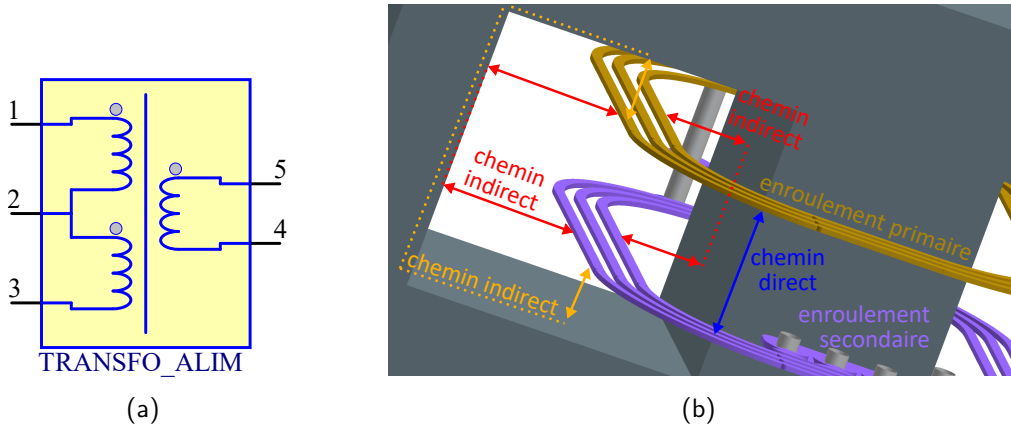


Fig. 5.2 : Schéma de principe du circuit d'alimentation [53]

## I.2.2 Dimensionnement du transformateur d'alimentation

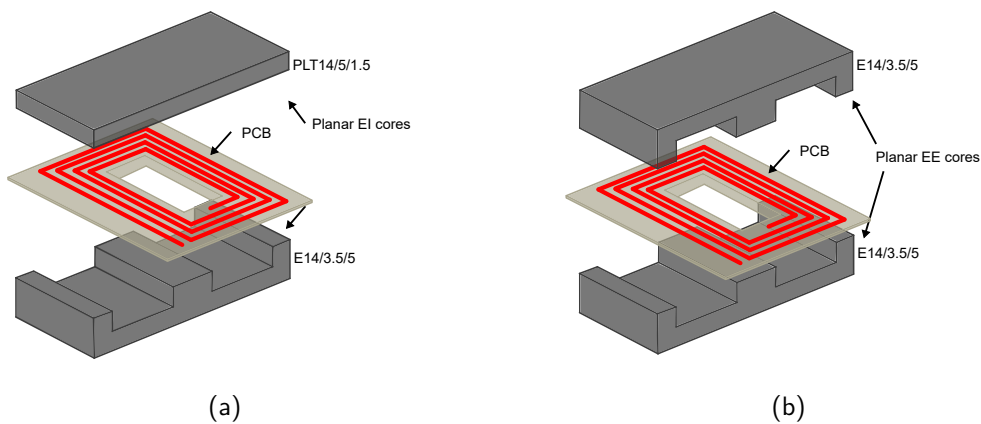
Le transformateur est constitué de deux enroulements en série avec point milieu au primaire et d'un enroulement au secondaire (voir figure 5.3a). Le noyau magnétique est considéré comme un élément conducteur, son isolation est nulle [156]. Une distance de 480  $\mu\text{m}$  doit être respectée entre le noyau et les pistes. Il convient alors de prendre en compte les différents chemins directs et indirects. Le chemin direct (en bleu sur la figure 5.3b) relie les pistes primaires et secondaires à travers le PCB. Les chemins indirects (en rouge et orange sur la figure 5.3b) utilisent le noyau magnétique conducteur afin de contourner le chemin direct.



**Fig. 5.3 :** (a) Schéma électrique du transformateur d'alimentation (b) prise en compte des différents chemins pour l'isolation solide dans un transformateur planaire

L'isolation électrique directe est doublée et atteint  $960\ \mu\text{m}$  de diélectrique. Les enroulements sont enterrés à  $480\ \mu\text{m}$  sous la surface du PCB pour les isoler du noyau. Ces contraintes d'isolation amènent l'épaisseur du PCB à  $1.92\ \text{mm}$  hors épaisseur des pistes de cuivre. Afin de respecter les contraintes sur l'épaisseur de l'empilage, l'ancien noyau EI14 (E14/3.5/5 + PLT14/5/1.5) des travaux précédents [55] pour du PCB  $1.6\ \text{mm}$  est remplacé par un empilage de deux noyaux EE14 (E14/3.5/5) pour une épaisseur maximale de  $3.2\ \text{mm}$  comme illustré à la figure 5.4. Un clip spécialement fabriqué pour cette configuration assure le maintien mécanique des deux noyaux.

Contrairement au choix du noyau EI22 de taille supérieure (E22/6/16 + PLT22/16/2.5), cette configuration EE permet de tenir les contraintes d'isolation tout en limitant les pertes fer dans le matériau magnétique dû à l'augmentation de son volume. A titre d'exemple, pour une utilisation à  $500\ \text{kHz}$ ,  $100\ \text{mT}$  et  $100\ ^\circ\text{C}$ , les pertes fer dans le noyau EE14 s'élèvent à  $0.285\ \text{W}$  contre  $2.3\ \text{W}$  pour le noyau EI22. Pour référence, le noyau EI14 a  $0.26\ \text{W}$  de pertes fer.

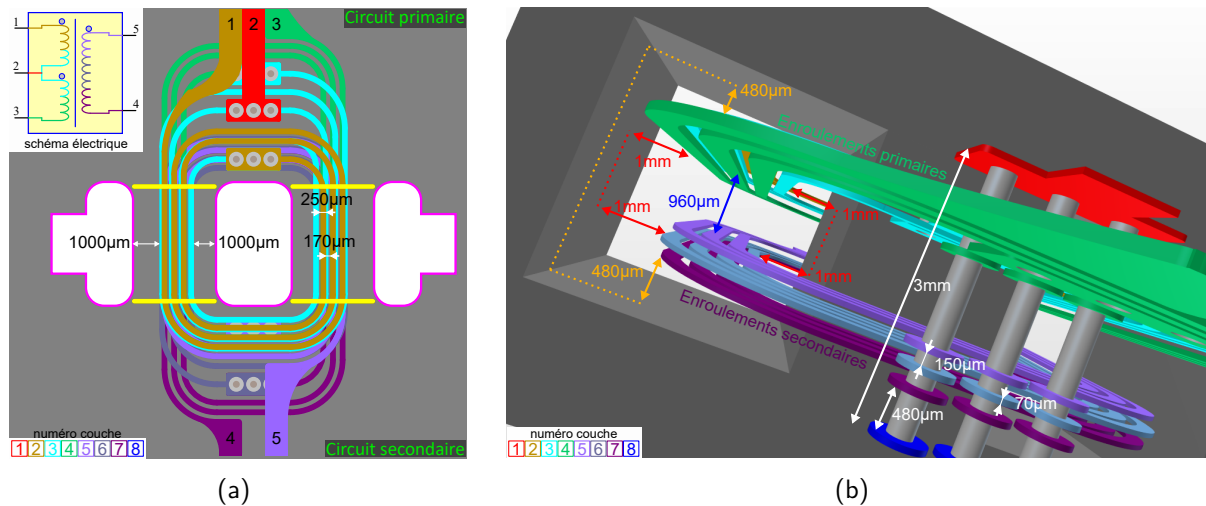


**Fig. 5.4 :** Choix de l'assemblage du noyau magnétique (a) noyau EI (b) noyau EE

Les deux enroulements primaires sont constitués de cinq spires chacun afin de limiter le champ magnétique dans le noyau autour de 100 mT. L'enroulement secondaire est constitué de dix spires pour assurer un rapport deux entre le primaire et le secondaire. Le code couleur sur le schéma électrique de la figure 5.5a donne la répartition des spires sur les différentes couches pour chaque enroulement.

Les enroulements primaires sont répartis sur trois couches internes numérotés 2,3 et 4. La couche n°2 accueille les trois premières spires du premier enroulement. Sur la couche n°3, on retrouve les deux dernières spires du premier enroulement et les deux premières spires du deuxième enroulement primaire. Le point milieu du transformateur situé au milieu des spires ressort sur la couche n°1 du PCB. Pour finir, la couche n°4 accueille les trois dernières spires du deuxième enroulement. De son côté, l'enroulement secondaire est réparti sur trois couches internes numérotées 5, 6 et 7 sur la figure 5.5. La couche n°5 accueille trois des dix spires, la n°6, quatre des dix spires et la n°7 les trois dernières spires. Les différentes spires sont reliées par des vias enterrés.

Chaque couche ne contient pas plus de quatre spires afin d'assurer une distance horizontale (flèches en rouge sur la figure 5.5b) entre les pistes et le noyau est de 1 mm. Au total, le transformateur a besoin de sept couches. Chaque couche fait 70  $\mu\text{m}$  d'épaisseur. Les couches accueillant des spires du même enroulement primaire ou secondaire sont séparées verticalement de 150  $\mu\text{m}$  de diélectrique. Au final, l'empilage fait 3 mm d'épaisseur.



**Fig. 5.5 :** Design du transformateur d'alimentation (a) vue de dessus (b) vue en coupe

### I.2.3 Prototypage et tests de l'alimentation

Afin de voir si le circuit d'alimentation communicante accepte le nouveau design du transformateur d'alimentation, une carte de test basée sur celle des travaux précédents [55] a été fabriquée (voir figure 5.6).

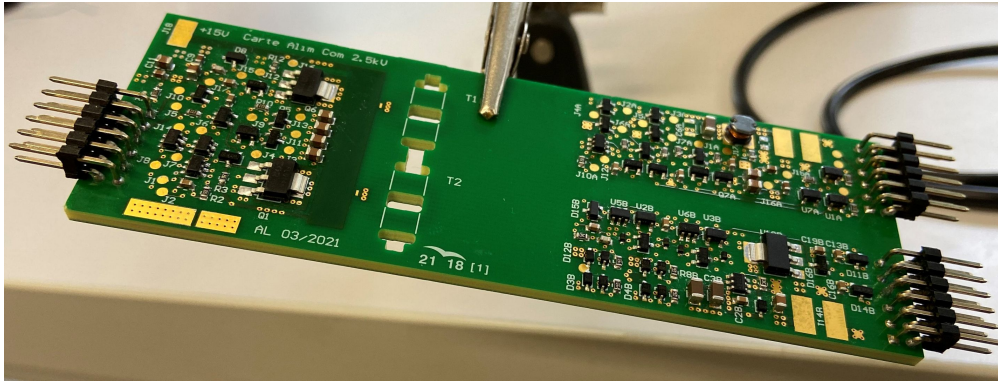


Fig. 5.6 : Carte test alimentation communicante 2.5 kV

### I.2.3.1 Synoptique

La figure 5.7 rappelle le principe du circuit d'alimentation communicant. On peut donc distinguer deux phases de fonctionnement. La première (figure 5.7a) correspond à la phase d'alimentation (A) pendant laquelle de l'énergie électrique est transmise de l'étage primaire vers l'étage secondaire tout en véhiculant un flux de donnée (TxD). Les données à transmettre (TxD) sont transmises en utilisant un code Manchester appliqué au signal  $V_{sec}$ . La seconde phase (figure 5.7b) correspond à la phase démagnétisée (B) pendant laquelle l'étage secondaire renvoie des données à l'étage primaire sous forme d'impulsions.

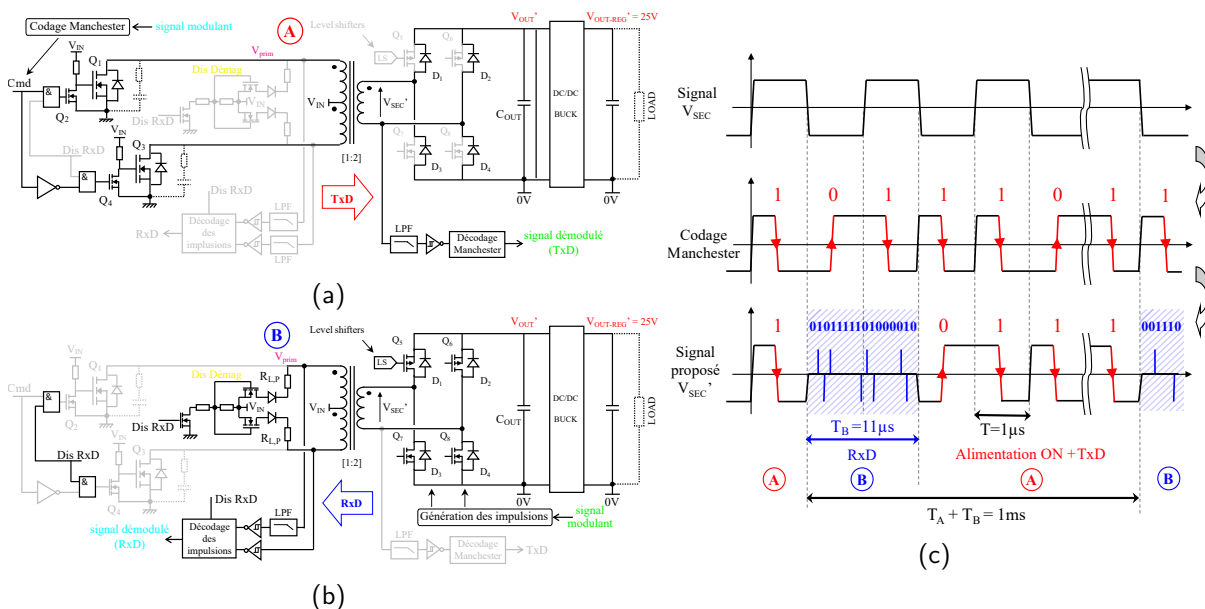


Fig. 5.7 : Circuit d'alimentation communicant (a) Circuit équivalent lors de la phase A (alimentation ON & TxD) (b) Circuit équivalent lors de la phase B (RxD) (c) formes d'ondes théoriques associées

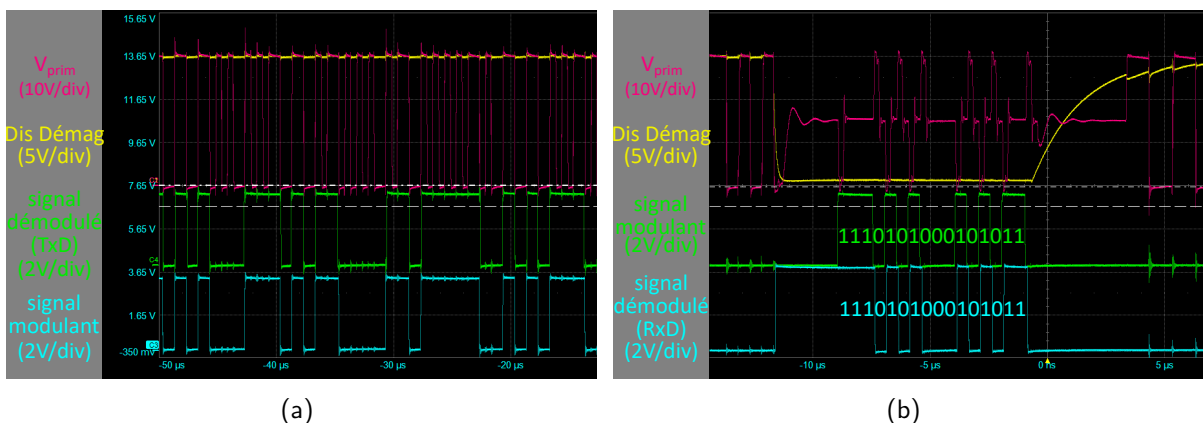
### I.2.3.2 Résultats expérimentaux

Le protocole de test a pour objectif de valider la conformité des signaux du circuit d'alimentation communicant. La carte test est connectée à deux Nexys DDR4. Des trames de données sont préprogrammées dans les deux FPGA. Les formes d'ondes des essais effectués sont présentées à la figure 5.8.

Lors de la phase A (voir figure 5.8a), le FPGA au primaire vient moduler le signal de commande de l'alimentation  $Cmd$  par le message à transmettre (signal modulant en bleu) en utilisant un codage Manchester. Le signal modulé  $V_{prim}$  en magenta est transmis au circuit secondaire à travers le transformateur d'alimentation. Le signal est ensuite démodulé et interprété (signal démodulé (TxD) en vert) par le FPGA au secondaire.

Afin de démarrer la phase B (voir figure 5.8b), le FPGA primaire fait tomber le signal  $DIS RxD$  ce qui a pour effet d'arrêter le circuit d'alimentation et d'enclencher le circuit de démagnétisation du transformateur (signal  $DiS Démag$  en jaune). Au bout de  $2\mu s$  d'inactivité du transformateur d'alimentation, le FPGA au secondaire déclenche la phase d'envoi des informations. Le signal modulant (en vert) est appliqué sous forme d'impulsions aux bornes du secondaire du transformateur. Le signal est ensuite démodulé et interprété (signal démodulé (RxD) en bleu) par le FPGA au primaire.

L'interprétation correcte des données TxD et RxD à la figure 5.8 démontrent compatibilité du nouveau transformateur d'alimentation avec le protocole d'échange de données tel que défini à la figure 5.7.

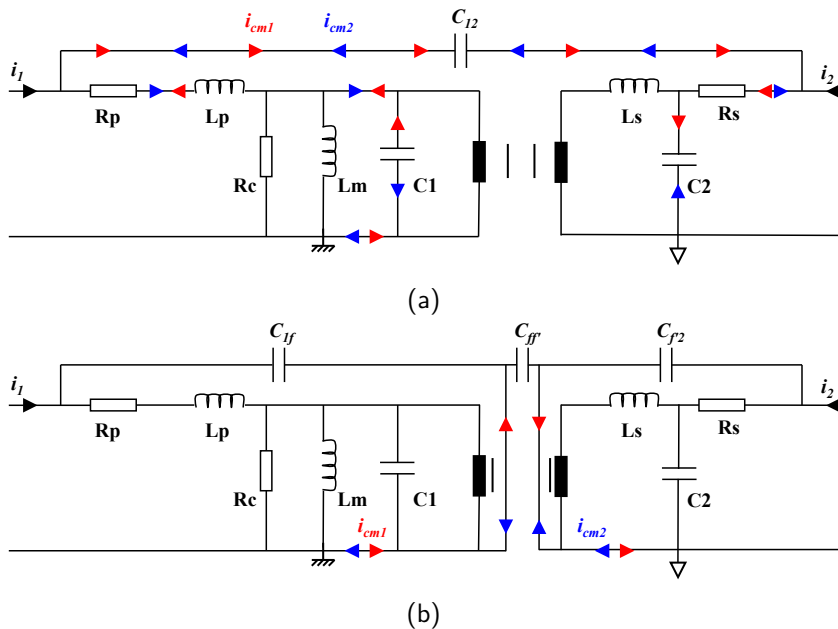


**Fig. 5.8 :** Formes d'ondes expérimentales du circuit d'alimentation communicant (a) lors de la phase A (alimentation ON & TxD) (b) lors de la phase B (RxD)

## I.3 Transformateurs de pulses

### I.3.1 Dimensionnement du transformateur de pulses

En raison de problèmes de courant en mode commun lors des commutations des composants de puissance, le transformateur d'impulsions intègre deux écrans électrostatiques entre les enroulements primaires et les enroulements secondaires. Les écrans électrostatiques sont des plans de cuivre qui agissent comme une cage de Faraday afin de bloquer l'effet du champ électrique. Ces écrans doivent être reliés correctement aux plans 0V des circuits primaires et secondaires afin de présenter aux courants de mode commun une impédance plus faible (voir figure 5.9).



**Fig. 5.9** : Chemin des courants de mode commun dans un transformateur planaire (a) sans écrans électrostatiques (b) avec écrans [157]

Le dimensionnement du transformateur d'impulsions (nombre de spires, section des spires, taille des écrans, tests en dvdt, etc.) est issu de précédents travaux faits au laboratoire IETR [55], [157].

Le transformateur d'impulsions est composé de deux enroulements de trois spires et de deux écrans électrostatiques (voir figure 5.10a). On réutilise l'empilage du transformateur d'alimentation. Les enroulements sont placés sur les couches 2 et 7 et les écrans sont placés sur les couches 3 et 6. Comme les couches 4 et 5 sont inutilisées, les écrans sont séparés de 1.4 mm de diélectrique (voir figure 5.10b).

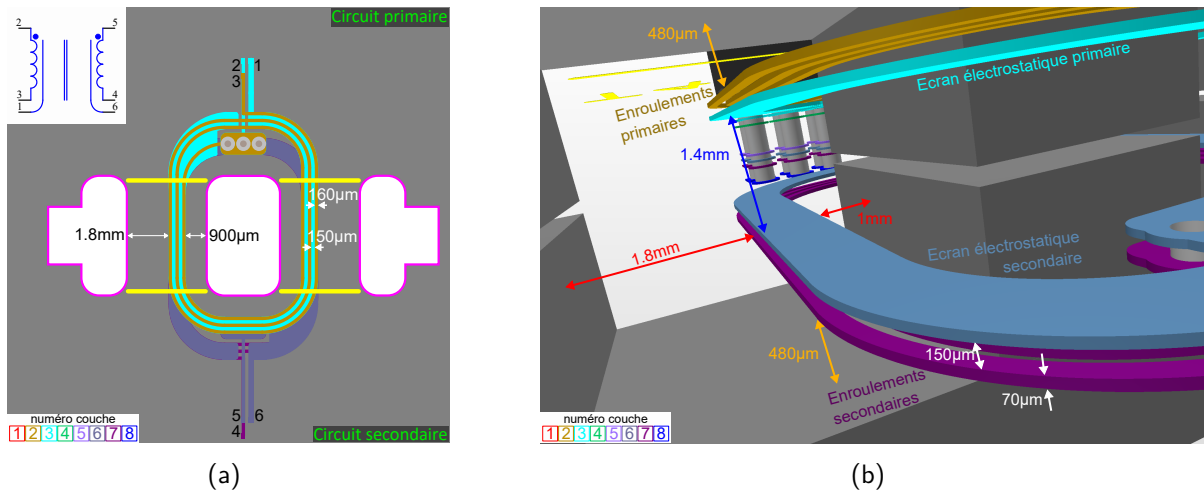


Fig. 5.10 : Design du transformateur d'impulsions (a) vue de dessus (b) vue en coupe

### I.3.2 Prototypage et tests des transformateurs de pulses

Afin de valider la tenue en dvdt du transformateur d'impulsions 2.5 kV, plusieurs transformateurs avec et sans écrans électrostatiques sont fabriqués. La figure 5.11 montre l'une des cartes sur le banc de test.

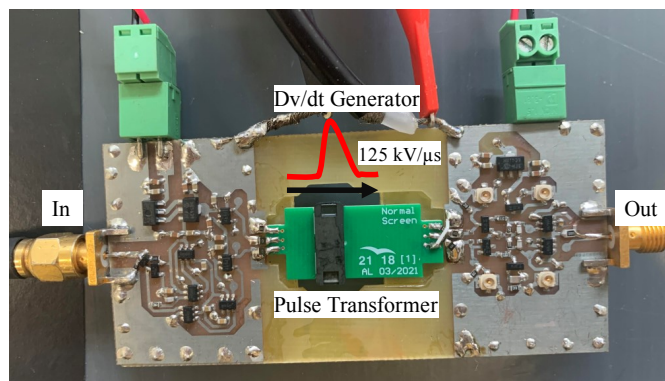


Fig. 5.11 : Carte transformateur d'impulsions sur son banc de test pour le test d'immunité aux dv/dt

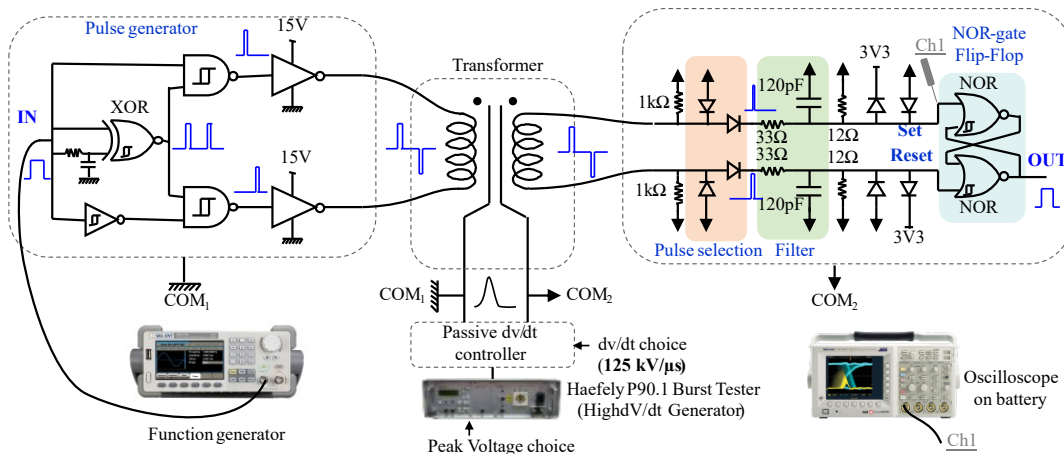
#### I.3.2.1 Synoptique

Le banc de test est constitué de deux circuits. L'électronique du circuit primaire référencé à COM1 transforme des ordres d'amorçage et de blocage en impulsions courtes à chaque changement d'état. L'électronique du circuit secondaire, référencé à COM2, remet en formes ces impulsions courtes avant d'être amplifiées pour piloter la source du composant de puissance. Un générateur de Haefely connecté entre les plans COM1 et COM2 des deux circuits permet de générer des fronts de tension pour les tests d'immunité aux dvdt (voir figure 5.12).



Le signal d'entrée  $IN$  fourni par un générateur de fonction est converti en impulsions à chaque changement de front à l'aide d'une porte NXOR. La durée de l'impulsion est réglée par le temps de réponse  $\tau = R.C = 25 \text{ ns}$  du filtre passe bas en entrée de la porte logique. L'impulsion correspondant à un front montant doit être transmis sur la borne homologue du transformateur et inversement pour le front descendant du signal  $IN$ . Pour ce faire, le signal impulsionnel est comparé au signal original  $IN$  à l'aide de deux portes NAND. Ces portes reçoivent respectivement le signal d'entrée  $IN$  et son inverse afin de sélectionner le front montant ou descendant. Le signal impulsionnel filtré est ensuite amplifié avant d'être transmis au transformateur d'impulsions.

Un circuit redresseur (*pulse selection* à la figure 5.12) permet de sélectionner le pulse positif ou négatif reçu côté secondaire. Un circuit flip-flop en sortie permet de convertir les impulsions redressées en un signal  $OUT$  comparable au signal d'entrée  $IN$ .

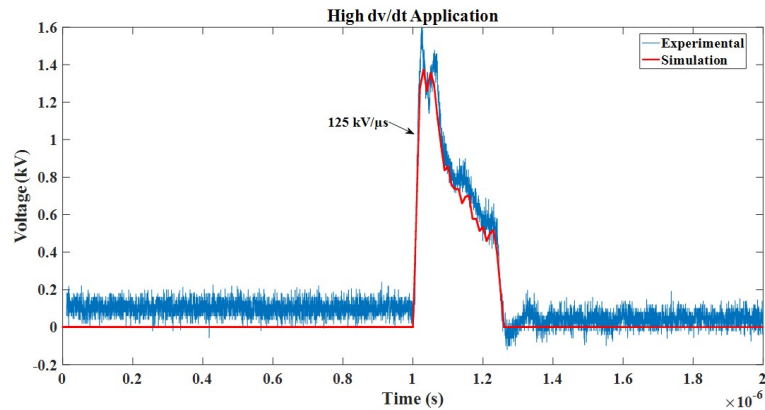


**Fig. 5.12** : Circuit pour tester la CMTI des transformateurs d'impulsions sous l'application d'une variation de tension de  $125 \text{ kV } \mu\text{s}^{-1}$  entre les plans  $COM_1$  et  $COM_2$

### I.3.2.2 Résultats expérimentaux

Le signal d'entrée  $IN$  est un créneau de rapport cyclique 0.5 et de fréquence 50 kHz. En parallèle, le générateur de Haefely génère des impulsions de tension avec une pente de  $125 \text{ kV}/\mu\text{s}$  (voir figure 5.13). Pendant le test, l'état des signaux de sortie  $SET$  et  $RESET$  est comparé à la tension de seuil  $V_{T+}$  du circuit flip-flop. Un test est déclaré concluant si le pic de tension sur les signaux  $SET$  et  $RESET$  causé par l'impulsion de tension du générateur de Haefely ne fait pas basculer l'état du circuit flip-flop.

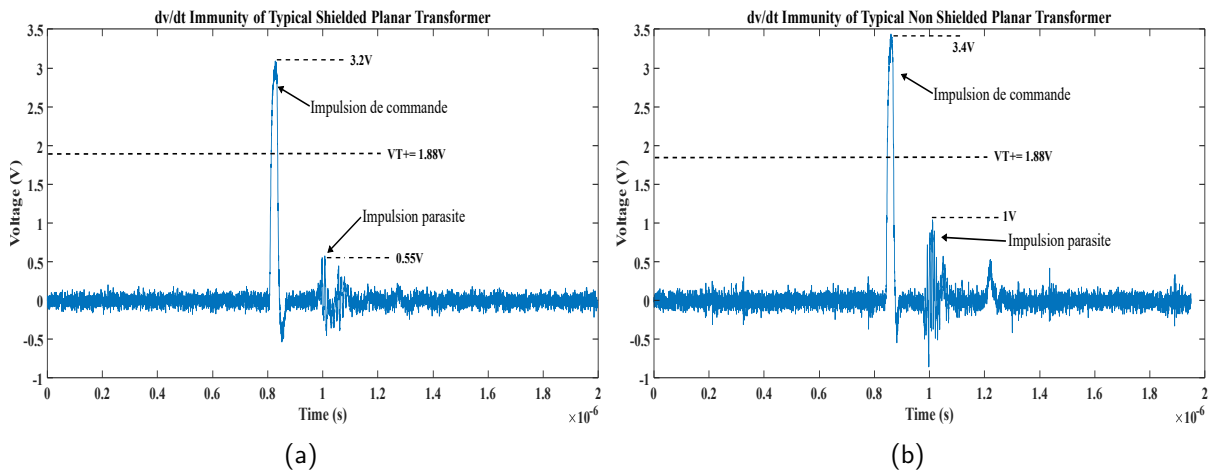
Les formes d'ondes des essais pour le transformateur d'impulsions avec écran et sans écran sont illustrés aux figures 5.14a et 5.14b respectivement. Sur la fenêtre de visualisation, une impulsion courte positive est générée en entrée du transformateur d'impulsions au bout de  $0.8 \mu\text{s}$  afin de simuler un ordre d'amorçage du composant de puissance.  $0.2 \mu\text{s}$



**Fig. 5.13** : Impulsion de tension du générateur de Haefely

plus tard, le générateur de Haefely délivre une impulsion de tension entre les plans 0V comme décrit à la figure 5.13.

Les formes d'ondes du transformateur avec écran illustrées à la figure 5.14a montrent une impulsion de commande autour de 3.2 V et une impulsion parasite du au générateur de Haefely de 0.55 V. Dans le cas du transformateur sans écran, les pics de tension sont plus importants avec une impulsion de commande autour de 3.4 V et une impulsion parasite autour de 1 V.

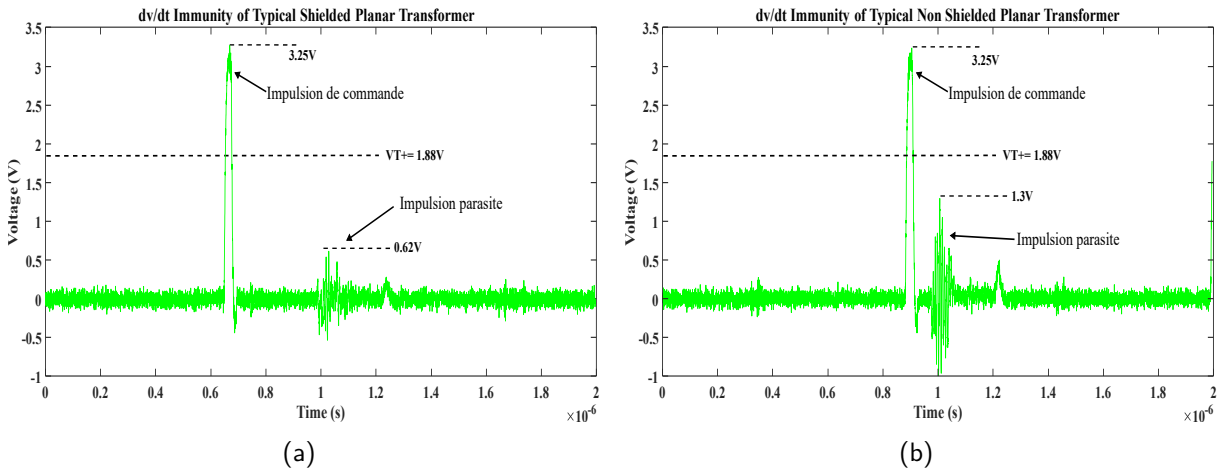


**Fig. 5.14** : Résultats du test d'immunité aux dvdt sous 125 kV/μs (a) transformateur 2.5 kV avec écran (b) transformateur 2.5 kV sans écran

Comparés aux résultats des transformateurs d'impulsions pour des applications jusqu'à 1 kV à la figure 5.15, les transformateurs 2.5 kV montrent des réponses aux impulsions de commande similaires. On remarque cependant que les transformateurs avec circuit magnétique EE14 sans écrans conçus pour des applications jusqu'à 2.5 kV possèdent une meilleure immunité aux dv/dt que les transformateurs avec circuit magnétique EI14 sans écran conçus pour des applications jusqu'à 1 kV. Le transformateur EE présente des impulsions parasites d'amplitude 1 V contre 1.3 V pour le transformateur EI. L'écart est

moins prononcé pour les transformateurs avec écran électrostatique avec 0.55 V contre 0.62 V.

Au final, les transformateurs 2.5 kV avec et sans écrans ont démontré une immunité aux  $dv/dt$  125 kV/ $\mu$ s. On retiendra les transformateurs avec écrans pour le démonstrateur final.



**Fig. 5.15 :** Résultats du test d'immunité aux  $dv/dt$  sous 125 kV/ $\mu$ s (a) transformateur 1 kV avec écran (b) transformateur 1 kV sans écran [55]

## I.4 Conclusion

Le démonstrateur est dimensionné pour le module SiC en technologie bras d'onduleur 3.3 kV/500 A du projet AM-PM avec une tension d'utilisation retenue  $U_{DC} = 2.5$  kV. Afin de satisfaire les contraintes normatives pour ce niveau de tension, les transformateurs d'alimentation et d'impulsions du gate driver ont dû être redimensionnés.

Différents tests ont été effectués sur les nouveaux transformateurs EE14 pour des applications jusqu'à 2.5 kV. Le test de communication sur le transformateur d'alimentation a permis de valider sa compatibilité avec le circuit d'alimentation communicante. Le test d'immunité aux  $dv/dt$  a montré une meilleure immunité des transformateurs 2.5 kV par rapport aux transformateurs 1 kV.

## II Architecture mécanique du source driver et localisation des fonctions

Le choix de l'aspect externe du boîtier du module AM-PM s'est porté sur le standard open source "Linpack" du fabricant ABB [158], [159]. Ce type de boîtier mis en place pour les modules fortes puissances ( $>1.7\text{ kV}$ ,  $>500\text{ A}$ ) est devenu la référence dans les applications fortes puissances. La figure 5.16a illustre les dimensions du boîtier LinPak avec en vert l'espace disponible pour la carte driver.

On retiendra un PCB de  $65.5 \times 96\text{ mm}^2$  comme illustré à la figure 5.16b. Le PCB dispose de quatre trous de centrage de rayon 3 mm aux endroits des vis M3 du boîtier Linpack. Un cercle de rayon 5.5 mm est laissé libre autour des trous pour l'utilisation des entretoises de maintien du driver (voir section suivante). La zone verte sur la figure 5.16b est la zone disponible pour les composants et pistes du driver.

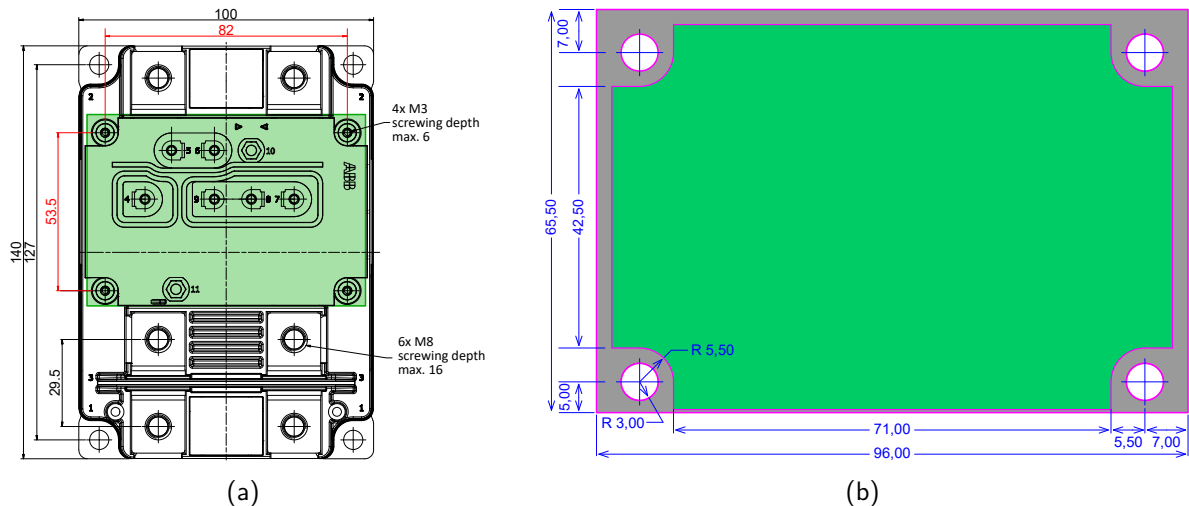
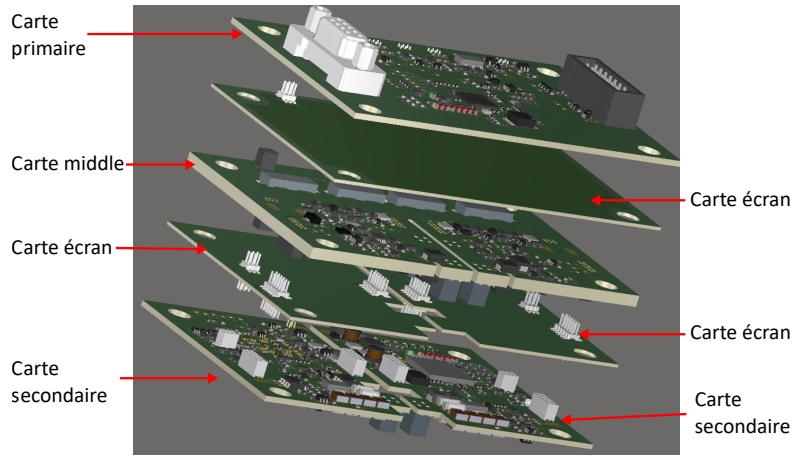


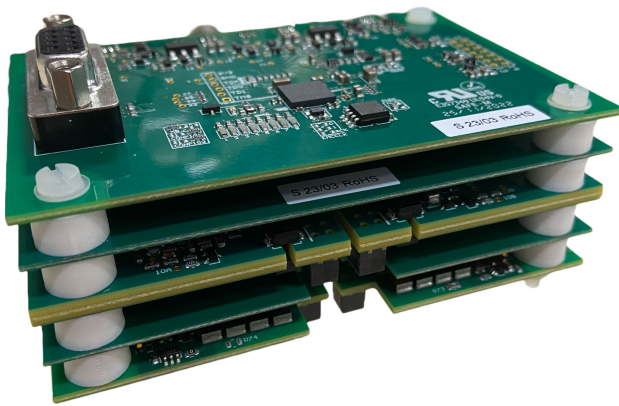
Fig. 5.16 : (a) dimensions boîtier LinPak (b) dimensions carte driver AM-PM

### II.1 Structure en strates et maintien mécanique

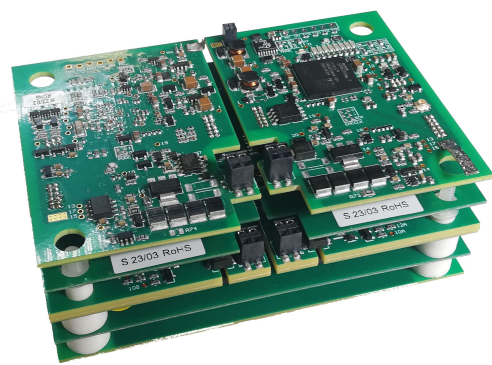
Au vu des dimensions disponibles à la figure 5.16a, une conception sous formes de strates a été mise en place comme illustrée à la figure 5.17. Elle assure l'intégration de toutes les fonctions électriques du démonstrateur dans la zone utile tout en respectant les normes d'isolations électriques. Le driver est décomposé en sept cartes sur cinq niveaux : une carte primaire, une carte écran, une carte middle, deux cartes écrans et deux cartes secondaires.



(a)



(b)



(c)

**Fig. 5.17 :** (a) Vue en strates du driver AM-PM (vue Altium Designer) (b) Photo du driver complet (vue de dessus) (c) Photo du driver complet (vue de dessous)

Les différentes cartes sont maintenues mécaniquement entre elles au niveau des trous de centrage comme illustré à la figure 5.18. Quatre entretoises courtes (en bleu sur la figure 5.18) assurent la reprise d'efforts entre les cartes du driver. Il s'agit d'un cylindre creux de rayon extérieur 5 mm afin de respecter la zone libre autour des trous de centrage.

Ces entretoises courtes sont maintenues en position à l'aide d'une entretoise longue (en violet sur la figure 5.18) placée dans les trous de centrage. Elle aussi pour objectif de maintenir les différentes cartes driver en position les unes par rapport aux autres. L'entretoise est un cylindre creux avec un laissez-passer pour une vis M3. Un ensemble vis M3 (en gris), rondelles (en marron) et écrou (en rouge foncé) maintient l'empilage.

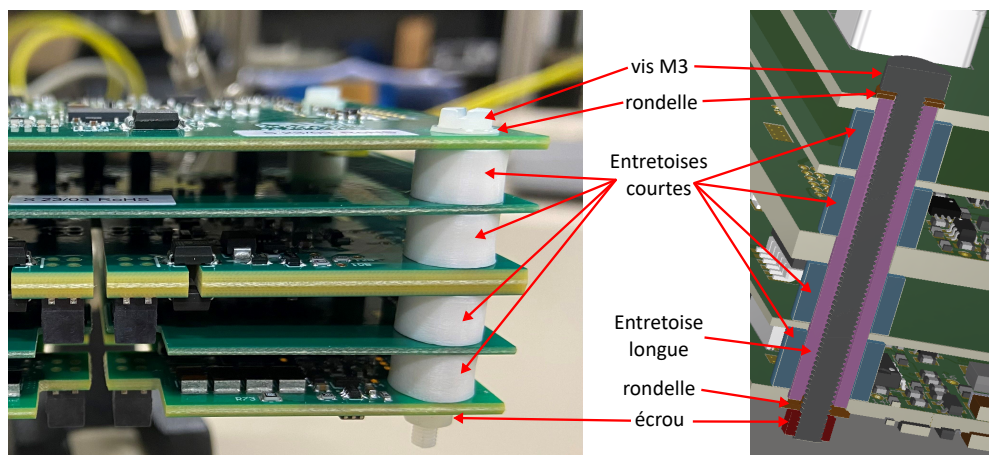


Fig. 5.18 : Système de maintien mécanique du driver

## II.2 Synoptique du driver AM-PM

La figure 5.19 donne le synoptique du driver AM-PM avec la localisation des fonctions sur chaque carte (carte primaire en rose, carte middle en vert et carte secondaire en orange). On y retrouve les éléments essentiels du driver : son étage de sortie, son circuit d'alimentation, son circuit de transmission des ordres et ses fonctions avancées. Les fonctions du driver AM-PM sont réparties entre les cartes "primaire", "middle" et "secondaire".

La carte "primaire" accueille les fonctions de l'étage primaire (codage Manchester, alimentation communicante côté primaire, génération des impulsions de commande, etc.) ainsi qu'un FPGA de contrôle. Elle est connectée à l'unité de contrôle à travers deux connecteurs HE10 et DB9.

Les fonctions des étages secondaires sont réparties sur les cartes "middle" et "secondaire". La carte "middle" assure la barrière d'isolation galvanique du driver. On y retrouve les transformateurs d'impulsions et d'alimentations, les fonctions connectées au potentiel de drain (DESAT + mesure  $V_{DS_{ON}}$ ) ainsi que le circuit d'alimentation communicante côté secondaire. La carte "secondaire" au plus près du composant de puissance accueille l'étage de sortie avec le circuit d'estimation de  $I_{GSS}$ . On y retrouve les circuits de régulation et de mise en forme des impulsions courtes envoyées depuis l'étage primaire. La carte secondaire dispose d'un FPGA permettant le contrôle et le traitement des différents éléments de l'étage secondaire.

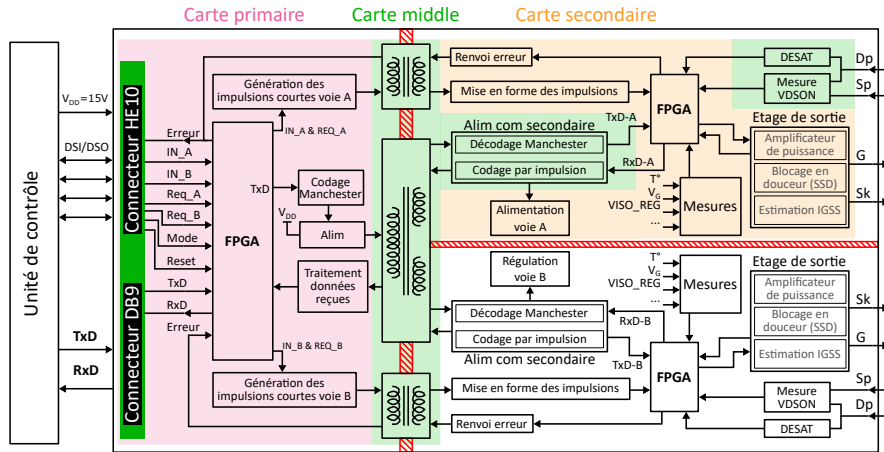


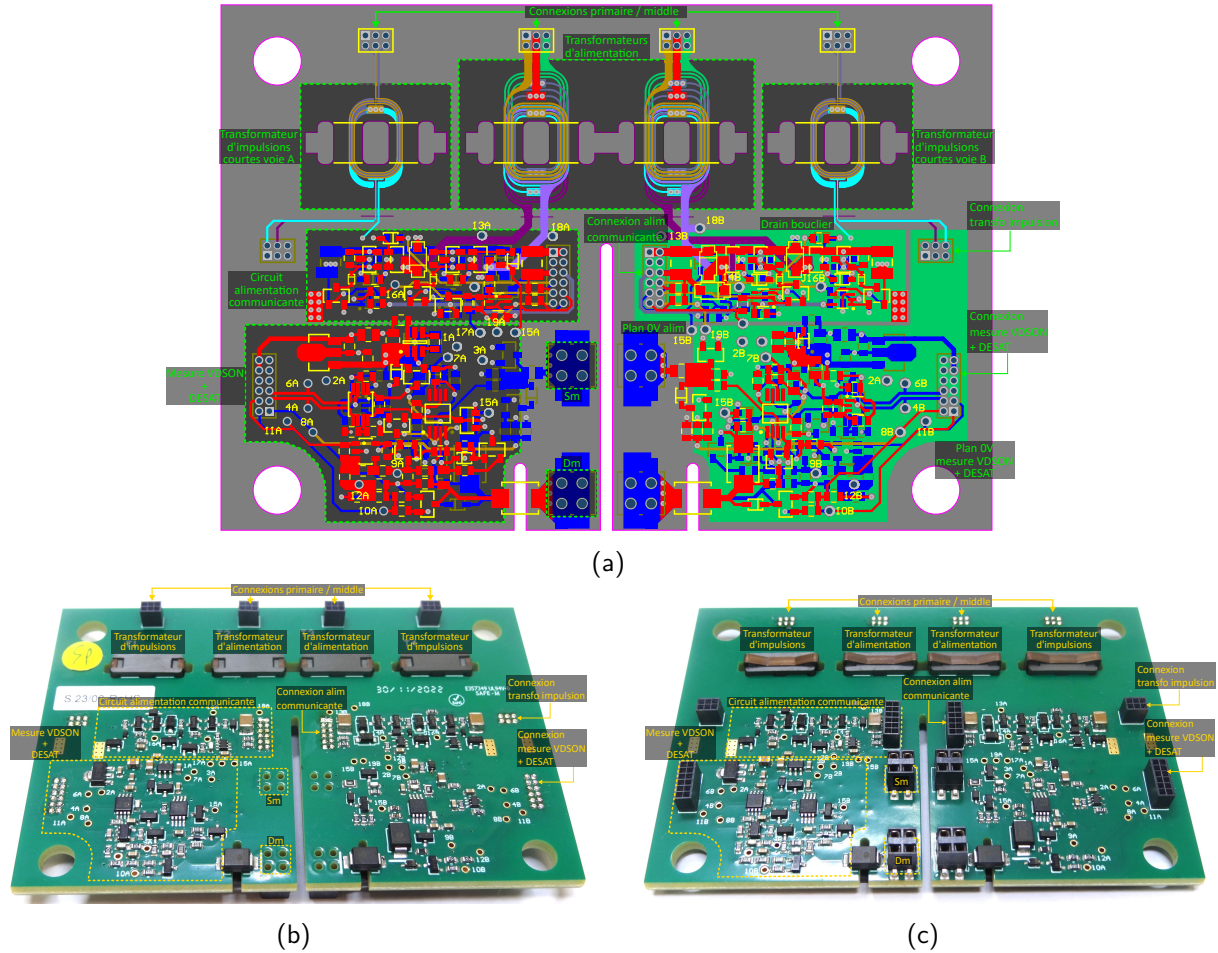
Fig. 5.19 : Synoptique du driver AM-PM et localisation des fonctions sur chaque carte

On détaillera dans la suite les différentes cartes du driver AM-PM en commençant par la carte centrale (carte "middle") afin de comprendre les interconnexions avec les cartes aux extrémités du driver (carte "primaire" et cartes "secondaires").

### II.3 Carte middle

Au milieu du driver se trouve la carte middle (figure 5.20) réalisée sur un PCB 8 couches 3.2 mm. Elle accueille les transformateurs planaires et assure l'isolation principale entre les circuits primaire et secondaires. La carte dispose de quatre connecteurs vers la carte primaire situés en haut de la figure 5.20 qui assurent la liaison entre les enroulements primaires des transformateurs et la carte primaire.

Côté secondaire des transformateurs, on retrouve le circuit d'alimentation communicante, le circuit de mesure de la tension à l'état passant  $V_{DS\text{ON}}$  ainsi que le circuit de détection des courts-circuits des deux secondaires. Chaque circuit est relié à la carte secondaire par son propre connecteur afin de limiter les interférences entre les circuits. Pour réduire l'impact du bruit du circuit d'alimentation sur les circuits de mesures, le plan 0V de l'alimentation communicante est séparé du plan 0V du circuit de mesure. Le drain de l'écran électrostatique côté secondaire du transformateur d'impulsions est connecté au plan "0V alim" pour les mêmes raisons. Côté primaire, le drain de l'écran remonte sur la carte primaire à l'aide des connexions primaire / middle.



**Fig. 5.20** : (a) Design de la carte middle et répartition des fonctions (b) Photo de la carte middle (vue de dessus) (b) Photo de la carte middle (vue de dessous)

### II.3.1 Circuit de mesure $V_{DS_{ON}}$

Le schématique du circuit de mesure de  $V_{DS_{ON}}$  est illustré à la figure 5.21. En entrée du circuit, la prise des potentiels  $D_M$  et  $S_M$  se fait grâce à deux connecteurs dédiés. En sortie du circuit, la mesure analogique  $V_{DS_{ON}}$  est transportée sous forme de paire différentielle jusqu'à la carte secondaire. La mesure est gardée sous sa pleine amplitude afin de minimiser l'impact du bruit lors du transport jusqu'au pont diviseur différentiel.

Par rapport au circuit prototype du chapitre 3, le circuit du démonstrateur profite de plusieurs améliorations. Les diodes hautes tensions  $D_{6A}$  et  $D_{7A}$  sur la figure 5.21 sont réalisées par une seule diode SiC chacune au lieu de deux anciennement ( $D_3, D_6$ ,  $D_7$  et  $D_8$  sur la figure 3.19). Ces changements permettent une meilleure justesse du circuit. De plus, on utilise les ports dédiés de l'ADC du FPGA. Ces ports sont moins bruités et permettent une acquisition dix fois plus rapide de la donnée (38 ns au lieu de 380 ns) que les ports auxiliaires disponibles sur la carte Nexys DDR4. Ces ports n'étaient pas accessibles sur la carte de développement.



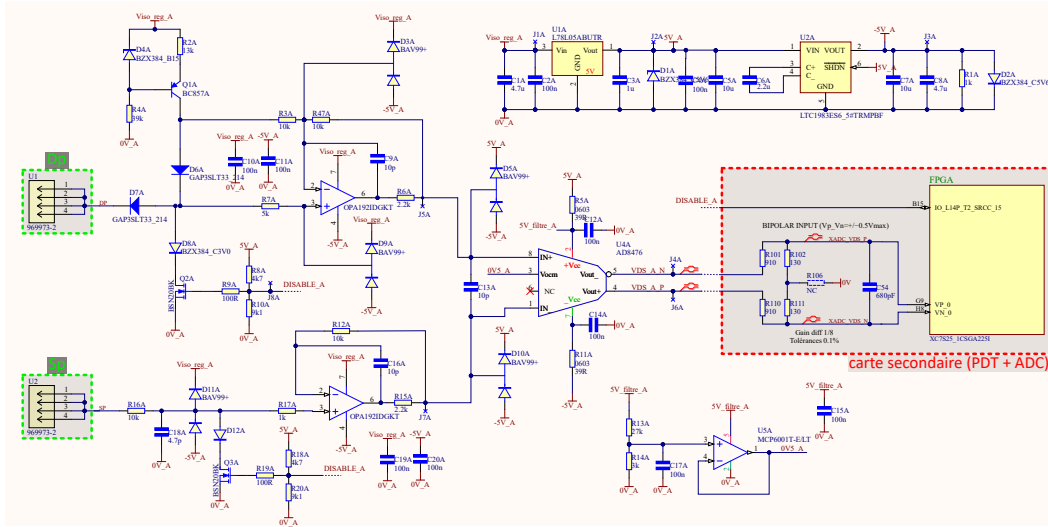


Fig. 5.21 : Circuit mesure  $V_{DS(on)}$ .

### II.3.2 Circuit de détection des courts-circuits (DESAT)

Le circuit de détection des courts-circuits par désaturation est illustré à la figure 5.22. Le circuit est référencé au 0V du driver contrairement au driver précédent [55]. Le circuit est piloté par un signal *DISBALE\_DESAT* du FPGA. Quand le signal vaut '1', le transistor Q4A plaque le potentiel  $V_{DESAT}$  à 0V pour inhiber le circuit. Cette configuration permet ainsi de régler le temps de "blanking time".

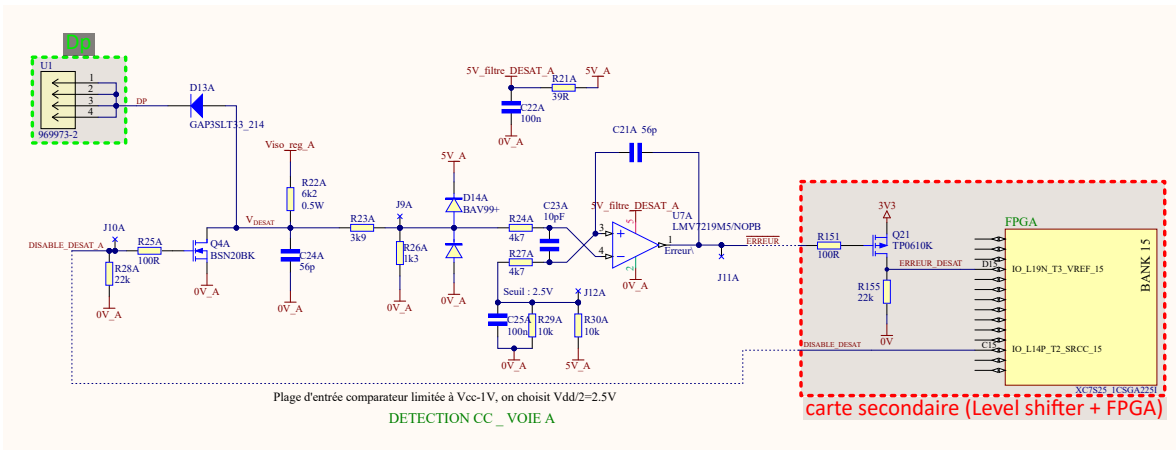


Fig. 5.22 : Circuit détection des courts-circuits (DESAT).

### II.3.3 Circuit d'alimentation communicante

Le circuit d'alimentation communicante est illustré à la figure 5.23. Le circuit reçoit une tension alternative en entrée depuis les transformateurs d'alimentations sur les potentiels *SEC\_H* et *SEC\_L*. En fonctionnement alimentation, la tension alternative est redressée à l'aide des diodes  $D_1$  à  $D_4$  en une tension continue non régulée *VISO\_NON\_REG*. Les

informations modulées par le circuit au primaire sur le signal de puissance sont récupérées au niveau du potentiel  $SEC\_H$  puis transmises au FPGA du secondaire via le signal  $RXD$ .

En mode communication du secondaire vers le primaire, le circuit génère des impulsions de tension aux bornes du transformateur d'alimentation à l'aide des transistors  $Q_1$  à  $Q_4$  commandés par les signaux  $CMD1H$ ,  $CMD1L$ ,  $CMD2H$  et  $CMD2L$  envoyés par le FPGA du secondaire.

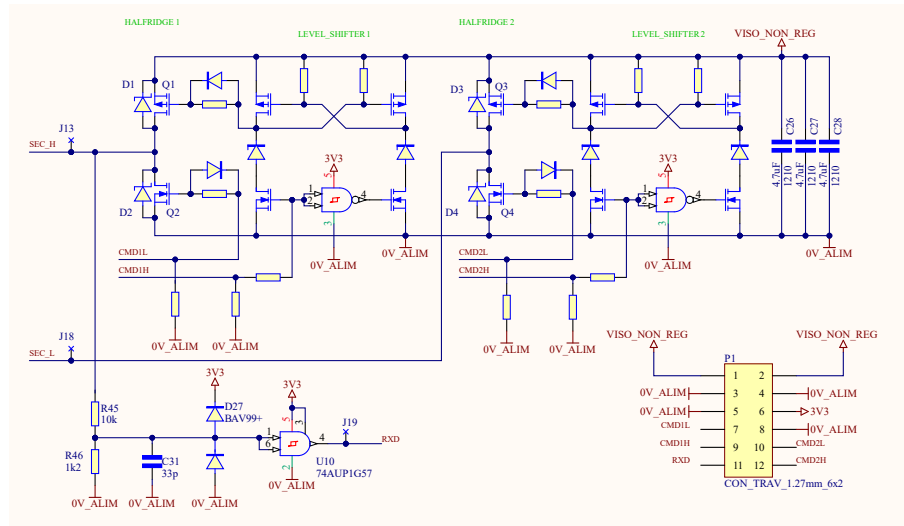
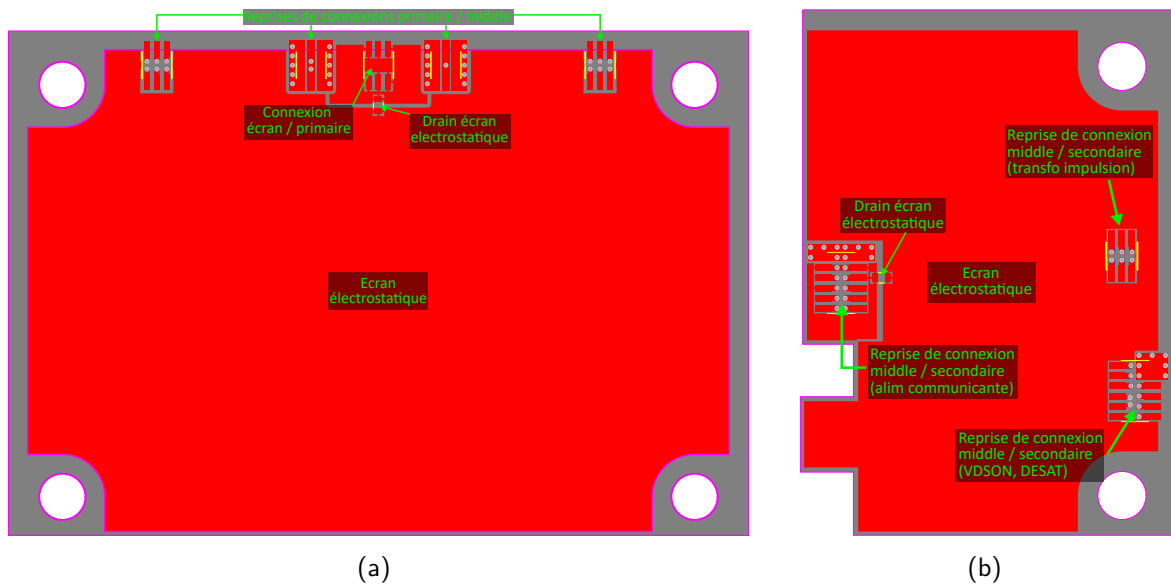


Fig. 5.23 : Circuit alimentation communicante

## II.4 Cartes écran électrostatique

Le source driver est équipé de trois cartes écran électrostatique entourant la carte middle : une entre la carte primaire et la carte middle et deux entre la carte middle et les cartes secondaires. Ces cartes sont équipées d'un écran électrostatique déconnectable à l'aide d'une résistance CMS et assurent la reprise des connexions électriques entre chaque carte du driver.

Le drain de la carte écran entre la carte middle et la carte secondaire est connecté au plan "0V alim" afin de ne pas impacter les circuits de mesures et détection des courts-circuits de la carte middle. De son côté, le drain de la carte écran entre le primaire et la middle dispose de son propre connecteur au centre.

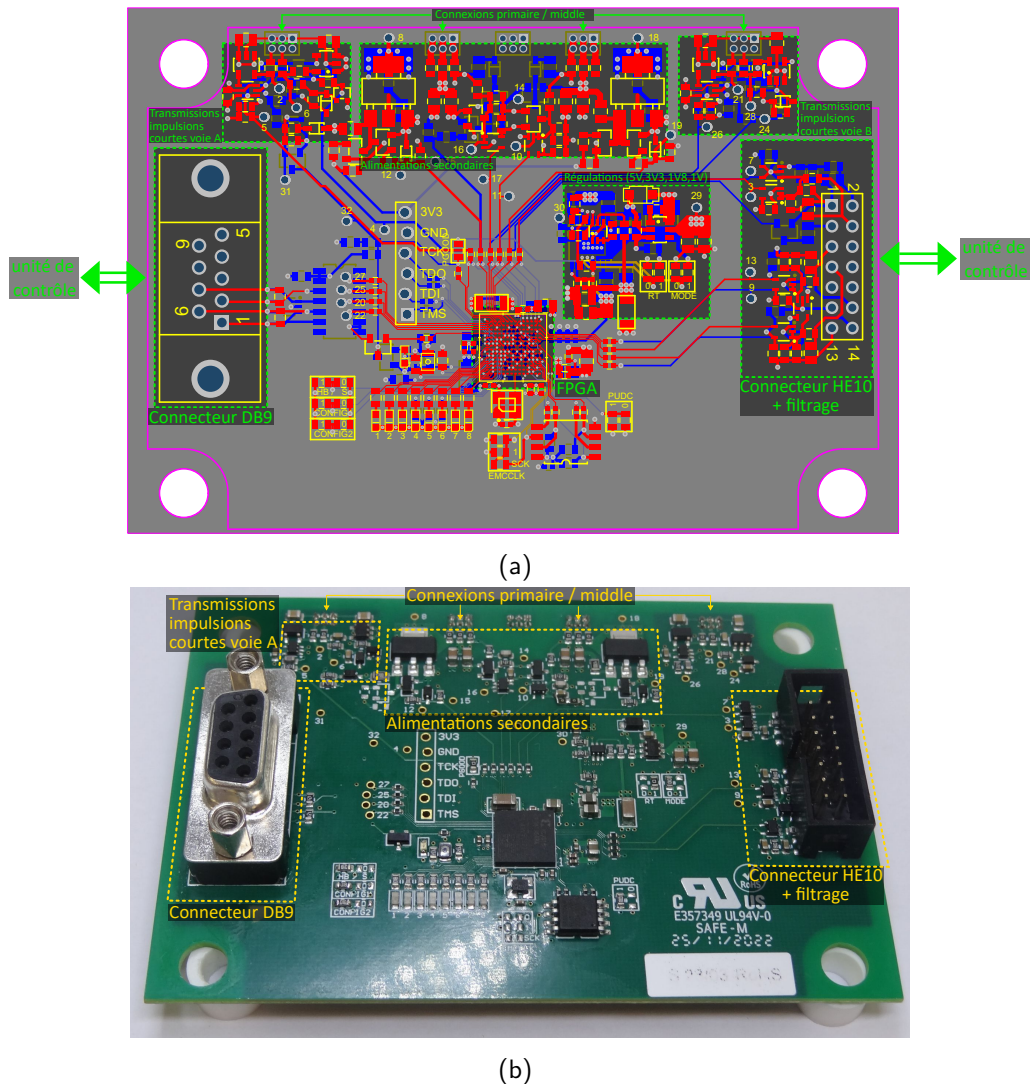


**Fig. 5.24 :** (a) Carte écran primaire / middle (b) Carte écran middle / secondaire

## II.5 Carte primaire

La carte primaire (figure 5.25) est réalisée sur un PCB 6 couches 1.6 mm. Elle dispose de quatre connecteurs en haut pour la liaison avec la carte middle plus le connecteur du drain de la carte écran.

Le connecteur HE10 permet la réception et le filtrage des ordres de commande de l'unité de contrôle vers le driver. Le connecteur DB9 est relié à un transmetteur RS485 en "full duplex". La liaison différentielle permet l'échange bi-directionnel des données complexes acquises par le driver avec l'unité de contrôle.



**Fig. 5.25 :** (a) Design de la carte primaire et répartition des fonctions (b) Photo de la carte primaire (vue de dessus)

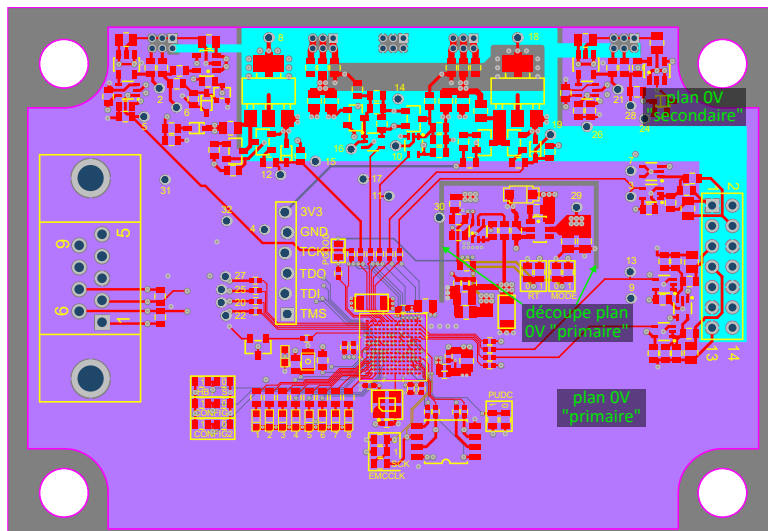
### II.5.1 Gestion des plans 0V

Comme décrit à la figure 5.25, la carte primaire regroupe différents circuits sensibles (FPGA, étage de filtrage des ordres en entrée du driver et les circuits de transmissions des impulsions courtes) opérant dans un environnement bruité (régulations 5V, 3V3, etc., les drains des écrans électrostatiques des transformateurs d'impulsions, le drain de la carte écran et les alimentations secondaires). Une attention a été portée sur la réalisation du plan 0V de la carte primaire, afin de garantir une certaine Common-Mode Transient Immunity (CMTI) entre tous ces systèmes.

Le plan 0V est découpé en deux parties. Le plan 0V dit "secondaire" en bleu clair sur la figure 5.26 regroupe les connexions 0V des circuits d'alimentations des secondaires, les drains des écrans électrostatiques côté primaire des transformateurs d'impulsions et

le drain de la carte écran. Il a pour objectif d'isoler les alimentations des secondaires du reste de l'électronique de la carte primaire. De plus, ce plan 0V permet de drainer les courants de mode commun des écrans et de la carte écran vers l'unité de contrôle.

Le plan 0V "primaire" en mauve sur la figure 5.26 regroupe les circuits sensibles ainsi que l'étage de régulation. Une découpe dans le plan 0V "primaire" autour de l'étage de régulation empêche les courants impulsionnels hautes fréquences issues des régulateurs à découpage (5V, 3V3, etc.) de perturber les étages de filtrage en entrée et ceux de transmissions des impulsions courtes. Les deux plans 0V sont reliés au niveau du connecteur HE10.



**Fig. 5.26** : Design de la carte primaire et répartition des fonctions

## II.5.2 Fonctions électroniques de la carte primaire

La figure 5.27 détaille une partie des fonctions électroniques illustrées à la figure 5.25. Les ordres de commandes ( $IN\_A$  et  $IN\_B$ ) récupérés depuis le connecteur HE10 sont filtrés et envoyés au FPGA ( $\overline{IN\_A\_FILTRÉ}$  et  $\overline{IN\_B\_FILTRÉ}$ ). Ils sont ensuite mis en forme (ajout des requêtes synchrones  $\overline{REQ\_A\_FILTRÉ}$  et  $\overline{REQ\_B\_FILTRÉ}$  pour les mesures  $V_{DS_{ON}}/I_{GSS}$  [50]). Les signaux mis en forme  $CDE\_REQ\_A\_PRIM$  et  $CDE\_REQ\_B\_PRIM$  sont transmis aux circuits de transmission des impulsions courtes vers les circuits secondaires. En cas de problème sur le circuit secondaire, un signal  $\overline{FAULT\_A}$  ou  $\overline{FAULT\_B}$  prévient le FPGA. Ce signal est déclenché côté secondaire par un pulse suffisamment long sur le transformateur d'impulsions pour mettre en conduction le transistor  $Q_1$ .

Le FPGA pilote l'alimentation communicante du driver afin d'alimenter et de dialoguer avec les deux circuits secondaires. Le FPGA peut appliquer un codage Manchester sur les deux signaux de commande  $\overline{CMD\_ALIM\_H}$  et  $\overline{CMD\_ALIM\_L}$  afin de moduler une information sur le signal de puissance. Le signal  $DEMAG$  permet de démagnétiser les transformateurs d'alimentation pour permettre la communication depuis les secondaires. Les informations transportées sous formes d'impulsions depuis les secondaires sont mises en forme ( $SET\_RX$  et  $RESET\_RX$ ) avant d'être lues par le FPGA. Cette alimentation permet la récupération d'informations complexes comme les mesures  $V_{DS_{ON}}/I_{GSS}$  [104].

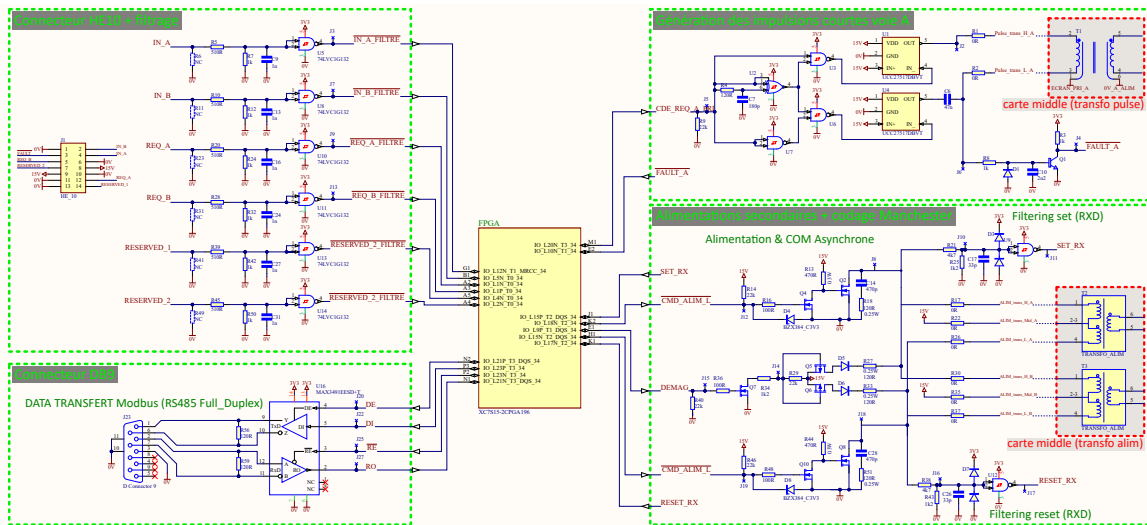
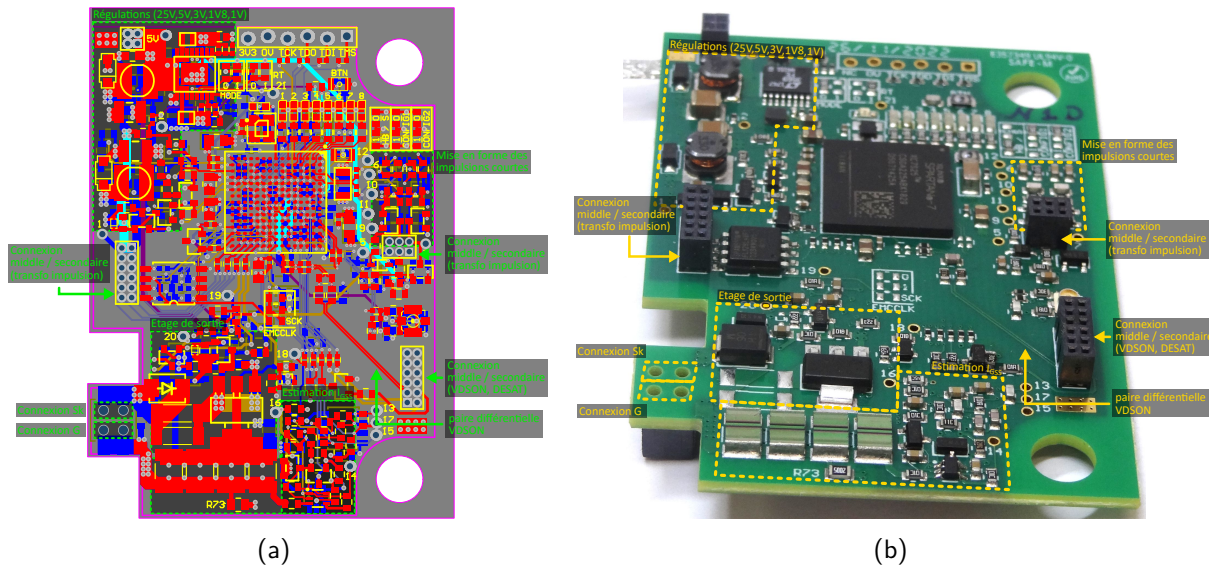


Fig. 5.27 : Fonctions électroniques de la carte primaire

## II.6 Cartes secondaires

Les cartes secondaires (figure 5.28) sont réalisées sur un PCB 8 couches 1.6 mm. Elles accueillent le circuit de mise en forme des impulsions courtes, le circuit d'estimation du courant de fuite de grille  $I_{GSS}$ , les alimentations pilotables du secondaire ainsi que l'étage de sortie.

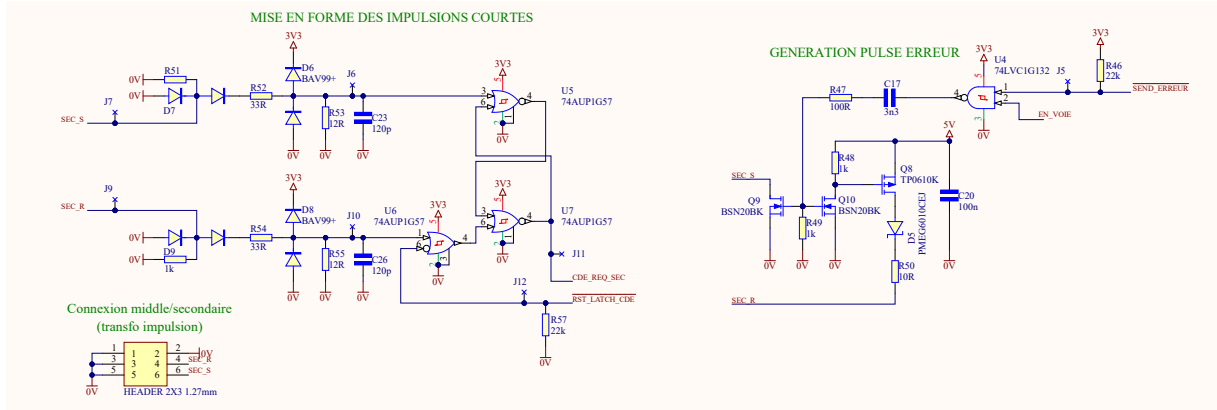


**Fig. 5.28 :** (a) Design d'une carte secondaire et répartition des fonctions, (b) Photo d'une carte secondaire (voie B)

### II.6.1 Circuit de mise en forme des impulsions courtes

Le circuit électronique permettant la réception et la mise en forme des ordres d'amorçage et de blocage issu de l'étage primaire est illustré à la figure 5.29. Il s'agit du circuit testé à la figure 5.12. Le circuit reçoit des impulsions courtes ( $= 25 \text{ ns}$ ) depuis le transformateur d'impulsions sur ses entrées  $SEC\_S$  et  $SEC\_R$ . Le signal initial en entrée côté primaire est reconstitué en un signal de sortie  $V_{OUT}$  en utilisant le principe de mémorisation Set/Reset : une impulsion positive provoque une mise au niveau logique haut tandis qu'une impulsion négative provoque la mise au niveau bas du signal de sortie ( $V_{OUT}$ ).

Quand le FPGA côté secondaire détecte une erreur (sous-alimentation, DESAT, etc.), le circuit de génération du pulse d'erreur permet l'envoi d'un message d'erreur depuis l'étage secondaire vers l'étage primaire en utilisant le signal  $\overline{SEND\_ERREUR}$ . Le message d'erreur est transmis par l'application d'un pulse long aux bornes du transformateur d'impulsions ( $> 100 \text{ ns}$ ).



**Fig. 5.29** : Circuit de mise en forme des impulsions courtes et circuit de génération de l'impulsion d'erreurs

### II.6.2 Estimation du courant de fuite de grille $I_{GSS}$

Le circuit d'estimation du courant de fuite de grille est illustré à la figure 5.30. Contrairement aux essais décrits au chapitre 4, la résistance de polarisation  $R_{73}$  sur la figure 5.30 se situe entre le potentiel  $V_G$  et la référence driver 0V. Cette configuration rend le courant de polarisation indépendant de la tension grille-source  $V_{GS}$  et permet ainsi les estimations en régime dynamique quand la tension  $V_{GS}$  bascule entre +20 V et -5 V.

Le circuit profite en plus d'une des perspectives d'amélioration discutées au chapitre 4. Les capacités du buffer  $C_{29}$  à  $C_{32}$  et  $C_{41}$  à  $C_{44}$  en technologie X5R sont remplacées par des PMLCAP (Polymer Multi-Layer Capacitor). Pour rappel, ces nouvelles capacités possèdent une forte stabilité en tension, une faible dépendance de la capacité vis-à-vis de la température et un faible courant de fuite sur une large plage de température [154]. De plus, la stabilité en tension permet de diminuer la valeur des capacités requises pour le buffer : 2.2  $\mu$ F pour les PMLCAPs contre 4.7  $\mu$ F pour les X5R.

La régulation du potentiel  $V_G$  se fait à l'aide des trois références de tension  $D_{10}$ ,  $D_{11}$  et  $D_{12}$ . Les références  $D_{11}$  et  $D_{10}$  génèrent respectivement les tensions  $V_G - 1.24 V = 18.76 V$  et  $V_G + 1.24 V = 21.24 V$ . A partir de ces tensions, on vient régler les seuils de déclenchement du circuit d'estimation  $V_G - 0.5 V = 19.5 V$  et  $V_G + 0.5 V = 20.5 V$  par un choix judicieux des valeurs des résistances  $R_{64}$ ,  $R_{66}$  et  $R_{69}$ .

Les comparateurs de sortie U9A-U9B sont équipés de capacités de contre-réaction  $C_{28}$  et  $C_{36}$ . Quand la sortie des comparateurs tombe, elles ont pour objectifs d'éloigner la mesure des seuils (19.5 V-20.5 V) afin d'éviter les rebonds en sortie des comparateurs.



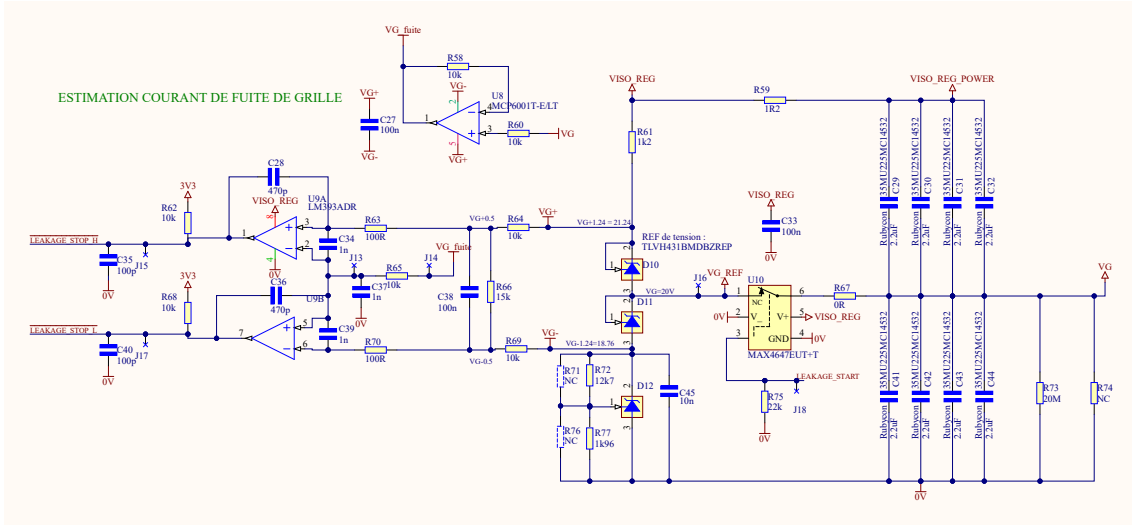


Fig. 5.30 : Circuit d’estimation du courant de fuite de grille du source driver

### II.6.3 Circuit de régulation pilotable

Afin de satisfaire la phase de démarrage du source driver mise en évidence au chapitre 2, un système d’alimentation pilotable est proposé à la figure 5.31.

Les deux circuits d’alimentation reçoivent le potentiel *VISO\_NON\_REG* en entrée depuis le circuit d’alimentation communicante de la carte middle. Les circuits de régulation sont paramétrés pour démarrer quand la tension *VISO\_NON\_REG* dépasse les 10V à l’aide de l’entrée *SHDN* du circuit d’alimentation et des résistances  $R_3/R_4$  et  $R_5/R_{14}$ . Le circuit de régulation U2 génère une tension 5V pour alimenter les régulateurs 3V3, 1V8 et 1V du FPGA.

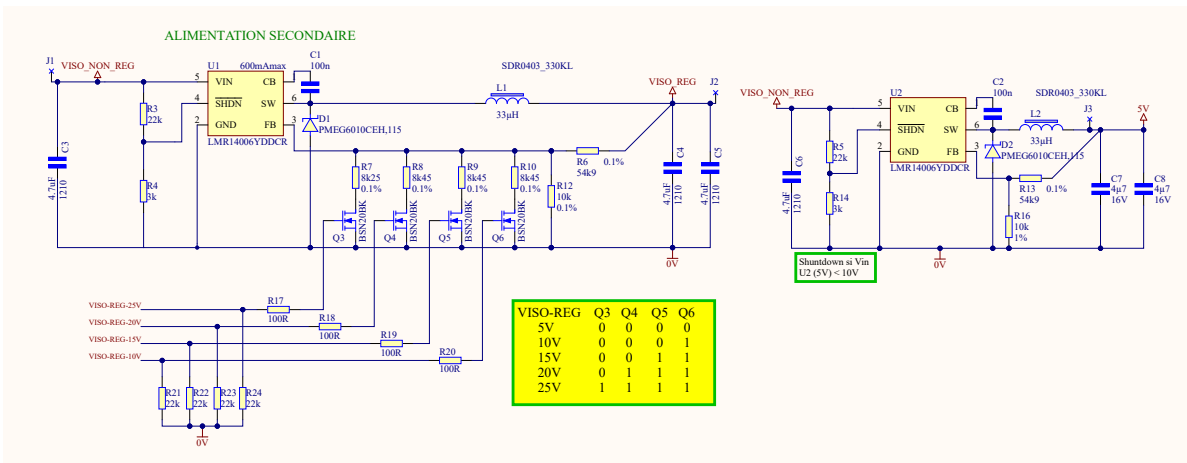


Fig. 5.31 : Circuit de régulation pilotable de la carte secondaire

Le régulateur de puissance U1 est paramétré pour réguler  $VISO\_REG = 5V$  au démarrage du circuit secondaire à l’aide du pont diviseur composé des résistances  $R_6$  et  $R_{12}$ . Cette tension minimale assure le démarrage correct du buffer de sortie U12 à la

figure 5.33 et donc le contrôle du potentiel de source du composant de puissance et de sa tension grille source  $V_{GS}$ . Une fois le FPGA de la carte secondaire actif, un programme vient activer les signaux  $VISO-REG-10V$  à  $VISO-REG-25V$ . Les transistors  $Q_3$  à  $Q_6$  viennent alors mettre en parallèles les résistances  $R_7$  à  $R_{10}$  avec la résistance talon  $R_{12}$ . L'objectif est de modifier le rapport de division du pont diviseur afin de modifier la tension de régulation du convertisseur U1.

La figure 5.32 rappelle le principe du démarrage de l'alimentation du source driver. Le FPGA impose un temps  $t_{start}$  entre chaque palier afin de s'assurer que le potentiel  $V_G$  a bien atteint sa valeur finale.

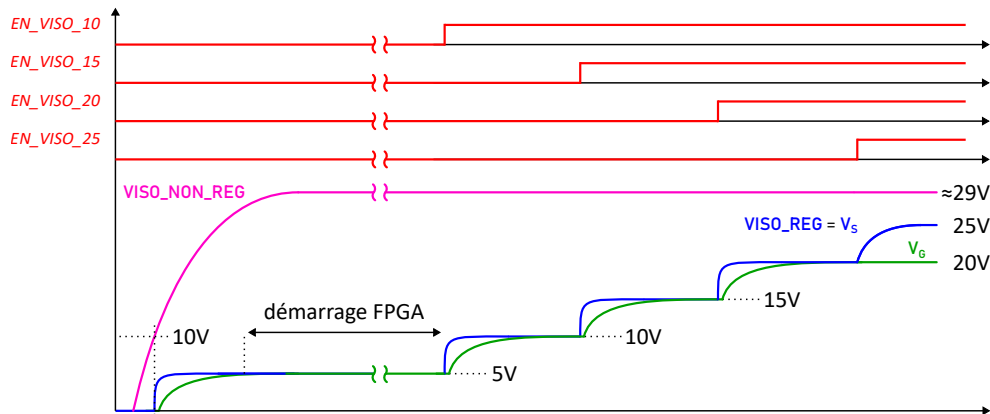
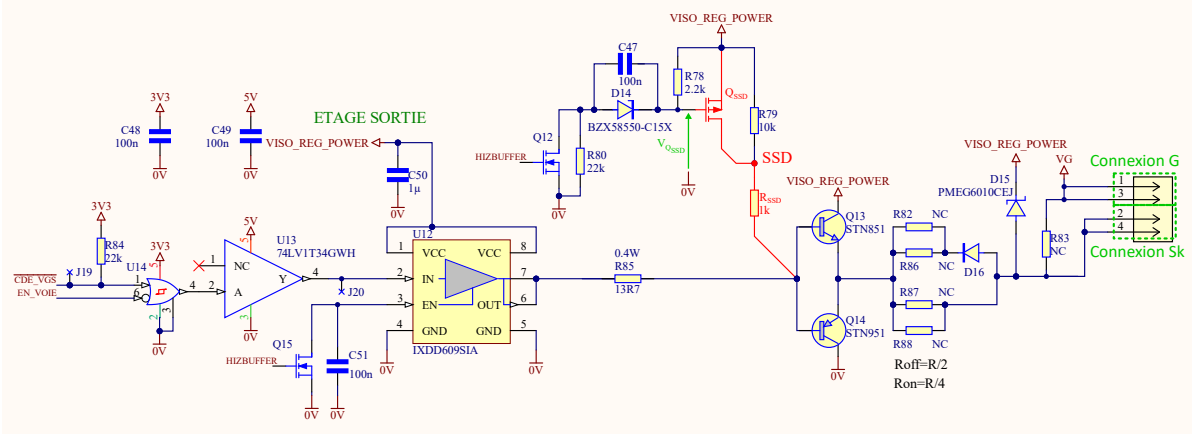


Fig. 5.32 : Démarrage de l'alimentation du source driver

#### II.6.4 Étage de sortie du source driver

La réalisation de l'étage de sortie avec son SSD (Soft Shut Down) est illustré à la figure 5.33. Le FPGA applique les ordres de commande en entrée de l'étage de sortie sur le signal  $\overline{CDE\_VGS}$ . Une boucle de sécurité  $EN\_VOIE$  permet de forcer l'étage de sortie à un état haut (soit  $V_{GS} = -5V$ ) en cas de problème. La boucle de sécurité est une ligne de potentiel avec tirage haut reliée à différents éléments critiques du secondaire (surveillance des circuits d'alimentations du FPGA, des potentiels critiques  $VISO\_REG$ ,  $V_G$ , etc.). Ces éléments peuvent forcer cette boucle au potentiel bas afin de déclencher la mise en sécurité du driver [55].



**Fig. 5.33 :** Étage de sortie du source driver

Le SSD (en rouge sur la figure 5.33) est composé du transistor  $Q_{SSD}$  en série avec  $R_{SSD}$ . Pour activer le SSD, le signal *HIZBUFFER* amorce le transistor  $Q_{12}$ . La diode Zener  $D_{14}$  maintient le potentiel de grille du transistor  $Q_{SSD}$  à 15 V, le transistor s’amorce. En parallèle, le transistor  $Q_{15}$  met le pré-amplificateur  $U_{12}$  en haute impédance.

En fonctionnement normal, le signal *HIZBUFFER* est à l’état bas. Le transistor  $Q_{12}$  est bloqué. La résistance  $R_{80}$  polarise la diode zener  $D_{14}$  (15 V) pour le prochain SSD. Le potentiel de grille du transistor  $Q_{SSD}$  monte à 24 V à travers le réseau  $R_{78}$ - $D_{14}$ - $R_{80}$  (voir équation (5.2)). Le transistor se bloque.

$$V_{G_{Q_{SSD}}} = (VISO\_REG\_POWER - 15) * \frac{R_{80}}{R_{80} + R_{78}} + 15 \approx 24.1 \text{ V} \quad (5.2)$$

Pendant la phase de démarrage de l’alimentation, la capacité  $C_{51}$  maintient le pré-amplificateur en haute impédance le temps que l’alimentation *VISO\_REG* atteigne 5 V. Le potentiel de source  $V_{S_k}$  est imposé à l’aide des résistances  $R_{79}$  et  $R_{SSD}$ .

### III Conclusion

Ce chapitre décrit les caractéristiques principales du démonstrateur source driver conçu dans le but de piloter l’évaluateur technologique du projet AM-PM (module bras d’onduleur 3.3 kV/500 A). Les contraintes normatives liées au module ont imposé un nouveau design des transformateurs d’alimentations et d’impulsions du driver. De plus, le problème d’encombrement du driver lié à son intégration dans un espace restreint (boîtier de puissance Linpack) a été abordé. Une solution basée sur un driver multi-cartes disposées en strates permet de respecter les contraintes dimensionnelles.

Il est cependant bon de noter que ce driver multi-carte en strates présente des avantages et des inconvénients. Les cartes étant physiquement séparées les unes des autres, il est plus facile et moins coûteux de changer des morceaux du driver en cas de panne ou de mise

à niveau du hardware au lieu de changer le driver complet. Néanmoins, cette modularité entraîne une augmentation du volume total dû aux connexions inter cartes. De plus, le coût total d'un driver en strates est plus important que celui d'un driver mono carte à quantité de composants et surface de PCB constant, le fabricant devant re-programmer la machine pour chaque carte (primaire, middle, secondaire, etc.).

Comparés aux circuits décrits aux chapitres 3 et 4, les circuits de mesure de  $V_{\text{DS}_{\text{ON}}}$  et d'estimation du courant de fuite de grille  $I_{\text{GSS}}$  bénéficient de certaines propositions d'améliorations (ports ADC dédiés, capacités en technologie Polymer Multi-Layer Capacitors (PMLCAP), etc.). Un circuit de régulation pilotable ainsi qu'un étage de sortie compatible avec la topologie du source driver est proposée en accord avec le schéma de principe du chapitre 2.

Malgré ces améliorations, des concessions ont cependant dû être faites à cause de la pénurie des semi-conducteurs lors du design du driver. Certains composants indispensables (FPGA, régulateurs à découpages, driver ADC, pompe de charge  $-5\text{ V}$ , etc.) ont dû être approvisionnés en amont du design afin de garantir leur disponibilité lors de la fabrication. D'autres composants ont dû être remplacés avec les composants alors disponibles (AOP mesure de  $V_{\text{DS}_{\text{ON}}}$ , pré-amplificateur étage de sortie, etc.).



# VALIDATION FONCTIONNELLE DU CIRCUIT DRIVER AM-PM

---

À cause de la pénurie de certains composants électroniques et de la hausse des prix de l'énergie, le démonstrateur n'a pu être fabriqué qu'à trois exemplaires dont seulement deux sont équipés de leurs composants. Ces drivers seront nommés dans la suite "driver 1" et "driver 2". Dans la suite du chapitre, les essais seront effectués sur le driver 2.

Les différentes fonctionnalités du démonstrateur source driver sont testées sur un module SiC 1.2kV/300 A CAS300M12BM2. Dû à des retards de production sur le module AM-PM, le démonstrateur n'a pas pu être testé en condition finale (2.5kV/500 A) au moment de l'écriture du manuscrit.

En premier lieu, on détaillera le protocole de démarrage des alimentations du démonstrateur. Un essai double pulses vient ensuite valider la capacité du démonstrateur à piloter un module SiC dans un environnement de puissance. Pour finir, les deux circuits de monitoring,  $V_{DS_{ON}}$  et  $I_{GSS}$  sont caractérisés à vide et dans un environnement de puissance puis comparés à leurs versions prototypes.

## I Démarrage des alimentations et maîtrise du potentiel $V_{GS}$

Le driver est équipé d'un circuit de régulation pilotable afin de garantir le contrôle du potentiel  $V_{GS}$  lors du démarrage des alimentations du driver. Le protocole de démarrage est séparé en deux phases comme illustré à la figure 6.1 : la phase d'initialisation et la phase de régulation.

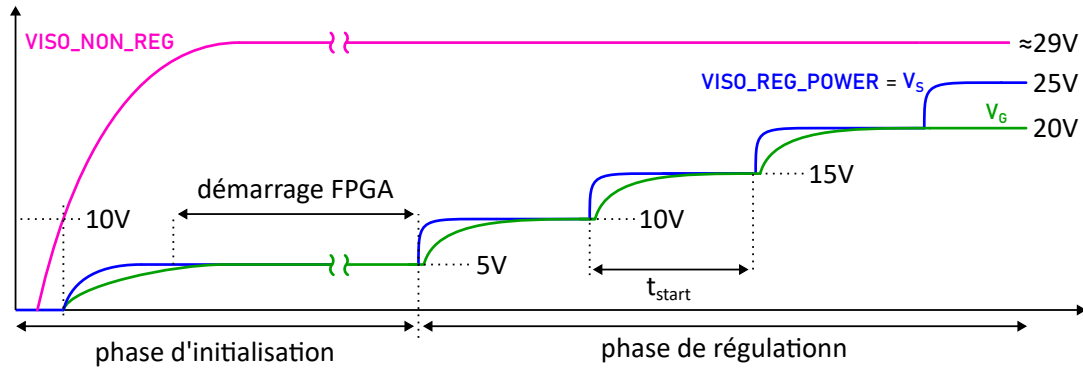
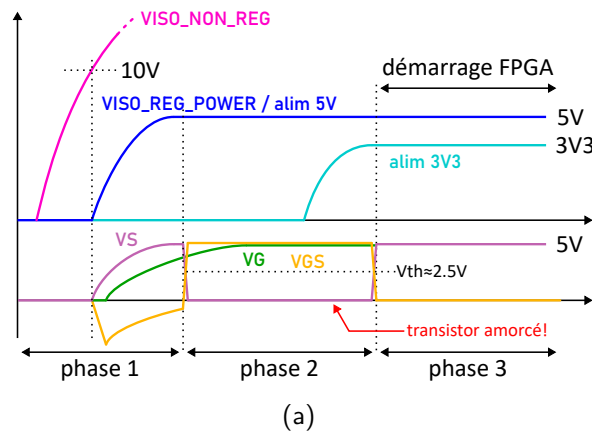


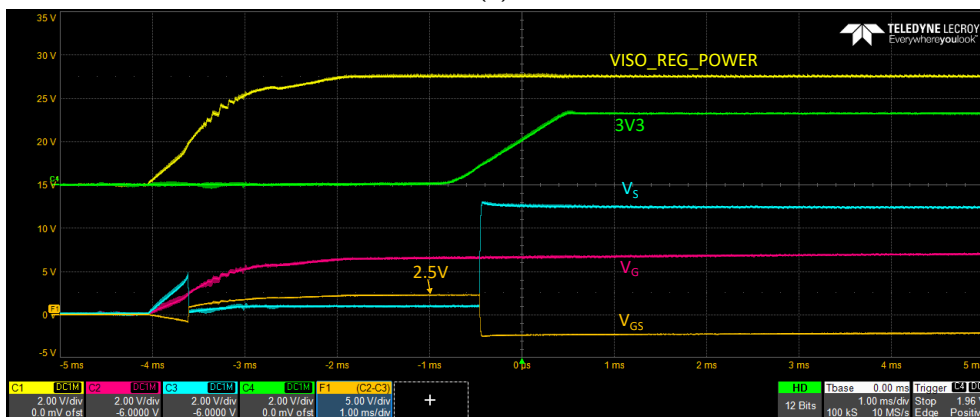
Fig. 6.1 : Protocole de démarrage des alimentations

### I.1 Phase d'initialisation

La phase d'initialisation se déroule durant la mise sous-tension du module avant le pilotage du potentiel *VISO\_REG\_POWER*. Lors des essais expérimentaux illustrés à la figure 6.2, on voit apparaître une phase pendant laquelle le potentiel de sortie du buffer



(a)



(b)

Fig. 6.2 : Phase d'initialisation des alimentations secondaires (a) chronogramme (b) résultats expérimentaux.

$V_S$  tombe à l'état bas. À des fins d'explication, on décompose la phase d'initialisation en trois phases.

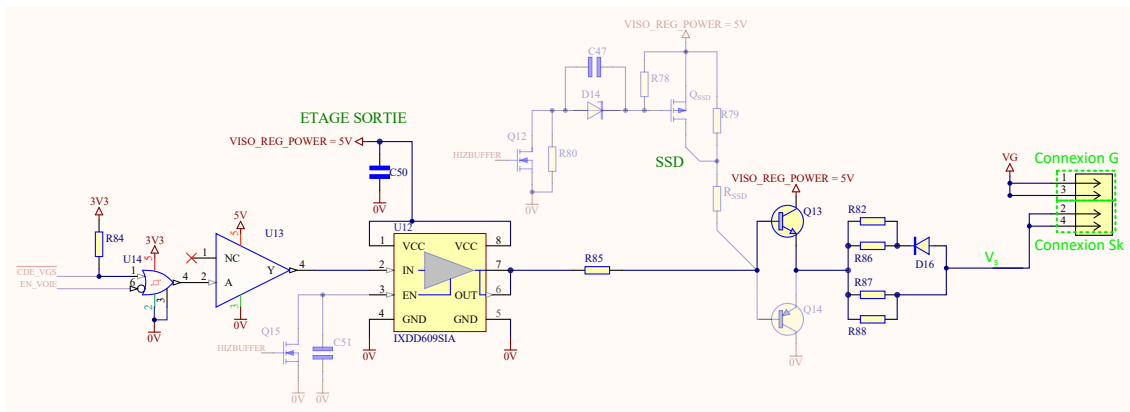
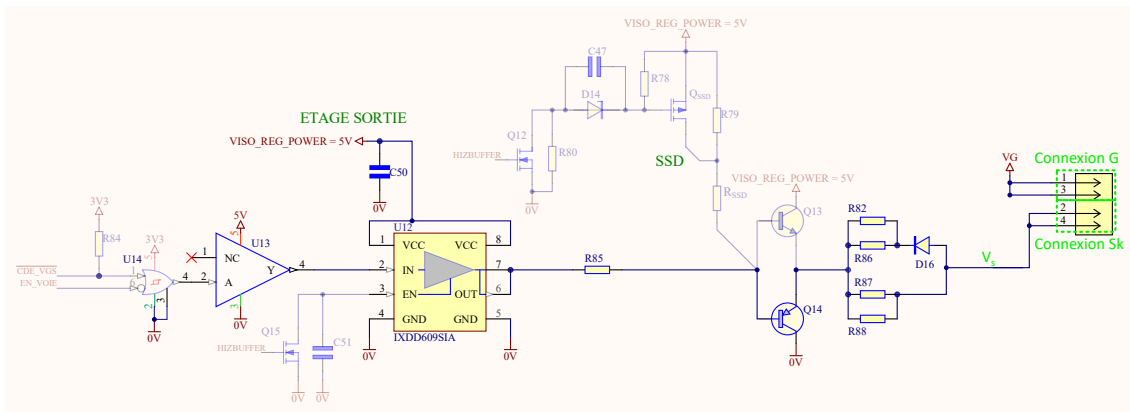
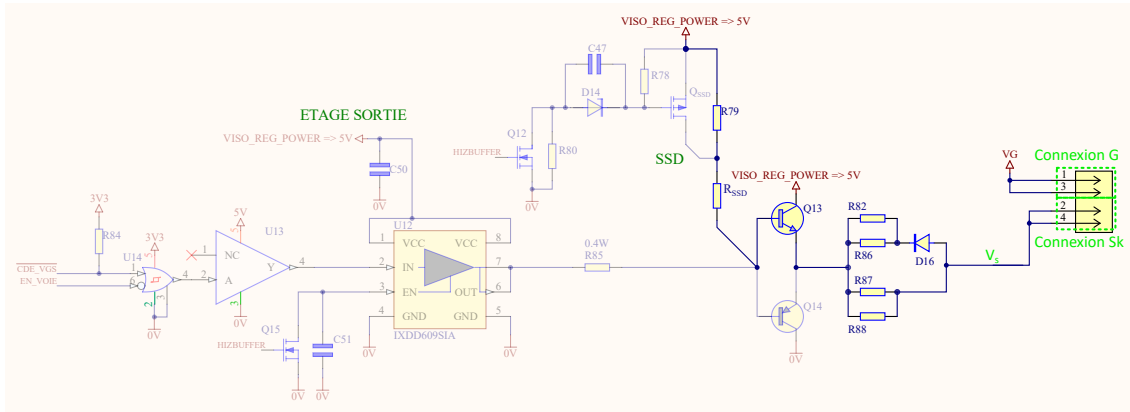
Le circuit équivalent de l'étage de sortie lors de la phase 1 est illustré à la figure 6.3a. Quand le potentiel  $V_{ISO\_NON\_REG}$  (non visible) dépasse 10 V, les alimentations  $alim$  5 V et  $V_{ISO\_REG\_POWER}$  démarrent jusqu'à atteindre 5 V. Durant cette phase, le buffer de sortie U12 n'est pas encore opérationnel, l'étage de sortie à transistors bipolaires est polarisé par les résistances  $R_{79}$  et  $R_{SSD}$ . Le potentiel  $V_S$  suit donc le potentiel  $V_{ISO\_REG\_POWER}$ .

Une fois le circuit 5 V démarré, un circuit de régulation séquentiel génère les tensions 1V, 1V8 puis 3V3 permettant un démarrage sécurisé du FPGA. On observe donc un laps de temps qui sépare la régulation du potentiel 5 V du potentiel 3V3 comme illustré à la figure 6.2. Durant ce laps de temps, la porte U14 est inopérante. On obtient le circuit équivalent de la figure 6.2. La porte U14 impose cependant un potentiel 0V en entrée du level shifter U13. Le circuit U13 est un level translating buffer permettant d'adapter les faibles niveaux de tensions 3V3 des circuits rapides (FPGA, portes logiques, etc.) au niveau de tension d'entrée 5V du buffer de sortie U12. Il applique alors un état logique "0" en entrée du buffer de sortie U12. Ce dernier prend le dessus sur les résistances  $R_{79}$  et  $R_{SSD}$  et polarise la base des transistors bipolaires à 0 V. Le potentiel  $V_S$  est plaqué à 0V pendant que le potentiel  $V_G$  est à  $V_{ISO\_REG\_POWER} = 5$  V. Le composant de puissance voit une tension  $V_{GS}$  supérieure à  $V_{TH}$ , il s'amorce.

Une fois l'alimentation 3V3 établie, la porte U14 est opérationnelle (voir figure 6.3c). La résistance de tirage  $R_{84}$  impose un état logique "1" en entrée de la porte U14. Les buffers de sortie U13 et U12 polarisent alors la base des transistors bipolaires au potentiel  $V_{ISO\_REG\_POWER} (= 5$  V). Le potentiel  $V_S$  remonte à 5 V. Le composant de puissance voit donc une tension  $V_{GS}$  nulle, il se bloque.

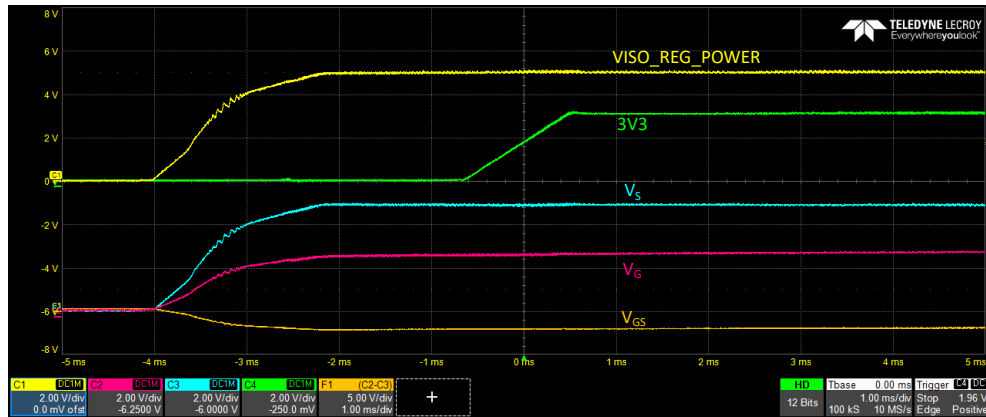
Afin d'empêcher l'ordre d'amorçage pendant la phase 2, on propose d'ajouter une capacité  $C_{51}$  en entrée du pin  $ENABLE$  du buffer U12. Cette entrée est normalement mise à l'état bas par le transistor Q15 pendant l'activation du SSD afin de mettre le circuit en haute impédance. Le signal  $ENABLE$  est maintenu à l'état haut à l'aide d'une résistance interne  $R_{EN} = 200$  k $\Omega$ . La capacité permet ainsi de retarder le temps de montée du signal et maintient le circuit U12 en haute impédance (configuration figure 6.3a) le temps que l'alimentation 3V3 soit établie. On choisit  $C_{51} = 22$  nF pour introduire un délai  $\tau = R_{EN} \cdot C_{51} = 4.4$  ms. On évite ainsi d'amorcer le composant de puissance pendant la phase d'initialisation.





**Fig. 6.3** : Phase d'initialisation des alimentations secondaires (a) état de l'étage de sortie pendant la phase 1 (b) pendant la phase 2 (c) pendant la phase 3

Les résultats expérimentaux obtenus après modifications de l'étage de sortie sont donnés à la figure 6.4. Cette fois-ci, le potentiel  $V_S$  suit bien l'alimentation  $VISO\_REG\_POWER$ .



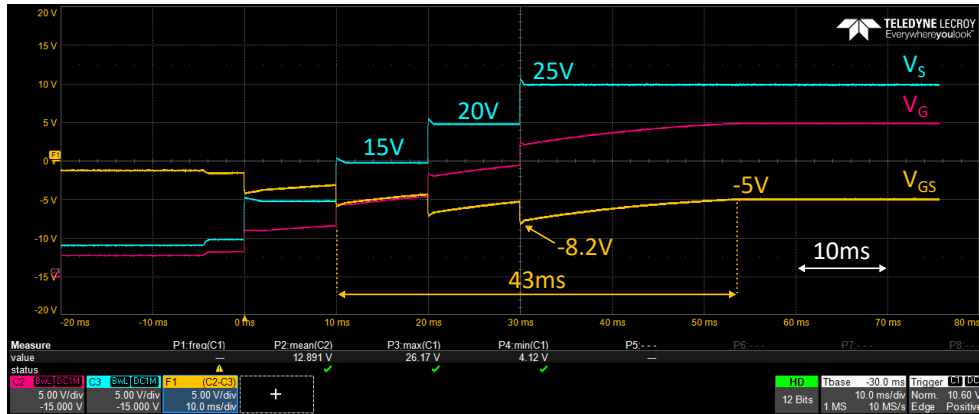
**Fig. 6.4** : Phase d'initialisation des alimentations secondaires avec modifications, résultats expérimentaux.

## I.2 Phase de régulation

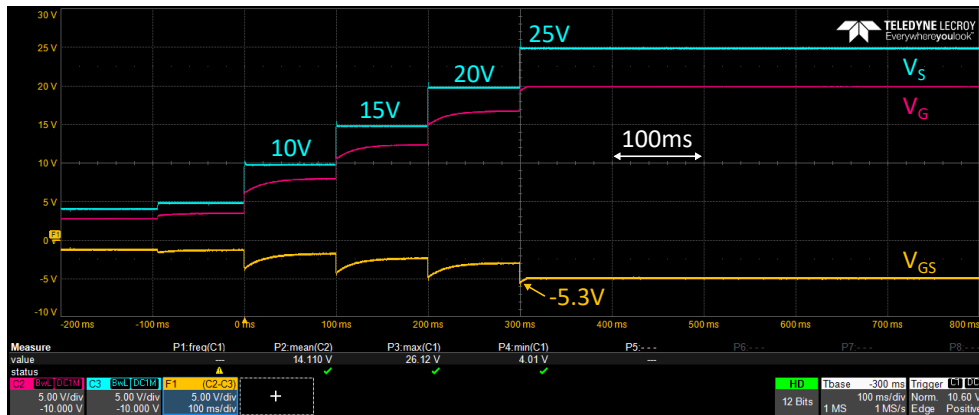
Une fois la phase d'initialisation passée, le FPGA vient charger son programme depuis une mémoire externe sur la carte secondaire. Le programme dispose d'une phase de régulation pendant laquelle le FPGA pilote le circuit de régulation  $VISO\_REG\_POWER$  pour qu'il atteigne sa valeur finale 25 V. Le temps  $t_{start}$  entre chaque palier de régulation du potentiel  $VISO\_REG\_POWER$  est réglable dans le programme.

Si le temps choisi est trop court, le potentiel  $V_G$  n'a pas le temps d'atteindre sa valeur finale avant le prochain palier comme illustré à la figure 6.5a. Cet écart s'accumule au fur et à mesure et la tension  $V_{GS}$  peut atteindre des valeurs fortement négatives (jusqu'à  $-8.5$  V dans le cas de la figure 6.5a) pendant plusieurs millisecondes (45 ms dans le cas de la figure 6.5a). Ces tensions négatives hors spécification du constructeur endommagent, voir peuvent détruire la grille du composant de puissance. Si le temps est long (voir figure 6.5b), la tension  $V_{GS}$  respecte bien les spécifications du constructeur.

On remarquera sur la figure 6.5b que la valeur finale du potentiel  $V_G$  présente toujours un écart constant avec la valeur du potentiel  $VISO\_REG\_POWER$ . Cet écart de 1.24 V vient de la référence  $D_{10}$  permettant la régulation du seuil haut 20.5 V du circuit d'estimation de  $I_{GSS}$  (voir figure 6.6).



(a)



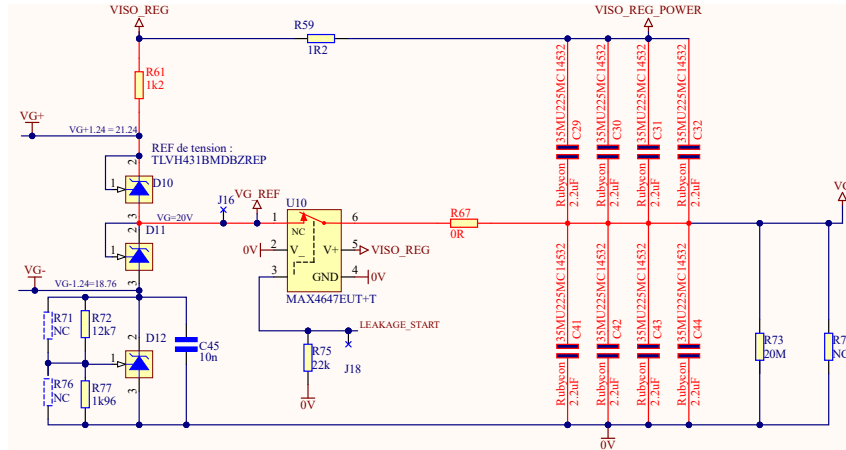
(b)

**Fig. 6.5** : Phase de régulation avec suivi des potentiels (a) cas  $t_{\text{start}} = 10 \text{ ms}$  (b) cas  $t_{\text{start}} = 100 \text{ ms}$

La vitesse de variation du potentiel  $V_G$  est dictée par la constante de temps du réseau RC du circuit de régulation rappelé en rouge à la figure 6.6. Où  $C$  représente la somme de toutes les capacités du buffer de sortie ( $C_{29}$  à  $C_{32}$  et  $C_{41}$  à  $C_{44}$ ). Et  $R$ , la somme de la résistance de polarisation des zener de régulation  $R_{61}$  et de la résistance interne de l'interrupteur  $U_{10}$ . Dans notre cas, on obtient une constante de temps  $\tau_{\text{regul}}$  telle que décrite par l'équation (6.1).

$$\tau_{\text{regul}} = (R_{61} + R_{U_{10}}) \cdot (C_{29} + C_{30} + \dots + C_{44}) = 1225 \Omega \times 17.6 \mu\text{F} = 21.56 \text{ ms} \quad (6.1)$$

Il convient alors de choisir un temps suffisamment long afin d'assurer une tension  $V_{GS}$  dans les spécifications mais suffisamment court pour ne pas induire un temps de démarrage trop long du driver. Ce cas peut être problématique lors des phases de redémarrage du module/convertisseur en pleine mission suite à un incident, où la vitesse de redémarrage peut être critique. Le temps n'étant pas un facteur critique dans le cas du démonstrateur, un temps  $t_{\text{start}} = 5 \cdot \tau = 100 \text{ ms}$  sera retenu.



**Fig. 6.6 :** Circuit de régulation du potentiel  $V_G$  avec les capacités du buffer de sortie en technologie PMLCAP

### I.3 Conclusion sur la régulation pilotable

Au cours de cette étude, le circuit de régulation pilotable a été analysé et testé à vide. À partir de l'étude, on observe deux phases : initialisation et régulation. Pendant la première phase, le laps de temps entre l'établissement de l'alimentation 5V et 3V3 induit un ordre d'amorçage involontaire sur la grille du composant de puissance. Ce problème a été réglé par l'ajout d'une capacité sur l'entrée *ENABLE* du buffer de sortie U12. Pendant la deuxième phase, on constate que le circuit de pilotage du potentiel *VISO\_REG\_POWER* fonctionne correctement. Une comparaison entre les résultats obtenus en choisissant deux temps  $t_{start}$  a permis de mettre en lumière l'importance du choix de  $t_{start}$  afin de ne pas endommager la grille du composant de puissance.

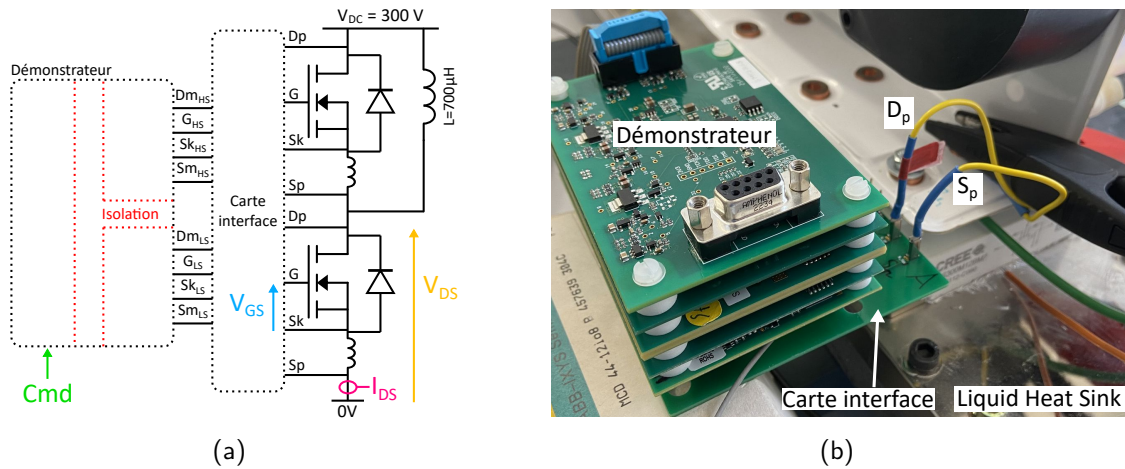
La solution la plus simple serait de réguler le potentiel  $V_G$  par le haut à l'aide d'une zener 5V au lieu de réguler par le bas à l'aide d'une zener 20V comme fait actuellement. Cette configuration assure ainsi une différence de potentiel  $V_G - VISO\_REG\_POWER$  ( $= -5V$ ) quelle que soit la valeur du potentiel *VISO\_REG\_POWER* ( $> 5V$ ).

## II Essais en double pulses

### II.1 Montage expérimental

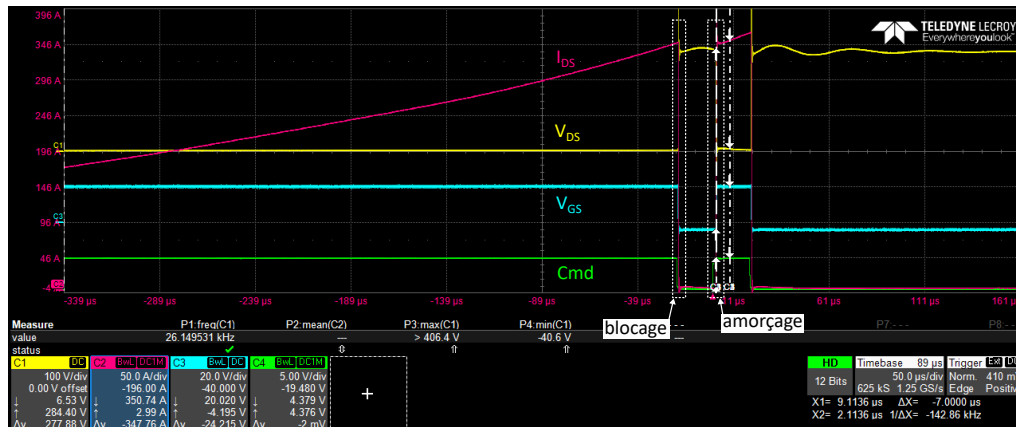
L'objectif est de valider le fonctionnement du démonstrateur sur un module SiC. On met en place un banc d'essai de type double pulses. Une carte interface assure l'interface entre les connectiques  $D_M$ ,  $S_M$ ,  $G$  et  $S_k$  du démonstrateur et les connectiques de puissance  $D_P$ ,  $S_P$ , etc. du boîtier 62 mm du module CAS300M12BM2. On rappelle que le démonstrateur est prévu pour se brancher sur les connectiques mesure du module AM-PM qui n'existe pas sur le boîtier 62 mm. On se branche donc sur les connectiques puissances du

boitier. La figure 6.7 illustre le démonstrateur avec sa carte interface pour boitier 62 mm.



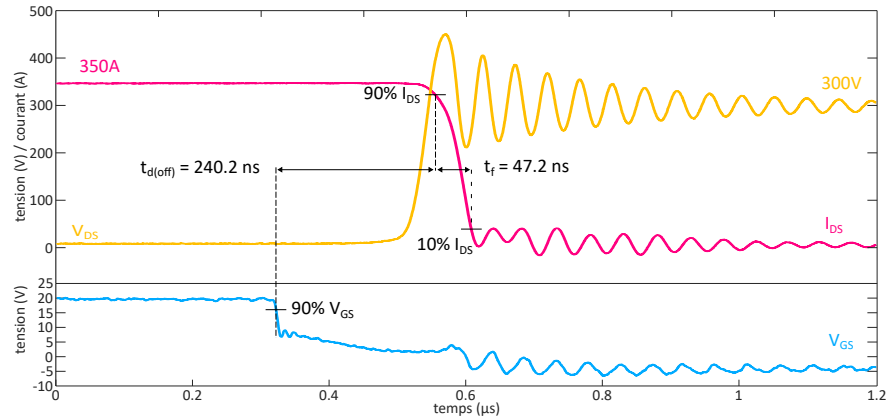
**Fig. 6.7 :** Essai double pulses 300 V/350 A, (a) schéma de câblage, (b) zoom sur l'interface démonstrateur module 62 mm

Le démonstrateur est équipé de deux résistances MELFs 4.7 Ω en parallèle pour une résistance de grille extérieure au module équivalent de 2.35 Ω. La figure 6.8 illustre les formes d'ondes de l'essai double pulses.

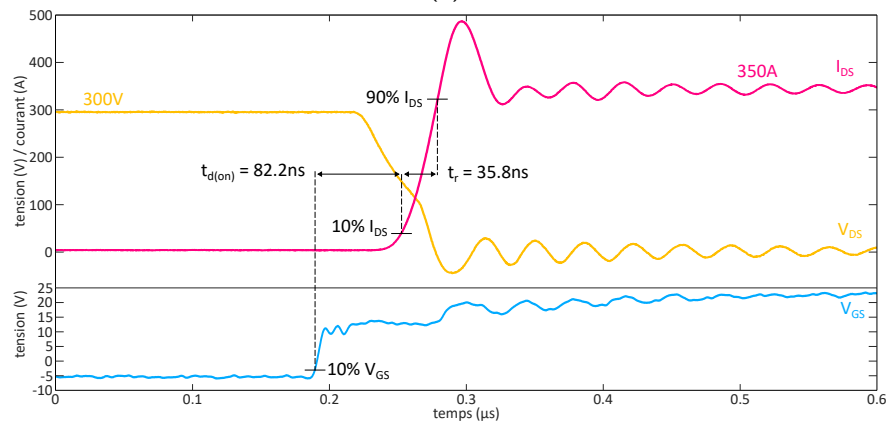


**Fig. 6.8 :** Formes d'ondes de l'essai double pulses 300 V/350 A

Les figures 6.9a et 6.9b se focalisent autour des régimes transitoires au blocage et à l'amorçage de la figure 6.8. On affiche sur les formes d'ondes les différentes constantes de temps importantes ainsi que leurs définitions liées aux régimes transitoires. Les valeurs annoncées dans le datasheet du fabricant sont rappelées dans le tableau de la figure 6.9c. Les commutations observées étant proches des données datasheet, le démonstrateur est jugé apte à piloter un module CAS300M12BM2.



(a)



(b)

$t_{d(off)}$	Turn off delay time	210	ns	$V_{DC} = 600\text{ V}$ , $V_{GS} = -5\text{ V} / +20\text{ V}$ , $I_{DS} = 300\text{ A}$ , $R_{G(ext)} = 2.5\ \Omega$ , Timing relative to $I_{DS}$ Inductive load
$t_f$	Fall time	66	ns	
$t_{d(on)}$	Turn on delay time	76	ns	
$t_r$	Rise time	30	ns	

(c)

**Fig. 6.9** : Formes d'ondes de l'essai double pulses 300 V/350 A, (a) zoom sur le régime transitoire au blocage, (b) zoom sur le régime transitoire à l'amorçage (c) extrait de la datasheet du module CAS300M12BM2

Une fois l'essai validé, on peut tester les circuits de monitoring en environnement de puissance (mesure de  $V_{DS_{ON}}$ /estimation de  $I_{GSS}$ ).

### III Mesure de la tension $V_{DS_{ON}}$

Le circuit de mesure de  $V_{DS_{ON}}$  dénommé Digital Data Acquisition System (DDAS) dans la suite a profité de plusieurs améliorations par rapport au prototype testé au chapitre 3. Le circuit de compensation à base de diodes haute tension n'utilise plus que deux diodes au lieu de quatre auparavant afin d'améliorer la justesse du DDAS. De plus, les

ports dédiés de l'ADC du FPGA sont utilisés pour diminuer le bruit global du DDAS. Cette section détaille les différents essais réalisés afin de valider et quantifier l'impact de ces modifications sur le circuit du chapitre 3.

### III.1 Caractérisation des circuits

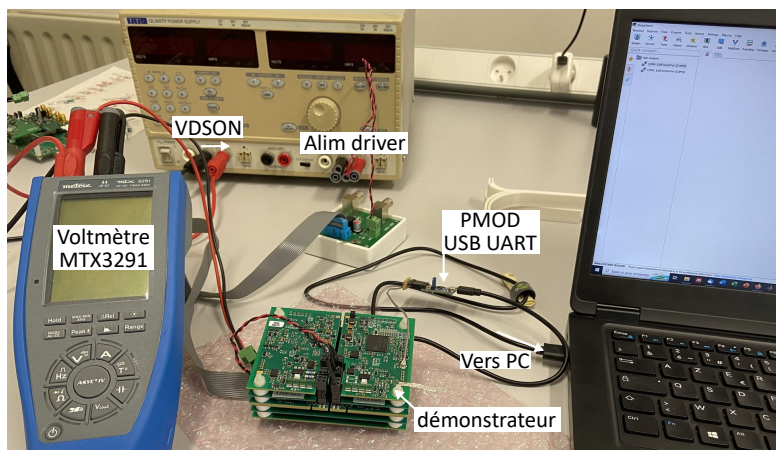
On caractérise dans un premier temps le DDAS en ré-utilisant les définitions de justesse et fidélité du chapitre 3.

Un démonstrateur source driver est équipé de deux DDAS (voie A et voie B) sur la carte middle. Afin de vérifier la reproductibilité du DDAS, les deux drivers sont caractérisés soit quatre DDAS au total dénommés dans la suite "1A", "1B", "2A" et "2B" pour le DDAS du driver 1 voie A, le DDAS du driver 1 voie B, etc. respectivement.

#### III.1.1 Montage expérimental pour la caractérisation des circuits

Le montage expérimental permettant de quantifier la précision du DDAS (justesse et fidélité) est illustré à la figure 6.10. La valeur  $V_{DS_{ON}}$  est émulée par une alimentation externe double QL355TP. La valeur vraie retenue est celle affichée par le voltmètre MTX3291 branché en entrée du DDAS. Des séries de cent mille acquisitions consécutives sont effectuées pour différentes valeurs  $V_{DS}$  allant de  $-3.5\text{ V}$  à  $3.5\text{ V}$  avec un pas de  $1\text{ V}$ .

Le driver envoie les acquisitions à une carte PMOD USB UART de Digilent par liaison série. La carte PMOD transfère ces acquisitions sur un PC par liaison USB. Les séries sont réalisées à température ambiante.



**Fig. 6.10** : Caractérisation du circuit de mesure de  $V_{DS_{ON}}$  du driver final

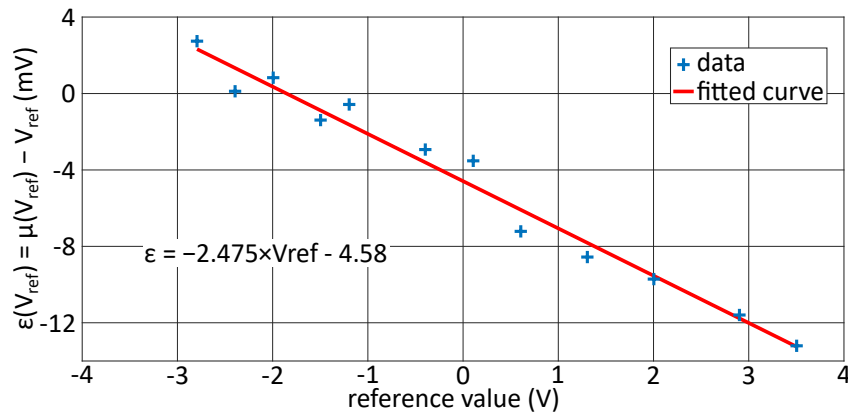
#### III.1.2 Extraction du paramètre de justesse

La **justesse** définit à quel point la moyenne des valeurs mesurées est proche ou éloignée du mesurande. On utilisera l'écart entre la valeur vraie  $V_{ref}$  et la moyenne de la répartition

des 100 000 mesures pour cette valeur vraie  $\mu(V_{ref})$  pour la quantifier comme indiqué dans l'équation (6.2).

$$\epsilon = \mu(V_{ref}) - V_{ref} \quad (6.2)$$

La figure 6.11 présente la justesse du DDAS 2A pour chaque série d'acquisitions. À partir des justesses calculées, on effectue une régression linéaire. La justesse du circuit se caractérise par un offset constant  $-4.58$  (mV) et une erreur proportionnelle  $-2.475$  (mV/V).



**Fig. 6.11** : Critère de justesse appliqué à chaque série d'acquisitions pour le DDAS 2A

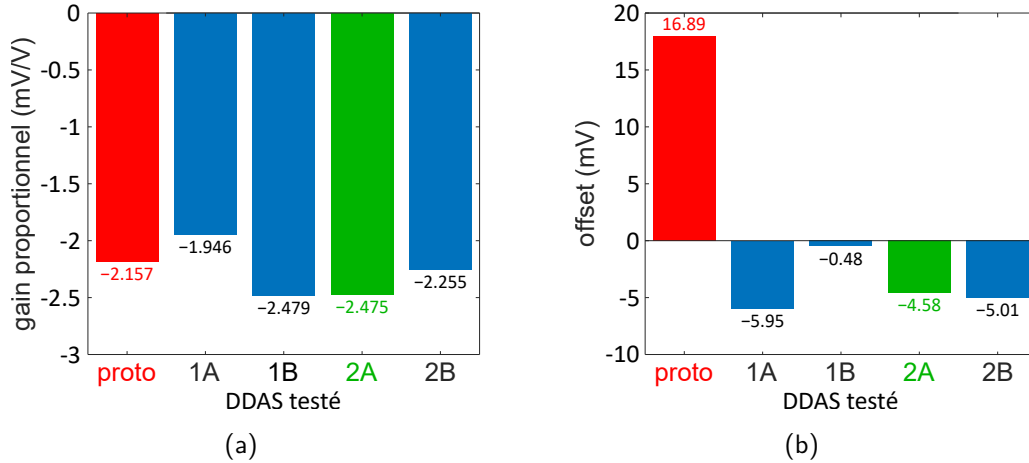
Par rapport aux résultats du prototype du chapitre 3, le DDAS du démonstrateur montre une meilleure justesse avec un offset de seulement  $-4.58$  (mV) contre  $16.89$  (mV). Cette amélioration est principalement due aux modifications concernant les diodes haute tension. L'erreur proportionnelle est du même ordre de grandeur pour les deux DDAS avec  $-2.475$  (mV/V) contre  $-2.157$  (mV/V). Aucune amélioration n'ayant été proposée, il est logique de retrouver la même erreur.

Afin de vérifier la répétabilité des paramètres du DDAS, les quatre DDAS sont caractérisés. La figure 6.12 compare les paramètres de la justesse des quatre DDAS avec ceux de la carte prototype en rouge. Les paramètres extraits de la figure 6.11 sont affichés en vert.

L'erreur proportionnelle reste du même ordre de grandeur pour les quatre DDAS du démonstrateur (autour de  $-2.29$  (mV/V)). Cette erreur est causée par les erreurs de gain des différents sous-circuits (pont diviseur différentiel, gain de l'ADC, écart avec le voltmètre, etc.). Au vu des résultats, on peut estimer le paramètre systématique pour tous les DDAS.

Au contraire, l'offset n'est pas constant. Trois DDAS se stabilisent autour de  $-5$  mV alors que le quatrième DDAS présente un offset nul. L'explication la plus probable est un jeu de compensation entre les différents offsets des sous-circuits (ADC, compensation des diodes haute tension, gain de mode commun des AOP, etc.).





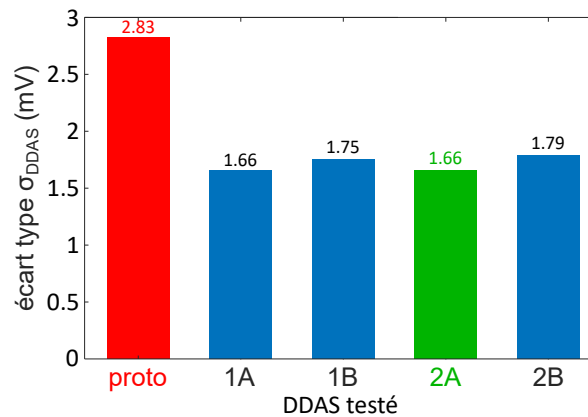
**Fig. 6.12** : Paramètres du critère de justesse pour chaque DDAS (a) erreur proportionnelle (b) offset

### III.1.3 Analyse du critère de fidélité

La **fidélité** définit la dispersion des valeurs mesurées les unes par rapport aux autres. On rappelle équation (6.3) que la fidélité du circuit est proportionnelle à l'écart type  $\sigma_{\text{DDAS}}$  de la répartition des 100 000 mesures. Le coefficient de proportionnalité se choisit en fonction du niveau de confiance (75 % dans le cas de  $r_{P_r} = 0.75$ ).

$$\text{fidélité} = r_{P_r = 0.75} \times \sigma_{\text{DDAS}} = \sqrt{2 \cdot \ln(2)} \times \sigma_{\text{DDAS}} \quad (6.3)$$

On cherche à extraire le paramètre  $\sigma_{\text{DDAS}}$  du DDAS seul (circuit + ADC). On déconnecte alimentation externe et on vient court-circuiter les entrées du circuit  $D_M$  et  $S_M$ . Trois séries de cent mille valeurs sont effectuées pour chaque DDAS afin de minimiser les erreurs de mesure. Les trois valeurs obtenues pour chaque DDAS étant proches les unes des autres, on retiendra leur valeur moyenne comme paramètre  $\sigma_{\text{DDAS}}$  de chaque DDAS. La figure 6.13 compare les paramètres  $\sigma_{\text{DDAS}}$  avec celui du prototype.



**Fig. 6.13** : Écart type  $\sigma_{\text{DDAS}}$  de chaque DDAS

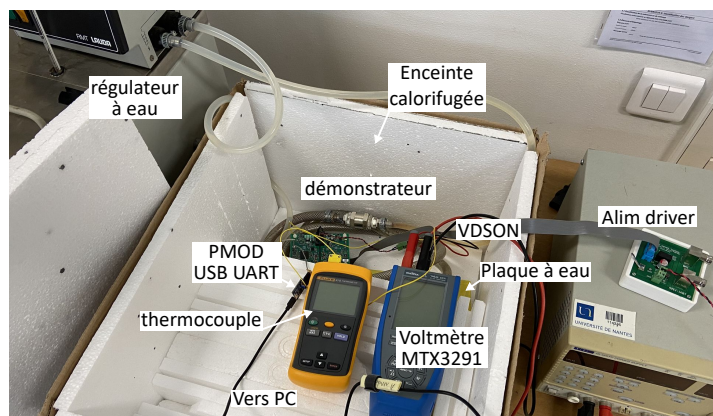
Le paramètre  $\sigma_{DDAS}$  reste du même ordre de grandeur pour les quatre DDAS du démonstrateur (autour de 1.72 mV). Comparé au prototype (2.83 mV), les DDAS du démonstrateur présentent en moyenne 1.11 mV de bruit en moins. Le choix des ports dédiés de l'ADC explique une partie de cette baisse. L'autre partie s'explique par une meilleure maîtrise du routage par rapport au prototype (longueur de la paire différentielle, etc.).

Au final, le critère de fidélité moyen du DDAS du démonstrateur est défini par l'équation (6.4).

$$\text{fidélité} = r_{P_r = 0.75} \times \sigma_{DDAS} = \sqrt{2 \cdot \ln(2)} \times 1.72 = 2.02 \text{ mV} \quad (6.4)$$

### III.1.4 Influence de la température

Plusieurs études font part de la forte dépendance à la température des DVCCs (Drain Voltage Clamping Circuits) basés sur des diodes haute tension comme celui proposé dans ces travaux [128], [132]. Afin de la quantifier, le DDAS numéro 2A du démonstrateur et celui du prototype sont caractérisés pour plusieurs températures. Les circuits sont placés dans une enceinte calorifugée thermorégulée à l'aide d'un régulateur à eau et d'un thermocouple. On vient de nouveau faire varier la tension en entrée du DDAS. Le circuit de génération et le voltmètre sont placés en dehors de l'enceinte à température ambiante pour ne pas influencer les résultats. La plateforme expérimentale est illustrée à la figure 6.14

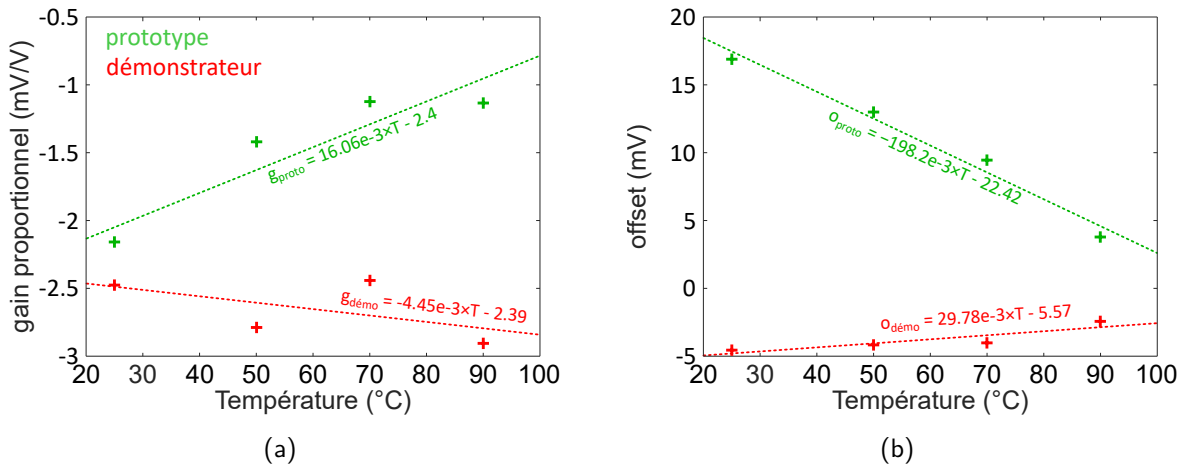


**Fig. 6.14** : Caractérisation en température du DDAS du démonstrateur (DDAS 2A) et du prototype

Pour chaque température, on obtient un critère de justesse comme à la figure 6.11. À partir de ces justesses, on extrait un modèle linéaire. L'évolution des paramètres de la justesse des DDAS en fonction de la température est illustrée à la figure 6.15. De manière générale, le démonstrateur montre de meilleures performances vis-à-vis de la température comparé au prototype.

La figure 6.15a illustre l'évolution du gain proportionnel en fonction de la température (aussi appelé gain drift). Par rapport au prototype, le démonstrateur présente une meilleure dérive en température avec  $4.45 (\mu\text{V}/\text{V})/1^\circ\text{C}$  contre  $16.06 (\mu\text{V}/\text{V})/1^\circ\text{C}$  soit un rapport quatre.

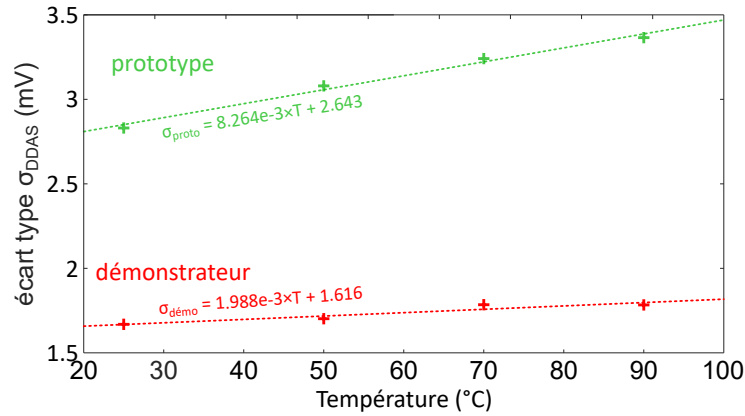
La figure 6.15b illustre l'évolution de l'offset du DDAS en fonction de la température (aussi appelé offset drift). Par rapport au prototype, le démonstrateur présente une meilleure dérive en température avec  $29.78 (\mu\text{V}/\text{V})/1^\circ\text{C}$  contre  $198.2 (\mu\text{V}/\text{V})/1^\circ\text{C}$  soit un rapport six.



**Fig. 6.15 :** Évolution des paramètres du critère de justesse en fonction de la température (a) erreur proportionnelle (b) offset

On cherche à étudier l'effet de la température sur le paramètre  $\sigma_{\text{DDAS}}$  des DDAS. On utilise le même protocole que celui de la section III.1.3. À partir des trois séries de mesure, on prend la valeur moyenne comme paramètre  $\sigma_{\text{DDAS}}$ . La figure 6.16 illustre l'évolution du paramètre  $\sigma_{\text{DDAS}}$  en fonction de la température.

Par rapport au prototype, le démonstrateur présente une meilleure dérive en température avec  $8.26 \mu\text{V}/1^\circ\text{C}$  contre  $1.98 \mu\text{V}/1^\circ\text{C}$  soit un rapport quatre. Le critère de fidélité à 75 % est un multiple  $\sqrt{2 \cdot \ln(2)}$  du paramètre  $\sigma_{\text{DDAS}}$ . On retiendra une dérive en température du critère :  $9.72 \mu\text{V}/1^\circ\text{C}$  pour le prototype et  $2.26 \mu\text{V}/1^\circ\text{C}$  pour le démonstrateur.



**Fig. 6.16** : Évolution du paramètre  $\sigma_{DDAS}$  en fonction de la température

### III.1.5 Conclusion sur la caractérisation

Le tableau 6.1 compare les caractéristiques du DDAS avec le cahier des charges initial. De plus, ces caractéristiques sont comparées à celles du multimètre de précision ASYC IV MTX 3291 dans la gamme de mesure 6 V. Il s'agit du multimètre ayant servi pour les mesures de la tension de référence des essais.

**Tab. 6.1** : Cahier des charges du circuit vs résultats expérimentaux.

Paramètres	Cahier	Performance du DDAS		MTX 3291
	des charges	prototype	démonstrateur	
Résolution	5 mV	1.95 mV	1.95 mV	0.1 mV
erreur de gain (mV/V)	5	2	2	0.5
Offset max	//	16.89 mV	-6 mV	2.5 mV
Fidélité (75 %)	3 mV	3.33 mV	2.02 mV	
Influence de la température				
gain drift ( $(\mu\text{V}/\text{V})/1^\circ\text{C}$ )	//	16.06	4.45	1
offset drift ( $\mu\text{V}/1^\circ\text{C}$ )	//	198.2	29.78	10
Fidélité vs temperature ( $\mu\text{V}/1^\circ\text{C}$ )	//	9.72	2.26	

Le DDAS du démonstrateur a reçu deux modifications simples afin d'améliorer ses performances : l'utilisation des ports dédiés de l'ADC pour diminuer le bruit du DDAS et le

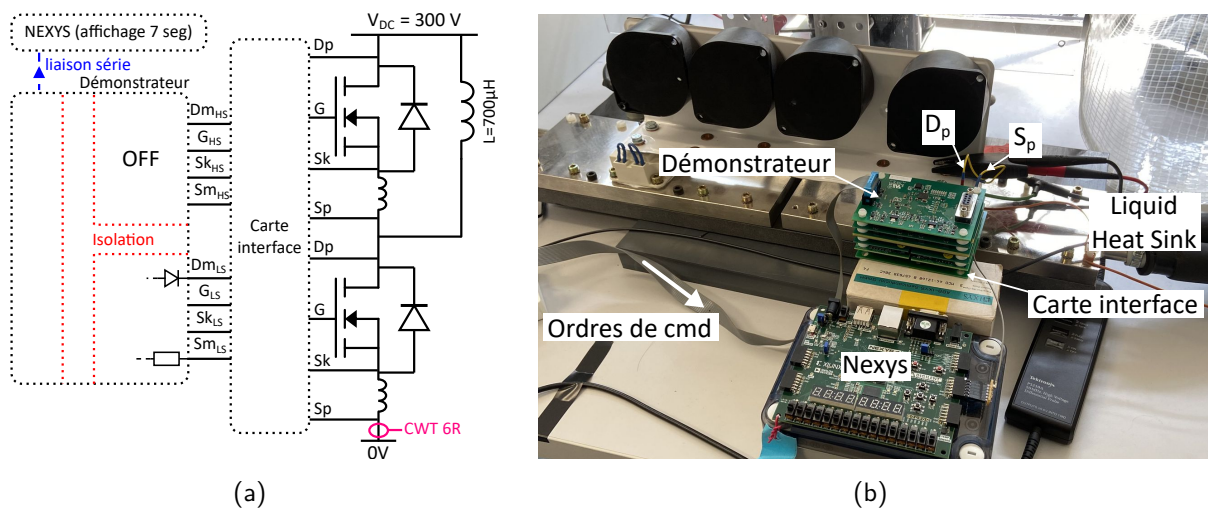
retrait de deux diodes haute tension du circuit de compensation du drain afin d’améliorer la justesse et les performances thermiques du DDAS. Au vu des résultats, ces modifications ont permis une amélioration des paramètres d’un facteur quatre à six.

Pour finir, le DDAS du démonstrateur est comparé à un multimètre de précision du commerce. Les études en températures ont démontré une dérive en température des paramètres trois à quatre fois celle des paramètres du multimètre de précision.

### III.2 Essais et validation sur module de puissance

On propose de vérifier les performances du démonstrateur en fonctionnement sur module réel. Le démonstrateur est testé sur un module SiC CAS300M12BM2. Le DDAS testé est le numéro 2A. On simule l’environnement à l’aide d’un circuit de commande double pulses comme au chapitre 3. Le test, sous une tension continue  $V_{BUS} = 300\text{ V}$ , est effectué pour différentes températures. Un régulateur thermique avec plaque à eau est utilisé pour atteindre la température souhaitée. On utilise un capteur thermique Fluke 51 II pour surveiller la température de la semelle du module. La valeur de courant  $I_{DS}$  est acquise sur un oscilloscope à l’aide d’une sonde de Rogowski CWT 6R.

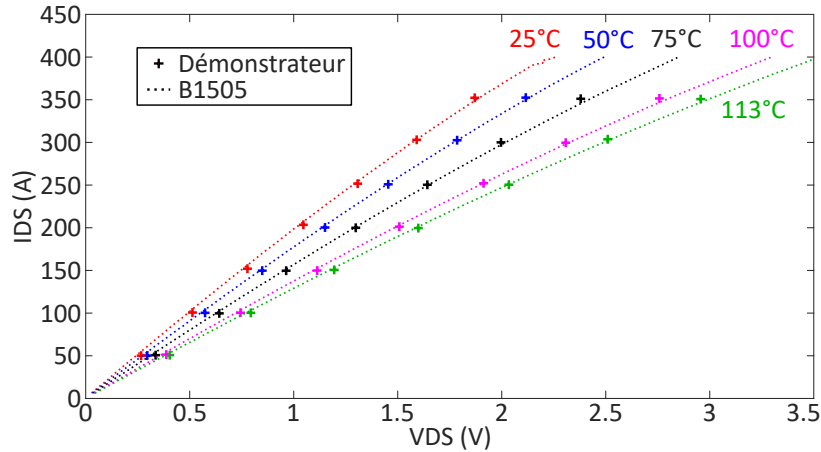
La carte interface des essais double pulses précédents assure l’interface entre les connectiques  $D_p$ ,  $S_p$ ,  $G$  et  $S_k$  du démonstrateur et les connectiques du boîtier 62 mm du module CAS300M12BM2. La carte d’évaluation Nexys DDR4 récupère les acquisitions numériques du démonstrateur par liaison série puis les affiche sur l’afficheur 7 segments. La figure 6.17 illustre la plate-forme expérimentale.



**Fig. 6.17 :** Mesure de la tension  $V_{DS}$  par le démonstrateur du module SiC dans un hacheur dévolteur en commande double pulses, (a) schéma de câblage, (b) montage expérimental

La figure 6.18 compare les résultats des mesures hors tension au B1505 avec celles obtenues sous environnement de puissance avec le démonstrateur. Les résultats du traceur

sont affichés en lignes pointillées tandis que les résultats du démonstrateur sont affichés avec des croix. Le démonstrateur donne des résultats proches de ceux du traceur B1505 sur toute la plage de température 25 °C à 113 °C.



**Fig. 6.18** : Comparaison des mesures au B1505 faites hors tension et du DDAS faites dans un environnement de puissance.

### III.3 Conclusion sur la mesure de $V_{DS_{ON}}$

Au cours de cette étude, le démonstrateur a été caractérisé et comparé au prototype du chapitre 3. Les modifications apportées ont montré une amélioration notable des performances du DDAS. Une comparaison avec un multimètre de précision du commerce donne un point de repère des caractéristiques obtenues qui sont jugées acceptables.

Devant être intégré sur le source driver, lui même au plus près des semi-conducteurs de puissance dans l'IPM, une étude sur sa tenue en température a permis de valider sa fiabilité à haute température comme indiquée dans [132].

Pour finir, le démonstrateur est testé sur un module de puissance SiC 1.2 kV/300 A sous une tension continue  $V_{BUS} = 300$  V pour différentes températures de semelle. Le circuit ayant pour finalité une intégration sur le module AM-PM, il devra être testé sur des modules de puissance SiC 1.7 kV et 3.3 kV pour différentes tensions continues jusqu'à 2.5 kV afin de valider complètement son cahier des charges.

## IV Estimation du courant de fuite de grille $I_{GSS}$

On rappelle à la figure 6.19 le principe d'opération du circuit d'estimation du courant de fuite de grille  $I_{GSS}$ . Le circuit proposé quantifie le temps  $T_L(I_{GSS})$  mis par le potentiel  $V_G$  pour effectuer une dérive en tension  $\Delta V$  autour du point de régulation  $V_G = 20$  V.

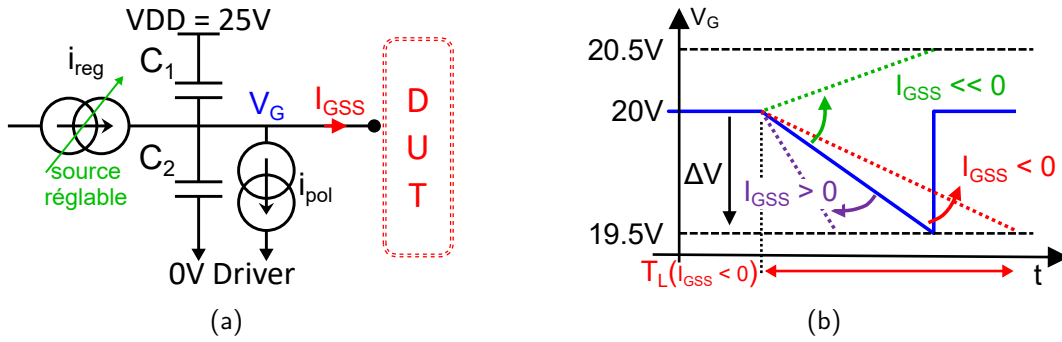


Fig. 6.19 : (a) Circuit de principe (b) Principe d'opération

Le circuit d'estimation de  $I_{GSS}$  a profité de plusieurs améliorations par rapport au prototype testé au chapitre 4. La résistance de polarisation  $R_{pol}$  (en bleu sur la figure 6.20a) se situe entre le potentiel  $V_G$  et la référence driver 0V. Cette configuration rend le courant de polarisation indépendant de la tension grille-source  $V_{GS}$  et permet ainsi les estimations en régime dynamique quand la tension  $V_{GS}$  bascule entre +20 V et -5 V. De plus, les condensateurs du buffer  $C_1$  et  $C_2$  (en vert sur la figure 6.20a) en technologie X5R sont remplacés par des PMLCAP (Polymer Multi-Layer Capacitor) possédant une meilleure stabilité de leurs paramètres en tension et en température. On fait varier le courant de fuite  $I_{GSS}$  vu par le circuit d'estimation à l'aide d'une résistance  $R_{GSS}$  (en rouge sur la figure 6.20a) placée entre la grille et la source kelvin du composant de puissance.

Le courant de fuite du circuit est modélisé par une source de courant constante  $i_0$  (en orange sur la figure 6.20b). Le courant  $i_{pol}$  est supposé constant. À partir du modèle simplifié du circuit d'estimation à la figure 6.20b, l'équation (6.5) décrit le circuit simplifié.

$$C \cdot \Delta V = T_L \cdot (i_0 + i_{pol} + I_{GSS}) \quad (6.5)$$

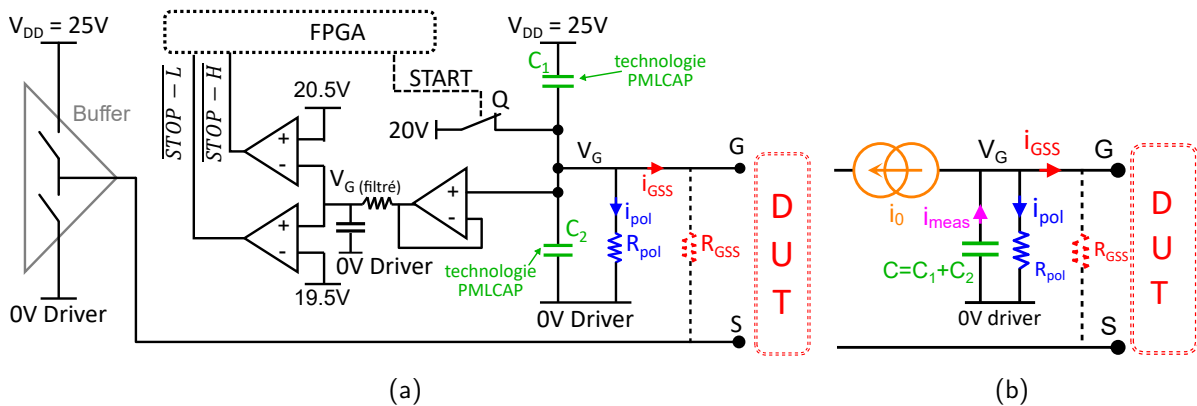


Fig. 6.20 : Circuit d'estimation du courant de grille proposé du démonstrateur (a) circuit avec ces modifications en couleur (b) Modèle équivalent

## IV.1 Caractérisation du démonstrateur

On caractérise le circuit d'estimation voie A du driver 2 en réutilisant les définitions du chapitre 4. On rappelle dans l'équation (6.6) que le courant de fuite  $I_{GSS}$  peut être calculé connaissant les deux paramètres  $i_0$  et  $C.\Delta V$ .

$$I_{GSS} = \frac{C.\Delta V}{T_L} - i_0 - i_{pol} \quad (6.6)$$

Pour déterminer les deux paramètres  $C.\Delta V$  et  $i_0$ , on déconnecte le semi-conducteur de puissance ( $I_{GSS} = R_{GSS}.V_{GS}$ ). On lance l'estimation pour deux courants  $i_{GSS_1}$  et  $i_{GSS_2}$  à l'aide de deux résistances de précision  $R_{GSS_1}$  et  $R_{GSS_2}$ . On mesure alors deux temps  $T_L = T_{GSS_1}$  pour  $i_{GSS_1}$  et  $T_L = T_{GSS_2}$  pour  $i_{GSS_2}$ . À partir de ces temps mesurés, il est possible de calculer  $i_0$  (équation (6.7)) en utilisant l'équation (6.5). Le paramètre  $C.\Delta V$  peut être déduit équation (6.8).

$$i_0 = \frac{T_{GSS_2} \cdot i_{GSS_2} - T_{GSS_1} \cdot i_{GSS_1}}{T_{GSS_1} - T_{GSS_2}} - i_{pol} \quad (6.7)$$

$$C.\Delta V = (i_{GSS_1} - i_{GSS_2}) \cdot \frac{T_{GSS_1} \cdot T_{GSS_2}}{T_{GSS_2} - T_{GSS_1}} \quad (6.8)$$

### IV.1.1 Émulation du courant $I_{GSS}$

Dans les anciens travaux du laboratoire IETR, J.Weckbrodt et al. [108] donnent la formule du courant de fuite équivalent  $i_{GSS}(t)$  vu par le circuit d'estimation dans le cas d'une émulation par résistance  $R_{GSS}$ . L'équation (6.9) donne l'expression de  $I_{GSS}(t)$  où  $V_{GS_{ON}}$  et  $V_{GS_{OFF}}$  sont les tensions d'amorçage et de blocage du composant de puissance.  $\alpha(t)$  est le rapport cyclique du signal MLI.

$$i_{GSS}(t) = \frac{1}{R_{GSS}} \cdot (\alpha(t) \cdot V_{GS_{ON}} + (1 - \alpha(t)) \cdot V_{GS_{OFF}}) \quad (6.9)$$

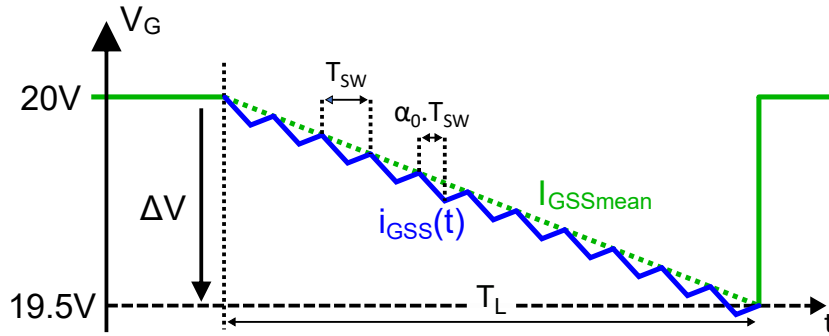
Parmi les diverses techniques de MLI (MLI aléatoire, MLI vectorielle, etc.), on considère dans la suite un signal à rapport cyclique constant  $\alpha(t) = \alpha_0$  pour la caractérisation. Le courant de fuite équivalent  $i_{GSS}(t)$  induit alors une variation du potentiel  $V_G$  comme illustrée en bleu sur la figure 6.21. On peut ainsi décomposer  $i_{GSS}(t)$  en une composante continue  $I_{GSS_{mean}}$  et une composante alternative  $i_{GSS_{alt}}(t)$  tel que décrit par l'équation (6.10).

$$I_{GSS}(t) = I_{GSS_{mean}} + i_{GSS_{alt}}(t) \quad (6.10)$$

La composante continue  $I_{GSS_{mean}}$  induit alors une pente moyenne du potentiel illustrée



en trait pointillé vert sur la figure 6.21. La composante alternative  $i_{GSS_{alt}}(t)$  est responsable de l'ondulation de tension qui vient s'ajouter à la dérive moyenne du potentiel  $V_G$ .



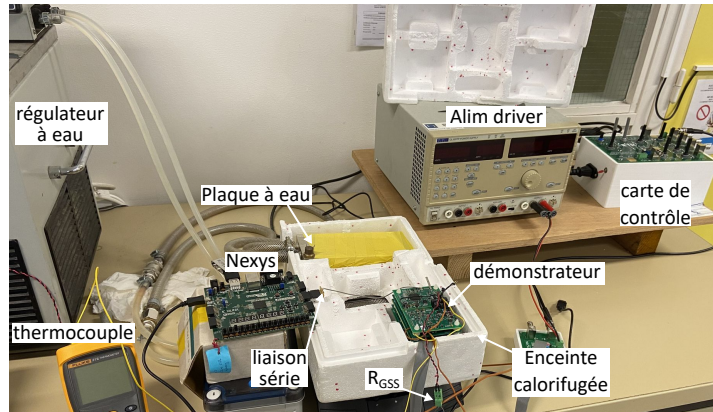
**Fig. 6.21 :** Influence of  $I_{GSS}$  emulation using resistors on the  $V_G$  potential variation.

En supposant que la période de découpage  $T_{SW}$  du signal MLI est négligeable devant le temps de mesure  $T_L$ , l'influence de la composante alternative  $i_{GSS_{alt}}(t)$  est négligeable devant  $I_{GSS_{mean}}$ . On assimilera dans la suite le courant équivalent de fuite de grille  $i_{GSS}(t)$  à sa composante continue. Dans le cas d'un signal MLI à rapport cyclique  $\alpha_0$  constant, le courant  $I_{GSS_{mean}}$  peut être exprimé par l'équation (6.11). Pour des  $\alpha_0 < 20\%$ , on vient émuler un courant de fuite équivalent négatif. Pour des  $\alpha_0 > 20\%$ , on vient émuler un courant de fuite équivalent positif. Dans le cas particulier  $\alpha_0 = 20\%$ , le courant de fuite équivalent est nul car le courant de fuite sous  $V_{GS} = 20V$  compense celui sous  $V_{GS} = -5V$ .

$$i_{GSS}(t) \approx I_{GSS_{mean}} = \frac{1}{R_{GSS}} \cdot (\alpha_0 \cdot (V_{GS_{ON}} - V_{GS_{OFF}}) + V_{GS_{OFF}}) \quad (6.11)$$

#### IV.1.2 Montage expérimental

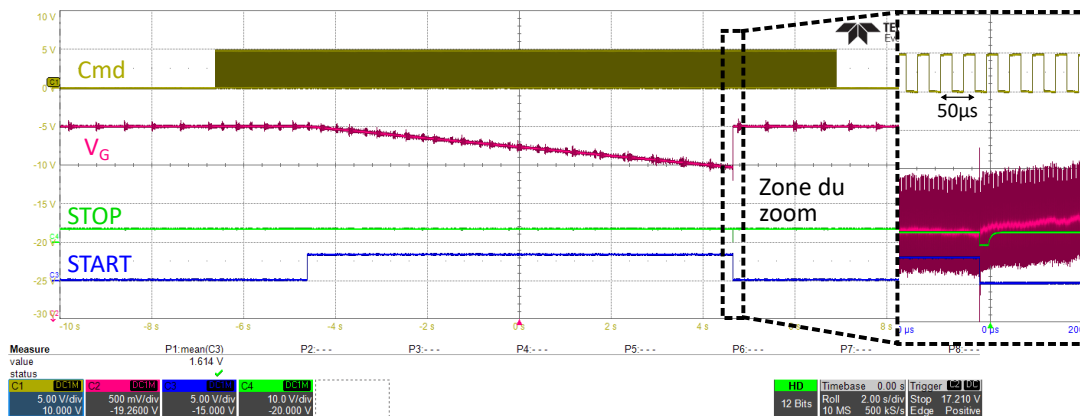
Les essais de caractérisation sont effectués à vide (sans module). Le démonstrateur est placé dans une enceinte calorifugée réglée par plaque à eau et thermocouple pour les essais en température. Les premiers essais se font à température ambiante. Une carte de contrôle permet de générer différents ordres pour les essais : amorçage ( $V_{GS} = 20V$ ,  $\alpha_0 = 100\%$ ), blocage ( $V_{GS} = -5V$ ,  $\alpha_0 = 0\%$ ), Modulation de Largeur d'Impulsions (MLI) ( $\alpha_0 = \in ]0\%, 100\%[$ ), etc. Une carte Nexys récupère en temps réel la valeur du compteur du circuit d'estimation du démonstrateur par liaison série et l'affiche sur l'afficheur 7 segments. Les valeurs exactes des résistances sont mesurées par un fA-mètre Keysight B2985A. Elles sont placées en dehors de l'enceinte calorifugée afin de ne pas être impactées par la température. La résolution temporelle choisie est  $\Delta t = 0.1ms$ . Une résistance de précision  $R_{pol} = 20M\Omega$  impose un courant  $i_{pol} = 1\mu A$ . La figure 6.22 présente le montage expérimental.



**Fig. 6.22** : Caractérisation en température du circuit d'estimation du courant de fuite de grille  $I_{GSS}$  du démonstrateur

La figure 6.23 illustre quelques formes d'ondes. Le signal de commande (en jaune) est un signal créneau de rapport cyclique fixe  $\alpha_0 = 50\%$  et de fréquence  $F_{SW} = 20\text{ kHz}$ . On place une résistance  $R_{GSS} = 40\text{ M}\Omega$  soit  $I_{GSS_{moy}} = 170\text{ nA}$ .

Quand le potentiel  $V_G$  (en rose) atteint le seuil (seuil bas ici  $V_{seuil} = 19.5\text{ V}$ ), la sortie du comparateur (signal *STOP* en vert) tombe. Le FPGA détecte la condition d'arrêt et ferme l'interrupteur  $Q$  (mise à l'état bas du signal *START* en bleu). Le potentiel  $V_G$  remonte à  $20\text{ V}$ .



**Fig. 6.23** : Formes d'ondes des essais expérimentaux en régime dynamique  $F_{SW} = 20\text{ kHz}$ ,  $\alpha_0 = 50\%$ ,  $i_{GSS_{moy}} = 170\text{ nA}$  avec zoom sur l'instant de la condition d'arrêt

### IV.1.3 Calibration

Comme illustré à la figure 6.19, le circuit présente trois zones d'utilisation :  $I_{GSS} > 0$ ,  $I_{GSS} < 0$  et  $I_{GSS} \ll 0$ . Le circuit est d'abord calibré pour les différentes zones d'utilisation. On multiplie le nombre de résistances de calibration afin d'obtenir plus de valeurs  $i_0$  et  $C \cdot \Delta V$  par combinaison et ainsi améliorer la précision sur ces valeurs. Trois à quatre résistances seront utilisées afin d'obtenir trois à six combinaisons possibles contre une

seule avec deux résistances comme dans le cas du chapitre 4. Pour chaque résistance, on effectuera trois mesures dans le but de vérifier la reproductibilité des mesures. À partir de la moyenne des temps mesurés, on extrait les paramètres du circuit pour chaque combinaison et on retient la valeur moyenne.

#### IV.1.3.1 $I_{GSS} > 0$

Les tests se font pour une tension constante  $V_{GS} = 20 \text{ V}$ . On utilise quatre résistances  $R_{GSS} = 100 \text{ M}\Omega$ ,  $50 \text{ M}\Omega$ ,  $8.2 \text{ M}\Omega$  et  $2.7 \text{ M}\Omega$ . À partir des temps mesurés, on obtient les valeurs moyennes :

$$i_{0_{I_{GSS} > 0}} = 12.47 \text{ nA} \quad C.\Delta V_{I_{GSS} > 0} = 10.39 \text{ }\mu\text{V F}$$

#### IV.1.3.2 $I_{GSS} < 0$

Les tests se font cette fois-ci avec  $V_{GS} = -5 \text{ V}$ . On utilise trois résistances  $R_{GSS} = 70 \text{ M}\Omega$ ,  $40 \text{ M}\Omega$  et  $10 \text{ M}\Omega$ . À partir des temps mesurés, on obtient les valeurs moyennes :

$$i_{0_{I_{GSS} < 0}} = 74.85 \text{ nA} \quad C.\Delta V_{I_{GSS} < 0} = 9.7 \text{ }\mu\text{V F}$$

#### IV.1.3.3 $I_{GSS} \ll 0$

Les tests se font cette fois-ci avec  $V_{GS} = -5 \text{ V}$ . On utilise quatre résistances  $R_{GSS} = 2.7 \text{ M}\Omega$ ,  $1.6 \text{ M}\Omega$ ,  $820 \text{ k}\Omega$  et  $680 \text{ k}\Omega$ . À partir des temps mesurés, on obtient les valeurs moyennes :

$$i_{0_{I_{GSS} \ll 0}} = 100.56 \text{ nA} \quad C.\Delta V_{I_{GSS} \ll 0} = -11.63 \text{ }\mu\text{V F}$$

Le produit  $C\Delta V$  obtenu est négatif car le potentiel  $V_G$  croit dans le sens inverse de la convention utilisée à la figure 6.19.

#### IV.1.3.4 Conclusion sur la calibration

Le courant de fuite du démonstrateur  $i_0$  montre une nette amélioration par rapport au prototype. Dans le cas  $V_{GS} = 20 \text{ V}$ , le courant descend autour de  $12.5 \text{ nA}$  contre  $250 \text{ nA}$  dans le cas du prototype soit un rapport vingt. Dans le cas  $V_{GS} = -5 \text{ V}$ , le courant descend en moyenne autour de  $90 \text{ nA}$  contre  $387 \text{ nA}$  dans le cas du prototype soit un rapport quatre. On remarque cependant que le courant de fuite est toujours plus important dans le cas  $V_{GS} = -5 \text{ V}$  que dans le cas  $V_{GS} = 20 \text{ V}$ . Le cas d'apparition ne dépendant pas du seuil

utilisé, on peut vraisemblablement penser qu'un élément du buffer de sortie présente une fuite plus importante dans un sens que dans l'autre.

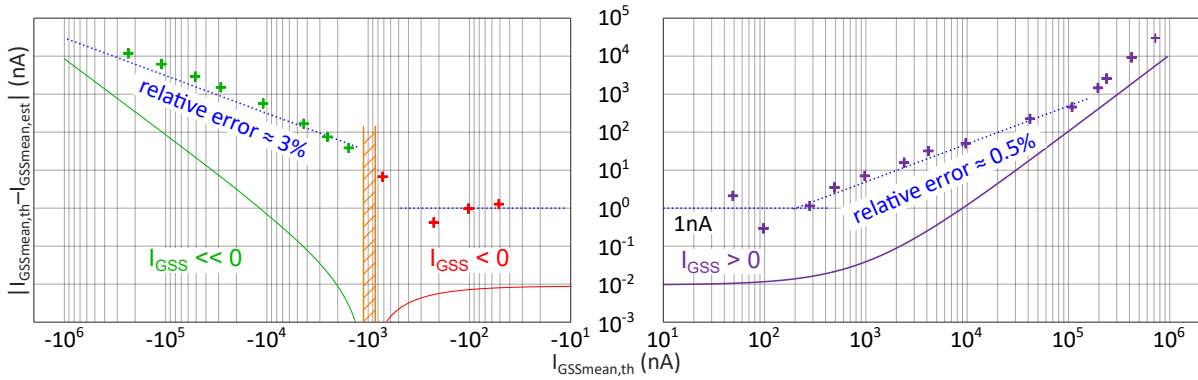
Le démonstrateur est équipé de huit condensateurs PMLCAP de  $2.2 \mu\text{F} \pm 20\%$  chacun. Sachant  $\Delta V = 0.5 \text{ V}$ , on doit trouver  $C \cdot \Delta V = 8.8 \mu\text{V F} \pm 20\%$ . Contrairement aux condensateurs en technologie X5R du prototype du chapitre 4, cette nouvelle technologie tient bien sa promesse au niveau du dérating en tension avec une valeur moyenne du produit  $C \Delta V$  autour de  $10.57 \mu\text{V F}$ . Le produit  $C \cdot \Delta V$  en valeur absolue est de nouveau plus grand dans le cas en utilisant le seuil haut ( $20.5 \text{ V}$ ) que le seuil bas ( $19.5 \text{ V}$ ). Cet écart vient des seuils qui ne sont pas parfaitement symétriques par rapport au potentiel  $V_G$ . Cependant, la forte imprécision des valeurs nominale par rapports aux valeurs expérimentales justifient la nécessité d'une calibration.

#### IV.1.4 Fonctionnement à $V_{GS} = \text{cst}$ ( $\alpha_0 = 0\%$ ou $\alpha_0 = 100\%$ )

Une fois le circuit calibré dans les trois zones d'utilisation, on vient effectuer plusieurs estimations  $I_{GSS_{\text{est}}}$  pour différentes résistances  $R_{GSS}$ . Les tests se font en régime statique (i.e  $V_{GS}$  fixe). On effectue à nouveau trois mesures par résistance pour vérifier la répétabilité des mesures.

Le tableau 7.2 en annexe rassemble les résultats pertinents de tous les essais régime statique ( $I_{GSS} > 0$ ,  $I_{GSS} < 0$  et  $I_{GSS} \ll 0$ ). Pour chaque courant de fuite, l'écart type des trois mesures  $T_{L_{\text{std}}}$  est donné afin de quantifier la répétabilité des estimations. Quand le temps d'estimation  $T_L$  diminue, le circuit montre une bonne répétabilité avec un écart type des mesures de l'ordre de grandeur de sa résolution temporelle ( $\Delta t = 0.1 \text{ ms}$ ). Au contraire, plus le temps d'estimation augmente et plus l'incertitude sur la mesure augmente. On notera cependant que l'écart type  $T_{L_{\text{std}}}$  reste toujours inférieur à  $0.4\%$  de la valeur mesurée  $T_L$ .

La figure 6.24 illustre l'erreur absolue  $|I_{GSS_{\text{th}}} - I_{GSS_{\text{est}}}|$  en fonction du courant de fuite théorique  $I_{GSS_{\text{th}}}$ . La résolution en courant théorique  $\Delta I_{GSS}$  (en traits pleins) est calculée en utilisant l'équation (4.9) du chapitre 4 pour chaque zone d'utilisation en utilisant les paramètres  $C \cdot \Delta V$  et  $i_0$  obtenus lors de la calibration. Dans la zone d'utilisation  $I_{GSS} > 0$  (en violet), le démonstrateur montre une erreur relative de  $0.5\%$  jusqu'à  $200 \mu\text{A}$  avec une résolution minimale d'environ  $1 \text{ nA}$ . Passé les  $200 \mu\text{A}$ , le démonstrateur atteint sa limite théorique. Dans la zone d'utilisation  $I_{GSS} < 0$  (en rouge), le démonstrateur garde sa résolution minimale autour de  $1 \text{ nA}$ . On remarque cependant qu'à l'approche de la zone aveugle (en orange), l'erreur commise par le démonstrateur augmente. On retrouve ce phénomène dans la zone  $I_{GSS} \ll 0$  (en verte). Loin de la zone aveugle, on retrouve cependant une erreur relative autour de  $3\%$ .



**Fig. 6.24** : Erreur absolue du circuit d'estimation en régime statique

Comparé au prototype du chapitre 4, le démonstrateur montre une meilleure résolution minimale (1 nA vs 7 nA) et une erreur relative quatre fois meilleur (0.5% vs 2%) dans la zone  $I_{GSS} > 0$ . Les autres zones ne peuvent pas être caractérisées à l'aide de simples résistances  $R_{GSS}$  dans le cas du prototype donc aucun comparatif n'est possible.

#### IV.1.5 Fonctionnement avec MLI ( $\alpha_0 \in ]0\%, 100\%[$ )

On considère une loi de commande en mode hacheur. On se place à la fréquence nominale de fonctionnement du module AM-PM  $F_{SW} = 20$  kHz. Le circuit est testé pour différents rapports cycliques  $\alpha_0$ . On obtient le courant de fuite équivalent  $I_{GSS_{th}} = I_{GSS_{mean}}$  en utilisant la formule équation (6.11) pour les différents rapports cycliques. On effectue à nouveau trois mesures par résistance pour vérifier la répétabilité des mesures.

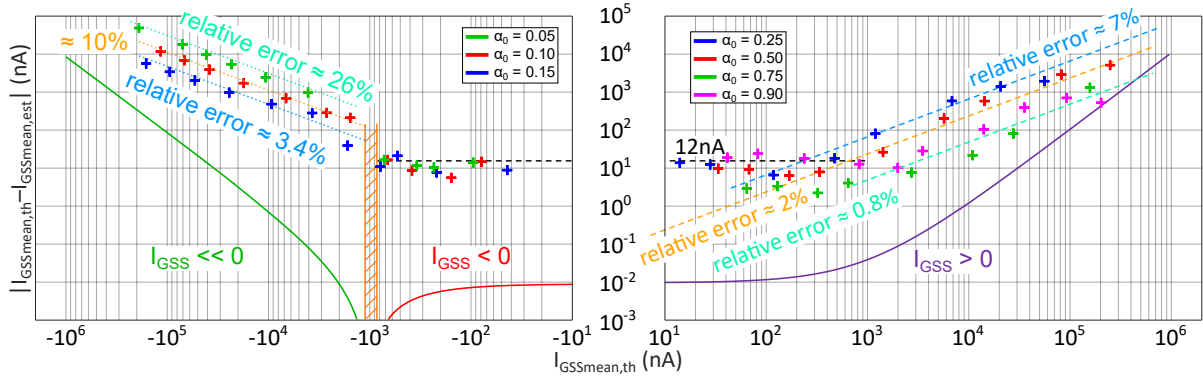
Les tableaux 7.3, 7.4 et 7.5 en annexe rassemblent les résultats pertinents des essais avec un signal MLI pour chaque zone de fonctionnement. Pour chaque courant de fuite équivalent, l'écart type des trois mesures  $T_{L_{std}}$  est donné afin de quantifier la répétabilité des estimations. Par rapport aux tests en régime statique, le circuit donne une dispersion des mesures similaires en régime dynamique quel que soit le rapport cyclique considéré. On en déduit que la fidélité du circuit n'est pas impactée par la loi de commande.

La figure 6.25 illustre l'erreur absolue  $|I_{GSS_{th}} - I_{GSS_{est}}|$  en fonction du courant de fuite théorique  $I_{GSS_{th}}$ . La résolution en courant théorique  $\Delta I_{GSS}$  est donnée en trait plein.

Dans la zone d'utilisation  $I_{GSS} < 0$ , le démonstrateur maintient une résolution relativement constante d'environ 12 nA quel que soit le rapport cyclique  $\alpha_0 < 20\%$ . Dans la zone  $I_{GSS} > 0$ , le démonstrateur garde sa résolution de 12 nA sur une plage de 800 nA pour  $\alpha_0 \geq 75\%$ . On remarque cependant qu'au fur et à mesure que  $\alpha_0$  se rapproche des 20%, le démonstrateur maintient sa résolution constante sur une plage de plus en plus restreinte jusqu'à seulement 50 nA dans le cas  $\alpha_0 = 25\%$ .

Quand la valeur absolue de  $I_{GSS_{mean,th}}$  augmente, le démonstrateur montre de nouveau une erreur relative. Dans la zone  $I_{GSS} < 0$ , la valeur de l'erreur relative augmente avec

le rapport cyclique de 3.6 % pour  $\alpha_0 = 5\%$  jusqu'à 26 % pour  $\alpha_0 = 15\%$ . Au contraire, dans la zone  $I_{GSS} > 0$ , la valeur de l'erreur diminue avec le rapport cyclique de 7 % pour  $\alpha_0 = 25\%$  jusqu'à 0.8 % pour  $\alpha_0 = 90\%$ .

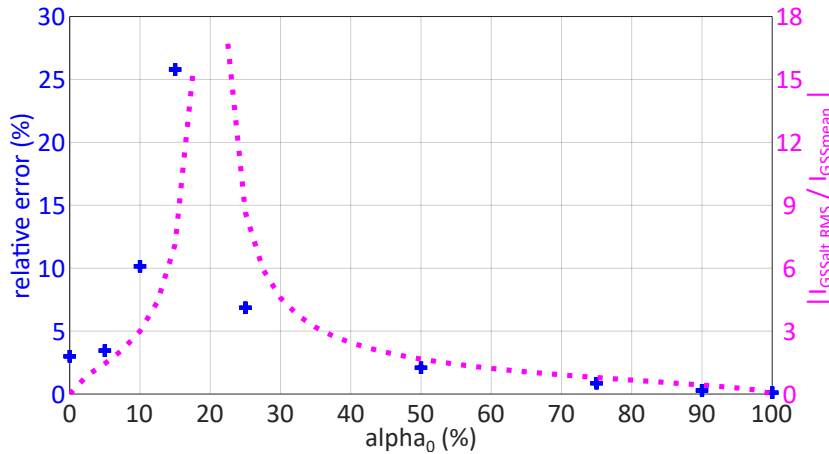


**Fig. 6.25** : Erreur absolue du circuit d'estimation en régime hacheur

À partir des résultats de la figure 6.25, on s'aperçoit que l'erreur relative commise par le circuit d'estimation croît quand  $\alpha_0$  se rapproche de 20 %. Cette relative est principalement due aux oscillations de tension du potentiel  $V_G$ . On cherche à quantifier l'impact des ondulations de tension sur l'estimation du courant de fuite. On assimile l'ondulation de tension du potentiel  $V_G$  à la composante alternative  $i_{GSS,alt}(t)$  du courant  $i_{GSS}(t)$  responsable des oscillations. La pente moyenne du potentiel  $V_G$  pendant sa dérive sera assimiler à la composante continue  $I_{GSS,mean}$  du courant  $i_{GSS}(t)$ . Afin de quantifier l'ondulation du courant  $i_{GSS,alt}(t)$ , on utilise sa valeur efficace (Root Mean Square (RMS)). Dans le cas d'une modulation constante  $\alpha_0$ , la valeur RMS du courant  $I_{GSS,alt,RMS}$  est donnée à l'équation (6.12).

$$I_{GSS,alt,RMS} = \frac{1}{R_{GSS}} \cdot \sqrt{\alpha_0 \cdot (1 - \alpha_0) \cdot (V_{GS_{ON}} - V_{GS_{OFF}})^2} \quad (6.12)$$

La figure 6.26 compare l'évolution de l'erreur relative commise par le circuit d'estimation en croix bleues avec le rapport  $|I_{GSS,alt,RMS}/I_{GSS,mean}|$  en trait pointillé violet. On peut alors voir qu'au fur et à mesure que  $\alpha_0$  se rapproche de 20 %, la valeur moyenne  $I_{GSS,mean}$  tend vers 0 A quel que soit la valeur de  $R_{GSS}$ . Si  $\alpha_0 = 20\%$ , le potentiel  $V_G$  ne varie plus. La valeur  $I_{GSS,alt,RMS}$ , responsable des ondulations de tension visibles sur le signal en bleu à la figure 6.21 ne devient nulle que pour  $\alpha_0 = 0\%$  ou  $\alpha_0 = 100\%$ . Les ondulations de courants autour de sa valeur moyenne (ratio  $|I_{GSS,alt,RMS}/I_{GSS,mean}|$ ) sont donc plus importantes quand  $\alpha_0$  tend vers 20 %. Ces ondulations de tension traduisent une plus forte incertitude sur la mesure du temps de dérive et donc du courant estimé.



**Fig. 6.26 :** (à gauche) Évolution de la valeur de l'erreur relative du circuit d'estimation de  $I_{GSS}$  en fonction du rapport cyclique  $\alpha_0$ , (à droite)  $|I_{GSS_{alt,RMS}} / I_{GSS_{mean}}|$  vs  $\alpha_0$

Pour les faibles valeurs de  $I_{GSS_{mean}}$  (fortes valeurs de  $R_{GSS}$ ), l'ondulation de tension générée par  $i_{GSS_{alt}}(t)$  reste négligeable devant la variation de tension totale de  $V_G$   $\Delta V = 0.5V$ . Le circuit n'est pas impacté et maintient une erreur constante. La plage de courant non impacté par l'ondulation de courant dépend de la valeur de  $R_{GSS}$ . D'après l'équation (6.11), la valeur du courant émulé  $I_{GSS_{mean,th}}$  dépend du rapport cyclique et de  $R_{GSS}$ . Ainsi, à valeurs de  $R_{GSS}$  égales, la valeur du courant émulé sera plus faible pour  $\alpha_0 = 25\%$  que  $\alpha_0 = 90\%$ . Le circuit d'estimation fait donc apparaître une erreur relative plus tôt quand  $\alpha_0$  décroît.

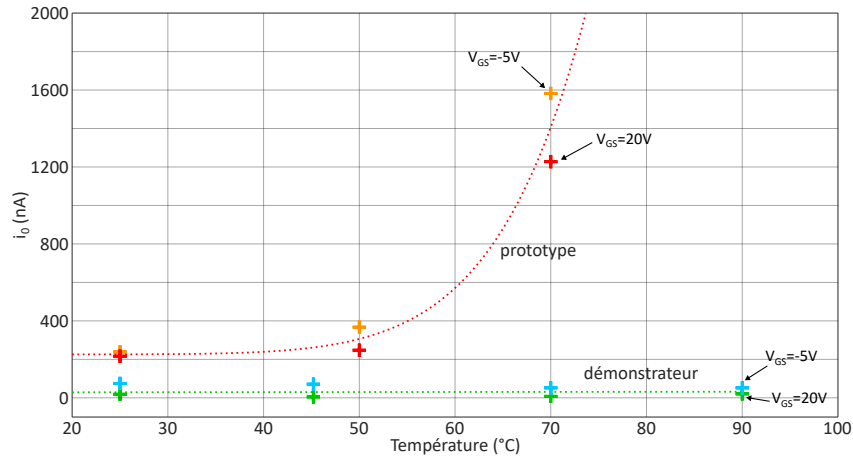
Au contraire, quand  $I_{GSS_{mean}}$  augmente (faibles valeurs de  $R_{GSS}$ ), l'ondulation de tension devient non négligeable devant  $\Delta V$ . La valeur de l'erreur commise étant proportionnelle au ratio  $|I_{GSS_{alt,RMS}} / I_{GSS_{mean}}|$ , elle ne dépend pas de la valeur de  $R_{GSS}$ . La valeur de l'erreur relative reste constante pour chaque  $\alpha_0$ .

#### IV.1.6 Influence de la température

Le point faible du circuit d'estimation est la forte dépendance de son courant de fuite  $i_0$  à la température comme indiqué au chapitre 4. Afin de palier ce problème, le démonstrateur est équipé de condensateurs PMLCAP censés assurer une meilleure stabilité des paramètres en température par rapport aux condensateurs X5R du circuit prototype. Pour confirmer ces hypothèses, le démonstrateur et le circuit prototype sont calibrés pour différentes températures. Les résistances de calibration sont placées en dehors de l'enceinte calorifugée afin de garantir leurs valeurs pour toutes les températures.

La figure 6.27 compare les courants de fuite  $i_0$  des circuits pour  $V_{GS} = -5V$  et  $V_{GS} = 20V$ . Comparé au prototype, le démonstrateur montre une dépendance du courant de fuite quasiment nulle vis-à-vis de la température. La seule différence entre ces circuits étant la technologie des condensateurs, ces résultats confirment l'hypothèse du chapitre 4

section IV.1 : "La source principale du courant  $i_0$  est le pont capacitif".



**Fig. 6.27** : Courant de fuite du circuit d'estimation  $i_0$  en fonction de la température

#### IV.1.7 Conclusion sur la caractérisation

Le circuit du démonstrateur profite de plusieurs modifications afin d'améliorer ses performances : les condensateurs PMLCAP pour améliorer la stabilité des paramètres du circuit en tension et en température, et la mise en place de la résistance de polarisation entre le potentiel  $V_G$  et la référence driver 0V driver qui permet les estimations avec un signal MLI quelconque ( $\alpha_0 \in [0\%, 100\%]$ ) dans un environnement de puissance.

Au vu des résultats de la caractérisation, le démonstrateur présente des performances largement supérieures au prototype sur une large plage de température (jusqu'à 90 °C). Le circuit présente cependant une erreur relative qui dépend du rapport cyclique  $\alpha_0$  sur une plage de courant qui dépend de la valeur de la résistance  $R_{GSS}$  choisie. Un début d'explication a été proposé afin d'expliquer ce phénomène.

Un autre gain de la technologie PMLCAP est la diminution du courant de fuite des condensateurs eux-mêmes. Ces résultats remettent en question la proposition du chapitre 4 de déséquilibrer le pont capacitif comme illustré à la figure 4.14. Elle devait permettre de diminuer le courant de fuite global du pont vu du potentiel  $V_G$  et donc diminuer le courant de fuite  $i_0$  de l'estimateur. Elle avait cependant l'inconvénient de sur-solliciter le condensateur polarisé sous 20 V ( $C_2$ ) qui devait fournir quatre fois plus de courant impulsionnel que les quatre condensateurs ( $C_{11}$  à  $C_{14}$ ) polarisés sous 5 V. Au vu du faible courant de fuite restant, les inconvénients surpassent le potentiel gain, la proposition ne sera pas appliquée dans la suite.



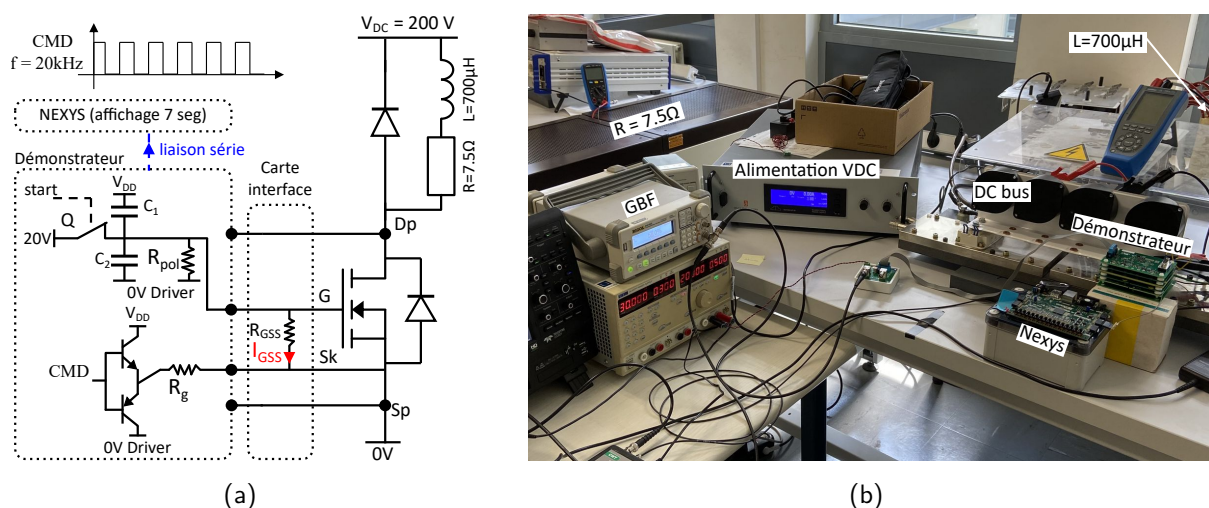
## IV.2 Essais et validation sur module de puissance

Une fois le circuit caractérisé à vide, on propose de vérifier les performances du démonstrateur en fonctionnement normal sur module réel. Le test a pour objectif de quantifier l'impact de l'environnement de puissance et des forts courants impulsionnels appelés par la grille du module de puissance sur les performances du circuit.

### IV.2.1 Montage expérimental

Le démonstrateur est testé sur un module SiC CAS300M12BM2. On choisit un montage hacheur série sur charge inductive ( $L = 700 \mu\text{H}$ ) comme illustré sur la figure 6.28. Le test est effectué sous une tension continue  $V_{\text{DC}} = 200 \text{ V}$ . Un GBF génère un signal de commande à rapport cyclique fixe de  $F_{\text{SW}} = 20 \text{ kHz}$ . Le circuit est testé pour certains rapports cycliques de la caractérisation  $\alpha_0 = 10 \%$ ,  $25 \%$ ,  $50 \%$ ,  $75 \%$ . Deux plans de charges en série d'une valeur  $R = 7.5 \Omega$  limitent le courant moyen autour de  $20 \text{ A}$  dans le cas  $\alpha_0 = 75 \%$  (le courant max de l'alimentation  $V_{\text{DC}}$  vaut  $30 \text{ A}$ ). La valeur du compteur  $T_{\text{L}}$  est récupérée par liaison série sur une carte Nexys en temps réel et affichée sur l'afficheur 7 segments.

On vient émuler le courant de fuite  $I_{\text{GSS}}$  à l'aide de résistances  $R_{\text{GSS}}$  placées entre la grille et la source kelvin du module. À des fins de comparaison, on utilise les mêmes résistances que pour la caractérisation. On effectue à nouveau trois mesures par résistances pour vérifier la répétabilité des mesures.

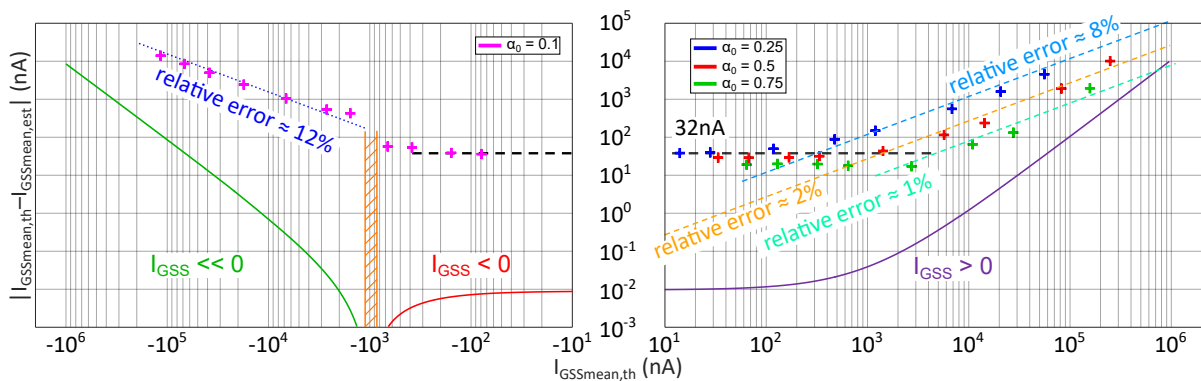


**Fig. 6.28** : Montage expérimental pour les essais en mode hacheur (a) schéma de câblage (b) photo du montage

### IV.2.2 Analyse des résultats

Le tableau 7.6 en annexe rassemble les résultats pertinents des essais en mode hacheur. Pour chaque courant de fuite équivalent, l'écart type des trois mesures  $\Gamma_{L_{std}}$  est donné afin de quantifier la répétabilité des estimations. Par rapport aux tests en régime dynamique, la dispersion des mesures reste identique en mode hacheur et n'est pas affecté par le rapport cyclique. On en déduit que le circuit est robuste vis-à-vis de l'environnement de puissance.

La figure 6.29 illustre l'erreur absolue  $|I_{GSS_{th}} - I_{GSS_{est}}|$  en fonction du courant de fuite théorique  $I_{GSS_{th}}$ . La résolution en courant théorique  $\Delta I_{GSS}$  est donnée en trait plein. L'erreur minimale augmente pour atteindre environ 32 nA. Quand le courant  $I_{GSS_{th}}$  augmente, on observe de nouveau une erreur relative qui croît quand  $\alpha_0$  se rapproche de 20%. On remarque cependant que le circuit maintient son erreur constante sur une plus large plage de courant d'environ 2.1  $\mu$ A contre 800 nA lors de la caractérisation. La plage descend à environ 300 nA quand  $\alpha_0 = 25\%$  contre 50 nA.



**Fig. 6.29** : Erreur absolue du circuit d'estimation en mode hacheur

Par rapport aux résultats obtenus lors de la caractérisation, on peut conclure que l'impact de l'environnement de puissance et des forts courants impulsionnels appelés par la grille du module de puissance s'observe principalement sur l'erreur minimale du circuit et peu sur l'erreur relative.

### IV.3 Conclusion sur l'estimation de $I_{GSS}$

Au cours de cette étude, le démonstrateur a été caractérisé et comparé au prototype du chapitre 4. Les modifications apportées ont montré une amélioration notable des performances du circuit d'estimation.

Devant être intégré sur le source driver, lui-même au plus près des semi-conducteurs de puissance dans l'IPM, une étude sur sa tenue en température a permis de valider sa fiabilité à forte température.

Pour finir, le démonstrateur est testé en mode hacheur un module de puissance SiC sous une tension continue  $V_{BUS} = 200\text{ V}$  pour différents rapports cycliques. Le circuit ayant pour finalité une intégration sur le module AM-PM, il devra être testé sur des modules de puissance SiC 1.7 kV et 3.3 kV pour différentes tensions continues jusqu'à 2.5 kV afin de valider complètement son cahier des charges.

## V Conclusion

Les travaux de thèse au sein du projet AM-PM ont mené au développement d'un démonstrateur comme livrable de projet. Il intègre de nombreuses fonctionnalités telles qu'une nouvelle topologie de commande par la source des composants de puissance, un circuit de régulation pilotable ou des circuits de surveillances d'indicateurs de vieillissement du composant de puissance (mesure de  $V_{DS_{ON}}$ / estimation de  $I_{GSS}$ ). Ces derniers profitent de diverses améliorations par rapport aux versions prototypes.

Des essais à vide ont permis de valider le circuit de régulation pilotable. Ce circuit assure le contrôle de la tension  $V_{GS}$  aux bornes du composant de puissance lors de la mise sous tension du démonstrateur. Des essais à forte puissance ont été réalisés pour valider le comportement du démonstrateur sous environnement de puissance. Des essais de type double pulses sous 300 V/300 A ont permis de démontrer des formes d'ondes conformes aux données fournies par le fabricant du module SiC piloté. Pour finir, les circuits de surveillances avec leurs améliorations sont caractérisés, comparés à leurs versions prototypes puis testés en conditions réelles sur module SiC.

# CONCLUSION GÉNÉRALE ET PERSPECTIVES

---

L'aéronautique, comme le naval militaire, tendent à hybrider, partiellement ou totalement, la propulsion et à électrifier de plus en plus de fonctions à bord des aéronefs, des bâtiments de surface et des sous-marins. Ceci entraîne une augmentation des puissances électriques embarquées jusqu'à des niveaux dépassant le MW induisant de nouvelles contraintes sur les réseaux et systèmes électroniques. Pour répondre à ces nouvelles contraintes, une augmentation de la tension du réseau de bord HVDC est attendue. Pour atteindre ces objectifs, l'utilisation des composants grand gap et notamment des nouveaux composants à semi-conducteurs de puissance SiC en calibre 3.3kV dans les convertisseurs présente alors un réel avantage en termes de densité de puissance. Cependant, leur faible maturité par rapport à la technologie Si est le principal frein à leur implémentation dans les réseaux de bords.

Le projet RAPID AM-PM se positionne afin de concevoir et fabriquer un module de puissance bras d'onduleur 3,3kV/500A en technologie "full SiC" adapté aux contraintes environnementales aéronautiques et marines. Afin de tirer le plein potentiel de cette nouvelle technologie, l'Intelligent Power Module (IPM) AM-PM intègre un ensemble de solutions optimisées autour du composant de puissance telles qu'un circuit de commande intelligent, des capteurs associés ou un refroidisseur intégré, tout en apportant une rupture technologique sur le packaging de puissance (assemblage, refroidisseur, connectiques). A l'intérieur du projet, les travaux de thèse se sont focalisés sur le développement du smart driver devant assurer la bonne commande du module de puissance ainsi que le suivi de son état de santé.

## Conclusion et contributions

Dans une optique de maintenance conditionnelle pour le suivi en temps réel de l'état de santé du module de puissance et de ses composants, le suivi de deux indicateurs de vieillissement, la résistance à l'état passant  $R_{DS_{ON}}$  et le courant de fuite de grille  $I_{GSS}$ , a été proposé. Afin de rendre compatible les circuits de suivi de ces deux indicateurs, une nouvelle topologie de commande par la source pour les composants de puissance a été introduite. Pour finir, les travaux de thèse au sein du projet AM-PM ont mené au

---

développement d'un démonstrateur comme livrable de projet.

## Topologie source driver

En premier lieu, un circuit de commande par la source est proposé. Ce nouveau circuit rend compatible le circuit d'estimation du courant de fuite de grille des composants MOSFETs SiC avec les circuits basés sur des diodes DESAT (détection du court-circuit, mesure de la tension à l'état passant). Un prototype de source driver issu d'un gate driver est testé en essai double pulse sous une tension  $V_{DC} = 500\text{ V}$ . Le protocole de test a permis de vérifier la capacité de la nouvelle topologie à piloter des modules à composants semi-conducteur de puissance.

## Mesure de la résistance à l'état passant $R_{DS_{ON}}$

$R_{DS_{ON}}$  est choisi comme indicateur de vieillissement pertinent à la fois pour la puce semi-conductrice de puissance et ses fils de liaison. La valeur de  $R_{DS_{ON}}$  se déduit de deux valeurs : la tension à l'état passant  $V_{DS_{ON}}$  et le courant traversant le semi-conducteur à l'état passant  $I_{DS_{ON}}$ . Au sein du projet AM-PM, le laboratoire LGP a développé un capteur intégré au module de type rogowski pour l'acquisition du courant  $I_{DS_{ON}}$ . Les travaux de thèses se sont donc axés sur l'acquisition de la tension  $V_{DS_{ON}}$  grâce à sa simplicité d'implémentation en milieu gate driver.

Le circuit proposé bloque les oscillations de tension aux bornes des fils de liaison lors des commutations des semi-conducteurs de puissance. Il est alors possible de surveiller une potentielle défaillance sur la connectique de source du module de puissance. Dans sa version finale, le circuit permet l'acquisition de la valeur  $V_{DS_{ON}}$   $7\mu\text{s}$  après amorçage. Devant être intégré sur le source driver, lui-même au plus près des semi-conducteurs de puissance dans l'IPM, le circuit a été caractérisé sur une large plage de température jusqu'à  $90\text{ }^\circ\text{C}$ . Les résultats obtenus montrent une bonne stabilité de ses performances sur toute la plage de température.

Au cours de cette étude, le circuit proposé a été caractérisé puis testé sur un module de puissance SiC  $1.2\text{ kV}/300\text{ A}$  sous une tension continue  $V_{BUS} = 500\text{ V}$  pour différentes températures de semelle.

## Estimation du courant de fuite de grille $I_{GSS}$

Une étude de la technologie MOSFET SiC a mis en lumière le problème de fiabilité de son oxyde de grille. Le paramètre  $I_{GSS}$  est choisi comme grandeur électrique sensible à la dégradation des MOSFETs SiC et de leur oxyde. L'état de l'art a permis de classer les

---

composants MOSFETs en fonction de leur courant de fuite  $I_{GSS}$  :

$I_{GSS} < 1 \mu A \Rightarrow$  sain,  $I_{GSS} \in [1 \mu A, 1 mA[ \Rightarrow$  détérioré et  $I_{GSS} > 1 mA \Rightarrow$  critique.

Le circuit d'estimation proposé se base sur les travaux antérieurs du laboratoire IETR. Contrairement au circuit de l'état de l'art, on vient quantifier les variations induites par le courant  $I_{GSS}$  autour d'un courant de polarisation  $i_{pol}$  afin d'estimer  $I_{GSS}$ . Cette modification améliore ainsi la précision et les performances du circuit. Le circuit permet d'identifier des courants à partir de 16 nA (contre 30 nA) avec une précision de mesure de 1 % en fonctionnement (contre 20 %). Couplé à une nouvelle technologie de condensateurs, les Polymer Multi-Layer CAPacitor (PMLCAP), le circuit devient indépendant de la température, principale contrainte du circuit.

## Démonstrateur

Pour finir, un démonstrateur source driver a été conçu dans le but de piloter l'évaluateur technologique du projet AM-PM (module bras d'onduleur 3.3 kV/500 A). Il intègre de nombreuses fonctionnalités telles qu'une nouvelle topologie de commande par la source des composants de puissance, un circuit de régulation pilotable ou des circuits de surveillances d'indicateurs de vieillissement du composant de puissance (mesure de  $V_{DS_{ON}}$  / estimation de  $I_{GSS}$ ). Les contraintes normatives liées au module ont imposé un nouveau design des transformateurs d'alimentations et d'impulsions du driver. Une solution basée sur un driver multi-cartes disposées en strates permet de respecter les contraintes dimensionnelles liées à son intégration dans le boîtier de puissance Linpack.

## Perspectives

Il est cependant bon de noter que ce driver multi-cartes en strates présente des avantages et des inconvénients. Les cartes étant physiquement séparées les unes des autres, il est plus facile et moins coûteux de changer des morceaux du driver en cas de panne ou de mise à niveau du hardware au lieu de changer le driver complet. Néanmoins, cette modularité se paye avec un driver plus volumineux dû aux connexions inter cartes. De plus, le coût total d'un driver en strates est plus important que celui d'un driver à quantité de composants et surface de PCB constant, le fabricant devant re-programmer la machine pour chaque carte (primaire, middle, secondaire, etc.).

Initialement conçu pour piloter le module AM-PM 3.3 kV/500 A, le driver n'a pu être testé que sur module SiC 1.2 kV/300 A jusqu'à 300 V. Différents essais devront encore être faits sur modules 1.7 kV et 3.3 kV sous des tensions de fonctionnement allant jusqu'à 2.5 kV afin de valider pleinement le démonstrateur.



# BIBLIOGRAPHIE

---

- [1] « Key World Energy Statistics 2021 », rapp. tech., 2021, Accessed 26 Jan 2023, License : CC BY 4.0. adresse : <https://www.iea.org/reports/key-world-energy-statistics-2021>.
- [2] « Global Energy Review 2021 », rapp. tech., 2021, Accessed 26 Jan 2023, License : CC BY 4.0. adresse : <https://www.iea.org/reports/global-energy-review-2021>.
- [3] « World Energy Investment 2021 », rapp. tech., 2021, Accessed 26 Jan 2023, License : CC BY 4.0. adresse : <https://www.iea.org/reports/world-energy-investment-2021>.
- [4] « World Energy Outlook 2019 », rapp. tech., 2019, Accessed 26 Jan 2023, License : CC BY 4.0. adresse : <https://www.iea.org/reports/world-energy-outlook-2019>.
- [5] « Prix de l'Électricité : 100 astuces pour faire sa centrale nucléaire chez soi », *Gorafi Magazine*, 2157, fév. 2023.
- [6] *Le nucléaire en chiffres*, Accessed : 22 Feb 2023, EDF. adresse : <https://www.edf.fr/groupe-edf/espaces-dedies/l-energie-de-a-a-z/tout-sur-l-energie/produire-de-l-electricite/le-nucleaire-en-chiffres>.
- [7] « Improving Motor and Drive System Performance – A Sourcebook for Industry », rapp. tech., fév. 2014, Accessed 26 Jan 2023. DOI : DOE/GO-102014-43566794. adresse : <https://www.osti.gov/biblio/1220836>.
- [8] « World Energy Outlook 2016 », rapp. tech., 2016, Accessed 26 Jan 2023, License : CC BY 4.0. adresse : <https://www.iea.org/reports/world-energy-outlook-2016>.
- [9] « IEC 60034-30-1 standard on efficiency classes for low voltage AC motors », rapp. tech., 2018.
- [10] Accessed 26 Jan 2023, International Electrotechnical Commission (IEC). adresse : <https://www.iec.ch/government-regulators/electric-motors>.
- [11] R. PRAKASH, P. SHEAFFER, Y. CHEN, U. KARKI et P. FITZGERALD, « U.S. Industrial and Commercial Motor System Market Assessment Report Volume 3 : Energy Saving Opportunity », rapp. tech., juill. 2022, Accessed 26 Jan 2023. DOI : 10.20357/B7WP4F. adresse : <https://escholarship.org/uc/item/16x3d348>.
- [12] B. ALLARD, « Électronique de puissance – Bases, perspectives, guide de lecture », *Techniques de l'ingénieur Conversion de l'énergie électrique*, 2016. DOI : 10.51257/a-v2-d3060.
- [13] B. DRURY, *The control techniques drives and controls handbook* (Energy Engineering), en, 2<sup>e</sup> éd. Stevenage, England : Institution of Engineering et Technology, juill. 2011.



- 
- [14] N. GINOT, C. BATARD et P. LAHAYE, « MOSFET et IGBT : circuits de commande, sécurisation et protection du composant à semi-conducteur », *Techniques de l'ingénieur Conversion de l'énergie électrique*, t. base documentaire : TIP301WEB. ref. article : d3234, 2017. DOI : 10.51257/a-v1-d3234.
- [15] S. LEFEBVRE et B. MULTON, « MOSFET et IGBT : circuits de commande », *Techniques de l'ingénieur Conversion de l'énergie électrique*, t. base documentaire : TIP301WEB. ref. article : d3233, 2003. DOI : 10.51257/a-v1-d3233.
- [16] « Using MOSFETs in Load Switch Applications », rapp. tech. Volume 38-02, fév. 2014.
- [17] J. MILLÁN, P. GODIGNON, X. PERPIÑÀ, A. PÉREZ-TOMÁS et J. REBOLLO, « A Survey of Wide Bandgap Power Semiconductor Devices », *IEEE Transactions on Power Electronics*, t. 29, 5, p. 2155-2163, 2014. DOI : 10.1109/TPEL.2013.2268900.
- [18] A. BOGDANOV, O. KRIEVS et J. PFORR, « Wide Bandgap SiC and GaN Semiconductor Performance Evaluation in a 3-Phase 3-Level NPC Inverter for Transportation Application », in *2022 IEEE 63th International Scientific Conference on Power and Electrical Engineering of Riga Technical University (RTUCON)*, 2022, p. 1-7. DOI : 10.1109/RTUCON56726.2022.9978767.
- [19] X. SHE, A. Q. HUANG, Ó. LUCÍA et B. OZPINECI, « Review of Silicon Carbide Power Devices and Their Applications », *IEEE Transactions on Industrial Electronics*, t. 64, 10, p. 8193-8205, 2017. DOI : 10.1109/TIE.2017.2652401.
- [20] G. IANNACCONE, C. SBRANA, I. MORELLI et S. STRANGIO, « Power Electronics Based on Wide-Bandgap Semiconductors : Opportunities and Challenges », *IEEE Access*, t. 9, p. 139 446-139 456, 2021. DOI : 10.1109/ACCESS.2021.3118897.
- [21] S. J. BADER, H. LEE, R. CHAUDHURI et al., « Prospects for Wide Bandgap and Ultrawide Bandgap CMOS Devices », *IEEE Transactions on Electron Devices*, t. 67, 10, p. 4010-4020, 2020. DOI : 10.1109/TED.2020.3010471.
- [22] T. T. PHAM, J. PERNOT, C. MASANTE et al., « 200V, 4MV/cm lateral diamond MOSFET », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 25.4.1-25.4.4. DOI : 10.1109/IEDM.2017.8268458.
- [23] X. ZHU, S. SHAO, Y. CHANG et al., « -400 mA mm<sup>-1</sup> Drain Current Density Normally-Off Polycrystalline Diamond MOSFETs », *IEEE Electron Device Letters*, t. 43, 5, p. 789-792, 2022. DOI : 10.1109/LED.2022.3160354.
- [24] T.-T. PHAM, J. PERNOT, G. PEREZ, D. EON, E. GHEERAERT et N. ROUGER, « Deep-Depletion Mode Boron-Doped Monocrystalline Diamond Metal Oxide Semiconductor Field Effect Transistor », *IEEE Electron Device Letters*, t. 38, 11, p. 1571-1574, 2017. DOI : 10.1109/LED.2017.2755718.

- 
- [25] F. ROCCAFORTE, G. GRECO, P. FIORENZA et F. IUCOLANO, « An Overview of Normally-Off GaN-Based High Electron Mobility Transistors », *Materials*, t. 12, 10, 2019, ISSN : 1996-1944. DOI : 10.3390/ma12101599.
- [26] « Status of the Power Module Packaging Industry 2021 », rapp. tech., nov. 2021, Accessed 03 Feb 2023. adresse : <https://www.yolegroup.com/product/report/status-of-the-power-module-packaging-industry-2021/>.
- [27] H. Y. LONG, M. R. SWEET, E. M. S. NARAYANAN et G. LI, « Reliability study and modelling of IGBT press-pack power modules », in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, p. 2711-2717. DOI : 10.1109/APEC.2017.7931082.
- [28] Y. CHANG, H. LUO, F. IANNUZZO et al., « Compact Sandwiched Press-Pack SiC Power Module With Low Stray Inductance and Balanced Thermal Stress », *IEEE Transactions on Power Electronics*, t. 35, 3, p. 2237-2241, 2020. DOI : 10.1109/TPEL.2019.2934709.
- [29] C. CHEN, F. LUO et Y. KANG, « A review of SiC power module packaging : Layout, material system and integration », *CPSS Transactions on Power Electronics and Applications*, t. 2, 3, p. 170-186, 2017. DOI : 10.24295/CPSSPEA.2017.00017.
- [30] H. GAO et P. LIU, « High-Temperature Encapsulation Materials for Power Modules : Technology and Future Development Trends », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, t. 12, 11, p. 1867-1881, 2022. DOI : 10.1109/TCPMT.2022.3225960.
- [31] *XM3 Half-Bridge Power Module Family*, Accessed 03 Feb 2023, Wolfspeed. adresse : <https://www.wolfspeed.com/xm3-power-module-family/#overview>.
- [32] M. ADAMOWICZ, S. GIZIEWSKI, J. PIETRYKA et Z. KRZEMINSKI, « Performance comparison of SiC Schottky diodes and silicon ultra fast recovery diodes », in *2011 7th International Conference-Workshop Compatibility and Power Electronics (CPE)*, 2011, p. 144-149. DOI : 10.1109/CPE.2011.5942222.
- [33] P. RANSTAD et H.-P. NEE, « On Dynamic Effects Influencing IGBT Losses in Soft-Switching Converters », *IEEE Transactions on Power Electronics*, t. 26, 1, p. 260-271, 2011. DOI : 10.1109/TPEL.2010.2055581.
- [34] M. FRISCH et T. ERNÖ, « Power module with additional low inductive current path », in *2010 6th International Conference on Integrated Power Electronics Systems*, 2010, p. 1-6.
- [35] J.-L. SCHANEN, T. DE OLIVEIRA, J.-M. GUICHON et S. MANDRAY, « Active reduction of common mode current in power modules », in *2010 6th International Conference on Integrated Power Electronics Systems*, 2010, p. 1-5.

- 
- [36] V. CRISAFULLI et M. ANTRETTTER, « Kelvin Source connection for High Current IGBTs. A way to get high energy efficiency », in *Proceedings of PCIM Europe 2015 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, p. 1-7.
- [37] « Status of the Power Module Packaging Industry 2023 », rapp. tech., jan. 2023, Accessed 03 Feb 2023. adresse : <https://www.yolegroup.com/product/report/status-of-the-power-module-packaging-industry-2023/>.
- [38] H. LEE, V. SMET et R. TUMMALA, « A Review of SiC Power Module Packaging Technologies : Challenges, Advances, and Emerging Issues », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, t. 8, 1, p. 239-255, 2020. DOI : 10.1109/JESTPE.2019.2951801.
- [39] *CXT-PLA3SA12550A, SiC MOSFET Intelligent Power Module 1200V/550A, 3-Phase, Pin Fin Baseplate*, Accessed 03 Feb 2023, Cissoid, Silicon Mobility. adresse : <https://www.cissoid.com/high-temperature-electronics/transistors-diodes/cmt-series-55c-to-175c-sic-igbt-power-devices/cxt-pla3sa12550a-3-phase-1200v-550a-sic-mosfet-intelligent-power-module/>.
- [40] *SiC Inverter Platform*, Accessed 03 Feb 2023, Cissoid, Advanced Conversion Inc, Nac Semi. adresse : <https://www.cissoid.com/sic-power-modules/>.
- [41] S. JI, Z. ZHANG et F. WANG, « Overview of high voltage sic power semiconductor devices : development and application », *CES Transactions on Electrical Machines and Systems*, t. 1, 3, p. 254-264, 2017. DOI : 10.23919/TEMS.2017.8086104.
- [42] M. MÄRZ, A. SCHLETZ, B. ECKARDT, S. EGELKRAUT et H. RAUH, « Power electronics system integration for electric and hybrid vehicles », in *2010 6th International Conference on Integrated Power Electronics Systems*, 2010, p. 1-10.
- [43] M. THOBEN, K. MAINKA, R. BAYERER, I. GRAF et M. MÜNZER, « From vehicle drive cycle to reliability testing of Power Modules for hybrid vehicle inverter », mai 2008.
- [44] A. CHRISTMANN, « Facing high thermal loads on Power Modules in Hybrid Electrical Vehicles », mai 2010.
- [45] « Status of the Power Electronics Industry 2018 », rapp. tech., août 2018.
- [46] « MOSFET Gate Drive Circuit Application note », rapp. tech., juill. 2018.
- [47] P. B. GREEN et L. ZHENG, « Gate drive for power MOSFETs in switching applications, A guide to device characteristics and gate drive techniques », rapp. tech., avr. 2022. DOI : AN2203PL182204004502.
- [48] P. B. GREEN et L. ZHENG, « Fundamentals of MOSFET and IGBT Gate Driver Circuits », rapp. tech., août 2018, Application Report SLUA618A.

- 
- [49] C. BOUGUET, « Développement d'un driver communicant pour MOSFET SiC », thèse de doct., UNIVERSITE DE NANTES, août 2017. adresse : [https://hal.science/tel-01617987/file/UN\\_THESE\\_BOUGUET%28IETR%29.pdf](https://hal.science/tel-01617987/file/UN_THESE_BOUGUET%28IETR%29.pdf).
- [50] J. WECKBRODT, N. GINOT, C. BATARD et S. AZZOPARDI, « Short Pulse Transmission for SiC Communicating Gate Driver Under High  $Dv/Dt$  », p. 1-6, 2018.
- [51] T. KUGELSTADT, « Designing with digital isolators », *Analog Applications Journal, Texas Instrument, 2Q*, p. 21-32, 2009.
- [52] D. VARAJAO et C. MENDITTI MATRISCIANO, « Isolated gate driving solutions », *Infineon Technologies AG Application note*, t. 1.0, p. 1-21, DOI : AN1909PL521910201256.
- [53] A. KAMATH, « Push-pull converter simplifies isolated power supply design in HEV/EV systems », rapp. tech., 2020. DOI : SLYT790B.
- [54] X. HUANG, S. JI, C. NIE et al., « Comprehensive Analysis and Improvement Methods of Noise Immunity of Desat Protection for High Voltage SiC MOSFETs With High  $DV/DT$  », *IEEE Open Journal of Power Electronics*, t. 3, p. 36-50, 2022. DOI : 10.1109/OJPEL.2021.3134498.
- [55] J. WECKBRODT, « Pilotage et surveillance de MOSFET SiC : intégration de fonctions intelligentes dans les gate drivers », Theses, UNIVERSITE DE NANTES, sept. 2020.
- [56] V. THAYUMANASAMY, C. FUENTES, K. LENZ, I. RABL et J. ENGSTLER, « Short Circuit Protection of a Power Module with Trench-SiC-MOSFET. Can DESAT be Fast Enough? », in *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, p. 1-6. DOI : 10.30420/565822111.
- [57] J. HENN, C. LÜDECKE, M. LAUMEN et al., « Intelligent Gate Drivers for Future Power Converters », *IEEE Transactions on Power Electronics*, t. 37, 3, p. 3484-3503, 2022. DOI : 10.1109/TPEL.2021.3112337.
- [58] J. CHEN et W. T. NG, « Design trends in smart gate driver ICs for power MOSFETs and IGBTs », in *2017 IEEE 12th International Conference on ASIC (ASICON)*, 2017, p. 112-115. DOI : 10.1109/ASICON.2017.8252424.
- [59] S. ZHAO, A. DEARIEN, Y. WU et al., « Adaptive Multi-Level Active Gate Drivers for SiC Power Devices », *IEEE Transactions on Power Electronics*, t. 35, 2, p. 1882-1898, 2020. DOI : 10.1109/TPEL.2019.2922112.
- [60] A. P. CAMACHO, V. SALA, H. GHORBANI et J. L. R. MARTINEZ, « A Novel Active Gate Driver for Improving SiC MOSFET Switching Trajectory », *IEEE Transactions on Industrial Electronics*, t. 64, 11, p. 9032-9042, 2017. DOI : 10.1109/TIE.2017.2719603.

- 
- [61] S. BEUSHAUSEN, A. H. WIENHAUSEN et R. W. de DONCKER, « GaN-Based Active Gate-Drive Unit for IGBTs in Medium-Voltage Applications », in *2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe)*, 2019, P.1-P.7. DOI : 10.23919/EPE.2019.8914945.
- [62] S. BEUSHAUSEN, F. HERZOG et R. W. DE DONCKER, « GaN-Based Active Gate-Drive Unit With Closed-Loop  $du/dt$ -Control for IGBTs in Medium-Voltage Applications », in *PCIM Europe digital days 2020 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020, p. 1-8.
- [63] C. LUDECKE, G. ENGELMANN, K. OBERDIECK, D. BUNDGEN et R. W. DE DONCKER, « Experimental comparison of voltage and current source gate drivers for IGBTs », in *2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*, 2017, p. 460-466. DOI : 10.1109/PEDS.2017.8289280.
- [64] K. OBERDIECK, C. LÜDECKE, G. ENGELMANN et R. W. DE DONCKER, « Boost stage for gate current injection during IGBT turn-on event », in *2017 IEEE Southern Power Electronics Conference (SPEC)*, 2017, p. 1-6. DOI : 10.1109/SPEC.2017.8333577.
- [65] Z. WANG, X. SHI, L. M. TOLBERT, F. WANG et B. J. BLALOCK, « A  $di/dt$  Feedback-Based Active Gate Driver for Smart Switching and Fast Overcurrent Protection of IGBT Modules », *IEEE Transactions on Power Electronics*, t. 29, 7, p. 3720-3732, 2014. DOI : 10.1109/TPEL.2013.2278794.
- [66] L. SHU, J. ZHANG, F. PENG et Z. CHEN, « Active Current Source IGBT Gate Drive With Closed-Loop  $di/dt$  and  $dv/dt$  Control », *IEEE Transactions on Power Electronics*, t. 32, 5, p. 3787-3796, 2017. DOI : 10.1109/TPEL.2016.2587340.
- [67] P. BAU, M. COUSINEAU, B. COUGO, F. RICARDEAU et N. ROUGER, « CMOS Active Gate Driver for Closed-Loop  $dv/dt$  Control of GaN Transistors », *IEEE Transactions on Power Electronics*, t. 35, 12, p. 13 322-13 332, 2020. DOI : 10.1109/TPEL.2020.2995531.
- [68] L. MICHEL, X. BOUCHER, A. CHERITI, P. SICARD et F. SIROIS, « FPGA Implementation of an Optimal IGBT Gate Driver Based on Posicast Control », *IEEE Transactions on Power Electronics*, t. 28, 5, p. 2569-2575, 2013. DOI : 10.1109/TPEL.2012.2207463.
- [69] M. BLANK, T. GLÜCK, A. KUGI et H.-P. KREUTER, « Slew rate control strategies for smart power ICs based on iterative learning control », in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, p. 2860-2866. DOI : 10.1109/APEC.2014.6803710.
- [70] J. GROEGER, B. WICHT et K. NORLING, « Dynamic stability of a closed-loop gate driver enabling digitally controlled slope shaping », in *2017 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2017, p. 61-64. DOI : 10.1109/PRIME.2017.7974107.

- 
- [71] Y. SUKHATME, V. K. MIRYALA, P. GANESAN et K. HATUA, « Digitally Controlled Gate Current Source-Based Active Gate Driver for Silicon Carbide MOSFETs », *IEEE Transactions on Industrial Electronics*, t. 67, 12, p. 10 121-10 133, 2020. DOI : 10.1109/TIE.2019.2958301.
- [72] B. J. BALIGA, « Chapter 5 - Chip Design, Protection, and Fabrication », in *The IGBT Device*, B. J. BALIGA, éd., Amsterdam : William Andrew Publishing, 2015, p. 147-174. DOI : <https://doi.org/10.1016/B978-1-4557-3143-5.00005-5>.
- [73] S. HAIN et M.-M. BAKRAN, « New Ultra Fast Short Circuit Detection Method Without Using the Desaturation Process of the Power Semiconductor », in *PCIM Europe 2016 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-8.
- [74] C. H. van der BROECK, R. D. LORENZ et R. W. DE DONCKER, « Monitoring 3-D Temperature Distributions and Device Losses in Power Electronic Modules », *IEEE Transactions on Power Electronics*, t. 34, 8, p. 7983-7995, 2019. DOI : 10.1109/TPEL.2018.2882402.
- [75] N. BAKER, M. LISERRE, L. DUPONT et Y. AVENAS, « Improved Reliability of Power Modules : A Review of Online Junction Temperature Measurement Methods », *IEEE Industrial Electronics Magazine*, t. 8, 3, p. 17-27, 2014. DOI : 10.1109/MIE.2014.2312427.
- [76] C. H. van der BROECK, T. A. POLOM, R. D. LORENZ et R. W. DE DONCKER, « Real-Time Monitoring of Thermal Response and Life-Time Varying Parameters in Power Modules », *IEEE Transactions on Industry Applications*, t. 56, 5, p. 5279-5291, 2020. DOI : 10.1109/TIA.2020.3001524.
- [77] Y. AVENAS, L. DUPONT, N. BAKER, H. ZARA et F. BARRUEL, « Condition Monitoring : A Decade of Proposed Techniques », *IEEE Industrial Electronics Magazine*, t. 9, 4, p. 22-36, 2015. DOI : 10.1109/MIE.2015.2481564.
- [78] T. A. POLOM, B. WANG et R. D. LORENZ, « Control of Junction Temperature and Its Rate of Change at Thermal Boundaries via Precise Loss Manipulation », *IEEE Transactions on Industry Applications*, t. 53, 5, p. 4796-4806, 2017. DOI : 10.1109/TIA.2017.2710038.
- [79] M. ANDRESEN, K. MA, G. BUTICCHI, J. FALCK, F. BLAABJERG et M. LISERRE, « Junction Temperature Control for More Reliable Power Electronics », *IEEE Transactions on Power Electronics*, t. 33, 1, p. 765-776, 2018. DOI : 10.1109/TPEL.2017.2665697.
- [80] D. MURDOCK, J. TORRES, J. CONNORS et R. LORENZ, « Active thermal control of power electronic modules », *IEEE Transactions on Industry Applications*, t. 42, 2, p. 552-558, 2006. DOI : 10.1109/TIA.2005.863905.

- 
- [81] A. ANURAG, S. ACHARYA, Y. PRABOWO, G. GOHIL et S. BHATTACHARYA, « Design Considerations and Development of an Innovative Gate Driver for Medium-Voltage Power Devices With High  $dv/dt$  », *IEEE Transactions on Power Electronics*, t. 34, 6, p. 5256-5267, 2019. DOI : 10.1109/TPEL.2018.2870084.
- [82] Z. WANG, Z. YUAN et Y. ZHAO, « A Gate-Driver Architecture with High Common-Mode Noise Immunity under Extremely High  $dv/dt$  », in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2021, p. 2532-2536. DOI : 10.1109/APEC42165.2021.9487312.
- [83] L. MAKKI, M. A. MANNAH, C. BATARD, N. GINOT et J. WECKBRODT, « Investigating the Shielding Effect of Pulse Transformer Operation in Isolated Gate Drivers for SiC MOSFETs », *Energies*, t. 14, 13, 2021, ISSN : 1996-1073. DOI : 10.3390/en14133866.
- [84] H. QIN, Y. DONG, K. XU et al., « A comprehensive study of the short-circuit characteristics of SiC MOSFETs », in *2017 12th IEEE Conference on Industrial Electronics and Applications (ICIEA)*, 2017, p. 332-336. DOI : 10.1109/ICIEA.2017.8282866.
- [85] J. SUN, H. XU, X. WU, S. YANG, Q. GUO et K. SHENG, « Short circuit capability and high temperature channel mobility of SiC MOSFETs », in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, p. 399-402. DOI : 10.23919/ISPSD.2017.7988988.
- [86] B. YU, X. GUO, X. BU et J. WU, « Research on the SiC MOSFETs Short Circuit Detection and Protection optimization Method », in *2020 IEEE Vehicle Power and Propulsion Conference (VPPC)*, 2020, p. 1-7. DOI : 10.1109/VPPC49601.2020.9330860.
- [87] J. LI, C. QIAN, Z. J. WANG et Y. KANG, « An Improved Desaturation Protection Method with Self-Adaptive Blanking-Time for Silicon Carbide (SiC) Power MOSFETs », in *2021 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)*, 2021, p. 510-515. DOI : 10.1109/WiPDAAsia51810.2021.9656002.
- [88] T. HORIGUCHI, S.-i. KINOCHI, Y. NAKAYAMA et H. AKAGI, « A fast short-circuit protection method using gate charge characteristics of SiC MOSFETs », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, p. 4759-4764. DOI : 10.1109/ECCE.2015.7310332.
- [89] Y. BARAZI, « Fast short-circuit protection for SiC MOSFETs in extreme short-circuit conditions by integrated functions in CMOS-ASIC technology », thèse de doct., Institut National Polytechnique de Toulouse, 2020.
- [90] Y. BARAZI, F. BOIGE, N. ROUGER, J.-M. BLAQUIERE et F. RICARDEAU, « 'ig,vgs' Monitoring for Fast and Robust SiC MOSFET Short-Circuit Protection with High integration Capability », in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, 2020, P.1-P.10. DOI : 10.23919/EPE20ECCEurope43536.2020.9215619.

- 
- [91] M. SHIM, K. LEE, J. KIM et K. KIM, « Multistep Soft Turn-Off Time Control to Suppress the Overvoltage of SiC MOSFETs in Short-Circuit State », *IEEE Access*, t. 10, p. 46 408-46 417, 2022. DOI : 10.1109/ACCESS.2022.3169764.
- [92] N. ALEXANDER et N. NAVANEETH KUMAR, « Flexible High Current IGBT Gate Driver With Reinforced Digital Isolator », rapp. tech. TIDUAJ2A, nov. 2015.
- [93] R. FAN, *Gate Driver -Soft Turn-off*, Accessed : March 2023. adresse : [http://romeofan.synology.me/mainhome.files/power/drivercore/Gate\\_driver\\_softshut\\_down.pdf](http://romeofan.synology.me/mainhome.files/power/drivercore/Gate_driver_softshut_down.pdf).
- [94] J. FALCK, C. FELGEMACHER, A. ROJKO, M. LISERRE et P. ZACHARIAS, « Reliability of Power Electronic Systems : An Industry Perspective », *IEEE Industrial Electronics Magazine*, t. 12, 2, p. 24-35, 2018. DOI : 10.1109/MIE.2018.2825481.
- [95] C. H. VAN DER BROECK, S. KALKER et R. W. DE DONCKER, « Intelligent Monitoring and Maintenance Technology for Next Generation Power Electronic Systems », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, p. 1-1, 2021. DOI : 10.1109/JESTPE.2021.3119590.
- [96] T. A. POLOM, C. H. van der BROECK, R. W. DE DONCKER et R. D. LORENZ, « Exploiting Distinct Thermal Response Properties for Power Semiconductor Module Health Monitoring », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, t. 9, 4, p. 4865-4878, 2021. DOI : 10.1109/JESTPE.2020.3022775.
- [97] U.-M. CHOI, F. BLAABJERG, S. JØRGENSEN, S. MUNK-NIELSEN et B. RANNESTAD, « Reliability Improvement of Power Converters by Means of Condition Monitoring of IGBT Modules », *IEEE Transactions on Power Electronics*, t. 32, 10, p. 7990-7997, 2017. DOI : 10.1109/TPEL.2016.2633578.
- [98] M. S. HAQUE, S. CHOI et J. BAEK, « Auxiliary Particle Filtering-Based Estimation of Remaining Useful Life of IGBT », *IEEE Transactions on Industrial Electronics*, t. 65, 3, p. 2693-2703, 2018. DOI : 10.1109/TIE.2017.2740856.
- [99] S. ZHAO, F. BLAABJERG et H. WANG, « An Overview of Artificial Intelligence Applications for Power Electronics », *IEEE Transactions on Power Electronics*, t. 36, 4, p. 4633-4658, 2021. DOI : 10.1109/TPEL.2020.3024914.
- [100] M. A. ELEFFENDI et C. M. JOHNSON, « In-Service Diagnostics for Wire-Bond Lift-off and Solder Fatigue of Power Semiconductor Packages », *IEEE Transactions on Power Electronics*, t. 32, 9, p. 7187-7198, 2017. DOI : 10.1109/TPEL.2016.2628705.
- [101] T. KRONE, L. DANG HUNG, M. JUNG et A. MERTENS, « Advanced condition monitoring system based on on-line semiconductor loss measurements », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016, p. 1-8. DOI : 10.1109/ECCE.2016.7854828.



- 
- [102] C. BOUGUET, N. GINOT et C. BATARD, « Communication Functions for a Gate Driver Under High Voltage and High  $dv/dt$  », *IEEE Transactions on Power Electronics*, t. 33, 7, p. 6137-6146, 2018. DOI : 10.1109/TPEL.2017.2750744.
- [103] A. SMITH et K. LENZ, « New communication and isolation technology for integrated gate driver IC solutions suitable for IGBT and Si/SiC MOSFETs : Gate drive units, intelligent integrated drivers », in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, p. 2986-2991. DOI : 10.1109/APEC.2018.8341444.
- [104] J. WECKBRODT, N. GINOT, C. BATARD, T. L. LE et S. AZZOPARDI, « A Bidirectional Communicating Power Supply Circuit for Smart Gate Driver Boards », *IEEE Transactions on Power Electronics*, t. 35, 8, p. 8540-8549, 2020. DOI : 10.1109/TPEL.2019.2960632.
- [105] E. UGUR, C. XU, F. YANG, S. PU et B. AKIN, « A New Complete Condition Monitoring Method for SiC Power MOSFETs », *IEEE Transactions on Industrial Electronics*, t. 68, 2, p. 1654-1664, 2021. DOI : 10.1109/TIE.2020.2970668.
- [106] H. JIANG, X. QI, G. QIU et al., « A Physical Explanation of Threshold Voltage Drift of SiC MOSFET Induced by Gate Switching », *IEEE Transactions on Power Electronics*, p. 1-1, 2022. DOI : 10.1109/TPEL.2022.3161678.
- [107] P. WANG, J. ZATARSKI, A. BANERJEE et J. S. DONNAL, « Condition Monitoring of SiC MOSFETs Based on Gate-Leakage Current Estimation », *IEEE Transactions on Instrumentation and Measurement*, t. 71, p. 1-10, 2022, ISSN : 15579662. DOI : 10.1109/TIM.2021.3137866.
- [108] J. WECKBRODT, N. GINOT, C. BATARD et S. AZZOPARDI, « Monitoring of Gate Leakage Current on SiC Power MOSFETs : An Estimation Method for Smart Gate Drivers », *IEEE Transactions on Power Electronics*, t. 36, 8, p. 8752-8760, 2021. DOI : 10.1109/TPEL.2021.3056648.
- [109] S. PU, F. YANG, E. UGUR, C. XU et B. AKIN, « SiC MOSFET Aging Detection Based on Miller Plateau Voltage Sensing », in *2019 IEEE Transportation Electrification Conference and Expo (ITEC)*, 2019, p. 1-6. DOI : 10.1109/ITEC.2019.8790553.
- [110] E. UGUR, F. YANG, S. PU, S. ZHAO et B. AKIN, « Degradation Assessment and Precursor Identification for SiC MOSFETs Under High Temp Cycling », *IEEE Transactions on Industry Applications*, t. 55, 3, p. 2858-2867, 2019. DOI : 10.1109/TIA.2019.2891214.
- [111] H. YU, X. JIANG, J. CHEN, Z. J. SHEN et J. WANG, « Comparative Study of Temperature Sensitive Electrical Parameters for Junction Temperature Monitoring in SiC MOSFET and Si IGBT », in *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, 2020, p. 905-909. DOI : 10.1109/IPEMC-ECCEAsia48364.2020.9367830.

- 
- [112] M. DU, J. XIN, H. WANG et Z. OUYANG, « Aging Diagnosis of Bond Wire Using On-State Drain-Source Voltage Separation for SiC MOSFET », *IEEE Transactions on Device and Materials Reliability*, t. 21, 1, p. 41-47, 2021. DOI : 10.1109/TDMR.2020.3047419.
- [113] S. PU, F. YANG, B. T. VANKAYALAPATI, E. UGUR, C. XU et B. AKIN, « A Practical On-Board SiC MOSFET Condition Monitoring Technique for Aging Detection », *IEEE Transactions on Industry Applications*, t. 56, 3, p. 2828-2839, 2020. DOI : 10.1109/TIA.2020.2980220.
- [114] T. A. NGUYEN, S. LEFEBVRE et S. AZZOPARDI, « Effect of short circuit aging on safe operating area of SiC MOSFET », *Microelectronics Reliability*, t. 88-90, p. 645-651, 2018, 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ( ESREF 2018 ), ISSN : 0026-2714. DOI : <https://doi.org/10.1016/j.microrel.2018.06.040>.
- [115] J. WANG et X. JIANG, « Review and analysis of SiC MOSFETs' ruggedness and reliability », *IET Power Electronics*, t. 13, 3, p. 445-455, 2020. DOI : <https://doi.org/10.1049/iet-pel.2019.0587>.
- [116] F. ERTURK, E. UGUR, J. OLSON et B. AKIN, « Real-Time Aging Detection of SiC MOSFETs », *IEEE Transactions on Industry Applications*, t. 55, 1, p. 600-609, 2019. DOI : 10.1109/TIA.2018.2867820.
- [117] B. NEL et S. PERINPANAYAGAM, « A Brief Overview of SiC MOSFET Failure Modes and Design Reliability », *Procedia CIRP*, t. 59, p. 280-285, 2017, Proceedings of the 5th International Conference in Through-life Engineering Services Cranfield University, 1st and 2nd November 2016, ISSN : 2212-8271. DOI : <https://doi.org/10.1016/j.procir.2016.09.025>.
- [118] A. VOLKE et M. HORNKA, *IGBT Modules : technologies, driver and applications*. Munich Infineon Technologies AG 2017, 2012, p. 534, ISBN : 978-3-00-040134-3.
- [119] H. PENG, H. PENG, Q. TONG, X. DING et Y. KANG, « Review of Resonant Gate Driver From the Perspective of Driving Energy and Time », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, t. 9, 5, p. 6344-6360, 2021. DOI : 10.1109/JESTPE.2020.3044151.
- [120] S. ZARE et H. FARZANEHFARD, « Discontinuous Current Source Gate Driver Without Current Diversion at Turn-off Transition », in *2022 13th Power Electronics, Drive Systems, and Technologies Conference (PEDSTC)*, 2022, p. 351-356. DOI : 10.1109/PEDSTC53976.2022.9767254.
- [121] Q. WU, Q. WANG, J. ZHU et X. LAN, « Dual-Channel Push-Pull Isolated Resonant Gate Driver for High-Frequency ZVS Full-Bridge Converters », *IEEE Transactions on Power Electronics*, t. 34, 5, p. 4019-4024, 2019. DOI : 10.1109/TPEL.2018.2873192.

- 
- [122] A. RAFIQ et R. MAHESHWARI, « A resonant gate driver circuit with turn-on and turn-off  $dv/dt$  control », in *2018 IEEEMA Engineer Infinite Conference (eTechNxtT)*, 2018, p. 1-5. DOI : 10.1109/ETECHNXT.2018.8385357.
- [123] H. PENG, H. PENG, Z. DANG et al., « A Driving Loss and Speed Co-Optimized Series Resonant Gate Driver with Novel Time Segmented Methodology for High Frequency SiC MOSFETs », in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2020, p. 1599-1603. DOI : 10.1109/APEC39645.2020.9124508.
- [124] B. LU, « Isolated bias supply solutions for isolated gate drivers », rapp. tech. SLYP832, 2021.
- [125] P. GHIMIRE, A. R. de VEGA, S. BECZKOWSKI, B. RANNESTAD, S. MUNK-NIELSEN et P. THOGERSEN, « Improving Power Converter Reliability : Online Monitoring of High-Power IGBT Modules », *IEEE Industrial Electronics Magazine*, t. 8, 3, p. 40-50, 2014. DOI : 10.1109/MIE.2014.2311829.
- [126] W. ZHANG, S. B. SOHID, F. WANG, H. CUI et B. HOLZINGER, « High-Bandwidth Combinational Rogowski Coil for SiC MOSFET Power Module », *IEEE Transactions on Power Electronics*, t. 37, 4, p. 4397-4405, 2022. DOI : 10.1109/TPEL.2021.3127545.
- [127] B. YU, L. WANG et D. AHMED, « Drain-Source Voltage Clamp Circuit for Online Accurate ON-State Resistance Measurement of SiC MOSFETs in DC Solid-State Power Controller », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, t. 8, 1, p. 331-342, 2020. DOI : 10.1109/JESTPE.2019.2954038.
- [128] R. GELAGAIEV, P. JACQMAER et J. DRIESEN, « A Fast Voltage Clamp Circuit for the Accurate Measurement of the Dynamic ON-Resistance of Power Transistors », *IEEE Transactions on Industrial Electronics*, t. 62, 2, p. 1241-1250, 2015. DOI : 10.1109/TIE.2014.2349876.
- [129] K. M. BARÓN, K. SHARMA, M. NITZSCHE et I. KALLFASS, « Online Monitoring of Degradation Sensitive Electrical Parameters in Inverter Operation for SiC-MOSFETs », in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2021, p. 1235-1241. DOI : 10.1109/APEC42165.2021.9487142.
- [130] B. LU, T. PALACIOS, D. RISBUD, S. BAHL et D. I. ANDERSON, « Extraction of Dynamic On-Resistance in GaN Transistors : Under Soft- and Hard-Switching Conditions », in *2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2011, p. 1-4. DOI : 10.1109/CSICS.2011.6062461.
- [131] M. GUACCI, D. BORTIS et J. W. KOLAR, « On-state voltage measurement of fast switching power semiconductors », *CPSS Transactions on Power Electronics and Applications*, t. 3, 2, p. 163-176, 2018. DOI : 10.24295/CPSSTPEA.2018.00016.

- 
- [132] B. YU et L. WANG, « Online Accurate Measurement of Steady-Thermal Resistance of SiC MOSFETs for DC Solid-State Power Controller », *IEEE Transactions on Power Electronics*, t. 36, 5, p. 5006-5021, 2021. DOI : 10.1109/TPEL.2020.3028844.
- [133] L. ROSSETTO et G. SPIAZZI, « A Fast ON-State Voltage Measurement Circuit for Power Devices Characterization », *IEEE Transactions on Power Electronics*, t. 37, 5, p. 4926-4930, 2022. DOI : 10.1109/TPEL.2021.3129613.
- [134] N. BAKER, F. IANNUZZO et H. LI, « Impact of Kelvin-Source Resistors on Current Sharing and Failure Detection in Multichip Power Modules », in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, 2018, P.1-P.7.
- [135] A. ALLOUCHE et N. RADUFE, « Wolfspeed All-SiC Module CAB450M12XM3 », System Plus Consulting, rapp. tech. SP19494, oct. 2019, Accessed : Apr. 22, 2022. adresse : <https://www.systemplus.fr/reverse-costing-reports/wolfspeed-all-sic-module-cab450m12xm3/>.
- [136] A. LASPEYRES, L. MAKKI, C. DARBAS et al., « An Improved Monitoring of Gate Leakage Current on SiC Power MOSFETs using Source Driver Topology », in *PCIM Europe 2022 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, p. 1-10. DOI : 10.30420/565822049.
- [137] S. BENDAOU et G. MARINO, « Practical Techniques to Avoid Instability Due to Capacitive Loading », rapp. tech. Volume 38-02, juin 2004, p. 1-5.
- [138] J. SENZAKI, K. KOJIMA, T. KATO, A. SHIMOZATO et K. FUKUDA, « Correlation between reliability of thermal oxides and dislocations in n-type 4H-SiC epitaxial wafers », *Applied Physics Letters*, t. 89, 2, p. 022 909, 2006. DOI : 10.1063/1.2221525.
- [139] J. WEI, M. ZHANG, H. JIANG, H. WANG et K. J. CHEN, « Charge storage effect in SiC trench MOSFET with a floating p-shield and its impact on dynamic performances », in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, p. 387-390. DOI : 10.23919/ISPSD.2017.7988985.
- [140] T. NAKAMURA, Y. NAKANO, M. AKETA et al., « High performance SiC trench devices with ultra-low ron », in *2011 International Electron Devices Meeting*, 2011, p. 26.5.1-26.5.3. DOI : 10.1109/IEDM.2011.6131619.
- [141] B. J. BALIGA, *Silicon Carbide Power Devices*. WORLD SCIENTIFIC, 2006. DOI : 10.1142/5986.
- [142] S. PU, B. AKIN et F. YANG, « Active Channel Impact on SiC MOSFET Gate Oxide Reliability », in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2021, p. 1250-1255. DOI : 10.1109/APEC42165.2021.9487362.
- [143] T.-T. NGUYEN, A. AHMED, T. V. THANG et J.-H. PARK, « Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation », *IEEE Transactions on Power Electronics*, t. 30, 5, p. 2445-2455, 2015. DOI : 10.1109/TPEL.2014.2353417.

- 
- [144] S. KRISHNASWAMI, S. H. RYU, B. HEATH et al., « A Study on the Reliability and Stability of High Voltage 4H-SiC MOSFET Devices », in *Silicon Carbide and Related Materials 2005*, sér. Materials Science Forum, t. 527, Trans Tech Publications Ltd, oct. 2006, p. 1313-1316. DOI : 10.4028/www.scientific.net/MSF.527-529.1313.
- [145] L. C. YU, G. T. DUNNE, K. S. MATOCHA, K. P. CHEUNG, J. S. SUEHLE et K. SHENG, « Reliability Issues of SiC MOSFETs : A Technology for High-Temperature Environments », *IEEE Transactions on Device and Materials Reliability*, t. 10, 4, p. 418-426, 2010. DOI : 10.1109/TDMR.2010.2077295.
- [146] T. AICHINGER et P. FRIEDRICHS, « Gate oxide and threshold voltage reliability considerations for SiC MOSFETs », in *IEEE Applied Power Electronics Conference 2018*, 2018.
- [147] W.-C. LEE et C. HU, « Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction- and valence-band electron and hole tunneling », *IEEE Transactions on Electron Devices*, t. 48, 7, p. 1366-1373, 2001. DOI : 10.1109/16.930653.
- [148] T. LIU, S. ZHU, S. YU et al., « Gate Leakage Current and Time-Dependent Dielectric Breakdown Measurements of Commercial 1.2 kV 4H-SiC Power MOSFETs », in *2019 IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2019, p. 195-199. DOI : 10.1109/WiPDA46397.2019.8998792.
- [149] T. LIU, S. ZHU, M. H. WHITE, A. SALEMI, D. SHERIDAN et A. K. AGARWAL, « Time-Dependent Dielectric Breakdown of Commercial 1.2 kV 4H-SiC Power MOSFETs », *IEEE Journal of the Electron Devices Society*, t. 9, p. 633-639, 2021. DOI : 10.1109/JEDS.2021.3091898.
- [150] S. PU, F. YANG, N. ZHANG, B. T. VANKAYALAPATI et B. AKIN, « A Comparative Study on Reliability and Ruggedness of Kelvin and Non-Kelvin Packaged SiC Mosfets », *IEEE Transactions on Industry Applications*, t. 58, 3, p. 3863-3874, 2022. DOI : 10.1109/TIA.2022.3160982.
- [151] U. KARKI, N. S. GONZÁLEZ-SANTINI et F. Z. PENG, « Effect of Gate-Oxide Degradation on Electrical Parameters of Silicon Carbide MOSFETs », *IEEE Transactions on Electron Devices*, t. 67, 6, p. 2544-2552, 2020. DOI : 10.1109/TED.2020.2990128.
- [152] H. BENCHERIF, A. YOUSFI, L. DEHIMI, F. PEZZIMENTI et F. G. D. CORTE, « Analysis of Al<sub>2</sub>O<sub>3</sub> high-k gate dielectric effect on the electrical characteristics of a 4H-SiC low-power MOSFET », in *2019 1st International Conference on Sustainable Renewable Energy Systems and Applications (ICSRESA)*, 2019, p. 1-4. DOI : 10.1109/ICSRESA49121.2019.9182412.
- [153] Y. S. SONG, S. KIM, J. H. KIM, G. KIM, J.-H. LEE et W. Y. CHOI, « Enhancement of Thermal Characteristics and On-Current in GAA MOSFET by Utilizing Al<sub>2</sub>O<sub>3</sub>-Based Dual-K Spacer Structure », *IEEE Transactions on Electron Devices*, t. 70, 1, p. 343-348, 2023. DOI : 10.1109/TED.2022.3223321.

- 
- [154] Accessed : Jan. 16, 2023. adresse : <https://www.rubycon.co.jp/en/products/pmlcap/features>.
- [155] P. B. GREEN et L. ZHENG, « Gate drive for power MOSFETs in switching applications, A guide to device characteristics and gate drive techniques », rapp. tech., avr. 2022. DOI : AN2203PL182204004502.
- [156] « Design of Planar Power Transformer », rapp. tech., Accessed : 31 July 2023. adresse : [https://elnamagnetics.com/wp-content/uploads/library/Ferroxcube-Documents/Design\\_of\\_Planar\\_Power\\_Transformers.pdf](https://elnamagnetics.com/wp-content/uploads/library/Ferroxcube-Documents/Design_of_Planar_Power_Transformers.pdf).
- [157] L. MAKKI, « Differential Mode and Common Mode Modeling of Pulse Transformers for Gate-Driver Applications », thèse de doct., Nantes Université, juin 2022.
- [158] R. SCHNELL, S. HARTMANN, D. TRUESSEL, F. FISCHER, A. BASCHNAGEL et M. RAHIMO, « LinPak, a new low inductive phase-leg IGBT module with easy paralleling for high power density converter designs », in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, p. 1-8.
- [159] S. HARTMANN, F. FISCHER, A. BASCHNAGEL, H. BEYER, R. SCHNELL et C. TREIER, « The LinPak high power density design and its switching behaviour at 1.7 kV and 3.3 kV », in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-8.



## Annexes 1 : résultats des estimations de $I_{GSS}$ du démonstrateur

Fonctionnement à  $V_{GS} = \text{cst}$  ( $\alpha_0 = 0\%$  ou  $\alpha_0 = 100\%$ )

**Tab. 7.2** : Résultats expérimentaux en régime statique

$\alpha_0 = 100\%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
49	10,0070	9,85	0,10	50,7
98	9,5732	2,67	0,03	97,8
279	8,2092	7,15	0,09	278,3
490	7,0502	3,62	0,05	486,6
976	5,3117	2,51	0,05	969,4
2 384	3,0980	1,08	0,03	2 368,5
4 136	2,0423	3,06	0,15	4 103,7
9 709	0,9769	0,64	0,07	9 657,8
41 749	0,2446	0,31	0,12	41 524,1
10 9230	0,0940	0,38	0,40	109 610,6
195 771	0,0525	0,06	0,11	197 232,6
238 482	0,0430	0,06	0,13	241 059,6
421 850	0,0241	0,06	0,24	431 144,4
722 929	0,0138	0,00	0,00	752 634,7

$\alpha_0 = 0\%$ ,  $I_{GSS} < 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-51	11,1314	9,57	0,09	-52,6
-102	11,8205	6,46	0,05	-103,4
-255	14,5012	19,83	0,14	-255,1
-721	49,2764	195,10	0,40	-727,2



$\alpha_0 = 0\%$ ,  $I_{GSS} \ll 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-1 557	22,2738	12,28	0,06	-1 595,4
-1 821	15,4727	8,72	0,06	-1 812,2
-2 539	8,0672	7,64	0,09	-2 464,9
-4 334	3,5858	4,53	0,13	-4 169,0
-10 918	1,1888	0,17	0,01	-10 354,3
-28 566	0,4239	0,32	0,08	-27 048,8
-51 199	0,2330	0,15	0,07	-48 304,9
-110 325	0,1068	0,06	0,05	-104 129,7
-234 187	0,0497	0,06	0,12	-222 280,9
-509 792	0,0225	0,00	0,00	-489 990,2

## Fonctionnement avec MLI ( $\alpha_0 \in ]0\%, 100\%[$ )

**Tab. 7.3** : Résultats expérimentaux avec un signal MLI dans la zone  $I_{GSS} < 0$

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 5 \%$ ,  $I_{GSS} < 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-44	10,8176	37,70	0,35	-35,1
-218	13,3550	40,66	0,30	-210,7
-533	22,3578	92,72	0,41	-512,2
-786	54,3084	513,69	0,95	-775,4

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 10 \%$ ,  $I_{GSS} < 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-79	11,3937	39,75	0,35	-81,5
-157	12,4508	5,63	0,05	-156,0
-383	17,1015	2,39	0,01	-374,5
-664	32,1248	42,84	0,13	-647,9

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 15 \%$ ,  $I_{GSS} < 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-95	11,7745	12,42	0,11	-109,2
-233	13,9755	13,46	0,10	-243,0
-343	16,5563	27,43	0,17	-354,5
-722	45,4918	201,77	0,44	-738,7

**Tab. 7.4 :** Résultats expérimentaux avec un signal MLI dans la zone  $I_{GSS} \ll 0$  $F_{SW} = 20 \text{ kHz}, \alpha_0 = 5 \%, I_{GSS} \ll 0$ 

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-1 656	23,6436	199,23	0,84	-1 435,3
-3 707	4,7109	15,56	0,33	-3 424,1
-9 338	1,4786	0,87	0,06	-8 853,6
-24 433	0,5195	0,06	0,01	-23 460,7
-53 344	0,2323	0,10	0,04	-51 306,4
-94 359	0,1300	0,10	0,08	-90 940,5
-161 705	0,0754	0,15	0,20	-156 044,3

 $F_{SW} = 20 \text{ kHz}, \alpha_0 = 10 \%, I_{GSS} \ll 0$ 

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-1 559	44,3384	200,04	0,45	-1 347,9
-2 661	9,0554	10,95	0,12	-2 376,0
-6 705	2,3731	2,14	0,09	-6 014,3
-17 543	0,7941	0,31	0,04	-15 817,0
-38 301	0,3515	0,62	0,18	-34 369,9
-67 751	0,1957	0,17	0,09	-60 869,4
-116 105	0,1133	0,15	0,13	-104 319,3

 $F_{SW} = 20 \text{ kHz}, \alpha_0 = 15 \%, I_{GSS} \ll 0$ 

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
-4 072	5,7903	4,23	0,07	-3 096,6
-10653	1,6417	2,20	0,13	-8 202,6
-23259	0,6980	1,16	0,17	-17 839,0
-41 142	0,3852	0,29	0,07	-31 447,2
-70 505	0,2276	0,26	0,12	-52 482,0
-190 110	0,0834	0,10	0,12	-141 363,8

**Tab. 7.5** : Résultats expérimentaux avec un signal MLI dans la zone  $I_{GSS} > 0$

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 25 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
14	10,3061	9,35	0,09	27,8
28	10,1739	8,89	0,09	40,4
118	9,3681	3,03	0,03	125,0
474	7,1499	2,66	0,04	456,1
1 195	4,8617	3,06	0,06	1 114,4
6 827	1,3922	0,47	0,03	6 240,5
20 694	0,4945	0,64	0,13	19 278,6
55 799	0,1825	0,20	0,11	53 852,0

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 50 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
34	10,1185	10,32	0,10	43,3
68	9,7858	8,22	0,08	76,9
169	8,9289	2,67	0,03	175,0
336	7,8054	10,10	0,13	336,2
1423	4,2711	6,56	0,15	1396,3
5700	1,5522	0,49	0,03	5497,3
14362	0,6791	0,31	0,04	13779,6
82039	0,1249	0,12	0,09	79140,4
248692	0,0409	0,26	0,65	243553,8

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 75 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
64	9,8329	6,24	0,06	67,2
130	9,2563	17,47	0,19	132,9
323	7,8993	1,98	0,03	325,4
644	6,3600	7,43	0,12	643,2
2 727	2,7977	2,10	0,08	2 719,4
10 926	0,8689	0,26	0,03	10 948,3
27 528	0,3647	0,21	0,06	27 447,0
157 252	0,0650	0,35	0,53	158 566,3

$F_{SW} = 20 \text{ kHz}, \alpha_0 = 90 \%, I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
41	10,0963	12,66	0,13	60,2
83	9,6593	74,71	0,77	106,7
237	8,4862	35,12	0,41	255,1
829	5,7349	0,46	0,01	841,4
1 993	3,4919	3,86	0,11	2 003,0
3 510	2,3314	2,50	0,11	3 481,4
14 062	0,6949	0,36	0,05	13 957,4
35 429	0,2887	0,35	0,12	34 960,3
92 694	0,1116	0,06	0,05	91 990,9
202 380	0,0511	0,06	0,11	201 855,7

## Fonctionnement hacheur

**Tab. 7.6** : Résultats expérimentaux en mode hacheur

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 10 \%$ ,  $I_{GSS} < 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
0	10,3695	21,48	0,21	33,6
-79	11,2169	5,77	0,05	-42,7
-157	12,2023	3,78	0,03	-118,0
-383	16,1863	8,34	0,05	-329,2
-664	28,3650	12,47	0,04	-607,0

$I_{GSS} \ll 0$

-1 559	76,5805	623,31	0,81	-1 130,2
-2 661	10,2761	11,68	0,11	-2 124,4
-6 705	2,5231	3,16	0,13	-5 652,9
-17 543	0,8347	0,66	0,08	-15 112,9
-38 301	0,3649	0,25	0,07	-33 310,8
-67 751	0,2026	0,42	0,21	-59 209,3
-116 105	0,1167	0,15	0,13	-102 118,9

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 25 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
0,00	10,3185	6,21	0,06	36,6
14,03	10,1598	0,69	0,01	52,4
27,95	10,0089	0,76	0,01	68,0
118,39	9,1339	5,66	0,06	168,2
474,33	6,7961	4,70	0,07	562,5
1 195,05	4,5086	2,55	0,06	1 344,1
6 826,56	1,2521	1,76	0,14	7 384,1
20 693,88	0,4501	0,72	0,16	22 285,1
55 798,79	0,1707	0,10	0,06	60 357,6

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 50 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
0,01	10,3654	5,24	0,05	28,6
33,56	10,0271	1,16	0,01	62,7
67,60	9,7127	2,93	0,03	96,5
168,60	8,8749	6,93	0,08	198,2
335,92	7,7599	4,10	0,05	367,8
1 422,72	4,2774	0,61	0,01	1 466,2
5 700,40	1,5404	0,66	0,04	5 815,4
14 361,77	0,6720	0,26	0,04	14 598,9
82 039,41	0,1233	0,06	0,05	83 956,3
248 692,25	0,0403	0,00	0,00	258 820,0

$F_{SW} = 20 \text{ kHz}$ ,  $\alpha_0 = 75 \%$ ,  $I_{GSS} > 0$

$I_{GSS_{théorique}}$ (nA)	$T_{L_{moy}}$ (s)	$T_{L_{std}}$ (ms)	ratio $T_{L_{std}}/T_{L_{moy}}$ (%)	$I_{GSS_{estimé}}$ (nA)
0	10,4244	19,53	0,19	19,5
64	9,8016	0,85	0,01	83,3
130	9,2296	7,72	0,08	149,5
323	7,8853	9,10	0,12	342,9
644	6,3587	6,95	0,11	661,7
2 727	2,8076	2,39	0,09	2 744,3
10 926	0,8742	0,90	0,10	10 991,8
27 528	0,3655	0,20	0,05	27 660,8
157 252	0,0650	0,06	0,09	160 009,5





**Titre :** Etude et conception d'un « Intelligent Power Module (IPM) » forte puissance en technologie SiC : développement du Gate Driver

**Mot clés :** Driver de grille isolé, MOSFET SiC, Source driver, Maintenance prédictive

**Résumé :** L'aéronautique tend à hybrider la propulsion et à électrifier de plus en plus de fonctions. Ceci entraîne une augmentation de la tension du réseau de bord HVDC afin de répondre à ces nouvelles contraintes sur les réseaux et systèmes électroniques. Pour atteindre ces objectifs, les nouveaux composants à semi-conducteurs de puissance SiC en calibre 3.3kV semblent être une alternative prometteuse à la filière Silicium IGBT. Cependant, leur faible maturité par rapport à la technologie Si est le principal frein à leur implémentation dans les réseaux de bords. Les travaux de recherche s'inscrivent dans le projet RAPID AM-PM. L'objectif du projet est de concevoir un module de puissance bras d'onduleur 3,3kV@500A en technologie SiC en apportant une rupture technologique sur le packaging de

puissance et son monitoring. Les travaux de recherche concernent le développement d'un circuit de commande intelligent permettant de fiabiliser le module de puissance et d'assurer des commutations sécurisées du semiconducteur. A partir des études sur la fiabilité des composants SiC, deux indicateurs de vieillissement ont été identifiés, la résistance à l'état passant du module et le courant de fuite de grille du composant semiconducteur. Des circuits de surveillance embarqués de ces indicateurs ont été proposés et une nouvelle topologie de commande des semiconducteurs, le source driver, est proposée afin de rendre ces circuits compatibles. Pour finir, un démonstrateur spécialement conçu pour le module AM-PM est testé sur module SiC.

**Title:** Study and design of a high power "Intelligent Power Module (IPM)" in SiC technology: development of the Gate Driver

**Keywords:** Isolated gate driver, SiC power MOSFET, Source driver, Predictive maintenance

**Abstract:** Aeronautics tend to hybridize propulsion and electrify more and more functions on board. This leads to an increase in the voltage of the on-board network in order to meet these new constraints from electronic systems. To achieve these objectives, the new 3.3kV-rating SiC power semiconductor components seem to be a promising alternative to the Silicon IGBT sector. However, SiC technology's low level of maturity compared to Si technology is the main obstacle to its implementation. The research work is part of the AM-PM RAPID project. The project objective is to design a 3.3kV@500A inverter arm power module in SiC technology by providing a technological breakthrough in power packaging and its monitoring.

The research work focuses on the development of the gate driver and its intelligent functions to make the power module more reliable and to ensure secure switching of the semiconductor. From studies on the SiC component's reliability, two aging indicators have been identified, the on-state resistance of the module and the gate leakage current of the semiconductor component. On-board monitoring circuits for these indicators have been proposed and a new semiconductor control topology, the source driver, is proposed in order to make these circuits compatible. Finally, a demonstrator specially designed for the AM-PM module is tested on a SiC module.