



HAL
open science

Développement et caractérisation d'un circuit intégré de lecture de détecteurs LGAD destinés à la mesure 'pico-seconde' du temps de vol pour l'expérience ATLAS

Maxime Morenas

► To cite this version:

Maxime Morenas. Développement et caractérisation d'un circuit intégré de lecture de détecteurs LGAD destinés à la mesure 'pico-seconde' du temps de vol pour l'expérience ATLAS. Electronique. Institut Polytechnique de Paris, 2023. Français. NNT : 2023IPPAX110 . tel-04607890

HAL Id: tel-04607890

<https://theses.hal.science/tel-04607890v1>

Submitted on 11 Jun 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



INSTITUT
POLYTECHNIQUE
DE PARIS

NNT : 2023IPPAX110

Thèse de doctorat



Développement et caractérisation d'un circuit intégré de lecture de détecteurs LGAD destinés à la mesure 'pico-seconde' du temps de vol pour l'expérience ATLAS

Thèse de doctorat de l'Institut Polytechnique de Paris
préparée à l'École polytechnique

École doctorale n°626 École doctorale de l'Institut Polytechnique de Paris (EDIPP)
Spécialité de doctorat : Électronique et Optoélectronique

Thèse présentée et soutenue à Palaiseau, le 30 novembre 2023, par

MORENAS MAXIME

Composition du Jury :

Laurent SERIN Directeur de recherche, CNRS/IN2P3 (IJCLab)	Président
Marlon BARBERO Professeur des universités, Université Aix-Marseille	Rapporteur
Angelo RIVETTI Professeur, Université de Turin/INFN	Rapporteur
Sophie BARON Ingénieure de recherche, CERN	Examinatrice
Etiennette AUFRAY-HILLEMANN Directrice de recherche, CERN	Examinatrice
Christophe DE LA TAILLE Professeur, École polytechnique (OMEGA)	Directeur de thèse

Table des matières

Table des matières	i
Liste des figures	v
Liste des tableaux	xiii
1 Introduction générale	1
2 Contexte	3
2.1 La mesure de temps au HL-LHC	4
2.1.1 Du Large Hadron Collider au HL-LHC	4
2.1.2 ATLAS	5
2.1.3 HGTD	7
2.1.4 Généralités sur la mesure de temps	8
2.1.4.1 Jitter dû au time-walk	9
2.1.4.2 Jitter électronique	10
2.2 Formation du signal dans un détecteur à semiconducteurs	10
2.2.1 Principe général	10
2.2.2 Low Gain Avalanche Diode	12
2.2.3 Jitter d'un détecteur à semiconducteurs	14
2.2.3.1 Bruit de Landau	14
2.2.3.2 Distorsion du signal	15
2.3 Choix d'une technologie d'ASIC	15
2.3.1 Gain intrinsèque d'un MOSFET	15
2.3.2 Sources de bruit d'un MOSFET	18
2.3.2.1 Simulation	19
2.4 Instrumenter un détecteur	20
2.4.1 Préamplificateur à contre-réaction capacitive	22
2.4.1.1 Impédance d'entrée	22
2.4.1.2 Étude du signal	23
2.4.2 Préamplificateur à contre-réaction résistive	24
2.5 Conclusion	25
2.6 Bibliographie	25
3 Description d'ALTIROC	27
3.1 Architecture globale	28
3.2 Spécifications	29
3.3 Préamplificateur d'ALTIROC	29
3.3.1 Schéma	30
3.3.2 Impédance d'entrée	30
3.3.3 Étude du signal	34
3.3.3.1 Boucle ouverte	34
3.3.3.2 Boucle fermée	36

3.3.3.3	Réponse temporelle du préamplificateur	39
3.3.4	Etude du bruit	41
3.3.5	Etude du jitter	45
3.3.6	Quelles améliorations possibles?	47
3.4	Discriminateur	49
3.5	Time-to-Digital Converter (TDC)	50
3.6	Mémoire et fonctions numériques	51
3.7	Autres ASIC couplés à des LGAD	52
3.7.1	TOFFEE, FAST	52
3.7.2	ETROC	53
3.7.2.1	Préamplificateur	53
3.7.2.2	TDC auto-calibrée	54
3.7.2.3	Résultats de mesure en faisceaux de particules	56
3.8	Conclusion	57
3.9	Bibliographie	57
4	Quelles performances ALTIROC atteint-il?	59
4.1	Introduction	60
4.2	Caractérisation sur banc de test	60
4.2.1	Système de test	60
4.2.2	Seuil minimal de détection du front-end	61
4.2.2.1	Méthodologie	61
4.2.2.2	Résultats	62
4.2.2.3	Impact de l'activité digitale sur le seuil minimal de détection	65
4.2.3	Calibration pour la mesure de temps	66
4.2.3.1	Calibration du phase shifter	67
4.2.3.2	Calibration des TDC	69
4.2.4	Correction du time-walk	70
4.2.4.1	Description du phénomène	70
4.2.4.2	Résultats	71
4.2.4.3	Conséquences sur la topologie du préamplificateur	71
4.2.5	Caractérisation du jitter	72
4.2.5.1	Modélisation du jitter	72
4.2.5.2	Résultats	73
4.2.5.3	Une modélisation erronée de la capacité détecteur?	74
4.2.5.4	Impact de la forme du pulse sur le jitter	74
4.2.5.5	Comparaison avec le jitter attendu	75
4.2.5.6	Évolution du jitter avec la dose ionisante totale absorbée	76
4.2.6	Importance du floorplan	77
4.3	Caractérisation avec LGAD en faisceau-test	78
4.3.1	Résultats d'ALTIROC1	78
4.3.1.1	Description du banc de test	78
4.3.1.2	Dépendance du TOT au TOA	79
4.3.2	Résultats d'ALTIROC2	82
4.3.2.1	Description du banc de test	82
4.3.2.2	Dépendance du TOT au TOA	83
4.3.3	Conclusion	84
4.4	Bibliographie	86

5	Caractérisation d'une boucle à verrouillage de phase	87
5.1	Challenge : intégrer une PLL dans un front-end du HL-LHC	88
5.1.1	Architecture de boucles à verrouillage de phase	88
5.1.2	Environnement radiatif du HL-LHC	89
5.1.3	Effets de radiations sur les technologies CMOS	90
5.1.4	Performances intrinsèques de la technologie	92
5.1.5	Stratégie de durcissement	93
5.1.5.1	Registres de configuration de la PLL	93
5.1.5.2	Détecteur de phase	94
5.1.5.3	Diviseur de contre-réaction	94
5.1.5.4	Pompe de charge	94
5.1.5.5	Oscillateur	94
5.1.5.6	Techniques RHDB	95
5.1.5.7	Architecture retenue	95
5.2	Caractérisation sur table	95
5.2.1	Tenue en TID du VCO	95
5.2.2	Bruit de phase net	96
5.2.2.1	Description du banc de test	96
5.2.2.2	Résultats pour la PLL non-tripliquée	97
5.2.2.3	Résultats pour la PLL tripliquée	97
5.2.3	Fonction de transfert de bruit de phase	100
5.2.3.1	Description du banc de test	100
5.2.3.2	Résultats pour la PLL non-tripliquée	100
5.2.3.3	Résultats pour la PLL tripliquée	101
5.3	Caractérisation en SEE	104
5.3.1	Détecter des Single Event Transient	104
5.3.2	Pourquoi utiliser des protons?	105
5.4	Première campagne de SET	108
5.4.1	Cyclotron Arronax	108
5.4.2	Résultats	111
5.4.3	Discussion	116
5.4.4	Ouverture : intérêts des techniques de cartographie	116
5.5	Deuxième campagne de SET	118
5.5.1	Limites de la première campagne	118
5.5.2	Mesurer une phase	118
5.5.3	Résultats et discussion	119
5.6	Comparaison avec d'autres architectures	123
5.7	Conclusion	124
5.8	Bibliographie	124
6	Mesure de temps en photon unique avec des SiPM	127
6.1	Détection de photon unique	128
6.1.1	Intérêt des SiPM	128
6.1.2	Principe de fonctionnement d'un SiPM	128
6.1.3	Modélisation des SiPM	129
6.2	Description de LIROC	130
6.2.1	Architecture de l'ASIC	130
6.2.2	Impédance d'entrée	130
6.2.2.1	Résistance externe de conversion courant-tension	130
6.2.2.2	Un pôle-zéro contre le pileup	131
6.3	Performances de LIROC	134
6.3.1	Mesures avec un pulser rapide	134
6.3.2	Mesures avec un SiPM couplé à un cristal	136

6.3.2.1	Description de la référence de temps	137
6.3.2.2	Performances de la référence de temps	137
6.3.2.3	Description de la détection de gamma côté LIROC	138
6.3.2.4	Sélection en énergie des évènements coïncidents	139
6.3.2.5	Méthodologie d'analyse	140
6.3.2.6	Performances de LIROC + SiPM FBK UHD-DA	141
6.3.2.7	Performances de LIROC + SiPM FBK M3	142
6.3.3	Complément d'analyse	143
6.3.3.1	Estimation du bruit et de la pente du signal	143
6.3.3.2	Comparaison avec le jitter attendu mesuré au pulser	145
6.3.3.3	Caractérisation des SiPM FBK	145
6.3.3.4	Simulation de LIROC couplé à un SiPM FBK de SPAD 40 μm	145
6.3.4	Mesure avec un LASER	147
6.3.4.1	Résolution temporelle en photon unique	147
6.3.4.2	Séparation de pulses doubles	148
6.4	Conclusion	152
6.5	Bibliographie	152
7	Conclusion générale et perspectives	153
8	Annexes	157
8.1	Variante de l'analyse en boucle ouverte du préamplificateur en transimpédance	157
8.2	Bibliographie	158

Liste des figures

1.1	Visualisation des vertex primaires dans le plan z-t, simulant un évènement dit Hard Scatter (HS) superposé à des interactions de pile-up pour un nombre moyen de collisions de 200. Les vertex reconstruits sont marqués par des cercles bleus alors que le vertex de l'évènement d'intérêt (HS) est représenté par une étoile verte.	1
2.1	<i>Bien choisir son détecteur : SiPM versus LGAD, d'après Ted Liu</i>	3
2.2	Représentation des accélérateurs au CERN	4
2.3	Vue schématique du détecteur ATLAS (avant upgrade Phase-II HL-LHC)	5
2.4	Vue transversale du détecteur ATLAS avec de multiples interactions types	6
2.5	Le détecteur HGTD au sein d'ATLAS	7
2.6	Vue en coupe du détecteur HGTD illustrant le chevauchement des zones de détection (en rouge). L'électronique est en noir, la plaque de refroidissement en bleu.	8
2.7	Vue de face (quart) d'HGTD montrant la variation du chevauchement en fonction du rayon.	8
2.8	Panel de détecteurs pour la mesure de temps	9
2.9	Architecture électronique de lecture d'un détecteur silicium	9
2.10	Effet du timewalk (gauche) et du jitter électronique (droite) [2]	9
2.11	Schéma en coupe d'un jonction PN traversée par une particule ionisante [5]	10
2.12	Energie moyenne déposée dans le silicium en fonction de la quantité de mouvement du pion (formule de Bethe et Bloch) [5]	11
2.13	Profils temporel du courant issus de détecteur silicium fin et épais, d'après Nicolò Cartiglia	12
2.14	Schéma en coupe d'une diode PIN et d'un LGAD montrant une profondeur de la couche p^+ comprise entre 0.5 et 2 μm , d'après [5]	12
2.15	Simulation WF2 du courant total induit sur la cathode par un MIP traversant un UFSD (Ultra-Fast Silicon Detector, nouvelle génération de LGAD), d'après Nicolò Cartiglia	13
2.16	Évolution du signal et du bruit en fonction du gain interne d'un LGAD [5]	14
2.17	Simulation WF2 des effets combinés de Landau et des non-uniformités du champ électrique sur le signal induit dans un UFSD de 50 μm d'épaisseur par un MIP avec un gain d'environ 20 [5]	14
2.18	Propagation du signal à la surface d'un UFSD avec ou sans métallisation complète [5]	15
2.19	Simulation de l'efficacité de transconductance en fonction du courant normalisé $I_D \frac{L}{W}$ pour des MOSFET de la technologie TSMC130	16
2.20	Simulation de l'efficacité de transconductance en fonction du courant normalisé $\frac{I_D}{W}$ pour des MOSFET de la technologie TSMC130 de différentes longueurs de grille, superposé avec les conditions de polarisation du transistor d'entrée de divers front-end	17
2.21	Simulation de l'efficacité de transconductance normalisée en fonction du coefficient d'inversion du canal pour la technologie TSMC130	18
2.22	Simulation de la densité spectrale de bruit en tension ramenée à l'entrée d'un MOSFET de la technologie TSMC130	20

2.23 Schéma de simulation de la densité spectrale de bruit en tension ramenée à l'entrée d'un MOSFET de la technologie TSMC130	20
2.24 Schéma générique d'un détecteur capacitif instrumenté par un préamplificateur à transimpédance	21
2.25 Les 3 configurations de base de transistor	21
2.26 Schéma fonctionnel d'un préamplificateur de charge	22
2.27 Impact de l'impédance du détecteur	24
3.1 Architecture globale d'ALTIROC2	28
3.2 Architecture d'une voie d'ALTIROC2	28
3.3 Schéma d'un amplificateur cascodé à base de MOSFETs	30
3.4 Schéma au niveau transistors du VPA	31
3.5 Schéma au niveau transistors du TZ	31
3.6 Simulation de l'impédance d'entrée des préamplificateurs VPA et TZ en fonction de la fréquence	32
3.7 Schéma de montage en transimpédance	33
3.8 Modélisation du TZ pour le calcul du gain en boucle ouverte	34
3.9 Simulation en fréquence du gain en boucle en présence ou non d'une compensation (La phase est représentée en traits continus et le gain en pointillés)	35
3.10 Modélisation du TZ avec compensation pour le calcul du gain en boucle ouverte (Traits pointillés et pleins correspondent respectivement au gain et à la phase)	35
3.11 Schéma petit signal du TZ pour le calcul du gain de transimpédance en boucle fermée	36
3.12 Simulation du gain de transimpédance en boucle fermée	38
3.13 Modélisation détaillée du cascode du TZ	39
3.14 Modélisation du gain de transimpédance en boucle fermée	39
3.15 Modélisation du signal en courant délivré par un LGAD et le Dirac de charge équivalente	40
3.16 Comparaison de la réponse du préamplificateur à un Dirac ou à un signal rectangulaire	41
3.17 Comparaison de la réponse de la modélisation du TZ à un Dirac par rapport à la simulation	42
3.18 Comparaison de la réponse de la modélisation du TZ à un LGAD par rapport à la simulation	43
3.19 Influence de la capacité de compensation sur la réponse temporelle du TZ sollicité par le signal d'un LGAD de 10 fC	44
3.20 Modélisation des sources de bruit du TZ	44
3.21 Diverses composantes du spectre de bruit en sortie du TZ	45
3.22 Simulation de la densité spectrale de bruit du TZ	46
3.23 Optimisation du jitter en fonction de la bande passante du préamplificateur	47
3.24 Simulation du jitter sur le temps d'arrivée (TOA) en fonction de la charge injectée dans deux préamplificateurs différents (TZ et VPA), pour un signal de LGAD ou un dépôt de charge idéal de type Dirac, avec une capacité détecteur de 4 pF	47
3.25 Schéma alternatif d'un préamplificateur en transimpédance (d'après [3])	48
3.26 Schéma alternatif d'un TZ avec cascades actifs (d'après [3])	49
3.27 Stratégies de discrimination	49
3.28 Principe de fonctionnement de la TDC mesurant le TOA	50
3.29 Architecture d'une voie de l'ASIC TOFFEE	52
3.30 Préamplificateur en transimpédance utilisé dans l'ASIC TOFFEE	53
3.31 Schéma du préamplificateur (avec modélisation du détecteur) et du discriminateur d'ETROC	54
3.32 Chronogramme de la TDC d'ETROC	54
3.33 Schéma de principe de la TDC d'ETROC	55
3.34 Configuration du banc de test faisceau pour ETROC1	56

3.35 Configuration du banc de test faisceau pour ETROC1	57
4.1 Système de test d'ALTIROC2	61
4.2 Simulation temporelle en vue schéma de l'injection d'un pulse de calibration dans un préamplificateur en transimpédance	61
4.3 Courbes d'efficacité de détection de charge pour différentes configurations d'ALTIROC2 (Lorsque préamplificateur, discriminateur sont activés, ils sont dits 'enabled')	62
4.4 Impédances parasites des fils de wirebonding connectant la masse du préamplificateur ainsi que la haute-tension du détecteur (au travers de son découplage capacitif) au PCB, sans ou avec LGAD connecté	63
4.5 Modélisation du retour de courant détecteur injecté dans une voie d'un ASIC multi-voies couplé à un LGAD	63
4.6 Effet du nombre de voies de l'ASIC/LGAD sur le signal préamplifié	64
4.7 Effet de la deuxième résistance de découplage sur l'amplification du bruit	64
4.8 Effet de la résistance de découplage sur le cross-talk	65
4.9 Oscillation de la ligne de base du préamplificateur observée à l'oscilloscope et comparée à un signal injecté d'amplitude 20 fC	66
4.10 Schéma illustrant l'importance du déphasage de l'activité digitale par rapport au signal analogique sur le seuil minimal de détection.	66
4.11 Charge minimale détectable (médiane pour 105 TZ) en fonction du déphasage de l'activité digitale pour un ASIC avec LGAD (les seuils ont été alignés initialement à 4.8 fC avec un seuil global à 850 [dac])	66
4.12 Architecture global du phase shifter	67
4.13 Banc de test du phase shifter	67
4.14 Caractérisation du déphasage de l'horloge à 40 MHz destinée au digital à 20°C (DLL en boucle fermée) sur la carte B8	68
4.15 Caractérisation du déphasage fin de l'horloge à 40 MHz destinée au digital à 20°C (DLL en boucle fermée) sur la carte B8 pour une valeur de coarse delay donnée (0)	69
4.16 Pas de quantification du Time Of Arrival (TOA) par voie et pour 2 températures	70
4.17 Pas de quantification du Time Over Threshold (TOT) par voie et pour 2 températures (les canaux 120 et 134 correspondent respectivement au bas et haut de la même colonne)	70
4.18 Temps d'arrivée (TOA) en fonction de la charge injectée	71
4.19 Temps d'arrivée (TOA) en fonction du Time Over Threshold (TOT)	72
4.20 TOT en fonction de la charge délivrée pour les 2 topologies de préamplificateurs	72
4.21 Jitter sur le temps d'arrivée en fonction de la charge délivrée par le LGAD (Les seuils du discriminateur sont fixés aux valeurs indiquées dans la table 4.1)	73
4.22 Reconstruction du signal en sortie de préamplificateur (VPA)	74
4.23 Jitter sur le temps d'arrivée en fonction de la charge pour divers alignements de seuils du discriminateur	75
4.24 Effet du seuil du discriminateur (et donc de la pente du signal) sur le jitter mesuré	75
4.25 Photographie d'ALTIROC2 en irradiation TID	77
4.26 Evolution du jitter avec la dose ionisante totale absorbée	78
4.27 Banc de test au CERN SPS pour les testbeams d'ALTIROC1	79
4.28 Sortie du préamplificateur observée à la probe à l'oscilloscope pour divers TOA ramenée à la même origine des temps	80
4.29 TOT en fonction du temps d'arrivée (TOA) en testbeam	80
4.30 Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction du TOT pour des valeurs de TOA supérieures à 1.6 ns	80
4.31 Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk avec le TOT, pour un TOA supérieur à 1.6 ns, d'après [1]	81

4.32	Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction de l'amplitude du signal probé à l'oscilloscope	82
4.33	Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk obtenu avec la mesure de l'amplitude du signal	82
4.34	Comparaison des 2 bancs de test pour la mesure de temps en faisceau	82
4.35	Distribution des différences de temps entre ALTIROC2+MCP et OSCILLO+MCP en fonction du TOT mesuré par ALTIROC2	84
4.36	Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk obtenu avec la mesure de l'amplitude du signal	84
4.37	Banc de test mis en oeuvre pour les tests faisceau d'ALTIROC2 au CERN (B10 correspond à l'ASIC+LGAD)	85
4.38	TOT en fonction du TOA obtenu en faisceau-test pour différents pixels	85
4.39	Temps de montée de LGAD après amplification en fonction du gain d'amplitude la plus probable (S1M-1, S1M-2 et S1H sont mono-voies; les 2 premiers sont dopés p à une dose de $1.9 \times 10^{13} \text{ cm}^{-2}$ contre $2 \times 10^{13} \text{ cm}^{-2}$ pour le dernier)	86
5.1	<i>Pierre Aronnax sous les traits de Jules Vernes (Vingt Mille Lieues sous les mers)</i>	87
5.2	Arbre de distribution d'horloge pour le détecteur HHTD de l'expérience ATLAS	88
5.3	Schéma simplifié de la boucle à verrouillage de phase	89
5.4	Carte de la dose totale ionisante pour l'expérience ATLAS au HL-LHC	89
5.5	Carte de fluence pour les hadrons d'énergie supérieure à 20 MeV pour l'expérience ATLAS au HL-LHC	90
5.6	Schémas illustrant l'effet d'une particule ionisante sur un NMOS	91
5.7	Modélisation simplifiée d'un SET par une impulsion en courant	91
5.8	Architecture simplifiée de la PLL tripliquée	95
5.9	Évolution de la fréquence maximale du RO-VCO de l'asic HGCROCV2 sous irradiation	96
5.10	Schéma du banc de test permettant de mesurer le jitter de la PLL	97
5.11	Banc de test du timing lab du CERN avec l'ASIC ALTIROC	97
5.12	Spectre du bruit de phase en fréquence de l'horloge de référence fourni par la carte HPTC normalisé à 40 MHz, d'après [1]	98
5.13	Photographie de la carte HPTC fournie par le CERN, d'après [1]	98
5.14	Spectre normalisé à 40 MHz du bruit de phase en fréquence pour différences configurations de la PLL non-tripliquée et des horloges de référence, irradiée à un TID de 200 Mrad	99
5.15	Bruit de phase en sortie de la PLL	99
5.16	Schéma simplifié de la fonction de transfert de la PLL	100
5.17	Comparaison du bruit de phase des horloges 640 MHz PLL, 640 MHz PS, 640 MHz TDC	100
5.18	Comparaison du bruit de phase des horloges de référence à 40 MHz après l'étage de division par 8	101
5.19	Schéma du banc de test permettant de mesurer la fonction de transfert de la PLL	101
5.20	Fonction de transfert du bruit de phase pour différentes configurations du filtre passe-bas de la PLL non-tripliquée non-irradiée et son schéma	102
5.21	Fonction de transfert du bruit de phase pour différentes tensions d'alimentation analogique et digitale de la PLL	102
5.22	Fonction de transfert du bruit de phase pour différentes configurations de la PLL	103
5.23	Fit de la fonction de transfert du bruit de phase pour la configuration optimale de la PLL tripliquée et courbe en fréquence extrapolée à partir des paramètres extraits du fit	103
5.24	Bruit de phase du VCO en boucle ouverte	104
5.25	Comparaison du bruit de phase estimé et mesuré	104

5.26 Banc de test d'injection artificielle de SET dans le VCO de la PLL non-tripliquée d'ALTIROC v3b	105
5.27 Effet d'un SET sur la PLL d'ALTIROC1 v3b : réponse temporelle du VCO à l'injection de 2 charges électriques	106
5.28 Amplitude de la déviation de la période en fonction de la charge injectée	106
5.29 Section efficace mesurée aux ions lourds pour 2 excursions de phase	107
5.30 Pouvoir d'arrêt pour les protons par le silicium en fonction de l'énergie du proton	107
5.31 Interactions particule-matière dans une jonction PN	108
5.32 Banc de test dans la casemate R&D du cyclotron Arronax	109
5.33 Bestiaire des divers sauts de phase enregistrés	110
5.34 Histogramme des sauts de phase du VCO de la PLL, normé sur le taux de SET attendu par an au HL-LHC. L'échelle graduée en pC est donnée à titre indicatif d'après 5.28	111
5.35 Scénario conduisant à un saut de phase de -1.56 ns à cause d'un glitch sur la clock 640 MHz	112
5.36 Histogramme des déviations maximales sur la période pour les SEPT	112
5.37 Corrélacion magnitude du SEPT précurseur avec l'amplitude du SEFT induit	113
5.38 Chronologie des SET enregistrés toutes catégories confondues	114
5.39 Catégorie de SET observés	114
5.40 Erreurs de phase et de période d'un SEFT (SET du VCO)	114
5.41 Erreurs de phase et de période d'un SEPT suivi d'un SEFT	114
5.42 Histogramme des durées des SET	115
5.43 Histogramme des erreurs de phase pour les différents types de SET	115
5.44 Exemple de scénario à l'origine d'un SEPT compensé	116
5.45 Coupe de la diode varicap NMOS	117
5.46 Architecture initiale de l'oscillateur LC du lpGBT	117
5.47 Comparaison de transitoires imputés à des SET sous ions lourds et proton (gauche). Distribution des erreurs de phase pour divers LET (droite), d'après [2]	117
5.48 Erreur de phase en fonction de l'erreur de période pour les SET liés au VCO	118
5.49 Détecteur de phase Nuand BladeRF [19]	119
5.50 Architecture du détecteur de phase Nuand BladeRF	119
5.51 Banc de test pour la campagne en SET de Nice	120
5.52 Décompte des sauts de phase de la PLL tripliquée pendant l'irradiation en protons à Nice	121
5.53 Histogramme des amplitudes brutes de sauts de phase de la PLL tripliquée pendant l'irradiation en protons à Nice	121
5.54 Superposition des SET (et SET step) de la PLL tripliquée pendant l'irradiation en protons à Nice	122
5.55 Distribution des erreurs de phase de la PLL du lpGBT en irradiation par des protons de 200 MeV	123
5.56 Distribution des erreurs de phase d'une PLL durcie basée sur un DCRO en irradiation par des ions lourds	123
6.1 Courbe I-V d'une avalanche dans un semiconducteur polarisé en mode Geiger	129
6.2 Modèle de Corsi d'un SiPM	129
6.3 Architecture simplifiée du LIROC	130
6.4 Schéma de câblage de l'ASIC LIROC au SiPM avec le circuit de découplage de la haute-tension et la résistance de conversion courant-tension	131
6.5 Comparaison de l'impédance d'entrée du préamplificateur de LIROC à celle vue par le détecteur dans la bande de fréquences du signal (omettant C_d)	132
6.6 Modélisation pour le calcul de l'impédance d'entrée du préamplificateur de LIROC	132
6.7 Variation schématique de l'impédance d'entrée du préamplificateur de LIROC	132
6.8 Filtrage passif avec un passe-haut CR	133
6.9 Filtrage passif avec un circuit d'annulation pôle-zéro	133

6.10 Simulation de la réponse du circuit de pôle-zéro de LIROC à un signal du SiPM de 16 fC	133
6.11 Photographie de la structure de test de 3 SiPM 1 mm x 1 mm de la série FBK LF-NUV	134
6.12 Schéma du banc de test de LIROC avec un pulser rapide et une capacité détecteur équivalente (C_d)	135
6.13 Mesure de la résolution temporelle de LIROC en fonction de la charge injectée pour 2 valeurs de capacité détecteur différentes, fitté avec équation 6.3	135
6.14 Mesure de la résolution temporelle de LIROC en fonction de la charge injectée pour 2 valeurs de capacité détecteur différentes, fitté avec équation 6.4	136
6.15 TOA RMS non corrigé du jitter du testbench en fonction du seuil du discriminateur pour une charge de 160 fC injectée	136
6.16 Banc de test de LIROC+SiPM+Cristal PbF2	137
6.17 Schéma d'instrumentation du SiPM servant de référence de temps	137
6.18 Histogramme de résolution temporelle en coïncidence avec des cristaux LYSO :Ce,Ca de Taiwan Applied Crystals (TAC), de 2x2x3 mm, n=1.582, avec 4 faces polies et emballées de Téflon blanc, couplés optiquement à des SiPM Broadcom AFBR-S4N33C013 de 3x3 mm, instrumentés par un amplificateur BGA2851 avec un balun de 10 nF, PZC de 10 pF, fitté par une Gaussienne	138
6.19 Caractérisation du SPTR de LIROC avec un cristal de PbF2 (2x2x3 mm, peint en noir) monté sur un SiPM FBK NUV UHD DA en coïncidence avec une électronique HF de référence couplée à un SiPM Broadcom et un cristal LYSO :Ce,Ca (2x2x3 mm à 4 faces polies enroulé dans du téflon)	139
6.20 Principe d'émission de lumière Tcherenkov	139
6.21 Spectre en énergie du sodium 22 [4]	140
6.22 Interface Python de sélection en énergie (511 keV côté référence, photon unique côté LIROC)	140
6.23 Histogramme de la distribution temporelle de détection d'un photon unique avec LIROC non-corrigé du jitter de la référence pour la mesure en coïncidence, avec un cristal non-scintillant de PbF2 couplé optiquement à un SiPM FBK LF-NUV-UHD-DA, polarisé à 50 V (soit un OV de 17.5 V)	141
6.24 SPTR de LIROC corrigé du jitter de la référence, avec un cristal non-scintillant de PbF2 couplé optiquement à un SiPM FBK LF-NUV-UHD-DA	142
6.25 SPTR de LIROC corrigé du jitter de la référence, avec un cristal non-scintillant de PbF2 couplé à un SiPM FBK LF-NUV-HD M3	143
6.26 Reconstruction du signal en sortie du préamplificateur de LIROC couplé à SiPM FBK UHD-DA polarisé à 45 V	144
6.27 Efficacité de détection d'un trigger en fonction du seuil du discriminateur de l'ASIC pour un SiPM FBK UHD-DE polarisé à 45 V	144
6.28 Comparaison de la méthode de fit de l'efficacité de détection d'un photoélectron pour un SiPM FBK UHD-DE polarisé à 45 V	144
6.29 Comparaison de la méthode de fit de l'efficacité de détection d'un photoélectron pour un SiPM FBK UHD-DE polarisé à 45 V	146
6.30 Comparaison du jitter mesuré et simulé en sortie du préamplificateur ou du discriminateur	146
6.31 Comparaison du jitter simulé en sortie du préamplificateur ou du discriminateur, avec ou sans switch de polarité entre PA et discri	147
6.32 Banc de test LASER pour la mesure de la résolution temporelle en photon unique . .	148
6.33 Exemple d'analyse de la résolution temporelle de LIROC couplé à un SiPM avec sélection en énergie	148
6.34 Spectre en énergie (TOT) obtenu pour LIROC couplé à un SiPM FBK M3 polarisé à 37 V (OV = 5 V)	149

6.35	Histogramme des TOA pour un photo-électron obtenu pour LIROC couplé à un SiPM FBK M3 polarisé à 37 V (OV = 5 V)	149
6.36	Banc de test optique pour la séparation d'un pulse double	150
6.37	Photographie du banc de test optique pour la séparation d'un pulse double	150
6.38	Double pulse séparé de 3 ns fourni par le SiPM et observé à l'oscilloscope avec une persistance infinie (échelle horizontale/verticale de 2 ns/5 mV par division)	151
6.39	Évènements observés pour la mesure du double pulse	151
6.40	Séparation d'un double pulse distant de 3 ns	151
7.1	Schéma d'un AC-LGAD	154
7.2	Efficacité de détection d'un AC-LGAD en bande (strip) en fonction du nombre de voies considérées avec 10 mm de longueur, 500 μm de pas, 50 μm d'épaisseur active, 50 μm de largeur de métallisation des électrodes, 1600 Ω/\square de résistivité et 240 pF mm^{-2} de capacitance d'après [4]	154
7.3	Résolutions spatiale et temporelle d'un AC-LGAD de type pixel avec 500 μm de pas, 20 μm d'épaisseur active, 150 μm de largeur de métallisation des électrodes, 400 Ω/\square de résistivité et 600 pF mm^{-2} de capacitance d'après [4]	155
7.4	Comparaison LGAD versus inverse LGAD, d'après [2]	155
8.1	Variante de modélisation du TZ avec compensation pour le calcul du gain en boucle ouverte	157

Liste des tableaux

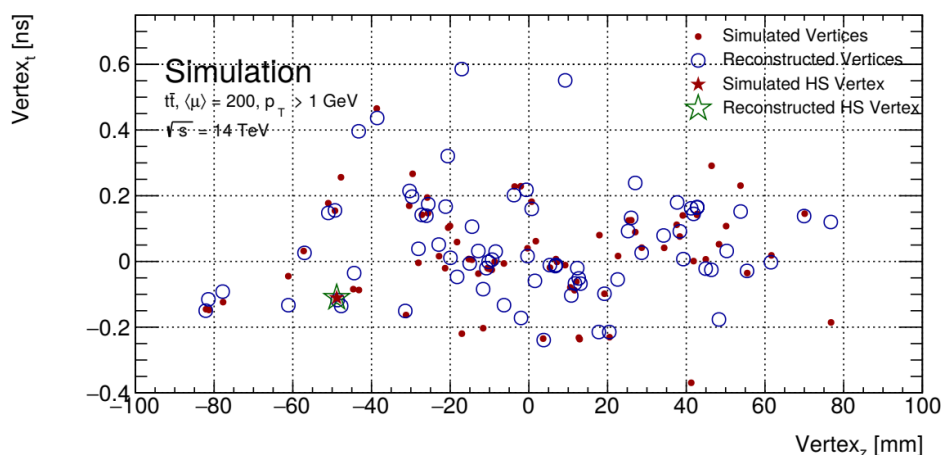
3.1	Spécifications d'ALTIROC	29
3.2	Paramètres numériques utilisés en simulation	40
4.1	Charge minimale détectable	62
4.2	Bruit, pente du signal, jitter prédit et mesuré avec une seule colonne activée (15 voies)	77
5.1	Erreurs des registres de triplification pour ALTIPIX	94
6.1	Paramètres du modèle de Corsi à l'échelle d'un SPAD fournis par FBK	145

Chapitre 1

Introduction générale

La découverte du boson de Higgs au CERN en juillet 2012 a ouvert une nouvelle page dans la recherche en physique des particules. En venant compléter le maillon manquant du modèle standard, cette découverte pose aussi de nouvelles questions sur ses couplages avec les autres particules et sur ses propriétés détaillées, comme seul boson scalaire de spin 0. Pour poursuivre son effort scientifique, la communauté du CERN poursuit un ambitieux programme d'augmentation de la luminosité de l'accélérateur [Large Hadron Collider \(LHC\)](#), dénommé [High-Luminosity Large Hadron Collider \(HL-LHC\)](#). Les détecteurs actuellement installés sur les expériences [A Toroidal LHC Apparatus \(ATLAS\)](#) et [Compact Muon Solenoid \(CMS\)](#) seront donc remplacés d'ici 2030 afin de pouvoir traiter des plus hauts taux d'événements.

Dans ce cadre, l'expérience ATLAS renouvelle entièrement plusieurs de ses détecteurs, complétés par de nouveaux, comme HGTD (High Granularity Timing Detector) qui fait l'objet de cette thèse. Ce nouvel équipement permettra de compléter les données produites par le trajectographe pour mitiger l'empilement d'événements (pile-up). En effet, à chaque croisement des faisceaux de protons, 200 collisions sont attendues en moyenne avec l'augmentation de luminosité. Distinguer chacune des collisions est un véritable défi. HGTD améliorera ainsi la localisation des points de collisions (appelés vertex primaires), en particulier pour les particules secondaires ayant un faible angle d'émission par rapport au faisceau. La particularité d'HGTD ne repose non pas sur une meilleure résolution spatiale, mais sur l'augmentation de la résolution temporelle du détecteur. C'est la première fois qu'une telle technique de mitigation au sein d'un croisement de faisceau est utilisée dans une expérience de physique des particules.



Visualisation des vertex primaires dans le plan z-t, simulant un événement dit Hard Scatter (HS) superposé à des interactions de pile-up pour un nombre moyen de collisions de 200. Les vertex reconstruits sont marqués par des cercles bleus alors que le vertex de l'évènement d'intérêt (HS) est représenté par une étoile verte.

Ces améliorations font suite au développement de nouveaux détecteurs connus sous le nom de [Low Gain Avalanche Diode \(LGAD\)](#). Cette nouvelle génération de détecteurs permet d'atteindre in fine d'incroyables niveaux de précisions temporelles (~ 25 ps RMS) tout en étant soumis à de forts taux de radiation (quelques centaines de Mrads). En couvrant une surface de quelques mètres carrés, les millions de canaux de lecture ne pourraient être lus sans circuits intégrés placés au plus proche du détecteur. Cette intégration extrême nécessite des [Application Specific Integrated Circuit \(ASIC\)](#) aux performances remarquables. Sous la conduite du laboratoire OMEGA, l'ASIC de lecture dénommé ALTIROC a été développé depuis 2018. Il inclut les contributions des laboratoires LPC (Clermont-Ferrand), SLAC (Stanford), IFAE (Barcelone), IJCLab (Orsay), SMU (Dallas) et du CERN (Genève). Plusieurs prototypes ont été fabriqués gagnant itérativement en fonctionnalités et performances au gré des nombreux tests réalisés.

Le premier chapitre présente sommairement le cadre de l'étude, montrant l'importance d'une conception conjointe du détecteur et de l'électronique de lecture pour optimiser ses performances. Les principes de fonctionnement des détecteurs sont rappelés, omettant toutefois les effets des radiations.

Le second chapitre est une description de l'ASIC ALTIROC avec en particulier la conception de son préamplificateur. D'autres ASIC de lecture de LGAD sont comparés.

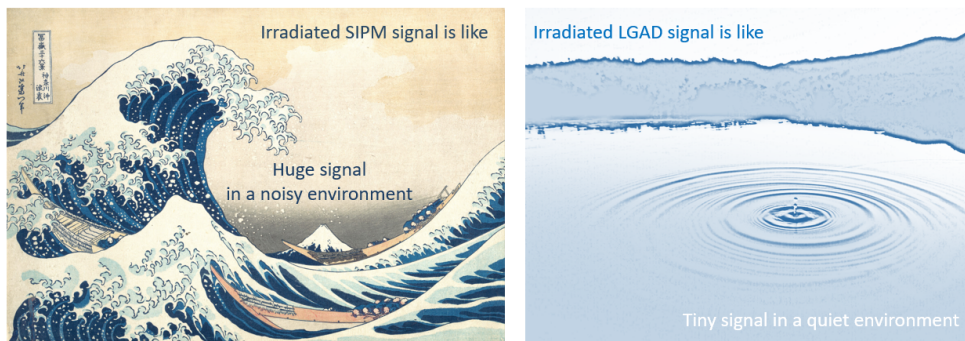
Le troisième chapitre détaille les performances d'ALTIROC pour la mesure de temps observées sur banc de test comme en faisceau test. Ce chapitre insiste sur les difficultés et limites rencontrées.

Le quatrième chapitre traite de la caractérisation de la boucle à verrouillage de phase ou [Phase-Locked Loop \(PLL\)](#) d'ALTIROC en terme de jitter et de sensibilité aux radiations. Horloge interne d'ALTIROC, la PLL cadence l'ensemble de l'ASIC. La dégradation des performances de la PLL se traduit par des décalages temporels non souhaités de sa phase, dont les conséquences sur la mesure globale du temps seront étudiés.

Le cinquième chapitre montre les performances d'un autre ASIC dédié à la mesure de temps en photon unique. La lecture de LGAD est ainsi mise en perspective avec un autre détecteur : le [Silicon Photo Multiplier \(SiPM\)](#). Ce travail a été effectué chez l'industriel dans le cadre de la thèse CIFRE.

Chapitre 2

Contexte



Bien choisir son détecteur : SiPM versus LGAD, d'après Ted Liu

2.1 La mesure de temps au HL-LHC

Cette thèse a été réalisée dans le cadre d'un développement d'un détecteur pour la physique des particules. Ce détecteur mesure le temps d'arrivée et la position de particules produites par la collision de protons. Ces protons sont produits par un accélérateur (LHC), interagissent dans une expérience (ATLAS) et sont observés par plusieurs détecteurs donc HGTD. Chacun de ces éléments sera tout d'abord décrit. De brefs rappels définissant le jitter seront donnés avant d'aborder la formation du signal dans un détecteur silicium, comme les LGAD. Enfin, les choix en matière d'électronique de lecture seront détaillés à la lumière des performances des transistors MOSFET.

2.1.1 Du Large Hadron Collider au HL-LHC

Le Large Hadron Collider est le plus grand accélérateur de particules au monde. Localisé au CERN, à Genève, il occupe les 27 km du tunnel de l'ancien collisionneur appelé Large Electron Positron (LEP). Le projet de construction du LHC a été approuvé en 1994 puis lancé en 2000. L'objectif premier de l'accélérateur consiste à collisionner des protons jusqu'à des énergies d'ensemble de masse de $\sqrt{s} = 14$ TeV pour repousser les limites de nos connaissances en physique des particules. Opérationnel depuis 2008, l'accélérateur a commencé les acquisitions de données de physique en 2010. Un des plus importants succès des expériences ATLAS et CMS a été la découverte du boson de Higgs en 2012. Depuis, les données accumulées visent à étudier les propriétés du boson de Higgs et à chercher des indices d'une possible extension du Modèle Standard des particules.

Pour atteindre les énergies visées, les protons initialement stockés sous la forme d'atomes d'hydrogène sont progressivement accélérés. Une fois ces derniers ionisés, les protons entrent dans une succession d'accélérateur : Linac2, Proton Synchrotron Booster (PSB), Proton Synchrotron (PS), Super Proton Synchrotron (SPS) (Figure 2.2). Ils en ressortent par paquets séparés de 25 ns contenant chacun 1.15×10^{11} protons et sont injectés en sens opposés dans deux anneaux. À chaque tour, les particules sont encore accélérées par des cavités radio-fréquence super-conductrices et guidées par un champ magnétique. Elles sont ensuite collimatées au niveau des 4 points d'interactions où sont placées les expériences ATLAS, CMS, ALICE et LHCb.

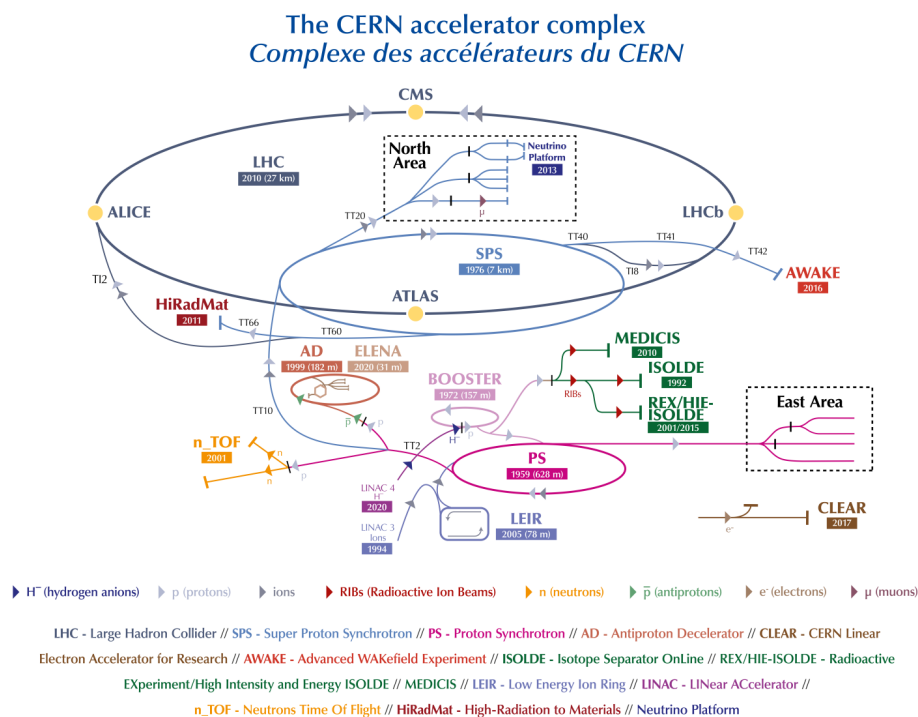


FIGURE 2.2 – Représentation des accélérateurs au CERN

La luminosité correspond au nombre d'interactions se produisant à chaque point d'interaction. C'est un paramètre crucial pour étudier des effets rares, car quand la luminosité instantanée augmente plus de données seront accumulées dans un temps plus court. Néanmoins, les détecteurs d'une expérience voient alors un empilement d'interactions se produisant soit dans le même bunch-crossing (au rythme d'une collision toutes les 25 ns), soit précédemment. Cette empilement appelé pile-up a atteint en moyenne 34 interactions par bunch-crossing lors du Run 2 de collisions pp.

L'objectif pour le HL-LHC est de porter la luminosité à $7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$, soit 5 fois supérieure au régime de fonctionnement actuel. Tout d'abord, le nombre de protons par paquet est augmenté. L'amplitude du champ magnétique au niveau des aimants d'insertion est élevée à 12 T de sorte que la section transverse du paquet soit plus petite. Cette réduction géométrique diminue le chevauchement de deux paquets se croisant. Des cavités (*Crab Cavity*) sont mises en places pour pivoter l'orientation du paquet au sein du faisceau. L'augmentation de la luminosité est donc en soi un défi technologique. Le paquet de protons résultant mesure donc transversalement de l'ordre de la dizaine de micromètres pour 4.5 cm de long (axe z colinéaire au faisceau, exprimé en RMS), soit 150 ps.

2.1.2 ATLAS

ATLAS (A Toroidal LHC ApparatuS) est un détecteur cylindrique organisé en pelures d'oignon autour du point central de collision des particules. Les particules secondaires émises lors des collisions sont identifiées grâce à la mesure de leur trajectoire, leur quantité de mouvement et leur énergie.

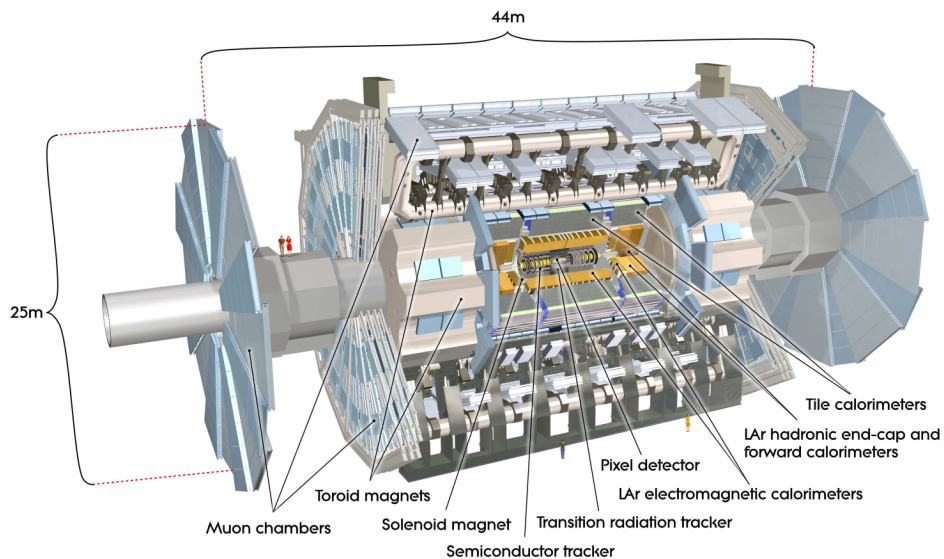


FIGURE 2.3 – Vue schématique du détecteur ATLAS (avant upgrade Phase-II HL-LHC)

Après sa production au point d'interaction, une particule commence par traverser le détecteur interne, situé au plus près du point de collision et baignant dans un champ magnétique longitudinal de 2 T. De multiples trajectographes permettent d'estimer la position du point initial d'interaction (vertex) mais aussi la charge et la quantité de mouvement des particules. Par ailleurs, toute diffusion dans la matière détériore la résolution spatiale des détecteurs qui se doivent donc d'être le plus léger possible. La résolution des premières couches est de l'ordre respectivement de $10 \mu\text{m}$ et $100 \mu\text{m}$ en coordonnées $R\theta$ et $R\phi$ (azimutale) dans la version installée d'ATLAS. Précisons ici que l'angle polaire θ du système de coordonnées (z, ϕ, θ) est souvent remplacé par la pseudo-rapacité η définie comme :

$$\eta = -\ln[\tan(\theta/2)] \quad (2.1)$$

La distribution du taux de particules issues de collision de particules pseudo-relativistes est ainsi quasi constante en fonction de η .

Une particule (si elle a assez d'énergie) termine généralement sa course dans le calorimètre qui l'absorbe pour en mesurer l'énergie. Quelques particules en réchappent, comme par exemple :

- Les muons interagissent peu avec le détecteur. Ils seront détectés par un spectromètre grâce à un deuxième champ magnétique intense. La forme de ses aimants toroïdaux est une des caractéristiques d'ATLAS.
- Les neutrinos qui ne sont pas du tout observés. Néanmoins, comme la quantité de mouvement transverse total de toutes les particules générées est nul (les protons incidents n'ont d'énergie cinétique que dans l'axe du faisceau), il est possible de reconstituer ces objets.

À contrario du trajectographe, le calorimètre est constitué de matériaux denses provoquant des cascades de particules secondaires lors de l'interaction d'une particule avec la matière. En comptant leur nombre, il est possible de remonter à l'énergie de la particule incidente. On distingue plusieurs types de gerbes de particules (hadronique, électromagnétique) en fonction de la nature de la particule incidente (hadron ou bien électron, photon). ATLAS a la particularité de disposer d'un calorimètre à échantillonnage (que l'on oppose au calorimètre de type homogène), c'est-à-dire qu'il est constitué d'une alternance de couches de matériaux absorbants puis d'éléments actifs pour la détection. Cette configuration optimise la résolution spatiale, mais pénalise celle en énergie du fait des pertes non mesurées au sein du plomb ou des aciers.

Par ailleurs, tous les événements ne pouvant être sauvegardés, un trigger (L1) est émis sur décision du calorimètre et du spectromètre de muons déclenchant la sauvegarde complète d'un croisement de faisceaux. Le taux d'évènements est ainsi réduit de presque 3 ordres de grandeur. Pour ce faire, des circuits électroniques dédiés de très faible latence (quelques μs) identifient par exemple la présence de larges dépôts d'énergie transverse dans le calorimètre électromagnétique, coïncidant avec de multiples détections dans le spectromètre de muons. La réduction en ligne de la quantité de données se poursuit par des algorithmes de reconstruction sélectionnant les événements à partir d'une liste de critères préétablie. Chaque particule a une signature qui lui est propre (figure 2.4) et permet donc son identification.

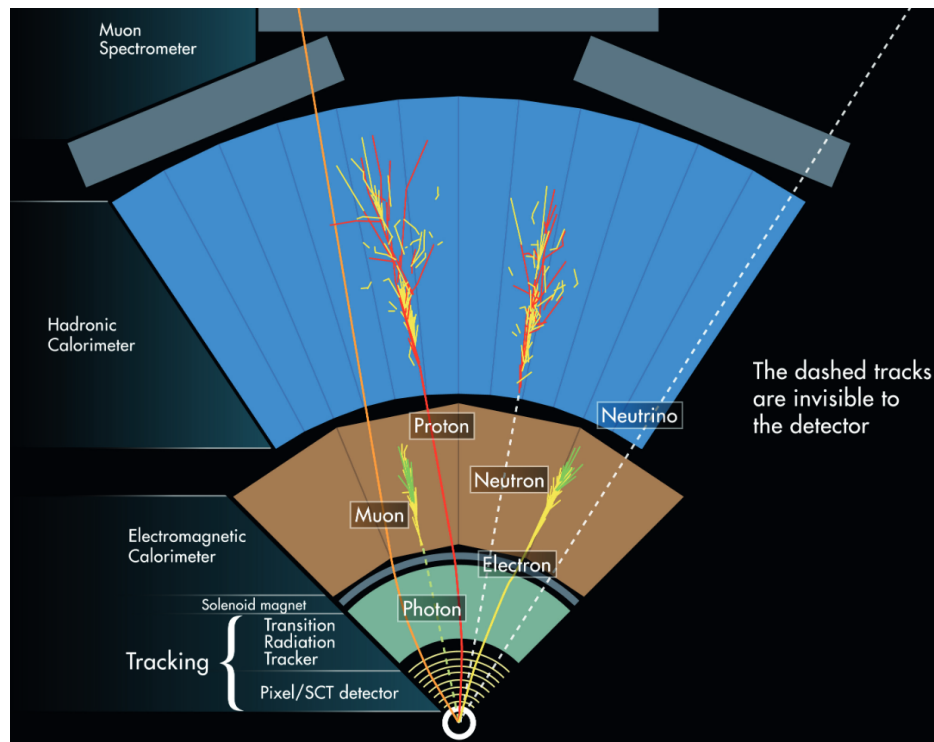


FIGURE 2.4 – Vue transversale du détecteur ATLAS avec de multiples interactions types

2.1.3 HGTD

En complément du trajectographe, ATLAS se dote d'un détecteur de temps à haute granularité et doté d'une excellente résolution en temps, appelé HGTD. Placé en amont du calorimètre, il permettra de réduire le pileup en détectant l'arrivée de particules avec une précision de 25 ps RMS par trace au démarrage du HL-LHC. Sur la figure 2.5, il se présente sous la forme de 2 disques.

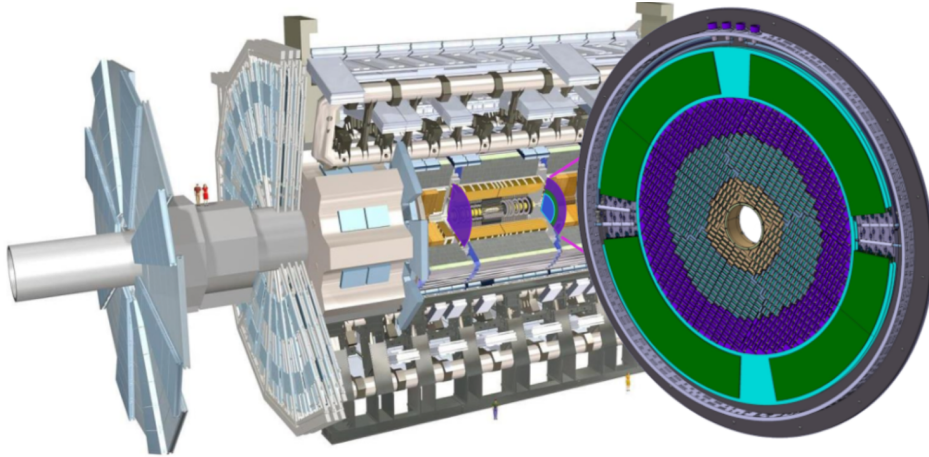


FIGURE 2.5 – Le détecteur HGTD au sein d'ATLAS

La conception du détecteur HGTD obéit à des considérations antagonistes :

- Faible bruit pour garantir de faibles seuils de détection
- Faible dissipation de puissance
- Bonne tolérance aux radiations
- Réponse rapide
- Espace restreint entre le trajectographe et le calorimètre

Alors que l'amincissement des détecteurs permet de réduire leur masse et d'améliorer leur tolérance aux radiations, celui-ci se paie par une augmentation de la capacité équivalente du détecteur C_d . Or, le signal se dégrade à C_d croissant. Réduire le bruit requiert alors plus de puissance. Mais la masse du système de refroidissement et des conducteurs électriques (responsables de pertes Joules) est conditionnée par la dissipation thermique à évacuer. Le dimensionnement de détecteurs tels qu'HGTD est donc le résultat de compromis qui doivent être évalués à l'échelle du système complet. À ces compromis s'ajoutent des contraintes de mesure de temps propres à l'exploitation d'un collisionneur à haute luminosité. Le HL-LHC se caractérise par une augmentation de la luminosité instantanée à $7.5 \times 10^{34} \text{ cm}^{-2}$, générant en moyenne 200 collisions par croisement de faisceaux (*bunch crossing*). Au point de collision des 2 faisceaux, la densité de collisions devrait alors atteindre 1.8 collisions par mm. Sans mesure de temps, l'identification des vertex est donc plus difficile, en particulier pour les événements se propageant dans la région avant du détecteur (*forward region*). Grâce à une résolution temporelle d'environ 30 ps, HGTD permettra donc de lever les ambiguïtés afin de garantir une résolution spatiale du vertex inférieure à 0.6 mm. Par ailleurs, pour relâcher la contrainte sur la résolution temporelle d'un facteur $\sqrt{2}$, le détecteur HGTD est instrumenté sur les 2 faces, comme visible sur la figure 2.6. Le chevauchement des zones de détection varie en fonction du rayon de sorte que chaque trace soit détectée en moyenne 2 fois lors de la traversée du disque (figure 2.7).

Plusieurs types de détecteurs permettent d'atteindre la dizaine de picosecondes (Figure 2.8 d'après [1]). On peut citer par exemple les MCP-PMT (Microchannel Plate - Photomultiplier Tube) atteignant une résolution de 15 ps RMS. Dans ce type de détecteurs, la lumière prompt de détecteurs Tcherenkov est ainsi collectée, puis convertie en électrons par une galette à micro-canaux couplée à un tube photo-multiplicateur. Néanmoins, le détecteur vieillit mal sous radiation et a une faible granularité.

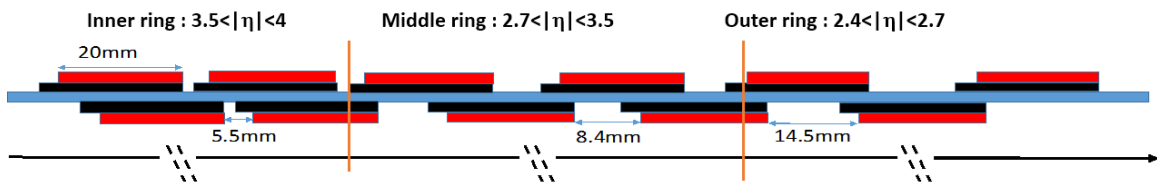


FIGURE 2.6 – Vue en coupe du détecteur HGTD illustrant le chevauchement des zones de détection (en rouge). L'électronique est en noir, la plaque de refroidissement en bleu.

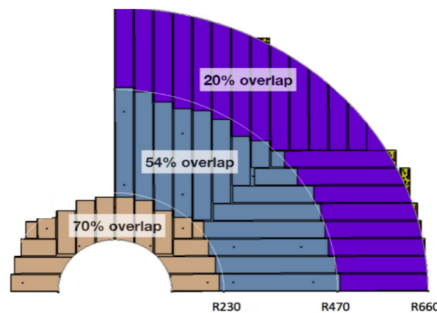


FIGURE 2.7 – Vue de face (quart) d'HGTD montrant la variation du chevauchement en fonction du rayon.

Dans le cadre du projet HGTD, le détecteur retenu est une matrice de LGAD (Low Gain Avalanche Diode) de 225 voies. Il appartient à la famille de détecteurs à semiconducteur à gain, au même titre que les APD (Avalanche Photo-Diode), SPAD (Single Photon Avalanche Diode), SiPM (Silicon Photomultiplier), UFSD (Ultra Fast Silicon Diode). Notons que les SiPM possèdent également une excellente résolution temporelle mais sont également trop sensibles aux radiations. Chacune des voies du LGAD mesure 1.3 mm x 1.3 mm de côté définissant ainsi la résolution spatiale du détecteur, 2 ordres de grandeur inférieure à celle du trajectographe interne ($\sim 50 \mu\text{m}$). En contrepartie, HGTD offre une résolution temporelle 2 ordres de grandeur supérieure à celle du trajectographe interne ($\sim 1.5 \text{ ns}$).

2.1.4 Généralités sur la mesure de temps

La mesure du temps d'arrivée d'une particule chargée dans un détecteur suit une architecture électronique classique, décrite ci-après (Figure 2.9). Le premier étage vise systématiquement à amplifier le faible courant fourni par le détecteur. Après le préamplificateur (PA) se trouve le discriminateur. Celui-ci se déclenche lorsque la charge enregistrée par l'électronique dépasse un certain niveau, séparant le signal du bruit. Enfin, des [Time to Digital Converter \(TDC\)](#) numérisent le [Time-Of-Arrival \(TOA\)](#) et la largeur du discriminateur [Time-Over-Threshold \(TOT\)](#), c'est-à-dire le temps durant lequel le signal est au-dessus du seuil fixé.

La mesure du temps d'arrivée souffre d'incertitudes (appelé jitter ou gigue) qui proviennent à la fois du détecteur comme de la chaîne de mesure électronique, que l'on cherchera à minimiser. Les contributions les plus importantes sont :

- le jitter inhérent au détecteur, qui sera détaillé dans le paragraphe 2.2.3
- l'incertitude de mesure du temps par la TDC (ou bruit de quantification)
- le jitter propre au système de distribution d'horloge (dont la boucle à verrouillage de phase)
- le jitter résiduel lié au time-walk, lié à l'utilisation d'un seuil fixe de discrimination, décrit ci-après.

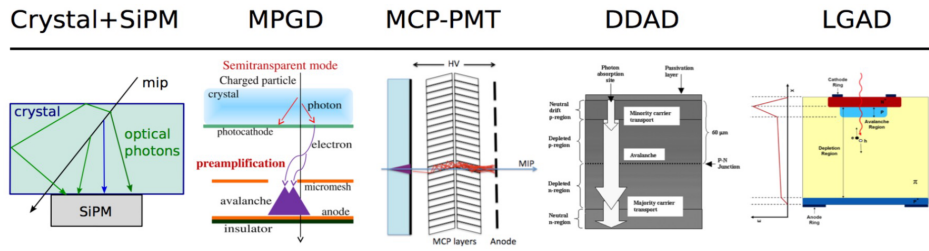


FIGURE 2.8 – Panel de détecteurs pour la mesure de temps

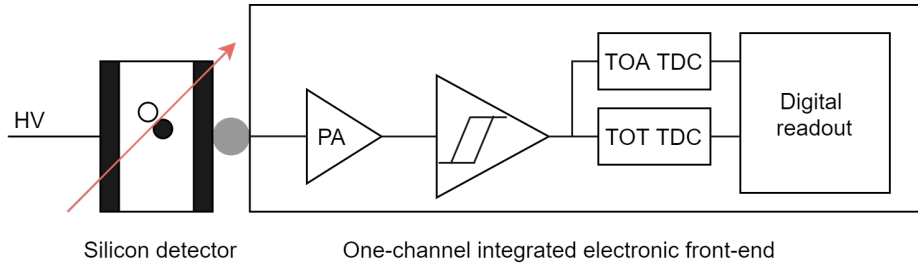


FIGURE 2.9 – Architecture électronique de lecture d'un détecteur silicium

- l'incertitude liée au bruit électronique présent en sortie du préamplificateur, entraînant une fluctuation du franchissement du seuil du discriminateur, dénommé $\sigma_{\text{électronique}}$

Le jitter total σ_t mesuré correspond à leur somme quadratique puisqu'elles ne sont pas corrélées entre elles.

$$\sigma_t^2 = \sigma_{\text{détecteur}}^2 + \sigma_{\text{TDC}}^2 + \sigma_{\text{horloge}}^2 + \sigma_{\text{discriminateur}}^2 + \sigma_{\text{électronique}}^2 \quad (2.2)$$

2.1.4.1 Jitter dû au time-walk

Lorsque le discriminateur utilise un seuil fixe, la mesure du temps d'arrivée subit les conséquences du time-walk, comme illustré à gauche sur la figure 2.10. Quelle que soit la charge, le temps de montée du signal est supposé constant. Un signal large franchit donc le seuil du discriminateur plus tôt qu'un signal faible. Cet effet peut être corrigé en mesurant un estimateur de la charge comme par exemple l'amplitude, l'aire ou la largeur du signal en sortie du préamplificateur. Lorsque la correction de cet effet n'est pas complète, elle donne lieu à un terme de jitter, lié à la dégradation de la résolution temporelle.

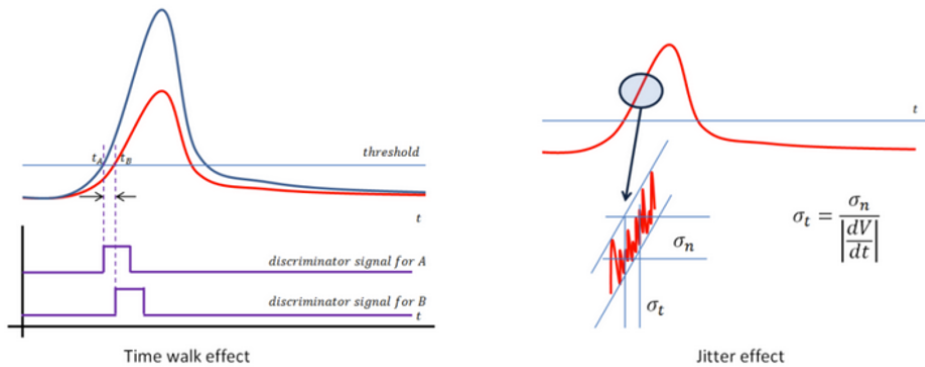


FIGURE 2.10 – Effet du timewalk (gauche) et du jitter électronique (droite) [2]

2.1.4.2 Jitter électronique

Un système correctement conçu est dominé par le jitter électronique pour de faibles charges (proche de sa sensibilité maximale) :

$$\sigma_{\text{électronique}} = \frac{\text{Bruit}}{|\delta V / \delta t|} = \frac{\sigma_n}{|\delta V / \delta t|} \quad (2.3)$$

Ce ratio bruit-sur-pente modélise les performances du préamplificateur couplé au détecteur, où chacune des variables est évaluée sur la tension de sortie du préamplificateur. Dans cette équation, la précision temporelle est maximale lorsque le signal est grand ou quand à l'inverse le bruit ou le temps de montée sont petits. Ce jitter est donc d'autant plus problématique que le signal à détecter est faible. On considérera pour l'étude sur la formation du signal dans un détecteur à semi-conducteur que le temps de montée t_d du signal en courant délivré par le détecteur limite le temps de montée du signal de tension V_{in} s'établissant à l'entrée du préamplificateur. On verra au paragraphe 2.4 que cela signifie que l'impédance d'entrée R_{in} de l'électronique de lecture est suffisamment grande pour que le produit $R_{in}C_d$ domine largement t_d , c'est-à-dire que le préamplificateur est sensible à la charge. Ainsi, le temps de montée δt du signal de tension en sortie du préamplificateur est la convolution du temps de montée t_d du signal en courant délivré par le détecteur par le temps de montée t_r du préamplificateur. En faisant également l'hypothèse que la bande passante du préamplificateur est infinie, δt sera donc égal à t_d . Par ailleurs, dans ces conditions, l'amplitude δV du signal en tension en sortie de préamplificateur est donnée par le ratio Q/C_d .

2.2 Formation du signal dans un détecteur à semiconducteurs

Avant d'aborder les spécificités des LGAD est rappelé le principe général de formation du signal dans un détecteur à semiconducteurs.

2.2.1 Principe général

Lorsqu'une particule ionisante traverse un substrat silicium, elle interagit avec la matière soit par ionisation soit en excitant les électrons des atomes. Pour collecter les paires électron-trou créées par ionisation le long de sa trajectoire, une tension de polarisation inverse est appliquée aux bornes de la jonction PN jusqu'à atteindre sa déplétion totale.

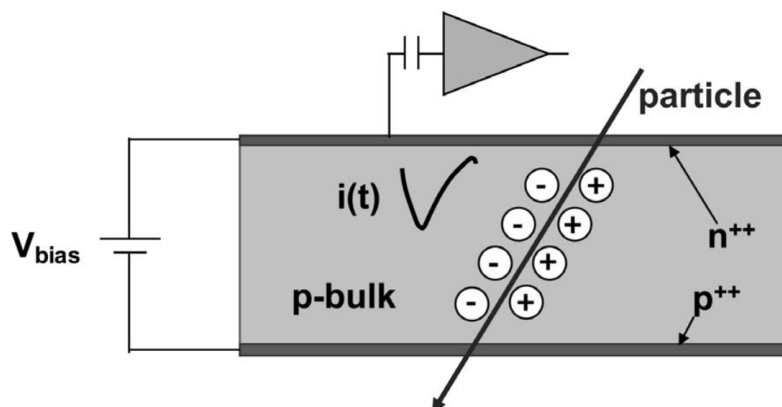


FIGURE 2.11 – Schéma en coupe d'une jonction PN traversée par une particule ionisante [5]

La perte progressive d'énergie d'une particule ionisante est modélisée par la formule de Bethe et Bloch. Aussi appelée puissance d'arrêt, elle est tracée sur la figure 2.12 pour les pions dans le silicium en fonction de la quantité de mouvement des pions. Lorsque le détecteur a une épaisseur finie, l'énergie déposée en moyenne atteint un plancher d'environ $100 \text{ eV}\mu\text{m}^{-1}$ pour les pions

de quantité de mouvement élevée. En effet, au-delà d'une certaine énergie, une fraction grandissante d'électrons percutés sortent du volume et ne sont donc pas collectés par l'implant n^{++} . Par ailleurs, une particule dont la perte d'énergie correspond au minimum de la courbe de Bethe et Bloch est appelée **Minimum Ionizing Particle (MIP)**. Or, HGTD est placé proche du point de collisions des protons. Ainsi, les particules issues des collisions n'ont traversé que peu de matière avant d'interagir dans les LGAD. Ayant une quantité de mouvement élevée, elles sont assimilées à des MIP.

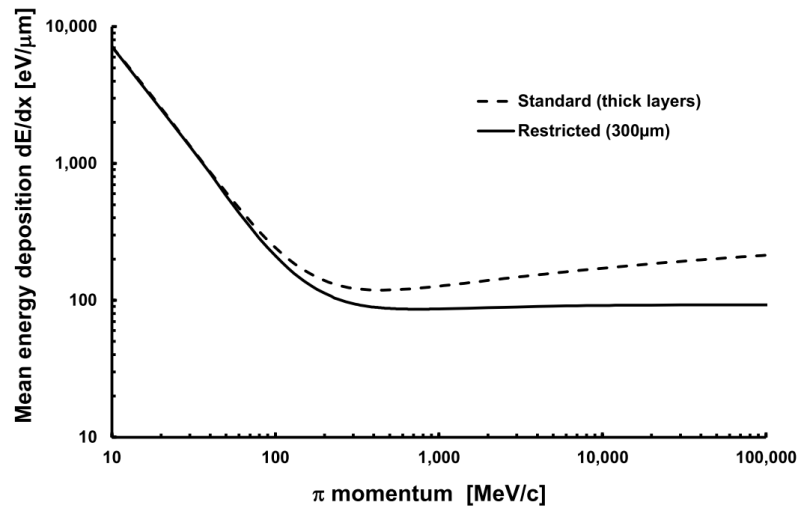


FIGURE 2.12 – Énergie moyenne déposée dans le silicium en fonction de la quantité de mouvement du pion (formule de Bethe et Bloch) [5]

Le nombre de paires électron-trou générées peut être facilement calculé sachant qu'il faut en moyenne 3.6 eV dans le silicium pour en créer une. En revanche, le courant induit par une charge sur l'électrode s'obtient par la résolution numérique des équations du théorème de Shockley-Ramo. En effet, la charge induite sur l'électrode dépend du champ électrique régnant au sein du volume de détection. Par ailleurs, dans le cas où le champ électrique n'est pas parfaitement uniforme, alors la charge induite dépend également de la position des charges initialement générées. Remarquons que la vitesse de déplacement des électrons sature à température ambiante lorsque le champ électrique atteint 30 kV cm^{-1} , à contrario de celle des trous.

La diode PIN (pour le sandwich dopage P / intrinsèque / dopage N) est un exemple classique de détecteurs à semiconducteur présentant des limites pour la mesure de temps. En effet, le jitter $\sigma_t = \text{Bruit} \cdot dt/dV$ est d'autant plus grand que le pic du signal de courant est petit (pour un pré-amplificateur sensible au courant). Ainsi, l'évolution des détecteurs à semiconducteurs pour la mesure de temps répond pour partie à un objectif d'accroissement du gain des détecteurs.

Si la charge collectée croît avec l'épaisseur du détecteur, le courant maximal reste toutefois constant quelle que soit son épaisseur. En effet, alors que le nombre de paires électron-trou est proportionnel à l'épaisseur d du détecteur, le champ électrique évolue en $1/d$, les deux termes s'annulant. Comme le montre la figure 2.13, les détecteurs épais présentent donc des signaux plus longs mais d'amplitudes similaires au détecteur mince.

De plus, si l'amplitude du pic de courant induit est proportionnelle à la vitesse de déplacement des charges, cette dernière finit par saturer avec l'augmentation du champ électrique. La valeur du courant maximal limite de fait les performances atteignables. Elle est de l'ordre de $1.5 \mu\text{A}$ pour un détecteur plus large qu'épais de sorte que le champ électrique est uniforme et sature la vitesse de déplacement des charges.

Il existe toutefois un mécanisme d'amplification des charges lorsque le champ électrique dépasse 300 kV cm^{-1} . Dans les détecteurs à semiconducteurs, les électrons (et dans une moindre mesure les trous) portés à des vitesses cinétiques élevées peuvent produire de nouvelles paires électron-trou par ionisation. Ce phénomène d'avalanche permet donc d'amplifier le signal de

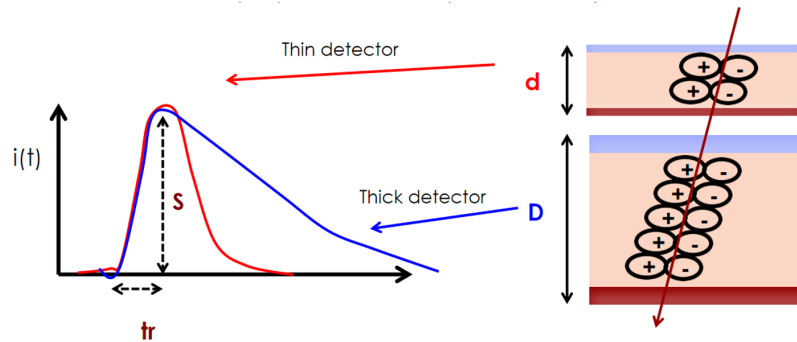


FIGURE 2.13 – Profils temporel du courant issus de détecteur silicium fin et épais, d’après Nicolò Cartiglia

courant induit par un dépôt de charge. Sa mise en oeuvre dans les détecteurs à semiconducteurs a donné par exemple les Silicon Photomultipliers (SiPM), les Avalanche PhotoDiodes (APD) ou encore les Low Gain Avalanche Diode (LGAD), avec un gain valant respectivement 10^4 , 10^2 et 10.

Pour atteindre de telles valeurs de champ électrique, il n’est guère envisageable de polariser le volume de détection de quelques dizaines de microns d’épaisseur avec une source de tension externe. En effet, l’importante valeur de tension requise produirait des ruptures (breakdown), notamment en périphérie. Néanmoins, en dopant le semiconducteur le champ électrique peut atteindre localement de grandes intensités. En effet, une concentration de charges électriques (et donc d’atomes ayant un défaut ou un excès d’électrons) de l’ordre de 10^{16} cm^{-3} engendre des champs électriques d’environ 300 kV cm^{-1} , d’après l’équation de Maxwell-Gauss.

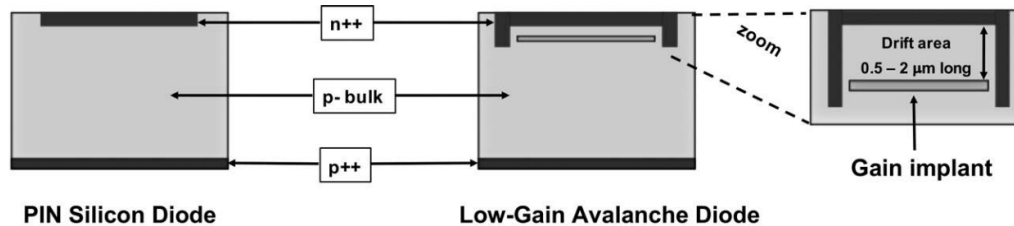


FIGURE 2.14 – Schéma en coupe d’une diode PIN et d’un LGAD montrant une profondeur de la couche p^+ comprise entre 0.5 et 2 μm , d’après [5]

2.2.2 Low Gain Avalanche Diode

Les LGAD sont des détecteurs silicium n sur couche p qui peuvent être vus comme l’évolution des diodes PIN, comme l’illustre la figure 2.14. Ces détecteurs sont le fruit de développements menés initialement par le Centro Nacional de Microelectronic (CNM) à Barcelone. La spécificité des LGAD réside dans l’implantation ionique d’une couche dopée p^+ ($\sim 10^{16}$ atomes de bore/ cm^3). De quelques microns d’épaisseur, elle est située entre une couche épitaxiale hautement résistive (dopé p^-) et la couche dopée n^{++} en surface connectée au préamplificateur. Ainsi, cet implant provoque un champ électrique localisé supérieur à 300 kV cm^{-1} et se comporte comme une couche multiplicatrice de charges.

Tandis que les électrons dérivent vers la cathode, les trous sont attirés par le substrat p^{++} (l’anode étant portée à un haut potentiel). Les électrons primaires traversant la couche de gain déclenchent une avalanche produisant de nouvelles paires électron-trou. Alors que ces électrons secondaires sont collectés instantanément par la cathode, les trous secondaires parcourent l’intégralité de l’épaisseur du substrat avant d’atteindre l’anode. Ils génèrent donc la plus grande fraction du signal de courant, comme visible sur la figure 2.15.

Le gain obtenu ($\sim 10\text{-}30$) est faible en comparaison des APD ou des SiPM. Ce gain est toutefois un compromis permettant un faible bruit, un courant de fuite réduit, une facilité à segmenter son

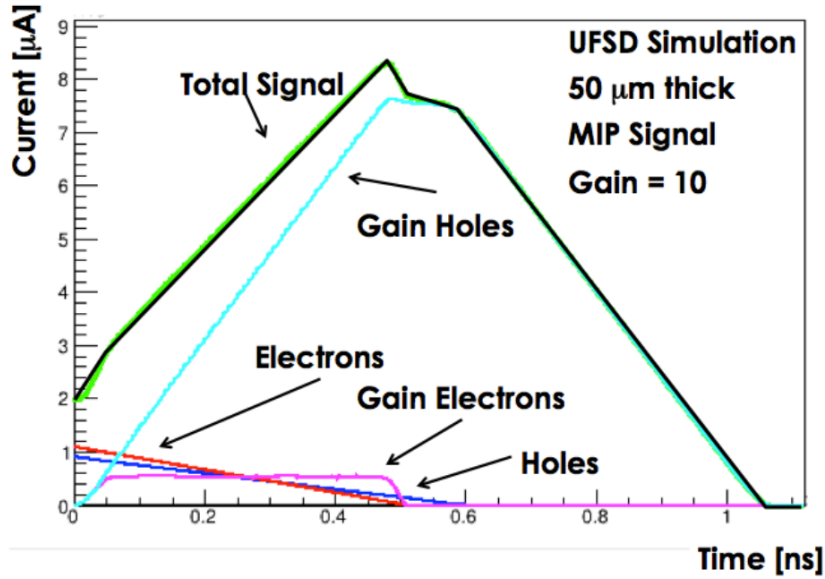


FIGURE 2.15 – Simulation WF2 du courant total induit sur la cathode par un MIP traversant un UFSD (Ultra-Fast Silicon Detector, nouvelle génération de LGAD), d'après Nicolò Cartiglia

électrode et une cécité complète du détecteur aux photons de basse énergie. [4, 5]

Par ailleurs, les performances temporelles des LGAD sont optimales pour des détecteurs fins. En effet, on peut remarquer sur la figure 2.15 que le temps de montée du courant correspond à la durée de dérive des électrons primaires. On peut montrer (à partir du théorème de Ramo-Shockley) que l'amplitude du courant (comme le temps de montée) est proportionnel au gain G de l'avalanche et que la vitesse de montée du courant est inversement proportionnelle à l'épaisseur d du détecteur. Néanmoins, par sa géométrie, le détecteur forme un condensateur à plaques parallèles dont la capacité C_d est donnée en fonction de la permittivité ϵ et des paramètres géométriques suivants :

$$C_d = \epsilon \frac{\text{Surface}}{d} \quad (2.4)$$

La conception du détecteur ne peut donc être envisagée qu'au regard de la constante de temps $\tau = R_{in} C_d$ fixant également le temps de montée du signal de tension en entrée du préamplificateur (et en sortie si sa bande-passante n'est pas limitée).

Sources de bruit

Comme pour toute jonction pn traversée par un flux d'électron, le courant subit une fluctuation connue sous le nom de shot noise (ou bruit de grenaille). Sa valeur RMS intégrée sur une bande de fréquence Δf dépend de la charge électrique q de l'électron et du courant de fuite du détecteur :

$$\sigma_{shot} = \sqrt{2q(I_{surface} + I_{substrat})\Delta f} \quad (2.5)$$

Le courant de fuite présente deux composantes : surfacique et de substrat. Notons que le courant de fuite croît avec le gain du détecteur, la température ainsi que l'irradiation du détecteur. La variabilité du gain du détecteur dégrade de surcroît le bruit de grenaille d'un facteur F appelé excess noise factor. Ce dernier est minimisé à la conception en s'assurant que les trous ne contribuent pas à l'avalanche, d'où le dopage n sur p. Le bruit de grenaille d'un LGAD est donc exprimé par :

$$\sigma_{shot} = \sqrt{2q(I_{surface} + (I_{substrat} + I_{signal})G^2F)\Delta f} \quad (2.6)$$

Dans un détecteur réel, le bruit de grenaille doit être mis en perspective avec le bruit électronique. Sur la figure 2.16, alors que le signal augmente proportionnellement au gain interne G du

LGAD, le bruit évolue plus rapidement en G^α avec $\alpha > 1$ (car $F G^x$ et $x > 0$). Il existe donc une valeur de gain où le rapport signal à bruit est optimal, c'est-à-dire où les deux contributions au bruit sont équivalentes.

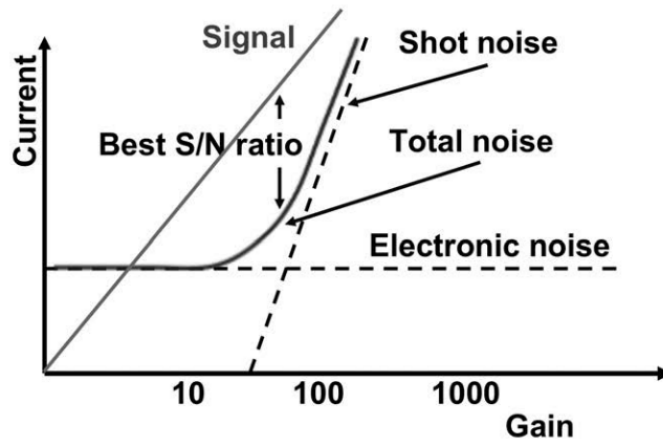


FIGURE 2.16 – Évolution du signal et du bruit en fonction du gain interne d'un LGAD [5]

2.2.3 Jitter d'un détecteur à semiconducteurs

Deux composantes inhérentes au détecteur grèvent la précision temporelle du détecteur : le bruit de Landau et les effets de distorsion du signal.

2.2.3.1 Bruit de Landau

Le bruit de Landau correspond aux fluctuations des pertes d'énergie de particules chargées traversant une fine couche de matière. Ce phénomène est dû la non-uniformité des ionisations se produisant le long de la trajectoire de particules chargées. Il peut être montré que la distribution des énergies déposées suit une distribution de Landau. Cette dernière a la particularité d'être asymétrique. Le dépôt d'énergie le plus probable est désigné sous le nom de MPV (Most Probable Value). On y associe un jitter dit de Landau. Ce dernier peut être minimisé en amincissant les détecteurs : il est de l'ordre de respectivement 25 ps et 60 ps pour un LGAD de 50 μm et 300 μm . Un système correctement conçu est dominé par le bruit de Landau pour de grandes charges.

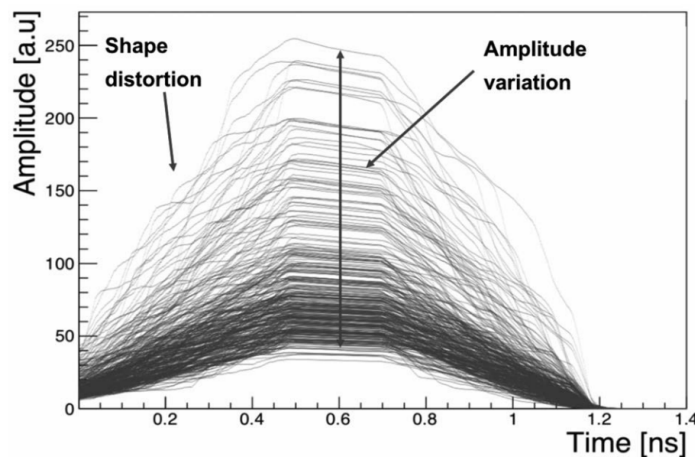


FIGURE 2.17 – Simulation WF2 des effets combinés de Landau et des non-uniformités du champ électrique sur le signal induit dans un UFSD de 50 μm d'épaisseur par un MIP avec un gain d'environ 20 [5]

2.2.3.2 Distorsion du signal

Par ailleurs, les non-homogénéités du champ électrique peuvent être à l'origine de distorsions sur la forme du signal. En effet, des disparités de temps de collection des charges déforment le signal. Elles peuvent être minimisées pour les électrons en saturant leur vitesse de déplacement (au-delà de 30 kVcm^{-1}) et dans une moindre mesure pour les trous (pas de saturation observée). [3] Par ailleurs, la largeur de l'implant n^{++} devra tendre vers l'espace inter-pixel de sorte à minimiser les effets de bords sur le champ électrique. De la même manière, l'électrode de lecture de chaque voie devra être la plus grande possible afin de minimiser le temps de propagation du signal électrique hors de la jonction. En effet, en l'absence de pad recouvrant l'intégralité du pixel, le signal se propage dans l'implant n^{++} résistif à la vitesse de $0.5 \text{ ps}/\mu\text{m}$ avant d'atteindre le pad (chemin DC). Ce délai peut être réduit grâce à la métallisation complète du pad. Quoique séparé par un oxide, le métal propage sans délai le signal couplé AC à l'implant, comme illustré sur la Figure 2.18. La composante DC se superpose donc tardivement au signal bipolaire AC. À noter, la surface complètement métallisée rend impossible le test des LGAD par injection laser, à moins d'y dégager une ouverture.

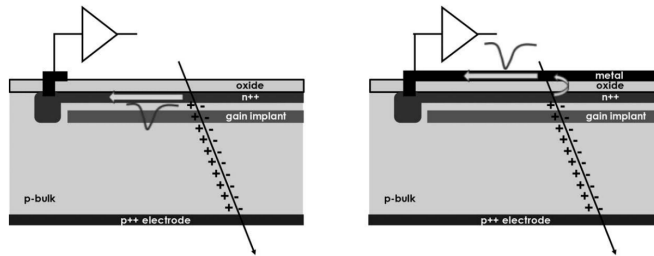


FIGURE 2.18 – Propagation du signal à la surface d'un UFSD avec ou sans métallisation complète [5]

2.3 Choix d'une technologie d'ASIC

Cette section vise à donner les caractéristiques propres à la technologie retenue pour l'ASIC (TSMC130). On ne s'intéressera pas aux propriétés de la technologie employée pour la fabrication des détecteurs.

Si la finesse de gravure des transistors peut être un paramètre important à considérer, les performances analogiques d'un préamplificateur dépendent tout d'abord de caractéristiques propres aux MOSFETs mis en oeuvre par la techno :

- Transconductance
- Bruit thermique
- Bruit en $1/f$
- Tenue aux radiations

Ces caractéristiques sont développées ci-après, à l'exception des propriétés liées aux radiations qui ne sont pas traitées.

2.3.1 Gain intrinsèque d'un MOSFET

Le gain intrinsèque d'un MOSFET est donnée par le produit $g_m r_{ds}$. La transconductance g_m est un paramètre petit signal définie comme :

$$g_m = \frac{\delta I_d}{\delta V_{gs}} \quad (2.7)$$

où I_d est le courant drain-source et V_{gs} la tension grille-source.

Néanmoins, son expression analytique en fonction de paramètres physiques du transistor dépend du degré d'inversion du canal. Le modèle dit quadratique distingue simplement 2 régions d'inversion : faible et forte. La transconductance s'exprime alors par :

$$g_m = \begin{cases} \frac{I_D}{nV_T} & \text{en faible inversion} \\ \sqrt{2\mu C_{ox} \frac{W}{L} I_D} & \text{en forte inversion et en saturation.} \end{cases} \quad (2.8)$$

où n est un paramètre inhérent à la technologie, V_T est la tension thermique ($V_T = k_B T / q$), W et L sont les dimensions caractéristiques du transistor, μ est la mobilité des porteurs de charge et C_{ox} est la capacitance surfacique de la grille. Sachant que l'épaisseur d'oxide de grille pour un procédé **Complementary Metal-Oxide-Semiconductor (CMOS)** en 130 nm est de $t_{ox} = 2.4 \text{ nm}$, C_{ox} vaut :

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{\epsilon_0 \epsilon_r}{t_{ox}} = \frac{3.9 \times 8.85 \times 10^{-12}}{2.4 \times 10^{-9}} = 15 \text{ fF} \mu\text{m}^{-2} \quad (2.9)$$

On définit le rapport $\frac{g_m}{I_D}$ comme l'efficacité de la transconductance, c'est-à-dire la capacité du transistor à produire un gain à un courant de polarisation donné. La figure 2.19 montre son évolution en fonction de la géométrie du transistor (et donc du coefficient d'inversion) pour les transistors en TSMC130. Comme attendu, les NMOS présentent une mobilité de leurs porteurs de charge plus élevée que les PMOS.

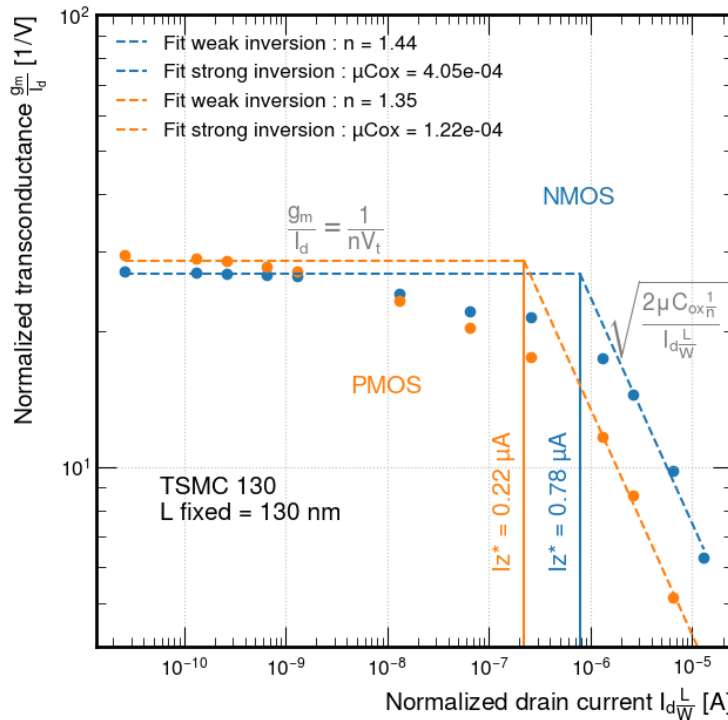


FIGURE 2.19 – Simulation de l'efficacité de transconductance en fonction du courant normalisé $I_D \frac{L}{W}$ pour des MOSFET de la technologie TSMC130

Le modèle quadratique apparaît donc peu approprié pour estimer la transconductance dans le régime dit modéré situé à l'intersection des régimes d'inversion faible et forte. Or, ce régime d'inversion est particulièrement intéressant puisqu'il offre un compromis entre vitesse, efficacité du transistor à générer un courant et surface du transistor. Par ailleurs, la réduction de la taille minimale des transistors a pour conséquence de repousser la région de forte inversion vers les densités de courant plus élevées, comme l'illustre la figure 2.20. Dit autrement : dans la région de

forte inversion, plus la longueur de la grille est petite, plus l'efficacité de puissance est grande, tandis qu'en faible inversion, c'est l'inverse. En pratique, ces deux régimes extrêmes sont inutilisables puisqu'ils ne satisfont ni les contraintes de faible puissance ni celles d'amplification absolue attendue. L'efficacité du transistor à produire un courant en régime modéré ne dépend quant à elle plus du paramètre géométrique L . En anticipation de quelques pages, la figure 2.20 montre également la plage de fonctionnement du transistor d'entrée d'ALTIROC, qui tire un léger avantage de la réduction d'échelle des transistors.

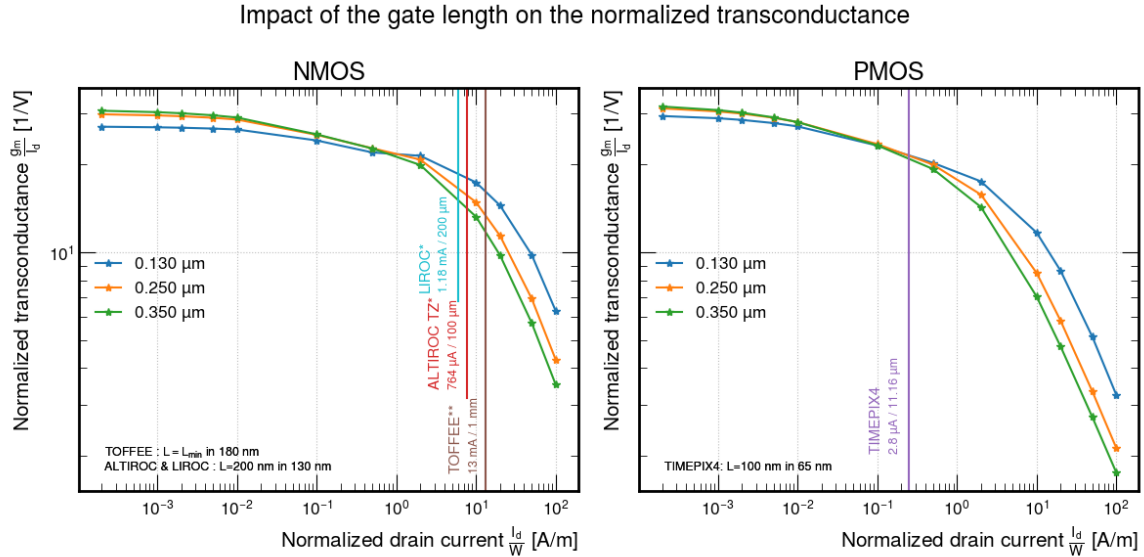


FIGURE 2.20 – Simulation de l'efficacité de transconductance en fonction du courant normalisé $\frac{I_D}{W}$ pour des MOSFET de la technologie TSMC130 de différentes longueurs de grille, superposé avec les conditions de polarisation du transistor d'entrée de divers front-end

Le modèle EKV (établi par Enz-Krummenacher-Vittoz) introduit une nouvelle variable appelée coefficient d'inversion (IC), qui est une mesure du degré d'inversion du canal d'un transistor MOS. Ce paramètre se substitue à la tension d'overdrive ($V_{OV} = V_{GS} - V_T$) classiquement utilisée. Il offre ainsi une modélisation continue du comportement du transistor quel que soit le coefficient d'inversion du canal, c'est-à-dire quelle que soit la facilité du transistor à générer un courant. Le coefficient d'inversion est défini par :

$$IC = \frac{I_D}{I_{SPEC}} = \frac{I_d}{I_Z^* \frac{W}{L}} = \frac{I_d}{2\mu C_{ox} n V_T^2 \frac{W}{L}} \quad (2.10)$$

où on appelle I_{SPEC} le courant spécifique et I_Z^* le courant caractéristique normalisé de drain (localisé à l'intersection de asymptotes de faible et forte inversion sur la figure 2.19).

La transconductance en petits signaux pour un MOSFET est alors donnée par l'équation suivante :

$$\frac{g_m}{I_D} = \frac{1}{nV_t} \frac{\sqrt{(\lambda_c IC + 1)^2 + 4IC} - 1}{IC(\lambda_c(\lambda_c IC + 1) + 2)} \quad (2.11)$$

Le paramètre λ_c modélise la fraction du canal dont la vitesse des porteurs de charge est saturée. Cette valeur peut être estimée à partir des mêmes données obtenues en simulation pour la figure 2.19. Sur la figure 2.21, l'efficacité de transconductance est normalisée par (nV_t) pour faire clairement apparaître la dépendance en $\frac{1}{\lambda_c}$. Ici, la valeur de λ_c signifie que les porteurs de charges se déplacent sur 26% des 130 nm de largeur du transistor à la vitesse de saturation.

Les écarts entre les deux courbes peuvent s'expliquer par :

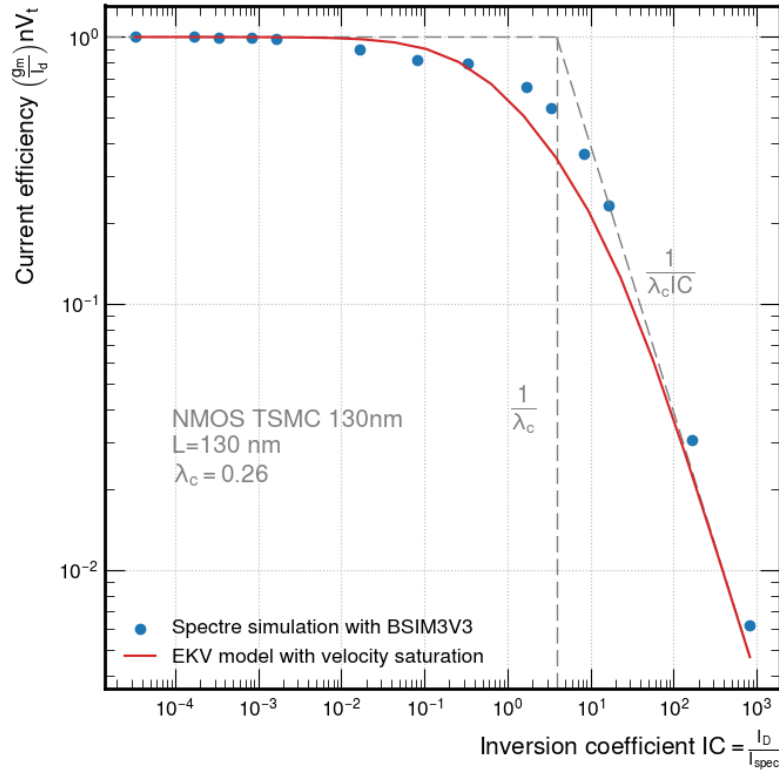


FIGURE 2.21 – Simulation de l'efficacité de transconductance normalisée en fonction du coefficient d'inversion du canal pour la technologie TSMC130

- une estimation de mauvaise qualité de la valeur de λ_c à partir du comportement asymptotique de l'efficacité du courant en forte inversion
- la comparaison de deux modèles intrinsèquement différents : BSIM (3V3) et EKV, dont la comparaison sort du cadre de cette thèse.

Le modèle EKV sera mis à profit (3.3.2) pour estimer par quelques applications numériques la transconductance du transistor d'entrée M1.

2.3.2 Sources de bruit d'un MOSFET

Un MOSFET (et plus largement un transistor à effet de champ) présente deux sources de bruit : le bruit thermique (appelé également bruit de Johnson ou Nyquist) et le bruit en $1/f$ (Flicker noise). La densité spectrale en tension peut être modélisé au niveau de la grille du transistor par l'équation :

$$S_e^2(f) = S_W^2 + S_f^2(f) \quad (2.12)$$

Le premier terme (noté avec l'indice W pour thermique) correspond à la fluctuation du courant, c'est-à-dire à l'agitation des porteurs de charges à l'intérieur d'un conducteur. Dans le transistor d'entrée, la densité spectrale de bruit s'exprime en tension pour le transistor d'entrée M1 par :

$$S_W^2 = \frac{4k_B T \Gamma}{g_{m1}} \quad (2.13)$$

où k_B est la constante de Boltzmann, T la température absolue en Kelvin, g_m la transconductance du transistor et Γ s'exprime par :

$$\Gamma = \alpha_w \gamma \quad (2.14)$$

où le coefficient α_w appelé excess noise factor est un facteur de correction (supérieur ou égal à 1) du modèle pour les transistors à faible longueur de grille. Étant donnée cette faible longueur de grille, les porteurs de charge n'auraient pas le temps d'atteindre l'équilibre thermique (trop peu de collisions). Or, l'expression du bruit thermique repose sur cette hypothèse. On observe donc un excès de bruit thermique. Le coefficient γ représentant le degré d'inversion du canal varie entre 1/2 en faible inversion et 2/3 en inversion forte. Il est modélisé par :

$$\gamma = \frac{1}{2} + \frac{1}{6} \frac{IC}{IC + 1} \quad (2.15)$$

où IC est le coefficient d'inversion défini précédemment.

La seconde source de bruit d'un MOSFET n'a pas un spectre de bruit blanc, contrairement au bruit thermique mais est inversement proportionnelle à la fréquence.

$$S_f^2(f) = \frac{K_f(IC, L)}{C_{ox}LW} \frac{1}{f^{\alpha_f}} \quad (2.16)$$

Le coefficient α_f reflète la pente du bruit en 1/f et vaut typiquement 0.85 (et 1.1) pour les NMOS (PMOS). K_f est un paramètre lié au procédé de fabrication et dépend à la fois de la largeur de la grille L mais aussi du coefficient d'inversion du canal IC. Sa valeur typique est de $3 \times 10^{-24} \text{ J.Hz}^{\alpha_f-1}$ pour les NMOS et 10 fois moins pour les PMOS. L'énergie du bruit en 1/f pourra également être donnée en Joules en l'évaluant à une fréquence donnée et connaissant α_f :

$$E_{1/f} = K_f f^{1-\alpha_f} \quad (2.17)$$

2.3.2.1 Simulation

Pour la technologie TSMC130, la densité spectrale de bruit des PMOS et des NMOS est relativement similaire pour le bruit en 1/f : à peine un facteur 2 sépare la valeur du K_f entre PMOS et NMOS, comme le montre la figure 2.22. Comme attendu la fréquence charnière (à laquelle bruits thermique et flicker se valent) est plus faible pour les PMOS que les NMOS car la pente en $1/f^{\alpha_f}$ est plus raide pour les PMOS. La densité spectrale de puissance (V^2/Hz) décroît donc au rythme d'une décade à chaque fois que la fréquence est multipliée par 100, vu que la puissance (et non la tension) du bruit évolue globalement en 1/f.

La simulation est obtenue pour seul composant non-idéal le transistor étudié. Ce dernier est polarisé grâce à une résistance de contre-réaction suffisamment grande pour éviter de ramener du bruit thermique supplémentaire à l'entrée du transistor. Le bruit résiduel peut en outre être filtré par une grande capacité. Une source idéale de tension (nulle) est placée au niveau de la grille pour indiquer au simulateur à quel noeud du circuit est reporté le bruit en entrée.

La figure 2.22 montre également que le bruit thermique est d'autant plus faible que le courant de drain (et donc la transconductance du transistor) est important. La différence entre PMOS et NMOS pour le bruit thermique s'explique par un défaut de transconductance des PMOS par rapport aux NMOS lorsqu'ils sont opérés au-delà du régime de faible inversion. Cela est dû à la plus faible mobilité des trous par rapport aux électrons.

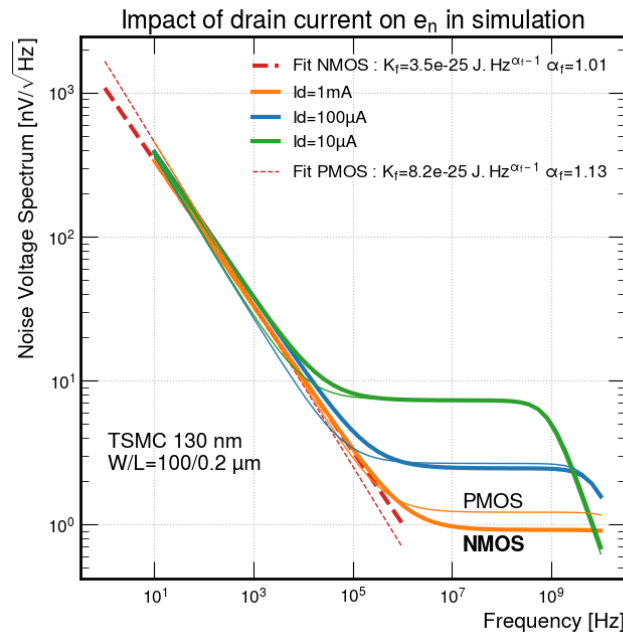


FIGURE 2.22 – Simulation de la densité spectrale de bruit en tension ramenée à l'entrée d'un MOSFET de la technologie TSMC130

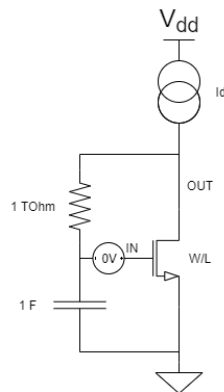


FIGURE 2.23 – Schéma de simulation de la densité spectrale de bruit en tension ramenée à l'entrée d'un MOSFET de la technologie TSMC130

2.4 Instrumenter un détecteur

La section consacrée à la formation du signal dans un LGAD a montré qu'il fournit un courant d'une très faible intensité pendant un laps de temps court. Ce signal d'une valeur de quelques femto coulombs a donc besoin d'être amplifié pour être utilisé. Instrumenter ces détecteurs signifie tout d'abord faire le choix de l'impédance d'entrée de l'amplificateur. De façon générale, on dit de l'amplificateur qu'il est sensible à la tension ou à la charge (respectivement au courant) et qu'il présente un gain A/V en transconductance (respectivement V/A en transrésistance) si l'impédance d'entrée du préamplificateur est grande (petite) devant l'impédance du détecteur.

Comme vu précédemment, les LGAD sont des détecteurs intrinsèquement capacitifs. Ils sont donc modélisés au premier ordre par une capacité ($C_d = 4$ pF pour un LGAD) à laquelle le préamplificateur est connecté, comme sur le schéma 2.24.

L'impédance complexe vue par le détecteur dépend donc du contenu spectral du signal. Le temps caractéristique du signal en courant d'un LGAD est donné par le temps de drift des porteurs de charge les plus lents (les trous). Le signal se développe pendant environ $t_d = 600$ ps, soit une

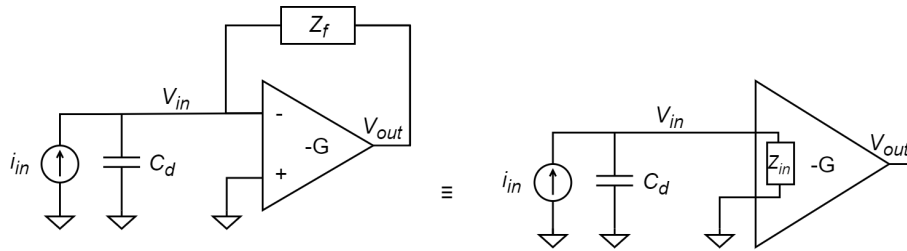


FIGURE 2.24 – Schéma générique d’un détecteur capacitif instrumenté par un préamplificateur à transimpédance

bande passante de 580 MHz d’après l’équation 2.18 en considérant que $t_{10-90\%} = t_d$.

$$f_{-3dB} = \frac{1}{2\pi\tau} = \frac{0.35}{t_{10-90\%}} \quad \text{avec } t_{10-90\%} = 2.2\tau \quad (2.18)$$

Pour instrumenter une source de courant, l’amplificateur idéal est une source de tension contrôlée en courant, c’est-à-dire avec une impédance d’entrée nulle. En effet, dans ces conditions, le signal (en tension) en sortie est complètement indépendant de l’impédance du détecteur. Par ailleurs, le couplage entre voies est ainsi minimisé puisque le signal d’une voie n’est pas tenté d’aller perturber ses voisins. Néanmoins, cet amplificateur idéal n’existe pas. Obtenir une faible impédance d’entrée se paie soit sur la puissance, soit sur le bruit. En effet, parmi les 3 montages fondamentaux de transistor (Figure 2.25), le convoyeur de courant (appelé aussi grille commune en CMOS) possède une faible impédance d’entrée mais elle évolue en $R_{in} = \frac{1}{g_m} \propto \frac{1}{I_d}$. Pour une application faible consommation, ce montage en boucle ouverte n’est donc pas approprié. On pourrait également imaginer placer une résistance de 50 Ω en parallèle de l’amplificateur forçant ainsi la conversion du signal de courant en tension. Néanmoins, la tension résultante développée aux bornes de la résistance serait inférieure au millivolt pour le MIP du LGAD considéré. Cette approche sera toutefois considérée pour l’instrumentation des SiPM dans le dernier chapitre consacré à LIROC ??.

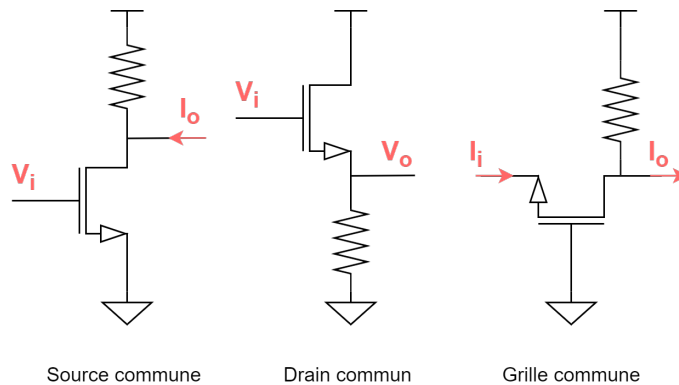


FIGURE 2.25 – Les 3 configurations de base de transistor

Une autre approche permet de moduler l’impédance d’entrée d’un amplificateur : on a alors recours à une contre-réaction parallèle-parallèle, comme représenté sur la figure 2.24 (à gauche). Cette technique permet à la fois de régler à souhait l’impédance d’entrée et de sortie mais aussi d’augmenter la bande passante de l’amplificateur. Dans une telle configuration, le gain de l’amplificateur est également stabilisé contre la dégradation due à l’effet des doses ionisantes, les variations de température et de tension, ce qui est un avantage pour la calibration du front-end. En contre-partie, à produit gain bande constant, le gain se trouve diminué et l’amplificateur a tendance à osciller en l’absence de compensation. Pour que l’entrée de l’amplificateur soit sensible au courant et que la sortie constitue une source de tension ¹, le montage contre-réactionné en

1. Un signal en tension est plus facilement utilisable par le discriminateur

transimpédance est utilisé (parmi les 4 possibilités de contre-réaction).

Le type de préamplificateur dépend de la nature de son impédance d'entrée. Trois cas de figure idéaux se dégagent et sont étudiés ci-après :

- **Préamplificateur de charge** où $Z_{in} \propto \frac{1}{j\omega C_f}$ (purement capacitif)
- **Préamplificateur de tension** où $Z_{in} \propto R_f$ (purement résistif) avec $R_{in} \gg \frac{t_d}{C_d}$
- **Préamplificateur en courant** où $Z_{in} \propto R_f$ (purement résistif) avec $R_{in} \ll \frac{t_d}{C_d}$

2.4.1 Préamplificateur à contre-réaction capacitive

Appelé également préamplificateur de charge, la tension de sortie de cet architecture d'amplificateurs est proportionnelle à la charge délivrée par le détecteur. Le schéma fonctionnel est donné par la figure 2.26. Ce montage dit à transimpédance possède une contre-réaction parallèle formée par Z_f .

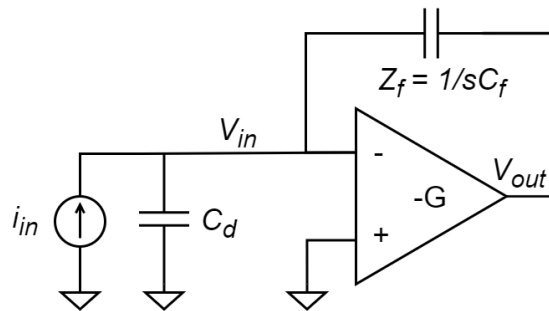


FIGURE 2.26 – Schéma fonctionnel d'un préamplificateur de charge

2.4.1.1 Impédance d'entrée

Les lois de Kirchhoff nous permettent de calculer l'impédance d'entrée du montage en omettant l'impédance du détecteur $Z_d = \frac{1}{sC_d}$.

$$\begin{cases} v_{out} - v_{in} = -Z_f i_{in} \\ v_{out} = -G(s) v_{in} \end{cases} \quad (2.19)$$

L'impédance d'entrée du préamplificateur est donnée par :

$$Z_{in,PA} = \frac{v_{in}}{i_{in}}(s) = \frac{Z_f}{1 + G(j\omega)} \approx \frac{Z_f}{G(s)} \quad (2.20)$$

Si le gain en boucle ouverte en tension (noté G) de l'amplificateur est infini, alors l'impédance d'entrée du montage est nulle, si bien que l'intégralité des charges délivrées sont soustraites au détecteur. Au contraire, si l'on fait l'hypothèse que le gain de l'amplificateur est fini, alors l'impédance d'entrée est en concurrence avec celle du détecteur. Le gain peut être modélisé par un premier ordre tel que :

$$G(s) = \frac{G_0}{1 + \frac{s}{\omega_0}} \quad (2.21)$$

avec $G_0 \gg 1$ son gain en boucle ouverte en DC et ω_0 sa pulsation de coupure (ou pôle dominant) exprimé en radians/s. Son produit gain-bande étant fini et constant, le gain finit par décroître avec la fréquence.

Par ailleurs, en admettant que l'impédance de détecteur est grande devant celle du préamplificateur, l'impédance d'entrée du montage devient :

$$Z_{in} = \frac{Z_f}{G(s)} = \frac{1}{sC_f G_0} + \frac{1}{\omega_0 C_f G_0} = \frac{1}{sC_f G_0} + R_{eq} \quad (2.22)$$

La capacité de contre-réaction se comporte en entrée comme une résistance virtuelle R_{eq} en série avec une capacitance diminuée du gain de l'amplificateur.

2.4.1.2 Étude du signal

Comme précédemment, il est possible de calculer le gain de transimpédance en considérant les équations 2.4.1.1 et les suivantes :

$$\begin{cases} i_{in} = i_d + i_f \\ v_{in} = i_d Z_d = \frac{i_d}{sC_d} \end{cases} \quad (2.23)$$

d'où :

$$\begin{aligned} A = \frac{v_{out}}{i_{in}}(s) &= \frac{-Z_f}{1 + \frac{Z_f + Z_d}{G(s)Z_d}} \\ &\approx \frac{-1}{sC_f} \frac{-1}{1 + \frac{C_d + C_f}{G(s)C_f}} \xrightarrow[t \rightarrow \infty]{s \rightarrow 0} \frac{1}{C_f + \frac{C_d}{G_0}} \quad (\text{avec } C_f \ll C_d) \end{aligned} \quad (2.24)$$

Pour que le montage intègre l'intégralité de la charge délivrée par le détecteur, il faut donc que $\frac{C_d}{G_0 C_f} \ll 1$ pour garantir le transfert de charge de C_d vers C_f . La tension de sortie de l'amplificateur est maximale si G_0 est grand ou si C_d est petit. Par identification de la transformée de Laplace, on obtient le profil temporel du signal de sortie en réponse à un Dirac de courant (de charge Q_{in}) :

$$v_s(t) = \frac{-Q_{in}}{C_f + \frac{C_d}{G_0}} (1 - e^{-t \frac{\omega_0 G_0 C_f}{C_d}}) \quad (2.25)$$

En l'état, ce montage ne peut fonctionner en régime permanent car la sortie du préamplificateur finit par saturer. En effet, signal et courant de fuite du détecteur sont absorbés (ou délivré suivant la polarité de la haute-tension) par le préamplificateur pour chaque voie. Il convient donc de vider la capacité avant que le préamplificateur ne soit aveugle et perde de sa gamme dynamique. Diverses stratégies peuvent être mises en oeuvre, qu'elles agissent de façon séquentielle (un transistor court circuité C_f à intervalles de temps régulier) ou continue : en plaçant par exemple une résistance de compensation en parallèle de la capacité de contre-réaction.

Des objectifs antagonistes apparaissent alors : une faible résistance est nécessaire pour réduire la constante de temps de retour à la ligne de base et donc limiter le bruit d'empilement, tandis qu'une grande résistance est souhaitable à la fois pour maximiser le gain du montage et minimiser son propre bruit thermique, comme on le verra dans le montage non-idéal.

Lorsque la valeur optimale est difficilement réalisable vu la résistivité passive des matériaux et des surfaces disponibles dans un circuit intégré, un transistor polarisé en régime triode (c'est-à-dire à $V_{gs} > V_{th}$ et $V_{ds} < V_{gs} - V_{th}$) permet d'atteindre des GigaOhms dans quelques μm^2 .

Dans un accélérateur de particules, le nombre d'évènements à traiter par unité de temps (dû au flux des faisceaux) contraint la valeur de la résistance de compensation. En effet, les paquets de protons se croisent par exemple toutes les 25 ns au LHC. En visant une constante de temps de relaxation de l'ordre de la ns et faisant l'hypothèse d'une capacité de contre-réaction de 100 fF, on obtient alors une résistance de l'ordre de 10 k Ω . Une telle résistance peut donc aisément être intégrée dans un front-end analogique.

On peut constater par ailleurs que le module de l'impédance complexe de C_f à la fréquence de travail d'un LGAD (soit $f=500$ MHz) est inférieure à celui de la résistance de compensation évaluée précédemment (3 k Ω contre 10 k Ω). La solution appropriée pour la lecture de LGAD se rapproche donc plus du cas d'un préamplificateur à contre-réaction résistive. Précisons également que cette résistance - quoique non indispensable - facilite la polarisation DC du point d'entrée (quelle que soit sa valeur)

2.4.2 Préamplificateur à contre-réaction résistive

Si on suppose que l'impédance de contre-réaction est purement résistive R_f et que le gain de l'amplificateur n'est pas limité en fréquence, alors l'impédance d'entrée du montage R_i est résistive. Le couple $R_i C_d$ fixe désormais la dynamique temporelle du signal de tension en entrée en comparaison avec la constante de temps propre au signal t_d . Puisque pour un LGAD, t_d est égal à 600 ps et C_d vaut 4 pF, le seul degré de liberté restant est R_i . En fonction de sa valeur, deux comportements opposés se présentent :

- $R_i C_d \gg t_d$: La charge délivrée Q_{in} est initialement intégrée par la capacité détecteur C_d générant une tension $V_{in} = \frac{Q_{in}}{C_d}$ à l'entrée de l'amplificateur en un temps très court t_d . En effet, à ces hautes fréquences l'impédance est dominée par la capacité détecteur : $Z_i = C_d // R_i \sim C_d$. Puis l'amplificateur impose son rythme de décharge à la capacité détecteur (en $R_i C_d$). On dit que l'ensemble détecteur-amplificateur est sensible à la tension V_{in} ou à la charge Q_{in} . L'application numérique nous donne $R_i \gg 175 \Omega$.
- $R_i C_d \ll t_d$: L'impédance d'entrée ne limite cette fois plus la rapidité du détecteur à fournir un courant. La tension d'entrée suit donc aisément les variations de courant. Puisque l'impédance est désormais dominée par l'impédance de l'amplificateur ($Z_i = C_d // R_i \sim R_i$), la tension d'entrée évolue en $V_{in} = R_i I_{in}$. Le système est donc sensible au courant. L'application numérique nous donne $R_i \ll 175 \Omega$.

La figure 2.27 schématise avec des valeurs réalistes les profils temporels obtenus dans les 2 modes extrêmes.

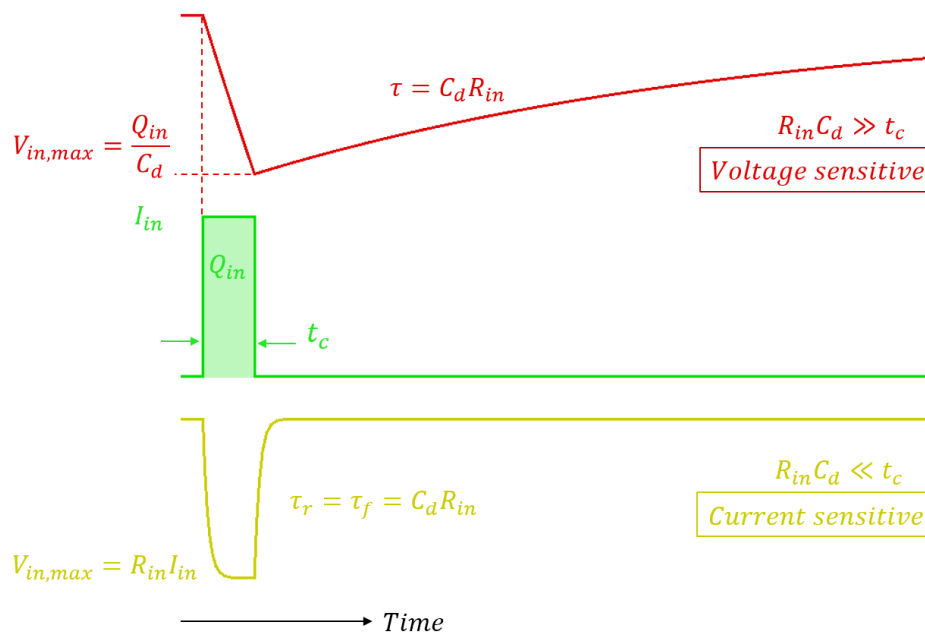


FIGURE 2.27 – Impact de l'impédance du détecteur

La capacité détecteur entre donc en compétition avec l'impédance d'entrée de l'amplificateur contre-réactionné, attirant initialement les charges et imposant la tension à l'entrée du préamplificateur. Vu la valeur de la capacité détecteur C_d du LGAD, le préamplificateur pourra difficilement être sensible au courant, mais éventuellement avoir un comportement qui s'en approche. En effet, le module de l'impédance de la capacité détecteur domine par défaut, ne dépassant pas la centaine d'Ohm en dessous de 1 GHz. Dit autrement, aux fréquences de travail d'un LGAD, il est vain pour l'amplificateur de chercher à vaincre la capacité du détecteur.

2.5 Conclusion

Ce premier chapitre montre combien les problématiques d'instrumentation d'une expérience de physique des particules sont transversales, sans pourtant même avoir discuté des effets des radiations sur l'électronique. Les promesses de détecteurs permettant de fines mesures de temps sont aujourd'hui primordiales pour l'augmentation de la luminosité des accélérateurs. Bien que ce manuscrit ne le décrive pas, la conception et la caractérisation des détecteurs est une discipline en soi mobilisant de nombreuses structures de recherche, en particulier afin de garantir leurs performances sous irradiation. Rappelons que les ordres de grandeur des fluences et doses ionisantes en jeu sont inconnues de l'industrie, même spatiale. Dans la communauté de physique des particules, HGTD est un des premiers systèmes à offrir une mesure de temps d'une précision de moins de 25 ps RMS en début de vie (et 65 ps RMS en fin). L'ASIC ALTIROC, hybridé à un LGAD, a été mis en oeuvre dans cet objectif. Dans le chapitre suivant, son architecture et ses spécifications principales sont décrites. Deux types de préamplificateur qui diffèrent essentiellement par leur impédance d'entrée ont été testés dans les diverses versions de l'ASIC. L'étude des caractéristiques de celui retenu pour l'expérience est menée.

2.6 Bibliographie

- [1] A. Apresyan. Precision Timing Detectors in Collider Experiments. [\url{https://indico.fnal.gov/event/54596/contributions/248572/attachments/158954/208808/Timing-Detectors-v3.pdf}](https://indico.fnal.gov/event/54596/contributions/248572/attachments/158954/208808/Timing-Detectors-v3.pdf), 2022. 7
- [2] N. Cartiglia. Ultra-Fast Silicon Detector. [\url{https://www-physics.lbl.gov/seminars/old/Cartiglia.pdf}](https://www-physics.lbl.gov/seminars/old/Cartiglia.pdf), 2015. v, 9
- [3] N. Cartiglia, R. Arcidiacono, M. Baselga, R. Bellan, M. Boscardin, F. Cenna, G. F. Dalla Betta, P. Fernandez-Martnez, M. Ferrero, D. Flores, Z. Galloway, V. Greco, S. Hidalgo, F. Marchetto, V. Monaco, M. Obertino, L. Pancheri, G. Paternoster, A. Picerno, G. Pellegrini, D. Quirion, F. Ravera, R. Sacchi, H. F. Sadrozinski, A. Seiden, A. Solano, and N. Spencer. Design optimization of ultra-fast silicon detectors. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 796 :141–148, 2015. ISSN 01689002. doi : 10.1016/j.nima.2015.04.025. URL <http://dx.doi.org/10.1016/j.nima.2015.04.025>. 15
- [4] F. Cenna, N. Cartiglia, A. D. Francesco, J. Olave, M. D. R. Rolo, A. Rivetti, J. C. Silva, R. Silva, and J. Varela. TOFFEE : A full custom amplifier-comparator chip for timing applications with silicon detectors. *Journal of Instrumentation*, 12(3), 2017. ISSN 17480221. doi : 10.1088/1748-0221/12/03/C03031. 13
- [5] M. Ferrero, R. Arcidiacono, M. Mandurrino, V. Sola, and N. Cartiglia. *An introduction to Ultra-Fast Silicon Detectors*. Number 1. Crc press edition, 2021. ISBN 9780367646295. doi : 10.1201/9781003131946. v, 10, 11, 12, 13, 14, 15

Chapitre 3

Description d'ALTIROC

3.1 Architecture globale

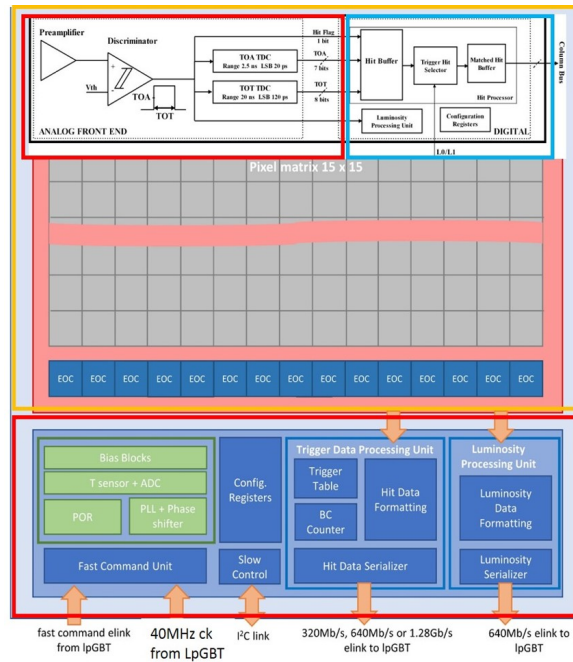


FIGURE 3.1 – Architecture globale d'ALTIROC2

ALTIROC intègre dans son ultime version 225 voies qui forment une matrice de 15×15 . Chaque voie dispose d'un préamplificateur rapide et bas bruit, un discriminateur à seuil fixe, deux convertisseurs analogique-numérique du temps (TDC pour Time-to-Digital Converter) ainsi qu'une partie de traitement numérique du signal pour stocker, formater et transmettre les données (Figure 3.2)

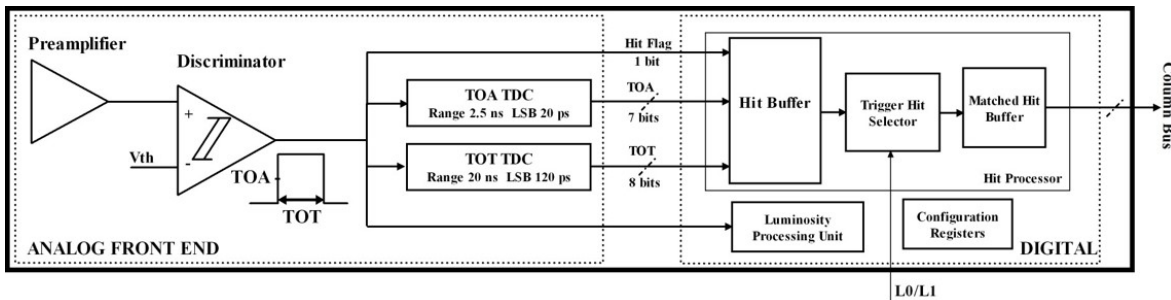


FIGURE 3.2 – Architecture d'une voie d'ALTIROC2

La périphérie comprend des fonctions analogiques et digitales :

- une boucle à verrouillage de phase (ou PLL pour Phase-Locked Loop) produisant l'ensemble des horloges nécessaires au fonctionnement de l'ASIC. Elle est détaillée dans un chapitre dédié 5.
- un déphaseur (ou PS pour Phase Shifter) permettant d'ajuster les nombreuses fenêtres d'acquisition sur le signal à l'intérieur de la période d'un bunch-crossing.
- le circuit de bias fixant les polarisations statiques : sources de courant, sources de tension comme la tension de bandgap, etc.
- le pulser interne permettant de calibrer l'ASIC en émulant le signal d'un LGAD
- divers blocs numériques permettant d'extraire les données de chaque voie vers l'extérieur avec notamment un sérialiseur transmettant les données jusqu'à 1.28 Gbps, ainsi qu'un sys-

tème de décodage des "fast commands" (consignes fournies à l'ASIC comme le trigger L1 ordonnant la remontée de données suite la détection d'un évènement d'intérêt)

- les registres de configuration globale de l'ASIC avec l'interface I2C idoine. On compte 510 bits dans la périphérie et 56 bits de configuration par voie, soit 13110 bits au total.

3.2 Spécifications

La table suivante synthétise l'ensemble des spécifications de l'ASIC pour le projet HGTD.

Critères	Maximum	Conditions
Equivalent Noise Charge	$3000e^-$ ou 0.5 fC	
Charge minimale détectable	2 fC	
Gamme dynamique	100 fC	
Dissipation thermique :	1.2 W	par chip
↳ par voie	4.4 mW	
↳ fonctions mutualisées	200 mW	
Température de fonctionnement	$-30 \pm 10^\circ\text{C}$	(+ température ambiante pour qualification)
Mesure de temps :		
Jitter total par hit	35 ps	à 10 fC (en début de vie du LGAD)
↳ Jitter de Landau	25 ps	pour un LGAD non-irradié
↳ Jitter des horloges	15 ps	(PLL + arbre d'horloge)
↳ Jitter électronique	20 ps	
↳ Jitter résiduel sur le time-walk	10 ps	
↳ Jitter du front-end analogique	10 ps	
↳ Jitter des TDC	10 ps	
Jitter total par hit	70 ps	à 4 fC (en fin de vie du LGAD)
↳ Jitter du front-end analogique	70 ps	
Temps de conversion des TDC	25 ns	entre deux bunch-crossings
Effets des radiations :		
Total Ionizing Dose (TID)	2 MGy ou 200 Mrad	
Fluence	$2.5 \times 10^{15} \text{ n}_{\text{eq}} \text{ cm}^{-2}$	

TABLEAU 3.1 – Spécifications d'ALTIROC

3.3 Préamplificateur d'ALTIROC

Bien que ce chapitre ne traite qu'exclusivement de l'analyse du montage en transimpédance - retenue pour le projet HGTD -, deux types de préamplificateur à contre-réaction résistive ont été implémentés :

- un transimpédance preamplifier (TZ) s'approchant du préamplificateur en courant 3.5
- un voltage preamp. (VPA) ayant les caractéristiques d'un préamplificateur en tension 3.4

L'amplificateur modélisé jusqu'alors par un premier ordre peut être remplacé par son architecture au niveau transistors basée sur un cascode. Le cascode à base de MOS est composé d'un transistor d'entrée en source commune en série avec un transistor monté en grille commune. Cette

architecture permet d'accroître la résistance de sortie et se faisant le gain en tension de l'amplificateur ainsi que sa tolérance aux variations de la tension d'alimentation. Elle permet également de réduire l'effet Miller, permettant ainsi son fonctionnement à plus haute fréquence. En effet, le théorème de Miller décrit comment une impédance flottante (par exemple entre la grille et le drain d'un transistor) peut être modélisée par deux impédances respectivement en parallèle avec la masse. En particulier, la capacité parasite grille-drain du transistor d'entrée est vue amplifiée par le gain en tension du montage en entrée et quasiment telle quelle en sortie.

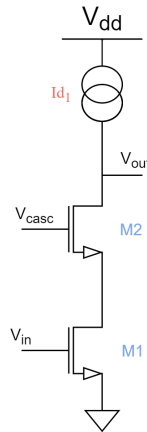


FIGURE 3.3 – Schéma d'un amplificateur cascodé à base de MOSFETs

Le gain de boucle ouverte du montage de la figure 3.3, défini comme suit, est très légèrement inférieur à la transconductance du transistor d'entrée. Ce résultat se déduit en observant que le transistor monté en grille commune présente un gain en courant unitaire entre source et drain (car c'est un convoyeur de courant). Ainsi, ce dernier a une faible impédance d'entrée, entrant fortement en compétition avec l'impédance de sortie du transistor monté en source commune $1/g_{ds1}$. Ainsi tout le courant généré par la source commune $g_{m1} v_1$ se retrouve en sortie.

$$G_m = \frac{i_0}{v_i} \Big|_{v_0=0} \approx g_{m1} \quad (3.1)$$

La résistance de sortie est largement augmentée puisqu'elle atteint :

$$R_0 \approx \frac{1 + \frac{g_{m2}}{g_{ds2}}}{g_{ds2}} + \frac{1}{g_{ds2}} \quad (3.2)$$

Contrairement aux montages avec des bipolaires, la résistance de sortie ne sature pas si l'on ajoute plusieurs niveaux de cascode. Néanmoins, la tension d'alimentation limite en pratique cet empilement en restreignant la plage de variation de la tension de sortie.

3.3.1 Schéma

3.3.2 Impédance d'entrée

Quelle que soit la résistance R_f de contre-réaction, l'impédance d'entrée d'un préamplificateur à contre-réaction résistive est donnée par :

$$Z_{in}(s) = R_f \parallel \left(\frac{R_f}{G_0} + s \frac{R_f}{\omega_0 G_0} \right) \sim \frac{R_f}{G_0} + s L_{eq} \quad (3.3)$$

La résistance de contre-réaction se comporte en entrée comme une inductance virtuelle L_{eq} en série avec la résistance diminuée du gain de l'amplificateur. La figure 3.6, obtenue en simulation au niveau schéma, montre les variations de la magnitude $|Z_{in}|$ en fonction de la fréquence. L'impédance à basse fréquence du TZ est plus faible que celle du VPA, lui permettant de suivre

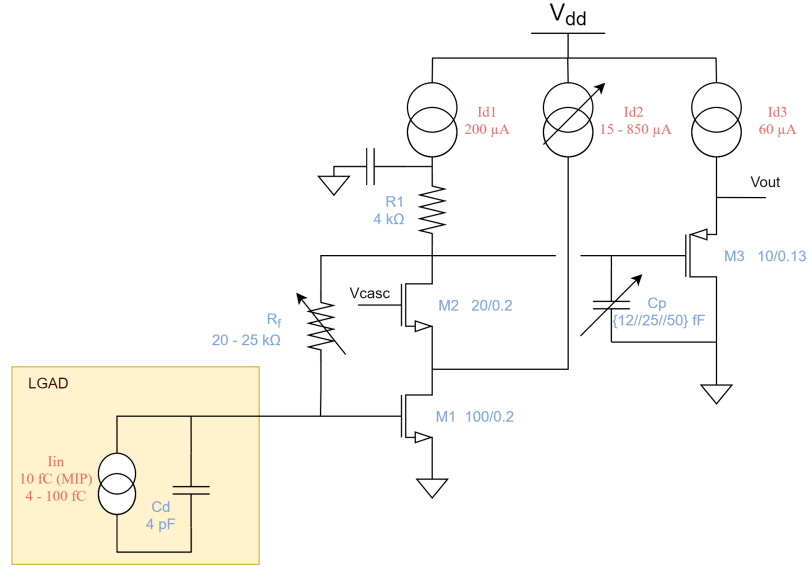


FIGURE 3.4 – Schéma au niveau transistors du VPA

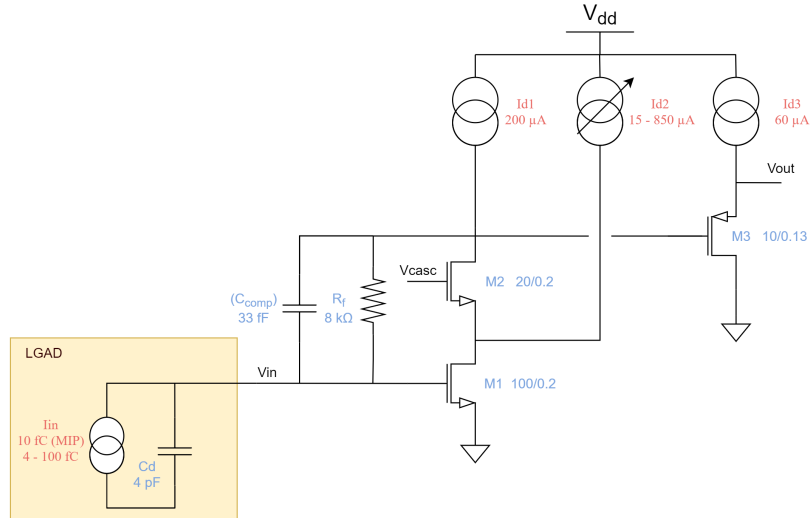


FIGURE 3.5 – Schéma au niveau transistors du TZ

plus aisément les variations de courant du LGAD. Le temps de retour à la ligne de base sera donc plus court pour le TZ que le VPA. En revanche, l'amplitude du signal en tension en entrée du TZ sera légèrement inférieure à celle du VPA.

À partir de la valeur de l'impédance d'entrée, on peut retrouver $G_0 = 25$ et 36 V/V (pour 20 et 25 kΩ) sachant $R_{in} = \frac{R_f}{G_0}$. La fréquence de coupure f_0 correspond au comportement inductif qui apparaît aux fréquences intermédiaires, lorsque :

$$|jL_{eq}\omega_c| = R_{eq} \Leftrightarrow \left| j \frac{R_f}{\omega_0 G_0} \omega_c \right| = \frac{R_f}{G_0} \quad (3.4)$$

où f_0 correspond donc à la fréquence de coupure de l'amplificateur. D'après la simulation du VPA comme du TZ (figure 3.6), elle se situe autour de 200 MHz, fréquence à laquelle le comportement inductif commence à dominer l'impédance d'entrée du préamplificateur. On remarque que l'impédance d'entrée du VPA se stabilise entre 4 et 200 MHz à une valeur supérieure. Cela est dû à la capacité MOS découplant la source de courant, visible sur le schéma 3.4. Passé le pôle formé par le RC, l'impédance de la source de courant (et donc le gain G_0) diminue, faisant augmenter l'impédance d'entrée. Dans les très hautes fréquences, la capacité parasite du transistor d'entrée (de

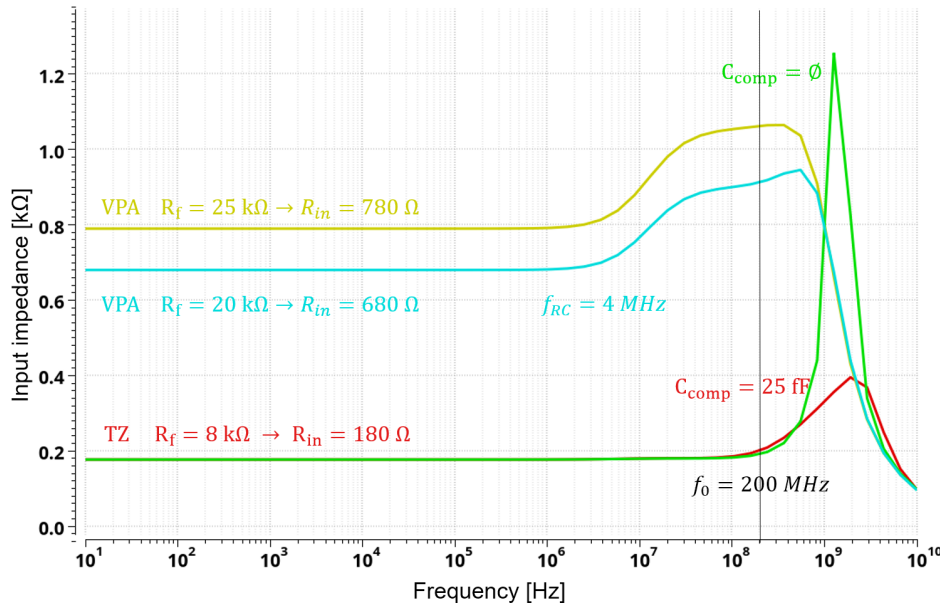


FIGURE 3.6 – Simulation de l'impédance d'entrée des préamplificateurs VPA et TZ en fonction de la fréquence

l'ordre de 150 fF) régit l'impédance d'entrée du préamplificateur : elle ne vaut plus que 100 Ω à 10 GHz.

Placé en parallèle d'une source capacitive (un détecteur silicium par exemple), un montage avec une si faible impédance d'entrée peut être sujet à un comportement oscillatoire. Sa résonance est obtenue autour de la fréquence :

$$f_{res} = \frac{1}{2\pi\tau} = \frac{1}{2\pi\sqrt{L_{eq}C_d}} \quad (3.5)$$

La résonance pourra être amortie en choisissant judicieusement C_f (noté C_{comp} sur la figure 3.6) tel que :

$$C_f = 2\sqrt{\frac{C_d}{R_f G_0 \omega_0}} \quad (3.6)$$

L'impédance d'entrée du montage simulée 3.6 se retrouve aisément puisqu'elle est donnée au premier ordre par le ratio :

$$R_{in} = \frac{R_f}{1 + G_0} \quad (3.7)$$

Or, le gain en boucle ouverte G_0 - en DC - est le produit de la transconductance du transistor d'entrée avec l'impédance vue par le cascode en sortie. Comme R_f , largement inférieur à la résistance de sortie du cascode, est directement connectée à la sortie du cascode, le gain en boucle ouverte vaut :

$$G_0 = g_{m1}R_L \sim g_{m1}R_f \quad (3.8)$$

Transconductance g_{m1} :

Commençons par estimer la transconductance du transistor M1 en déterminant le régime de fonctionnement du transistor en configuration nominale. Son courant de drain normalisé vaut $I_d \frac{L}{W} = 400 \frac{0.2}{100} = 0.8 \mu\text{A}$. D'après la simulation (figure 2.19), le transistor est donc exactement situé entre 2 comportements asymptotiques : les 2 régimes de faible et forte inversion. Ici, en inversion dite modérée, les équations du modèle quadratique 2.3.1 surestimeraient la transconductance. En effet, en faible inversion $g_m = I_d / nV_T = 11 \text{ mA/V}$ avec $n = 1.48$ (extrait en simulation au chapitre précédent) alors que la simulation du préamplificateur donne 7.6 mA/V.

En utilisant le modèle EKV, la transconductance peut être évaluée à partir des équations 2.3.1 et des constantes extraites précédemment pour la technologie TSMC130 ($\lambda_c = 0.26$, $\mu C_{ox} = 4.05 \times 10^{-4}$, $n = 1.44$). Dans ces conditions de polarisation du transistor d'entrée, le coefficient d'inversion vaut quasiment 1 et g_m est égal à 6.3 mA/V, sous-estimant sa valeur. On utilisera dans la suite les valeurs de simulation comme données d'entrée.

La transconductance effective du montage est néanmoins plus faible. En effet, le courant en petit signal du transistor d'entrée (M1) vue par le cascode (M2) s'échappe partiellement dans les impédances parasites de sortie de M1 et d'entrée de M4 (source de courant).

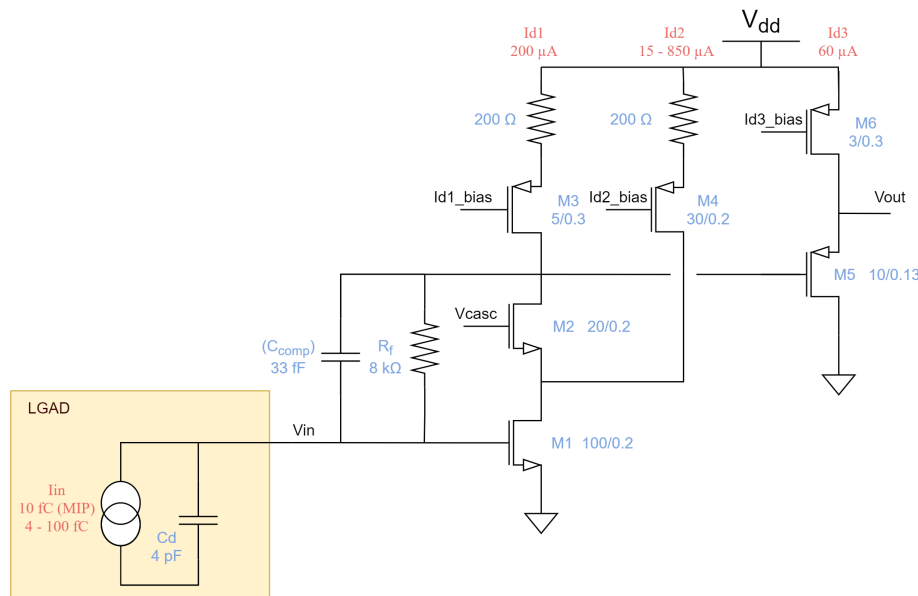


FIGURE 3.7 – Schéma de montage en transimpédance

L'impédance d'entrée du cascode (M2) qui vaut simplement $1/g_{m2}$, soit 364Ω est donc en compétition pour collecter le courant de M1 avec les 2 termes suivants :

- l'impédance d'entrée de la source de courant M4 qui vaut : $(1 + R_{\text{dégénérescence}} g_{m4}) / g_{ds4}$, soit $32 \text{ k}\Omega$
- l'impédance de sortie de M1 qui vaut simplement $1/g_{ds1}$, soit $3 \text{ k}\Omega$ qui domine largement sur le premier terme.

Ces 3 branches forment un pont diviseur de courant, réduisant la transconductance effective de $R_{\text{parasite}} / (R_{\text{parasite}} + R_{in2})$, soit d'environ 11%.

Résistance de sortie R_L :

À nouveau, la résistance de sortie R_L du premier étage d'amplification (en amont du transistor M5 monté en suiveur de tension) est la mise en parallèle de trois termes :

- la résistance de sortie du cascode M2 (R_{out2}) qui s'exprime par $(g_{m2} + g_{mb2}) / g_{ds2} / g_{ds1} + 1/g_{ds2} + 1/g_{ds1}$ et vaut $94 \text{ k}\Omega$. Le terme $g_{m2} / g_{ds2} / g_{ds1}$ domine le résultat puisqu'il compte pour 73 % du total.
- la résistance de contre-réaction R_f ($8 \text{ k}\Omega$)
- la résistance d'entrée R_{in3} de la source de courant I_{d1} fournie par le transistor M3 qui vaut, comme pour M4, $(1 + R_{\text{dégénérescence}} g_{m3}) / g_{ds3}$, soit $56 \text{ k}\Omega$

Sachant que $R_L = R_{out2} \parallel R_f \parallel R_{in3}$, alors sa valeur est de seulement $6 \text{ k}\Omega$. L'impédance d'entrée peut donc être estimée à 177Ω , ce qui est cohérent avec la simulation numérique.

3.3.3 Étude du signal

3.3.3.1 Boucle ouverte

Pour l'étude du signal, on néglige dans un premier temps l'existence d'un suiveur en tension, ainsi que la capacité de compensation. Le calcul en boucle ouverte en petit signal est mené à partir du modèle suivant :

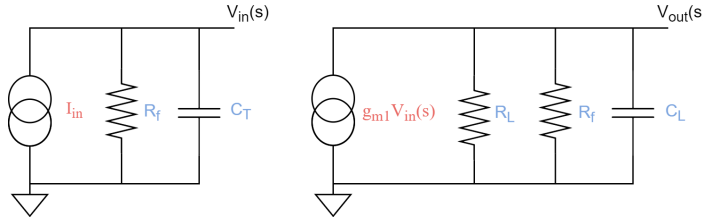


FIGURE 3.8 – Modélisation du TZ pour le calcul du gain en boucle ouverte

On pose :

$$\begin{cases} i_{in} = v_{in} \frac{(1 + sR_f C_T)}{R_f} \\ R_{eq} = R_L // R_f \sim R_f \text{ d'après l'application numérique précédente} \\ g_{m1} v_{in} = v_{out} \frac{(1 + sR_{eq} C_L)}{R_{eq}} \end{cases} \quad (3.9)$$

d'où :

$$A_T = \frac{v_{out}}{i_{in}}(s) = \frac{g_{m1} R_f^2}{(1 + sR_f C_T)(1 + sR_f C_L)} \quad (3.10)$$

Sachant que le réseau de contre-réaction à un gain de $k = 1/R_f$, alors le gain de boucle vaut :

$$kA_T = \frac{g_{m1} R_f}{(1 + sR_f C_T)(1 + sR_f C_L)} \quad (3.11)$$

Cette grandeur permet d'étudier la stabilité du préamplificateur : elle présente deux pôles clairement distincts sur la figure 3.9 pour $C_p = 0$. Leurs fréquences respectives sont données par :

$$\begin{aligned} f_0 &= \frac{1}{2\pi R_f C_T} \\ f_1 &= \frac{1}{2\pi R_f C_L} \end{aligned} \quad (3.12)$$

D'après la simulation, la marge de phase (i.e. phase où le gain de boucle est unitaire) vaut 63 degrés dans le cas conservateur où le courant I_{d2} est le plus élevé (causant la plus grande transconductance du transistor d'entrée, donc la pire marge de phase).

Une méthode de compensation en fréquence pour augmenter la marge de phase consiste à exploiter l'effet Miller en ajoutant une capacité de compensation. Elle est placée entre l'entrée et le noeud à fort gain, c'est-à-dire en parallèle de la résistance de contre-réaction. En simulation, la marge de phase augmente alors à 75 degrés.

Dans le paragraphe suivant, l'analyse par le calcul est menée à partir du schéma 3.10.

On pose :

$$\begin{cases} i_{in} + v_{in} s C_T + \frac{v_{in}}{R_f} + (v_{in} - v_{out}) s C_f = 0 \\ R_{eq} = R_L // R_f \sim R_f \quad \text{d'après l'application numérique précédente} \\ g_{m1} v_{in} + \frac{v_{out}}{R_{eq}} + v_{out} s C_L + (v_{out} - v_{in}) s C_f = 0 \end{cases} \quad (3.13)$$

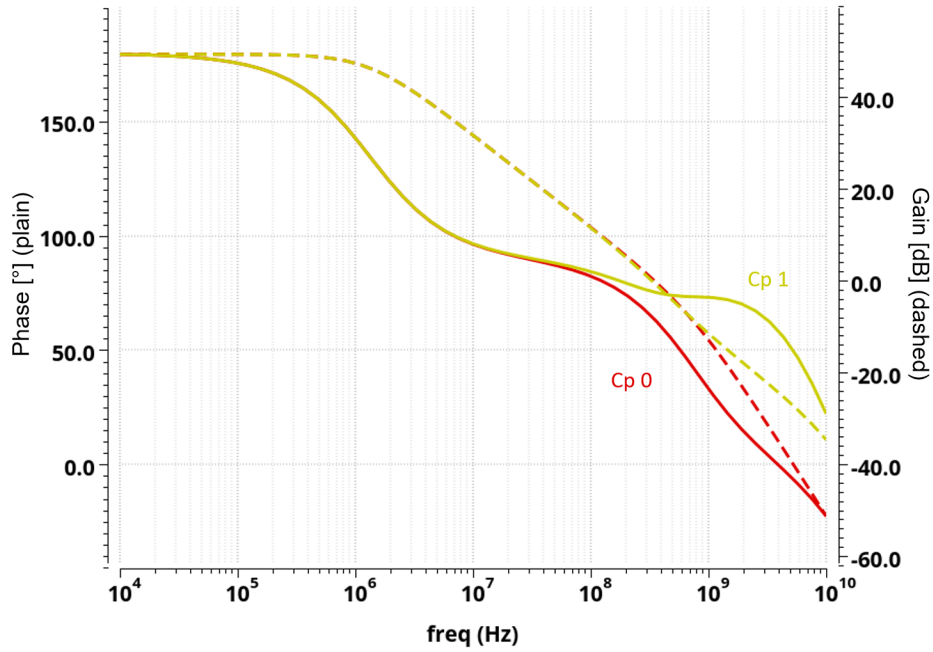


FIGURE 3.9 – Simulation en fréquence du gain en boucle en présence ou non d'une compensation (La phase est représentée en traits continus et le gain en pointillés)

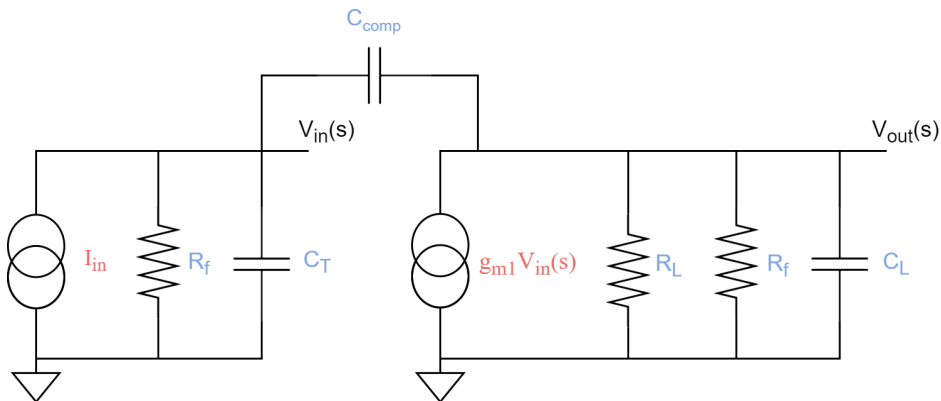


FIGURE 3.10 – Modélisation du TZ avec compensation pour le calcul du gain en boucle ouverte (Traits pointillés et pleins correspondent respectivement au gain et à la phase)

Les termes v_{in} et v_{out} peuvent être regroupés et écrits sous forme matricielle :

$$\begin{bmatrix} \frac{1}{R_f} + s(C_T + C_f) & -sC_f \\ g_{m1} - sC_f & \frac{1}{R_f} + s(C_L + C_f) \end{bmatrix} \times \begin{bmatrix} v_{in} \\ v_{out} \end{bmatrix} = \begin{bmatrix} i_{in} \\ 0 \end{bmatrix}$$

La ratio v_{out}/v_{in} s'obtient en calculant le ratio des déterminants Δ_{out}/Δ tels que :

$$\Delta = \begin{vmatrix} \frac{1}{R_f} + s(C_T + C_f) & -sC_f \\ g_{m1} - sC_f & \frac{1}{R_f} + s(C_L + C_f) \end{vmatrix}$$

Le déterminant Δ_{out} s'obtient en remplaçant la seconde colonne de la matrice de coefficients par les termes du membre de droite :

$$\Delta_{out} = \begin{vmatrix} \frac{1}{R_f} + s(C_T + C_f) & -I_{in} \\ g_{m1} - sC_f & 0 \end{vmatrix}$$

D'où :

$$\begin{aligned}
 A_T &= \frac{v_{out}}{i_{in}}(s) = \frac{\Delta_{out}}{\Delta} \\
 &= \frac{(g_{m1} - sC_f)R_f^2}{s^2\zeta R_f^2 + sR_f(C_L + C_T + C_f(2 + g_{m1}R_f)) + 1}
 \end{aligned} \tag{3.14}$$

avec ζ défini tel que :

$$\zeta = C_T C_L + C_T C_f + C_L C_f \tag{3.15}$$

Rappelons que le gain de transimpédance en boucle ouverte possède les mêmes pôles que le gain de boucle et permet donc une étude de stabilité. À cette étape, il est classiquement procédé à des approximations permettant d'obtenir une expression simple des pôles et des zéros. Néanmoins, l'évaluation numérique (à partir des valeurs de capacités, transconductances, etc extraites de la simulation) montre qu'aucun terme ne domine vraiment au dénominateur.

3.3.3.2 Boucle fermée

Le montage en transimpédance est étudié en fréquence à partir du schéma petits signaux suivant (Figure 3.11). Il se retrouve également en écrivant :

$$T(s) = \frac{A_T(s)}{1 + kA_T(s)} \tag{3.16}$$

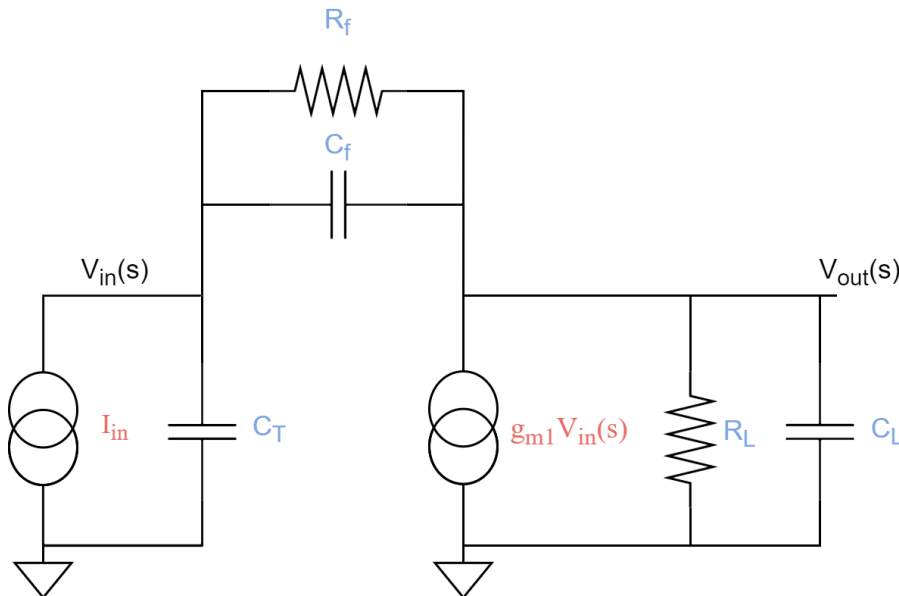


FIGURE 3.11 – Schéma petit signal du TZ pour le calcul du gain de transimpédance en boucle fermée

On pose :

$$\begin{cases}
 i_{in} + v_{in}sC_T + (v_{in} - v_{out})(sC_f + \frac{1}{R_f}) = 0 \\
 g_{m1}v_{in} + v_{out}(sC_L + \frac{1}{R_L}) + (v_{out} - v_{in})(sC_f + \frac{1}{R_f}) = 0
 \end{cases} \tag{3.17}$$

Les termes v_{in} et v_{out} peuvent être regroupés et écrits sous forme matricielle :

$$\begin{bmatrix}
 \frac{1}{R_f} + s(C_T + C_f) & -sC_f - \frac{1}{R_f} \\
 g_{m1} - sC_f - \frac{1}{R_f} & \frac{1}{R_f} + \frac{1}{R_L} + sC_L
 \end{bmatrix} \times \begin{bmatrix} v_{in} \\ v_{out} \end{bmatrix} = \begin{bmatrix} i_{in} \\ 0 \end{bmatrix}$$

La ratio v_{out}/v_{in} s'obtient en calculant le ratio des déterminants Δ_{out}/Δ tels que :

$$\Delta = \begin{vmatrix} \frac{1}{R_f} + s(C_T + C_f) & -sC_f - \frac{1}{R_f} \\ g_{m1} - sC_f - \frac{1}{R_f} & \frac{1}{R_f} + \frac{1}{R_L} + s(C_L + C_f) \end{vmatrix}$$

Le déterminant Δ_{out} s'obtient en remplaçant la seconde colonne de la matrice de coefficients par les termes du membre de droite :

$$\Delta_{out} = \begin{vmatrix} \frac{1}{R_f} + s(C_T + C_f) & -I_{in} \\ g_{m1} - sC_f - \frac{1}{R_f} & 0 \end{vmatrix}$$

En développant le gain en boucle fermée $T(s)$, on obtient :

$$\begin{aligned} T(s) &= \frac{v_{out}}{i_{in}}(s) = \frac{\Delta_{out}}{\Delta} \\ &= \frac{R_L(1 - g_{m1}R_f + sC_fR_f)}{s^2R_fR_L\zeta + s(R_L(C_L + C_T) + R_f(C_f + C_T) + g_{m1}R_fC_fR_L) + (1 + g_{m1}R_L)} \\ &= \frac{R_L(1 - g_{m1}R_f + sC_fR_f)}{s^2R_fR_LC_TC_L + s(C_T(R_L + R_f) + g_{m1}R_fC_fR_L) + 1 + g_{m1}R_L} \quad (C_f \sim C_T \ll C_L) \quad (3.18) \\ &= \frac{R_f}{s^2 \frac{R_fC_TC_L}{g_{m1}} + s \left(R_fC_f + \frac{C_T(R_L + R_f)}{g_{m1}R_L} \right) + 1} \quad (g_{m1}R_f \gg 1 \text{ et } g_{m1}R_L \gg 1) \end{aligned}$$

avec ζ défini tel que :

$$\zeta = C_TC_L + C_TC_f + C_LC_f \quad (3.19)$$

En évaluant chacun des termes, aucune simplification supplémentaire n'apparaît. Il est par ailleurs difficile de dégager une condition pour laquelle des pôles réels existeraient ($\Delta > 0$). On choisit donc de comparer numériquement l'expression obtenue à la simulation pour tester sa validité. Tout d'abord, sur la figure 3.12, les deux fonctions de transfert (en bleu et rouge) possèdent bien le même gain DC (de l'ordre de 77 dB, soit 7000, soit $\sim R_f$). Ensuite, elles font apparaître un pôle double à environ 300 MHz. Toutefois, la modélisation manque de pôles à haute fréquence capable de diminuer la phase au-delà de 1 GHz. On voit également l'effet de C_f réduisant d'autant la bande passante que sa valeur est grande.

On peut améliorer la précision du modèle en prenant en compte la valeur de l'impédance d'entrée du cascode en posant :

$$g'_{m1} = g_{m1} \frac{1/g_{ds1}}{1/g_{ds1} + 1/g_{m2}} \quad (3.20)$$

Précisons que l'impédance d'entrée de la source de courant est tellement grande qu'elle n'influence quasiment pas g_{m1} . De la même manière, pour les applications numériques, on considérera R_L diminué de l'impédance de la source de courant polarisant le cascode :

$$R'_L = R_{out,cascode} // R_{Isrc,M3} \quad (3.21)$$

Enfin, dans la modélisation considérée (Figure 3.11), le pôle lié à l'impédance d'entrée du cascode a été négligé. Or, $R_{in,M2}$ vaut 400 Ω et les capacités parasites de drain de M1 et M4, de source de M2 valent ensemble environ $C_p = 180$ fF, soit un pôle à 2 GHz. De plus, la décomposition du cascode fait apparaître la capacité C_{gd1} responsable d'un zéro supplémentaire. En résolvant par calcul formel la fonction de transfert à l'aide de Matlab (courbe en vert), on montre que la modélisation plus détaillée du cascode, figure 3.13, pouvait être aisément négligée.

L'expression du pôle double dominant peut être simplifiée. Comme le déterminant du dénominateur écrit sous la forme $as^2 + bs + c$ est négatif (puisque le pôle est double), les 2 pôles sont complexes. On s'intéresse d'abord à sa partie réelle. Il est tracé en pointillés sur la figure 3.12.

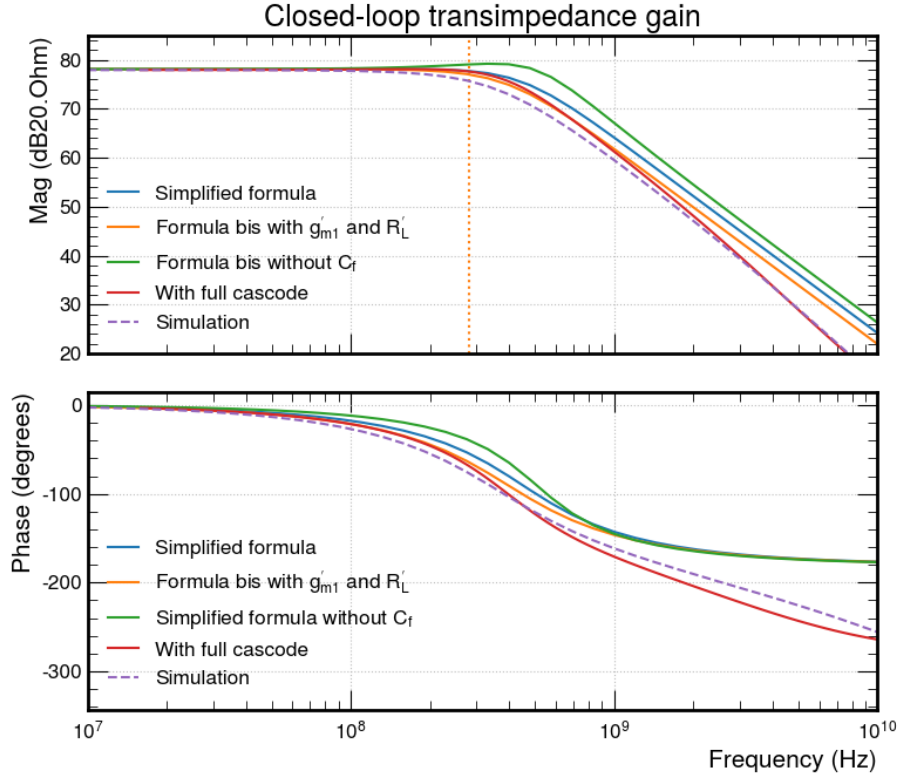


FIGURE 3.12 – Simulation du gain de transimpédance en boucle fermée

$$\Re(p) = \left| \frac{b}{2a} \right| = \frac{C_T(R_L + R_f) + g_{m1}R_fC_fR_L}{2R_fR_LC_T(C_L + C_f)} \quad (3.22)$$

$$f_{pole} = \frac{1}{2\pi\tau} = \frac{\Re(p)}{2\pi} \quad (3.23)$$

La partie imaginaire est donnée par l'expression :

$$\Im(p) = \left| \frac{\Delta}{2a} \right| = \frac{\sqrt{(R_fC_f)^2 + \left(\frac{C_T(R_L + R_f)}{g_{m1}R_L}\right)^2 + \frac{R_fC_T(2C_f(R_L + R_f) - 4C_LR_L)}{g_{m1}R_L}}}{\frac{2R_fC_TC_L}{g_{m1}}} \quad (3.24)$$

La figure 3.14 compare l'approximation du gain de transimpédance en boucle fermée à la seule partie réelle de son pôle de degré 2 par rapport au pôle complet.

Si $p = \Re(p)$:

$$T_{\Re(p)} = \frac{R_f}{\left(1 + \frac{s}{\Re(p)}\right)^2} = \frac{R_f}{1 + s\frac{2}{\Re(p)} + s^2\frac{1}{\Re(p)^2}} \quad (3.25)$$

Si $p = \Re(p) + \Im(p)$:

$$T_{\Re(p)+\Im(p)} = \frac{R_f}{\left(1 + \frac{s}{p}\right)\left(1 + \frac{s}{\bar{p}}\right)} = \frac{R_f}{1 + s\frac{2\Re(p)}{\Re(p)^2 + \Im(p)^2} + s^2\frac{1}{\Re(p)^2 + \Im(p)^2}} \quad (3.26)$$

La table 3.2 liste les valeurs numériques considérées en simulation.

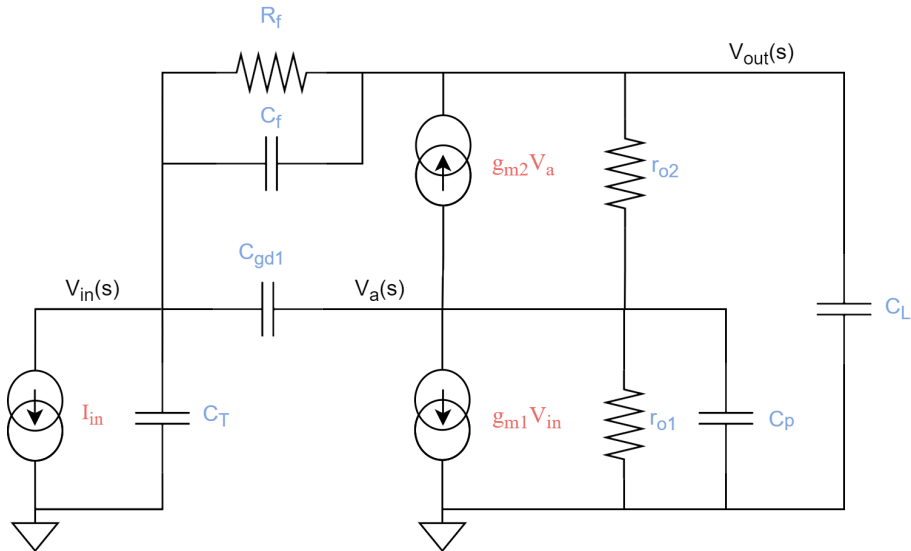


FIGURE 3.13 – Modélisation détaillée du cascode du TZ

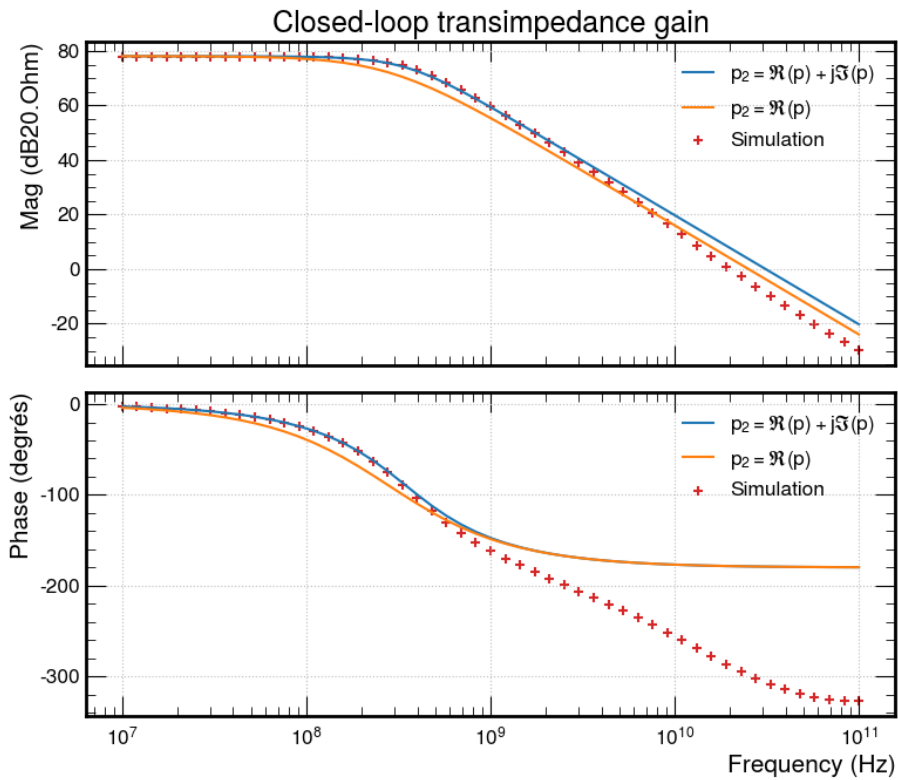


FIGURE 3.14 – Modélisation du gain de transimpédance en boucle fermée

3.3.3.3 Réponse temporelle du préamplificateur

La réponse temporelle du préamplificateur à une charge dépend du profil de courant délivré par le détecteur. D'après le chapitre précédent, on sait qu'un MIP provoque un dépôt de charge de 10 fC avec un temps de montée de 500 ps suivi d'un temps de descente de 700 ps, illustré sur la figure 3.15. On néglige ici le temps où le courant reste constant de l'ordre de 10 ps. Le courant se déduit de la relation $dq = idt$.

Commençons par étudier la réponse du préamplificateur à un Dirac, avant de la comparer au signal réel d'un LGAD. Remarquons qu'on modélisera un Dirac en simulation par un rectangle de

$C_T = C_d + C_{gg,M1}$	$= 2.81 + 0.19 = 3 \text{ pF}$
$C_L = C_{dd,M2} + C_{gg,M5} + C_{ss,M5}$	$= 0.02 + 0.01 + 0.02 = 0.05 \text{ pF}$
C_f	32 fF
C_p	180 fF
C_{gd1}	43 fF
g_{m1}	15 mS
g_{m2}	3 mS
$R_{in, cascode(=M2)}$	400 Ω
$R_{out, M1}$	1.2 k Ω
R_f	8 k Ω
$R_{out, cascode}$	48 k Ω
$R_{Isrc, M3}$	65 k Ω

TABLEAU 3.2 – Paramètres numériques utilisés en simulation

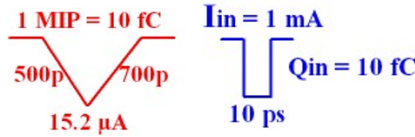


FIGURE 3.15 – Modélisation du signal en courant délivré par un LGAD et le Dirac de charge équivalente

largeur $T = 10 \text{ ps}$ et d'amplitude $I_{max} = Q/T$ dont la transformée de Laplace s'écrira :

$$\text{Rect}(s) = I_{max} \frac{1 - \exp(-sT)}{s} \quad (3.27)$$

Le transistor représenté figure 3.16 nous montre que cette approximation est parfaitement valide, les signaux se superposent.

D'après la transformée inverse de Laplace, un Dirac d'une charge Q_{in} produit en sortie du préamplificateur un signal en tension :

$$v_{out}(t) = \mathcal{L}^{-1} \left[\frac{Q_{in}R_f}{(1 + s\tau)^2} \right] = \frac{Q_{in}R_f}{\tau^2} t e^{-\frac{t}{\tau}} \quad (3.28)$$

La transformée de Laplace inverse pour le pôle double complexe diffère. Le pôle double est donnée par :

$$p_{1,2} = a \pm ib \quad (3.29)$$

$$\begin{aligned} v_{out}(t) &= \mathcal{L}^{-1} \left[\frac{Q_{in}R_f}{\left(1 + \frac{s}{a+ib}\right)\left(1 + \frac{s}{a-ib}\right)} \right] \\ &= \mathcal{L}^{-1} \left[\frac{Q_{in}R_f}{1 + s \frac{2a}{a^2+b^2} + s^2 \frac{1}{a^2+b^2} \left(1 + \frac{s}{a-ib}\right)} \right] \\ &= \frac{Q_{in}R_f(a^2 + b^2)}{b} \sin(t) e^{-at} \end{aligned} \quad (3.30)$$

D'après la figure 3.17, on constate que les équations développées jusqu'à alors ne modélisent pas très bien l'amplitude du pulse en sortie du TZ, ni le retour à la ligne de base. Tout se passe

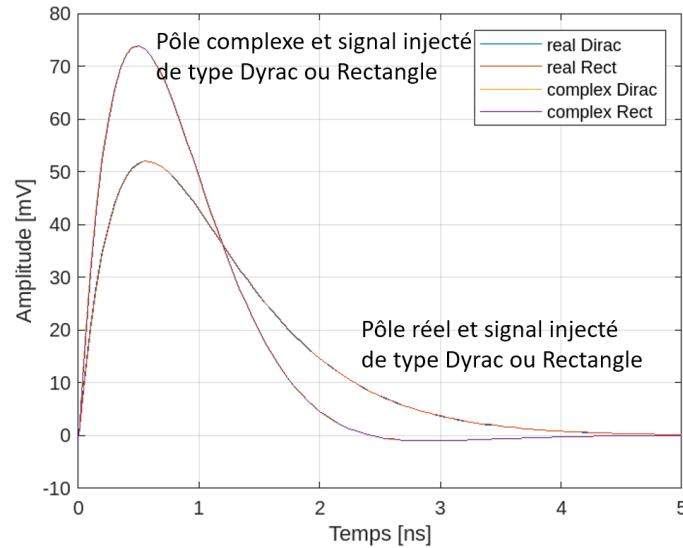


FIGURE 3.16 – Comparaison de la réponse du préamplificateur à un Dirac ou à un signal rectangulaire

comme si l'impédance d'entrée du préamplificateur était sur-estimée à cause d'une sous-estimation du gain de boucle du TZ.

On s'intéresse désormais à la réponse du TZ pour un signal de LGAD. La figure 3.18 compare le résultat de simulation avec les modèles développés. Le signal de courant en entrée correspond à celui délivré par un LGAD. Dans le domaine de Laplace, le signal triangulaire s'écrit en fonction du temps de montée t_r et de descente t_f comme :

$$I_{\text{LGAD}}(s) = \frac{2Q}{(t_r + t_f)s^2} \left[\frac{1}{t_r} - \left(\frac{1}{t_r} + \frac{1}{t_f} \right) \exp^{-t_r s} + \frac{1}{t_f} \exp^{-(t_r + t_f)s} \right] \quad (3.31)$$

Comme précédemment, on constate que l'amplitude est mal modélisée. Néanmoins, la pente pour des seuils de discrimination proches du piédestal est globalement similaire. Ainsi, pour la suite, le jitter attendu pourra être développé à partir du ratio bruit-sur-pente. Néanmoins, l'ENC ne pourra être correctement estimé car l'amplitude est largement sous estimée avec un pôle double réel. Par rapport à l'injection d'un Dirac, on remarque également que le temps de montée du pulse s'est ralenti. Le signal reste toutefois très court (quelques ns de largeur), cet avantage vis-à-vis de perturbations et couplages de l'activité digitale sera abordé dans le chapitre suivant, consacré aux mesures.

Enfin, on s'intéresse désormais à l'influence de la capacité de compensation sur la réponse TZ. La figure 3.19 montre l'évolution de la tension vue en sortie de TZ pour un signal de LGAD de 10 fC. En l'absence de compensation, le préamplificateur a une légère tendance à osciller. L'augmentation de sa marge de phase avec C_f aide à stabiliser sa réponse en diminuant sa bande passante.

3.3.4 Etude du bruit

Chaque élément du front-end analogique ajoute du bruit au signal. Généralement, le premier étage d'amplification domine le bruit global, en raison de son gain. La figure de mérite typique utilisée pour évaluer le bruit de la chaîne d'acquisition est l'ENC (Equivalent Noise Charge). Exprimée en fC, elle traduit le bruit présent à l'entrée qui donnerait un rapport signal-à-bruit unitaire. Elle se calcule en intégrant (en fréquence) toutes les sources de bruit dans la bande passante du système en sortie de l'amplificateur. Puis connaissant la fonction de transfert linéaire charge (Q_{in}) vers tension ($V_{\text{OUT,MAX}}$), un produit en croix permet de trouver l'ENC.

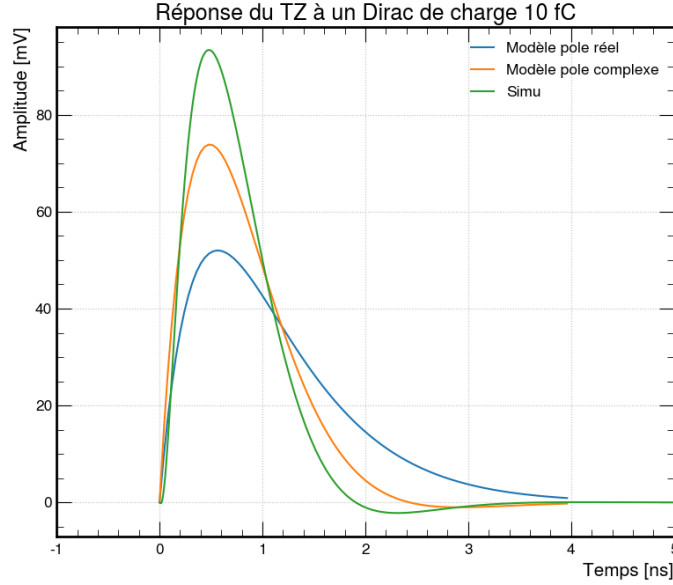


FIGURE 3.17 – Comparaison de la réponse de la modélisation du TZ à un Dirac par rapport à la simulation

$$\text{ENC} = \frac{Q_{in}}{\text{SNR}} = Q_{in} \frac{\sqrt{\int_0^{\text{BW}} v_{noise,out}^2(f) df}}{V_{\text{OUT,MAX}}} \quad (3.32)$$

Pour des applications faible bruit et disposant d'un budget puissance suffisant, des techniques de filtrage sont généralement mises en oeuvre afin de limiter l'intégration du bruit sur une plage de fréquence trop importante.

Calculer le bruit en sortie de l'amplificateur revient à lister les sources de bruits et à les hiérarchiser par ordre d'importance. Il est souhaitable que le bruit global soit dominé par le transistor d'entrée.

Commençons par les bruits série, dont les sources modélisées en tension sur le schéma 3.20 sont converties en courant à travers les capacités shuntant l'entrée de l'amplificateur. À partir de la fonction de transfert en transimpédance, il est possible de déterminer le bruit en sortie de l'amplificateur.

Pour le **bruit blanc** v_{nw} dû au transistor et défini au chapitre précédent, on écrit :

$$\langle v_{out}^2 \rangle_{nw} = v_{nw}^2 R_f^2 C_T^2 \int_0^{\infty} \left| \frac{j2\pi f}{(1 + j2\pi f\tau)^2} \right|^2 df \quad (3.33)$$

Or l'intégrale correspond à :

$$\int_0^{\infty} \left| \frac{j2\pi f}{(1 + j2\pi f\tau)^2} \right|^2 df = \frac{1}{8\tau^3} \quad (3.34)$$

D'où :

$$\langle v_{out}^2 \rangle_{nw} = \frac{v_{nw}^2 R_f^2 C_T^2}{8\tau^3} \quad (3.35)$$

S'il est généralement possible de simplifier le résultat dans le cas où il existe un pôle dominant (et non un pôle double), aucune approximation ne s'offre ici à nous. La fonction de transfert est tracée sur la figure 3.21. Pour chaque composante du bruit, deux courbes sont tracées : celle en pointillés prend en compte la partie imaginaire et réelle du pôle double, alors que celle en continue ne considère que sa partie réelle.

Le bruit de flicker $v_{n1/f}$ également imputable au transistor donne :

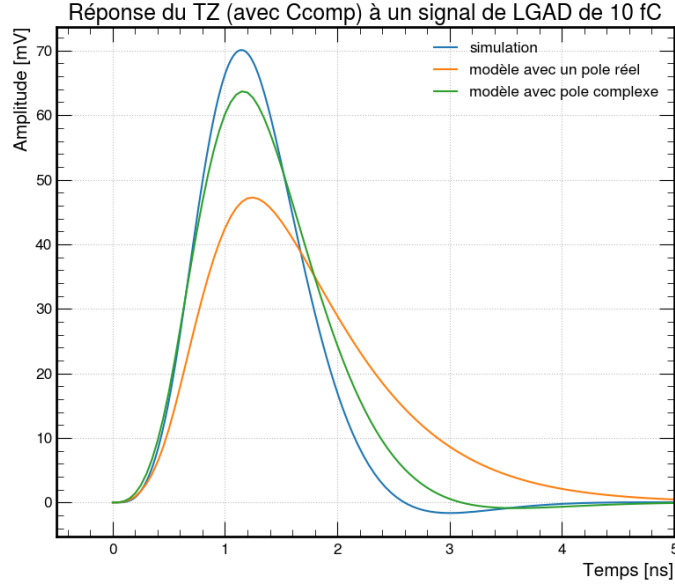


FIGURE 3.18 – Comparaison de la réponse de la modélisation du TZ à un LGAD par rapport à la simulation

$$v_{n1/f}(f) = \frac{K_f(IC, L)}{C_{ox}L_1W_1} \frac{1}{f^{\alpha_f}} \quad (3.36)$$

$$\langle v_{out}^2 \rangle_{n1/f} = \frac{K_f(IC, L)}{C_{ox}L_1W_1} R_f^2 C_T^2 \int_0^{\infty} \frac{1}{f^{\alpha_f}} \left| \frac{j2\pi f}{(1 + j2\pi f\tau)^2} \right|^2 df \quad (3.37)$$

Or l'intégrale correspond à :

$$\int_0^{\infty} \frac{1}{f^{\alpha_f}} \left| \frac{j2\pi f}{(1 + j2\pi f\tau)^2} \right|^2 df = \frac{\pi}{\tau^2} \quad (3.38)$$

D'où :

$$\langle v_{out}^2 \rangle_{n1/f} = \frac{K_f(IC, L)}{C_{ox}L_1W_1} R_f^2 C_T^2 \frac{\pi}{\tau^2} \quad (3.39)$$

Continuons avec les bruits parallèles tels que le bruit thermique de la résistance de contre-réaction R_f , le bruit de grenaille (shot noise) dû à la fois au courant de fuite du détecteur comme de la grille du transistor d'entrée (regroupés sous le terme I_L). Bien que non représenté sur le schéma du TZ, une source de courant connectée à l'entrée du préamplificateur permet d'absorber le courant de fuite du détecteur. Elle devra être correctement ajustée afin de ne pas contribuer au bruit global en coulant dans la résistance de contre-réaction, en l'absence de réel courant de fuite.

$$i_{np}^2(f) = \frac{4k_B T}{R_f} + 2qI_L \quad (3.40)$$

Si on considère que le courant de fuite de la grille du transistor d'entrée ne dépasse pas la dizaine de nA alors R_f domine le bruit parallèle en l'absence de courant de fuite du détecteur. On remarque par ailleurs que le courant de fuite doit atteindre environ $6.5 \mu A$ pour égaler le bruit ramené par la seule résistance de contre-réaction. C'est la valeur typique attendue en fin de vie du LGAD. En prenant en compte le courant de fuite du détecteur, le bruit parallèle (i_{np}) passe alors de 200 à 300 μV_{rms} , restant petit devant le bruit série blanc du transistor d'entrée.

La puissance spectrale de bruit en tension en sortie du préamplificateur s'obtient avec :

$$\langle v_{out}^2 \rangle_{np} = i_{np}^2 R_f^2 C_T^2 \int_0^{\infty} \left| \frac{1}{(1 + j2\pi f\tau)^2} \right|^2 df \quad (3.41)$$

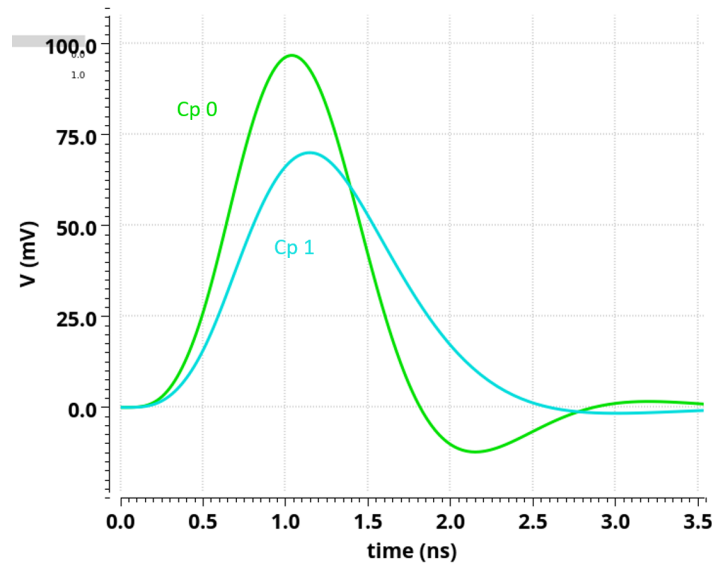


FIGURE 3.19 – Influence de la capacité de compensation sur la réponse temporelle du TZ sollicité par le signal d'un LGAD de 10 fC

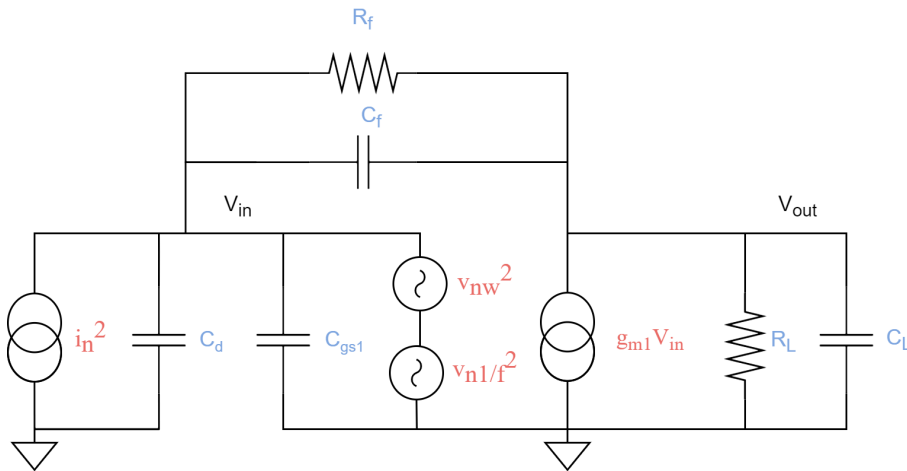


FIGURE 3.20 – Modélisation des sources de bruit du TZ

Or l'intégrale correspond à :

$$\int_0^{\infty} \left| \frac{1}{(1 + j2\pi f\tau)^2} \right|^2 df = \frac{1}{8\tau} \quad (3.42)$$

D'après la figure 3.21, le bruit parallèle domine pour les fréquences inférieures à 100 MHz, tandis que le bruit série est prédominant au-delà. La figure 3.22 donne le résultat de la simulation du bruit en sortie du préamplificateur. En comparant avec la figure 3.21, on constate tout d'abord que le bruit parallèle est cohérent avec la simulation, responsable d'environ $13 \text{ nV}/\sqrt{\text{Hz}}$ autour de 1 MHz. Néanmoins, l'estimation du bruit série est optimiste d'un facteur 2 vis-à-vis de la simulation. Le facteur γ a été calculé à partir des équations données dans le chapitre précédent (sachant $I_d = 971 \mu\text{A}$). Ainsi, IC vaut 2.5 et γ égal à 0.62 aurait pu être approximé par $2/3$. De plus, l'hypothèse d'un facteur d'excès de bruit unitaire semble raisonnable sachant que $L = 200 \text{ nm} > L_{min} = 130 \text{ nm}$. Par ailleurs, bien que le pic de bruit se situe autour de la bande passante de l'amplificateur, le pôle double complexe approxime très bien la fonction de transfert du TZ. Un autre terme a été négligé : la résistance d'accès R_{gg} à la grille du MOSFET. Alors que la résistance équivalente γ/g_{m1} vaut 40Ω , R_{gg} devrait être égal à 150Ω pour expliquer la différence avec la simulation. Dans ce cas, elle dominerait le bruit du TZ, ce qui semble déraisonnable. Les différences décrites n'expliquent donc

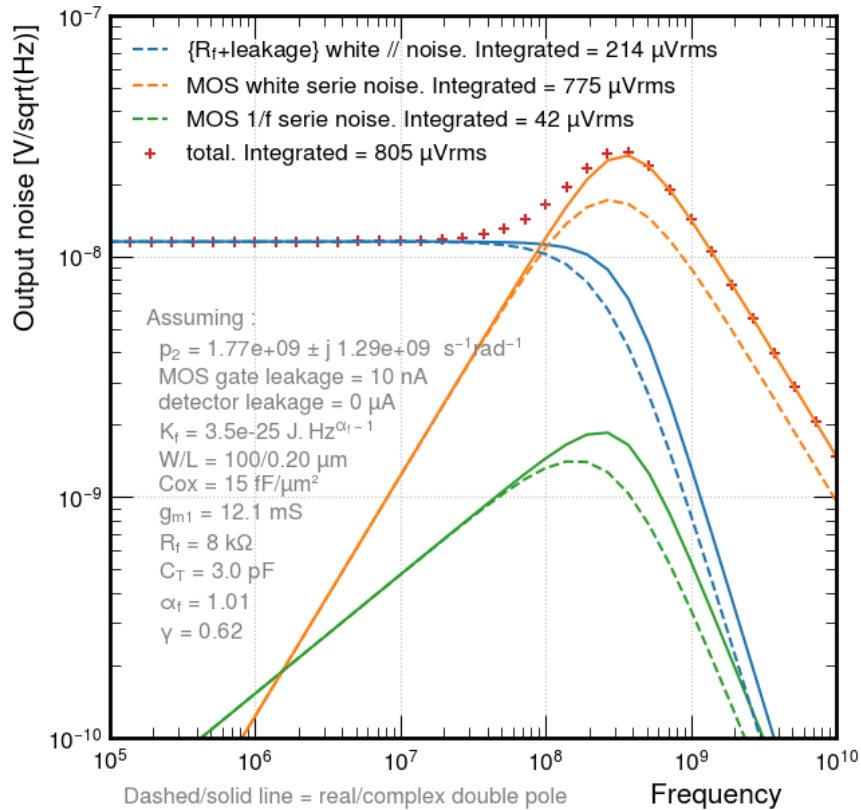


FIGURE 3.21 – Diverses composantes du spectre de bruit en sortie du TZ

pas pourquoi le bruit total est estimé à 0.9 mV RMS d'après la modélisation 3.22 alors qu'il vaut 1.6 mV RMS en simulation.

Enfin, une composante de bruit décroissant en $1/f^{\alpha_f}$ est présente à basse fréquence alors qu'elle n'avait pas été modélisée pour le transistor d'entrée. D'après la simulation, le transistor suiveur de tension en est à l'origine. L'échelle logarithmique est trompeuse : l'intégration de la densité spectrale de bruit en-dessous de 1 MHz montre que cette composante est totalement négligeable devant le bruit parallèle et série détaillé précédemment.

On constate que les formules pour un pôle réel approximent très bien les valeurs de bruit rms obtenues par intégration numérique. On peut vérifier que les formules absconnes obtenues avec un pôle complexe à l'aide de Matlab et évaluée numériquement sont également cohérentes.

3.3.5 Etude du jitter

Ayant étudié le bruit et le signal, il est en principe possible d'estimer le jitter comme le ratio bruit-sur-pente. Pour rappel, la composante principale du bruit du préamplificateur correspond au bruit blanc série du transistor d'entrée. On pose :

$$e_n = \sqrt{\frac{4K_b T \gamma}{g_{m1}}} \quad (3.43)$$

Le bruit RMS en tension en sortie du préamplificateur vaut donc :

$$\langle v_{out} \rangle_{nw} = \sqrt{\frac{4K_b T \gamma R_f^2 C_T^2}{g_{m1} 8\tau^3}} = e_n \frac{R_f C_T}{\sqrt{8\tau^3}} \quad (3.44)$$

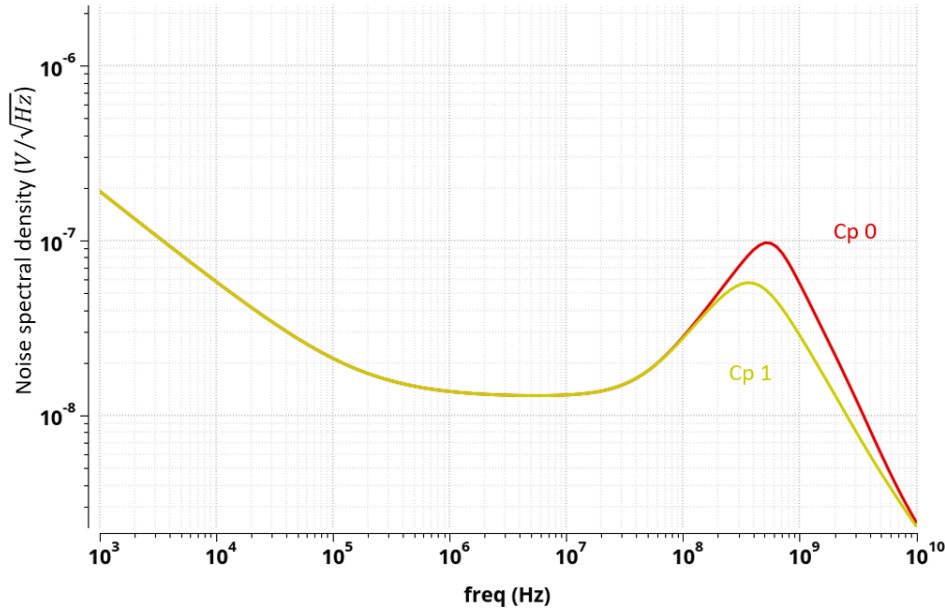


FIGURE 3.22 – Simulation de la densité spectrale de bruit du TZ

Plutôt que de développer les équations précédentes pour estimer $dV/dt(t = t_{V_{th}})$ précisément au niveau du seuil de discrimination (par exemple à $V_{th} = 5 \times$ bruit RMS), il est procédé à de nouvelles approximations : soit un Dirac de charge Q_{in} appliqué en entrée du TZ. On fait l'hypothèse que la fonction de transfert (en transimpédance) du second ordre admet un pôle double réel pur (négatif) tel que $\omega_0 = 1/\tau$. D'après l'expression temporelle obtenue précédemment 3.28, le maximum d'amplitude est atteint pour $t = \tau$ et s'écrit :

$$V_{max} = V_{out}(t = \tau) = \frac{R_f Q_{in}}{\tau^2} t e^{-t/\tau}(t = \tau) = \frac{R_f Q_{in}}{\tau e^1} \quad (3.45)$$

On considère par ailleurs que le temps de montée du signal en sortie du préamplificateur est la convolution du temps t_d de collecte des charges du détecteur avec le temps t_{PA} de montée du TZ entre 10 et 90% :

$$dt = \sqrt{t_{PA}^2 + t_d^2} \quad (3.46)$$

Le jitter est donc égal à :

$$\sigma = \frac{\text{Bruit}}{v_{max}/dt} = \frac{e_n R_f C_T}{\sqrt{8\tau^3}} \frac{\tau e^1}{R_f Q_{in}} \sqrt{t_{PA}^2 + t_d^2} = \frac{e_n C_T}{Q_{in}} \frac{\exp^1}{\sqrt{8}} \sqrt{\frac{t_{PA}^2 + t_d^2}{\tau}} \quad (3.47)$$

Or, la relation liant pôle, temps de montée (10-90%) et bande passante de l'amplificateur est :

$$BW = \frac{1}{2\pi\tau} = \frac{\ln(9)}{t_{PA}} \quad (3.48)$$

D'où :

$$\sigma = \frac{e_n C_T}{Q_{in}} \frac{e^1 \sqrt{2\pi \ln(9)}}{\sqrt{8}} \sqrt{\frac{t_{PA}^2 + t_d^2}{t_{PA}}} \propto \frac{e_n C_T}{Q_{in}} \sqrt{\frac{t_{PA}^2 + t_d^2}{t_{PA}}} \quad (3.49)$$

Le minimum de jitter est atteint lorsque $t_{PA} = t_d$, contraignant ainsi la bande passante du préamplificateur, comme illustré sur la figure 3.23.

Ainsi :

$$\sigma \propto \frac{e_n C_T}{Q_{in}} \sqrt{t_d} \quad (3.50)$$

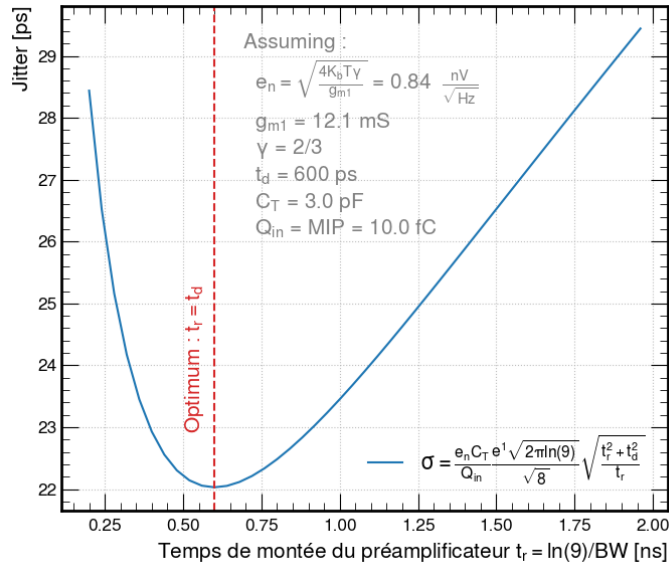


FIGURE 3.23 – Optimisation du jitter en fonction de la bande passante du préamplificateur

La simulation des deux préamplificateurs est donnée sur la figure 3.24. Elle montre clairement l'évolution hyperbolique du jitter avec la charge mais également l'impact du temps de collection des charges sur le jitter en comparant le signal injecté par un LGAD à celui d'un Dirac. Enfin, comme l'amplitude du signal en sortie du VPA est légèrement supérieure à celle du TZ, son jitter est inférieur à celui du TZ. Néanmoins, les deux architectures satisfont les spécifications.

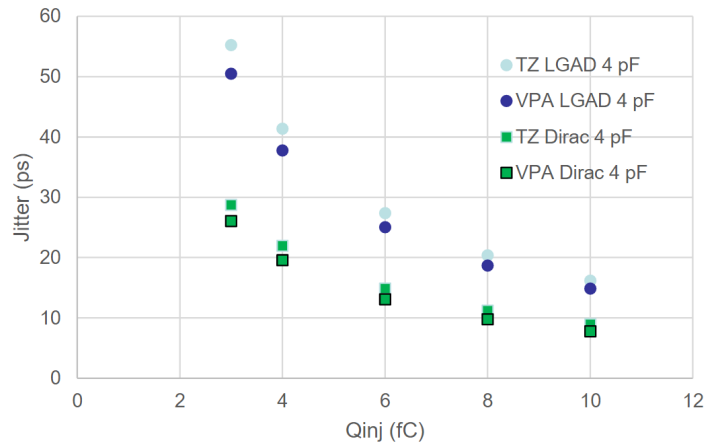


FIGURE 3.24 – Simulation du jitter sur le temps d'arrivée (TOA) en fonction de la charge injectée dans deux préamplificateurs différents (TZ et VPA), pour un signal de LGAD ou un dépôt de charge idéal de type Dirac, avec une capacité détecteur de 4 pF

3.3.6 Quelles améliorations possibles ?

D'autres architectures de TZ existent. Le montage 3.25 connecte par exemple la résistance de contre-réaction non pas en sortie du cascode mais derrière un suiveur en tension. Une condition permettant de séparer les deux pôles de la boucle fermée est plus facilement atteignable, le gain en boucle ouverte se trouve augmenté d'un facteur R_L/R_f soit environ 4.

Il est possible d'augmenter le gain (DC) du cascode grâce aux technologies BiCMOS. En complément du MOSFET d'entrée, un transistor bipolaire est utilisé en base commune, qui présente une transconductance bien meilleure que celle d'un MOSFET. Enfin, un autre montage 3.26 permet d'augmenter la charge vue par le cascode et donc son gain DC. Pour ce faire, le cascode est

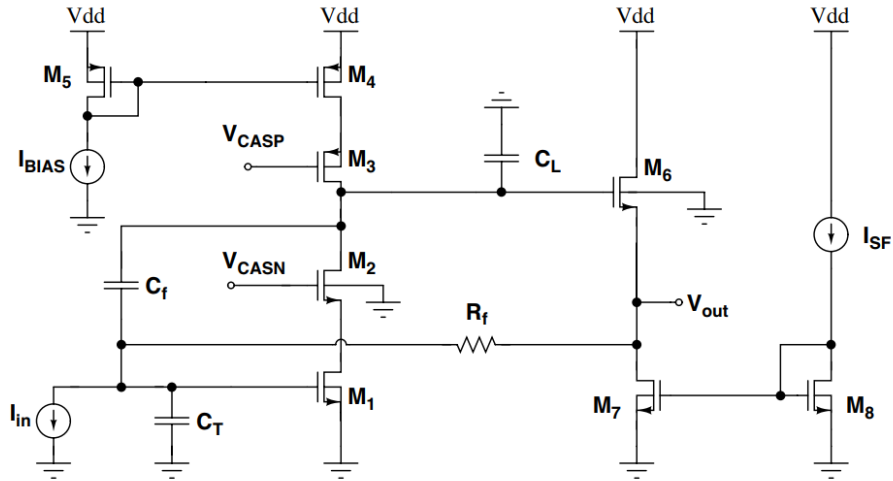


FIGURE 3.25 – Schéma alternatif d'un préamplificateur en transimpédance (d'après [3])

dit actif lorsque sa tension de polarisation de grille (commune) est contre-réactionnée pour maintenir idéalement constante sa tension drain source. Ces différentes techniques n'ont pas été étudiées, pas plus que l'apport d'un filtrage actif sur le rapport bruit sur pente.

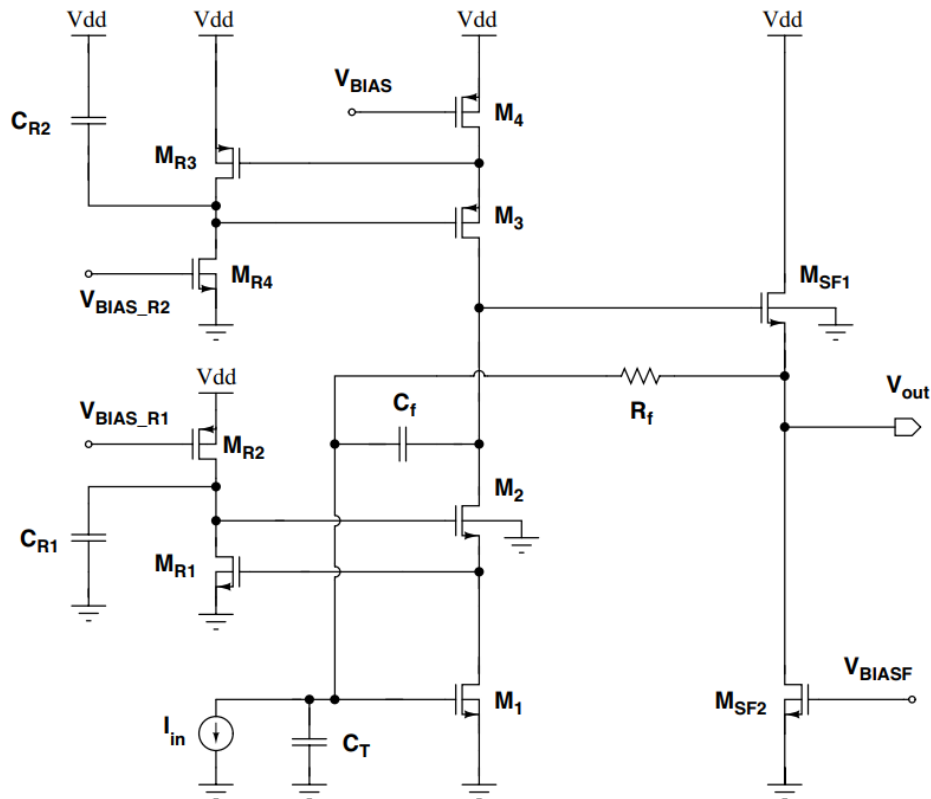


FIGURE 3.26 – Schéma alternatif d'un TZ avec cascodes actifs (d'après [3])

3.4 Discriminateur

Plusieurs stratégies pour marquer l'arrivée d'un signal existent, comme illustrées par la figure 3.27 (d'après [1]). La première consiste à numériser le signal à intervalle de temps régulier à la manière d'un oscilloscope, comme sur la figure 3.27. Toutes variations d'amplitude et de forme du signal peuvent alors être prises en compte. Néanmoins, ni le budget puissance ni la bande passante disponibles ne permettent d'enregistrer les signaux courts des LGAD (rappelons que le signal du TZ dure moins de 10 ns). Le discriminateur utilisé dans ALTIROC fonctionne avec un seuil fixe. La tension de seuil est fixée à l'échelle de la matrice et des ajustements sont possibles dans chaque voie pour uniformiser la réponse de l'ASIC. Quand le signal de front (le plus raide) franchit le seuil, le temps est enregistré mais souffre de time-walk (comme décrit au chapitre précédent).

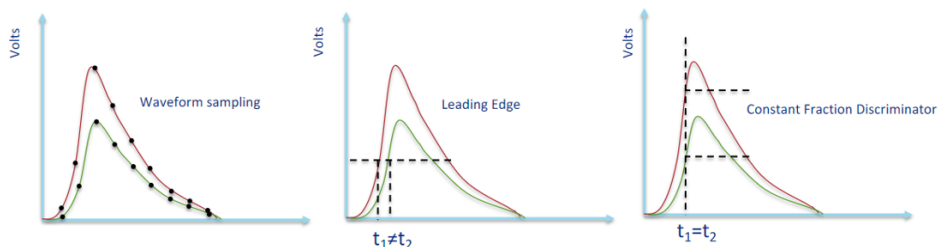


FIGURE 3.27 – Stratégies de discrimination

D'autres architectures, plus compliquées à implémenter, existent comme par exemple les discriminateurs à fraction constante (CFD) qui annulent le time-walk. Ces montages n'ont pas été étudiés bien que des mesures ont montré que cette architecture était compatible avec les spécifications en jitter d'ALTIROC. Comme par exemple, le travaux (non publiés) présentés par Thomas Zimmerman (Fermilab) à TWEPP en 2021 concernant la famille d'ASIC FCFD instrumentant des LGAD disponibles en ligne.

3.5 Time-to-Digital Converter (TDC)

Développée par SLAC (Stanford National Accelerator Laboratory), la TDC permet la conversion du temps d'arrivée (TOA) avec un pas de quantification de 20 ps. Ce dernier est en deçà du temps de propagation d'un inverseur gravé en 130 nm. On utilise donc deux lignes à délai montées en Vernier dont le temps de franchissement d'une cellule à délai est fixé respectivement à 120 et 140 ps. La différence forme le LSB de 20 ps. La cellule à délai est bâtie autour d'une architecture différentielle à capacités réglables en tension. La longueur de la ligne (128 cellules) est fixée par la fenêtre d'acquisition requise, centrée grâce au phase shifter (PS) interne sur le bunch crossing. En effet, vu la longueur de paquets de protons collisionnés dans l'accélérateur de particules, les évènements se produisent avec une dispersion temporelle de 300 ps RMS. Cela justifie donc une largeur de la fenêtre d'acquisition de 2.5 ns et son alignement par pas de 100 ps. Par ailleurs, le temps de conversion de la TDC est imposé par le rythme des collisions au LHC, c'est-à-dire toutes les 25 ns, un évènement pouvant se produire à chaque bunch crossing. La figure 3.28 montre le principe de fonctionnement de la TDC.

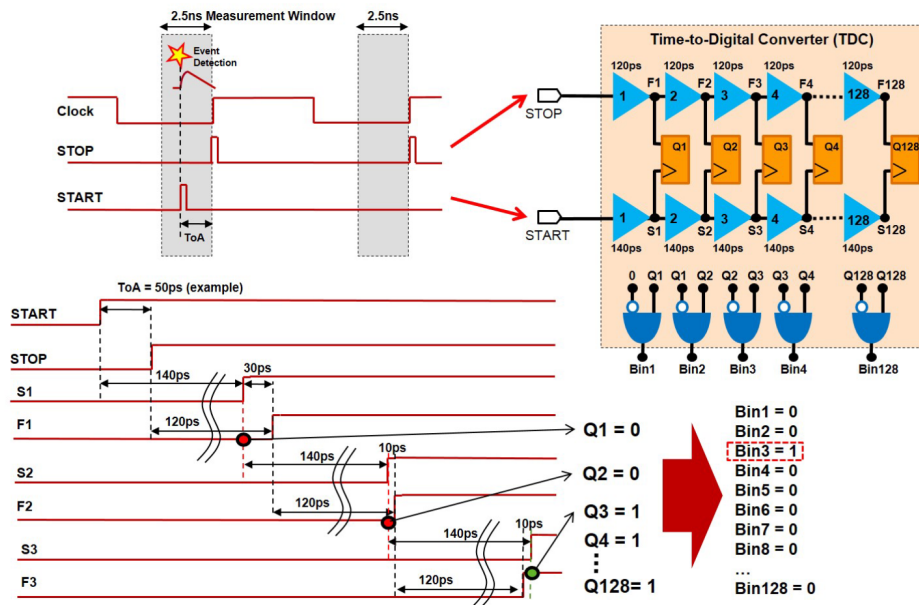


FIGURE 3.28 – Principe de fonctionnement de la TDC mesurant le TOA

Le signal de START, produit par l'arrivée asynchrone d'un évènement, se propage dans la ligne à délai lente. Le temps d'arrivée mesuré correspond au temps s'écoulant jusqu'au prochain front montant de l'horloge à 40 MHz. Le signal STOP, injecté dans la ligne à délai rapide, finit par rattraper le START au rythme de la différence de temps de propagation entre les 2 lignes par cellule à délai. Le nombre de cellules à délai nécessaires pour que le STOP dépasse le START correspond au temps à mesurer. Cette position correspond dans le thermocode à la première fois où la ligne à délai lente a échantillonné une cellule à délai rapide à l'état haut. Le décodage du thermocode combiné à la caractérisation du LSB et des non-linéarités de la TDC donne le temps d'arrivée en picosecondes. La [Differential-Non-Linearity \(DNL\)](#) et [Integral-Non-Linearity \(INL\)](#) sont définis comme suit pour un code converti i de la TDC :

$$DNL_i = \frac{\text{Largeur du bin } i \text{ (ps)} - \text{Largeur de bin moyenne (ps)}}{\text{Largeur de bin moyenne (ps)}} \quad (3.51)$$

$$INL_i = \frac{\text{Temps converti ajusté (ps)} - \text{Centre du bin } i \text{ (ps)}}{\text{Largeur de bin moyenne (ps)}} \quad (3.52)$$

Soulignons ici qu'un système de compensation (en boucle ouverte) de chaque TDC permet de s'accommoder des dispersions du LSB inter-voies dues aux mismatches (variabilité des para-

mètres physiques due aux variations de fabrication). L'inconvénient majeur de ce type d'architecture est le temps de conversion pouvant atteindre en principe jusqu'à Temps maximal à convertir/LSB* Temps de propagation d'une cellule à délai lente = $2.5ns/20ps * 140ps$, ici majoré à 21 ns. Le temps de conversion cumulé au temps maximal à convertir reste toutefois inférieur à la contrainte de 25 ns. Pour réduire le nombre de cellules des lignes, une structure cyclique a été mise en oeuvre permettant l'occupation d'une surface de silicium restreinte. Par ailleurs, deux tensions de contrôle sont requises pour le fonctionnement de la TDC et maintenir le LSB constant, quelles que soient les conditions PVT (Process, Voltage, Température) ou encore la dégradation du temps de franchissement des cellules à délai avec la [Total Ionizing Dose \(TID\)](#) à tension de contrôle constante. Elles sont fournies par des Delay-Locked-Loop (DLL) dédiées à chaque des lignes à délai. Elles ne seront pas détaillées dans ce manuscrit.

Les spécifications de la TDC mesurant le TOT ont largement variées au cours des générations d'ALTIROC, en particulier en fonction du type de préamplificateur employé. En effet, alors que 20 ns de plage dynamique et 160 ps de LSB sont nécessaires pour le VPA pour mesurer le TOT des signaux de charges les plus élevées, la brièveté des signaux en sortie du TZ impose de réduire à la fois le LSB à 40 ps et la gamme dynamique à 10 ns pour préserver la bande-passante des données. De la même manière, cette discrétisation fine du temps est obtenue grâce à un vernier (160-120 ps).

La consommation des TDC est proportionnelle à l'intervalle de temps à mesurer. La puissance moyenne consommée pour une conversion du temps maximal mesurable (2.5 ns) est de 5.2 mW. En faisant l'hypothèse pessimiste que les temps à convertir sont uniformément distribués dans l'intervalle [0;2.5] ns, la puissance moyenne des 2 TDC par voie est de 1.1 mW avec un taux d'occupation de 10%. (Puisque le temps d'arrivée est distribué selon une Gaussienne centrée sur le milieu de la gamme)

3.6 Mémoire et fonctions numériques

Chaque voie contient une mémoire numérique stockant à chaque bunch-crossing un maximum de 19 bits : 1 bit dit de Hit flag et 18 bits utiles : TOA (7b) + TOT (9b) + CRC interne (2b). Possédant 2 ports, elle est simultanément écrite (et potentiellement lue) à 40 MHz. Pour minimiser sa consommation, les données utiles ne sont écrites que si un évènement a été détecté lors d'un bunch-crossing (i.e. le Hit flag vaut un). La mémoire circulaire est capable de stocker 1536 évènements successifs avant d'écraser des données antérieures. Elle permet donc d'attendre l'arrivée d'un trigger L1 pour récupérer un évènement d'intérêt, jusqu'à 38.4 μ s de latence. De type [Static Random Access Memory \(SRAM\)](#), elle est constituée d'une structure standard à 6 transistors possédant une meilleure résistance aux SEU que les DRAM. En effet, le noeud mémoire est conçu avec de larges transistors HVT stockant une quantité de charges supérieure à celle déposée par un SEU. Par ailleurs, les 2 inverseurs montés dos-à-dos permettent de restaurer assez rapidement le potentiel stocké à sa valeur initiale. Enfin, la présence d'un grand nombre de contacts substrat permet d'éliminer rapidement tout surplus de charges anormalement délivrées. Une résistance renforcée aux radiations se paie néanmoins en terme de densité et de puissance consommée. La surface totale est de 720 μ m x 1080 μ m, soit une densité de 26 μ m² par bit de mémoire. La puissance de la SRAM, dominée par sa consommation statique, dépend également de la fréquence d'écriture et de lecture. En faisant l'hypothèse qu'un évènement utile se produit une fois tous les 10 bunch-crossing (i.e. 10% de taux d'occupation) et que la lecture a lieu à 1 MHz, alors la puissance dissipée simulée est de 1.3 mW à température et tension nominale (25°C et 1.2 V), soit en moyenne 44 μ W par bit mémoire.

Les évènements sélectionnés par le trigger L1 sont transférés dans une FIFO appelée Matched hit buffer en attendant d'être extraits en dehors de l'ASIC. Sa profondeur de 8 permet d'accommoder le temps nécessaire à la sérialisation des données à 1.28 Gbits/s.

3.7 Autres ASIC couplés à des LGAD

Sont listés ci-après de façon non exhaustive des ASIC dédiés à la mesure de temps pour détecteurs silicium opérés en régime proportionnel (comme les LGAD) ayant fait l'objet de publications dans la littérature.

3.7.1 TOFFEE, FAST

Conçu en 2016 pour le *Precision Proton Spectrometer* de l'expérience CMS-TOTEM, l'ASIC TOFFEE (Time Of Flight Front-End Electronics) vise une résolution temporelle de 30 ps par plan de détection (par hit). Comme dans le cadre d'HGTD, cet objectif répond à un besoin d'identification du vertex d'interaction avec une précision de 4 mm, soit 20 ps par trace. Pour l'atteindre, des Ultra Fast Silicon Detectors (UFSD) (autre dénomination d'un LGAD) de $50\ \mu\text{m}$ d'épaisseur avec un gain typique de 15 ont été choisis. Un MIP y produit une charge nominale de 8 fC d'après les résultats de simulation. Le détecteur se compose de bandes (*strip*) de deux géométries distinctes présentant une capacitance de 3 et 6 pF respectivement. L'ASIC est constitué de 8 voies, chacune intégrant un préamplificateur et un discriminateur (figure 3.29). Des TDC externes sont couplées à l'ASIC via un buffer de sortie pour réaliser la mesure du TOA et du TOT pour corriger le time-walk. Gravé en CMOS 110 nm, chaque voie dispose de 30 mW de puissance, dont 13 mA pour le préamplificateur.

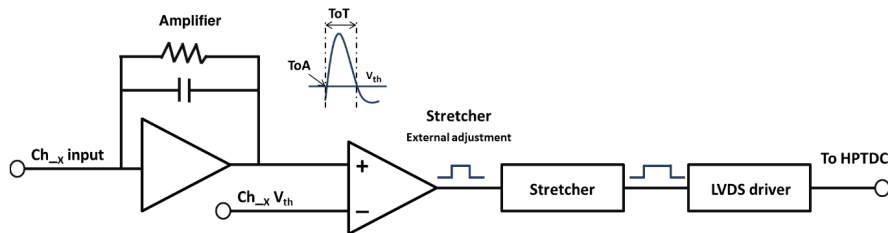


FIGURE 3.29 – Architecture d'une voie de l'ASIC TOFFEE

L'architecture du préamplificateur (Figure 3.30) est basée sur un cascode télescopique avec trois particularités : tout d'abord, la polarisation du transistor d'entrée via deux sources distinctes de courant cascodées, ensuite la dégénérescence du bruit des sources de courant via une résistance et enfin l'utilisation d'un buffer de sortie pour driver la contre-réaction résistive de l'amplificateur en transimpédance.

La caractérisation de l'ASIC a été menée sur banc de test soit en injectant une charge électrique via une capacité, soit grâce à un laser infrarouge illuminant le détecteur. La charge délivrée par le laser doit toutefois être calibrée au préalable à l'aide d'une diode PIN pour correspondre à celle causée par un MIP. L'ASIC couplé au détecteur a ensuite été testé avec un faisceau de pions à 180 GeV/c. L'objectif était à la fois de vérifier le gain du préamplificateur et ses performances temporelles.

Connaissant la valeur la plus probable de la charge délivrée par le détecteur avec une incertitude de 30%, la mesure de l'amplitude du signal en sortie du préamplificateur permet de déterminer son gain. Dans un premier temps, le gain du détecteur est préalablement caractérisé en fonction de sa tension de polarisation. Ce dernier est défini à partir des courbes IV par le ratio du courant du UFSD (avec gain) par rapport à une diode PIN (sans gain) sous une polarisation donnée. Par ailleurs, on sait que la charge MPV Q_{in} déposée par un MIP est donnée par le produit du gain (fonction de V_{bias}) par la constante ~ 0.46 fC (pour une épaisseur active de $50\ \mu\text{m}$). Dans un deuxième temps, la valeur la plus probable d'amplitude est estimée à partir de l'histogramme de déclenchement du discriminateur en fonction de sa tension de seuil. Sachant que l'amplitude suit une distribution de Landau, alors la valeur la plus probable correspond au seuil du discriminateur tel que la fonction de répartition de la distribution vaut 30%.

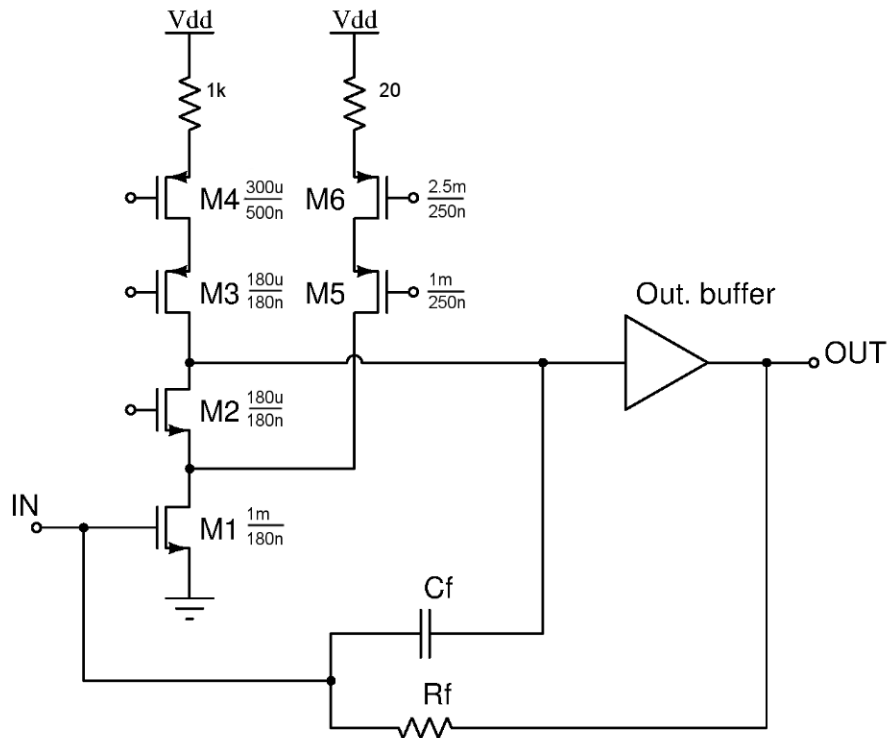


FIGURE 3.30 – Préamplificateur en transimpédance utilisé dans l'ASIC TOFFEE

Les ASIC appelés FAST sont la suite du programme de R&D du groupe de l'INFN de Turin afin d'instrumenter des UFS (Ultra Fast Silicon Detector), une nouvelle génération de LGAD.

3.7.2 ETROC

ETROC est le pendant direct d'ALTIROC pour l'expérience CMS dans le cadre du HL-LHC. Si la zone instrumentée par l'Endcap Timing Layer (ETL) est plus importante que pour HGTD, elle ne s'approche toutefois pas autant du faisceau, puisqu'elle couvre l'intervalle de rayon $315 < R < 1200\text{mm}$ contre $120 < R < 640\text{mm}$ (ou donné en intervalle de pseudo-rapacité : $1.6 < |\eta| < 3.0$ à la côte axiale $z \pm 3.0\text{m}$ pour CMS contre $2.4 < |\eta| < 4.0$ à $z \pm 3.5\text{m}$ pour ATLAS). En conséquence, le TID maximum requis pour le design d'ETROC est de 100 Mrad.

Une résolution temporelle inférieure à 50 ps RMS par hit est attendue jusqu'à la fin de vie du détecteur pour un MIP de 6 fC. La composante détecteur dû au terme de Landau est estimée à 30 ps. L'ASIC seul ne doit donc pas dépasser 40 ps RMS pour satisfaire les exigences du système. Conçu en 65 nm, l'ASIC subit globalement les mêmes contraintes de puissance qu'ALTIROC, en possédant toutefois 16×16 voies au lieu de 15×15 . [2]

3.7.2.1 Préamplificateur

Le préamplificateur est globalement identique à celui d'ALTIROC avec des courants de polarisation du transistor d'entrée très proches compris entre 0.51 et 1.11 mA. [4] Le montage cascodel permet de configurer R_f entre 4.4 et 20 k Ω , I_{b2} entre 0.25 et 0.95 mA, compensation du courant de fuite du détecteur et C_L entre 0 et 160 fF. Notons que l'introduction d'un pôle avec la capacité C_L placée en aval du cascode diffère d'ALTIROC où la capacité de compensation est placée en parallèle de la résistance de contre-réaction. L'ajustement de ces paramètres a permis de trouver un optimum en terme de bande passante, gain en boucle fermée du préamplificateur.

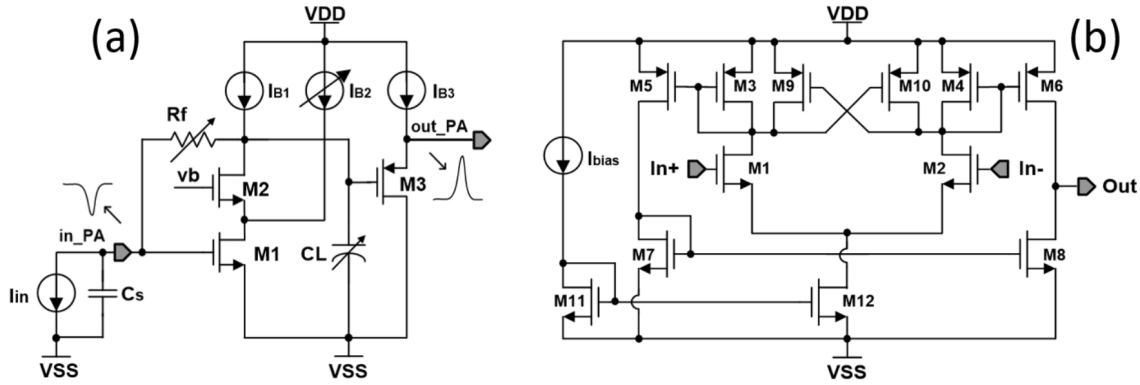


FIGURE 3.31 – Schéma du préamplificateur (avec modélisation du détecteur) et du discriminateur d'ETROC

3.7.2.2 TDC auto-calibrée

Si le front-end analogique est très proche d'ALTIROC, les TDC réalisent une conversion du temps par une méthode peu conventionnelle. En effet, la ligne à retard utilisée dans chaque voie pour la mesure à la fois du TOA et du TOT n'est pas asservie par une DLL. Fonctionnant en boucle ouverte, elle subit donc les variations locales de température et de tension. Pour connaître le LSB propre à chaque conversion, un signal de calibration est converti consécutivement. Les données d'auto-calibration s'ajoutent donc aux données de mesure (sauf à être utilisées in-situ). Alors que le front de tête du discriminateur se propage au sein de la ligne à délai, il est échantillonné deux fois : une première fois simultanément au compteur grossier par l'horloge, puis une deuxième fois exactement une période d'horloge plus tard. La différence est utilisée pour calibrer les données de la TDC par un simple produit en croix. Disposer de deux échantillons du TOA permet également d'améliorer la précision de la mesure de temps. La précision temporelle obtenue en mesure est de 6 ps RMS. Elle passe en dessous du bruit de quantification (mesurée inférieure à 5 ps RMS) en moyennant les deux TOA mesurés à 3.125 ns d'écart puisque le ratio $LSB/\sqrt{12} = 17.8/\sqrt{12}$ vaut 5.1 ps. Le chronogramme 3.32 illustre le principe de fonctionnement de cette architecture de TDC.

En outre, pour maintenir le temps de conversion inférieur à la durée d'un bunch-crossing (soit 25 ns), la TDC opère à une fréquence de 320 MHz. La propagation de l'horloge à travers les 2 cm² requiert donc en toute logique une puissance 8 fois supérieure à une 40 MHz. Par ailleurs, les appels de courant lors des commutations d'horloge sont autant de perturbations pour l'analogique.

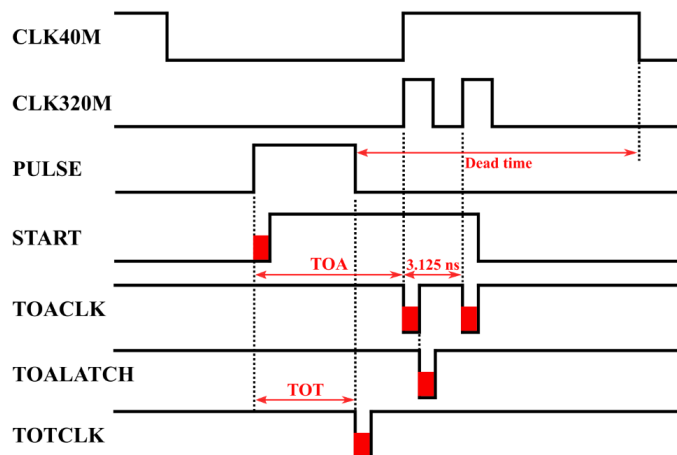


FIGURE 3.32 – Chronogramme de la TDC d'ETROC

L'architecture de la TDC en 65 nm est toutefois grandement simplifiée : alors qu'en boucle fermée, un Vernier serait nécessaire pour atteindre un LSB de 20 ps, en boucle ouverte le temps de

propagation d'un simple inverseur le permet. En effet, l'emploi de cellules à délai contre-réactionnées implique d'affamer les transistors en courant. Le temps de passage d'une cellule à délai affamée est ainsi de l'ordre de la centaine de picosecondes, excédent largement l'objectif de 20 ps. Bien qu'il n'y ait qu'une seule ligne au lieu de 2, cette dernière est échantillonnée 2 fois : la première pour la mesure du hit, la deuxième pour la calibration. Seule l'absence des 2 DLL partagées par l'ensemble des TDC modifie la consommation globale, mesurée à $37\ \mu\text{W}$ (en moyenne par conversion par voie). La conversion du temps par les TDC est également à l'origine d'un fort appel de courant puisque l'intégralité des cellules à délai sont échantillonnées simultanément par les DFF. La réduction de l'amplitude des pics de consommation peut représenter un avantage non négligeable pour les performances analogiques.

Afin de restreindre la longueur de la ligne à délai, toujours dans un objectif de réduction de sa consommation, la ligne est rebouclée et utilise en conséquence des NAND, atteignant un LSB de 17.8 ps. La ligne à délai ne pourrait toutefois pas être réduite indéfiniment, sous peine d'engendrer des méta-stabilités au niveau des compteurs grossiers. Elle est parcourue en environ 1 ns et compte 63 éléments (un nombre impair pour permettre la propagation de l'oscillation). Deux compteurs grossiers sont connectés à la même cellule à délai ($n^{\circ}31$) : une sélection du compteur le moins sujet à une méta-stabilité est effectuée à partir du TOA fin (chaque ripple counter à 3 étages dispose donc au mieux de 500 ps pour s'incrémenter avant l'arrivée du front d'horloge). La DNL est judicieusement minimisée grâce à plusieurs aspects :

- Tout d'abord, les NAND sont customisées pour minimiser les disparités dues à l'alternance de polarité du front se propageant dans la ligne à délai. Sur le principe, il s'agit de dégénérer le NAND en un inverseur tant que faire se peut : le transistor en parallèle sur la sortie est réduit pour minimiser la capacité du noeud et le transistor en série avec la structure de l'inverseur est agrandie pour laisser le courant passer librement. Les simulations montrent que le NAND doit être désigné de concert avec la bascule D échantillonnant la ligne, car la largeur d'un bin dépend pour partie de la résolution des métastabilités. Or, leur résolution est différente selon la polarité du front échantillonné.
- La ligne à délai est également utilisée pour la mesure du TOT (Figure 3.33). Comme le LSB attendu est 2 fois supérieur à celui du TOA, une cellule à délai sur deux est échantillonnée. Néanmoins, l'ensemble des cellules à délai sont connectées à 2 flip-flops (l'une pour le TOA, l'autre pour le TOT) afin d'uniformiser la charge capacitive en sortie de chaque cellule à retard.

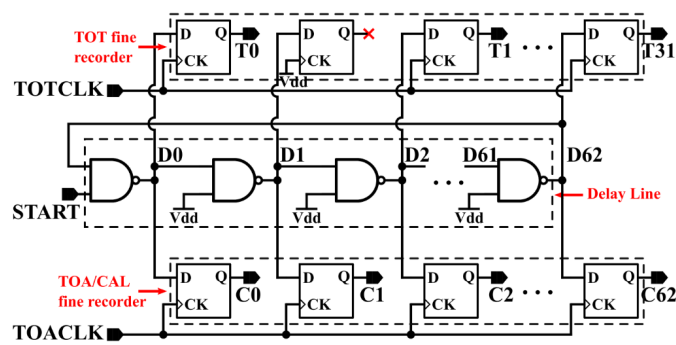


FIGURE 3.33 – Schéma de principe de la TDC d'ETROC

À une température et une tension données, la DNL peut toutefois être corrigée hors-ligne en mesurant le TOA d'un signal aléatoire ou statistiquement uniformément distribué sur l'intervalle de mesure. La technique généralement mise en oeuvre (dite de Code Density Test) utilise un signal de hit à une fréquence très légèrement supérieure à la fréquence de fonctionnement de la TDC afin de balayer par pas suffisamment fin ($< 1\ \text{ps}$) sa caractéristique. L'histogramme obtenu pour chaque valeur discrète du TOA peut être mis à l'échelle connaissant la gamme dynamique de la TDC (soit 3.125 ns pour le code fin). Il fournit donc la largeur effective de chaque bin. Néanmoins, la TDC

évoluant en boucle ouverte exige la mesure de la correction de la DNL à différentes conditions de température et de tension.

En pratique, la conversion des données brutes de la TDC est donc plus complexe qu'un simple produit en croix pour connaître le LSB à partir du nombre de cellules à délais franchies par le signal de calibration en 3.125 ns. Pour chaque condition d'opération de la TDC, la DNL cumulée (ou INL) est calculée. Ainsi, à chaque code fin est associé un temps en picosecondes. Chaque table est liée à la moyenne des valeurs de calibration obtenues par ailleurs et reflète ainsi les conditions statiques de température et de tension. Les données de mesure prises dans un intervalle de temps suffisamment court pour que ces conditions statiques n'ayant pas évoluées sont regroupées ensemble. Leur moyenne de calibration permet d'interpoler la table de correction parmi les tables de calibration disponibles. La sensibilité du LSB a par ailleurs été mesurée : ce dernier varie (quasi linéairement) d'une picoseconde pour une variation de température de 47°C ou de la tension d'alimentation de -73 mV autour du point de fonctionnement à 25°C ou 1.2 V [5, 6]. Ainsi, malgré les variations substantielles du LSB en boucle ouverte, la TDC repose sur la périodicité de l'horloge fournie pour les compenser.

3.7.2.3 Résultats de mesure en faisceaux de particules

Les résultats de mesure disponibles réalisées en faisceau concernent uniquement les ASIC de taille réduite (ETROC 0 et 1 avec respectivement 4 et 16 voies). Avant toute chose, précisons que le seuil du discriminateur n'est pas fixé à partir de la calibration (à une charge équivalente donnée). Ce dernier est réglé en l'absence de faisceau (i.e. signal injecté) : il est éloigné progressivement du piédestal (donnée par sa mesure DC) jusqu'à ce que le taux de déclenchement sur le bruit soit inférieur à une consigne. L'écart de tension entre la ligne de base et le seuil vaut généralement 3.5 mV.

La mesure de temps d'une voie est évaluée par rapport à deux autres voies de chacune deux autres ASIC de même conception (Figure 3.34). Les 3 LGAD issus du même wafer (donc présentant le même gain) sont déplétés par une tension de -230 V et fournissent ainsi la même charge à leur ASIC respectif.

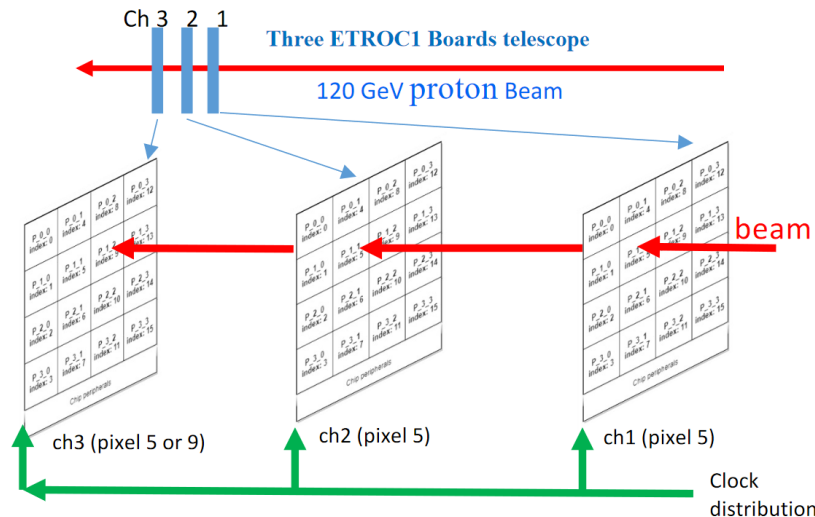


FIGURE 3.34 – Configuration du banc de test faisceau pour ETROC1

La résolution temporelle pour un hit est estimée à partir des 3 mesures (i,j,k) de temps inter-voies ayant détecté le même évènement :

$$\sigma_i^2 = \sqrt{\frac{1}{2}(\sigma_{ij}^2 + \sigma_{ik}^2 - \sigma_{jk}^2)} \quad (3.53)$$

La meilleure mesure présentée en conférence (TWEPP22) - mais non publiée dans un journal - donne une résolution de 41 ps RMS par hit ($=60 \text{ ps}/\sqrt{2}$, d'après la figure 3.35) après correction du time-walk avec le TOT. Les informations disponibles ne spécifient toutefois pas le seuil de discrimination utilisé, l'efficacité de détection obtenue (impossible à estimer sans recourir à un télescope).

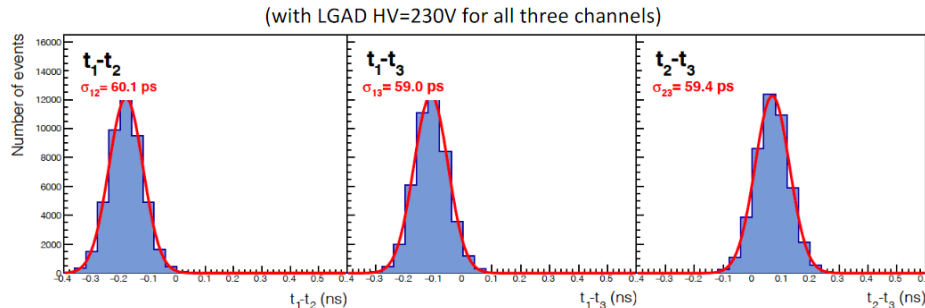


FIGURE 3.35 – Configuration du banc de test faisceau pour ETROC1

3.8 Conclusion

Le front-end analogique est la partie critique de l'ASIC garantissant les performances d'ALTIROC. La mise en équation de préamplificateurs rapides se heurtent à d'impossibles simplifications. Il est donc difficile d'extraire une formule analytique qui puisse facilement permettre d'appréhender le comportement du préamplificateur. On comprend aisément pourquoi la conception en micro-électronique est un art et le fruit d'un apprentissage itératif. Seule la simulation numérique permet d'optimiser subtilement les architectures, mais l'accroissement des performances ciblées questionne la fiabilité des modèles. Remarquons également que les caractéristiques détaillées des circuits (au niveau transistors) sont rarement partagées. Cela ne facilite donc pas la comparaison d'une architecture par rapport à une autre.

3.9 Bibliographie

- [1] A. Apresyan. Precision Timing Detectors in Collider Experiments. [\url{https://indico.fnal.gov/event/54596/contributions/248572/attachments/158954/208808/TimingDetectors-v3.pdf}](https://indico.fnal.gov/event/54596/contributions/248572/attachments/158954/208808/TimingDetectors-v3.pdf), 2022. 49
- [2] T. Liu, G. Deptuch, S. Los, S. Miryala, J. Olsen, L. Ristori, Q. Sun, J. Wu, D. Gong, K. Liu, T. Liu, H. Sun, J. Ye, L. Zhang, W. Zhang, S. Joshi, S. Ogren-ci-memik, S. Dogra, C.-s. Moon, and J. Lee. The ETROC Project : Precision Timing ASIC Development for LGAD-based CMS Endcap Timing Layer (ETL) Upgrade. page 11359, 2019. 53
- [3] A. Rivetti. CMOS : Front-end electronics for radiation sensors. *CMOS : Front-End Electronics for Radiation Sensors*, pages 1–683, 2015. doi : 10.1201/b18599. vi, 48, 49
- [4] H. Sun, D. Gong, W. Zhang, C. Edwards, G. Huang, X. Huang, C. Liu, T. Liu, T. Liu, J. Olsen, Q. Sun, J. Wu, J. Ye, and L. Zhang. Characterization of the CMS Endcap Timing Layer readout chip prototype with charge injection. *Journal of Instrumentation*, 16(6), 2021. ISSN 17480221. doi : 10.1088/1748-0221/16/06/P06038. 53
- [5] W. Zhang, H. Sun, C. Edwards, D. Gong, X. Huang, and C. Liu. A Low-Power Time-to-Digital Converter for the CMS Endcap Timing Layer (ETL) Upgrade. 2020. 56
- [6] W. Zhang, C. Edwards, D. Gong, X. Huang, C. Liu, T. Liu, T. Liu, J. Olsen, H. Sun, Q. Sun, J. Wu, J. Ye, and L. Zhang. TDC with uncontrolled delay lines : calibration approaches and precision

improvement methods. *Journal of Instrumentation*, 18(1), 2023. ISSN 17480221. doi : 10.1088/1748-0221/18/01/C01011. [56](#)

Chapitre 4

Quelles performances ALTIROC atteint-il?

*Patience et longueur de temps
Font plus que force ni que rage.*

"LE LION ET LE RAT", JEAN DE LA FONTAINE

4.1 Introduction

Caractériser ALTIROC pour le projet HGTD, c'est comprendre :

- Comment caractériser une électronique en laboratoire, c'est-à-dire sans véritable signal physique (particules chargées traversant le détecteur) mais seulement à l'aide d'un signal de calibration.
- Comment caractériser séparément certains blocs fonctionnels (TDC, PLL, PS par exemple).
- Comment le couplage du détecteur influe sur les performances de l'ASIC.
- Quelles sont les limites sur la résolution temporelle de la mesure du temps d'arrivée corrigée du timewalk.
- Quelle est la plus petite charge détectable par l'ASIC.
- Comment le passage à la pleine échelle (4 voies puis 25 voies et finalement 225 voies) impacte les performances du système.
- Comment les radiations affectent le fonctionnement normal de l'ASIC et comment compenser leurs effets.

Dans une première partie seront détaillés les tests en laboratoire puis on donnera les résultats principaux obtenus en faisceaux de particules chargées au CERN ou à DESY. Ensemble, ces mesures permettent d'orienter la suite du développement électronique.

4.2 Caractérisation sur banc de test

Cette section présente les résultats de caractérisation d'ALTIROC2 sur le banc de test du laboratoire. Afin de comprendre les effets fins liés au couplage d'un détecteur à son électronique de lecture, les mesures ont été conduites dans 2 configurations : lorsque l'ASIC est connecté à un LGAD mais aussi sans détecteur (ASIC seul). En l'absence de LGAD, un condensateur (interne à l'ASIC) est connecté à l'entrée de chaque préamplificateur pour étudier l'impact de la capacité du détecteur C_d sur les performances de lecture. La capacité émulant la présence du détecteur est réglable de 0 à 4 pF par pondération binaire. En présence d'un LGAD, celui-ci est toujours polarisé à une tension suffisamment haute pour le dépléter entièrement.

4.2.1 Système de test

En l'absence d'un faisceau-test (comme utilisé dans la section suivante 4.3), l'ASIC dispose d'un système de test intégré (Figure 4.1). Un step de tension d'amplitude variable est injecté à travers un condensateur C_{test} en lieu et place du signal physique provenant du détecteur. La charge électrique résultante $Q = C_{test} * V_{step}$ est délivrée aussi rapidement que le transistor d'injection met à la masse le potentiel négatif V_{step} . Le signal de test ressemble alors à un Dirac. Afin d'obtenir un pulse en courant plus proche du signal obtenu avec un LGAD, une résistance de 1 k Ω peut être placée en série avec le condensateur afin de ralentir le transfert de charge vers le préamplificateur. La figure 4.2 est un résultat de simulation. Elle montre en particulier la variation du temps de montée du signal en fonction de la configuration du signal de calibration. Avec la résistance d'un k Ω , le temps de montée en sortie du préamplificateur correspond approximativement au temps t_c attendu pour le LGAD. Des charges allant jusqu'à 25 fC (respectivement 100 fC) peuvent être injectées par pas de 0.4 fC/DACU (resp. 1.7 fC/DACU) grâce à un [Digital to Analog Converter \(DAC\)](#) interne. Notons que ce signal de test est généré à une phase constante et injecté simultanément dans l'ensemble des voies sélectionnées grâce à un arbre d'horloge. Il pourra donc être mis à profit pour la calibration temporelle de chacune des 225 voies de l'ASIC et permettra de tracer leur réponse en fonction de la charge délivrée. L'uniformité du potentiel V_{step} à travers l'ASIC est donc cruciale et est simplement obtenue par l'absence de courant statique parcourant l'arbre de distribution.

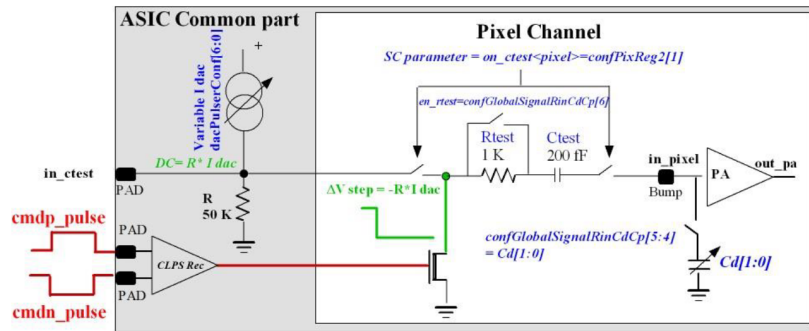


FIGURE 4.1 – Système de test d'ALTIROC2

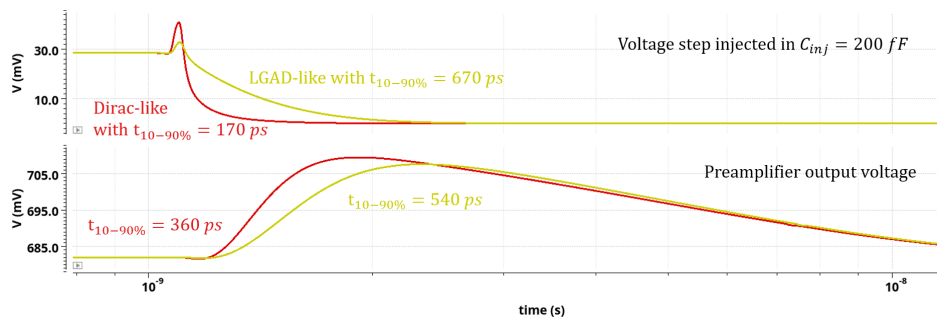


FIGURE 4.2 – Simulation temporelle en vue schéma de l'injection d'un pulse de calibration dans un préamplificateur en transimpédance

4.2.2 Seuil minimal de détection du front-end

Pouvoir détecter des signaux de charge aussi ténue que 2 fC est un des défis que pose la lecture de LGAD soumis aux radiations. D'une part, les radiations réduisent la charge délivrée par le détecteur. D'autre part, l'effet des radiations conduit à la réduction de la transconductance du transistor d'entrée. La diminution de l'amplitude du signal combinée à l'augmentation du bruit électronique (d'après les termes décrits précédemment) limite de fait la possibilité de rapprocher le seuil du discriminateur près du piédestal. Toutefois, comme on le verra ci-après, une autre forme de bruit limite plus encore l'abaissement du seuil du discriminateur : le couplage de l'activité digitale sur le signal de sortie du préamplificateur.

4.2.2.1 Méthodologie

La caractérisation du seuil minimal de détection est obtenue en injectant répétitivement des charges d'amplitude toujours plus faibles jusqu'à ce que moins de 50% des injections répétées soient effectivement détectées, définissant ainsi le seuil. Le test a été réalisé sur plusieurs voies simultanément requérant donc d'uniformiser les réponses des différentes voies. En effet, chaque préamplificateur présente un gain et un point de polarisation pouvant varier légèrement entre les voies. De la même manière, chaque discriminateur présente un offset variable que l'on peut compenser localement pour aligner les seuils de détection. En théorie, la compensation du seuil du discriminateur ne permet pas d'uniformiser la réponse sur toute la gamme dynamique (de charge) car le préamplificateur a d'autres degrés de liberté. En pratique, les seuils sont alignés sur le seuil minimum de détection pour éviter que toute voie bruyante (i.e. se déclenchant sur du bruit) ne perturbe ses voisins. La dispersion résiduelle des réponses des voies pourra être compensée hors-ligne grâce à leur calibration préalable.

Nombre de colonnes dont le front-end analogique est activé	1/15	15/15
ASIC seul irradié à un TID de 220 Mrad	1.4 fC	3.1 fC
ASIC (non irradié) couplé à un LGAD	2.9 fC	3.8 fC

TABLEAU 4.1 – Charge minimale détectable

4.2.2.2 Résultats

Les courbes d'efficacité obtenues pour différentes configurations d'ALTIROC2 sont représentées sur la figure 4.3.

Ces courbes montrent que les spécifications ne sont atteintes que pour un mode de fonctionnement partiel de l'ASIC (où seuls 15 pixels sur 255 ont leur front-end analogique activé). Ainsi, lorsque l'ASIC est étudié seul (c'est-à-dire sans LGAD) et que l'ensemble des capacités numériques sont activées mais que seulement 15 pixels sont totalement fonctionnels, le seuil médian de détection à 50% d'efficacité est de 1.4 fC. Néanmoins, lorsque toutes les voies sont activées le seuil minimal augmente (Table 4.1). Des chutes de tensions internes ont été identifiées comme étant à l'origine de l'augmentation de ce seuil. Vu la surface instrumentant l'ASIC (4 cm², le floorplan du prochain prototype a été renforcé en élargissant les pistes de métal autant que possible.

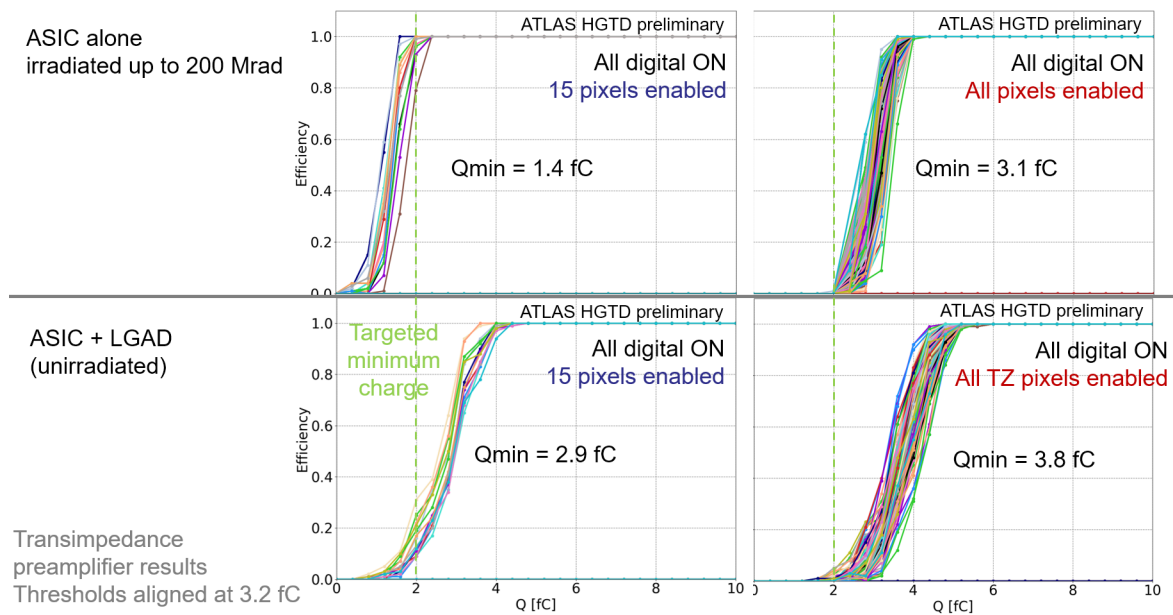


FIGURE 4.3 – Courbes d'efficacité de détection de charge pour différentes configurations d'ALTIROC2 (Lorsque préamplificateur, discriminateur sont activés, ils sont dits 'enabled')

On remarque également que le seuil augmente lorsque le détecteur est couplé à l'ASIC. Cette dégradation peut s'expliquer par la détérioration de l'impédance de la masse analogique en petit-signal, normalement commune au préamplificateur et à la haute-tension. La figure 4.4 rend compte des différences en fonction de la présence ou non du détecteur, si l'on se limite à la modélisation d'une seule voie.

Sur le schéma de gauche dans le cas dit ASIC seul, le préamplificateur ne voit que la capacité interne (censée émuler celle d'un LGAD et placée entre la grille du transistor d'entrée et la masse du préamplificateur). Le wirebonding reliant la masse analogique de l'ASIC au Printed Circuit Board (PCB) est représenté par une inductance parasite. Quelle que soit son origine, le bruit affectant la masse analogique interne est donc vu comme un signal de mode commun, puisque les 2 entrées de l'amplificateur le voient. Or, le préamplificateur présente un gain de mode commun unitaire. Le bruit est donc transmis au discriminateur sans aucune amplification.

À l'inverse, sur le schéma de droite, la mise à la masse du détecteur et du préamplificateur

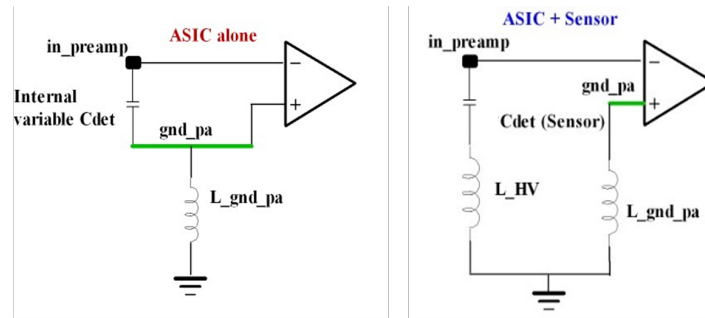


FIGURE 4.4 – Impédances parasites des fils de wirebonding connectant la masse du préamplificateur ainsi que la haute-tension du détecteur (au travers de son découplage capacitif) au PCB, sans ou avec LGAD connecté

change radicalement lorsque le détecteur est bump bondé à l’ASIC. Une source externe de tension permet la polarisation du LGAD via un wire bonding et offre un chemin de retour à la masse pour les signaux AC grâce à des capacités de découplages (non représenté). La masse petit-signal de la haute-tension et celle du préamplificateur se retrouve malheureusement séparée par une impédance parasite non-négligeable. Désormais, les perturbations rapides affectant la masse du préamplificateur se retrouvent donc amplifiées, comme un signal vu en mode différentiel.

Le cas ASIC+LGAD est donc défavorable par rapport au cas ASIC seul puisqu’il tend à rehausser le niveau de bruit digital présent à la sortie du préamplificateur, qui ne doit pas être confondu avec le bruit électronique (essentiellement blanc dû au transistor d’entrée). À noter, si la haute-tension pouvait être fournie directement par l’ASIC, cela limiterait les inductances parasites liées au wire bonding. Cela n’est toutefois pas possible vu les tensions (quelques centaines de volts) et les champs électriques impliqués.

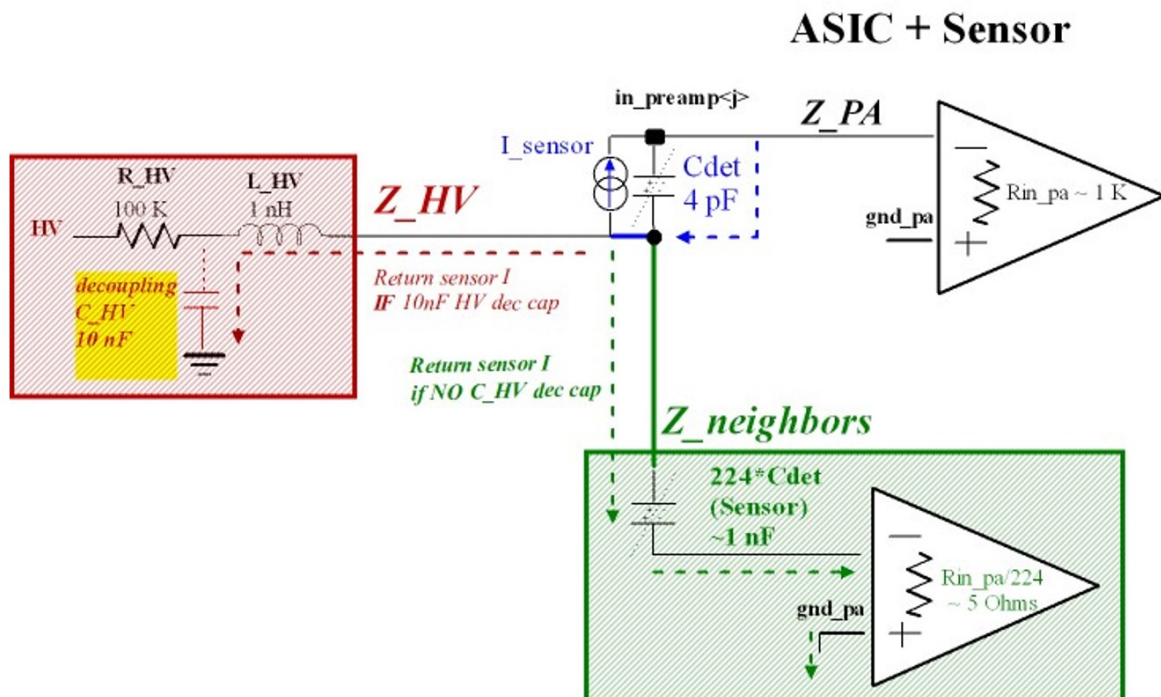


FIGURE 4.5 – Modélisation du retour de courant détecteur injecté dans une voie d’un ASIC multivoies couplé à un LGAD

Dans le cas d’un ASIC multivoies, les canaux voisins offrent néanmoins une piste d’amélioration pour réduire in fine la charge minimale détectable, comme indiqué sur la figure 4.5. Jusqu’à présent, le chemin de retour du courant AC fourni par le détecteur vers la masse analogique passe

par la capacité de découplage de la haute-tension. Il subit donc l'inductance parasite du wirebonding. Or, les voies voisines du LGAD partagent toutes la même haute-tension. Elle peuvent donc offrir un chemin alternatif de retour du courant, si toutefois elles n'entrent pas en concurrence avec le découplage de la haute-tension. Pour l'exploiter, il suffira de retirer tout découplage sur la haute-tension. On veillera toutefois que le courant moyen (courant de fuite du LGAD ainsi que du à son activité de détection) n'éroule pas sa polarisation. Ce nouveau chemin présente l'avantage de nous ramener au cas ASIC seul où les masses du senseur et du préamplificateur partagent le même wirebonding et tendent vers le même potentiel plus le nombre de voies du LGAD connectées à la fois à l'ASIC et à la haute-tension est important. La mise en parallèle de 224 préamplificateurs offre ainsi une impédance de l'ordre de 5Ω . Quelques résultats de simulation sont donnés ci-après.

Réponse du PA au déclenchement du LGAD sans capacité de découplage de la HV

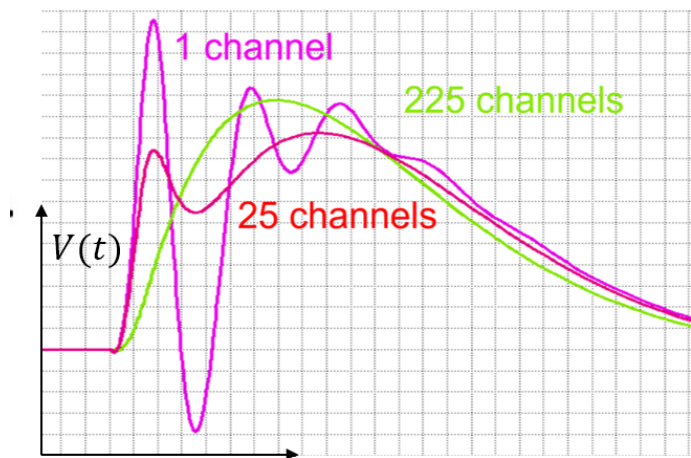


FIGURE 4.6 – Effet du nombre de voies de l'ASIC/LGAD sur le signal préamplifié

Par ailleurs, le découplage de la haute-tension affecte à la fois le signal et le bruit amplifié par le préamplificateur. La figure 4.6 illustre tout d'abord l'effet d'une inductance parasite de 10 nH de la haute-tension sur le signal en fonction du nombre de canaux de l'ASIC. Les canaux voisins de celui injecté entrent en concurrence avec l'inductance parasite et évitent ainsi toute résonance. Pour les prototypes précédents, le nombre de voies de l'ASIC n'avait pas permis d'observer cet effet (à notre avantage).

Couplage en fonction de la résistance HV :

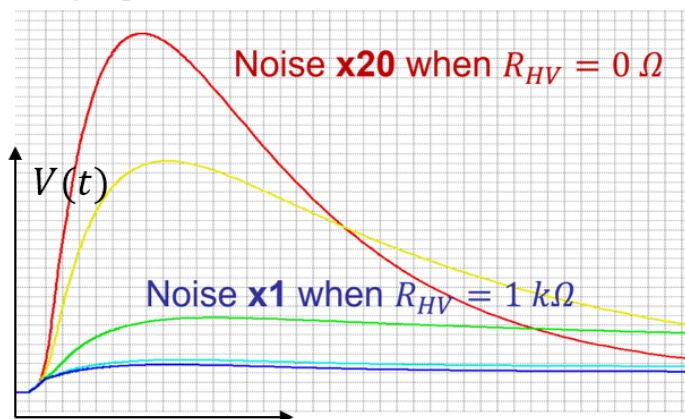


FIGURE 4.7 – Effet de la deuxième résistance de découplage sur l'amplification du bruit

Il est possible qu'en raison du pile-up, le détecteur doive impérativement être découplé afin de maintenir le gain du détecteur constant. Dans ce cas, on détermine la valeur minimale d'une

deuxième résistance à placer en série entre le noeud découplé et le détecteur de sorte que le retour de courant AC est quand même lieu via les 224 autres canaux d'ALTIROC2. La figure 4.7 montre la variation d'amplification du bruit injecté sur la masse analogique lorsque la résistance de la haute-tension est modulée entre 0 et 1 k Ω . On constate qu'à partir d'environ 1 k Ω le gain est réduit à 1, le retour de courant étant désormais assuré par les canaux voisins du canal injecté.

Negligible crosstalk on neighbour preamplifier :

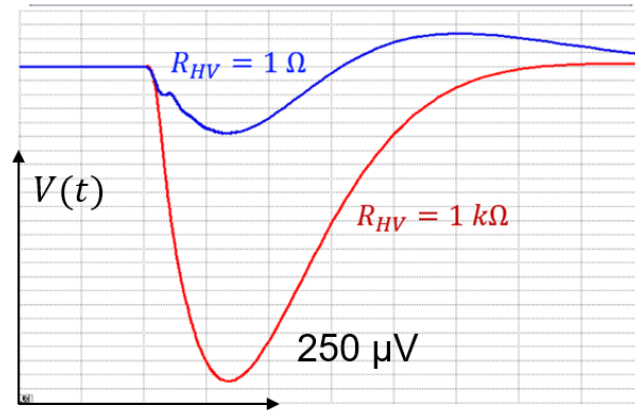


FIGURE 4.8 – Effet de la résistance de découplage sur le cross-talk

On peut également se poser la question de l'amplitude du crosstalk subi par les voies voisines à cause de ce retour de courant. Lorsque la masse de la haute-tension est masquée par une résistance de 1 kOhm, l'amplitude du pulse à la sortie des préamplificateurs ne dépasse pas 250 μV . Le crosstalk étant inférieur au bruit attendu à la sortie des préamplificateurs, il est donc négligeable. Par ailleurs, le signal lui-même n'est pas altérée par le choix du chemin de retour du courant.

En conclusion, alors qu'auparavant (pour des détecteurs présentant un faible nombre de voies) différentes stratégies de wire bonding avaient été mises en place pour limiter l'inductance parasite de la haute-tension, l'augmentation du nombre de voies relâche largement cette contrainte.

4.2.2.3 Impact de l'activité digitale sur le seuil minimal de détection

Après avoir expliqué comment le découplage de la haute-tension engendrait in fine une amplification du bruit (lorsque le détecteur LGAD est couplé à l'ASIC), nous détaillons ci-après l'impact du l'activité digitale sur le seuil minimal de détection.

Premier contributeur sur le bruit en sortie du préamplificateur, le couplage de l'activité digitale cadencée (pour l'essentiel à 40 MHz) a un impact fort sur le seuil minimal de détection. Malgré l'utilisation de substrats distincts pour isoler l'activité digitale du monde purement analogique, ce couplage peut s'observer de 2 manières différentes.

Tout d'abord, ALTIROC offre la possibilité d'examiner directement à l'oscilloscope un certain nombre de signaux parmi lesquels la sortie du préamplificateur, amplifié avant observation. Sur la figure 4.9, on constate que la ligne de base du préamplificateur semble osciller à 40 MHz avec une ondulation de l'ordre de 5 mVpp. En comparaison avec un signal de 20 fC injecté, ce bruit représente entre 1 et 2 fC, fixant de facto la charge minimale détectable.

On pourrait objecter à cette mesure que le couplage se produit sur la probe analogique et n'est pas présent en interne. Mais il est par ailleurs possible d'observer ce couplage sur le TOT qui n'est pas indépendant de la valeur du TOA à charge injectée constante. En effet, à cause de cette oscillation, la forme du pulse dépend du temps d'arrivée du signal injecté. Comme on le verra par la suite, section 4.3.1.2, cela pose d'autres complications sur la correction du timewalk.

Pour minimiser l'impact du couplage digital sur le seuil minimal de détection, il est toutefois possible de déphaser l'activité digitale par rapport à la fenêtre d'acquisition de 2.5 ns grâce au phase shifter. En effet, il existe un retard de phase des horloges du digital qui minimise le seuil de détection, comme illustré sur la figure 4.10. Cela est rendu possible grâce à la périodicité des

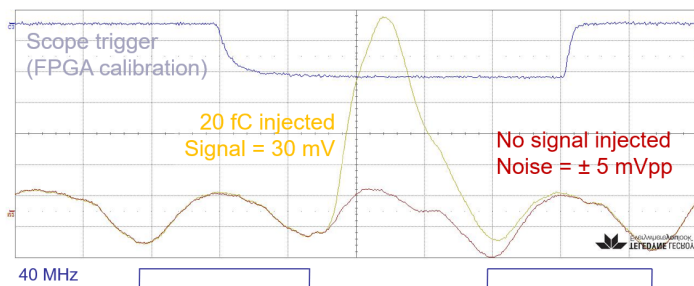
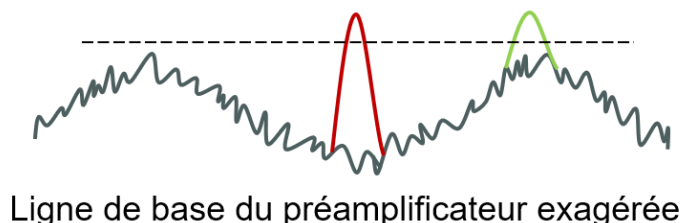


FIGURE 4.9 – Oscillation de la ligne de base du préamplificateur observée à l’oscilloscope et comparée à un signal injecté d’amplitude 20 fC

bunch-crossing se produisant au LHC. Ainsi, le signal utile (s’il existe) sera toujours déposé dans la même fenêtre étroite de temps. Pour minimiser le seuil de détection, l’activité digitale de l’ASIC est donc synchrone au LHC de telle sorte que le signal soit injecté sur les bosses de l’oscillation. Le signal n’est ainsi pas masqué par les oscillations qui chahotent la ligne de base du préamplificateur. Il est alors possible de discriminer de plus petites charges en vert sur la figure 4.10 (le seuil du discriminateur est représenté par des pointillés).



Ligne de base du préamplificateur exagérée

FIGURE 4.10 – Schéma illustrant l’importance du déphasage de l’activité digitale par rapport au signal analogique sur le seuil minimal de détection.

La figure 4.11 permet de se rendre compte de façon quantitative de l’impact du déphasage de l’activité digitale sur la charge minimale détectable : elle varie du simple au double.

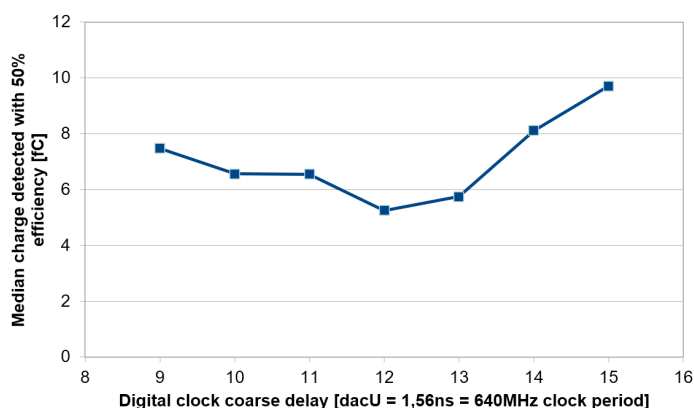


FIGURE 4.11 – Charge minimale détectable (médiane pour 105 TZ) en fonction du déphasage de l’activité digitale pour un ASIC avec LGAD (les seuils ont été alignés initialement à 4.8 fC avec un seuil global à 850 [dac])

4.2.3 Calibration pour la mesure de temps

L’étape suivante vers la qualification complète des performances de l’ASIC est la calibration du phase shifter, puis des TDC. Connaissant le pas de quantification des TDC, il sera ainsi possible de convertir le TOA et le TOT en nanosecondes.

4.2.3.1 Calibration du phase shifter

Le phase shifter joue un triple rôle dans l'ASIC, il permet tout d'abord de déterminer simplement le pas de quantification moyen des TDC TOA pour leur calibration. Mais il sert également à ajuster les fenêtres d'acquisition sur le signal attendu (TOA, luminosité) avec une précision de 100 ps dans une gamme de 25 ns et à déphaser le fonctionnement du digital par rapport à l'analogique (se produisant à la périodicité des bunch-crossing, comme vu précédemment dans le paragraphe 4.2.2.3). La figure 4.12 présente l'architecture du phase shifter.

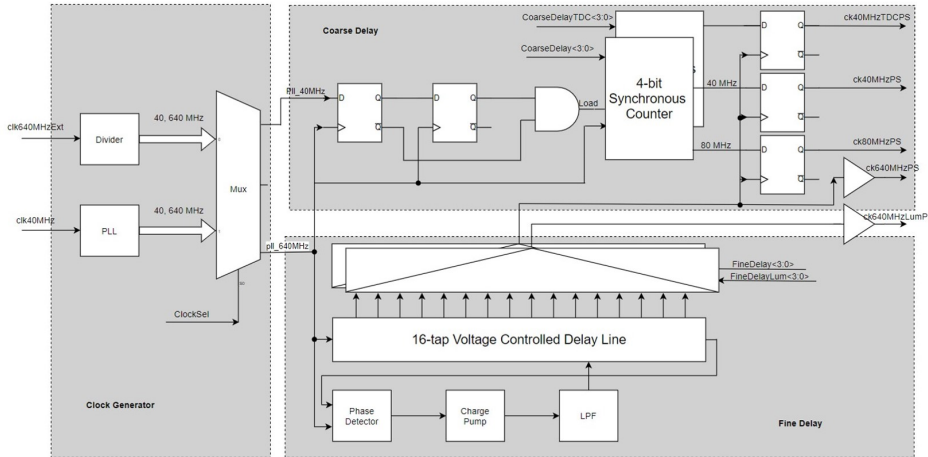


FIGURE 4.12 – Architecture globale du phase shifter

À partir des horloges de la PLL (640 et 40 MHz), le déphasage grossier des horloges (d'un pas de 1.5625 ns) est produit en comptant les fronts de la 640 MHz. Un pas fin d'environ 100 ps est atteint grâce à l'utilisation d'une Delay Locked Loop (DLL). Intégrée au phase shifter, elle permet de subdiviser la période de la 640 MHz en 16 intervalles de temps identiques.

L'objectif de la calibration du phase shifter est précisément de mesurer la régularité des 16 intervalles de temps.

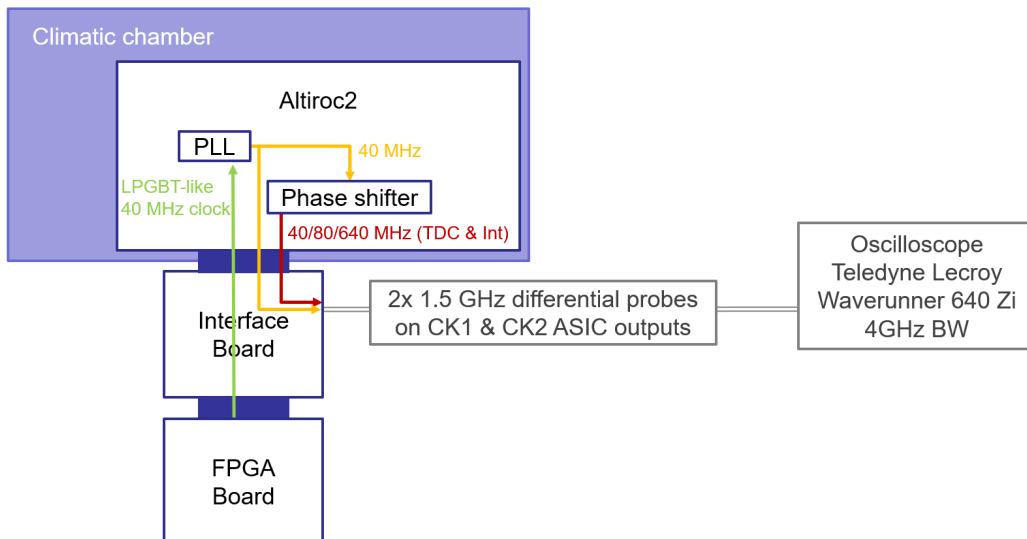


FIGURE 4.13 – Banc de test du phase shifter

Ces mesures sont réalisées en caractérisant les horloges en amont et en aval du phase shifter à l'aide du montage suivant 4.13. Le phaser shifter est étudié en boucle fermée, c'est-à-dire sans forcer la tension de contrôle fixant le retard des cellules à délai, comme en fonctionnement normal (cette dernière est uniquement forcée à l'initialisation pour garantir le bon verrouillage de la DLL).

Pour chaque configuration du phase shifter, l'oscilloscope mesure le déphasage entre 2 horloges. La figure 4.14 (en haut) montre l'évolution du déphasage avec la configuration du phase shifter. On remarque assez nettement la présence d'une valeur aberrante à un déphasage d'environ 10 ns. Cette dernière est liée à la mesure à l'oscilloscope du délai du phase shifter. En effet, celui-ci possède une périodicité identique à l'horloge (à 40 MHz) qui se sert de référence. Pour certaines valeurs de phase, l'oscilloscope ne parvient à mesurer leur déphasage avec une bonne précision, comme le montre les barres d'erreurs.

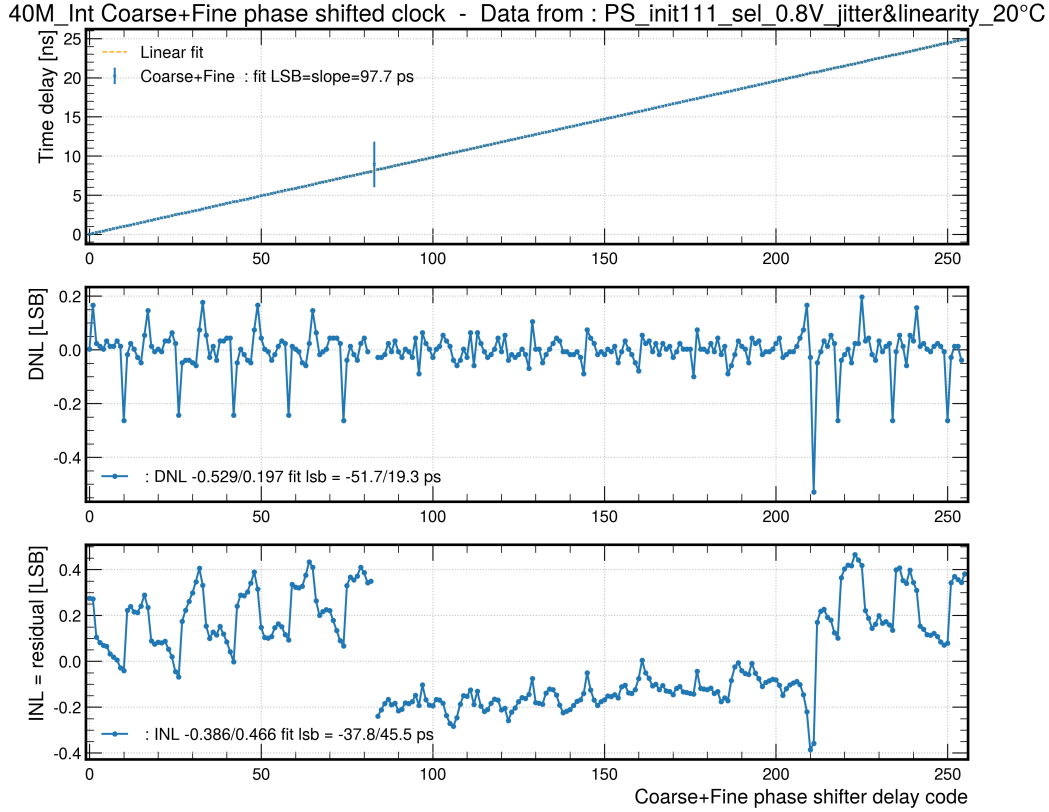


FIGURE 4.14 – Caractérisation du déphasage de l'horloge à 40 MHz destinée au digital à 20°C (DLL en boucle fermée) sur la carte B8

Les deux métriques utilisées pour caractériser les performances du PS sont la DNL et l'INL. La DNL correspond à l'écart entre le déphasage relevé entre deux configurations de délai successives par rapport au déphasage moyen obtenu par un fit linéaire.

$$DNL(\text{code } i) = \frac{(\phi_{i+1} - \phi_i) - LSB}{LSB} \quad (4.1)$$

$$\phi_{\text{fit}}(\text{code } i) = i \cdot LSB_i + \text{offset} \quad (4.2)$$

L'INL est évaluée comme le résidu entre le fit linéaire et le déphasage mesuré en unité de LSB :

$$INL(\text{code } i) = \frac{\phi_i - \phi_{\text{fit}}(i)}{LSB} \quad (4.3)$$

Comme les signaux mesurés sont périodiques, les déphasages obtenus doivent être démodulés. On fixe arbitrairement l'offset tel que le déphasage soit nul lorsque la configuration du phase shifter est également nulle. La démodulation des données brutes de mesure est obtenue avec :

$$\phi'_i = (((\phi_i - \phi_0) \% \text{measured clock period}) + \text{offset}) \% \text{reference clock period} \quad (4.4)$$

Sur la figure 4.14, on constate qu'il y a un saut de DNL d'environ 25 ps tous les 16 codes. Cela est dû à l'existence d'un mismatch entre le LSB fin et grossier tel que $16LSB_{\text{fin}} \neq LSB_{\text{grossier}}$ à cette

température. On remarque toutefois que ce motif ne se produit pas sur toute la gamme, cela n'a pas été approfondi. En pratique, ces non-linéarités ne sont pas préoccupantes si elles sont prises en compte lors de la calibration des TDC. On peut également ne faire varier que le code fin lors de la calibration. Dans ce cas, les non-linéarités doivent être recalculées puisque le fit du LSB est réalisé sur un sous-ensemble des données, c'est-à-dire pour chaque valeur de code grossier. La figure 4.15 montre les résultats de non-linéarités en fonction du code fin programmé. La DNL et l'INL sont contenus dans ± 0.3 LSB soit ± 30 ps.

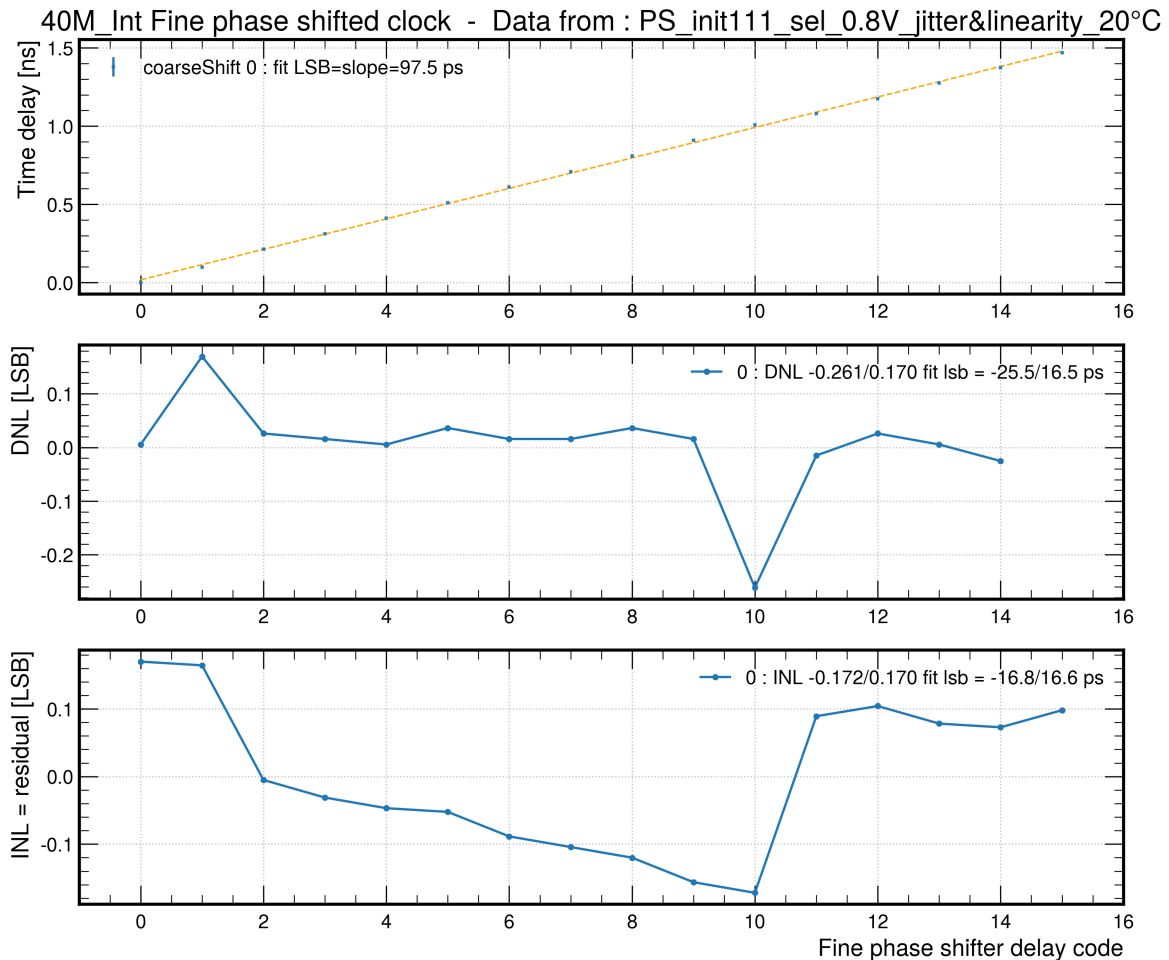


FIGURE 4.15 – Caractérisation du déphasage fin de l'horloge à 40 MHz destinée au digital à 20°C (DLL en boucle fermée) sur la carte B8 pour une valeur de coarse delay donnée (0)

4.2.3.2 Calibration des TDC

Pour tracer la linéarité des TDC mesurant le TOA, un signal de test est injecté avec une phase constante directement à l'entrée de la TDC (bypassant le front-end) tandis que la fenêtre d'acquisition du TOA des TDC est déplacée par pas de 97 ps grâce au phase shifter. La figure 4.16 montre la valeur du LSB obtenu pour la moitié de voies de l'ASIC (TZ). Alors que la valeur nominale attendue est de 20 ps, les LSB présentent une dispersion entre haut et bas de colonne de l'ASIC, séparés de presque 2 cm (alternance de couleur de fond sur la figure). Des variations des tensions d'alimentation des TDC sont en cause : elles ont été corrigées sur le prochain prototype en élargissant les pistes VDD et GND de métal AP.

De même pour le Time-Over-Threshold (TOT), un signal de test (généré dans l'ASIC avec l'horloge à 640 MHz) d'une largeur programmable par pas de 781 ps permet de déterminer son pas de quantification autour de 120 ps. En plus de l'IR drop (chute de tension) statique intra-colonne décrit précédemment, la figure 4.17 dévoile une deuxième variation du LSB entre colonnes. Cet effet

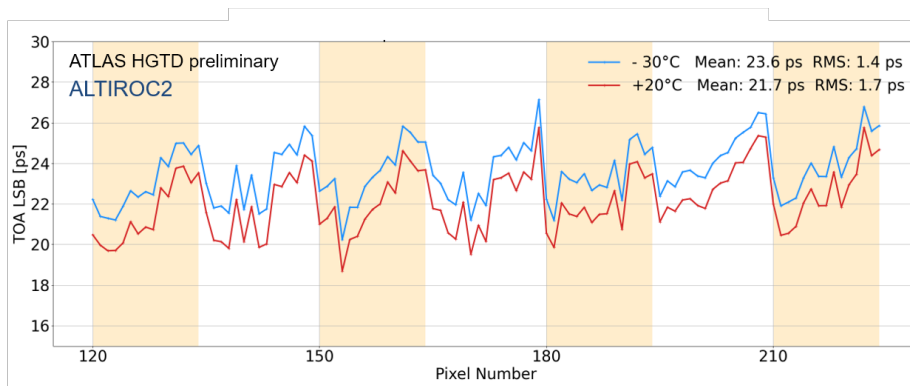


FIGURE 4.16 – Pas de quantification du Time Of Arrival (TOA) par voie et pour 2 températures

peut être expliqué par la présence de buffers non-équilibrés sur la distribution du signal de test. Le prochain prototype utilisera des buffers CKBUF, c'est-à-dire réagissant de la même manière quelle que soit la polarité du front, évitant ainsi l'élargissement du signal de calibration au cours de sa propagation.

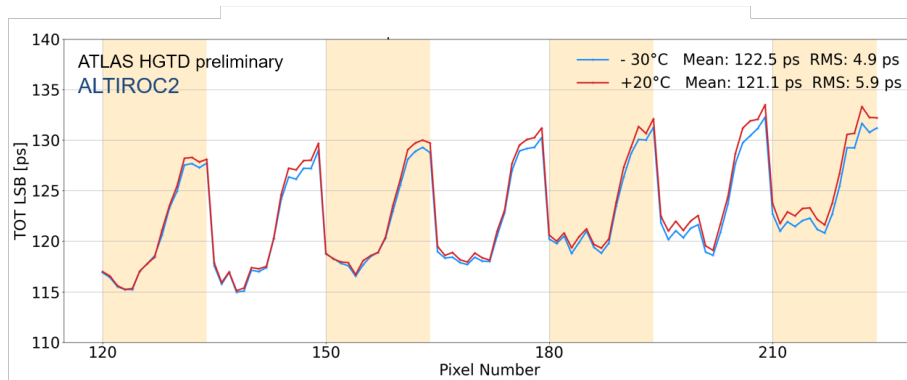


FIGURE 4.17 – Pas de quantification du Time Over Threshold (TOT) par voie et pour 2 températures (les canaux 120 et 134 correspondent respectivement au bas et haut de la même colonne)

L'uniformité inter-voies des LSB peut encore être améliorée en utilisant les paramètres de configuration des TDC permettant un ajustement fin. Par ailleurs, les 2 figures révèlent également la variation naturelle du LSB avec la température. En effet, lors de cette mesure, le LSB n'était pas compensé en température par les DLL (non utilisées). Leur caractérisation dépasse le cadre de ce chapitre.

4.2.4 Correction du time-walk

4.2.4.1 Description du phénomène

ALTIROC vise à mesurer le temps d'arrivée (TOA) de particules secondaires dont la charge varie entre 4 et 50 fC. Rappelons que le discriminateur possède un seuil fixe de détection des charges. Supposons que deux dépôts de charges distincts aient lieu simultanément dans le détecteur. Le temps d'arrivée enregistré différera car ni la bande passante du préamplificateur, ni celle du détecteur ne sont infinies. Ainsi, le temps de montée du signal en sortie du préamplificateur sera toujours donné par la convolution du temps de montée du préamplificateur (limité par le courant alloué) avec le temps de collection des charges propre au détecteur. Le résultat de la convolution donne l'enveloppe de la correction à appliquer. On dit alors que la mesure de temps doit être cor-

rigée du time-walk. Remarquons que si le slew rate du préamplificateur était limité au-delà d'une certaine charge seuil, alors quelle que soit la charge (supérieure à ce seuil), le franchissement d'un seuil fixe de discrimination se produirait toujours au même moment. Néanmoins, la contrainte sur la pente du signal dégraderait l'optimum de jitter.

4.2.4.2 Résultats

La réponse moyenne de 105 voies (avec préamplificateurs de type transimpédance) de l'ASIC est tracée en fonction de la charge sur la figure 4.18. On constate que le temps d'arrivée est asymptotique avec la charge et s'étale sur environ 750 ps.

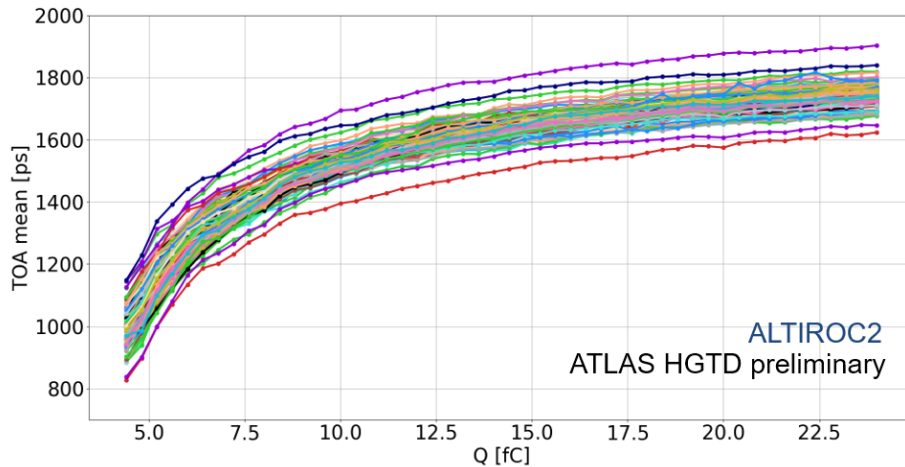


FIGURE 4.18 – Temps d'arrivée (TOA) en fonction de la charge injectée

Pour compenser cet effet, une deuxième grandeur physique associée à la charge collectée doit être mesurée. Cet ASIC repose sur la mesure du Time Over Threshold (TOT) ou temps au-dessus du seuil utilisé pour mesurer l'amplitude du signal. Comme le montre la figure 4.19, le temps d'arrivée pourra être corrigé grâce à sa relation bijective avec un estimateur de la charge. À noter, d'autres techniques existent pour s'affranchir de cet effet indésirable. On peut utiliser par exemple une mesure de l'amplitude fournie par un ADC ou bien avoir recours à un discriminateur dont le seuil s'ajuste dynamiquement à une fraction de l'amplitude du signal.

On peut s'interroger sur la dispersion entre les voies présentées ci-dessus (de l'ordre de 300 ps). Elle résulte uniquement des différences temporelles des arbres d'horloge responsables de l'injection et de l'échantillonnage du signal. La dispersion inter-voies est le résultat de l'optimisation sous contraintes de l'outil numérique de placement et routage. Figées dans le silicium, ces différences pourront aisément être compensées par calibration.

4.2.4.3 Conséquences sur la topologie du préamplificateur

La capacité à corriger du time-walk nous a d'ailleurs poussé à arbitrer en faveur des préamplificateurs de type transimpédance (TZ) plutôt que ceux en tension (VPA). En effet, l'impédance d'entrée Z_{in} du préamplificateur en tension étant plus élevée, elle rallonge sensiblement le temps de récupération du pulse par rapport au TZ.

$$\tau_{\text{Retour à la ligne de base}} \propto Z_{in} C_d \quad (4.5)$$

Or, plus le signal s'étale sur un temps conséquent, plus il peut être déformé par le couplage de l'activité digitale. Cet effet est exacerbé pour le VPA qui présente une longue traîne. La figure 4.20 montre les discontinuités caractéristiques du TOT en fonction de la charge injectée présentes pour le VPA autour de 30-40 fC. À l'inverse, cet effet est inexistant pour les TZ. La voie 0 n'étant pas connectée au détecteur, sa réponse en TOT diffère due à l'absence de capacité détecteur. On privilégiera donc le TZ au VPA pour cette raison. Néanmoins, la précision sur la mesure TOT doit être

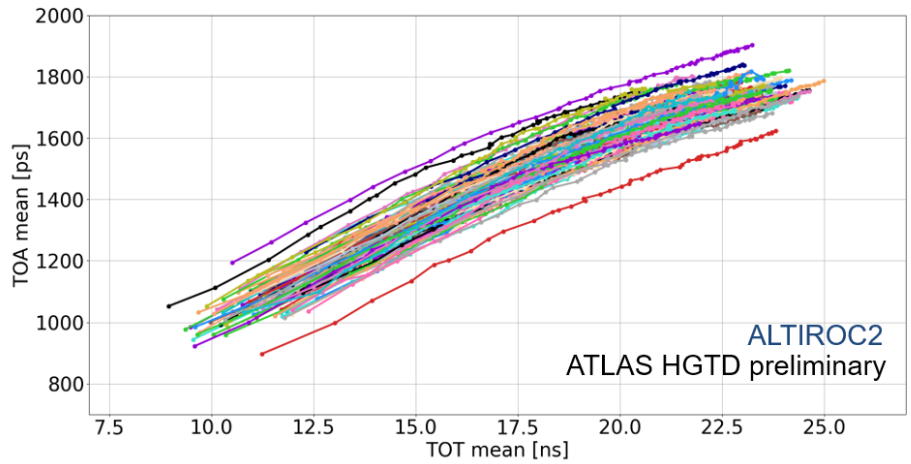


FIGURE 4.19 – Temps d'arrivée (TOA) en fonction du Time Over Threshold (TOT)

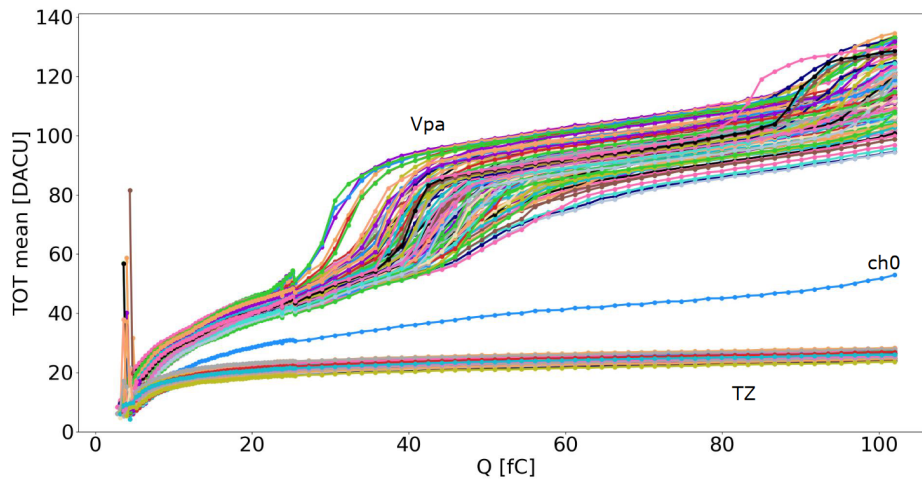


FIGURE 4.20 – TOT en fonction de la charge délivrée pour les 2 topologies de préamplificateurs

accrue pour corriger du timewalk étant donné la gamme dynamique comme montré sur la figure 4.20. À noter, quelques voies (indifférenciées VPA ou TZ) présentent des valeurs aberrantes pour des faibles charges (5 fC), probablement dû à un mauvais alignement des seuils de discrimination.

4.2.5 Caractérisation du jitter

4.2.5.1 Modélisation du jitter

Une fois le signal détecté, on cherche à caractériser la précision (ou jitter) à laquelle est mesuré le temps d'arrivée. On peut montrer que le jitter dû au front-end suit une loi hyperbolique avec la charge Q_{in} et proportionnelle avec la capacité de détecteur C_d .

$$\sigma_{front-end} = \frac{\text{Noise}}{dV/dt} = \frac{e_n C_d}{Q_{in}} \sqrt{t_d} \quad (4.6)$$

où :

- Noise : Bruit RMS après amplification
- dV/dt : Pente du signal en sortie du préamplificateur
- e_n : Densité spectrale de bruit du transistor d'entrée
- C_d : Capacité du détecteur LGAD (~ 4 pF)

- Q_{in} : Charge délivrée par le LGAD. La valeur du MIP (Minimum Ionisation Particule) est de 10 fC au début de la vie du détecteur pour un gain donné et 4 fC à la fin après irradiation (200 Mrad)
- t_d : Temps de drift du LGAD (~ 600 ps)

Cette modélisation montre l'importance de minimiser la densité spectrale de bruit du transistor d'entrée, sachant que le jitter électronique est principalement contraint par les caractéristiques du détecteur. Au jitter dû au front-end s'ajoutent d'autres contributions quadratiquement. Le jitter observé lors de l'interaction d'une particule avec le détecteur est ainsi donné par la relation :

$$\sigma_{hit}^2 = \sigma_{Landau}^2 + \sigma_{Clock}^2 + \sigma_{TDC}^2 + \sigma_{Time-walk}^2 + \sigma_{Front-end}^2 \quad (4.7)$$

4.2.5.2 Résultats

La figure 4.21 montre que le jitter mesuré est supérieur aux valeurs obtenues en simulation, en particulier à faible charge. Le terme de jitter qui domine à faible charge est le jitter du front-end $\sigma_{front-end}$ alors que le comportement asymptotique à plus haute charge résulte de la somme quadratique du jitter des horloges (source, PLL, PS, distribution) et des TDC (quantification du temps). La simulation du front-end fait ici l'hypothèse d'une borne inférieure (floor) sur le jitter d'environ 10 ps. Cette contribution semble insuffisante au vu de la différence entre mesure et simulation.

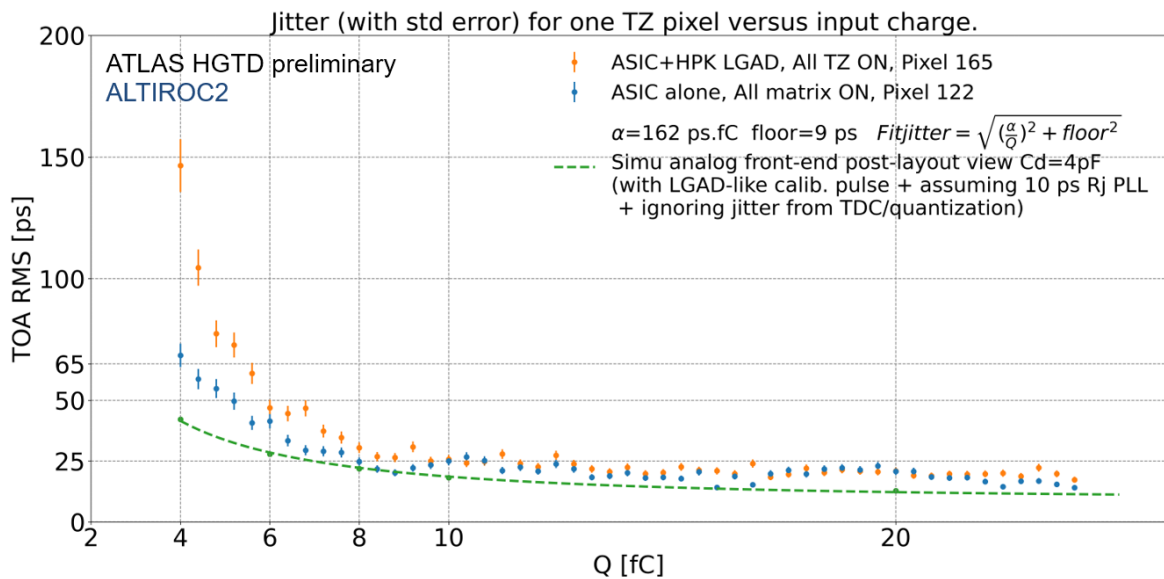


FIGURE 4.21 – Jitter sur le temps d'arrivée en fonction de la charge délivrée par le LGAD (Les seuils du discriminateur sont fixés aux valeurs indiquées dans la table 4.1)

Par ailleurs, les différences à faibles charges entre la caractérisation expérimentale et la simulation sont élevées. La figure 4.21 rend également compte des problématiques propre au couplage d'une électronique à un détecteur. Alors que la mesure de l'ASIC seul - mais doté d'une capacité pour émuler la présence du LGAD - donne un jitter de 70 ps à 4 fC (en bleu), le jitter empire d'un facteur 2 avec le véritable LGAD (en orange).

Signalons que la simulation a été réalisée avec la vue post-layout, c'est-à-dire incluant les R/C parasites dus au placement et croisement des pistes métalliques et transistors sur le substrat. De plus, le signal injecté simulé correspond au pulse de calibration tel que produit en interne par l'ASIC. Enfin, la capacité du détecteur a été estimée à 4 pF.

4.2.5.3 Une modélisation erronée de la capacité détecteur ?

On peut légitimement se demander si la capacité choisie correspond réellement à celle d'un LGAD. Or, il est possible d'utiliser l'ASIC afin de reconstruire les signaux en sortie du préamplificateur pour apprécier leur amplitude et forme. En effet, en déplaçant le seuil du discriminateur global pour une charge donnée et en répétant la mesure plusieurs fois, les données des TDC (TOA et TOT) permettent de reconstituer le pulse injecté. En outre, les voies équipées d'un préamplificateur en tension présentent une amplitude et un temps de déclin respectivement inversement proportionnelle et proportionnel à la capacité du détecteur tels que décrits par les équations 4.5 et 4.8.

$$V_{\max} = \frac{Q_{in}}{C_d} \quad (4.8)$$

Sur la figure 4.22, l'amplitude et la constante de temps (de retour à la ligne de base) similaires des courbes verte et bleue, avec et sans LGAD, prouve que la capacité interne est bien conforme à celle du LGAD. La courbe témoin (en rouge) montre quant à elle qu'en l'absence de capacité détecteur émulant le LGAD (interne à l'ASIC) l'amplitude du signal amplifié est bien plus importante.

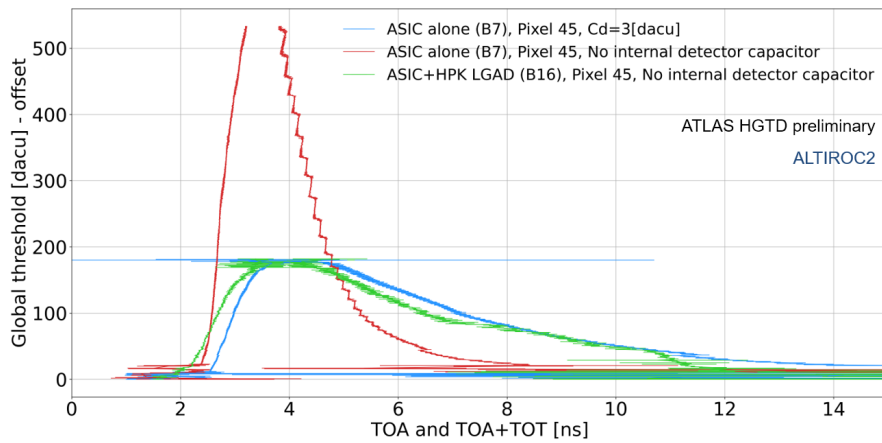


FIGURE 4.22 – Reconstruction du signal en sortie de préamplificateur (VPA)

Par conséquent, la valeur de la capacité détecteur utilisée en simulation n'explique pas les différences de mesure observées.

Par ailleurs, des mesures de la capacité du LGAD en fonction de la tension de polarisation ont montré que la capacité du détecteur était de 3.9 pF (une fois complètement déplété, à savoir au-delà de 50 V). Ce résultat permet d'estimer l'épaisseur active du LGAD à 45 μm (conçue pour 50 μm), sachant sa surface active (1.3 mm \times 1.3 mm) ainsi que la permittivité relative du silicium (11.7), d'après la relation $w = \epsilon_r \epsilon_0 \frac{A}{C}$.

4.2.5.4 Impact de la forme du pulse sur le jitter

La différence de jitter observée à faible charge lors du couplage du détecteur à l'ASIC peut être expliquée par un autre effet significatif : la forme du pulse. Bien que l'on s'attende à ce que le jitter suive une loi hyperbolique avec la charge, le fit des données expérimentales montre que le jitter s'accroît à un rythme plus élevé.

La figure 4.23 montre l'évolution du jitter en fonction de la charge pour différents alignements du seuil du discriminateur pour l'ASIC seul (La valeur scalaire obtenue pour chaque charge correspond à la moyenne des 105 voies équipées d'un préamplificateur à transimpédance). Pour uniformiser les seuils de détection des voies observées, les seuils sont alignés pour une charge donnée. On constate que plus l'alignement des seuils des discriminateurs est réalisé à faible charge, meilleur est le jitter. Si le front montant du pulse était parfaitement raide, le jitter mesuré à une

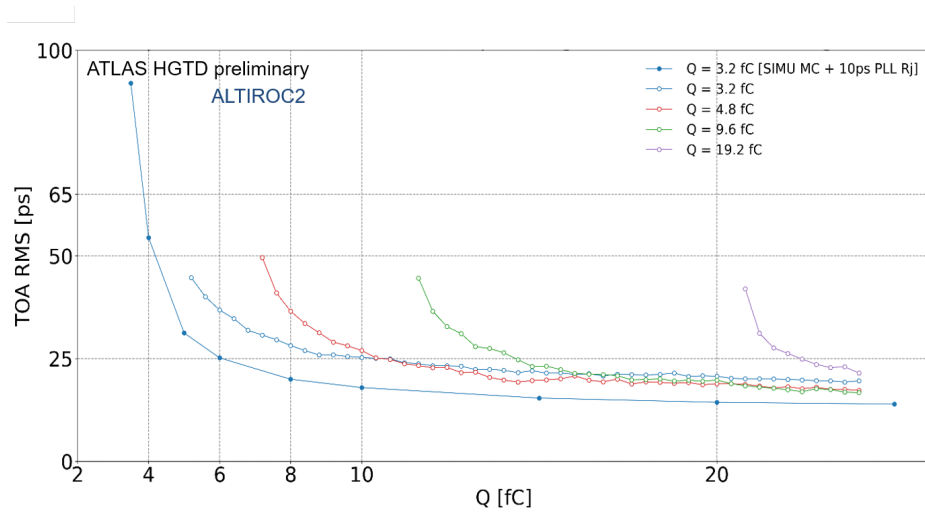


FIGURE 4.23 – Jitter sur le temps d’arrivée en fonction de la charge pour divers alignements de seuils du discriminateur

charge au-dessus des seuils (alignés) ne devrait pas dépendre de la charge choisie pour l’alignement. Or, plus le seuil (en pointillés) est proche du sommet du pulse, plus le jitter se dégrade en raison de l’affaiblissement de la pente du pulse. Le schéma 4.24 résume la dépendance du jitter au seuil du discriminateur.

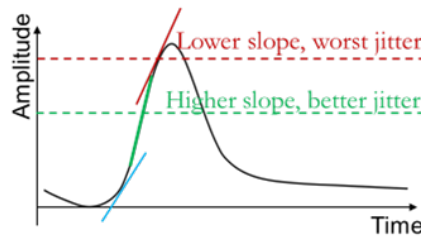


FIGURE 4.24 – Effet du seuil du discriminateur (et donc de la pente du signal) sur le jitter mesuré

De la même façon, si le seuil était placé trop bas, le jitter serait en principe impacté par la faible pente initiale. Cette mesure n’est toutefois pas réalisable puisque le seuil serait ainsi noyé dans le bruit du préamplificateur.

En conclusion, le choix du seuil adéquat est donc un compromis devant à la fois maximiser la pente du pulse et minimiser la charge minimale détectable. Pour obtenir un jitter satisfaisant les spécifications pour des charges aussi faibles que 4 fC, il importe donc de pouvoir détecter des charges en-deçà (2 fC).

4.2.5.5 Comparaison avec le jitter attendu

On s’intéresse à la comparaison entre le signal de calibration vu lorsque le LGAD est connecté à l’ASIC ou bien lorsque la capacité détecteur est émulée en interne. Il est possible d’estimer le jitter attendu par la chaîne de mesure en mesurant séparément le bruit et la pente du signal sur la tension en sortie du préamplificateur. Le jitter du front-end $\sigma_{front-end}$ étant le terme dominant de l’équation 4.7 à faibles charges injectées, il est calculé comme le rapport $\frac{Noise}{dV/dt}$ pour une charge donnée.

Le bruit est calculé à partir des courbes d’efficacité de déclenchement sur une charge injectée non nulle. En effet, la pente de la transition entre absence de détection d’un signal et détection maximale nous renseigne sur le bruit en sortie du préamplificateur. Les courbes d’efficacité ont été fittées par la fonction d’erreur Gaussienne suivante :

$$\eta(V_{th}) = A \left(1 + \operatorname{erf} \left(\frac{-(V_{th} - \mu)}{\sqrt{2}\sigma} \right) \right) \quad (4.9)$$

Les courbes d'efficacité graduées en $[V_{th} \text{ dac}]$, il est nécessaire de caractériser au préalable les constantes de conversion en mV puis en fC. Elles s'obtiennent en mesurant premièrement l'amplitude de l'échelon de tension injecté par le pulser. Un point de test dédié permet cette mesure. La capacité d'injection supposée connue peut être une source d'incertitude sur la charge réellement injectée. On utilise dans la suite la valeur fournie par la simulation post-layout, à savoir 208 fF. Pour établir le facteur de conversion, il est préférable de se rendre indépendant de tous offsets, dus par exemple à des courants de fuite dans le DAC du pulser. Pour ce faire, deux charges différentes sont injectées, la mesure de la différence d'amplitudes injectées et mesurées est a priori indépendante d'effets statiques. Dans la table 4.2, un différentiel de charges injectées de 5 fC correspond à une variation d'amplitude en sortie du front-end d'environ 35 coups de DAC du seuil global des discriminateurs. Si on suppose par ailleurs la réponse du préamplificateur linéaire pour des petites charges, il est possible alors d'établir un coefficient de conversion de l'ordre de 0.15 fC/ $V_{th} \text{ dac}$.

La table 4.2 résume les résultats principaux de mesure de bruit, pente et jitter obtenus en injectant colonne par colonne avec une seule colonne activée à la fois. Les valeurs données sont les moyennes obtenues pour l'ensemble des voies et sont comparées aux mesures du jitter décrites dans le paragraphe 4.2.5.2.

Pour commencer, on retrouve le résultat précédent symptomatique du couplage du digital sur l'analogique selon qu'un LGAD est couplé à l'ASIC ou non. En effet, d'après la table 4.2, le bruit est plus de 2 fois plus important avec LGAD qu'ASIC seul. Les mesures brutes obtenues en fittant les courbes d'efficacité ont été traduites en fC pour plus de clarté. Introduit dans le paragraphe 4.2.2, le couplage de l'activité digitale a non seulement un effet sur la charge minimale détectable mais aussi sur le bruit. Il convient ici de distinguer le comportement qui serait obtenu en conditions réelles du signal de calibration utilisé jusqu'alors pour la caractérisation de l'ASIC. En effet, alors que les événements du HL-LHC seront normalement contenus dans une fenêtre de temps de 2.5 ns, le pulser interne produit un signal de calibration à une phase fixe. Sans time-walk, le discriminateur ne verrait donc a priori pas les variations de la ligne de base du préamplificateur. Néanmoins, le temps d'arrivée est une fonction de la charge qui varie de façon non-linéaire et dont la dérivée est particulièrement marquée pour les valeurs de seuil et charge de discrimination recherchés. Le discriminateur voit donc une variation non négligeable de la ligne de base du préamplificateur selon l'amplitude de la charge injectée par le pulser.

En revanche, le signal de calibration présente une dérivée 50 % plus grande avec LGAD que sans. La mesure de la pente du signal est obtenue par reconstruction statistique du signal en sortie d'amplificateur, comme illustré sur la figure 4.22. Ce résultat pourrait s'expliquer par une différence de la résistivité du chemin connectant la capacité d'injection du pulser à la capacité détecteur interne par rapport à la capacité inhérente au LGAD (hybridé).

Les 2 effets antagonistes ne se compensent donc que partiellement, l'ASIC seul présentant malgré tout de meilleurs performances : 54 ps contre 73 ps avec LGAD. L'estimation du jitter donne un résultat proche de la valeur mesurée (à 10 ps près). On note toutefois qu'aucune tendance ne se dégage : la méthode sous-estime parfois le résultat ou à l'inverse le surestime.

4.2.5.6 Évolution du jitter avec la dose ionisante totale absorbée

Enfin, un autre pan des mesures vise à qualifier le fonctionnement normal de l'ASIC sous irradiation. L'ASIC a été irradié au CERN à l'aide d'un irradiateur biologique Precision X-Ray X-RAD iR160 jusqu'à une dose de 220 Mrad (SiO₂) sous un débit de dose de $(2.99 \pm 0.05) \text{ Mrad h}^{-1}$. Au cours de l'irradiation, les performances de l'ASIC sont mesurées à intervalle régulier.

La figure 4.26 montre l'évolution du jitter en fonction de la dose totale ionisante reçue pour 2 valeurs de charges distinctes. Les spécifications sont rappelées en pointillés. Le jitter est stable sur

ASIC	seul (B8)	avec LGAD (B16)
Amplitude $Q_{inj} = 5$ fC [V_{th} dac]	38	35
Seuil de discrimination à 4.8 fC :		
Bruit [V_{th} dac]	2	4.4
Bruit [fC]	0.26	0.63
dV/dt [V_{th} dac/ps]	0.04	0.06
$N/(dV/dt)$ [ps]	54	73
Jitter [ps]	45	73
Seuil de discrimination à 10 fC :		
Bruit [V_{th} dac]	2.2	4.9
dV/dt [V_{th} dac/ps]	0.11	0.16
$N/(dV/dt)$ [ps]	21	31
Jitter [ps]	31	34

TABEAU 4.2 – Bruit, pente du signal, jitter prédit et mesuré avec une seule colonne activée (15 voies)



FIGURE 4.25 – Photographie d'ALTIROC2 en irradiation TID

l'intégralité du TID prévu (220 Mrad). Les mesures devront néanmoins être répétées à la température de fonctionnement de HGTD (- 30 °C) et avec l'ensemble des fonctionnalités opérationnelles. Les Delay Lock Loop (ou DLL) étaient bypassées par une référence de tension externe alors qu'elles fournissent aux TDC (TOA et TOT) une contre-réaction cruciale maintenant leur résolution à respectivement 20 et 120 ps, quelles que soient la température et la dose ionisante absorbée.

4.2.6 Importance du floorplan

Au sein d'un ASIC où les amplitudes des signaux en sortie d'étage d'amplification sont d'une dizaine de millivolts pour les charges les plus faibles à détecter, toute variation des niveaux DC doit être contenue et maîtrisée. Les problématiques du floorplan pour un ASIC de grandes dimensions (4 cm²) se révèlent cruciales pour garantir l'uniformité de la réponse de chacune des voies. Cette section détaille les variations statiques et dynamiques des points DC observées dans l'ASIC. Ces dernières sont responsables par exemple au niveau des TDC de variations du LSB (la largeur moyenne d'un bin de la TDC) ou encore des niveaux DC des seuils locaux de discrimination. Par ailleurs, alors que la calibration est primordiale pour la caractérisation de l'ASIC, la valeur absolue de la charge injectée n'est pourtant jamais connue précisément. En cause : des variations de l'amplitude du pulse de calibration au sein de la matrice. À noter, la valeur des composants passifs comme la capacité d'injection n'est également connue qu'à 10% près en technologie MIM, Ainsi, la charge de calibration injectée dans les préamplificateurs ne peut être connue précisément.

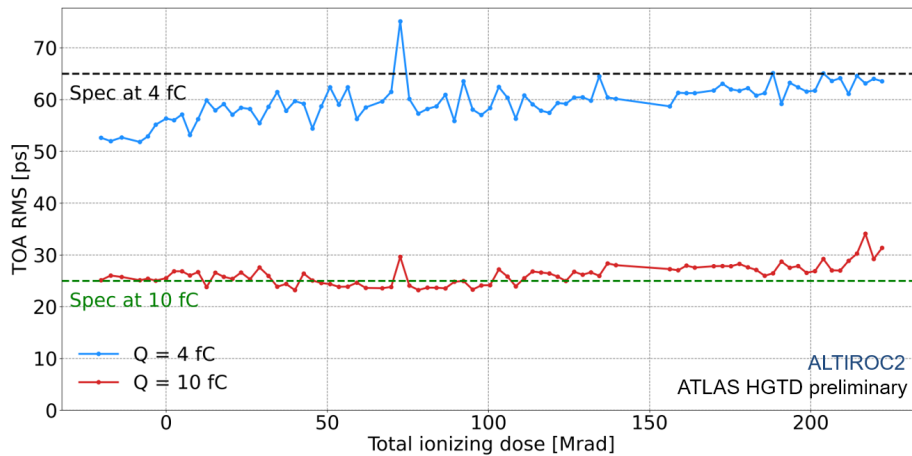


FIGURE 4.26 – Evolution du jitter avec la dose ionisante totale absorbée

4.3 Caractérisation avec LGAD en faisceau-test

Cette section résume les principaux résultats obtenus en faisceau-test par la collaboration HGTD. Ils sont le fruit du travail de plus d’une dizaine de personnes organisant et participant nuits et jours en 3/8 à la caractérisation du détecteur HGTD.

4.3.1 Résultats d’ALTIROC1

4.3.1.1 Description du banc de test

L’ASIC ALTIROC1, couplé à un LGAD, a été exposé à des pions de 120 GeV sur la ligne de faisceau H6B au SPS du CERN fin 2021. Afin de mesurer sans limitation la précision temporelle de l’ASIC, le temps d’arrivée des pions est observé par 2 autres détecteurs indépendants. Deux cristaux de $6 \times 6 \text{ mm}^2$ et 10 mm de longueur faisceau sont couplés à des SiPM (Silicon Photomultiplier) commercialisés par SensL de 3 mm x 3 mm. [4] Lorsqu’un pion interagit avec le barreau de quartz, l’émission prompte de lumière Tcherenkov fournit une référence de temps d’une précision de $(43.4 \pm 0.7) \text{ ps}$ et $(58.6 \pm 0.7) \text{ ps}$ respectivement. La limitation principale à la résolution temporelle du setup provient de la dégradation des performances des SiPM au cours des campagnes de test-beam successives. En effet, bien que le flux du faisceau de pions ne soit guère intense, la dose ionisante absorbée par le SiPM contribue à diminuer son gain et requiert donc son remplacement régulier. Les données numérisées de l’ASIC sont transmises au PC d’acquisition à travers un [Field Programmable Gate Array \(FPGA\)](#) de contrôle. Les signaux analogiques des SiPM et d’ALTIROC sont quant à eux échantillonnés par un oscilloscope Lecroy à 20 GSps avec une bande-passante de 2.5 GHz, en même temps que l’horloge à 40 MHz cadencant ALTIROC. En effet, elle permet ainsi d’associer les acquisitions digitales aux mesures obtenues à l’oscilloscope. Chaque pion ne déclenchant pas systématiquement les 3 détecteurs, il convient d’adopter une stratégie pour limiter la quantité de données enregistrées. Ainsi, pour les restreindre, un trigger émis par ALTIROC lorsqu’un hit a été vu déclenche l’oscilloscope. Les données provenant des 3 détecteurs sont ensuite associées par leur seul ordre d’arrivée.

À partir des données brutes, il est possible de calculer les écarts de temps entre les 3 détecteurs. Les 3 distributions de différences de temps peuvent être fittées individuellement par une Gaussienne pour en extraire leur écart-type. La résolution temporelle de l’ASIC+LGAD est donc obtenue par la résolution analytique du système à 3 inconnues 4.10. Elle correspond à la somme quadratique des termes de Landau, de time-walk et des jitters du front-end d’ALTIROC et des horloges, tels que décrits par l’équation 4.7.

$$\left\{ \begin{array}{l} \sigma_{\Delta T(\text{SiPM1, SiPM2})}^2 = \sigma_{\text{SiPM1}}^2 + \sigma_{\text{SiPM2}}^2 \\ \sigma_{\Delta T(\text{ASIC, SiPM1})}^2 = \sigma_{\text{ASIC}}^2 + \sigma_{\text{SiPM1}}^2 + \sigma_{\text{parasite}}^2 \\ \sigma_{\Delta T(\text{ASIC, SiPM2})}^2 = \sigma_{\text{ASIC}}^2 + \sigma_{\text{SiPM2}}^2 + \sigma_{\text{parasite}}^2 \\ \sigma_{\text{parasite}}^2 = \sigma_{\text{clock}}^2 + \sigma_{\text{oscilloscope}}^2 \end{array} \right. \quad (4.10)$$

Un terme parasite σ_{parasite} apparaît dans les équations 4.10. Pour que la mesure ne soit pas perturbée par les jitters de l'horloge ou de l'oscilloscope, leur contribution quadratique doit être négligeable devant la résolution temporelle mesurée. Précisons tout d'abord que le délai entre les événements se produisant successivement dans le LGAD puis les SiPM est très court. En effet, les particules chargées sont accélérées à des vitesses ultra-relativistes (~ 3.3 ns par mètre) et le signal électrique se propage dans un câble coaxial à $\frac{2}{3}c$ (~ 5 ns par mètre), soit au total quelques ns vu les distances en jeu. Les événements sont donc à priori mesurés dans le même intervalle de 25 ns par le même front d'horloge. Le terme σ_{clock} est donc nul car parfaitement corrélé entre l'ASIC et l'oscilloscope. De plus, le jitter de l'oscilloscope est donné inférieur à 4 ps d'après le constructeur. Enfin, on fait aussi l'hypothèse que la variation de vitesse des particules chargées est nulle. Dans la suite du chapitre, le terme σ_{parasite} sera donc systématiquement considéré comme négligeable.

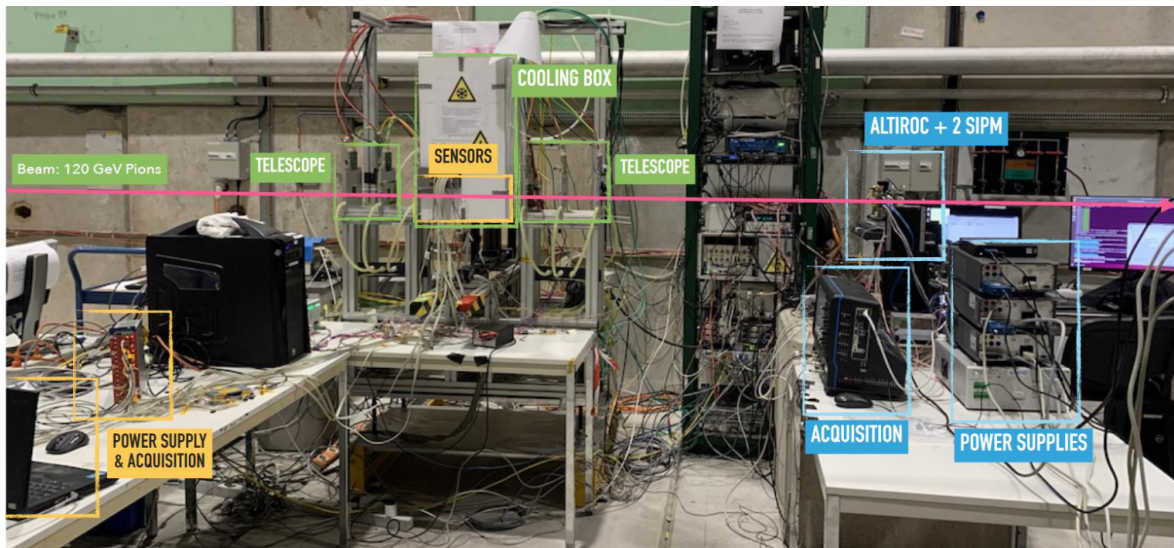


FIGURE 4.27 – Banc de test au CERN SPS pour les testbeams d'ALTIROC1

La photographie 4.27 donne un aperçu de la complexité du banc de test. On aperçoit également sur le banc de test un télescope (de type EUDET basé sur 6 détecteurs pixélisés MIMOSA lus par l'ASIC FE-I4) afin de faciliter l'alignement du faisceau avec le détecteur. Toutes les mesures ont été réalisées à température ambiante. Le LGAD étant polarisé proche de sa tension de breakdown (-265 V), la charge produite par un MIP avoisine 15 fC. Les seuils des discriminateurs d'ALTIROC ont été alignés à 5 fC. La sélection des données est un compromis visant à optimiser la résolution des SiPM en-dessous de celle du LGAD+ALTIROC (par une sélection en amplitude) sans toutefois sacrifier la statistique.

4.3.1.2 Dépendance du TOT au TOA

La figure 4.28 montre la forme du signal en sortie du préamplificateur observée à l'oscilloscope pour divers TOA. La forme du pulse dépend du temps d'arrivée des particules incidentes à cause du couplage de l'activité digitale, mentionné dans la section 4.2.2.3. Par conséquent, alors que le TOT devrait être indépendant du TOA, la figure 4.29 montre le contraire pour les TOA en dessous de 1.9 ns.

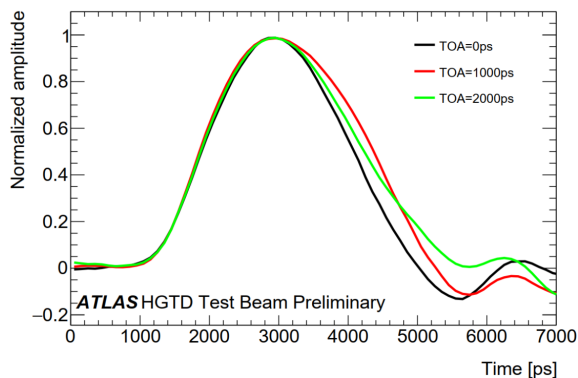


FIGURE 4.28 – Sortie du préamplificateur observée à la probe à l’oscilloscope pour divers TOA ramenée à la même origine des temps

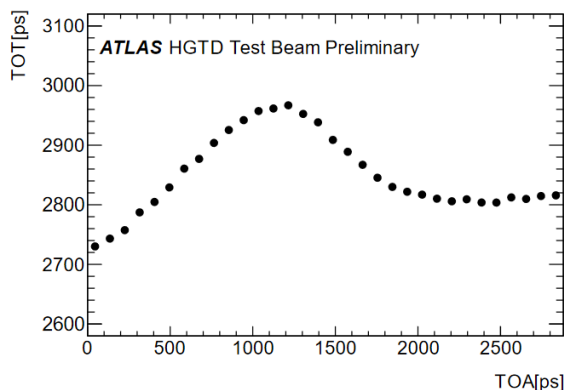


FIGURE 4.29 – TOT en fonction du temps d’arrivée (TOA) en testbeam

Ainsi, lors de la correction du time-walk, la précision obtenue est entachée d’une erreur due au couplage TOT-TOA. Alors que le jitter brut sur le TOA est de (65.1 ± 0.7) ps, après correction, il s’élève à (54.2 ± 0.7) ps. Précisons ici que la spécification requiert un jitter inférieur à 35 ps par hit pour des charges au-dessus de 10 fC. Pourtant, plusieurs astuces montrent que l’analyse peut mieux faire. Elles sont détaillées ci-après.

Par correction statistique

Bien qu’impraticable avec de vraies données du LHC, le TOT peut lui même être corrigé pour être rendu indépendant du TOA. Pour ce faire, pour chaque valeur de TOA, la moyenne des valeurs du TOT est soustraite au TOT. Cette nouvelle variable obtenue par accumulation d’évènements de charge identique est par construction indépendante du TOA. La résolution temporelle du TOA obtenue est de (49.6 ± 0.7) ps.

Tronquer pour mieux découpler

Au lieu de chercher à corriger les données, il est également possible de les tronquer partiellement pour ne garder que les valeurs de TOT indépendantes du TOA, i.e. à TOA supérieur à 1.6 ns. Dans cette fenêtre d’acquisition réduite à 900 ps, la résolution temporelle du TOA descend à (46.3 ± 0.7) ps. La figure 4.30 montre la distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction du TOT, pour des valeurs de TOA supérieures à 1.6 ns. Les points noirs représentent la moyenne de la distribution du TOA pour chaque bin du TOT. La ligne rouge correspond au fit utilisé pour la correction du time-walk.

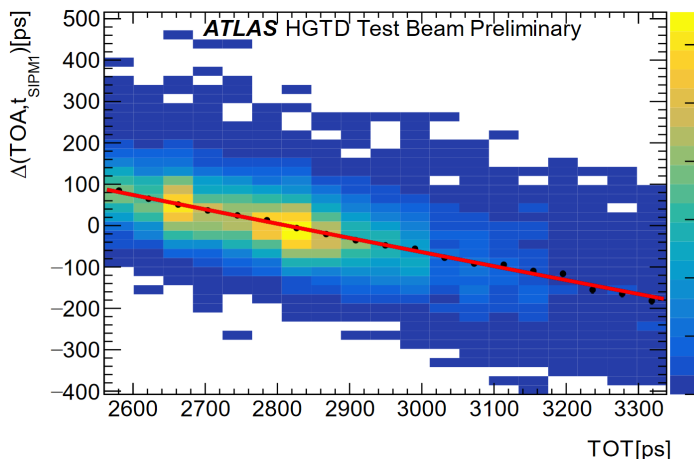


FIGURE 4.30 – Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction du TOT pour des valeurs de TOA supérieures à 1.6 ns

À nouveau la soustraction quadratique avant et après correction du time-walk nous renseigne sur sa contribution intrinsèque, qui s'élève à 23 ps. Soulignons qu'il s'agit du meilleur résultat obtenu à ce jour avec les seules données d'ALTIROC et qu'il constitue la contribution dominante sur le jitter global. En effet, les mesures sur banc de test avec un signal de calibration ont montré que la contribution du front-end au jitter à 15 fC est de 15 ps.

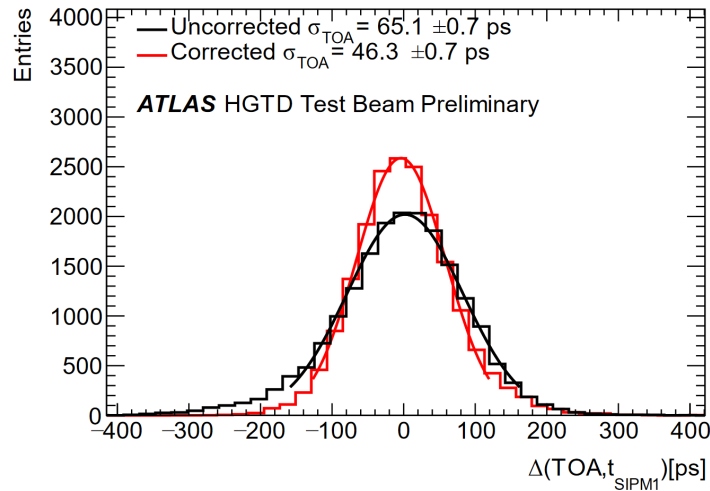


FIGURE 4.31 – Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk avec le TOT, pour un TOA supérieur à 1.6 ns, d'après [1]

Avec un seuil de détection plus élevé

L'utilisation du signal en sortie du préamplificateur permet de pousser l'analyse des mesures encore plus loin. En effet, il est possible de calculer grâce à l'oscilloscope un TOT fictif à un seuil virtuel tel qu'il aurait été estimé par l'ASIC. Ainsi, en rehaussant le seuil à 9 fC, on obtient une précision temporelle de (41.8 ± 0.7) ps. On peut montrer par ailleurs qu'avec un seuil virtuel de 5 fC, la précision temporelle obtenue via les signaux enregistrés à l'oscilloscope est compatible avec le résultat donné par l'ASIC. Cela montre donc que le couplage de l'activité digitale n'altère que la base du pulse.

En mesurant l'amplitude du signal

Plutôt que d'utiliser le TOT comme une image de l'amplitude du signal, l'oscilloscope permet d'exploiter directement la mesure de son amplitude. La figure 4.32 montre la distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction de l'amplitude du signal. Il en résulte une précision temporelle de (40.2 ± 0.7) ps d'après 4.33. Par ailleurs, il a été montré que l'activation de la probe analogique ne dégrade pas outre mesure les résultats.

En faisant l'hypothèse que la mesure de l'amplitude du signal à l'oscilloscope est un estimateur parfait du time-walk, alors la contribution résiduelle liée au time-walk détériorant la correction via TOT peut être calculée. Elle s'obtient en soustrayant quadratiquement les précisions temporelles obtenues après correction avec le TOT brut et avec l'amplitude du signal et est égale à 36 ps. Précisons ici que la spécification requiert 10 ps.

Ce résultat est globalement cohérent avec une estimation du jitter composante par composante, estimant la composante du time-walk à 41 ps.

$$\begin{aligned} \sigma_{\text{Time-walk}} &= \sqrt{\sigma_{\text{Hit, measured}}^2 - \sigma_{\text{Landau}}^2 - \sigma_{\text{Clock}}^2 - \sigma_{\text{TDC}}^2 - \sigma_{\text{Front-end}}^2} \\ &= \sqrt{54.2^2 - 25^2 - 10^2 - 10^2 - 15^2} \\ &= 41 \text{ ps} \end{aligned}$$

En outre, une précision temporelle similaire a été obtenue avec une source radioactive β^+ , une électronique discrète et les mêmes détecteurs HPK2 dopés à des niveaux identiques et opérés à

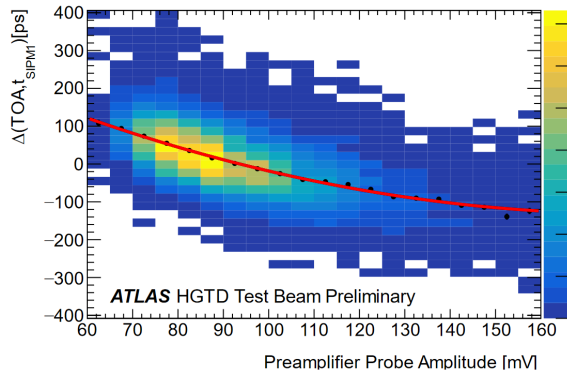


FIGURE 4.32 – Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps en fonction de l’amplitude du signal probed à l’oscilloscope

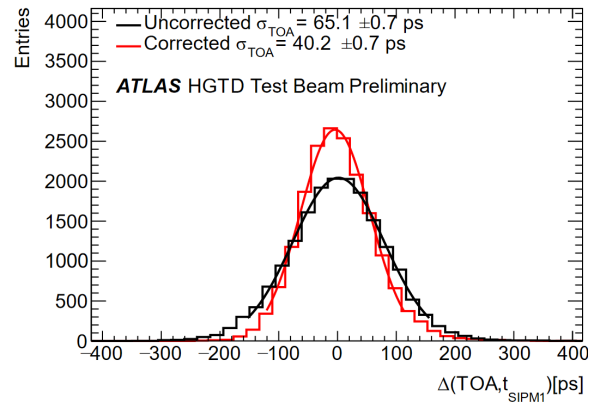


FIGURE 4.33 – Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk obtenu avec la mesure de l’amplitude du signal

température ambiante [3]. En faisant l’hypothèse que les 2 électroniques de lecture présentent un jitter de leur front-end équivalent, alors la contribution résiduelle du time-walk d’ALTIROC après correction basée sur l’amplitude du signal est négligeable.

4.3.2 Résultats d’ALTIROC2

4.3.2.1 Description du banc de test

Comme pour ALTIROC1, l’ASIC est exposé à des pions de 120 GeV sur la ligne de faisceau H6B au SPS du CERN en octobre 2022. La polarisation du LGAD (HPK-Proto2-W16-P7) fournit à l’ASIC une charge de 20 fC, c’est-à-dire suffisamment grande pour considérer le plancher de jitter comme atteint. Le banc de test diffère légèrement : au lieu d’utiliser deux SiPM pour atteindre une précision temporelle satisfaisante, la référence de temps a été remplacée par un seul MCP (Micro-Channel Plate) d’une excellente résolution temporelle. Deux configurations s’offrent à nous, comme l’illustre la figure 4.34. Elles sont développées ci-après. À noter, le télescope (dénommé FE-i4 sur la photographie 4.37) permet de déclencher à la fois l’oscilloscope et la sauvegarde des événements vus par l’ASIC (via la fast command L1).

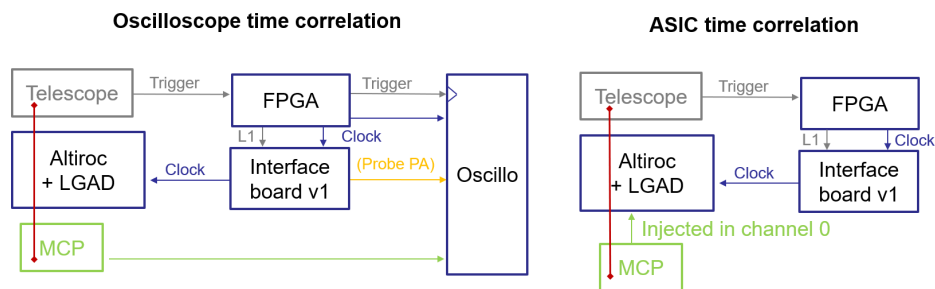


FIGURE 4.34 – Comparaison des 2 bancs de test pour la mesure de temps en faisceau

Avec un oscilloscope

La dispersion du temps d’arrivée d’un événement vu par ALTIROC dans le LGAD ne peut s’obtenir qu’en connaissant par ailleurs le temps d’arrivée à partir d’une autre source mieux résolue temporellement. Cette dernière constitue la référence de temps : elle est donnée par le MCP connecté à l’oscilloscope. Comme ASIC et oscilloscope partagent une même horloge, ils sont donc mesurés relativement à un des fronts de la 40 MHz. La résolution temporelle de l’ASIC couplé à une LGAD est donnée par une seule équation :

$$\begin{cases} \Delta T_{(ASIC+LGAD,MCP)} = TOA_{LGAD} LSB_{voie\ inject\acute{e}e} - (t_{MCP} - t_{clock}) \\ \sigma_{\Delta T_{(ASIC+LGAD,MCP)}}^2 = \sigma_{ASIC+LGAD}^2 + \sigma_{MCP}^2 + \sigma_{parasite} \end{cases} \quad (4.11)$$

Rappelons que la r solution mesur e est grev e d'un terme parasite $\sigma_{parasite}$ consid er e comme n gligeable car de l'ordre de 10 ps RMS (d fini pr c demment   l' quation 4.10). La caract risation de la pr cision temporelle du MCP σ_{MCP} est toutefois requise. Elle est r alis e en utilisant soit un seul d tecteur pr sentant une meilleure r solution intrins que que celle   mesurer, soit un syst me de d tection surnum raire. Dans le cas pr sent, deux LGAD ainsi que le MCP sont plac s dans le faisceau et instrument s au moyen d'un oscilloscope. La r solution du MCP obtenue   partir des  quations 4.12 est de 8 ps RMS. Ce terme est donc n gligeable. Le r sultat a  t  confirm  en analysant les signaux issus du MCP (en terme de ratio bruit sur pente du signal) situant la borne inf rieure   3 ps. Les termes de jitter parasite seront :

$$\begin{cases} \sigma_{\Delta T_{(LGAD1, LGAD2)}}^2 = \sigma_{LGAD1}^2 + \sigma_{LGAD2}^2 + \sigma_{parasite}^2 \\ \sigma_{\Delta T_{(MCP, LGAD1)}}^2 = \sigma_{MCP}^2 + \sigma_{LGAD1}^2 + \sigma_{parasite}^2 \\ \sigma_{\Delta T_{(MCP, LGAD2)}}^2 = \sigma_{MCP}^2 + \sigma_{LGAD2}^2 + \sigma_{parasite}^2 \end{cases} \quad (4.12)$$

Lib r  de l'oscilloscope Pour s'affranchir de l'oscilloscope, la r f rence de temps fournie par le MCP peut  tre num ris e directement par l'ASIC. En effet, l'ASIC dispose d'une voie (0) non bump-bond e au LGAD pouvant  tre connect e   un signal externe. Le temps d'arriv e d'un  v nement d tect  par le MCP est donn  par la TDC d'ALTIROC pour peu que l' v nement se produise dans la fen tre de temps du TOA de 2.5 ns et que l'amplitude soit suffisante pour garantir un jitter minimal (ici ~ 300 mV). La mesure de temps d'ALTIROC+LGAD devient ainsi :

$$\begin{cases} \Delta T_{(ASIC+LGAD, ASIC+MCP)} = TOA_{LGAD} LSB_{voie\ inject\acute{e}e} - TOA_{MCP} LSB_{voie\ 0} \\ \sigma_{\Delta T_{(ASIC+LGAD, ASIC+MCP)}}^2 = \sigma_{ASIC+LGAD}^2 + \sigma_{ASIC+MCP}^2 + \sigma_{parasite}^2 \end{cases} \quad (4.13)$$

La caract risation de la pr cision temporelle du MCP $\sigma_{ASIC+MCP}$ vu cette fois par ALTIROC (et non l'oscilloscope) est   nouveau requise. Le signal de MCP est ainsi inject    la fois dans l'oscilloscope et dans la voie z ro de l'ASIC. La figure 4.35 montre la distribution de la diff rence de temps entre le TOA mesur  par ALTIROC2+MCP et la r f rence de temps fournie par l'oscilloscope en fonction du TOT mesur  par ALTIROC. Une fois corrig  du time-walk (le TOT s' talant sur seulement 5 bins de TOT), la pr cision temporelle est de (26.1 ± 0.2) ps, d'apr s la figure 4.36. Cette valeur peut  videmment  tre am lior e en restreignant la s lection des donn es   une valeur de TOT pour se d barrasser du time-walk.

La pr cision temporelle obtenue s'av re relativement satisfaisante en comparaison des jitters bruts mesur s pour les SiPM de l'ordre de 80-100 ps. N anmoins, utiliser le MCP avec ALTIROC s par  d'environ un m tre du LGAD requerrait de d phaser le signal pour se retrouver dans la fen tre d'acquisition du TOA de 2.5 ns d'ALTIROC. Notons que le d phasage n cessaire correspond   la valeur moyenne indiqu  par la figure 4.36,   savoir 5 ns. Cela n'a pas pu  tre mis en oeuvre   la pr c dente campagne de test.   d faut, le MCP a  t  connect    l'oscilloscope pour caract riser ALTIROC coupl    un LGAD.

4.3.2.2 D pendance du TOT au TOA

Comme sugg r  au paragraphe 4.2.2.3, les capacit s de d couplage de la haute-tension ont  t  retir es. Le couplage de l'activit  digitale sur l'analogique s'en trouve logiquement r duit et le TOT devrait  tre plus ind pendant du TOA. Pourtant, l'oscillation de la ligne de base se retrouve sur la figure 4.38. Il a  t  remarqu  que plus le seuil est faible, plus les amplitudes des oscillations visibles sur le TOT sont prononc es. Cela semble coh rent puisque le TOT est d'autant plus grand que le seuil est proche du pi destal.

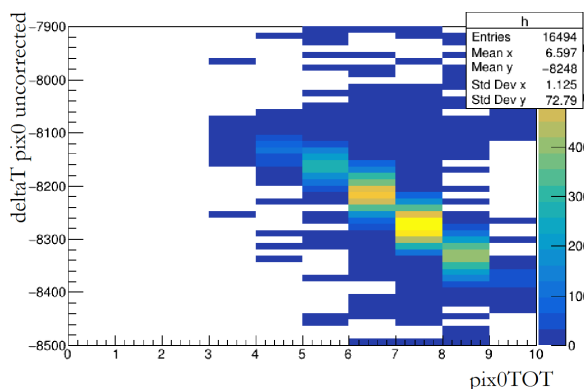


FIGURE 4.35 – Distribution des différences de temps entre ALTIROC2+MCP et OSCILLO+MCP en fonction du TOT mesuré par ALTIROC2

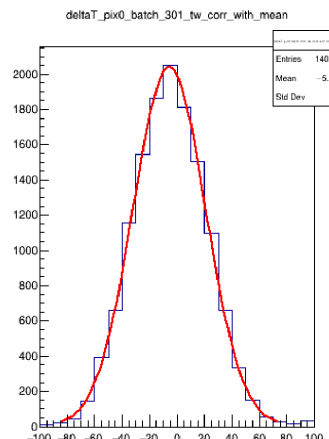


FIGURE 4.36 – Distribution des différences de temps entre ALTIROC+LGAD et une référence de temps avant et après correction du time-walk obtenu avec la mesure de l’amplitude du signal

Comme précédemment, différentes corrections sont appliquées pour corriger du time-walk. La précision temporelle après correction avec le TOT est de (51 ± 1) ps contre (47 ± 1) ps avec la mesure de l’amplitude du signal à l’oscilloscope. La contribution résiduelle (donc non compensée) du time-walk est donc de 20 ps.

Des mesures en faisceau de pions chargés au CERN ont été réalisées à l’aide d’une électronique rapide (dont la bande passante est largement supérieure à celle du LGAD). Le temps de montée a ainsi été évalué à environ 500 ps sur le signal amplifié. Par ailleurs, il a été montré que le temps de montée dépendait à la fois du gain (et donc de la polarisation) et du dopage de l’implant p, comme l’illustre la figure 4.39 (extraite de [2]). À noter, le temps de montée est estimé à partir des seuls évènements ayant délivrés une charge égale à l’amplitude la plus probable sur la distribution de Landau.

La même étude publiée en 2018 [2] a cherché à comparer la résolution temporelle obtenue par 4 méthodes de discrimination : à l’aide d’un discriminateur à fraction constante (CFD), un discriminateur à détection de passage par zéro (ZCD) ou encore d’un discriminateur à seuil constant (CTD) dont le time-walk est corrigé soit par une mesure de l’amplitude du signal, soit par la mesure du Time-Over-Threshold. Les signaux de LGAD obtenus en faisceaux de test ont été numérisés à l’oscilloscope et permettent d’émuler le comportement d’un discriminateur donné. D’après les données de l’étude, les LGAD monocanaux offrent des résolutions temporelles d’environ 27 ps quelle que soit la méthode de discrimination choisie. On constate par ailleurs que le time-walk résiduel sur la correction du CTD (obtenu par soustraction quadratique des résultats corrigés en TOT et en amplitude) varie beaucoup d’une polarisation à une autre (entre 4 et 18 ps).

4.3.3 Conclusion

La résolution temporelle obtenue jusqu’à présent ne satisfait pas les objectifs scientifiques du projet. La correction du time-walk basée sur la seule information de charge fournie par le TOT accuse d’une différence (quadratique) de 20 ps pour ALTIROC2 avec les diverses méthodes de correction. Même avec une correction de time-walk basée sur la mesure de l’amplitude du signal en sortie de préamplificateur à l’oscilloscope, la performance requise n’est pas atteinte.

En l’absence d’une nouvelle caractérisation approfondie des matrices de LGAD, il est difficile de comprendre l’origine de cet important jitter après correction. Le jitter intrinsèque des LGAD doit être soigneusement mesuré pour chacune des voies et en fonction de la polarisation afin de pouvoir dissocier du résultat les termes de Landau et distorsion. En outre, il pourrait être utile d’avoir un deuxième discriminateur à seuil constant pour pouvoir calculer la pente du signal et

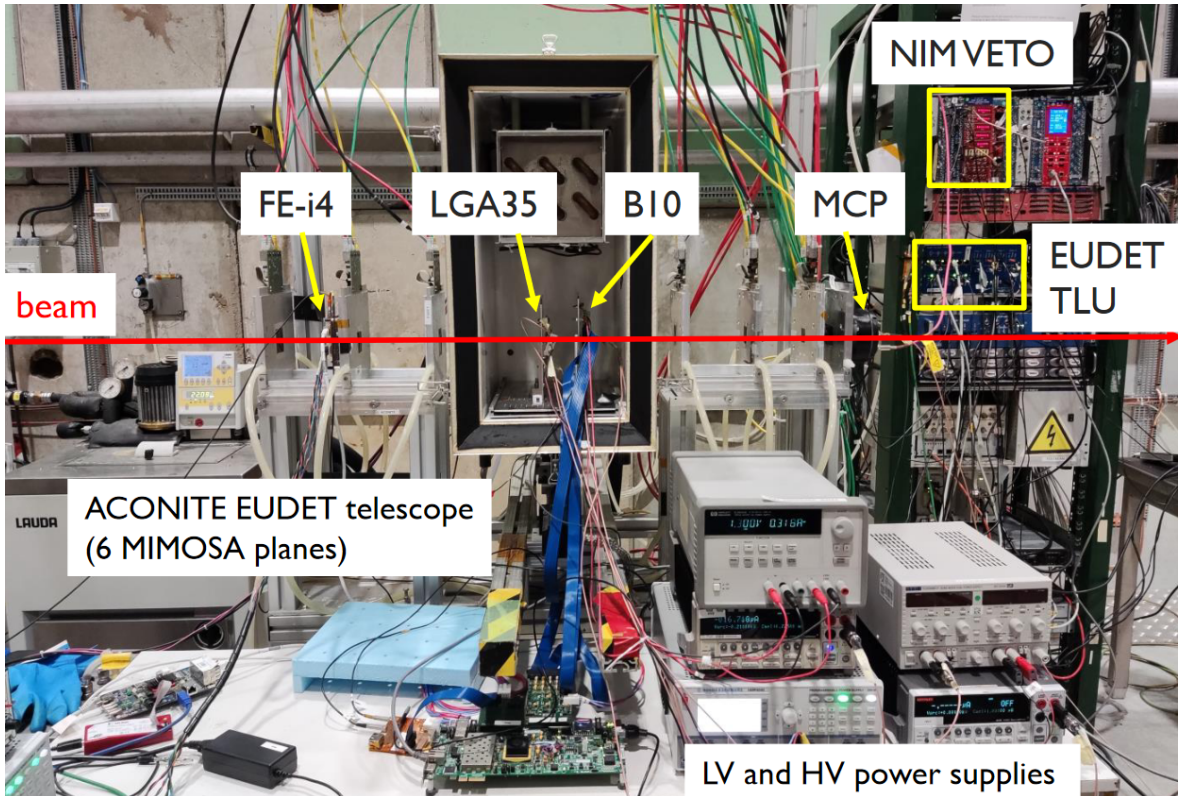


FIGURE 4.37 – Banc de test mis en oeuvre pour les tests faisceau d’ALTIROC2 au CERN (B10 correspond à l’ASIC+LGAD)

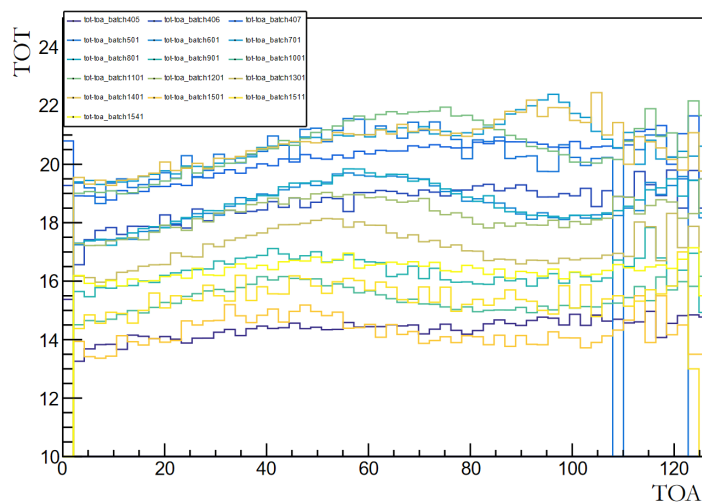


FIGURE 4.38 – TOT en fonction du TOA obtenu en faisceau-test pour différents pixels

remonter au jitter électronique pour chaque évènement unique capturé en testbeam. On pourrait imaginer un mode de fonctionnement de l’ASIC où le préamplificateur d’une colonne sur 2 est désactivé, celui restant étant désormais connecté à 2 discriminateurs distincts (le sien et celui du voisin).

Enfin, la correction du time-walk repose sur l’utilisation d’un discriminateur à seuil constant. Il est actuellement difficile d’évaluer si un changement d’architecture du discriminateur pourrait palier à cette limitation, sans connaître précisément son origine.

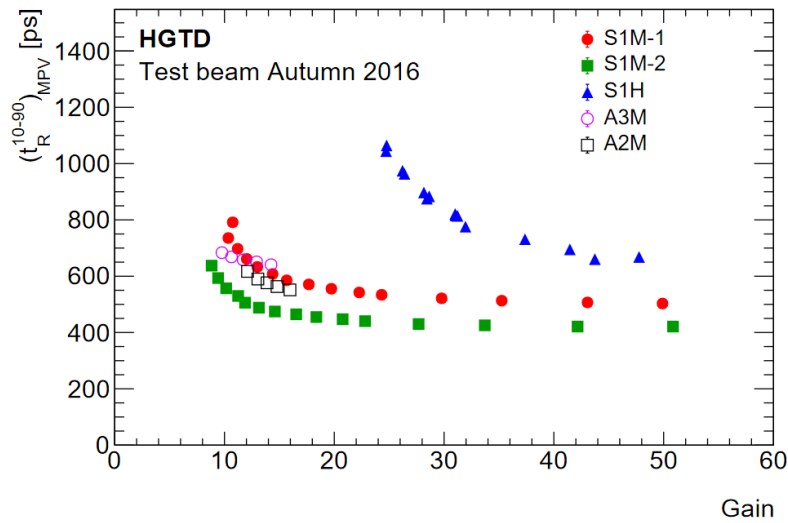


FIGURE 4.39 – Temps de montée de LGAD après amplification en fonction du gain d’amplitude la plus probable (S1M-1, S1M-2 et S1H sont mono-voies; les 2 premiers sont dopés p à une dose de $1.9 \times 10^{13} \text{ cm}^{-2}$ contre $2 \times 10^{13} \text{ cm}^{-2}$ pour le dernier)

4.4 Bibliographie

- [1] C. Agapopoulou, L. Beresford, D. Boumediene, L. Castillo García, S. Conforti, C. de la Taille, L. Corpe, M. Da Cunha Sargedas de Sousa, P. Dinaucourt, A. Falou, V. Gautam, D. Gong, C. Grieco, S. Grinstein, S. Guindon, A. Howard, O. Kurdysh, E. Kuwertz, C. Li, N. Makovec, B. Markovic, G. Martin-Chassal, R. Mazini, C. Milke, M. Morenas, O. Perrin, V. Raskina, C. Rizzi, L. Ruckman, A. Rummler, S. Sacerdoti, G. Saito, N. Seguin-Moreau, L. Serin, X. Yang, J. Ye, and W. Zhou. Performance of a front-end prototype ASIC for the ATLAS High Granularity timing detector. *Journal of Instrumentation*, 18(8), 2023. ISSN 17480221. doi : 10.1088/1748-0221/18/08/P08019. vii, 81
- [2] C. Allaire, J. Benitez, M. Bomben, G. Calderini, M. Carulla, E. Cavallaro, A. Falou, D. Flores, P. Freeman, Z. Galloway, E. L. Gkougkousis, H. Grabas, S. Grinstein, B. Gruey, S. Guindon, A. M. Correia, S. Hidalgo, A. Kastanas, C. Labitan, D. Lacour, J. Lange, F. Lanni, B. Lenzi, Z. Luce, N. Makovec, G. Marchiori, L. Masetti, A. Merlos, F. McKinney-Martinez, I. Nikolic-Audit, G. Pellegrini, R. Polifka, D. Quirion, A. Rummler, H. F. Sadrozinski, A. Seiden, L. Serin, S. Simion, E. Spencer, S. Trincaz-Duvoid, M. Wilder, A. Zatserklyaniy, D. Zerwas, and Y. Zhao. Beam test measurements of Low Gain Avalanche Detector single pads and arrays for the ATLAS High Granularity Timing Detector. *Journal of Instrumentation*, 13(6), 2018. ISSN 17480221. doi : 10.1088/1748-0221/13/06/P06017. 84
- [3] Z. Galloway, V. Fadeyev, P. Freeman, E. Gkougkousis, C. Gee, B. Gruey, C. A. Labitan, Z. Luce, F. McKinney-Martinez, H. F. Sadrozinski, A. Seiden, E. Spencer, M. Wilder, N. Woods, A. Zatserklyaniy, Y. Zhao, N. Cartiglia, M. Ferrero, M. Mandurrino, A. Staiano, V. Sola, R. Arcidiacono, V. Cindro, G. Kramberger, I. Mandić, M. Mikuž, and M. Zavrtanik. Properties of HPK UFSD after neutron irradiation up to $6e15 \text{ n/cm}^2$. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 940(ii) : 19–29, 2019. ISSN 01689002. doi : 10.1016/j.nima.2019.05.017. 82
- [4] Onsemi. MicroFC-300XX-SMT. \url{https://www.onsemi.com/pdf/datasheet/microc-series-d.pdf}, 2022. 78

Chapitre 5

Caractérisation d'une boucle à verrouillage de phase



Pierre Aronnax sous les traits de Jules Verne (Vingt Mille Lieues sous les mers)

5.1 Challenge : intégrer une PLL dans un front-end du HL-LHC

Pourquoi vouloir intégrer une PLL dans un circuit intégré situé dans un milieu si hostile? C'est sans doute la première question qui vient à l'esprit quand on étudie l'effet des radiations sur l'électronique. Au HL-LHC, les détecteurs de temps doivent disposer d'une référence de temps précise à 15 ps. Or, toute horloge aussi parfaite soit-elle à l'endroit où elle est créée, se dégrade lorsqu'elle est transmise. En effet, tout front se propageant dans une ligne de transmission -par définition dispersive- s'avachit et requiert d'être amplifié à intervalle régulier. Ce processus est à l'origine de l'accumulation de jitter, c'est-à-dire d'une variation de phase autour des fronts de l'horloge. Par ailleurs, la quantité de données à extraire des détecteurs impose l'utilisation d'une horloge à 1.28 GHz (ou en utilisant astucieusement les 2 fronts d'une 640 MHz avec un rapport cyclique de 50%). Les boucles à verrouillage de phase ont précisément ce double avantage de pouvoir à la fois synthétiser des horloges à des fréquences supérieures à l'horloge de référence fournie mais aussi de réduire le bruit de phase et donc le jitter.

Pour le détecteur HGTD, l'horloge maître est distribuée à partir des systèmes FELIX aux lpGBT puis ensuite aux ASIC instrumentant les détecteurs LGAD (Figure 5.2). À chaque étape, des contributions en terme de jitter sont attendues et sont rapportées ici sous la forme d'un écart-type RMS d'une distribution gaussienne :

- 5.2 ps pour le système FELIX (filtré par le lpGBT)
- 3.4 ps d'écart-type pour le lpGBT (distribution non-gaussienne) malgré la présence d'une composante déterministe déformant la gaussienne
- 5 ps pour le câble FLEX
- 5 ps au sein de l'ASIC

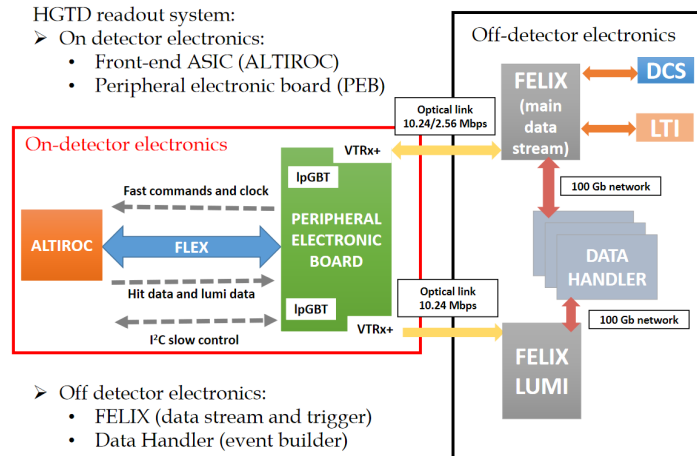


FIGURE 5.2 – Arbre de distribution d'horloge pour le détecteur HHTD de l'expérience ATLAS

Après avoir présenté l'architecture de la PLL, nous détaillerons l'effet des radiations sur l'électronique et donnerons une description sommaire de l'environnement radiatif du HL-LHC.

5.1.1 Architecture de boucles à verrouillage de phase

De multiples topologies de PLL existent dans la littérature. L'architecture retenue est la plus conventionnelle et fait l'objet d'études depuis plus de 50 ans. Elle est formée autour de 5 éléments : un détecteur d'erreur de phase et/ou fréquence (PFD), une pompe de charge (CP), un filtre passe-bas (LPF), un oscillateur contrôlé en tension (VCO) et enfin un diviseur de fréquence ($/N$) qui ferme la boucle et assure la contre-réaction. Ces 5 éléments sont visibles sur la figure 5.3.

Le PFD sert de détecteur d'erreur et produit des impulsions UP et DOWN dont la largeur est modulée par l'erreur de phase entre l'horloge de référence et celle de contre-réaction. La pompe

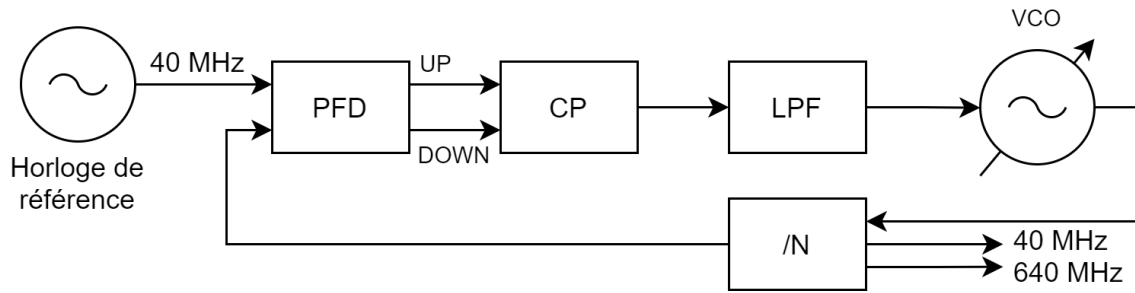


FIGURE 5.3 – Schéma simplifié de la boucle à verrouillage de phase

de charge se comporte comme une source de courant capable de fournir ou de tirer un courant proportionnellement à la durée de ces impulsions. Un filtre passe-bas passif en supprime les variations hautes fréquences. Ce potentiel devient alors une consigne en fréquence dans le VCO qui oscille à un rythme fixé par cette même tension. Enfin, la division de la fréquence par un entier permet à l'oscillateur d'atteindre des fréquences élevées, multiples de la fréquence de référence.

Les enjeux concernant la conception de cette PLL sont multiples : puissance, bruit de phase (ou intégré : jitter), tenue aux radiations et en particulier section efficace aux SET. L'architecture des 5 éléments constitutifs de la PLL seront discutés dans la suite du chapitre au regard de ces objectifs.

5.1.2 Environnement radiatif du HL-LHC

Au HL-LHC, les spécifications font état d'un environnement radiatif exigeant qui est sans commune mesure avec les contraintes du spatial. En effet, le détecteur est positionné relativement proche de l'axe des faisceaux de protons à une pseudo-rapacité comprise entre 2.4 et 4. Des cartes des taux de radiations "clé en main" 5.5,5.4 sont ainsi fournies pour chaque expérience à partir de simulations Monte-Carlo (Geant4) des géométries du HL-LHC. Le détecteur HGTD sera installé aux cotes $z = 350$ cm et de $r = 12$ à 64 cm.

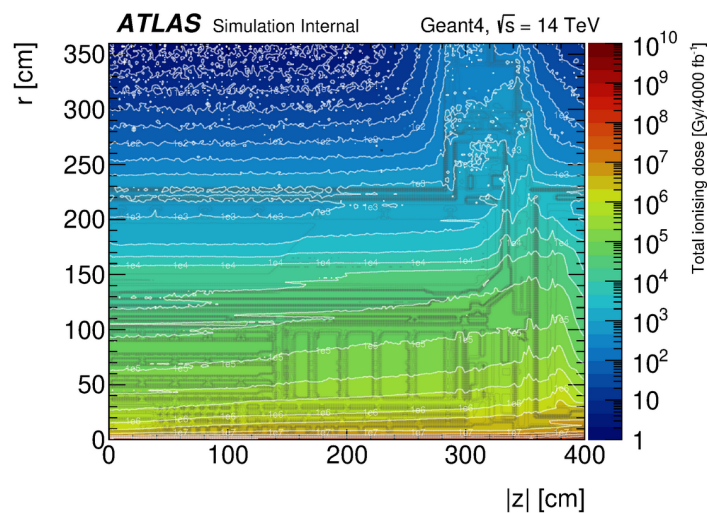


FIGURE 5.4 – Carte de la dose totale ionisante pour l'expérience ATLAS au HL-LHC

La simulation a ainsi évalué la fluence maximale à $8.3 \times 10^{15} \text{ n}_{\text{eq}} \text{ cm}^{-2}$ (exprimé en neutrons équivalents de 1 MeV dans le silicium) et la dose totale ionisante à 7.5 MGy (avec un facteur de sécurité de 2.25). En pratique, les fluences spécifiées sont inférieures car le détecteur se dégradant rapidement sous l'effet des radiations, il est prévu de le remplacer partiellement à $2.5 \times 10^{15} \text{ n}_{\text{eq}} \text{ cm}^{-2}$ et 2 MGy. Malgré les radiations, la charge délivrée par les LGAD sera ainsi toujours maintenue au-dessus de 4 fC. Par ailleurs, la température de fonctionnement des ASIC est éga-

lement une contrainte importante, puisqu'elle favorise la libération (activée thermiquement) des charges piégées dans les oxides. Le détecteur (LGAD) impose en effet de travailler à -30°C afin de limiter leur courant de fuite.

De la même manière, pour l'estimation des Single Events Effect, la figure 5.5 donne par exemple la fluence en hadrons au dessus de 20 MeV ($\phi_{E>20\text{MeV}}^{\text{hadron}}$) pour la totalité de la vie du détecteur, soit 4000 fb^{-1} . En faisant l'hypothèse que ce nombre de collisions (égal à $4 \times 10^{42} \text{ cm}^{-2}$ sera atteint à un rythme (ou luminosité instantanée) de $5 \times 10^{34} \text{ cms}^{-1}$ (soit 1000 jours pleins opérationnels), alors le flux $\phi_{E>20\text{MeV}}^{\text{hadron}}$ sera de $2.5 \times 10^7 \text{ cm}^{-2} \text{ s}^{-1}$. En effet, la valeur maximale $\phi_{E>20\text{MeV}}^{\text{hadron}}$ pour le détecteur HGTD (au pseudo-angle le plus grand) est de $2 \times 10^{15} \text{ cm}^{-2}$ pour 4000 fb^{-1} .

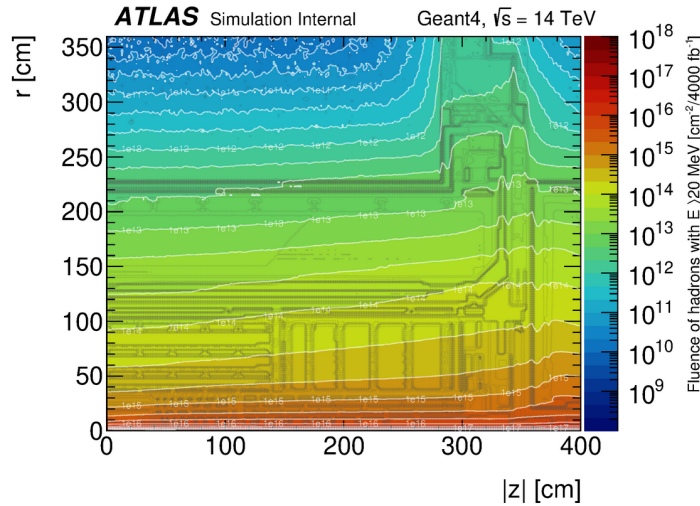


FIGURE 5.5 – Carte de fluence pour les hadrons d'énergie supérieure à 20 MeV pour l'expérience ATLAS au HL-LHC

Dans le cadre du projet HGTD, minimiser la section efficace au SET de la PLL présente un double intérêt et répond à un impératif de fiabilité. Il s'agit tout d'abord d'assurer le meilleur taux de disponibilité du sérialiseur permettant aux données capturées d'être acheminées jusqu'au physicien. Par ailleurs, lorsque la PLL subit un SET, l'horloge se déphase momentanément et fournit alors une référence de temps erronée pour la mesure de temps.

5.1.3 Effets de radiations sur les technologies CMOS

Les radiations sont divisées classiquement en 2 catégories selon qu'elles ionisent directement la matière ou non. On parle de radiation ionisante ou non-ionisante. Dans le premier cas, toutes particules chargées, ainsi que les photons peuvent être impliquées. Ce processus conduit à la génération d'électrons libres et d'atomes ionisés. Dans le second cas, les hadrons interagissent avec le noyau des atomes au sein même des puces. On parle de collisions hadroniques produisant des fragments nucléaires dont l'énergie de recul est suffisante pour ioniser à son tour la matière. Une description exhaustive des interactions rayonnement matière pourra être trouvée dans le chapitre 2 de [16].

Dans les semi-conducteurs, les effets des radiations se manifestent sous 3 formes : les **Single-Event Effect (SEE)**, la dose totale ionisante (TID) et les dégâts liés aux déplacements atomiques (**Displacement Damage (DD)** ou **Non-Ionising Energy Loss (NIEL)**). On ne s'intéressera ici qu'aux SEE.

Les SEE sont des effets géographiquement restreints dûs à la forte ionisation et au dépôt de charges dans le silicium. Les collisions hadroniques sont à l'origine de la plus importante source d'ionisation. Or, plus la charge des ions est élevée, plus l'énergie déposée sera grande (à condition que leur énergie cinétique initiale soit grande). Un proton a donc un LET (Linear Energy Transfert) plus faible que des ions lourds. Néanmoins, ces ions ne se déplacent que sur quelques microns dans le silicium. Ainsi, un SEE ne peut se produire que lorsque la collision hadronique a lieu

à proximité des volumes sensibles du design. Comme toutes particules chargées, les fragments nucléaires génèrent par ionisation un nombre variable de paires électron-trou, qui dépend (de façon non exhaustive) de leur trajectoire, leur nombre de masse, leur énergie mais aussi de l'énergie d'ionisation de la matière. Or, déplacer un électron du silicium de sa bande de valence à sa bande de conduction demande 3.62 eV. À noter, ici - comme dans tout semiconducteur à gap indirect - l'énergie d'ionisation est supérieure à la bande interdite (1.1 eV). Sachant qu'un proton de 65 MeV déposera 1864 eV dans une couche de 1 μm , le nombre d'électrons générés sera donc d'environ 500.

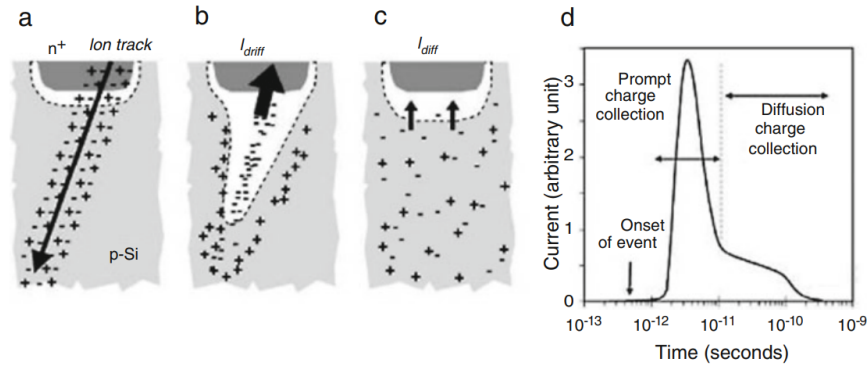


FIGURE 5.6 – Schémas illustrant l'effet d'une particule ionisante sur un NMOS

Deux mécanismes concurrents de collecte de charges se mettent en place, comme illustré sur la figure 5.6 (extraite de [21]). Lorsque les paires électron-trou sont à proximité d'une jonction PN, elles sont tout d'abord séparées par le fort champ électrique de la zone de déplétion. Les électrons dérivent vers la jonction n+ créant une "cheminée" (ou funnel en anglais). Electrons et trous progressent également par diffusion vers leurs électrodes de collection respectives, mais à une vitesse moindre. Ils peuvent également se recombiner et ne contribueront donc pas au SET.

La perturbation résultante est généralement modélisée par un signal en courant sous la forme d'une double exponentielle. [7] La figure 5.6(d) montre l'évolution du courant lors d'un SEE. En simulation, la forme du signal est simplifiée à un triangle d'amplitude variable mais de durée inférieure à 200 ps (Figure 5.7). La charge délivrée est typiquement de 0.4 pC.

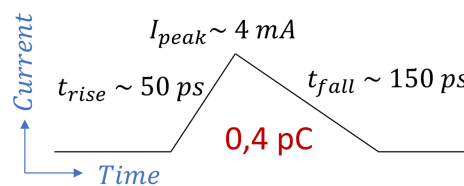


FIGURE 5.7 – Modélisation simplifiée d'un SET par une impulsion en courant

De ces courants découlent des effets non-destructeurs comme les [Single-Event Upset \(SEU\)](#), [Single-Event Transient \(SET\)](#) et destructeurs comme les [Single-Event Latchup \(SEL\)](#). D'autres types de [SEE](#) destructeurs existent (Single Event Burnout et Single Event Gate Damage) mais ne seront pas décrits ici.

Les SEU affectent tout élément mémoire comme les SRAM, les bascules RS, D, etc. En effet, ce courant perturbateur peut faire basculer un bit de valeur, qui peut alors se propager au reste du design. Les SET se caractérisent par une excursion temporaire de la tension ou du courant par rapport à la valeur nominale. Sans contre-réaction établie, ils modifient alors les points de polarisation d'un circuit. Ils sont à l'origine de glitch dans les signaux d'horloge, de changement de valeur temporaire d'un bit, induisent des métastabilités au niveau des registres de capture (temps de setup et de hold à respecter), etc. Enfin, les technologies CMOS sont sujettes au latch-up. Cet effet apparaît à l'interstice entre les transistors pmos et nmos qui s'apparente à un transistor bipolaire parasite. À cause d'une contre-réaction positive, ce dernier court-circuite l'alimentation

à la masse lorsqu'un courant est initié dans la structure PNPN. La solution consiste à identifier au préalable la technologie qui minimise la résistance du substrat. En effet, plus cette dernière est faible, plus les guard rings, substrate ties seront capables de drainer tout surplus de charge et donc d'éviter un latch-up. Des règles de design ont également été élaborées. Elles reposent sur l'isolement des PMOS des NMOS en les séparant par exemple. La publication [14] suggère comme protocole de test aux SEL de soumettre le circuit à des ions lourds de fort LET ($40 \text{ MeV cm}^2 \text{ mg}^{-1}$). La technologie 130 nm de Taiwan Semiconductor Manufacturing Company (TSMC) n'a révélé aucun SEL lors de tests réalisés par l'équipe d'HGCROC pour l'expérience CMS. Cela suggère donc que l'espacement minimal entre nmos et pmos des cellules standards digitales est suffisant.

5.1.4 Performances intrinsèques de la technologie

La tenue aux radiations de l'ASIC (en particulier au TID) repose essentiellement sur le choix de la technologie et du procédé. En effet, la technologie utilisée (CMOS 130 nm de TSMC) n'est pas récente (première commercialisation en 2001) et a fait l'objet de tests en irradiations auparavant jusqu'à 2 fois la dose totale ionisante requise (soit 4 MGy). Si cette technologie s'avère résistante, c'est notamment grâce à sa mince épaisseur d'oxide de grille de 2.2 nm.

La sensibilité d'une technologie se traduit par une variation des performances des transistors MOSFET sous irradiation, parmi lesquelles : le courant de fuite (I_{leak}) et la tension de seuil (V_t). Déjà en 2007, il a été montré [13] qu'il existait une grande variabilité des comportements des nmos-fet sous irradiation en fonction des procédés. Ainsi, entre les différentes usines, il a été relevé une dispersion jusqu'à 3 ordres de grandeurs pour le courant de fuite maximal sous irradiation. Par ailleurs, les transistors nmos de taille minimale (L et W) présentent des variations de la tension de seuil de l'ordre de la centaine de mV sous irradiation, mais pouvant différer jusqu'à un facteur 2 pour certaines usines.

Cette variabilité inter-procédé peut s'expliquer du fait de la qualité des oxides latéraux (Shallow Trench Isolation ou STI) plus ou moins à même de capturer des charges d'ionisation. En effet, la capture de trous dans le bulk des STI provoque l'apparition de transistors parasites à l'état passant. Ainsi, à la fois le courant de fuite et la tension de seuil des nmos de taille minimale sont affectés par ce phénomène connu sous le nom de [Radiation Induced Narrow Channel Effect \(RINCE\)](#). La publication explique également qu'un sur-dopage du substrat au niveau des bords du transistor tend à relever la tension de seuil des potentiels transistors parasites. Le profil de dopage peut ainsi compenser l'évolution du courant de fuite sous irradiation. Enfin, une différence supplémentaire existe entre nmos et pmos du fait de leur dopage respectif. Dans les nmos, l'accumulation de charges d'interfaces négatives à haute dose ionisante compense partiellement les trous piégés dans les oxides. Le courant de fuite passe ainsi par un maximum entre 1 et 10 Mrad avant de décroître. La collaboration ITk pour l'expérience ATLAS a ainsi étudié la possibilité de pré-irradier les ASIC pour limiter la consommation de courant une fois installés. À l'inverse, dans les pmos les deux mécanismes s'additionnent car seules des charges positives sont piégées, dégradant de façon monotone la tension de seuil des transistors de taille minimale. Les STI n'étant pas affectés dans les pmos, par conséquent aucune dégradation du courant de fuite n'est observée, ni de variation significative entre fonderies. L'auteur précise aussi que les tests ont été menés en polarisant les transistors dans les pires conditions. En mettant à la masse drain, source et bulk du transistor et en polarisant à la tension d'alimentation sa grille, le fort champ électrique régnant dans l'oxide limite la recombinaison de charges à l'origine de défauts dans les structures proches de la zone déplétée du transistor. De la même manière, le très fort débit de dose (25 krad/min) nécessaire pour atteindre en un temps raisonnable la centaine de Mrad conduit à des résultats très conservateurs pour les technologies CMOS. En effet, à très faible débit de dose, capture et libération de charges (sous l'effet de la chaleur) s'effectuent à rythme comparable. Un choix opportun de l'usine permet donc l'utilisation de cette technologie pour des expériences de physique des hautes énergies. Voir [Federico Faccio - ACES 2016](#) ou "Radiation tolerance of the 130nm TSMC technology" de S. Michelis de février 2019 (document interne CERN).

En pratique, quelques considérations générales sont toutefois appliquées à la conception : la

polarisation des transistors avec un courant suffisamment large (supérieur à 20 μA) en comparaison des courants de fuite attendus, l'utilisation prohibée de transistors à faible tension de seuil dans les sources de courant ainsi que de transistors de taille minimale (et PMOS en particulier).

Concernant les SEE, il est généralement tenu pour vrai que la réduction d'échelle des transistors conduit à la diminution de la section efficace au SEU des circuits digitaux. Plusieurs effets antagonistes se produisent. Tout d'abord, la réduction de la taille des transistors s'accompagne d'une baisse de la tension d'alimentation des circuits. Or, la grille vue comme réservoir de charge, possède une capacité équivalente d'autant plus petite que sa surface est réduite. Ainsi, un transistor se trouve sensible à de plus faibles charges (critiques), capables de modifier sa polarisation. Dans le même temps, le volume sensible du transistor s'amointrit. La réduction de la probabilité qu'un ion dépose des charges électriques à proximité d'un transistor sur-compense a priori leur sensibilité accrue. La discussion est néanmoins toujours ouverte puisque la baisse de la charge critique complexifie cette prédiction devant prendre en compte des ions à des énergies de plus en plus faibles (en particulier, résultant d'interactions neutroniques à faibles énergie).

5.1.5 Stratégie de durcissement

Renforcer la tenue aux radiations d'un composant électronique se traduit par l'étude en simulation de 2 effets : les SEE et la dose ionisante. Elle est décrite pour chaque fonction de la PLL.

5.1.5.1 Registres de configuration de la PLL

On considère que la PLL est d'ores-et-déjà partiellement protégée contre les SEU sur ses registres de configurations grâce à l'utilisation de registres tripliqués. Séparées d'au moins 15 μm entre elles, les 3 bascules D s'actualisent de façon synchrone toutes les 25 ns à partir du vote majoritaire. L'implémentation au niveau RTL (Register Transfer Level) a été réalisée avec l'outil TMRG du CERN automatisant la triplification pour la synthèse, le placement et routage du digital. [17] Alors que cette solution est consommatrice de ressources (surface, puissance), il convient de mentionner l'existence d'autres techniques basées sur le durcissement de cellules standards, l'utilisation de codes correcteurs d'erreurs ou encore la redondance temporelle.

La tenue aux SEE des registres d'ALTIPIX¹ a par ailleurs été testée dans le cadre de ce projet. Une campagne de tests au SEU s'est tenue en 2021 au centre de protonthérapie Antoine Lacasagne à Nice exposant le prototype à un faisceau monoénergétique de protons de 62 MeV.[10] En présence d'un flux de protons particulièrement intense de $2.7 \times 10^{11} \text{ p cm}^{-2} \text{ s}^{-1}$, 9 erreurs d'auto-correction des registres tripliqués ont été observées, alors même que la probabilité d'apparition de telles erreurs est extrêmement faible. Par ailleurs, l'observation de compteurs internes s'incrémentant au fil des auto-corrections des registres tripliqués sous irradiation a permis d'estimer la section efficace d'erreurs dites simples σ_{simple} (c'est-à-dire survenant sur une seule des 3 bascules). À partir d'un calcul probabiliste, il est ainsi possible d'extrapoler la section efficace d'erreurs de triplification dites doubles et donc non corrigées à $\sigma_{registre\ tripliqué} = 10^{-22} \text{ cm}^2$.

Une erreur double ne peut se produire que si au moins 2 registres parmi 3 sont corrompus dans le laps de temps δt qui s'écoule entre 2 auto-corrections (soit 25 ns). Le taux d'erreurs de triplification est donné par :

$$\begin{aligned} \epsilon_{\text{erreurs triplification}} &= \epsilon_{\text{erreur double}} + \epsilon_{\text{erreur triple}} \\ \epsilon_{\text{erreur double}} &= \binom{3}{2} * \frac{(\sigma_{simple} \cdot \Phi_{testbeam} \cdot \delta t)^2}{\delta t} = 3\sigma_{simple}^2 \cdot \Phi_{testbeam}^2 \cdot \delta t \\ \epsilon_{\text{erreur triple}} &= \binom{3}{3} * \frac{(\sigma_{simple} \cdot \Phi_{testbeam} \cdot \delta t)^3}{\delta t} = \sigma_{simple}^3 \cdot \Phi_{testbeam}^3 \cdot \delta t^2 \end{aligned} \quad (5.1)$$

1. ASIC fondu en 2020 dans la même technologie CMOS qu'ALTIROC, prototype des fonctions digitales et mémoires

En faisceau-test de protons :		
Φ_{protons}	2.7×10^{11}	$\text{pcm}^{-2} \text{s}^{-1}$
$\sigma_{\text{erreur simple}}$	7×10^{-14}	cm^2
$\epsilon_{\text{erreur double}}$	3×10^{-11}	s^{-1}
$\epsilon_{\text{erreur triple}}$	4×10^{-21}	s^{-1}
Extrapolation pour HGTD au HL-LHC :		
$\Phi_{\text{hadrons} > 20 \text{ MeV}}$	2.5×10^7	$\text{pcm}^{-2} \text{s}^{-1}$
$\epsilon_{\text{erreur triplcation}}$	10^{-19}	s^{-1}

TABLEAU 5.1 – Erreurs des registres de triplcation pour ALTIPIX

Taux, section efficace et flux étant par ailleurs reliés par :

$$\epsilon[\text{s}^{-1}] = \sigma[\text{cm}^2] \phi[\text{p.cm}^{-2}.\text{s}^{-1}] \quad (5.2)$$

Cette estimation vient d'ailleurs corroborer la mesure effective du rate d'erreurs d'auto-correction de l'ordre de 10^{-12} s^{-1} . Alors que la mesure d'erreurs doubles sous ce flux extrême de protons a par ailleurs abouti à la destruction de la [Data Acquisition \(DAQ\)](#) (une Raspberry Pi) monitorant l'ASIC, l'estimation semble confirmer la mesure. La table 5.1 détaille les applications numériques et donne l'estimation du taux quasi infinitésimal d'erreurs de triplcation au HL-LHC : moins d'une erreur est attendue durant l'intégralité de la vie du détecteur.

5.1.5.2 Détecteur de phase

Le détecteur de phase (PFD) est par nature sensible aux SEU vu qu'il contient des éléments mémoires. Même si un upset se produisant dans le PFD n'est tenu que pendant une période d'horloge (25 ns), il force alors la pompe de charge dans l'état passant, alors qu'en régime permanent la pompe de charge n'agit que très brièvement à chaque cycle d'horloge. Il a également été reporté dans la littérature l'existence de saut de cycle causé par un SEU sur le PFD. [5, 18, 20] Une solution classique pour remédier à la sensibilité du PFD aux SEU est la triplcation. [21]

Le détecteur de phase est basée sur une architecture dite bang-bang qui présente de multiples avantages : puissance, surface requise, ainsi que résistance au SEE [11].

5.1.5.3 Diviseur de contre-réaction

De la même manière, les compteurs (et donc mémoires) du diviseur pour la contre-réaction de la PLL doivent être triplqués pour éviter toute corruption par SEU.

5.1.5.4 Pompe de charge

Il a été reporté dans la littérature que les architectures de pompes de charge en courant sont particulièrement sensibles aux SET. [9] En effet, vu les constantes de temps réglant l'évacuation de charges accumulées, les SET provoquent de longues déviations temporelles. Une mitigation possible consiste à utiliser une architecture tri-state en tension multipliant les sources de courant et réduisant de facto le nombre de noeuds sensibles. Dans l'article [5], il est précisé que cette amélioration se fait aux dépends d'erreurs statiques sur la phase pour les corners PVT.

5.1.5.5 Oscillateur

Principal composant d'une PLL, l'oscillateur est bien souvent le plus sensible aux SEE. Les architectures à base de LC VCO ont montré de multiples points de sensibilités :

- Toute charge collectée au niveau du drain du transistor polarisant l'oscillateur modifie alors fréquence et amplitude de l'oscillation. Comme souvent, l'adjonction de capacité aide à maintenir le potentiel de ce noeud : la variation de tension est réduite mais dure plus longtemps.
- La collection de charges affecte également les capacités variables à base de MOS. Cette sensibilité ne peut être résolue sans modifier l'architecture et introduire un pôle supplémentaire.

Pour cette raison, un oscillateur en anneau d'une surface plus faible a été retenu pour minimiser la section efficace aux SEE.

La section précédente a montré que lorsque l'électronique est soumise à des radiations, les dégradations des transistors se manifestent notamment par une réduction de leur transconductance. Ainsi, les vitesses de commutations des cellules à délai formant l'oscillateur en anneau diminuent. La caractérisation au préalable de cette technologie par des équipes du CERN permet d'anticiper les effets des doses ionisantes lors de la conception. En effet, l'utilisation de modèles de transistors irradiés permet de compenser la dégradation en fréquence avec la dose en augmentant initialement la gamme dynamique de l'oscillateur.

5.1.5.6 Techniques RHDB

Très simples à mettre en oeuvre, les méthodes de triplication coexistent avec d'autres méthodes dites de durcissement par conception (ou RHBD Radiation-Hardened-By-Design). L'utilisation de ces dernières n'apparaît pas nécessaire au vu de la tenue au TID de la technologie, décrit précédemment. Les transistors **Enclosed Layout Transistor (ELT)** (pour Enclosed Layout Transistor) sont un exemple de transistor RHDB. Malgré leur encombrement, leur consommation et l'absence de modèles fournis par le constructeur, ils peuvent présenter un avantage lorsque les transistors sont polarisés en faible inversion (voire modérée)[13]. En effet, vu que cette architecture élimine les effets de bord par sa géométrie, la réduction du courant de fuite drain-source est plus visible à faible courant I_d . On pourra également se reporter à [15] pour le durcissement de mémoire grâce à l'implémentation dite Double InterlockedCell (DICE). Non utilisées pour ce projet, ces techniques ne sont pas décrites dans ce manuscrit.

5.1.5.7 Architecture retenue

L'architecture retenue est montrée sur la figure 5.8.

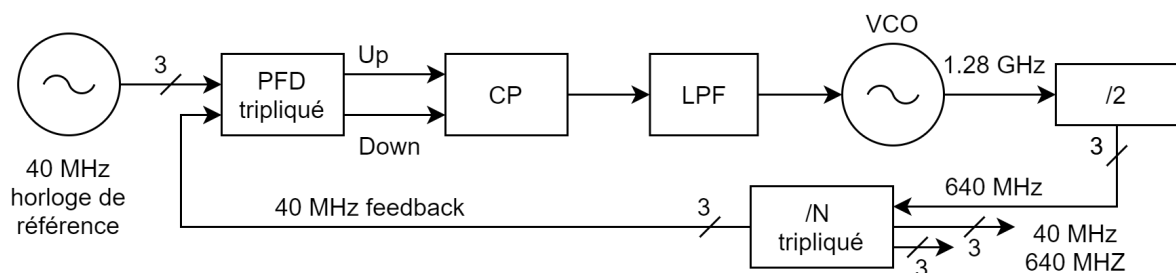


FIGURE 5.8 – Architecture simplifiée de la PLL tripliquée

5.2 Caractérisation sur table

5.2.1 Tenue en TID du VCO

L'ASIC a été irradié au CERN à l'aide d'un irradiateur biologique Precision X-Ray X-RAD iR160 jusqu'à une dose de 220 Mrad (SiO₂) sous un débit de dose de (2.99 ± 0.05) Mrad h⁻¹. Très sommaire, la caractérisation de la PLL post-irradiation a montré que le VCO était toujours en mesure

d'osciller à 1.28 GHz, malgré l'affaissement de sa caractéristique tension-fréquence. La température de l'enceinte climatique de 22°C favorisait toutefois la libération activée thermiquement des charges piégés dans les oxides par rapport aux conditions du HL-LHC (-30°C). Une PLL avec une architecture de VCO en anneau similaire à celle qui équipe ALTIROC, a été testée plus rigoureusement. Il a été montré que l'affaiblissement fréquentiel subit était de l'ordre de 100 kHz par Mrad, garantissant un fonctionnement bien au-delà des spécifications. [12]

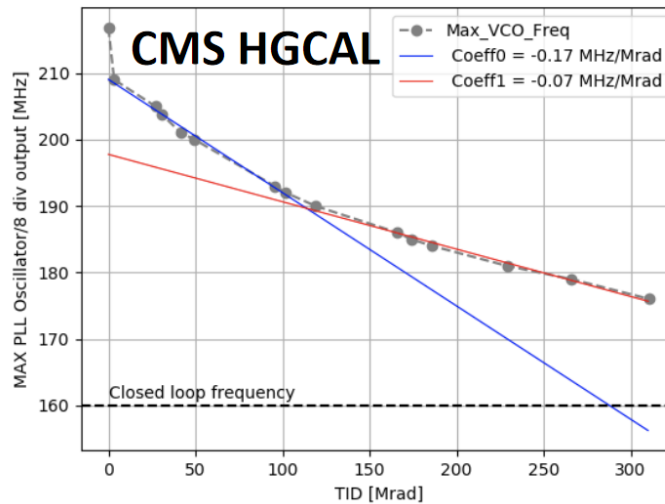


FIGURE 5.9 – Évolution de la fréquence maximale du RO-VCO de l'asic HGCROc2 sous irradiation

5.2.2 Bruit de phase net

La section suivant présente les résultats de mesure du bruit de phase des PLL non irradiées d'ALTIROC 2 puis 3, respectivement non-tripliquée et tripliquée. L'ensemble des mesures de bruit de phase ont été réalisées au CERN (EP-ESE-BE/Timing lab) équipé d'un analyseur de spectre.

5.2.2.1 Description du banc de test

La mesure de bruit de phase des différentes horloges est obtenue grâce à l'appareil de test FSWP8 de chez Rohde & Schwarz, appartenant au groupe Electronic Systems for Experiments du CERN (EP-ESE). Cet appareil donne la densité spectrale ϕ_n de la variation de phase autour de la fréquence principale. La puissance de chaque composante fréquentielle du bruit de phase est comparée à la puissance de la porteuse, ϕ_n est donc exprimée en dBc/Hz. Le random jitter (noté RJ) correspond à l'intégration du bruit de phase entre les fréquences d'offset [100; 30M] Hz en faisant abstraction des pics déterministes de bruit de phase. Ces derniers correspondent à des perturbations se produisant toujours aux mêmes fréquences et sont automatiquement listés par amplitude décroissante par l'appareil. La mesure permet ainsi de vérifier que le jitter n'est pas dominé par une composante déterministe mais est au premier ordre aléatoire. Les figures 5.10, 5.11 montrent le banc de test mis en oeuvre.

Une horloge très faible jitter est fournie à la PLL comme référence. Le résultat n'est ainsi pas dominé par le jitter de l'horloge de référence. La référence HPTC (High Precision Timing Clock) 5.13 basée sur un composant du commerce Si534 de Skyworks a un jitter inférieur à 500 fs rms, largement inférieur à celui de la PLL. Elle est connectée en différentiel à la PLL, comme visible sur la figure 5.11.

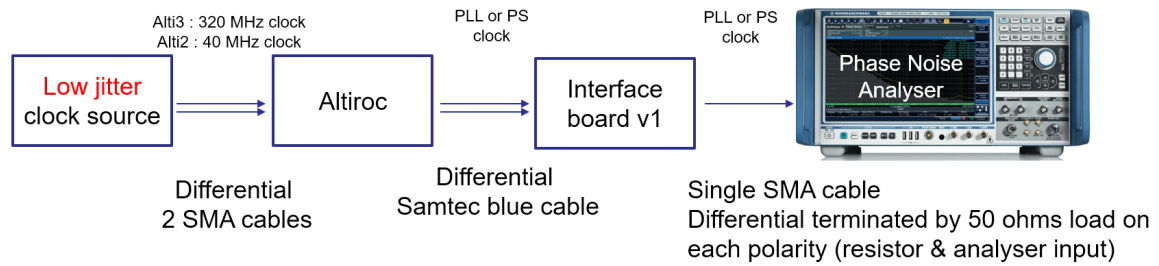


FIGURE 5.10 – Schéma du banc de test permettant de mesurer le jitter de la PLL

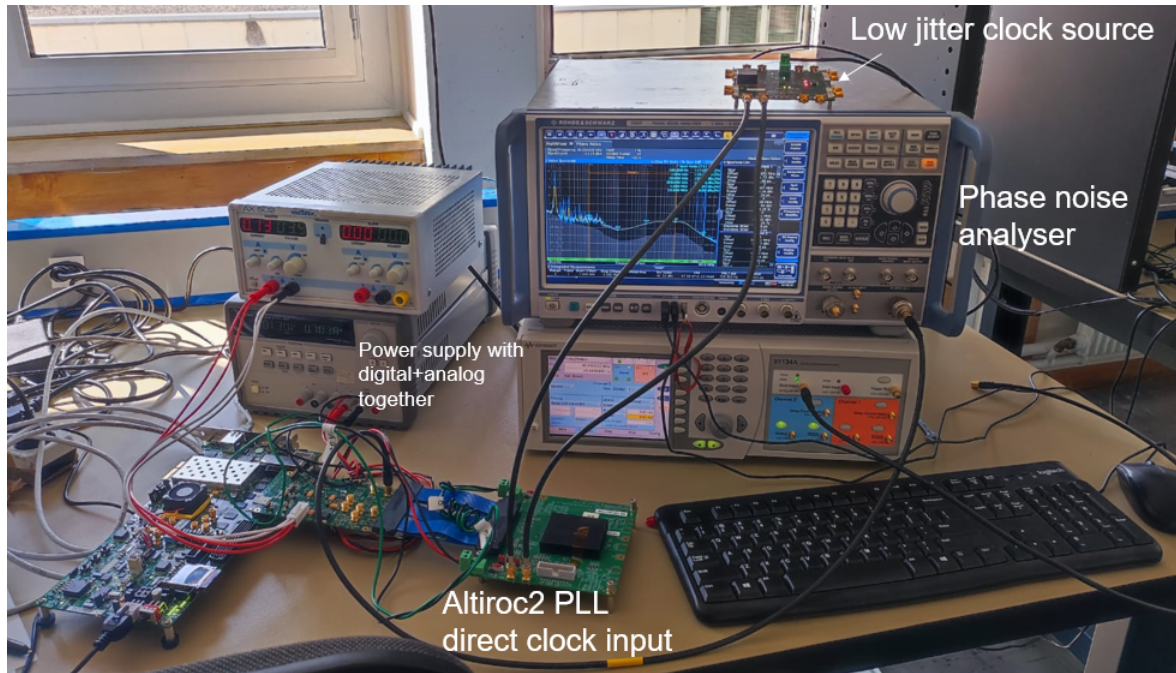


FIGURE 5.11 – Banc de test du timing lab du CERN avec l'ASIC ALTIROC

5.2.2.2 Résultats pour la PLL non-tripliquée

La PLL non-tripliquée d'ALTIROC2 a été testée en juin 2022. L'horloge à 40 MHz de la PLL (fonctionnant en boucle fermée) est envoyée à l'analyseur de spectre en single-ended via un buffer TX conçu pour sortir des signaux à 1.28 GHz.

La mesure a permis tout d'abord de vérifier que quelle que soit l'horloge de référence (FPGA ou bien une PLL à faible jitter du commerce), la PLL testée présente le même jitter : 10 ps RMS. La figure 5.14 montre également le bruit de phase des 2 horloges de références : 5 ps RMS et 0.4 ps RMS respectivement. La comparaison du bruit de phase en amont et en aval permet de conclure que la PLL filtre à son avantage le bruit de phase dominant du FPGA pour les fréquences élevées. On gagnerait à examiner le bruit de phase à des fréquences plus élevées en observant l'horloge à 640 MHz de la PLL (étude non menée). Enfin, la configuration fine de la PLL, en l'occurrence le courant maximal de la pompe de charge, permet d'optimiser le jitter de la PLL à 8.4 ps RMS (par rapport à la configuration par défaut).

5.2.2.3 Résultats pour la PLL tripliquée

Comme précédemment, la caractérisation du bruit de phase est menée à l'aide d'une source très faible jitter. L'objectif est de déterminer la meilleure configuration de la PLL en présence d'une source très faible jitter. On joue donc sur les réglages qu'offre la PLL : le courant coulant dans la pompe de charge et les paramètres de filtrage du LPF. L'horloge à 640 MHz générée par la PLL est

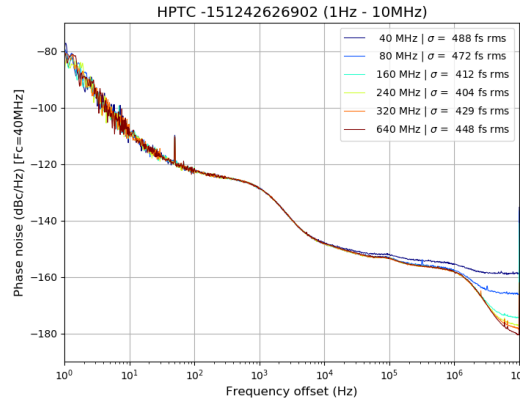


FIGURE 5.12 – Spectre du bruit de phase en fréquence de l'horloge de référence fourni par la carte HPTC normalisé à 40 MHz, d'après [1]



FIGURE 5.13 – Photographie de la carte HPTC fournie par le CERN, d'après [1]

monitorée permettant une observation du spectre plus large. Enfin, toute composante aléatoire ou déterministe au-delà de 40 MHz ne sera pas présente dans le jitter de l'horloge utilisée par la TDC (puisque fonctionnant à 40 MHz).

On fixe la configuration du LPF tel que $R = 4 \text{ k}\Omega$ et $C1 = 200 \text{ pF}$ (Schéma figure 5.16). D'après la figure 5.15, le bruit de phase diminue avec l'augmentation du courant de la pompe de charge I_{CP} . En effet, la bande passante de la PLL augmente avec le courant de charge. Or, la même fréquence de coupure ω_c régit à la fois le comportement du LPF ϕ_{out}/ϕ_{in} comme du filtre passe ϕ_{out}/ϕ_{VCO} , comme illustré sur la figure 5.16. En conséquence, le passe-bas accepte sur une largeur spectrale plus importante le faible bruit de phase de la référence, tandis que le passe haut atténue davantage le bruit de phase du VCO. La fréquence de coupure est définie à partir du gain du VCO (noté K_{VCO}) et du gain de détecteur de phase combiné à la pompe de charge (noté k_{PD}) comme :

$$\omega_n = \sqrt{\frac{K_{PD}K_{VCO}}{NC_1}} \quad (5.3)$$

K_{PD} (en V/rad) étant proportionnel au courant I_{CP} , alors la fréquence ω_n croît simultanément. Les fonctions de transfert propres à la PLL seront détaillées plus amplement dans le paragraphe suivant 5.2.3.

On fixe désormais le courant de la pompe de charge à son maximum admis et on fait varier la résistance R du LPF. De la même manière, la bande passante de la PLL augmente avec la résistance. Le bruit de phase intégré entre 1 kHz et 100 MHz donne un random jitter de 12.4 ps RMS.

La configuration optimale de la PLL est obtenue en cachant le plus possible le bruit de phase

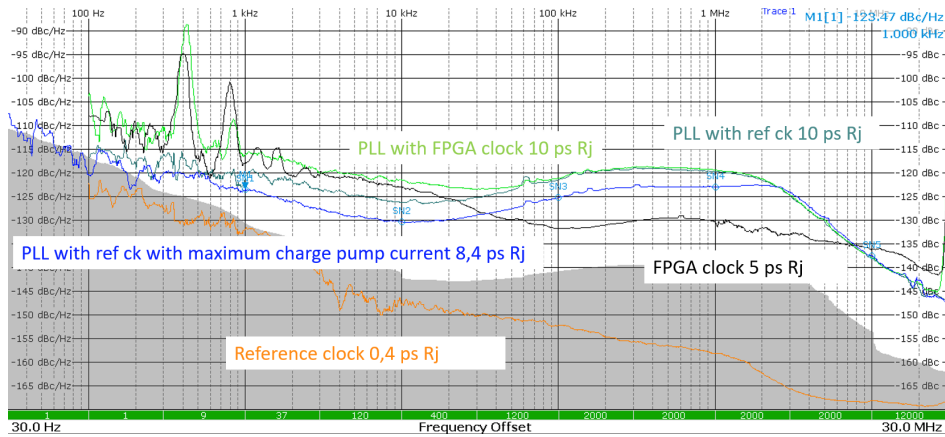


FIGURE 5.14 – Spectre normalisé à 40 MHz du bruit de phase en fréquence pour différentes configurations de la PLL non-tripliquée et des horloges de référence, irradiée à un TID de 200 Mrad

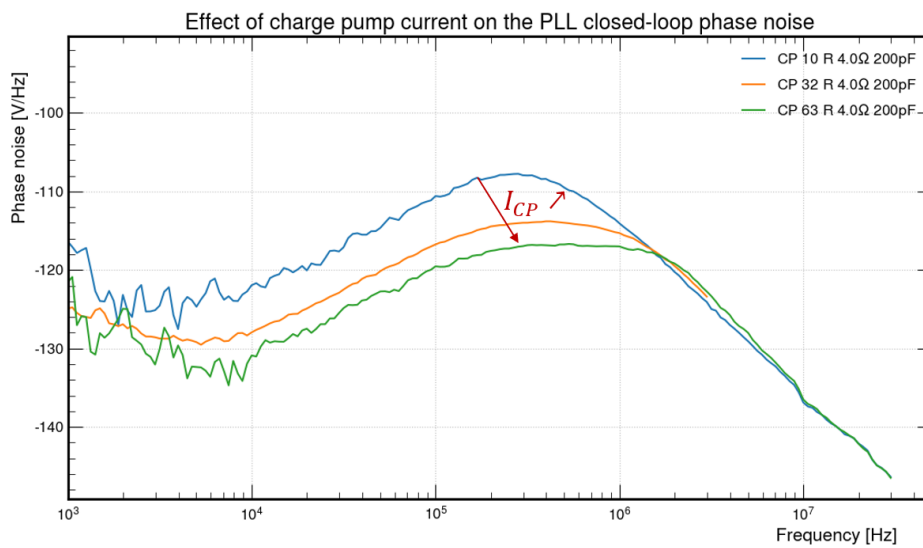


FIGURE 5.15 – Bruit de phase en sortie de la PLL.

de son propre VCO. Ainsi, l'essentiel du bruit de phase est donné par la référence qui est dans le cas présent d'excellente qualité. Si les PLL peuvent jouer le rôle de "jitter cleaner", ici sa fonction de filtrage de l'entrée est limitée au maximum. Des mesures complémentaires une fois le système installé seront donc nécessaires pour valider le jitter net des horloges.

En plus du random jitter, l'analyse spectrale du bruit de phase dévoile la présence de pics dont les 2 principaux à 80 et 40 MHz, valant respectivement 6.6 et 2.6 ps RMS. Le jitter déterministe vaut ainsi au total 7.1 ps RMS. Le jitter total de la PLL s'obtient en sommant quadratiquement ces 2 termes. Alors que de telles composantes n'existaient pas sur la PLL non-tripliquée d'ALTIROC2, on peut tout d'abord se demander si elles seront présentes sur l'horloge à 40 MHz (dérivée de la 640 MHz), puis se questionner sur leur origine.

La comparaison des horloges à 640 MHz mesurées en sortie de PLL ou en sortie de PS avec l'horloge à 40 MHz utilisée par la TDC ne montre aucune différence en terme de random jitter (figure 5.17). Néanmoins, les pics de bruit de phase se sont déplacés dans le spectre de la 40 MHz dédiée aux TDC : la contribution principale se situe à 20 MHz et vaut 6.2 ps RMS, comme le DJ total. Sachant que le RJ est de 12.2 ps RMS dans l'intervalle [1 kHz; 30 MHz], le jitter total de la PLL (dans cette configuration de test) s'élève à 13.7 ps RMS.

En sondant les horloges aux différents étages de leur multiplication et division (ce que permet ALTIROC3), on découvre que le jitter déterministe provient du diviseur d'horloge situé à l'entrée de l'ASIC. En effet, le lpGBT fournit à l'ASIC une horloge à 320 MHz qui est tout d'abord divisée

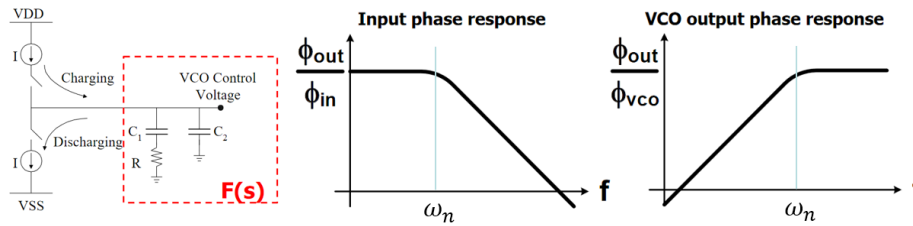


FIGURE 5.16 – Schéma simplifié de la fonction de transfert de la PLL

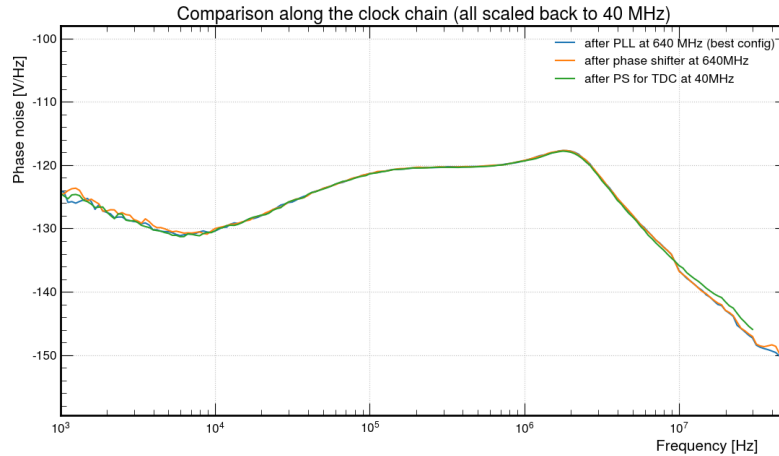


FIGURE 5.17 – Comparaison du bruit de phase des horloges 640 MHz PLL, 640 MHz PS, 640 MHz TDC

par 8. L'horloge à 40 MHz qui en est dérivée possède un pic à 20 MHz d'amplitude 6 ps RMS. Ce bruit déterministe est imputable au couplage de l'activité digitale dans la périphérie. En effet, le diviseur est alimenté par le même potentiel que le digital. Il faudra tester si un meilleur isolement des alimentations réduit ce jitter discret.

La figure 5.18 montre que les 3 horloges à 40 MHz dérivée de la 320 MHz fournie à l'ASIC ont un random jitter très faible. Bien que négligeable, chacune des horloges tripliquées ne présente pas exactement le même jitter que ses voisines, probablement à cause d'une différence de charge (provoquant un affaissement léger du temps de montée du front d'horloge).

5.2.3 Fonction de transfert de bruit de phase

5.2.3.1 Description du banc de test

Plutôt que d'étudier la PLL référencée sur une horloge possédant un bruit de phase particulier, on se propose d'étudier la fonction de transfert en bruit de phase de la PLL. Pour ce faire, on superpose artificiellement un large bruit de phase uniforme (en fréquence) à l'horloge de référence. L'étude du bruit de phase en sortie de PLL donne directement accès à sa fonction de transfert, c'est-à-dire sa capacité à filtrer le bruit dans le spectre fréquentiel de l'horloge de référence. Un générateur basse fréquence (GNF) est utilisé pour piloter en tension un modulateur de phase, comme dessiné sur le schéma 5.19.

5.2.3.2 Résultats pour la PLL non-tripliquée

La figure 5.20 nous montre que la configuration du LPF change drastiquement la fonction de transfert de la PLL. L'optimum dépend évidemment des performances du VCO au regard du bruit de phase contenu dans l'horloge de référence. En considérant que l'horloge de référence présentera un meilleur bruit de phase que le VCO, le jitter est minimisé pour la configuration où $R =$

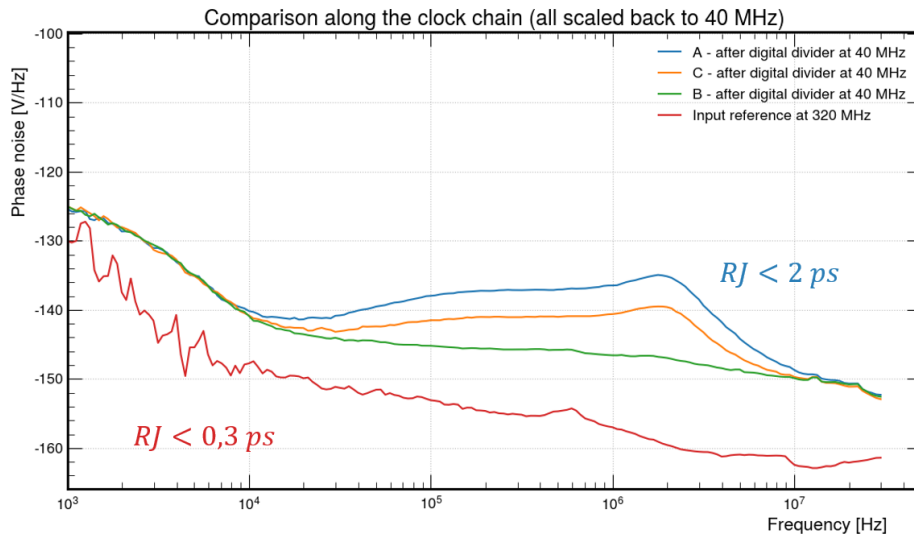


FIGURE 5.18 – Comparaison du bruit de phase des horloges de référence à 40 MHz après l'étage de division par 8

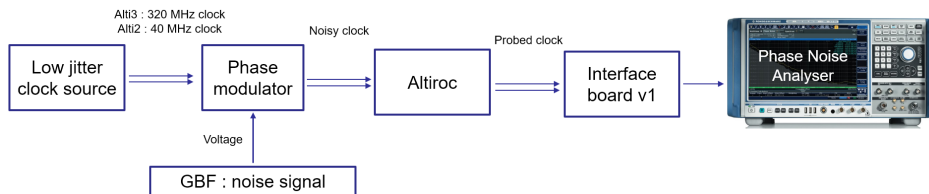


FIGURE 5.19 – Schéma du banc de test permettant de mesurer la fonction de transfert de la PLL

4 k Ω et C1 = 200 pF. En effet, parmi les diverses configurations, c'est celle qui maximise la bande passante de la PLL. Connaissant la bruit de phase de n'importe quelle horloge de référence, il est désormais possible de prédire le jitter résultant en sortie de PLL.

En modulant les tensions d'alimentation de la PLL, on observe que la bande passante de la PLL est d'autant plus large que les tensions d'alimentations digitales et analogiques sont grandes. En effet, les temps de commutation (des éléments à délai du VCO par exemple) sont d'autant plus brefs que les tensions d'alimentations sont élevées.

5.2.3.3 Résultats pour la PLL tripliquée

De la même manière, en passant en revue les différentes configurations de la PLL tripliquée, il est possible de comparer les fonctions de transfert. Sur la figure 5.22, la configuration ayant permis d'atteindre le plus faible jitter dans la section précédente correspond à la courbe grise, ayant la bande passante la plus élevée. À noter, alors que toutes les courbes devraient avoir la même valeur en DC, certaines sont décalées. Il semblerait que le niveau de bruit injecté soit différent entre les différentes mesures. Néanmoins, sa soustraction à posteriori n'est pas évidente puisque l'uniformité en fréquence du bruit varie malheureusement avec son amplitude, sur ce GBF. L'offset n'est donc pas constant en fréquence. En bref, seules les courbes avec le même DC peuvent être réellement comparées sur cette mesure.

L'exercice est ici poussé plus loin en cherchant à partir de la fonction de transfert à prédire le bruit de phase mesuré précédemment. Sachant que la PLL est de type 2 et du 3ème ordre avec un filtre passif série RC dit "lag-lead", la fonction de transfert s'écrit :

$$H(s) = \frac{\phi_{out}}{\phi_{in}} = \frac{K_{PD}K_{VCO} \frac{1}{C_2} \left(s + \frac{1}{RC_1} \right)}{s^3 + s^2 \left(\frac{C_1 + C_2}{RC_1 C_2} \right) + s \left(\frac{K_{PD}K_{VCO}}{NC_2} \right) + \frac{K_{PD}K_{VCO}}{NRC_1 C_2}} \quad (5.4)$$

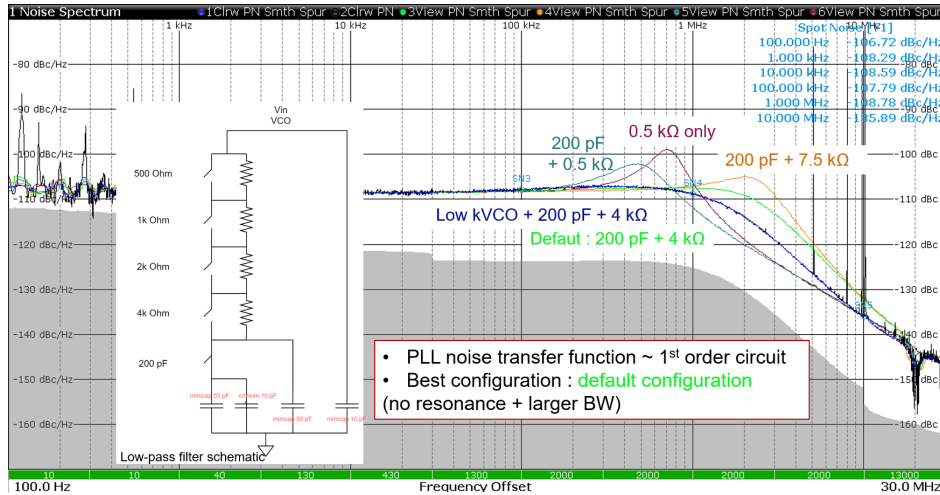


FIGURE 5.20 – Fonction de transfert du bruit de phase pour différentes configurations du filtre passe-bas de la PLL non-tripliquée non-irradiée et son schéma

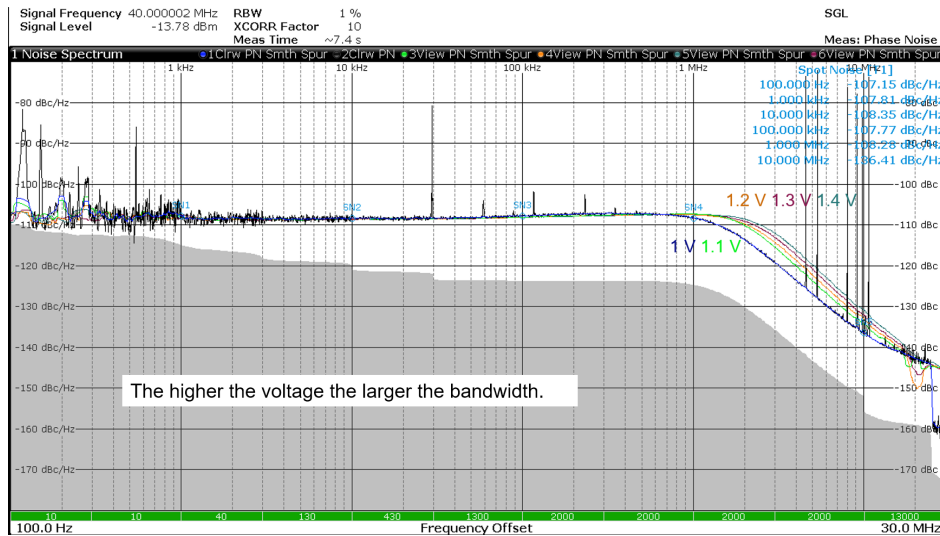


FIGURE 5.21 – Fonction de transfert du bruit de phase pour différentes tensions d'alimentation analogique et digitale de la PLL

Les variables sont définies comme sur le schéma de la figure 5.16. La fonction d'erreur correspondant à la réponse du VCO à son propre bruit réinjecté dans la boucle de contre-réaction s'écrit :

$$E(s) = \frac{\Phi_{out}}{\Phi_{VCO}} = \frac{s^2 \left(s + \frac{C_1 + C_2}{RC_1 C_2} \right)}{s^3 + s^2 \left(\frac{C_1 + C_2}{RC_1 C_2} \right) + s \left(\frac{K_{PD} K_{VCO}}{NC_2} \right) + \frac{K_{PD} K_{VCO}}{NRC_1 C_2}} \quad (5.5)$$

La fonction de transfert de la configuration désignée comme optimale est donc ajustée à partir des équations ci-dessus. Bien que les valeurs obtenues grâce au fit sur la figure 5.23 ne correspondent pas aux valeurs attendues, la fonction de transfert est correctement décrite (en pointillées orange).

Afin d'estimer le bruit de phase de la PLL, le bruit de phase du VCO doit être caractérisé. Cette mesure est réalisée en boucle ouverte sur la PLL. Pour ce faire, le courant de la pompe de charge est réduit au minimum et on enregistre le bruit de phase du VCO oscillant librement. La fréquence sur laquelle se stabilise le VCO diffère d'une PLL à une autre et doit donc être remise à l'échelle sur une fréquence constante (40 MHz par exemple) pour permettre la comparaison. On soustrait simplement :

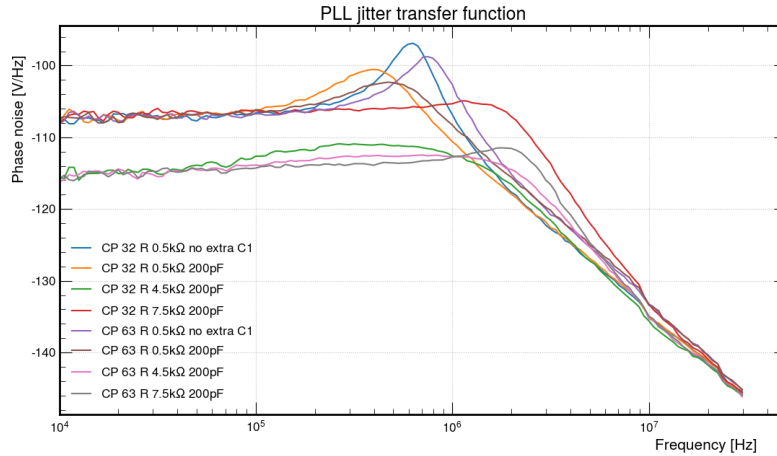


FIGURE 5.22 – Fonction de transfert du bruit de phase pour différentes configurations de la PLL

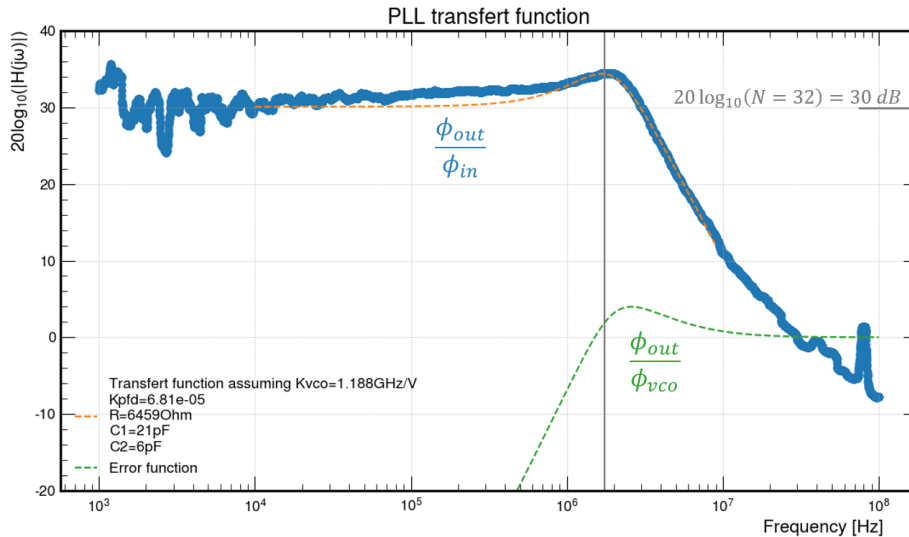


FIGURE 5.23 – Fit de la fonction de transfert du bruit de phase pour la configuration optimale de la PLL tripliquée et courbe en fréquence extrapolée à partir des paramètres extraits du fit

$$\text{Offset} = 20 \log_{10} \left(\frac{\text{fréquence du VCO}}{40 \text{ MHz}} \right) \quad (5.6)$$

Sur la figure 5.24, on remarque tout d'abord que le bruit de phase est similaire entre la PLL tripliquée (alti3) et non-tripliquée (alti2). Le VCO n'ayant pas changé, le diviseur d'horloge désormais tripliqué ne contribue donc pas au jitter. On constate ensuite que lorsqu'un potentiel trop bas (≤ 0.6 V) est imposé de l'extérieur, la boucle de contre-réaction reprend le contrôle alors même que la pompe de charge est au minimum. Ce comportement n'a pas été expliqué. Pourtant, il aurait été utile de caractériser le bruit de phase du VCO dans ses conditions nominales d'oscillation (soit 640 MHz, c'est-à-dire 1.28 GHz vue à travers un diviseur par 2).

Enfin, on constate que la simulation du bruit de phase (pnoise) du VCO est cohérente avec la mesure.

Connaissant désormais tous les termes de l'équation, il est possible de tracer le bruit de phase (noté \mathcal{L}) en fonction de la fréquence estimé à partir de l'équation suivante :

$$\mathcal{L}_{total}(f) = \mathcal{L}_{VCO} \cdot E(f) + \mathcal{L}_{REF} \cdot H(f) \quad (5.7)$$

Sur la figure 5.25, on voit le bruit de phase de la référence (en pointillés vert) puis filtré par la

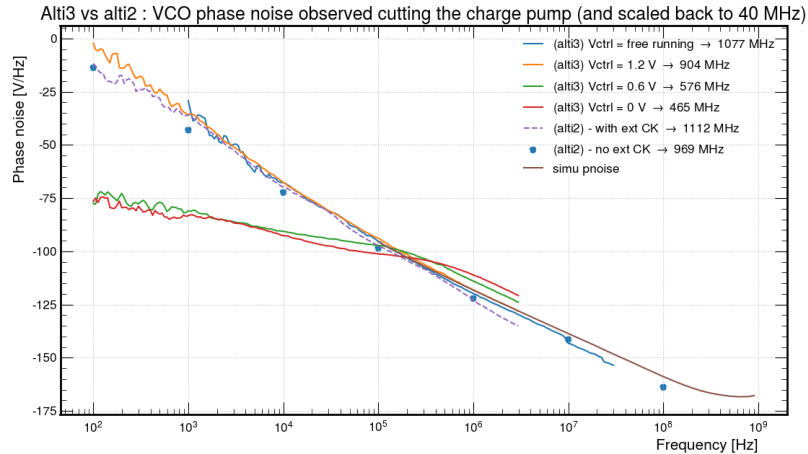


FIGURE 5.24 – Bruit de phase du VCO en boucle ouverte

fonction de transfert de la PLL (en traits plein vert). De la même façon, le bruit de phase du VCO (alti3) est tracé en pointillés bleu, puis filtré par la fonction d'erreur de la PLL. Leur somme quadratique correspond au bruit de phase total prédit en pointillés rouge. On constate que la prédiction sous-estime le bruit de phase réellement mesuré. La différence quadratique est de l'ordre de 6.6 ps RMS. L'intégrale cumulée (contribuant soit positivement, soit négativement) tracée sur le 2ème axe vertical suggère que l'excès de bruit de phase provient des fréquences inférieures à 2 MHz. Des simulations plus approfondies de la PLL seront donc nécessaires pour comprendre quel élément en est à l'origine.

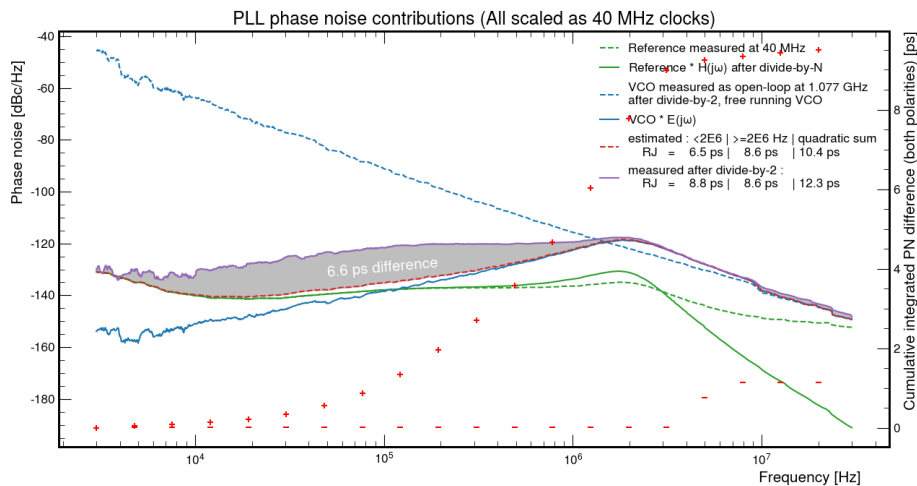


FIGURE 5.25 – Comparaison du bruit de phase estimé et mesuré

5.3 Caractérisation en SEE

Dans cette section sont décrit les événements d'intérêt (les SET), leur détection, le choix des tests conduits et enfin les résultats de mesure des 2 campagnes de test.

5.3.1 Détecter des Single Event Transient

La détection des transitoires modifiant temporairement la fréquence ou la phase de la PLL est obtenue au moyen d'un oscilloscope (Lecroy Waverunner 640Zi). Ce dernier est configuré pour

se déclencher lorsque la période de l'horloge s'écarte de sa valeur nominale. Sa sensibilité étant limitée à 200 ps, on choisit d'observer l'horloge la plus lente directement fournie par la PLL : 40 MHz. Des tests décrits ci-après ont montré que cet équipement ne présente pas de temps morts significatifs liés à l'acquisition précédente masquant un déclenchement à venir.

D'autres méthodes de détection ont par ailleurs été décrites dans la littérature (voire la thèse de S. Biereigel [4]). Elles présentent de meilleures sensibilités, de plus faibles temps morts et permettraient d'observer directement l'horloge à 640 MHz utilisée par le serializeur. Elles n'ont toutefois pas été mises en oeuvre pour ces campagnes de tests car la sensibilité doit être comparée au jitter pic-pic attendu pour cette PLL : 100 ps à 5 sigma.

Le banc de test se compose d'un générateur basse fréquence (GBF) utilisé pour déposer une charge électrique équivalente à l'interaction d'une particule chargée dans le silicium, sur un noeud sensible du VCO. L'ASIC dispose à cet effet d'une entrée-sortie du potentiel contrôlant le VCO, comme illustré sur la figure 5.26. En injectant des steps en tension à travers une capacité, on reproduit artificiellement un SET se produisant sur le VCO. À l'aide d'un oscilloscope, on trace l'évolution de la période de l'horloge 40 MHz au cours du temps. Dans un premier temps, l'oscilloscope est déclenché par le GBF pour observer les transitoires. La figure 5.27 montre que l'oscillation de la période de l'horloge présente une réponse amortie. Par ailleurs, l'amplitude maximale est proportionnelle à la charge injectée d'après la figure 5.28. Chaque nanoseconde de déviation de la période correspond à 1.4 pC déposé.

Dans un deuxième temps, l'oscilloscope n'est plus synchronisé sur le GBF et recherche de lui-même les SET affectant la PLL. Les tests ont montré que l'oscilloscope est capable de détecter 2 SET consécutifs séparés de 0.1 ms. Ne s'attendant pas à des taux de détection aussi élevés vus le flux de proton à Arronax et la section efficace envisagée, le banc de test a été jugé adéquat.

5.3.2 Pourquoi utiliser des protons ?

Pour mesurer l'impact de SEE sur la PLL, l'offre est tout simplement pléthorique : ions lourds ou divers hadrons : protons, neutrons, pions, etc. Il s'agit avant tout de déterminer laquelle se rapproche le plus des conditions du HL-LHC et de nos besoins.

Les ions lourds classiquement utilisés ont un LET dans le silicium qui varie entre $1.3 \text{ MeV cm}^2 \text{ mg}^{-1}$ (pour le $^{13}\text{C}^{4+}$) et $62.5 \text{ MeV cm}^2 \text{ mg}^{-1}$ ($^{124}\text{Xe}^{35+}$). Après irradiation, la mesure des sections efficaces en fonction du LET est tracée pour des excursions de phase supérieures à une valeur seuil fixée (en ps). Cette courbe peut être interpolée par une fonction de Weibull, comme donné en exemple sur la figure 5.29 (extraite de [5]). Connaissant précisément l'énergie déposée, on peut alors en déduire le seuil (en LET) à partir duquel se manifeste les SET. Cette méthode permet de mettre en évidence la saturation de la section efficace, où l'ensemble des volumes sensibles sont affectés par une énergie déposée dépassant la charge critique.

Une fois que la section efficace a été obtenue grâce aux irradiations aux ions lourds, il convient d'extrapoler ces résultats à l'environnement radiatif du HL-LHC, décrit dans la section 5.1.2. Or, il faudrait pour ce faire connaître la probabilité des divers ions (issus d'interactions hadroniques) d'interagir avec tout volume sensible de l'ASIC. Contrairement à notre démarche, cela présuppose

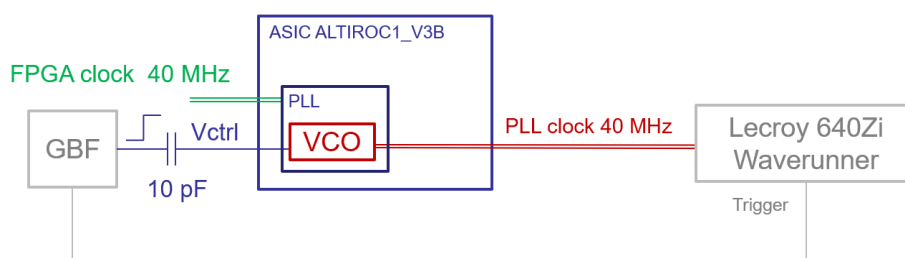


FIGURE 5.26 – Banc de test d'injection artificielle de SET dans le VCO de la PLL non-tripliquée d'ALTIROC v3b

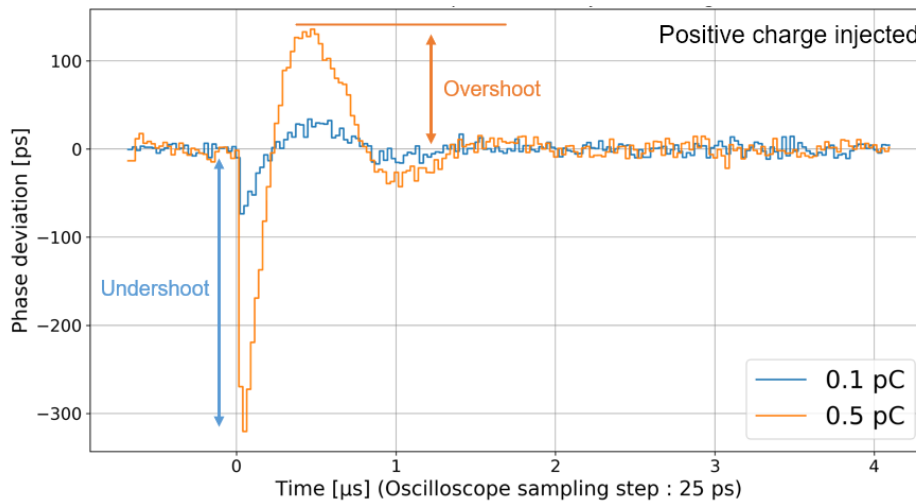


FIGURE 5.27 – Effet d'un SET sur la PLL d'ALTIROC1 v3b : réponse temporelle du VCO à l'injection de 2 charges électriques

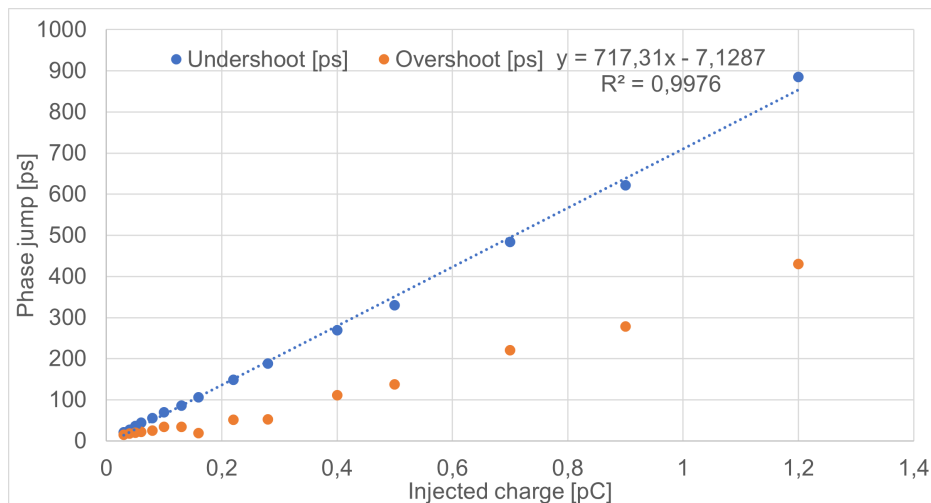


FIGURE 5.28 – Amplitude de la déviation de la période en fonction de la charge injectée

donc que les zones sensibles du design sont connues a priori (tant en volume qu'en profondeur, si tant est que les bords soient clairement définis). Par ailleurs, cette extrapolation requiert des simulations complexes, entachées de larges incertitudes et à la seule portée d'experts. Certains composants du commerce ont fait l'objet d'études visant précisément évaluer la validité de cette extrapolation [14]. Néanmoins, celle-ci s'intéressait à la sensibilité aux SEU de mémoires et de circuits digitaux considérant de faibles volumes sensibles. La publication [5] fait remarquer que cette hypothèse est invalide dans le cas de circuits analogiques comme une PLL. Par ailleurs, l'équipe du lpGBT a observé sous ions lourds de longs temps de récupération de la PLL. En effet, avec un important flux (pourtant statistiquement nécessaire), les ions lourds produisent des empilements de sauts de phase. En effet, pour les LET au-dessus de $10 \text{ MeV cm}^2 \text{ mg}^{-1}$, l'erreur en fréquence dépasse 50 ppm pendant plus de $100 \mu\text{s}$, soit 3 ns pour une horloge à 320 MHz. L'utilisation d'ions lourds complexifie le système de détection qui doit être adapté pour s'accommoder de variations lentes de la période nominale.

Les ions lourds présentent un autre inconvénient : plus l'ion accéléré a un nombre de masse élevé, plus son libre parcours moyen dans le silicium est faible : $73.1 \mu\text{m}$ pour le xénon. Cette contrainte requiert donc d'amincir le substrat afin d'atteindre la zone d'intérêt. Il est à noter que l'angle d'irradiation par rapport à la normale joue également un rôle dans la sensibilité au SEE : plus celui-ci est rasant, plus les particules créent de paires électron-trou à la traversée de la ma-

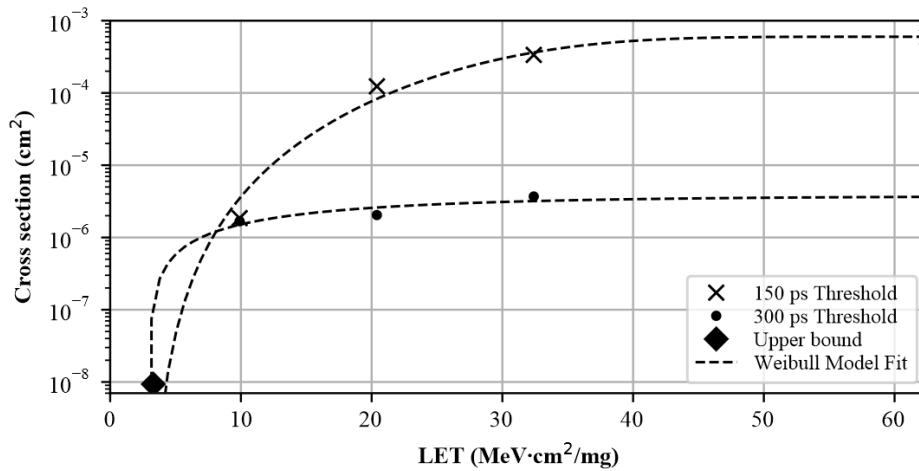


FIGURE 5.29 – Section efficace mesurée aux ions lourds pour 2 excursions de phase

tière.

Enfin, les accélérateurs d'ions lourds ont généralement un flux maximum plus limité que pour les protons : de l'ordre de $1 \times 10^4 \text{ cm}^{-2} \text{ s}^{-1}$ contre $1 \times 10^{13} \text{ cm}^{-2} \text{ s}^{-1}$. Ces derniers se prêtent donc mieux aux campagnes de tests visant à obtenir dans un court laps de temps le plus d'informations.

Le recours aux ions lourds ne saurait donc s'imposer que lorsque l'absence de défauts est recherchée (typiquement des SEU ou effets permanents destructeurs) avec un facteur de sécurité conservateur. Soulignons également que les ions lourds ont la spécificité de pouvoir produire des Single-Event Latch-up (SEL). Ces tests, qui ne seront pas développés ici, permettent donc de révéler de façon très conservatrice la résistance d'un design dans une technologie donnée.

Les protons sont par ailleurs recommandés pour les campagnes de tests aux SEE. En effet, un faisceau mono-énergétique de protons portés à une énergie supérieure à 60 MeV est une bonne approximation des conditions expérimentales au LHC. [8] Accélérés à 68 MeV au cyclotron d'Arro-nax, les protons possèdent alors une énergie suffisante pour garantir un dépôt d'énergie constant à déplacement constant au travers de la matière. On dit qu'ils sont au-delà de la remontée relativiste décrite par Bethe en 1932 et visible sur la figure 5.30 (d'après NIST). Bien que le pouvoir d'arrêt des protons est très faible comparé aux ions lourds (environ $8 \text{ keV cm}^2 \text{ mg}^{-1}$ dans le silicium comme dans le SiO_2), les protons interagissent également par des réactions nucléaires avec les atomes. Ces interactions sont recherchées car elle provoquent des collisions hadroniques. Ces dernières produisent ainsi des fragments (ou ions) avec un pouvoir d'arrêt plus grand que celui du proton. La moindre section efficace obtenue avec des protons (10^{-5}) tient du fait que la section efficace d'interaction d'un proton avec ces noyaux est faible, due à une nombre de masse.

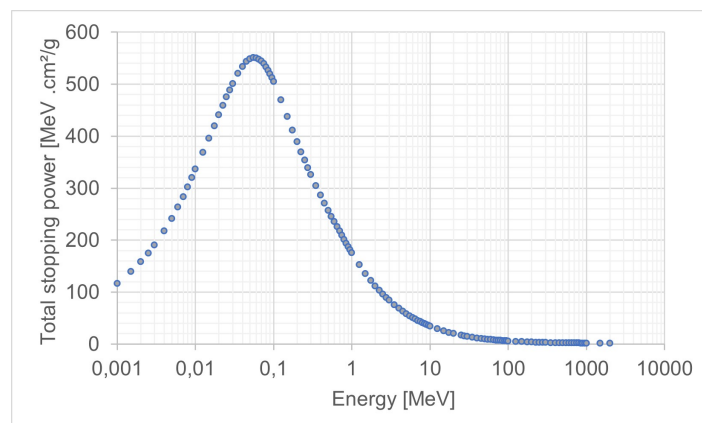


FIGURE 5.30 – Pouvoir d'arrêt pour les protons par le silicium en fonction de l'énergie du proton

Enfin, d'autres particules, comme les neutrons, sont parfois utilisés pour les tests en SEE. Précisons ici seulement que les neutrons en dessous de 25 MeV ne permettent pas de sonder l'intégralité du spectre d'énergie de recul que l'on rencontre dans les expériences de physique des hautes énergies. [8] Même pour les réactions de capture neutronique (comme le bore-10 pour des neutrons thermalisés), le guide des recommandations de tests en radiations (à usage interne du CERN) précise que la section efficace attendue est généralement significativement plus faible que pour des hadrons d'énergie supérieure à 20 MeV. Ainsi, à moins que l'électronique soit destinée à être installée dans un environnement dominé par des neutrons, ces tests sont déconseillés notamment vis-à-vis de leur complexité et leurs limites intrinsèques.

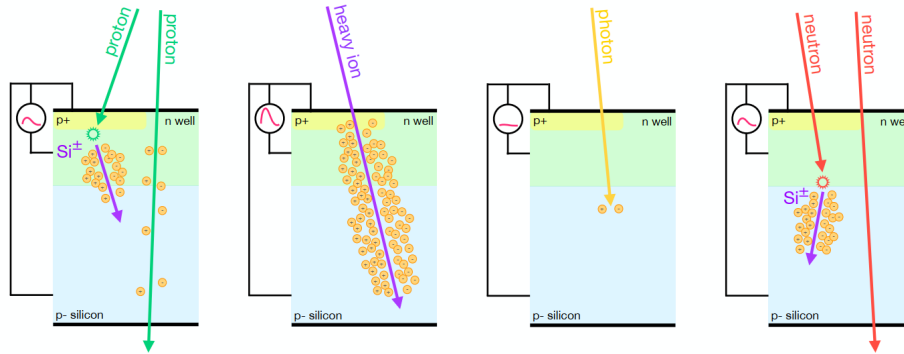


FIGURE 5.31 – Interactions particule-matière dans une jonction PN

En conclusion, la figure 5.31 (Source Elena Vernazza) résume clairement les différences d'interactions particule/rayonnement-matière. Elle met en évidence les phénomènes d'ionisation directe et indirecte se produisant dans une jonction PN en présence de protons.

5.4 Première campagne de SET

La première campagne de test en SET s'est déroulée à Nantes en décembre 2022 et février 2023 au cyclotron Arronax.

5.4.1 Cyclotron Arronax

L'Accélérateur pour la recherche en radiochimie et oncologie à Nantes-Atlantique (ARRONAX) est un cyclotron isochrone mis en service en 2010 destinée à la production de radionucléides pour l'imagerie médicale et la radiothérapie. La plateforme donne également accès au faisceau pour la recherche en médecine, chimie et physique nucléaire. Au cours de 2 campagnes d'une journée, nous avons pu caractériser une version de la PLL tripliquée intégrée dans l'ASIC EICROC.

Cette plateforme offre une forte intensité de faisceau ($2 \times 375 \mu\text{A}$) qui dépasse allègrement nos besoins. La mesure du flux de proton est fournie en temps réel : un tube photomultiplicateur (PM modèle R928, Hamamatsu Photonics) mesure les photons ultraviolets émis par l'azote excité par l'interaction des protons dans l'air. Ce dispositif a été calibré au préalable au moyen d'une Faraday cup. [22] La surface du faisceau est estimée grâce à des films radio-chromiques dûment positionnés devant la cible irradiée. Il s'agit de films EBT3 qui ont une couche active en monomère entre deux substrats en polyster. cette couche se polymérise suite à l'ionisation par le proton incident. Cette polymérisation induit le noircissement des films. Connaissant la surface et un estimateur d'un débit, on peut aisément calculer le flux surfacique de proton.

$$\phi_{proton} [p/cm^2/s] = \frac{I_{PM} \text{ du collimateur}}{\text{coef calibration} * \text{surface faisceau} * \text{charge électrique du proton}} \quad (5.8)$$

Le flux de proton est estimé à $1.56 \times 10^{10} p \text{ cm}^{-2} \text{ s}^{-1}$, soit 2 à 3 ordres de grandeur au-dessus du HL-LHC. La rareté des évènements recherchés nous contraint en effet à augmenter la luminosité

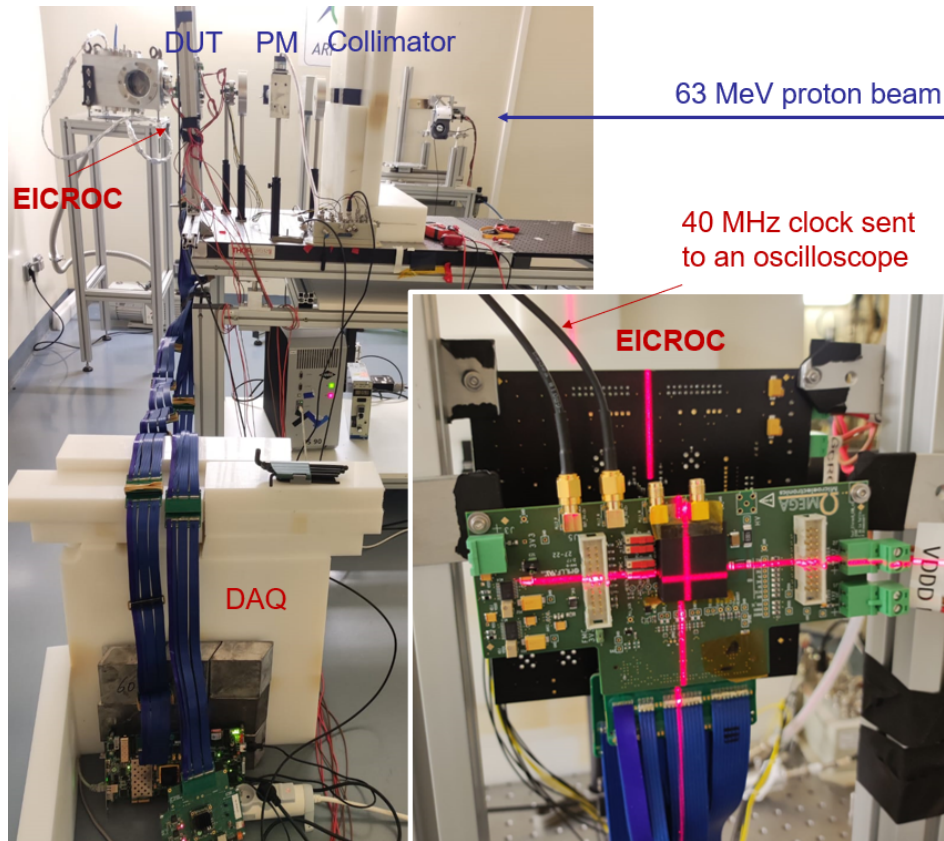
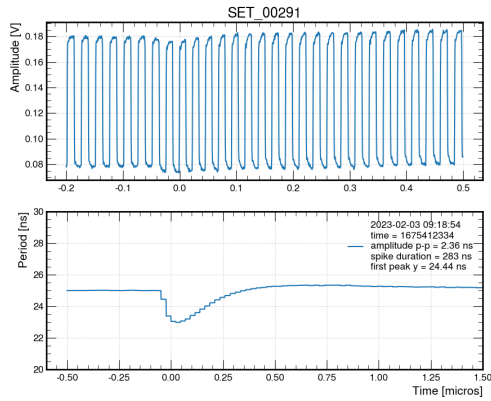
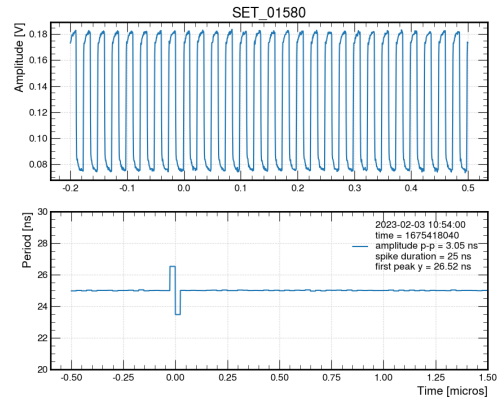


FIGURE 5.32 – Banc de test dans la casemate R&D du cyclotron Arronax

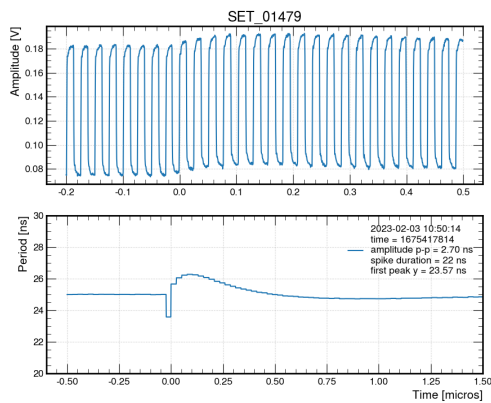
du cyclotron pour avoir plus de statistiques. En conséquence, on devra vérifier qu'une telle augmentation n'induit pas d'effets non linéaires (effet de seuil par exemple) en vérifiant par exemple la compatibilité des sections efficaces mesurées à différentes valeurs de flux. En effet, la probabilité d'erreurs consécutives se produisant dans un court laps de temps (avant que l'auto-correction n'ait eu le temps d'opérer pour les registres tripliqués par exemple) dépend des pics d'intensité du faisceau. Mentionnons ici également la structure du faisceau de protons pouvant accentuer ce phénomène : il est cadencé toutes les 33 ns avec un étalement temporel non qualifié.



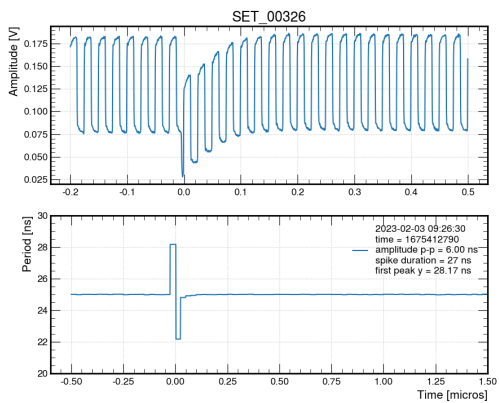
(a) SEFT



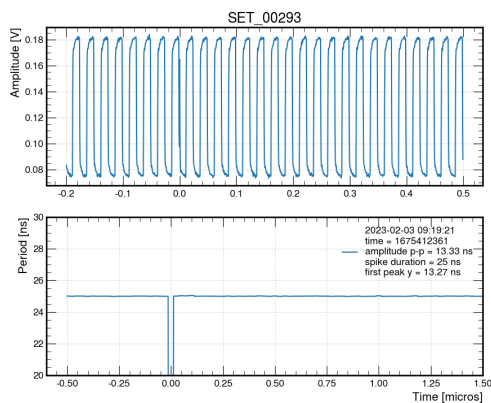
(b) SEPT compensé



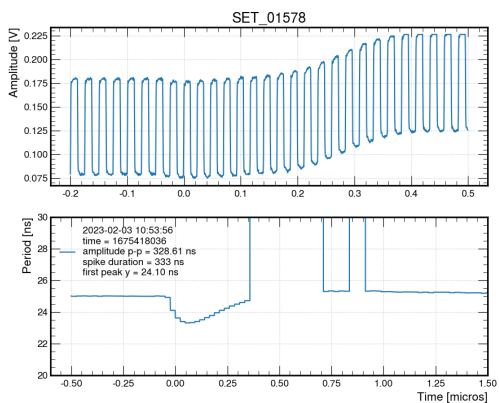
(c) SEPT inducing SEFT



(d) Instabilité de la ligne de base



(e) Transceiver SET



(f) SEFT then SEPT

FIGURE 5.33 – Bestiaire des divers sauts de phase enregistrés

5.4.2 Résultats

L'enregistrement des sauts de phase se produisant durant 3 heures d'irradiations a permis de quantifier leur occurrence et d'observer leur variété. Il existe plusieurs profils de sauts de phase en fonction d'où se produit le SET au sein de la PLL. La figure 5.33 rassemble l'ensemble des profils de sauts de phase capturés par l'oscilloscope par ordre décroissant de fréquence d'apparition. Pour chaque type de SET du bestiaire 5.33 figure en haut l'horloge 40 MHz d'amplitude pic-pic 10 mV ainsi que les variations de sa période.

Au premier chef, on trouve les SET affectant le VCO de la PLL, désignés dans la littérature par l'abréviation SEFT ou Single Event Frequency Transient. (Figure 5.33a) Dans ce cas, la période de l'horloge dérive lentement, passe par un extrema, puis revient à sa valeur nominale avec toujours la même constante de temps. Leur dénombrement permet in fine d'estimer la surface sensible du VCO. Elle s'élève à 311 nm^2 , ce qui est très faible en comparaison avec la surface du VCO de $4000 \mu\text{m}^2$.

On constate que la distribution des sauts de période des SEFT (Figure 5.34) suit une loi gaussienne modifiée exponentiellement, tronquée par le bas à cause de la limite de sensibilité de l'oscilloscope. Plutôt que d'afficher un nombre d'occurrence des SET (dépendant du flux du faisceau-test) ou de l'exprimer sous la forme d'une section-efficace peu parlante, j'ai fait le choix de la traduire en un taux de SET se produisant par an au HL-LHC (en faisant l'hypothèse de $2 \times 10^8 \text{ p cm}^{-2} \text{ s}^{-1}$ de hadrons au-dessus de 20 MeV).

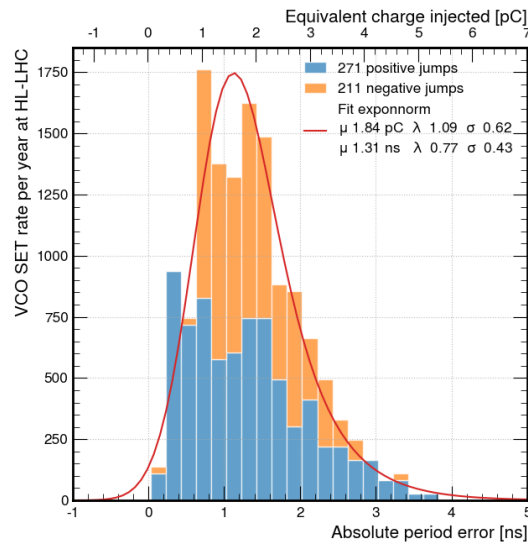


FIGURE 5.34 – Histogramme des sauts de phase du VCO de la PLL, normé sur le taux de SET attendu par an au HL-LHC. L'échelle graduée en pC est donnée à titre indicatif d'après 5.28

Par ailleurs, en extrapolant la relation linéaire entre la déviation temporelle et la charge injectée obtenue précédemment 5.28, on peut estimer la charge électrique équivalente collectée en moyenne à environ 2 pC. On fait toutefois l'hypothèse que la charge a été injectée dans les mêmes conditions que le banc de test, à savoir dans le noeud sensible du VCO. Or, d'après la simulation, d'autres points du design présentent la même réponse temporelle (SEFT) sans toutefois produire la même amplitude de déviation. Par ailleurs, on peut vérifier que l'énergie de recul communiquée par un proton à un atome de silicium est suffisante pour déposer une telle charge électrique. D'après [14], la perte d'énergie linéique maximale d'un atome de ^{28}Si (déplacé par un hadron incident) dans le silicium est de $4 \text{ MeV}\mu\text{m}^{-1}$. Supposons que ce dernier ionise sur une trace d'un micromètre et que le noeud sensible du VCO collecte l'intégralité, alors environ 11 millions d'électrons seront générés, soit une charge électrique de 18 pC. On ne connaît toutefois pas quelle frac-

tion a été collectée et donc a donc affecté le VCO.

Le deuxième type de SET le plus fréquent présente une variation brutale de la période de l'horloge : on parle de Single Event Phase Transient (SEPT). Il résulte d'un SEE se produisant en aval du VCO modifiant l'état de l'horloge à 1.28 GHz ou un de ses sous-multiples. Le premier étage de division par 2 de l'horloge (1.28 GHz -> 640 MHz) n'est pas tripliqué et est donc plus sensible au SET que le second étage tripliqué (640 -> 40 MHz). Parmi les SEPT observés, on distingue ceux dont l'excursion de phase est à somme nulle (Figure 5.33b) de ceux où le saut de phase ne se compense pas. Dans le premier cas, la période est erronée durant seulement 2 coups d'horloge à 40 MHz : systématiquement en retard de 1.56 ns puis en avance d'autant. Cette amplitude suggère une erreur au niveau des compteurs incrémentés par la 640 MHz. On remarque également que le SEPT ne donne pas lieu à d'oscillations. S'il ne se propage pas au VCO, c'est qu'il n'affecte donc qu'une seule des branches du diviseur tripliqué à la fois. Dans le second cas, le SET commence par un SEPT et parfois se termine par un SEFT, autrement dit une oscillation. Les écarts de phase du SEPT sont bornés par la période de l'horloge 640 MHz. L'histogramme des pics d'erreurs de période (voire figure 5.36) révèle 3 populations à environ 1.6 ns, 800 ps et 400 ps, symptômes de glitch de l'horloge cadencant le diviseur. La figure 5.35 illustre l'apparition d'un saut de phase négatif de 1.56 ns dû à un SET créant un front supplémentaire sur l'horloge 640 MHz issue du VCO.

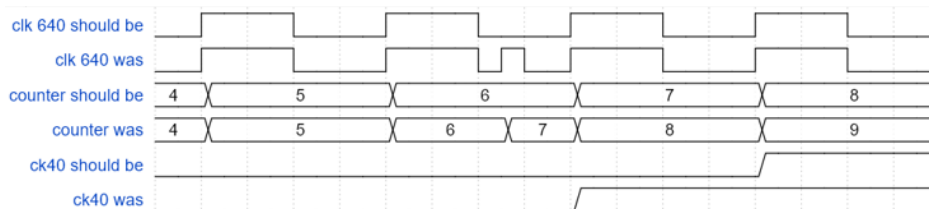


FIGURE 5.35 – Scénario conduisant à un saut de phase de -1.56 ns à cause d'un glitch sur la clock 640 MHz

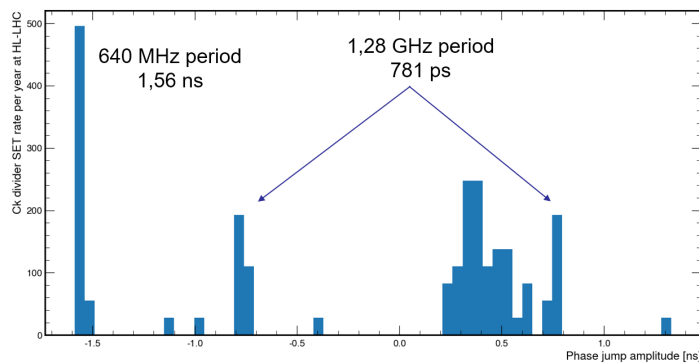


FIGURE 5.36 – Histogramme des déviations maximales sur la période pour les SEPT

D'après la figure 5.37, on remarque qu'un SEPT induit une erreur maximale sur la période du SEFT environ 10 fois inférieure à l'évènement précurseur, d'après le fit linéaire. Quelques points aberrants sont visibles mais ils sont minoritaires.

Certains évènements seront exclus des résultats suivants car ils ne peuvent avoir été produits par un SEE sur la PLL. Par exemple, une dizaine de SET ont perturbé très brièvement le signal d'horloge, indépendamment de la période et occasionné systématiquement un saut d'un cycle d'horloge, comme sur la figure 5.33e. Le transceiver nous permettant d'observer l'horloge de la PLL a vraisemblablement été affecté. Une cinquantaine de SET (figure 5.33d) voient quant à eux leur ligne de base tressauter brutalement, engendrant une perturbation temporaire sur la période de l'horloge (ne pouvant plus clairement être mesurée). Ces évènements pourraient être la conséquence d'un SEE avorté sur un registre tripliqué désactivant momentanément le transceiver. Une première bascule est touchée par un SEE, puis une deuxième avant que l'auto-correction n'ait eu

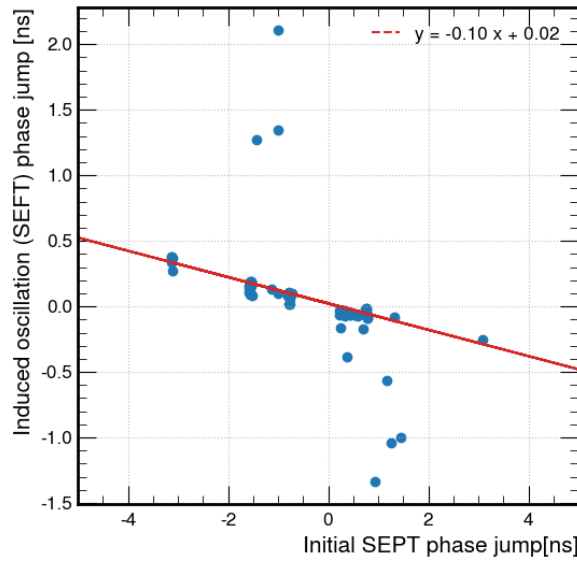


FIGURE 5.37 – Corrélation magnitude du SEPT précurseur avec l’amplitude du SEFT induit

le temps d’agir qui finalement rétablit la configuration initiale.

Au total, 758 SET affectant la PLL ont été dénombrés - toutes amplitudes confondues - durant 11451 secondes. Cela correspond donc à une section efficace de $5 \times 10^{-12} \text{ cm}^2$. La chronologie des SET enregistrés 5.38 montre qu’il n’y a pas d’effets lents liés par exemple à une dérive du système de détection au cours de la matinée du 3 février 2023. Le diagramme 5.39 récapitule l’importance de chaque catégorie de SET dont la majorité sont liés au VCO.

Aussi, il importe également de connaître le temps pendant lequel la PLL est touchée par un SET. Cela se caractérise par un temps de récupération avant que la phase de la PLL ne converge à nouveau vers celle de l’horloge de référence. En plus de l’erreur sur la période, on peut l’intégrer pour définir l’erreur de phase de la PLL. En regard de l’erreur sur la période, cette métrique présente l’avantage d’être indépendante de la période nominale de l’horloge considérée. Appelée également TIE (pour Time Interval Error), elle pourra donc être facilement comparée avec d’autres résultats de la littérature. L’erreur de phase correspond à l’erreur présente entre la phase de l’horloge à 40 MHz de la PLL et le front montant associé de l’horloge de référence. L’erreur de phase peut donc être évaluée à chaque front d’horloge, comme illustré en orange sur les figures 5.41 et 5.40.

On peut ajuster la réponse de la PLL pour connaître ses constantes de temps par la fonction 5.9. Les SEFT perturbent le VCO pendant des temps plus importants que ceux affectant initialement le diviseur non-tripliqués, comme le montre la figure 5.42. La durée du SET est estimée à partir des constantes de temps estimées par les équations 5.9.

$$\text{Erreur de phase (t)} = c \frac{\tau_{rise}}{\tau_{rise} - \tau_{fall}} \left(e^{-\frac{(t-t_0)}{\tau_{rise}}} - e^{\frac{(t-t_0)}{\tau_{fall}}} \right) \quad (5.9)$$

$$\text{Durée du SET} = 2\tau_{rise} + 5\tau_{fall}$$

Enfin, pour chaque type de SET, est relevé l’amplitude maximale de l’erreur de phase (Figure 5.43). Pour les SEFT, on constate tout d’abord que l’erreur de phase est environ 10 fois plus importante que l’erreur sur la période et domine par rapport à tous les autres types de SET. Quasi symétriques, les erreurs maximums de phase s’étalent jusqu’à plus de 25 ns. On constate d’ailleurs que certains SET conduisent à un voire plus sauts de cycle de 25 ns tant en retard qu’en avance par rapport à l’horloge de référence. On remarque également que pour les événements enchaînant SEPT

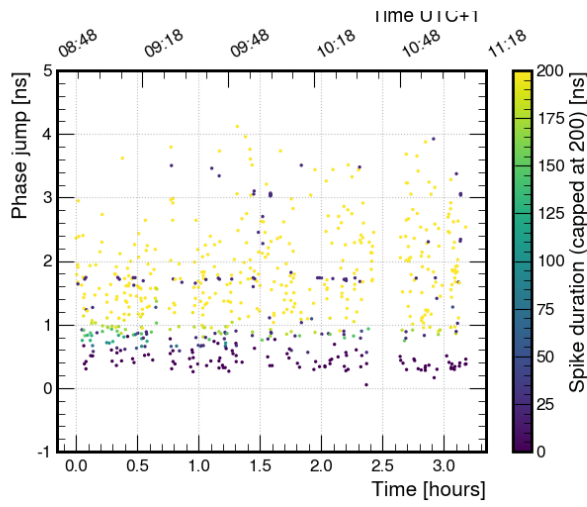


FIGURE 5.38 – Chronologie des SET enregistrés toutes catégories confondues

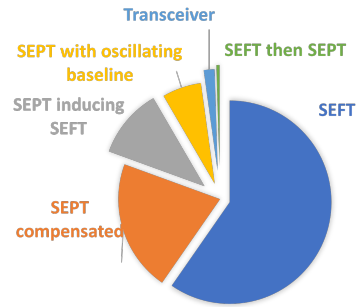


FIGURE 5.39 – Catégorie de SET observés

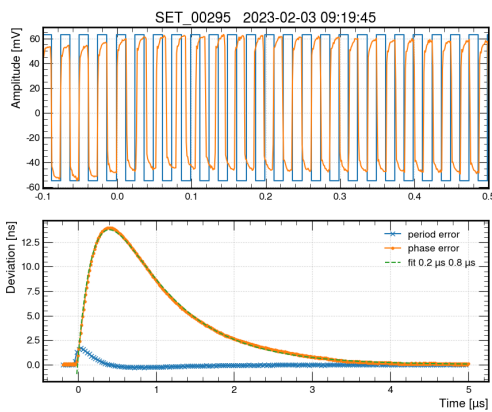


FIGURE 5.40 – Erreurs de phase et de période d'un SEFT (SET du VCO)

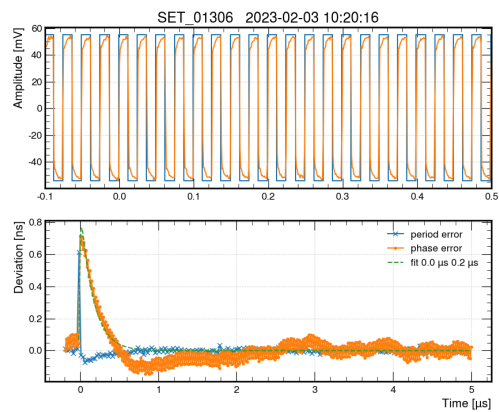


FIGURE 5.41 – Erreurs de phase et de période d'un SEPT suivi d'un SEFT

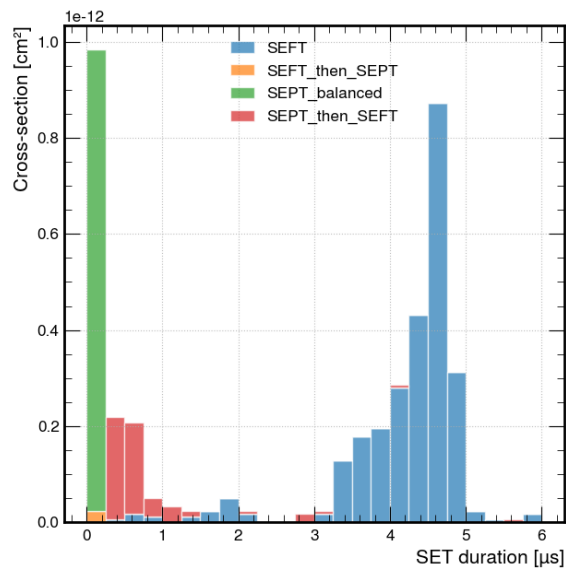


FIGURE 5.42 – Histogramme des durées des SET

puis SEFT causent des sauts de phase plus faibles que ceux affectant initialement le VCO (SEFT). Dans le premier cas, le VCO produit une réponse proportionnée en réaction à l'erreur modeste de phase induite par le SEPT. À l'inverse, un SEFT se traduit pour le VCO par un déplacement ample et brutal de son point de fonctionnement sur sa caractéristique tension-fréquence, à cause de son large gain.

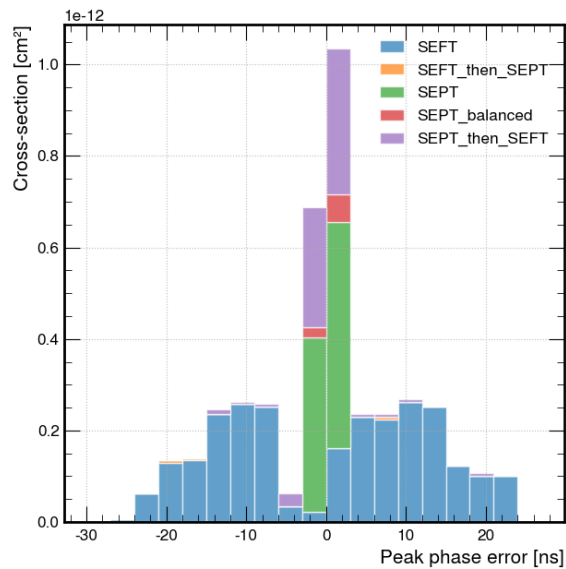


FIGURE 5.43 – Histogramme des erreurs de phase pour les différents types de SET

5.4.3 Discussion

L'étude taxonomique des SET a montré qu'ils ont des profils variés en terme d'amplitude, de constante de temps et d'occurrence. En simulation, il est aisé de reproduire des SEFT ou des SEPT en injectant une charge électrique sur un noeud interne ou bien en sortie du VCO respectivement.

Tous les SET ont pu être reproduits en simulation à l'exception d'un seul type : les SEPT compensés. Malgré leur nombre, le seul scénario plausible requiert d'altérer l'horloge 640 MHz par 2 fois consécutives. Sur le scénario 5.33b, l'absence d'un front d'horloge à 640 MHz dans la première demie-période de la 40 MHz la retarde exactement de 1.56 ns. Elle est suivie d'un double front dans la deuxième demie-période, qui lui permet de rattraper son retard.

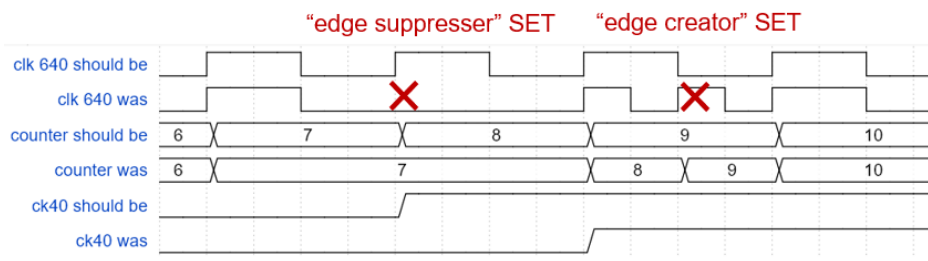


FIGURE 5.44 – Exemple de scénario à l'origine d'un SEPT compensé

5.4.4 Ouverture : intérêts des techniques de cartographie

Lorsque la simulation ne permet plus d'identifier l'élément sensible d'un design, des techniques de cartographie se substituent à notre imagination pour l'isoler. Ces méthodes offrent toutes deux une grande résolution spatiale de l'ordre du micromètre (FWHM). On utilise alors soit des micro-faisceaux d'ions lourds, soit un laser. Bien que non mises en oeuvre faute de temps, un bref aperçu de leur intérêt est décrit ci-après.

Exemple avec 2 versions du lpGBT :

La PLL du lpGBT est basée sur un oscillateur LC contrôlé en tension, comme illustré sur la figure 5.46 (figures extraites de [21]). L'utilisation d'un laser dit Two Photons Absorption (TPA) a permis de mettre en évidence la sensibilité de la diode varicap formant la capacité du circuit résonant. Un laser génère des paires électron-trou directement au sein du substrat du silicium à l'aide du phénomène d'absorption de 2 photons coïncidents. L'énergie d'un photon à ces longueurs d'onde (1.55 μm soit 0.7 eV) ne serait pas suffisante pour ioniser la matière (car inférieure à l'énergie de la bande interdite du silicium, 1.12 eV), le faisceau est donc focalisé dans un volume inférieur au μm^3 (une calibration en profondeur est nécessaire). La diode varicap permettant de contrôler la fréquence d'oscillation, présente ici une large section efficace de par sa surface (de l'ordre de 2500 μm^2) En effet, alors que seul l'interstice en-dessous de la grille sert de capacité, l'intégralité de la zone de déplétion (nwell) collecte toute charge déposée (figure 5.45) Un SET s'apparente donc à une fuite de charges emmagasinées dans la capacité du VCO. Ce courant (de fuite) peut être jugulé en modifiant l'architecture du VCO (se référer au chapitre 7 de l'ouvrage [21]).

Cette technique présente toutefois des contraintes de mise en oeuvre. En effet, les couches métalliques réfléchissant ces longueurs d'ondes, le laser illumine donc un substrat aminci depuis sa face arrière, tandis qu'une caméra en proche infrarouge image justement les couches de métal au travers du substrat. Une pierre d'achoppement de cette technique est l'absence d'équivalence entre l'énergie des pulses lumineux émis (de l'ordre du nanojoule) et la charge électrique déposée, le mécanisme impliqué étant non-linéaire.

Une seconde méthode de cartographie existe, basée sur l'utilisation de micro-faisceaux d'ions lourds et complémentaire du laser TPA. Une version ultérieure du lpGBT a été testée avec cette technique, afin d'expliquer pourquoi la PLL souffrait toujours de SET malgré les corrections liées à la diode varicap. Des sauts de phase ont ainsi été observés en ions lourds 5.47 : jusqu'à 400 ps

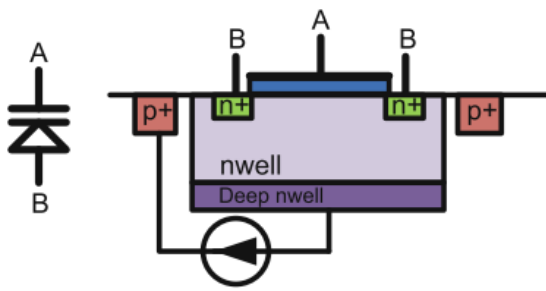


FIGURE 5.45 – Coupe de la diode varicap NMOS

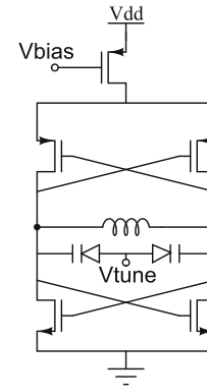


FIGURE 5.46 – Architecture initiale de l'oscillateur LC du lpGBT

d'amplitude, durant en moyenne $30\mu\text{s}$ mais pouvant s'étendre jusqu'à la milliseconde (figures extraites de [2])

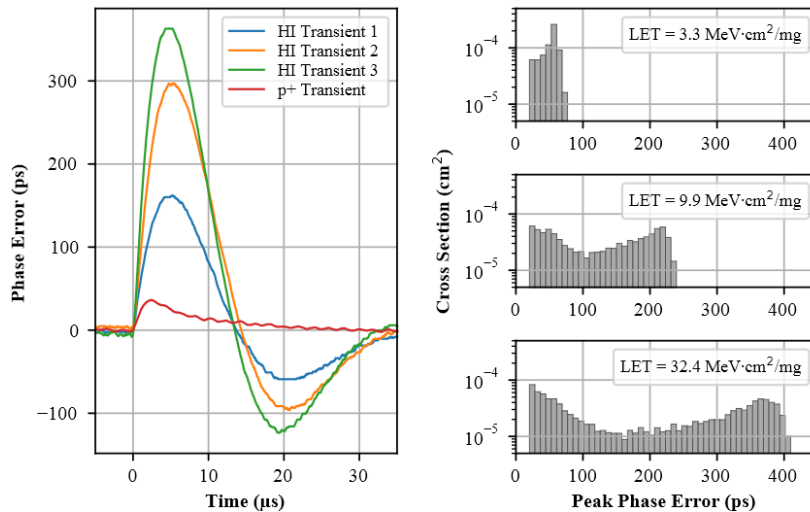


FIGURE 5.47 – Comparaison de transitoires imputés à des SET sous ions lourds et proton (gauche). Distribution des erreurs de phase pour divers LET (droite), d'après [2]

Alors que les techniques laser TPA ne révélaient aucune zone sensible, des micro-faisceaux d'ions lourds ont permis d'identifier la bobine comme responsable des SET. En effet, la concomitance des résultats en faisceaux d'ions lourds, proton et laser a suggéré que ce phénomène ne résultait pas de la génération de porteur de charges au sein du substrat, mais bien d'une modification des capacités parasites situées sous la bobine.

Plusieurs éléments détaillés dans [4] étayent cette thèse : tout d'abord, la densité de charges créées par ionisation se résorbe systématiquement en moins de 10 ns. Aucune constante de temps du circuit lui-même n'atteint les $30\mu\text{s}$: la bande passante est de l'ordre de 20 MHz une fois la PLL verrouillée. Ensuite, l'ajout d'un blindage en dessous de l'inductance, supposé drainé les charges à la masse n'a eu aucune incidence sur les transitoires. En outre, le laser TPA a mis en évidence l'absence de réponse du circuit sollicité, même en ciblant expressément l'inductance avec des pulses de haute énergie (3 nJ), équivalents à un LET de 50 Mev. Or, ce type de laser à absorption à 2 photons ne peut stimuler la génération de paires électron-trou que dans le silicium mais pas les couches de diélectrique, contrairement aux protons et ions lourds. En effet, la bande interdite y est plus grande (9.3 eV). La recherche de phénomènes prenant place dans le SiO_2 et ayant de telles constantes de temps pointe vers un effet des trous ou des lacunes du SiO_2 . La permittivité électrique s'en trouverait modifiée temporairement, affectant ainsi la capacitance parasite de la

bobine à 2 tours et donc la fréquence de résonance. Néanmoins, cette investigation se heurte à l'impossibilité d'avoir recours à la simulation, faute de données technologiques.

5.5 Deuxième campagne de SET

La deuxième campagne de test en SET s'est déroulée à Nice en juin 2023 au centre de proton-thérapie Antoine Lacassagne.

5.5.1 Limites de la première campagne

Si la sensibilité d'un oscilloscope pour mesurer une variation de période peut être aussi petite que 200 ps, son erreur de phase associée est de l'ordre de 2 ns. Ainsi, l'ensemble des sauts de phase ne dépassant pas ce seuil ne sont pas détectés alors qu'ils sont néfastes pour la mesure de temps. L'utilisation d'un oscilloscope est donc une limitation sur l'estimation de la section efficace de la PLL. Sur la figure 5.48, l'erreur de phase est tracée en fonction de l'erreur de période pour l'ensemble des SET s'étant produit dans le VCO. On distingue une zone morte au centre de la figure pour laquelle l'oscilloscope n'a pas détecté d'évènements.

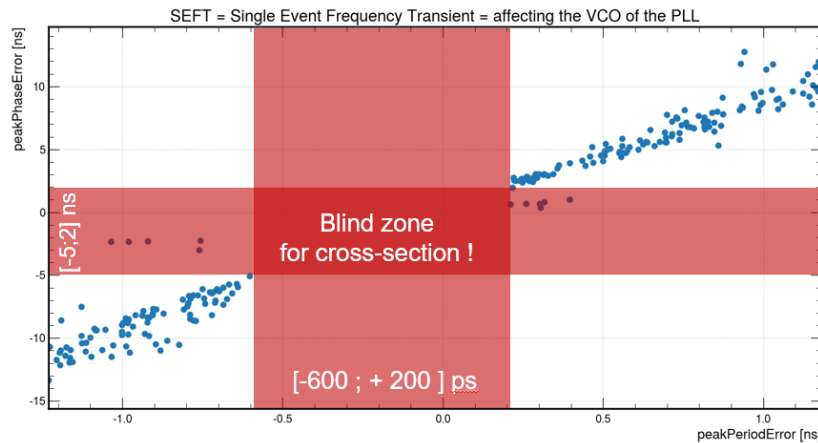


FIGURE 5.48 – Erreur de phase en fonction de l'erreur de période pour les SET liés au VCO

5.5.2 Mesurer une phase

Afin de réduire la sensibilité sur les sauts de phase de [-5; +2] ns à moins de 200 ps, un nouvel équipement est mise en oeuvre pour monitorer directement la phase et non la période. Il est basé sur un SDR (Software Defined Radio) du commerce produit par Nuand. La carte BladeRF (voire figure 5.49) peut être détournée pour servir de détecteur de phase avec une résolution de 1 ps RMS bien inférieure à l'enveloppe du jitter de la PLL. Le banc de test avait été développé en 2020 par Stefan Biereigel et utilisée notamment par l'équipe de test du LpGBT pour les mêmes besoins. [3]

Ce détecteur de phase (voire figure 5.50) fonctionne sur le principe de la downconversion en fréquence du signal d'horloge en une fréquence suffisamment basse pour être numérisée par un ADC. Idéalement, la fréquence cible pourrait être nulle mais le signal DC qui en résulterait serait sujet au bruit en $1/f$ et au courant de fuite de l'oscillateur embarqué (LO). Pour optimiser les performances du détecteur de phase, l'horloge de la PLL (à f_0) est donc mixée avec une horloge de fréquence intermédiaire $f_0 - f_s/4$, avec f_s la fréquence d'échantillonnage de l'ADC. Un filtre passe-bas sert à filtrer le niveau DC (porté à une fréquence plus élevée lors de l'étape de mixage). Enfin, la phase est obtenue grâce à la fonction $\arctan2$ appliquée aux signaux Q et I (i.e. les composantes respectivement en quadrature et en phase). Cette fonction présente l'intérêt de couvrir l'intervalle complet de 2π et d'être insensible au signe de la phase entre l'horloge de référence et l'horloge à

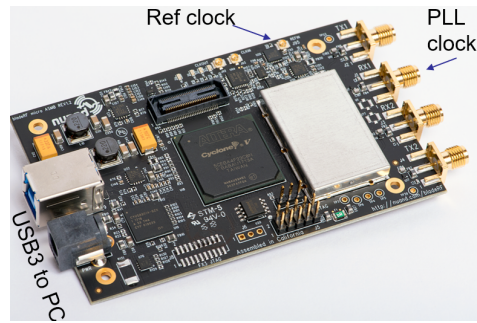


FIGURE 5.49 – Détecteur de phase Nuand BladeRF [19]

surveiller. Par ailleurs, aucune calibration n'est nécessaire. Néanmoins, seules les horloges de fréquence supérieures à 160 MHz peuvent être monitorés. Le traitement des données de phase est réalisé à la volée sur un ordinateur du commerce. La carte BladeRF utilise l'USB3 pour garantir un large débit de données à traiter par le PC (la fréquence d'échantillonnage peut atteindre jusqu'à 60 MHz). Lorsqu'un saut de phase se produit, la variation de la phase est détectée en fixant au préalable un seuil de déclenchement.

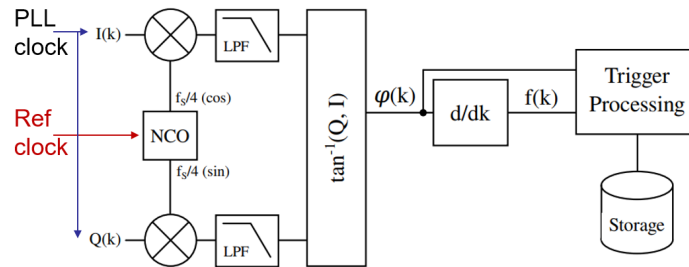


FIGURE 5.50 – Architecture du détecteur de phase Nuand BladeRF

5.5.3 Résultats et discussion

Lors de la campagne de Nice en juin 2023, l'oscilloscope a été remplacé par des détecteurs de phase. L'ASIC permettant d'observer 2 horloges, 2 détecteurs de phase ont compté les sauts de phase causés par des SET sur l'horloge de la PLL et du phase shifter (toutes les deux à 640 MHz). Les seuils de détection de SET n'ont pu être fixés qu'à respectivement à 124 et 162 ps, à savoir à environ 2 fois l'enveloppe de jitter attendu (13 ps RMS) avec la carte interface v2. La propagation des signaux dans 20 mètres de câble coaxial et dans le flexible bleu de 2 mètres est probablement à l'origine de la dégradation du jitter.

À l'issue de l'irradiation, seul le détecteur de phase monitorant le phase shifter a enregistré un nombre significatif de SET au cours de l'irradiation en proton. Le fonctionnement plus que partiel du deuxième détecteur de phase n'a pas été expliqué. On note également qu'une fraction importante des données correspond à des déclenchements intempestifs. Quelques cas particuliers peuvent être mentionnés :

- **SET de type step** : Lorsque des pertes de données se produisent dans la transmission jusqu'au PC, la phase décodée est temporairement erronée et dépasse le seuil. En effet, le reste de la conversion en fréquence pour atteindre le DC est réalisée en software grâce à un filtre digital de type FIR (Finite Impulse Response). Liée au choix $f_s/4$, cette opération consiste à multiplier de façon cyclique par une séquence $[-1, +1]$ les données brutes. Si la séquence est interrompue, un offset de phase se produit. Le détecteur de phase est à nouveau opérationnel au bout de quelques microsecondes dès que la moyenne mobile s'est réajustée. Sur 3h43 de mesure, une quinzaine d'évènements initiateurs ont provoqué une série de déclenchements consécutifs.

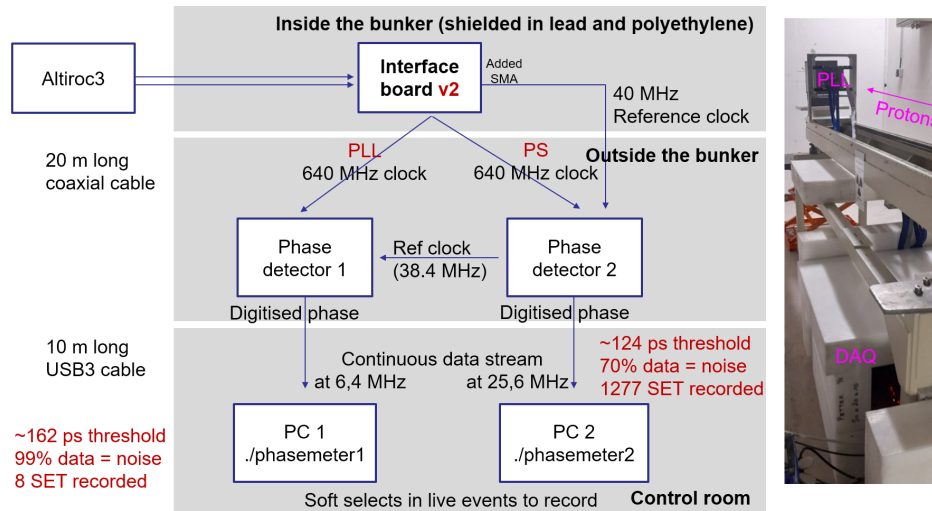


FIGURE 5.51 – Banc de test pour la campagne en SET de Nice

- La première campagne a montré des variations de l'amplitude de l'horloge, concomittant ou non avec des SET. Lorsque cette dernière varie, le jitter de l'horloge en pâtit. Ainsi, le seuil de détection placé au plus près de l'enveloppe du jitter est franchi.

La figure 5.52 montre le décompte des SET s'étant produit lors de l'irradiation en protons à Nice. Les 2 premières bandes de couleur bleu et verte montrent les instants où le détecteur phase et la PLL avec la DAQ étaient opérationnels respectivement. La campagne a permis de tester 4 flux d'irradiations différents : de $5 \times 10^8 \text{ p cm}^{-2} \text{ s}^{-1}$ à $5 \times 10^{10} \text{ p cm}^{-2} \text{ s}^{-1}$. Ainsi, la densité de SET (points bleus) augmente avec le flux de protons. Au total, 1277 SET ont été détectés dans l'horloge issue du phase shifter. Le nombre doit être pondéré par la valeur du flux et du temps d'irradiation pour obtenir la section efficace qui est de l'ordre de $(4.6 \pm 2.2) \times 10^{-12} \text{ cm}^2$. Cette valeur est globalement compatible avec le résultat de la campagne précédente alors que le seuil de détection est bien inférieur. Si l'on considère que le phase shifter n'a pas engendré de SET, alors l'intégralité des SET enregistrés proviennent de la PLL. Cette hypothèse est raisonnable puisque le phase shifter est tripliqué et ne possède pas d'éléments très sensibles (comme le VCO de la PLL).

Lors de la campagne de SET à Nantes, la PLL avait montré des excursions de phase pouvant atteindre jusqu'à 125 ns. La grande magnitude des sauts de phase n'a rien de surprenant puisque le VCO comporte des éléments faiblement capacitifs donc très facilement perturbable par un proton. Par ailleurs, en monitorant une horloge à 640 MHz, la gamme dynamique de mesure de sauts de phase est restreinte à 1.56 ns. Il est ainsi impossible de remonter à l'amplitude réelle des sauts de phase déconvoluée des effets de détecteur de phase. La figure 5.53 montre les amplitudes (mesurées au pic) des sauts de phase détectés, qui n'ont toutefois aucune signification.

Enfin, à cause du filtrage dû au phase shifter, l'ensemble des SET ont le même profil temporel, contrairement aux mesures de la première campagne. Il est donc impossible de les classifier. L'ensemble des SET classiques et de type "step" (décrit ici 5.5.3) sont superposés sur la figure 5.54.

En conclusion, la deuxième campagne a permis de valider la valeur de section efficace grâce à un détecteur de phase garantissant une sensibilité record de 124 ps.

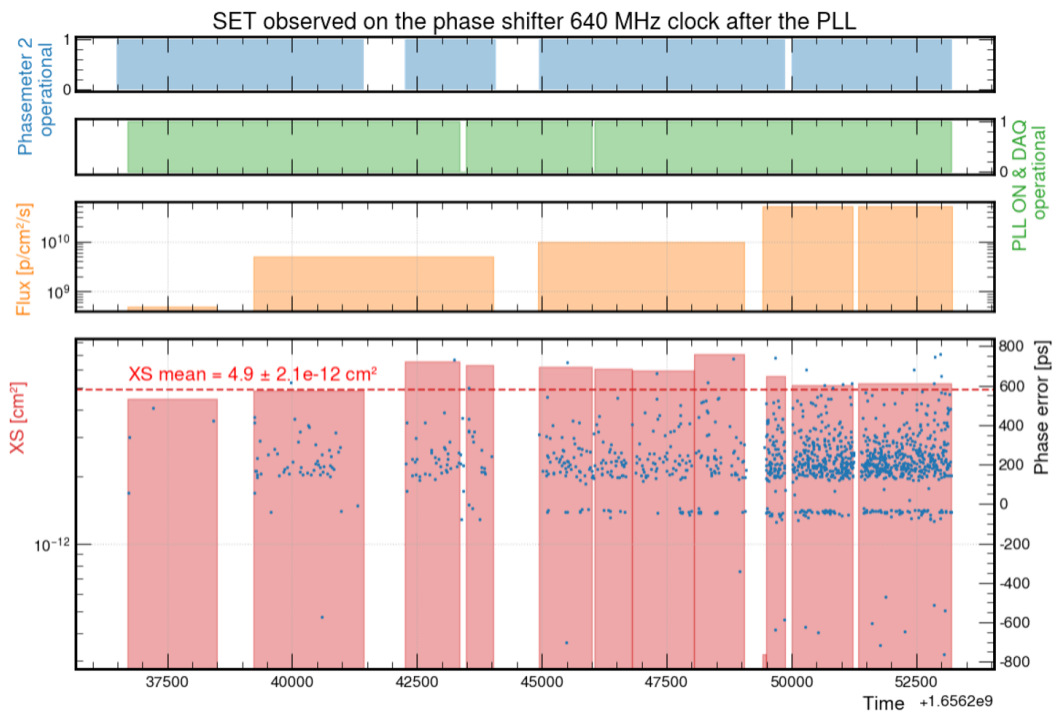


FIGURE 5.52 – Décompte des sauts de phase de la PLL tripliquée pendant l'irradiation en protons à Nice

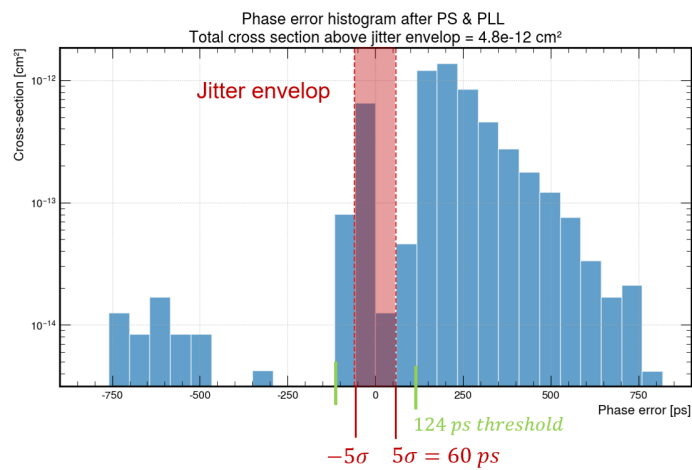


FIGURE 5.53 – Histogramme des amplitudes brutes de sauts de phase de la PLL tripliquée pendant l'irradiation en protons à Nice

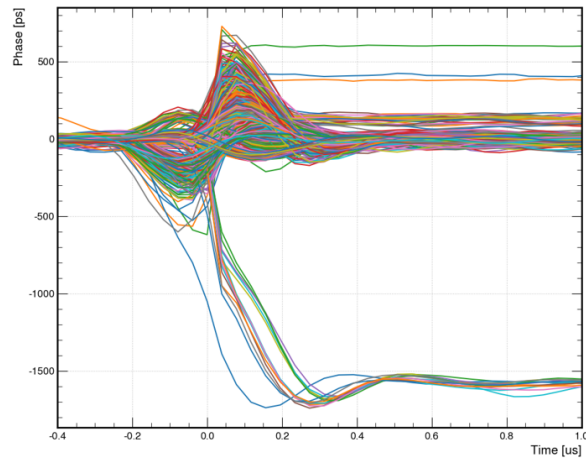


FIGURE 5.54 – Superposition des SET (et SET step) de la PLL tripliquée pendant l'irradiation en protons à Nice

5.6 Comparaison avec d'autres architectures

Une note applicative du lpGBT conclut à l'impossibilité d'utiliser la PLL (basée sur un LC-VCO) en milieux radiatifs sans subir de sauts de phase (i.e. mode "simplex transmitter" bannit). Ces erreurs de phase sont problématiques pour les applications de mesure de temps mais pas pour la transmission de données. En effet, l'écart de phase reste toujours en dessous de la période d'un bit à la fréquence maximale envisagée (1.28 GHz). Néanmoins, la comparaison est sans appel : les erreurs de phase observées à section efficace équivalente ($1 \times 10^{-12} \text{ cm}^2$) sont 1000 fois plus importantes avec un oscillateur en anneau qu'avec un LC (Figures 5.43 versus 5.55).

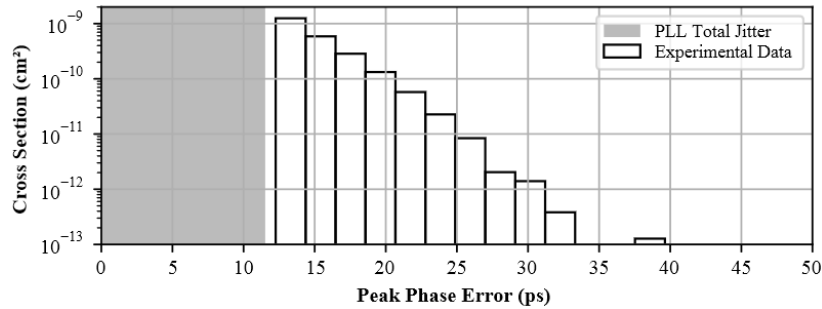


FIGURE 5.55 – Distribution des erreurs de phase de la PLL du lpGBT en irradiation par des protons de 200 MeV

Parmi les architectures de PLL tolérantes aux radiations et qui ont fait l'objet d'études récentes, on peut citer les travaux de [4, 6] qui semblent se porter vers des designs "purement digitaux". Les architectures conventionnelles, telles que celle testée, sont de moins en moins plébiscitées avec la réduction d'échelle des technologies CMOS. En effet, elle s'accompagne de la réduction des tensions d'alimentations rendant difficile l'intégration de fonctions analogiques. Mais aussi, l'intégration croissante de fonctions digitales, capables de traiter les données au plus près de leur génération, n'est pas sans impact sur les performances analogiques (couplages, bruit lié au commutation du digital). La figure 5.56 montre les résultats obtenus avec une architecture basée sur un oscillateur en anneau(x) avec une stratégie de durcissement originale. Plusieurs anneaux sont connectés en parallèle, morcelant ainsi l'action décisive de chacune des parties constitutives. La capacité de perturbation d'un SET se trouve donc diluée dans la surface élargie du DCRO (Digitally Controlled Ring Oscillator). Néanmoins, malgré des efforts considérables pour améliorer la résistance aux SEE de la PLL, son histogramme des sauts de phase présente une section efficace plus importantes de plusieurs ordres de grandeur qu'une architecture LC.

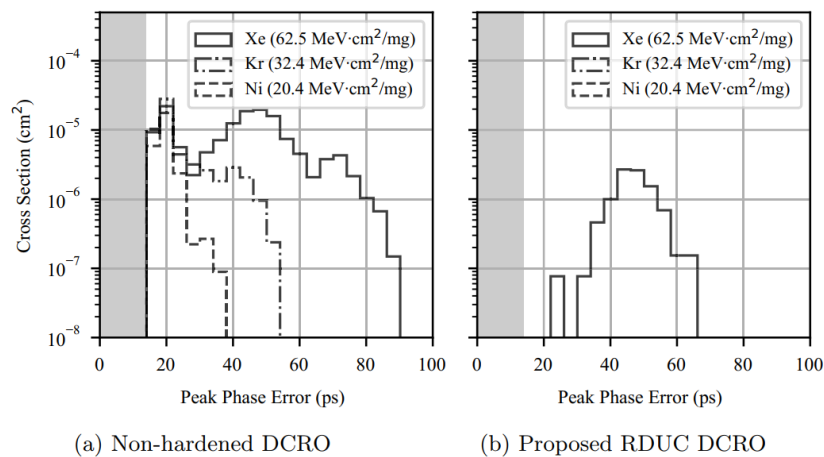


FIGURE 5.56 – Distribution des erreurs de phase d'une PLL durcie basée sur un DCRO en irradiation par des ions lourds

Contre-intuitivement, il est bien plus facile de rendre transparent aux hadrons un oscillateur volumineux mais fortement capacitif, qu'un minuscule oscillateur mais très peu capacitif.

5.7 Conclusion

En terme de jitter, les PLL de type LC s'avèrent supérieures à celles basées sur un oscillateur en anneau (RO), à puissance égale, du fait des performances en bruit de phase de leur oscillateur. Face aux SET, la conclusion est plus subtile. Les architectures durcies à base de LC présentent des amplitudes de saut de phase de l'ordre de 3 fois l'enveloppe du jitter, bien moindres que pour les RO, où plusieurs ordres de grandeur les séparent (ici 3). Toutefois, quelle que soit l'amplitude de leur excursion, la section efficace des RO leur confère un avantage sur les architectures LC pour le projet HGTD. En effet, ce n'est pas tant l'amplitude des sauts de phase qui compte que leur occurrence et le temps en erreur. En effet, dès lors qu'un SEE déforme l'enveloppe gaussienne du jitter de la référence de temps, alors son action déterministe entache la mesure de temps d'une erreur. L'apparition de SET dans la PLL étant un phénomène Poissonnien, son impact sur la mesure de temps ne peut être mesuré comme un simple jitter, écart-type d'une phase par rapport au nominal. La figure de mérite appropriée est le produit de la section efficace de tels événements par leur durée. En effet, plus l'excursion de phase est longue, plus les mesures erronées seront nombreuses. Or, le temps de récupération de la PLL suite à SET est minimisé par une grande bande passante. Dans le même temps, plus la bande passante de la PLL est grande, plus son jitter dépend de la qualité de l'horloge en entrée. Il existe donc un optimum durée des SET - jitter - puissance.

Au final, il est estimé que les SET touchant la PLL corrompent les données de temps du HL-LHC pendant quelques minutes par an pour l'ensemble du détecteur HGTD (totalisant 16k ASIC/PLL). Cela ne devrait donc pas empêcher "trop souvent" les physiciens de collecter de vraies données de physique. L'absence jusqu'alors de tolérances précises pour ces effets fins oblige donc à un dialogue constant avec les utilisateurs finaux, qui devront évaluer l'acceptabilité d'une telle fiabilité du détecteur.

Par ailleurs, d'autres composants indispensables pour la mesure de temps sont sensibles aux SEE, à commencer par les TDC qui ne sont pas tripliqués. L'impact des SEE sur ce composant est en cours d'évaluation, tout comme la résilience du sérialiseur aux sauts de phase, c'est-à-dire son taux d'échec de transmission des données. Pour ce faire, un temps connu est continuellement digitisé pendant irradiation proton et les données sérialisées sont étudiées. On peut toutefois signaler un apport de l'étude du circuit HGCROC conduite simultanément à Arronax². Le serialiseur ne semble être sensible qu'à une catégorie d'événements : les SEPT suivis de SEFT, provoquant des pertes de liens, c'est-à-dire la nécessité de resynchroniser les phases des horloges de l'ASIC avec l'extérieur. Enfin, si la mémorisation et le transport des données au sein de l'ASIC sont protégés des SEE par un Contrôle de Redondance Cyclique (CRC), capable non pas de corriger mais de détecter une corruption des données et de la signaler, ce n'est pas le cas de la PLL ou de la TDC par exemple. Le durcissement d'un ASIC aux SEE pose donc la question de l'effort de conception à engager pour réduire les sections efficaces ou bien améliorer la détectabilité des SEE.

5.8 Bibliographie

- [1] S. Baron. High-Precision Timing Clock generator board for timing characterization. [\url{https://gitlab.cern.ch/HPTD/hptc}](https://gitlab.cern.ch/HPTD/hptc), 2021. [viii](#), [98](#)
- [2] S. Biereigel. Application Note : Single-Event Effect Clock Phase Transients in Simplex Transmitter Mode. Technical Report November, 2021. [ix](#), [117](#)
- [3] S. Biereigel. Phase detector software based on BladeRF Nuand SDR. [\url{https://gitlab.cern.ch/sbiereig/sdr_phase_meas/}](https://gitlab.cern.ch/sbiereig/sdr_phase_meas/), 2021. [118](#)

2. ASIC développé pour le calorimètre HGCAL de l'expérience CMS

- [4] S. Biereigel. *Radiation-Tolerant All-Digital Clock Generators for High Energy Physics*. PhD thesis, 2022. URL <https://cds.cern.ch/record/2834952>. 105, 117, 123
- [5] S. Biereigel, S. Kulis, P. Moreira, A. Kölpin, P. Leroux, and J. Prinzie. Radiation-Tolerant All-Digital PLL/CDR with Varactorless LC DCO in 65 nm CMOS. 2021. doi : 10.3390/electronics10222741. URL <https://doi.org/10.3390/electronics10222741>. 94, 105, 106
- [6] S. Biereigel, S. Kulis, E. Mendes, P. Hazell, P. Moreira, and J. Prinzie. Radiation-tolerant all-digital clock generators for HEP applications. *Journal of Instrumentation*, 18(01) :C01060, 2023. doi : 10.1088/1748-0221/18/01/c01060. 123
- [7] D. A. Black, W. H. Robinson, I. Z. Wilcox, D. B. Limbrick, and J. D. Black. Modeling of Single Event Transients with Dual Double-Exponential Current Sources : Implications for Logic Cell Characterization. *IEEE Transactions on Nuclear Science*, 62(4) :1540–1549, 2015. ISSN 00189499. doi : 10.1109/TNS.2015.2449073. 91
- [8] G. Borghello, I. Dawson, F. Faccio, M. Huhtinen, and S. Menke. Safety Factor and Testing Procedure Recommendations of the Radiation Effects Task Force. 2020. 107, 108
- [9] Y. Boulghassoul, L. W. Massengill, A. L. Sternberg, B. L. Bhuva, and W. T. Holman. Towards SET Mitigation in RF Digital PLLs : From Error Characterization to Radiation Hardening Considerations. *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, 53(4), 2006. doi : 10.1109/TNS.2006.876035. 94
- [10] D. Boumediene, F. Jouve, D. Lambert, R. Madar, S. Manen, O. Perrin, L. Royer, A. Soulier, and R. Vandaele. Measurement of Single Event Effect cross section induced by monoenergetic protons on a 130 nm ASIC. *JINST*, 17 :11, 2022. URL <http://arxiv.org/abs/2112.05720>. 93
- [11] Y. P. Chen, L. W. Massengill, B. L. Bhuva, W. T. Holman, T. D. Loveless, W. H. Robinson, N. J. Gaspard, and A. F. Witulski. Single-Event Characterization of Bang-bang All-digital Phase-locked Loops (ADPLLs). *IEEE Transactions on Nuclear Science*, 62(6) :2650–2656, 2015. ISSN 00189499. doi : 10.1109/TNS.2015.2496799. 94
- [12] P. Everaerts. Effets TID et SEU des technologies 130 nm de TSMC et GF. [\url{https://indico.cern.ch/event/863071/contributions/3738776/attachments/2044718/3425249/ACES_talk_new.pdf}](https://indico.cern.ch/event/863071/contributions/3738776/attachments/2044718/3425249/ACES_talk_new.pdf), 2020. 96
- [13] L. Gonella, F. Faccio, M. Silvestri, S. Gerardin, D. Pantano, V. Re, M. Manghisoni, L. Ratti, and A. Ranieri. Total Ionizing Dose effects in 130-nm commercial CMOS technologies for HEP experiments. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 582(3) :750–754, 2007. ISSN 01689002. doi : 10.1016/j.nima.2007.07.068. 92, 95
- [14] M. Huhtinen and F. Faccio. Computational method to estimate Single Event Upset rates in an accelerator environment. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 450(1) :155–172, 2000. ISSN 01689002. doi : 10.1016/S0168-9002(00)00155-8. 92, 106, 111
- [15] S. M. Jung and J. M. Roveda. A radiation-hardened-by-design phase-locked loop using feedback voltage controlled oscillator. *Proceedings - International Symposium on Quality Electronic Design, ISQED*, 2015-April :103–106, 2015. ISSN 19483295. doi : 10.1109/ISQED.2015.7085407. 95
- [16] G. F. Knoll. *Radiation Detection and Measurement*. 2017. ISBN 9780470131480. doi : 10.4274/nts.018. 90

- [17] S. Kulis. Single Event Effects mitigation with TMRG tool. *Journal of Instrumentation*, 12(01) :C01082, 1 2017. ISSN 1748-0221. doi : 10.1088/1748-0221/12/01/C01082. URL <https://iopscience.iop.org/article/10.1088/1748-0221/12/01/C01082><https://iopscience.iop.org/article/10.1088/1748-0221/12/01/C01082/meta>. 93
- [18] T. D. Loveless, L. W. Massengill, W. T. Holman, B. L. Bhuva, D. McMorrow, and J. H. Warner. A generalized linear model for single event transient propagation in phase-locked loops. *IEEE Transactions on Nuclear Science*, 57(5 PART 3) :2933–2947, 2010. ISSN 00189499. doi : 10.1109/TNS.2010.2066287. 94
- [19] Nuand. BladeRF Nuand SDR. \url{https://www.nuand.com/product/bladerf-xa4/}, 2022. ix, 119
- [20] J. Prinzie, M. Steyaert, and P. Leroux. A Single-Event Upset Robust , 2 . 2 GHz to 3 . 2 GHz , 345 fs Jitter PLL with Triple-Modular Redundant Phase Detector in 65 nm CMOS. pages 285–288. 94
- [21] J. Prinzie, M. Steyaert, and P. Leroux. *Radiation Hardened CMOS Integrated Circuits for Time-Based Signal Processing*. 2018. ISBN 9783319786155. 91, 94, 116
- [22] D. Villoing, C. Koumeir, A. Bongrand, A. Guertin, F. Haddad, V. Métivier, F. Poirier, V. Potiron, N. Servagent, S. Supiot, G. Delpon, and S. Chiavassa. Technical note : Proton beam dosimetry at ultra-high dose rates (FLASH) : Evaluation of GAFchromic™ (EBT3, EBT-XD) and OrthoChromic (OC-1) film performances. *Medical Physics*, 49(4) :2732–2745, 2022. doi : <https://doi.org/10.1002/mp.15526>. URL <https://aapm.onlinelibrary.wiley.com/doi/abs/10.1002/mp.15526>. 108

Chapitre 6

Mesure de temps en photon unique avec des SiPM

*En essayant continuellement, on finit par réussir.
Donc : plus ça rate, plus on a de chance que ça marche.*

DEVISE SHADOKS

Ce chapitre vise à mettre en perspective les problématiques de lecture de détecteurs LGAD avec celles des SiPM quant à la mesure de temps en photon unique. Les conséquences sur le choix d'architecture du front-end analogique seront présentées ainsi que des résultats de mesure de l'ASIC LIROC. Plusieurs SiPM de différents fabricants ont été testés au cours des 3 dernières années. Seuls les plus prometteurs figurent dans ce chapitre.

6.1 Détection de photon unique

6.1.1 Intérêt des SiPM

Historiquement, la détection de photon unique a été rendue possible dans les années 30 grâce aux tubes photomultiplicateurs : une série de dynodes amplifie par émission secondaire les électrons arrachés à une photocathode par effet photoélectrique. Quoique toujours privilégié pour la construction de nouveaux détecteurs, comme pour l'expérience Hyper-Kamiokande au Japon, l'apparition des silicon photo-multiplier (SiPM) dans les années 2000 a pallié à leur coût de fabrication, leur efficacité quantique limitée (notamment dans l'infrarouge) ainsi que leur seuil d'endommagement élevé. Ces 3 arguments en font notamment un détecteur de choix pour les applications LIDAR pour l'automobile. Comparés aux PMT, les SiPM requièrent également une faible tension de polarisation, présentent une plus faible variation de leur réponse à un photon unique et un plus faible encombrement.

Les SiPM se caractérisent également par leur insensibilité aux champs magnétiques (particulièrement utile dans les expériences de physique des particules où la courbure des trajectoires des particules chargées soumises au champ magnétique renseigne sur leur moment), leur fort gain ($\sim 10^5$), leur grande efficacité de détection de photon (notée PDE pour *Photon Detection Efficiency* $\sim 40\%$) et leur excellente résolution temporelle.

Les capacités de comptage de photons et l'augmentation de la résolution temporelle de la mesure de leur temps d'arrivée ouvrent par exemple le champ à la démocratisation de l'imagerie médicale dite TOF-PET (Time-Of-Flight Positron Emission Tomography) grâce à une réduction de la dose équivalente absorbée par le patient. On peut également citer la spectroscopie de fluorescence qui a recours à des techniques de TCSPC (Time-Correlated Single Photon Counting) pour mesurer des temps de décroissance. Pour accroître la sensibilité des détecteurs silicium à d'autres particules ou longueurs d'onde, ils sont alors couplés à des cristaux, comme nous le verrons en détail dans le chapitre.

6.1.2 Principe de fonctionnement d'un SiPM

Un SiPM est un détecteur semiconducteur qui convertit le rayonnement lumineux en signal électrique avec une sensibilité d'un photon. Un SiPM est constitué d'une matrice de plusieurs centaines de *Single Photon Avalanche Diodes* (SPAD) d'une dizaine de μm de côté. En raison du régime de polarisation employé, ces micro-cellules sont également appelées *Geiger Mode Avalanche Photo Diode* (GM-APD). En effet, lorsque la polarisation (inverse) de la diode dépasse la tension de claquage (notée V_{bd} pour *breakdown voltage*), alors le SiPM entre en régime de Geiger-Müller, comme représenté par la flèche (1) sur la figure 6.1. Ainsi, chaque ionisation primaire - due à l'absorption d'un photon d'énergie supérieure à la largeur de bande interdite (band gap) libérant une paire électron-trou - entraîne une avalanche d'électrons secondaires (2). La paire électron-trou initiale est séparée puis accélérée par l'intense champ électrique régnant dans la jonction PN. Comme le nombre d'électrons générés par l'avalanche n'est plus proportionnel au nombre de photons incident et qu'un seul photon suffit à déclencher l'avalanche, on dit que le détecteur est sensible au photon unique. On considère généralement comme faible la probabilité que 2 photons interagissent dans la même cellule, étant donné leur petite taille. Ainsi, mises en parallèles, l'ensemble des micro-cellules du SiPM forme un détecteur capable de compter le nombre de photons, tant que la saturation n'est pas atteinte. Afin de détecter plusieurs photons

consécutifs, l'avalanche est étouffée à l'aide d'une résistance de *quenching* intégrée, qui permet le retour au point de polarisation initial (3).

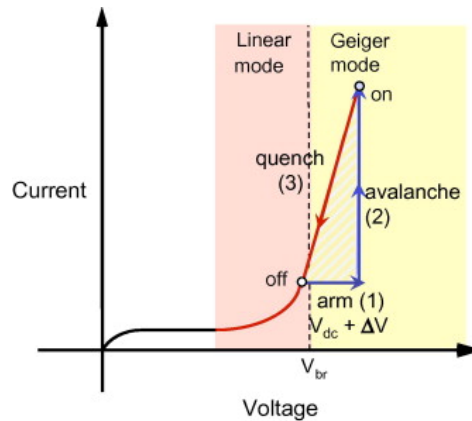


FIGURE 6.1 – Courbe I-V d'une avalanche dans un semiconducteur polarisé en mode Geiger

Contrairement au LGAD, les SiPM sont des détecteurs bien plus bruyant. En effet, à cause de leur régime de polarisation, ils se caractérisent par un déclenchement intempestif, conséquence du dark noise.

6.1.3 Modélisation des SiPM

Au premier ordre, un SPAD peut être modélisé comme une source de courant en parallèle d'une capacité détecteur. Le temps de collection des charges est bien inférieur à celui d'un LGAD, de l'ordre de 100 ps, portant la bande passante du signal en courant à 3.5 GHz. Ce détecteur est donc intrinsèquement mieux disposé que les LGAD pour la mesure de temps. Le courant généré par un SPAD sera donc modélisé par une impulsion de largeur 100 ps différenciant une charge Q .

Comme un SiPM est une collection de SPAD, on trouve dans la littérature une modélisation plus complète prenant également en compte les voies ne se déclenchant pas. La figure 6.2 représente le modèle de Corsi publié dans [3]. On distingue les $(N-1)$ SPAD voisins en parallèle du SPAD ayant détecté un photon.

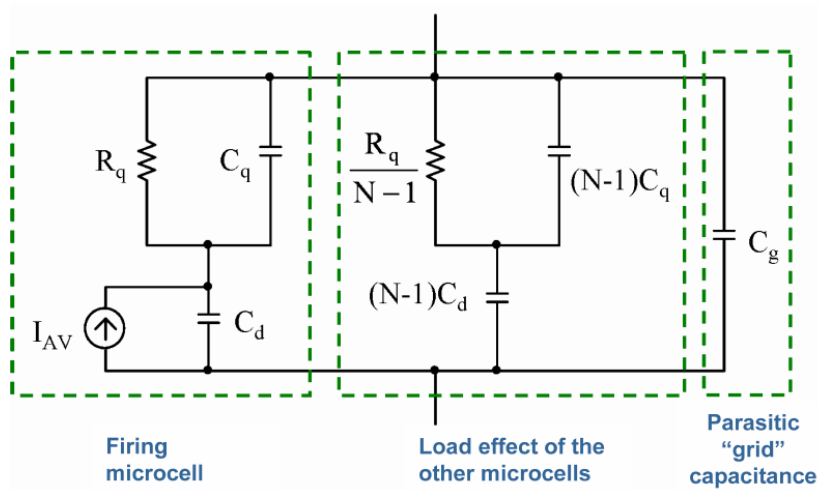


FIGURE 6.2 – Modèle de Corsi d'un SiPM

6.2 Description de LIROC

6.2.1 Architecture de l'ASIC

LIROC est un ASIC de front-end comportant 64 voies, destiné à la lecture de matrices de SiPM (de 8x8) délivrant des charges jusqu'à 1 pC. L'ASIC est constitué d'un préamplificateur rapide couplé DC au détecteur, suivi d'un discriminateur et d'un driver différentiel, comme représenté schématiquement sur la figure 6.3. Notons que le discriminateur peut être utilisé dans les deux polarités permettant ainsi de caractériser la largeur pic-pic du bruit de la ligne de base. La puissance par voie s'élève à 3 mW. Le circuit possède également un circuit d'annulation pôle-zéro qui sera décrit plus loin, permettant un retour rapide à la ligne de base. Afin de palier aux non-uniformités de gain entre les voies du SiPM, il est possible d'ajuster le niveau DC à l'entrée de chaque voie (et donc la polarisation du SiPM). Le circuit a été fabriqué en TSMC 130 nm et peut supporter des fluences jusqu'à plusieurs dizaines de Mrads. L'interface I2C de LIROC est par exemple tripliquée pour lutter contre les SEU (Single-Event Upsets). LIROC a été testé avec une carte d'évaluation développée par Weeroc comprenant un FPGA Cyclone V permettant la configuration et la caractérisation de l'ASIC avec un interface graphique dédiée.

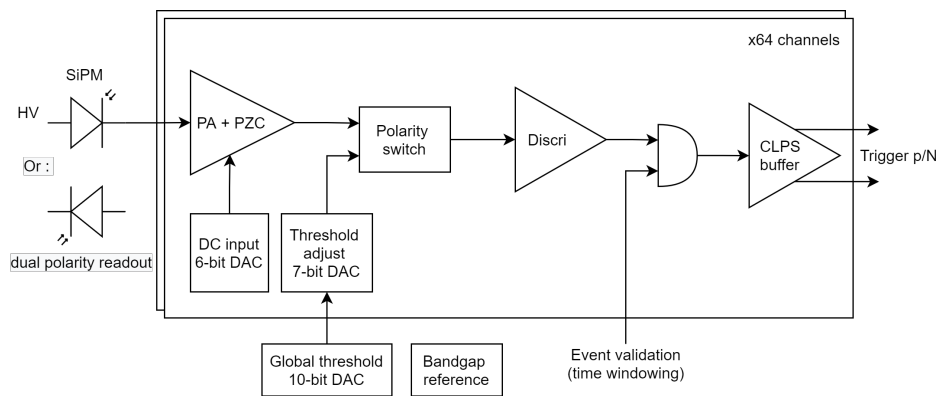


FIGURE 6.3 – Architecture simplifiée du LIROC

6.2.2 Impédance d'entrée

6.2.2.1 Résistance externe de conversion courant-tension

Contrairement à ALTIROC, l'impédance d'entrée de LIROC n'est pas fixée par le préamplificateur lui-même mais par une résistance externe shuntant l'entrée de 50 Ω . La conversion courant-tension est essentiellement effectuée par la capacité du détecteur, laquelle est déchargée par la résistance de 50 Ω pour permettre un rate plus élevé et la séparation de double pulse. Pour ne pas dépolariser l'étage d'entrée, la résistance est connectée en série avec une large capacité (100 nF) à la masse, comme illustré sur la figure 6.4.

L'impédance vue par le signal du détecteur diffère donc de l'impédance d'entrée de l'ASIC, comme illustré sur la figure 6.5. Alors que cette dernière varie de plusieurs décades (en magnitude), la résistance de 50 Ω la stabilise entre 35 et 50 Ω jusqu'à 4 GHz.

L'évolution en fréquence de l'impédance d'entrée du préamplificateur (6.7, prise en aval de la résistance de conversion de 50 Ω) peut être comprise à la lumière des équations développées au premier chapitre (2.4.1.1). Le schéma équivalent est donné figure 6.6.

L'impédance d'entrée est dominée à basse fréquence par le pôle-zéro jusqu'à ce qu'elle devienne négligeable devant l'impédance du préamplificateur. Cette dernière est d'abord stable en fréquence (R_f/G_0) puis croît avec l'inductance parasite formée par $R_f\omega_0/G_0$. Ce dernier terme s'efface devant l'impédance parasite du transistor à partir de la fréquence où la capacité grille-source capte tout le courant.

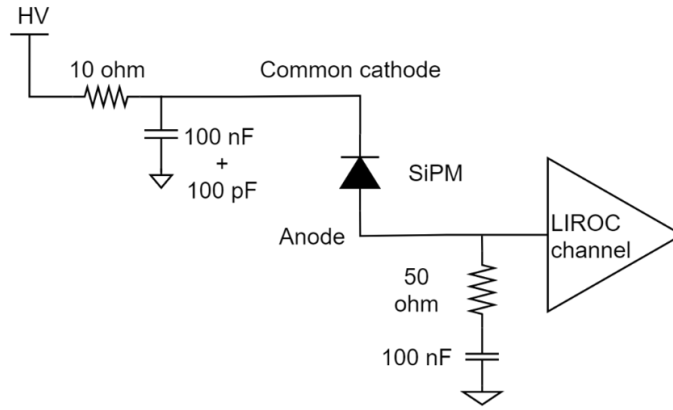


FIGURE 6.4 – Schéma de câblage de l'ASIC LIROC au SiPM avec le circuit de découplage de la haute-tension et la résistance de conversion courant-tension

6.2.2.2 Un pôle-zéro contre le pileup

Lorsque la capacité détecteur est (trop) grande et/ou que l'impédance d'entrée du TZ ne peut pas être réduite autant que désiré à cause de contraintes de puissance, le signal de tension aux bornes du détecteur présente un "long" temps de retour à la ligne de base. En effet, la constante de temps est définie par :

$$\tau = R_{in} * C_d \sim 5 \text{ ns} \quad (6.1)$$

où :

R_{in} est l'impédance d'entrée du préamplificateur vue par le détecteur dans la bande passante du signal (ici : $\sim 50 \text{ ohm}$)

C_d est la capacité du détecteur $\sim 100 \text{ pF}$

Tout signal injecté avant la restauration complète de la ligne de base crée un empilement de signaux. Cela se traduit par une fluctuation de l'amplitude du signal (et donc un excès de jitter).

Lorsque l'on différencie le signal à travers une capacité (détecteur et préamplificateur sont donc couplés AC), on obtient le signal de la figure 6.8. La résistance R_0 modélise ici l'impédance d'entrée du préamplificateur. Le temps de décroissance du signal est désormais donné par le produit $R_0 C_0$ où C_0 peut être fixé librement à une valeur bien inférieure à C_d . Néanmoins, le temps de décharge de l'armature opposée du condensateur C_0 dépend alors de la capacité de préamplificateur à absorber un courant. Cela provoque donc un long undershoot et donc une fluctuation de la ligne de base.

Le circuit de type pôle-zéro (PZC, placé en amont du préamplificateur) résout complètement tout baseline-walk en plaçant une résistance R_{PZ} en parallèle du condensateur C_0 . Le produit $C_0 R_{PZ}$ fixe la constante de temps et l'amplitude de l'undershoot.

La fonction de transfert du PZC fait clairement apparaître le pôle et le zéro du filtre :

$$\frac{V_{out,PZC}(s)}{V_{in}} \simeq \frac{R_0}{R} \frac{1 + sR_{PZ}C_0}{1 + sR_0C_0} \quad (6.2)$$

La simulation temporelle (figure 6.10) permet d'apprécier la réduction de largeur de pulse en sortie de PZC. Le signal de tension à l'entrée du PZC est tracé en bleu pour comparaison. On remarque également que ce filtrage passif se traduit par un léger déficit en amplitude. Notons par ailleurs que le préamplificateur ne souffre pas de pileup grâce au PZC, la tension en entrée du PZC voit sa ligne de base fluctuer. Alors que le niveau DC de l'anode varie, la tension de polarisation n'est donc pas rigoureusement constante, conduisant ainsi une fluctuation du gain, donc de l'amplitude des signaux.

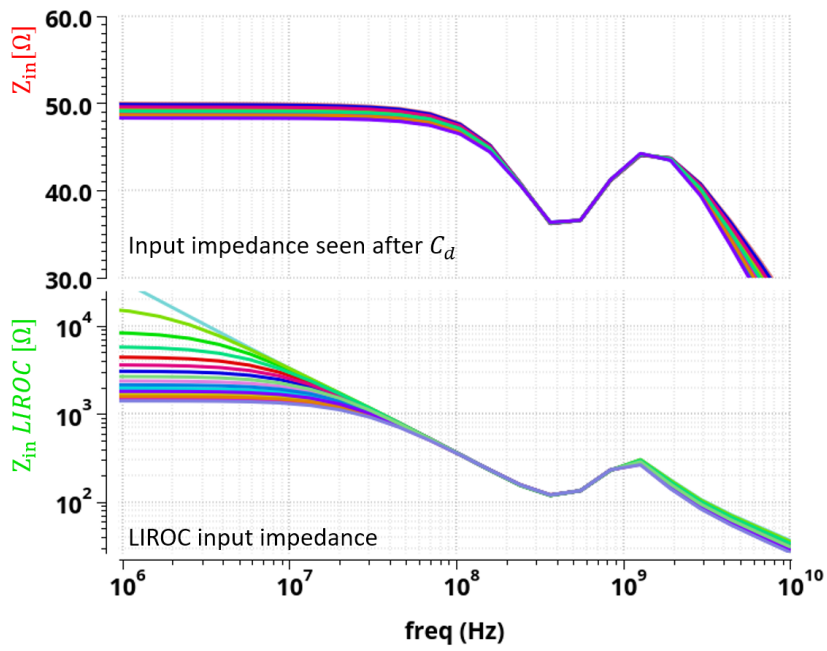


FIGURE 6.5 – Comparaison de l'impédance d'entrée du préamplificateur de LIROC à celle vue par le détecteur dans la bande de fréquences du signal (omettant C_d)

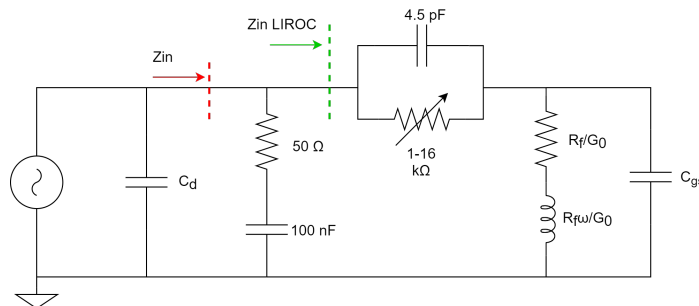


FIGURE 6.6 – Modélisation pour le calcul de l'impédance d'entrée du préamplificateur de LIROC

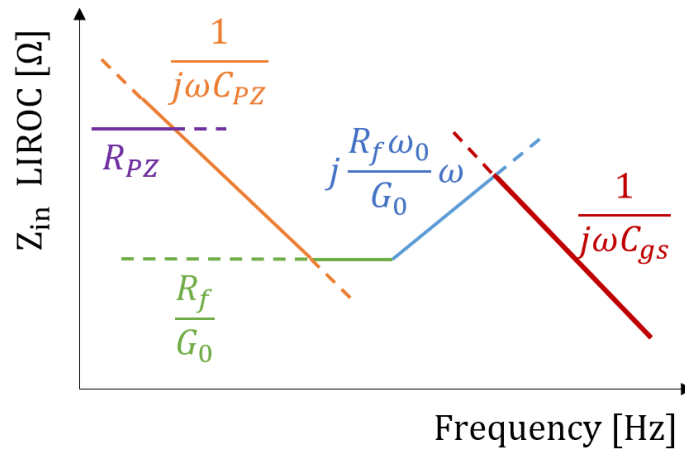


FIGURE 6.7 – Variation schématique de l'impédance d'entrée du préamplificateur de LIROC

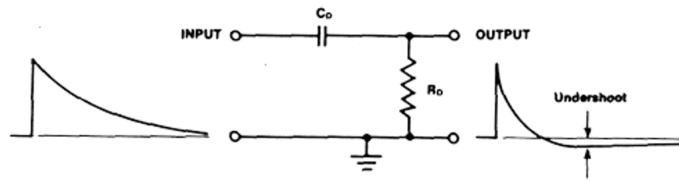


FIGURE 6.8 – Filtrage passif avec un passe-haut CR

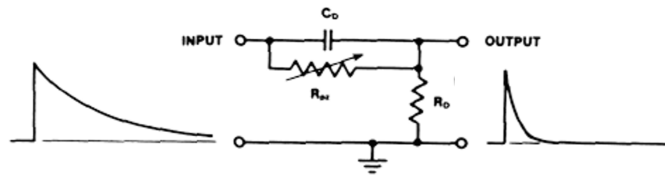


FIGURE 6.9 – Filtrage passif avec un circuit d'annulation pôle-zéro

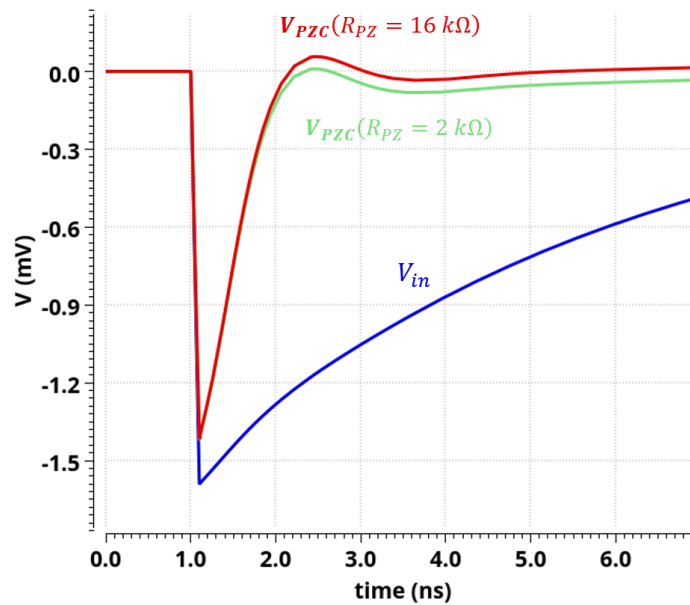


FIGURE 6.10 – Simulation de la réponse du circuit de pôle-zéro de LIROC à un signal du SiPM de 16 fC

6.3 Performances de LIROC

Comme pour ALTIROC, il existe plusieurs métriques pour caractériser les performances de l'ASIC : seuil minimal de déclenchement, bruit, gamme dynamique, jitter, etc. On ne s'intéressera ici qu'aux termes de jitter. En particulier, la mesure du Single Photon Timing Resolution (SPTTR) fait autorité pour comparer les architectures de lecture de SiPM. Il s'agit de quantifier la dispersion du temps d'arrivée d'un photon unique. Dans la communauté d'instrumentation pour l'imagerie médicale, il est commun de parler de résolution temporelle à mi-hauteur (FWHM) et non d'écart-type (RMS) de la Gaussienne. Pour maintenir une certaine cohérence entre les chapitres, toutes les valeurs seront cependant données en RMS.

La source de lumière peut être aussi bien un LASER rapide comme un cristal collé à un SiPM et excité par une source radioactive. Cette dernière est intéressante pour réaliser des mesures systèmes très proche des conditions réelles, comme par exemple avec l'imagerie TOF-PET. Enfin, connaissant la charge délivrée par un SiPM pour un photon reçu, on peut émuler l'injection de cette charge grâce à un générateur de signaux. Lorsqu'il s'agit de caractériser une électronique de lecture les performances intrinsèques du détecteur sont cruciales. Idéalement, le jitter du SiPM ne doit pas dominer la mesure système. Plusieurs SiPMs ont donc été testés afin de choisir ceux présentant le meilleur SPTTR. Ce chapitre traite des résultats obtenus pour deux SiPMs mono-voie de surface active 1 mm x 1 mm et produits par la Fondation Bruno Kessler (FBK) en Italie :

- LF-NUV-UHD-DA (Low Field, Near UV light, Ultra High Density, DA = medium fill factor), abrégé "FBK UHD-DA", avec des SPADs de 15 μm de côté.
- LF-NUV-HD-M3 (High Density), abrégé "FBK M3", avec des SPADs de 40 μm de côté.

Tous deux possèdent la même tension de breakdown (32.5 V à température ambiante) et sont constitués d'une jonction p-on-n.

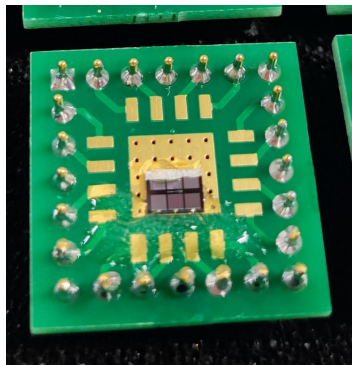


FIGURE 6.11 – Photographie de la structure de test de 3 SiPM 1 mm x 1 mm de la série FBK LF-NUV

6.3.1 Mesures avec un pulser rapide

La caractérisation de l'ASIC débute en émulant la charge délivrée par un SiPM à l'aide d'un pulser rapide. Un générateur de signaux carrés (Picosecond pulser 4600) injecte au travers d'une capacité une charge donnée ($Q = CV$). Elle est fixée pour un photoélectron à la valeur typique de 160 fC en faisant l'hypothèse que sa charge électrique q (1.602×10^{-19} C) est amplifiée par le SiPM d'un gain de l'ordre de $1E6$. Pour commencer, on substitue le SiPM déplété par une capacité d'une valeur équivalente. Dans ces conditions, il n'y a donc pas d'effets dus au dark noise. Au vu des dimensions du SiPM (1 mm x 1 mm), ce dernier a une capacité équivalente de l'ordre de 100 pF. Par ailleurs, la résistance de 50 Ω sert également d'adaptation d'impédance du câble SMA. Pour que le câble soit parfaitement adapté, il faudrait en principe rajouter un terme inductif. Le banc de test est illustré sur la figure 6.12.

Le signal digital, appelé trigger, issu du discriminateur est transmis en différentiel hors du chip à un FPGA puis observé à l'oscilloscope (Lecroy WaveRunner 610Zi) via un câble SMA en single-ended. On mesure le temps d'arrivée sur le front montant du discriminateur par rapport au pulse

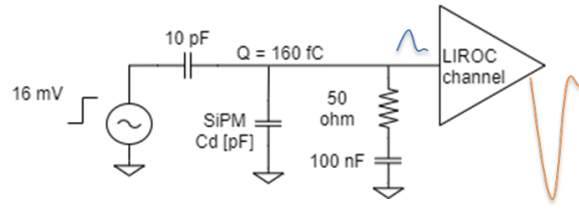


FIGURE 6.12 – Schéma du banc de test de LIROC avec un pulser rapide et une capacité détecteur équivalente (C_d)

injecté (la synchronisation de l'oscilloscope est assurée en dédoublant le signal injecté). La précision de la mesure temporelle étant limitée par les performances du banc de test, il a fait l'objet d'une caractérisation comme illustré sur la figure 6.13. En particulier, le temps de montée du pulser pour de faibles tensions/charges et le jitter de l'oscilloscope pénalisent la précision de la mesure. C'est pourquoi on privilégiera une faible valeur de capacité d'injection ($C_{inj} = 10$ pF) de sorte que le pulse de tension du pulser ne soit pas (trop) affecté par la limitation du slew rate du pulser. La sensibilité du jitter au temps de montée du pulser est un des points critiques de la mesure. Le jitter de l'oscilloscope est quant-à lui donné inférieur à 3.5 ps RMS avec un échantillonnage à 10 GSps (une mesure toutes les 100 ps), d'après le constructeur. Les mesures représentées sur la figure 6.13 sont donc corrigées quadratiquement de cette composante.

Les mesures de temps montrent que le plancher de jitter de 7 ps RMS est atteint pour des charges supérieures à 200 fC. La jitter est tracé pour deux valeurs de capacité détecteur différentes $C_d = 100$ pF ou bien absente. Plus la capacité détecteur est grande, plus le jitter croît rapidement avec une faible charge. Cette caractérisation permet donc de connaître a priori le jitter électronique dû au préamplificateur.

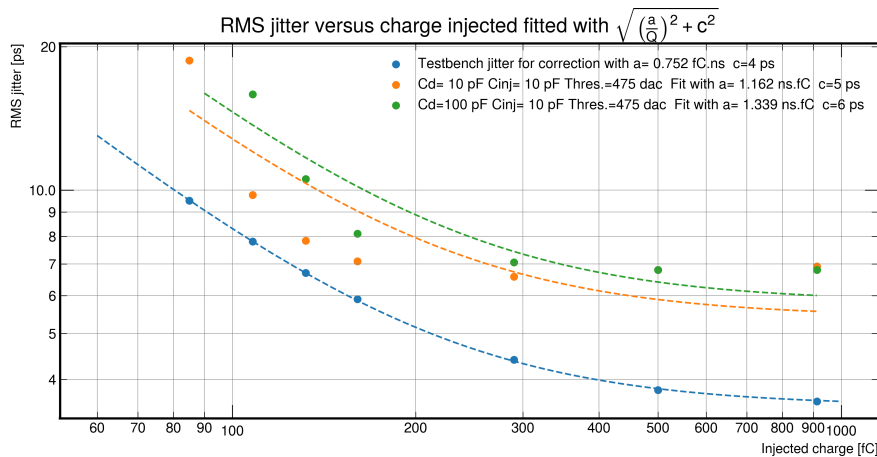


FIGURE 6.13 – Mesure de la résolution temporelle de LIROC en fonction de la charge injectée pour 2 valeurs de capacité détecteur différentes, fitté avec équation 6.3

Le jitter est donné par une composante hyperbolique avec la charge (d'après 3.50) plus un terme constant (dû au slew rate fini du préamplificateur et du discriminateur).

$$\text{Jitter}^2 = \left(\frac{a}{Q}\right)^2 + c^2 \quad (6.3)$$

Néanmoins, on remarque que la fonction introduisant un offset de charge suit (nettement) mieux les mesures (Figure 6.14, comme si l'estimation de la charge était erronée de la constante b :

$$\text{Jitter}^2 = \left(\frac{a}{Q+b} \right)^2 + c^2 \quad (6.4)$$

Pour les mesures avec la capacité $C_d = 100$ pF, on obtient $a = 410$ ps.fC, $b = -80$ fC et $c = 7$ ps. Pour des charges inférieures à b , le résultat n'a toutefois pas de réalité physique.

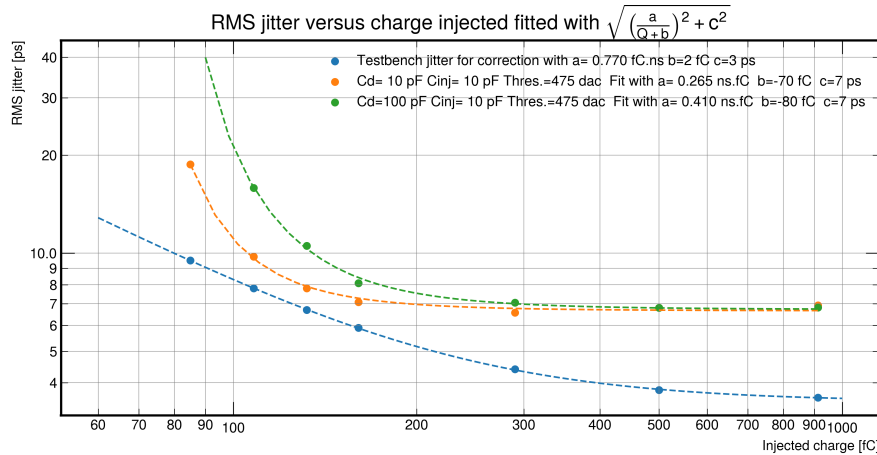


FIGURE 6.14 – Mesure de la résolution temporelle de LIROC en fonction de la charge injectée pour 2 valeurs de capacité détecteur différentes, fitté avec équation 6.4

Par ailleurs, pour cette mesure le choix du seuil a été optimisé afin de maximiser la pente du signal en sortie du préamplificateur. Sur la Figure 6.15, le jitter passe par un minima pour une valeur de seuil donné.

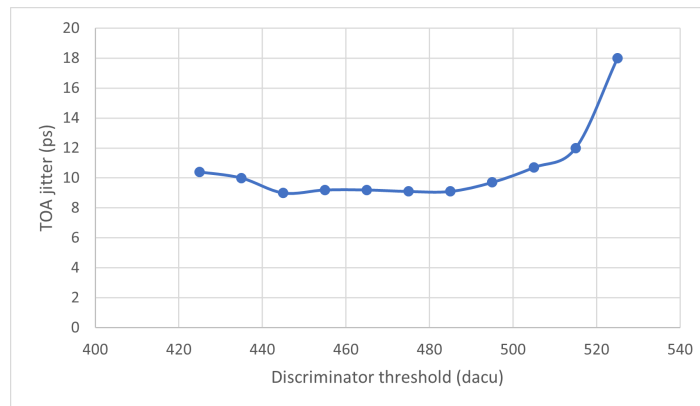


FIGURE 6.15 – TOA RMS non corrigé du jitter du testbench en fonction du seuil du discriminateur pour une charge de 160 fC injectée

6.3.2 Mesures avec un SiPM couplé à un cristal

Menées lors de 2 campagnes de tests en mai et octobre 2022, ces mesures ont été réalisées au sein de l'université d'Aix-la-Chapelle (RWTH) avec l'aide de l'équipe de Stefan Gundacker. On dispose d'une source radioactive de Na^{22} de 2.2 MBq (mai 2022) produisant par décroissance β^+ des positrons qui s'annihilent avec un électron de la matière environnante. Ce phénomène est à l'origine de l'émission simultanée de 2 rayonnements gamma de 511 keV dans des directions diamétralement opposées. On cherche à mesurer la dispersion des temps d'arrivée des 2 gammas détectés en coïncidence par LIROC d'un côté et la référence de temps de l'autre côté. Comme les décroissances radioactives suivent un processus de Poisson, on ne dispose pas d'une référence

temporelle. La détection du deuxième gamma par un système à faible jitter permet de mesurer l'arrivée des deux γ en coïncidence, comme représenté sur la figure 6.16.

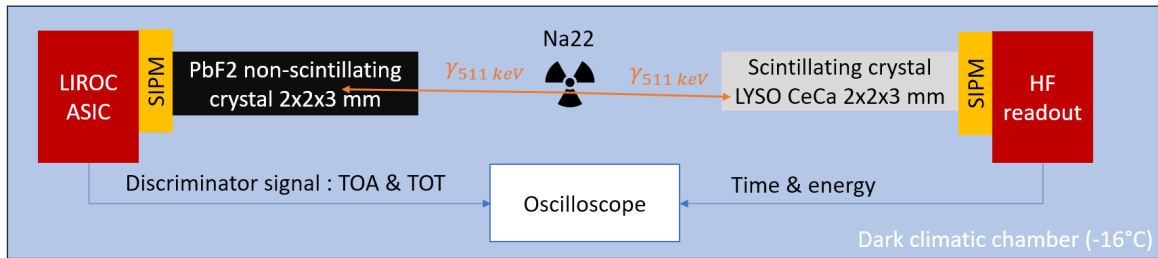


FIGURE 6.16 – Banc de test de LIROC+SiPM+Cristal PbF2

6.3.2.1 Description de la référence de temps

L'interaction rayonnement-matière d'un gamma dans un cristal scintillant LYSO :Ce,Ca (Cerium-doped lutetium-orthosilicate Calcium-codoped, parallélépipède de 2x2x3 mm, $n = 1.582$) produit une grande quantité de photons (de l'ordre de 40k par MeV incident). [5] Le SiPM (3 mm x 3 mm) couplé optiquement à une face transversale collecte les photons. Les 4 parois latérales du cristal sont polies et enroulées dans du Téflon blanc afin de maximiser l'efficacité de collection des photons par réflexion. Le large signal issu d'un SiPM Broadcom AFBR-S4N33C013 (SPAD de 30 μm est amplifié par une électronique de référence dont le schéma est donné ci-dessous (Figure 6.17). Le SiPM est maintenu polarisé à une tension constante de 37 V ($V_{bd} = 26.5$ V), c'est-à-dire $OV = 10.5$ V qui maximise les performances de la références, décrites ci-après.

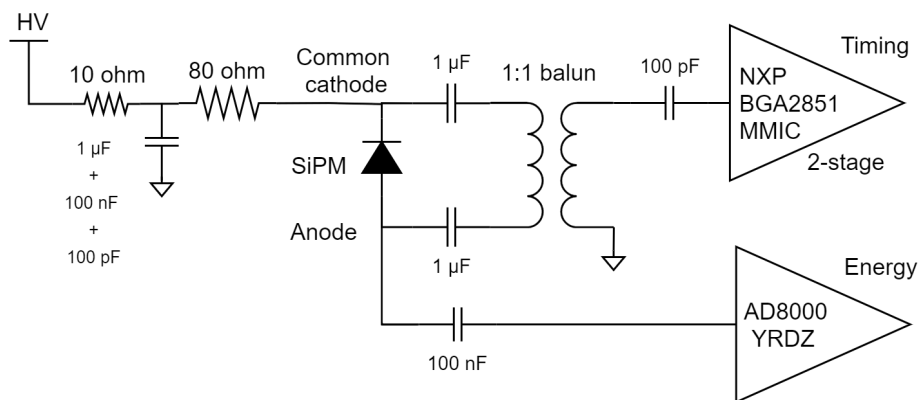


FIGURE 6.17 – Schéma d'instrumentation du SiPM servant de référence de temps

Précisons que le balun n'est pas utilisé pour réduire l'impédance du détecteur vue par le pré-amplificateur grâce à un ratio 1 : N avec $N > 1$, mais pour s'affranchir des variations de la ligne de base (passe-haut), en sondant en différentiel le signal aux bornes du SiPM. Pour la mesure de temps, le signal est ensuite amplifié dans 2 amplificateurs du commerce cascades possédant une bande passante supérieure à 2.2 GHz.

6.3.2.2 Performances de la référence de temps

La caractérisation de la référence de temps est primordiale pour corriger les résultats mesurés côté LIROC. En effet, le jitter pour un photon détecté s'écrit :

$$SPTR_{LIROC + FBK SiPM}^2 = SPTR_{Mesuré}^2 - TR_{Référence}^2 \quad (6.5)$$

où TR est la résolution temporelle de la référence (où plus d'un photon est reçu pour réduire sa contribution au jitter total mesuré). La caractérisation en coïncidence de la référence est menée

au préalable : l'ensemble SiPM + électroniques HF + cristal est dupliqué pour instrumenter de chaque côté un gamma. À l'oscilloscope, on mesure la différence de temps d'arrivée des gammas dans les 2 systèmes miroirs. La résolution de la mesure en temps de photons (quel que soit leur nombre) en coïncidence s'appelle le CTR (Coincidence Timing Resolution) et s'exprime :

$$\text{CTR}^2 = \text{TR}_a^2 + \text{TR}_b^2 \quad (6.6)$$

Si les 2 côtés sont identiques, alors :

$$\text{TR}_a = \text{TR}_b = \frac{\text{CTR}}{\sqrt{2}} \quad (6.7)$$

D'où, l'équation 6.5 devient :

$$\text{SPTR}_{\text{LIROC} + \text{FBK SiPM}}^2 = \text{SPTR}_{\text{Mesuré}}^2 - \left(\frac{\text{CTR}_{\text{Référence}}}{\sqrt{2}} \right)^2 \quad (6.8)$$

Déjà caractérisée par le passé, cette même référence a été mesurée à nouveau lors de notre passage à l'université d'Aix-la-Chapelle en octobre 2022. L'histogramme 6.18 de mesures obtenues a un CTR de 28 ps RMS. La résolution temporelle (TR) de 20 ps RMS de la référence devra donc être soustraite quadratiquement à la mesure de temps de LIROC en coïncidence avec la référence. Elle sera désignée dans la suite par $\text{TR}_{\text{Référence}}$ et comprend implicitement le jitter électronique et celui dû au SiPM instrumenté.

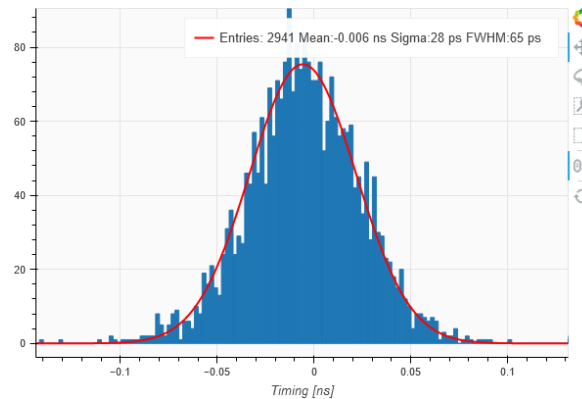


FIGURE 6.18 – Histogramme de résolution temporelle en coïncidence avec des cristaux $\text{LYSO} : \text{Ce, Ca}$ de Taiwan Applied Crystals (TAC), de $2 \times 2 \times 3$ mm, $n=1.582$, avec 4 faces polies et emballées de Téflon blanc, couplés optiquement à des SiPM Broadcom AFBR-S4N33C013 de 3×3 mm, instrumentés par un amplificateur BGA2851 avec un balun de 10 nF, PZC de 10 pF, fitté par une Gaussienne

6.3.2.3 Description de la détection de gamma côté LIROC

Comme LIROC a été conçu pour détecter un nombre faible de photons (le préamplificateur sature rapidement à une charge d'environ 1 pC), le détecteur choisi présente donc une émission ultra-rapide de lumière de faible intensité. Pour ce faire, on utilise un cristal non-scintillant de fluorure de plomb (PbF_2), comme illustré sur la figure 6.16 ou la photographie 6.19.

Lorsqu'un gamma interagit avec la matière, les phénomènes illustrés sur la figure 6.20 se succèdent. Tout d'abord, des électrons du cortège électronique sont éjectés par diffusion Compton ou rayonnement de freinage. Une importante énergie cinétique est conférée à ces électrons, telle qu'ils se déplacent à une vitesse supérieure à celle de la lumière dans ce matériaux. La propagation des électrons engendrent alors l'émission de lumière Tcherenkov sous la forme d'un cône caractéristique dont l'angle solide est proportionnel à l'énergie cédée. La quantité de photons émis suit une distribution en énergie. Par ailleurs, pour éviter d'introduire une dispersion temporelle d'arrivée des photons, les faces du cristal sont cette fois ci peintes en noir minimisant de fait les

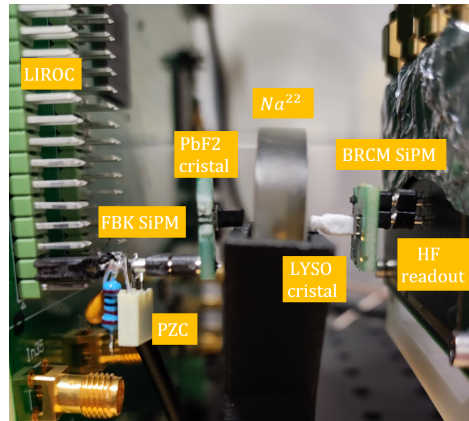


FIGURE 6.19 – Caractérisation du SPTR de LIROC avec un cristal de PbF₂ (2x2x3 mm, peint en noir) monté sur un SiPM FBK NUV UHD DA en coïncidence avec une électronique HF de référence couplée à un SiPM Broadcom et un cristal LYSO :Ce,Ca (2x2x3 mm à 4 faces polies enroulé dans du téflon)

réflexions (donc les photons retardés). Le temps d'arrivée des photons collectés par le SiPM est finalement mesuré par LIROC.

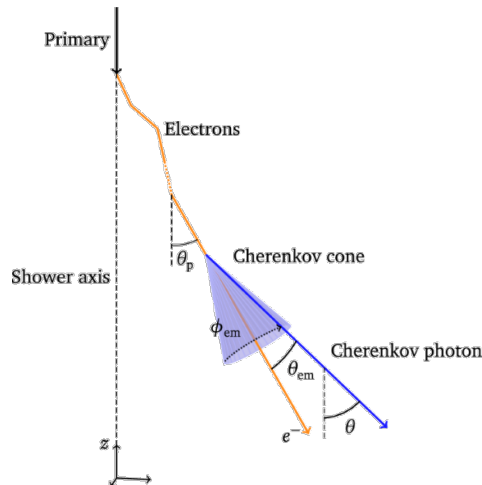


FIGURE 6.20 – Principe d'émission de lumière Tcherenkov

6.3.2.4 Sélection en énergie des événements coïncidents

Les gammas de 511 keV interagissent avec le cristal en déposant une fraction variable de leur énergie. Le spectre en énergie produit par le Na²² présente typiquement un pic à 511 keV auquel se superpose une distribution d'énergies liée à la diffusion Compton, comme illustré sur la figure 6.21. Par ailleurs, en plus des gammas de 511 keV, émis indirectement, le sodium 22 émet également des gammas de 1275 keV qui forment eux-aussi une raie et un continuum de diffusion Compton.

Pour la mesure de temps en coïncidence, on s'intéresse exclusivement à la détection des gammas ayant déposés 511 keV. Chaque instrumentation dispose d'une variable sensible à l'énergie déposée : pour la référence, l'amplitude du signal analogique permet de sélectionner les événements en coïncidence, comme le montre l'interface Python développée pour traiter à la volée les données (Figure 6.22).

Pour LIROC, les gammas produisent un nombre variable de photoélectrons au sein du cristal non-scintillant. Après avoir placé le seuil de discrimination au plus près du piédestal, les événements correspondant au photon unique sont sélectionnés grâce à la mesure de l'aire ou de la largeur (TOT) du signal du discriminateur. Parmi eux, une minorité de photo-électrons uniques

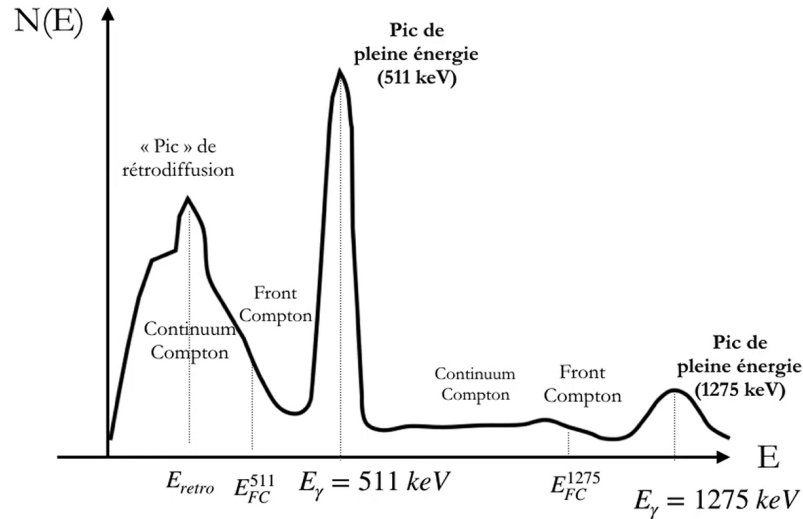


FIGURE 6.21 – Spectre en énergie du sodium 22 [4]

ne sont pas dûs au 511 keV. La distribution en temps de la population bleue sur la figure 6.22 est ensuite fittée pour extraire la largeur à mi-hauteur.

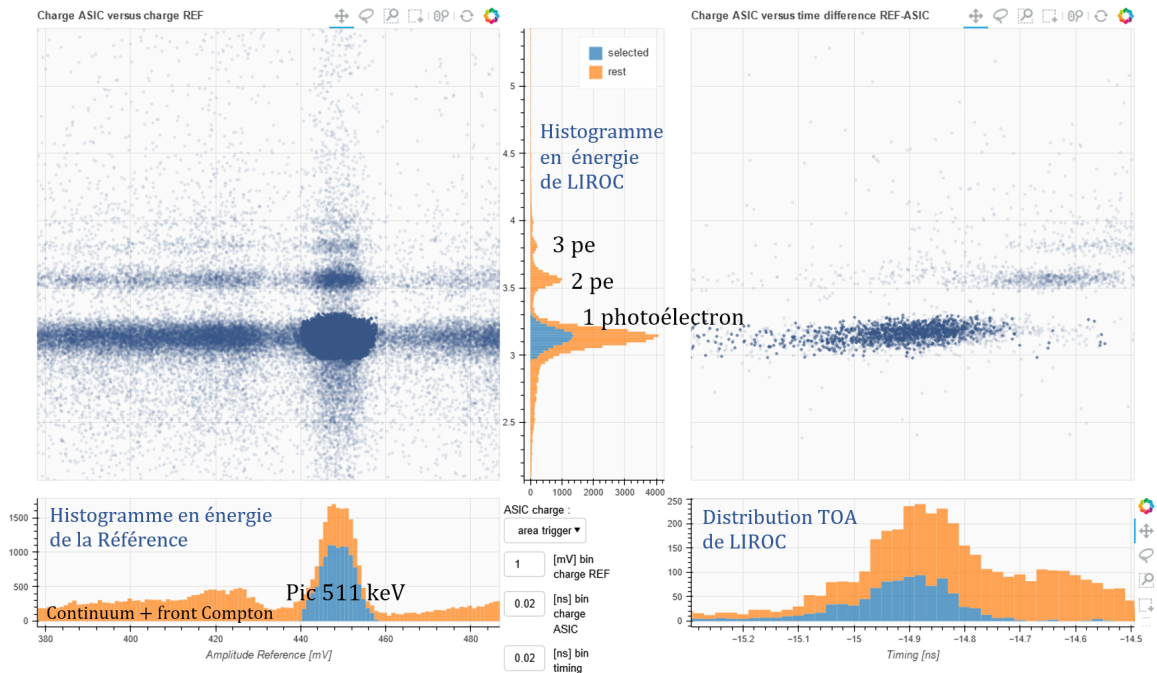


FIGURE 6.22 – Interface Python de sélection en énergie (511 keV côté référence, photon unique côté LIROC)

6.3.2.5 Méthodologie d'analyse

Les distributions en temps observées ne sont souvent pas Gaussiennes. En effet, les histogrammes présentent une queue qui résulte de la conversion tardive de photoélectrons dans la jonction du SiPM. Pour prendre en compte ces événements, la fonction de distribution Gaussienne est convoluée avec une distribution de probabilité exponentielle, introduisant la paramètre λ ([6], [1]) :

$$\begin{aligned}
 f(x, \mu, \sigma, \lambda) &= \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{(x-\mu)^2}{2\sigma^2}} * \lambda e^{-\lambda x} \\
 &= \frac{\lambda}{2} e^{-\frac{\lambda}{2}(2\mu + \lambda\sigma^2 - 2x)} \left[1 - \operatorname{erf}\left(\frac{\mu + \lambda\sigma^2 - x}{\sqrt{2}\sigma}\right) \right]
 \end{aligned} \tag{6.9}$$

où μ est la moyenne de la distribution Gaussienne, σ l'écart-type, et erf la fonction erreur qui est définie par :

$$\operatorname{erf}(x) = \frac{2}{\pi} \int_0^x e^{-t^2} dt \tag{6.10}$$

Remarquons qu'en utilisant cette fonction de fit non Gaussienne, la largeur à mi-hauteur n'est plus liée à l'écart type par la relation :

$$\text{FWHM} = 2\sqrt{2\ln(2)}\sigma \simeq 2.35\sigma \tag{6.11}$$

6.3.2.6 Performances de LIROC + SiPM FBK UHD-DA

L'optimum de jitter dépend d'une myriade de paramètres, au premier chef desquels : la polarisation du SiPM. En effet, le détecteur présente un gain croissant lorsque la haute-tension est portée au-delà de sa tension de breakdown. Toutefois, pour de grandes valeurs d'overvoltage, le taux de dark noise augmente démesurément et perturbe la mesure par l'adjonction de faux événements (bruit). L'optimum en tension a été obtenu pour 50 V (le maximum de la plage testée) atteignant un $\text{SPTR}_{\text{LIROC} + \text{FBK SiPM}}$ de 32 ps RMS. La tension appliquée correspond à une sur-tension de 17.5 V ($\text{OV} = 50 - 32.5$). La différence de temps d'arrivée brut est corrigée du jitter de la référence ($\text{TR} = 20$ ps RMS d'après 6.18) et tracée en bleu sur la figure 6.24. Pour cette mesure, on remarque que la distribution est gaussienne d'après la figure 6.23

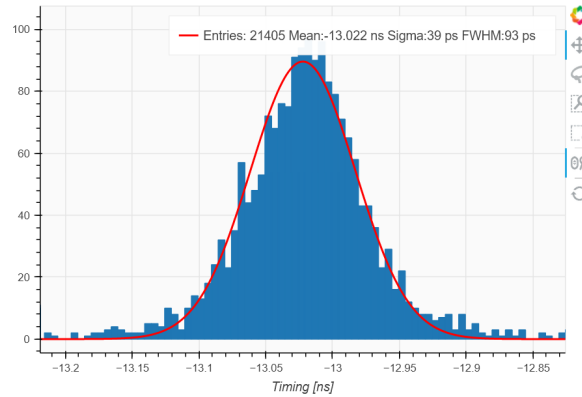


FIGURE 6.23 – Histogramme de la distribution temporelle de détection d'un photon unique avec LIROC non-corrigé du jitter de la référence pour la mesure en coïncidence, avec un cristal non-scintillant de PbF2 couplé optiquement à un SiPM FBK LF-NUV-UHD-DA, polarisé à 50 V (soit un OV de 17.5 V)

L'incertitude sur la mesure du jitter peut être obtenue par 2 méthodes : expérimentales ou statistiques. La première consiste simplement à répéter plusieurs fois la même mesure et moyenner l'écart-type trouvé. La seconde établie par propagation d'incertitudes (d'après [2]) pour un large nombre N d'échantillons que :

$$\Delta\sigma = \frac{\sigma}{\sqrt{2(N-1)}} \tag{6.12}$$

La mesure s'appuie sur de larges collections d'évènements mesurés portant l'incertitude de mesure en-dessous de la picoseconde.

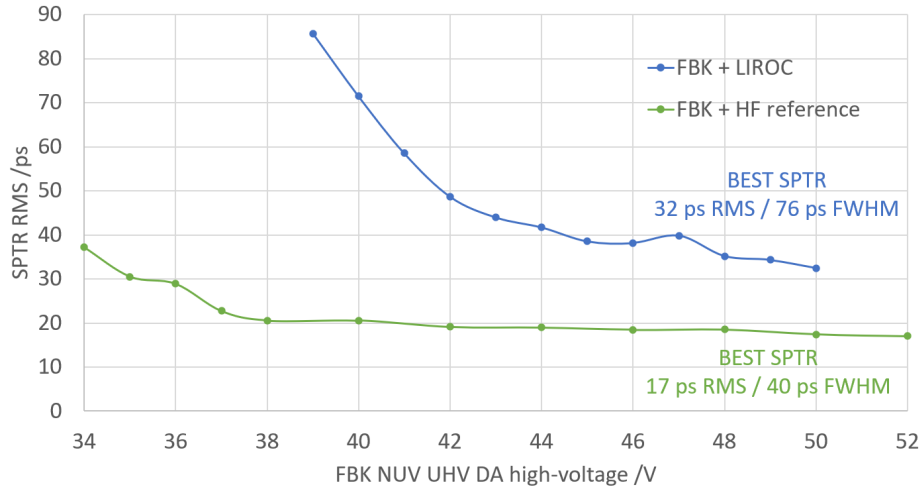


FIGURE 6.24 – SPTR de LIROC corrigé du jitter de la référence, avec un cristal non-scintillant de PbF2 couplé optiquement à un SiPM FBK LF-NUV-UHD-DA

Précisons que : aucun circuit de pôle-zéro n'était présent à l'extérieur de l'ASIC au moment de la mesure, le PZC interne était configuré à 8 (soit $R_{PZ} = 16 \text{ k}\Omega$), la conversion courant-tension réalisé par une résistance de 50Ω et toutes les autres voies étaient désactivées.

La précision de la mesure peut être décomposée en plusieurs termes :

$$TR_{\text{mesuré}}^2 = TR_{\text{source}}^2 + TR_{\text{référence}}^2 + TR_{\text{cristal}}^2 + TR_{\text{oscilloscope}}^2 + TR_{\text{SiPM testé}}^2 + TR_{\text{ASIC testé}}^2 \quad (6.13)$$

Le terme TR_{source} est exactement nul car l'émission des 2 gammas dos-à-dos se produit simultanément. $TR_{\text{référence}}$ a déjà été déduit des mesures par estimation préalable. TR_{cristal} est un terme géométrique dû à la production et propagation des photons à l'intérieur du cristal. Ici, le cristal représente un volume très faible de 12 mm^3 : il est donc également négligeable. D'après le constructeur, ce modèle d'oscilloscope possède un jitter inférieur à 4 ps RMS , donc négligeable. En revanche, le terme TR_{SiPM} n'est pas négligeable et peut être estimé. Il permettra de déconvoluer du résultat la composante de jitter dû à l'ASIC.

Pour ce faire, on utilise l'électronique de lecture dont la bande-passante et la puissance ne limite ni le temps de montée du signal ni la détection d'un photon unique (seuil minimal dû au bruit). La référence RF remplace donc LIROC sur le schéma 6.16. D'après la figure 6.24, cette composante corrigée de la référence opposée, s'élève à 17 ps RMS à la même tension de polarisation (50 V).

Le terme résiduel dû à l'ASIC est donc estimé à 27 ps RMS .

6.3.2.7 Performances de LIROC + SiPM FBK M3

La mesure est répétée pour le SiPM FBK M3 dont les principales différences concernent la taille des SPAD ($40 \mu\text{m}$ contre $15 \mu\text{m}$) et le facteur de remplissage (faible contre moyen pour FBK UHD-DA). La meilleure précision temporelle obtenue est de 29 ps RMS à 38.5 V . En comparaison du SiPM FBK UHD-DA, un meilleur jitter est obtenu à une surtension plus faible (6 V contre 17.5 V). Le résultat peut être comparé par rapport aux performances du SiPM caractérisés en coïncidence avec la référence RF : 12 ps RMS à 39 V . Le jitter résiduel dû à l'ASIC est donc de 27 ps RMS , comme précédemment. Deux SiPM différents, un même ASIC : la dégradation recherchée a probablement pour cause commune le fonctionnement inhérent de l'ASIC.

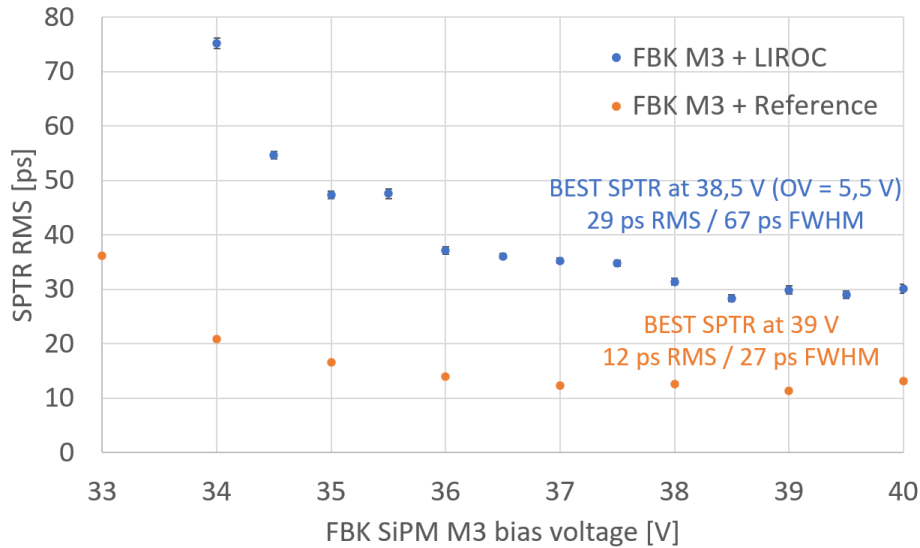


FIGURE 6.25 – SPTR de LIROC corrigé du jitter de la référence, avec un cristal non-scintillant de PbF2 couplé à un SiPM FBK LF-NUV-HD M3

6.3.3 Complément d'analyse

6.3.3.1 Estimation du bruit et de la pente du signal

Une étude complémentaire est menée à partir de la caractérisation du bruit d'un SiPM FBK UHD-DE, possédant des SPAD de mêmes dimensions que le SiPM UHD-DA et la même tension de breakdown. Pour vérifier que le jitter résiduel correspond au jitter électronique, il est possible d'estimer le terme attendu à l'aide de la relation :

$$\text{Jitter} = \sigma = \frac{\text{Bruit}}{\text{Pente du signal}} \quad (6.14)$$

Pente du signal : Le TOA est mesuré à différentes valeurs de seuil du discriminateur pour une même polarisation (45 V) dans les mêmes conditions expérimentales que précédemment. En isolant les populations de photo-électrons à l'aide de leur spectre en énergie, le front (négatif) en sortie du préamplificateur est reconstruit sur la figure 6.26. La pente du signal d'un pe est de 38 mV/ns.

Bruit :

De plus, la mesure du bruit peut être estimée à partir de la pente séparant 2 niveaux d'énergie reçue, comme illustré sur la figure 6.27. On appelle "staircase" l'évaluation du nombre de déclenchements du discriminateur reçu dans une fenêtre de temps donnée (par défaut 1 seconde). Les courbes d'efficacité sont généralement saturées par le bruit du piédestal. On remarque curieusement que la Gaussienne n'est ici pas tronquée, preuve que le discriminateur (et le compteur dans le FPGA) suivent la cadence maximale imposée par le pôle-zéro du préamplificateur).

Trois méthodes sont comparées sur la figure 6.28 où les taux de comptage de la transition entre 1 et 2 photo-électrons ont été normalisés entre 0 et 1. Tout d'abord, à gauche, en fittant avec une Gaussienne la dérivée de la courbe d'efficacité, on obtient un bruit de 0.85 mV RMS. Ensuite, au milieu, en fittant les données brutes à l'aide de la fonction erf (définie 4.9), le bruit augmente à 1.2 mV RMS. Enfin, à droite, en excluant 2 valeurs aberrantes des données, le fit erf donne un bruit de presque 1.5 mV RMS. Le résultat est donc sensible à la méthode choisie. Observons par ailleurs que la mesure de la dispersion de la ligne de base vue par le discriminateur est largement supérieure : l'écart-type de la Gaussienne est de 3.7 mV RMS. En effet, le discriminateur possédant une bande-passante limitée (ou dit autrement, un temps mort non nul) ne permet d'apprécier que l'enveloppe du bruit. La mesure de l'efficacité de détection au niveau du piédestal ne pourra donc pas servir à estimer le bruit en sortie du préamplificateur.

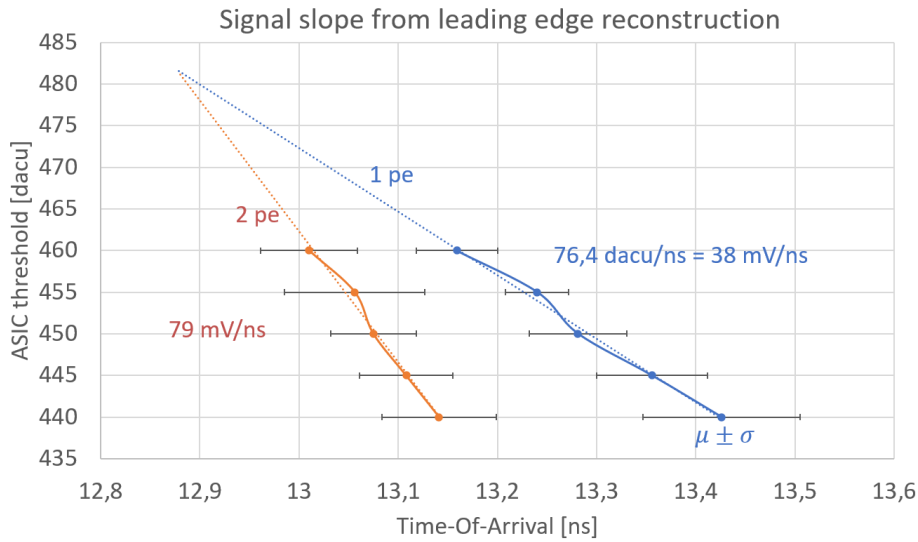


FIGURE 6.26 – Reconstruction du signal en sortie du préamplificateur de LIROC couplé à SiPM FBK UHD-DA polarisé à 45 V

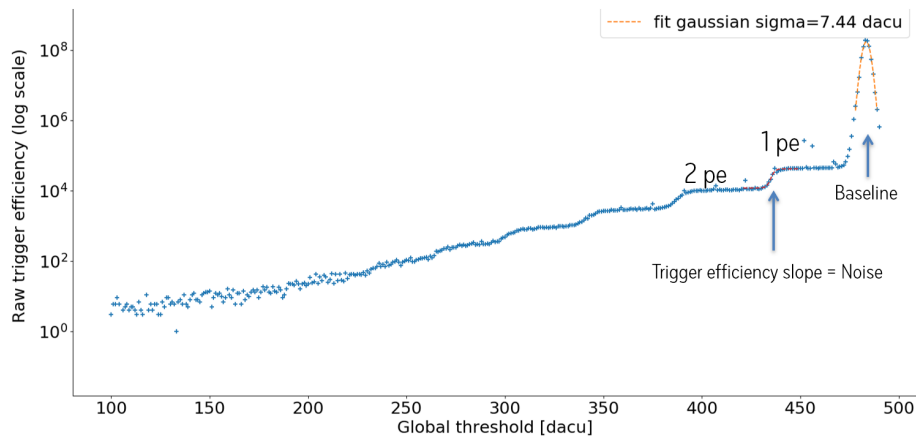


FIGURE 6.27 – Efficacité de détection d'un trigger en fonction du seuil du discriminateur de l'ASIC pour un SiPM FBK UHD-DE polarisé à 45 V

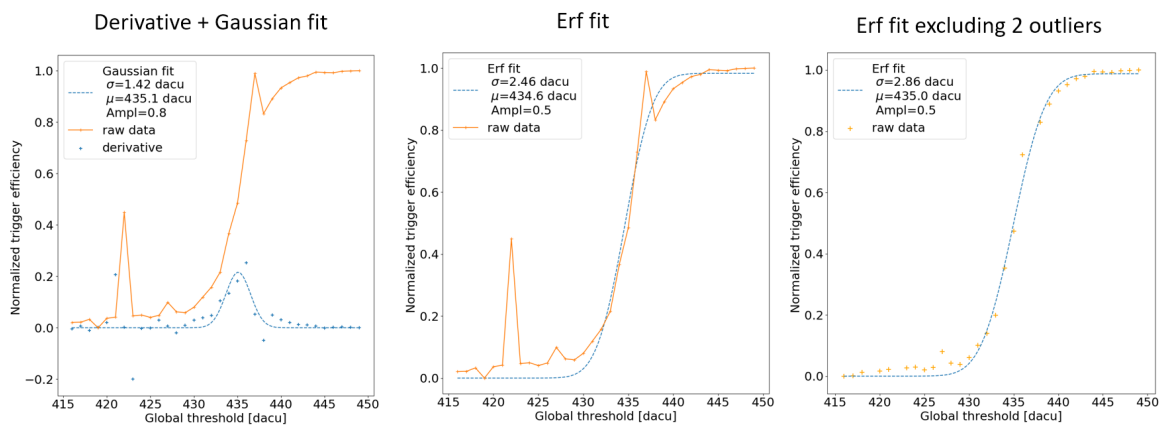


FIGURE 6.28 – Comparaison de la méthode de fit de l'efficacité de détection d'un photoélectron pour un SiPM FBK UHD-DE polarisé à 45 V

Le balayage du seuil du discriminateur de l'ASIC permet à la fois de mesurer la pente du signal et le bruit pour la détection d'un photon unique. Néanmoins, la conclusion n'est pas très robuste

puisque faute de plus de données exploitables, le jitter attendu est calculé ici comme le ratio :

$$\text{Jitter} = \sigma = \frac{\text{Bruit(FBK UHD-DA)}}{\text{Pente du signal(FBK UHD-DE)}} = 37\text{ps RMS} \quad (6.15)$$

Or, le jitter mesuré est très proche : 38.5 ps à la polarisation de 45 V. Selon toute vraisemblance, la charge délivrée par le SiPM est donc bien plus faible que 160 fC (valeur typique pour un gain de 1 million).

6.3.3.2 Comparaison avec le jitter attendu mesuré au pulser

D'après les mesures préliminaires du jitter au pulser (6.4), il est possible d'extrapoler la charge qui donnerait un jitter électronique de 27 ps RMS. D'après les valeurs fittées et en présence d'une capacité détecteur de 100 pF (en plus de $C_{inj} = 10$ pF), on obtient 95 fC. Cela implique que le gain du SiPM serait d'environ 0.6×10^6 à une polarisation de 50 V.

6.3.3.3 Caractérisation des SiPM FBK

Connaissant les valeurs des paramètres C_d , C_q , R_q du SiPM, il est possible de simuler le comportement de LIROC. Les paramètres du modèle de Corsi sont fournis par FBK. La mesure de la résistance de quenching est évaluée à partir de la pente de la caractéristique courant-tension (polarisée en sens direct) tel que :

$$I_{\text{forward}} = \frac{U}{R_q} \quad (6.16)$$

La somme des capacités $C_d + C_q$ est évaluée grâce à l'équation reliant la charge intégrée délivrée par le SiPM à la sur-tension appliquée à ses bornes. La mesure doit être réalisée bien au-delà de la tension de breakdown de sorte que la jonction soit complètement déplétée. L'intervalle de travail choisi de sur-tension est compris entre 9 et 14 V.

$$Q = Gq = (C_d + C_q)V_{OV} \quad (6.17)$$

L'identification de la valeur de C_d est réalisée en mesurant en fréquence l'impédance du SiPM. Comme précédemment, la capacité C_d décroît avec la tension de polarisation jusqu'à se stabiliser une fois la jonction déplétée (alors que C_q est indépendante de la tension de polarisation).

La table 6.1 donne les paramètres clés de SiPM produits par FBK et à priori identiques à ceux étudiés dans ce chapitre.

Paramètres	Méthode d'extraction	NUV RH UHD-DA	CHK M3	Unités
Taille SPAD		15	40	μm
Nombre de SPAD		4556	529	1
R_q	Forward I-V curve	850	500	$\text{k}\Omega$
$C_d + C_q$	(G.q) versus over-voltage	129	14.6	fF
Gain		4.7	1.56	1
Gain.q à un OV donné		750 à 17.5 V	250 à 6 V	fC
$R_q / (N - 1)$		1600	110	Ω
$(N - 1)(C_d + C_q)$		68	66	fF

TABLEAU 6.1 – Paramètres du modèle de Corsi à l'échelle d'un SPAD fournis par FBK

6.3.3.4 Simulation de LIROC couplé à un SiPM FBK de SPAD 40 μm

En simulation, on cherche par dichotomie la charge délivrée par la source de courant du modèle de Corsi telle que la pente du signal observée correspondent à la mesure obtenue pour le SiPM UHD-DA (SPAD de 15 μm), à savoir 38 mV/ns (Figure 6.26)

La pente est prise en sortie d'ASIC (c'est-à-dire sur le signal du discriminateur vue à travers le transmetteur CLPS) et non directement sur le signal en sortie du préamplificateur. L'ASIC est donc simulé pour plusieurs valeurs de seuil de discrimination, puis la dérivée du TOA nous donne 35 mV/ns pour une charge de 60 fC. Sur la figure 6.29, on remarque par ailleurs que la pente du signal du préamplificateur est 3 à 4 fois plus grande. Le discriminateur a donc tendance à élargir le temps. Le délai avant son déclenchement dépend du niveau DC du seuil du discriminateur. Le jitter électronique dû au préamplificateur mais vu par le discriminateur ne peut donc aisément être estimé en mesure. Enfin, sachant la pente (maximale) du signal du préamplificateur (128 mV/ns) et connaissant le bruit simulé en sortie du préamplificateur (1.5 mV RMS), un jitter de 12 ps RMS est donc attendu. Cette simulation permet de conclure que le jitter électronique n'est pas dominant dans le jitter résiduel imputable à l'ASIC (pour rappel : 27 ps RMS).

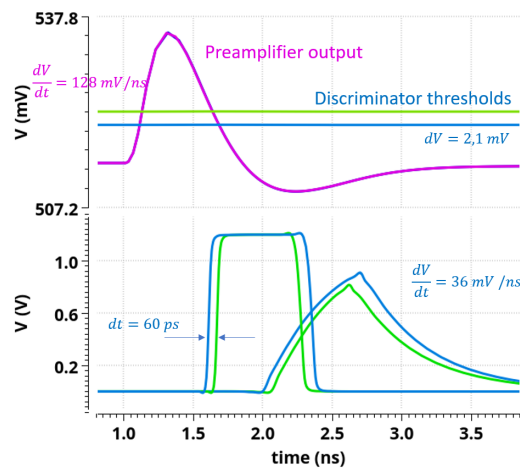


FIGURE 6.29 – Comparaison de la méthode de fit de l'efficacité de détection d'un photoélectron pour un SIPM FBK UHD-DE polarisé à 45 V

En revanche, le jitter du discriminateur n'est pas négligeable pour de faibles charges. Une simulation temporelle incorporant du bruit permet de le mettre en évidence. Le jitter est mesuré à deux noeuds du circuit : premièrement, en sortie d'ASIC sur le signal différentiel (CLPS) pour un seuil de discrimination donné (fixé à 8 mV, soit environ 5 fois le bruit en sortie du préamplificateur de 1.5 mV RMS) ; deuxièmement, au niveau du signal en sortie du préamplificateur à l'aide d'un discriminateur virtuel (avec le même seuil de discrimination). La figure 6.30 montre tout simplement que la mesure semble suivre le jitter attendu en simulation en sortie du discriminateur.

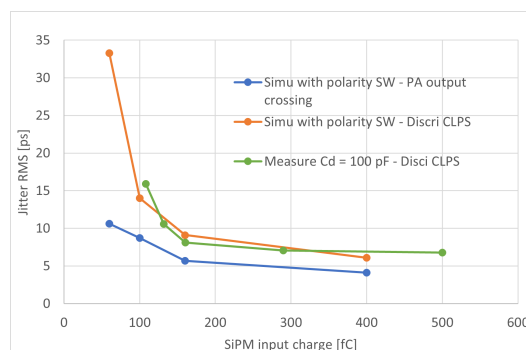


FIGURE 6.30 – Comparaison du jitter mesuré et simulé en sortie du préamplificateur ou du discriminateur

Par ailleurs, on remarque que le switch CMOS permettant de connecter aussi bien l'anode comme la cathode du SiPM, est une source de jitter, d'après la simulation 6.31. En effet, le jitter après le discriminateur décroît lorsque le switch est by-passé. Si on s'intéresse aux résultats à 60 fC, ce dernier compte pour 26 ps RMS contre 21 ps RMS pour le discriminateur (quand le switch est by-passé). À l'inverse, le jitter de préamplificateur augmente lorsque le switch est déconnecté,

probablement à cause de l'augmentation de la charge vue par le préamplificateur (la grille du transistor d'entrée discriminateur serait plus capacitive que les deux drains et deux sources du switch).

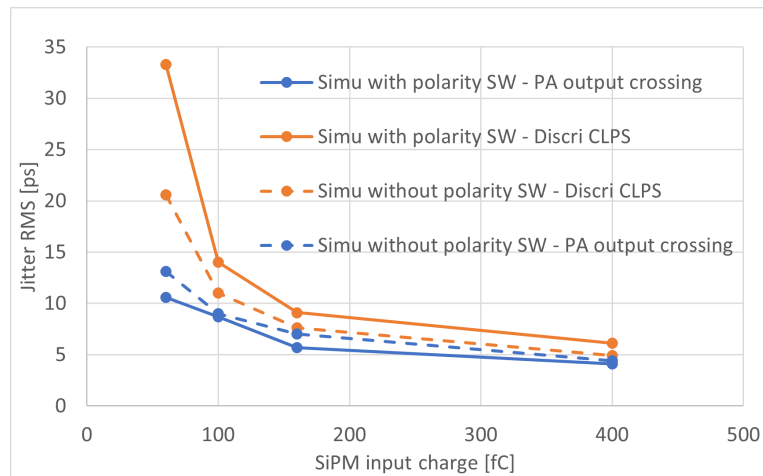


FIGURE 6.31 – Comparaison du jitter simulé en sortie du préamplificateur ou du discriminateur, avec ou sans switch de polarité entre PA et discri

Comme le jitter du discriminateur n'a aucune raison d'évoluer hyperboliquement avec la charge, ce dernier résultat explique sans doute l'absence de concordance avec le fit de la figure 6.13.

6.3.4 Mesure avec un LASER

6.3.4.1 Résolution temporelle en photon unique

L'étude de LIROC couplé à un SiPM a été complétée par des mesures sur un banc de test LASER. Elles visent à reproduire les conditions expérimentales d'opération d'un SiPM, tout en se passant de sources radioactives et de cristaux. En réglant finement l'intensité du faisceau, il est possible de mesurer la résolution temporelle en photon unique (ou SPTR) du système.

Le LASER (MKT photonic PiLas DX PIL1-040-40) émet périodiquement (100 kHz) de courtes impulsions de lumière. La longueur d'onde choisie ($\lambda = 405$ nm) correspond au maximum d'efficacité de détection des SiPM pour le proche ultra-violet. La précision temporelle du front de l'onde lumineuse du LASER et du signal (électrique) de déclenchement fourni est donnée inférieure à 10 ps RMS par le constructeur. Néanmoins, la largeur du pulse du LASER (41 ps FWHM) limite de facto la résolution temporelle en photon unique. En effet, le quanta de lumière peut se trouver n'importe où dans l'intervalle de 41 ps. Enfin, l'amplitude lumineuse reçue par le SiPM peut être contrôlée de deux manières : tout d'abord, en atténuant le faisceau optique à l'aide de filtres à densité neutre, puis en modulant l'ouverture d'un diaphragme. Notons que le courant circulant dans la diode LASER est également pilotable. De plus, le jitter du LASER est optimal pour un réglage donné par le constructeur (atténuation de 28 %), que nous utiliserons. Enfin, ce banc de test (figure 6.32) n'utilise pas de diffuseur.

Comme précédemment, en disposant de la courbe d'efficacité en fonction du seuil de discrimination et du spectre en énergie (TOT), il est possible de sélectionner les événements correspondant au photon unique. Les figures 6.33 et 6.34 illustrent la sélection en énergie par groupe de valeurs de TOT. Les données isolées permettent de tracer les histogrammes de TOA et TOT pour chaque quantité de photo-électrons collectés et d'en déduire le jitter associé (à l'aide d'un fit décrit précédemment 6.3.2.5). Sur la figure en bas à gauche, on distingue également très clairement l'effet du time-walk.

Contrairement aux mesures en coïncidence, il n'y a pas besoin de caractériser la référence puisque celle-ci est déjà connue. On vérifiera ainsi que le jitter obtenu n'est pas dominé par le banc de

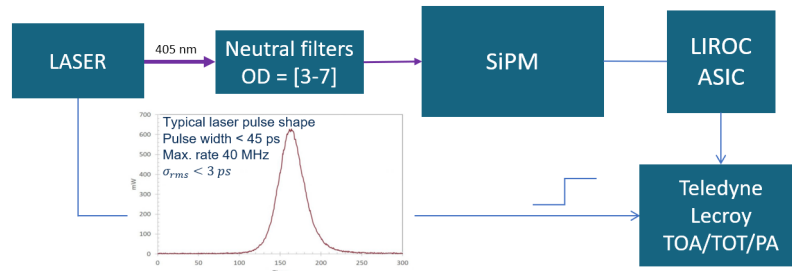


FIGURE 6.32 – Banc de test LASER pour la mesure de la résolution temporelle en photon unique

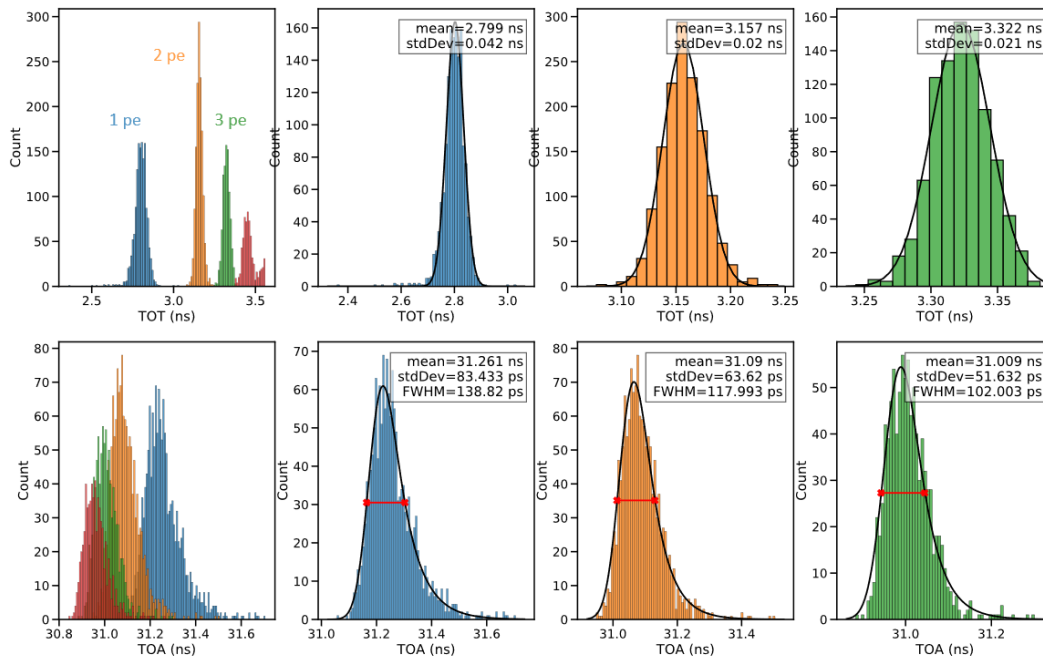


FIGURE 6.33 – Exemple d’analyse de la résolution temporelle de LIROC couplé à un SiPM avec sélection en énergie

test dont la précision temporelle en photon unique ne peut descendre en-dessous de 18 ps RMS (41/2.35).

Avec le SiPM FBK M3 polarisé à 37 V (soit une sur-tension de 4.5 V), la meilleure résolution temporelle obtenue (parmi plusieurs seuils de discrimination) est de 32 ps RMS, soit 27 ps RMS corrigé du banc de test, d’après la figure 6.35. Ce résultat est légèrement meilleur que la mesure réalisée dans les mêmes conditions de polarisation avec un cristal de PbF2 et une source radioactive : 35 ps RMS d’après la figure 6.25.

Notons que la température de la boîte noire avec la source radioactive était contrôlée (16°C) alors que la mesure LASER a été effectuée à température ambiante. Par ailleurs, comme on l’a vu précédemment, le jitter est particulièrement sensible au seuil de discrimination, lequel était possiblement sous-optimal lors de la mesure avec une source et un cristal. Ces éléments peuvent expliquer la différence quadratique entre les deux mesures de 22 ps RMS.

6.3.4.2 Séparation de pulses doubles

Une autre mesure a permis de mettre en évidence la capacité de LIROC à discriminer deux pulses séparés de plus de 3 ns, fonctionnalité intéressante pour la gestion d’échos consécutifs dans un système LIDAR. Cette mesure nécessite un LASER pico-seconde. Bien que ce dernier soit pulsé, sa fréquence maximale (40 MHz) est largement inférieure à la fréquence requise pour gé-

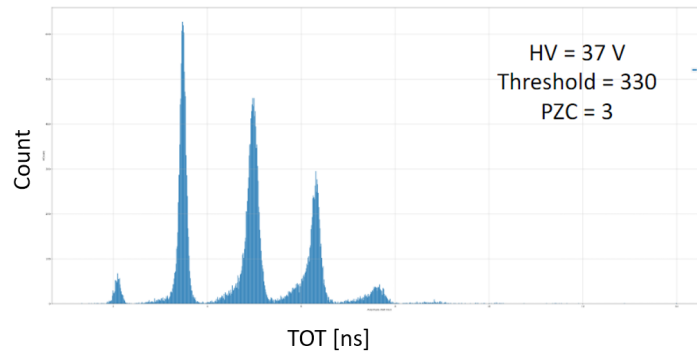


FIGURE 6.34 – Spectre en énergie (TOT) obtenu pour LIROC couplé à un SiPM FBK M3 polarisé à 37 V (OV = 5 V)

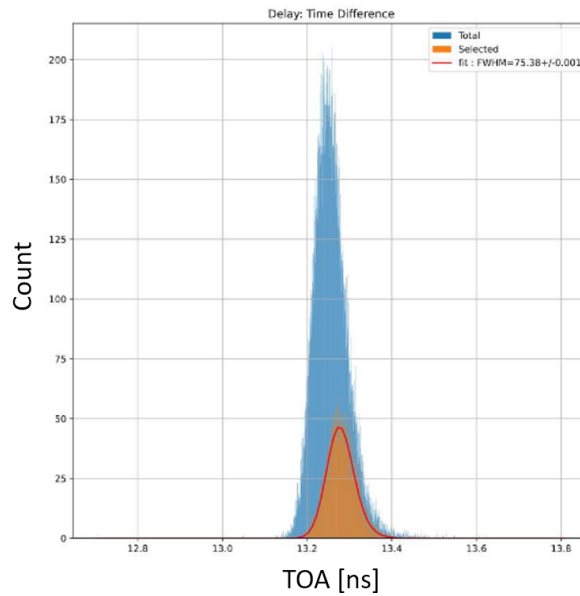


FIGURE 6.35 – Histogramme des TOA pour un photo-électron obtenu pour LIROC couplé à un SiPM FBK M3 polarisé à 37 V (OV = 5 V)

néer un train de pulses séparés de 3 ns. Pour ce faire, on utilise un séparateur de faisceau puis plusieurs miroirs afin de retarder le deuxième faisceau de 3 ns (soit une distance de 90 cm dans l'air à l'intérieur de la boîte noire). Enfin, des filtres à densité neutre ainsi qu'un diaphragme permettent de réduire l'intensité du faisceau à quelques photons. Les deux faisceaux illuminent un même SiPM connecté à l'ASIC LIROC. Le banc de test optique est représenté sur le schéma 6.36 et la photographie 6.37.

L'observation direct du (large) signal du SiPM à l'oscilloscope permet de confirmer l'écart de 3 ns entre les signaux. La figure 6.38 montre également avec une persistance infinie la fluctuation du nombre de photoélectrons détectés par le SiPM.

La mesure est réalisée à l'oscilloscope en déclenchant sur le trigger électronique du LASER. Le signal du discriminateur de LIROC est observée à la sonde différentielle. Plusieurs types d'évènements peuvent être observés, comme illustré sur la figure 6.39.

L'efficacité de séparation de double pulse η correspond au ratio suivant :

$$\eta = \frac{\text{Nombre de double pulse séparés}}{\text{Nombre de double pulse séparés} + \text{Nombre de double pulses non séparés}} \quad (6.18)$$

La figure 6.40 montre un signal de discriminateur séparant deux pulses distants de 3 ns. L'image de gauche permet de valider la mesure en masquant alternativement le faisceau primaire puis le

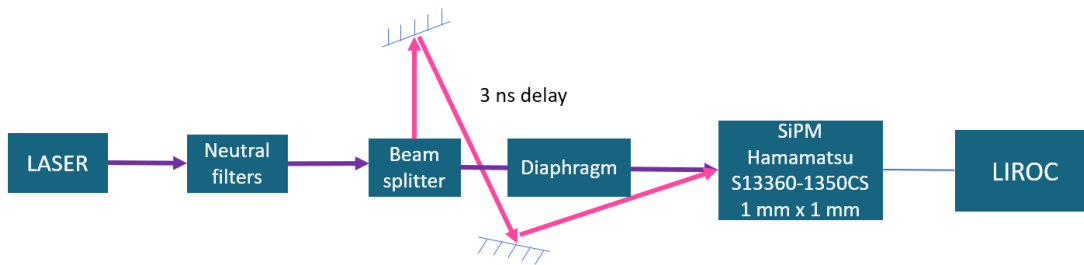


FIGURE 6.36 – Banc de test optique pour la séparation d'un pulse double

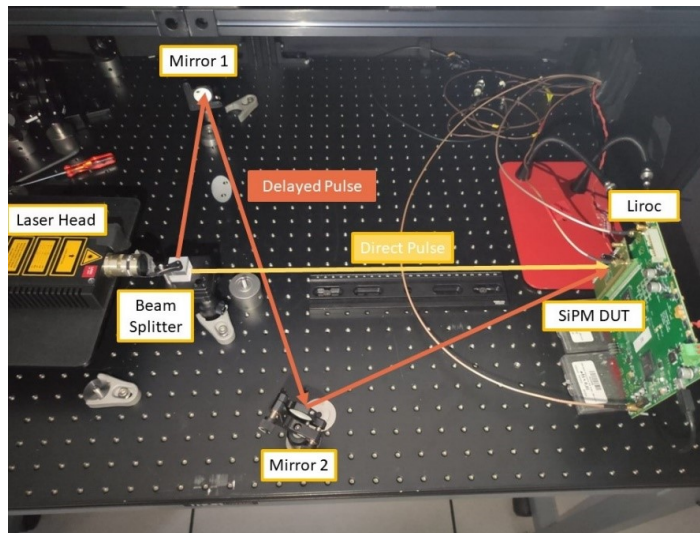


FIGURE 6.37 – Photographie du banc de test optique pour la séparation d'un pulse double

faisceau retardé. En conclusion, cette mesure montre que l'ASIC est capable de discriminer deux pulses rapprochés de 3 ns.

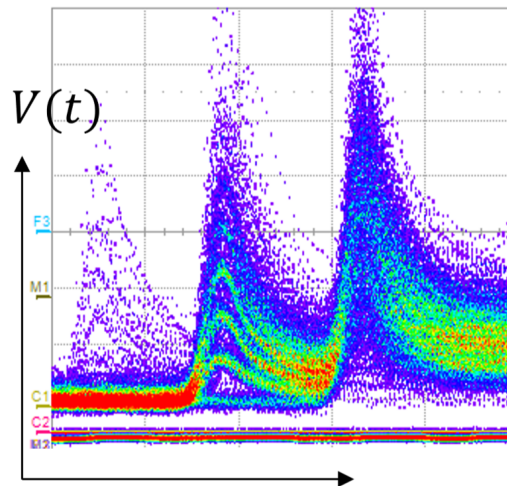


FIGURE 6.38 – Double pulse séparé de 3 ns fourni par le SiPM et observé à l’oscilloscope avec une persistance infinie (échelle horizontale/verticale de 2 ns/5 mV par division)

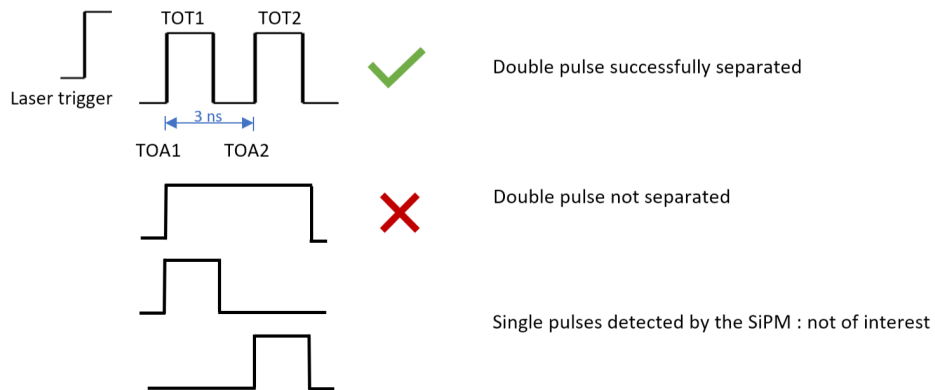


FIGURE 6.39 – Évènements observés pour la mesure du double pulse

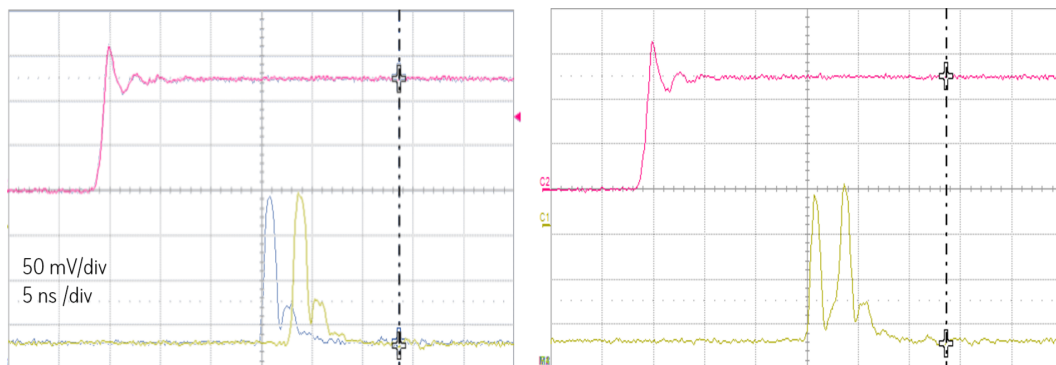


FIGURE 6.40 – Séparation d’un double pulse distant de 3 ns

6.4 Conclusion

L'étude des performances de LIROC met clairement en évidence la relation liant le jitter à la charge, au bruit et au temps de montée. La caractérisation de deux SiPM de FBK avec une électronique de référence énergivore a montré que les 2 SiPM testés étaient prometteurs. Néanmoins, pour un ASIC dont la puissance par voie est in fine limitée par la densité d'intégration, le gain ainsi que la capacité C_d du SiPM limite les performances de LIROC. Par ailleurs, alors que le préamplificateur amplifie de petits signaux, le jitter de la chaîne semble limité par le discriminateur.

La comparaison des performances de LIROC couplé à un SiPM à la mesure avec une capacité équivalente et une charge émulée par un pulser, montre l'importance d'une connaissance approfondie des SiPM. En mesure, le modèle de Corsi semble assez bien approximé par une simple capacité détecteur, à peu près égale à la somme NC_d et shuntant l'entrée du préamplificateur à la masse, avec une charge injectée via un pulse de tension à travers une deuxième capacité de faible valeur.

L'étude de LIROC a été complétée par ailleurs par des mesures sur banc de test optique. L'utilisation d'un LASER permet de reproduire les conditions expérimentales d'opération d'un SiPM en se passant de sources radioactives et de cristaux. Ces mesures ont montré le potentiel de LIROC et également démontré sa capacité à discriminer deux pulses rapprochés de 3 ns.

6.5 Bibliographie

- [1] F. Acerbi, A. Ferri, A. Gola, M. Cazzanelli, L. Pavesi, N. Zorzi, and C. Piemonte. Characterization of single-photon time resolution : From single SPAD to silicon photomultiplier. *IEEE Transactions on Nuclear Science*, 61(5) :2678–2686, 2014. ISSN 00189499. doi : 10.1109/TNS.2014.2347131. [140](#)
- [2] S. Ahn and J. A. Fessler. Standard Errors of Mean , Variance , and Standard Deviation Estimators. pages 1–2, 2003. [141](#)
- [3] F. Corsi, A. Dragone, C. Marzocca, A. Del Guerra, P. Delizia, N. Dinu, C. Piemonte, M. Boscardin, and G. F. Dalla Betta. Modelling a silicon photomultiplier (SiPM) as a signal source for optimum front-end design. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 572(1 SPEC. ISS.) :416–418, 2007. ISSN 01689002. doi : 10.1016/j.nima.2006.10.219. [129](#)
- [4] I. U. T. M. P. de Toulouse. Spectre en énergie du sodium 22. [\url{https://www.youtube.com/watch?app=desktop&v=yKzxHmPV5f4}](https://www.youtube.com/watch?app=desktop&v=yKzxHmPV5f4), 2020. [x](#), [140](#)
- [5] S. Gundacker, F. Acerbi, E. Auffray, A. Ferri, A. Gola, M. V. Nemallapudi, G. Paternoster, C. Piemonte, and P. Lecoq. State of the art timing in TOF-PET detectors with LuAG, GAGG and L(Y)SO scintillators of various sizes coupled to FBK-SiPMs. *Journal of Instrumentation*, 11(8), 2016. ISSN 17480221. doi : 10.1088/1748-0221/11/08/P08008. [137](#)
- [6] M. V. Nemallapudi, S. Gundacker, P. Lecoq, and E. Auffray. Single photon time resolution of state of the art SiPMs. *Journal of Instrumentation*, 11(10), 2016. ISSN 17480221. doi : 10.1088/1748-0221/11/10/P10016. [140](#)

Chapitre 7

Conclusion générale et perspectives

Cette étude a montré les nombreuses difficultés à mesurer le temps pour une expérience de physique des particules. Le détecteur étant placé proche du point de collision et du faisceau, les contraintes d'irradiation pèsent à la fois sur le détecteur et l'ASIC ALTIROC. Alors que la dose ionisante absorbée par les LGAD atténue leur gain, les hadrons déstabilisent l'horloge et ce faisant la mesure de temps. La relation simple liant le jitter à la charge, au bruit et au temps de montée est une formidable clé de compréhension des performances des préamplificateurs. Si le bruit analogique impacte la précision de la mesure de temps, le bruit digital - plus difficilement prédictible - limite la sensibilité de détection de charges, mais aussi le jitter.

L'étude comparée des architectures de préamplificateurs a montré que les amplificateurs de courant étaient plus adaptés que ceux de charge au pile-up, grâce à leur signal plus court. Néanmoins, leur modélisation est complexe et leur optimisation fine passe par l'utilisation intensive d'un simulateur numérique. L'ASIC hybridé à un LGAD a démontré sur banc de test des capacités très proches des spécifications requises pour la mesure de temps et la charge minimale détectable. Néanmoins, en faisceaux test, il est difficile d'interpréter les résultats sans une connaissance approfondie des performances des LGAD instrumentés. Par ailleurs, certaines mesures ont montré les limitations de l'ASIC d'incorporer en son sein ses propres structures de test, elles-aussi non idéales et devant être caractérisées à leur tour. La chaîne de mesure du temps ne saurait être complète sans TDC et une horloge. La PLL est un des composants critiques sur le chemin de l'horloge tant pour sa contribution au jitter minimum que sa sensibilité aux hadrons provoquant des sauts de sa phase. L'étude de sa sensibilité au SET a montré qu'elle était très faible.

Enfin, l'instrumentation des LGAD et des SiPM a été étudiée avec LIROC dans le dernier chapitre. De par leur régime de polarisation, LGAD et SiPM diffèrent grandement dans l'amplitude du courant délivré. Alors que le premier fournit 10 fC pour une capacité détecteur de l'ordre de 4 pF, le second délivre une centaine de femtoCoulomb pour une capacité détecteur de l'ordre d'une centaine de picoFarad. Dans les deux cas, la charge a besoin d'être amplifiée pour être mesurée car pour l'électronique de lecture, seul le ratio $\frac{Q_{in}}{C_d}$ compte. L'amplitude du signal en entrée de préamplificateur vaut en effet $\frac{4 \text{ fC}}{4 \text{ pF}} = \frac{100 \text{ fC}}{100 \text{ pF}} = 1 \text{ mV}$ pour le LGAD comme le SiPM.

De nombreuses variantes des LGAD utilisés pour le projet HGTD sont actuellement à l'étude pour la détection de MIP : AC-LGAD, UFSD, iLGAD, etc. La construction du prochain collisionneur électron-ion (EIC) aux États-Unis concourt entre autres à leur développement. Les LGAD couplés AC à l'électronique de lecture (Figure 7.1) visent à améliorer à la fois la résolution spatiale et temporelle à des valeurs de l'ordre de 10 μm et 10 ps respectivement.

En plus d'une couche de gain (dopée p^+), l'utilisation d'une couche résistive (dopée n) pour la cathode permet le partage de charges localement entre les voies. La position d'interaction peut ensuite être calculée comme un barycentre. L'enjeu de ces développements consiste à optimiser la taille des pixels, leur épaisseur active ainsi que la résistivité et la géométrie de la cathode sachant une densité de puissance fixe dédiée à l'électronique. En effet, le détecteur optimal aura une segmentation suffisamment fine pour minimiser la résolution spatiale sans toutefois compromettre la capacité de l'électronique à amplifier les charges partagées, nécessaire au calcul du barycentre

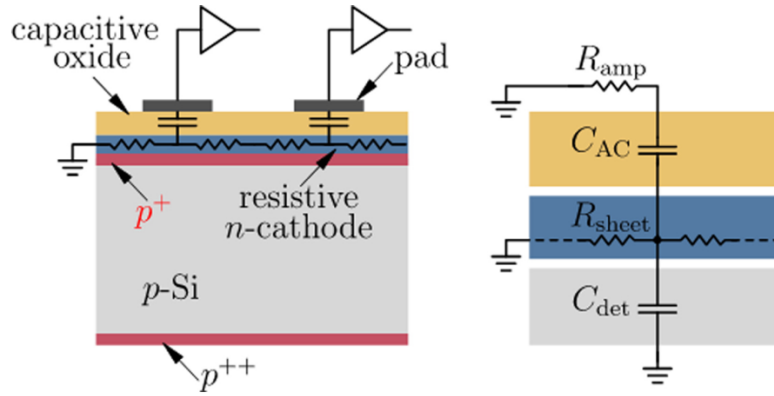


FIGURE 7.1 – Schéma d'un AC-LGAD

et à la mesure du temps. Les récents développements de la collaboration ePIC ont montré qu'il était possible d'obtenir un facteur de remplissage de 100 % d'après la figure 7.2.

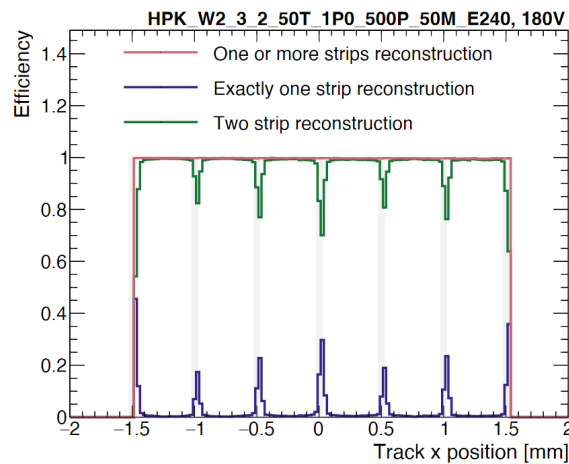


FIGURE 7.2 – Efficacité de détection d'un AC-LGAD en bande (strip) en fonction du nombre de voies considérées avec 10 mm de longueur, 500 μm de pas, 50 μm d'épaisseur active, 50 μm de largeur de métallisation des électrodes, 1600 Ω/\square de résistivité et 240 pF mm^{-2} de capacitance d'après [4]

En croisant les informations de plusieurs voies, la résolution spatiale peut être jusqu'à 30 fois plus petite que l'espacement entre 2 voies, soit environ 15 μm pour des pixels de 500 μm de côté, comme illustré sur la figure 7.3. La résolution spatiale présente toutefois des disparités selon que le dépôt de charge se produise en-dessous d'une surface métallisée ou non (la présence de l'électrode impacte le partage de charges). La résolution temporelle est quant à elle de l'ordre de 20 ps. D'après [4], les AC-LGAD ouvrent donc de nouvelles possibilités d'utilisation à la fois dans la région centrale des collisions pour l'identification de particules (PID) comme pour les détecteurs lointains (de type B0, Roman Pots, Off-Momentum Detector).

Les inverse LGAD (iLGAD), dits également "à double faces" promettent également des facteurs de remplissage de 100 % en plaçant la couche multiplicatrice à l'opposé de l'électronique, comme illustré sur la figure 7.4. Néanmoins, le procédé de fabrication de wafer double-faces requiert une épaisseur de l'ordre de 200-300 μm afin de mettre sa manutention d'après [3]. En conséquence, les résolutions temporelles atteignables sont limitées, quoique plusieurs papiers font état de résolutions temporelles de l'ordre de 20 à 30 ps. [1, 2]

Enfin, en physique des hautes énergies les SiPM sont également mis en oeuvre dans les calorimètres afin d'améliorer la résolution temporelle lors de la mesure de l'énergie, comme c'est le cas par exemple du projet HGCal (High Granularity Calorimeter) de CMS.

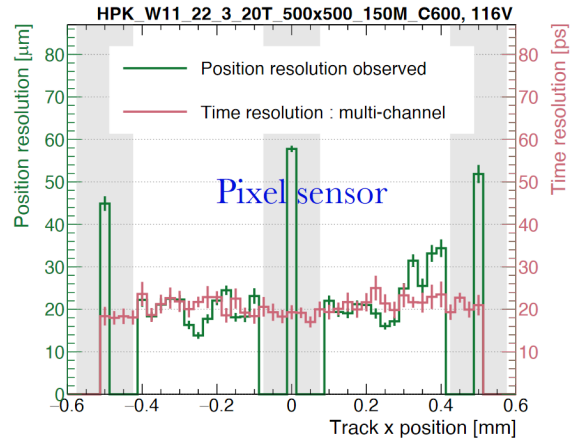


FIGURE 7.3 – Résolutions spatiale et temporelle d'un AC-LGAD de type pixel avec $500\ \mu\text{m}$ de pas, $20\ \mu\text{m}$ d'épaisseur active, $150\ \mu\text{m}$ de largeur de métallisation des électrodes, $400\ \Omega/\square$ de résistivité et $600\ \text{pF}\ \text{mm}^{-2}$ de capacitance d'après [4]

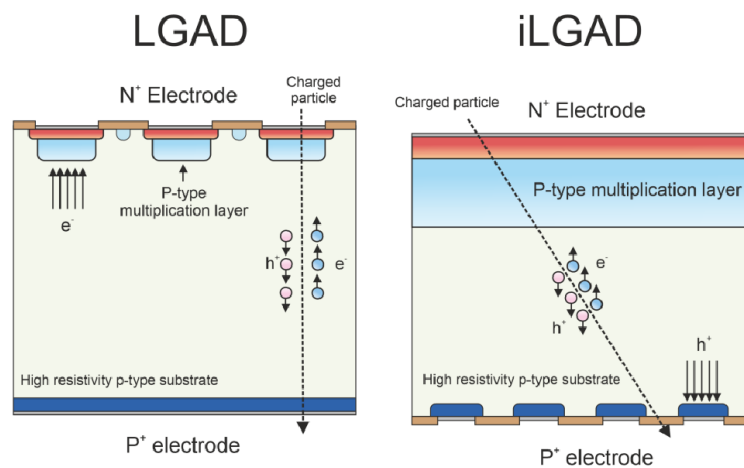


FIGURE 7.4 – Comparaison LGAD versus inverse LGAD, d'après [2]

Chapitre 8

Annexes

8.1 Variante de l'analyse en boucle ouverte du préamplificateur en transimpédance

L'analyse en boucle ouverte du préamplificateur en transimpédance aurait également pu être conduite en considérant le schéma 8.1 plutôt que 3.10. Malgré des approximations plus larges, elle aboutit à un résultat semblable.

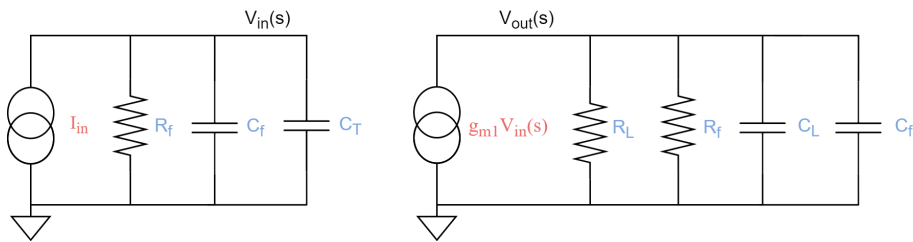


FIGURE 8.1 – Variante de modélisation du TZ avec compensation pour le calcul du gain en boucle ouverte

On pose :

$$\begin{cases} i_{in} + v_{in} \left(\frac{1}{R_f} + s(C_T + C_f) \right) \\ R_{eq} = R_L // R_f \sim R_f \\ g_{m1} v_{in} + v_{out} \left(\frac{1}{R_{eq}} + s(C_L + C_f) \right) \\ k = \frac{1}{Z_f} = \frac{1 + sR_f C_f}{R_f} \end{cases} \quad (8.1)$$

Le gain en transimpédance en boucle ouverte vaut :

$$\begin{aligned} A_{T,BO} &= \frac{v_{out}}{i_{in}}(s) \\ &= \frac{g_{m1} R_f^2}{(1 + sR_f(C_L + C_f))(1 + sR_f(C_T + C_f))} \end{aligned} \quad (8.2)$$

Le gain de transimpédance en boucle fermée est donc donné par :

$$\begin{aligned} A_{T,BF} &= \frac{A_{T,BO}}{1 + kA_{T,BO}} \\ &= \frac{g_{m1} R_f^2}{s^2 R_f^2 (\zeta + C_f^2) + sR_f(C_T + C_L + 2 * C_f + g_{m1} R_f C_f) + (1 + g_{m1} R_f)} \end{aligned} \quad (8.3)$$

avec ζ défini tel que :

$$\zeta = C_T C_L + C_T C_f + C_L C_f \quad (8.4)$$

Bien que l'équation ne présente pas de zéro comme l'équation en boucle fermée trouvée par ailleurs, ceux-ci sont négligeables aux fréquences de travail (< 10 GHz).

8.2 Bibliographie

- [1] E. Currás, M. Carulla, M. Centis Vignali, J. Duarte-Campderros, M. Fernández, D. Flores, A. García, G. Gómez, J. González, S. Hidalgo, R. Jaramillo, A. Merlos, M. Moll, G. Pellegrini, D. Quirion, and I. Vila. Inverse Low Gain Avalanche Detectors (iLGADs) for precise tracking and timing applications. *Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 958 :1–5, 2020. ISSN 01689002. doi : 10.1016/j.nima.2019.162545. 154
- [2] A. Doblás, D. Flores, S. Hidalgo, N. Moffat, G. Pellegrini, D. Quirion, J. Villegas, M. Ruat, and P. Fajardo. Inverse Low Gain Avalanche Detector (iLGAD) Periphery Design for X-Ray Applications. xi, 154, 155
- [3] M. Ferrero, R. Arcidiacono, M. Mandurrino, V. Sola, and N. Cartiglia. *An introduction to Ultra-Fast Silicon Detectors*. Number 1. Crc press edition, 2021. ISBN 9780367646295. doi : 10.1201/9781003131946. 154
- [4] Shirsendu Nanda. Results from Large Area AC-LGAD Test Beam campaign in 2023. Technical report, University of Illinois at Chicago (UIC), 2023. URL https://indico.bnl.gov/event/20473/contributions/85062/attachments/51842/88660/AC-LGAD_ePIC_vFinal.pdf. xi, 154, 155

Glossaire

- ASIC** Application Specific Integrated Circuit. [2](#)
- ATLAS** A Toroidal LHC ApparatuS. [1](#)
- CMOS** Complementary Metal-Oxide-Semiconductor. [16](#)
- CMS** Compact Muon Solenoid. [1](#)
- DAC** Digital to Analog Converter. [60](#)
- DAQ** Data Acquisition. [94](#)
- DD** Displacement Damage. [90](#)
- DNL** Differential-Non-Linearity. [50](#)
- ELT** Enclosed Layout Transistor. [95](#)
- FPGA** Field Programmable Gate Array. [78](#)
- HL-LHC** High-Luminosity Large Hadron Collider. [1](#)
- INL** Integral-Non-Linearity. [50](#)
- LGAD** Low Gain Avalanche Diode. [2](#)
- LHC** Large Hadron Collider. [1](#)
- MIP** Minimum Ionizing Particle. [11](#)
- NIEL** Non-Ionising Energy Loss. [90](#)
- PCB** Printed Circuit Board. [62](#)
- PLL** Phase-Locked Loop. [2](#)
- RINCE** Radiation Induced Narrow Channel Effect. [92](#)
- SEE** Single-Event Effect. [90](#), [91](#)
- SEL** Single-Event Latchup. [91](#)
- SET** Single-Event Transient. [91](#)
- SEU** Single-Event Upset. [91](#)
- SiPM** Silicon Photo Multiplier. [2](#)
- SRAM** Static Random Access Memory. [51](#)
- TDC** Time to Digital Converter. [8](#)
- TID** Total Ionizing Dose. [51](#)
- TOA** Time-Of-Arrival. [8](#)
- TOT** Time-Over-Threshold. [8](#)

Titre : Développement et caractérisation d'un circuit intégré de lecture de détecteurs LGAD destinés à la mesure 'pico-seconde' du temps de vol pour l'expérience ATLAS

Mots clés : ASIC, front-end analogique, LGAD, SiPM, ATLAS, HL-LHC

Résumé : Le développement d'un nouveau détecteur LGAD (Low Gain Avalanche Diode) ouvre la voie à de nouvelles mesures temporelles de l'ordre de quelques picosecondes pour les détecteurs pixellisés. Les expériences ATLAS et CMS au CERN attendent de ce nouveau détecteur des mesures de précision sur les collisions de particules afin de réduire les problématiques d'empilement de signal liées à la haute luminosité de l'accélérateur en phase 3 dit HL-LHC (High Luminosity Large Hadron Collider). Ces nouveaux détecteurs demandent une nouvelle génération d'ASIC de lecture pour mesurer le temps avec une précision améliorée de plusieurs ordres de grandeur par rapport aux performances existantes. Développé dans le cadre de la collaboration ATLAS,

l'ASIC ALTIROC est basé sur des amplificateurs GHz et des TDC (Time-to-Digital Converter) avec des performances et des budgets de consommation au-delà de l'état de l'art. Les différentes formes de jitter limitant in fine la précision de la mesure de temps au sein de l'ASIC sont exposées et évaluées. Le circuit devra par ailleurs résister à des niveaux d'irradiations très importants (plusieurs centaines de Mrad). Cette thèse s'intéresse aux effets singuliers des radiations (dits SEE pour Single-Event Effect) sur une boucle à verrouillage de phase, élément sensible du chemin de distribution de l'horloge. Enfin, la simulation et caractérisation d'ALTIROC hybridé à un LGAD est mise en perspective avec une électronique de lecture couplée à un SiPM (Silicon Photo-Multiplier).

Title : Design and characterisation of an LGAD detector read-out chip for picosecond time-of-flight measurement for ATLAS experiment

Keywords : ASIC, analogue front-end, LGAD, SiPM, ATLAS, HL-LHC

Abstract : The development of a new detector, namely Low Gain Avalanche Diode (LGAD) opens the way to obtaining picosecond level timing information for pixel sensors. Both ATLAS and CMS at CERN rely on such detectors to extract precise timing information from the collisions. While operated in phase 3, these detectors will reduce the pileup confusion in the high luminosity regime. Such a new detectors require a new generation of readout ASICs in order to bring the time resolution to the required levels which is several orders of magnitude better than what is currently achieved. Developed within the ATLAS collaboration,

ALTIROC ASIC is based on GHz amplifiers and Time-to-Digital Converters (TDC) with performance and power budget beyond current state-of-the-art. The different jitter components restraining the time resolution are exposed and evaluated. Also, the ASIC must sustain unprecedented radiation levels (several hundred of Mrads). This thesis deals with Single Event Effects affecting the Phase-Locked Loop (PLL), a highly sensitive element on the clock path. Finally, ALTIROC's simulation and characterisation (when coupled to an LGAD) are compared with another ASIC coupled to a silicon photo-multiplier (SiPM).