



HAL
open science

Étude et optimisation d'un capteur d'images à collection de trous : réduction des tensions de fonctionnement et des dimensions du pixel PhotoGate

Thomas Dalleau

► To cite this version:

Thomas Dalleau. Étude et optimisation d'un capteur d'images à collection de trous : réduction des tensions de fonctionnement et des dimensions du pixel PhotoGate. Micro et nanotechnologies/Microélectronique. Université de Lyon, 2021. Français. NNT : 2021LYSE1127 . tel-04649063

HAL Id: tel-04649063

<https://theses.hal.science/tel-04649063>

Submitted on 16 Jul 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université Claude Bernard  Lyon 1

Numéro NNT : 2021LYSE1127

THÈSE de DOCTORAT DE L'UNIVERSITÉ DE LYON

Opérée au sein de :

l'Université Claude Bernard Lyon 1

Ecole Doctorale Numéro d'accréditation
Electronique, Électrotechnique et Automatique

Spécialité de doctorat : Microélectronique

Soutenue publiquement le 07/07/2021, par :

Thomas DALLEAU

**Étude et optimisation d'un capteur d'images à collection de
trous :**

**réduction des tensions de fonctionnement et des dimensions du pixel
PhotoGate**

Devant le jury composé de :

FERRIGNO Rosaria

Professeure des Universités, UMR5270 - INL

DANNEVILLE François

Professeur des Universités, UMR 8220 - IEMN

MAGNAN Pierre

Professeur des Universités, ISAE-SUPAERO

KAMINSKI Anne

Professeure des Universités, IMEP-LAHC

LU Guo-Neng

Professeur des Universités, UMR5270 - INL

ROY François

Docteur/Ingénieur, STMicroelectronics

Présidente

Rapporteur

Rapporteur

Examinatrice

Directeur de thèse

Co-Directeur de thèse

Remerciements

Les travaux de cette thèse ont été effectués sous convention CIFRE au sein de l'équipe R&D *Process Integration Advanced Imaging* de la société STMicroelectronics-Crolles en collaboration avec l'Institut des Nanotechnologies de Lyon INL.

Je tiens à remercier les membres du jury présents pour la soutenance de ma thèse.

Je remercie tout d'abord François ROY, mon encadrant entreprise, pour m'avoir accueilli dans son équipe, tout d'abord au cours d'un stage et de m'avoir reconduit pour la thèse. Merci pour sa confiance et pour nos échanges.

Je remercie Guo-Neng LU, mon directeur de thèse et professeur à l'Université de Lyon, pour avoir accepté de prendre le suivi de ces travaux. Merci à lui pour ses conseils, notamment pour la rédaction des documents scientifiques, et sa réactivité.

J'adresse mes remerciements à François DANNEVILLE, professeur à l'Université de Lille, et Pierre MAGNAN, professeur à l'ISAE-SUPAERO de Toulouse, pour avoir accepté d'être rapporteurs de ma thèse et leur intérêt pour mes travaux.

Je remercie de même Anne KAMINSKI, professeure à Phelma Grenoble, et Rosaria FERRIGNO, professeure à l'Université de Lyon, d'avoir acceptées d'être examinatrices de mon travail de thèse.

Je souhaite remercier par la suite tous les collègues qui ont participé de près ou de loin à cette thèse et qui m'ont permis d'arriver au bout de mes travaux.

J'exprime tout d'abord toute ma gratitude à Andrej SULER, qui m'a passé le flambeau des travaux sur la photogate et transmis toute sa connaissance sur le domaine. Merci à lui pour sa gentillesse et sa générosité et lui souhaite plein de réussites pour ses projets futurs.

Je remercie aussi mes premiers co-box Sonarith CHHUN et Boris RODRIGUES GONCALVES qui m'ont apporté leur expérience technique au départ de mes travaux.

Je remercie Guillaume MARCHAND pour son aide dans l'utilisation des logiciels de simulation process et device. Je remercie l'équipe de Design Pixel, Pierre MALINGE, Patrice WALTZ, Auguste NGOUA, pour la conception du pixel et leur expertise partagée.

Je tiens à remercier toute l'équipe du CEA dirigée par Yvon CAZAUX : Marie GUILLON, Olivier SAXOD, Nicolas BILLON-PIERRON, François AYEL, . . . qui ont collaboré à la réalisation du pixel photogate et ont apporté leur aide dans la conception, la simulation ainsi que la caractérisation du pixel. Je remercie particulièrement Nicolas pour sa gentillesse et l'aide qu'il m'a apporté à chaque fois que je venais l'embêter pour la caractérisation du pixel.

Je remercie aussi la longue liste des collègues d'atelier et de métrologie qui m'ont aidé à la fabrication du pixel : je mentionnerai mes principaux interlocuteurs Nacer ZINE EL ABIDINE, Elodie BECHE, Daniel BENOIT, Johan SOUC, Jérôme DUBOIS, Nicolas KUBLER, Evan OUDOT, Thomas MASSIN, Bilel SAIDI . . . Merci particulier à Audrey BERTHOUD, Sylvie DELMEDICO, Yannick LE-FRIEC, Aurore DUREL pour le développement de la nouvelle brique de contact tranchée.

Merci à Romain DURU de m'avoir proposé et m'avoir apporté sa connaissance quant à la technique COCOS pour la caractérisation de mon pixel. Merci à lui d'avoir entretenu le lien et les échanges entre thésards.

Merci aux collègues qui ont participé à la caractérisation du pixel. Merci principalement à Stéphane HULOT, Nicolas VIROLLET et Stéphane RICQ pour leur aide précieuse.

Je remercie mes collègues de Process Integration pour leur aide et leur réponses à mes questions : merci à Sébastien PLACE, Jean-Pierre CARRERE, Jean-Luc HUGUENIN, . . . Merci particulier à Thomas FERROTTI, qui s'est rendu disponible à chaque fois que je venais le voir ; merci pour son aide pour la réalisation ardue de la partie BSI du pixel.

Je remercie mes co-thésards Yolène SACCHETTINI, Younes BENHAMMOU et Pierre TOURON qui ont vécu aux mêmes périodes les épreuves de la vie de thésard et avec qui nous avons partagé de bons moments.

Je remercie enfin mes parents sans qui je ne serai pas là. Merci à ma mère d'avoir été tout le temps présente, malgré la distance physique, au cours de ce parcours, avec ses hauts et ses bas. Je te dédie ce travail.

Table des matières

Remerciements	iii
Table des figures	ix
Liste des Tables	xv
Liste des Abréviations	xvii
Constantes Physiques	xix
Liste des Symboles	xxi
Introduction	1
1 Généralités des capteurs d'images et état de l'art	5
1.1 Fonctionnement d'un capteur d'images	5
1.1.1 Traitement optique	5
1.1.2 Conversion du signal lumineux en signal électrique	6
1.1.3 Adressage de la matrice de pixels	8
1.1.4 Reconstruction de l'image	9
1.2 Éléments photosensibles	10
1.2.1 Photo-mos	10
1.2.2 Photo-diode	12
1.3 Architectures du pixel en technologie CMOS	15
1.3.1 Pixel 1T	15
1.3.2 Pixel 3T	16
1.3.3 Pixel 4T	18
1.4 Sources de bruits du pixel	19
1.5 Courant d'obscurité	20
1.5.1 Génération thermique SRH	21
1.5.2 Effet tunnel	23
1.5.3 Courant de diffusion	23
1.5.4 Somme des courants	23
1.6 Diélectriques et passivation	24
1.6.1 Diélectrique : oxyde de silicium SiO_2	24
1.6.2 Diélectrique : nitrure de silicium SiN_x	25
1.6.3 Passivation de l'interface	27

1.7	État de l'art du pixel CMOS	28
1.7.1	Illumination par la face arrière	28
1.7.2	Réduction de la diaphotie : isolation entre pixels	29
1.7.3	Encombrement transistors : architectures partagées	30
1.7.4	Passivation des interfaces des tranchées	30
1.7.5	Conservation de la dynamique pixel	31
1.7.6	Technologies 3D	34
1.8	Conclusion	36
2	Conception et mise en oeuvre du pixel	37
2.1	Introduction	37
2.2	Paramètres du pixel	38
2.2.1	Paramètres géométriques et technologiques	38
2.2.2	Paramètres électriques	39
2.3	Zone de collection et de stockage	41
2.3.1	Épaisseur silicium	41
2.3.2	Dopage silicium	42
2.4	Tranchées profondes capacitives d'isolation	45
2.4.1	CDTI Polysilicium	46
2.4.2	CDTI Nitrure	46
2.5	Passivation de la face-arrière	49
2.5.1	Transmission optique de la couche ONO	50
2.5.2	Effet électrostatique de la couche ONO	51
2.6	Grille de transfert verticale	57
2.7	Noeud de lecture	63
2.7.1	Considération du champ électrique	63
2.7.2	Capacités du noeud de lecture	65
2.8	Transistors pixel	67
2.8.1	Contraintes de la circuiterie	67
2.8.2	Paramètres électriques des transistors pixel	69
2.8.3	Paramètres technologiques des transistors pixel	73
2.8.4	Caractéristiques électriques des transistors pixel	78
2.9	Versions du pixel	82
2.10	Conclusion	85
3	Fabrication et caractérisation du pixel	87
3.1	Procédés de fabrication du pixel	87
3.1.1	Étapes de fabrication et d'intégration	87
3.1.2	Intégration des tranchées pixel : STI, VEGA et CDTI	88
3.1.3	Intégration de l'oxyde d'isolation du noeud de lecture : oxyde SNTI	90
3.1.4	Intégration des transistors pixel	90
3.1.5	Intégration des contacts sur silicium actif et grilles des transistors et intégration des contacts sur tranchées CDTI et VEGA	91

3.1.6	Comparaison des versions pixel	92
3.2	Caractérisations électro-optiques et électriques du pixel	92
3.2.1	Efficacité Quantique	94
3.2.2	Charge à saturation	96
3.2.3	Rémanence du pixel	98
3.2.4	Facteur de conversion charge/tension	101
3.2.5	Fonctionnement de l'étage d'amplification (transistor suiveur et sélecteur de ligne) du pixel	103
3.2.6	Courant d'obscurité	105
3.2.7	Sources de bruits du pixel	115
3.3	Performances du pixel	125
3.4	Conclusion	126
	Conclusion générale	129
	A Technique de mesure du potentiel de déplétion du pixel	133
	B Grille de transfert à double V_t	137
	C Technique de mesure COCOS	143
	D Étude de la diffusion au sein de la photo-gate de type p	147
	E Réponse de la photo-gate de type p sous irradiations gamma	151
	F Productions scientifiques	155
	Résumé	157
	Bibliographie	164

Table des figures

1	Statistique du nombre de photos prises dans le monde et par quel type d'appareils en 2017	2
2	Différentes tailles typiques de pixels des capteurs d'appareil photographique	2
3	Évolution de la taille du pixel et de la résolution des capteurs d'image	3
1.1	Le principe de la reconstruction d'image	6
1.2	Coupe d'une micro-lentille	7
1.3	Représentation du système optique	7
1.4	Effet photoélectrique	8
1.5	Spectre électromagnétique	8
1.6	Schéma de Transfert CCD/CMOS	9
1.7	Fonctionnement photo-mos	11
1.8	Fonctionnement d'un photo-mos avec stockage en volume	12
1.9	Fonctionnement d'une structure photo-diode	13
1.10	Diagramme de bandes PNP	14
1.11	Diagramme de bandes PPG	15
1.12	Schéma électrique d'un circuit pixel passif	15
1.13	Schéma électrique d'un circuit pixel actif	16
1.14	Circuit de fonctionnement d'un SF	16
1.15	Schéma petits signaux d'un SF	17
1.16	Architecture 4T	18
1.17	Principe du transfert dans un pixel 4T	19
1.18	Mécanismes de courant d'obscurité	24
1.19	Défauts P_b à l'interface Si/SiO_2	25
1.20	Défauts E' dans l'oxyde	25
1.21	Centres K dans le nitrure de silicium	26
1.22	Diagramme de bande de l'interface Si-SiN	27
1.23	Passivation chimique des centres P_b de l'interface Si/SiO_2	27
1.24	Schéma d'un capteur éclairé par la face avant et la face arrière	29
1.25	Phénomène de diaphotie et structures d'isolation	30
1.26	Architectures 2T5 et 1T75	31
1.27	Mécanismes de passivation des tranchées profondes	32
1.28	Profil de dopage de photo-diodes verticales	33
1.29	Photo-diode profonde et grille de transfert verticale	33
1.30	Pixel photo-gate de type p avec grille de transfert verticale	34
1.31	Intégration 3D parallèle	35

1.32	Intégration 3D séquentielle	35
2.1	Coupe TEM du pixel photo-gate	37
2.2	Coupe 2D schématique du pixel photo-gate p-type avec détail des paramètres géométriques et technologiques	39
2.3	Schéma électrique des transistors pixel	39
2.4	Schéma des budgets du pixel	40
2.5	Schéma des budgets en tension nécessaires au fonctionnement du pixel	41
2.6	Mesure du profil de dopage du substrat épitaxié	42
2.7	Absorbance du silicium en fonction de son épaisseur et de la longueur d'onde	43
2.8	Simulation du profil électrostatique de la PPG pour un pixel de pas de $2\ \mu m$	44
2.9	Simulation du profil électrostatique et de la quantité de charges stockable dans la PPG	45
2.10	Coupes 2D du pixel VEGA avec CDTI Nitrure	47
2.11	Simulation du potentiel électrostatique du CDTI Nitrure	47
2.12	Mesures Q_{tot} et D_{it} du diélectrique tranchée CDTI Nitrure	48
2.13	Diagramme de bande du tri-couche ONO	50
2.14	Simulation de la transmission optique du tri-couche ONO en fonction de l'épaisseur du troisième oxyde	51
2.15	Simulation électrique de l'empilement ONO	52
2.16	Mesures Q_{tot} et D_{it} des empilements avec TEOS S	53
2.17	Mesures V_{CPD} et V_{FB} de l'empilement avec TEOS S	54
2.18	Cartographie V_{CPD} de l'Ox. (a), de l'Ox./Nit. (b) et de l'Ox./Nit./Ox. post recuit sur toute la plaque pour l'oxyde TEOS S	55
2.19	Mesures Q_{tot} et D_{it} des empilements avec split sur oxyde d'interface	56
2.20	Mesures V_{CPD} et V_{FB} des empilements avec split sur oxyde d'interface	56
2.21	Fonctionnement de la grille verticale de transfert	58
2.22	Simulation du profil électrostatique du pixel de pas de $2\ \mu m$ avec fonctionnement optimal de la grille de transfert	59
2.23	Simulation du profil électrostatique de la grille de transfert : comparaison des pas de $1.2\ \mu m$ et $2\ \mu m$	60
2.24	Simulation du pixel $2\ \mu m$ en fonction des tensions de mise en oeuvre	60
2.25	Simulation du pixel $2\ \mu m$ à 1V8	62
2.26	Diagramme des excursions en tension dans le pixel	62
2.27	Cartographie du champ électrique au sein du pixel $2\ \mu m$ sous 3V	64
2.28	Simulations du profil de dopage et du champ électrique autour du noeud de lecture	65
2.29	Schéma des capacités du noeud de lecture	66
2.30	Schéma électrique simplifié du circuit complet du capteur d'images	67
2.31	Chronogramme associé à un pixel	68
2.32	Fonctionnement de l'étage d'amplification du pixel	70
2.33	Diagramme des tensions du circuit pixel	71
2.34	Diagramme des tensions du circuit pixel sous 1.8V	72

2.35	Simulation de la dynamique du Row Selector avec un transistor PMOS et un transistor NMOS	73
2.36	Diagramme des tensions du sélecteur de ligne	73
2.37	Simulation des différents profils d'implantation des transistors pixel	75
2.38	Simulation du profil électrostatique du transfert au sein du pixel pour différentes implantation caisson	75
2.39	Simulation transistors pixel en fonction du profil d'implantation caisson	76
2.40	Simulation du champ électrique au sein du canal du transistor pour le pixel $1.2\mu\text{m}$ pour plusieurs hauteurs d'oxyde SNTI	77
2.41	Mesures SIMS des profils d'implantation du PMOS pixel	77
2.42	Mesures du courant $I_D(V_G)$ et de la transconductance G_m des transistors pixel	79
2.43	Mesures de $I_D(V_G)$ du transistor PMOS SVT pour différentes tensions caisson	79
2.44	Mesures de la caractéristique électrique $V_S(V_G)$ du transistor suiveur	80
2.45	Mesures de la caractéristique électrique $V_S(V_D)$ du transistor sélecteur de ligne	81
2.46	Simulation de la caractéristique électrique $V_S(V_D)$ de la grille de transmission utilisée comme sélecteur de ligne	82
2.47	Détail des masques des versions STI et SNTI/STI	83
2.48	Pixel photo-gate p-type version SNTI/no STI	84
2.49	Pixel photo-gate p-type version SNTI	84
3.1	Ordre des étapes d'intégration spécifiques au pixel $2\mu\text{m}$	88
3.2	Ordre des étapes d'intégration spécifiques au pixel $1.2\mu\text{m}$	88
3.3	Étapes de fabrication de la tranchée VEGA	89
3.4	Étapes de fabrication de l'oxyde SNTI	90
3.5	Étapes de fabrication des transistors pixel	91
3.6	Étapes de fabrication des contacts	91
3.7	Coupes TEM de la photo-gate p-type	93
3.8	Coupe TEM de l'environnement transistor pixel de la photo-gate p-type	93
3.9	Mesures de l'efficacité quantique pour plusieurs valeurs d'épaisseur active du pixel	94
3.10	Comparaison de l'efficacité quantique de la photo-gate p-type entre la version SNTI/no STI et la version SNTI	95
3.11	Simulation et mesures de la quantité de charges à saturation pour différentes valeurs de dopage et d'épaisseur totale du pixel	97
3.12	Mesures de la quantité de charge pour différentes tensions de mise en oeuvre	97
3.13	Mesure de la quantité de charge à saturation pour différentes tensions de mise en oeuvre et valeurs de dopage silicium	98
3.14	Différentes représentations de phénomènes de rémanence	99
3.15	Mesures de rémanence pour différentes durées d'ouverture TG avec implantation S/D pour le noeud de lecture	100
3.16	Mesures de rémanence pour différentes durées d'ouverture TG avec implantation Bore à 2keV et une dose de 8.10^{14}cm^{-2} pour le noeud de lecture	100

3.17	Mesures de rémanence à différentes tensions pour le pixel $2\mu\text{m}$ avec des dopages de $3\text{e}15\text{ cm}^{-3}$ et $4\text{e}15\text{ cm}^{-3}$	101
3.18	Caractéristique de transfert $V_{out}(V_{in})$ des transistors pixel en fonction du transistor de réinitialisation	104
3.19	Caractéristique de transfert $V_{out}(V_{in})$ de l'étage d'amplification du pixel en fonction du transistor sélecteur de ligne	105
3.20	Représentation des sources de courant d'obscurité au sein du pixel	107
3.21	Mesures du courant d'obscurité moyen des versions du pixel	108
3.22	Mesures du courant d'obscurité des versions du pixel pour différentes hauteurs d'oxyde SNTI	109
3.23	Mesures du courant d'obscurité en température	110
3.24	Mesures de l'énergie d'activation	111
3.25	Histogramme 3D de l'énergie d'activation en fonction du courant d'obscurité	112
3.26	Analyse du courant d'obscurité normalisé pour différentes tensions caisson V_N avec $V_{CDTI}=2.5\text{V}$	113
3.27	Mesures des charges à saturation et du courant d'obscurité en fonction du remplissage CDTI	113
3.28	Comparaison des valeurs de courant d'obscurité normalisé pour divers oxydes d'interface	114
3.29	Histogramme du courant d'obscurité du pixel $2\mu\text{m}$ pour divers oxydes d'interface	115
3.30	Mesures du bruit fixe FPN pour les différentes implantations du noeud de lecture	117
3.31	Mesures du bruit fixe FPN de la version SNTI (pixel $1.2\mu\text{m}$) pour différentes hauteurs de l'oxyde SNTI	117
3.32	Mesures du bruit fixe FPN pour différentes tensions de mise en oeuvre	118
3.33	Mesures du bruit fixe FPN pour différentes durées d'ouverture TG	119
3.34	Mesures de PRNU pour différentes durées d'ouverture TG avec implantation S/D pour le noeud de lecture	119
3.35	Mesures de PRNU avec implantation Bore $2\text{keV } 8.10^{14}\text{ cm}^{-2}$ pour le noeud de lecture	120
3.36	Mesures de PRNU pour différentes tensions de mise en oeuvre	121
3.37	Chronogramme pmos sans ouverture TG	122
3.38	Chronogramme pmos avec synchronisation CDS	122
3.39	Mesures du bruit temporel de la version STI pour les différentes implantations du noeud de lecture	123
3.40	Mesures du bruit temporel pour différentes tensions de mise en oeuvre : version STI	124
3.41	Histogramme du bruit temporel de la version STI	124
3.42	Mesures du bruit temporel pour diverses durées d'échantillonnage CDS	125
A.1	Mesure de capacité du noeud de lecture en fonction du dopage silicium et de la tension V_{TG} pour le pixel $2\mu\text{m}$	134
A.2	Mesure du potentiel de déplétion du pixel $2\mu\text{m}$ en fonction du dopage silicium	135
B.1	Schéma de principe du transfert des charges de la photo-diode au noeud de lecture via la grille de transfert avec simple V_t	138

B.2	Schéma de principe du transfert des charges de la photo-diode au noeud de lecture via la grille de transfert avec double V_t	138
B.3	Simulation et mesure SIMS du profil de dopage au sein de la grille de transfert avec simple ou double V_t	139
B.4	Simulation de la grille de transfert à double V_t	140
B.5	Simulation du profil électrostatique du pixel de pas de $2\mu\text{m}$ avec grille de transfert à double V_t	141
B.6	Simulation de la quantité de charge stockée sur le plateau de la grille de transfert . . .	141
C.1	Appareil et principe de mesure COCOS	143
C.2	Diagramme de bande de la plaque mesurée en COCOS	144
C.3	Corrélation entre le V_{CPD} et la position des charges	146
D.1	Mesure de la quantité de charges à saturation de la version STI pour différents niveaux de dopage des tranchées VEGA et CDTI et du recuit STI	148
D.2	Mesures du FPN de la version STI pour différents niveaux de dopage des tranchées VEGA et CDTI	149
D.3	Mesures SIMS de l'implantation du noeud de lecture suivant différents recuit	149
E.1	Mesures du courant d'obscurité à 60°C pour différentes doses ionisante	153
E.2	Mesures des puces irradiées après relaxation pour différentes températures	153
E.3	Image acquise par le capteur post irradiation	154

Liste des Tables

2.1	Concentration volumique d'électrons à l'interface CDTI	46
2.2	Concentration volumique d'électrons à l'interface du CDTI Nitrure	48
2.3	Concentration volumique d'électrons à l'interface Si/SiO_2	52
2.4	Tableau des paramètres COCOS pour l'analyse de localisation des charges pour le TEOS S	55
2.5	Tableau des paramètres COCOS pour l'analyse de localisation des charges en fonction de l'oxyde d'interface	57
2.6	Tableau des nouvelles tensions de mise en oeuvre sous 1V8	61
2.7	Tableau des recettes d'implantation utilisées pour la définition du noeud de lecture .	64
2.8	Tableau des recettes d'implantation utilisées pour les caissons des transistors	74
2.9	Tableau des recettes d'implantation utilisées pour les source et drain des transistors PMOS et NMOS	74
2.10	Résumé des caractéristiques des transistors pixel	80
2.11	Résumé des caractéristiques des versions pixel étudiées	82
2.12	Résumé des tensions pixel utilisées	85
3.1	Comparaison du QE théorique et mesuré	95
3.2	Valeurs moyennes des CVF des versions du pixel	102
3.3	Valeurs moyennes des capacités du noeud de lecture des versions du pixel	103
3.4	Estimation de la contribution des capacités reliés au noeud de lecture pour la version STI	103
3.5	Tableau de comparaison des valeurs de courant d'obscurité entre les versions du pixel et détail des surfaces d'oxyde	109
3.6	Courant d'obscurité moyen en fonction de la température	110
3.7	Récapitulatif des performances de versions de pixel	126
B.1	Quantité de charges stockée sur le plateau du double V_t faible dopage obtenue par simulation en fonction de la capacité de stockage C_{TG} et de la dynamique en tension ΔV_1	142
E.1	Tableau de performances du capteur sous différentes doses d'irradiation	152
E.2	Courant d'obscurité moyen des puces irradiées post relaxation en fonction de la température	154

Liste des Abréviations

2D	2Dimensions
3D	3Dimensions
AB	Anti Blooming
ADC	Analog to Digital Conversion
BCCD	Buried Charged Coupled Devices
BEOL	Back End Of Line
BSI	Back Side Illumination
CAPS	Complementary Active Pixel Sensor
CCD	Charged Coupled Devices
CDTI	Capacitive Deep Trench Isolation
CMOS	Capacitive Metal Oxide Semiconductor
CMP	Chemical Mechanical Polishing
COCOS	Corona Oxide Characterization of Semiconductor
CTE	Charge Transfer Efficiency
CV	Capacitance Voltage
CVD	Chemical Vapor Deposition
CVF	ConVersion Factor
DCS	DiChloroSilane
DCNU	Dark Current Non Uniformity
DCSN	Dark Current Shot Noise
DIBL	Drain Induced Barrier Lowering
DLTS	Deep Level Transient Spectroscopy
DRAM	Dynamic Range Access Memory
DSNU	Dark Signal Non-Uniformity
DTI	Deep Trench Isolation
EPR	Electron Paramagnetic Resonance
FEOL	Front End Of Line
FPN	Fixed Pattern Noise
FSI	Front Side Illumination
FVD	Fixed Voltage Difference
HARP	High Aspect Ratio Process
HCD	HexaChloroDisilane
IR	Infra Rouge
IT-CCD	InTerline Charged Coupled Devices
LOCOS	LOCAl Oxidation of Silicon

LOD	Lateral Overflow Drain
MEOL	Middle End Of Line
MOS	Metal Oxide Semiconductor
NIR	Near Infra Red
NUV	Near Ultra Violet
PECVD	Plasma Enhanced Chemical Vapor Deposition
PMD	Primary Metal Dielectric
PPD	Pinned Photo Diode
PPG	Pinned Photo Gate
PRNU	Photo Response Non Uniformity
RIE	Reactive Ion Etching
RTN	Rapid Thermal Nitrided
RTO	Rapid Thermal Oxidized
SCCD	Surface Charged Coupled Devices
SCM	Scanning Capacitance Microscopy
SIMS	Secondary Ion Mass Spectroscopy
SN	Sensing Node
SNTI	Sense Node Trench Isolation
STI	Shallow Trench Isolation
TBAPS	Time Based Active Pixel Sensor
TG	Transfer Gate
TID	Total Ionized Dose
TSV	Through-Silicon Vias
TT	Traitement Thermique
UV	Ultra Violet
VEGA	VERTical GATE
VOD	Vertical Overflow Drain
ZCE	Zone de Charge d'Espace
ZQN	Zone de Quasi Neutralité

Constantes Physiques

Vitesse de la lumière	$c_0 = 2.997\,924\,58 \times 10^8 \text{ m s}^{-1}$ (exact)
Charge de l'électron	$q = 1.602\,176\,487 \times 10^{-19} \text{ C}$ (exact)
Bande interdite du silicium	$E_g = 1.12 \text{ eV}$
Constante de Planck	$h = 6.626\,068\,96 \times 10^{-34} \text{ J s}$ (exact)
Constante de Boltzmann	$k = 1.380\,648\,52 \times 10^{-23} \text{ J K}^{-1}$ (exact)
Concentration intrinsèque de porteurs du silicium	$n_i = 1.45 \times 10^{10} \text{ cm}^{-3}$
Permittivité diélectrique du vide	$\epsilon_0 = 8.854\,187\,817 \times 10^{-12} \text{ F m}^{-1}$ (exact)
Permittivité diélectrique du silicium	$\epsilon_S = 11.68\epsilon_0 = 1.034 \times 10^{-10} \text{ F m}^{-1}$
Permittivité diélectrique de l'oxyde de silicium	$\epsilon_{OX} = 3.8\epsilon_0 = 3.36 \times 10^{-11} \text{ F m}^{-1}$

Liste des Symboles

C_{dep}	capacité de déplétion	C
C_j	capacité de jonction	C
C_{OX}	capacité de l'oxyde	C
c_{OX}	capacité surfacique de l'oxyde	$C\text{ cm}^{-2}$
C_{SN}	capacité du noeud de lecture	C
E_C	niveau d'énergie de la bande de conduction	eV
E_i	niveau d'énergie intrinsèque (milieu de la bande interdite)	eV
E_G	niveau d'énergie de la bande interdite	eV
E_V	niveau d'énergie de la bande de valence	eV
E_0	énergie du vide	eV
E_F	énergie de Fermi	eV
g_m	transconductance	$A\text{ V}^{-1}$
g_{mb}	transconductance caisson	$A\text{ V}^{-1}$
G_{RS}	gain du Row Selector	–
G_{SF}	gain du Source Follower	–
I_{bias}	courant de polarisation	A
I_{dark}	courant d'obscurité	A
I_{diff}	courant de diffusion	A
I_{photon}	courant photogénéré	A
$I_{th,s}$	courant de génération thermique en surface	A
$I_{th,v}$	courant de génération thermique dans le volume	A
$I_{tunnel,bbd}$	courant tunnel bande à bande	A
$I_{tunnel,t}$	courant tunnel assisté par piège	A
L	longueur de canal de transistor	A
n	facteur de pente	–
N_A	concentration en accepteurs	cm^{-3}
N_D	concentration en donneurs	cm^{-3}
N_{h^+}	quantité de trous générée	–
n_p	quantité d'électrons dans un substrat p	cm^{-3}
N_{ph}	quantité de photons émise	–
Q	quantité de charges dans le pixel	h^+
Q_c	charge corona	cm^{-2}
Q_{diel}	charge surfacique dans un diélectrique	cm^{-2}
Q_n	quantité d'électrons	e^-
Q_{sat}	quantité de charges à saturation dans le pixel	h^+

R_{DS}	résistance de sortie de transistor	$V A^{-1}$
R_{load}	résistance de charge	$V A^{-1}$
SS	penne sous le seuil	$mV \text{ decade}^{-1}$
T	température	K
V_B	tension caisson	V
V_D	tension de drain	V
V_{bi}	potentiel built-in	V
V_G	tension de grille	V
V_S	tension de source	V
V_t	tensions de seuil	V
V_{cpd}	potentiel de différence de contact	V
V_{FB}	potentiel de bande plate	V
V_D	potentiel de chute dans un diélectrique	V
w	largeur de la zone d'espace charge	m
W	largeur de canal transistor	m
λ	longueur d'onde	nm
$\Phi(\lambda, z)$	flux de photon	lm
Φ_{ms}	fonction de travail métal-semiconducteur	eV
Φ_S	potentiel de surface	eV
μ	mobilité des charges	$V m^{-1}$
ν	fréquence	Hz
ρ	densité de charges	Cm^{-3}
σ	bruit	V
τ	durée de vie	s

Introduction générale

Un capteur d'images est un dispositif qui permet de capturer une scène en la transformant en signal électrique. Par la suite, ce signal est transmis, traité et stocké dans les circuits du capteur. Il peut ensuite être exploité pour restituer une image de la scène.

L'histoire du capteur d'images remonte à la photographie et démarre avec l'avènement de la photographie argentique, développée par Nicéphore NIEPCE et Louis DAGUERRE dans les années 1816-1839 [1][2]. Cette dernière consiste à exposer dans une chambre noire une plaque métallique recouverte de cristaux de sels d'argent qui réagissent en présence de lumière et qui permettent la fixation d'une image sur la plaque suivant des procédés chimiques. Très rapidement après (1839-1841), William Henry TALBOT et Hippolyte BAYARD vont travailler à la reproduction d'un nombre indéfini d'images par le biais d'un négatif. Cette technique est encore utilisée à ce jour et a permis l'expansion de la photographie au grand public. Par la suite, le marché de la photographie argentique sera en constant développement quant à la qualité de l'image et à la portabilité des appareils photographiques. Citons quelques dates importantes de son histoire. Entre 1880 et 1900, George Eastman développe la pellicule photographique en remplacement des plaques métalliques et fonde Kodak. En 1904, les frères Lumière développent la photo couleur. Le premier Polaroid, permettant la prise d'images instantané, est présenté en 1948 en noir et blanc et en couleurs en 1963. En parallèle, en 1959, Nikon produit le premier appareil photographique reflex à mono-objectif qui devient le premier appareil professionnel grand public.

En 1975, Kodak propose le premier appareil photo numérique où la pellicule photographique est remplacée par un capteur électronique CCD, inventé en 1969 [3]. A partir de cette invention, la nature de la photographie change : la photographie argentique, où un support photosensible interagit avec la lumière suivant des procédés chimiques, va être progressivement remplacée par la photographie numérique, où un composant (capteur) électronique est photosensible et où l'interaction avec la lumière est décrite par des signaux électriques. Le capteur CCD domine le marché jusqu'à l'avènement du capteur d'images CMOS à pixel actif [4][5] en 1993, dispositif développé par les chercheurs du Jet Propulsion Laboratory de la NASA. Les capteurs CMOS vont ensuite supplanter les capteurs CCD à partir de 2007.

Depuis son invention, la photographie bouleverse le mode de représentation du réel. Elle peut être classée suivant deux grands domaines. On peut classer la photographie scientifique qui retranscrit une image exacte du réel et qui sert dans divers domaines d'applications (anthropologique, physique, médical, spatial, industriel, ...) et la photographie artistique, qui donne sa propre

représentation et interprétation du réel. Un autre type de photographie regroupe les photographes amateurs du quotidien, celle qui capture la vie de tous les jours ; c'est la photographie vernaculaire. Cette dernière s'est fortement popularisée avec l'apparition de la téléphonie mobile intégrant un appareil photographique pour la première fois en 2000. Nokia est en tête du marché de la photographie mobile au début des années 2000 jusqu'à l'avènement du premier Iphone en 2007. Ce dernier marque l'ère des smartphones. Elle est illustrée Figure 1 où 85% des photos prises dans le monde en 2017 sont faites par des smartphones. Ils ont ainsi permis la croissance exponentielle de la prise de photos.

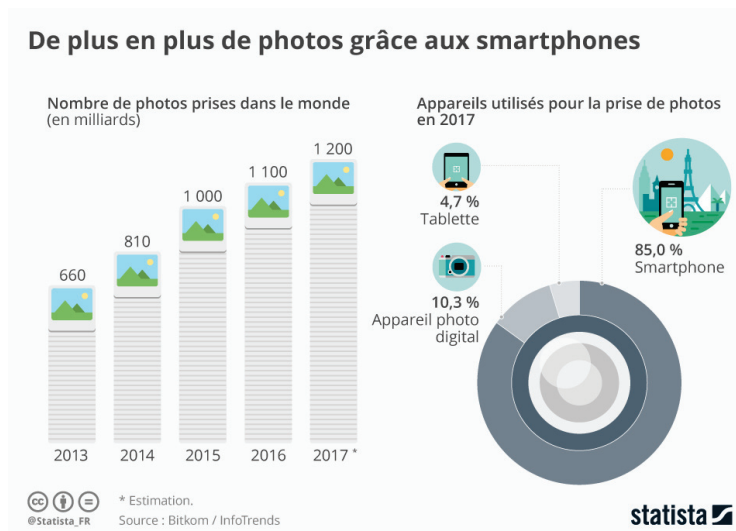


FIGURE 1 – Statistique du nombre de photos prises dans le monde et par quel type d'appareils en 2017 [6]

Les capteurs d'images vendus sur le marché de la photographie aujourd'hui sont de tailles relativement petites (Figure 2), avec les smartphones incorporant les pixels les plus petit de l'ordre de 1 à 2 μm dûs aux contraintes d'avoir un capteur à haute résolution peu énergivore et très compact.

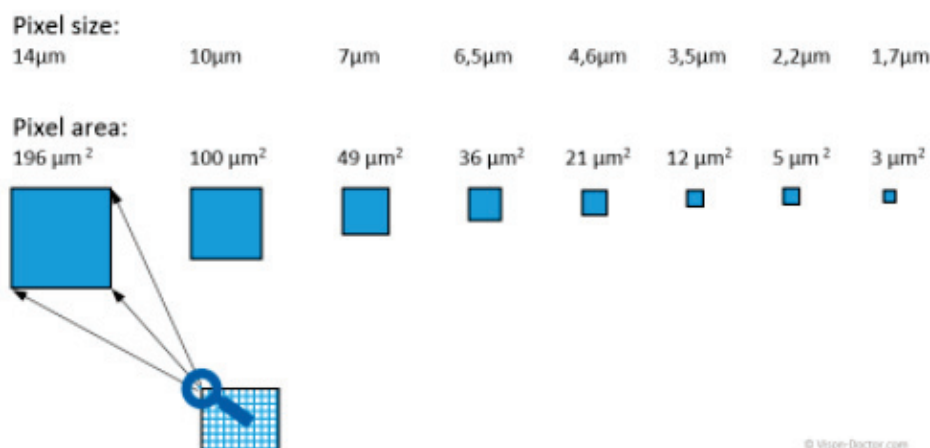


FIGURE 2 – Différentes tailles typiques de pixels des capteurs d'appareil photographique [7]

Cette réduction de la taille pixel est le résultat, depuis 50 ans, de l'amélioration des procédés de fabrication, de la réduction de la taille des transistors [8] et du développement des technologies

CCD et CMOS. La taille du pixel a ainsi pu quasiment se réduire d'un μm chaque année, passant de $40\mu\text{m}$ en 1980 à environ $1.2\mu\text{m}$ en 2010 (Figure 3). Atteindre les dimensions microniques et sub-microniques deviennent alors plus compliquées, la taille de $1\mu\text{m}$ ne sera alors atteint qu'en 2015 et récemment des pixels sub-microniques ont été réalisés par Samsung avec un pixel de $0.9\mu\text{m}$ en 2018, jusqu'à un pixel de $0.7\mu\text{m}$ en 2020. Cette réduction de la taille du pixel a permis d'augmenter la résolution des capteurs d'images sur une surface toujours plus petite, évoluant de 100 kpixels à plus de 20 Mpixels entre 1980 et 2010 et même atteindre 108 Mpixels en 2020.

De même que pour la taille du pixel, les tensions de fonctionnement utilisés pour un capteur d'images ont pu être réduites grâce aux développements des procédés de fabrication et d'intégration des circuits électroniques, de l'utilisation de transistors de dimensions et d'épaisseur d'oxyde de grille plus petites et du développement des technologies imageurs. Les capteurs CCD fonctionnaient généralement sous des tensions de 10V, 15V et 20V [9][10] pour assurer le bon transfert des charges. Les optimisations technologiques ont permis de descendre ses tensions à des valeurs avoisinant les 6V [11]. Le passage à la technologie CMOS a permis d'utiliser de plus faibles tensions de fonctionnement avec des capteurs fonctionnant généralement sous 3.3V [12].

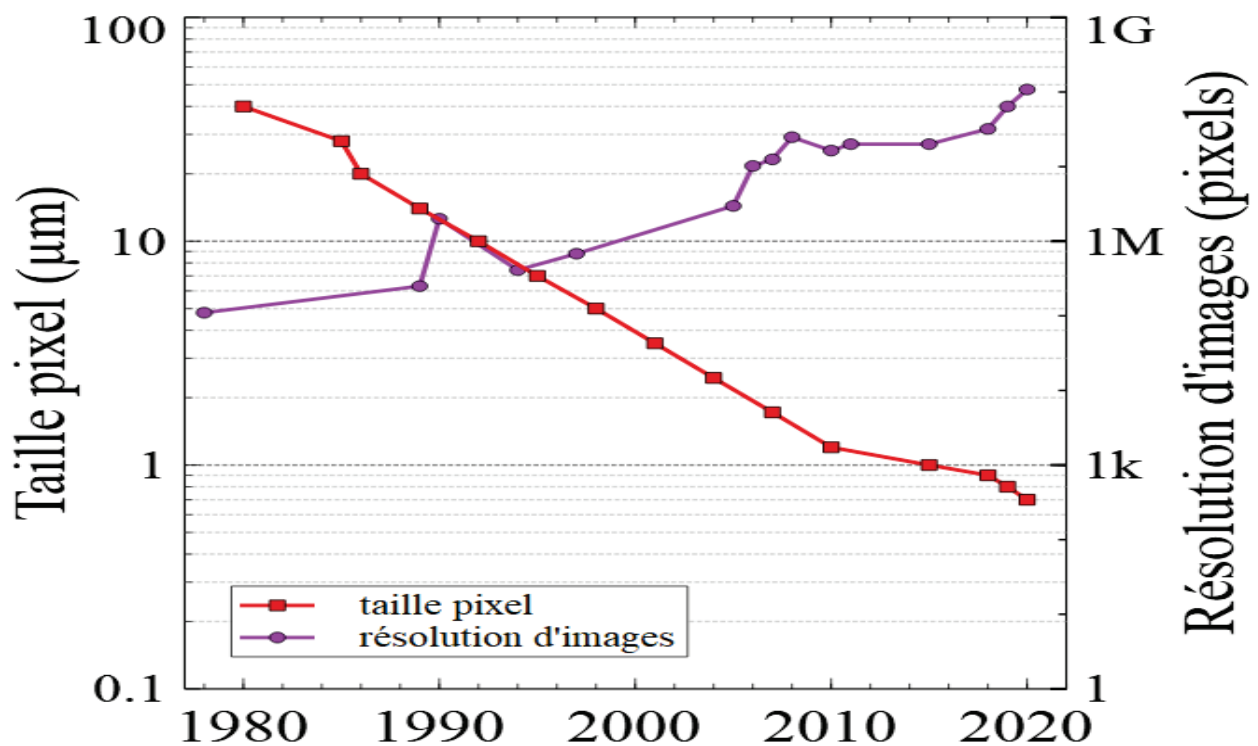


FIGURE 3 – Évolution de la taille du pixel et de la résolution des capteurs d'images entre 1980 et 2020. Données extraites du Tableau 1 de [13], de Sony [14][15] et Samsung [16][17]

Cette thèse s'inscrit dans l'amélioration constante des performances d'un capteur d'images. Cette amélioration est proposée sur une architecture originale qui est une photo-gate à collection de trous comprenant une grille de transfert verticale. Deux objectifs sont abordés : la réduction de la taille du pixel d'une part, avec la fabrication d'un capteur de pas de $1.2\mu\text{m}$ à partir d'un capteur de pas de $2\mu\text{m}$, et la réduction des tensions de mise en oeuvre du capteur d'autre part, avec l'étude

du fonctionnement du capteur de $2\mu\text{m}$ sous des gammes de tensions comprises entre $[0, 3.5\text{V}]$ puis $[0, 2.5\text{V}]$ et $[0, 1.8\text{V}]$.

Ce travail est effectué au sein de l'entreprise STMicroelectronics, sur son site de production de Crolles où les échantillons réalisées au cours de la thèse y sont conçus, fabriqués et caractérisés.

Ce manuscrit de thèse s'articule en trois chapitres. Le premier chapitre regroupe l'état de l'art sur le capteur d'image numérique CMOS et les avancées technologiques qui ont permis soit la réduction de la taille du pixel soit la réduction des tensions de mise en oeuvre. Le second chapitre décrit la conception du pixel avec les études et les choix faits spécifiques aux deux objectifs imposés, ceux-ci à l'aide de simulations TCAD et de mesures sur des barrettes de test. Le troisième chapitre présente le détail de la fabrication des différentes parties du pixel et le résultat des mesures électro-optiques effectuées sur des matrices de pixel selon les deux objectifs imposés.

Chapitre 1

Généralités des capteurs d'images et état de l'art

Ce chapitre présente certains principes clés des capteurs d'images. Nous verrons en premier lieu la structure d'un capteur, depuis la captation du signal lumineux d'une scène jusqu'à la reconstruction d'une image. Nous détaillerons ensuite l'évolution des technologies imageurs qui ont servi à la génération, la collection et la conversion des charges. Nous présenterons les sources de bruit des capteurs ainsi que les notions de passivation par les diélectriques. Puis nous nous attarderons sur certains défis technologiques passés et à venir pour l'objectif de la thèse quant au choix de l'architecture du capteur et des développements qui seront faits en vue de réduire la taille du pixel ainsi que ses tensions de mise en oeuvre.

1.1 Fonctionnement d'un capteur d'images

Les capteurs d'images largement utilisés sur le marché de nos jours pour les applications en photographie numérique sont fabriqués en technologie CMOS à pixel actif. Les technologies CMOS [18] et CCD [3] sont les deux types de capteur à base de semi-conducteurs qui se développent à partir des années 60 et évoluent en parallèle. Bien que le CCD s'impose dans un premier temps de par sa qualité d'image pour l'époque, il est ensuite remplacé par le CMOS lorsque les procédés de fabrication permettent de réduire la taille des composants électroniques. Ces avancées facilitent l'intégration de plusieurs transistors et ainsi d'augmenter le nombre de fonctions et de traitement électroniques au sein du pixel.

Indépendamment de la technologie utilisée, la fonction d'un capteur d'images a pour but de collecter la lumière réfléchie d'une scène et de la convertir en données digitales que l'on peut ensuite traiter pour reconstruire une image de la scène observée. Au sein de ce capteur, le pixel est la plus petite structure élémentaire, qui contient une information d'intensité et de couleur sur un point de l'image que l'on souhaite obtenir. La chaîne de la reconstruction d'une image est représentée Figure 1.1 et sert de fil conducteur à la présentation de l'architecture d'un capteur qui suit.

1.1.1 Traitement optique

Le premier étage traversé par le signal lumineux est une partie optique composé d'une micro-lentille et de filtres colorés. On peut observer la coupe d'un capteur muni d'un empilement optique

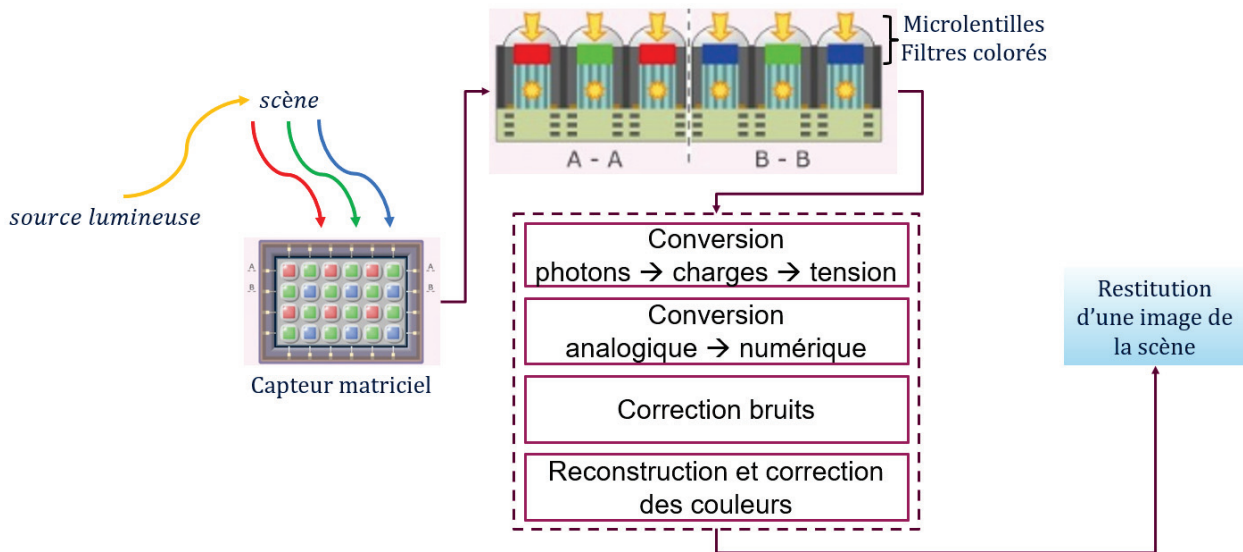


FIGURE 1.1 – Le principe de la reconstruction d'image

sur la Figure 1.2. L'empilement optique, généralement fabriqué de matériau organique, va servir à concentrer le signal lumineux au centre de la zone sensible du pixel. Dans l'exemple présenté d'un capteur récent de Sony [19], la lumière arrive par la face arrière (c'est un imageur BSI). Dans le cas d'un imageur FSI, où la lumière passe par la face avant, la micro-lentille permet de conserver un fort taux de remplissage. Ce paramètre qui correspond au rapport entre la surface de l'élément photosensible sur la surface totale du pixel est normalement faible pour un capteur FSI où les interconnexions métalliques et les transistors pixel occupent de la surface du pixel. La micro-lentille va permettre de converger la lumière incidente sur la surface totale du pixel à l'élément photosensible et obtenir un taux effectif proche de 100 %. Les filtres vont permettre quant à eux d'extraire une information sur la couleur du signal lumineux. Pour ce faire, sont fabriquées différentes couches de résines qui vont absorber la majorité du spectre lumineux et ne laisser passer que quelques longueurs d'onde en fonction de l'information chromatique voulue. Les filtres fabriqués laissent généralement passer les longueurs d'onde dans le bleu, le vert ou le rouge afin de s'approcher de la sensibilité de l'œil humain. Ce dernier est en effet constitué de 3 cônes, qui sont des cellules organiques photosensibles, dont la sensibilité est maximale pour les 3 couleurs primaires, et qui nous permettent de reconstruire toute la palette du spectre visible. L'arrangement de ces filtres sur la matrice suit conventionnellement le motif de Bayer [20], qui répartit les filtres sur 4 pixels adjacents de taille carré, avec 25% de bleu, 25% de rouge et 50% de vert, considérant que l'œil humain est plus sensible aux variations dans le vert (principe des filtres optiques et du réseau de Bayer en Figure 1.3). Il existe aussi plusieurs types de réseaux autres que Bayer pour la disposition des filtres [21]. On s'assure enfin que l'empilement optique réponde conformément au spectre d'intérêt de l'application visée.

1.1.2 Conversion du signal lumineux en signal électrique

Le fonctionnement des imageurs CMOS repose sur la conversion du signal lumineux en charges électriques stockées dans le pixel. Ce phénomène se nomme l'effet photoélectrique observé en 1887

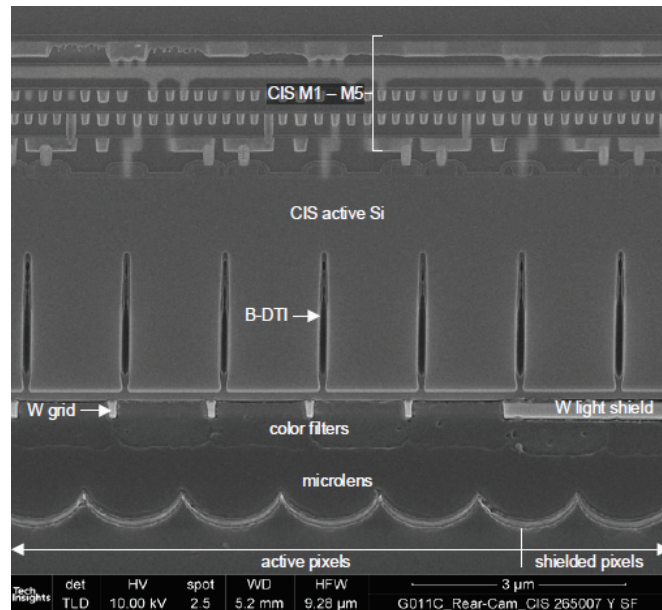


FIGURE 1.2 – Vue en coupe d'un capteur avec son empilement optique, sa zone photosensible et ses connexions métalliques. La zone optique est composée d'une micro-lentille (microlens) et de filtres colorés (color filters). Dans cet exemple, la lumière arrive par la face arrière du capteur. Capteur Sony[19]

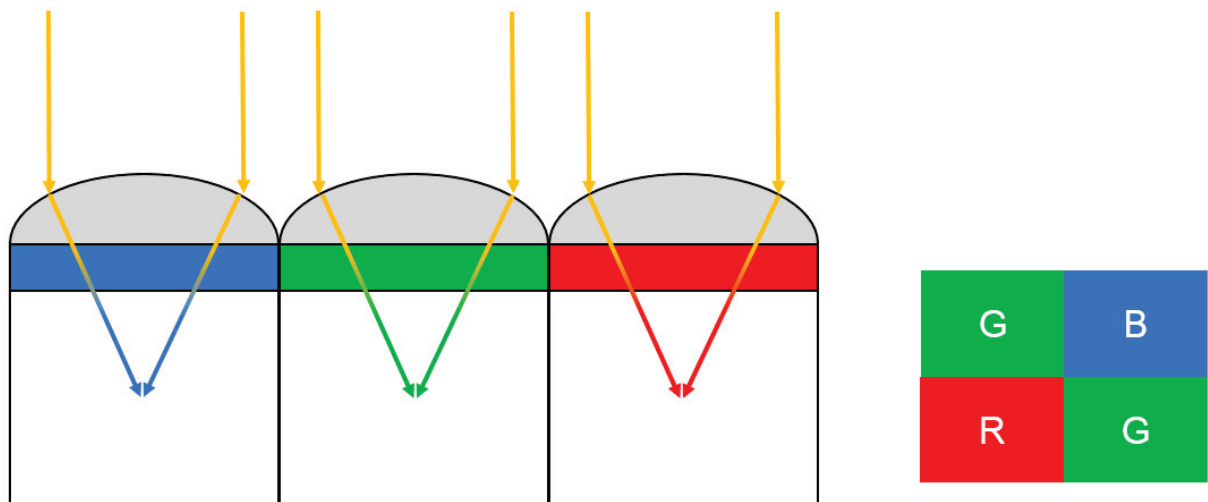


FIGURE 1.3 – Représentation schématique du système optique : (à gauche) micro-lentilles et filtres colorés et (à droite) présentation du réseau Bayer

par H.Hertz et théorisé par A.Einstein en 1905 [22]. Il a pour concept de représenter la lumière sous forme corpusculaire, les photons, dotés d'énergie quantifiée $E = h\nu = \frac{hc}{\lambda}$, directement dépendante de la longueur d'onde du signal. Les photons dont l'énergie est supérieure ou égale à l'intervalle de la bande interdite d'un matériau semi-conducteur, écart d'énergie séparant le dernier état occupé de sa bande de valence au premier état vide de sa bande de conduction, sont absorbés par ce-dit matériau. Cela entraîne la création d'une paire d'électron/trou par le passage d'un électron de la borne de valence du matériau à sa borne de conduction (principe représenté Figure 1.4). Cette paire va alors pouvoir servir dans des phénomènes de conduction au sein du composant lors de la présence de champ électrique.

Une fois générée et en absence de champ électrique, la paire d'électron/trou va diffuser dans

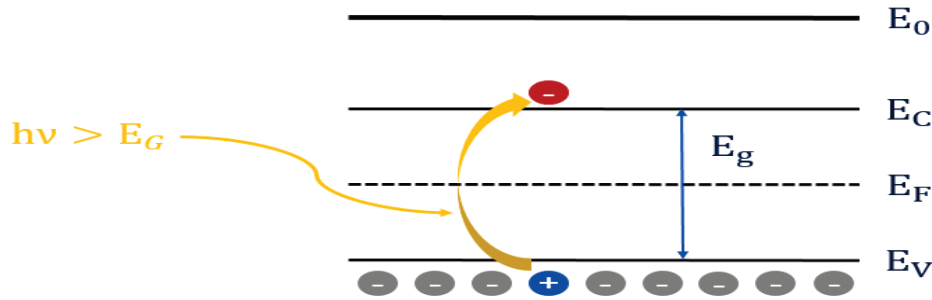


FIGURE 1.4 – Représentation schématique de l'effet photoélectrique : excitation d'un électron par une énergie photonique $h\nu$

le cristal et se recombiner au bout d'un temps τ dépendant de plusieurs paramètres telle que la présence ou non de défauts ou d'impuretés présents dans la structure. C'est pourquoi il est nécessaire de séparer les porteurs en générant un champ électrique et de les stocker pour une lecture ultérieure. Deux méthodes possibles permettant de créer cette courbure de bandes sont l'utilisation d'une jonction p-n typiquement polarisée en inverse ou la déplétion d'une structure MOS par polarisation de grille. Ces méthodes sont respectivement utilisées dans les technologies CMOS et CCD.

Le silicium, qui est un semi-conducteur dont la bande interdite est de 1.12 eV (soit une longueur d'onde de coupure de $\lambda_c(\text{Si})=1107\text{ nm}$), est particulièrement adapté aux applications dans le spectre visible qui s'étend entre 400 nm et 750 nm (représentation Figure 1.5). Pour ce type d'applications, les filtres colorés intégrés à la matrice de pixels filtrent aussi les longueurs d'onde supérieures à 750 nm (proche infrarouge).

Une fois les charges collectées, il nous faut lire la quantité obtenue. Pour ce faire, il faut réaliser une conversion des charges en tension.

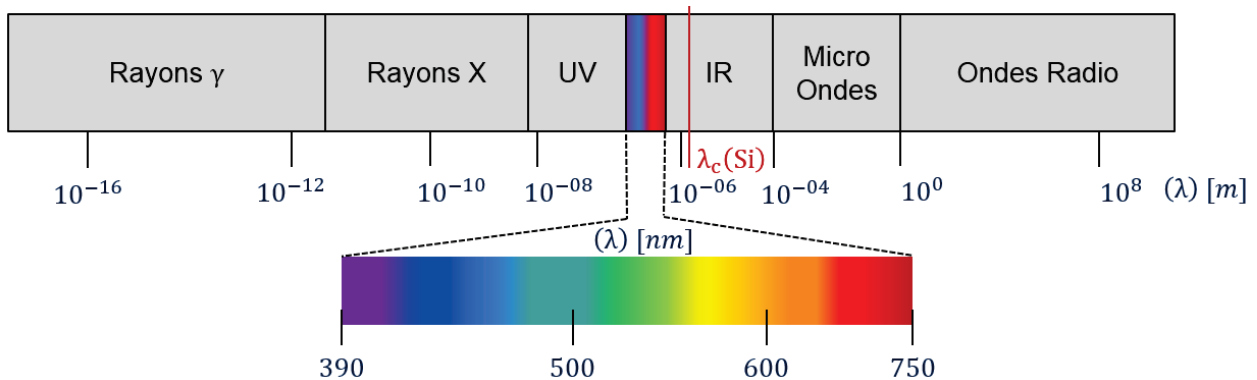


FIGURE 1.5 – Représentation du spectre électromagnétique avec échelle en longueur d'onde (λ) et zoom sur spectre visible

1.1.3 Adressage de la matrice de pixels

Quelque soit la technologie utilisée dans un imageur (CCD ou CMOS), le rôle du capteur reste identique. La lumière reçue par chaque pixel doit être convertie en tension mesurable. Les différences apparaissent dans le transfert des charges et l'adressage de la matrice (schéma explicatif

Figure 1.6). Pour la matrice de pixels en technologie CCD, les charges sont transférées de pixel en pixel verticalement et horizontalement puis convertie en tension sur la capacité de l'unique étage de sortie et convertie en code à l'extérieur de la matrice pour une lecture analogique/numérique du signal. Pour la matrice de pixels en technologie CMOS, les charges sont converties immédiatement en tension dans le pixel. Cette tension est ensuite lue ligne par ligne sur la colonne de sortie. Elle possède donc deux adressages ligne et colonne gérés par des décodeurs, un vertical et un horizontal. La lecture de la matrice de pixels peut s'effectuer plus rapidement pour une technologie CMOS que pour une technologie CCD.

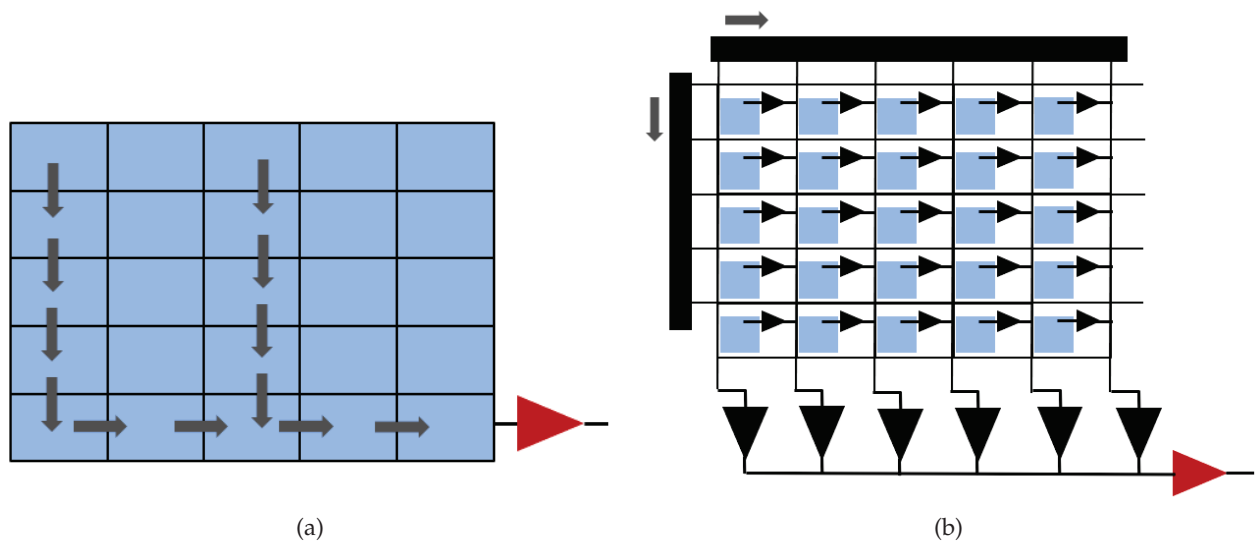


FIGURE 1.6 – Schéma du principe de transfert des charges : (a) pour une matrice CCD et (b) pour une matrice CMOS. Transfert des charges inter-pixels et conversion en tension en fin de matrices dans une technologie CCD et conversion charges/tension pour chaque pixel et transfert inter-lignes dans une technologie CMOS

Le signal de sortie de chaque pixel est ensuite transmise à l'entrée d'un réseau de circuits analogiques/digitaux avec des fonctions électriques telles que l'amplification du signal, la correction de bruits, le filtrage du signal ainsi que la conversion du signal analogique en digital (ADC). Une fois les données compactées, il reste ensuite à reconstruire une image pour stockage, traitement et/ ou affichage en fonction du système d'applications.

1.1.4 Reconstruction de l'image

On obtient une information chromatique par pixel à l'aide des filtres colorés disposés suivant un réseau prédéfini. On va considérer pour l'explication de la reconstruction des couleurs, le cas du réseau dit de Bayer. Chaque pixel renvoie une information d'une seule couleur, étant soit le rouge (R), soit le vert (G), soit le bleu (B) en fonction du filtre qui lui est apposé. Hors, lors de la restitution d'une image, chaque pixel doit contenir une couleur complexe (multiple des trois couleurs primaires) au plus proche de la couleur originelle de la scène capturée. Pour ce faire, diverses étapes algorithmiques permettent la reconstruction de la couleur des pixels [23].

En premier lieu, l'interpolation permet de récupérer l'information manquante sur les trois couleurs pour chaque pixel en considérant leurs pixels adjacents. Il existe plusieurs méthodes d'interpolation utilisées (qui va impacter sur la qualité de l'image en fonction de la structuration

des régions [24]). Pour tous, le principe est de calculer pour un pixel donné un vecteur avec des informations sur les trois couleurs interpolées (R_i , G_i et B_i). Une méthode commune consiste par exemple pour un pixel avec un filtre rouge de prendre la valeur moyenne des pixels bleu et vert adjacents pour calculer son vecteur de couleur de sorte que $R_i = R$, $G_i = \frac{\sum G}{k}$ et $B_i = \frac{\sum B}{k}$ avec k pixels adjacents pour chaque plan couleur.

La source lumineuse éclairant la scène possède généralement un spectre non uniforme dans la plage du visible. Cela impacte les couleurs perçues par le capteur et a pour conséquence de décaler la couleur du fond blanc de référence. Afin qu'un objet blanc apparaisse bien comme tel à l'image, on vient pondérer chaque plan couleur (R, G et B). C'est ce qui s'appelle faire la balance des blancs.

Ensuite, les filtres colorés n'étant pas parfaits (un filtre rouge laissera passer des longueurs d'onde dans le bleu et le vert) et le phénomène de diaphotie (ou 'cross-talk' étant le signal provenant d'un pixel voisin) vont entraîner le mélange des couleurs. Pour corriger ces défauts, on vient appliquer une transformation linéaire via une matrice de coefficients de correction couleur sur les vecteurs (R, G et B) interpolés sans corrompre la balance des blancs.

Enfin, pour présenter une image, on doit considérer que le système d'affichage ne répond pas linéairement au signal de sortie du capteur. On compense cet effet avec une correction appelée correction gamma.

1.2 Éléments photosensibles

Il est nécessaire de séparer les charges photo-générées dans le pixel à l'aide d'un champ électrique pour ne pas qu'elles se recombinent et pour pouvoir lire la quantité de charges générées. Cette partie décrit l'évolution des principes physiques utilisés dans les imageurs pour la séparation et la collection des charges. Soit les structures photo-mos et photo-diode [25]. Par la suite, le principe de fonctionnement des deux structures est expliqué pour un substrat silicium de type p de concentration N_A .

1.2.1 Photo-mos

1.2.1.1 Stockage en surface

Pour la technologie photo-gate ou photo-mos, une capacité MOS est utilisée comme élément photosensible. La structure est constituée d'une grille faite soit de poly-silicium dopé soit de métal, et d'une couche de diélectrique, généralement le dioxyde de silicium. Le fonctionnement de cette technologie consiste à dépléter le substrat de ses porteurs majoritaires (des trous ici) par la polarisation de la grille. Il se crée une zone de charge d'espace sous la grille (soit un champ électrique) qui attire les porteurs minoritaires photo-générées vers l'interface (des électrons ici) : la capacité MOS est en déplétion profonde. Cette technologie est appliquée au CCD, pour laquelle le temps d'intégration reste suffisamment court pour éviter que le signal utile ne soit masqué par des charges provenant du courant d'obscurité.

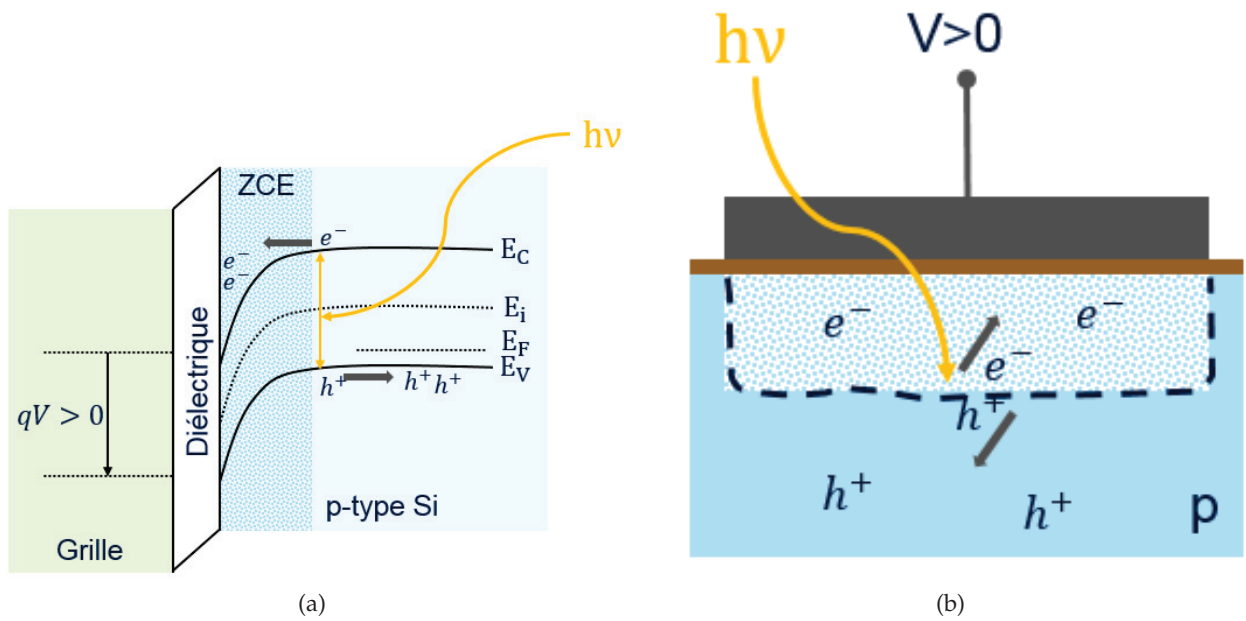


FIGURE 1.7 – Fonctionnement photo-mos : (a) diagramme de bandes d'une structure photo-mos en inversion et (b) schéma associé

Dans notre exemple (Figure 1.7), on utilise un substrat p. Les charges stockées à l'interface sont dans ce cas des électrons. La quantité d'électrons n_p à l'interface Si/SiO_2 dépend de la différence d'énergie entre E_F et E_i selon l'équation :

$$n_p = n_i e^{\frac{E_F - E_i}{kT}} \quad (1.1)$$

En appliquant une tension V plus positive sur la grille, on augmente d'autant cette énergie $E_F - E_i$ à l'interface ; on note ce dernier $q\phi_s$, où $q\phi_s$ représente le potentiel de surface. On passe de faible à forte inversion lorsque

$$q\phi_s = E_F - E_i(\text{surface}) = \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (1.2)$$

Dans ce cas, la zone de charge d'espace s'étend sur une largeur maximale W_m

$$W_m = 2\sqrt{\frac{\epsilon_s kT \ln\left(\frac{N_A}{n_i}\right)}{q^2 N_A}} \quad (1.3)$$

La quantité maximale de charges stockable en surface est égale à

$$Q_n = \frac{C_{OX}}{q} q\phi_s, \quad C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (1.4)$$

Ainsi, la hauteur du puits de potentiel en surface varie avec le dopage silicium, l'épaisseur d'oxyde et le potentiel appliqué sur la grille du MOS. Les potentiels les plus hauts permettent des puits plus profonds. Ce principe permet de contrôler le transfert des charges d'un pixel à l'autre tel qu'utilisé dans un capteur CCD où chaque pixel est représenté par des grilles photo-mos.

1.2.1.2 Stockage en volume

Dans le cas précédent, les charges photo-générées sont collectées et stockées en surface, à l'interface S_i/S_iO_2 . Hors cette interface présente de nombreux défauts (niveaux de pièges dans la bande interdite du silicium pouvant être dus aux impuretés et liaisons pendantes) susceptibles de piéger (pertes de charges) ou de générer (entrant dans le courant d'obscurité du pixel) des porteurs. Il est nécessaire alors d'éloigner les charges de l'interface afin de limiter les effets des états d'interface (piégeage/dépiégeage et génération/recombinaison).

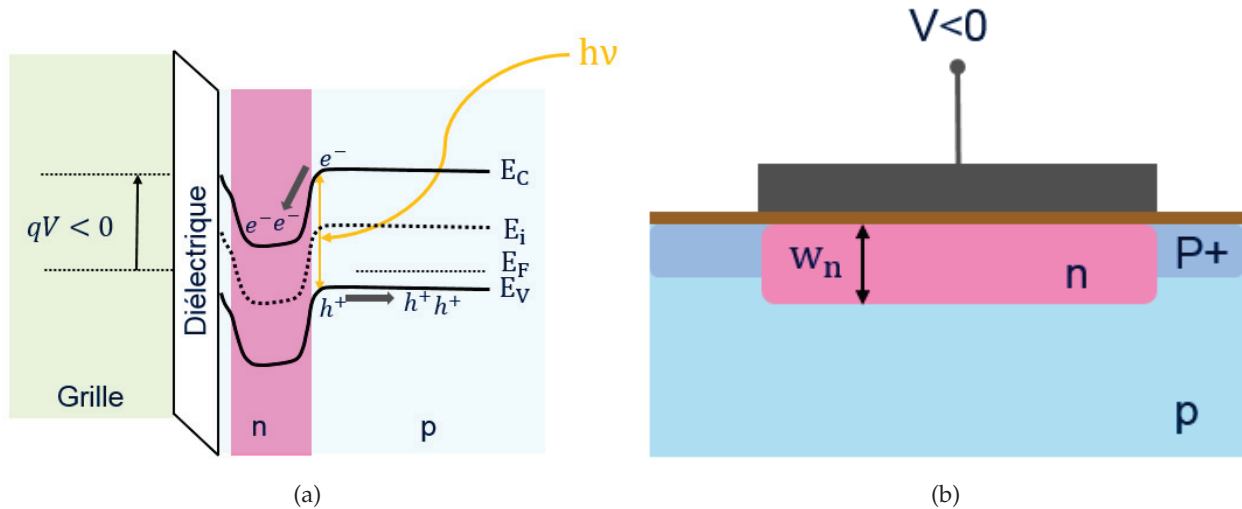


FIGURE 1.8 – Fonctionnement d'un photo-mos avec stockage en volume : (a) diagramme de bande et (b) schéma associé

Pour le photo-mos, il a été proposé d'introduire une couche n sous la grille, écartée de la surface, dans laquelle les charges sont cantonnées [9][26]. La couche n doit être totalement déplétée de ses porteurs (donc suffisamment fine). On applique une tension négative sur la grille de sorte à inverser la couche n pour attirer des trous et ainsi passiver les états d'interface. Ces trous sont apportés par des sources d'implant p+ situés de part et d'autre de la grille qui ont aussi le rôle d'empêcher la fuite latérale des charges (diagramme de bande associée et schéma de principe Figure 1.8). Ainsi, on résout le problème de l'interface au détriment cependant de la capacité qui est plus faible que lors d'un stockage en surface car s'y ajoute une capacité de déplétion en série.

$$C_{volume} = \left(C_{OX}^{-1} + C_{dep}^{-1} \right)^{-1} = \left(C_{surface}^{-1} + \left(\frac{\epsilon_S}{w_n} \right)^{-1} \right)^{-1} < C_{surface} \quad (1.5)$$

1.2.2 Photo-diode

1.2.2.1 Stockage en surface

La structure photo-diode consiste à mettre un silicium de type n de concentration N_D et un silicium de type p de concentration N_A en contact. Le fort gradient de concentration de dopants à la jonction crée un courant de diffusion. De plus, des zones de charges d'espace se forment de chaque côté de la jonction ce qui crée un champ électrique qui impose un courant de dérive de charges opposé au courant de diffusion. A l'équilibre thermique, les courants de diffusion et de

dérive s'annulent pour maintenir un flux de charges nul à travers la jonction. On peut sortir de cet état d'équilibre en appliquant une tension entre les bornes de la diode de sorte que la différence de potentiel de la jonction V_{p-n} suit l'équation

$$V_{p-n} = V_{bi} - V = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) - V \quad (1.6)$$

avec V le potentiel appliqué sur la jonction ($V = V(p) - V(n)$) et V_{bi} la différence de potentiel intrinsèque du silicium à l'équilibre thermique, qui correspond aux différences d'énergies de Fermi entre les deux régions. Dans cette configuration, la zone de charge d'espace s'étend sur une largeur dépendante du potentiel tel que

$$W = \sqrt{\frac{2\epsilon_S}{q} \ln\left(\frac{N_A + N_D}{N_A N_D}\right) (V_{bi} - V)} \quad \text{avec } C_j = \frac{\epsilon_S}{W} \quad (1.7)$$

la capacité de déplétion de la jonction pn. Dans cette configuration, on applique une tension V négative pour que la diode soit en inverse ; le courant traversant la diode vaut alors

$$I = I_{dark} + I_{photon} = I_S \left(e^{\frac{qV}{kT}} - 1 \right) - I_{photon} \quad (1.8)$$

ce qui nous permet d'extraire une information sur la quantité de charges collectées. de l'équation 1.8.

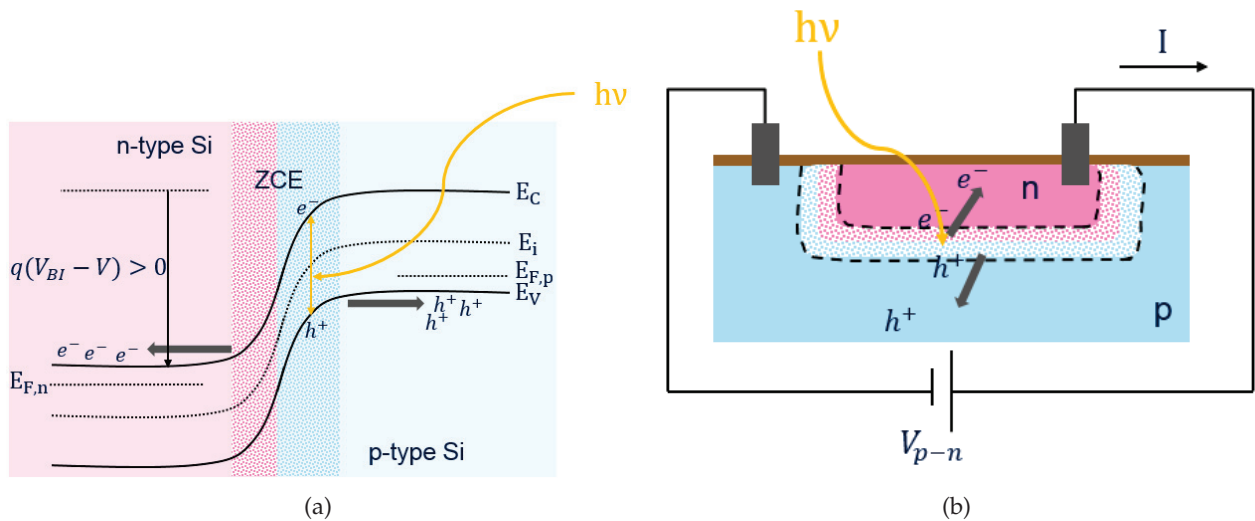


FIGURE 1.9 – Fonctionnement d'une structure photo-diode : (a) digramme de bandes d'une jonction p-n polarisée en inverse et (b) schéma associé

1.2.2.2 Stockage en volume

Avec le même principe appliqué que le pour photo-mos en volume, la photo-diode pincée (ou PPD) [11][27] consiste à implanter une couche surfacique p+ (dans le cas d'un stockage à électrons) au-dessus de l'implant n qui va empêcher la déplétion de l'interface et donc que les photo-électrons interagissent avec ce dernier. De plus, la photo-diode pincée présente une plus

grande capacité de stockage (soit 10 fois supérieure pour [27]) dû à la mise en parallèle de la forte capacité de jonction p+n avec la couche de pincement et la capacité de jonction np avec le substrat ; soit $C_{PPD} = C_{p+n} + C_{np} > C_{PD} = C_{np}$. La quantité de charges stockables sur cette capacité va ensuite dépendre de la gamme de tension disponible entre le potentiel imposé par la couche p (d'où le principe de pincement) et le maximum de potentiel situé au centre de la photo-diode (nommé potentiel de déplétion). L'extraction du profil de potentiel au sein de la photo-diode s'obtient analytiquement en résolvant l'équation de Poisson :

$$\Delta\phi = -\frac{\rho}{\epsilon_0} \quad (1.9)$$

en trois dimensions, avec $\Delta\phi$ le laplacien du potentiel électrostatique et ρ la densité de charges locales. On approxime à une dimension la résolution de l'équation en considérant une jonction npn avec la couche n de largeur d et un dopage constant et abrupte entre chaque jonction (soit le type p de concentration N_A et le type n de concentration N_D). En résolvant l'équation, on obtient la hauteur du puits de potentiel de la diode pincée :

$$\Delta V = q\phi(max) - V_{bi} = \frac{q}{2\epsilon_{SI}} N_D \left(\frac{d}{2}\right)^2 \left(1 + \frac{N_D}{N_A}\right) - \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad (1.10)$$

Le potentiel de la diode ΔV évolue quadratiquement avec la largeur d de la couche n (diagramme de bandes Figure 1.10).

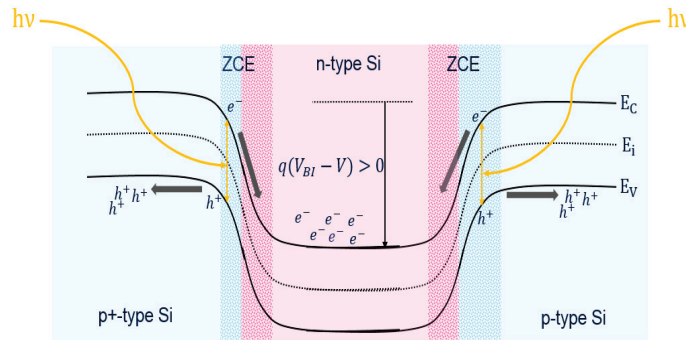


FIGURE 1.10 – Diagramme de bandes d'une photo-diode pincée p+n

Le principe du pincement en 3D de la diode pincée peut être appliquée aussi au concept de photo-gate en plaçant au moins deux structures MOS en regard (pincement en 2D ou 3D) afin de dépléter en volume la couche intermédiaire. Dans ce cas, la déplétion se fait par polarisation des grilles MOS et les conditions aux limites dépendent du potentiel en surface $q\phi_S$ (diagramme de bande Figure 1.11). En considérant un substrat de type n de concentration N_D et de largeur d , la résolution de l'équation de Poisson sur une dimension donne alors une différence de potentiel égale à

$$\Delta V = q\phi(max) - q\phi_S = \frac{q}{8\epsilon_{SI}} N_D \cdot d^2 \quad (1.11)$$

On peut appeler cette structure une photo-gate pincée (ou PPG).

Dans toutes les structures précédentes, on définit le Full Well comme la quantité de charges stockables dans le 'puits' de potentiel créé par la polarisation de la photo-diode ou de la photo-gate.

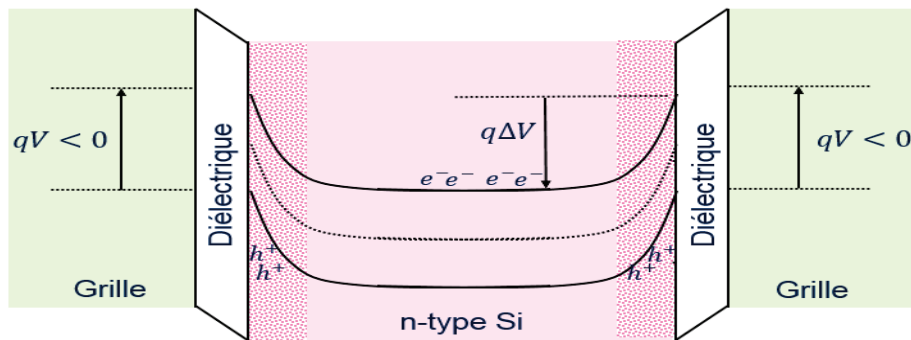


FIGURE 1.11 – Diagramme de bandes d'une photo-gate pincée de substrat n

1.3 Architectures du pixel en technologie CMOS

Les transistors internes au pixel formant un circuit électronique constituent la chaîne de lecture du pixel. Ils servent à convertir et lire les charges générées en tension mesurable. On y distingue les circuits passifs et actifs [28]. Ils sont utilisés de façon identique pour les photo-diodes et les photo-gates

1.3.1 Pixel 1T

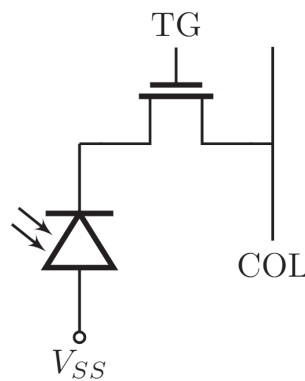


FIGURE 1.12 – Schéma électrique d'un circuit pixel passif. Photo-diode connectée à un branchement colonne (COL) via le transistor de commutation (TG). Tension de référence interne au pixel V_{SS}

Le premier type de circuit intégré avec la photo-diode est un circuit dit passif (Figure 1.12) constitué d'un transistor de commutation (circuit 1T) connectant la photo-diode à un branchement colonne. Lorsque la grille du transistor est activé et que le transistor est passant, le courant de la photo-diode circule à travers la capacité d'un circuit amplificateur en bout de colonne convertie en tension puis le potentiel de la photo-diode est réinitialisée à la tension colonne. Ce circuit peut être composé d'un ou de deux transistors de commutation si l'on veut adresser exactement un pixel. L'inconvénient du pixel passif est son niveau élevé de bruit de lecture.

1.3.2 Pixel 3T

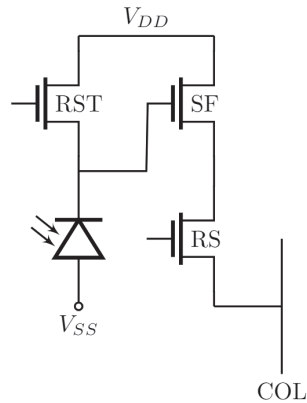


FIGURE 1.13 – Schéma électrique d'un circuit pixel actif. Photo-diode connectée à un branchement colonne (COL) via une architecture 3T constituée des transistors d'amplification (SF), de réinitialisation (RST) et de commutation (RS)

Un pixel dit actif est constitué d'un étage d'amplification en plus d'autres transistors de commutation (Figure 1.13). L'amplification se fait via un transistor connecté en amplificateur à drain commun nommé aussi source suiveuse (SF). Il réalise une adaptation d'impédance entre le signal d'entrée et la sortie. Dans cette configuration, il est nécessaire d'ajouter un transistor connecté à la photo-diode pour réinitialiser la zone de stockage (RST). Enfin le transistor de commutation se situe entre la source du SF et la colonne. Il est généralement nommé sélecteur de ligne (RS) en ce que le signal de commande généré sur sa grille est commune à une ligne de pixels. On parle alors d'architecture 3T pour désigner les trois transistors utilisés dans ce circuit.

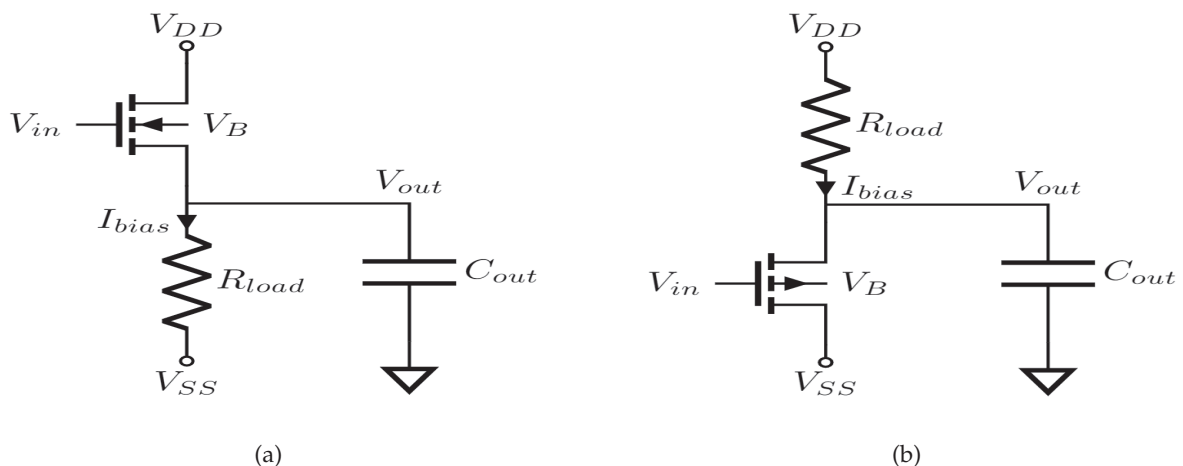


FIGURE 1.14 – Circuit de fonctionnement d'un transistor SF NMOS (a) et SF PMOS (b) avec comme tensions d'entrée et de sortie respectivement V_{in} et V_{out} , courant de polarisation I_{bias} et charge de sortie R_{load}

Détaillons le principe d'un SF (schéma Figure 1.14) [29][30]. C'est tout d'abord un étage de tampon de tension avec une faible impédance de sortie. On force un courant dans le transistor depuis sa source S et on applique un signal d'entrée sur sa grille G. Le courant de polarisation

restant constant, le potentiel sur la source du transistor suit celui de la grille pour pouvoir transférer le courant imposé et fonctionner en forte inversion et saturation. La tension de sortie produit un gain A_v pour la variation en tension avec un décalage en tension continue V_{GS} tels que

$$V_{GS} = V_t(V_{BS}) - \sqrt{\frac{2I_{bias}}{\mu C_{ox} \frac{W}{L}}} \quad \text{pour un NMOS} \quad (1.12)$$

$$V_{GS} = V_t(V_{BS}) + \sqrt{\frac{2I_{bias}}{\mu C_{ox} \frac{W}{L}}} \quad \text{pour un PMOS} \quad (1.13)$$

dépendent de la tension de seuil du transistor, du courant de polarisation et des caractéristiques dimensionnelles.

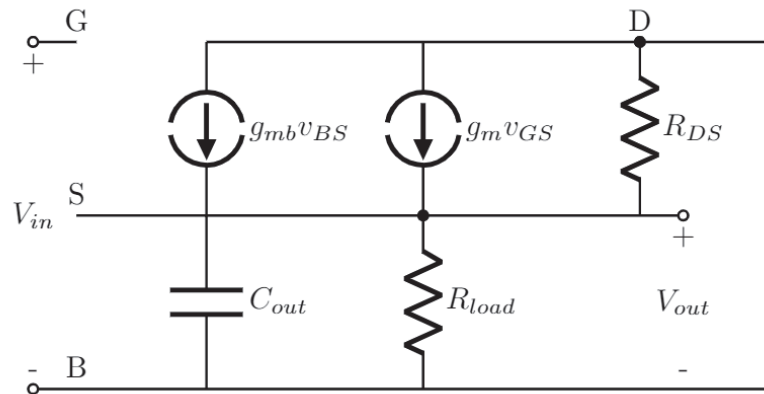


FIGURE 1.15 – Schéma petits signaux d'un SF avec g_m pour transconductance et g_{mb} représentant l'effet de polarité du caisson

Avec l'analyse petits signaux du SF (Figure 1.15), on peut y extraire l'équation du gain et de la résistance de sortie du transistor. On définit

$$v_{GS} = v_{GB} + v_{BS} = V_{in} - V_{out} \quad (1.14)$$

$$V_{out} = (g_{mb}v_{BS} + g_m v_{GS})(R_{DS} // R_{load}) \quad (1.15)$$

On obtient alors

$$G_{SF} = \frac{g_m}{g_m + g_{mb} + \frac{1}{R_{DS}} + \frac{1}{R_{load}}} \quad (1.16)$$

$$R_{out} = \frac{1}{g_m + g_{mb} + \frac{1}{R_{DS}} + \frac{1}{R_{load}}} \quad (1.17)$$

On voit que le gain du SF ne dépend pas des tensions d'alimentation. En revanche si le caisson B et la source S du transistor ne sont pas polarisés à la même tension, on retrouve l'effet du caisson sur le $V_t(V_{BS})$ du transistor suivant

$$V_t = V_{FB} + 2\phi_F + \Gamma_B \sqrt{2\phi_F - V_{BS}} \quad \text{pour un NMOS} \quad (1.18)$$

$$V_t = V_{FB} - 2\phi_F - \Gamma_B \sqrt{2\phi_F + V_{BS}} \quad \text{pour un PMOS} \quad (1.19)$$

avec V_{FB} la tension de bande-plate, $2\phi_F$ le potentiel de surface en inversion et $\Gamma_B = \frac{\sqrt{2q\epsilon_{Si}N_B}}{c_{ox}}$ le coefficient de l'effet substrat. Si l'effet du caisson est négligeable, le gain du SF est quasiment unitaire et la résistance de sortie faible, g_m dominant les autres termes dans le dénominateur des équations G_{SF} et R_{out} . Le transistor fonctionnant en saturation, les paramètres de transconductance se calculent comme suit :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu C_{ox} \frac{W}{nL} (V_G - V_t - nV_S) = \frac{2I_D}{V_G - V_t - nV_S} = \sqrt{\frac{2\mu C_{ox} W I_D}{nL}} \quad (1.20)$$

$$g_{mb} = (n - 1)g_m \quad (1.21)$$

En remplaçant la définition de g_{mb} dans l'équation (1.16), on obtient

$$G_{SF} = \frac{1}{n} < 1 \quad \text{avec} \left(\frac{1}{R_{DS}}, \frac{1}{R_{load}} \right) \ll g_m \quad (1.22)$$

où $n = 1 + \frac{\Gamma_B}{2\sqrt{2\phi_F - V_{BS}}}$ est le paramètre de pente du courant du transistor en faible inversion qui dépend du dopage caisson et de l'effet substrat. Le gain du SF est un paramètre clé dans le fonctionnement du transistor. On souhaite qu'il soit le plus proche possible de 1 et doit rester constant sur une plage de tension qui définit la plage de travail de la chaîne de lecture.

1.3.3 Pixel 4T

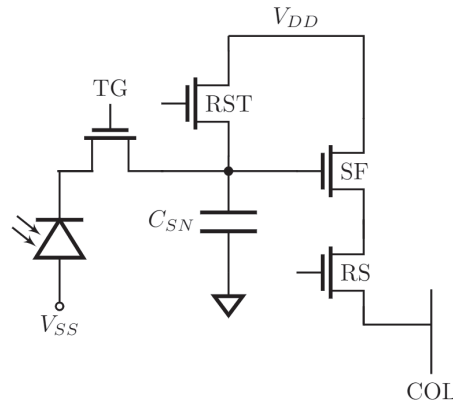


FIGURE 1.16 – Architecture 4T avec ajout d'un transistor de transfert de charges TG et d'une capacité de lecture C_{SN}

La description précédente relevait d'une architecture de pixels 3T avec connexion directe entre la photo-diode et l'étage d'amplification. On présente maintenant une architecture de pixels 4T dans laquelle un transistor de transfert TG est ajouté pour transférer les charges sur le noeud de lecture de capacité C_{SN} . Cette architecture présente de nombreux avantages par rapport à un 3T. Elle nous permet d'avoir un meilleur contrôle sur la conversion de charge en tension et d'optimiser séparément la capacité de stockage de la photo-diode et la capacité de stockage du noeud de lecture. De plus cette architecture nous permet de réaliser un double échantillonnage corrélé (CDS) pour supprimer le bruit de réinitialisation du noeud de lecture en soustrayant au signal d'acquisition un signal de référence du noeud de lecture stocké avant le transfert des charges. Enfin cette architecture nous permet de remplacer la photo-diode par une photo-diode pincée; on éloigne ainsi la zone de stockage de la surface et l'on minimise le courant d'obscurité surfacique par le pincement de la photo-diode en surface.

On présente un pixel d'architecture 4T sur le schéma en Figure 1.16. Le transfert des charges fonctionnent comme suit (Figure 1.17). Dans le cas d'une photo-diode de type n, le canal de la grille de transfert TG est fermé ($V < 0$) et isole la photo-diode du noeud de lecture; le potentiel de barrière est plus faible que le potentiel de déplétion de la diode. Le noeud n+ est réinitialisé à une tension supérieure au potentiel de déplétion et le canal de la grille TG est ouverte ($V > 0$) pour transférer les charges vers le noeud n+.

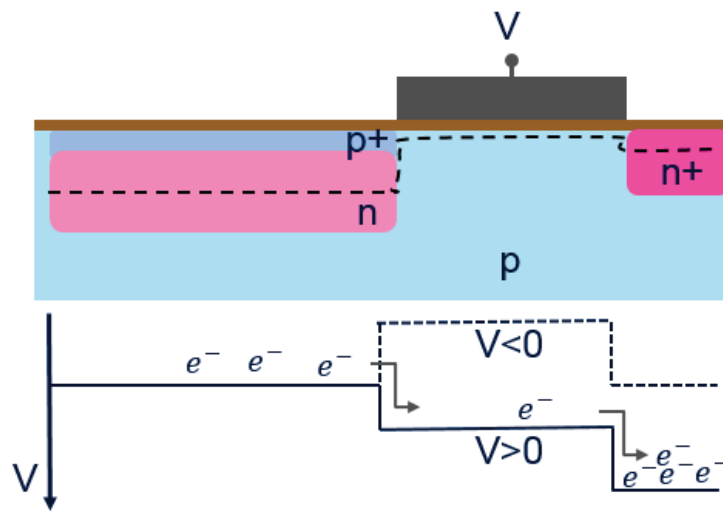


FIGURE 1.17 – Principe du transfert dans un pixel 4T

1.4 Sources de bruits du pixel

Les bruits d'un capteur représentent un signal non voulu qui s'ajoute ou se retranche à celui de la scène. Ils peuvent être dus à des non uniformités de fabrication, à des défauts et impuretés et sont aussi dépendants des technologies et des agencements pixels choisis. Ils sont interprétés soit comme des bruits temporels (une variation du signal au cours du temps pour un pixel donné) soit comme des bruits spatiaux (une variation systématique du signal de pixel à pixel, stable au cours du temps). On peut les représenter comme suit [31] :

$$\sigma_{tot}^2 = \sigma_{FPN}^2 + \sigma_{TN}^2 \quad (1.23)$$

$$= \underbrace{\sigma_{DSNU}^2 + \sigma_{PRNU}^2}_{\sigma_{FPN}^2} + \underbrace{\sigma_{ph}^2 + \sigma_{dark}^2 + \sigma_{readout}^2}_{\sigma_{TN}^2} \quad (1.24)$$

$$= \underbrace{\sigma_{p,FPN}^2 + \sigma_{c,FPN}^2 + \sigma_{DCNU}^2}_{\sigma_{DSNU}^2} + \sigma_{PRNU}^2 + \sigma_{ph}^2 + \sigma_{dark}^2 + \sigma_{readout}^2 \quad (1.25)$$

avec σ_{FPN} le bruit spatial, σ_{TN} le bruit temporel, σ_{DSNU} la non uniformité du signal d'obscurité et $\sigma_{readout}$ le bruit de lecture.

Les bruits spatiaux peuvent se classer en :

1. $\sigma_{p,FPN}$ le bruit fixe pixel qui regroupe toutes les variations géométriques, technologiques ou électriques entre les pixels
2. $\sigma_{c,FPN}$ le bruit fixe colonne qui correspond à la variation du courant injecté I_{col} entre les colonnes de la matrice de pixels
3. σ_{DCNU} qui représente la non uniformité du signal du courant d'obscurité, exprimé en pourcentage de déviation du courant d'obscurité moyen
4. σ_{PRNU} qui représente la non uniformité de la réponse du signal photonique, exprimé en pourcentage de déviation par rapport au signal moyen

Les bruits temporels peuvent se classer en :

1. $\sigma_{ph} = \sqrt{N_{ph}}$ le bruit photonique qui représente la variation statistique du signal photonique, détermine le niveau minimum de bruit du pixel
2. σ_{dark} le bruit quantique du courant d'obscurité qui représente la variation statistique du courant d'obscurité
3. $\sigma_{th} = \sqrt{4kTR\Delta f}$ le bruit Johnson ou bruit thermique généré par l'agitation thermique des porteurs de charges
4. $\sigma_{flicker}$ le bruit de scintillation ou bruit 1/f qui décrit la variation du signal de sortie d'un transistor basé sur la fluctuation du nombre de porteurs dans le canal du transistor et/ou la fluctuation de la mobilité des porteurs
5. σ_{RTS} le bruit télégraphique ou bruit RTS qui correspond à des variations discrètes du signal au cours du temps provenant de phénomènes de piégeage/dé-piégeage de porteurs aux interfaces silicium-oxyde
6. σ_{ADC} le bruit de quantification de l'ADC

1.5 Courant d'obscurité

Le courant d'obscurité est défini comme un signal de sortie parasite mesuré dans le pixel même en l'absence de signal lumineux en entrée. Ce signal provient de charges générées et stockées

dans la zone de collection du pixel par des mécanismes physiques autre que le phénomène de photoélectricité. La charge générée varie exponentiellement avec la température et augmente avec le temps d'intégration. Ce courant représente l'une des principales sources de bruit qui dégrade la qualité d'une image. Pour l'éliminer du capteur d'images, deux méthodes 'électroniques' sont couramment utilisées. La première consiste à prendre une image de la matrice dans l'obscurité et de la retrancher à la vraie image de capture d'une scène, pour un même temps d'intégration, afin d'éliminer cette composante pixel à pixel. La seconde méthode est d'intégrer au capteur des pixels 'noirs' en bord de matrice qui sont masquées pour ne pas générer de signal lumineux. Ces pixels permettent d'évaluer une valeur moyenne du courant d'obscurité retranchée à la matrice. Ces ajustements ne permettent pas de réduire complètement ce signal parasite car le courant d'obscurité possède à la fois une composante temporelle et une composante spatiale. La génération de charges est un phénomène quantique; ainsi la valeur du courant d'obscurité pour un pixel donné varie au cours du temps ce qui induit un bruit quantique du courant d'obscurité qui suit une distribution de Poisson tout comme le bruit photonique σ_{dark} . La variation spatiale rend compte des différences physiques entre les pixels, de décalages dimensionnels ou de problèmes particuliers dans la fabrication du capteur. Cette dispersion apporte un bruit de non-uniformité du signal dans le noir (DCNU). Une des illustrations de cette dispersion est ce qu'on appelle les 'pixels blancs' (ou 'white pixels') qui sont des pixels présentant un niveau de courant très élevé et supérieur à la valeur moyenne des pixels et dont la cause peut généralement provenir de contaminants métalliques au sein de la matrice. Le nombre de pixels blancs dans une matrice est mesurée selon un niveau de signal parasite fixée par le fabricant et qui peut varier en fonction des applications et des contraintes du capteur. Ces sources de bruit résiduelles nous amène à proposer des solutions propres à traiter ce problème de courant d'obscurité. Cela comprend un aspect technologique pour réduire les contaminants et les désalignements entre pixels ainsi qu'un aspect physique dans les méthodes utilisées pour réduire ces générations telles que l'utilisation de tranchée CDTI polarisée en inverse par exemple. On décrit par la suite les différents mécanismes qui créent du courant d'obscurité.

1.5.1 Génération thermique SRH

En absence d'excitation lumineuse, la génération d'une paire d'électron/trous peut avoir lieu par l'excitation thermique d'énergie kT transmise par phonons. La génération thermique se produit dans une zone de charge d'espace en volume et en surface. Ce mécanisme est favorisé par la présence de niveaux d'énergie dans la bande interdite. Ces niveaux de 'pièges' d'énergie E_t apparaissent dans le volume du silicium par la présence de défauts cristallins ou de contaminants et impuretés. Ce sont des défauts discrets, souvent à l'origine de pixels blancs. Des niveaux de pièges apparaissent aussi aux interfaces (ou en surface) par la présence des liaisons pendantes. On représente les interactions de capture ou d'émission de charges avec ces pièges via le modèle de génération et de recombinaison Shockley-Read-Hall (SRH) [32]. Selon ce modèle, le taux de recombinaison R_{th} et/ou de génération G_{th} thermique de paires électrons/trous via les niveaux d'énergie intermédiaires E_t dépend des probabilités d'émission (e_n et e_p) et de capture (c_n et c_p) des porteurs (électrons et trous), de leur concentration et de leur probabilité d'occupation d'un

piège suivant une distribution de Fermi [25]. Le taux de recombinaison vaut alors :

$$U = R_{th,v} = -G_{th,v} = \frac{v_{th}\sigma_p\sigma_n N_t [pn - n_i^2]}{\sigma_p [p + n_i \exp((E_i - E_t)/kT)] + \sigma_n [n + n_i \exp((E_t - E_i)/kT)]} \quad (1.26)$$

$$n_i = \sqrt{N_c \cdot N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (1.27)$$

avec v_{th} la vitesse thermique des porteurs, σ_p et σ_n la section de capture des trous et des électrons (différentes pour les phénomènes de piégeage dé-piégeage), N_t la densité de pièges et p et n les densités de trous et électrons aux bornes de valence et de conduction. En présence de centre de génération/ recombinaison, les sections de capture des trous et des électrons sont identiques $\sigma_p = \sigma_n = \sigma_0$. De plus, au sein d'une zone de charge d'espace (zone déplétée), la concentration de porteurs est nulle $p = n = 0$.

On définit le courant d'obscurité dans la zone de charge d'espace comme :

$$I_{th,v} = q \cdot G_{th,v} \cdot V_{ZCE} \quad (1.28)$$

avec V_{ZCE} le volume de la zone de charge d'espace.

Ce mécanisme de génération est aussi applicable en surface aux interfaces Si/SiO_2 . De plus, en absence de passivation à la surface ou de mauvaise passivation, c'est la génération en surface qui prédomine par rapport à la génération en volume. On définit alors un courant d'obscurité de surface $I_{th,s}$:

$$I_{th,s} = q \cdot G_{th,s} \cdot A_{ZCE} \quad (1.29)$$

avec $G_{th,s}$ la génération en surface et A_{ZCE} la surface de l'interface en déplétion.

On peut définir une énergie d'activation E_a qui caractérise les niveaux de piège dans le silicium tel que :

$$E_a = E_t - E_v \quad \text{si } E_t \geq E_i \quad (1.30)$$

$$E_a = E_c - E_t \quad \text{si } E_t < E_i \quad (1.31)$$

On montre que le courant d'obscurité suit alors une loi d'Arrhenius telle que :

$$I_{th,v} = q \cdot G_{th,v} \cdot V_{ZCE} = q \cdot V_{ZCE} \cdot A \exp\left(-\frac{E_a}{kT}\right) \quad (1.32)$$

avec $A = v_{th} \sqrt{N_c \cdot N_v}$, et qui permet de remonter aux énergies d'activation des défauts par la mesure du courant pour plusieurs températures.

1.5.2 Effet tunnel

L'effet tunnel transcrit la probabilité d'une charge à traverser une barrière de potentiel par effet quantique, de hauteur supérieure à l'énergie de la charge. Cette probabilité devient forte lorsque l'épaisseur de barrière d'énergie de la bande interdite est faible. Cela se produit localement lors de présence de jonctions fortement dopées. Cet effet tunnel peut s'effectuer directement de bande à bande ou via des pièges (par exemple capture d'une charge sur un piège par énergie thermique puis passage en borne de conduction par effet tunnel).

1.5.3 Courant de diffusion

Le courant de diffusion représente le transport des charges, par la présence d'un gradient de concentrations, au sein de zones de quasi neutralité. On peut représenter ce courant comme suit :

$$I_{diff} \propto \sqrt{\frac{D_{n,p}}{\tau_{n,p}}} \frac{n_i^2}{N_{A,D}} \quad (1.33)$$

avec $D_{n,p}$ le coefficient de diffusion des électrons ou trous, $\tau_{n,p}$ la durée de vie des électrons ou trous et $N_{A,D}$ la concentration en ions accepteurs ou donneurs.

Ce courant est donc identifié par une énergie d'activation proche du niveau de bande interdite E_g .

Lorsque la distance entre la zone déplétée et l'interface est inférieure à la longueur de diffusion des porteurs, la zone de neutralité n'est plus en équilibre thermodynamique. Le courant de diffusion correspond alors aux générations provenant des états d'interface, qui est minimisé pour des interfaces totalement passivées.

1.5.4 Somme des courants

La somme des phénomènes physiques précédents contribuent au courant d'obscurité tel que :

$$I_{dark} = I_{th,v} + I_{th,s} + I_{tunnel} + I_{diff} \quad (1.34)$$

Ils sont représentés sous forme de diagramme de bandes en Figure 1.18. Le diagramme est présenté avec les électrons comme porteurs minoritaires. On fait ici la distinction entre l'effet tunnel direct de bande à bande $I_{tunnel,bbd}$ et l'effet tunnel assisté par un piège $I_{tunnel,t}$. Le puits de potentiel peut représenter par exemple la zone de déplétion de la photo-gate. Dans ce cas, la jonction est suffisamment abrupte pour qu'il y ait des effet tunnels en bord de puits là où les bornes se rapprochent. Les courants de génération thermique sont quant à eux illustrés via des défauts soit à l'interface d'un diélectrique ($I_{th,s}$) soit au sein de la zone déplétée ($I_{th,v}$).

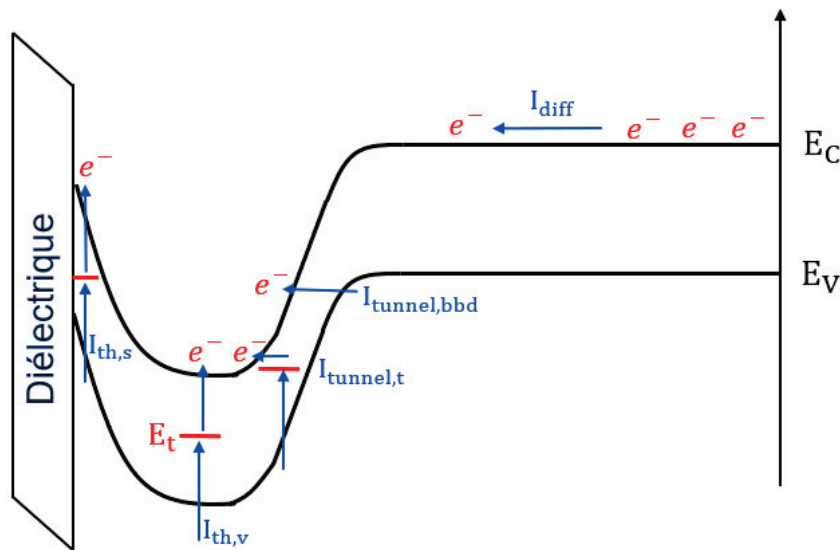


FIGURE 1.18 – Représentation en diagramme de bande des mécanismes physiques participant dans le courant d'obscurité

1.6 Diélectriques et passivation

La problématique des diélectriques utilisés aux interfaces est importante à traiter afin de minimiser le courant d'obscurité. On détaille les caractéristiques de l'oxyde de silicium et du nitrure du silicium, diélectriques utilisés dans notre pixel.

1.6.1 Diélectrique : oxyde de silicium SiO_2

La technologie sur silicium s'est imposée en micro-électronique grâce aux caractéristiques de l'oxyde de silicium et de la qualité de l'interface oxyde-silicium. Un atome de silicium est relié à quatre atomes par ses électrons de valence et un cristal pur de silicium forme une structure tétraédrique. A la surface de ce cristal, les atomes laissent une liaison covalente non pourvue créant des pièges à l'interface dont la densité vaut environ $D_{it} \approx 10^{14} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ [33]. C'est pourquoi la surface de silicium n'est jamais laissée à nu mais subit une oxydation thermique : à l'interface Si/SiO_2 un atome de silicium est relié à deux atomes d'oxygène et deux atomes de silicium suivant une structure tétraédrique. L'atome d'oxygène est bivalent et relié à deux atomes de silicium. Au sein du cristal d'oxyde de silicium, un atome de silicium est relié à quatre atomes d'oxygène, ces derniers faisant le lien entre deux atomes de silicium. Il a été montré que l'oxyde de silicium est un matériau avec peu de défauts de structure due à la grande flexibilité de la liaison Si-O-Si [34]. Ainsi la différence de maille entre l'oxyde de silicium et le cristal pur de silicium est compensé par cette flexibilité et permet aussi une bonne qualité d'interface [35], réduisant la densité de défauts à l'interface à $D_{it} \approx 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ [36]. Les défauts principaux encore présents peuvent se lister comme suit :

- des centres P_b suivant la direction (111) du cristal de silicium, de structure $Si \equiv Si_3$ où un atome de Si n'est relié qu'à trois atomes de Si, laissant une liaison non pourvue à la surface [37]

- des centres P_{b0} suivant la direction (100) du cristal de silicium, de structure $Si \equiv Si_3$ comme en (111) [38]
- des centres P_{b1} suivant la direction (100) du cristal de silicium, de structure $Si \equiv Si_2O$ avec une liaison silicium-oxyde non pourvue
- des centres E' au sein des premières couches de l'oxyde de silicium, de structure $Si \equiv O_3$ avec des lacunes d'oxygène [39]

On représente les trois types de défauts P_b à l'interface Si/SiO_2 en Figure 1.19.

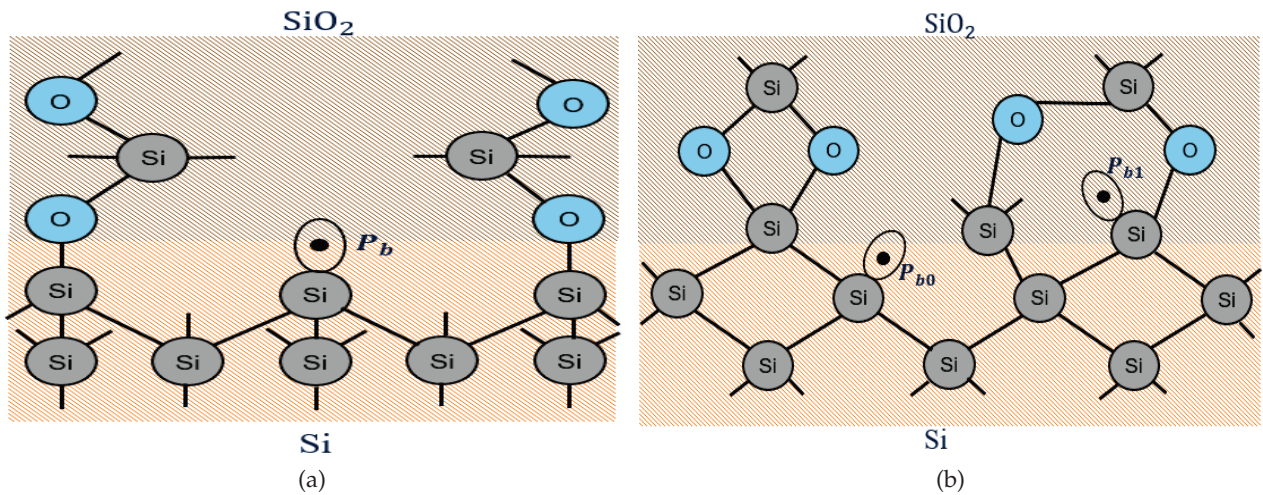


FIGURE 1.19 – Défauts à l'interface Si/SiO_2 : (a) centres P_b suivant la direction (111) et (b) centres P_{b0} et P_{b1} suivant la direction (100)

Deux configurations de défauts E' sont montrées en Figure 1.20. Ils apparaissent dans un cristal de SiO_2 non stoechiométrique, notée SiO_{2-x} , due au déplacement d'ion oxygène O^{2-} au sein du cristal, laissant une structure préférentiellement chargée positive [40].

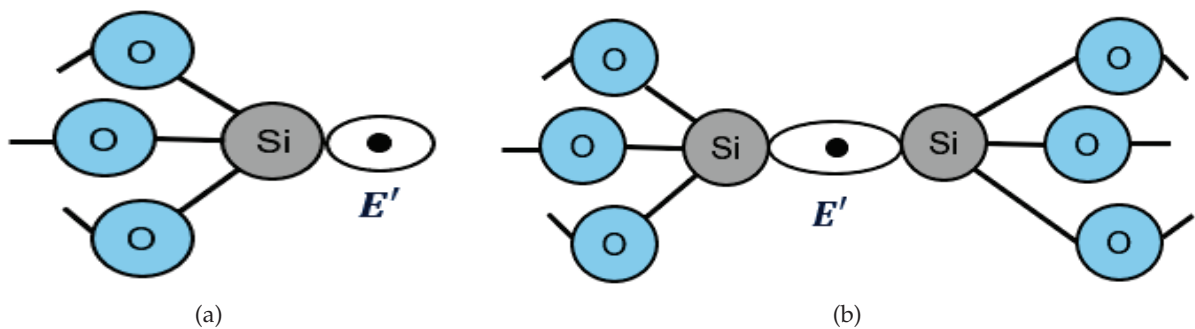


FIGURE 1.20 – Deux configurations possibles de défauts E' au sein de l'oxyde de silicium

1.6.2 Diélectrique : nitrure de silicium SiN_x

Le nitrure de silicium est le second diélectrique le plus utilisé dans les technologies micro-électroniques. Il est plus dense que le silicium et est utilisé pour ses caractéristiques de barrière de diffusion à l'oxygène, aux dopants tels que le Bore et aux ions mobiles [41]. Il sert de couche de

protection et peut être combiné avec l'oxyde de silicium comme diélectrique d'isolation. Il est aussi utilisé pour ses propriétés électriques de piégeage de charges et sert dans le stockage de charges pour les mémoires, d'espaceur pour les transistors MOS ou encore de couche de passivation, notamment pour les cellules solaires [42]. On peut aussi utiliser le nitrure de silicium comme couche anti-réfléctive. Le nitrure de silicium peut être fabriqué soit par nitruration (thermique ou plasma) du silicium soit par dépôt CVD. Au sein du cristal Si_3N_4 stoechiométrique, un atome d'azote est relié à trois atomes de silicium et un atome de silicium est relié à quatre atomes d'azote. C'est une structure dense et très contrainte. Le nitrure de silicium CVD n'est pas nécessairement stoechiométrique et se note SiN_x où x désigne le ratio d'atomes d'azote par rapport au silicium ($x = \frac{4}{3}$ pour une concentration stoechiométrique). La concentration de chaque atome au sein du nitrure CVD va dépendre du ratio des flux de gaz SiH_4 et NH_3 , de la pression du plasma, sa puissance RF et la température de dépôt [43]. Le ratio $\frac{[Si]}{[N]}$ impacte directement les propriétés du matériau (largeur de bande interdite comprise entre $1.1eV(Si)$ et $5.3eV(Si_3N_4)$; indice optique de réfraction). Le nitrure de silicium est généralement hydrogéné de forme $SiN_x : H$ sous forme de liaison $Si - H$ ou $N - H$. La concentration en hydrogène peut varier entre 5% et 40% en fonction des paramètres de dépôt. Le défaut principal du cristal est nommé centre K, de structure $Si \equiv N_3$ avec une liaison silicium-azote non pourvue. C'est un piège amphotère et peut se trouver soit en état paramagnétique neutre K^0 (avec un spin non pourvu) métastable soit en état diamagnétique chargé K^+ ou K^- en capturant un trou ou un électron (Figure 1.21). On peut aussi trouver une liaison pendante de structure $N \equiv Si_2$ avec une liaison azote-silicium non pourvue comme défaut dans le cristal, notée centre N. Il est observé dans des films soumis à un recuit thermique élevé ($> 500C$) et une excitation UV. Il peut être neutre N^0 ou négatif N^- [44][45][46].

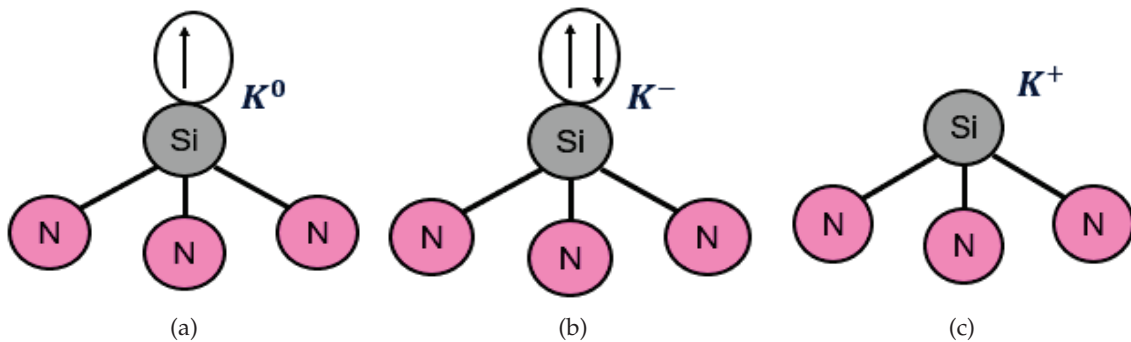


FIGURE 1.21 – Centres K du nitrure de silicium : (a) état neutre K^0 , (b) état chargé négatif K^- et (c) état chargé positif K^+

L'interface Si/SiN_x peut présenter plusieurs types de défauts : les configurations possibles sont des liaisons Si-Si, Si-O et/ou Si-N non pourvues. La surface de silicium à nu s'oxyde (couche SiO_x de quelques nm) avant le dépôt SiN_x et forme ensuite une couche d'oxynitrure SiN_xO_y à l'interface. Les charges positives à l'interface varient en fonction du nombre de liaisons non pourvues ($Si \equiv O_3$, $Si \equiv O_2N$, $Si \equiv ON_2$) et des centres K à l'interface [47][48]. On représente cette interface en Figure 1.22.

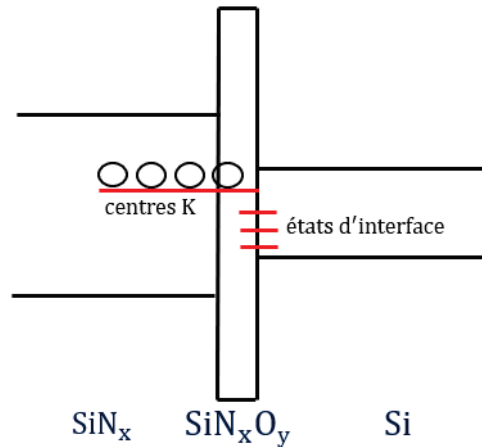


FIGURE 1.22 – Représentation de l'interface Si-SiN sous forme de diagramme de bande simplifié avec présence des défauts à l'interface et des centres K du nitrure

1.6.3 Passivation de l'interface

Les interfaces silicium-diélectriques présentent divers défauts créant des états à l'interface intervenant dans les mécanismes de génération et recombinaison des charges et par exemple la génération de courant d'obscurité dans les pixels. Pour réduire ces effets, il est requis de passiver l'interface. Deux moyens sont utilisés : soit une passivation chimique soit une passivation par effet de champ.

1.6.3.1 Passivation chimique

La passivation chimique consiste à réduire le nombre de défauts d'interfaces en améliorant le dépôt du matériau en surface (choix d'une oxydation thermique à haute température au lieu d'un dépôt CVD basse température par exemple) pour avoir le moins de défauts possible puis en réduisant les liaisons pendantes restantes en les reliant à des atomes d'hydrogène. La passivation hydrogène de l'interface Si/SiO_2 est présentée en Figure 1.23.

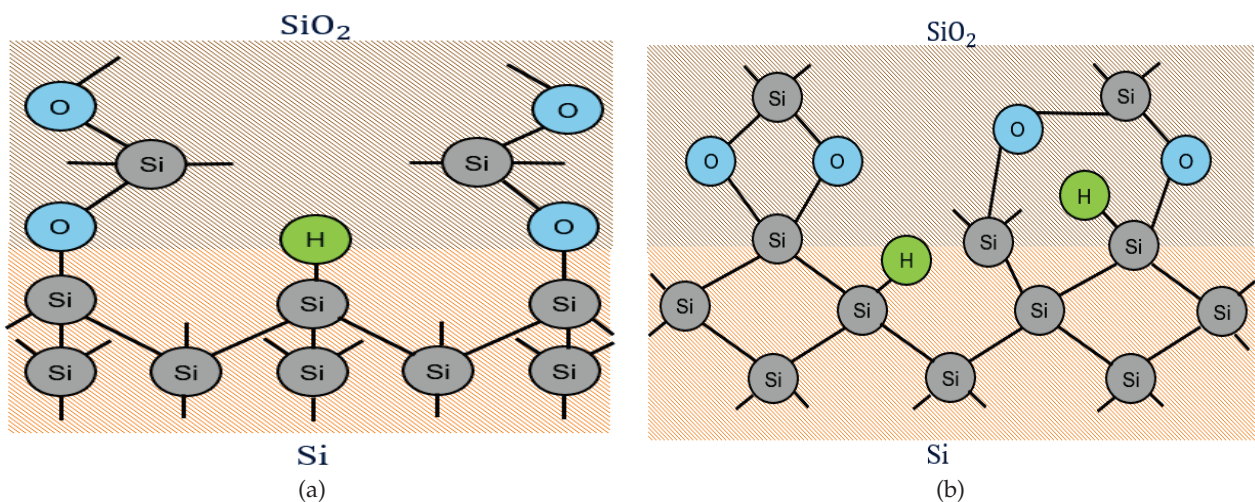


FIGURE 1.23 – Passivation chimique hydrogène de l'interface Si/SiO_2 : (a) direction (111) et (b) direction (100)

1.6.3.2 Passivation par enrichissement de porteurs à l'interface

Cette passivation consiste à rapprocher le niveau de Fermi à l'interface proche de la bande de conduction (forte concentration d'électrons) ou de la bande de valence (forte concentration de trous) ; de cette façon les états d'interface sont remplis par des porteurs et ne peuvent plus participer dans les mécanismes de génération. Cette concentration de porteurs à l'interface est possible soit par dopage avec une couche très fortement dopée proche de l'interface soit par application d'un champ électrique pour attirer les porteurs à l'interface. Ce champ électrique peut être créé soit par polarisation d'une structure MOS placée en inversion ou accumulation soit par l'utilisation de diélectriques chargés à l'interface (respectivement positifs ou négatifs pour l'accumulation d'électrons ou de trous).

1.7 État de l'art du pixel CMOS

La tendance de la réduction de la taille du pixel et des tensions de fonctionnement a nécessité le développement de plusieurs techniques afin de maintenir les performances du capteur d'images malgré ces contraintes. Les performances du capteur d'images [13] sont définies suivant des critères tels que l'efficacité quantique, la diaphotie ou encore la dynamique du pixel.

Nous aborderons dans cette partie les avancées technologiques [49] qui ont eu lieu afin de conserver la qualité de l'image tout en réduisant la taille du pixel au travers des critères cités précédemment et nous amorcerons les technologies futures qui permettront de continuer la miniaturisation.

1.7.1 Illumination par la face arrière

Pour un capteur où le signal lumineux arrive en face avant, une partie du signal est perdue par réflexion sur les interconnexions métalliques, soit une diminution de la sensibilité du capteur. En plus des interconnexions métalliques, la surface du pixel est partagée entre la photo-diode et les transistors ; il est donc difficile de préserver un bon taux de remplissage pour la photo-diode lorsque l'on réduit la taille du pixel. De plus, la distance entre la micro-lentille et la zone photosensible augmente avec la densité des capteurs et l'épaisseur toujours plus importante utilisée pour les interconnexions. Si la lumière incidente n'est donc pas perpendiculaire, le risque de ne pas focaliser le signal sur la zone photosensible augmente, ce qui réduit encore d'autant la sensibilité du capteur. Pour pallier à ces soucis, une grande avancée technologique a été de fabriquer des capteurs où le signal lumineux entrerait par la face arrière de sorte à ne plus être contraint par les lignes métalliques et les transistors pixel (schéma de principe Figure 1.24). Ce procédé a d'abord été mis en place pour les CCD [50] et développé pour le CMOS dans les années 2000 [51][52].

Cette avancée est réalisée par collage oxyde-oxyde de la plaque de silicium à un support mécanique qui est une autre plaque sans rôle électrique. Une fois réalisé, l'assemblage est retourné et la plaque de silicium est aminci par abrasion mécanique et chimique de sorte à laisser une faible épaisseur de silicium actif. De là, les filtres colorés et les micro-lentilles sont fabriqués comme dans un procédé classique.

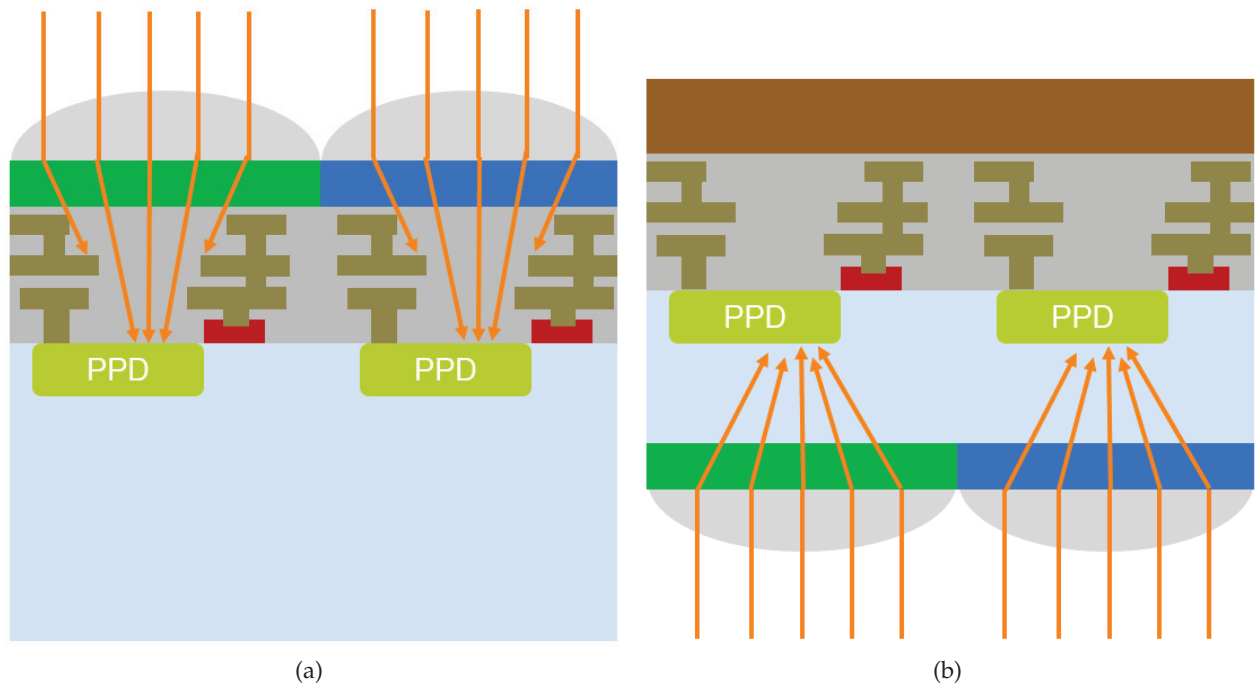


FIGURE 1.24 – Schéma d'un capteur éclairé (a) par la face avant et (b) la face arrière

1.7.2 Réduction de la diaphotie : isolation entre pixels

Les phénomènes de diaphotie électrique et optique deviennent plus importantes avec la réduction de la taille du pixel.

En électronique, le phénomène de diaphotie correspond à l'interférence d'un signal électrique ou électromagnétique avec un autre. Dans le cas des capteurs d'images, il existe deux types de diaphotie. Il existe une diaphotie optique où un photon entrant à travers les composants optiques d'un pixel va générer une paire d'électron/trou dans un de ses pixels voisins. Il existe une diaphotie électrique où un photo-porteur d'un pixel va diffuser et être collecté par un pixel voisin. On le schématise Figure 1.25. Avec la diminution de la taille des pixels, le phénomène de diaphotie s'intensifie et impacte non seulement l'efficacité quantique mais vient parasiter l'information contenue dans le pixel et entraîne un mélange des couleurs et une perte en contraste sur l'image.

Pour réduire ces effets, diverses techniques d'isolation ont été mises en place (schémas en Figure 1.25). La première technique consiste à implanter un fort contre dopage autour de la zone de stockage de façon à créer une barrière électrostatique pour les charges. Il est d'abord introduit en technologie CCD pour isoler les lignes entre elles par des implants p+ ('channel stop') [53] puis est proposé en technologie CMOS pour isolation de photo-diode [54]. Ceci n'a pas d'impact sur la diaphotie optique. La première structure ensuite fabriquée a été l'oxydation locale de la surface de silicium (LOCOS) [55] qui a d'abord servi comme une méthode simple pour isoler électriquement les transistors par oxydation thermique. Avec des soucis tels que des dislocations silicium ou des défauts 'bird's beak' [41] apparaissant, le LOCOS est ensuite remplacé dans les années 80 par des tranchées d'isolation peu profondes (STI) où l'on vient graver une tranchée dans le silicium et la remplir d'oxyde CVD puis planariser le tout [56]. On a alors un meilleur contrôle de la morphologie de l'isolation par gravure et les soucis cités précédemment disparaissent. De

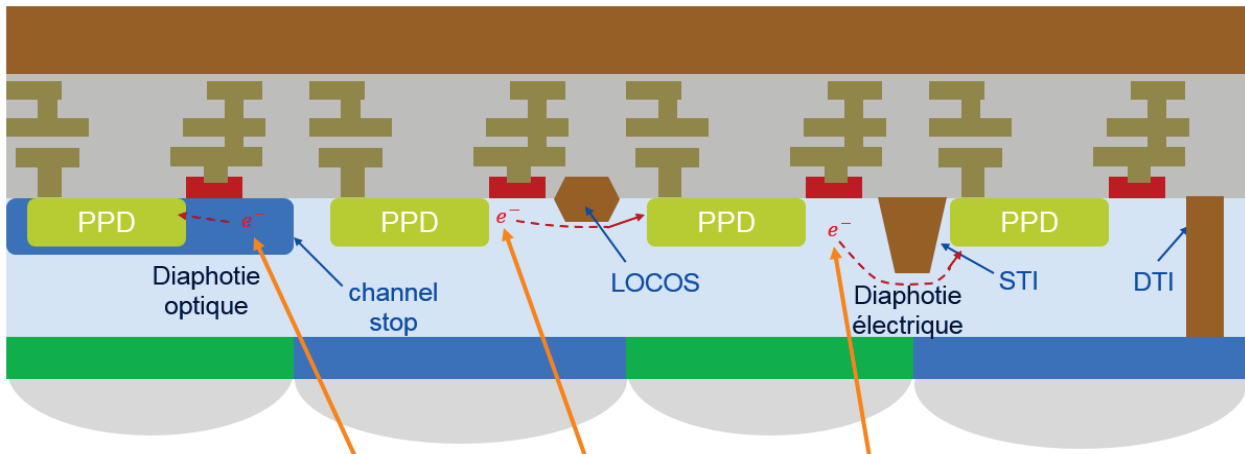


FIGURE 1.25 – Représentation schématique des phénomènes de diaphotie optique et diaphotie électrique dans un capteur d'images et présentation des différentes structures d'isolation

plus, on peut atteindre des largeurs de tranchée bien inférieures à ce qu'offre le LOCOS [57]. Lorsque la tranchée est profonde ($>1\mu\text{m}$), on parle de DTI. Il est développé en parallèle du STI [58] mais il va présenter un vrai atout pour les petits pixels avec l'évolution des procédés de fabrication permettant d'obtenir un large facteur de forme (largeur sub-micronique pour plusieurs microns de profondeur; exemple d'un facteur de 1 pour 25 en [59]). De plus, en le combinant avec une technologie BSI, on peut amincir le silicium de sorte à ce que le DTI isole complètement électriquement les pixels les uns des autres comme présenté Figure 1.25. Avec l'indice optique de l'oxyde, le DTI joue aussi un rôle de guide d'onde optique.

1.7.3 Encombrement transistors : architectures partagées

Il est possible de partager les transistors entre les pixels en mettant en commun les trois transistors de lecture entre plusieurs photo-diodes couplées à leur grille de transfert respective. Les architectures les plus communes sont celles qui partagent deux pixels pour cinq transistors et quatre pixels pour sept transistors. Elles sont nommées respectivement architectures 2T5 et 1T75 (schéma Figure 1.26) en référence au rapport du nombre de transistors sur le nombre de pixels. On réduit ainsi le nombre de transistors utilisés et donc la surface qui leur est allouée pour pouvoir réduire ainsi la taille du pixel.

1.7.4 Passivation des interfaces des tranchées

L'introduction de tranchées d'isolation résout les problèmes de diaphotie mais augmente le nombre d'interfaces silicium-oxyde et d'autant la possibilité de génération de courant d'obscurité.

Deux solutions sont adoptées pour réduire la génération aux interfaces (schéma Figure 1.27). La première est d'effectuer une passivation passive des tranchées STI et DTI par implantation ionique de leur parois latérales (SWI). Le type de dopants choisis dépend du type de charges que l'on souhaite collecter dans la photo-diode ou la photo-gate. Dans le cas d'un capteur de type n, on souhaitera implanter des dopants de type p (tels que le Bore) aux interfaces des tranchées et pour un capteur de type p implanter des dopants de type n (tels que le Phosphore). L'étape

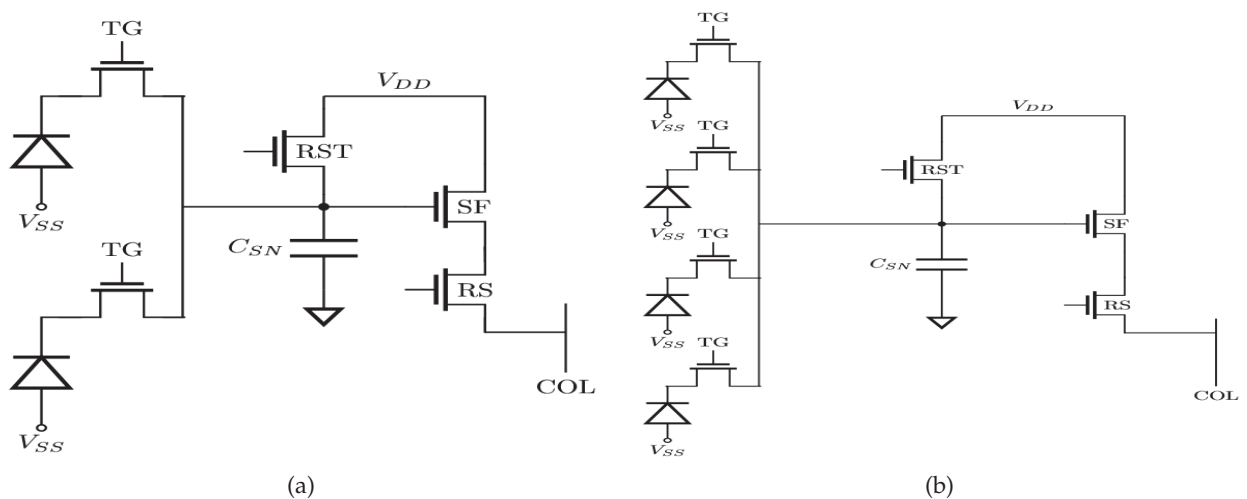


FIGURE 1.26 – Circuits avec étage actif 4T partagé par plusieurs pixels suivant une connexion en (a) 2T5 et en (b) 1T75

d'implantation est réalisé après gravure des tranchées et à plusieurs angles d'implantation de sorte à homogénéiser le plus possible le profil des dopants autour des tranchées.

Une solution plus efficace a ensuite été fabriquée chez ST qui tire profit d'une passivation active par polarisation électrique de tranchées MOS verticales nommées tranchées d'isolation profondes capacitives (CDTI) [60]. Elles sont remplies de polysilicium dopé, séparé électriquement du silicium actif par un oxyde thermique. Ces structures MOS sont ensuite contactées électriquement et polarisées de sorte à éloigner les charges collectées des interfaces. Par exemple, on souhaitera accumuler des trous aux interfaces pour une photo-diode de type n tandis que l'on souhaitera attirer des électrons pour une photo-diode de type p. Pour ce faire, une polarisation négative est nécessaire sur les CDTI pour y accumuler des trous tandis qu'il faut une polarisation positive pour les mettre en inversion et y accumuler des électrons. Il a été montré que la technologie CDTI présentait jusqu'à six fois moins de courant d'obscurité qu'une technologie DTI implantée pour le cas d'une photo-diode de type n [60]. Cela est dû à un meilleur contrôle de la concentration de charges à la surface par polarisation électrique comparé à un profil de dopants implantés.

1.7.5 Conservation de la dynamique pixel

La dynamique d'un capteur d'images est définie comme

$$DR = 20 \log \left(\frac{Q_{sat}}{NoiseFloor} \right) \quad (1.35)$$

avec Q_{sat} la quantité de charges maximale mesurable dans le capteur ou charges à saturation et NoiseFloor le niveau de bruit minimal détectable pour un capteur dans le noir ou bruit de plancher. En somme, il donne une information sur le contraste de l'image. La réduction de la taille du pixel et les tensions de fonctionnement peuvent dégrader la dynamique en limitant la capacité de stockage des charges du pixel.

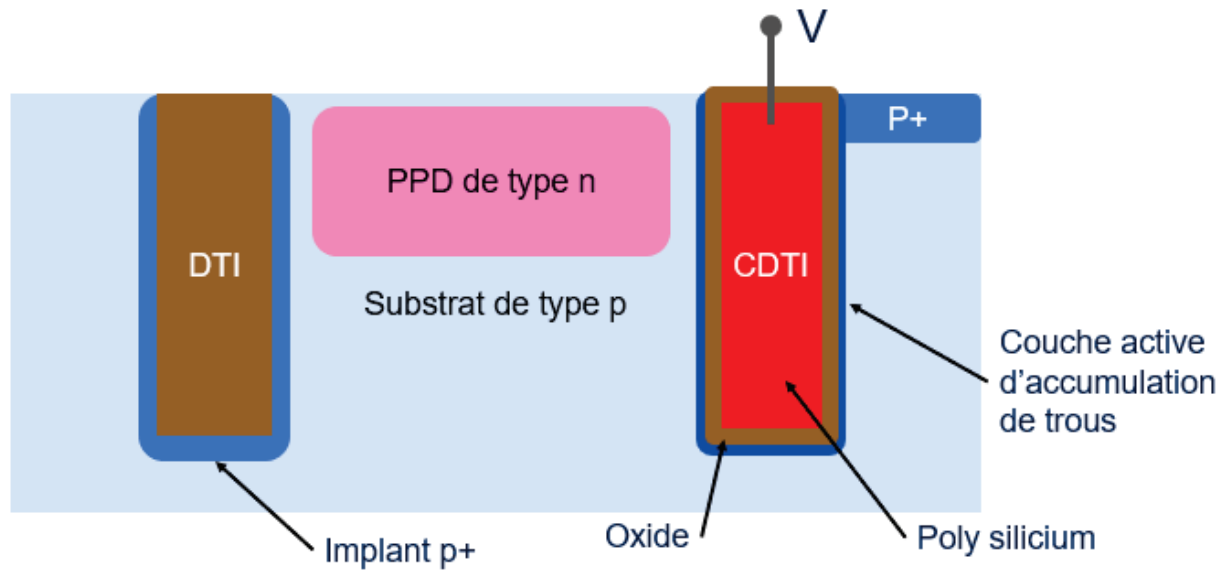


FIGURE 1.27 – Mécanisme de passivation des tranchées profondes : (à gauche) DTI implanté et (à droite) CDTI polarisé

1.7.5.1 Pixel photo-diode verticale

La zone de stockage diminue avec la taille des pixels. Pour augmenter la capacité de la photo-diode pincée, il est possible d'augmenter la concentration des dopages pour obtenir des photo-diodes avec des puits de potentiel plus profond. Hors de trop fortes concentrations entraînent l'augmentation des courants de fuite des jonctions ainsi que la probabilité des courants de tunnel. Une solution plus viable est de travailler sur le dimensionnement des photo-diodes. Il est possible d'exploiter la profondeur du silicium pour implanter les zones de stockage et faire des photo-diodes verticales et non plus planaires. Les différents pixels à photo-diode verticale fabriqués chez ST sont présentés en Figure 1.28. Le premier fabriqué consiste à utiliser un substrat n comme zone de stockage et d'implanter les zones d'isolation p. Hors, il est inhabituel de travailler avec des substrats n dans les technologies, notamment car tous les circuits analogues et digitaux sont généralement conçus à partir de substrat p. Les photo-diodes suivantes se basent sur un substrat p. La seconde photo-diode utilise l'implant n comme zone de stockage. Elle est donc limitée en profondeur par l'énergie d'implantation. La dernière photo-diode tire profit du substrat p comme zone de stockage et use donc de la majorité du volume du silicium comme zone de stockage. Les implants de pincement en profondeur sont réalisés avant épitaxie p et ceux en latéral sont effectués lors de la gravure des tranchées profondes d'isolation.

1.7.5.2 Pixel photo-gate avec grille de transfert verticale

Les photo-diodes profondes comme présentée avant permettent un plus grand stockage dans des petits pixels par l'utilisation du volume du pixel et donc la conservation d'une bonne dynamique. Il peut cependant poser un problème quant au transfert des charges stockées dans le volume vers le noeud de lecture contrôlé par une grille de transfert planaire. Des implantations complémentaires sont alors nécessaires pour assurer un transfert des charges complet sans rémanence sans dégrader la barrière électrostatique qui isole le noeud de lecture de la photo-diode lors

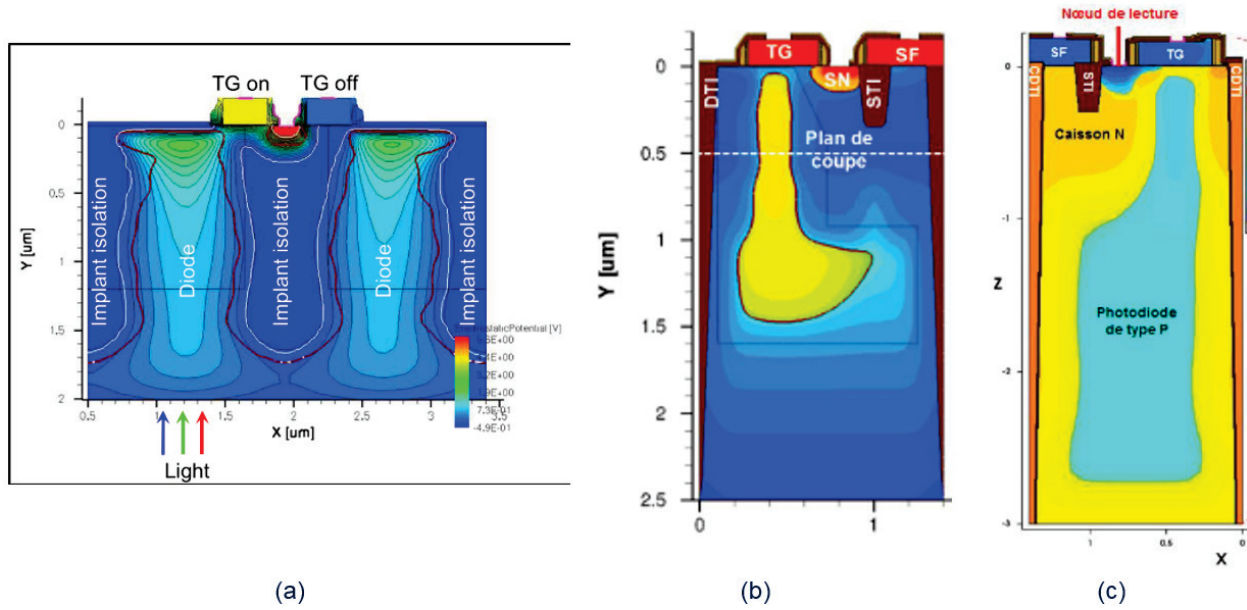


FIGURE 1.28 – Schéma de simulation TCAD avec profil de dopage des différentes photo-diodes verticales : (a) photo-diode n sur substrat n [54], (b) photo-diode n sur substrat p [61] et (c) photo-diode p sur substrat p [62]

de l'intégration. Une solution peut être d'introduire une grille de transfert verticale (Figure 1.29) qui relie la photo-diode en profondeur au noeud de lecture en surface avec un meilleur contrôle électrostatique que des implantations.

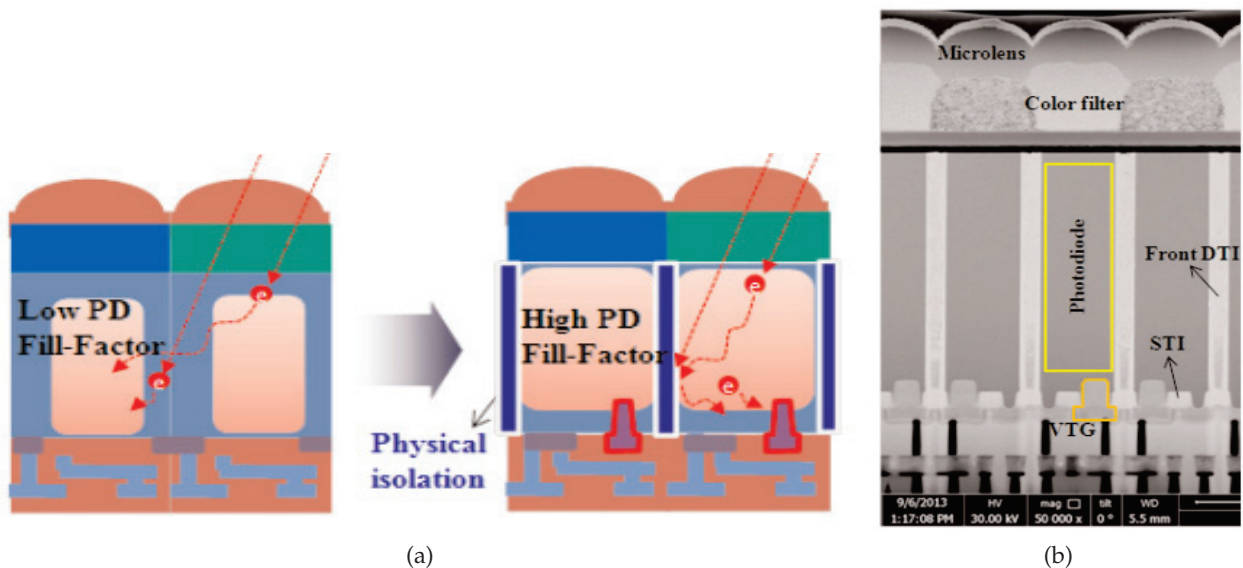


FIGURE 1.29 – Pixel photo-diode profonde et grille de transfert verticale (VTG) [63] : (a) schéma et (b) coupe TEM

Pour ne plus être limitée ni par la profondeur des implantations ni par les potentiels défauts cristallins générés lors de la fabrication de la zone de stockage du pixel, une nouvelle structure a été récemment étudié chez ST qui repose sur l'utilisation d'une photo-gate avec stockage en volume [64]. Le substrat de type p est alors déplété via le contrôle électrostatique des tranchées CDTI.

De plus, il traite les problèmes de transfert par l'utilisation d'une grille verticale contrôlée aussi en volume. Il n'y a donc plus d'implantations ni pour la photo-gate ni pour le transfert et tout le volume de la zone photosensible est utilisée pour la collecte des charges. Ce pixel a été fabriqué pour une taille de $2\mu\text{m}$ de pixel et fonctionnait sous 3V_5 ; il fait l'objet d'étude afin d'y apporter des améliorations.

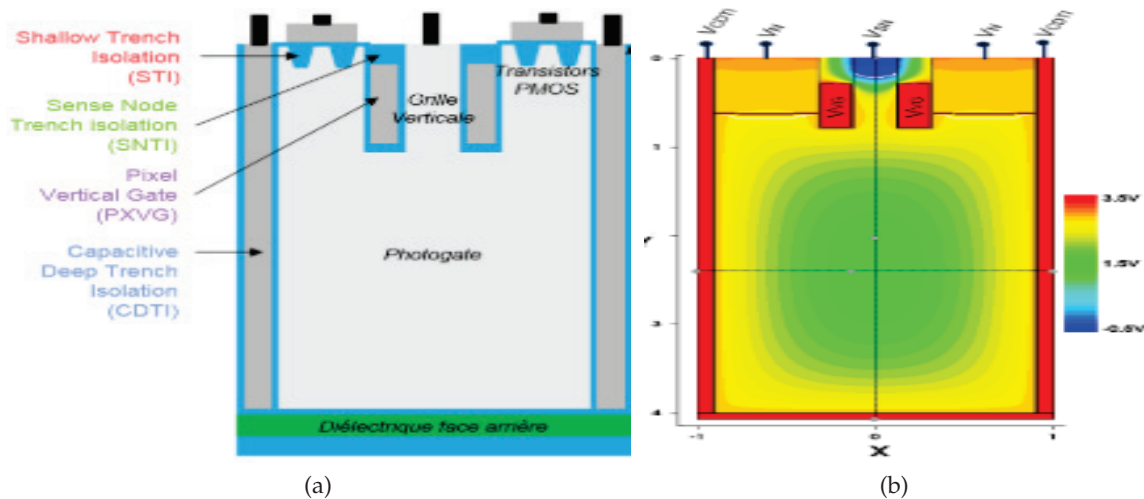


FIGURE 1.30 – Pixel photo-gate à collection de trous en volume et grille de transfert verticale [64] : (a) schéma descriptif et (b) simulation électrique

1.7.6 Technologies 3D

La miniaturisation des composants CMOS, développés afin d'augmenter la densité des circuits dans une surface de silicium actif donné, a soulevé l'étude des interconnexions passée au second plan jusqu'aux années 2000. Avec la réduction des noeud technologiques, le délai de commutation au sein des circuits ont diminué. En revanche, avec une plus grande densité de circuits, il a fallu augmenter les niveaux d'interconnexions métalliques (pouvant aller jusqu'à plus de 10 niveaux de métal) tout en réduisant la largeur des lignes. Cela a pour conséquence d'augmenter le délai des signaux dû aux interconnexions de manière significative (de l'ordre de la centaine de ps) comparé au temps de propagation d'une cellule logique (typiquement de l'ordre de la ps). Le délai des interconnexions deviennent donc le facteur limitant du fonctionnement des systèmes CMOS [65]. Une solution à ce problème est de développer les intégrations 3D-IC à haute densité ou intégration parallèle avec pour définition de fabriquer plusieurs circuits, représentant des blocs de fonction logique différents, dans des substrats différents en limitant le nombre de niveaux métalliques puis d'empiler ces différents étages et de les relier électriquement par de larges vias verticaux (TSV - schéma de principe 1.31).

Les capteurs d'images profitent de cette avancée technologique en séparant en deux étages d'une part la matrice ayant pour rôle la photo-détection et la conversion en tension et d'autre part les circuits analogues et digitaux servant au traitement du signal électrique et à la reconstruction de l'image. Cela permet de réduire la surface utilisable du capteur. La matrice de pixels est constituée de la photo-diode ainsi que des transistors de lecture. Afin d'accroître encore la sensibilité du

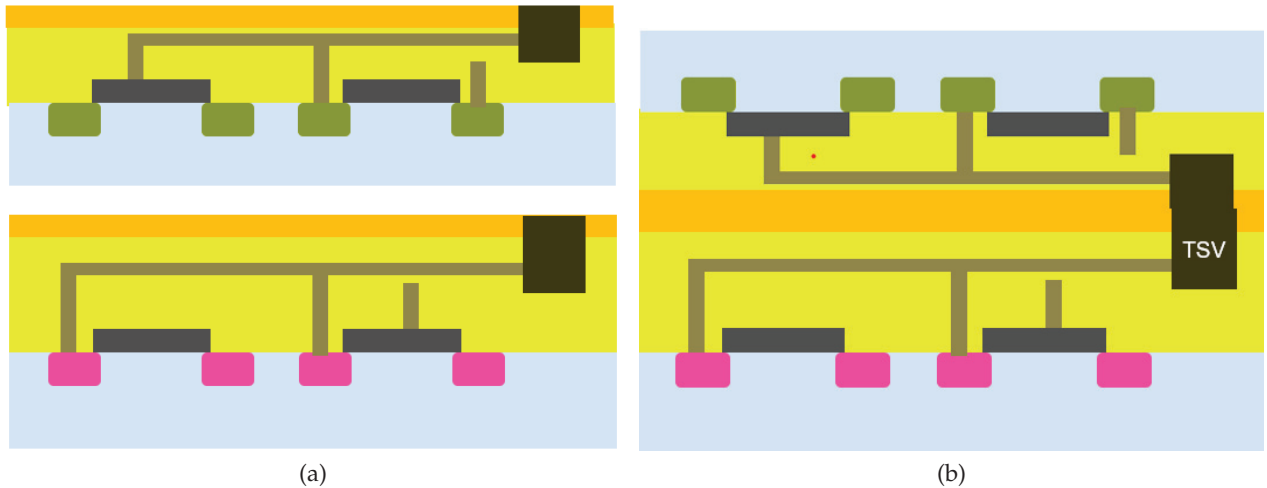


FIGURE 1.31 – Schéma de principe d'une intégration 3D haute densité : (a) circuits fabriqués en parallèle puis (b) collage et connexion électrique

capteur, il est possible de déplacer les transistors de lecture dans un étage supérieur pour ne plus avoir que la zone photosensible dans la matrice. Pour les capteurs fortement miniaturisés (de taille de pixel de $1\ \mu\text{m}$), la technologie 3D monolithique ou 3D séquentielle [66] est en développement et préférée à l'intégration parallèle pour la dissociation de la chaîne de lecture à la photo-diode [67]. Elle consiste à fabriquer les couches actives de silicium l'une à la suite de l'autre d'où la notion de fabrication séquentielle. Une fois la première couche terminée, une couche amincie de silicium vierge est ensuite collée au-dessus dans laquelle est fabriquée les transistors. Par la suite, l'interconnexion entre les deux niveaux est intégrée avec des dimensions du même ordre de grandeur que les niveaux métalliques d'un Back-End of Line (BEOL) classique (la dizaine de nm comparée au μm pour l'intégration dite parallèle). Cela permettrait une densité d'interconnexions plus importante. De plus, il serait avantageux pour les imageurs car permettrait encore de réduire la taille des pixels ; taille limitée par l'empreinte des transistors. Fabriquer les transistors dans une seconde couche offre généralement une plus grande liberté de fabrication de ces transistors de lecture, qui n'ont plus de contrainte imposée par l'environnement pixel (schéma Figure 1.32).

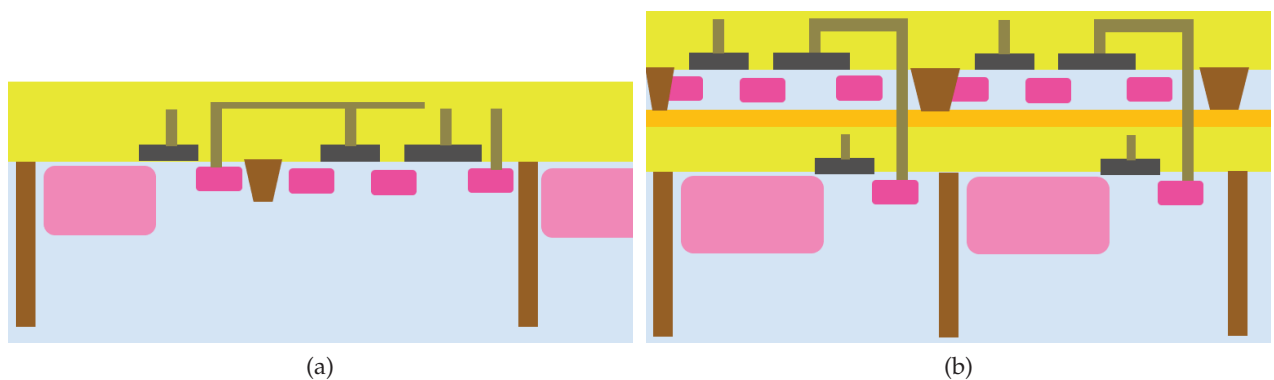


FIGURE 1.32 – Schéma de principe d'une intégration 3D monolithique : (a) pixel avec PPD et transistors fabriqués en 2D puis (b) pixels avec PPD et transistors en 3D séquentielle

1.8 Conclusion

Au cours de ce chapitre, nous avons rappelé les différentes étapes qui servent au fonctionnement d'un capteur d'images. Nous avons revu les principes physiques nécessaires à la conversion du signal lumineux en charges électriques, de la collection et du transfert des charges ainsi que de la lecture de ces derniers en tension. Nous avons ainsi décrit le fonctionnement des transistors implémentés au sein du pixel. Nous avons abordé les mécanismes qui impactent la passivation et le courant d'obscurité d'un capteur. Nous avons enfin présenté les évolutions technologiques qui ont servi à améliorer les performances des capteurs tout en permettant la réduction de la taille des pixels ainsi que leur tension d'alimentation.

Le travail de cette thèse s'inscrit dans la continuité des évolutions technologiques qui vont servir à développer les capteurs d'images dans les années futures. D'une part, la course à la réduction du pas pixel se poursuit, avec des objectifs vers des pixels microniques et sub-microniques, ceci afin de toujours pousser à une meilleure résolution des capteurs. D'autre part, avec l'introduction des technologies 3D (parallèle et séquentielle), les technologies 40nm et 28nm sont utilisées pour les circuits analogiques et digitaux des capteurs d'images. Ces technologies ont besoin de fonctionner à des tensions d'alimentation inférieures ou égale à 1.8V. Cela nous pousse à nous positionner quant au fonctionnement d'un pixel sous de telles tensions sans corrompre sa performance (conservation de la dynamique). Nous allons aborder par la suite ses deux axes de travail avec pour point de départ le pixel photo-gate disponible chez ST.

Chapitre 2

Conception et mise en oeuvre du pixel

2.1 Introduction

Le pixel photo-gate à collection de trous et grille de transfert vertical réunit les dernières avancées technologiques imageurs suivantes : l'éclairage en face arrière, l'utilisation de tranchées CDTI pour l'isolation optique et électrique et l'utilisation du volume du silicium pour la collection des charges sans aucune implantation dans la zone de collection.

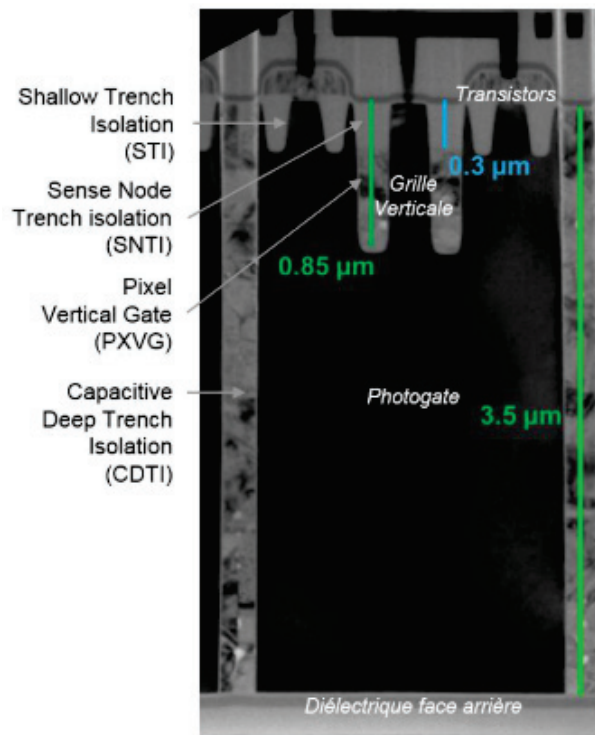


FIGURE 2.1 – Coupe TEM du pixel photo-gate (image extraite de la Figures 2.20 [64])

Le pixel est constitué de six éléments principaux :

- la zone de collection et de stockage des charges photo-générées
- les tranchées CDTI, qui servent à la déplétion du silicium actif, à l'isolation latérale des pixels et à la passivation des interfaces latérales
- la face-arrière, constituée d'un empilement de couches diélectriques qui assure la transmission du signal lumineux entrant pour les longueurs d'onde souhaitées et qui assure la

passivation de l'interface arrière

- la grille de transfert verticale VEGA, qui assure le pincement électrostatique en face avant de la photo-gate et qui permet le transfert des charges au noeud de lecture
- le noeud de lecture, sur lequel les charges provenant de la zone de collection et de stockage sont transférées puis converties en tension V_{SN} via la capacité du noeud de lecture C_{SN} suivant la relation $Q = \frac{C_{SN} \cdot V_{SN}}{q}$
- les transistors pixel, qui forment un circuit actif qui adapte la tension du noeud de lecture V_{SN} (tension d'entrée) en une tension sur la colonne du pixel V_{COL} (tension de sortie)

Ce pixel a été fabriqué et validé avec un pas de $2\mu\text{m}$ [68] et sous des tensions de mise en oeuvre de $[0; 3.5\text{V}]$ (Figure 2.1). Les travaux présentés dans cette thèse continuent le développement de ce pixel avec comme objectifs de réduire son pas de $2\mu\text{m}$ à $1.2\mu\text{m}$ ainsi que de réduire ses tensions de mise en oeuvre de $[0; 3.5\text{V}]$ à $[0; 2.5\text{V}]$ puis $[0; 1.8\text{V}]$. Ses deux axes principaux de travail sont abordés en parallèle et indépendamment. Ainsi l'étude des tensions se concentre sur le pixel de $2\mu\text{m}$. Quant au pixel de $1.2\mu\text{m}$, il est mis en oeuvre pas défaut sous $[0; 3.5\text{V}]$.

Au cours de ce chapitre, on étudie les différents éléments constitutifs de ce pixel au travers d'études théoriques s'appuyant sur de la simulation et de mesures faites sur des barrettes de tests avec la présentation des modifications à apporter soit pour réduire les tensions de mise en oeuvre soit pour réduire le pas pixel.

2.2 Paramètres du pixel

Dans le cadre de l'optimisation du pixel photo-gate, l'on travaille sur trois types de paramètres afin d'atteindre les objectifs fixés :

- des paramètres géométriques
- des paramètres technologiques
- des paramètres électriques

2.2.1 Paramètres géométriques et technologiques

Les paramètres géométriques regroupent les épaisseurs totale et active du silicium qui influent sur la zone de collection et de stockage du pixel. Ces épaisseurs dépendent des profondeurs des tranchées VEGA et CDTI. La taille ou pas pixel est aussi un paramètre géométrique clé qui influe sur la zone de collection et qui varie en fonction des versions du pixel.

Les paramètres technologiques regroupent les types de matériaux ou les implantations utilisées dans le pixel. Les choix réalisés servent à optimiser les performances du pixel. Ainsi, la nature des matériaux utilisés dans les tranchées CDTI ou en face arrière est analysée pour réduire le courant d'obscurité du pixel. La profondeur de jonction des implantations du pixel utilisées pour les caissons des transistors PMOS ou pour le noeud de lecture sont choisies suivant différentes contraintes de fonctionnement du pixel.

Les paramètres géométriques et technologiques sont regroupées en Figure 2.2 sur une coupe 2D schématique du pixel.

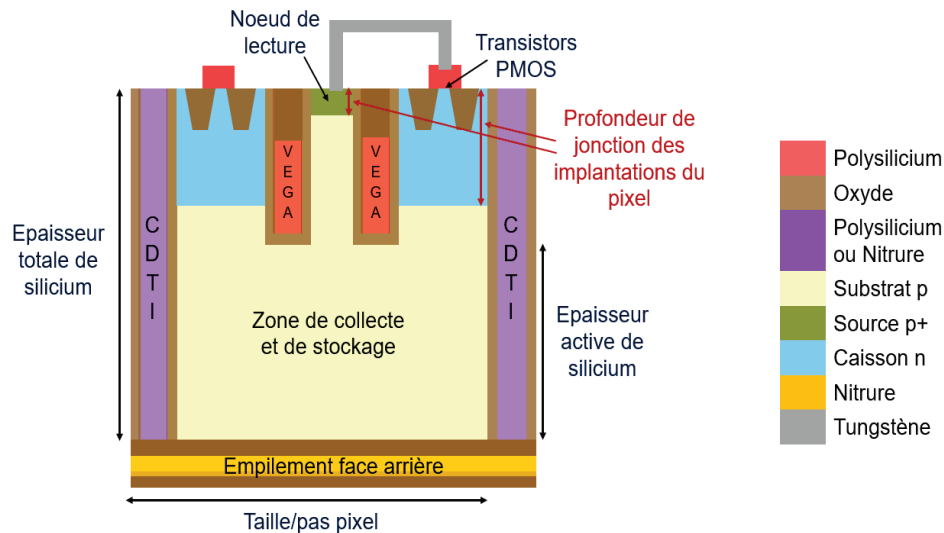


FIGURE 2.2 – Coupe 2D schématique du pixel photo-gate p-type avec détail des paramètres géométriques et technologiques

2.2.2 Paramètres électriques

Les paramètres électriques regroupent les choix réalisés pour le fonctionnement des transistors et pour l'optimisation des différentes plages de tension utilisées dans le pixel.

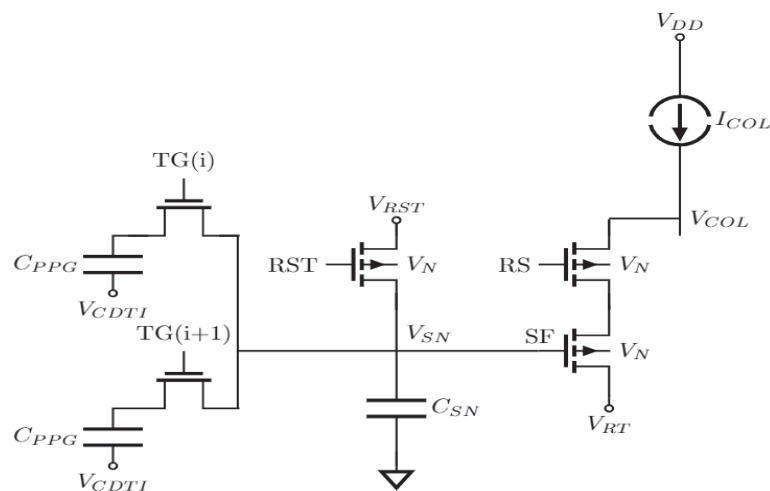


FIGURE 2.3 – Schéma électrique des transistors pixel

La connexion des transistors PMOS pixel est illustrée en Figure 2.3. Les transistors suivent ici une architecture 2T5. Ils représentent respectivement le transistor de transfert des charges TG (soit la tranchee VEGA dans notre cas), le transistor de réinitialisation RST du noeud de lecture, le transistor suiveur SF et le transistor sélecteur de ligne RS. La capacité C_{PPG} présente la zone de stockage de la photo-gate. Les tensions V_{DD} , V_{CDTI} , V_{RST} et V_{RT} représentent respectivement la polarisation de la colonne, la polarisation des tranchees CDTI, la tension de réinitialisation et la polarisation du drain du transistor suiveur. Le caisson n est lui polarisé à la tension V_N . Le courant constant I_{COL} est alimenté au travers de la colonne. Par défaut, pour le circuit PMOS, les tensions

V_{DD} , V_{CDTI} et V_N sont positives telles que $0 < V_N \leq V_{CDTI} \leq V_{DD}$ et les tensions V_{RST} et V_{RT} sont à 0V. De plus, le courant I_{col} vaut $2\mu A$.

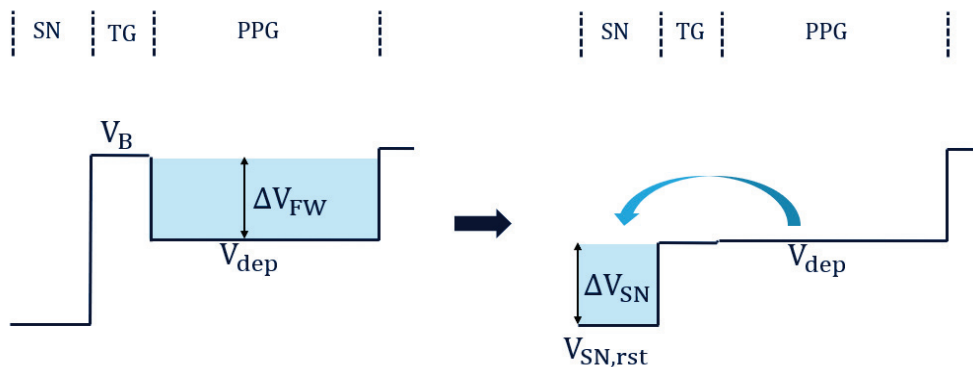


FIGURE 2.4 – Schéma des budgets du pixel

Chaque élément du pixel requiert un budget en tension soit pour le stockage des charges soit pour leur lecture. Ainsi, pour la mise en oeuvre utilisée dans l'état de l'art, le budget de $[0; 3.5V]$ est réparti en deux besoins (schéma illustratif en Figure 2.4) :

- l'excursion en tension ΔV_{FW} , allouée pour le stockage des charges dans la photo-gate
- l'excursion en tension ΔV_{SN} , allouée pour le stockage des charges sur le noeud de lecture

La plage de tension maximale de la photo-gate est comprise entre le potentiel de la photo-gate à vide V_{dep} et son potentiel à saturation V_B , qui correspond à la hauteur de la barrière de la grille de transfert. La plage de tension maximale du noeud de lecture est comprise entre le potentiel sur le noeud de lecture après réinitialisation $V_{SN,rst}$ et son potentiel à la saturation $V_{SN,sig} = V_{dep}$. Ce potentiel à saturation ne peut pas dépasser le potentiel de la photo-gate à vide car il faut éviter un chevauchement entre ΔV_{FW} et ΔV_{SN} car ce chevauchement va créer un problème de rémanence. Le budget en tension est ainsi réparti équitablement au sein du pixel entre les deux zones de stockage. La contrainte pixel est de pouvoir stocker sur ces deux zones une même quantité de charge malgré la réduction des tensions de mise en oeuvre et donc de la réduction des excursions en tension.

En plus de cette contrainte, l'excursion en tension ΔV_{SN} doit être transférée sans perte sur la colonne pour pouvoir lire l'information sur la quantité de charges au sein du pixel. On définit ainsi une excursion en tension ΔV_{COL} sur la colonne du pixel : on appelle $V_{COL,rst}$ et $V_{COL,sig}$ les potentiels respectifs lus sur la colonne après la lecture des potentiels $V_{SN,rst}$ et $V_{SN,sig}$ en entrée du transistor suiveur. ΔV_{COL} est comprise au sein du budget de tension allouée et n'interagit pas avec les plages de tension ΔV_{FW} et ΔV_{SN} . Ces budgets sont résumés sur le schéma Figure 2.5. Les zones grisées correspondent aux plages de tension ne pouvant pas être utilisées dans le pixel car soit utilisées pour d'autres fonctionnalités du pixel soit contraintes par le fonctionnement des transistors pixel et de la circuiterie.

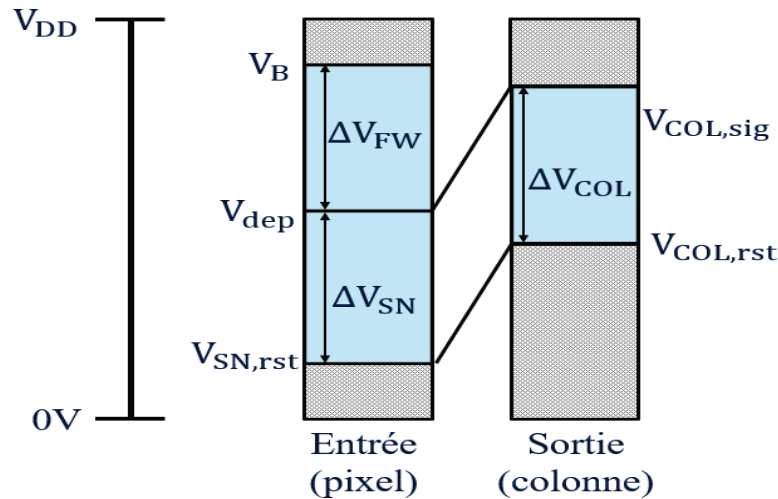


FIGURE 2.5 – Schéma des budgets en tension nécessaires au fonctionnement du pixel

2.3 Zone de collection et de stockage

On définit la zone active du pixel comme la structure permettant la séparation, la collecte et le stockage des charges photo-générées. Elle est ici fabriquée suivant le principe de photo-gate pincée PPG (introduite au chapitre 1). Elle occupe donc tout le volume du silicium actif. Elle est définie par le contrôle électrostatique réalisé sur ses six côtés ; elle est délimitée en latéral par les tranchées CDTI, en face avant par les tranchées VEGA et les caissons des transistors PMOS et en face arrière par l'empilement diélectrique. On étudie par la suite les deux paramètres principaux qui influent sur cette zone :

- l'épaisseur du silicium actif
- le niveau de dopage du silicium actif

2.3.1 Épaisseur silicium

La zone de silicium active de type p est fabriquée par épitaxie, ce qui permet un dopage uniforme sur tout le volume du silicium. L'épitaxie est effectuée sur un substrat de type p^-/p^+ de dopage $1.10^{15}cm^{-3}$ de quelques μm d'épaisseur sur un substrat de $700 \mu m$ d'épaisseur dopé à $1.10^{19}cm^{-3}$. L'interface p^-/p^+ sert de couche d'arrêt lors de l'amincissement chimique de la plaque en face arrière. Une mesure du profil de dopage faite sur une plaque épitaxiée est reportée en Figure 2.6. Elle est mesurée par technique SIMS (Secondary Ion Mass Spectroscopy). Trois niveaux de dopage se distinguent pour les zones p^+ , p^- et épitaxiée. La zone épitaxiée présente ici un dopage de $3.10^{15}cm^{-3}$. Il apparaît en plus un pic de dopage dépassant les quelques $10^{16}cm^{-3}$ à l'interface d'épitaxie due à une exo-diffusion des dopants Bore provenant du substrat p^+ ; c'est un phénomène parasite d'auto-dopage. Cet effet est néfaste pour le fonctionnement de notre pixel, il viendrait créer un puits de potentiel très profond non voulu et il ne serait pas possible de vider complètement ce puits. On doit donc s'assurer d'amincir la plaque au-delà de ce pic pour ne pas impacter le profil de la zone active.

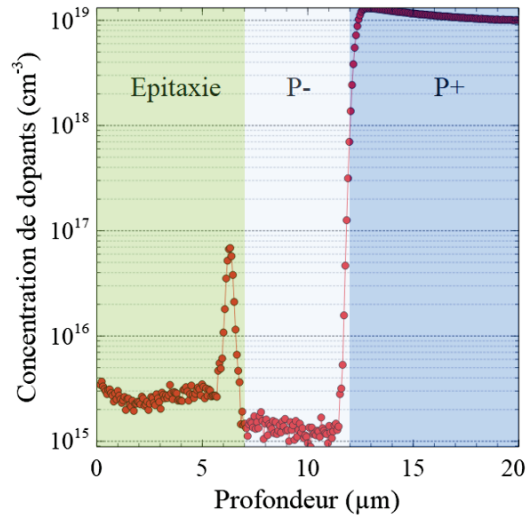


FIGURE 2.6 – Mesure du profil de dopage du substrat épitaxié

L'épaisseur du silicium épitaxié est choisi principalement pour la quantité de charges à stocker dans le volume du pixel et a été décidé de passer à 5 μm . Il faut aussi prendre en considération le taux d'absorption du signal lumineux entrant pour une telle épaisseur. Ce dernier est calculé suivant la loi de Beer-Lambert :

$$\Phi(\lambda, z) = \Phi_0(\lambda) \cdot \exp(-\alpha(\lambda) \cdot z) \quad (2.1)$$

avec $\Phi(\lambda, z)$ le flux de photon qui dépend de la longueur d'onde et de la profondeur d'absorption. Le coefficient d'absorption du silicium et son taux d'absorption sont mesurés à partir de son indice optique [69] pour différentes épaisseurs de silicium (Figure 2.7). Les courbes sont tracées dans la gamme électromagnétique du visible, du Proche Ultra Violet (NUV) au Proche Infra Rouge (NIR). Pour notre pixel, on différencie l'épaisseur totale du pixel (par exemple de 5 μm) et l'épaisseur active qui ne comprend que celle utilisée pour la zone de collecte et stockage. La différence entre les deux dépend de la profondeur de la tranchée VEGA qui vaut environ 1 μm . On considère donc le taux d'absorption du signal lumineux pour une épaisseur de silicium de 4 μm : il est estimé à 100% à 450nm, 92% à 550nm, 67% à 650nm et 18% à 850nm.

2.3.2 Dopage silicium

La technologie photo-gate consiste à dépléter le silicium actif et à créer un puits de potentiel pour le stockage des charges. Le profil du potentiel au sein de la photo-gate dépend du dopage du silicium actif N_A et est déterminée par la résolution de l'équation de Poisson :

$$\Delta\phi = -\frac{\rho}{\epsilon_{Si}} = \frac{qN_A}{\epsilon_{Si}} \quad (2.2)$$

La hauteur du puits de potentiel ΔV_{Si} au sein de la photo-gate est alors extraite de la solution de Poisson et est sensible à la fois au dopage du silicium actif et à la distance d qui sépare les grilles

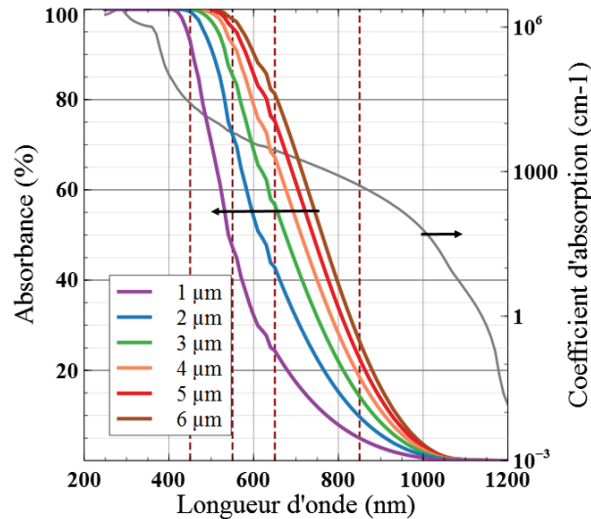


FIGURE 2.7 – Absorbance du silicium en fonction de son épaisseur et de la longueur d'onde

de MOS verticales en regard l'une de l'autre, telle que :

$$\Delta V_{Si} = q\phi_S - V_{dep} = \frac{q}{8\epsilon_{Si}} N_A \cdot d^2 \quad (2.3)$$

avec $q\Phi_S$ le potentiel en surface et V_{dep} le potentiel au sein de la photo-gate lorsque cette dernière est vide.

Dans notre cas, les MOS verticales sont les tranchées CDTI, constituées d'une couche d'oxyde et d'une électrode en polysilicium dopé. Il existe une différence de potentiel entre le contact métallique des tranchées et la polarisation interne du polysilicium des tranchées qui est égale à $V_{bi,CDTI} = \pm \frac{kT}{q} \ln\left(\frac{N_B}{n_i}\right)$ qui est soit positive pour un CDTI dopé de type n soit négative pour un CDTI dopé de type p. Comme l'on souhaite dépléter un substrat de type p, il est nécessaire d'appliquer une tension positive sur les CDTI. Afin d'optimiser cette tension positive sur les tranchées, on choisit de travailler avec un CDTI de type n. La simulation électrique réalisé sur logiciel TCAD permet de déterminer les profils de potentiel et ajuster les paramètres nécessaires. Une coupe électrostatique en 2D de la PPG avec CDTI est présentée en Figure 2.8 avec une coupe 1D du profil au centre de la structure. La simulation est faite ci-après pour un pixel de pas de $2\mu m$ et des CDTI de $200nm$ de large. On visualise le profil électrostatique de la zone active pour un dopage substrat à $4.10^{15} cm^{-3}$, dopage choisi par défaut au travail précédent [64] et qui permet de partager équitablement le budget de tension entre la photo-gate et le noeud de lecture. La simulation est faite ici avec une polarisation tranchée telle que $V_{CDTI} = 3V$ et une tension caisson $V_N = 2.5V$. La différence de potentiel entre $V_{CDTI} + V_{bi,CDTI}$ et $q\phi_S$ représente la chute de potentiel dans l'oxyde ΔV_{Ox} dont l'amplitude a une influence sur la qualité de passivation des tranchées. Avec cette mise en oeuvre et une épaisseur totale du pixel de $3.5\mu m$ il a été montré que la photo-gate peut stocker environ 8000h+.

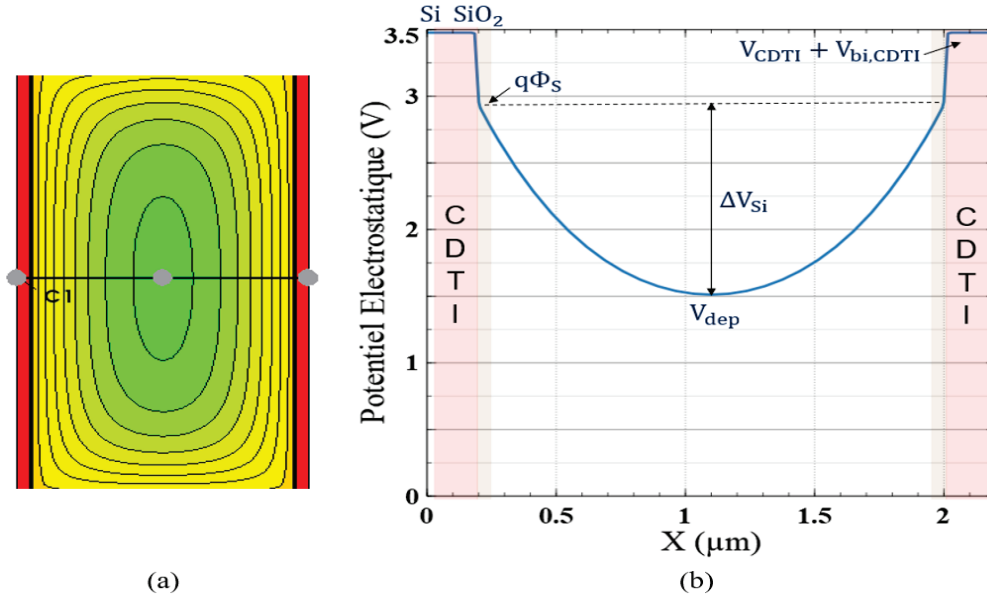


FIGURE 2.8 – Simulation du profil électrostatique de la PPG pour un pixel de pas de $2\mu m$: (a) coupe 2D avec tracé des courbes équipotentielles et (b) graphique 1D de la coupe C1 au centre de la structure. Courbes données pour un dopage Si de $4.10^{15}cm^{-3}$

Le puits de potentiel ΔV_{Si} est déterminé pour les pas de $1.2\mu m$ et $2\mu m$ pour différents dopages suivant la mise en oeuvre précédente (Figure 2.9a). La chute de potentiel est plus importante avec le dopage pour le pixel $2\mu m$ que pour le pixel $1.2\mu m$ dû à la dépendance quadratique avec la distance inter-CDTI. Afin d'obtenir des excursions en tension ΔV_{Si} similaires entre le $1.2\mu m$ et le $2\mu m$ et une même quantité de charge stockable, il est donc nécessaire d'utiliser des dopages plus importants, soit une capacité de déplétion de la photo-gate C_{dep} plus forte. Le dopage du pixel $1.2\mu m$ est choisi de sorte que le pixel stocke la même quantité de charges à saturation que le pixel $2\mu m$. Cette charge peut être estimée par simulation en intégrant la densité de trous en fonction du potentiel minimum de la photo-gate (Figure 2.9b). Ce potentiel augmente avec les charges et varie entre le potentiel de déplétion lorsque la photo-gate est à vide et le potentiel de barrière V_B une fois remplie. Lorsque le potentiel de la photo-gate atteint le niveau de barrière (d'environ $2.8V$ ici pour les deux pas pixel), les charges se déversent de la photo-gate vers le noeud de lecture et la quantité de charges mesurée diverge. Pour estimer la charge à saturation, il faut prendre en compte l'agitation thermique dans le calcul et prendre une marge de $10\frac{kT}{q}$ par rapport à V_B (marge de $260mV$ environ). Le dopage du pixel $1.2\mu m$ est choisi à $1.10^{16}cm^{-3}$ pour pouvoir stocker la même quantité de charges que le pixel de $2\mu m$ dopé à $4.10^{15}cm^{-3}$ pour une charge ici d'environ $15000h^+$ à température ambiante pour un pixel d'épaisseur totale de $5\mu m$.

Pour le fonctionnement de la photo-gate, réduire les tensions de polarisation V_{CDTI} et V_N avec la même différence de potentiel entre les deux (ici de $500mV$) permet de conserver l'amplitude des excursions ΔV_{Si} et ΔV_{Ox} ; les potentiels $q\phi_s$ et V_{dep} sont réduits mais leur différence reste constante. Cela vient cependant au détriment de l'excursion sur le noeud de lecture ΔV_{SN} qui se voit réduit pour un potentiel de réinitialisation $V_{SN,rst}$ constant. Le choix est alors de réduire le

dopage du silicium actif afin de ré-équilibrer les excursions de tension entre la photo-gate et le noeud de lecture. Il est décidé de réduire le dopage du pixel $2\mu\text{m}$ à 3.10^{15}cm^{-3} pour une mise en oeuvre sous 1.8V . L'amplitude ΔV_{Si} diminue de 1.4V à 1.05V (Figure 2.9a). L'épaisseur totale du pixel doit alors s'agrandir de $3.5\mu\text{m}$ à $5\mu\text{m}$ pour continuer à stocker la même quantité de charges de 8000h^+ comme illustrée pour le pixel $2\mu\text{m}$ dopé à 3.10^{15}cm^{-3} en Figure 2.9b.

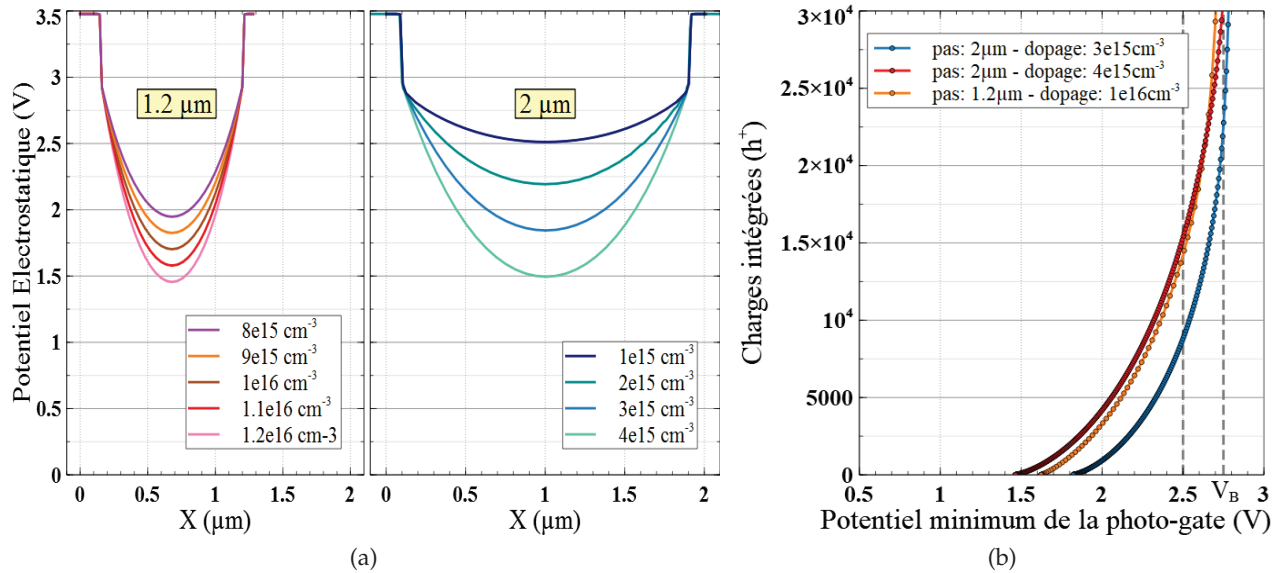


FIGURE 2.9 – Courbes de simulation (a) du profil électrostatique et (b) de la quantité de charges stockage dans la PPG pour $5\mu\text{m}$ d'épaisseur totale du pixel : comparaison des pas de $1.2\mu\text{m}$ et $2\mu\text{m}$ pour différents dopages

Ainsi le choix du dopage de l'épitaxie ainsi que son épaisseur est la première étape dans la fabrication du capteur et est primordiale car elle conditionne le fonctionnement de ce dernier.

2.4 Tranchées profondes capacitives d'isolation

En plus de la déplétion du silicium pour le stockage en volume, les CDTI assurent la passivation des interfaces latérales Si/SiO_2 ; elles doivent être en inversion pour le pixel de type p afin de remplir les états d'interface d'électrons et empêcher les phénomènes de génération d'avoir lieu pour ne pas dégrader le courant d'obscurité. Les sources d'électrons dans le pixel sont apportées par les implantations de type n pour la définition du caisson NWELL et les implantations de type n+ pour le contact du caisson.

Le fonctionnement nominal du CDTI consiste à polariser le polysilicium du CDTI et de le faire fonctionner comme un MOS (passage d'un mode d'accumulation, de déplétion ou d'inversion en fonction de la polarisation), soit de le polariser en inversion pour le pixel de type p. Avec la connaissance sur les diélectriques et sur la passivation par effet de champ, l'on souhaite aussi étudier la faisabilité d'une autre option où l'on remplacerait le polysilicium par du nitrure chargé positivement. Cela aurait pour avantage de supprimer l'alimentation utilisée pour le CDTI et de former la zone active par auto-polarisation interne du pixel.

2.4.1 CDTI Polysilicium

Inverser les CDTI en Polysilicium suppose d'appliquer une tension V_{CDTI} supérieure à la tension de seuil des MOS-CDTI et de créer un courant de conduction des électrons vers l'interface des tranchées, soit en respectant la condition $V_N < V_{CDTI}$ où V_N représente la tension appliquée sur le caisson NWELL. En inversion, on a alors le potentiel de surface des tranchées qui est imposé par la tension du caisson de sorte que $q\Phi_S = V_N + V_{bi,NWELL}$ en prenant en compte le potentiel interne de contact. La densité d'électrons est simulée à l'interface en fonction de la différence de potentiel entre le CDTI et le NWELL et les valeurs sont reportées en Table 2.1. Le caisson NWELL utilisé dans ce pixel présente un pic maximal de dopage à $2.10^{17} cm^{-3}$ (son étude est détaillé dans la partie consacré aux transistors pixel). Cette valeur est prise par défaut pour la densité d'électrons minimale assurant la passivation des tranchées. Les différences de tensions telles que $V_{CDTI} - V_N < 300mV$ ne permettent pas une bonne inversion des tranchées. Au delà, la densité d'électrons augmente avec la différence de tension dont l'amplitude doit être minimale par ailleurs dans un objectif de réduction des tensions. La différence de 500mV entre la tension caisson et la tension tranchée est ainsi prise par défaut comme simulée en Figure 2.8.

$V_{CDTI} - V_N (mV)$	Concentration d'électrons (cm^{-3})
0	6.10^{15}
100	5.10^{16}
200	1.10^{17}
300	2.10^{17}
400	3.10^{17}
500	4.10^{17}
600	6.10^{17}
700	8.10^{17}
800	1.10^{18}

TABLE 2.1 – Concentration volumique équivalente d'électrons à l'interface CDTI en fonction de la différence de potentiel entre le CDTI et le NWELL

2.4.2 CDTI Nitrure

Le pixel avec CDTI Nitrure est simulé pour quatre valeurs différentes de charges surfaciques avec centre de masse à l'interface oxyde/nitrure : $1.10^{11} cm^{-2}$, $2.10^{11} cm^{-2}$, $5.10^{11} cm^{-2}$ et $1.10^{12} cm^{-2}$. Le potentiel électrostatique est présenté sur des coupes 2D du pixel pour chaque valeur de charge en Figure 2.10. La coupe horizontale au centre du pixel est reportée en Figure 2.11. La valeur de la concentration volumique équivalente en électrons à l'interface silicium/CDTI est reportée en Table 2.2 pour estimer la qualité de passivation. Une charge d'interface de $1.10^{11} cm^{-2}$ n'est pas suffisante pour dépléter correctement la structure : il n'y a pas de couche d'inversion et le puits formé est plus profond que les potentiels imposés sur la barrière de transfert et le noeud de lecture ; il est alors impossible de récupérer et lire un signal. Pour une valeur de $2.10^{11} cm^{-2}$, le silicium est bien déplété ; les charges dans le volume peuvent être collectées. En revanche, il n'y a pas d'inversion à l'interface, la couche d'électrons n'est pas suffisante pour une bonne passivation. Les conditions de déplétion et d'inversion sont réunies pour des charges de $5.10^{11} cm^{-2}$ et $1.10^{12} cm^{-2}$. Le pixel avec

CDTI en polysilicium polarisé avec une même mise en oeuvre présente une couche d'inversion de $4.10^{17} cm^{-3}$ pour une utilisation optimale. Il faut donc une quantité de charges surfacique diélectrique au moins supérieure ou égale à $5.10^{11} cm^{-2}$ pour assurer le bon fonctionnement d'un pixel avec CDTI Nitrure.

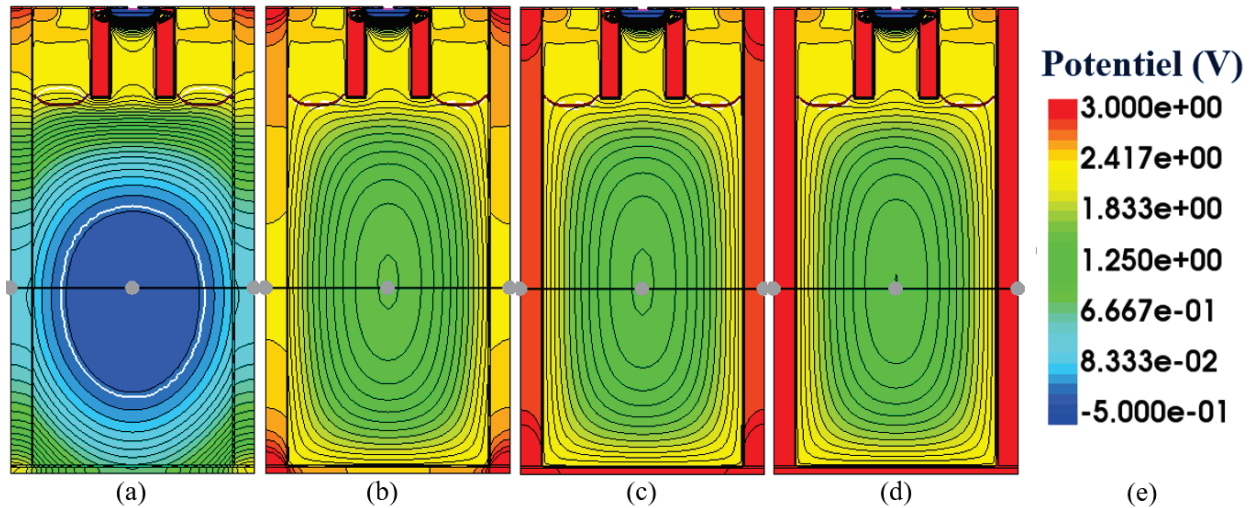


FIGURE 2.10 – Coupes 2D du pixel avec CDTI Nitrure pour différentes valeurs de charges dans le diélectrique de la tranchée. CDTI Nitrure avec charges de (a) $1.10^{11} cm^{-2}$, (b) $2.10^{11} cm^{-2}$, (c) $5.10^{11} cm^{-2}$ et (d) $1.10^{12} cm^{-2}$. (e) Légende couleur du potentiel électrostatique compris entre -0.5V et 3V

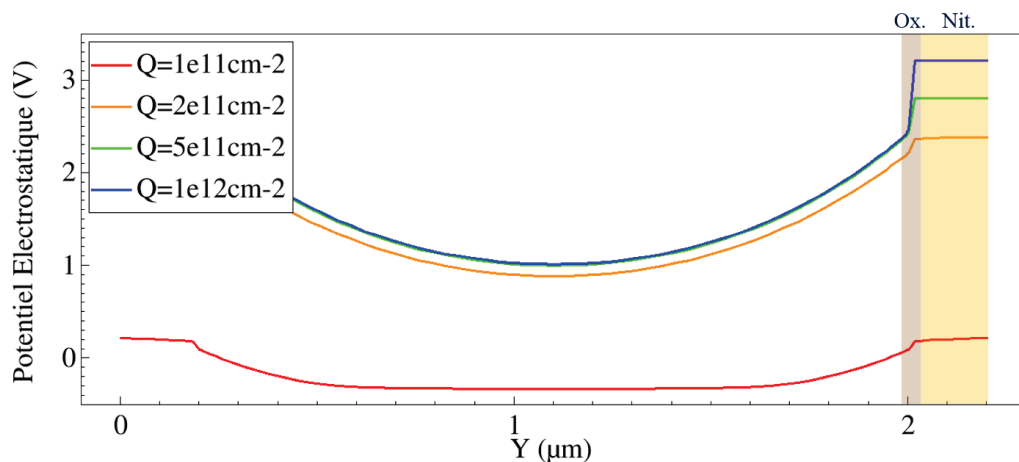


FIGURE 2.11 – Simulation du potentiel électrique du CDTI Nitrure pour différentes valeurs de charges dans le diélectrique de la tranchée

Afin d'estimer les caractéristiques électriques réelles d'un CDTI Nitrure (charges dans le diélectrique et défauts à l'interface), une technique de mesure nommée COCOS est utilisée (description en Annexe C). Les mesures sont faites sur les bi-couches oxyde-nitrure utilisées dans le CDTI, déposées en pleine plaque sur des substrats silicium de type p de concentration $1e^{15} cm^{-3}$. L'oxyde est constitué d'un oxyde thermique RTO et d'un oxyde déposé de précurseur TEOS d'épaisseur totale de 20nm. Le nitrure de silicium est fabriqué par traitement thermique, soit à partir des précurseurs H_2SiCl_2 (DCS) et NH_3 à $700^\circ C$, soit à partir de Si_2Cl_6 (HCD) et NH_3 à $590^\circ C$. L'épaisseur déposée est de 220nm.

Charges diélectrique (cm^{-2})	Concentration d'électrons (cm^{-3})
1.10^{11}	1.10^{-20}
2.10^{11}	4.10^{13}
5.10^{11}	2.10^{17}
PolySi polarisé	4.10^{17}
1.10^{12}	6.10^{17}

TABLE 2.2 – Concentration volumique équivalente d'électrons à l'interface du CDTI Nitrure en fonction de la charge surfacique du diélectrique placé à l'interface Oxyde/Nitrure. Concentration donnée pour un CDTI polysilicium polarisé en rouge pour comparaison

Les mesures COCOS sont réalisées soit sur l'oxyde d'interface (noté Ox.) seul soit sur le bi-couche oxyde-nitrure pour les deux types de nitrure proposés (nitrure DCS ou nitrure HCD), nommés respectivement Ox./Nit.DCS et Ox./Nit.HCD. Les mesures sont faites soit directement après dépôt des couches soit après les recuits utilisés lors de la fabrication de la matrice de pixels. Les plaques mesurées sont différentes post dépôt et post recuit. Les mesures sont sous forme de diagrammes de boites. Dans la modélisation des diagrammes de boites, seuls les points compris entre les 10% et les 90% des valeurs sont considérés, référencés par rapport à la valeur moyenne (identifiée par une croix sur le graphe). Les valeurs extrême, hors modèle, sont présentées par des points. Soit les mesures de Q_{tot} et de D_{it} correspondants en Figure 2.12. Les valeurs de D_{it} présentées correspondent au minimum de la courbe sur la plage de ΔV_{SB} mesurée, et sont utilisées comme élément de comparaison.

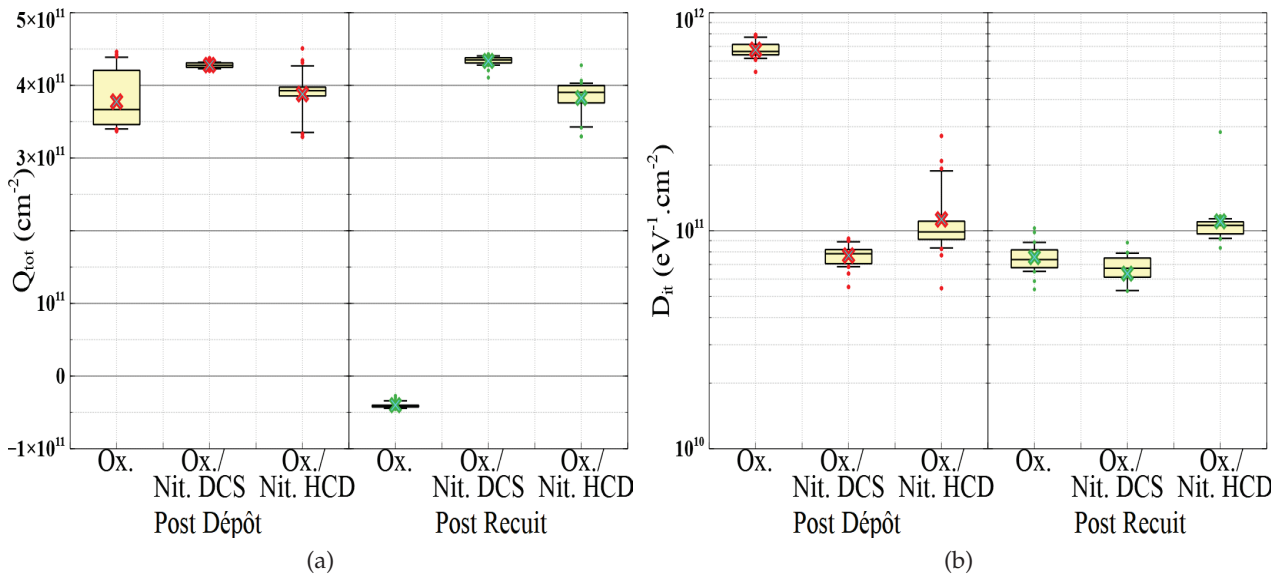


FIGURE 2.12 – Mesures (a) Q_{tot} et (b) D_{it} des empilements oxyde, oxyde/nitrure DCS et oxyde/nitrure HCD utilisés dans la tranchée CDTI. Mesures post dépôt et post recuit

L'oxyde thermique présente des charges positives $Q_{tot} = 3,7.10^{11} cm^{-2}$ après dépôt qui vont être évacuées après recuit $Q_{tot} = -4.10^{10} cm^{-2}$). L'oxyde seul ne retient donc pas de charges. Il présente aussi des défauts à l'interface $D_{it} = 7.10^{11} eV^{-1}.cm^{-2}$ après dépôt qui vont être réduits avec le recuit avec un $D_{it} = 7,5.10^{10} eV^{-1}.cm^{-2}$. La couche d'oxyde thermique fabriquée pour la tranchée CDTI permet d'atteindre un faible taux de défauts d'interface post recuit en absence de

couche de nitrure.

Concernant les empilements oxyde/nitrure, ils présentent des valeurs de Q_{tot} et de D_{it} identiques post dépôt et post recuit. La mesure de Q_{tot} atteste ainsi d'une présence de charges positives stables uniquement dans la couche de nitrure. La mesure de D_{it} montre que les défauts à l'interface oxyde sont corrigés lors du dépôt des nitrures et que les étapes de recuit ultérieures n'ont plus d'impact sur les charges dans le nitrure ni les défauts à l'interface. Le nitrure DCS améliorerait de peu la qualité d'interface avec un $D_{it} = 6,3.10^{10} eV^{-1}.cm^{-2}$ contrairement au nitrure HCD de $D_{it} = 1,1.10^{11} eV^{-1}.cm^{-2}$. Concernant les charges diélectriques, le nitrure DCS présente un $Q_{tot} = 4,3.10^{11} cm^{-2}$ et le nitrure HCD un $Q_{tot} = 3,8.10^{11} cm^{-2}$. Les deux cas présentent une bonne qualité d'interface mais une faible quantité de charges positives. La valeur de $5.10^{11} cm^{-2}$ en charge surfacique préconisée par la simulation électrique n'est pas atteinte. De plus, il faut considérer qu'un CDTI présente deux interfaces (délimitant deux pixels adjacents) nécessitant une bonne passivation de chaque côté contrairement à la simulation effectuée en Figure 2.10 où seule une interface est prise en compte. Ainsi, la quantité de charges équivalente à une interface serait la moitié des charges mesurée. Les charges dans ses empilements pourraient suffire à la déplétion du substrat mais seraient insuffisantes pour une bonne inversion des interfaces pour les deux nitrures.

La qualité de la passivation d'un CDTI Polysilicium polarisé en fonction de ses tensions de mise en oeuvre V_{CDTI} et V_N ainsi que la qualité de passivation d'un CDTI Nitrure seront comparées par la suite avec les mesures de courant d'obscurité.

2.5 Passivation de la face-arrière

Le pixel étudié est illuminé depuis la face arrière. Cette interface doit pouvoir laisser passer le plus possible de lumière dans la gamme des longueurs d'onde visibles. Pour notre étude, on choisit de ne pas fabriquer ni de micro-lentilles ni de filtres colorés, seul reste une couche de diélectriques entre la zone photosensible du pixel et la lumière incidente. En plus des considérations optiques, on cherche à minimiser les mécanismes de génération en face arrière en passivant l'interface. D'un point de vue électrique, l'interface arrière doit être pincée suivant la tension imposée par la source n du pixel et assurer une continuité électrique avec les tranchées CDTI. Ce cas idéal est simulé dans le graphe en Figure 2.22 où le potentiel à l'interface arrière est le même que celui imposé par le caisson NWELL pour les tranchées VEGA et CDTI; la photo-gate est pincée et passivée suivant toutes les directions.

Au cours de la thèse précédente [64], il a été choisi de travailler avec un tri-couche d'oxyde, nitrure et oxyde, lequel a permis de limiter la génération du courant d'obscurité du pixel par rapport à un empilement d'oxyde, Ta_2O_5 et oxyde. Cela est dû à l'utilisation d'un nitrure de silicium hydrogéné $SiN_x : H$ chargé positivement assurant une passivation à la fois chimique et par effet de champ. Le diagramme de bande de cet empilement est illustré en Figure 2.13 avec un substrat de type p dans le cas où la surface est en inversion. On y présente les centre K du nitrure, les défauts à l'interface D_{it} ainsi que les valeurs de bande interdite E_g de chaque matériau. La bande interdite du nitrure est plus faible que celle de l'oxyde $E_g(SiN_x) < E_g(SiO_2)$ de sorte que

les couches d'oxyde servent de barrière aux charges. Comme le nitrure de silicium est hydrogéné, sa concentration cristalline $SiN_x : H$ n'est pas stoechiométrique et $E_g(SiN_x) < E_g(Si_3N_4)$.

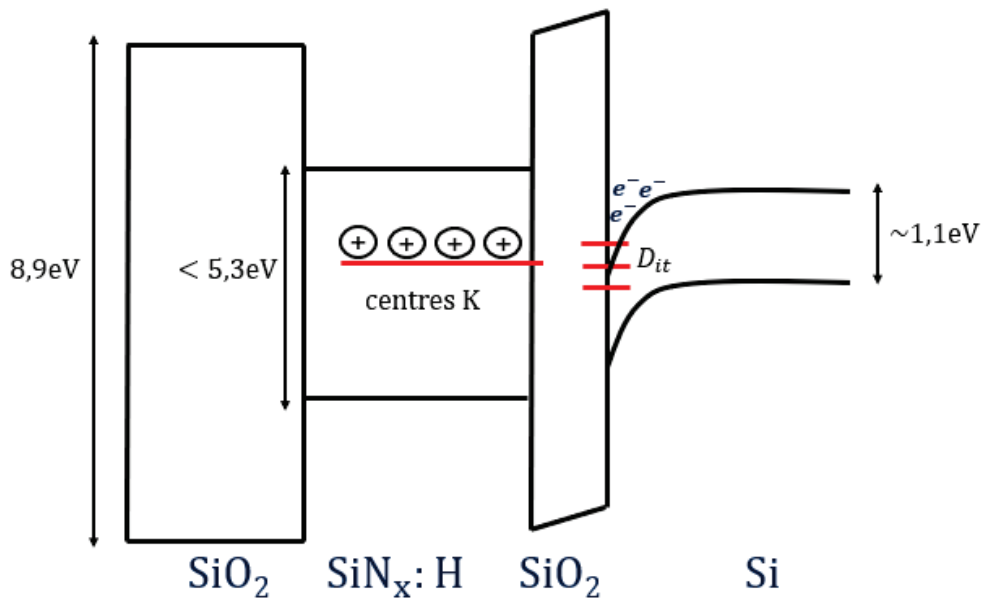


FIGURE 2.13 – Digramme de bande du tri-couche oxyde, nitrure et oxyde en face arrière du pixel passivé par effet de champ et par liaison hydrogène

L'empilement en face arrière reste inchangé pour ce travail de thèse avec les mêmes épaisseurs de diélectriques fabriquées. Une étude plus approfondie est faite sur le rôle électrique des différentes couches de l'empilement avec la détermination des charges dans les couches diélectrique et des défauts à l'interface grâce à la technique COCOS. De plus, une étude est effectuée pour différentes couches d'oxyde d'interface analysées par COCOS et par mesure de courant d'obscurité correspondant.

2.5.1 Transmission optique de la couche ONO

L'étude de la transmission optique de cet empilement en fonction des épaisseurs de diélectriques menée en [64] estime une meilleure transmission avec un oxyde d'interface le plus fin possible (2nm) mais a été déposé à 20nm pour des contraintes de fabrication. Le tri-couche utilisé est similaire au travail précédent et est déposé avec 20nm d'oxyde d'interface, 60nm de nitrure et 100nm de second oxyde (soit 160nm d'épaisseur du second oxyde en fin de fabrication de la face arrière). Ces épaisseurs assurent un maximum de transmission situé dans le vert à 550nm.

L'épaisseur du dernier oxyde est le seul qui peut varier après dépôt avec les changements d'intégration faites en face arrière, notamment pour la définition des plots de contact. Pour prévoir l'impact de cette variation, des courbes de transmission sont simulées pour un signal lumineux sans angle d'incidence entre l'air et le silicium à travers un empilement oxyde-nitrure-oxyde d'épaisseurs suivantes : 20 nm pour le premier oxyde d'interface, 60 nm pour le nitrure et une épaisseur variant entre 160nm et 200nm pour le second oxyde. Les courbes sont tracées pour des longueurs d'onde comprises entre 400nm et 1000nm (Figure 2.14). Le maximum de transmission se décale vers des longueurs d'onde plus élevées avec l'épaisseur du second oxyde, jusqu'à 600 nm

pour le second oxyde de 200nm. De plus, la transmission ré-augmente dans le bleu pour atteindre 65% de transmission à 450nm avec le second oxyde de 200nm.

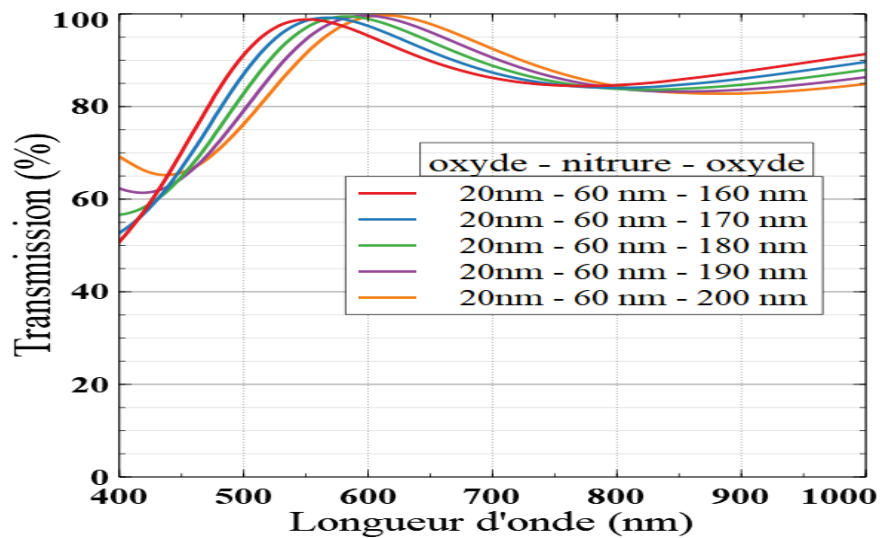


FIGURE 2.14 – Simulation de la transmission optique du tri-couche ONO en fonction de l'épaisseur du troisième oxyde

2.5.2 Effet électrostatique de la couche ONO

L'effet électrique de l'empilement en face-arrière est simulée pour une charge surfacique à l'interface entre le nitrure et l'oxyde d'interface de valeurs suivantes : $1e^{11}cm^{-2}$, $5e^{11}cm^{-2}$, $1e^{12}cm^{-2}$ et $2e^{12}cm^{-2}$ (Figure 2.15). Le potentiel électrostatique en face arrière du pixel est présenté sous forme de graphe (Figure 2.15) en fonction de la profondeur du pixel (notée X) avec la coupe 2D équivalente sur l'image de droite. Pour une charge surfacique de $1e^{11}cm^{-2}$, la face arrière n'est pas correctement inversée. Seul les côtés commencent à s'inverser de par l'effet des CDTI mais le centre de la face n'est pas pincé. Il est nécessaire d'avoir une quantité de charge surfacique d'au moins $5e^{11}cm^{-2}$ pour mettre toute l'interface Si/SiO_2 en inversion. Cette couche d'inversion est apportée par les implants n polarisés à V_N en face avant et est reliée à la face arrière via l'inversion du CDTI (parois latérales polarisées à 3V sur les images 2D du pixel). La concentration équivalente en électrons à l'interface oxyde-silicium est reportée dans le tableau 2.3. Sa valeur doit au moins correspondre à la concentration minimale du caisson pour une bonne inversion (de l'ordre d'au moins quelques $10^{17}cm^{-3}$). On trouve qu'un diélectrique face arrière de charge surfacique équivalente à $5e^{11}cm^{-2}$ présente une même concentration d'électrons à l'interface qu'un CDTI polarisé avec 500mV d'écart avec la tension imposée sur le caisson de source n. La valeur du potentiel de surface reste constante une fois la charge d'inversion atteinte. Le potentiel au sein du diélectrique ainsi que la concentration d'électrons à l'interface augmentent quant à eux avec la quantité de charges positives dans le nitrure.

Chaque couche de l'empilement est fabriquée par Plasma-Enhanced Chemical Vapor Deposition (PECVD) pour limiter l'impact de la température de déposition sur les connexions métalliques du produit. Nous faisons par la suite l'analyse du rôle de chaque couche de la face arrière (premier

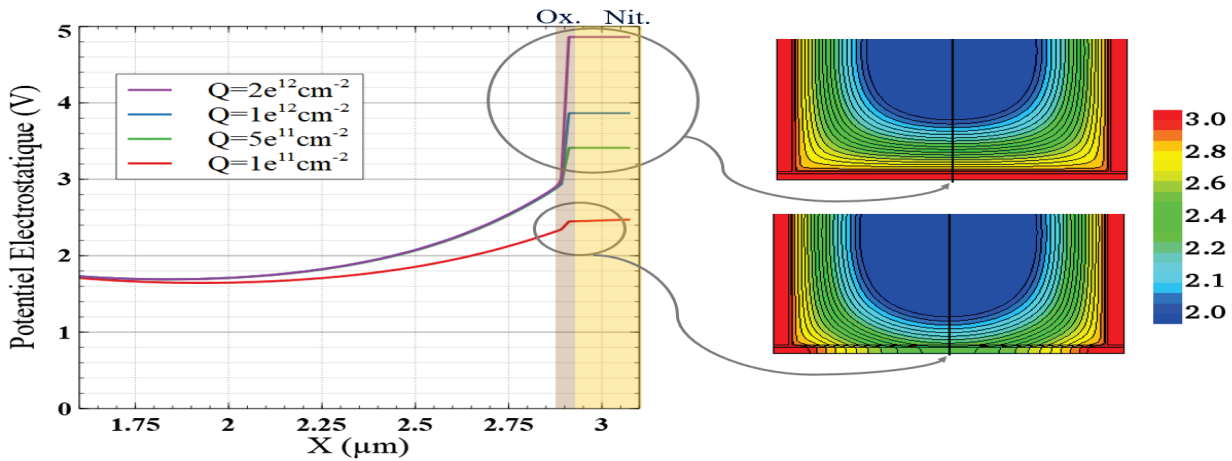


FIGURE 2.15 – Simulation du potentiel électrostatique du pixel avec différentes valeurs de charges dans le diélectrique face arrière

Charges diélectrique (cm^{-2})	Concentration d'électrons (cm^{-3})
1.10^{11}	3.10^7
5.10^{11}	4.10^{17}
1.10^{12}	1.10^{18}
2.10^{12}	4.10^{18}

TABLE 2.3 – Concentration volumique équivalente d'électrons à l'interface Si/SiO_2 en fonction de la charge surfacique du diélectrique placé à l'interface Oxyde/Nitruure

oxyde d'interface, nitrure et second oxyde) et l'analyse de l'impact de l'interface avec la comparaison de quatre oxydes d'interface différents. Ce premier oxyde d'épaisseur 20nm est déposé soit avec des précurseurs $TEOS$, He et O_2 , soit avec des précurseurs SiH_4 , N_2 et N_2O . Pour le cas du $TEOS$, deux dépôts différents sont utilisés : l'un avec une puissance plasma haute fréquence simple de 13.56 MHz, l'autre avec une puissance plasma avec fréquences double de 13.56MHz et 400kHz. Un dernier cas étudié est un oxyde chimique, qui représente l'oxyde natif qui se forme entre le silicium et le nitrure lors du nettoyage de surface (pas de couche de dépôt oxyde). Ces différents oxydes sont identifiés comme $TEOS D$, $TEOS S$, USG et OX . Natif respectivement pour le $TEOS$ double fréquence, le $TEOS$ simple fréquence, le SiH_4 et l'oxyde natif. Le $TEOS S$ est l'oxyde de référence utilisée dans la thèse précédente, et est la couche utilisée pour toutes les autres mesures faites sur matrice de pixels présentées dans le manuscrit. Pour la couche de nitrure est déposée un $SiN_x : H$ de 60nm de précurseurs SiH_4 , NH_3 et N_2 dont la concentration atomique est comme suit : $[Si] = 38\%$, $[N] = 48\%$ et $[H] = 14\%$. Enfin un dernier $TEOS$ simple fréquence de 100nm est déposé comme second oxyde et termine l'empilement en face arrière.

Le plan d'étude se déroule ainsi : le rôle de chacune des trois couches (oxyde puis nitrure puis oxyde) en face arrière est d'abord analysé. Pour ce faire, l'étude se focalise seulement avec le $TEOS S$ comme oxyde d'interface. Les diélectriques sont mesurés soit avec oxyde seul (cas Ox.), soit avec l'empilement oxyde et nitrure (cas Ox./Nit.) soit avec l'empilement oxyde, nitrure et oxyde (cas Ox./Nit./Ox.). Les mesures sont faites soit juste après dépôt des couches soit après le recuit final utilisé lors de la fabrication de la matrice de pixels (le recuit final est essentiel

pour le fonctionnement du produit). Il est fait sous atmosphère N_2H_2 et à la température de $400^\circ C$. Les plaques mesurées post dépôt et post recuit sont différentes hormis pour l'empilement oxyde/nitruire qui est remesuré post recuit après avoir enlevé les charges corona sur la plaque via une étape de gravure humide.

Les mesures de Q_{tot} et de D_{it} des diélectriques correspondants sont réunies en Figure 2.16 et les mesures de V_{FB} et de V_{CPD} en Figure 2.17. Le V_{CPD} est mesuré à l'état initial sur toute la surface des plaques à intervalle régulier de $10\mu m$ (7245 valeurs) tandis que les autres paramètres sont mesurées en 25 points que sont les 25 sites de décharges corona. Dans le cas de l'empilement oxyde/nitruire, des sites corona différents sont utilisés post dépôt et post recuit pour ne pas perturber les mesures.

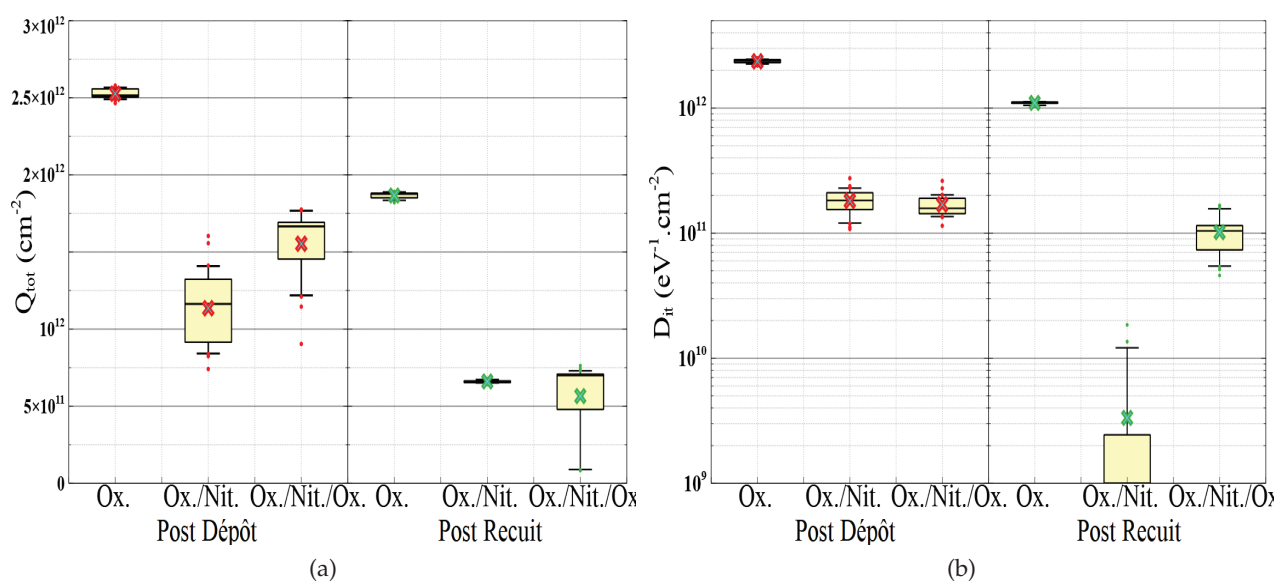


FIGURE 2.16 – Mesures de (a) Q_{tot} et de (b) D_{it} des empilements oxyde seul, oxyde/nitruire et oxyde/nitruire/oxyde avec TEOS S à l'interface. Mesures faites post dépôt et post recuit

Soit les mesures de Q_{tot} et D_{it} . Pour l'oxyde TEOS S seul, les valeurs de charges dans le diélectrique et de défauts à l'interface sont autant élevées après dépôt qu'après recuit ($\geq 10^{12}$) et représentent une interface avec une faible qualité de passivation non améliorée par le recuit. L'ajout du nitruire (empilement oxyde/nitruire) permet une première réduction des charges et des défauts post dépôt, encore réduits après recuit. Une passivation chimique de l'interface a ainsi lieu par les ions H^+ lors du dépôt du nitruire et le recuit active aussi une diffusion des ions H^+ du nitruire vers l'interface. De plus, cette passivation chimique n'a lieu qu'en présence du nitruire. Cependant, on a une mauvaise résolution pour l'empilement oxyde/nitruire post recuit lors de la mesure du D_{it} qui entraîne une incertitude sur sa valeur sûrement sous-estimée par rapport à la réalité (moyenne à $3.10^9 eV^{-1}.cm^{-2}$). L'analyse de l'empilement complet (oxyde/nitruire/oxyde) post dépôt révèle que les défauts d'interface ne sont pas impactées par le dernier oxyde (D_{it} similaires avec ou sans dernier oxyde) mais que ce dernier présente des défauts dans son volume (légère augmentation du Q_{tot}). Après recuit, les défauts dans le dernier oxyde sont corrigés et les charges restantes sont concentrées dans le nitruire ($Q_{tot} \sim 5 - 6.10^{11} cm^{-2}$). La quantité de charges est en accord avec la simulation et serait suffisante pour une bonne passivation par effet de champ. Le D_{it} vaut $1.10^{11} eV^{-1}.cm^{-2}$ et corrobore la sous-estimation sur l'empilement Ox./Nit. post recuit qui devrait

présenter une valeur similaire de défauts à l'interface D_{it} que l'empilement complet.

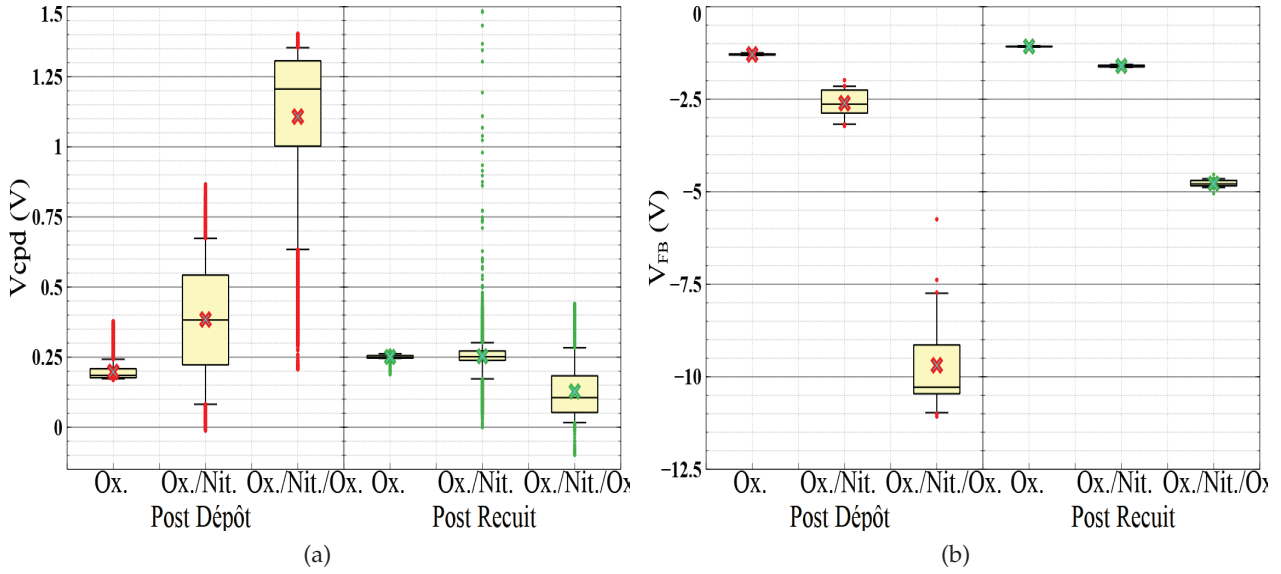


FIGURE 2.17 – Mesures de (a) V_{CPD} et de (b) V_{FB} des empilements oxyde seul, oxyde/nitride et oxyde/nitride/oxyde avec TEOS S à l'interface. Mesures faites post dépôt et post recuit

L'impact de la position des charges sur les tensions V_{CPD} et V_{FB} est aussi prise en considération pour l'analyse. Soit donc les mesures de V_{CPD} et de V_{FB} des empilements précédents (Figure 2.17). La valeur idéale de tension $V_{ref} = \left| \frac{Q_{tot} t_{diel}}{\epsilon_0 \epsilon_{r,diel}} \right|$ dans le cas où toutes les charges seraient positionnées en surface est calculée pour la comparer aux mesures de V_{CPD} et V_{FB} . Pour ce faire, les paramètres diélectriques t_{diel} et $\epsilon_{r,diel}$ doivent être déterminées. Les couches étudiées sont alors modélisées par une mono-couche d'oxyde. La couche de nitride est remplacée par un oxyde dont l'épaisseur équivalente vérifie la même capacité diélectrique, soit :

$$\frac{\epsilon_{r,ox}}{t_{ox,eq}} = \frac{\epsilon_{r,nitride}}{t_{nitride}} \longleftrightarrow \frac{3.9}{t_{ox,eq}} = \frac{7}{60} \implies t_{ox,eq} = 33.43nm \quad (2.4)$$

Les informations sont réunies en Table 2.4. Il apparaît clairement que V_{CPD} diffère de V_{ref} et qu'on retrouve la même variation d'amplitude du V_{ref} à travers le V_{FB} pour les empilements avec le nitride présent. Les charges sont donc bien présentes dans le nitride. Le centre des charges est localisé suffisamment proche de l'interface pour agir sur le V_{FB} et n'a pas ou peu d'impact sur la surface.

L'analyse du V_{CPD} pour l'empilement oxyde/nitride/oxyde confirme que le second et dernier oxyde du tri-couche présente des charges (défauts) dans son volume après dépôt et donc proche de la surface ($V_{CPD}=1.1V$), qui disparaissent après recuit ($V_{CPD}=0.13V$).

Pour ce qui est de l'empilement oxyde/nitride post recuit, de nombreux sites présentent des valeurs élevées de V_{CPD} hors modèle (comprise entre 0.3V et 1.5V) malgré une gaussienne très resserrée sur la valeur moyenne. Ces extrêmes correspondent aux 25 sites de décharges corona de la mesure post dépôt identifiée via la représentation cartographique du V_{CPD} sur toute la plaque en Figure 2.18 pour les cas avec oxyde seul, oxyde/nitride et oxyde/nitride/oxyde post recuit (le cas avec oxyde/nitride est le seul à avoir été mesurée post dépôt et post recuit sur la même

plaque). Cette signature est présente en mesure post recuit malgré le nettoyage de la surface après la mesure post dépôt. La méthode COCOS modifie donc de façon quasi irréversible la surface d'un diélectrique étudié et ne peut difficilement être réitérée plusieurs fois sur une même plaque.

Paramètres	Post Dépôt			Post Recuit		
	Ox.	Ox./Nit.	Ox./Nit./Ox.	Ox.	Ox./Nit.	Ox./Nit./Ox.
Épaisseur t_{diel} (nm)	20	80	180	20	80	180
Épaisseur d'oxyde équivalente $t_{ox,eq}$ (nm)	20	53.43	153.43	20	53.43	153.43
Q_{tot} (cm^{-2})	$2,5 \cdot 10^{12}$	$1,14 \cdot 10^{12}$	$1,55 \cdot 10^{12}$	$1,86 \cdot 10^{12}$	$6,60 \cdot 10^{11}$	$5,65 \cdot 10^{11}$
V_{CPD} (V)	0.2	0.375	1.1	0.25	0.25	0.13
V_{FB} (V)	-1.26	-2.61	-9.69	-1.08	-1.60	-4.78
V_{ref} (V) = $\frac{Q_{tot} t_{ox,eq}}{\epsilon_0 \epsilon_{r,ox}}$	2.32	2.81	11.04	1.72	1.63	4.02

TABLE 2.4 – Tableau des paramètres COCOS pour l'analyse de localisation des charges pour les empilements oxyde seul, oxyde/nitride et oxyde/nitride/oxyde avec oxyde TEOS S

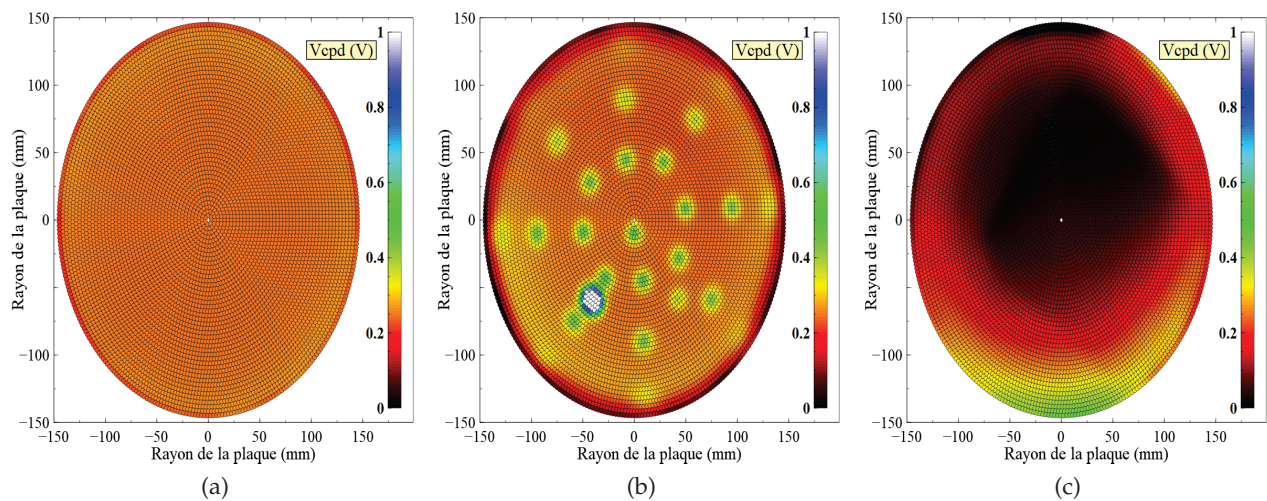


FIGURE 2.18 – Cartographie V_{CPD} des empilements avec (a) oxyde seul, (b) oxyde/nitride et (c) oxyde/nitride/oxyde post recuit sur toute la plaque pour l'oxyde TEOS S

Avec une meilleure compréhension sur le rôle des couches en face arrière ainsi que de l'interprétation des mesures COCOS, l'impact de l'oxyde d'interface sur la qualité de la passivation face arrière est étudiée par comparaison des empilements d'oxyde/nitride avec TEOS D, TEOS S, USG et OX. Natif post recuit comme oxyde d'interface [70]. Le second et dernier oxyde n'est pas pris en considération pour l'étude COCOS car n'ayant pas d'impact sur l'interface. Les mesures de Q_{tot} et D_{it} ainsi que celles du V_{CPD} et V_{FB} sont réunies respectivement en Figures 2.19 et 2.20.

Une même quantité de charges diélectriques mesurée est attendue pour ces quatre cas étudiés car possédant la même couche de nitride. L'étude de la charge diélectrique permet de séparer les

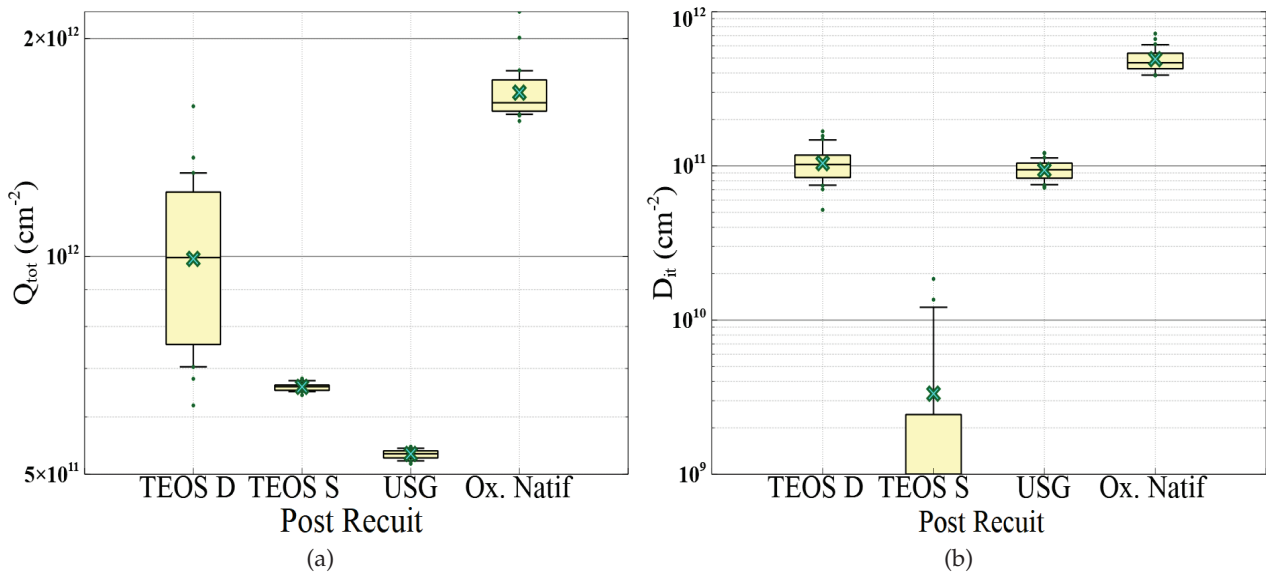


FIGURE 2.19 – Mesures (a) Q_{tot} et (b) D_{it} des empilements oxyde/nitrure avec split sur TEOS D, TEOS S, USG et OX. Natif. Mesures post recuit

empilements en deux catégories : ceux du TEOS S et de l'USG ayant un $Q_{tot} \sim 5 - 7.10^{11} cm^{-2}$ et ceux du TEOS D et de l'oxyde natif ayant un $Q_{tot} \geq 1.10^{12} cm^{-2}$. Le TEOS D présente en plus une forte dispersion du Q_{tot} en fonction de la localisation sur la plaque. Pour les défauts d'interface, deux situations peut aussi être distinguée : celles du TEOS D, du TEOS S et de l'USG ayant un $D_{it} \leq 1.10^{11} eV^{-1}.cm^{-2}$ et celle de l'oxyde natif de $D_{it} = 5.10^{11} eV^{-1}.cm^{-2}$. On peut déjà présumer les empilements avec le TEOS S et l'USG comme étant les meilleures options de passivation avec une quantité de charges diélectriques uniforme et suffisante et une faible densité de défauts. Les cas du TEOS D et de l'oxyde natif sont plus atypiques et à analyser en détails.

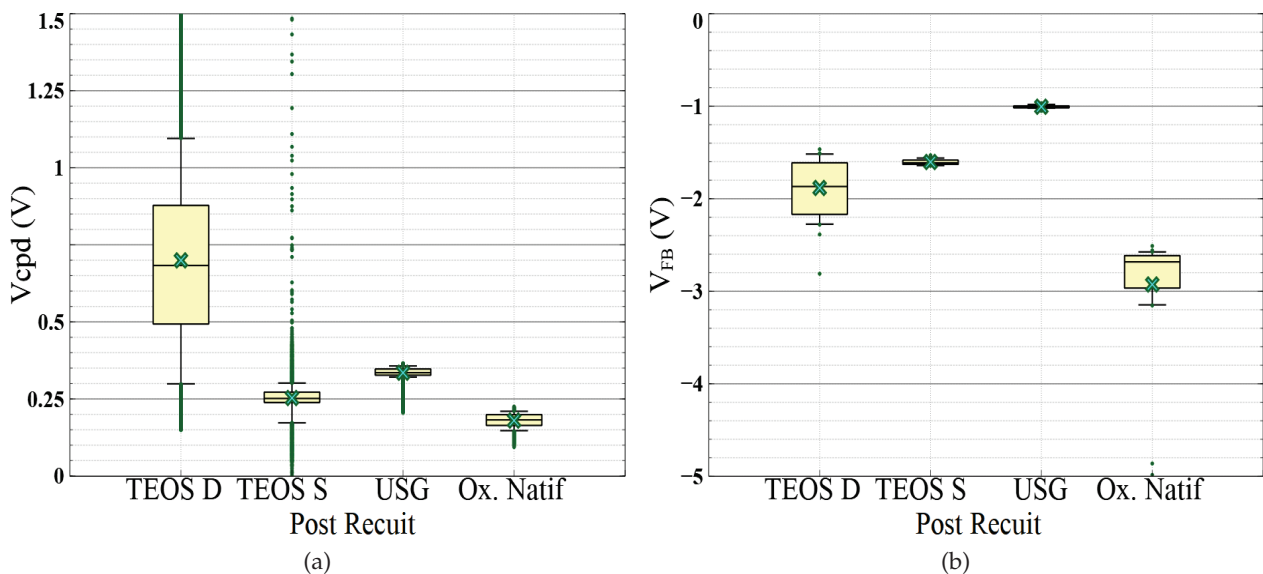


FIGURE 2.20 – Mesures (a) V_{CPD} et (b) V_{FB} des empilements oxyde/nitrure avec split sur TEOS D, TEOS S, USG et OX. Natif. Mesures post recuit

Les informations relatives à la localisation des charges sont réunies en Table 2.5 en recalculant la tension V_{ref} pour titre de comparaison. IL n'y a ici aucune dépendance entre V_{CPD} et V_{ref} pour les quatre cas (charges éloignées de la surface). Il y a de nouveau une division entre les empilements des TEOS S et USG (qui présentent une corrélation entre V_{ref} et V_{FB}) et des empilements des TEOS D et Ox. Natif (sans corrélation apparente). Pour tenter de comprendre les différences du TEOS D et de l'Ox. Natif, il faut repartir de la définition du $Q_{tot} = Q_{diel} + Q_{it}^{FB} + Q_{surf}^0$ (équation (C.7)). Pour les quatre empilements, une même valeur de $Q_{diel} \approx 6.10^{11} cm^{-2}$ est considérée. Pour le cas de l'Ox. natif, avec l'analyse du V_{CPD} et du D_{it} , on en déduit que $Q_{surf}^0 = 0$ et que le Q_{it} est plus large que pour les empilements avec dépôt d'oxyde. Ainsi, l'interface silicium/oxyde chimique natif (qui correspond à une interface silicium/nitride) présente plus de défauts qu'une interface silicium/oxyde déposé. Pour le cas du TEOS D, il existe une forte dispersion du V_{CPD} et du Q_{tot} qui ferait penser soit qu'il y ait la présence de charges en surface soit que le centre de masse est plus décalé vers la surface que les autres cas. De plus, c'est un empilement aux propriétés électriques moins stables en fonction de la localisation sur la plaque.

Empilement	TEOS D/Nit.	TEOS S/Nit.	USG/Nit.	Ox. Natif/Nit.
Épaisseur t_{diel} (nm)	80	80	80	60
Épaisseur d'oxyde équivalente $t_{ox,eq}$ (nm)	53.43	53.43	53.43	33.43
Q_{tot} (cm^{-2})	$9.92.10^{11}$	$6,60.10^{11}$	$5,34.10^{11}$	$1,68.10^{12}$
V_{CPD} (V)	0.7	0.25	0.35	0.2
V_{FB} (V)	-1.88	-1.60	-1.01	-2.93
V_{ref} (V) = $\left \frac{Q_{tot} t_{ox,eq}}{\epsilon_0 \epsilon_{r,ox}} \right $	2.46	1.63	1.32	4.17

TABLE 2.5 – Tableau des paramètres COCOS pour l'analyse de localisation des charges pour les empilements oxyde/nitride avec TEOS D, TEOS S, USG et OX. Natif

La répartition des charges au sein d'un diélectrique reste complexe et ne peut être totalement expliquée par des mesures COCOS. Cependant, ces dernières nous permettent d'estimer les caractéristiques des diélectriques en face arrière et de mieux comprendre le rôle électrique de chacun. Ainsi, le premier oxyde d'interface semble jouer un rôle important sur la densité des défauts à l'interface et le nitride chargé positivement est quant à lui nécessaire à une passivation par effet de champ. Ces mesures suggèrent une meilleure passivation de l'interface avec les oxydes TEOS S et USG comparés au TEOS D et à l'Ox. Natif. Ces résultats seront par la suite mis en perspective avec la mesure de courant d'obscurité.

2.6 Grille de transfert verticale

Le rôle de la grille de transfert TG verticale (tranchée VEGA ici) est de transférer les charges de la zone de stockage de la photo-gate jusqu'au noeud de lecture. La tranchée VEGA fonctionne sur le même principe que les tranchées CDTI polarisées : le substrat est déplété en volume en fonction de la polarisation positive des tranchées et un puits de potentiel se forme de potentiel de déplétion V_B .

La grille de transfert est au centre du pixel de sorte que les potentiels de déplétion de la photo-gate V_{dep} et de la grille de transfert V_B soient alignés pour assurer un bon transfert de charges. Le graphe avec les coupes électrostatiques au centre du pixel pour plusieurs tensions de polarisation V_{TG} de la tranchée VEGA est présenté Figure 2.21. Les charges sont stockées dans la photo-gate entre les potentiels V_{dep} et V_B pour $V_B > V_{dep}$ (soit pour les valeurs de $V_{TG} \geq 1.5V$ dans la simulation). Les charges sont ensuite transférées vers le noeud de lecture lorsque $V_{SN,rst} \leq V_B \leq V_{dep}$ (soit ici pour les valeurs de $V_{TG} < 1V$) avec $V_{SN,rst}$ la tension sur le noeud de lecture après réinitialisation. Pour la situation où $V_{TG} = 1V$, le profil électrostatique présente une bosse au niveau de la barrière qui va empêcher le transfert d'une petite quantité de charges. C'est un cas de rémanence que l'on doit éviter lors de la conception du pixel.

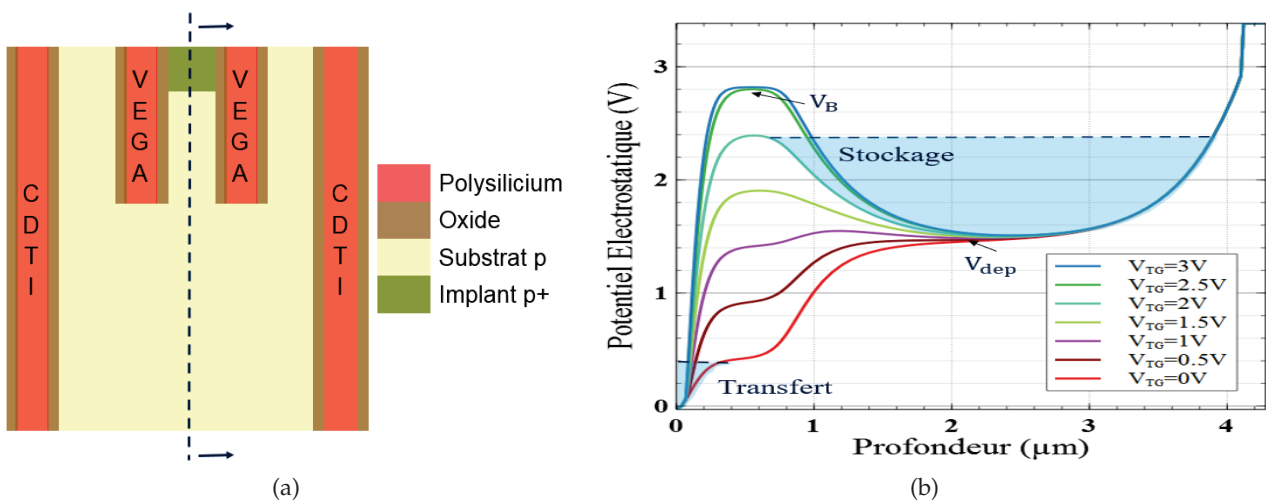


FIGURE 2.21 – Fonctionnement de la grille de transfert verticale : (a) schéma 2D et (b) graphe 1D du centre de la structure avec différentes tensions de polarisation V_{TG} de la tranchée VEGA

La grille de transfert doit vérifier les critères suivants :

- un bonne passivation de la tranchée au cours de l'intégration pour ne pas dégrader le courant d'obscurité $\rightarrow V_{TG} > V_N$
- un minimum de perte de potentiel pour maximiser son potentiel V_B et ainsi maximiser la quantité de charges stockable dans la photo-gate, soit avec une faible distance entre deux doigts de tranchée VEGA
- assurer un transfert en volume et sans rémanence (pas de piégeage de charge ou de retour de charges vers la photo-gate)

Il est choisi d'utiliser la même concentration de dopants pour la tranchée VEGA et la tranchée CDTI ainsi que la même tension de polarisation lorsque le pixel fonctionne en mode intégration (le canal du MOS TG est fermé). Lors du transfert des charges, la tranchée VEGA est polarisée par défaut à la tension minimum de 0V.

Les profils électrostatiques du transfert et de la barrière TG au sein du pixel sont présentés en Figure 2.22 avec les polarisations optimales. La profondeur de la tranchée VEGA est de $0.8\mu m$. La coupe C1 présente la ligne de transfert qui traverse le pixel en vertical depuis le noeud de lecture

jusqu'à la face arrière avec le canal du MOS TG ouverte et fermée. La coupe C2 présente le profil du potentiel de barrière (canal MOS TG fermée) suivant la direction horizontale (à la fois selon sa largeur et sa longueur) au centre du plateau. Sur la coupe C2, on distingue le potentiel interne fixe de la VEGA (à 3.5V ici), la chute linéaire dans l'oxyde puis la courbure de déplétion dans le silicium formant le plateau de la barrière. La zone du plateau de la grille de transfert est figurée en rouge sur la coupe C1. Les excursions en tension allouées pour la photo-gate ΔV_{FW} et pour le noeud de lecture ΔV_{SN} sont reportées sur la Figure.

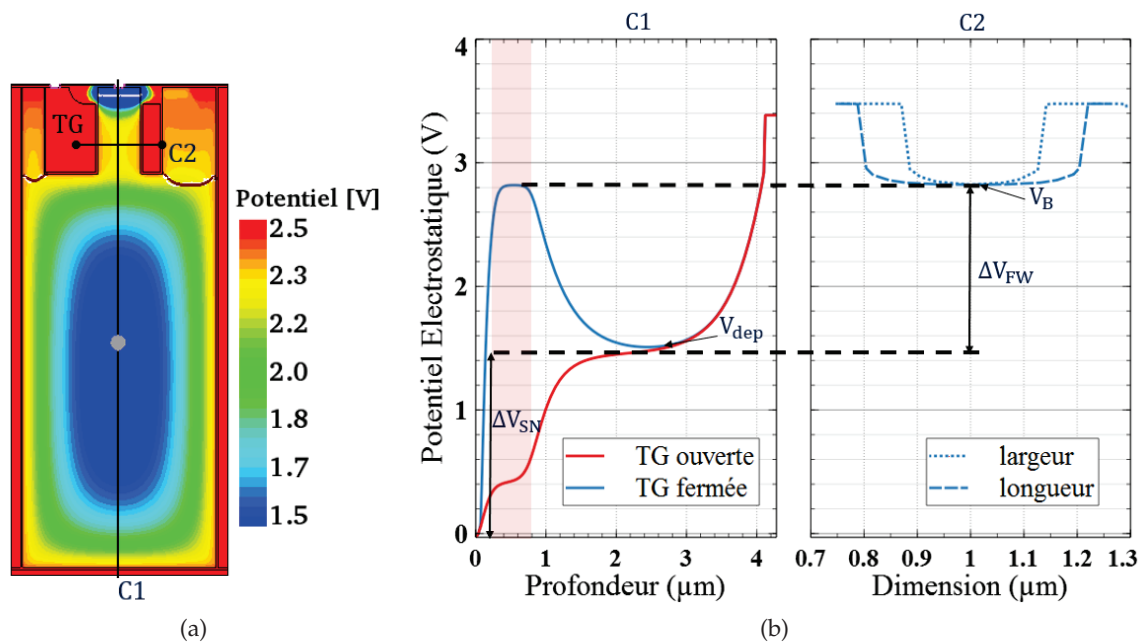


FIGURE 2.22 – Simulation du profil électrostatique du pixel de pas de $2\mu m$ avec fonctionnement optimal de la grille de transfert : (a) coupe 2D et (b) graphes 1D des coupes C1 et C2 présentant le transfert et la barrière. Graphes avec TG ouverte et TG fermée

La chute du potentiel au sein de la grille de transfert et la hauteur de la barrière peut être comparé entre les pixels de pas de $1.2\mu m$ et de $2\mu m$. La chute de potentiel dans le silicium dépend de l'ouverture de la tranchée VEGA. Pour une structure rectangulaire, c'est la plus petite dimension qui contrôle le potentiel. Pour nos versions pixel, la dimension de la tranchée VEGA est de $0.24\mu m \times 0.4\mu m$ pour le pixel de $2\mu m$ et de $0.28\mu m \times 0.32\mu m$ pour le pixel de $1.2\mu m$. Cela correspond à des chutes de potentiel de $q\Phi_S - V_B = 160mV$ pour le pixel de $1.2\mu m$ et $q\Phi_S - V_B = 120mV$ pour le pixel de $2\mu m$ pour des dopages respectifs de $1.10^{16}cm^{-3}$ et de $4.10^{15}cm^{-3}$ (profil électrostatique en Figure 2.23), avec des potentiels barrière V_B de 2.78V et de 2.82V, soit 40mV de différence entre les deux versions de pixel. Le dopage du silicium pour le pixel $1.2\mu m$ a été choisi de sorte à stocker environ la même quantité de charges que le pixel $2\mu m$.

L'évolution des excursions en tension au sein du pixel en fonction des tensions de mise en oeuvre est présenté Figure 2.24a. Lors de la réduction des tensions V_{CDTI} , V_{TG} et V_N , la différence de tension entre la polarisation haute des tranchées VEGA et CDTI ($V_{CDTI} = V_{TG,haute}$) et la tension caisson (V_N) est maintenue à 500mV pour assurer une bonne qualité de passivation et une même chute de potentiel dans les oxydes de tranchée. Le pixel est simulé en mode d'intégration et de transfert pour quatre jeux de tensions reportées en Table 2.24b : 3V5, 3V, 2V5 et 1V8. La tension

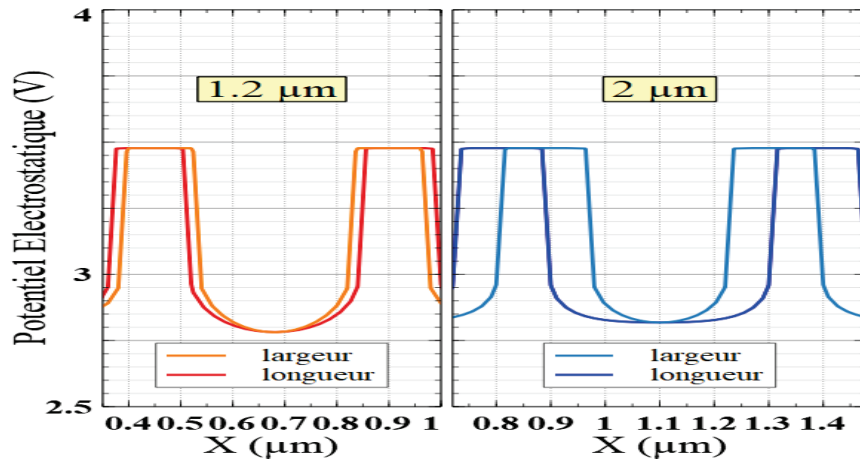


FIGURE 2.23 – Simulation du profil électrostatique de la grille de transfert : comparaison des pixels de pas de $1.2\ \mu\text{m}$ (dopé à 1.10^{16}cm^{-3}) et de $2\ \mu\text{m}$ (dopé à 4.10^{15}cm^{-3})

$V_{TG,bas}$ correspond à la polarisation de la tranchée VEGA en mode de transfert des charges. L'excursion en tension ΔV_{FW} de la photo-gate reste constante quelque soit le jeu de tension utilisé puisque ni la largeur du pixel ni le dopage silicium ne varient dans les simulations. En revanche, l'excursion du noeud de lecture ΔV_{SN} se réduit avec le jeu de tensions. Pour le cas 1V8, plusieurs problèmes apparaissent. Le potentiel de déplétion V_{dep} est inférieur au potentiel de barrière à l'état bas $V_{B,bas}$ et crée un phénomène de rémanence. De plus, ΔV_{SN} est réduit à 300mV, soit plus que 40mV en considérant la barrière thermique, inexploitable pour un transfert et un stockage de charges sur le noeud de lecture.

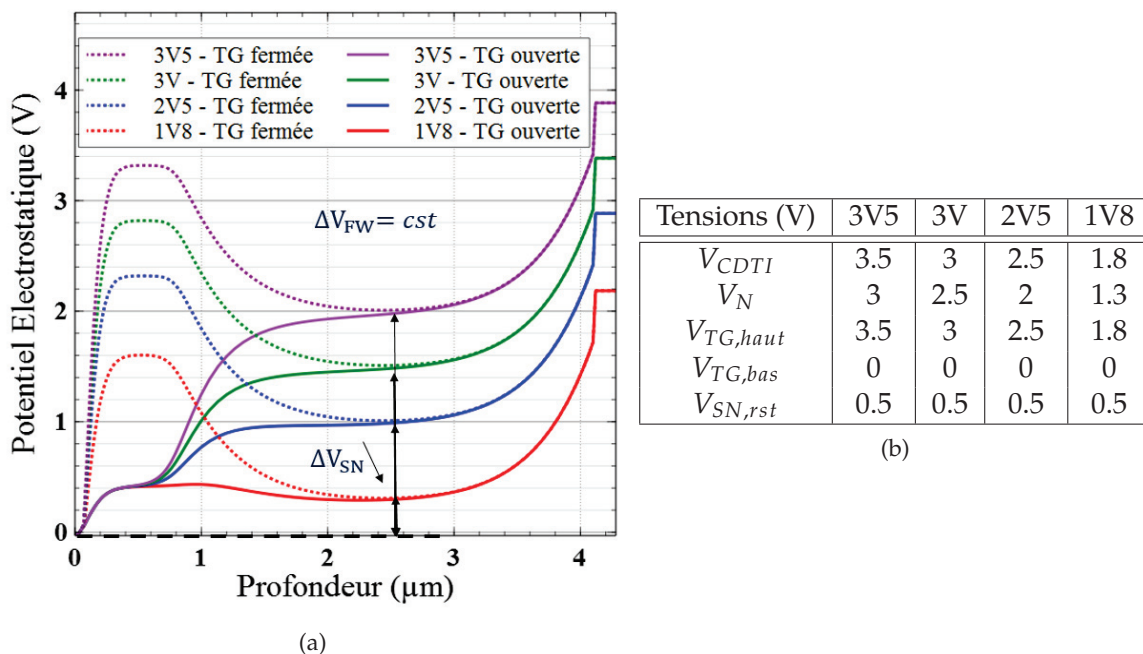


FIGURE 2.24 – (a) Courbes de simulation du pixel $2\ \mu\text{m}$ et (b) tableau des tensions de mise en oeuvre utilisées

Il est donc nécessaire de résoudre les deux points suivants lors d'une mise en oeuvre à 1V8 :

- éliminer le phénomène de rémanence
- ré-augmenter l'excursion du noeud de lecture

Pour ce faire, il est possible soit de modifier la hauteur de la barrière de transfert V_B , soit de modifier le potentiel de déplétion V_{dep} , soit de modifier la tension du noeud de lecture de réinitialisation $V_{SN,rst}$, ceci afin dans les deux cas de rétablir la condition $V_{B,bas} < V_{dep}$ pour corriger le problème de rémanence et récupérer l'excursion sur le noeud de lecture. Les solutions à apporter peuvent se classer en trois catégories :

- les solutions design
- la mise en oeuvre
- les solutions technologiques

Les solutions design correspondent aux changements faits dans le dessin des masques utilisées pour la fabrication du pixel, ce qui n'est pas l'objectif ici.

La mise en oeuvre correspond aux tensions appliquées sur le pixel lors de son fonctionnement nominal. Le premier changement appliqué consiste à réduire la différence de potentiel à 300mV entre le caisson et les tranchées pour une bonne passivation des interfaces, soit en rehaussant la tension V_N à 1.5V. Le second changement consiste à réinitialiser le noeud de lecture à une tension plus basse. Ces deux choix permettent de ré-augmenter l'excursion sur le noeud de lecture. Une dernière modification serait d'appliquer une tension négative sur la tranchée VEGA en mode de transfert $V_{TG,bas} = 0.5V$ pour résoudre le problème de rémanence. Ce choix sort du cahier des charges imposé pour ce travail de thèse de ne pas utiliser de tensions négatives. La tension $V_{TG,bas}$ est donc maintenu à 0V. Les changements de tension sont regroupés en Table 2.6.

Mise en oeuvre 1V8	par défaut	mise à jour
V_{CDTI}	1.8	1.8
V_N	1.3	1.5
$V_{TG,haut}$	1.8	1.8
$V_{TG,bas}$	0	-0.5 0
$V_{SN,rst}$	0.5	0

TABLE 2.6 – Tableau des nouvelles tensions de mise en oeuvre sous 1V8

Les solutions technologiques regroupent toutes les modifications qui peuvent être apportées lors de la fabrication du pixel, tel par exemple que les épaisseurs des matériaux utilisés, leur dopage, les profondeurs de tranchée, etc. Pour la mise en oeuvre sous 1V8, deux changements technologiques sont apportés. Le premier consiste à diminuer le dopage du silicium actif de $4.10^{15}cm^{-3}$ à $3.10^{15}cm^{-3}$ ce qui a pour conséquence de rehausser le potentiel de déplétion V_{dep} et permet à la fois d'éliminer la rémanence (lag) et de ré-augmenter ΔV_{SN} au détriment de l'excursion ΔV_{FW} de la photo-gate qui diminue. Le second changement technologique consiste alors à augmenter l'épaisseur totale du pixel (et par la même la profondeur des tranchées CDTI) de $3.5\mu m$ à $5\mu m$ afin de stocker la même quantité de charges qu'avant (augmentation du Full Well FW). Les profils électrostatiques du pixel sont simulés pour une mise en oeuvre sous 1V8 avec et sans les différentes solutions apportées afin d'illustrer l'impact de ces dernières sur les excursions en tension du pixel (Figure 2.25).

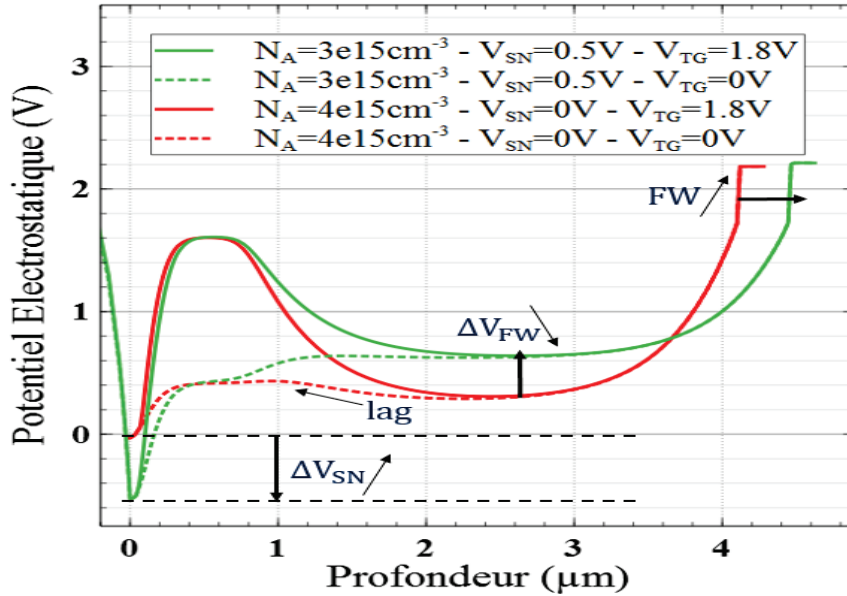


FIGURE 2.25 – Simulation du pixel 2μm à 1V8 et critères d’amélioration des excursions en tension pixel

Les différentes excursion pixel sont résumés sur un diagramme en Figure 2.26 : soit la chute de potentiel ΔV_{Ox} dans l’oxyde des tranchées, le puits de potentiel ΔV_{Si} de la photo-gate, l’excursion ΔV_{FW} pour le stockage des charges dans la photo-gate et l’excursion ΔV_{SN} pour le stockage des charges sur le noeud de lecture. L’évolution de ces plages de tensions sont présentés à 3.5V puis à 1.8V avant et après les solutions apportées pour ré-équilibrer les plages allouées pour la photo-gate et le noeud de lecture.

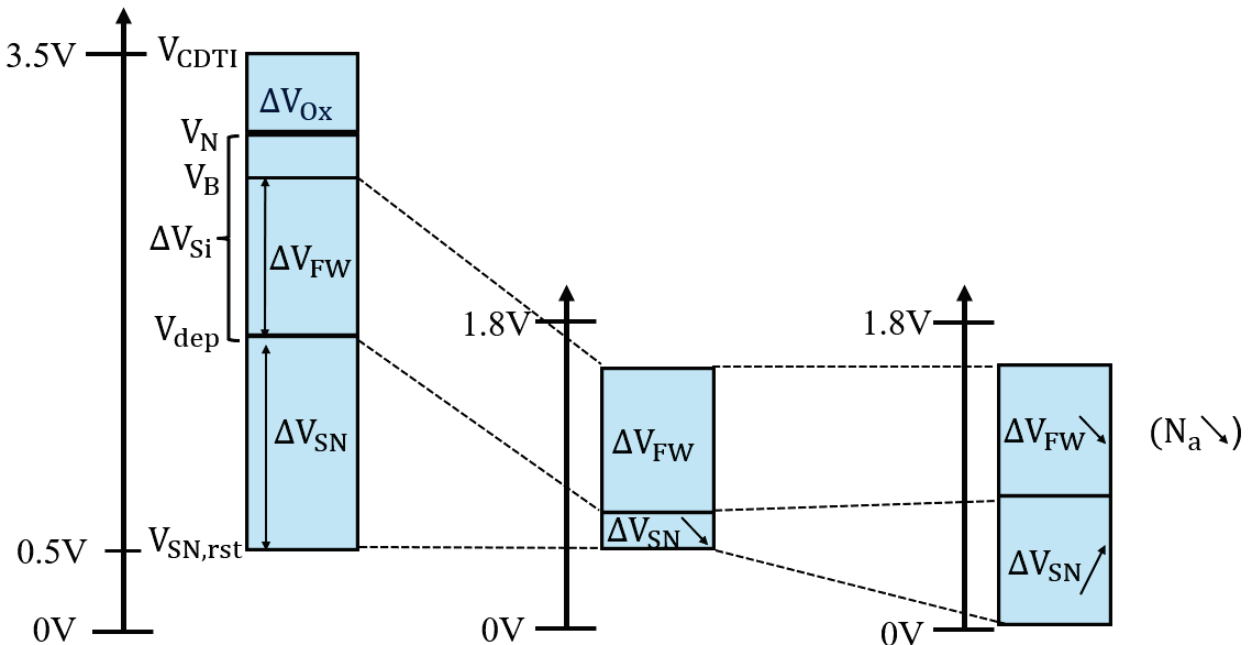


FIGURE 2.26 – Diagramme des excursions en tension dans le pixel

2.7 Noeud de lecture

Le noeud de lecture est la zone d'implantation p+ sur laquelle les charges photo-générées sont transférées pour leur conversion en tension. Ses caractéristiques principales sont :

- son profil de dopage ; assurant la continuité électrique avec la prise contact
- sa capacité C_{SN} ; pour le stockage et la conversion des charges

Pour ce pixel, le noeud de lecture est situé au centre de la grille rectangulaire de transfert verticale VEGA. Il existe donc une plus forte surface de contact entre les deux par rapport à une intégration avec grille de transfert planaire où le noeud de lecture n'est généralement pas situé directement sous la grille de transfert et est de plus isolé électriquement de ce dernier grâce aux espaceurs du transistor. Il y a donc une plus forte interaction électrique entre le noeud de lecture et la grille de transfert pour ce pixel. Hors, il faut éviter des zones électriques avec des champs électriques trop importants. Le champ électrique nécessite ainsi une analyse par simulation afin d'évaluer des zones critiques du pixel.

2.7.1 Considération du champ électrique

Les charges au sein du pixel se déplacent suivant des champs électriques, avec pour vitesse de déplacement une vitesse linéaire avec le champ électrique, jusqu'à une valeur de champ électrique de $10^4 V.cm^{-1}$ pour le silicium. La vitesse de déplacement sort du régime linéaire pour des valeurs supérieures jusqu'à atteindre une vitesse de saturation pour un champ électrique d'environ $10^5 V.cm^{-1}$. Pour des valeurs de champ électrique trop élevées, les charges ont suffisamment d'énergie pour créer des fuites par effet tunnel ou des processus d'ionisation par impact, de l'injection de porteurs chauds ou des processus d'avalanche. Ces phénomènes sont à minimiser pour le fonctionnement du pixel. On fixe le seuil du taux d'ionisation critique au sein du silicium à $3.10^5 V.cm^{-1}$ [25]. La cartographie du champ électrique au sein du pixel VEGA $2\mu m$ sous 3V en mode intégration et en mode transfert est présentée Figure 2.27. Le champ électrique au sein de la photo-gate reste faible ; ceci s'explique par l'absence de jonctions métallurgiques au sein de la structure. Le champ électrique augmente au niveau des interfaces avec les tranchées et la face arrière et ne dépasse jamais $5.10^4 V.cm^{-1}$ créé par l'inversion des interfaces. Cette cartographie met en exergue les mouvements de charges vers le centre du volume du silicium lors de l'intégration des charges et de plus vers l'entrée de la barrière de la grille VEGA lors du transfert. Elle révèle aussi une zone de champ électrique critique ($\geq 3.10^5 V.cm^{-1}$) autour du noeud de lecture en mode intégration. Ce dernier correspond à l'interaction électrique entre le noeud de lecture et la grille de transfert et est dû à un fort gradient de potentiel entre la polarisation de la tranchée VEGA et celle du noeud de lecture. Plus précisément, il existe une jonction pn avec un fort gradient de potentiel entre le noeud de lecture de polarité p+ polarisé à 0V et la couche d'inversion n+ à l'interface de la tranchée VEGA pincé à la tension du caisson.

Pour pallier à ce problème, il est nécessaire d'éloigner les deux électrodes noeud de lecture SN et couche d'inversion de la grille de transfert VEGA et de réduire la surface de contact où le champ électrique est trop élevé. Cette surface dépend à la fois du périmètre interne de la tranchée VEGA, fixe pour une version de pixel donnée, et la profondeur sur laquelle le noeud de lecture

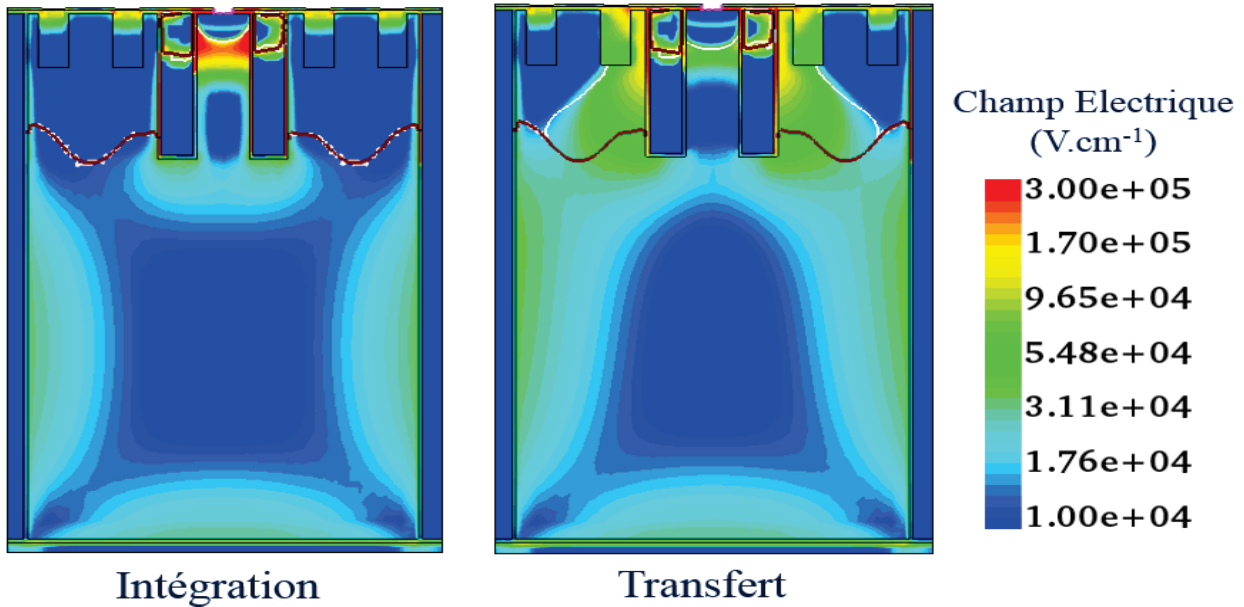


FIGURE 2.27 – Cartographie du champ électrique au sein du pixel 2µm sous 3V

interagit avec la grille de transfert. Afin de réduire cette surface, une des solutions déjà mise en place auparavant [64] est de remplir le haut de la tranchée par de l'oxyde à la place du polysilicium. Cet oxyde se nomme le "Sense Node Trench Isolation" (SNTI). De cette façon, la distance effective entre le noeud de lecture et la couche d'inversion est augmentée, il n'y a plus de surface de contact direct entre noeud de lecture et grille polarisée et le gradient de potentiel entre les deux électrodes est grandement réduit.

Légende	S/D	2K 28e15	2K 18e15	2K 8e14
Dopant	Bore	Bore	Bore	Bore
Énergie (keV)	2	2	2	2
Dose (cm^{-2})	$2,8 \cdot 10^{15}$	$2,8 \cdot 10^{15}$	$1,8 \cdot 10^{15}$	$8 \cdot 10^{14}$
Dopant	Bore			
Énergie (keV)	13			
Dose (cm^{-2})	$6 \cdot 10^{13}$			

TABLE 2.7 – Tableau des recettes d'implantation utilisées pour la définition du noeud de lecture

Une solution complémentaire est abordée au cours de ce travail pour diminuer la hauteur d'interaction du noeud de lecture en réduisant son profil de dopage. Les différentes recettes d'implantation utilisées sont réunies en Table 2.7 avec l'implantation S/D utilisée pour les source et drain des transistors pixel comme implantation de référence. Les profils d'implantation sont simulés et mesurés par technique SIMS (Figure 2.28 (a)). Retirer la seconde implantation du noeud de lecture permet de diminuer sa profondeur de jonction. De plus, réduire la dose d'implantation afin de diminuer l'amplitude du pic de dopage permet de réduire le gradient de potentiel entre le noeud de lecture et la grille de transfert. Cette réduction de dose reste limitée afin de conserver un bon contact électrique.

L'utilisation de l'oxyde SNTI et la réduction du profil de dopage du noeud de lecture peuvent aussi être utilisés en même temps. Le champ électrique autour du noeud de lecture est ainsi reporté

Figure 2.28 pour les deux cas extrêmes simulés : le cas avec implantation S/D et sans oxyde SNTI, le cas avec implantation Bore à 2keV et $8.10^{14} cm^{-2}$ et oxyde SNTI de 300nm de hauteur. Ce dernier cas ne présente aucune zone critique comparé au premier où les champs élevés se situent tout autour de la jonction du noeud de lecture. Il peut être aussi remarqué qu'en absence d'oxyde SNTI, les implantations p^+ du noeud de lecture se retrouvent en surface de la tranchée VEGA et viennent changer sa polarité. Cette jonction pn interne à la tranchée induit une diminution locale du potentiel de la tranchée.

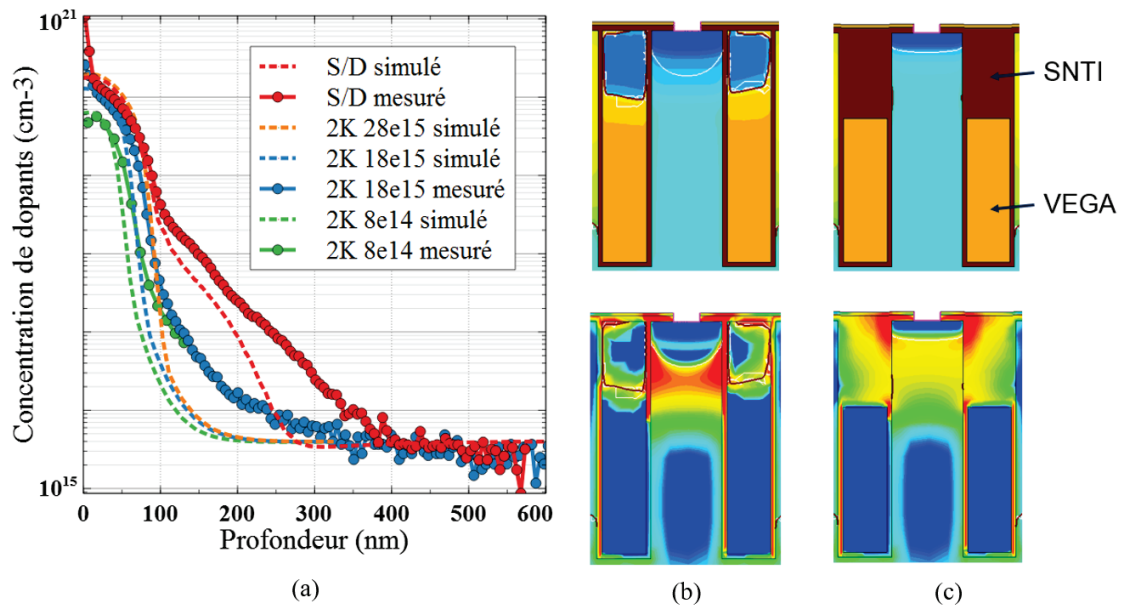


FIGURE 2.28 – Simulations : (a) du profil de dopage du noeud de lecture (avec mesures SIMS), (b) du champ électrique autour du noeud de lecture avec implant S/D et (c) du champ électrique autour du noeud de lecture avec implant 2K 8e14 et SNTI

2.7.2 Capacités du noeud de lecture

La dynamique en tension allouée sur le noeud de lecture peut s'ajuster en fonction de la capacité du noeud de lecture ($\Delta Q = C_{SN} \cdot \Delta V_{SN}$). Détaillons son calcul, qui correspond à la somme de plusieurs capacités en parallèle [71][72], tel que :

$$C_{SN} = C_j(SN) + C_{GD}(TG) + C_{GD}(RST) + C_G(SF) + C_m \quad (2.5)$$

avec

- $C_j(SN)$ la capacité de jonction entre le noeud de lecture et le substrat
- $C_{GD}(TG)$ la capacité de recouvrement entre la grille et le drain du transistor de transfert
- $C_{GD}(RST)$ la capacité de recouvrement entre la grille et le drain du transistor de réinitialisation
- $C_G(SF)$ la capacité de grille du transistor suiveur, lui-même se décomposant en trois parties :
 - > $C_{GS}(SF)(1 - G_{SF})$ la capacité de recouvrement entre la grille et la source du transistor suiveur, modulé par l'effet Miller [73]
 - > $C_{GD}(SF)$ la capacité de recouvrement entre la grille et le drain du transistor suiveur

- > $C_{GB}(SF)$ la capacité entre la grille et le caisson du transistor suiveur
- C_m la capacité de couplage entre les lignes métalliques pouvant être modélisée suivant trois composantes principales [74] :
 - > le couplage ligne-substrat
 - > le couplage ligne-ligne pour un même niveau de métal
 - > le couplage de croisement entre deux niveaux métalliques

Une présentation schématique de ces capacités est présentée Figure 2.29. L'estimation de la contribution de chaque capacité sera faite pour le pixel lors des mesures de facteur de conversion CVF, d'équation :

$$CVF = \frac{\Delta V_{COL}}{\Delta Q} = \frac{G_{SF} \cdot V_{SN}}{\Delta Q} = \frac{q \cdot G_{SF}}{C_{SN}} \quad (2.6)$$

où G_{SF} correspond au gain du transistors suiveur qui adapte la tension du noeud de lecture sur la colonne du pixel.

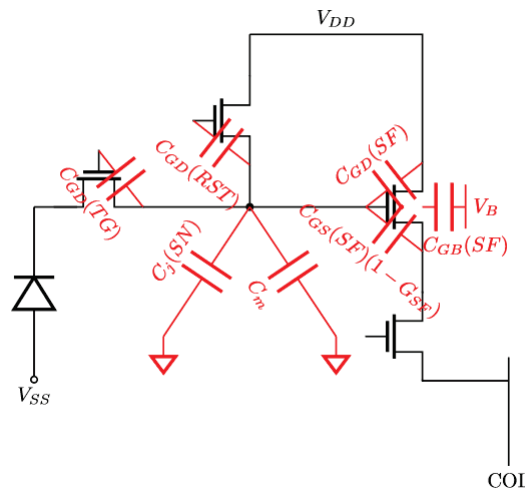


FIGURE 2.29 – Schéma électrique d'une vue éclatée des capacités participant au calcul de la capacité du noeud de lecture

Dans le cas de la photo-gate, le noeud de lecture p^+ est complètement isolé du caisson n sur toute sa surface latérale par la grille verticale et le canal de la TG a le même dopage p^- du substrat. Cela a pour conséquence que $C_j(SN) = 0$ et que $C_{GD}(TG)$ correspond ici à la capacité de déplétion entre le silicium actif et la grille TG polarisée en inversion. Deux axes apparaissent alors pour ajuster la valeur de C_{SN} . En premier l'utilisation d'architectures partagées permet de mettre en commun les capacités $C_{GD}(TG)$ de chaque grille de transfert en fonction du type de partage choisi (deux pour une architecture 2T5, quatre pour une architecture 1T75). Le second axe consiste à dessiner la ligne métallique servant à la connexion des noeuds de lecture de telle façon à augmenter les capacités de couplage C_m avec les autres lignes métalliques du circuit. Cette dernière apparaît être la plus simple à moduler lors de la disposition des éléments du pixel en modifiant la position des lignes métalliques les unes par rapport aux autres. Pour ce qui est des autres capacités, elles dépendent principalement des dimensions des transistors (longueur et largeur de grille, distance de recouvrement grille/source et grille/drain) intégrés dans le pixel qui

sont elles plus difficiles à faire varier car contraintes par l'agencement et le pas du pixel et doivent respecter le bon fonctionnement des transistors.

2.8 Transistors pixel

Cette section aborde le fonctionnement des transistors internes au pixel, leur limitation avec la réduction des tensions de mise en oeuvre ainsi que les solutions proposées. Tout d'abord, le circuit complet est analysé pour assurer que les transistors fonctionnent correctement.

2.8.1 Contraintes de la circuiterie

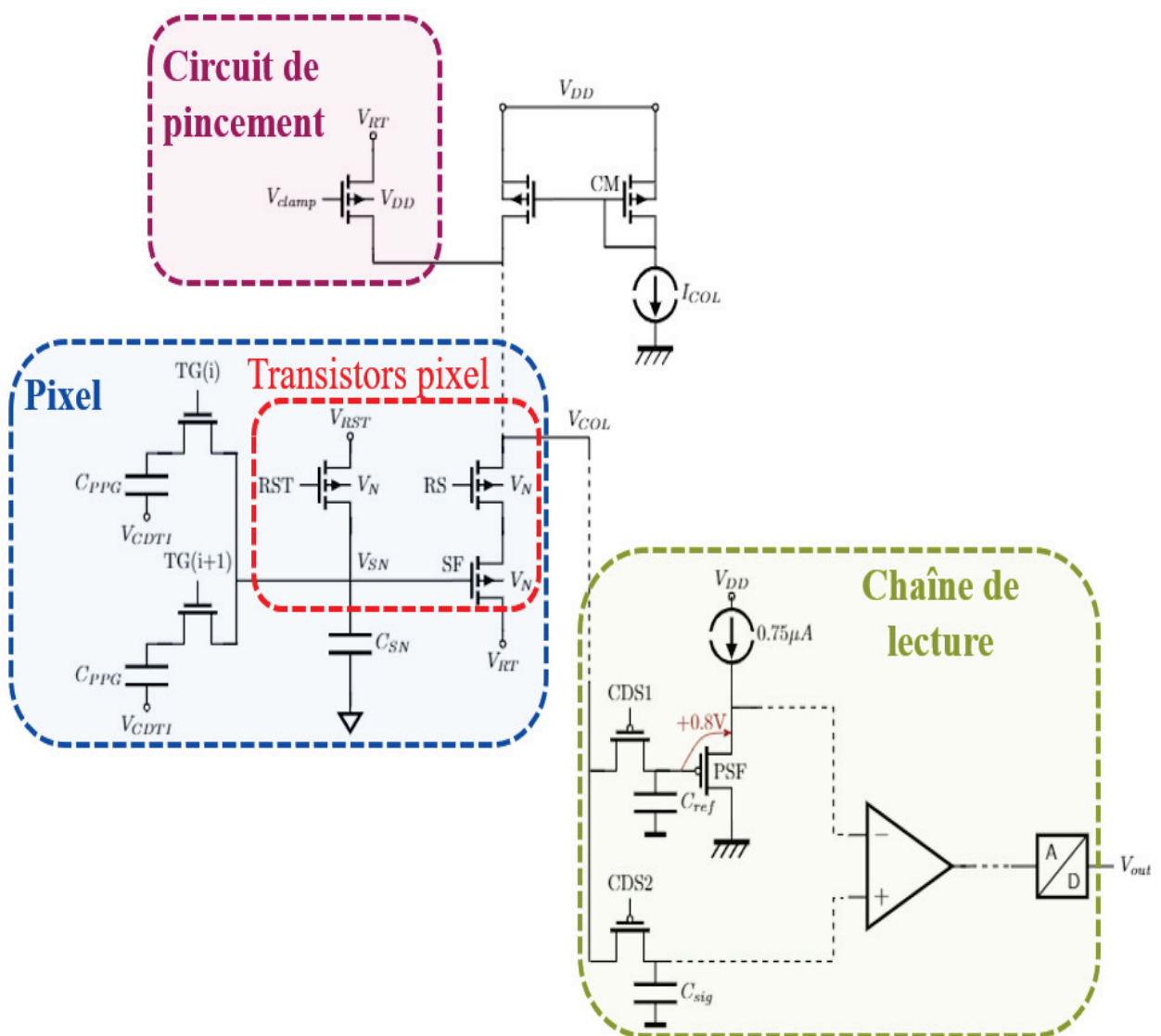


FIGURE 2.30 – Schéma électrique simplifié du circuit complet du capteur d'images

Le signal de sortie du capteur d'images est un signal numérique qui retranscrit la tension de sortie de chaque pixel. Cette dernière donne une information sur la quantité de charges lue par pixel. La Figure 2.30 représente un schéma simplifié du circuit électrique complet depuis le signal

au sein du pixel jusqu'au signal numérique en sortie du capteur. Le capteur d'images est composé d'une matrice de pixels et de circuits analogiques et digitaux qui la contrôlent. Le courant I_{col} est copié pour chaque colonne de la matrice via un circuit de miroir de courant CM. Chaque pixel est constitué d'une photo-gate PPG pour le stockage des charges, d'une grille de transfert TG et des transistors pixel RST, SF et RS. De plus un circuit dit de pincement est connecté pour chaque colonne de la matrice constitué d'un transistor suiveur qui a pour rôle de limiter la tension maximale de sortie de la colonne. Le signal de sortie de chaque pixel passe ensuite à travers un circuit CDS pour éliminer le bruit kTC du noeud de lecture puis par de nombreux filtres analogiques avant la soustraction CDS et finit sa conversion analogique/numérique avec un circuit ADC. Le circuit depuis l'entrée des CDS jusqu'à la sortie du capteur correspond à la chaîne de lecture. Bien que nous concentrons l'étude sur les transistors pixel, il est important d'analyser la circuiterie complète du capteur afin de bien comprendre comment chaque circuit impacte l'excursion de tension nécessaire à la lecture du pixel.

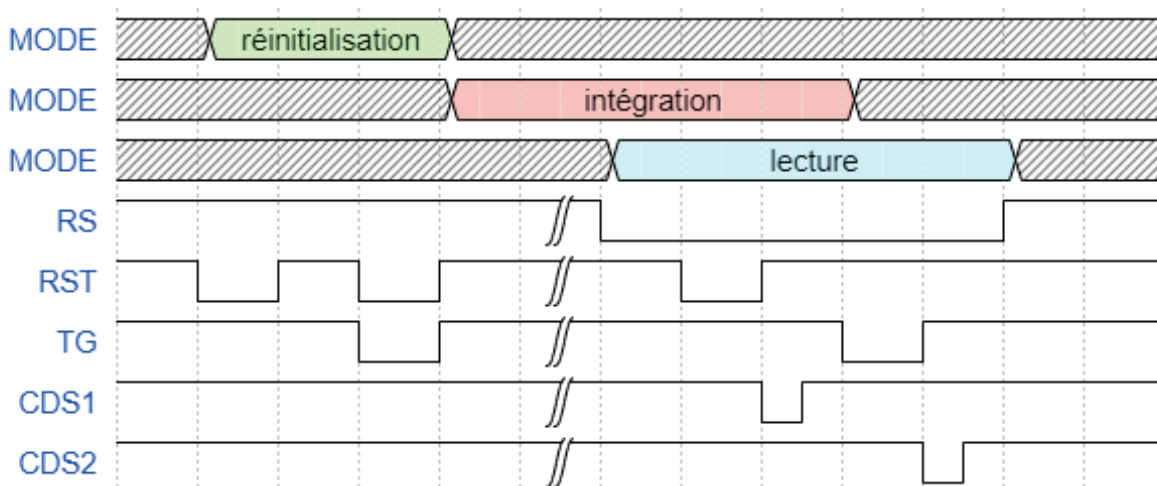


FIGURE 2.31 – Chronogramme associé à un pixel

Les différentes phases de fonctionnement du pixel sont présentées sous forme de chronogramme en Figure 2.31. A l'initial, tous les transistors sont fermés (RST, RS, CDS1 et CDS2); leur grille est polarisée à une tension positive haute.

Lors de la phase de réinitialisation, le noeud de lecture est réinitialisée et la photo-gate est vidée de ses charges. Une fois la réinitialisation terminée, le pixel passe en mode d'intégration où des charges sont photo-générées dans le pixel. Le temps d'intégration commence avec la fermeture de la grille de transfert après la réinitialisation de la photo-gate et se termine avec l'ouverture de la grille lors du transfert des charges sur le noeud de lecture. La phase de lecture correspond au moment où le transistor sélecteur de ligne est activé pour connecter la ligne de pixel correspondante à la colonne de sortie pour la lecture du pixel.

Pendant les deux modes précédents où le pixel n'est pas encore relié à la colonne, le circuit de pincement reste actif afin de limiter la tension maximale atteinte sur la colonne. En effet les transistors du miroir de courant assure l'injection d'un courant constant sur la colonne tant qu'ils continuent de fonctionner en forte inversion et saturation. Si la tension sur la colonne atteint et dépasse $V_{DD} - V_t(CM)$ avec $V_t(CM)$ la tension de seuil des transistors du miroir de courant, ces

derniers sortent de leur régime de fonctionnement et le courant injecté diminue jusqu'à devenir nul, ce qui est à éviter. En plus de cette considération, si la tension de la colonne dépasse V_N , la jonction des diodes entre les drains des transistors suiveur et sélecteur de ligne et le caisson pixel passent en direct et injectent des charges dans le caisson qui peuvent ensuite diffuser jusqu'à la zone de stockage du pixel et apparaître comme un courant d'obscurité parasite. C'est pourquoi un circuit de pincement constitué d'un transistor suiveur est constamment en fonctionnement pour venir limiter la tension sur la colonne. Ce transistor présente un oxyde de grille d'épaisseur de 5.8nm, une largeur de grille de $0.8\mu\text{m}$ et une longueur de grille de $0.7\mu\text{m}$. Son drain est relié V_{RT} , son caisson à V_{DD} et sa grille à V_{clamp} qui est une tension à moduler en fonction du jeu de tension de mise en oeuvre du capteur.

Lors de la lecture du pixel, le noeud de lecture est tout d'abord réinitialisé et la tension de sortie du pixel est transférée sur la capacité C_{ref} avec l'ouverture du transistor CDS1. Le transistor de transfert est ensuite ouvert et les charges sont transférées sur le noeud de lecture. La tension de sortie du pixel est stockée sur la capacité C_{sig} avec l'ouverture du CDS2. Les tensions stockées sur les capacités du CDS subissent ensuite une seconde adaptation d'impédance grâce à un transistor suiveur PSF. L'utilisation du transistor PSF ajoute une tension continue de décalage $V_{GS}(SF)$ en sortie d'environ 0.8V lors de la mise en oeuvre sous 3V5. Cette seconde adaptation d'impédance limite donc aussi la tension maximale que peut-être lue en sortie du pixel. A la suite du transistor suiveur, divers circuits d'amplification et de filtrage sont présents (non représentés sur le schéma) avant de faire la différence des CDS. La tension de sortie V_{out} vaut alors la différence de tension $V_{sig} - V_{ref}$ provenant des capacités CDS.

La dernière limitation provient du convertisseur analogique/numérique ADC dont l'excursion maximale est de 1.2V.

2.8.2 Paramètres électriques des transistors pixel

Concentrons-nous sur le fonctionnement des transistors pixel. Leur fonction de transfert entre la sortie sur la colonne et l'entrée sur la grille du transistor suiveur peut-être déterminée en mesure en appliquant une rampe linéaire sur la tension V_{RST} avec le transistor de réinitialisation ouvert. On s'appuie sur de la simulation Spice pour faire l'étude du comportement des transistors pixel. La simulation de la fonction de transfert est présentée en Figure 2.32 avec la tension de sortie de chaque transistor illustrée (V_{RST} , V_{SN} , V_{SF} et V_{COL}). De plus le gain est aussi calculé qui correspond au rapport de la tension V_{COL} sur V_{RST} . Pour simplification, la simulation est faite avec $V_{DD} = V_N = 2V$. Le signal de sortie sur la colonne V_{COL} reste quasi linéaire sur une gamme de tension d'entrée V_{RST} comprise entre 0.5V et 1.3V pour laquelle le gain est de 0.8. Pour les tensions d'entrée supérieure à 1.3V, le gain décroît vers 0; le courant de la colonne diminue et les transistors du miroir de courant sortent de leur régime de forte inversion et saturation.

Pour $V_{RST} \leq 0.5V$, la tension sur le noeud de lecture V_{SN} sature. Cela correspond à la limitation du transistor de réinitialisation à transférer de faibles tensions sur son drain alors que sa grille est polarisée à 0V. Ce problème s'explique car le transistor se trouve en faible inversion avec toutes ses bornes à 0V. Hors, il doit se trouver en état de forte inversion pour avoir continuité électrique entre sa source et son drain, soit en respectant la condition suivante :

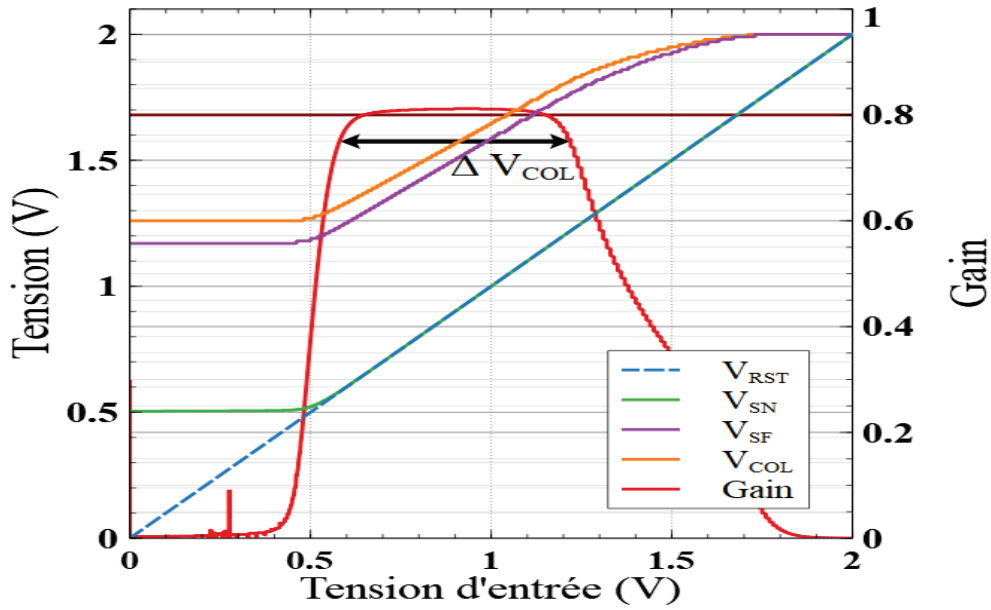


FIGURE 2.32 – Fonctionnement de l'étage d'amplification du pixel : courbes simulées des tensions d'entrée (V_{SN} et V_{RST}) et de sortie (V_{SF} et V_{COL}) de la colonne et le gain associé

$$V_B - V_S \leq \frac{(V_B - V_G) - |V_t|}{n} \text{ en Forte Inversion} \quad (2.7)$$

$$V_N - V_{RST} \leq \frac{V_N - |V_t|}{n} \text{ pour le RST} \quad (2.8)$$

$$V_{RST} \geq \frac{1}{n} [V_N(n-1) + V_t] \quad (2.9)$$

Soit ici une tension supérieure à 0.5V en entrée du transistor.

En plus de la limitation due à la tension de seuil du transistor de réinitialisation, un couplage capacitif doit être pris en compte dans le fonctionnement normal du pixel (non visible sur cette simulation). Ce couplage a lieu entre le drain et la grille du transistor de réinitialisation et apparaît lors de la commutation de la grille. Cela induit un décalage en tension positif sur le noeud de lecture dont l'amplitude dépend à la fois de la capacité C_{SN} du noeud de lecture et l'écart en tension entre la polarisation basse et la polarisation haute de la grille lors de la commutation du transistor. Elle est estimée à environ 10% de l'écart de tension soit de 350mV pour une mise en oeuvre sous 3V5 (cet écart diminue avec la réduction des tensions).

La tension obtenue par la suite sur la source du transistor suiveur V_{SF} présente un décalage en tension par rapport à celle sur le noeud de lecture qui correspond à $V_{GS}(SF)$. Cette tension est ensuite transférée sur la colonne au travers du transistor sélecteur de ligne. Ce dernier fonctionne comme un transistor de commutation et doit transférer la tension V_{SF} avec une différence $V_{COL} - V_{SF}$ négligeable (idéalement le rapport de sa tension de drain sur sa tension source doit valoir 1). Il doit donc être en régime linéaire tout en maintenant un courant constant. En réalité, le transfert n'est pas idéal et il y a une légère différence entre les tensions V_{SF} et V_{COL} , bien mise en évidence

sur la simulation Spice. De plus, le transistor de sélection de ligne doit présenter un faible courant de fuite I_{OFF} lorsqu'il est fermé pour ne pas impacter la lecture des autres lignes. Le gain du circuit correspond au gain du transistor suiveur modulé par la résistance de canal du transistor sélecteur de ligne. L'excursion en tension ΔV_{col} pour laquelle ce gain est constant et supérieur ou égal à 0.8 définit la gamme de travail des transistors pour la lecture du pixel.

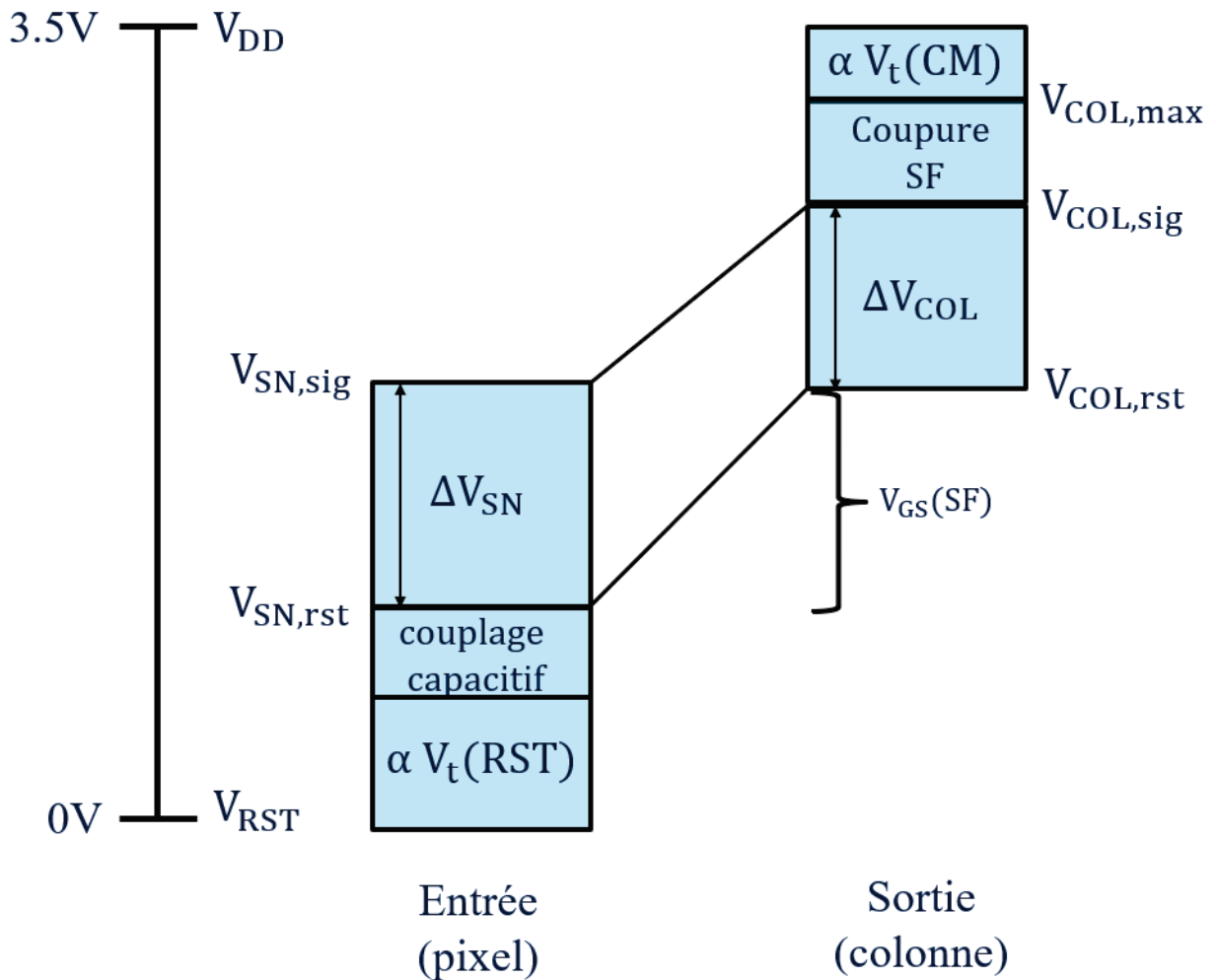


FIGURE 2.33 – Diagramme des tensions du circuit pixel

Les excursions en tension en entrée du pixel et en sortie sur la colonne sont résumées sur un diagramme de tensions Figure 2.33. En entrée sur le noeud de lecture du pixel, la tension minimale de réinitialisation est limitée par la tension de seuil du transistor de RST et de son couplage capacitif. Sur la colonne, la tension de décalage du transistor suiveur s'ajoute au signal d'entrée et le gain dynamique correspond au produit des gains des transistors suiveur et sélecteur de ligne. La tension maximale atteinte sur la colonne est limitée par la tension de seuil des transistors du miroir de courant. De plus, le transistor suiveur devient bloquant pour une tension égale à $V_N - V_t(SF)$ sur sa source. L'excursion restante sur la colonne ΔV_{COL} est utilisée pour la lecture du pixel.

La tension $V_{COL,sig}$ que peut atteindre la colonne diminue avec la réduction des tensions V_{DD} et V_N ce qui a pour conséquence de réduire l'excursion ΔV_{COL} comme illustrée sur le schéma

de gauche de la Figure 2.34. Deux actions sont alors proposées pour récupérer de l'excursion en tension (schéma de droite) :

- réinitialiser le noeud de lecture à 0V
- réduire la tension de décalage $V_{GS}(SF)$

Pour réinitialiser le noeud de lecture à 0V, le transistor de réinitialisation doit pouvoir être en conduction pour une différence de potentiel nulle entre sa grille et sa source; pour ce faire il est décidé d'utiliser un transistor à canal enterré [75], pour lequel sa tension de seuil est alors positive. Pour réduire la tension de décalage du transistor suiveur, différents paramètres peuvent être modulés : l'oxyde de grille, les dimensions du canal, la tension de seuil et le courant de colonne. Parmi ces paramètres, il est décidé de diminuer la tension de seuil du transistor. Pour encore réduire la tension de décalage $V_{GS}(SF)$, il peut être décidé de connecter la grille et la source du transistor suiveur ensemble de sorte à éliminer l'effet substrat et par la même obtenir un gain proche de 1.

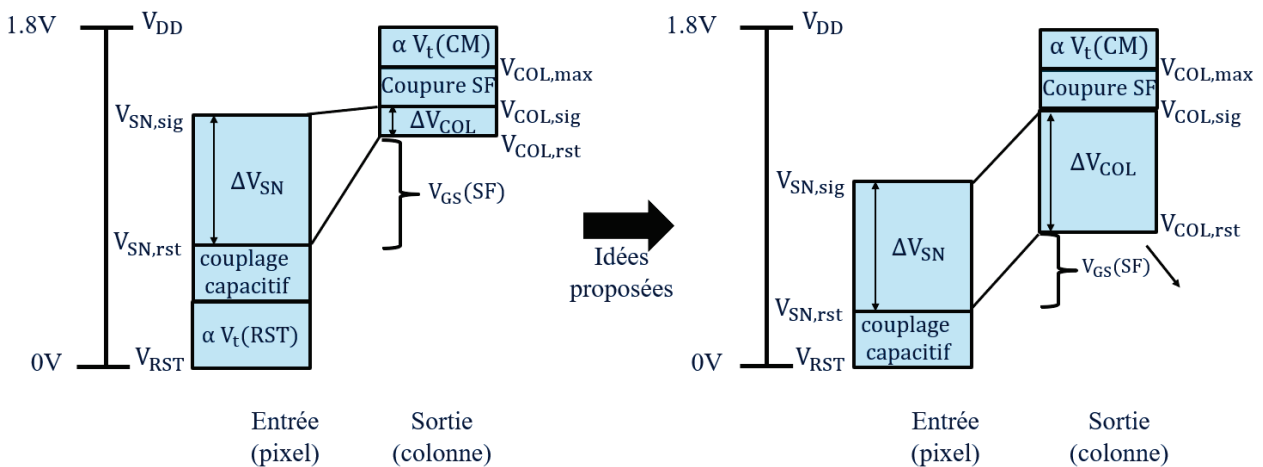


FIGURE 2.34 – Diagramme des tensions du circuit pixel sous 1.8V

Ces changements permettraient ainsi de réduire la tension $V_{COL,rst}$ sur la colonne et avoir une plus grande excursion en tension ΔV_{COL} .

La réduction de la tension $V_{COL,rst}$ sur la colonne soulève un autre problème potentiel lors de la réduction de $V_{COL,rst}$: le bon fonctionnement du transistor PMOS sélecteur de ligne. Une simulation Spice (Figure 2.35) est faite dans laquelle un courant I_{COL} de $2\mu A$ est injecté dans le canal du transistor. Sa grille est polarisée à $V_{SS} = 0V$ et son caisson à $V_N = 2V$. Une rampe linéaire V_{in} est injectée à l'entrée du transistor sur sa source. Sur le graphe est tracé la tension de sortie (V_{out} PMOS) ainsi que le rapport de la tension de sortie du transistor sur sa tension d'entrée (gain Row Selector). Pour des tensions d'entrée trop faibles (inférieures à 0.8V pour la simulation), la tension de sortie du transistor ne suit pas la tension d'entrée, elle sature à une tension de sortie de 0.5V et le gain du transistor décroît rapidement. Ainsi la réduction de $V_{COL,rst}$ permettrait une meilleure excursion en tension mais un gain dégradé sur la colonne dû au transistor sélecteur de ligne. Une solution envisagée est d'utiliser un transistor NMOS comme sélecteur de ligne. Un transistor NMOS est simulé et remplace le PMOS avec la même mise en oeuvre colonne et les

polarisations inversées sur ses bornes (grille NMOS à $V_N = 2V$ et caisson NMOS à $V_{SS} = 0V$). La tension de sortie du transistor (V_{out} NMOS) suit la tension d'entrée pour des valeurs inférieures à $0.8V$; son gain est à 1. Au delà, le transistor NMOS se ferme; la tension sur la colonne monte alors à V_{DD} et le gain devient supérieur à 1.

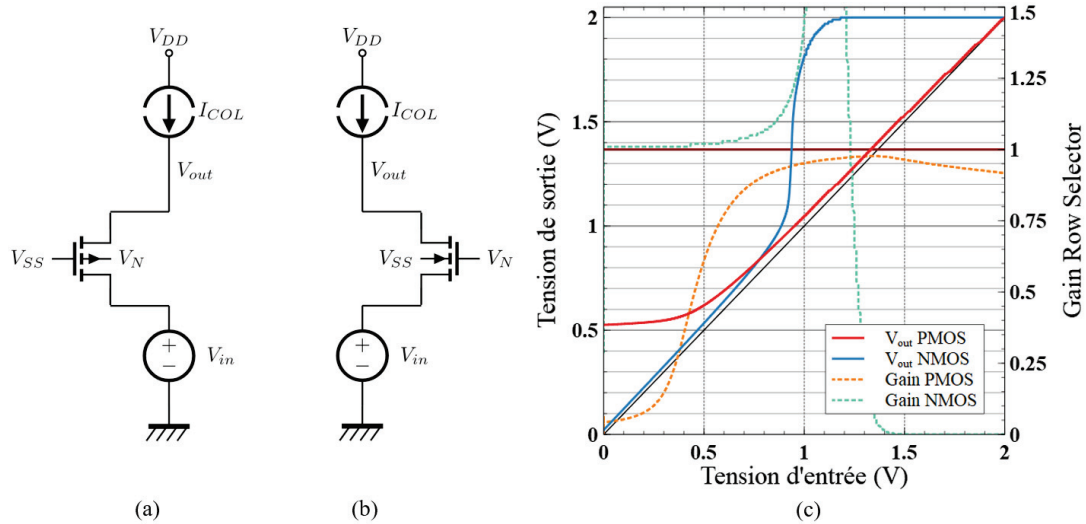


FIGURE 2.35 – Simulation de la dynamique Row Selector avec un transistor PMOS et un transistor NMOS : (a) circuit du PMOS, (b) circuit du NMOS et (c) courbes simulées

Les transistor NMOS et PMOS alimentés sous des mêmes tensions de mise en oeuvre fonctionnent comme sélecteur de ligne pour des gammes de tension opposées. Pour assurer le fonctionnement du transistor de sélecteur de ligne sur toute la plage de tension disponible sur la colonne, l'idée proposée est alors d'utiliser les transistors PMOS et NMOS en parallèle comme sélecteur de ligne (Figure 2.36). Cette structure est appelée une grille de transmission [76].

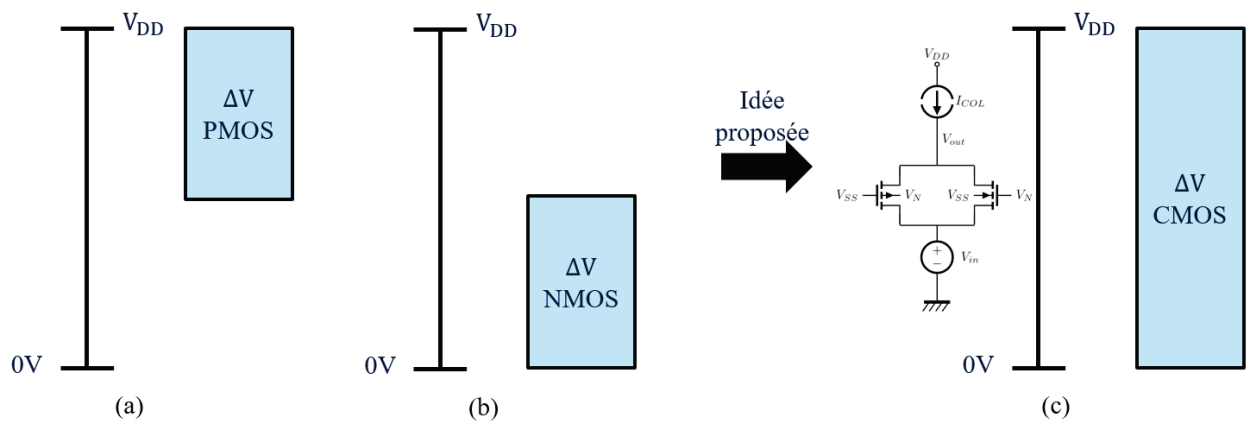


FIGURE 2.36 – Diagramme des tensions du sélecteur de ligne : (a) transistor PMOS, (b) transistor NMOS et (c) grille de transmission

2.8.3 Paramètres technologiques des transistors pixel

Une fois le fonctionnement des transistors étudié, des choix technologiques sont pris pour pouvoir intégrer ces transistors au sein de l'environnement pixel. Les transistors sont fabriqués

avec une épaisseur d'oxyde de grille de 5.8nm, similaires aux transistors de la filière utilisés pour les circuits analogiques du capteur d'images. Il est décidé aussi de conserver les mêmes profils de dopage de source et drain des transistors filière pour les transistors pixel. En revanche, les caissons des transistors NMOS et PMOS de la filière, avec plusieurs niveaux d'implantation, ne peuvent pas être repris pour l'environnement pixel car ayant des profondeurs de jonction trop importantes (le détail des implantations des caissons pour les transistors NMOS et PMOS filière en Table 2.8 et leur source et drain en Table 2.9). Pour le pixel photo-gate, la profondeur de jonction des caissons doit être déterminée pour assurer un fonctionnement optimal des transistors sans altérer le fonctionnement du pixel et va dépendre principalement des profondeurs de tranchées STI et VEGA respectivement d'environ 300nm et 800nm. Trois types de caisson avec simple implantation sont simulés pour le choix du PMOS pixel et présentés en graphe de la Figure 2.37. Le caisson PWPIX du NMOS pixel utilisé dans certaines technologies imageurs de type n ainsi que les source et drain des transistors sont aussi simulés.

Légende	NMOS filière	PMOS filière	NMOS pixel	Essais PMOS pixel		
				257K 1.4e13	180K 7e12	130K 5e12
Type de caisson	PWELL	NWELL	PWPIX			
Dopant	Bore	Phosphore	Bore	Phosphore	Phosphore	Phosphore
Énergie (keV)	370	564	150	257	180	130
Dose (cm^{-2})	2.10^{13}	2.10^{13}	8.10^{12}	$1,4.10^{13}$	7.10^{12}	5.10^{12}
Dopant	Indium	Phosphore	Bore			
Énergie (keV)	120	257	80			
Dose (cm^{-2})	2.10^{12}	$1,4.10^{13}$	4.10^{12}			
Dopant	Bore	Arsenic				
Énergie (keV)	99	80				
Dose (cm^{-2})	$1,4.10^{13}$	5.10^{11}				
Dopant	Bore					
Énergie (keV)	20					
Dose (cm^{-2})	$3,5.10^{12}$					

TABLE 2.8 – Tableau des recettes d'implantation utilisées pour les caissons des transistors

Légende	S/D PMOS	S/D NMOS
Dopant	Bore	Phosphore
Énergie (keV)	2	30
Dose (cm^{-2})	$2,8.10^{15}$	$1,2.10^{14}$
Dopant	Bore	Arsenic
Énergie (keV)	13	30
Dose (cm^{-2})	6.10^{13}	6.10^{15}

TABLE 2.9 – Tableau des recettes d'implantation utilisées pour les source et drain des transistors PMOS et NMOS

Les profondeurs de jonction métallique des caissons sont déterminées comme étant le point où la concentration des dopants du caisson est égale à la concentration du substrat épitaxié. Les profondeurs de jonction sont ici estimées pour les caissons d'essais PMOS pixel avec implantation

phosphore à 257keV, 180keV et 130keV et pour le caisson PWPIX respectivement à 580 nm, 780 nm, 1000 nm et 1100nm pour les profils simulés avec un substrat de type p épitaxié à $4.10^{15}cm^{-2}$.

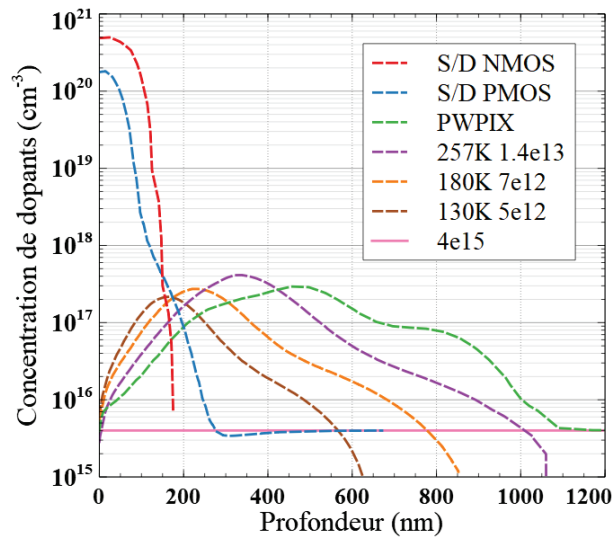


FIGURE 2.37 – Simulation des différents profils d'implantation des transistors pixel

La profondeur de caisson est limitée pour ne pas avoir de perturbations sur le profil électrostatique de la barrière à l'entrée de la tranchée VEGA. L'effet électrostatique du caisson peut créer de la rémanence comme simulée en Figure 2.38 pour un caisson implanté en Phosphore à 257keV et de dose de $1,4.10^{13}cm^{-2}$. Le caisson de notre pixel doit être ici choisi de sorte que sa profondeur de jonction maximale soit inférieure ou égale à celle de la profondeur de la tranchée VEGA, de 800nm pour ne pas dégrader le transfert, comme dans le cas du caisson implanté en Phosphore à 180keV et une dose de $7.10^{12}cm^{-2}$.

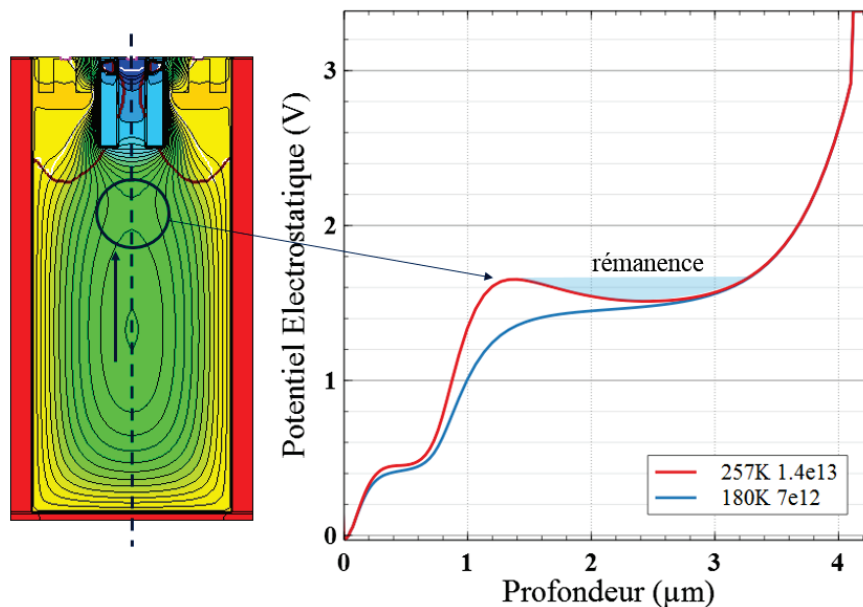


FIGURE 2.38 – Simulation du profil électrostatique du transfert au sein du pixel pour différentes implantation caisson

Le caisson doit aussi mesurer une profondeur minimale et être suffisamment dopé pour ne pas risquer d'être dépleté et de créer des courants de fuite entre les source et drain des transistors et la zone de collection en-dessous. Pour les transistors isolés avec des tranchées STI fabriqués dans le pixel $2\mu\text{m}$, cela peut arriver au niveau de l'isolation des tranchées STI, sous laquelle la profondeur de jonction du caisson est plus faible qu'au niveau du silicium actif. Ceci est dû à une projection d'implantation plus faible des dopants au travers de l'oxyde par rapport au silicium. Lorsque cette jonction est trop fine par rapport à la tranchée STI, il commence à avoir une discontinuité électrique entre la prise du caisson et la jonction en dessous du canal des transistors. C'est le cas simulé en Figure 2.39 où l'on représente la cartographie 2D de la densité d'électrons pour les transistors pixel avec un caisson implanté en Phosphore à 130keV et une dose de 5.10^{12}cm^{-2} et les bornes des transistors (source, drain et grille) polarisées à 0V et le caisson polarisé à une tension strictement positive. Le caisson doit être choisi qui assure une bonne continuité électrique comme pour le cas avec caisson implanté en Phosphore à 180keV et une dose de 7.10^{12}cm^{-2} .

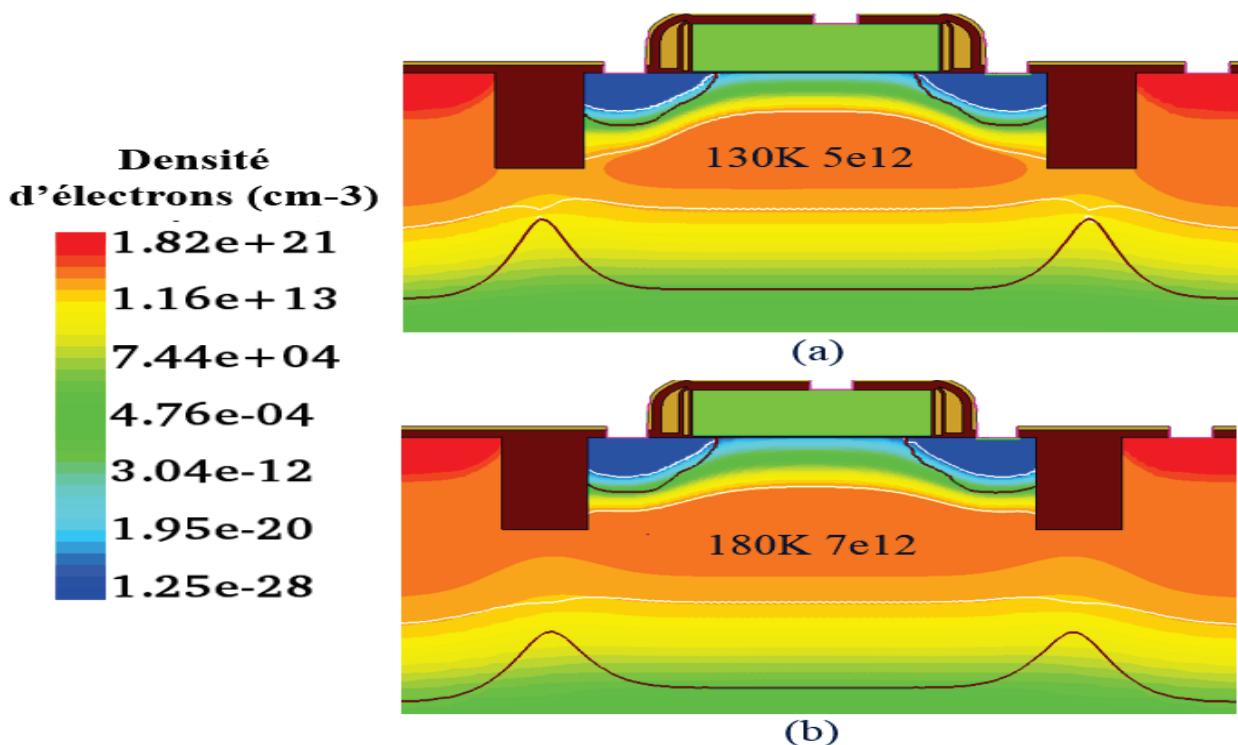


FIGURE 2.39 – Simulation transistors pixel en fonction du profil d'implantation caisson : (a) à 130keV et une dose de 5.10^{12}cm^{-2} et (b) à 180keV et une dose de 7.10^{12}cm^{-2}

Les transistors pixel dans le pixel $1.2\mu\text{m}$ sont fabriqués directement au-dessus des tranchées CDTI et VEGA. En plus des contraintes précédentes sur la profondeur du caisson, un oxyde d'isolation doit être placé dans le haut des tranchées et doit être suffisamment profond pour isoler les source et drain des transistors de la polarisation des tranchées. Avec une mauvaise isolation, un fort champ électrique apparaît dans les zones de charges d'espace des source et drain et dans le canal du transistor et peut dépleter ces zones et créer des courants de fuite comme c'est le cas du transistor sans aucun oxyde d'isolation dans les tranchées simulé en Figure 2.40.(a). La hauteur de l'oxyde doit être de 300nm pour atténuer le champ électrique dans le silicium comme simulé en

2.40.(b).

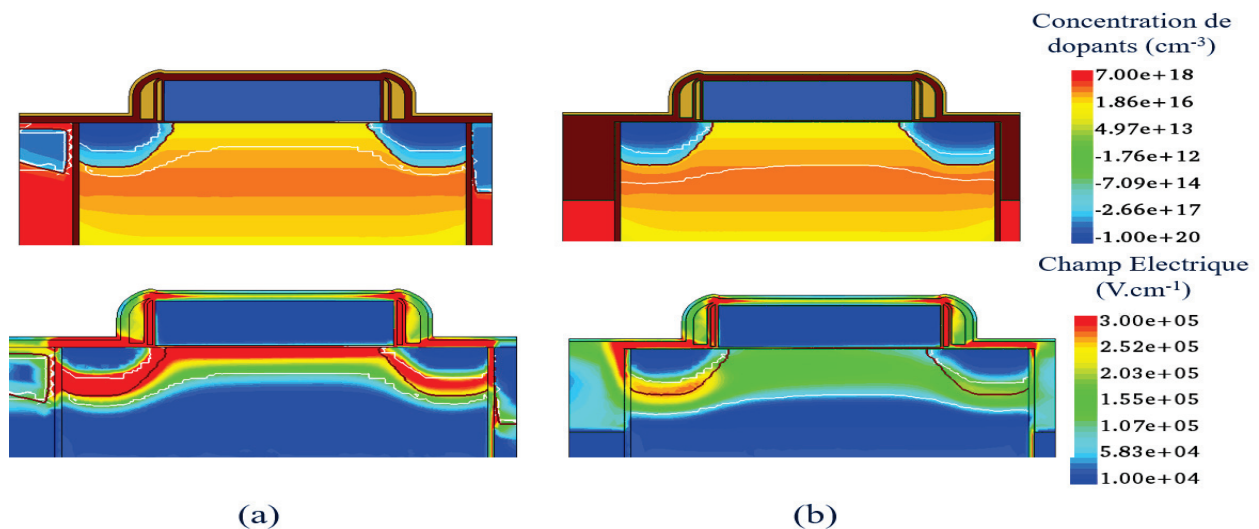


FIGURE 2.40 – Simulation du champ électrique au sein du canal du transistor pour le pixel $1.2\mu\text{m}$: (a) sans oxyde SNTI et (b) avec oxyde SNTI de 300nm de hauteur

Il est donc décidé de fabriquer les transistors PMOS pixel avec le caisson à 180keV et une dose de 7.10^{12}cm^{-2} pour les pixels $2\mu\text{m}$ et $1.2\mu\text{m}$ et d'utiliser un oxyde d'isolation de 300nm de hauteur pour les transistors du pixel $1.2\mu\text{m}$. Des mesures SIMS sont faites sur plaque des profils des sources et drain et du caisson en Figure 2.41. Les profils mesurés coïncident avec ceux simulés hormis à l'interface oxyde-silicium en surface du pixel où la concentration du caisson remonte avec la ségrégation des atomes de Phosphore à l'interface, non prise en compte dans la simulation.

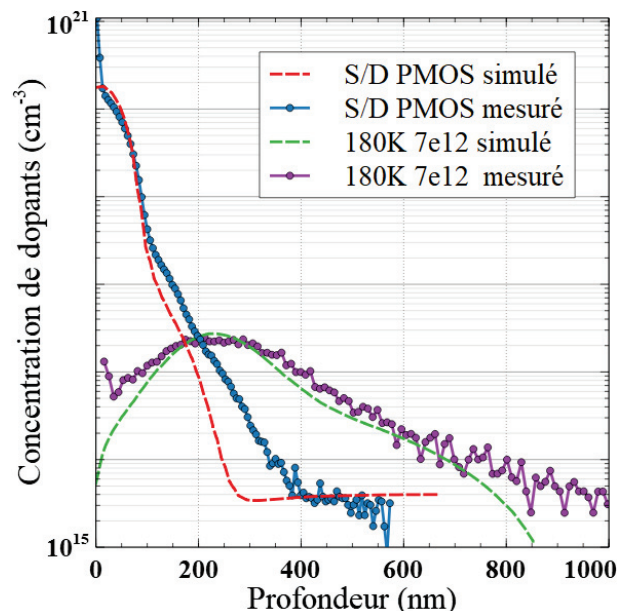


FIGURE 2.41 – Mesures SIMS des profils d'implantation du PMOS pixel

2.8.4 Caractéristiques électriques des transistors pixel

Une fois fabriquée, les transistors sont mesurés sur des barrettes élémentaires d'environnement pixel avec tranchées STI et avec des dimensions par défaut de $0.2\mu\text{m}$ de largeur et $0.5\mu\text{m}$ de longueur de grille. Le transistor PMOS avec caisson $180\text{K}7\text{e}12$ est considéré comme le transistor PMOS SVT du pixel. Afin soit de réduire sa tension de seuil (PMOS LVT) ou de créer un canal enterré (PMOS BC), il est décidé d'implanter un dopant de type p dans le canal du transistor avec une variation de la concentration en fonction du transistor choisi. Le transistor NMOS avec caisson PWPIX est aussi étudié pour utilisation comme sélecteur de ligne au sein du pixel.

Les caractéristiques électriques de ces transistors sont extraites de la mesure du courant $I_D(V_G)$ en échelle logarithmique et de la transconductance (courbes en Figure 2.42). Les mesures sont faites avec $V_{BS} = 0\text{V}$ pour un effet substrat nul et $V_{DS} = 100\text{mV}$ pour une mesure dans le régime linéaire. Il peut être extrait de la courbe de $I_D(V_G)$ le courant de fonctionnement en forte inversion I_{ON} ainsi que le courant de fuite en faible inversion I_{OFF} . Le facteur de pente n et la pente sous le seuil (Subthreshold Slope) $SS = n.U_T.\ln(10)$ [mV/decade] sont calculés depuis la pente du courant en faible inversion, sachant que :

$$I_D = I_S.\exp\left(\frac{V_G - n.V_S - V_t}{n.U_T}\right) \quad \text{en Faible Inversion} \quad (2.10)$$

La tension de seuil V_t peut être estimée pour une valeur de courant ($I=f(V_t)$) de $0.1\mu\text{A}$. La tension de seuil est ensuite calculée avec plus de précision avec la mobilité des trous par le calcul de la fonction $Y = \frac{I_D}{\sqrt{g_m}}$ [77] dans sa partie linéaire tel que :

$$Y = \frac{I_D}{\sqrt{g_m}} = \sqrt{\mu.c_{OX} \frac{W}{L} V_{DS}(V_{GS} - V_t)} \quad (2.11)$$

L'effet substrat peut aussi être étudié avec les courbes de $I_D(V_G)$ pour différentes tensions de caisson V_N (Figure 2.43). La tension de seuil varie avec la tension caisson puisque $V_{BS} \neq 0\text{V}$ (équation (1.19)). Le coefficient de l'effet substrat Γ_B est calculé comme étant la pente de la courbe de $V_t = f[X(VBS)]$ où $X(VBS) = \sqrt{2\Phi_F + V_{BS}}$ (graphe interne Figure 2.43). Ce coefficient traduit l'impact du caisson sur le canal d'inversion du transistor. La concentration effective N_B du caisson peut enfin être estimée avec :

$$N_B = \frac{c_{OX}^2}{2q\epsilon_{Si}}.\Gamma_B^2 \quad (2.12)$$

Les caractéristiques des transistors pixel sont réunies en Table 2.10. On note une mobilité des porteurs plus importante pour le NMOS LVT que pour les PMOS. Les transistors PMOS SVT, PMOS LVT et NMOS LVT présentent un facteur de pente et un courant de fuite en inversion équivalents. Le transistors PMOS BC présente un canal enterré pour un fonctionnement en mode de déplétion. Il en résulte un facteur de pente plus important et un plus fort courant de fuite ; ce transistor assure un canal passant à 0V ; le canal est ouvert à cette tension.

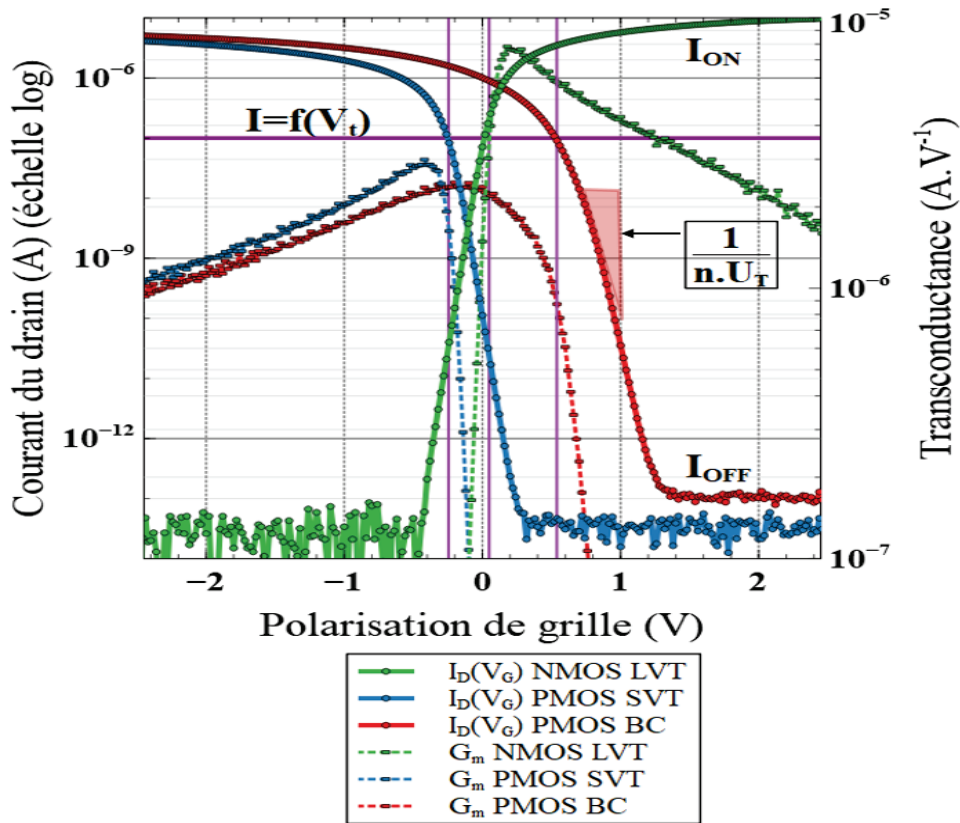


FIGURE 2.42 – Mesures du courant $I_D(V_G)$ et de la transconductance G_m des transistors pixel

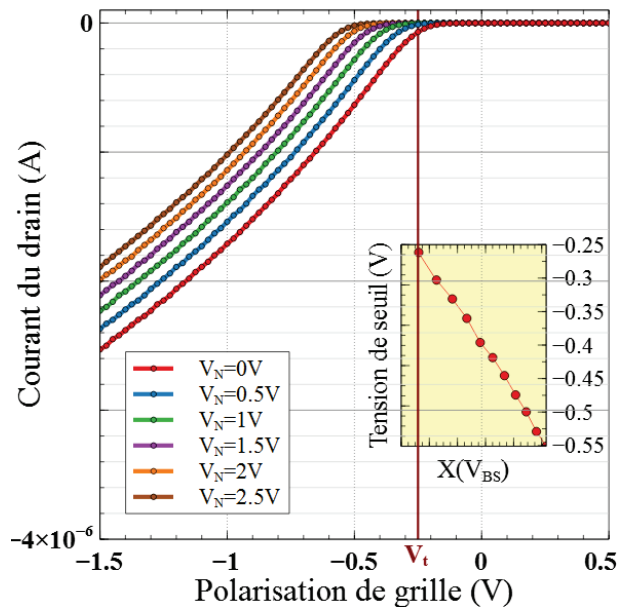


FIGURE 2.43 – Mesures de $I_D(V_G)$ du transistor PMOS SVT pour différentes tensions caisson

La caractéristique $V_S(V_G)$ du montage suiveur est mesurée pour les différents PMOS pixel fabriqués avec $V_N = 2V$ et pour le PMOS SVT avec grille et source connectées ($V_{BS} = 0V$) et présentée Figure 2.44. Bien que le transistor à canal enterré (PMOS BC) présente la plus faible tension de décalage $V_{GS}(SF)$, il n'est pas adapté à un fonctionnement en montage suiveur car il sort d'un fonctionnement en saturation pour des tensions d'entrée inférieures à 0.5V (tension d'entrée

Paramètres	PMOS SVT	PMOS LVT	PMOS BC	NMOS LVT
Type de caisson	180K 7e12	180K 7e12	180K 7e12	PWPIX
Implantation canal	non	oui	oui	non
Dopant		Difluorure de Bore	Difluorure de Bore	
Énergie (keV)		20	20	
Dose (cm^{-2})		1.10^{12}	5.10^{12}	
V_t (V)	-0.250	-0.130	0.500	0.065
facteur de pente n	1.23	1.25	1.63	1.22
SS (mV/decade)	73.7	75	97.8	72.8
I_{OFF} (A)	5.10^{-14}	5.10^{-14}	1.10^{-13}	5.10^{-14}
μ ($cm^2.V^{-1}.s^{-1}$)	145	134		391
Γ_B ($V^{1/2}$)	0.3180			0.192
N_B (cm^{-3})	10^{17}			$3,76.10^{16}$

TABLE 2.10 – Résumé des caractéristiques transistors pixel. Mesures faites sur transistors d'épaisseur d'oxyde de grille $t_{OX}=5.8nm$ et de dimensions $W=0.2\mu m$ et $L=0.5\mu m$

inférieure à la tension de seuil) et présente une plage de fonctionnement réduite, dans laquelle le gain vaut 0.83. Le transistor PMOS LVT présente une même plage de fonctionnement que le transistor PMOS SVT avec un gain de 0.865 et présente une tension de décalage légèrement plus faible; il est donc le plus adapté ici pour un fonctionnement en montage suiveur.

Dans la situation où la grille et la source du transistor suiveur sont connectées entre elles, l'effet du caisson est annulé ($g_{mb} = 0$ dans l'équation (1.16)) ce qui permet de réduire au minimum l'effet de la tension de seuil sur la tension de décalage et permet d'avoir un gain suiveur idéal proche de 1 (gain mesuré ici à 0.965) au détriment ici d'une plus faible plage de fonctionnement.

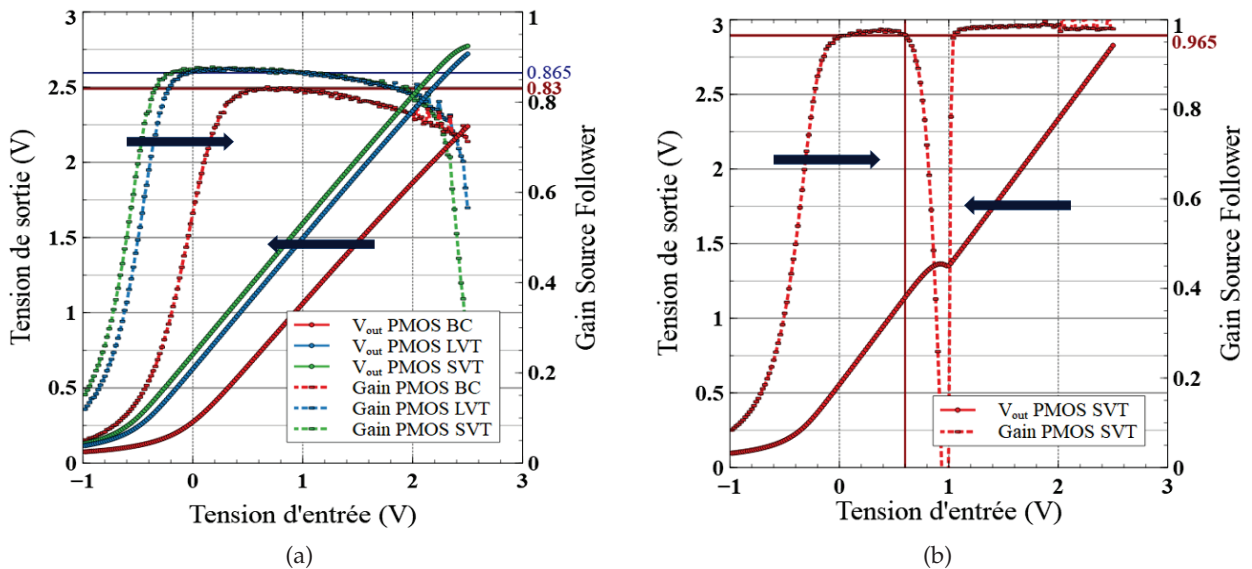


FIGURE 2.44 – Mesures de la caractéristique électrique $V_S(V_G)$ du transistor suiveur : (a) mesure des différents PMOS pixel avec $V_{BS} > 0V$ et (b) mesure du PMOS SVT avec $V_{BS} = 0V$

La caractéristique $V_S(V_D)$ du montage sélecteur de ligne est mesurée pour les transistors PMOS SVT et NMOS LVT pour différentes tensions respectives de caisson et de grille, présentée Figure 2.46. Les plages de fonctionnement des deux transistors sont déterminées pour un gain supérieur

à 0.95. Cette plage de tension ne varie quasiment pas pour le transistor PMOS SVT en fonction de sa polarisation caisson; la plage du transistor NMOS LVT augmente avec la tension de grille du transistor. Les fonctionnements opposés entre PMOS et NMOS sont bien illustrés ici.

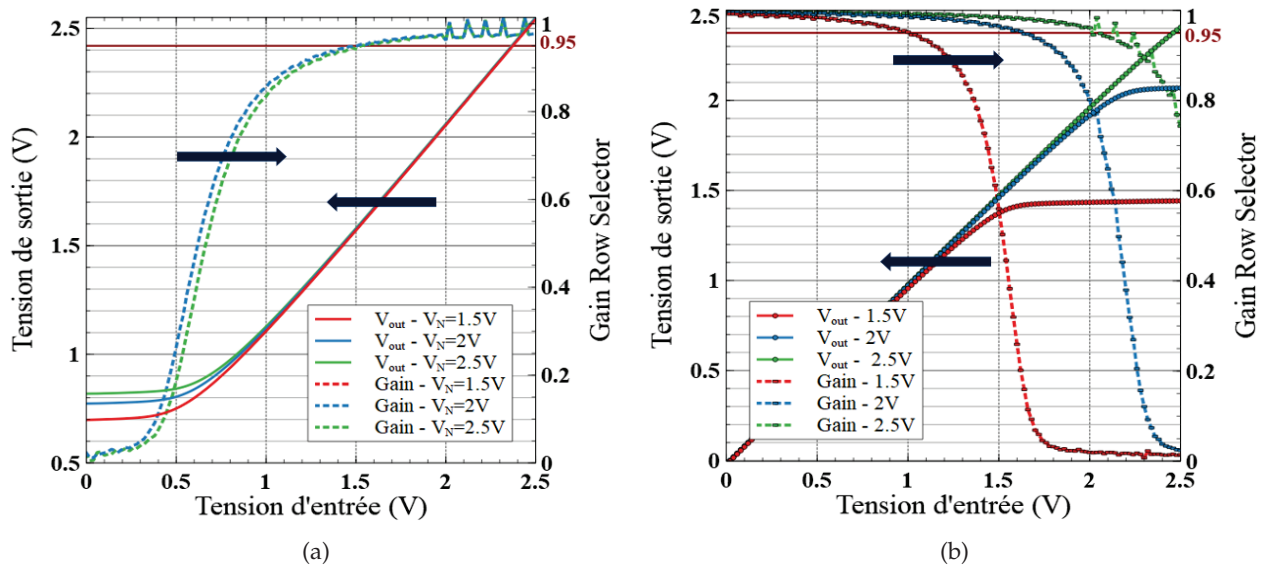


FIGURE 2.45 – Mesures de la caractéristique électrique $V_S(V_D)$ du transistor sélecteur de ligne : (a) transistor PMOS SVT et (b) transistor NMOS LVT

Afin d'estimer le comportement de la grille de transmission (NMOS et PMOS en parallèle) en montage sélecteur de ligne, une simulation est faite en comparant deux cas de figure : l'un avec utilisation des PMOS et NMOS de la filière (de tension de seuil respectifs de $-0.436V$ et $0.540V$), l'autre avec utilisation des PMOS SVT et NMOS LVT pixel mesurés. En plus des tension de sortie et des gain, les courants traversant les transistors ainsi que le courant de colonne sont présentés en Figure 2.46.

Pour les transistors de la filière, le courant de colonne traverse totalement le NMOS jusqu'à une tension d'entrée de $1.1V$ (NMOS passant, PMOS bloqué) puis traverse totalement le PMOS (NMOS bloqué, PMOS passant) avant de rediminuer lorsque la tension maximale sur la colonne est atteinte. Le point d'inflexion où le courant est équitablement réparti entre les deux transistors se répercute sur la tension de sortie et le gain du montage. La tension de sortie ne suit plus la tension d'entrée et le gain de la courbe est séparé en trois zones : celle du NMOS, celle du PMOS et le point d'inflexion. Ce circuit n'est donc pas exploitable pour un fonctionnement en sélecteur de ligne.

Pour les transistors pixel, le courant se partage entre les deux transistors sur toute la plage de tension mesurée; la tension de sortie est linéaire et le gain est environ égale à 1. Ce circuit peut alors être utilisé comme sélecteur de ligne.

Cette simulation conforte l'utilisation d'une grille de transmission comme sélecteur de ligne mais montre que le circuit doit être ajusté de sorte que les transistors PMOS et NMOS présentent chacun de larges plages de fonctionnement et des gains similaires pour un circuit exploitable.

L'impact des différents transistors utilisés sur la lecture de la matrice de pixels sera évalué par la suite par mesure de la fonction de transfert des transistors pixel directement en sortie de matrice.

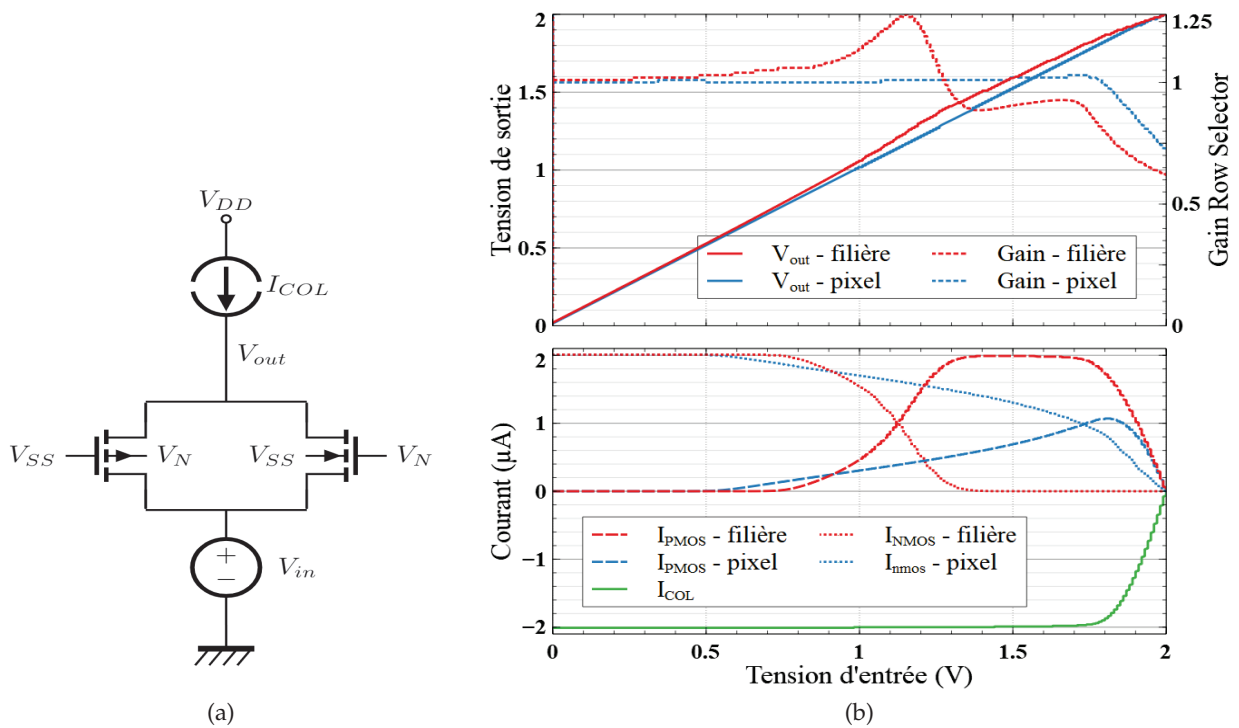


FIGURE 2.46 – Simulation de la caractéristique électrique V(V) de la grille de transmission utilisée comme sélecteur de ligne en fonction des transistors utilisés : (a) schéma du circuit et (b) courbes simulées

2.9 Versions du pixel

Quatre versions du pixel photo-gate de type p sont étudiées pour ce travail ; leurs caractéristiques sont réunies en Table 2.11.

Paramètres				
version de pixel	photo-gate p-type STI	photo-gate p-type SNTI/STI	photo-gate p-type SNTI/no STI	photo-gate p-type SNTI
taille pixel (μm)	2	2	2	1.2
taille matrice (lignes x colonnes)	86x1200	86x1200	84x1170	70x1584
présence STI pixel	présent	présent	absent	absent
présence SNTI	absent	présent	présent	présent
largeur VEGA (μm)	0.2	0.2	0.2	0.16
largeur CDTI (μm)	0.2	0.2	0.2	0.16
ouverture VEGA ($\mu m \times \mu m$)	0.24x0.4	0.24x0.4	0.24x0.4	0.28x0.32
architecture circuit pixel	2T5	2T5	1T75	2T5
transistors pixels	interne au pixel	interne au pixel	externe au pixel	interne au pixel

TABLE 2.11 – Résumé des caractéristiques des versions pixel étudiées

Deux versions de référence du pixel $2\mu m$ sont étudiées : une version STI et une version SNTI/STI (coupe et schéma des versions en Figures 2.2. Les deux versions possèdent des transistors dans le pixel isolés par des tranchées STI. Elles diffèrent par la présence ou non d'oxyde SNTI en surface

de tranchée VEGA pour isolation électrique du noeud de lecture. En présence d'oxyde SNTI, la géométrie de la tranchée VEGA est modifiée afin de déporter sa prise contact. Les mesures faites dans l'état de l'art présentent de bons résultats. Les points principaux restant à améliorer concernent le bruit fixe de la version STI et le courant d'obscurité de la version SNTI/STI. Des études complémentaires sont faites pour améliorer leurs performances.

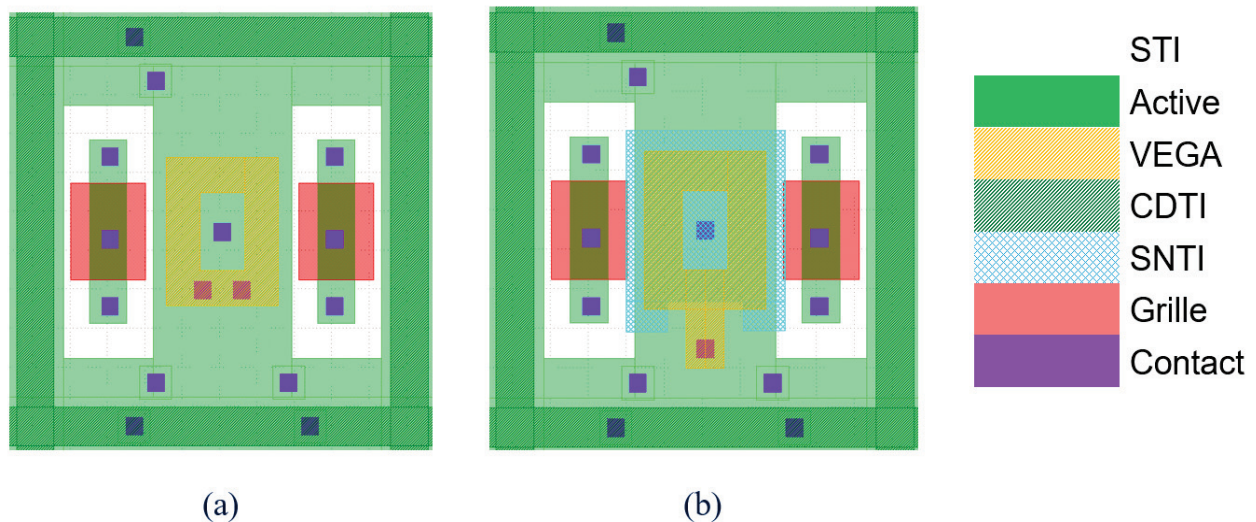


FIGURE 2.47 – Détail des masques des versions du pixel photo-gate p-type : (a) version STI et (b) version SNTI/STI

Une nouvelle version de pixel $2\mu\text{m}$ est proposée afin d'introduire une grille de transmission comme sélecteur de ligne (schéma et circuits Figure 2.48(b)) pour pallier à la dégradation du gain transistors sous faible tension. Un transistor NMOS (\overline{RS}) est alors connecté en parallèle au transistor PMOS sélecteur de ligne RS. Pour ce faire, les transistors pixel sont déportés hors du pixel pour pouvoir introduire un transistor NMOS. Les transistors sont isolés par des tranchées STI et la grille de transfert verticale possède l'oxyde SNTI d'isolation du noeud de lecture. Dans cette architecture, le pixel est connecté en 1T75 (quatre pixels pour un circuit de lecture). Ce pixel est nommée la version SNTI/no STI.

Une version de pixel avec un pas de $1.2\mu\text{m}$ est fabriquée (schéma et masques en Figure 2.49). Pour pouvoir introduire toutes les fonctionnalités de la photo-gate dans une plus petite taille de pixel, il est choisi à la fois de réduire la largeur des tranchées (VEGA et CDTI) dessinées, de $0.2\mu\text{m}$ à $0.16\mu\text{m}$, et d'enlever la tranchée STI du pixel. Les transistors sont alors fabriqués directement au-dessus des tranchées VEGA et CDTI. Dans ce cas, l'oxyde SNTI recouvre toute la surface des tranchées pour isolation électrique du noeud de lecture et des transistors ; il n'y a donc pas besoin de masque pour définir l'isolation. Un nouveau masque 'Contact Tranchée' est introduit quant à lui pour graver un contact plus profond qui va traverser l'oxyde d'isolation et polariser les tranchées. Le pixel $1.2\mu\text{m}$ présente une architecture 2T5. Ce pixel est nommée la version SNTI.

Les tensions utilisées dans le pixel sont présentées en Table 2.12. Les valeurs sont réunies pour un système sous 3V5, sous 2V5 et sous 1V8. Quatre parties peuvent être distinguées avec d'abord la tension fixe V_{DD} la plus haute du système qui polarise toute la colonne, conservée par défaut à 3.6V et la tension de pincement de la colonne V_{clamp} à adapter pour chaque mise en oeuvre. Vient ensuite les tensions qui contrôlent la zone photosensible du pixel, soit V_{CDTI} , V_N , $V_{TG, haut}$ et

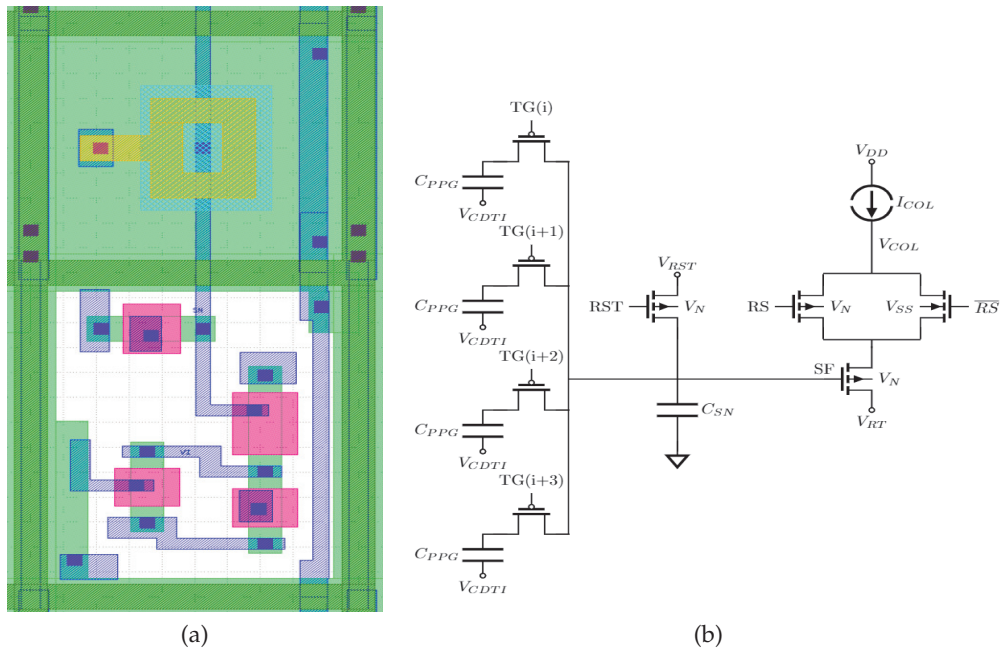


FIGURE 2.48 – Pixel photo-gate p-type version SNTI/no STI : (a) masques associés et (b) architectures circuit 1T75 associés avec grille de transmission comme sélecteur de ligne

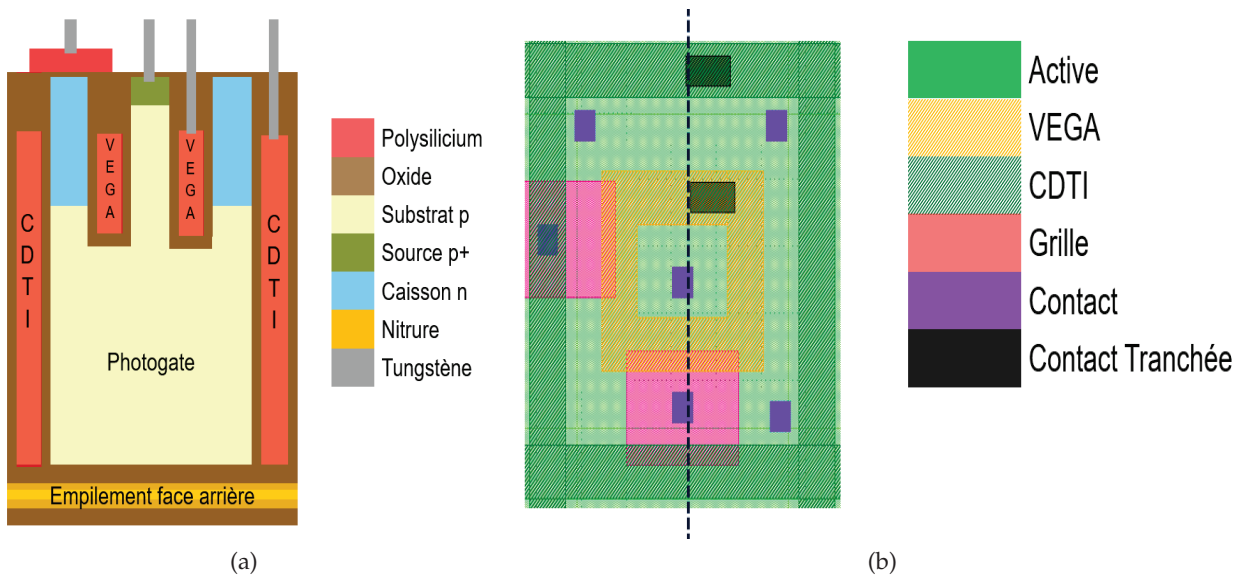


FIGURE 2.49 – Pixel photo-gate p-type version SNTI : (a) Coupe 2D schématique et (b) masques associés

$V_{TG,bas}$. La tension caisson V_N est polarisée à 1.5V pour le jeu de tensions 1V8 afin de maximiser la dynamique pour les transistors pixel tout en conservant une différence de tension avec le CDTI suffisante de 300mV pour l'inversion des interfaces ; cette différence de tension est de 500mV pour les autres jeux de tension. La troisième partie concerne les tensions appliquées sur les grilles des transistors pixel de réinitialisation et sélecteur de ligne. La dernière partie concerne les tensions basses du système polarisées à 0V avec V_{RST} , V_{RT} et V_{SS} , cette dernière servant à la polarisation du caisson PWPIX du transistor NMOS utilisé dans le pixel photo-gate p-type SNTI/no STI.

Tensions (V)	3V5	2V5	1V8
V_{DD}	3.6	3.6	3.6
V_{clamp}	1.5	1	0.7
V_{CDTI}	3.5	2.5	1.8
V_N	3	2	1.5
$V_{TG,haute}$	3.5	2.5	1.8
$V_{TG,bas}$	0	0	0
$V_{RST,haute}$	3.5	2.5	1.8
$V_{RST,bas}$	0	0	0
$V_{RS,haute}$	3.5	2.5	1.8
$V_{RS,bas}$	0	0	0
$V_{\overline{RS},haute}$	3.5	2.5	1.8
$V_{\overline{RS},bas}$	0	0	0
V_{RST}	0.5	0	0
V_{RT}	0	0	0
V_{SS}	0	0	0

TABLE 2.12 – Résumé des tensions pixel utilisées

2.10 Conclusion

Nous avons analysé dans ce chapitre les différents éléments constitutifs du pixel et proposé des solutions géométriques, technologiques et électriques suivant les deux objectifs fixés.

Un dopage de $1 \cdot 10^{16} \text{cm}^{-3}$ a été choisi pour le pixel de pas de $1.2 \mu\text{m}$ de sorte à présenter une dynamique équivalente au pixel de référence de $2 \mu\text{m}$ dopé à $4 \cdot 10^{15} \text{cm}^{-3}$.

Un dopage de $3 \cdot 10^{15} \text{cm}^{-3}$ a été adopté pour le pixel de $2 \mu\text{m}$ pour un fonctionnement sous 1V8 pour assurer un transfert sans rémanence et une meilleure dynamique sur le noeud de lecture. L'épaisseur totale de silicium augmente dans ce cas de $3.5 \mu\text{m}$ à $5 \mu\text{m}$ pour pouvoir stocker la même quantité de charges que pour le pixel de référence. De plus le noeud de lecture est réinitialisé à 0V au lieu de 0.5V pour augmenter la dynamique sur le noeud de lecture pour un fonctionnement sous plus faible tension.

La charge fixe Q_{diel} de l'empilement diélectrique ONO a été estimé à environ $5 \cdot 10^{11} \text{cm}^{-2}$ afin d'assurer une bonne passivation de la face arrière par effet de champ.

Un transistor à canal enterré a été proposé comme transistor de réinitialisation, un transistor avec une tension de seuil proche de 0 pour le transistor suiveur et une grille de transmission comme circuit sélecteur de ligne, ceci afin de faire fonctionner le capteur d'images sous de plus faibles tensions de mise en oeuvre sans tension négative et avec une plage en tension suffisante sur les colonnes de sortie de la matrice pour la lecture des pixels.

Nous avons abouti à plusieurs versions de pixel de $2\mu\text{m}$ et de $1.2\mu\text{m}$ avec des étapes de fabrication différentes qui pourront être comparées par caractérisation électro-optiques afin d'optimiser les performances du pixel.

Chapitre 3

Fabrication et caractérisation du pixel

Au sein de ce chapitre nous détaillons la fabrication des versions de pixel étudiées. Nous mesurons les caractéristiques électro-optiques des matrices de pixel de chaque version et analysons les résultats en fonction des choix géométriques, technologiques et électriques faits.

3.1 Procédés de fabrication du pixel

Soit les différentes étapes de fabrication spécifiques à la matrice de pixels et les choix technologiques faits pour le pixel $2\mu\text{m}$ et le pixel $1.2\mu\text{m}$. Les fabrications des circuits analogiques et digitaux du capteur d'images ainsi que des plots de contacts ne sont pas détaillées bien que réalisées pour le fonctionnement global du capteur. On détaille par la suite les étapes technologiques d'intégration spécifiques au pixel.

3.1.1 Étapes de fabrication et d'intégration

On identifie les différentes étapes de fabrication et leur ordre d'intégration pour le pixel $2\mu\text{m}$ en Figure 3.1 et pour le pixel $1.2\mu\text{m}$ en Figure 3.2.

Pour les deux intégrations, la fabrication démarre avec l'épithaxie de la zone active du pixel. Par la suite les tranchées pixel sont réalisées dans l'ordre de la tranchée la moins profonde à la tranchée la plus profonde, soit tranchées STI en premier, puis les tranchées VEGA (avec réalisation ou non de l'oxyde SNTI d'isolation du noeud de lecture) et les tranchées CDTI pour terminer. Cet ordre d'intégration permet de minimiser l'impact de la fabrication d'une tranchée sur les suivantes. En effet, chaque tranchée induit du stress dans la plaque, générée au cours de la densification de l'oxyde STI puis de la cristallisation du polysilicium des tranchées VEGA et CDTI. Ce stress crée une déformation de la plaque qui peut perturber les étapes suivantes. En plus de la déformation globale de la plaque peut aussi apparaître une topologie locale créée lors de la réalisation des tranchées. Enfin, le STI est effectué en premier pour que le recuit thermique servant à la densification de l'oxyde n'induit pas de diffusions ni d'interactions de dopants avec les autres tranchées (la diffusion des dopants est étudiée au sein de la photo-gate en Annexe D). Une fois les tranchées pixel fabriquées vient la réalisation des transistors pixel avec d'abord les implantations pour la définition des caissons (Caisson MOS) puis la fabrication des grilles (Grille MOS). Après la réalisation des transistors est déposé un empilement diélectrique appelé PMD (Pre Metal Dielectric) qui sert de première couche d'isolation pour la fabrication des interconnexions métalliques qui suit. Une fois la face avant de la plaque terminée, elle est collée à une plaque qui joue le rôle de support

mécanique (Bonding) puis elle est retournée pour réaliser les étapes spécifiques à la face arrière. Une abrasion mécanique suivi d'un amincissement chimique sélectif à l'interface p^-/p^+ et pour finir d'un polissage mécano-chimique (CMP) du substrat permet de retirer la quasi totalité des $700\mu\text{m}$ d'épaisseur de la plaque de silicium (Back-Side Thinning) pour ne conserver que l'épaisseur active de silicium épitaxié. Pour finir l'empilement oxyde-nitruure-oxyde est déposé pour la passivation de la face arrière.

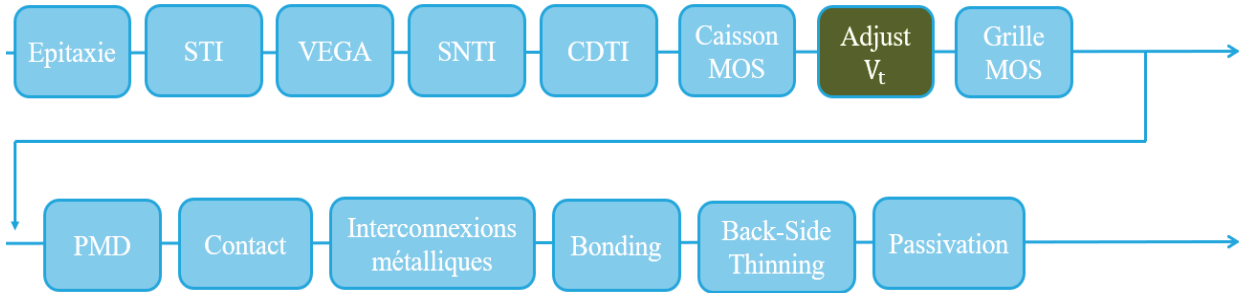


FIGURE 3.1 – Ordre des étapes d'intégration spécifiques au pixel $2\mu\text{m}$

Par rapport à l'état de l'art, notre intégration du pixel $2\mu\text{m}$ incorpore une brique technologique supplémentaire pour l'implantation du canal des transistors afin de modifier leur tension de seuil (Adjust V_t) et ainsi fabriquer un PMOS à faible tension de seuil pour le transistor suiveur et un PMOS à canal enterré pour le transistor de réinitialisation. Pour la version de pixel SNTI/no STI s'ajoute aussi la réalisation d'un transistor NMOS $0V_t$ pour utilisation en sélecteur de ligne.

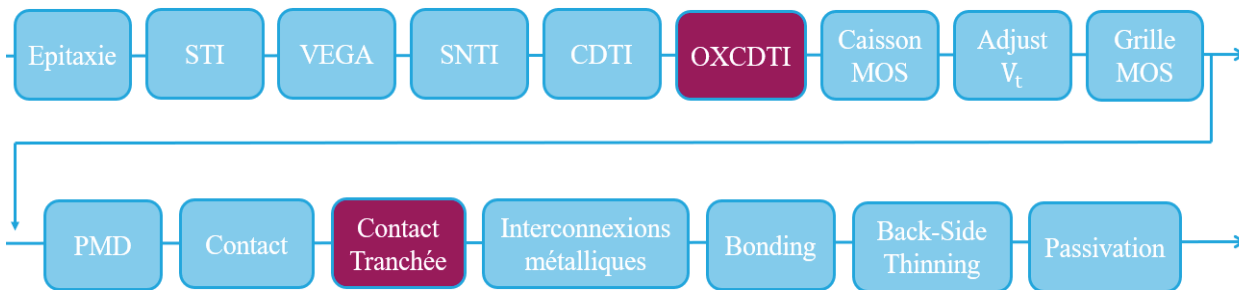


FIGURE 3.2 – Ordre des étapes d'intégration spécifiques au pixel $1.2\mu\text{m}$

L'intégration du pixel $1.2\mu\text{m}$ comprend deux nouvelles briques technologiques par rapport à l'intégration du pixel $2\mu\text{m}$: l'OXCNTI et le Contact Tranchée. Puisque les transistors sont fabriqués directement au-dessus des tranchées VEGA et CDTI dans ce pixel, il est nécessaire de remplir le haut des tranchées par de l'oxyde d'isolation. Cet oxyde remplit d'abord le haut de la tranchée VEGA au cours de la brique SNTI puis remplit le haut de la tranchée CDTI dans la brique OXCNTI. Comme cet oxyde recouvre entièrement la surface des tranchées, un Contact Tranchée est réalisé pour traverser cet oxyde et polariser les tranchées.

3.1.2 Intégration des tranchées pixel : STI, VEGA et CDTI

Détaillons maintenant les séquences propres à la réalisation des tranchées pixel, à savoir les tranchées STI, VEGA et CDTI. Leur séquence de fabrication présente des similitudes dont on

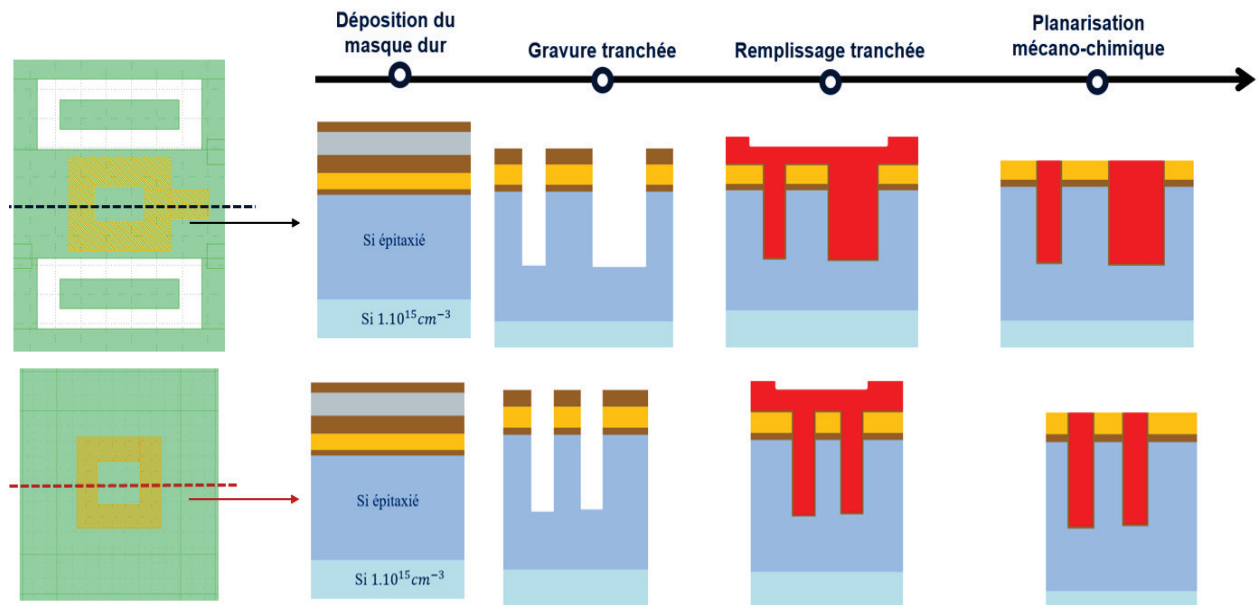


FIGURE 3.3 – Étapes de fabrication de la tranchée VEGA : (en haut) version pixel SNTI/STI (pixel $2\mu m$) et (en bas) version pixel SNTI (pixel $1.2\mu m$)

rappelle l'ordre des étapes importantes à travers l'illustration de la tranchée VEGA en Figure 3.3. La fabrication démarre par la déposition des couches constituant un masque dur de protection de la plaque lors de la gravure des tranchées. Elle est soit constituée d'un bi-couche de nitrure et d'oxyde pour les tranchées VEGA et CDTI, soit de nitrure seulement pour les tranchées STI. Une fine couche d'oxyde thermique d'interface est aussi fabriquée entre le silicium et le masque dur. De plus, une couche de carbone amorphe protégée par une couche d'oxyde complète le masque dur pour les tranchées VEGA et CDTI. Le carbone amorphe sert à transférer le motif à graver dans le masque dur pour des structures à fort facteur de forme (faible largeur, forte profondeur) [78]. Les différentes tranchées sont gravées dans le silicium par le biais d'une gravure sèche au plasma par ions réactifs (ou Reactive Ion Etching RIE) qui assure des gravures anisotropes pour la réalisation de tranchées à fort facteur de forme. La profondeur des tranchées STI est de $300nm$, celle de la tranchée VEGA est ciblée à $0.8\mu m$. La profondeur de gravure choisie pour la tranchée CDTI doit être supérieure à la zone active épitaxiée afin de prendre en compte des variations de profondeur de gravure sur une même plaque, et s'assurer de bien découvrir les CDTI lors de l'amincissement face arrière. Le CDTI isole ainsi complètement électriquement les pixels les uns des autres. La profondeur maximale de CDTI gravée choisie est de $6\mu m$. Après gravure vient le remplissage des tranchées. La tranchée STI est remplie d'un oxyde thermique RTO (Rapid Thermal Oxidized) de $10nm$ pour une bonne qualité d'interface suivi d'un oxyde HARP (High Aspect Ratio Process) qui est un oxyde CVD sans plasma utilisé pour assurer une bonne conformalité et un remplissage sans vide. Les tranchées VEGA et CDTI sont remplies par un oxyde thermique RTO de $10nm$ puis d'un dépôt d'oxyde de $8nm$, d'une nitruration pour limiter la diffusion des dopants de la tranchée vers le silicium et enfin de polysilicium de type n dopé phosphore à une concentration nominale de $7.10^{18} cm^{-3}$. Pour la tranchée CDTI, le masque dur est gravé latéralement avant les dépôts afin d'élargir l'ouverture en surface et de faciliter le remplissage de la tranchée. La fabrication se termine par un polissage mécano-chimique (CMP) pour planariser la surface en utilisant le nitrure comme

couche d'arrêt. Le masque dur et la couche d'oxyde de surface sont enfin nettoyés par gravure chimique et une gravure soit sèche soit humide est utilisée pour abaisser le polysilicium en haut des tranchées VEGA et CDTI et l'aligner avec le silicium actif.

3.1.3 Intégration de l'oxyde d'isolation du noeud de lecture : oxyde SNTI

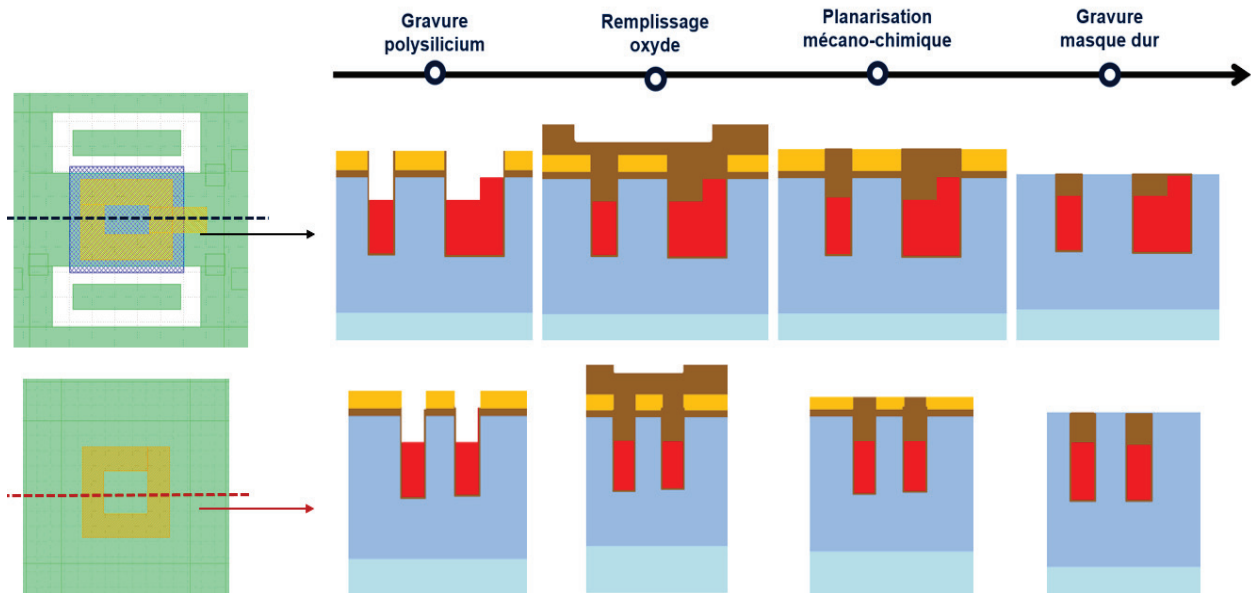


FIGURE 3.4 – Étapes de fabrication de l'oxyde SNTI : (en haut) version SNTI/STI (pixel 2µm) et (en bas) version SNTI (pixel 1.2µm)

La fabrication de l'oxyde SNTI est une étape optionnelle qui démarre juste après la CMP polysilicium de la tranchée VEGA (ou CDTI). Les étapes de fabrication essentielles sont présentées Figure 3.4. Le polysilicium de la tranchée est d'abord gravé pour découvrir la zone que l'on veut remplir d'oxyde. Le masque dur qui sert d'arrêt à la CMP pour le polysilicium sert alors de masque de protection du reste de la plaque lors de la gravure du polysilicium. La gravure peut se faire soit avec utilisation d'un masque SNTI pour ne graver que partiellement le polysilicium de la tranchée, soit sans masque pour graver toute la surface de la tranchée, la gravure étant alors auto-alignée aux tranchées. La gravure est isotrope, ce qui demande de laisser une distance de sécurité entre le dessin du masque SNTI et celui du Contact pour prendre en considération la gravure latérale. Après gravure, le haut de la tranchée est remplie par un oxyde HDP-CVD (High Density Plasma). Une CMP oxyde enlève l'oxyde résiduel hors tranchée et planarise l'oxyde des tranchées. Le nitrure du masque dur et l'oxyde d'interface sont ensuite retirés par gravure humide et l'oxyde SNTI est alignée avec le haut du silicium.

3.1.4 Intégration des transistors pixel

La fabrication des transistors pixel comprend les implantation des dopants pour la définition du caisson, les implantations faites au niveau du canal du transistor pour l'ajustement des tensions de seuil et la fabrication de la grille du transistor (Figure 3.5). Ce qui différencie entre les versions

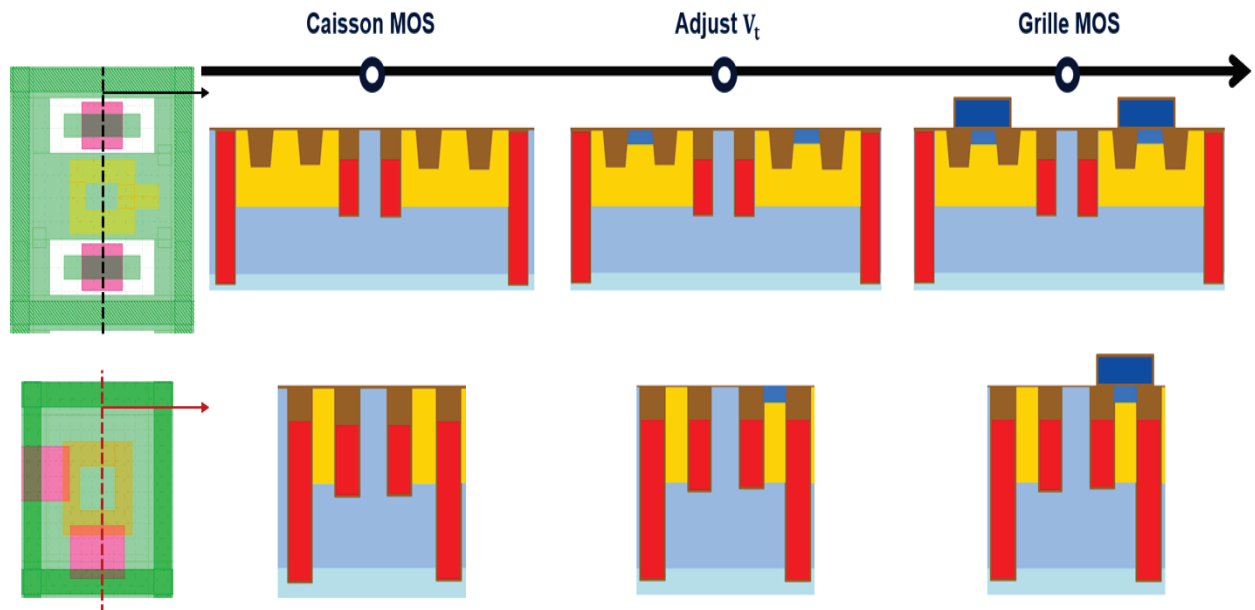


FIGURE 3.5 – Étapes de fabrication des transistors pixel : (en haut) version SNTI/STI (pixel $2\mu\text{m}$) et (en bas) version SNTI (pixel $1.2\mu\text{m}$)

est l'environnement des transistors pixel : pour les versions de pixel de $2\mu\text{m}$, les transistors sont isolés par des tranchées STI tandis que pour les versions de pixel de $1.2\mu\text{m}$ ils sont fabriqués au-dessus des tranchées VEGA et CDTI et isolés par l'oxyde SNTI. La hauteur d'oxyde SNTI est ajustée pour assurer une bonne isolation électrique des transistors.

3.1.5 Intégration des contacts sur silicium actif et grilles des transistors et intégration des contacts sur tranchées CDTI et VEGA

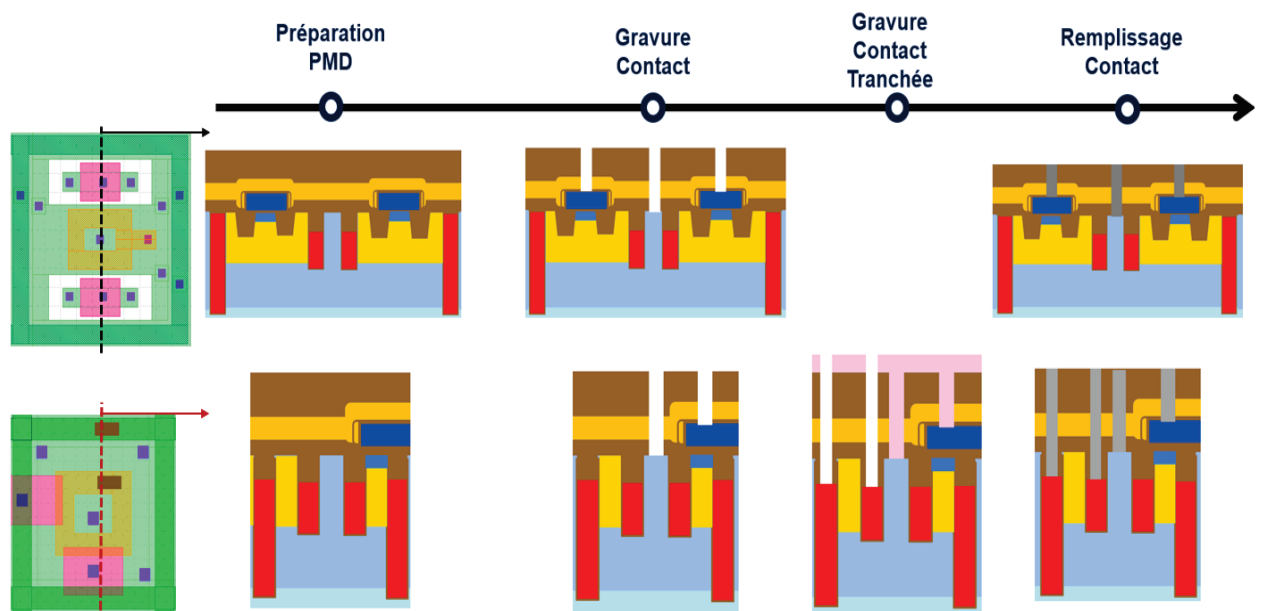


FIGURE 3.6 – Étapes de fabrication des contacts : (en haut) version SNTI/STI (pixel $2\mu\text{m}$) et (en bas) version SNTI (pixel $1.2\mu\text{m}$)

Nous détaillons pour finir les étapes de fabrication spécifiques au Contact et au Contact Tranchée présentées en Figure 3.6. La première étape consiste en la préparation (déposition et CMP pour planarisation) de la première couche de diélectrique PMD qui sert à l'isolation des tranchées de tungstène W contactant le pixel. Cette couche est constituée d'un tri-couche d'oxyde, de nitrure et d'oxyde. Pour les versions de pixel de $2\mu\text{m}$, une seule étape de gravure est effectuée pour réaliser les zones de contact du pixel. Pour la version de pixel de $1.2\mu\text{m}$, deux gravures successives sont réalisées : celle du Contact en premier pour connecter le silicium actif et les grilles des transistors puis celle du Contact Tranchée pour connecter les tranchées VEGA et CDTI. Après la gravure du Contact, de la résine est déposée qui remplit et protège les motifs du Contact pendant la lithographie et la gravure du Contact Tranchée. Une fois la gravure du Contact Tranchée effectuée, les tranchées sont vidées de résine et le W est déposé pour remplissage des Contacts. L'on note que pour développer en lithographie des motifs de telles dimensions, une lithographie 193nm est utilisée à la fois pour la définition du Contact et du Contact Tranchée avec une multi-couche comme résine photosensible constituée d'une couche organique (spin-on carbon SOC), d'une couche inorganique anti-réfléctive (Si-ARC) et d'une résine organique.

3.1.6 Comparaison des versions pixel

Des coupes TEM de la version SNTI/no STI (pixel $2\mu\text{m}$) et de la version SNTI (pixel $1.2\mu\text{m}$) sont comparées afin de mettre en évidence les similitudes et différences entre les deux (Figure 3.7). Les deux versions de pixel sont constituées des tranchées CDTI et VEGA, des couches diélectriques ONO en face arrière et d'interconnexions métalliques avec le contact sur silicium actif et polysilicium. Les deux ne présentent pas de tranchées STI dans le pixel. La version SNTI diffère avec la présence d'oxyde en surface des tranchées VEGA et CDTI et de Contact Tranchée qui traverse l'oxyde.

Des coupes TEM de la version SNTI/STI (pixel $2\mu\text{m}$) et de la version SNTI (pixel $1.2\mu\text{m}$) sont réalisées au niveau des transistors pixel afin de comparer leur intégration (Figure 3.8). Les transistors sont fabriqués au dessus du silicium actif et sont isolés par des tranchées STI pour la version SNTI/STI tandis qu'ils sont fabriqués au dessus des tranchées VEGA et CDTI et isolés par l'oxyde SNTI remplis en haut des tranchées pour la version SNTI.

3.2 Caractérisations électro-optiques et électriques du pixel

Des échantillons des versions de pixel fabriqués sont testés pour vérifier leur fonctionnement et évaluer les performances du pixel. Plusieurs paramètres électro-optiques doivent être mesurés afin d'évaluer la performance du capteur d'images. Un capteur d'images se caractérise d'abord principalement par sa sensibilité à la lumière avec la mesure de la réponse spectrale qui permet par la suite de calculer l'efficacité quantique du capteur. Une fois les charges photo-générées, il est important de déterminer la quantité de charges à saturation que peut stocker le pixel. On souhaite une quantité de charges à saturation suffisamment grande pour avoir une bonne dynamique du pixel mais éviter de laisser des charges résiduelles dans la zone de collection. La rémanence est donc aussi importante à évaluer pour le pixel. Ces charges sont ensuite converties en tension sur la capacité du noeud de lecture et lues à travers l'étage d'amplification du pixel. Il est alors important

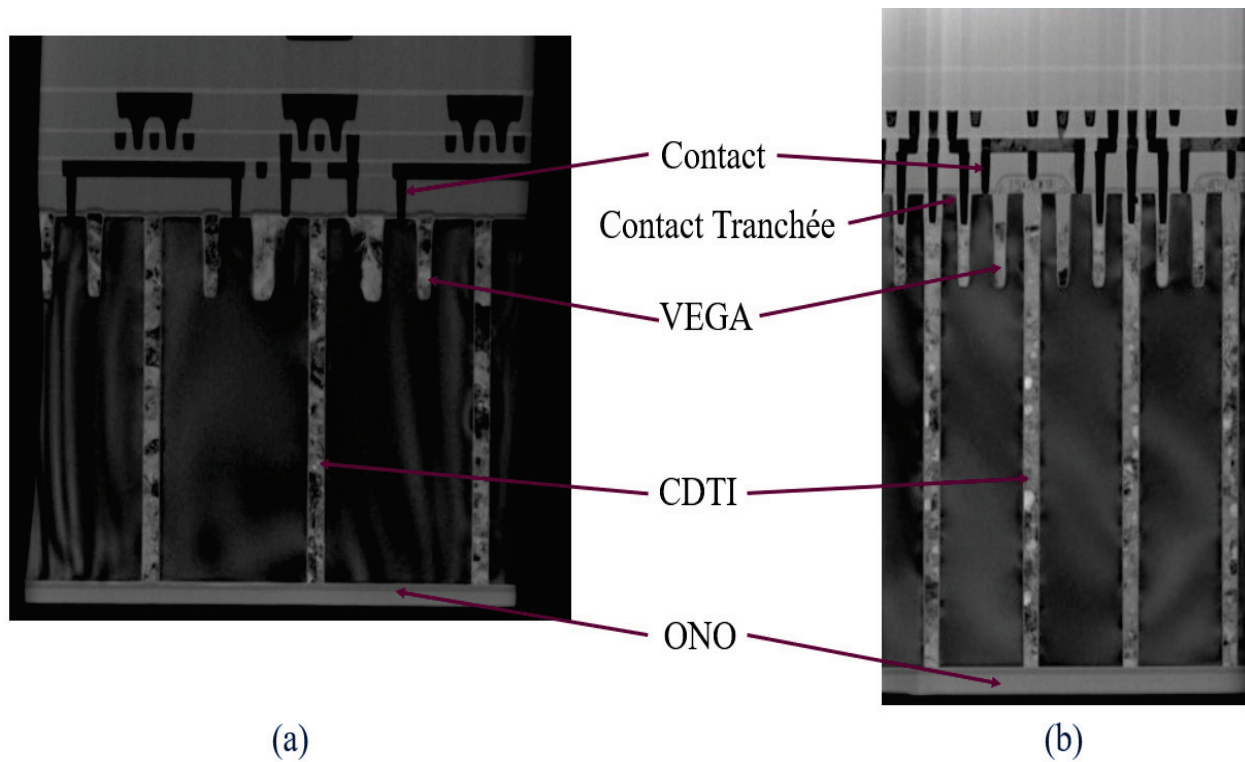


FIGURE 3.7 – Coupes TEM de la photo-gate p-type (a) version SNTI/no STI (pixel 2µm) et (b) version SNTI (pixel 1.2µm)

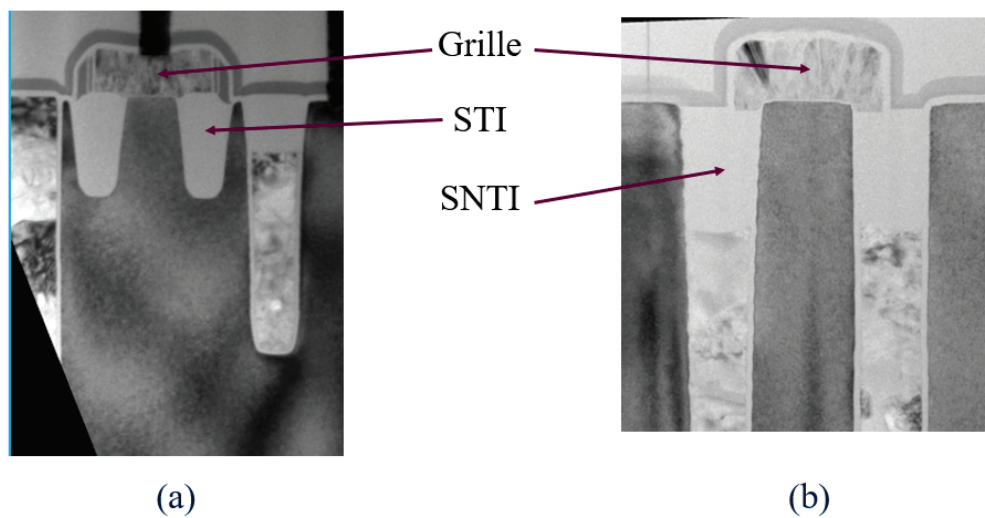


FIGURE 3.8 – Coupes TEM de la photo-gate p-type : (a) version SNTI/STI (pixel 2µm) et (b) version SNTI (pixel 1.2µm)

de déterminer le facteur de conversion des charges en tension et de vérifier le bon fonctionnement des transistors du pixel utilisées dans l'étage d'amplification. Une fois ces caractéristiques du pixel déterminées, il est aussi important d'évaluer les sources de bruits du pixel qui vont venir parasiter le signal du pixel à chaque étape de la conversion et du transfert du signal lumineux (photons -> charges -> tension).

3.2.1 Efficacité Quantique

L'efficacité quantique est un paramètre directement lié à la sensibilité du capteur à un signal lumineux. Il est calculé comme le rapport des charges photo-générées (ici des trous) sur le nombre de photons incidents. On peut déterminer l'efficacité quantique à partir de la mesure de la réponse spectrale SR selon la relation de l'énergie d'un photon $\frac{hc}{\lambda}$. La réponse spectrale est mesurée comme le rapport de la réponse du capteur sur l'énergie lumineuse. L'énergie lumineuse se mesure quant à elle comme le produit de l'irradiance E_λ (puissance surfacique de la source) par le temps d'intégration t_{int} . On obtient alors le QE par la relation suivante :

$$QE(\%) = \frac{N_{h^+}}{N_{ph}} \times 100 = \frac{hc}{\lambda} \times \frac{SR}{A_{pixel}} \times 100 = \frac{hc}{\lambda} \times \frac{\mu_V/CVF}{E_\lambda \cdot t_{int} \cdot A_{pixel}} \times 100 \quad (3.1)$$

avec A_{pixel} la surface du pixel. La mesure se fait via une source lumineuse munie d'un monochromateur pour balayer la longueur d'onde entre 400 et 1000nm et l'irradiance est déterminée à l'aide d'un photomètre.

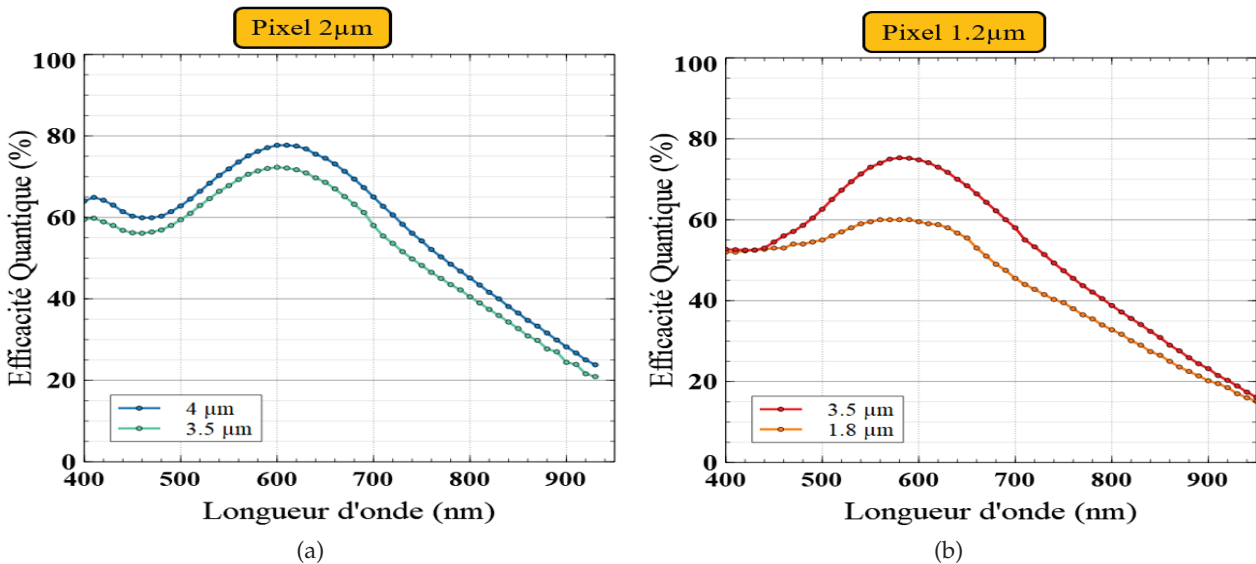


FIGURE 3.9 – Mesures de l'efficacité quantique pour plusieurs valeurs d'épaisseur active du pixel : (a) version SNTI/no STI (pas de 2µm) et (b) version SNTI (pas de 1.2µm)

La mesure de l'efficacité quantique pour ce pixel est la réponse spectrale brute du capteur en fonction de la longueur d'onde pour plusieurs épaisseurs de silicium. Le capteur est dépourvu de filtres colorés et de microlentilles; la réponse optique dépend de la transmission des couches de passivation en face arrière, du taux d'absorption du signal lumineux dans l'épaisseur active du pixel ainsi que du taux de signal réfléchi par les autres interfaces et matériaux du pixel en direction de l'épaisseur active.

La mesure de l'efficacité quantique est effectuée sur les versions SNTI/no STI et SNTI pour différentes épaisseurs active du pixel (Figure 3.9) : cette valeur correspond à l'épaisseur totale du pixel à laquelle est retranchée la profondeur de la tranchée VEGA (soit environ 1µm).

L'épaisseur du tri-couche ONO en face arrière influe sur la transmission du signal et par conséquent sur le QE mesuré. Pour les deux versions étudiées, l'épaisseur du dernier oxyde

mesure respectivement 200nm et 190nm : cela a pour conséquence de décaler le maximum de transmission à 600nm et à 580nm et d'augmenter le QE dans le bleu telle qu'attendue d'après la simulation optique (Figure 2.14).

Le taux de signal lumineux absorbé par le silicium augmente avec l'épaisseur active du pixel. Elle influe sur le QE qui chute à 60% à son pic pour le pixel de 1.2 μm (version SNTI) et d'épaisseur active de 1.8 μm . Les autres variantes avec épaisseurs active comprises entre 3.5 μm et 4 μm possède des taux de QE maximum variant entre 70% et 80%.

Le produit du taux d'absorbance du silicium pour une épaisseur de 4 μm (Figure 2.7) avec le taux de transmission de l'ONO en face arrière pour un oxyde de 200nm d'épaisseur (Figure 2.14) permet de comparer la mesure du QE obtenue pour la version SNTI/no STI d'épaisseur active de 4 μm avec la valeur théorique :

Valeurs	450nm	550nm	650nm	850nm
Absorbance Si (%)	100	92	67	18
Transmission ONO (%)	65	90	98	85
Produit théorique QE (%)	65	83	65	15
Mesure QE (%)	60	73	73	35

TABLE 3.1 – Comparaison du QE théorique et mesurée : version SNTI/no STI avec 4 μm d'épaisseur active

Le taux de QE mesurés apparaît plus faible que la valeur théorique pour les longueurs d'onde dans le bleu et le vert. Cette différence peut s'expliquer par une perte du signal lumineux qui serait absorbé au niveau des tranchées CDTI ou VEGA au lieu de la photo-gate (diaphotie optique). A l'inverse, les taux de QE mesurés pour les longueurs d'onde dans le rouge et l'infrarouge sont plus élevés que leur valeur théorique. Cette augmentation peut s'expliquer par la réflexion d'une partie du signal lumineux sur la face avant du pixel ainsi que sur les interconnexions métalliques et renvoyée dans la photo-gate pour absorption.

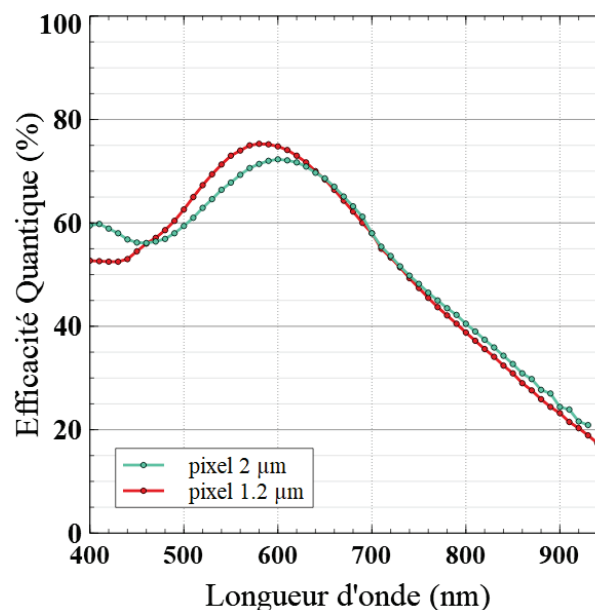


FIGURE 3.10 – Comparaison de l'efficacité quantique de la photo-gate p-type entre la version SNTI/no STI et la version SNTI

Les courbes de QE sont enfin comparées entre les deux versions de pixel pour l'épaisseur active de $3.5\mu\text{m}$ (Figure 3.10). Hormis le décalage des minima et maxima dans le bleu et le vert résultant de la différence d'épaisseur du dernier oxyde de l'empilement face arrière, les deux courbes de QE présentent relativement les mêmes amplitudes. Cette superposition confirme que le taux du signal effectivement généré ne dépend pas de la taille du pixel.

3.2.2 Charge à saturation

La charge à saturation est la charge maximale lisible au sein du capteur. On la détermine en mesurant la tension de sortie pour une luminosité et un temps d'intégration suffisamment élevés pour assurer d'avoir atteint la saturation de tous les pixels. La mesure ne nous permet pas de différencier entre la capacité de stockage de la photo-gate et la saturation du circuit de lecture. En théorie, la charge de la photo-gate peut être aussi élevée que voulue en fonction du dopage silicium et du volume de stockage. En revanche, le circuit pixel lui présente une excursion en tension fixe pour un jeu de tensions de mise en oeuvre donné. La capacité de stockage ainsi que le facteur de conversion varie de pixel à pixel au sein d'un capteur de par les variations de fabrication : tous les pixels n'atteignent donc pas la saturation en même temps. C'est pourquoi il doit être assuré pour un produit que le circuit de lecture écrête le signal de sortie avant d'atteindre le remplissage maximal de la photo-gate.

La capacité de stockage de la photo-gate est étudiée pour un pixel de $2\mu\text{m}$ et de $1.2\mu\text{m}$: sa valeur est déterminée par simulation par intégration de la quantité de charges en fonction du potentiel minimum au sein de la photo-gate pour différentes valeurs de dopage et d'épaisseur totale de pixel ($3.5\mu\text{m}$, $4\mu\text{m}$, $4.5\mu\text{m}$ et $5\mu\text{m}$). Ces valeurs sont reportées en Figure 3.11. La quantité de charges évolue linéairement avec l'épaisseur du pixel. La régression linéaire des courbes permet d'identifier une épaisseur de $1.2\mu\text{m}$ sur lesquels les charges ne se stockent pas. Elle correspond à la profondeur de la tranchée VEGA à laquelle s'ajoute l'épaisseur des couches d'inversion qui réduisent la zone effective de stockage.

Aux courbes de simulation s'ajoutent les mesures de charge à saturation obtenues sur les différentes versions de pixel ($2\mu\text{m}$ et $1.2\mu\text{m}$) présentées sous forme de diagrammes de boîtes. Pour les versions de pixel $2\mu\text{m}$, les résultats obtenus pour des épaisseurs de pixel de $4\mu\text{m}$ ou inférieures ont été mesurés sur les versions STI et SNTI/STI ; les résultats aux profondeurs supérieures ont été mesurés sur la version SNTI/no STI. Ces données réunissent les mesures faites sur plusieurs plaques dont plusieurs puces au sein d'une même plaque. Chaque diagramme présente une dispersion qui rend compte de la variation de fabrication entre puces mesurées provenant principalement de la variation de profondeur de la tranchée VEGA (de $0.8\mu\text{m}$ à $1.1\mu\text{m}$ en fonction des coupes TEM visualisées), ainsi que de la profondeur du pixel après amincissement face arrière inter-plaques et au sein d'une même plaque.

Parmi les mesures faites, la quantité de charges à saturation obtenue pour le pixel de $2\mu\text{m}$ avec un dopage de 4.10^{15}cm^{-3} et une épaisseur silicium de $5\mu\text{m}$ ainsi que celle obtenue pour le pixel de $1.2\mu\text{m}$ avec un dopage de 1.10^{16}cm^{-3} et une épaisseur silicium de $4.5\mu\text{m}$ sont celles qui s'éloignent le plus de la courbe de simulation avec une charge à saturation respective de $12000h^+$ et $7000h^+$.

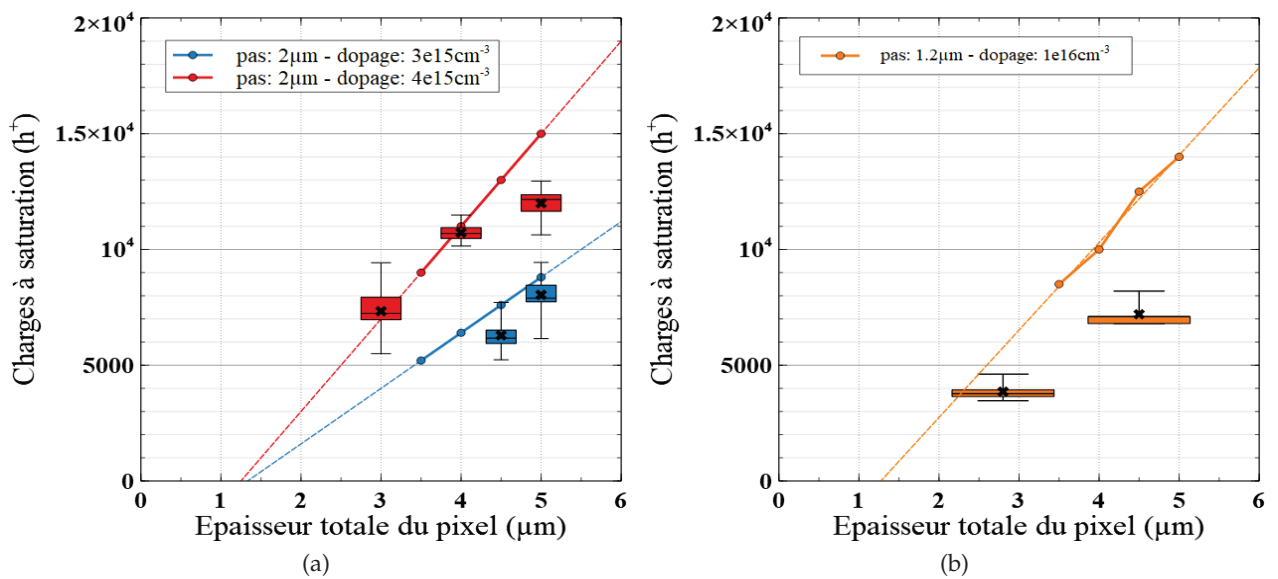


FIGURE 3.11 – Simulation et mesures de la quantité de charges à saturation pour différentes valeurs de dopage et d'épaisseur totale du pixel : (a) versions pixel 2µm et (b) version pixel 1.2µm

Dans ces deux cas, l'hypothèse est que la charge à saturation est limitée par le circuit de lecture et non par la capacité de la photo-gate.

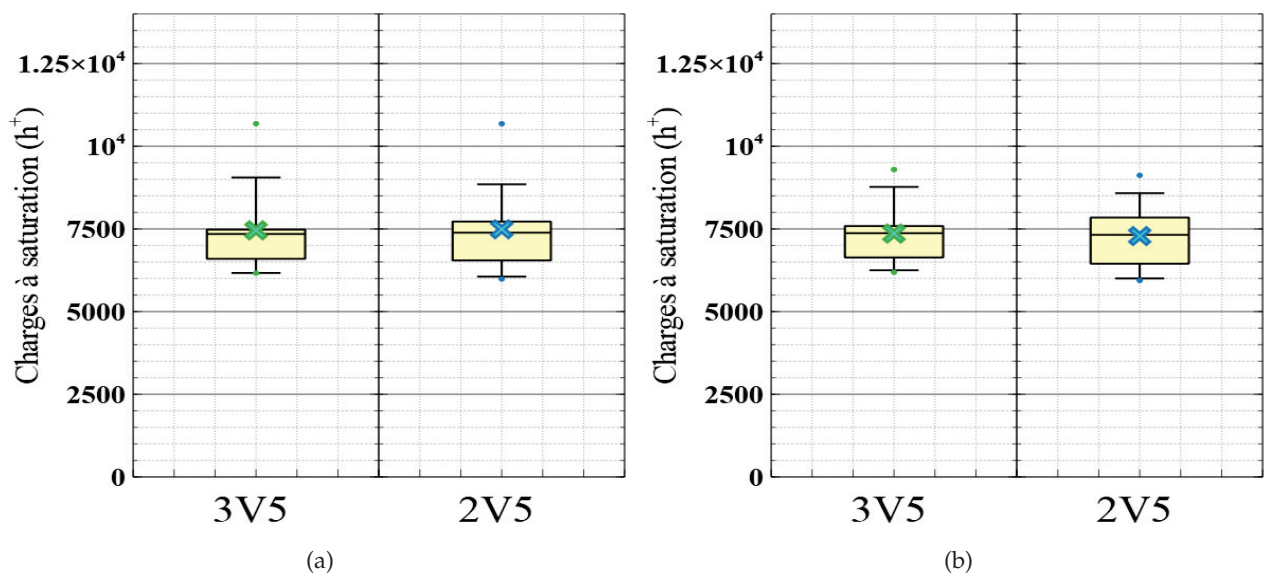


FIGURE 3.12 – Mesures de la quantité de charge pour différentes tensions de mise en oeuvre : (a) version STI et (b) version SNTI/STI. Taille pixel de 2µm, dopage à 4e15cm⁻³ et épaisseur totale du pixel à 3µm

La charge à saturation est déterminée pour les versions pixel 2µm pour différentes tensions de mise en oeuvre afin de décorrélérer la capacité de la photo-gate de la saturation du circuit de lecture.

Les versions STI et SNTI/STI conservent la même quantité de charge à saturation entre une mise en oeuvre à 3V5 et 2V5 (Figure 3.12). Il n'y a pas de réduction de l'excursion en tension du circuit de lecture dans ce cas grâce à la réduction de la tension de réinitialisation de 0.5V à 0V. De plus,

cette excursion est suffisante pour lire toutes les charges de ces deux versions indépendamment de la mise en oeuvre. Dans ce cas, la quantité de charges mesurée correspond bien à la capacité de la photo-gate.

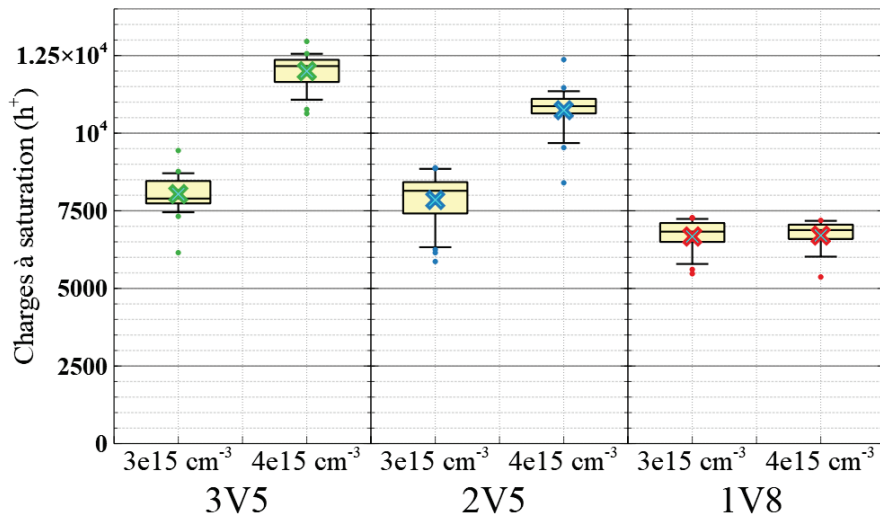


FIGURE 3.13 – Mesure de la quantité de charge à saturation pour différentes tensions de mise en oeuvre et valeurs de dopage silicium : version SNTI/no STI, taille pixel de $2\mu m$ et épaisseur totale du pixel à $5\mu m$

La version SNTI/no STI présente le plus faible CVF; elle permet de pousser l'étude de la réduction des tensions de mise en oeuvre jusqu'à 1V8. De plus, elle est utilisée pour comparer aussi les valeurs de dopage de $3.10^{15}cm^{-3}$ et $4.10^{15}cm^{-3}$ entre elles (Figure 3.13). La charge à saturation diminue avec la mise en oeuvre pour les deux valeurs de dopage et sature pour ces deux cas à $7000h^+$ pour une mise en oeuvre à 1V8; c'est le circuit de lecture qui limite ici le signal de sortie du pixel. A l'inverse, la quantité de charges de $8000h^+$ reste identique pour un dopage à $3.10^{15}cm^{-3}$ pour une mise en oeuvre sous 2V5 ou sous 3V5. On peut donc en conclure que la saturation est limitée par la capacité de stockage de la photo-gate pour ce dernier cas.

3.2.3 Rémanence du pixel

La rémanence est une mesure qui quantifie un transfert incomplet des charges depuis la photo-gate pincée PPG vers le noeud de lecture SN. Les causes qui peuvent engendrer de la rémanence dans notre pixel sont (illustrées en Figure 3.14) :

- la présence d'un puits de potentiel stockant des charges au sein de la PPG ou au sein de la barrière TG; ce cas peut survenir lors de non uniformité du profil de dopage sur la zone active
- la présence d'une barrière de potentiel bloquant des charges dans la PPG ou dans la barrière TG; ce cas peut aussi survenir dû à un profil de dopage non uniforme
- la hauteur de barrière TG qui reste supérieure au potentiel de déplétion de la PPG pendant son ouverture
- le retour de charges stockées partiellement sur la barrière de transfert qui sont re-dirigées vers la PPG après fermeture TG

- le temps d'ouverture de la TG qui est trop faible pour permettre le transfert de toutes les charges provenant de la PPG

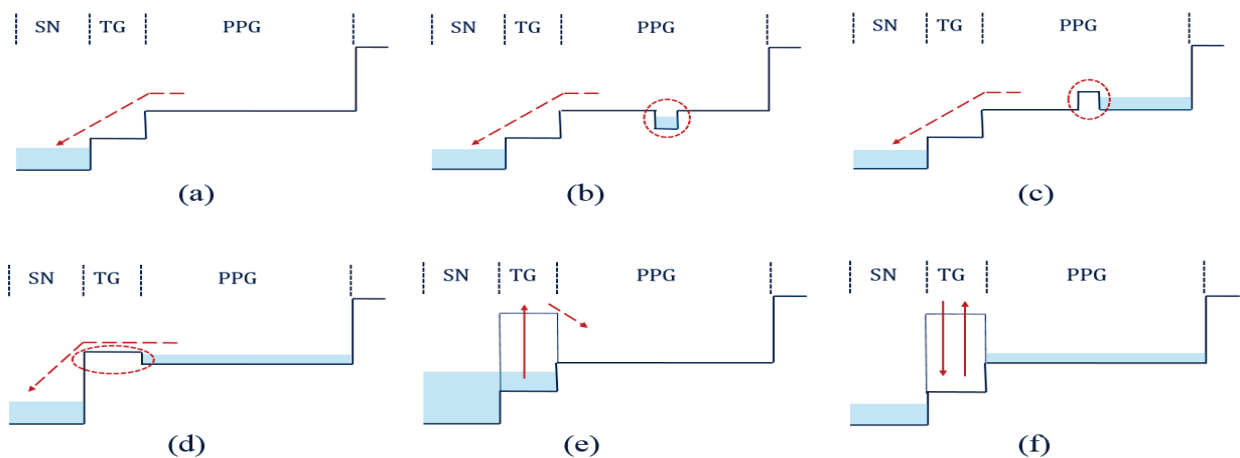


FIGURE 3.14 – Différentes représentations de phénomènes de rémanence : (a) cas sans rémanence, puis (b) cas de rémanence avec puits de potentiel, (c) avec barrière de potentiel, (d) avec $V_B > V_{dep}$, (e) avec retour de charges et (f) avec un temps d'ouverture de TG insuffisant aux transferts de toutes les charges

Elle est mise en évidence lors de changement abrupte d'illumination. Pour ce faire, le pixel est tout d'abord réinitialisé et vidé de ses charges et placé sous obscurité. Il y a ensuite une première transition avec une période d'éclairement du capteur au cours de laquelle des pulses de lumière sont envoyées puis on impose une nouvelle période d'obscurité. La mesure consiste à quantifier un signal résiduel mesuré pendant la seconde période d'obscurité. Cette mesure peut être faite pour différentes quantités de charge en modulant le temps d'éclairement.

On vérifie par la suite que les choix technologiques et de mise en oeuvre ne créent pas de rémanence dans le pixel.

La mesure de rémanence est analysée pour les versions STI et SNTI/STI pour différents temps d'ouverture TG de la tranchée VEGA lors du transfert des charges sur le noeud de lecture (Figure 3.15). Le noeud de lecture est réalisé avec l'implantation standard CMOS S/D et le capteur d'images est mis en oeuvre sous 3V5. La version STI présente de la rémanence avec un maximum atteint pour une quantité de charges de $2000h^+$. Cette rémanence diminue en augmentant la durée TG, passant d'environ $60h^+$ à $10h^+$ entre 500ns et $10\mu s$. A l'inverse, la version SNTI/STI ne présente pas de rémanence quelque soit la durée TG. Les deux versions possèdent le même profil électrostatique qui assure un transfert des charges sans rémanence comme mesurée sur la version SNTI/STI. Cette présence de rémanence pour la version STI a été expliqué par la présence de l'implantation p+ S/D en surface de tranchée VEGA (simulée en Figure 2.28) et par le dessin des masques. Dans la version STI, le masque du contact sur la VEGA est recouvert partiellement du masque d'implantation p+ du noeud de lecture ; une jonction pn se crée dans le haut de la tranchée et la zone de contact n'est plus dopée à un niveau n+. Le contact est donc plus résistif et il faut alors une durée plus longue pour assurer une bonne ouverture. Ce problème ne se retrouve pas pour la version SNTI/STI dont la surface de la tranchée est isolée entièrement par de l'oxyde SNTI et où le contact est déporté et n'est alors plus recouvert du masque d'implantation p+ (masques des versions en Figure 2.2).

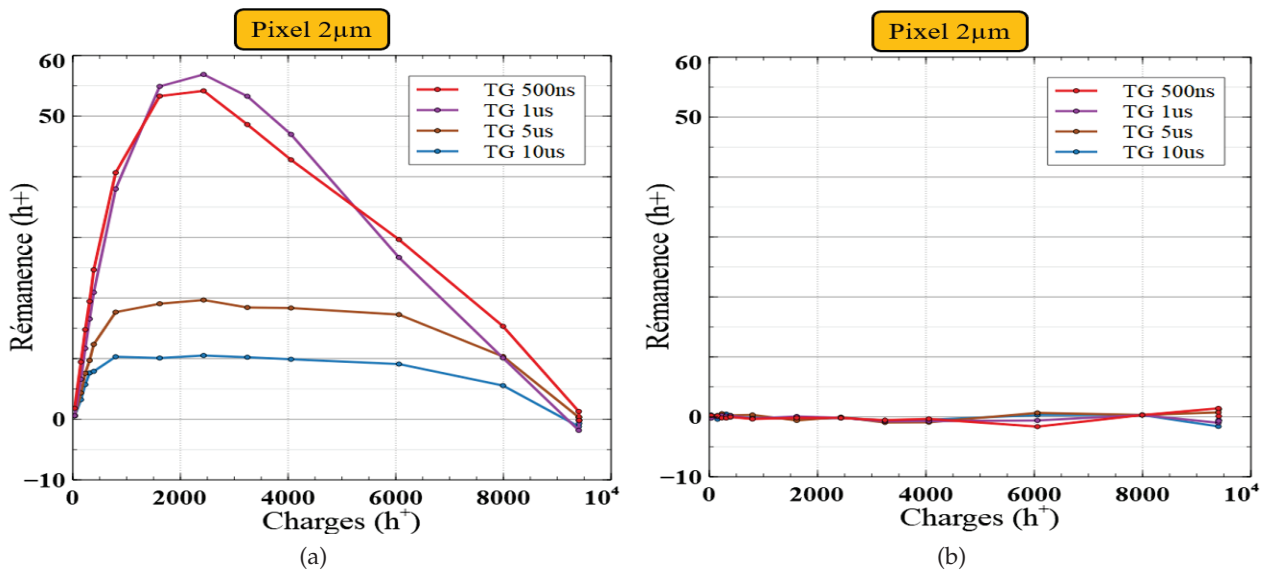


FIGURE 3.15 – Mesures de rémanence pour différentes durées d'ouverture TG avec implantation S/D pour le noeud de lecture : (a) version STI et (b) version SNTI/STI

Il est choisi d'utiliser le profil de dopage du noeud de lecture optimisé avec implantation Bore à 2keV et de dose de $8.10^{14}cm^{-2}$ (simulé en Figure 2.28). La rémanence est remesurée pour la version STI avec ce nouveau noeud de lecture. Elle est reportée pour une quantité de charges de $2000h^+$ et des temps d'intégration de 100ns, 300ns et 500ns. Le problème de résistivité disparaît; la concentration de la nouvelle implantation est suffisamment faible pour ne pas changer la polarité du polysilicium dans la tranchée VEGA. On note aussi que le pixel continue encore de fonctionner pour des temps d'intégration très faibles, jusqu'à 100ns. En effet, le pixel ne présente pas de rémanence dans un fonctionnement normal par construction avec un transfert en volume et les minimum de potentiel de la zone de stockage et de barrière de transfert alignés (Figure 2.22).

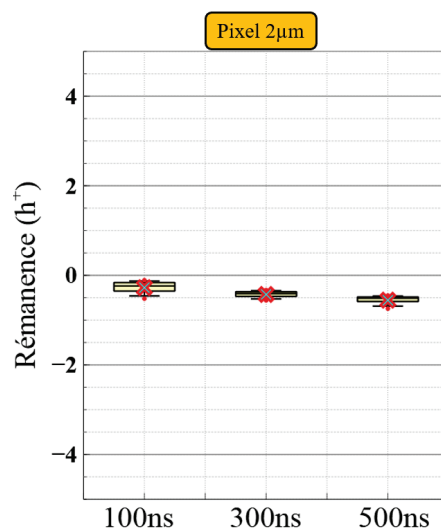


FIGURE 3.16 – Mesures de rémanence pour différentes durées d'ouverture TG Bore à 2keV et une dose de $8.10^{14}cm^{-2}$ pour le noeud de lecture : version STI

Il faut toutefois assurer que la mise en oeuvre du pixel n'ait pas d'incidence sur la qualité du transfert des charges et de créer de la rémanence. Nous analysons l'évolution de la rémanence avec les tensions de fonctionnement. Une étude est faite cette fois-ci en fonction du dopage silicium de la zone active (de 3.10^{15}cm^{-3} ou 4.10^{15}cm^{-3}) pour un pixel $2\mu\text{m}$ à 2V5 et 1V8 (Figure 3.17). La mesure révèle une quantité de charges rémanente d'une centaine de trous dans le cas du dopage 4.10^{15}cm^{-3} à 1V8, non apparente à 2V5. Le silicium avec le dopage 3.10^{15}cm^{-3} ne présente aucune rémanence ni à 2V5 ni à 1V8. Cette mesure est liée à l'étude des profils électrostatiques du pixel réalisée lors de la réduction des tensions (Figure 2.25) montrant que le potentiel de déplétion de la photo-gate atteint un niveau inférieur au potentiel de barrière lors du transfert, créant ainsi une charge rémanente dans la zone de collection. La mesure confirme que le dopage 4.10^{15}cm^{-3} n'est pas adapté si l'on choisit de fonctionner sous 1V8 où la condition $V_B < V_{dep}$ n'est plus respectée. On vérifie aussi qu'il faudrait polariser $V_{TG,bas} = -0.2V$ pour corriger ce problème et ne plus avoir de rémanence.

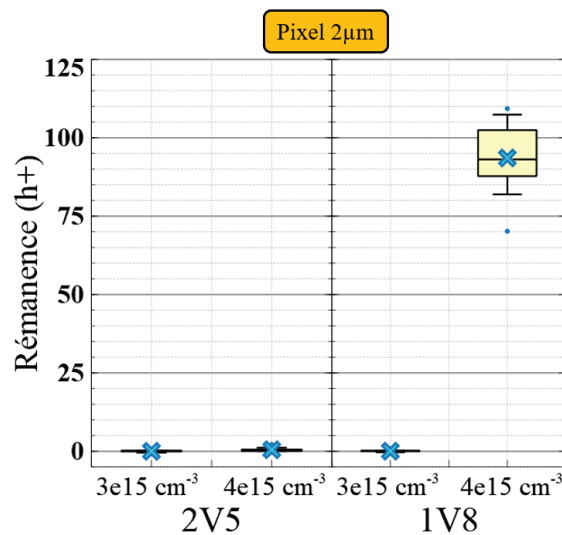


FIGURE 3.17 – Mesures de rémanence à différentes tensions pour le pixel $2\mu\text{m}$ avec des dopages de $3e15 \text{ cm}^{-3}$ et $4e15 \text{ cm}^{-3}$

3.2.4 Facteur de conversion charge/tension

Le facteur de conversion (CVF) est le coefficient qui permet de relier la tension lue en sortie de matrice à la quantité de charges photo-générées transférées sur le noeud de lecture et par extension présentes dans la photo-gate pincée. Il dépend du gain des transistors et est inversement proportionnel à la capacité du noeud de lecture ; il est donc spécifique à chaque version de pixel. Il peut être extrait à partir d'une mesure de bruit photonique du capteur. Cette dernière repose sur le fait que la quantité de photons émise N_{ph} , provenant de la source lumineuse éclairant le capteur, suit une loi statistique de Poisson. Cette loi s'applique pour des événements discrets et décrit la probabilité du nombre d'événements de se produire dans un temps donné. Elle relie la valeur moyenne des événements μ à l'écart-type σ telle que :

$$\sigma = \sqrt{\mu} \quad (3.2)$$

On obtient donc ici que le bruit photonique $\sigma_{ph} = \sqrt{N_{ph}}$. Une fois que les photons ont atteint le capteur, la quantité de paires d'électron/trou générée suit aussi la loi de Poisson de sorte que $\sigma_{h^+} = \sqrt{N_{h^+}} = \sqrt{QE \cdot N_{ph}}$ avec QE l'efficacité quantique. Une fois transmise sur le noeud de lecture, la tension de sortie est reliée à la quantité de trous et vérifie les relations suivantes :

$$\mu_V = CVF \cdot \mu_{h^+} = CVF \cdot N_{h^+} \quad (3.3)$$

$$\sigma_V = CVF \cdot \sigma_{h^+} = CVF \cdot \sqrt{N_{h^+}} \quad (3.4)$$

On obtient enfin :

$$CVF = \frac{\sigma_V^2}{\mu_V} \quad (3.5)$$

Le CVF correspond à la pente de la courbe du bruit photonique tracée pour plusieurs temps d'intégration et une puissance lumineuse donnée, ajustés pour ne pas saturer le capteur (travail dans le régime linéaire) et vérifier que le bruit temporel du courant d'obscurité soit négligeable devant le bruit photonique lors de la prise de mesures.

	Versions du pixel					
	photo-gate p-type STI	photo-gate p-type SNTI/STI		photo-gate p-type SNTI/no STI	photo-gate p-type SNTI	
hauteur de l'oxyde SNTI (nm)		200	300	200	200	300
	CVF ($\mu V/h^+$)					
Simple SF	90	115	118		125	140
Double SF	75	100	103	60	118	135

TABLE 3.2 – Valeurs moyennes des CVF des versions du pixel

Le CVF est mesuré suivant la méthode précédente : sa valeur moyenne est présentée en Table 3.2. Pour chaque version de pixel, il existe des variantes comprenant soit un simple transistor suiveur de largeur $0.2\mu m$ (simple SF) soit deux transistors suiveur de largeur $0.2\mu m$ connectés en parallèle (double SF). De plus, des variantes de hauteur d'oxyde SNTI à 200nm et 300nm sont réalisées pour la version SNTI/STI et la version SNTI.

La capacité du noeud de lecture varie avec la capacité de grille du transistor suiveur $C_G(SF)$ et avec la capacité de déplétion de la grille de transfert verticale $C_{GD}(TG)$. L'utilisation d'un double SF augmente la capacité de grille du transistor suiveur par rapport au simple SF, soit la réduction de la valeur du CVF (de 90 à 75 $\mu V/h^+$ pour la version STI). La version STI et SNTI/STI présentent la même architecture circuit pixel ainsi que les mêmes interconnexions métalliques ; elles diffèrent par la présence ou non d'oxyde SNTI. Lors de la présence de cet oxyde, la contribution de la capacité de déplétion de la grille de transfert verticale est fortement réduite (le CVF ré-augmente de 75 $\mu V/h^+$ à 100 $\mu V/h^+$). Cette capacité découle de l'interaction électrique entre le noeud de

lecture et la grille de transfert verticale. Avec l'utilisation d'un oxyde SNTI de hauteur de 200nm, le noeud de lecture est totalement isolé de la grille verticale par de l'oxyde. La capacité est négligeable et ne diffère quasiment plus entre un SNTI de 200nm et de 300nm.

	Versions du pixel					
	photo-gate p-type STI	photo-gate p-type SNTI/STI		photo-gate p-type SNTI/no STI	photo-gate p-type SNTI	
hauteur de l'oxyde SNTI (nm)		200	300	200	200	300
	C_{SN} (fF)					
Simple SF	1.42	1.11	1.085		1.025	0.91
Double SF	1.7	1.28	1.24	2.13	1.085	0.948

TABLE 3.3 – Valeurs moyennes des capacités du noeud de lecture des versions du pixel

Les capacités du noeud de lecture équivalente sont calculées pour un gain de 0.8 et reportées en Table 3.3. Avec ces valeurs, le pourcentage des contributions de chaque capacité pour la version STI peut être estimé :

Capacité	$C_{GD}(TG)$	$C_G(SF)$	C_m	$C_{GD}(RST)$
Pourcentage (%)	25	20	50	5

TABLE 3.4 – Estimation de la contribution des capacités reliés au noeud de lecture pour la version STI

La contribution principale de la capacité du noeud de lecture qui permet de fortes variations de CVF entre les versions reste la capacité métallique qui varie avec l'agencement des interconnexions des lignes de métal. Elle nous permet ainsi de réduire le CVF à 60 $\mu\text{V}/\text{h}+$ pour la version SNTI/no STI malgré que la capacité $C_{GD}(TG)$ soit négligeable avec la présence d'oxyde SNTI.

Les mesures électro-optiques pixel sont effectuées par défaut pour les variantes avec double transistor suiveur en parallèle (double SF) et pour une hauteur d'oxyde SNTI de 200nm.

3.2.5 Fonctionnement de l'étage d'amplification (transistor suiveur et sélecteur de ligne) du pixel

Il est important de mesurer la caractéristique de transfert $V_{out}(V_{in})$ de l'étage d'amplification du pixel afin de déterminer la plage de fonctionnement du circuit. L'étage d'amplification du pixel est constitué d'un transistor suiveur en série avec un transistor sélecteur de ligne, qui est un transistor de commutation dont la résistance du canal influe sur la sortie du circuit soit sur le gain du transistor suiveur. La caractéristique de transfert des transistors du pixel, moyennée sur toute la matrice de pixels, est mesurée en sortie du capteur d'images (tension sur la colonne) en appliquant une rampe linéaire depuis le drain du transistor de réinitialisation et avec le canal de la grille de transfert verticale du pixel fermée (Figure 3.18.(a)). Le gain de l'étage d'amplification est alors calculée comme étant le rapport de la tension de sortie sur la tension d'entrée. On vérifie ici son fonctionnement en fonction des choix technologiques et électriques des transistors pixel.

3.2.5.1 Impact du transistor de réinitialisation

On vérifie que l'utilisation d'un transistor à canal enterré (RST PMOS BC) comme transistor de réinitialisation permet bien de réinitialiser le noeud de lecture à 0V avec la mesure de la caractéristique de transfert. L'utilisation d'un transistor à canal surfacique (RST PMOS SVT) comme transistor de réinitialisation ne permet pas quant à elle de réinitialiser à 0V ; les tensions d'entrée saturent pour des tensions inférieures à 0V. Le transistor à canal enterré permet ici d'augmenter la plage de fonctionnement pour une même mise en oeuvre.

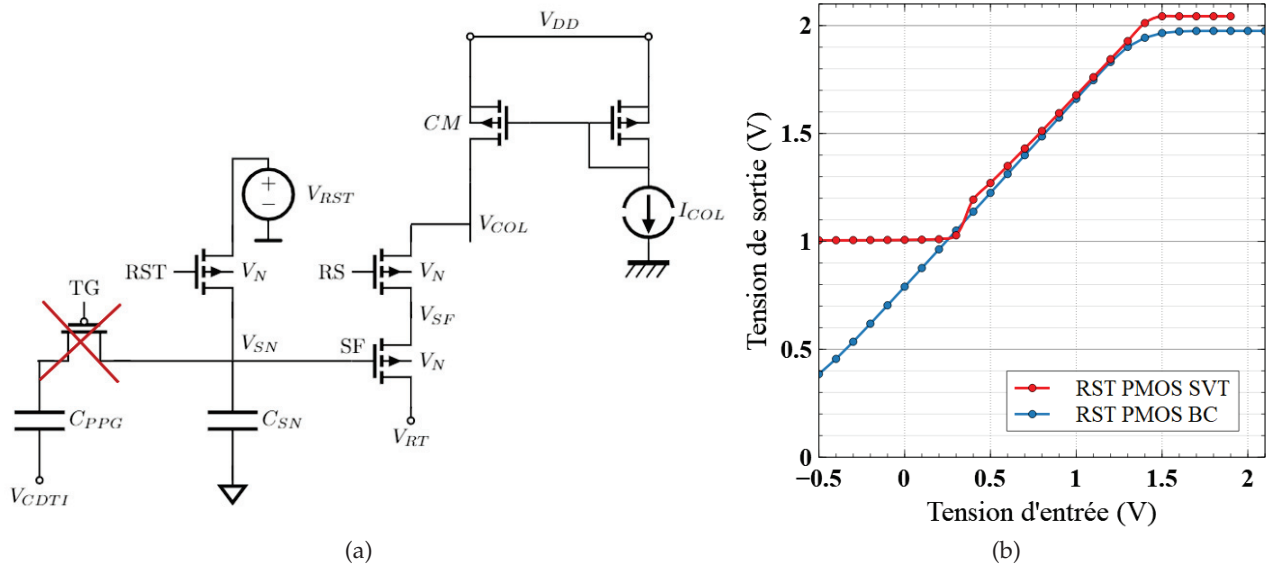


FIGURE 3.18 – Caractéristique de transfert $V_{out}(V_{in})$ des transistors pixel en fonction du transistor de réinitialisation : (a) schéma du circuit et (b) courbes mesurées

3.2.5.2 Impact du transistor sélecteur de ligne

Les études sur les transistors pixel au chapitre 2 ont montré que la résistance du canal du transistor sélecteur de ligne limite la plage de fonctionnement de l'étage d'amplification du pixel. La caractéristique de transfert $V_{out}(V_{in})$ des transistors pixel est mesurée pour différents circuits et connexions du sélecteur de ligne (Figure 3.19).

Avec le transistor PMOS SVT comme sélecteur de ligne (circuit de la version STI du pixel mis en oeuvre sous 2V5) et sa grille polarisée à $V_{RS,bas}=0V$, l'étage d'amplification fonctionne pour des tensions d'entrée comprises entre 0.5V et 1V avec un gain constant de 0.8. Le gain diminue de 10% pour une tension d'entrée à 0V. La diminution du gain est dépendante ici de la conductivité du canal du sélecteur de ligne. Pour l'améliorer, la grille du transistor est commutée à des tensions négatives ($V_{RS,bas} = -0.5V$ et $V_{RS,bas} = -1V$) ce qui permet d'agrandir la plage de fonctionnement avec un gain à 0.8 pour une tension d'entrée de 0V.

La caractéristique de transfert $V_{out}(V_{in})$ du circuit pixel de la version SNTI/no STI avec grille de transmission comme sélecteur de ligne est mesurée pour une mise en oeuvre sous 1V8. La mesure montre que le gain de l'étage n'est plus constant sur la plage de fonctionnement et diminue de 20% pour une tension d'entrée de 0V avec l'utilisation d'une grille de transmission ($RS + \overline{RS}$). La mesure

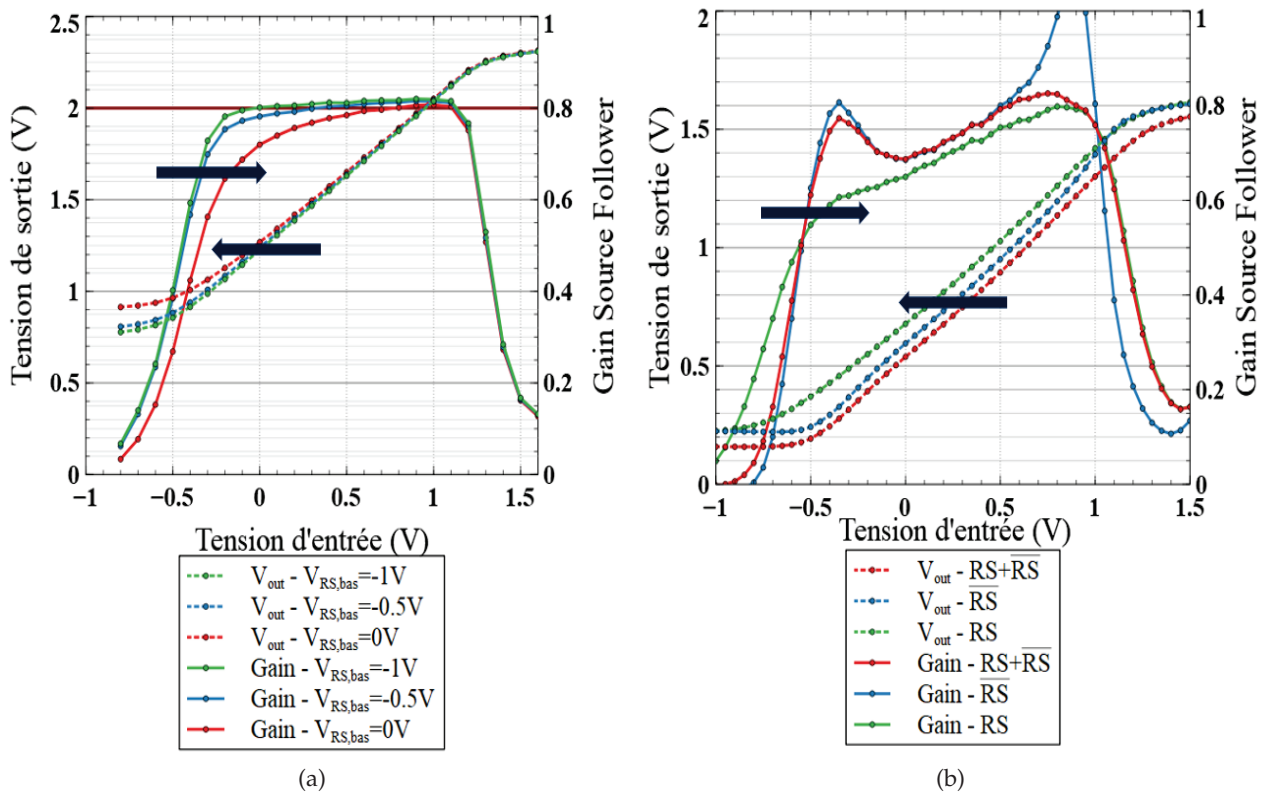


FIGURE 3.19 – Caractéristique de transfert $V_{out}(V_{in})$ de l'étage d'amplification du pixel en fonction du transistor sélecteur de ligne : (a) circuit avec transistor PMOS et (b) circuit avec grille de transmission

reste similaire lorsque la grille de transmission est polarisée de sorte à ne faire fonctionner soit que le transistor PMOS en sélecteur de ligne (RS) soit à ne faire fonctionner que le transistor NMOS en sélecteur de ligne (\overline{RS}). La valeur du gain ne dépend donc pas ici de l'utilisation d'une grille de transmission en sélecteur de ligne car le fonctionnement avec RS ou \overline{RS} seul présentent aussi les mêmes dégradations alors que le cas du transistor PMOS RS seul fonctionne correctement sur la version STI et que la simulation Spice valide le principe de fonctionnement des trois architectures de circuit.

Ce résultat peut s'expliquer par l'hypothèse de fuite des caissons transistors. En effet, l'analyse de ce capteur a montré des surconsommations de courant sur les plots pour les alimentations des tensions V_N , V_{RST} , V_{RT} , V_{TG} et V_{CDTI} . Cela prouve un défaut pour cette version de pixel provenant de l'intégration des transistors NMOS et PMOS dans le même environnement pixel de type p.

Les résultats et la simulation montrent que la grille de transmission en sélecteur de ligne resterait une solution envisageable ; on ne peut cependant conclure sur cette version avec la dégradation du gain relatif à l'intégration pixel.

3.2.6 Courant d'obscurité

Le courant d'obscurité est un signal parasite qui s'ajoute au signal utile dans la zone de collection du pixel qui doit être minimisée.

3.2.6.1 Sources du courant d'obscurité du pixel

Les différentes parties qui peuvent contribuer à la génération de courant d'obscurité dans le pixel sont illustrées en Figure 3.20 et citées ci-suit :

1. un courant de génération thermique dans le volume déplété par le biais de défauts ou d'impuretés
2. un courant de génération aux interfaces silicium-oxyde des tranchées CDTI
3. un courant de génération aux interfaces silicium-oxyde des tranchées VEGA
4. un courant de diffusion de charges dans le caisson n provenant de génération en surface ou de contaminants lors des implantations
5. un courant de génération à l'interface silicium-oxyde de la face arrière du pixel

La photo-gate n'étant pas implanté en son centre, il y a peu de risques de présence de défauts présents dans le volume du silicium. Pour ce qui est des interfaces latérales provenant du CDTI ou de la VEGA, elles sont passivées électriquement par inversion des MOS latéraux, elles peuvent participer malgré tout du courant d'obscurité en fonction de la qualité de passivation et de la diffusion des porteurs vers la photo-gate. La surface avant du capteur comprend elle les transistors avec les implantations caisson et source et drain ainsi que l'implantation de source à électrons pour la polarisation du caisson. Elle présente aussi des interfaces oxydes qui servent à l'isolation des transistors. Ces divers éléments nécessaires à la fabrication des transistors pixel peuvent aussi participer d'un courant d'obscurité intrinsèque au pixel. Enfin la qualité de la passivation de la surface arrière dépend des caractéristiques électriques de la triple couche oxyde, nitrure et oxyde.

On ne mentionne pas ici les générations possibles aux interfaces silicium-oxyde au centre de la tranchée VEGA comme une source de courant d'obscurité perturbant le signal utile dans la zone de collection lors de l'intégration des charges car elle ne peut pas, par construction, se retrouver au sein de la zone de collection. Ces charges sont automatiquement vidées lors de la réinitialisation du noeud de lecture avant le transfert des charges. Ces générations peuvent cependant parasiter le signal utile lors du transfert et la lecture des charges. Ce courant parasite est un courant de fuite dans le noeud de lecture et est comptabilisé dans d'autres sources de bruits du pixel.

3.2.6.2 Méthodes de mesures

On mesure le courant d'obscurité comme un taux de génération de charges en trous/pixel/seconde (h^+/s). Il est mesuré par défaut à 60°C et en capturant des images à deux temps d'intégration tel que :

$$I_{dark} = q \frac{1}{CVF} \frac{V_x(t_{long}) - V_x(t_{short})}{t_{long} - t_{short}} \quad \text{avec } t_{long} > t_{short} \quad (3.6)$$

Les temps d'intégration t_{long} et t_{short} sont choisis respectivement à 1s et 150ms par défaut mais peuvent être adaptées en fonction de la capacité de stockage et du niveau de courant d'obscurité d'un pixel. On choisira un large t_{long} pour de forte quantité de charges stockable ou de faible

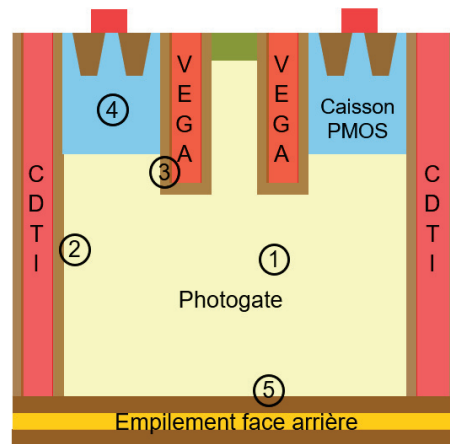


FIGURE 3.20 – Représentation des sources de courant d'obscurité au sein du pixel

niveau de courant d'obscurité pour optimiser le signal. À l'inverse, un faible t_{long} est utilisé pour de faible quantité de charges stockable ou un fort courant d'obscurité pour ne pas saturer le pixel. De ce calcul, on peut ensuite soit moyennner le signal pour la matrice soit tracer un histogramme de tous les pixels.

Les générations thermique et de diffusion qui participent au courant d'obscurité dépendent de la température du capteur. La mesure du courant d'obscurité peut être réalisée pour plusieurs températures afin d'effectuer une analyse spectroscopique. Le courant d'obscurité est alors représenté sous forme d'historgramme avec la population de pixels en fonction de la valeur du courant d'obscurité. Cela permet d'observer les pics de population et s'il y a une queue de distribution pour identifier la population principale et la présence de populations secondaires dûs à des défauts ou impuretés dans le pixel.

L'énergie d'activation peut ensuite être calculée avec la régression linéaire du courant d'obscurité en fonction de la température afin de séparer et d'évaluer les différentes origines physiques de générations de charges.

3.2.6.3 Courant d'obscurité moyen

La mesure du courant d'obscurité moyen est faite à 60°C pour une polarisation de 2V5 pour chaque version de pixel introduite et fabriquée. La comparaison des différentes versions va permettre d'identifier les éléments qui dégradent ou non le courant d'obscurité.

Les tranchées VEGA et CDTI sont présentes pour toutes les versions de pixel et sont polarisées en inversion lors de l'intégration des charges ; leurs interfaces sont considérées comme bien passivées. Parmi les différences entre versions, les oxydes STI et SNTI peuvent être des contributeurs principaux du courant d'obscurité du pixel. Leur passivation dépend de la concentration en électrons aux interfaces qui proviennent des implantations n et n+ du pixel, utilisées pour la définition du caisson des transistors PMOS et sa prise de contact. L'interface en face arrière peut aussi générer du courant d'obscurité en fonction de la qualité de passivation des diélectriques

déposés. Les mesures des valeurs moyennes du courant d'obscurité pour les quatre versions sont reportées en Figure 3.21 avec une hauteur d'oxyde SNTI de 200nm. Pour estimer la contribution de chaque interface dans la génération du courant d'obscurité, un tableau regroupe le détails des différentes surfaces oxydes pour chaque version de pixel. Un courant d'obscurité surfacique est calculé avec la surface d'oxyde totale qui peut être équivalent à un taux de génération surfacique permettant de comparer les versions. Les versions avec présence seulement d'oxyde SNTI en face avant ont très peu de courant d'obscurité, soit $3h^+/s$ pour la version SNTI/no STI et $1.8h^+/s$ pour la version SNTI soit le plus faible courant mesuré alors qu'il présente la plus grande surface d'oxyde SNTI. Cela permet de conclure que l'interface oxyde SNTI ne génère pas ou peu de courant d'obscurité. La version SNTI/no STI et la version SNTI présentent aussi des valeurs de courant d'obscurité surfacique relativement similaires ($0.79h^+/s.\mu m^2$ et $0.75h^+/s.\mu m^2$) soit donc un même taux de génération aux interfaces. La différence majeure entre les deux vient de la surface en face arrière qui est plus grande pour le pixel de pas de $2\mu m$ que celui de $1.2\mu m$. Les charges générées pour ces deux versions proviendraient donc principalement de la face arrière. Les versions avec tranchées STI génèrent le plus de courant d'obscurité avec des valeurs de $8h^+/s$ pour la version STI et $38h^+/s$ pour la version SNTI/STI. Ces deux versions possèdent la même surface d'oxyde STI mais la version avec SNTI présente cinq fois plus de courant d'obscurité. Cette forte génération provient de la présence simultanée d'oxyde STI et oxyde SNTI et s'explique par une mauvaise passivation de l'interface commune des deux oxydes. En effet, la proximité de la tranchée VEGA et du STI diminue la quantité de dopants actifs dans le silicium entre les deux et n'assure pas une bonne passivation. Ce problème n'apparaît pas dans la version STI où la tranchée VEGA est remplie seulement de polysilicium qui est polarisé de sorte à inverser l'interface de la tranchée. Les mesures de courant d'obscurité sont faites aussi pour la version SNTI/STI et la version SNTI pour des hauteurs d'oxyde SNTI de 300nm (Figure 3.22). Le courant d'obscurité augmente avec la hauteur d'oxyde SNTI, de $38 h^+/s$ à $48 h^+/s$ pour la version SNTI/STI présentant une mauvaise qualité de passivation. Il augmente très faiblement pour la version SNTI, de $1.8 h^+/s$ à $2 h^+/s$, confirmant le peu de génération aux interfaces d'oxyde SNTI.

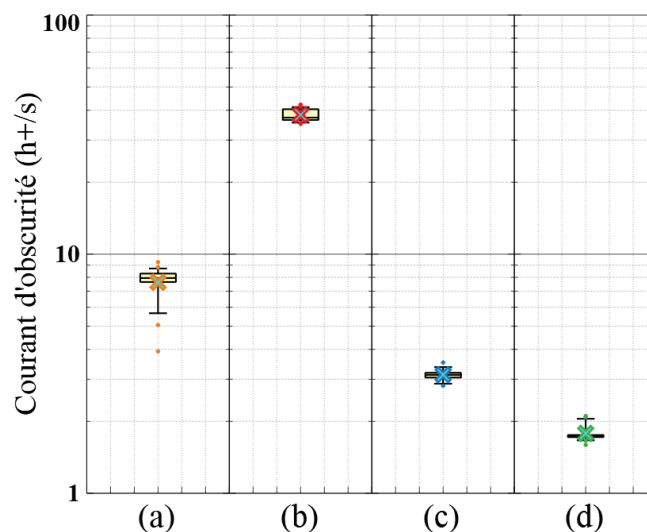


FIGURE 3.21 – Mesures du courant d'obscurité moyen des versions du pixel : (a) version STI, (b) version SNTI/STI, (c) version SNTI/no STI et (d) version SNTI

Versions du pixel	photo-gate p-type STI	photo-gate p-type SNTI/STI	photo-gate p-type SNTI/no STI	photo-gate p-type SNTI
Surface oxyde STI (μm^2)	2.292	2.292	0	0
Surface oxyde SNTI (μm^2)	0	0.536	0.536	1.33
Surface oxyde face arrière (μm^2)	3.24	3.24	3.24	1.082
Surface oxyde totale (μm^2)	5.532	6.068	3.776	2.412
Courant d'obscurité (h^+/s)	8	38	3	1.8
Courant d'obscurité surfacique ($h^+/s.\mu m^2$)	1.45	6.26	0.79	0.75

TABLE 3.5 – Tableau de comparaison des valeurs de courant d'obscurité entre les versions du pixel et détail des surfaces d'oxyde

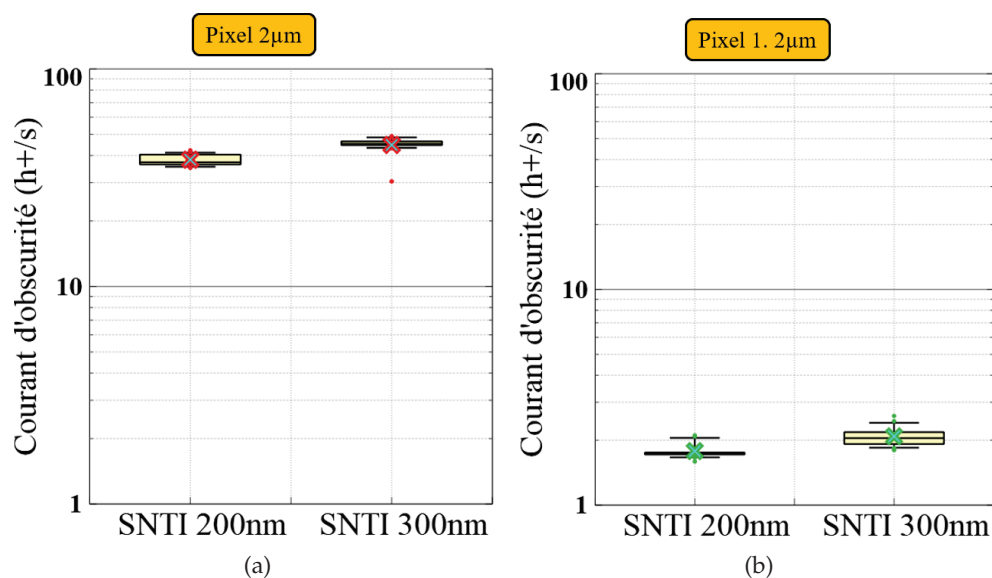


FIGURE 3.22 – Mesures du courant d'obscurité pour différentes hauteurs d'oxyde SNTI : (a) version SNTI/STI et (b) version SNTI

3.2.6.4 Distribution statistique du courant d'obscurité

Nous analysons ici les mécanismes générant du courant d'obscurité. Pour ce faire, une étude en température est effectuée entre 40°C et 100°C par paliers de 10°C sur les matrices de pixels des versions SNTI/no STI et SNTI, qui présentent tous deux le plus faible courant d'obscurité. Le courant d'obscurité est représenté sous forme d'histogramme dans les deux cas en Figure 3.23. Les histogrammes se composent d'une gaussienne centrée sur le courant d'obscurité moyen de la population intrinsèque, et dont la dispersion correspond à la variation temporelle σ_d du courant d'obscurité. A cette population principale s'ajoute une queue de distribution qui représente les pixels avec un fort courant d'obscurité, et qui participent du bruit spatial DCNU. Parmi eux, on définit les pixels blancs comme étant ceux dont le courant d'obscurité est dix fois supérieur à la valeur moyenne de la population principale. Le courant d'obscurité moyen des deux versions sont reportés en Table 3.6. La population principale présente une faible dispersion pour les deux cas sur la plage de température étudiée. En revanche, des seconds pics apparaissent dans la queue de

distribution, la première à partir de 70°C et la seconde à partir de 80°C. Ces deux pics traduisent des défauts au sein du pixel. La signature du courant d'obscurité est identique pour les deux versions malgré des valeurs plus fortes pour la version SNTI/no STI qui possède une plus grande surface en face arrière.

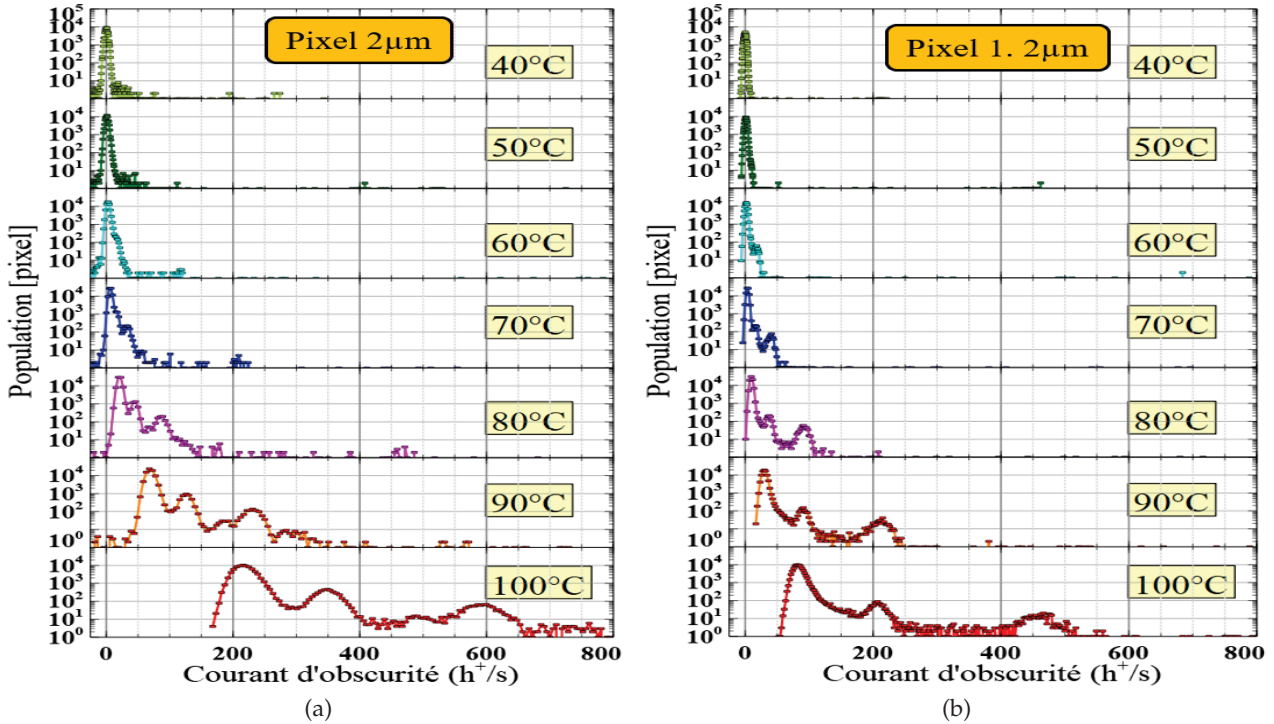


FIGURE 3.23 – Mesures du courant d'obscurité en température entre 40°C et 100°C : (a) version SNTI/no STI (pixel 2µm) et (b) version SNTI (pixel 1.2µm)

Température	Courant d'obscurité moyen (h^+/s)	
	photo-gate p-type SNTI/no STI	photo-gate p-type SNTI
40 °C	0.3	0.008
50 °C	1	1
60 °C	3	2
70 °C	7	4
80 °C	23	11
90 °C	72	32
100 °C	220	88

TABLE 3.6 – Courant d'obscurité moyen en fonction de la température

3.2.6.5 Énergie d'activation

Les mesures en température permettent d'extraire les énergies d'activation par pixel. L'histogramme des énergies d'activation est reporté en Figure 3.24. On retrouve bien la même signature pour les deux versions, avec la population principale centrée sur une énergie d'activation de 1.2 eV. Il est en revanche plus difficile d'extraire des pics secondaires identifiés dans le courant d'obscurité.

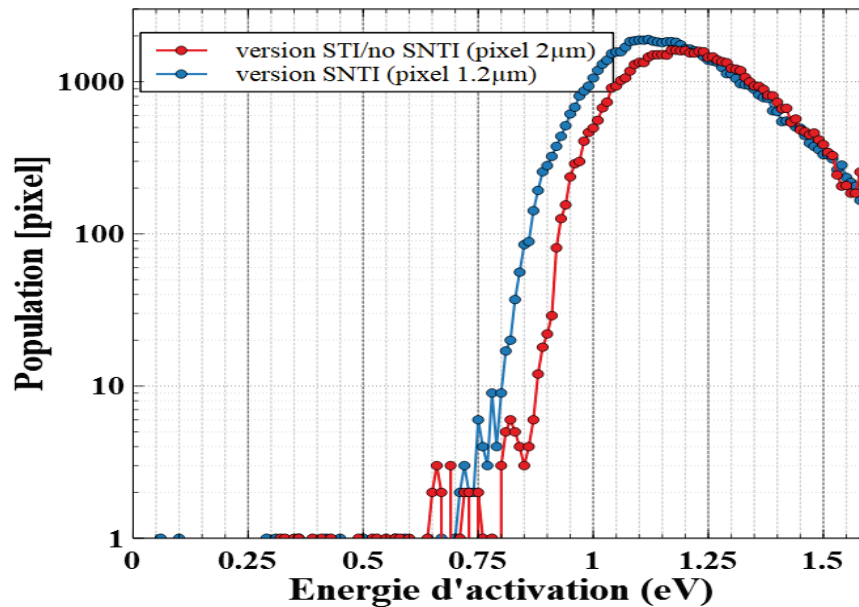


FIGURE 3.24 – Mesures de l'énergie d'activation

Pour essayer de discriminer les pics secondaires de la population principale, un histogramme 3D est tracé avec la correspondance de l'énergie d'activation d'un pixel avec son courant d'obscurité et son occurrence en échelle de couleur pour les deux versions (Figure 3.25). La valeur du courant d'obscurité est pris à 90°C pour que les pics secondaires soient présent et suffisamment identifiables. Trois populations se distinguent bien ici avec la population principale ayant une énergie d'activation comprise entre 1 eV et 1.5 eV et les deux pics secondaires centrés sur 1.05 eV pour la version SNTI/no STI et 0.9 eV pour la version SNTI. Les valeurs absolues des énergies d'activation sont à prendre avec précaution car étant une mesure pouvant facilement varier en fonction de la régression linéaire faite (comme pour la dispersion énergétique de la population principale) et de l'exactitude des autres paramètres de mesure (tel que la température). En revanche, les deux pics, indépendamment de la version, sont associés à une même gamme d'énergie d'activation et de courant d'obscurité. On peut donc supposer qu'ils sont dûs à un même mécanisme physique, dont un centre crée deux fois plus de génération que l'autre. Ces mécanismes de génération de courant d'obscurité représentent à ce jour la signature du courant d'obscurité pour le pixel photo-gate avec l'intégration actuelle, la signature étant identique pour les deux versions mesurées.

3.2.6.6 Vérification de la passivation des interfaces

Les sources de génération de courant d'obscurité proviennent principalement des interfaces du pixel photo-gate ; il y a peu de risques de défauts dans le volume du silicium qui n'est pas implanté. On contrôle le niveau du courant d'obscurité en faisant varier différents paramètres technologiques pour déterminer de la qualité de la passivation des interfaces des tranchées du pixel et de la face arrière.

a) Interfaces des tranchées CDTI

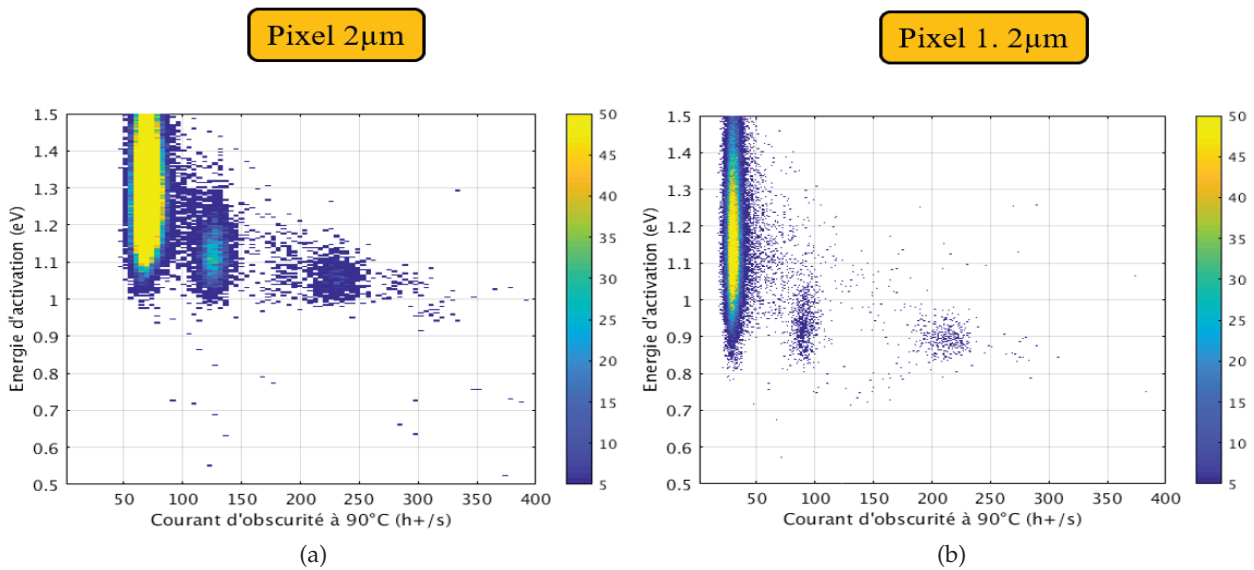
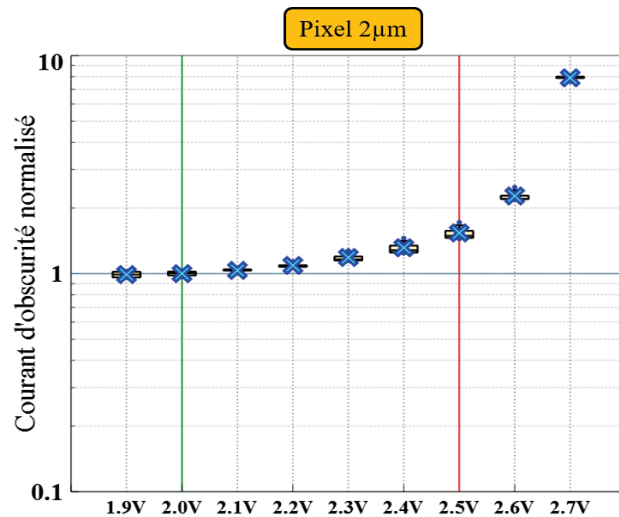


FIGURE 3.25 – Histogramme 3D de l'énergie d'activation en fonction du courant d'obscurité : (a) version SNTI/no STI (pixel 2µm) et (b) version SNTI (pixel 1.2µm)

Pour le CDTI Polysilicium la qualité de sa passivation active dépend de la concentration de la couche d'électrons apportée lors de l'inversion de l'interface, soit de la différence de tension entre la polarisation sur les tranchées CDTI V_{CDTI} et la polarisation du caisson n V_N . En plus de la passivation des interfaces latérales des tranchées, une bonne inversion assure aussi la conduction électrique avec la face arrière dont la couche d'électrons provient aussi du caisson n. Le courant d'obscurité est mesuré pour différentes valeurs de tension caisson V_N , balayé entre 1.9V et 2.7V avec une mise en oeuvre sous 2V5 et une polarisation $V_{CDTI}=2.5V$. Les mesure sont normalisées par rapport au courant d'obscurité obtenue pour les polarisations utilisées par défaut sous 2V5, soit $V_N=2V$ (Figure 3.26). Plus l'écart $V_{CDTI} - V_N$ se réduit, plus la couche d'électrons à l'interface diminue, ce qui a pour conséquence l'augmentation du courant d'obscurité. Ce dernier est peu impacté pour un écart supérieur ou égal à 300mV, cet écart minimum est pris pour la mise en oeuvre du capteur d'images sous 1V8 pour justement ne pas impacter le courant d'obscurité. Pour un écart $V_{CDTI} - V_N$ inférieur, le courant d'obscurité commence à augmenter. Pour un écart nul ou négatif, la tranchée ne se trouve plus en condition d'inversion mais en déplétion. Le courant d'obscurité augmente alors plus fortement et est multiplié par deux pour $V_N=2.6V$ puis par huit pour $V_N=2.7V$.

Pour le CDTI Nitrure la qualité de sa passivation dépend de la quantité de charges positives présentes dans le nitrure. La charge à saturation ainsi que le courant d'obscurité sont mesurés pour la version STI dopé à $4 \cdot 10^{15} cm^{-3}$ et une profondeur de pixel de 4µm avec soit un CDTI rempli de polysilicium (CDTI PolySi), soit un CDTI rempli de nitrure de précurseur DCS (CDTI DCS), soit un CDTI rempli de nitrure de précurseur HCD (CDTI HCD) et reportés Figure 3.27. Les CDTI remplis de nitrure parviennent bien à dépléter le silicium avec une quantité de charges stockables $\geq 10000h^+$. Le pixel est donc fonctionnel malgré une plus forte dispersion qu'avec un CDTI rempli de polysilicium polarisé ainsi qu'une quantité maximum plus faible (notamment pour le CDTI

FIGURE 3.26 – Analyse du courant d’obscurité normalisé pour différentes tensions caisson V_N avec $V_{CDTI}=2.5V$

DCS).

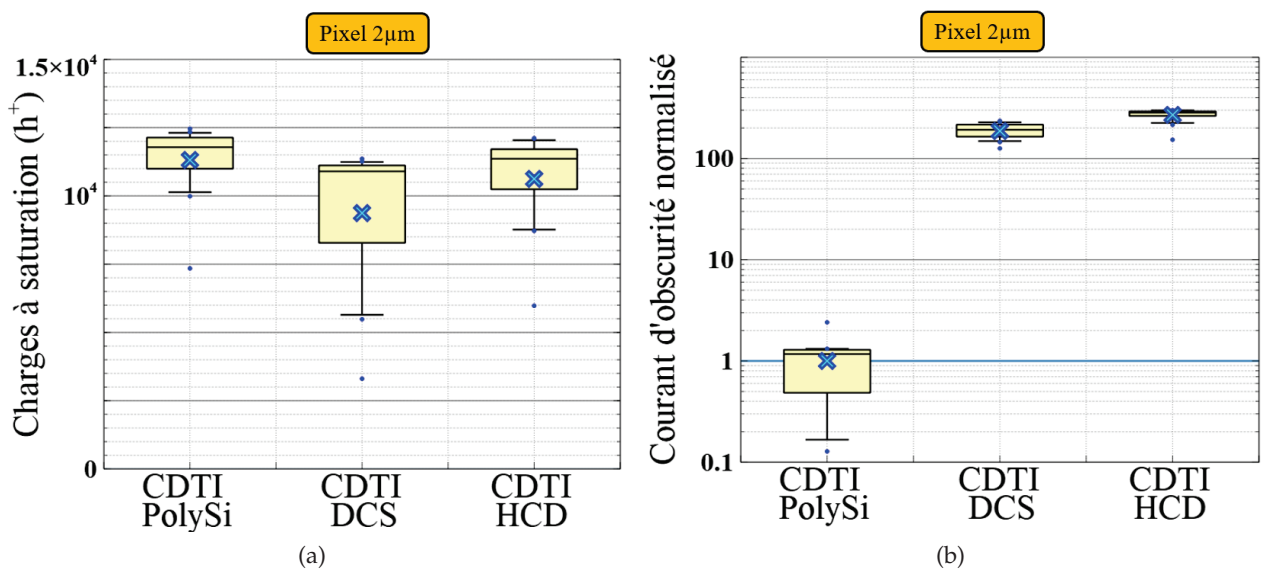


FIGURE 3.27 – Mesures électro-optique en fonction du remplissage CDTI avec polysilicium (PolySi), nitrure DCS ou nitrure HCD : (a) mesures de charge à saturation et (b) mesures de courant d’obscurité

Les valeurs de courant d’obscurité sont normalisées par rapport au courant d’obscurité obtenu sur la version STI avec un CDTI en polysilicium. Les matrices de pixel avec nitrure DCS et HCD présentent un courant d’obscurité fortement dégradé, multiplié respectivement par 200 et 300. Cette mesure corrobore les études faites par mesure COCOS sur les empilements oxyde/nitrure et les simulations qui montraient bien une déplétion du silicium mais pas suffisamment de charges pour créer une inversion et ainsi une passivation des interfaces. Les interfaces des tranchées CDTI couvrent une très grande surface du pixel et une mauvaise passivation entraîne ainsi un fort courant d’obscurité. De tels pixels restent cependant prometteurs car ils prouvent la fonctionnalité d’un pixel photo-gate avec des tranchées CDTI non polarisées et demanderaient d’étudier des

solutions pour augmenter les charges positives dans les diélectriques du CDTI.

b) Face arrière

L'effet de la face arrière sur le courant d'obscurité du pixel est abordé. Pour ce faire, les empilements d'oxyde, nitrure et oxyde étudiés sont fabriqués soit sur la version STI (pixel $2\mu\text{m}$) soit sur la version SNTI (pixel $1.2\mu\text{m}$). L'étude concerne le premier oxyde d'interface choisi parmi le TEOS D, le TEOS S, l'USG ou l'oxyde natif. Les valeurs de courant d'obscurité sont comparées pour le TEOS S, l'USG et l'oxyde natif sur le pixel $1.2\mu\text{m}$ en Figure 3.28a et sont comparées pour le TEOS S, l'USG et le TEOS D sur le pixel $2\mu\text{m}$ en Figure 3.28b. Pour chaque graphe, le courant est normalisé par rapport à la valeur moyenne obtenue pour le cas de référence qui est le cas du TEOS S. L'USG donne un courant d'obscurité similaire ou légèrement meilleur à celui obtenu avec le TEOS S. La face arrière sans dépôt d'oxyde (oxyde natif) dégrade le courant d'obscurité en le multipliant en moyenne par onze. Pour l'empilement avec le TEOS D, le courant d'obscurité est multiplié en moyenne par huit par rapport au TEOS S. Il présente par contre une plus grande dispersion des valeurs qu'avec l'oxyde natif. Une bonne corrélation se fait entre le résultat des mesures COCOS et le courant d'obscurité du pixel. Les empilements avec TEOS S et USG présentant des charges diélectriques $Q_{diel} \approx 6.10^{11} \text{cm}^{-2}$ avec un centre de masse proche de l'interface et un taux de défauts $D_{it} \approx 1.10^{11} \text{eV}^{-1}.\text{cm}^{-2}$ contribuent au meilleur courant d'obscurité. L'empilement avec oxyde natif présente le plus de défauts d'interface qui est un facteur de dégradation du courant d'obscurité. Le TEOS D impacte la distribution des charges dans l'empilement, ce qui entraîne un mauvais contrôle électrostatique de l'interface et résulte d'un mauvais courant d'obscurité.

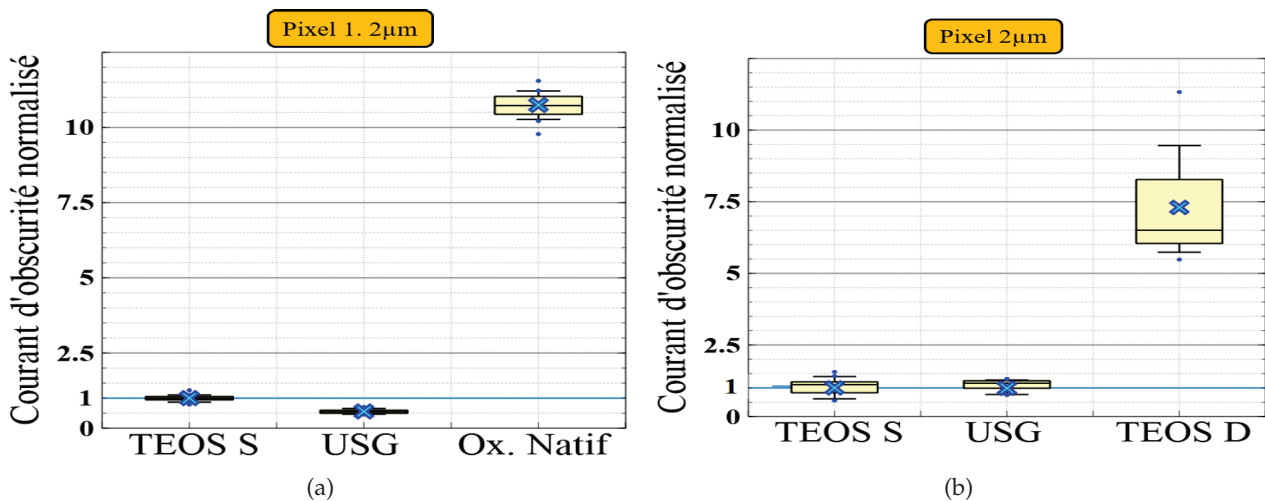


FIGURE 3.28 – Comparaison des valeurs de courant d'obscurité normalisé pour divers oxydes d'interface. Comparaison entre (a) TEOS S, USG et oxyde natif sur pixel $1.2\mu\text{m}$ et comparaison entre (b) TEOS S, USG et TEOS D sur pixel $2\mu\text{m}$

Pour comparer plus en détails la signature de chaque oxyde, les histogrammes du courant d'obscurité à 60°C mesurés sur le pixel $2\mu\text{m}$ avec TEOS D, TEOS S ou USG sont présentés en Figure 3.29. Les capteurs avec TEOS S et USG présentent de bon résultats avec un courant d'obscurité moyen d'environ $7 \text{h}^+/\text{s}$ tandis que celui avec TEOS D est dégradé avec un courant d'obscurité

moyen de $50 h^+/s$. La population principale est ici centrée sur $5 h^+/s$ pour les cas du TEOS S et de l'USG et sur $10 h^+/s$ pour celui du TEOS D. La population intrinsèque n'a pas été dégradé par le TEOS D. Le nombre de pixels blancs a par contre fortement augmenté, avec l'introduction de nouveaux défauts avec des pics à $100 h^+/s$, $400 h^+/s$ et $700 h^+/s$. Enfin, le zoom sur les valeurs de courant d'obscurité inférieures à $100 h^+/s$ confirme le meilleur résultat avec l'USG avec une plus faible dispersion de la queue de distribution.

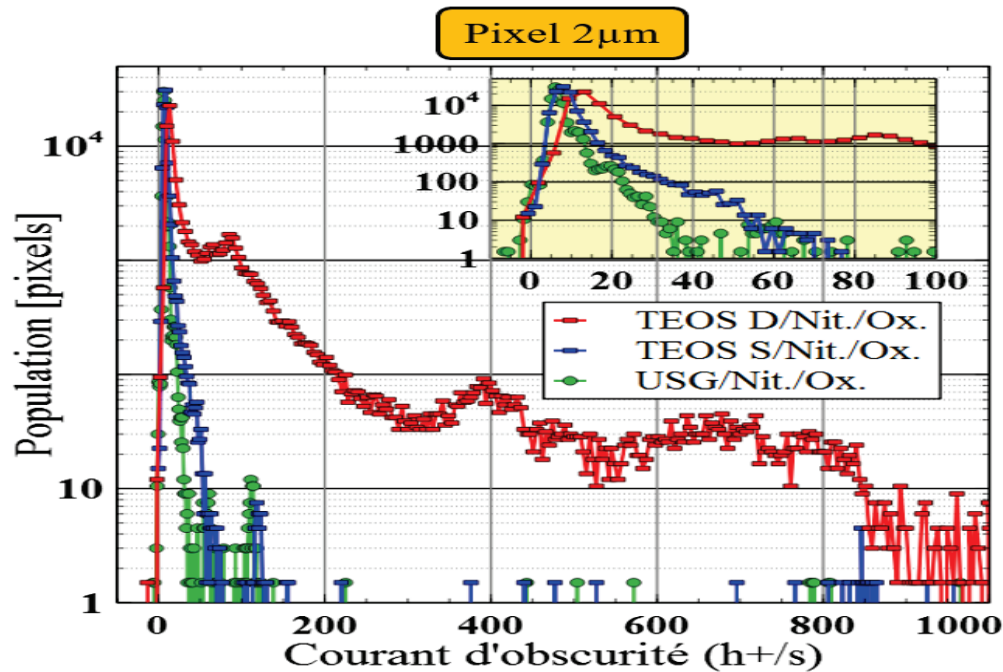


FIGURE 3.29 – Histogramme du courant d'obscurité du pixel $2\mu\text{m}$ pour divers oxydes d'interface. Zoom sur les valeurs comprises entre 0 et $100 h^+/s$ dans le cadre en haut à droite

3.2.7 Sources de bruits du pixel

Il est important d'évaluer les bruits du pixel et de les diminuer car ils limitent la dynamique du pixel et conditionnent la qualité de l'image acquise de la scène.

3.2.7.1 Bruit spatial fixe

Le bruit spatial fixe identifie des non uniformités de réponse entre les pixel et peut se dissocier en deux paramètres :

$$\sigma_{FPN} = \sqrt{\sigma_{DSNU}^2 + \sigma_{PRNU}^2} \quad (3.7)$$

avec σ_{DSNU} la non uniformité du signal d'obscurité et σ_{PRNU} la non uniformité de la réponse photonique.

a) Non uniformité du signal d'obscurité

$$\sigma_{DSNU} = \sqrt{\sigma_{p,FPN}^2 + \sigma_{c,FPN}^2 + \sigma_{DCNU}^2} \quad (3.8)$$

La non uniformité du signal d'obscurité peut aussi se décomposer en plusieurs contributions : σ_{DCNU} la non uniformité du courant d'obscurité, $\sigma_{p,FPN}$ le bruit fixe du pixel et $\sigma_{c,FPN}$ le bruit fixe colonne.

On peut déterminer le bruit fixe du pixel en effectuant une acquisition dans l'obscurité et pour un faible temps d'intégration (par défaut 400 μ s) afin que les composantes de PRNU et de DCNU soient négligeable. De plus, une acquisition est faite du signal sur la colonne sans lecture du pixel et soustraite à la première acquisition pour éliminer le bruit fixe colonne.

Le phénomène physique principal qui dégrade le bruit fixe du pixel photo-gate est la génération de charges induite par la polarisation de la tranchée VEGA (GIL). Un fort champ électrique se crée dans le silicium avec la différence de polarisation entre le noeud de lecture p+ et la couche d'inversion n+ à l'interface de la tranchée (simulation Figure 2.27). Ce champ génère des charges qui se stockent sur le noeud de lecture et parasitent le signal utile lors de la lecture du pixel.

Il est proposé de diminuer le profil de dopage du noeud de lecture pour réduire les phénomènes de courant de fuite et améliorer les performances du capteur. Le bruit fixe pixel est mesuré sous 3V5 en Figure 3.30 pour les versions STI et SNTI/STI et pour différentes valeurs d'implantation du noeud de lecture (détail des implantations en Table 2.7). Il a été montré que la présence d'oxyde SNTI résout au premier ordre le problème de bruit fixe du pixel en atténuant les champs électriques au sein du noeud de lecture; la valeur de bruit fixe est divisée par cinq pour un noeud de lecture avec implantation S/D. Au second ordre, la profondeur d'implantation ainsi que la hauteur du dopage a aussi une influence. La différence de potentiel entre les deux électrodes diminue pour un noeud de lecture de plus faible concentration. On arrive ainsi à diviser par trois le bruit fixe en remplaçant l'implantation standard CMOS S/D par une seule implantation Bore à 2keV et de dose de $8.10^{14}cm^{-2}$ pour la version STI. En présence d'oxyde SNTI, la concentration du noeud de lecture n'a quasiment plus d'impact sur le champ électrique. Avec le plus faible dopage, la version STI présente un bruit fixe FPN de $5h^+$ et la version SNTI/STI un bruit de $2h^+$.

On analyse par la suite le bruit fixe de la version SNTI (pixel 1.2 μ m). Le pixel 1.2 μ m diffère principalement du pixel 2 μ m par la stratégie d'intégration des transistors dans le pixel. Ce pixel incorpore l'avancée technologique analysé sur le pixel 2 μ m avec l'implantation Bore de 2keV et $8.10^{14}cm^{-2}$ pour le noeud de lecture. Le capteur d'images est mis en oeuvre sous 3V5.

Le bruit fixe du pixel 1.2 μ m est mesuré pour différentes hauteurs d'oxyde SNTI : 100nm, 200nm et 300nm et mis en parallèle avec les résultats de simulation (Figure 2.40). Le bruit fixe FPN explose à des valeurs de plus de $300h^+$ pour des hauteurs d'oxyde SNTI de 100nm et 200nm (Figure 3.31). Cela peut correspondre aux courants GIDL aux jonctions des source et drain des transistors au niveau desquelles de forts champ électriques ont été simulé dû à l'interaction avec la polarisation des tranchées CDTI et VEGA qui encerclent les transistors. Ces hauteurs d'oxyde de 100nm et 200nm ne sont donc pas suffisantes pour bien isoler électriquement les transistors pixel. Le bruit est diminué autour de $2 - 3h^+$ pour une hauteur de 300nm. Ces mesures valident qu'il est nécessaire d'avoir un oxyde de hauteur de 300nm à la fois pour isoler les source et drain des transistors des polarisations des tranchées pixel.

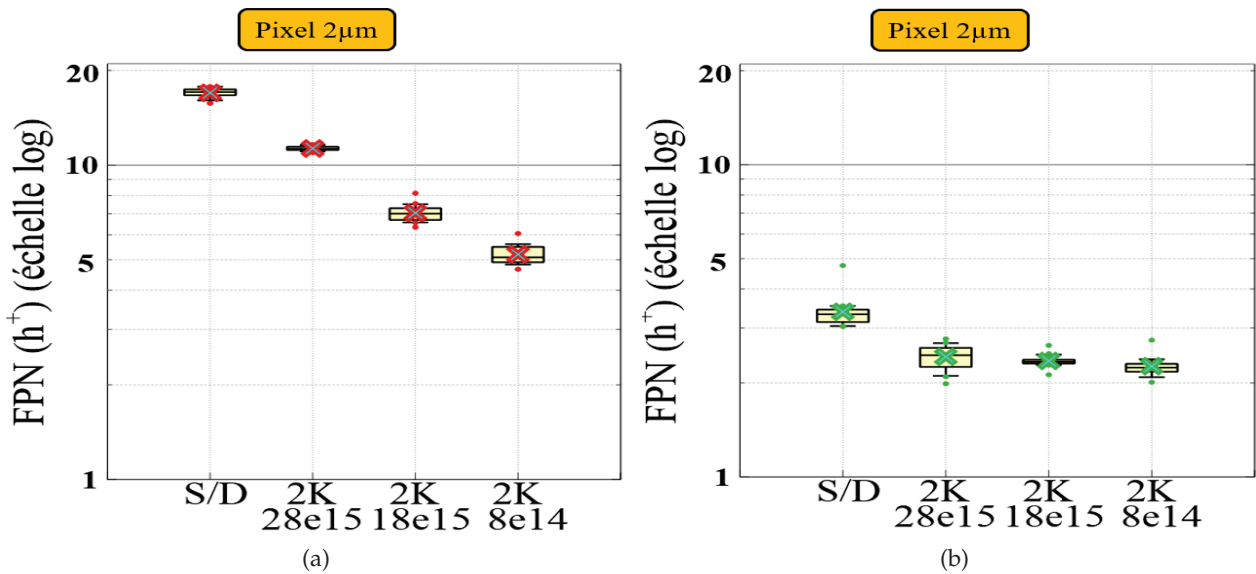


FIGURE 3.30 – Mesures du bruit fixe FPN pour les différentes implantations du noeud de lecture : (a) version STI et (b) version SNTI/STI

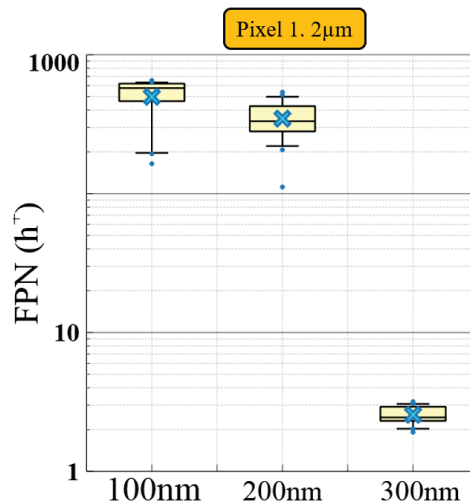


FIGURE 3.31 – Mesures du bruit fixe FPN de la version SNTI (pixel 1.2μm) pour différentes hauteurs de l'oxyde SNTI

Une fois l'implantation du noeud de lecture optimisée, on étudie par la suite l'effet des tensions de mise en oeuvre sur les bruits pixel pour les versions pixel 2μm.

Le bruit fixe FPN est mesuré pour la version STI et la version SNTI/STI pour une mise en oeuvre sous 3V5 et sous 2V5 (Figure 3.32). La réduction des tensions de mise en oeuvre permet de réduire la différence de potentiel entre la polarisation de la tranchée VEGA en intégration et la tension de réinitialisation du noeud de lecture soit un plus faible champ électrique. Cette réduction de la mise en oeuvre est la solution la plus efficace pour la réduction du bruit de plancher avec un bruit fixe FPN réduit à $1.5h^+$ à 2V5 (contre $5h^+$ à 3V5) pour la version STI qui lui assure d'être tout aussi performante en bruits que la version SNTI/STI.

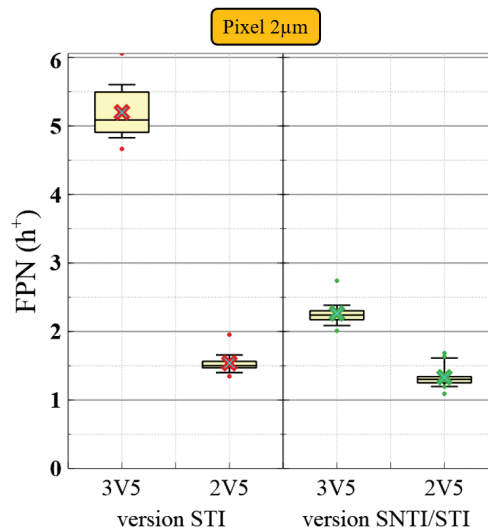


FIGURE 3.32 – Mesures du bruit fixe FPN pour différentes tensions de mise en oeuvre

En plus des choix technologiques et des tensions de mise en oeuvre, la durée des signaux de contrôle de la lecture du pixel peut aussi influencer les performances du pixel. La période de temps qui influe sur le bruit fixe du pixel est le temps d'ouverture TG de la grille verticale pour le transfert des charges.

Lors du transfert des charges, la tranchée est polarisée à 0V ; elle est en déplétion et l'interface n'est plus en inversion. Un signal parasite peut donc s'ajouter au signal utile qui correspond à des générations SRH de charges aux interfaces $Si - SiO_2$ de la tranchée ; c'est un courant d'obscurité pour le noeud de lecture. Ce courant d'obscurité parasite se répercute dans la mesure du bruit fixe FPN. Une étude de l'impact du temps d'ouverture est faite pour des temps de 100ns, 500ns, 1µs et 5µs (Figure 3.33). La mesure est présentée sous forme normalisée par rapport à la valeur moyenne du bruit obtenue pour une durée de 500ns. Ce courant d'obscurité reste négligeable par rapport au courant de fuite dû au champ électrique. Le bruit FPN n'est multiplié que par 1.5 lorsque la durée d'ouverture est multiplié par 10. Le temps d'ouverture de 500ns est choisi comme valeur par défaut. On note aussi une légère amélioration pour un temps d'ouverture à 100ns.

b) Non uniformité de la réponse photonique Le bruit de non uniformité de la réponse photonique (PRNU) exprime la différence dans la réponse entre les pixels de la matrice sous une illumination homogène sur tout le capteur. Cette variation peut venir par exemple de la quantité de charges lue qui peut être dispersée si l'efficacité quantique est différente entre les pixels (dépendante des microlentilles, des filtres colorées, des couches de diélectrique, ...) ou si le profil électrostatique est différent entre les pixels (dépendant des profondeurs de tranchée, du dopage du silicium actif, des implantations, ...). La dispersion de la réponse des pixels peut aussi venir de la conversion en tension des charges par exemple s'il y a une différence de CVF entre les pixels ou s'il y a de la rémanence dans le pixel. La PRNU est exprimée en pourcentage de déviation par rapport au signal moyen.

La mesure de PRNU est réalisée dans les mêmes conditions que la rémanence (Figure 3.34). La rémanence dû au problème de contact sur la tranchée VEGA pour la version STI crée une

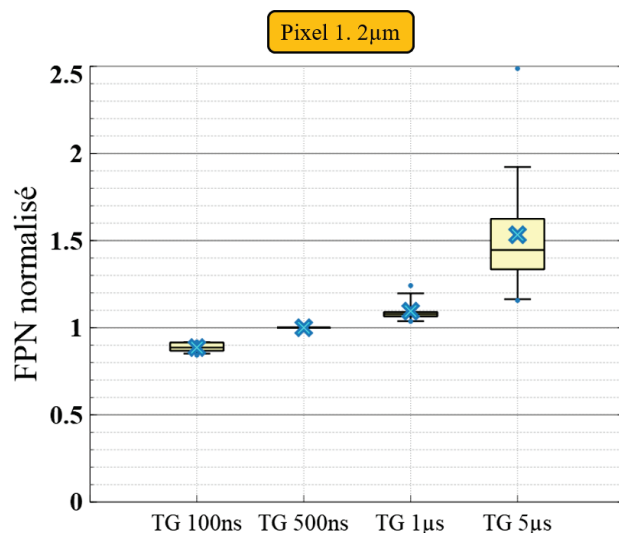


FIGURE 3.33 – Mesures du bruit FPN pour différentes durées d'ouverture TG

différence de réponse entre pixels et donc une dégradation de la valeur de PRNU ; les problèmes de rémanence apparaissent dans la mesure de PRNU. La version STI atteint des valeurs de PRNU variant entre 1% et 15% et qui diminue avec le temps d'ouverture TG tandis que la version SNTI/STI présente une PRNU dont la valeur plateau se situe à 0.5%.

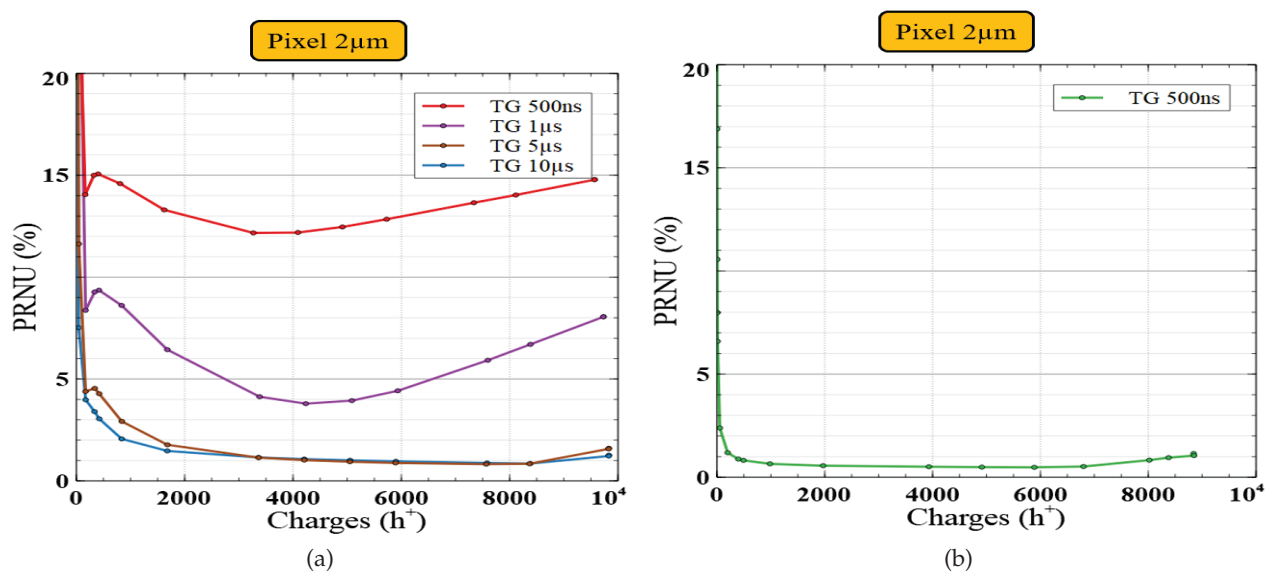


FIGURE 3.34 – Mesures de PRNU pour différentes durées d'ouverture TG avec implantation S/D pour le noeud de lecture : (a) version STI et (b) version SNTI/STI

Une fois le problème de contact résolu, la rémanence disparaît et la PRNU est réduite à sa valeur optimale. La PRNU de la version STI est remesurée avec l'implantation Bore 2keV $8.10^{14}cm^{-2}$ pour le noeud de lecture (Figure 3.35). Elle atteint cette fois un plancher à 0.5% quelque soit le temps d'ouverture TG du transfert.

On analyse aussi l'uniformité de la réponse photonique de la version SNTI (pixel 1.2µm, Figure 3.35) avec un temps d'ouverture TG de 500ns et la meilleure implantation du noeud de lecture. Sa

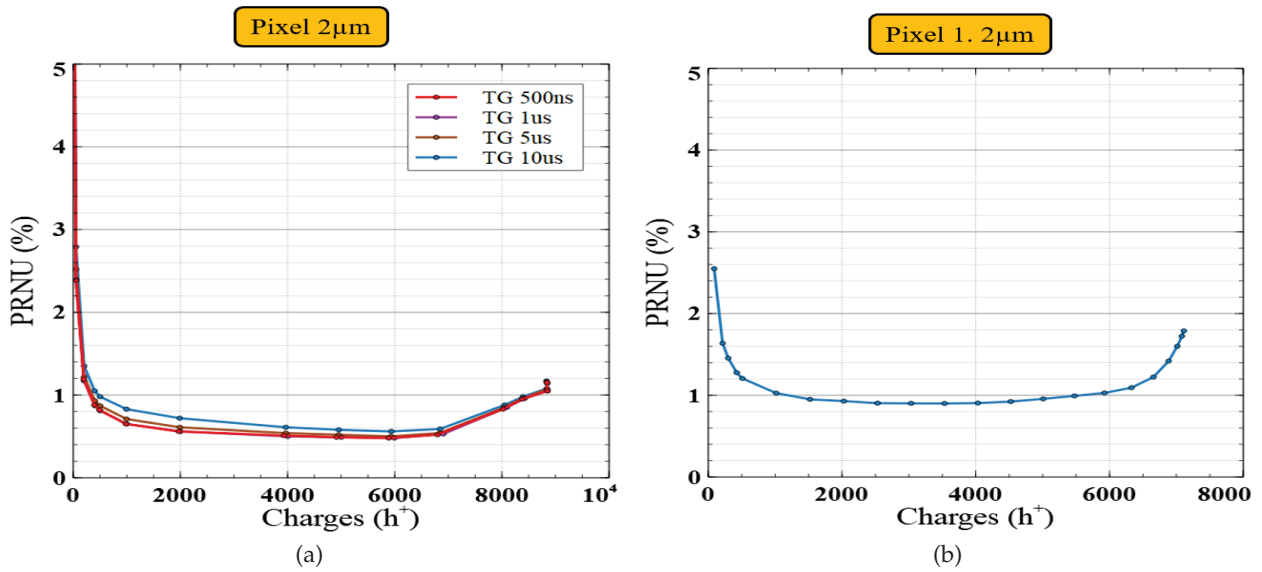


FIGURE 3.35 – Mesures de PRNU avec implantation Bore $2\text{keV } 8.10^{14}\text{cm}^{-2}$ pour le noeud de lecture : (a) version STI (pixel $2\mu\text{m}$) avec différentes durées d’ouverture TG et (b) version SNTI (pixel $1.2\mu\text{m}$) avec une durée d’ouverture TG de 500ns

valeur plateau atteint 0.9%. Elle est plus élevée que celle obtenue pour les versions de pixel $2\mu\text{m}$ (à 0.5%) : l’intégration du pixel $2\mu\text{m}$ semble plus robuste. En effet, l’intégration du pixel $1.2\mu\text{m}$ avec la fabrication des transistors pixel au-dessus des tranchées peut présenter plus de disparités entre les pixels : la largeur active des transistors dépend de la distance entre la tranchée VEGA et la tranchée CDTI. La variation de cette largeur, notamment celle du transistor suiveur, va moduler le signal de sortie. Cette distance peut varier avec les différences d’ouverture des tranchées en surface ainsi qu’avec l’alignement d’une tranchée par rapport à l’autre.

Une fois les paramètres technologiques optimisées, il faut aussi s’assurer que la mesure de la non uniformité de la réponse du signal (PRNU) ne soit pas dégradée avec la réduction des tensions de mise en oeuvre. On trace la PRNU en fonction de la quantité de charges intégrée pour la version STI polarisée sous 3V5 avec une tension de réinitialisation $V_{RST} = 0.5\text{V}$ puis sous 2V5 avec une tension de réinitialisation $V_{RST} = 0\text{V}$ (Figure 3.36). La PRNU sous 2V5 est plus forte que celle à 3V5 pour de faibles quantités de charges ; elle diminue avec la quantité de charges sans atteindre le palier de 0.5% obtenu sous 3V5. Cela s’explique par la réduction du gain pour les tensions d’entrée sur le noeud de lecture inférieures à 0.5V pour le circuit pixel avec transistor PMOS seul comme sélecteur de ligne, soit pour de faibles quantités de charges. Comme le gain n’est plus constant, la valeur de tension lue ne représente plus la quantité de charges attendue et crée une dispersion en tension entre les pixels. Lorsque la grille du transistor de sélecteur de ligne est polarisé $V_{RS,bas} = -1\text{V}$ afin de corriger le gain pixel, on retrouve alors une courbe de PRNU identique au capteur polarisé sous 3V5.

La courbe de PRNU peut ainsi être un moyen de détection des dégradations de la linéarité de la réponse des transistors pixel et montre l’importance de cette dernière sur le fonctionnement du capteur d’images.

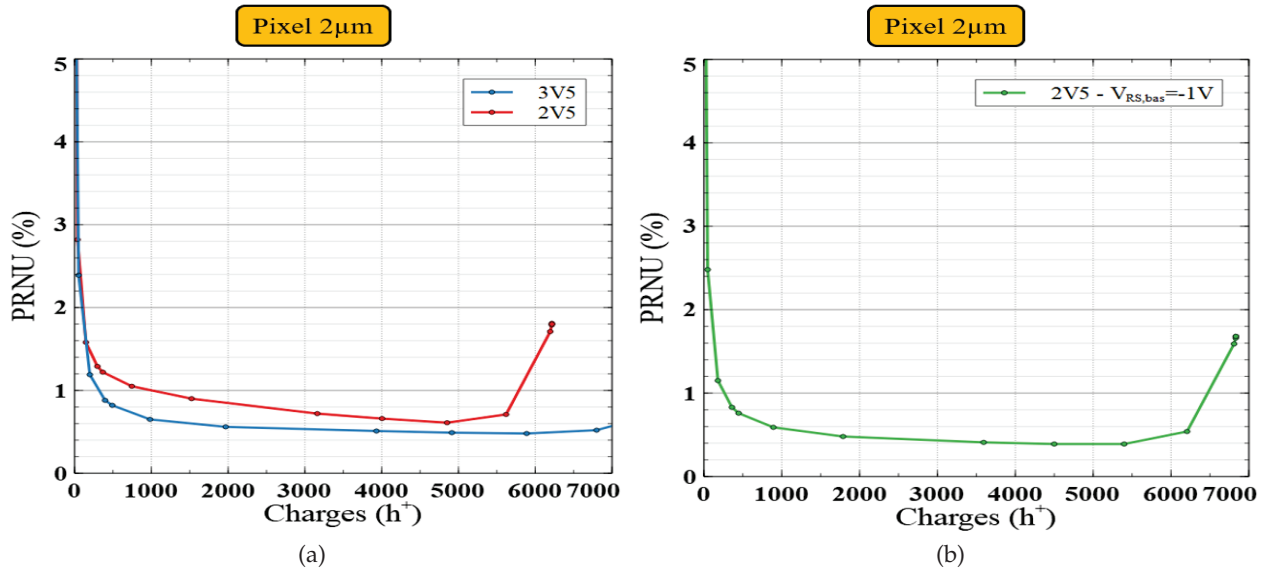


FIGURE 3.36 – Mesures de PRNU de la version STI pour différentes tensions de mise en oeuvre et de polarisation de la grille du sélecteur de ligne : (a) $V_{RS,bas} = 0V$ et (b) $V_{RS,bas} = -1V$

3.2.7.2 Bruit temporel

On peut représenter le bruit temporel du pixel ainsi :

$$\sigma_{TN} = \sqrt{\sigma_{ph}^2 + \sigma_{dark}^2 + \sigma_{readout}^2} \quad (3.9)$$

avec σ_{ph} et σ_{dark} le bruit photonique et le bruit du courant d'obscurité qui s'ajoutent au signal au niveau de la zone de collection et de stockage du pixel. $\sigma_{readout}$ représente alors tous les bruits qui peuvent s'ajouter lors de la lecture du signal, depuis le noeud de lecture jusqu'à la sortie du capteur d'images. On s'intéresse dans cette partie uniquement aux bruits lors de la lecture du signal. Pour ce faire, on effectue des acquisitions dans l'obscurité et pour un faible temps d'intégration (par défaut 400µs) afin que les composantes photonique et du courant d'obscurité de la zone de collection soient négligeable. On peut alors décomposer le bruit de lecture $\sigma_{readout}$ en trois grandes contributions :

$$\sigma_{readout} = \sqrt{\sigma_{SN}^2 + \sigma_{SF}^2 + \sigma_{ARD}^2} \quad (3.10)$$

1. $\sigma_{SN} = \sqrt{\sigma_{kTC}^2 + \sigma_{dark,SN}^2 + \sigma_{RTS,SN}^2}$ correspond aux bruits temporels qui s'ajoutent au niveau du noeud de lecture. Cela regroupe le bruit thermique σ_{kTC} lors de la réinitialisation du noeud de lecture, diverses sources de courants de fuite $\sigma_{dark,SN}$ qui se stockent sur le noeud de lecture ainsi que des courant télégraphiques $\sigma_{RTS,SN}$ provenant des interfaces silicim-oxyde qui entourent le noeud de lecture
2. $\sigma_{SF} = \sqrt{\sigma_{th,SF}^2 + \sigma_{flicker,SF}^2 + \sigma_{RTS,SF}^2}$ correspond aux bruits temporels du transistor suiveur de l'étage d'amplification du pixel (bruit thermique, bruit 1/f, bruit RTS)
3. $\sigma_{ARD} = \sqrt{\sigma_{th,ARD}^2 + \sigma_{flicker,ARD}^2 + \sigma_{RTS,ARD}^2 + \sigma_{ADC}^2}$ correspond à tous les bruits de la chaîne de lecture depuis la colonne jusqu'à la sortie numérique du capteur d'images

Lors de la lecture, la technique du CDS est utilisée ; le bruit σ_{kTC} de réinitialisation du noeud de lecture est donc supprimé des composantes temporelles. Pour pouvoir extraire le bruit temporel de chaque contribution, des chronogrammes spécifiques sont utilisés pour annuler telle ou telle contribution. En utilisant le chronogramme classique (Figure 2.31), le bruit extrait contient toutes les contributions, soit le bruit total de lecture $\sigma_{readout}$. Une mesure similaire sans ouverture de la grille TG (chronogramme Figure 3.37) permet de ne pas prendre en compte les bruits du noeud de lecture, soit un bruit résultant σ_{ARD+SF} . Une dernière mesure sans ouverture de grille TG et en synchronisant les deux CDS (chronogramme Figure 3.38) permet de n'extraire que le bruit de la chaîne de lecture σ_{ARD} .

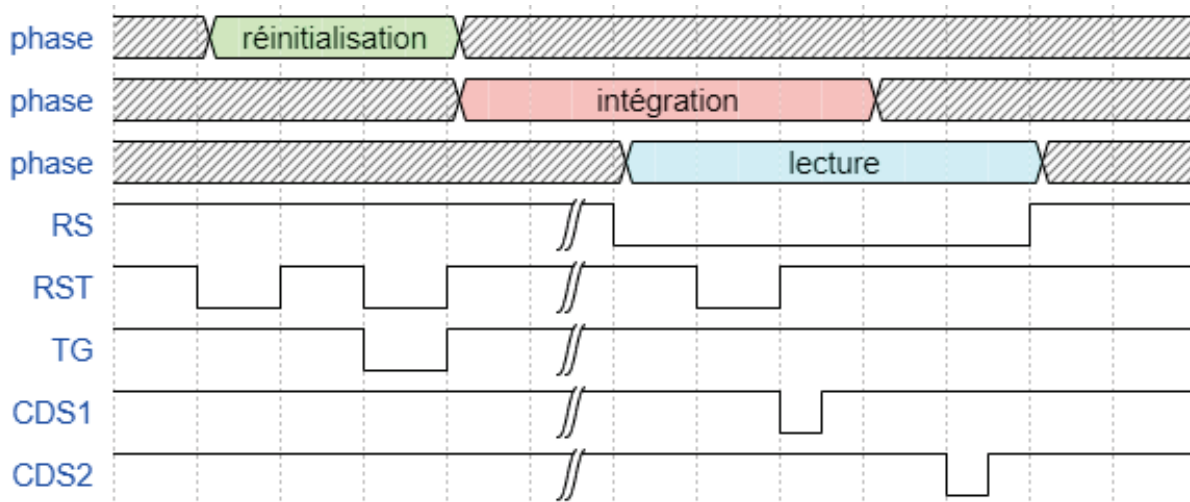


FIGURE 3.37 – Chronogramme pmos sans ouverture TG

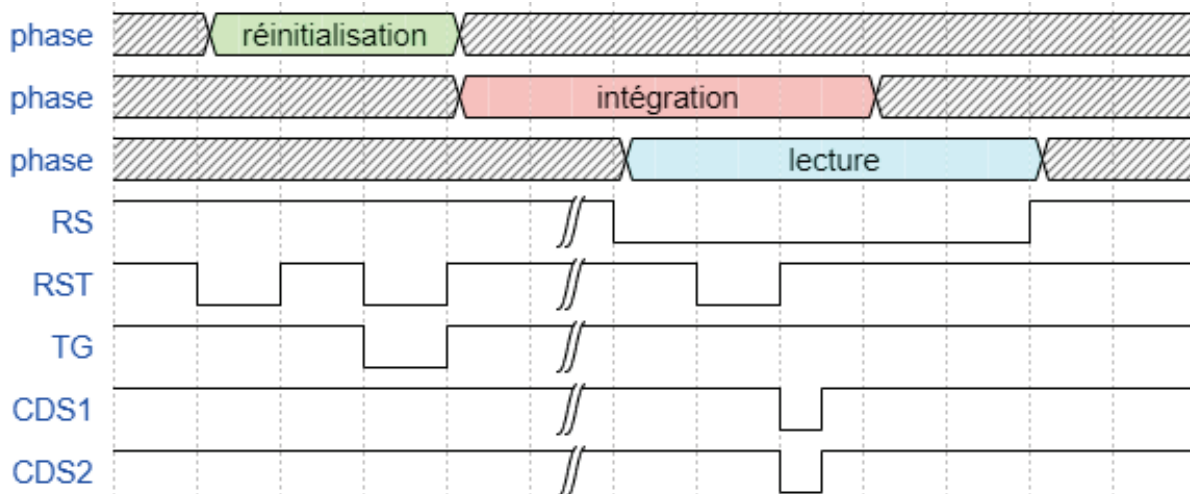


FIGURE 3.38 – Chronogramme pmos avec synchronisation CDS

Les bruits du noeud de lecture et du transistor suiveur sont ensuite calculés tels que :

$$\sigma_{SN} = \sqrt{\sigma_{readout}^2 - \sigma_{ARD+SF}^2} \quad (3.11)$$

$$\sigma_{SF} = \sqrt{\sigma_{ARD+SF}^2 - \sigma_{ARD}^2} \quad (3.12)$$

La durée des signaux de ces chronogrammes est fixée par défaut à 500ns pour la durée d'ouverture de la grille de transfert TG et à 4 μ s pour la durée d'ouverture des CDS1 et CDS2. De plus, les temps de délai entre la commutation des signaux sont aussi de 500ns.

Le bruit temporel de la version STI est mesuré pour les différentes valeurs d'implantation du noeud de lecture, Figure 3.39. Il n'y a évidemment pas de variation du bruit de la chaîne de lecture σ_{ARD} avec le profil du noeud de lecture. C'est ici le bruit du noeud de lecture σ_{SN} qui est réduit de 130 μ V à 90 μ V avec l'implantation du noeud de lecture. Tout comme le résultat mesuré pour le bruit fixe du pixel, la diminution du profil du noeud de lecture permet de réduire les champs électriques qui l'entoure et donc la génération de courants de fuite.

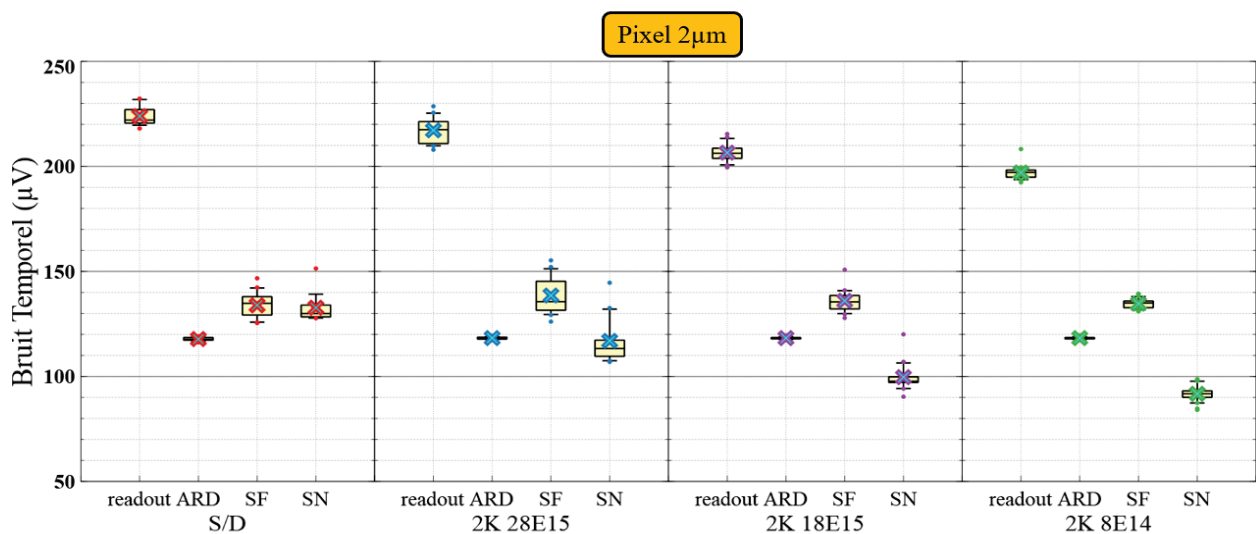


FIGURE 3.39 – Mesures du bruit temporel de la version STI pour les différentes implantations du noeud de lecture

Les contributions du bruit temporel sont aussi analysées pour différentes tensions de mise en oeuvre (Figure 3.40). Il y a de même une réduction importante du bruit du noeud de lecture σ_{SN} avec la forte dépendance entre champ électrique et tension de fonctionnement. Sous 2V5, le bruit σ_{SN} est divisé par plus de deux et devient alors négligeable.

Pour bien percevoir l'effet du champ électrique au niveau du noeud de lecture sur le bruit temporel, on représente le bruit de lecture $\sigma_{readout}$ sous forme d'histogramme (Figure 3.41) pour la version STI pour une mise en oeuvre sous 3V5, 2V5 ou 1V8. Sur l'histogramme la population principale représentée par une fonction gaussienne correspond aux bruits thermiques des transistors. La queue de distribution correspond à la fois aux bruits du transistor suiveur (piégeage/dépiégeage, RTS, 1/f) et aux bruits du noeud de lecture (courant de fuite, RTS). Dans notre cas, la réduction des tensions de mise en oeuvre permet la réduction principalement des courants de fuite du noeud de lecture; on voit que le centre de la gaussienne reste identique, seule la queue de distribution diminue avec la mise en oeuvre. Cet effet peut aussi être visualisé sous une mise en oeuvre fixe et en modulant le champ électrique au niveau du noeud de lecture en ne changeant que la tension de réinitialisation V_{RST} . L'histogramme du bruit temporel est tracé pour une mise en oeuvre sous 3V5 et une tension de réinitialisation de 0V, 0.5V ou 1V. La queue de distribution augmente en réduisant V_{RST} car la différence de potentiel et ainsi le champ électrique augmente de même.

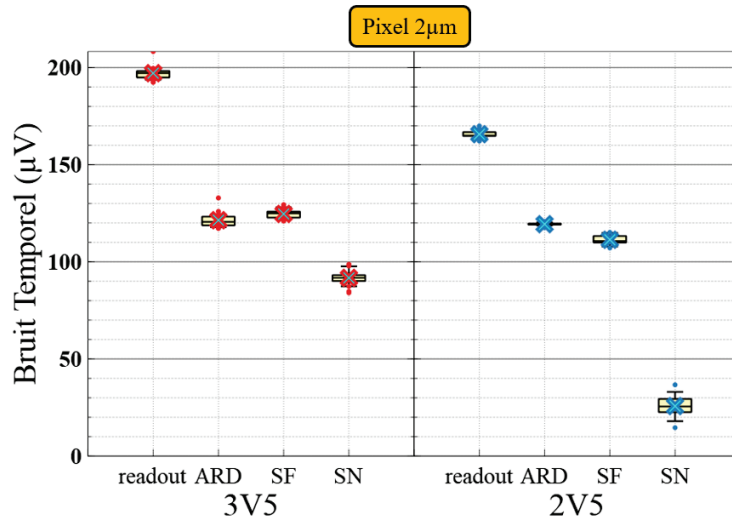


FIGURE 3.40 – Mesures du bruit temporel pour différentes tensions de mise en oeuvre : version STI

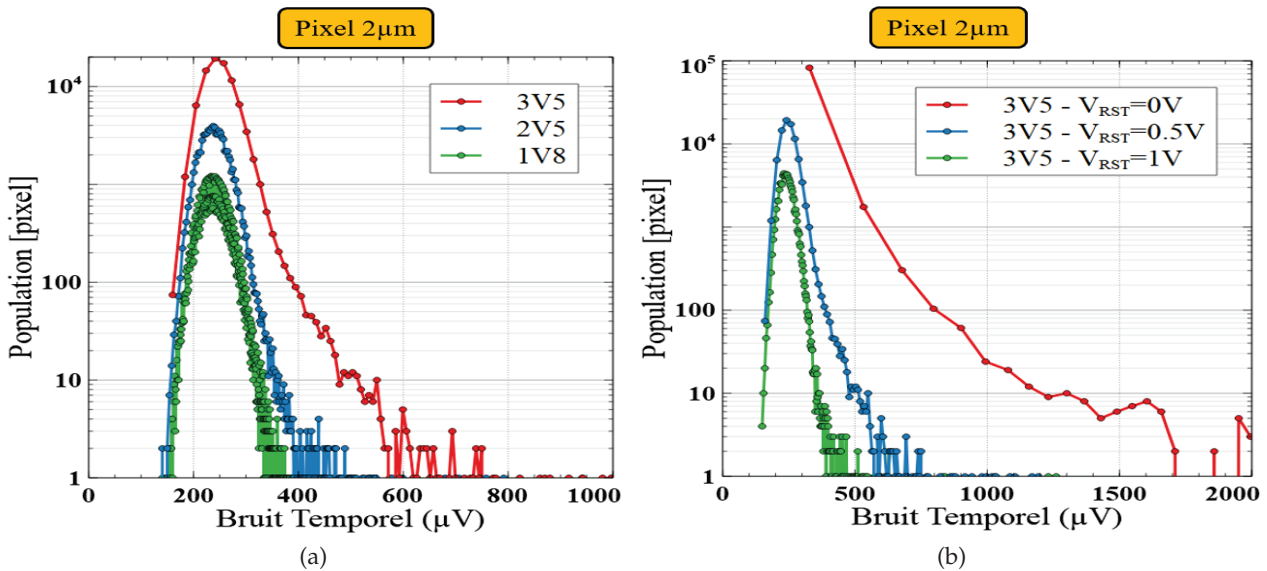


FIGURE 3.41 – Histogramme du bruit temporel de la version STI : (a) pour différentes tensions de mise en oeuvre et (b) et pour différentes tensions de réinitialisation du noeud de lecture

On en conclut que l’optimisation du profil du noeud de lecture ainsi que la réduction des tensions de mise en oeuvre sont bénéfiques pour la réduction des bruits temporels.

La durée d’ouverture des CDS pour la charge des capacités de bout de colonne peut aussi impacter la variation des bruits temporels. Pour la durée d’ouverture des CDS, un compromis doit être fait pour le choix de la durée optimale. Le bruit temporel est mesuré pour des valeurs de CDS de $1\mu s$, $2\mu s$ et $4\mu s$ (Figure 3.42). Le bruit temporel du transistor suiveur σ_{SF} dépend de la durée d’échantillonnage du CDS. Son bruit moyen diminue de $200\mu V$ à $150\mu V$ lors de la réduction de la durée CDS de $4\mu s$ à $2\mu s$. Cela s’explique car il y a moins de probabilité qu’un phénomène de piégeage/dépiégeage se produise sur une durée d’échantillonnage plus faible ; les bruits RTS et $1/f$ du transistor suiveur sont diminués. En revanche, ce bruit ré-augmente à $160\mu V$ pour une durée

CDS de $1\mu\text{s}$. Ici, c'est le temps de charge des capacités CDS qui limite la sortie et crée du bruit. Cela s'explique car la capacité que l'on charge lors du CDS qui est en série avec la résistance du canal du transistor suiveur crée un filtre passe-bas qui limite le temps de charge. Le temps d'échantillonnage CDS de $2\mu\text{s}$ permet ainsi de réduire les bruits du transistor suiveur et d'assurer suffisamment de temps au signal de se stabiliser sur les capacités des CDS. Pour les bruits du noeud de lecture σ_{SN} ils diminuent avec la réduction de la durée des CDS; les phénomènes de courant de fuite ou de RTS ont moins de probabilité dans un temps plus court.

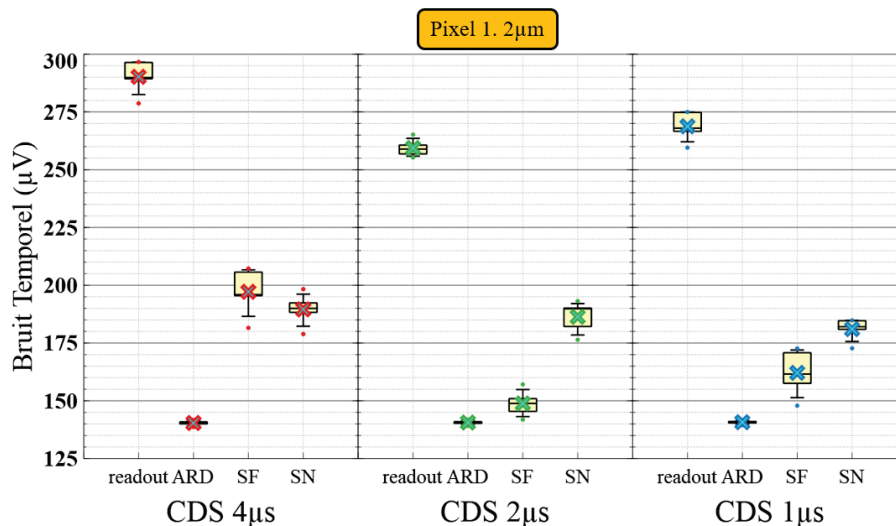


FIGURE 3.42 – Mesures du bruit temporel pour diverses durées d'échantillonnage CDS

Pour optimiser les performances du pixel et réduire les bruits de plancher, le choix technologique est d'utiliser l'implantation Bore $2\text{keV } 8.10^{14}\text{cm}^{-2}$ pour le noeud de lecture. La meilleure mise en oeuvre consiste à réduire les tensions de polarisation (mode 2V5 ou inférieure) et d'utiliser un temps d'ouverture TG de 500ns et un temps d'ouverture CDS de $2\mu\text{s}$.

3.3 Performances du pixel

Au cours de cette thèse nous avons optimisé le pixel photo-gate p-type. Les performances du pixel sont regroupées en Table 3.7. Par rapport au point de départ du pixel photo-gate p-type de $2\mu\text{m}$, la version STI a vu son bruit fixe divisé par trois (de $15h^+$ à $5h^+$) grâce à la réduction du profil de dopage du noeud de lecture et le problème de contact sur la tranchée VEGA a été résolu. Les bruits de la version SNTI ont pu aussi légèrement diminués avec cette optimisation technologique. Le fonctionnement de ces deux versions ont été validé sous 2V5 tout en maintenant la quantité de charges à saturation du pixel à $8000h^+$ sans créer de rémanence et sans dégrader la PRNU du capteur, maintenu à 0.5%. De plus, la réduction des tensions de fonctionnement ont permis encore de réduire les bruits du pixel, diminuant le bruit fixe du pixel de l'ordre du h^+ pour la version STI et la version SNTI/STI. Ces performances ont pour conséquence que la version STI devienne plus performante que la version SNTI/STI dont le courant d'obscurité reste par ailleurs élevé à cause d'une mauvaise passivation par implantation entre les tranchées STI et la tranchée VEGA rempli d'oxyde SNTI. La version SNTI/no STI a permis de valider le fonctionnement de la photo-gate

p-type sous 1V8 avec une quantité de charges à saturation à $7000h^+$ et sans rémanence, ceci grâce à l'optimisation de l'épaisseur et du dopage du silicium actif ainsi que de la valeur de son CVF. La limitation du sélecteur de ligne n'a pas été résolu avec la grille de transmission qui n'a pas pu être validé; il nécessite pour le moment de continuer à utiliser une tension négative sur sa grille pour assurer un bon fonctionnement du pixel.

Nous avons aussi réalisé un pixel photo-gate de taille de $1.2\mu\text{m}$ dont le fonctionnement a été validé sous 3V5. Notre pixel photo-gate de $1.2\mu\text{m}$ présente de bonnes performances face à d'autres capteurs similaires fabriqués par la compétition, telle que le pixel $1.12\mu\text{m}$ incorporant une photodiode verticale avec tranchées DTI et grille de transfert verticale de Samsung [63]. Les deux pixels présentent des quantités de charges ainsi que des bruits temporels similaires. Notre pixel présente un meilleur courant d'obscurité que la compétition avec une valeur de $2h^+/s$ face à $6h^+/s$, soit la meilleure performance en courant d'obscurité du pixel. Notre pixel présente encore une faiblesse au niveau de son bruit fixe ($2.5h^+$ contre $1h^+$) cependant ce paramètre présente encore une marge d'amélioration avec l'optimisation des tensions de fonctionnement.

Paramètres							
Version de pixel	photo-gate p-type STI		photo-gate p-type SNTI/STI		photo-gate p-type SNTI/no STI	photo-gate p-type SNTI	Samsung [63] Front DTI
Taille pixel (μm)	2		2		2	1.2	1.12
Tensions de mise en oeuvre	[0, 3.5V]	[-1, 2.5V]	[0, 3.5V]	[-1, 2.5V]	[0, 1.8V]	[0, 3.5V]	NA
Mesures							
CVF ($\mu\text{V}/h^+$)	75	75	100	100	60	135	NA
Charges à saturation (h^+)	8000	8000	8000	8000	7000	7000	6200
Rémanence	$< 1h^+$	$< 1h^+$	$< 1h^+$	$< 1h^+$	$< 1h^+$	$< 1h^+$	NA
PRNU à $2000h^+$ (%)	0.5	0.5	0.5	0.5	0.5	0.9	NA
Courant d'obscurité moyen (h^+/s)	8	8	38	38	3	2	6
Bruit temporel (μV)	200	165	200	165	180	245	NA
Bruit temporel (h^+)	2.7	2.2	2	1.65	3	1.8	1.7
FPN (h^+)	5	1.5	2.1	1.25	1.2	2.5	1.0
QE à 550nm (%)	75	75	75	75	75	75	NA

TABLE 3.7 – Récapitulatif des performances des versions de pixel

3.4 Conclusion

Nous avons réalisé et fabriqué différentes versions de pixel et évalué leurs performances électro-optiques.

Le pixel $2\mu\text{m}$ a été réalisé avec des optimisations géométriques, technologiques et électriques sur les niveaux de dopage et implantations du pixel ainsi que sur les transistors pixel. Les mesures

ont permis de valider le fonctionnement du pixel de $2\mu\text{m}$ à plus basse tension et une meilleure dynamique du pixel avec une quantité de charges à saturation conservée et des bruits pixel réduits.

Le pixel $1.2\mu\text{m}$ a été réalisé avec une intégration innovante en fabriquant des transistors directement au-dessus des tranchées pixel. Les mesures ont validé son fonctionnement avec des performances similaires au pixel $2\mu\text{m}$.

Conclusion générale

Au cours de ce travail de thèse, nous avons continué le développement et l'optimisation de la technologie photo-gate à collection de trous suivant des objectifs de réduction de tensions de mise en oeuvre et de réduction de taille du pixel tout en optimisant les performances du capteur. Le pixel de ce capteur d'images est constitué d'une photo-gate contrôlée électrostatiquement par des tranchées profondes capacitives, d'une grille de transfert verticale, d'une chaîne de lecture de transistors PMOS et d'un empilement de diélectriques en face arrière oxyde-nitruure-oxyde.

L'étude des profils électrostatiques et de la quantité de charges à saturation du pixel au travers de simulations TCAD et de mesures électro-optiques a montré que la charge à saturation dépend à la fois de la capacité de stockage de la photo-gate, de la plage de fonctionnement des transistors ainsi que de la capacité du noeud de lecture. L'avantage de la photo-gate est que sa capacité ne dépend pas de la taille du pixel, elle est ajustable avec le dopage de l'épitaxie silicium et de la profondeur du pixel. Quant à la capacité du noeud de lecture, elle peut être ajustable pour permettre soit de lire plus de charges à saturation pour une dynamique en tension donnée soit de lire la même quantité de charges après réduction des tensions de mise en oeuvre.

Nous avons validé la fabrication d'un pixel $2\mu\text{m}$ de $7000h^+$ de substrat dopé à 4.10^{15}cm^{-3} et d'épaisseur totale de $3\mu\text{m}$ pour un fonctionnement sous 2V5 et un même pixel de substrat dopé à 3.10^{15}cm^{-3} et d'épaisseur totale de $5\mu\text{m}$ pour un fonctionnement sous 1V8, pour chaque cas sans rémanence.

De même un pixel $1.2\mu\text{m}$ de $7000h^+$ du substrat dopé à 1.10^{16}cm^{-3} et d'épaisseur totale de $4.5\mu\text{m}$ a été fabriqué pour un fonctionnement sous 3V5. Il incorpore des transistors fabriqués au-dessus des tranchées pixel ainsi qu'un contact supplémentaire traversant l'oxyde SNTI pour la connexion des tranchées pixel. Cet oxyde a été fabriqué sur une hauteur de tranchée de 300nm pour assurer une bonne isolation des transistors.

L'efficacité quantique du pixel apparaît indépendante de la taille du pixel. Il dépend en revanche de l'épaisseur active de silicium et des épaisseurs des couches de diélectriques en face arrière avec un maximum de QE d'environ 70-75% entre 550nm et 600nm, décalé avec l'épaisseur du dernier oxyde.

Les bruits de plancher de ce pixel ont été étudié en fonction des choix technologiques et des tensions de fonctionnement. Les sources de bruit principales proviennent des générations de charges au niveau du noeud de lecture et dû à l'interaction entre ce dernier et la grille de transfert verticale. Le travail sur le profil de dopage du noeud de lecture a permis de réduire le bruit fixe du

pixel photo-gate p-type et de résoudre le problème de contact sur la tranchée VEGA. De plus, nous avons montré que la réduction des tensions de mise en oeuvre était bénéfique pour la réduction du bruit fixe FPN aussi faible pour les versions avec et sans oxyde SNTI de l'ordre d' $1-2h^+$.

L'analyse du courant d'obscurité a montré qu'il y a peu de générations de charges aux interfaces oxyde SNTI avec le pixel $1.2\mu\text{m}$ ayant le plus faible courant d'obscurité à $2h^+/s$. La version SNTI/STI présente une forte génération due à une mauvaise passivation par implantation. Ainsi, la version STI devient plus performante que la version SNTI avec un plus faible courant d'obscurité et un bruit fixe équivalent.

La passivation des interfaces du pixel a été étudiée au travers des mesures de courant d'obscurité du pixel et de mesures des charges fixes et des défauts aux interfaces des diélectriques via la technique COCOS. L'analyse des différentes versions du pixel a révélé peu de générations aux interfaces des oxydes SNTI et une forte génération aux interfaces communes des oxydes SNTI et STI, qui dans ce cas se retrouvent mal passivées par implantation. La qualité de passivation des interfaces des tranchées capacitatives a été étudiée en fonction de la nature du matériau. Le CDTI rempli de polysilicium conserve une bonne passivation jusqu'à 300mV de différence de tension avec le caisson. Le CDTI rempli de nitrure présente une mauvaise passivation avec une quantité de charges positives dans le nitrure insuffisante pour inverser les tranchées. L'étude des diélectriques en face arrière quant à eux a montré que la qualité de l'oxyde d'interface jouait un rôle majeur sur le courant d'obscurité du pixel et qu'un nitrure chargé positivement avec une charge surfacique équivalente de 5.10^{11}cm^{-2} .

L'étude de l'impact des transistors sur le fonctionnement du pixel au travers des simulations Spice et des mesures sur transistors élémentaires et sur matrices de pixel a permis de valider des choix faits. L'utilisation d'un transistor à canal enterré a été proposée comme transistor de réinitialisation pour polariser le noeud de lecture à 0V sans tension négative sur sa grille. L'utilisation aussi d'un transistor suiveur avec une tension de seuil proche de 0 et strictement négative permet de réduire la tension de décalage du transistor sans dégrader son gain sur la plage de fonctionnement. Une limitation du transistor sélecteur de ligne a été identifiée pour de faibles tensions d'entrée ainsi que le besoin d'appliquer une tension négative sur sa grille afin d'avoir son canal suffisamment passant lors de la lecture. L'utilisation d'une grille de transmission avec PMOS et NMOS en parallèle a été proposée comme circuit de sélection de ligne mais n'a pas pu être validé au travers des mesures matricielles dû à des problèmes de fuites de caisson qui doivent provenir de l'intégration du transistor NMOS dans un environnement PMOS.

Nous avons réalisé des travaux complémentaires sur le pixel présentées en Annexes. Des travaux de simulation ont été faites sur la grille de transfert du pixel pour proposer une solution au problème de chevauchement des excursions de tension de stockage des charges dans la zone de collection et le noeud de lecture. Des études avec caractérisations électro-optiques ont été réalisées sur la photo-gate pour évaluer la diffusion des implantations au sein du silicium actif et des tranchées dans le pixel et son impact sur la performance du pixel. La technologie photo-gate de type p a été mesurée après irradiations gamma pour évaluer de sa robustesse sous des

environnements ionisants, en considérant que des technologiques imageurs de type p ont montré une meilleure résistance aux irradiations que les imageurs de type n.

En perspectives, on pourrait fabriquer le pixel suivant une intégration 3D séquentielle pour placer les transistors pixel dans un second étage. Cela permettrait d'isoler les transistors entre eux et de l'environnement pixel sans sacrifier un pixel. On pourrait alors valider la grille de transmission comme sélecteur de ligne et connecter le caisson du transistors suiveur à sa source pour éliminer l'effet substrat de la tension de décalage du transistor et obtenir un gain idéal unitaire de l'étage d'amplification.

Pour continuer à réduire la taille du pixel photo-gate, on propose de réduire la largeur de la tranchée VEGA, de la décentrer du pixel et/ou de modifier sa géométrie car elle occupe une surface importante et limite la réduction de la taille du pixel. Elle est à aujourd'hui de forme rectangulaire pour un transfert en volume et au centre du pixel. On pourra la réduire à une simple tranchée verticale pour un transfert en surface et la décentrer afin de réduire son encombrement au sein du pixel.

Annexe A

Technique de mesure du potentiel de déplétion du pixel

La photo-gate pincée est caractérisée par la charge maximale qu'elle peut stocker à saturation qui dépend de la plage de tension ΔV_{Si} et du volume de stockage de la zone active. La capacité de stockage peut être déterminée indirectement via une mesure de potentiel de déplétion V_{dep} qui correspond au minimum de potentiel de la photo-gate à vide. Bien que la valeur de V_{dep} soit déterminée pour un jeu de tension V_{CDTI}/V_N donné, ΔV_{Si} reste constant et ne dépend que du dopage et des dimensions de la photo-gate.

Une mesure indirecte du potentiel de déplétion est effectuée pour caractériser la photo-gate par une mesure de capacité du noeud de lecture. La mesure consiste à polariser le pixel pour rester en inversion ($V_{CDTI} - V_N = 500mV$) puis faire varier un signal haut DC+AC sur V_N entre 0 et 2.5V dans notre cas et mesurer le signal AC de sortie sur le noeud de lecture, de tension DC bas fixé à 0V et y extraire la capacité du noeud de lecture. Cela équivaut à polariser le pixel en inversion avec $V_N=2.5V$ et $V_{CDTI}=3V$ et balayer la tension du noeud de lecture. Cette mesure est faite sur des matrices de pixel en barrettes de test avec 3000 pixels connectés en parallèle (les bornes respectives des tranchées CDTI et VEGA et du noeud de lecture étant mises en commun pour tous les pixels) pour pouvoir détecter une valeur de capacité suffisante. Au cours de la mesure, la hauteur du potentiel de déplétion V_{dep} se déplace avec le couplet V_{CDTI}/V_N et modifie la valeur de la capacité vue depuis le noeud de lecture. Lorsque $V_{dep} > V_{SN}$, il n'y a pas d'injection de charge possible dans la photo-gate; la contribution du C_{SN} se résume aux interconnexions métalliques C_m , qui est constante. Lorsque $V_{dep} < V_{SN}$, il y a une injection de charge dans la photo-gate; la capacité de déplétion de la photo-gate $C_{dep}(PPG)$ s'ajoute à C_{SN} , et varie linéairement avec le niveau de remplissage. Un changement de référence de tensions entre le noeud de lecture et le caisson permet ensuite de tracer une courbe de $C_{SN} = f(V_{SN})$. Le potentiel V_{dep} est extrait à l'intersection entre la partie constante et la partie linéaire de la courbe.

La mesure $C_{SN} = f(V_{SN})$ est faite pour le pixel $2\mu m$ pour les dopages de $3.10^{15}cm^{-3}$ et $4.10^{15}cm^{-3}$ et les courbes sont reportées en Figure A.1. Il faut en réalité ajouter la contribution de la grille de transfert verticale dans la mesure de la capacité du noeud de lecture. Le minimum de potentiel au sein de la grille de transfert correspond à la hauteur de barrière V_B . La tension sur la tranchée VEGA est balayée de sorte que l'écart entre V_B et V_N reste constant lors du déplacement

de la tension haute sur V_N . Plusieurs écarts sont choisis afin d'analyser le comportement pour différentes hauteurs de V_B . Elles correspondent à des valeurs entre -0.5V et 1.75V avec un pas de 250mV.

Lorsque le signal haut sur V_N est balayée avec la condition $V_B < V_{dep}$, les charges vont se stocker sur trois zones : d'abord sur la photo-gate, puis sur les capacités de la grille de transfert $C_{dep}(TG) + C_{ox}(TG)$ connectées en série puis seulement sur la capacité de déplétion de la grille de transfert $C_{dep}(TG)$. Cela correspond à trois changements de pente dans la courbe du C_{SN} . Chaque zone est représentée sur le graphe en Figure A.1a avec la contribution de la capacité correspondante.

Dans le cas où $V_B > V_{dep}$, les charges vont directement se stocker sur la somme des trois capacités précédentes, (noté C_{total} Figure A.1b), puis subir une forte diminution de la capacité une fois V_B atteint.

Dans les deux cas, lorsque $V_{SN} < V_B$, la capacité C_{SN} se résume à C_m .

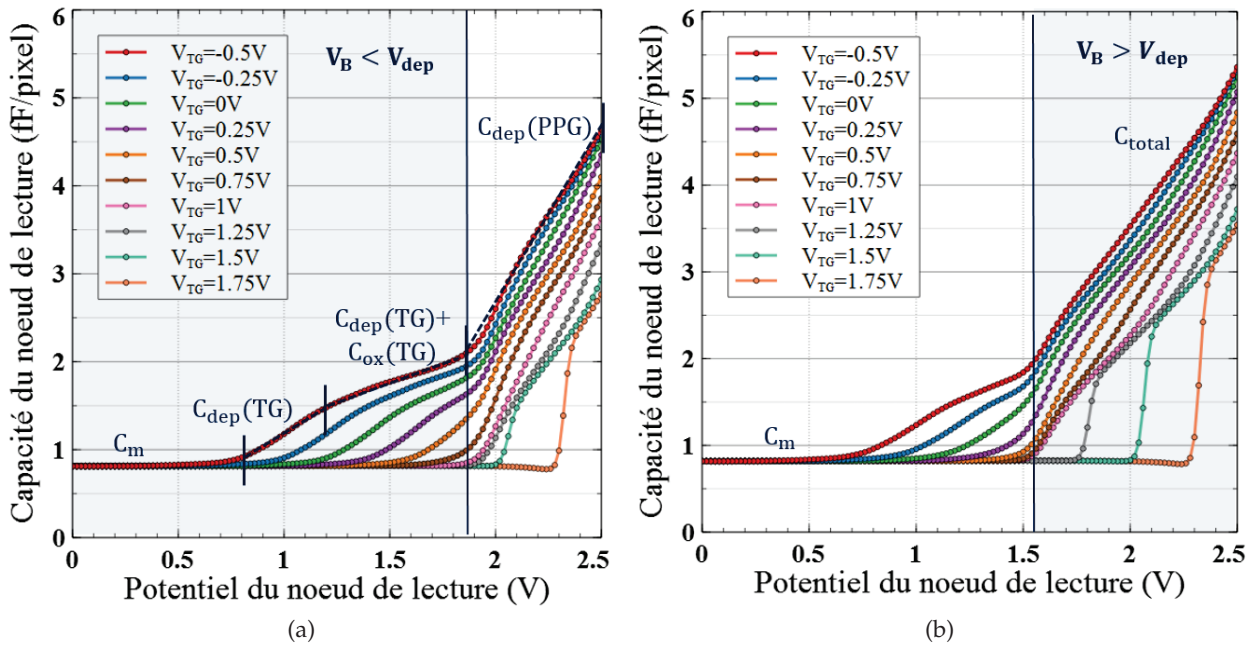
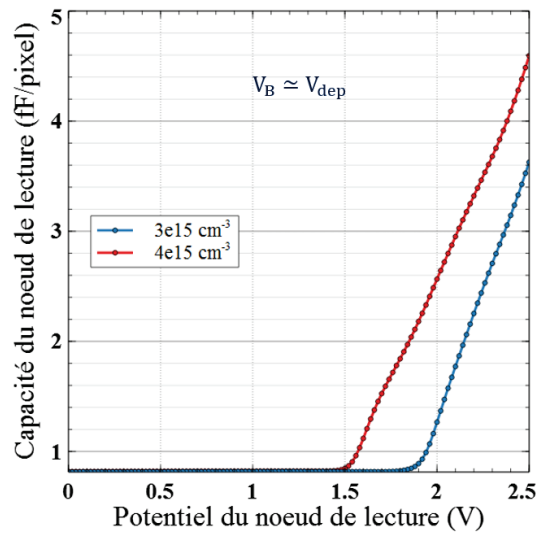


FIGURE A.1 – Mesure de capacité du noeud de lecture en fonction du dopage silicium et de la tension V_{TG} pour le pixel $2\mu\text{m}$: (a) graphe avec dopage à 3.10^{15}cm^{-3} et (b) à 4.10^{15}cm^{-3}

Les courbes précédentes sont analysées pour ne garder que les cas où $V_B \approx V_{dep}$ et extraire les valeurs de V_{dep} correspondantes (Figure A.2). On obtient respectivement 1.9V et 1.56V pour les dopages silicium de $3e15\text{cm}^{-3}$ et $4e15\text{cm}^{-3}$ tandis que les valeurs extraites en simulation sont respectivement de 1.85V et 1.5V. La simulation permet donc une bonne approximation des potentiels internes au pixel.

FIGURE A.2 – Mesure du potentiel de déplétion du pixel $2\mu\text{m}$ en fonction du dopage silicium

Annexe B

Grille de transfert à double V_t

L'étude des excursions en tension dans le pixel a montré que la plage de la photo-gate ΔV_{FW} et celle du noeud de lecture ΔV_{SN} ne peuvent pas se chevaucher au risque de créer de la rémanence dans le pixel. Ainsi les choix faits ont consisté à diviser en deux la plage de tension de travail et à la répartir entre la photo-gate et le noeud de lecture en fonction des besoins de chacun. Un autre axe de travail est abordé ici d'un point de vue théorique. Il permet de se défaire de la contrainte précédente par l'utilisation d'une grille de transfert verticale à double V_t . Cette proposition permet d'augmenter la capacité de stockage et donc de stocker plus de charges sans modifier l'excursion sur le noeud de lecture lors du transfert des charges.

Récapitulons d'abord le principe de la grille de transfert à simple V_t (schéma de principe Figure B.1) pour les trois modes de fonctionnement du pixel suivant :

- le mode d'intégration, où les charges sont stockées dans la photo-gate sur la capacité de déplétion C_{PPG}
- le mode de transfert où l'on ouvre le canal de la TG pour transférer les charges sur le noeud de lecture
- le mode de lecture après re-fermeture du canal de la TG où les charges sont stockées sur la capacité C_{SN}

Au cours de ces trois étapes, la condition $C_{PPG} \cdot \Delta V_{FW} = C_{SN} \cdot \Delta V_{SN}$ (où ΔV_{SN} est compris entre V_{SN} et $V_{dep} - 10kT/q$) doit être respectée pour qu'il n'y ait pas de retour de charges vers la photo-gate. Pendant le transfert, les charges peuvent se stocker au-dessus de la barrière tant que le potentiel atteint par les charges ne dépasse pas $V_{dep} - 10kT/q$. Cependant, comme montré sur le schéma, lorsque $V_{B,bas} \approx V_{dep}$, comme c'est le cas pour un pixel $2\mu\text{m}$ dopé à 4.10^{15}cm^{-3} et polarisé à 1.8V , il faut éviter que les charges se stockent au-dessus de la barrière de la grille de transfert TG pour éviter que les charges ne retournent préférentiellement vers la photo-gate à la place du noeud de lecture et créent de la rémanence. Dans ce cas précis, l'excursion sur le noeud de lecture reste inchangée entre le mode de transfert et le mode de lecture.

Le principe de la grille de transfert à double V_t consiste à implanter la partie centrale de la tranchée VEGA de sorte à créer deux niveaux de dopage différents pour pouvoir dissocier la barrière (de potentiel V_B) et un plateau (de potentiel V_P) proche du noeud de lecture. Lors du transfert, les charges peuvent alors se stocker à la fois sur la capacité du noeud de lecture C_{SN} (suivant une plage ΔV_2) et sur la capacité du plateau C_{TG} (suivant une plage ΔV_1). Après re-fermeture du canal de la grille de transfert, les charges stockées sur le plateau sont transférées sur

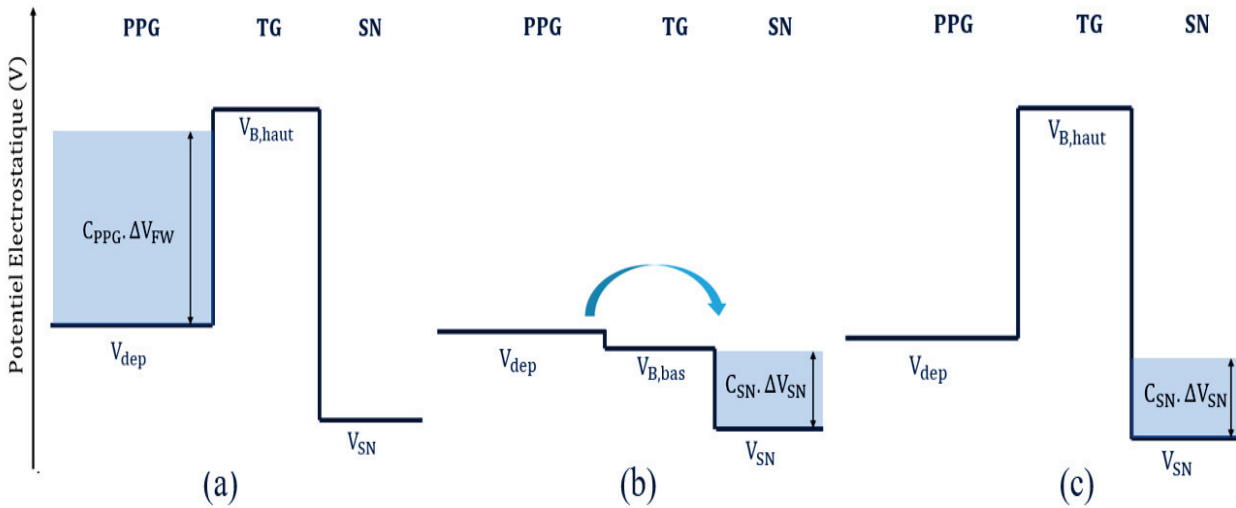


FIGURE B.1 – Schéma de principe du transfert des charges de la photo-diode au noeud de lecture via la grille de transfert avec simple V_t : (a) intégration, (b) transfert et (c) lecture

le noeud de lecture. Dans ce cas, l'excursion en tension lors de la lecture est supérieure à l'excursion disponible lors du transfert ($\Delta V_2 \leq \Delta V_{SN}$) et peut dépasser le niveau $V_{dep} - 10kT/q$.

La grille de transfert est alors équivalente à deux MOS en série, le premier de faible tension de seuil (Faible V_t) pour la barrière et le second à forte tension de seuil (Fort V_t) pour le plateau, d'où la dénomination de grille à double V_t .

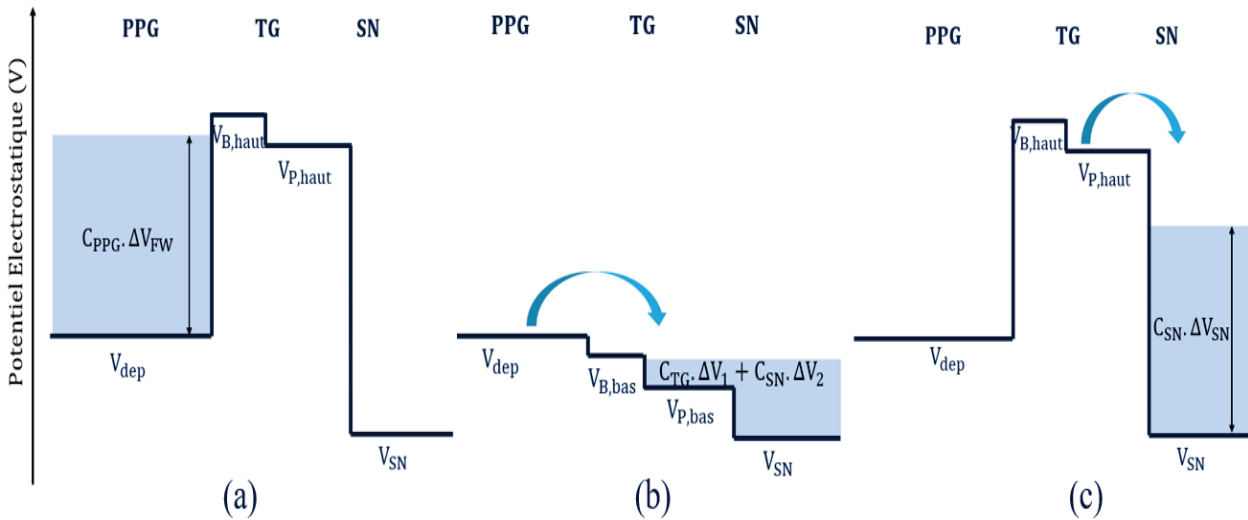


FIGURE B.2 – Schéma de principe du transfert des charges de la photo-diode au noeud de lecture via la grille de transfert avec double V_t : (a) intégration, (b) transfert et (c) lecture

Le plateau doit remplir les conditions suivantes :

- stocker suffisamment de charges en mode de transfert
- ne pas stocker de charges en mode de lecture
- ne pas modifier le profil électrostatique de la barrière

Le pixel $2\mu\text{m}$ dopé à 3.10^{15}cm^{-3} et polarisé sous 1V8 est utilisé pour faire l'étude du plateau au sein de la grille de transfert. On souhaite une capacité C_{TG} qui permette de stocker $2000h^+$ sur

800mV. Cette capacité dépend du dopage N_{TG} du plateau au centre de la tranchée VEGA et de la surface de stockage S_{TG} , de sorte que [25] :

$$C_{TG} \approx \frac{\epsilon_s}{2\sqrt{\frac{\epsilon_s k T \ln(N_{TG}/n_i)}{q^2 N_{TG}}}} \cdot S_{TG} \quad (B.1)$$

Il est nécessaire d'avoir une concentration de dopage active uniforme au centre de la tranchée VEGA pour que le profil électrostatique du plateau soit constant. Pour ce faire, l'implantation d'une même dose est répétée plusieurs fois sous différentes énergies. Les profils de dopage sont ajustés par simulation et validés sur plaque par mesures SIMS (Figure B.3). Deux doses d'implantation Bore sont investiguées : une dose de $8 \cdot 10^{11} \text{ cm}^{-2}$ (faible dopage) et une dose de $2 \cdot 10^{12} \text{ cm}^{-2}$ (fort dopage) et implantée à 50keV, 100keV et 150keV. Elles correspondent respectivement à des concentrations à $4,5 \cdot 10^{16} \text{ cm}^{-3}$ et $1 \cdot 10^{17} \text{ cm}^{-3}$. La concentration est bien uniforme dans les deux cas sur 500nm puis suit diminue graduellement sur le premier μm .

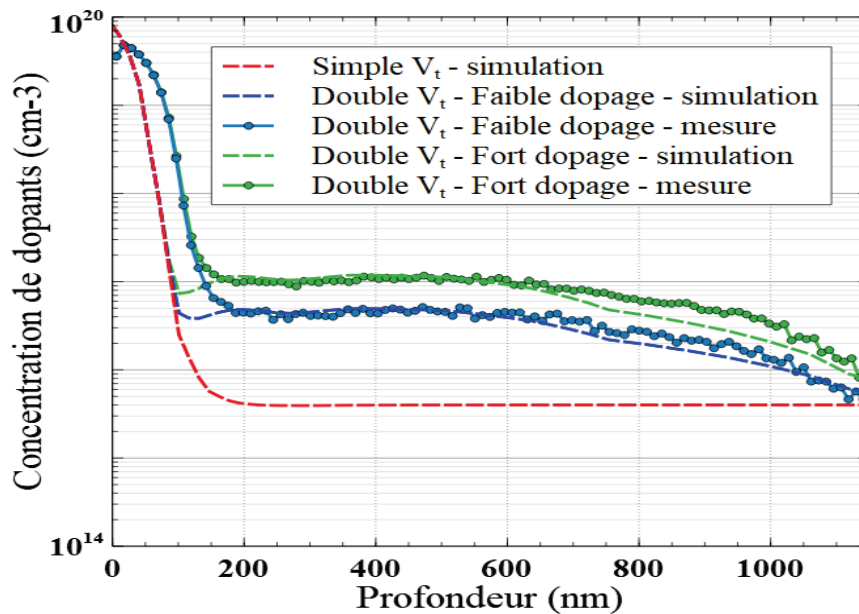


FIGURE B.3 – Simulation et mesure SIMS du profil de dopage au sein de la grille de transfert avec simple ou double V_t

Le profil de dopage du plateau requiert une tranchée VEGA plus profonde. Le niveau de barrière est impactée et est réduit de 200mV pour une tranchée VEGA à double V_t de $0.8\mu\text{m}$ par rapport au simple V_t Figure B.4. Il est nécessaire d'utiliser une tranchée VEGA plus profonde pour l'utilisation du double V_t . Le choix fait ici de $1.7\mu\text{m}$ de profondeur dissocie bien la zone du plateau (comprise entre $0.2\mu\text{m}$ et $1.2\mu\text{m}$) de celle de la barrière.

Les profils électrostatiques au sein de la grille de transfert sont détaillés en Figure B.5 pour un pixel avec tranchée VEGA à $1.7\mu\text{m}$ de profondeur avec simple V_t , double V_t avec plateau à faible dopage et double V_t avec plateau à fort dopage. La coupe C1 correspond au profil verticale au centre de la structure et la coupe C2 au profil horizontal au centre du plateau du double V_t . Le noeud de lecture est polarisé à 0V ; son potentiel interne (à -0.5V) est identifiée sur le graphe C2 par V_{SN} . La coupe C1 permet d'identifier les différentes parties électrostatiques du pixel depuis

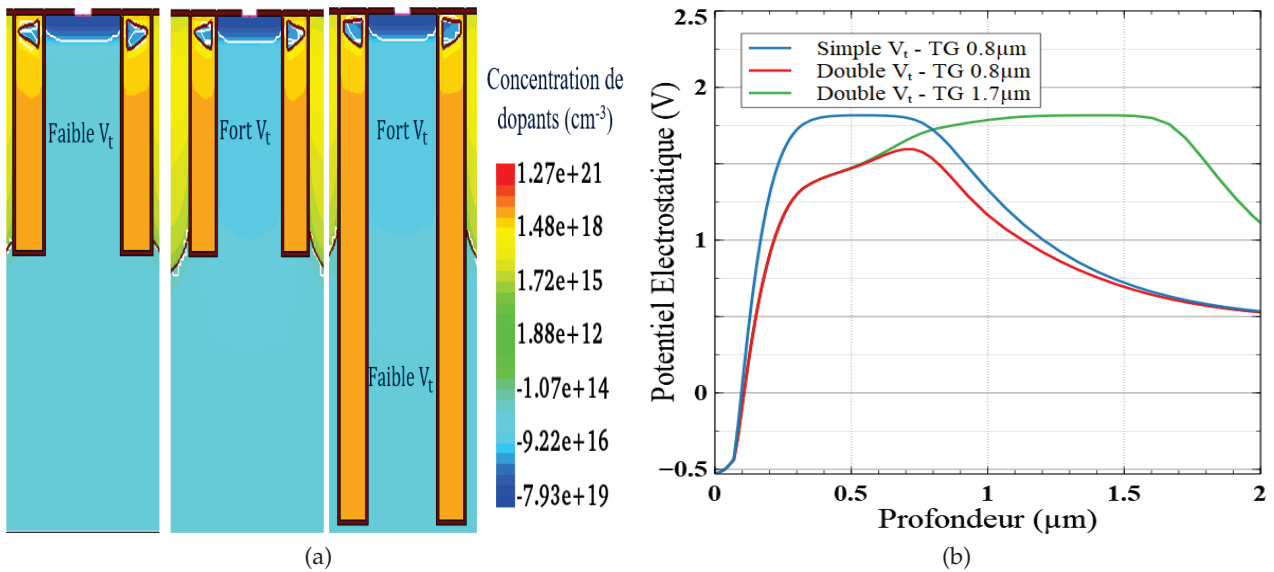


FIGURE B.4 – Simulation de la grille de transfert à double V_t : (a) coupes 2D de la concentration de dopants et (b) graphes 1D des profils électrostatiques correspondants

le potentiel du noeud de lecture, le potentiel de la grille de transfert qui comprend le niveau du plateau et celui de la barrière, le potentiel de la photo-gate et le pincement électrique en face arrière. La grille de transfert est soit en inversion (lors de la l'intégration ou de la lecture des charges) soit en déplétion (lors du transfert des charges). Dans les deux cas, l'excursion en tension du plateau dans le silicium reste identique ; seule la chute du potentiel dans l'oxyde diffère.

Le plateau de la grille à double V_t avec faible dopage est totalement déplétée en mode de lecture et de transfert tandis que le plateau de la grille à double V_t avec fort dopage est partiellement rempli en mode de transfert. De plus, le potentiel de déplétion du plateau de la grille à double V_t avec fort dopage atteint le niveau de la barrière bas en mode de lecture. Ainsi, il y a des risques que les charges se stockent sur cette capacité en mode de lecture et que la linéarité entre les charges et la dynamique en tension sur le noeud de lecture soit perdu. Les deux cas étudiés représentent donc les dopages minimum et maximum que l'on peut se permettre au sein de cette grille de transfert pour assurer à la fois un stockage des charges sur toute la dynamique allouée sur le noeud de lecture sans perdre la linéarité de la réponse du capteur en lecture.

Les deux cas de double V_t précédent stockent des charges en volume sur le plateau créé au sein de la tranchée sur une profondeur de $1 \mu\text{m}$ environ et une surface équivalente à l'ouverture de la tranchée VEGA (soit de $0.24 \mu\text{m} + 0.4 \mu\text{m}$ pour le pixel de pas de $2 \mu\text{m}$). La simulation de la quantité de charges intégrée sur le plateau est présentée en Figure B.6. On mesure bien $2000h^+$ pour le faible dopage et $3000h^+$ pour le fort dopage (ce dernier est déjà partiellement rempli par les charges provenant du noeud de lecture p+ réinitialisée à 0V soit -0.5V de potentiel interne) entre V_{SN} et V_B (soit 800mV ici). La grille de transfert à simple V_t ne stocke elle pas de charges entre V_{SN} et V_B , elle commence à stocker des charges sur la barrière que quand le potentiel des charges atteint V_B .

La grille de transfert à double V_t permet donc de stocker plus de charges lors du transfert sur le noeud de lecture. Cette solution nécessite cependant une grille de transfert plus profonde de

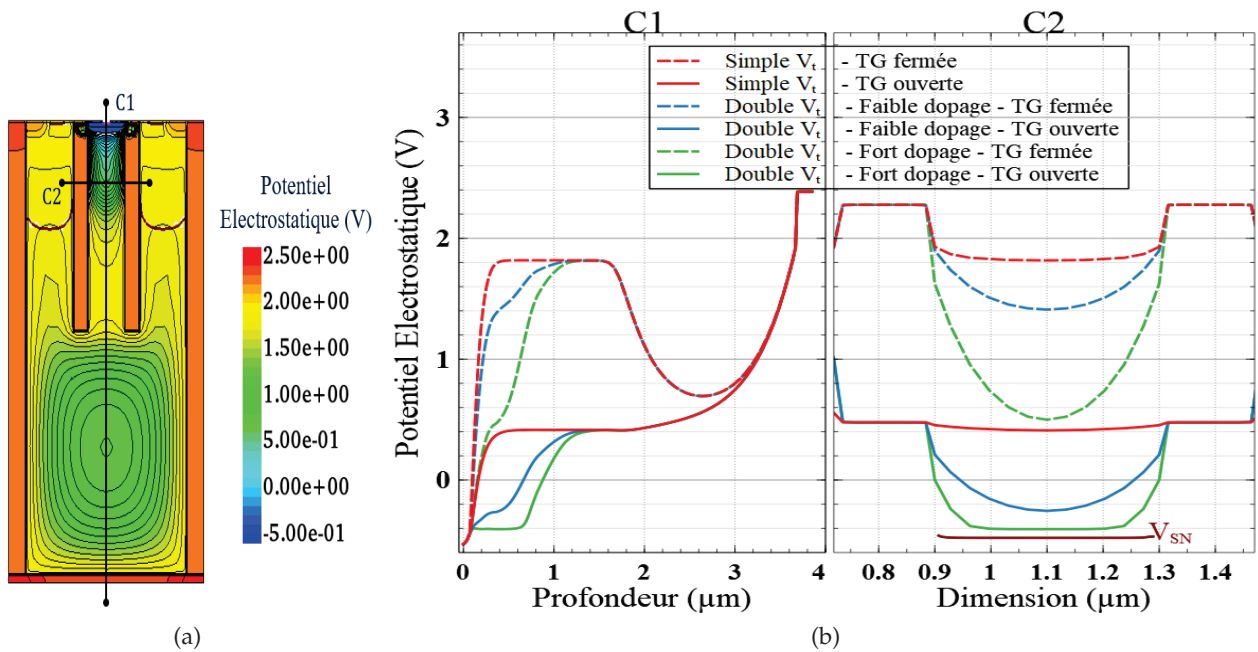


FIGURE B.5 – Simulation du profil électrostatique du pixel de pas de $2\mu\text{m}$ avec grille de transfert à double V_t : (a) coupe 2D et (b) graphes 1D des coupes C1 et C2 présentant le profil du transfert et des barrières au sein de la grille de transfert

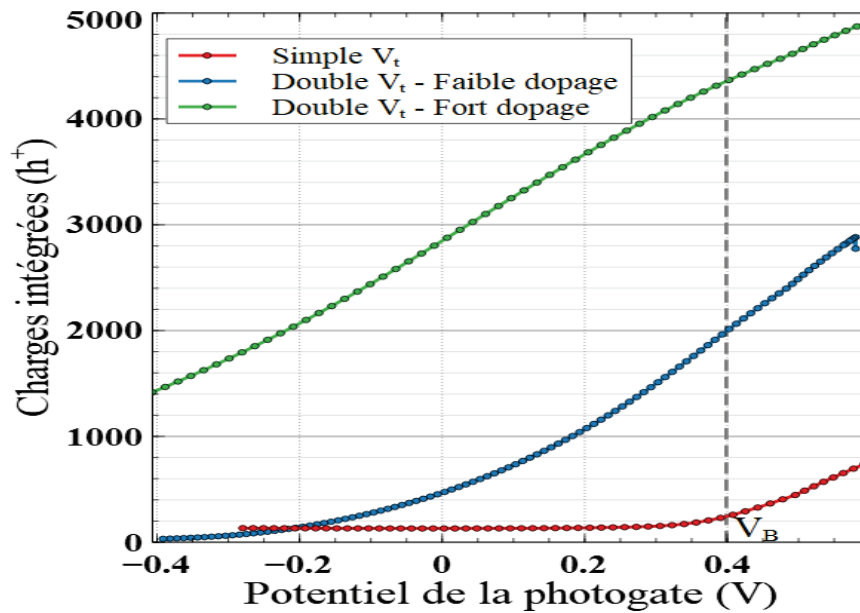


FIGURE B.6 – Simulation de la quantité de charge stockée sur le plateau de la grille de transfert

sorte à cumuler les zones pour le plateau et la barrière (ici à $1.7\mu\text{m}$ par rapport à $0.8\mu\text{m}$ pour le cas nominal). Cela résulte d'une réduction du volume dédié à la photo-gate et donc de la réduction de la quantité de charges à saturation. Pour pouvoir récupérer la quantité de charges voulue, il faut ici aussi augmenter l'épaisseur du silicium et la profondeur des CDTI.

De plus, la grille de transfert à double V_t a ici été calibré pour stocker plus de $2000h^+$ sur 800mV . Pour pouvoir stocker plus de charges ou stocker sur une plus faible excursion en tension, il est nécessaire d'augmenter la capacité de stockage du plateau C_{TG} . Différentes quantités de

charge stockable sur la grille de transfert à double V_t faible dopage sont estimées en fonction des dimensions du plateau (W_{TG} , L_{TG} et Z_{TG} respectivement la largeur et la longueur de la grille de transfert et la profondeur du plateau du double V_t) et de l'excursion en tension ΔV_1 (données en Table B.1). Il faudrait alors soit une longueur de grille de $1\mu\text{m}$ soit une profondeur de plateau de $2\mu\text{m}$ pour stocker $2000h^+$ sur 400mV . Ces choix dimensionnels sont difficiles à mettre en place car ils contraignent soit le dessin pixel (encombrement de la grille de transfert au sein du pixel) soit la profondeur des CDTI à fabriquer pour conserver la quantité de charge voulue au sein de la photo-gate.

W_{TG} (μm)	L_{TG} (μm)	Z_{TG} (μm)	C_{TG} (F)	ΔV_1 (mV)	Q_{TG} (h^+)
0.24	0.4	1	$4,4 \cdot 10^{-16}$	800	2000
0.24	0.4	1	$4,4 \cdot 10^{-16}$	400	1000
0.24	0.4	2	$8,8 \cdot 10^{-16}$	400	2100
0.24	1	1	$8,6 \cdot 10^{-16}$	400	2000

TABLE B.1 – Quantité de charges stockée sur le plateau du double V_t faible dopage obtenue par simulation en fonction de la capacité de stockage C_{TG} et de la dynamique en tension ΔV_1

La proposition de grille de transfert à double V_t n'est pas testée sur les matrices de pixels fabriquées dans ce travail mais reste une proposition intéressante et pourrait être mise en oeuvre dans des pixels de plus grandes dimensions.

Annexe C

Technique de mesure COCOS

La technique COCOS (corona oxide characterization of semiconductor) est une technique de mesure qui permet d'estimer les potentiels et les charges dans les diélectriques sans un contact direct via une grille métallique [79]. Elle peut être utilisée pour analyser les caractéristiques et défauts des couches de passivation afin de les corrélérer avec le niveau de courant d'obscurité d'un pixel [80]. Cette technique repose sur une mesure de différence de potentiel de contact V_{CPD} entre la plaque mesurée et une sonde de Kelvin et sur la mesure de charges corona Q_c déposées à la surface de la plaque. L'appareillage de la mesure est présentée en Figure C.1.

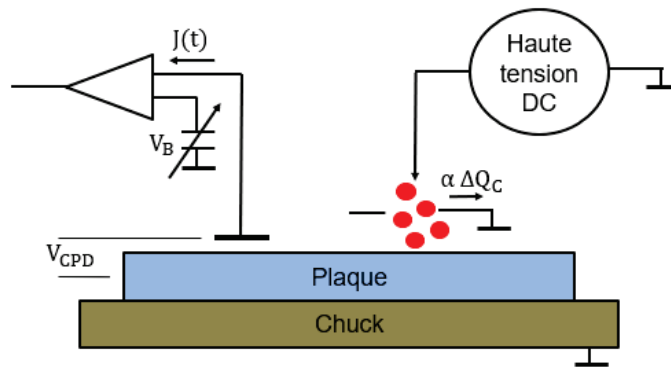


FIGURE C.1 – Appareil et principe de mesure COCOS

Un courant AC $J(t)$ est mesuré au travers de la sonde dépendant de la tension de polarisation V_B et de la variation de la capacité C entre la sonde et la plaque. Ce courant vaut alors :

$$J(t) = (V_{CPD} + V_B) \frac{dC}{dt} \quad (C.1)$$

La boucle de régulation cherche le cas où $J(t) = 0$ pour alors déterminer $V_{CPD} = -V_B$. En même temps, une décharge corona a lieu par application d'une forte tension DC sur un filament. Cela ionise des molécules CO_3^- ou $(H_2O)_nH^+$ en fonction de la polarité choisie. Ces ions se déposent ensuite sur la surface du diélectrique à étudier. La quantité de charges déposée est contrôlée par l'amplitude de la tension DC, la distance entre la source corona et la surface de la plaque, le temps de déposition ainsi que les interactions coulombiennes entre les charges. De faibles doses sont déposées sur le diélectrique de sorte à ne pas induire de stress dans ce dernier voire des courants de fuite. Les mesures V_{CPD} et Q_c sont reliées aux différentes charges et potentiels. Le diagramme de bande entre la plaque avec diélectrique et la sonde COCOS est présentée en Figure C.2.

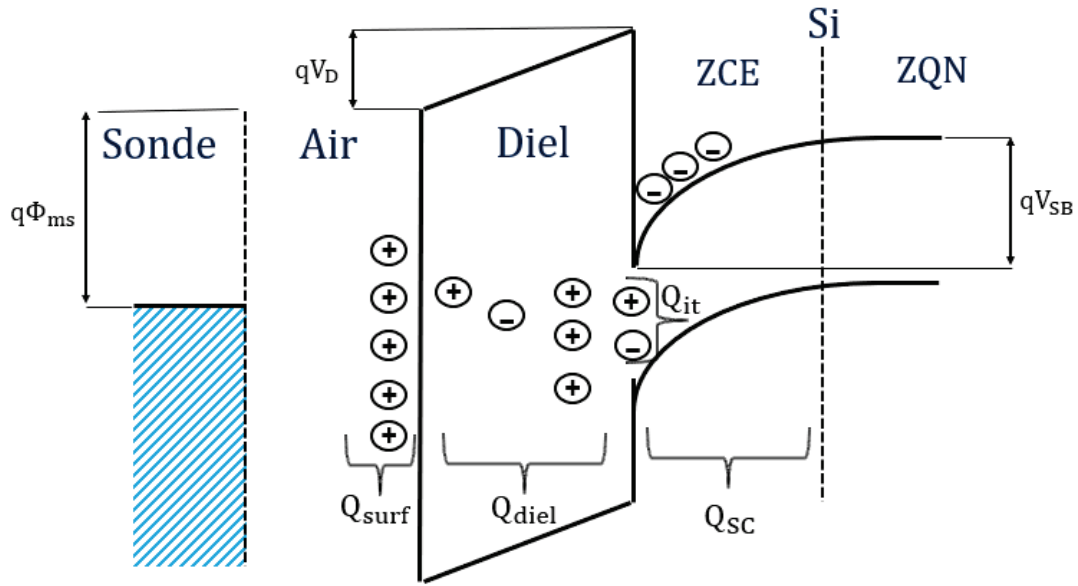


FIGURE C.2 – Diagramme de bande de la plaque mesurée en COCOS avec charges corona en surface du diélectrique et déplétion du silicium

Avec la présence de charges en surface, le diélectrique se polarise et une courbure de bande apparaît dans le silicium de sorte que

$$V_{CPD} = \phi_{ms} + V_{SB} + V_D \quad (C.2)$$

avec ϕ_{ms} la différence de fonction de travail entre le silicium et la sonde, V_{SB} la barrière de surface du silicium et V_D la chute de tension dans le diélectrique, linéaire avec Q_c . En faisant varier la quantité de charges corona déposées ΔQ_c on obtient

$$\Delta V_{CPD} = \Delta V_{SB} + \Delta V_D \quad (C.3)$$

Pour extraire la variation de tension ΔV_{SB} , V_{CPD} est mesurée à la fois dans l'obscurité et sous forte illumination ($\Delta V_{SB} \approx 0$). Ainsi

$$\Delta V_{SB} = \Delta V_{CPD}^{dark} - \Delta V_{CPD}^{ill} \quad (C.4)$$

En prenant en compte la condition de neutralité de la charge du système vu depuis la surface, il peut être écrit que :

$$Q_{surf} + Q_{diel} + Q_{it} + Q_{SC} = 0 \quad (C.5)$$

Q_{surf} représente les charges de surface décomposées entre les charges corona Q_c et des charges pouvant se trouver initialement en surface du diélectrique Q_{surf}^0 . Q_{diel} correspond à toutes les charges internes au diélectriques, que l'on peut distinguer entre charges fixes Q_f , charges mobiles Q_m et charges piégées Q_{ot} . Q_{it} représente les charges piégées à l'interface et Q_{SC} les charges de la zone de charge espace. En considérant que les charges du diélectrique ne peuvent pas s'échanger aux interfaces, une variation de décharge corona impacte la zone de charge espace ainsi que les

charges piégées à l'interface pouvant interagir avec le silicium. Avec la condition de neutralité des charges, on a :

$$\Delta Q_c + \Delta Q_{SC} + \Delta Q_{it} = 0 \quad (C.6)$$

La méthodologie du COCOS consiste à mesurer tout d'abord les tensions V_{CPD} et V_{SB} des diélectriques sans dépôts de charges corona (c'est l'état initial du système) puis faire les mesures pour plusieurs valeurs de Q_c (c'est la décharge corona) pour balayer la structure comme dans une mesure C-V du stade d'accumulation à inversion de sorte à pouvoir tracer des courbes de $V_{CPD} = f(Q_c)$ sous obscurité et sous illumination. De ces courbes, on peut alors mesurer les paramètres V_{FB} et Q_{tot} . Suivant la méthode COCOS, V_{FB} est définie comme la tension V_{CPD} pour laquelle les courbes sous obscurité et sous illumination se croisent (pas de courbure de bande); le système est en condition de bande plate. Q_{tot} correspond alors à la quantité de charges corona nécessaire pour atteindre la bande plate (différence de charges déposées entre l'état initial et l'état de bande plate). Il vaut :

$$Q_{tot} = Q_{diel} + Q_{it}^{FB} + Q_{surf}^0 \quad (C.7)$$

où Q_{it}^{FB} présente la quantité de charges piégées à l'interface entre le passage de l'état initial à l'état de bande plate.

Enfin, suivant la relation (C.6) et la méthode de mesure charge-charge, on peut monitorer Q_{it} entre la bande plate et la forte inversion et calculer la densité de pièges d'interface comme suit :

$$D_{it} = \frac{1}{q} \frac{\Delta Q_{it}}{\Delta V_{SB}} \quad (C.8)$$

où l'on monitoré la variation de potentiel de surface ΔV_{SB} avec le remplissage des charges d'interface. On peut alors tracer une courbe de D_{it} en fonction de V_{SB} entre bande plate et inversion.

Les mesures de Q_{tot} et D_{it} donnent des infos sur la charge au sein du diélectrique et sur celles piégées à l'interface. Cela ne nous donne cependant pas d'information sur la distribution de ces charges au sein du diélectrique. Les mesures de V_{FB} et de V_{CPD} sont alors utilisés pour estimer la position des charges. Deux cas idéals sont présentés pour expliquer la corrélation qui peut être faite entre V_{CPD} , V_{FB} et Q_{tot} (image Figure C.3). Le V_{CPD} est sensible aux champs électriques au sein de la plaque et mesure la capacité du diélectrique; il est sensible à sa surface. Si les charges étaient toutes situées à l'interface, leur contribution n'apparaîtraient pas dans le V_{CPD} qui serait alors nul (C.3a). Si elles étaient toutes en surface du diélectrique, $V_{CPD} = \frac{Q_{tot}}{C_{diel}} = \frac{Q_{tot} t_{diel}}{\epsilon_0 \epsilon_r, diel}$ (C.3b).

Le V_{FB} est aussi lié avec le Q_{tot} . Il est sensible aux charges vues depuis l'interface. Ainsi il serait nul si toutes les charges étaient situées en surface et minimum à l'interface. Dans la réalité, les charges ne sont pas fixes dans un plan mais dispersées au sein du cristal. Pour essayer de corréler les charges aux tensions, un centre de masse \bar{X} peut être considéré qui représenterait le plan des

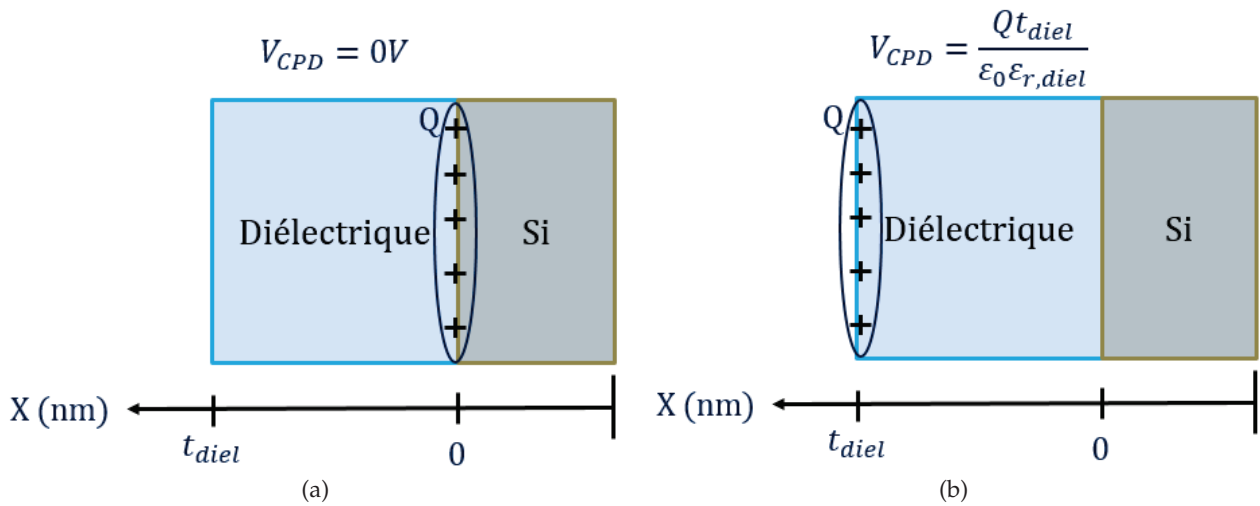


FIGURE C.3 – Corrélation entre le V_{CPD} et la position des charges, soit avec (a) toutes les charges Q à l'interface, soit avec (b) toutes les charges Q en surface

charges équivalent situé à une distance X de l'interface (voir Figure C.3). On définit [81] :

$$V_{FB} = \Phi_{ms} - \frac{Q_{tot} \bar{X}}{\epsilon_0 \epsilon_{r,diel}} \quad \text{avec } \bar{X} = t_{diel} - X \quad (C.9)$$

$$V_{CPD} = \frac{Q_{tot} \bar{X}}{\epsilon_0 \epsilon_{r,diel}} \quad \text{avec } \bar{X} = X \quad (C.10)$$

Cette technique COCOS va donc nous permettre d'estimer à la fois les charges dans les diélectriques via la mesure de Q_{tot} ainsi que la densité de défauts D_{it} à l'interface Si/SiO_2 qui sont les deux paramètres essentiels dans la qualité de la passivation d'une interface et aussi estimer la localisation des charges au sein du diélectrique par la comparaison des valeurs de V_{CPD} et V_{FB} .

Annexe D

Étude de la diffusion au sein de la photo-gate de type p

L'avantage du pixel photo-gate sur une photo-diode est l'absence d'implantations au sein du volume du silicium. En plus de réduire les possibilités de défauts cristallins dans le volume du silicium, la photo-gate ne subit pas de diffusion des dopants définissant la photo-gate. En revanche, les dopants des tranchées peuvent se diffuser et impacter la définition de la zone photosensible. Il a en effet été montré [64] par mesure SCM (Scanning Capacitance Microscopy) que les dopants phosphore (de type n) des tranchées VEGA diffusaient vers le substrat lorsque ces dernières étaient fabriquées avant les tranchées STI. Le recuit de densification des STI présente l'un des plus forts budgets thermiques de la fabrication du capteur. Son palier de température est effectué à 1050°C pendant 30mn. Ceci explique le choix fait d'intégrer le STI en premier.

Pour poursuivre l'étude commencée [64], on va par la suite essayer de quantifier l'impact d'un tel recuit sur le comportement du pixel. On considère deux mécanismes possibles de diffusion au sein du pixel : soit la diffusion des atomes de Bore provenant de l'épitaxie vers l'oxyde des tranchées (et donc la réduction du dopage nominal de la photo-gate) soit la diffusion des atomes de Phosphore des tranchées vers l'épitaxie (et donc la réduction du volume définissant la photo-gate).

De plus, dans les perspectives pour le pixel photo-gate, on a mentionné en conclusion la compatibilité de ce pixel pour une intégration 3D séquentielle qui viendrait relayer les transistors dans un second étage de silicium. Dans une telle perspective, un aspect concerne l'impact thermique de ce second étage sur le premier étage incluant la photo-gate.

Afin de faire une première quantification de l'effet du recuit thermique sur les tranchées ainsi que leur capacité de diffusion, on fabrique la version STI du pixel photo-gate p-type en modulant la concentration de dopants des tranchées entre la valeur de référence (ref.) à $7e18cm^{-3}$ et la valeur sur-dopée à $7e19cm^{-3}$. Ce sur-dopage est fait soit seulement dans la tranchée VEGA, soit seulement dans la tranchée CDTI, soit dans les deux tranchées. A cette variation s'ajoute l'utilisation ou non d'un recuit thermique STI fait après la fabrication des tranchées pour leur soumettre à un fort stress thermique. Les mesures de charges à saturation sont regroupées en Figure D.1 avec les mesures sans recuit STI en vert et les mesures avec recuit STI en rouge. On observe ainsi une réduction de la charge à saturation avec recuit, mesurée d'environ $1500h^+$, indépendamment du dopage des tranchées et avec une plus forte dispersion des valeurs pour les pixels ayant des tranchées dopées à $7e19cm^{-3}$. Cependant, l'on ne voit pas de modulation de la charge avec le dopage des tranchées.

On ne peut conclure sur le mécanisme de diffusion à l'oeuvre ni sur la diffusion des tranchées avant recuit. Soit la diffusion a pour effet de rajouter des dopants n dans la zone photo-sensible est donc de diminuer la zone de collection, soit elle a pour effet de réduire les dopants de type p au sein de la zone de collection.

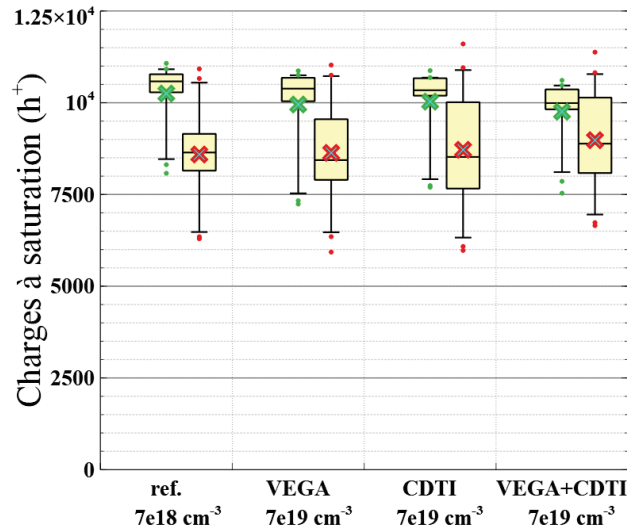


FIGURE D.1 – Mesure de la quantité de charges à saturation de la version STI pour différents niveaux de dopage des tranchées VEGA et CDTI et du recuit thermique STI. Mesures sans recuit en vert et mesures avec recuit en rouge

On étudie aussi l'impact de la diffusion des tranchées sur les bruits pixels ; on trace pour cela la mesure du bruit fixe FPN, les mesures de bruit temporel n'étant pas impactées par la diffusion. On compare les mesures obtenues sur la version STI avec un dopage standard S/D pour le noeud de lecture (cas avec le plus fort FPN). On compare les mesures en fonction du dopage des tranchées (à $7e18 \text{ cm}^{-3}$ ou $7e19 \text{ cm}^{-3}$) sans recuit STI (mesures en vert) et avec recuit STI (mesures en rouge). On montre que le FPN est très fort et de l'ordre de $20h^+$ pour les cas où la tranchée VEGA est dopée à $7e18 \text{ cm}^{-3}$ avec ou sans recuit. Après recuit, le FPN se réduit faiblement avec une dispersion des valeurs. Cela peut aussi s'expliquer soit par une diffusion des dopants de type n vers le noeud de lecture soit par une diffusion des dopants de type p du noeud de lecture vers l'oxyde qui réduit le dopage net de l'implant p+ mais qui reste malgré tout négligeable. En revanche, pour les pixels où la tranchée VEGA est dopée à $7e19 \text{ cm}^{-3}$, le FPN se réduit à $8.5h^+$ avec et sans recuit. Ce résultat prouverait que le dopage de la tranchée est suffisamment élevée pour qu'il y ait diffusion des dopants de la tranchée vers le noeud de lecture, même sans recuit STI. Ce résultat validerait le mécanisme de diffusion des dopants des tranchées et validerait aussi que des tranchées trop dopées diffusent indépendamment de l'amplitude du stress thermique reçu.

Enfin, dans l'optique où les transistors sont déportés dans un second étage, il ne reste principalement que l'implant du noeud de lecture p+ au sein du premier étage (et un implant surfacique n+ pour le pincement et l'inversion des tranchées). On mesure par SIMS le profil du noeud de lecture p+ après implantation (post implantation), après recuit de la route (post recuit implantation) et après un recuit STI (post recuit STI), ce dernier servant pour déterminer l'évolution du noeud p+ avec de fort recuit thermique (mesure Figure D.3). Le profil du noeud p+ post recuit STI possède

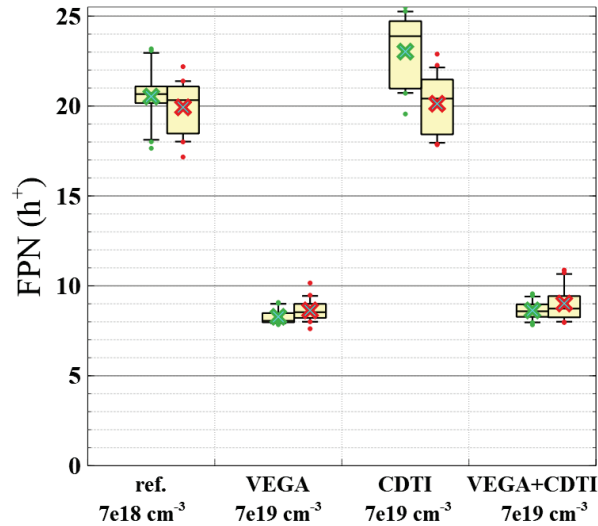


FIGURE D.2 – Mesures du FPN de la version STI pour différents niveaux de dopage des tranchées VEGA et CDTI

quasiment la même concentration de dopants que post recuit implantation ; seule sa profondeur de jonction s'est élargie.

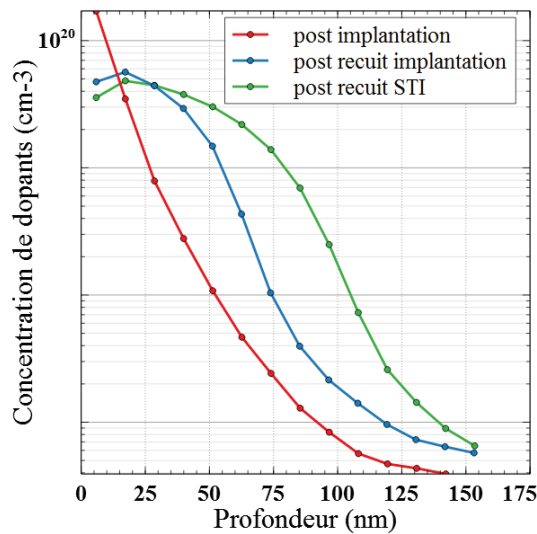


FIGURE D.3 – Mesures SIMS de l'implantation du noeud de lecture suivant différents recuit

On a vu que la diffusion des tranchées pixel peut être contrôlée si la concentration de dopants des tranchées restent suffisamment faible (ici $7 \times 10^{18} \text{cm}^{-3}$). Suite à de fort recuit thermique, le dopage net du noeud p+ diminue ce qui induit pour ce pixel une réduction du bruit fixe FPN (ce qui est bénéfique) sans la dégradation du contact électrique (la concentration de dopants reste supérieure à quelques 10^{19}cm^{-3}). Quant à la réduction des charges intégrée dans la photo-gate, elle peut être contrecarrée par une augmentation du dopage de l'épitaxie du silicium.

Annexe E

Réponse de la photo-gate de type p sous irradiations gamma

Les circuits micro-électroniques peuvent se retrouver dans des environnements ionisants tels que les plasmas ou les environnements relatifs aux applications médicale, spatiale ou nucléaire. Ils sont définis par des rayonnements (UV, X ou γ) ou des particules (α , β) fortement énergétiques qui peuvent interagir avec les matériaux selon trois mécanismes en fonction du niveau énergétique [82] :

- l'effet photo-électrique : création de paire électron/trou
- l'effet Compton : ionisation des matériaux en leur arrachant des électrons
- la création d'une paire électron/positron

La quantité d'énergie ionisante dans un matériau est mesurée en Gray ($Gy \equiv eV.kg^{-1}$) et correspond à une Dose Ionisante Cumulée (TID). Cette grandeur est associée à un matériau donnée car dépendante de la densité du matériau. Ces effets ionisants peuvent venir dégrader les performances des circuits (tels que le décalage des tensions de seuil des MOS ou l'augmentation des bruits). Les oxydes sont les matériaux les plus impactés. Lors de la création des paires d'électron/trou, les électrons vont être rapidement évacuées grâce à leur mobilité dans l'oxyde et aux champs électriques. Les trous, de plus faible mobilité, vont participer à deux mécanismes dégradant l'oxyde [83] : la création de charges positives piégées Q_{ot} , en rompant des liaisons Si-S (centres E') ou des liaisons Si-H (protons H^+), et l'augmentation des défauts D_{it} à l'interface Si/SiO_2 , par la création de centre P_b ou par la dé-passivation des liaisons SiH suivant la réaction suivante :



On amorce ici une première étude du comportement de la photo-gate de type p soumise à un rayonnement ionisant. Cela permet d'aborder la versatilité d'un tel capteur pour des applications spatiales ou nucléaires en connaissance des avantages du type p sur le type n. Il a en effet été montré une meilleure résistance aux irradiations par la mesure d'une plus faible dégradation du courant d'obscurité des capteurs de type p par rapport aux capteurs de type n, à la fois pour le cas d'une photo-diode pincée verticale soumise à des rayons X [62] comme pour le cas de photo-diodes planaire soumise à des rayons γ [84][85]. Ces résultats s'expliquent en partie par la présence des charges positives dans les oxydes qui ont pour effet de repousser les trous aux interfaces Si/SiO_2 nécessaires à la passivation des capteurs de type n alors qu'ils aident à l'accumulation des électrons bénéfiques aux capteurs de type p. La particularité de la photo-gate est qu'il est totalement déplété

en volume et encerclé par des interfaces Si/SiO_2 pouvant générer du courant d'obscurité. On s'attend donc à plus de dégradation que pour une photo-diode planaire. Cependant la majorité de ses interfaces correspond aux tranchées CDTI ou VEGA qui sont passivées électriquement et qui limitent la dégradation sous irradiation [62], laissant les sources principales du courant d'obscurité provenant de la face arrière ou des structures en face avant.

Mesures	0 Gy	5 kGy	10 kGy
CVF ($\mu V/h^+$)	90	90	90
V_{sat} (mV)	680	680	680
Rémanence	~ 0	~ 0	~ 0
Courant d'obscurité (h^+/s)	8	5528	30090
Bruit temporel (h^+)	2.5	5	8
FPN (h^+)	2	4	6
PRNU à $2000h^+$ (%)	0.5	1.5 à 2	1.5 à 2

TABLE E.1 – Tableau de performances du capteur sous différentes doses d'irradiation post irradiation à $60^\circ C$

Afin d'étudier l'impact des irradiations suivant un pire cas, le capteur de la matrice de pixels $2\mu m$ est soumis à des rayonnements γ provenant d'une source ^{60}Co avec une dose totale cumulée de 5kGy ou de 10kGy. Les mesures sont effectuées juste après irradiation et après six mois de relaxation sans traitement thermique. Les mesures électro-optiques essentielles sont faites à $60^\circ C$ post irradiation et sont reportées en Table E.1. Les mesures de CVF, de quantité de charges à saturation et de rémanence restent stable après irradiation. La mesure de PRNU à $200 h^+$ est impactée, et augmente de 0.5 % (pré irradiation) jusqu'à 2 % (post irradiation). Le bruit temporel et le FPN sont respectivement multipliés d'environ par trois et deux post irradiation à 10 kGy. Le courant d'obscurité reste le paramètre qui varie le plus avec $5 kh^+/s$ et $30 kh^+/s$ pour les deux doses d'irradiation.

Les histogrammes du courant d'obscurité à $60^\circ C$ sont présentés en Figure E.1. Les courbes possèdent un pic principal dont la valeur augmente avec la dose TID et ne présentent pas de pics secondaires. Il n'y a donc pas d'apparition de nouveaux types de défauts ou d'impuretés dans le système mais une augmentation des défauts à l'interface. Les valeurs moyennes du courant d'obscurité sont reportées en Table E.2. Le courant d'obscurité a continué de se dégrader après relaxation. Ceci laisserait suggérer que les charges positives générées dans l'oxyde se seraient neutralisées, réduisant la passivation des liaisons pendantes par effet de champ. Des études complémentaires sont nécessaires pour venir corroborer cette hypothèse, notamment quantifier la charge et la densité de défauts à l'interface des diélectriques et son évolution au cours de l'irradiation et de la relaxation.

Le courant d'obscurité moyen des puces post relaxation (Figure E.2) chute autour des $900 h^+/s$ et $3000 h^+/s$ pour les doses de 5kGy et 10kGy à $30^\circ C$. Ce résultat est prometteur car il entrevoit un courant d'obscurité négligeable pour des applications de prises d'images ou de vidéo à température ambiante qui utilise des temps d'intégration de l'ordre de la dizaine de ms.

Une image d'une mire a d'ailleurs été prise avec le capteur irradié à 10 kGy avec un temps d'intégration de 40ms (image prise avec une matrice de six versions de pixels) et confirme la fonctionnalité du capteur sous irradiation.

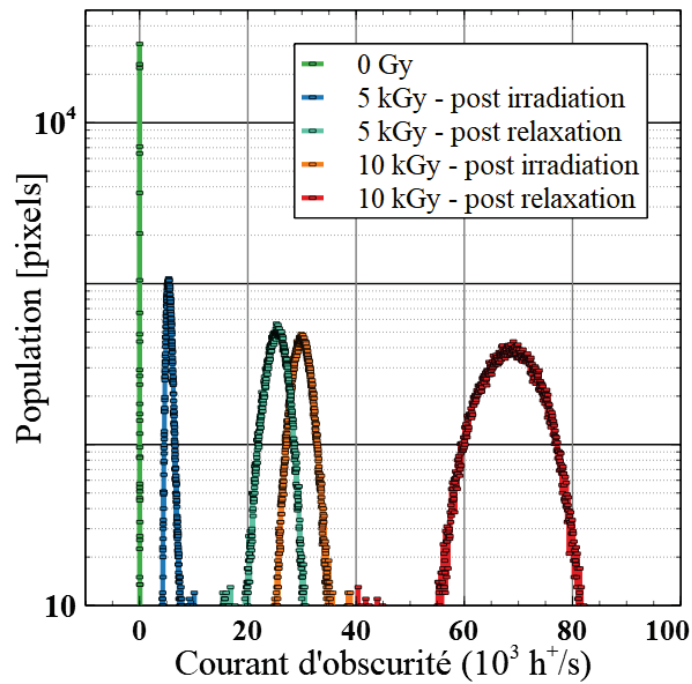


FIGURE E.1 – Mesures du courant d'obscurité à 60°C pour différentes doses ionisantes après irradiation et après relaxation de six mois

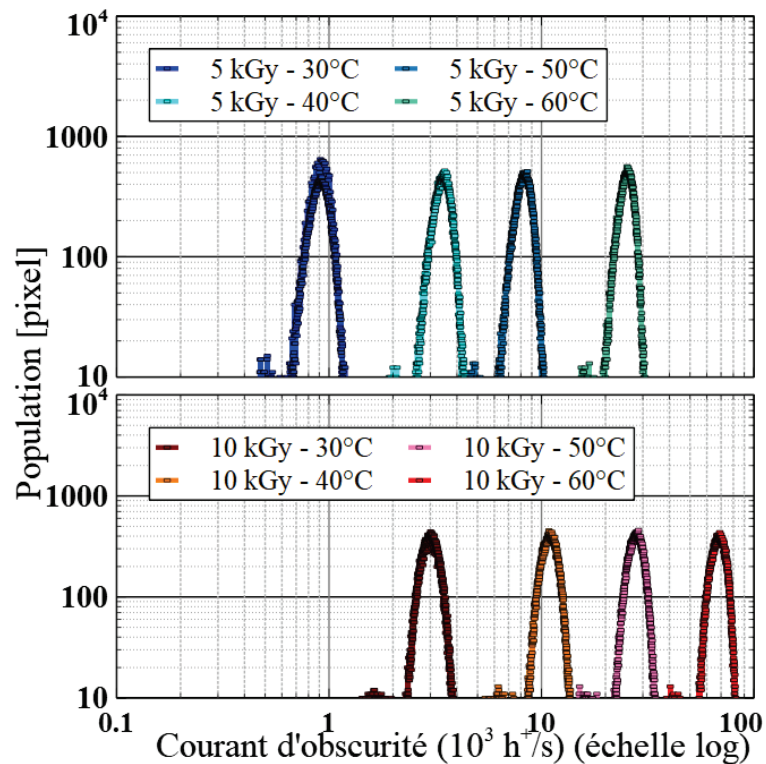


FIGURE E.2 – Mesures des puces irradiées à 5kGy et 10kGy après relaxation pour différentes températures

Température	Courant d'obscurité moyen (h^+/s)			
	Post irradiation		Post relaxation	
	5kGy	10kGy	5kGy	10kGy
30 °C	-	-	912	3000
40 °C	-	-	3429	10930
50 °C	-	-	8259	27833
60 °C	5528	30090	25183	68083

TABLE E.2 – Courant d'obscurité moyen des puces irradiées post irradiation et post relaxation en fonction de la température

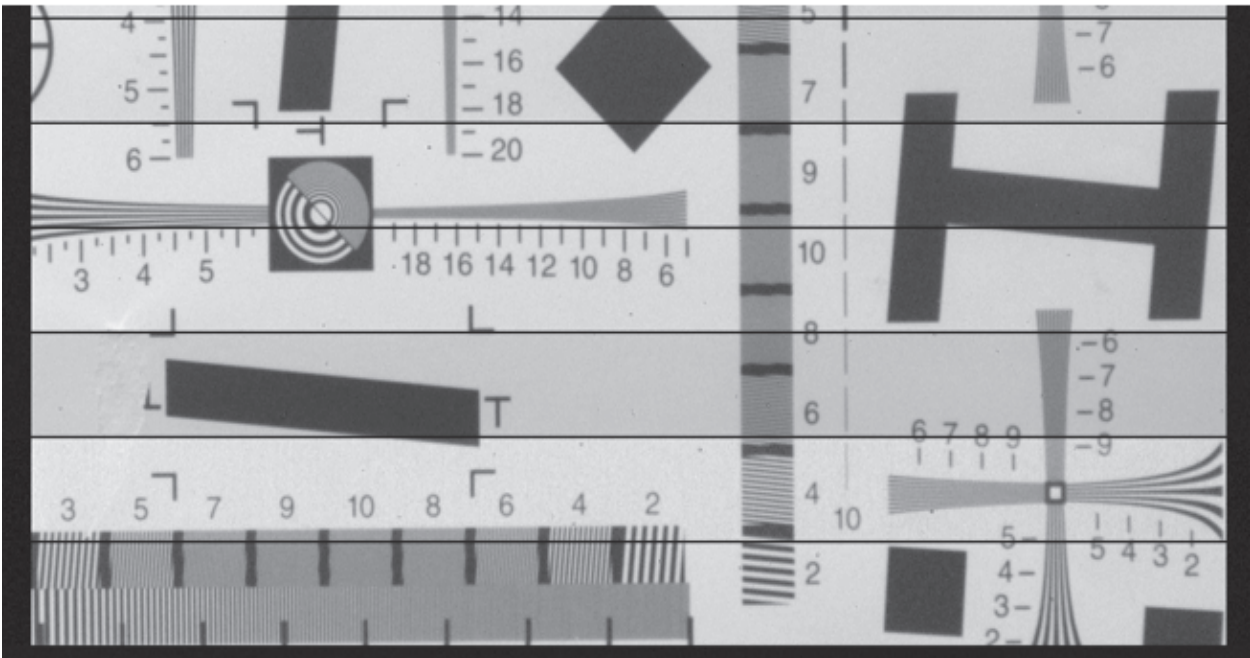


FIGURE E.3 – Image acquise par le capteur post irradiation

Annexe F

Productions scientifiques

Papiers

'Electrostatic surface passivation for p-type BSI Image Sensors' auteurs : T.Dalleau, R.Duru, D.Benoit, A.Suler, C.Chatton, F.Roy, G.N.Lu, IISW June 2019, pp 64-67 in IISW issue

'Fully Depleted, Trench-Pinned Photo Gate for CMOS Image Sensor Applications' auteurs : F.Roy, A.Suler, T.Dalleau, R.Duru, D.Benoit, J.Arnaud, Y.Cazaux, C.Chatton, L.Montes, P.Morfouli, G.N.Lu, Sensors 2020, 20, 727

Brevets

'CMOS Image Pixel with Buried Channel RESET MOS Transistor'; auteurs : François ROY et Thomas DALLEAU; date de déposition : 28 juin 2019

'CMOS Image Pixel Sensor with Transmission Gate Read Transistors'; auteur : Thomas DALLEAU; date de déposition : 09 septembre 2019

Résumé

Ce travail de thèse s'inscrit dans le développement continu des capteurs d'images, pour diverses applications telles que la téléphonie mobile. Il porte sur un capteur regroupant les dernières avancées technologiques développées chez STMicroelectronics, en particulier sur une architecture de pixel photo-gate à collection de trous comportant une grille de transfert verticale et un circuit de pixel à base de transistors PMOS. L'objectif de cette étude est d'optimiser les performances du capteur soit en réduisant la taille du pixel, soit en diminuant des tensions de fonctionnement.

L'étude est conduite à partir un pixel précédemment développé de $2\mu\text{m}$ fonctionnant sous 3.5V. Différentes structures constitutives du pixel sont remises en oeuvre, avec des nouveaux choix de paramètres technologiques, géométriques et électriques. Elles sont analysées et optimisées par simulations TCAD et/ou Spice. La problématique de passivation des interfaces (interface face avant, interface des tranchées et interface face arrière) du pixel est traitée afin d'éviter la dégradation du courant d'obscurité. Deux versions de pixel sont conçues et proposées : une de $2\mu\text{m}$ sous 2.5V et 1.8V, et l'autre de $1.2\mu\text{m}$ sous 3.5V.

Ces deux versions de pixel sont ensuite fabriquées et caractérisées. Les transistors pixel et les profils de dopage du pixel $2\mu\text{m}$ sont optimisés de sorte que ce dernier puisse stocker une même quantité de charges de $8000h^+$ après réduction des tensions de mise en oeuvre et présenter de plus faibles bruits de plancher, avec un bruit fixe d'environ $1h^+$. Le pixel $1.2\mu\text{m}$ est proposé et réalisé avec les transistors fabriqués directement au-dessus des tranchées pixel. Il est optimisé pour présenter des performances similaires au pixel $2\mu\text{m}$; il présente de plus un très faible courant d'obscurité à $2h^+/s$.

Mots-clés :

capteur d'images CMOS, photo-gate à collection de trous, grille de transfert verticale, tranchée d'isolation profonde capacitive, éclairnement par la face arrière, capteur à pixels actifs, excursion en tension, gamme dynamique, faible tension, courant d'obscurité

Abstract

This Ph.D. thesis work is a follow-up of the ongoing development of image sensors, to be competitive on the imager market and for various applications such as the mobile phone. This work is based on an image sensor that gather the latest technological achievements developed in STMicroelectronics, more specifically on a hole-collection photo-gate pixel architecture, constituted with a vertical transfer gate and a pixel circuit of PMOS transistors. The objective of the study is to optimize the performances of the sensor either on reducing the pitch pixel either on reducing the operated voltages.

This study starts from a $2\mu\text{m}$ pitch pixel previously developed operated at 3.5V. Different structures constituting the pixel are fabricated with new choices of technological, geometrical and electrical parameters. They are analyzed and optimized by TCAD and/or Spice simulations. The issue of the pixel interfaces passivation (front-side, trenches and back-side interfaces) is dealt with in order to avoid dark current degradation. Two pixel versions are conceived and proposed : a $2\mu\text{m}$ pitch pixel operated at 2.5V and 1.8V and a $1.2\mu\text{m}$ pitch pixel operated at 3.5V.

Those two pixel versions are then fabricated and characterized. The pixel transistors and the doping profiles of the $2\mu\text{m}$ pitch pixel are optimized in such a way that it can store the same charge quantity of $8000h^+$ even after the reduction of the operated voltages and have lower floor noises, with a fixed pattern noise of about $1h^+$. The pixel $1.2\mu\text{m}$ is proposed and conceived with the transistors fabricated directly on top of the pixel trenches. It is optimized to have similar performances of the $2\mu\text{m}$ pitch pixel ; on top of that he has a very low dark current of $2h^+/s$.

Keywords :

CMOS image sensors, hole-collection photo-gate, vertical transfer gate, capacitive deep trench isolation, back-side illumination, active pixel sensor, voltage range, dynamic range, low voltage, dark current

Bibliographie

- [1] N. Daghighian, "Histoire de la photographie." support de cours.
- [2] G. Bienvenu, "Une très brève histoire de la photographie." support de cours.
- [3] W. Boyle et G.E. Smith, "Charged coupled semiconductor devices," Bell System Tech. J., vol. 49, pp. 587–593, Avril 1970.
- [4] S. Mendis; S.Kemeny et E.Fossum, "Cmos active pixel image sensor," IEEE Transactions on Electron Devices, vol. 41, pp. 452–453, 1994.
- [5]
- [6] C. Jenik, "De plus en plus de photos grâce aux smartphones." <https://fr.statista.com/infographie/10917/de-plus-en-plus-de-photos-grace-aux-smartphones/>, 2017. site internet de statistique.
- [7] VisionDoctor, "Typical pixel sizes of industrial cameras." <https://www.vision-doctor.com/en/camera-technology-basics/sensor-and-pixel-sizes.html>. site internet.
- [8] R. Dennard; F. Gaensslen; Y. Hwa-Nien et al., "Design of ion-implanted mosfets with very small physical dimensions," IEEE Journal of Solid-State Circuits, vol. SC-9, pp. 256–268, Octobre 1974.
- [9] R. Walden; R.H. Krambeck; R.J. Strain; J. McKenna; N.L. Schryer et G.E. Smith, "The buried channel charge coupled device," The Bell System Technical Journal, pp. 1635–1640, Septembre 1972.
- [10] E. Oda; Y. Ishihara et N. Teranishi, "Blooming suppression mechanism for an interline ccd image sensor with a vertical overflow drain," Technical Digest - International Electron Devices Meeting, 1983.
- [11] N. Teranishi; A. Kohono; Y. Ishihara; E. Oda et K. Arai, "No image lag photodiode structure in the interline ccd image sensor," International Electron Devices Meeting, San Francisco, pp. 324–327, 1982.
- [12] I. Inoue; N. Tanaka; H. Yamashita et al., "Low-leakage-current and low-operating-voltage buried photodiode for a cmos imager," IEEE Transactions on Electron Devices, vol. 50, no. 1, pp. 43–47, 2003.
- [13] H. Wong, "Technology and device scaling considerations for cmos imagers," IEEE Transactions on Electron Devices, vol. 43, no. 12, pp. 2131–2142, 1996.
- [14] Sony, "Product technology milestones : semiconductors and image sensor." <https://www.sony.net/SonyInfo/CorporateInfo/History/sonyhistory-o.html>. site internet Sony.
- [15] Sony, "History of sony's semiconductors." <https://www.sony-semicon.co.jp/e/company/history/>. site internet du groupe Sony Solutions Semiconductor.

- [16] M. Lapedus, "Scaling cmos image sensors." <https://semiengineering.com/scaling-cmos-image-sensors/>, Year=2020. site internet de Semiconductor Engineering.
- [17] Samsung, "Mobile image sensor." <https://www.samsung.com/semiconductor/image-sensor/mobile-image-sensor/>, 2020. site internet de Samsung.
- [18] G. P. Weckler, "Operation of p-n junction photodetectors in a photon flux integrating mode," *IEEE Journal of Solid State Physics*, vol. SC-2, pp. 65–73, Septembre 1967.
- [19] TechInsights, Sony IMX362, 1/2.55" Format, 12MP, 1.4 μm Pixel Pitch , Stacked Back-Illuminated (EXMOR RS) with Full- Chip Dual Photocathode Autofocus CMOS Image Sensor. Octobre 2019. Disponible sur www.techinsights.com.
- [20] B. Bayer, "Color imaging array," U.S. Patent 3971065, Février 1976.
- [21] R. Lukac et K.N. Plataniotis, "Color filter arrays : Design and performance analysis," *IEEE Transactions on Consumers Electronics*, vol. 51, pp. 1260–1267, Novembre 2005.
- [22] A. Einstein, "Über einen die erzeugung und die verwandlung des liches betreffenden heuristischen gesichtspunkt," *Annalen der Physik*, pp. 132–148, Mars 1905. traduction anglaise : "Concerning an Heuristic Point of View Toward the Emission and Transformation of Light", *American Journal of Physics*, vol.33, no.5, Mai 1965.
- [23] C. Mornet, Reconstruction couleur sous faible éclairnement pour des capteurs d'images en technologie CMOS. PhD thesis, Université de Grenoble, 2014.
- [24] B. Gunturk; J. Glozbatch; Y. Altunbasak; R. Schafer et R. Mersereau, "Demosaicking : Color filter array interpolation," *IEEE Signal Processing Magazine*, vol. 22, no. 1, pp. 44–54, 2005.
- [25] S. Sze, Semiconductor Devices : Physics and Technology. John Wiler & Sons, Inc., 2^{nde} ed., 2002.
- [26] N. Saks, "A technique for suppressing dark current generated by interface states in buried channel ccd imagers," *IEEE Electron Device Letters*, vol. 1, pp. 131–133, Juillet 1980.
- [27] B. Burkey; W. Chang; J. Littlehale; T. Lee; T. Tredwell; J. Lavine et E. Trabka, "The pinned photodiode for an interline transfer ccd image sensor," International Electron Devices Meeting, San Francisco, pp. 28–31, 1984.
- [28] E. Fossum, "Cmos image sensors : electronic camera-on-a-chip," *IEEE Transactions on Electron Devices*, vol. 40, no. 10, pp. 1689–1698, 1997.
- [29] F. Maloberti, Analog Design for CMOS VLSI Systems. KLUWER ACADEMIC PUBLISHERS, 2003.
- [30] C. Enz et E.A. Vittoz, Charge-Based MOS transistor modeling - The EKV model for low-power and RF IC design. John Wiley, 2006.
- [31] A. Theuwissen, Hands-on Characterization of Solid-State Imager Sensors. Continuing Education Institute, 2018.
- [32] W. Shockley et W. Read, "Statistics of the recombinations of holes and electrons," *Physical Review*, vol. 87, no. 5, pp. 835–842, 1952.

- [33] R. Entner, Modeling and Simulation of Negative Bias Temperature Instability. PhD thesis, Technische Universität Wien, 2007.
- [34] A. Edwards et W. Fowler, "Semiempirical molecular orbital techniques applied to silicon dioxide : Mindo/3," Journal of Physics and Chemistry of Solids, vol. 46, no. 7, pp. 841–857, 1985.
- [35] F. Grunthaler ; P.J. Grunthaler ; R.P. Vasquez ; B.F. Lewis ; J. Maserjian et A. Madhukar, "Local atomic and electronic structure of oxide/gaas and sio2/si interfaces using high-resolution xps," J.Vac.Sci.Technol., vol. 16, pp. 1443–1453, 1979.
- [36] A. Edwards, "Interaction of h and h2 with the silicon dangling orbital at the 111 si/sio2 interface," Physical Review B, vol. 44, no. 4, pp. 1832–1838, 1991.
- [37] P. Caplan ; E. Poindexter ; B. Deal et R. Razouk, "Esr centers, interface states, and oxide fixed charge in thermally oxidized silicon wafers," Journal of Applied Physics, vol. 50, no. 9, pp. 5847–5854, 1979.
- [38] E. Poindexter ; P. Caplan ; B. Deal et R. Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers," vol. 52, no. 2, pp. 879–884, 1981.
- [39] C. Helms et E. Poindexter, "The silicon-silicon dioxide system : Its microstructure and imperfections," Reports on Progress in Physics, vol. 57, no. 8, pp. 791–852, 1994.
- [40] R. Weeks, "The many varieties of e centers : a review," Journal of Non-Crystalline Solids, vol. 179, pp. 1–9, 1994.
- [41] G. Barbottin et A. Vapaille, Instabilities in Silicon Devices, New Insulators, Devices and Radiation Effects. Elsevier Science B.V., 1999.
- [42] V. Sharma, Study of Charges Present in Silicon Nitride Thin Films and Their Effect on Silicon Solar Cell Efficiencies. PhD thesis, Arizona State University, 2013.
- [43] D. Benoit, Etude des propriétés du nitrure de silicium PECVD et de sa stabilité thermique. Influences sur les dispositifs de la microélectronique. PhD thesis, Ecole Polytechnique, 2006.
- [44] J. Kanicki et W. Warren, "Defects in amorphous hydrogenated silicon nitride films," Journal of Non-Crystalline Solids, vol. 164-166, pp. 1055–1060, 1993.
- [45] W. Warren ; J. Robertson et J. Kanicki, "Si and n dangling bond creation in silicon nitride thin films," Applied Physics Letters, vol. 63, pp. 2685–2687, 1993.
- [46] J. Robertson, "Defects and hydrogen in amorphous silicon nitride," Philosophical Magazine B, vol. 69, pp. 307–326, 1994.
- [47] A. G. Aberle, "Overview on sin surface passivation of cystalline silicon solar cells," Solar Energy Materials and Solar Cells, vol. 65, pp. 239–248, 2001.
- [48] J. Schmidt et A. Aberle, "Carrier recombination at silicon-silicon nitride interfaces fabricated by plasma-enhanced chemical vapor deposition," Journal of Applied Physics, vol. 85, no. 7, pp. 3626–3633, 1999.
- [49] E. Fossum et P. Wong, "Future prospects for cmos active pixel sensors," in IEEE Workshop on CCDs and Advanced Image Sensors, 1995.

- [50] C. Huang; B. Burke; B. Kosicki et al, "New process for thinned, back-illuminated ccd imager devices," International Symposium on VLSI Technology, Systems and Applications, pp. 98–101, 1989.
- [51] B. Pain, "Fabrication and initial results for a back-illuminated monolithic aps in a mixed soi bulk cmos technology," IEEE Workshop on CCDs and Advanced Image Sensors, pp. 102–104, 2005.
- [52] B. Pain; T. Cunningham; S. Nikzad et al., "A back-illuminated megapixel cmos image sensor," IEEE Workshop on CCDs and Advanced Image Sensors, pp. 35–38, 2005.
- [53] W. Keenan et H. Hosack, "A channel-stop-defined barrier and drain antiblooming structure for virtual phase ccd image sensors," IEEE Transactions on Electron Devices, vol. 36, no. 9, pp. 1634–1638, 1989.
- [54] J. Prima; F. Roy; H. Leininger et al., "Improved colour separation for a backside illuminated image sensor with 1.4 μm pixel pitch," International Image Sensor Workshop, pp. 4–7, 2009.
- [55] J. Appels et al, "Local oxidation of silicon and its application in semiconductor device technology," Philips Research Rep., vol. 25, 1970.
- [56] B. Davari; C. Koburger; T. Furukawa et al, "A variable size shallow trench isolation (sti) technology with diffused sidewall doping for submicron cmos," IDEM, pp. 88–93, 1988.
- [57] J. Hui; P. Vande Voorde et J. Moll, "Scaling limitations of submicron local oxidation technology," Technical Digest - International Electron Devices Meeting, pp. 392–395, 1985.
- [58] R. Rung; H. Momose et Y. Nagakubo, "Deep trench isolated cmos devices," Technical Digest - International Electron Devices Meeting, pp. 237–240, 1982.
- [59] A. Tournier; F. Leverd; L. Favennec et al., "Pixel-to-pixel isolation by deep trench technology : Application to cmos image sensor," Proceedings of 2011 International Image Sensor Workshop, pp. 5–8, 2011.
- [60] N. Ahmed, MOS Capacitor Deep Trench Isolation for CMOS Image Sensors. PhD thesis, Université de Lyon, 2015.
- [61] J. Michelot, Développement d'une photodiode pincée à stockage de charges vertical pour les capteurs d'image CMOS éclairés par la face arrière. PhD thesis, Université de Grenoble, 2012.
- [62] B. Mamdy, Nouvelle architecture de pixel CMOS éclairé par la face arrière, intégrant une photodiode à collection de trous et une chaîne de lecture PMOS pour capteurs d'image en environnement ionisant. PhD thesis, Université de Lyon, 2016.
- [63] J. Ahn, "A 1/4-inch 8mpixel cmos image sensor with 3d backside-illuminated 1.12 μm pixel with front-side deep-trench isolation and vertical transfer gate," in IEEE International Solid-State Circuits Conference, 2014.
- [64] A. Suler, Développement d'un pixel photogate éclairé par la face arrière. PhD thesis, Université Grenoble Alpes, 2019.
- [65] M. Rousseau, Impact des technologies d'intégration 3D sur les performances des composants CMOS. PhD thesis, Université de Toulouse, 2009.

- [66] P. Batude, Intégration à trois dimensions séquentielle : Etude , fabrication et caractérisation. PhD thesis, Institut Polytechnique de Grenoble, 2009.
- [67] P. Coudrain, Contribution au développement d'une technologie d'intégration tridimensionnelle pour les capteurs d'images CMOS à pixels actifs. PhD thesis, Université de Toulouse, 2009.
- [68] F. Roy; A.Suler; T.Dalleau; R.Duru; D.Benoit; J.Arnaud; Y.Cazaux; C.Chatton; L.Montes; P.Morfouli; G.N.Lu, "Fully depleted, trench-pinned photo gate for cmos image sensor applications," 2020.
- [69] C. Schinke; P. Christian Peest; J.Schmidt et al., "Uncertainty analysis for the coefficient of band-to-band absorption of crystalline silicon," AIP Advances, vol. 5, 2015.
- [70] T. Dalleau; R.Duru; D.Benoit; A.Suler; C.Chatton; F.Roy; G.N.Lu, "Electrostatic surface passivation for p-type bsi image sensors," IISW Issue, 2019.
- [71] F. Kusuhara; S. Wakashima; S. Nasuno; R. Kuroda et S. Sugawa, "Analysis and reduction of floating diffusion capacitance in cmos image sensor for photon-countable sensitivity," ITE Transactions on Media Technology and Applications, 2016.
- [72] F. Wang et A. Theuwissen, "Linearity analysis of a cmos image sensor," IS and T International Symposium on Electronic Imaging Science and Technology, 2017.
- [73] J. Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit," Scientific Papers of the Bureau of Standards, vol. 15, no. 351, pp. 367–385, 1920.
- [74] J. Chern; J. Huang; L. Arledge; P. Li et P. Yang, "Multilevel metal capacitance models for cad design synthesis systems," IEEE Electron Device Letters, vol. 13, no. 1, pp. 32–34, 1992.
- [75] T. Dalleau et F.Roy, "Cmos image pixel with buried channel reset mos transistor," Patent FR3098075A1, 2019.
- [76] T. Dalleau, "Cmos image pixel sensor with transmission gate read transistors," Patent FR3100657A1, 2019.
- [77] G. Ghibaudo, "New method for the extraction of mosfet parameters," Electronic Letters, vol. 24, no. 9, pp. 543–545, 1988.
- [78] S. Pauliac-Vaujour; P.Brianceau; C.Comboroure, O.Faynot, "Improvement of high resolution lithography by using amorphous carbon hard mask," Elsevier, 2008.
- [79] M. Wilson; J. Lagowski; L. Jastrzebski; A. Savtchouk et V. Faifer, "Cocos (corona oxide characterization of semiconductor) non-contact metrology for gate dielectrics," American Institute of Physics, pp. 220–225, 2001.
- [80] E. Oudot, Oxyde métalliques pour la passivation de l'interface Si/SiO₂ des capteurs d'images CMOS. PhD thesis, Université Grenoble Alpes, 2018.
- [81] J. Lagowski, "Correlation of v_{fb} and q_{tot} ," SDI, 2003. Information interne TSMC.
- [82] J. Pellish, "Single-event and total dose testing for advanced electronics," IEEE and NSREC course, 2012.

-
- [83] Hugues and H. J.M.Benedetto, "Radiation effects and hardening of mos technology : Devices and circuits," IEEE Transactions on Nuclear Science, vol. 50, no. 3, pp. 500–521, 2003.
- [84] S. Place, Élaboration d'une technologie de pixels actifs à détection de trous et évaluation de son comportement en environnement ionisant. PhD thesis, Institut Supérieur de l'aéronautique et de l'espace, 2012.
- [85] R. Zheng et J.Wang, "Dark current analysis of p-type and n-type pixels under total ionizing dose radiation effects," IEEE, 2016.