



HAL
open science

Contribution à la caractérisation et à la modélisation de composants grand gap GaN–Application à un convertisseur en environnement sévère

Lionel Hoffmann

► To cite this version:

Lionel Hoffmann. Contribution à la caractérisation et à la modélisation de composants grand gap GaN–Application à un convertisseur en environnement sévère. Energie électrique. École normale supérieure de Cachan - ENS Cachan, 2014. Français. NNT: . tel-04673964

HAL Id: tel-04673964

<https://theses.hal.science/tel-04673964v1>

Submitted on 20 Aug 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NonCommercial - NoDerivatives 4.0 International License

THÈSE DE DOCTORAT
DE L'ÉCOLE NORMALE SUPÉRIEURE DE CACHAN

Présentée par

Monsieur Lionel HOFFMANN

Pour obtenir le grade de

DOCTEUR DE L'ÉCOLE NORMALE SUPÉRIEURE DE CACHAN

Domaine :

ÉLECTRONIQUE–ÉLECTROTECHNIQUE–AUTOMATIQUE

Spécialité : Génie Électrique

Sujet de la thèse :

**Contribution à la caractérisation et à la
modélisation de composants grand gap
GaN–Application à un convertisseur en
environnement sévère**

Thèse présentée et soutenue à Cachan le 08 Décembre 2014 devant le jury composé de :

Thierry MEYNARD	Directeur de recherche, CNRS, LAPLACE Toulouse	Rapporteur
Hervé MOREL	Directeur de recherche, AMPERE, INSA Lyon	Rapporteur
Jean-Paul FERRIEUX	Professeur des universités, Univ. Joseph Fourier, G2ELAB	Examinateur
François COSTA	Professeur des universités, ESPE, Créteil	Directeur de thèse
Cyrille GAUTIER	Maître de conférence, IUT, Ville D'avray	Co-encadrant
Brigitte BRAUX	Industrielle, Airbus Defence & Space	Invitée
Mohamed EL HADACHY	Industriel, Schlumberger	Invité

Résumé

Cette thèse porte sur l'étude de nouveaux composants de puissance à base de nitrure de gallium et d'un substrat céramique cofritté à haute température dans l'objectif de concevoir un convertisseur de puissance intégré fonctionnant en environnements sévères. Les travaux effectués durant cette thèse sont réalisés dans le cadre du projet MEMPHIS/GALION (Module Électronique Miniature de Puissance Hermétique Innovant pour applications en environnement Sévère).

Dans un objectif de réalisation de convertisseurs de puissance plus intégrés l'amélioration et l'évolution de l'électronique de puissance dans les années à venir passera par le fonctionnement à des fréquences de découpage plus élevées de ces convertisseurs et/ou d'un fonctionnement à plus haute température. Ces améliorations sont intimement liées à l'évolution des composants à semiconducteur et à la réduction de leurs pertes. Le projet MEMPHIS/GALION a comme objectif la réalisation d'un démonstrateur reflétant les améliorations attendues de l'électronique de puissance.

Le premier chapitre de cette thèse expose un état de l'art des semiconducteurs à grand gap afin de comparer leurs potentiels dans les domaines de la commutation haute fréquence et de la haute température. Il permet de détailler les caractéristiques des principaux semiconducteurs utilisés aujourd'hui dans l'électronique de puissance et lesquels le seront dans les prochaines années. Ce chapitre développe en particulier les propriétés propres de la famille des semiconducteurs III-V auquel le nitrure de gallium appartient.

Le deuxième chapitre est consacré à l'étude d'un substrat céramique cofritté à haute température. Ce substrat n'est pas adapté à l'origine aux problématiques de l'électronique de puissance mais il peut apporter des solutions nouvelles dans le cadre d'un fonctionnement dans des environnements hermétique haute température. Ces caractérisations et modélisations permettront de connaître ses possibilités mais aussi ses limites pour une utilisation en électronique de puissance.

Les troisième et quatrième chapitres sont dédiées à l'étude électrique et thermique d'une cellule de commutation (bras d'onduleur) à base de composants GaN pouvant fonctionner à une fréquence de commutation supérieure à 1 MHz. Ce composant est caractérisé statiquement puis

en commutation fournissant un modèle électrothermique comportemental fiable à température ambiante et jusqu'à 190 ° C. Ces caractérisations permettent la réalisation d'un modèle de la structure complète d'un hacheur avec sa charge afin d'évaluer les pertes par commutation et les phénomènes provoquant des pertes dans les transistors et d'en comprendre les origines.

L'objectif du dernier chapitre est de s'appuyer sur les études et les modèles développés dans les parties précédentes pour étudier et prédimensionner une structure à résonance (LLC) adaptée à un fonctionnement à des fréquences de découpage au delà du mégahertz utilisant les transistors GaN étudiés. Cette étude permettra de mettre en œuvre une stratégie de commande adéquate pour concevoir, au final, un convertisseur de puissance intégré haute fréquence, à faibles pertes, à base de transistors à grand gap.

Mots clés : Semiconducteur à grand gap – Nitrure de gallium – Convertisseur à haute fréquence – HTCC – Convertisseur à résonance – LLC

Abstract

This thesis focuses on the study of new power transistors based on gallium nitride and high temperature cofired ceramic substrate. The aim is to design an integrated power converter operating in harsh environments. The work performed in this thesis is implemented in the context of MEMPHIS/GALION project.

To achieve the aim of more integrated power converters, in coming years, the power electronics improvement and development include the increase of the converter switching frequencies and/or high temperature operating. These improvements are closely related to the evolution of semiconductors to reduce their losses. MEMPHIS/GALION project aims to achieve an industrial demonstrator reflecting the expected improvements in power electronics.

The first chapter of this thesis presents a wide bandgap semiconductors state-of-the-art to evaluate their potential in the areas of high frequency switching and high temperature. This provides an opportunity to outline the characteristics of the main semiconductor used today in power electronics and which will be used in the coming years. This chapter develops especially the specific properties of III-V semiconductor family which gallium nitride belongs to.

The second chapter examines high temperature cofired ceramic substrate. Initially, this substrate is not adapted to the particular issues of power electronics, but it can lead to new solutions as part of an operation in high temperature hermetic environments. These characterizations and modeling will show its capacities but also its limits for use in power electronics.

The third and fourth chapters are dedicated to electrical and thermal studies of a GaN-based switching cell (inverter leg) that can operate at a switching frequency greater than 1 MHz. The static and switching behavior are characterized providing reliable behavioural electrothermal model at room temperature up to 190 °C. These characterizations allow the achievements of a model of the full inverter leg converter (from the source to the load) to evaluate the switching losses and phenomena causing this losses in the transistors and to understand its origins.

The aim of the final chapter is based on studies and models developed in the previous chapter to study and predetermine a resonant power converter (LLC) for operating at switching

frequencies beyond megahertz using GaN transistors. This study will implement a suitable control strategy in order to, finally, design a low loss integrated high frequency power converter based on GaN transistors.

Keyword : Wide bandgap semiconductors – Gallium Nitride – High frequency power converter – HTCC – Resonant power converters – LLC

Glossaire

- 2DEG – Two-Dimensional Electron Gas** Gaz d'électron ne pouvant se déplacer que sur 2 axes. 38
- AlGaN – Aluminium Gallium Nitride** Alliage de nitrure d'aluminium et de nitrure de gallium. 28, 29, 35, 38, 40, 42, 43, 46, 47, 49, 50, 143
- CALC – Circuit d'Aide à La Commutation** Circuit permettant la réduction des pertes. 179, 184
- CEM – Compatibilité ÉlectroMagnétique.** 90
- CPLD – Complex Programmable Logic Device**
trad. : Circuit logique programmable complexe. 92
- eGaN-FET – enhancement Gallium Nitride - Field Effect Transistor** Composants de la gamme EPC. 47, 76, 77, 80, 85, 89, 95, 106, 137, 218
- EPC – Efficient Power Converter** Seul fournisseur de composants GaN disponible. 47, 75–77, 81, 86–88, 90, 114, 131–133, 136, 137, 145, 161, 180, 181, 184, 188, 195, 219, 232, 233
- FR-4 – Flame Resistant 4** Composite de résine époxy renforcé de fibre de verre couramment utilisé pour la fabrication de circuit imprimé. 51, 53
- GaAs – Gallium Arsenide**
trad. : Arséniure de gallium. 31, 35, 112
- GaN – Gallium Nitride**
trad. : Nitrure de gallium. 27–32, 34, 35, 37, 38, 40, 43–47, 49, 50, 53, 75, 76, 84, 86–88, 90, 99, 112, 113, 115, 131–133, 135–138, 144, 150, 157, 160, 161, 167, 172, 177, 180, 181, 184, 188, 195, 196, 219, 223, 226, 232, 233
- HEMT – High Electron Mobility Transistor**
trad. : Transistor à haute mobilité électronique. 34, 37, 40, 43, 44, 49

HTCC – High Temperature Cofired Ceramique

trad. : Céramique cofrité à haute température. 51, 52, 62, 66, 71, 73, 74

InGaN – Indium Gallium Nitride

trad. : Nitrure de gallium-Indium. 28, 29

LGA – Land Grid Array Boîtier pour le montage en surface de circuit intégré. 76, 87

LLC Typologie de convertisseur résonnant grâce à un condensateur et deux inductances. 187, 188, 190–192, 194, 195, 197, 199, 207, 209, 211, 216, 218, 220, 222, 232, 233

LTCC – Low Temperature Cofired Ceramique

trad. : Céramique cofrité à basse température. 51

MOSFET – Metal Oxide Semiconductor Field Effect Transistor,

trad. : Transistor à effet de champ à structure métal-oxyde-semiconducteur

Transistor contrôlant le courant par densité de porteurs se trouvant à une distance fixe de la grille. 38, 43, 46, 49, 50, 76, 77, 80, 86, 132

PCB – Printed Circuit Board

trad. : Carte de circuit imprimé. 66, 87, 115, 133

RL Résistance plus Inductance. 90, 95, 105, 110, 146, 147, 150, 165, 166, 169, 170, 179

SiC – Silicon Carbide

trad. : Carbure de silicium. 31, 49, 112, 219

VHDL – VHSIC Hardware Description Language Langage de description de matériel destiné à représenter le comportement ainsi que l'architecture d'un système électronique numérique. 90, 92

wurtzite Type de structure cristalline. 28, 29, 35

ZCS – Zero Current Switching

trad. : Commutation à zéro de courant. 194, 196, 197

ZVS – Zero Voltage Switching

trad. : Commutation à zéro de tension. 185, 192, 194–196, 215, 232

Table des matières

Introduction	1
Int.1 L'évolution de l'électronique embarquée dans les différents domaines	1
Int.1.1 Problématique de l'électronique embarquée	1
Int.1.2 Domaine aéronautique	2
Int.1.3 Domaine automobile	3
Int.1.4 Domaine spatial	4
Int.1.5 L'industrie pétrolière	5
Int.1.6 Les micro-réseaux d'énergie	5
Int.2 Les semi-conducteurs de puissance	7
Int.2.1 Les nouveaux semi-conducteurs grand gap	8
Int.2.2 L'apport des composants grand gap	9
Int.2.3 Le carbure de silicium	10
Int.2.4 Le nitrure de gallium	12
Int.3 Problématique	16
Int.3.1 Le projet MEMPHIS/GALION	16
Int.3.2 Objectifs et périmètre de travail	18
Int.3.3 Conclusion	23
1 État de l'art des composants GaN	27
1.1 Le nitrure de gallium	27
1.1.1 Évolution scientifique	27
1.1.2 Physique du matériau	27
1.1.3 Propriétés thermiques	29
1.1.4 Propriétés optiques	29
1.1.5 Propriétés électriques	29
1.1.6 Comparaison Si, SiC,	31
1.2 Les transistors HEMT	33

1.2.1	Création d'une hétérojonction	34
1.2.2	Détermination de la densité électronique du gaz d'électrons bidimensionnel (2DEG)	37
1.2.3	Modélisation des transistors GaN HEMT	43
1.3	L'épitaxie du GaN	44
1.3.1	Homoépitaxie (substrat GaN massif)	44
1.3.2	Hétéroépitaxie	45
1.4	Structure interne d'un composant HEMT GaN sur silicium	47
1.5	Conclusion	49
2	Étude et caractérisation d'un substrat HTCC pour un convertisseur DC/DC au GaN	51
2.1	Présentation du HTCC	52
2.2	Caractérisations de la résistance des pistes	54
2.2.1	Problème lié aux pistes fines	55
2.2.2	Banc de mesures	55
2.2.3	Erreur de mesures et chiffres significatifs	57
2.2.4	Mesure des pistes	58
2.2.5	Détermination des paramètres du modèle des pistes	59
2.2.6	Modélisation des pistes	62
2.2.7	Synthèse sur la résistance des pistes	65
2.3	Caractérisations de la permittivité relative de l'alumine	66
2.3.1	Mesures de la capacité	67
2.3.2	Modélisation de la capacité	68
2.3.3	Synthèse sur la permittivité relative de l'alumine	73
2.4	Conclusion	74
3	Caractérisations électriques et thermiques de composants GaN dans une structure de hacheur	75
3.1	Les transistors EPC	76
3.1.1	Caractéristiques générales	76
3.2	Caractérisation électrique statique	77
3.2.1	Caractérisation à température ambiante	78
3.2.2	Caractérisation en fonction de la température	83
3.2.3	Synthèse sur le comportement électrique statique	86
3.3	Caractérisation électrique dynamique (carte 1)	86
3.3.1	Implantation des composants sur PCB	87
3.3.2	Structure de test	89

3.3.3	Mesures réalisées	95
3.3.4	Synthèse sur le comportement électrique dynamique (carte 1)	99
3.4	Caractérisation électrique dynamique (carte 2)	101
3.4.1	Amélioration de la structure de test	101
3.4.2	Mesures réalisées	105
3.4.3	Synthèse sur le comportement électrique dynamique (carte 2)	111
3.5	Caractérisation électrothermique	112
3.5.1	Méthodologie de mesure des pertes	113
3.5.2	Modèle analytique du dispositif de mesure thermique	115
3.5.3	Simulation de la structure d'instrumentation thermique	122
3.5.4	Mesures des pertes d'une cellule de commutation	126
3.5.5	Synthèse sur la caractérisation électrothermique	131
3.6	Conclusion	132

4 Modélisation–simulation électrique et thermique d'une cellule de commutation GaN 135

4.1	Modèle électrique du transistor GaN d'EPC	136
4.1.1	Source de courant I_{ds}	137
4.1.2	Capacité C_{sd}	141
4.1.3	Capacité C_{gd}	142
4.1.4	Capacité C_{gs}	143
4.1.5	Diode Schottky D_{gs} et D_{gd}	143
4.1.6	Résistances d'accès	144
4.1.7	Résistances de convergence	145
4.1.8	Simulations statiques	145
4.2	Simulation de la première génération de carte d'essai	146
4.2.1	Modèle de la structure	146
4.2.2	Simulations dynamiques	153
4.2.3	Étude de la surtension lors du front montant de V_{ch}	157
4.2.4	Effet du courant de charge sur la variation de la tension V_{ch} pendant le front descendant	159
4.2.5	Modification de la tension de blocage des transistors	160
4.3	Synthèse sur les simulations statiques et dynamique de la première génération de carte d'essai	161
4.4	Simulation de la seconde génération de carte d'essai	163
4.4.1	Modifications apportées sur la seconde génération de carte d'essai	163
4.4.2	Modèle de la structure	166

4.4.3	Simulations dynamiques	169
4.5	Synthèse sur les simulations dynamique de la seconde génération	171
4.6	Modèle électrothermique	172
4.6.1	Simulations du modèle électrothermique	173
4.7	Synthèse sur la simulation électrothermique	177
4.8	Conclusion	180
5	Modélisation d'un convertisseur de puissance à résonance à base de com- posant GaN	183
5.1	Les structures de convertisseur à résonance	185
5.1.1	Étude d'un convertisseur à résonance LLC	188
5.1.2	Étude du circuit magnétique	199
5.1.3	Calcul des éléments du modèle du circuit LLC	203
5.2	Réalisation d'un circuit magnétique de test	210
5.2.1	Mesures et simulations du circuit magnétique	213
5.3	Simulations du convertisseur de puissance à résonance	215
5.3.1	Simulations en fréquentiel	216
5.3.2	Simulations temporelles	219
5.4	Conclusion	232
	Conclusion générale et perspectives	235
5.5	Conclusion générale	235
5.6	Perspectives	238
	Bibliographie	240

Introduction

Int.1 L'évolution de l'électronique embarquée dans les différents domaines

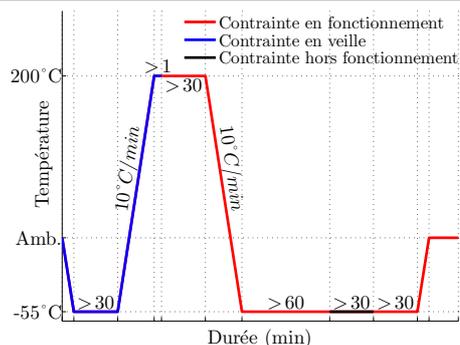
Int.1.1 Problématique de l'électronique embarquée

Les dispositifs électroniques de puissance connaissent depuis longtemps un essor très important [1,2]. Aujourd'hui, cette discipline du génie électrique fait partie de domaines d'applications vastes et variées pour des puissances s'étalant sur une large gamme (d'une centaine de milliwatts à plusieurs centaines de mégawatts). La volonté des industriels quasi unanime de vouloir intégrer les systèmes de puissance dans des dimensions de plus en plus réduites existe et nécessite, pour se faire, une augmentation de la densité volumique de puissance du système, impliquant la réduction du nombre de composants (permettant une meilleure intégration) et l'augmentation de leur rendement. L'intégration plus poussée repose en particulier sur l'accroissement de la fréquence, ce qui augmente d'une part les contraintes électriques [3], et entraîne des contraintes thermiques obligeant à des moyens de refroidissement plus intégrés [4], et d'autre part, des contraintes d'usages telles que la CEM. Cette volonté d'intégration traduit un besoin de flexibilité, de fiabilité et de diminution des coûts de production et d'exploitation des équipements. Les besoins en température se justifient également par des applications plus spécifiques fonctionnant dans une ambiance elle-même à température élevée [5]. Cela touche des domaines tels que l'aéronautique, la traction ferroviaire, le forage, l'automobile, les réseaux de distribution électrique et le spatial. L'augmentation de la fréquence de découpage dans les systèmes engendre des fronts de tension et de courant qui génèrent des perturbations au sein même du convertisseur ou vers l'extérieur [3], il devient donc nécessaire de bien les connaître car outre les problèmes d'interaction, ces perturbations provoquent aussi des pertes supplémentaires [6], stressent les composants et doivent être connues pour répondre aux critères de qualité et de su-

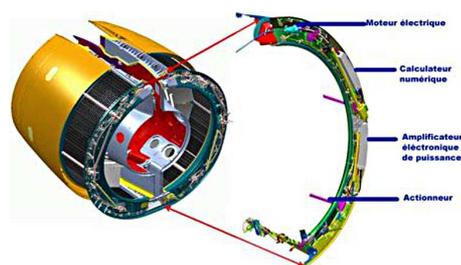
reté de fonctionnement. Cette montée en température et en fréquence des systèmes électriques sont donc des enjeux considérables de l'électronique de puissance du futur dans les systèmes embarqués [7].

Int.1.2 Domaine aéronautique

Les problématiques majeures de l'industrie aéronautique sont le poids des systèmes qui influe directement sur la consommation d'énergie (carburant) de l'appareil ainsi que les délais de maintenance et de conception. Ces facteurs affectent directement le coût de transport [8]. L'objectif fixé par les constructeurs est de diminuer la consommation du carburant à bord et de remplacer les systèmes hydrauliques progressivement par l'énergie électrique pour au final utiliser le réacteur comme vecteur pour la génération d'énergie électrique. Pour ce faire, deux programmes de recherche ont vu le jour. Le premier travaillant sur les matériaux composites [9], le second étant l'avion « plus électrique » [10]. La conception de ces avions implique une augmentation de l'énergie électrique embarquée, accompagnée d'une meilleure gestion. Cette évolution technologique des systèmes ne peut se faire que par l'augmentation de la puissance électrique embarquée dans les avions, partant de 400 kW pour l'A330 jusqu'à 850 kW en ce qui concerne l'A380 [11]. Progressivement les actionneurs hydrauliques sont remplacés par des actionneurs électro-hydrauliques ou électromécaniques [2]. Un exemple illustrant de manière significative cette tendance est la réalisation d'un inverseur de poussée par la société Hispano-Suiza pour l'A380 (figure 1b). Les bénéfices immédiats devraient en être une réduction conséquente de la masse embarquée, une maintenance simplifiée et une amélioration du rendement. Ces actionneurs se trouvent pour la plupart en zone dépressurisée [12], imposant aux convertisseurs de fortes contraintes en terme de température ambiante, pression, vibration... [13] L'électronique de puissance doit pouvoir s'adapter à ces contraintes pour obtenir les performances requises qu'elles soient électriques, thermiques, ou mécaniques. Les systèmes doivent pouvoir supporter de forts cyclages comme le montre la figure 1a où le profil de sollicitation thermique environnementales oscille entre -55 et 200 ° C, il faut noter que dans le domaine militaire ces profils peuvent aller jusqu'à 400 ° C [7]. En raison de l'importance cruciale de la sécurité des passagers, les constructeurs aéronautiques doivent pouvoir réaliser des produits sûrs et fiables. De plus, ces convertisseurs de puissance doivent être optimisés en terme de masse. Les composants à grand gap sont théoriquement très favorables aux aspects thermiques, de masse et de volume. Leur immunité aux agressions radiatives permet de diminuer les contraintes sur les boîtiers de protections et donc là encore sur la masse des systèmes [14].



(a) Profil de température que vont tenir les composants électroniques par rapport à la norme DO-160F



(b) Inverseur de poussée réalisé par Hispano-Suiza contenant un convertisseur de puissance intégré

FIGURE 1 – Contrainte de l'électronique de puissance embarquée dans l'aéronautique

Int.1.3 Domaine automobile

Pour limiter les émissions de CO_2 , le secteur automobile produit des véhicules hybrides et électriques permettant une récupération d'énergie lors de différentes phases comme le freinage [15]. Les convertisseurs de puissance sont indispensables dans ce type de véhicule car il existe de grandes disparités entre les niveaux de tension des sources (batteries, supercondensateurs, ...) et les charges (moteurs, auxiliaires, ...). La puissance embarquée ne cesse d'évoluer (tableau 1), de 20 kW pour la première voiture (Toyota Estima), elle dépasse les 150 kW sur les modèles plus récents (Toyota Lexus RX 400H) [16], pour suivre cette tendance il faut augmenter la densité de puissance dans les véhicules (figure 2) et donc réduire la taille des convertisseurs et des composants passifs. Les acteurs de ce domaine songent donc à faire fonctionner les dispositifs à des températures plus élevées pour réduire le système de refroidissement, assez lourd et coûteux. Les températures actuelles sont comprises entre 85°C et 105°C , mais à l'avenir il est envisageable de les faire fonctionner à des températures proches de 125°C , voir 150°C [16].

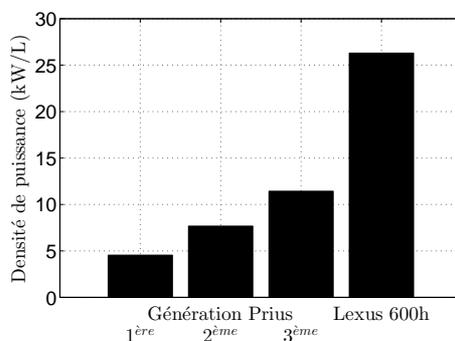


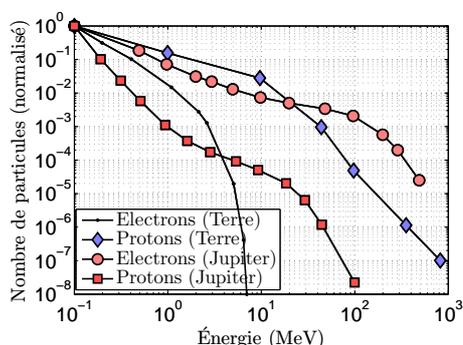
FIGURE 2 – Densité de puissance en fonction des générations électriques de véhicules

TABLEAU 1 – Caractéristique des générations électriques des véhicules hybrides de Toyota Prius [17]

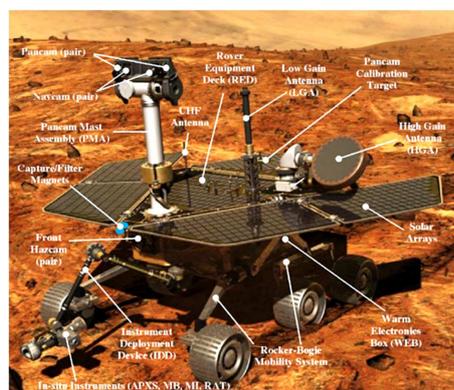
Génération	1 ^{ère} (1997)	2 ^{ème} (2003)	3 ^{ème} (2009)
Tension maximum du système (V)	288	500	650
Tension de batterie (V)	288	202	202
Puissance maximale du véhicule (kVA)	97	162	178
Puissance maximale du moteur électrique (kW)	33	50	60

Int.1.4 Domaine spatial

Le domaine spatial a besoin d'une forte densité de puissance afin de réduire au maximum le poids et le volume du système [18]. Les applications utilisent des électroniques à haute température mais les tensions restent assez faibles (autour de 100 V) [19], et les températures ambiantes maximales plutôt basses (aux environ de 125 °C) [20]. Les nouveaux projets tels l'exploration de Mars et de Venus, où les températures sont comprises entre 200 °C et plus de 500 °C [5], obligent les acteurs du domaine à s'orienter vers les semi-conducteurs à grand gap. D'autre part, les composants doivent supporter une forte exposition aux radiations (figure 3a). La grande robustesse au rayonnement dans l'espace des composants grand gap est une force supplémentaire pour ces semi-conducteurs dans ce domaine [21].



(a) Spectre de radiation de la Terre et de Jupiter



(b) Mars Exploration Rover : module autonome pour l'exploration de la planète Mars

FIGURE 3 – Données concernant le domaine spatial [22]

Ce secteur a l'avantage de bénéficier de forts financements pouvant aller jusqu'au milliard de dollars [22]. Du fait de ces projets spécifiques, des matériaux de grande qualité peuvent être privilégiés, assurant ainsi une fiabilité maximale. En effet, la maintenance est extrêmement difficile, voir impossible s'il s'agit de modules autonomes (figure 3b).

Int.1.5 L'industrie pétrolière

Les convertisseurs de puissance sont utilisés en outre dans les environnements sévères tels que le forage pétrolier ou gazeux (terrestre et sous-marin) où les températures de forage avoisinent les 180°C . Le prix du baril augmentant considérablement, les grands groupes pétroliers sont amenés à creuser toujours plus profond, donc à des températures ambiantes plus élevées. De plus, l'optimisation de l'exploitation des gisements existants doit se faire par forage à l'horizontale (figure 4). Pour ce faire, il faut pouvoir intégrer de l'électronique de puissance pour contrôler les actionneurs d'une puissance de quelques kilowatts sous plusieurs centaines de volts, permettant ainsi le mouvement de la tête de forage [23].

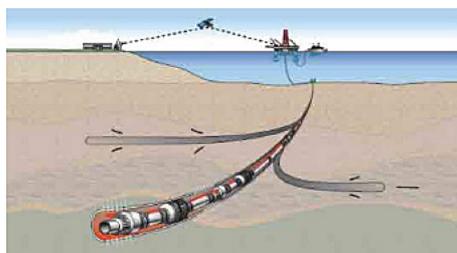


FIGURE 4 – Système de forage horizontal

Ce domaine d'application est très singulier car les besoins en durée de vie sont relativement courts, mais par contre l'environnement de travail est à haute température : 150°C pendant 5000 h pour un forage horizontal, et environ 100 h à 300°C pour l'exploration [24]. Les convertisseurs subissent aussi des contraintes extrêmes en vibration [7].

Int.1.6 Les micro-réseaux d'énergie

L'économie et les contraintes environnementales ont fait évoluer la façon de générer et de transmettre l'énergie électrique en particulier grâce aux sources renouvelables (solaire, éolienne, marées, ...) [25]. Ces systèmes électriques de puissance peuvent fonctionner en tant qu'îlots

énergétiques isolés et reçoivent un intérêt considérable depuis quelques années [26]. Les micro-réseaux ont été mis en place afin d'exploiter ces îlots d'énergies. Pour des raisons économiques, de fiabilité et de flexibilité ils doivent avoir la capacité d'échanger de l'énergie entre les différents systèmes pouvant stocker ou produire de la puissance et même entre d'autres micro-réseaux connectés (figure 5).

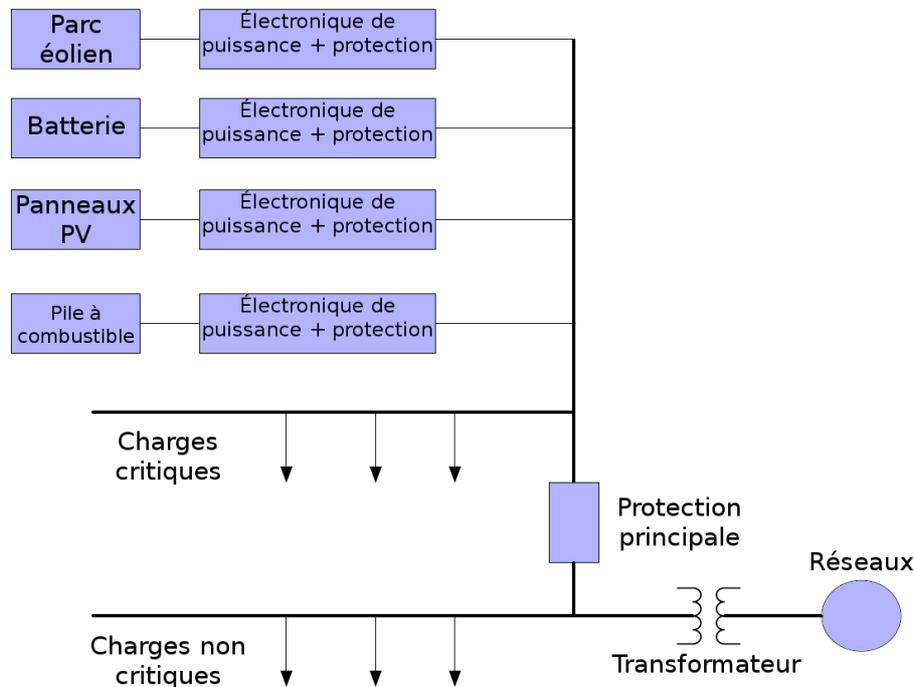


FIGURE 5 – Architecture d'un micro-réseau

Ces interconnexions ont plusieurs rôles, elles doivent d'une part protéger les systèmes les uns des autres en isolant une branche défectueuse par des circuits de coupures (interrupteur électromécanique, haute impédance, ...). Cela a un très grand avantage car en cas de dysfonctionnement, la maintenance du système déficient peut être effectuée sans que le réseau de transfert d'énergie ne soit coupé, ce qui permet une forte continuité de service [25]. D'autre part, elles doivent autoriser une connexion entre des applications qui n'ont pas les mêmes niveaux de tension de fonctionnement ou les mêmes fréquences [27]. Pour effectuer ces conversions il faut donc mettre en place des convertisseurs de puissance adaptés.

Ces dernières années les recherches se sont portées sur les micro-réseaux intégrées directement à la charge ou au générateur d'énergie, l'intérêt est d'avoir des dispositifs autonomes pouvant être insérés dans un réseau de manière simple ou de fonctionner seul (mode îloté) [28]. Ces micro-réseaux doivent donc intégrer au plus près du système les protections et la conversion

de puissance. Afin d'éliminer les harmoniques qui sont propres au fonctionnement des convertisseurs des filtres doivent être disposés ; leur prix et taille peuvent être très conséquents. Pour les réduire, deux solutions sont envisagées : changer la topologie du convertisseur (multi-niveaux, entrelacé) et augmenter la fréquence de commutation [29].

Les domaines d'applications évoqués précédemment présentent des besoins communs et la volonté de faire évoluer l'électronique de puissance vers :

- une montée en fréquence permettant une meilleure intégration ce qui contribuerait à réduire le poids et le volume en diminuant les composants passifs. Cette diminution apporterait une réduction des coûts et de l'énergie consommée par les appareils,
- une augmentation de la température de fonctionnement utile à l'intégration des composants proches de l'actionneur ou pour pouvoir assurer un fonctionnement dans des environnement sévères (têtes de foreuse, modules autonomes d'exploration),
- une diminution des pertes qui faciliterait la réalisation de convertisseurs à plus haut rendement et les allégeraient en réduisant les dissipateurs,
- un accroissement des densités de puissance car les demandes énergétiques dans le domaine de l'électronique embarquée évoluent constamment (augmentation de la puissance, augmentation du nombre de capteur, ...).

Ces besoins amènent aussi une évolution des contraintes d'usages en termes de CEM et de fiabilité. En effet, les normes prévues pour la CEM sont limitées à certaines gammes de fréquence, or l'électronique de puissance va progressivement dépasser ces limites en augmentant la fréquence de commutation des convertisseurs. Un constat similaire peut s'appliquer au tests de fiabilité, si nous prenons l'exemple des tests de cyclage les températures de fonctionnement sont amenée à changer (température maximale de 200 ° C au lieu de 125 ° C).

Int.2 Les semi-conducteurs de puissance

La majorité des convertisseurs de puissance modernes est composée d'interrupteurs à base de composants semi-conducteurs, d'éléments passifs (inductances, capacité, résistances, transformateurs magnétiques ou piézoélectriques) et de dissipateurs thermiques. La technologie de l'interrupteur dépend de paramètres tels que le besoin de le commander, la fréquence de découpage, le type de commutation (dure, ZVS, ZCS, ...), les contraintes en courant et tension commutées.

Les composants de puissance commandables « Solid State » sont arrivés dans les années 1950 avec la création des premiers thyristors de puissance. Les années 60 ont vu l'émergence des transistors bipolaires de puissance. Leur évolution a donné naissance à d'autres catégories de composants tels que le MOSFET dans les années 1970 et l'IGBT dans les années 1980. Le MOSFET a les capacités nécessaires pour être utilisé dans les convertisseurs basse-tension et haute fréquence. L'IGBT, quant à lui, est bien adapté aux tensions supérieures à 600 V et aux fréquences rarement supérieures à 20 kHz. Les applications haute tension (>1 kV) et fort courant (>1 kA) sont propices aux GTOs et aux thyristors. La figure 6 donne un résumé du domaine de puissance en fonction de la fréquence pour les différentes technologies d'interrupteurs de puissance à base de silicium.

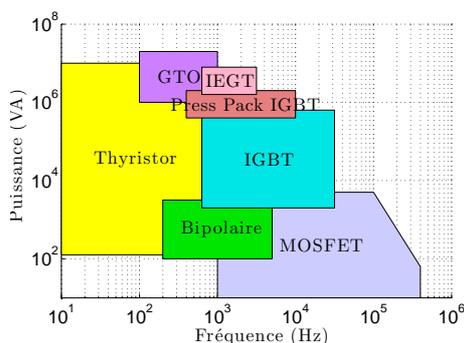


FIGURE 6 – Domaine d'utilisation des différentes technologies d'interrupteur

Int.2.1 Les nouveaux semi-conducteurs grand gap

Depuis que les convertisseurs de puissance rendent possible la conversion d'énergie avec un bon rendement, les recherches portent principalement sur l'amélioration des caractéristiques des composants actifs et passifs ainsi que sur l'environnement du convertisseur tel que le refroidissement, la connectique, la commande, ... Certaines applications (automobile, aéronautique, forage) nécessitent l'emploi de convertisseur statique de puissance dans des environnements thermiques contrégnants avec des températures qui peuvent excéder 200 ° C comme par exemple le forage. La montée en température des puces de puissance pourrait également permettre de façon plus générale un gain sur les volumes des refroidisseurs et donc sur la compacité globale des convertisseurs.

Plusieurs voies sont à l'étude afin d'étendre le fonctionnement des semi-conducteurs. Une d'entre elles est l'amélioration de la technologie Si dans le but d'accroître les performances des composants classiques (composants silicium à superjonction, ...). Cependant, comme le montre

la figure 7, ceux-ci sont pour la plupart à la limite des propriétés physiques des matériaux. Une solution alternative réside dans l'utilisation de matériaux semi-conducteurs aux propriétés intrinsèques meilleures que le silicium et supportant des températures de fonctionnement plus élevées. Les semi-conducteurs à grand gap tels que le carbure de silicium ou le nitrure de gallium, dont nous détaillerons les propriétés au chapitre 1, représentent une véritable rupture technologique et font l'objet de travaux de plus en plus nombreux.

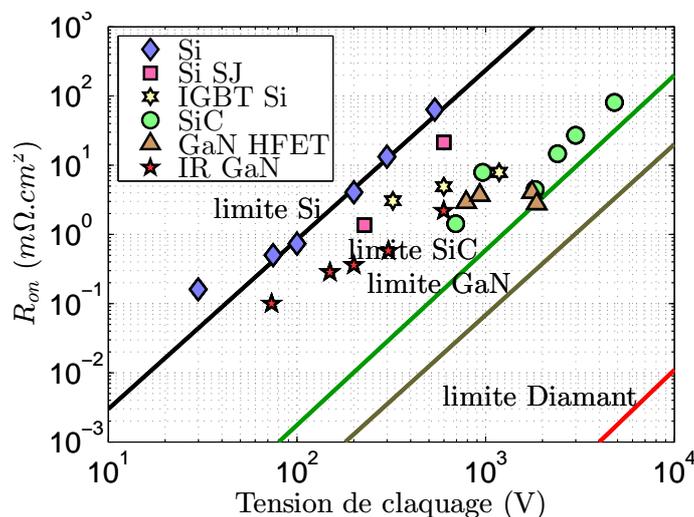


FIGURE 7 – Limites conventionnelles de résistance spécifique des matériaux semi-conducteurs

Int.2.2 L'apport des composants grand gap

Actuellement, la réalisation de convertisseurs à base de composants de puissance en silicium nécessite l'utilisation de composants passifs volumineux et d'un système de refroidissement conséquent. La mont en température des puces de puissances associée à des fréquences de découpage plus importantes permettraient de réduire le volume de ces dispositifs. Afin de comparer le potentiel des semi-conducteurs, des facteurs de mérite ont été définis. Chacun permet de comparer les performances dans un domaine d'application. Les plus couramment utilisés pour les composants unipolaires sont :

- le facteur de mérite de Johnson (JFM) est le produit de la tension maximum applicable sur le transistor et sa fréquence de coupure, il caractérise les dispositifs opérant à haute fréquence [30],

$$JFM = \frac{E_c v_{sat}}{2\pi} \quad \left[\frac{V}{s} \right]$$

- le facteur de mérite de Keye (KFM) établit l'aptitude du matériau pour la réalisation de circuits intégrés, en tenant compte de la vitesse de commutation des transistors et

de leur limitation par auto-échauffement [31],

$$KFM = \lambda \sqrt{\frac{cv_{sat}}{4\pi\epsilon_r}} \quad \left[\frac{W}{s.K} \right]$$

- le facteur de mérite de Baliga (BFM) mesure les performances du matériau pour une forte tenue en tension et une faible résistance en direct, il est utile pour comparer différents matériaux semi-conducteurs dans les applications de puissance haute tension [32],

$$BFM = \epsilon_0\epsilon_r\mu E_g^3 \quad [V.A.m]$$

- le BHFM (un autre facteur de mérite de Baliga) prend en compte la mobilité des porteurs et le champ électrique critique, il est utilisé dans les applications haute fréquence et nous informe sur les pertes en commutation,

$$BHFM = \mu \mathcal{E}_c^2 \quad \left[\frac{V}{s} \right]$$

Le BPFM (Bipolar Power handling capacity) et le BTFM (Bipolaire power switching product) sont deux facteurs de mérite permettant de comparer les composants bipolaires [18].

Le tableau 2 représente ces différents facteurs pour les semi-conducteurs à grand gap les plus prometteurs normalisés par rapport au silicium. Les facteurs de mérite différent beaucoup dans la littérature car le choix de l'axe cristallin ou encore la mobilité des porteurs (surtout pour les trous dans le GaN) a une importance sur leur calcul [18]. Néanmoins, ces différents facteurs de mérite montrent l'intérêt des composants à grand gap par rapport au matériau silicium pour des applications de forte puissance commutée et haute fréquence.

Int.2.3 Le carbure de silicium

Les composants au SiC sont développés depuis environ 15 ans. Ils se présentent actuellement comme une solution intéressante pour le domaine de la haute tension. Pour le moment, ils ne sont pas spécialement conçus pour les applications haute température. Néanmoins, leur intérêt est justifié aux températures usuelles pour l'amélioration de la taille et du rendement des systèmes. La température de fonctionnement des composants disponibles sur le marché est spécifiée à 175 °C. Cette limitation est liée au packaging et aux métalisations et passivation sur la puce. La large bande interdite du SiC (presque 3 fois plus élevée que celle du silicium), la vitesse de saturation des porteurs élevée sous forts champs électriques et le champ de claquage élevé sont des atouts pour l'obtention de composants haute tension rapides et ayant des faibles

TABLEAU 2 – Facteurs de mérite des matériaux courants

	Si	GaAs	4H-SiC	6H-SiC	GaN	Diamant
JFM	1	11	180	260	790	2540
KFM	1	0,45	5,1	5,1	1.8	32,1
BFM	1	15,6	130	110	650	4110
BHFM	1	10,8	22,9	16,9	77,8	470

\mathcal{E}_c	Champ électrique critique [$V.m^{-1}$]
v_{sat}	Vitesse de saturation [$cm^2.s^{-1}$]
λ	Conductivité thermique [$W.m^{-1}.K^{-1}$]
ε_0	Permittivité du vide [$F.m^{-1}$]
ε_r	Permittivité relative du matériau
μ	Mobilité électronique [$cm^2.V^{-1}.s^{-1}$]
E_g	Énergie du gap [eV]
c	Célérité de la lumière [$m.s^{-1}$]

perdes en conduction. La rigidité diélectrique dix fois plus importante que celle du silicium explique la possibilité d'accroître le dopage des couches semi-conductrices, donc de réduire la résistance à l'état passant, pour une tension de claquage similaire à un composant au silicium tout en réduisant ses dimensions [33, 34].

La figure 8 présente les températures de jonction maximales que les matériaux semi-conducteurs peuvent supporter en fonction de la tension de claquage lorsque le courant de génération thermique est pris comme limite. Le SiC peut être utilisé à température très élevée même pour des composants de forte tenue en tension, le diamant est représenté comme la limite haute des possibilités des semi-conducteurs. Sa très faible densité de porteurs de charge intrinsèque entraîne des courants de fuite restant très faibles même pour des températures de jonction élevées ($>500^\circ C$). De plus, sa grande conductivité thermique (plus de trois fois celle du silicium) lui permet une meilleure évacuation des pertes. Le SiC est donc un très bon candidat pour les applications à haute température.

Les composants unipolaires à base de carbure de silicium sont très attractifs au niveau commercial. Les diodes Schottky en 4H-SiC de tenue en tension 1200 V sont déjà commercialisées depuis quelques années alors que les diodes Schottky à base de silicium ne dépassent pas 200 V. Les recherches ont permis aux MOSFET SiC de dépasser des tenues en tension de plus de 3,3 kV alors que les IGBT silicium se voient limités en fréquence et que les transistors MOSFET silicium sont limités à 600 V. Les JFET SiC sont une bonne alternative aux MOSFET

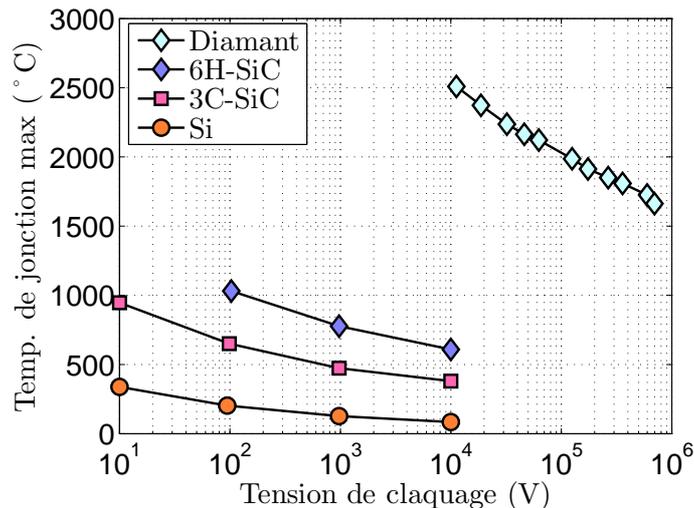


FIGURE 8 – Température de jonction maximum en fonction de la tension de claquage des matériaux SiC

SiC grâce à leur technologie plus mature, cependant ils ont l'inconvénient d'être normalement passants (problème de sécurité des systèmes pour l'industrie) et donc doivent être commandés par un driver adapté à cette caractéristique.

Sur un plan technologique le SiC reste aujourd'hui le plus avancé des semi-conducteurs à grand gap car le GaN et le diamant n'existent pas encore sous forme de wafer massif de dimensions et de qualité cristalline compatibles avec les contraintes de fabrication industrielle.

Int.2.4 Le nitrure de gallium

Le nitrure de gallium (GaN) permet une forte augmentation de la fréquence de découpage des composants, et conséquemment une diminution importante de la taille des composants passifs. En outre, sa capacité à commuter à haute température (figure 9) pourrait permettre ainsi la diminution de la taille du système de refroidissement. Par rapport au SiC, il n'a pas l'obligation d'être réalisé par croissance cristalline sur un substrat de même composition [35]. Les composants GaN peuvent être réalisés par hétéroépitaxie sur des substrats silicium, Sic ou Sapphire, permettant ainsi une production de composants sur des surfaces de wafer plus importantes (150 et 200 mm de diamètre) et à bas coût.

Le GaN apporte donc deux générations de composants ayant des caractéristiques distinctes :

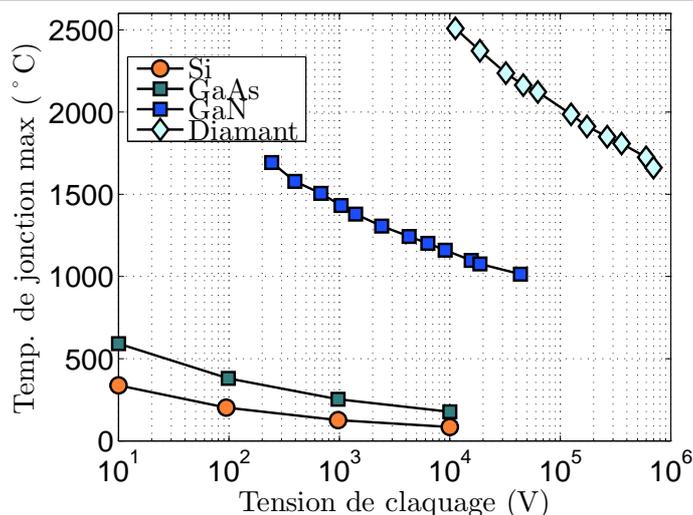


FIGURE 9 – Température de jonction maximum en fonction de la tension de claquage des matériaux GaN et Diamant par rapport au Si

- les composants verticaux épitaxiés sur substrat GaN permettent de réaliser des interrupteurs capables de commuter à haute température et supportant des champs de claquage élevés. Ces composants ne peuvent pas bénéficier de l'hétérojonction entre le AlGaN et le GaN (accroissement de la mobilité des électrons) car il faudrait pouvoir épitaxier les deux matériaux comme cela est fait dans un MOSFET Trench,
- les composants latéraux qui peuvent être réalisés sur d'autres substrats comme le silicium acceptent cette hétérostructure, en revanche ils se retrouvent avec les limitations du silicium d'où un fonctionnement dégradé.

Le GaN rassemble les caractéristiques des matériaux à large bande interdite le prédestinant à des applications de forte puissance et à haute fréquence. Il combine un champ de claquage élevé associant un faible taux d'ionisation par impact, une forte conductivité ($1,3 \text{ W.cm}^{-1}\text{K}^{-1}$ contre $0,5 \text{ W.cm}^{-1}\text{K}^{-1}$ pour le GaAs), une densité d'électrons supérieure à 10^{13} cm^{-2} (grâce à la possibilité de créer des gaz d'électrons 2 dimensions) et des vitesses de saturation relativement importante ($3 \cdot 10^7 \text{ cm}^{-2}$) qui favorisent les applications haute fréquence [36].

Ces excellentes propriétés et son faible coût de fabrication font apparaître le GaN comme une technologie prometteuse pour de nombreux domaines de l'électronique de puissance. En présentant de faibles pertes, la possibilité de travailler à haute fréquence de découplage et haute température, il devrait permettre de faire évoluer significativement le rendement et le volume des convertisseurs d'électronique de puissance.

Les acteurs du marché

La dernière décennie a apporté son lot de progrès sur les matériaux GaN ainsi que sur les procédés technologiques. Les précurseurs du domaine sont les États-Unis et le Japon. L'Europe a suivi peu de temps après ces premières études pour des intérêts d'ordre militaire.

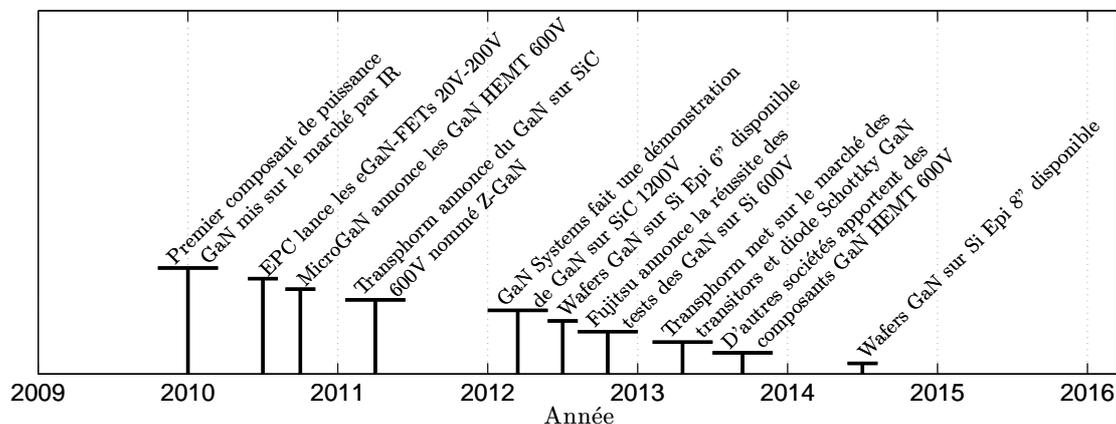


FIGURE 10 – Principales réalisations des différents acteurs de composants GaN

Malgré cela, peu de composants de puissance sont aujourd'hui disponibles commercialement depuis le premier composant annoncé par IR (figure 10). Différents acteurs se sont lancés sur ce marché :

- EPC : seul distributeur fortement accessible à ce jour proposant une gamme de transistors nommés eGaN-FETs, « normalement bloqué » en boîtier LGA de faible taille, allant de 40 à 200 V (EPC 2010) et de 3 à 33 A [37]. La gamme 40 V permet un fonctionnement jusqu'à 150 °C.
- Avogy : nouvelle start-up (créée en 2013) qui propose des diodes et des JFET verticaux GaN épitaxiés sur substrat GaN en boîtier TO-220 pouvant supporter 1200 V [38].
- GaN Systems : cette société américaine annonce que durant la prochaine année elle déploiera une gamme de transistor « normalement passant » et cascode « normalement bloqué » en boîtier PQFN, avec une gamme allant de 150 à 1200 V et de 2 à 300 A ayant des temps de commutation très faible (70 V/ns) [39].
- International Rectifier (IR) : il réalise des travaux sur des transistors 600 V « normalement bloqué » en structure cascode [40].
- MicroGaN : fondé en 2002, il effectue des travaux sur des transistors 600 V « normalement passant » ainsi que sur des transistors « normalement bloqué » en cascode [41].
- Panasonic : il a présenté à la conférence APEC 2013 un transistor 600 V-15 A en boîtier TO-220 [42].

- Fujitsu Semiconductor Limited (FSL) et Transphorm USA : FSL proposent depuis juillet 2013 des transistors GaN 150 V « normalement bloqués » en boîtier WLCSP de faible taille [43], Transphorm propose des transistors 600 V-15 A « normalement bloqués » en boîtier TO-220 et HV PQFN. Depuis Novembre 2013, ces deux entreprises travaillent ensemble pour fabriquer un nouveau composant GaN se basant sur leurs technologies respectives.

Ces différentes sociétés montrent une tendance à l'évolution nécessaire des boîtiers contenant les composants GaN pour limiter le plus possible les inductances parasites [44]. Seul EPC peut fournir des composants GaN au grand public. Les autres distributeurs ayant des composants viables ne les distribuent pour le moment qu'aux sociétés ayant un accord de non-divulgence (NDA) avec eux.

Les semi-conducteurs à grand gap vont permettre dans le futur une évolution des domaines d'utilisation des transistors. La figure 11 montre les zones où ces deux technologies trouveront leur place par rapport au marché industriel, seul une zone restreinte mettra en compétition ces deux technologies de transistors.

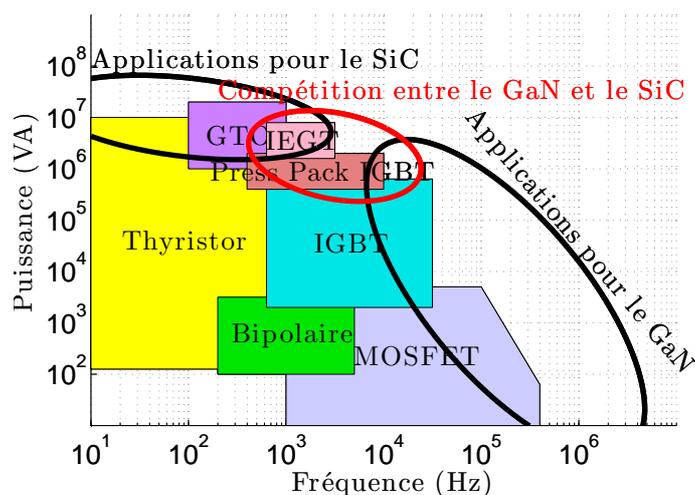


FIGURE 11 – Domaine d'utilisation des nouveaux semi-conducteurs à grand gap

Les composants à base de SiC sont pour le moment en avance sur leur mise sur le marché par rapport aux composants GaN, les fabricants dénoncent une forte activité d'annonce et de développement pour le GaN ; malheureusement, peu de produits sont disponibles pour l'instant.

Int.3 Problématique

Int.3.1 Le projet MEMPHIS/GALION

La partie précédente a montré l'importance de l'évolution technologique en électronique de puissance dans divers domaines. Le projet MEMPHIS/GALION se situe dans cette évolution dans les domaines aérospatial et du forage offshore. Ces secteurs travaillent avec des puissances de l'ordre du kilowatt. L'usage de MOSFET est souvent approprié pour ces applications. De plus, ils ont des besoins de réduction de volumes et de masse toujours plus contraignants.

L'émergence d'une nouvelle génération de composants électroniques à large bande interdite, tels que le SiC ou le nitrure de gallium (GaN) ouvre la porte à la réduction de volume de ces fonctions de puissance. Deux paramètres clés ont un impact fort sur la miniaturisation :

- l'augmentation de la fréquence de travail qui permet une réduction de l'encombrement des composants passifs. Ce point reste complexe car au delà de quelques centaines de kilohertz, la réduction de volume est beaucoup plus difficile à réaliser, et un optimum doit être trouvé selon les différentes technologies employées,
- l'augmentation de la température de fonctionnement des composants électroniques, facilitant la gestion de la thermique.

L'objectif majeur de MEMPHIS/GALION est de proposer et de tester des solutions fiables de miniaturisation pour des applications travaillant en environnements thermomécaniques sévères : les commandes d'actionneurs électriques, les freins électriques d'un avion, les commandes des vérins électriques des gouvernes d'un lanceur Ariane ou bien encore celles d'une tête de forage en recherche pétrolière. Pour atteindre cet objectif, il est nécessaire de :

- développer de nouvelles technologies de substrats. En effet, les circuits imprimés existant à base de matériau composite FR-4, même complexes, limitent la température de fonctionnement en dessous de 100 °C. Les modules à base de substrat HTCC sont de bons candidats car ils répondent intrinsèquement aux critères de tenue à la haute température et ont un bon comportement mécanique. Cependant cette technologie, dédiée plutôt aux applications en hyper-fréquence utilise des pistes en tungstène, fines, qui présentent une forte résistivité électrique. Ceci est problématique pour le passage de courants supérieurs à l'ampère,

- repenser la connectique des modules vers des solutions à contacts pressés pour s'affranchir des limites physiques des points soudés, autre verrou à l'augmentation de la température,
- trouver une alternative aux brasures ne pouvant tenir les températures de 200 ° C que pendant quelques heures.

Aujourd'hui, les solutions classiques d'intégration de modules de puissance dans cette gamme de puissance font essentiellement appel à des composants semi-conducteurs de type MOSFET silicium. Cette technologie est mature et la fiabilité des systèmes conçus n'est plus à démontrer. Cependant, face à l'évolution des performances demandée pour rester compétitif, ces composants présentent quelques limitations qu'il est impossible de contourner :

- la température de fonctionnement ne peut dépasser 200 ° C au niveau de la jonction ; au delà les pertes provoquées par les courants de fuite dégradent de façon trop importante le rendement et la fiabilité de l'application,
- les éléments parasites intrinsèques (résistances d'accès, capacités de grille, ...) limitent la fréquence de travail et conduisent à la mise en œuvre de composants passifs (inductances et condensateurs) de fortes valeurs et donc de forte taille.

Les composants GaN représentent une technologie prometteuse pour cette gamme de puissance. Elle offre un potentiel théorique fort pour des applications en électronique de puissance en garantissant des tensions de bus plus fortes ainsi que des températures de fonctionnement plus élevées. Ces caractéristiques vont créer une rupture également dans la réalisation et l'intégration des électroniques de puissance. Quelques spécificités sont déjà identifiées :

- la simplification de la mise en œuvre des composants de commande grâce aux plus faibles charges de grille des transistors eGaN-FETs, comparées à celles des transistors silicium, qui fait espérer des modules de puissance à fort rendement par réduction des pertes de la commande ainsi qu'une plus grande flexibilité de la conception,
- la grande bande passante du GaN devraient faciliter l'adéquation à différents profils de mission avec un petit nombre de composants (réduction des coûts et du temps de développement),
- la forte puissance admissible doit conduire à une miniaturisation des modules développés. Ce point est un des objectifs majeur de MEMPHIS/GALION,
- le potentiel de fonctionnement à haute température et la moindre sensibilité théorique aux radiations font du GaN un candidat majeur aux applications en environnement très sévère.

Les composants GaN ne sont pas pour l'instant abondamment disponibles sur le marché. Cependant, pour être prêt à les intégrer de manière efficace, l'étude et la caractérisation des composants actuels est un élément majeur pour évaluer l'ensemble des gains en performances.

À l'issue du projet MEMPHIS/GALION un démonstrateur validant tous les objectifs sera réalisé, il devra suivre des spécifications (que nous verrons dans la prochaine partie) et sera le reflet du module de puissance attendu pour les domaines de l'aérospatial et du forage offshore.

Int.3.2 Objectifs et périmètre de travail

Afin d'accroître la densité de puissance des convertisseurs de puissance modernes, l'optimisation, aussi bien en volume qu'en rendement, passe principalement par une diminution des pertes dans les composants actifs du système. Une partie de ces pertes est intrinsèque au fonctionnement du convertisseur et indépendante de la technologie de semi-conducteur employée. Les technologies classiques de fabrication de convertisseurs permettent d'ores et déjà d'appliquer ces solutions qui autorisent des gains de rendement importants au prix d'une complexité accrue. Deux techniques sont principalement à disposition pour diminuer les pertes :

- le redressement synchrone, qui permet de diminuer les pertes par conduction, consiste à associer (ou remplacer) les éléments non « commandables » du type diode par des éléments « commandables » à faible résistance à l'état passant du type transistor MOS-FET. Cette solution permet également de diminuer le nombre de références de composants, de concentrer le développement sur un ou deux composants semi-conducteur de puissance et donc de mieux connaître leurs mécanismes de défaillance,
- la commutation douce, dont la mise en œuvre limite les pertes en commutation. En effet, il est utile d'augmenter la fréquence de commutation des convertisseurs pour obtenir des gains en masse et en volume, mais cette augmentation rend prédominantes les pertes en commutation. Il est donc nécessaire de diminuer de manière drastique ces pertes. L'utilisation de techniques de commutation à zéro de tension ou de courant permet de les annuler presque totalement.

Le projet MEMPHIS/GALION vise l'augmentation de la densité de puissance en utilisant la nouvelle technologie de semi-conducteur à base de GaN. Ces composants étant jeunes, il est primordial de connaître la disponibilité des fournisseurs. Le projet vise également le fonctionnement à haute température en utilisant un substrat HTCC. L'utilisation et l'adaptation de ces substrats pour réaliser des convertisseurs de puissance sera donc étudiée, en particulier la

problématique des densités de courant et des pertes dans les pistes. Les modules devront fournir une puissance inférieure à 500 W et atteindre plusieurs objectifs essentiels afin d'être viables et apporter une base solide pour les projets à venir. Ces objectifs sont les suivants :

- réduire de 40 % la taille des fonctions de moyenne puissance (< 500 W) afin qu'elles soient mieux intégrées et ainsi réduire les composants parasites des montages,
- augmenter la température de fonctionnement des modules dans le but de travailler dans des environnements sévères (au delà des 200 ° C),
- bénéficier des avancées liées aux nouvelles familles de composants à grand gap, et plus particulièrement les composants GaN plus adaptés pour ce domaine de puissance et d'application,
- développer une filière technologique complète (du composant au module) pour les applications de puissance en environnement sévère, fondée sur trois innovations technologiques :
 - nouveaux transistors GaN caractérisés,
 - solutions de packaging intégré : supports et connectiques,
 - chaîne de conception complète : spécification – ingénierie – réalisation.

Tous ces objectifs montrent le besoin de fabriquer un démonstrateur fonctionnel, celui-ci intégrera le module de puissance incluant toutes les briques technologiques de chaque partenaires ainsi que les solutions proposées. Ce démonstrateur devra suivre plusieurs contraintes énoncées ci-dessous.

Contraintes sur le démonstrateur

Le démonstrateur devra être commun à deux problématiques différentes et relatives à leur environnement. Il faudra en conséquence qu'il soit caractérisé pour pouvoir fonctionner :

- sous forts courants, à fréquence élevée (supérieur au mégahertz) mais à des températures ambiantes classiques, inférieures à 200 ° C,
- sous fortes températures (200 ° C et plus) mais en baissant les autres contraintes, particulièrement la fréquence, mais également le rendement ou la puissance en sortie.

Caractéristiques physiques

Les besoins environnementaux couvriront les applications spatiales et le forage offshore en incluant dès le départ les besoins aéronautiques, c'est pourquoi le module devra pouvoir fonctionner à des températures de fonctionnement allant de -40°C à 230°C . Il devra supporter les vibrations dues aux opérations de forage et être en mesure de se loger dans un tube d'un diamètre inférieur à 10 cm, la longueur restant à déterminer.

Caractéristiques électriques

Le démonstrateur du projet est basé sur une plate-forme d'alimentation gérant 3 sorties indépendantes (figure 12 donne un aperçu de l'architecture), elle aura une topologie isolée avec plusieurs enroulements secondaires du circuit magnétique qui pourra fournir plusieurs niveaux de tension de sortie. La plate-forme ne comprendra pas de « post-regulation » pour chaque sortie, seule celle qui est désignée comme la sortie principale sera régulée par une boucle de contre-réaction.

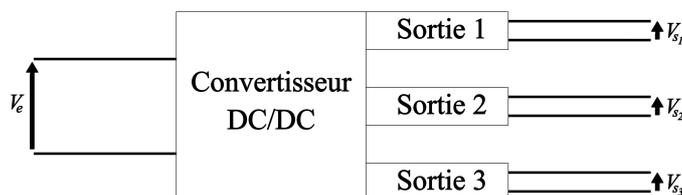


FIGURE 12 – Description de l'architecture de l'alimentation

La tension d'entrée du convertisseur est continue. Le tableau 3 donne les caractéristiques limites que le convertisseur devra supporter. En raison de l'opération sur le terrain et le risque de manipulation de l'utilisateur, le débranchement/branchement de la plate-forme d'alimentation doit être protégé contre les surtensions. L'entrée du module devra soutenir sans dommage deux fois la tension maximale autorisée.

La puissance de sortie peut aller jusqu'à 30 W (avec un maximum de 10 W par sortie, voir tableau 4). Les différentes sorties auront les connexions (+) et (-) séparées, ce qui permettra de générer différentes configurations de sorties signées et non signées. Le tableau 5 donne les caractéristiques pour les sorties. Afin d'être compatible avec un maximum d'applications, la

TABLEAU 3 – Caractéristiques initiales d’entrée du convertisseur

Paramètres	Min	Max	Commentaires
Tension d’entrée	30 Vdc	300 Vdc	
Surtension de mise hors-service		350 V	
Surtension de mise en service		320 V	
Sous-tension de mise hors-service	20 V		
Sous-tension de mise en service		25 V	
Dissipation en standby		0,5 W	À vide
Courant maximum		350 mA	Pleine charge
Courant de fuite		5 mA	À vide

sortie doit être « réglable » à travers l’ajustement des composants et du nombre de spires des différents enroulements du circuit magnétique.

TABLEAU 4 – Caractéristiques initiales des sorties du convertisseur

Gamme de tension d’entrée	Tension de sortie nominale	Puissance de sortie maximum	Tensions en sortie
30 V à 300 V	V _{sortie1}	10 W	5 V ou 12 V
	V _{sortie2}	10 W	5 V ou 12 V
	V _{sortie3}	10 W	3 V, 5 V ou 12 V

TABLEAU 5 – Caractéristiques initiales de régulation des sorties du convertisseur

Paramètres	Min	Max	Commentaires
Précision		1 % de V _{nom}	À vide jusqu’à pleine charge
Régulation de ligne		0,5 % de V _{nom}	À vide jusqu’à pleine charge
Régulation de la charge		0,5 % de V _{nom}	À vide jusqu’à pleine charge @ 25 ° C
Régulation de température		0,005 %/ ° C	Sur toute la plage de température de fonctionnement
Bruit à la sortie		1 % de V _{nom}	Entrée nominale, pleine charge, bande passante=10 MHz
Limite de courant		115 % du courant de sortie max	
Courant de court-circuit			Tension de sortie < 200 mV
Rendement nominal	80 %		

La tension d’isolement entre l’entrée et les différentes sorties devra être de 1500 V.

Objectifs de la thèse

Le projet MEMPHIS/GALION montre une forte nécessité d'étudier les nouveaux composants GaN et de caractériser le substrat HTCC. Les travaux de thèses viennent appuyer le projet en essayant de donner des solutions pour atteindre ses objectifs. Pour ce faire, la thèse a été initialement décomposée en divers étapes :

- Dans un premier temps un état de l'art a été fait, cela permet d'avoir un cliché à un instant donné du niveau de développement des différentes variantes technologies possibles avec une analyse des avantages et inconvénients de chacune des solutions. Le projet MEMPHIS/GALION doit réaliser des modules de moyenne puissance, ils ne solliciteront pas forcément des composants GaN les plus évolués en termes de tenue en tension.
- Une recherche de fournisseur(s) a ensuite été menée afin de trouver des composants viables pendant toute la durée du projet et au delà. Une veille technologique est associée à cette étape, comme nous l'avons vu dans la partie Int.2.4 les acteurs du marché sont en pleine évolution dans le domaine du GaN et des nouveaux composants peuvent devenir accessibles sur le marché durant les travaux.
- Une fois les composants choisis, la caractérisation de la fonction élémentaire (cellule de commutation) a été lancée. Différents modes de fonctionnement ont été évalués (redressement synchrone, commutation douce. . .) avec comme finalité une optimisation par rapport aux applications visées (< 500 W).
- En parallèle, nous avons travaillé sur une caractérisation du substrat fourni par un acteur du projet, afin de connaître le comportement et la faisabilité du circuit imprimé.
- Pour toutes ces étapes, la modélisation est une partie du travail importante car elle permettra d'appréhender le comportement de l'association substrat HTCC-transistor GaN pour divers topologies de circuits et de convertisseurs. Les modélisations seront d'autant plus indispensables que les nouvelles lois d'accélération des contraintes ne seront pas connues très tôt. La prédiction du comportement du produit final est indispensable pour la conception des produits.
- Les composants eGaN-FET génèrent des fronts de commutation très raides et autorisent des fréquences de découpage au delà du MHz. Ils peuvent donc générer des perturbations électromagnétiques importantes et gêner le fonctionnement des circuits environnants. De plus, L'intégration pousse à positionner les composants de puissance proches de la commande et de la logique de commande. Une étude CEM est donc nécessaire pour appréhender les effets de ces transistors sur leur environnement en termes de perturbations électromagnétiques.
- De plus, l'augmentation de la fréquence de découpage modifie également la façon de

concevoir les convertisseurs, en particulier pour les problèmes de qualité du découplage et de minimisation des inductances parasites. Ces aspects ont également été abordés lors de la réalisation des véhicules de test.

- Enfin, les approches sur la fiabilité du composant ont été prévues dès le démarrage de l'étude car ces données seront également majeures pour apprécier les caractéristiques finales des applications. Faire fonctionner des composants à plus haute température de jonction ne permet plus d'utiliser les protocoles actuels pour le vieillissement des modules, et il est impératif d'appréhender les stimuli qui génèreront des contraintes fortes sur les composants ainsi que sur les modules assemblés pour évaluer leur robustesse.

Ces objectifs amènent le besoin de développer des maquettes de test spécifiques aux travaux de thèse. L'élaboration de celles-ci devra être étudiée afin de savoir si elles pourront être réalisées directement au laboratoire SATIE passant par un minimum d'intervenant extérieur afin de pouvoir les utiliser dans des délais courts.

Int.3.3 Conclusion

Le projet MEMPHIS/GALION veut s'insérer dans l'évolution de l'électronique de puissance dans les domaines de l'aérospatiale et du forage offshore, grâce notamment à l'implantation des nouvelles technologies « grand gap » qui permettent une réduction de volume des convertisseurs. Il s'appuie aussi sur des technologies déjà existantes dans d'autres domaines, comme le substrat HTCC, utilisé en hyper-fréquences et qui sera développé et adapté pour les convertisseurs de puissance afin de bénéficier de ses avantages à haute température.

Les transistors à grand gap ont été choisis car ils apportent une rupture technologique par rapport aux composants silicium, matures, qui ont pratiquement atteint leurs limites physiques, surtout en température et en fréquence de commutation. Dans les années à venir, l'évolution de l'électronique de puissance sera certainement portée par les composants SiC et GaN, mais également par l'évolution des structures et leur adaptation pour les utiliser au mieux.

Cependant, le GaN étant une nouvelle filière technologique, un besoin de caractérisation apparaît afin de pouvoir réaliser l'intégration dans un module de puissance. La compréhension de ces nouveaux composants doit permettre d'appréhender leurs mécanismes de pertes pour les minimiser et favoriser la réduction de volume du convertisseur.

Le projet MEMPHIS/GALION a été mis en place pour concevoir une base pour les projets à venir en développant une nouvelle filière technologique alliant les composants grand gap et les substrats haute température. La thèse s'inscrit dans ce contexte en étudiant ces nouveaux composants grâce à des caractérisations particulières par le biais de maquettes de test réalisées au sein du laboratoire. Elle permettra également la caractérisation précise des propriétés électriques des substrats HTCC. Des étapes ont été définies afin de connaître et de maîtriser les contraintes de mise en œuvre des composants GaN et du substrat HTCC pour des applications forts courants ainsi que le fonctionnement d'une structure adaptée pour réaliser des modules de puissance pouvant fonctionner en environnement sévère. Électriquement, ces modules auront des contraintes importantes comme une entrée fortement variable et des sorties indépendantes ajustables selon l'application visée.

Ce manuscrit est composé de cinq chapitres qui sont organisés comme suit :

- Le premier chapitre expose un état de l’art sur les composants GaN, celui-ci donne les différentes propriétés physique de ce matériau et les compare à celles d’autres matériaux semi-conducteurs. Il développe plus en détail une des propriétés propre à la famille des semi-conducteurs III-V lui permettant de réaliser des hétérojonctions donnant lieu à la création d’un gaz d’électrons bidimensionnel. Ce gaz est étudié afin de connaître les paramètres utiles à son contrôle. Ce chapitre continue par la présentation d’un modèle adaptable pour ces transistors ainsi qu’une discussion sur les différentes épitaxies possibles. Il se termine sur l’analyse de la structure interne d’un composant EPC en détaillant les couches le constituant.
- Le deuxième chapitre concerne la caractérisation d’un substrat HTCC, ce substrat n’étant pas prévu initialement pour les problématiques de l’électronique de puissance, il est nécessaire de connaître précisément ses caractéristiques électriques. Pour ce faire, une méthode volt-ampèremétrique est mise en place pour mesurer avec précision la résistance des pistes. La permittivité relative de la céramique est analysée en s’appuyant sur des simulations 3D à éléments finis. Toutes ces mesures sont faites pour différentes températures.
- Le troisième chapitre aborde les caractérisations électriques et thermiques d’un bras d’onduleur constitué de composants GaN. Celles-ci débute par une caractérisation électrique statique permettant d’identifier les éléments parasites du transistor au moyen d’un traceur de caractéristique. Il s’en suit une caractérisation électrique dynamique sur deux prototypes mettant en avant les particularités des transistors eGaN-FETs notamment les temps morts. Ce chapitre se clôture par la caractérisation électrothermique grâce à une méthode calorimétrique nous aidant à estimer les pertes dans le bras d’onduleur en fonction de sa commande appliquée à celui-ci.
- Le quatrième chapitre traite de la modélisation et de la simulation. Il débute par le modèle du composant seul pour valider son fonctionnement statique. Les deux prototypes sont modélisés par la suite afin de réaliser des simulations de la structure entière et valider le modèle dynamique du transistor grâce à la corrélation avec les mesures. Ces simulations servent à observer quels éléments sont défavorables au bon fonctionnement des transistors. Enfin, les pertes sont rajoutées au modèle donnant lieu à un modèle électrothermique qui est utile pour déterminer la commande à appliquer favorisant le rendement.
- Le cinquième chapitre est dédié à l’étude d’une structure LLC convenant à ce type de composant. Les spécifications du projet MEMPHIS/GALION sont prises en compte afin de se rapprocher d’un convertisseur réalisable. Dans ce but, le circuit magnétique nécessaire à cette structure est étudié et une version de ce circuit magnétique est développée

et caractérisée pour confirmer sa validité. Enfin les modèles du chapitre précédent et le modèle du circuit magnétique sont exploités afin d'observer le fonctionnement de la structure complète. Ils permettent d'avoir une estimation des pertes et d'élaborer une commande appropriée les réduisant.

Chapitre 1

État de l'art des composants GaN

1.1 Le nitruure de gallium

1.1.1 Évolution scientifique

Les recherches sur le nitruure de gallium ont commencé dès les années 1970, les chercheurs avaient remarqué son grand potentiel à émettre de la lumière bleue. La figure 1.1 montre l'évolution des publications sur le GaN (*Gallium Nitride*)¹. Jusqu'aux années 1990 très peu de publications ont été produites sur le GaN, la véritable croissance du GaN se fait en 1993 avec la première commercialisation de LED bleues à base de ce semi-conducteur. Depuis, une évolution quasi-constante se poursuit.

1.1.2 Physique du matériau

La structure cristalline de la famille des semi-conducteurs III-V se présente le plus souvent sous la forme de deux sous-réseaux cubiques à face centrée (figure 1.2a). Elle est constituée d'atomes de la colonnes III et de la colonne V du tableau périodique des éléments de Mendeleïev formant un cristal de type zinc blende (analogue au réseau du type diamant du silicium). Le nitruure de gallium (GaN) et ses alliages ont généralement une structure cristalline de type

1. Nitruure de gallium

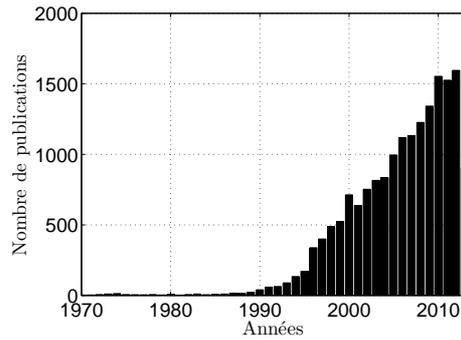


FIGURE 1.1 – Nombre de publications scientifiques des années 1970 à nos jours (année en cours en rouge)

wurtzite² à deux sous-réseaux hexagonaux (figure 1.2b) [45]. Ce cristal est dit non-centrosymétrique ce qui conduit à de très forts effets de polarisation dans ces matériaux nitrure du groupe III. La figure 1.2b montre les paramètres de maille du GaN, à savoir $a = 0,31878 \text{ nm}$ et $c = 0,5185 \text{ nm}$.

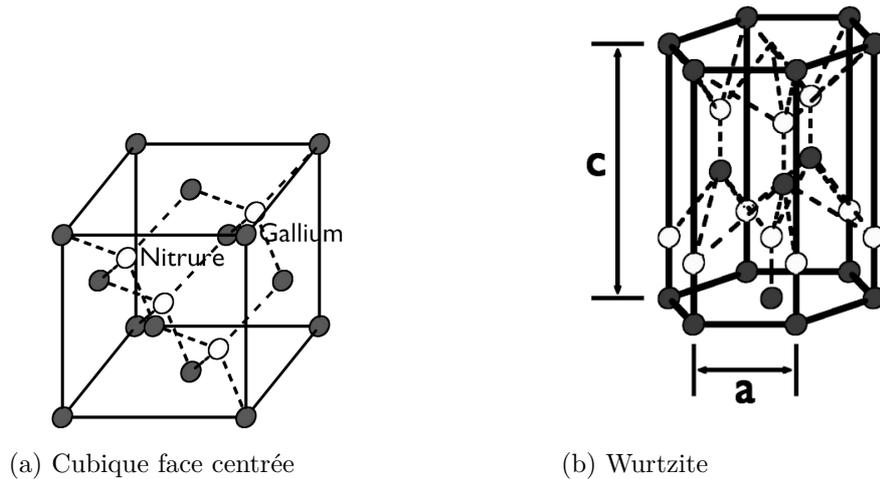


FIGURE 1.2 – Maille cristalline

Le GaN a la particularité d’être physiquement robuste et chimiquement inerte, ce qui lui permet de travailler dans des environnements sévères [46]. Un autre avantage est d’avoir la possibilité de réaliser des alliages InGaN (*Indium Gallium Nitride*)³ et AlGaN (*Aluminium Gallium Nitride*) permettant ainsi de jouer sur la largeur de la bande interdite (gap) afin de la réduire ou de l’augmenter.

2. Type de structure cristalline

3. Nitrure de gallium-Indium

1.1.3 Propriétés thermiques

La conductivité thermique du GaN massif atteint $2,3 \text{ W.cm}^{-1}\text{K}^{-1}$ [47]. La densité de défaut lié à l'hétéroépitaxie sur d'autres substrats (expliqué au 1.3) réduit de 75 % cette conductivité qui se situe aux environs de $1,3 \text{ W.cm}^{-1}\text{K}^{-1}$ [48]. Dû au type wurtzite, les coefficients d'expansion thermique sont différents selon l'axe des distances a ou c (figure 1.2b). Ils varient entre $4,3.10^{-6}$ et $5,3.10^{-6} \text{ K}^{-1}$ entre 300 et 1000 K dans la direction a et de $3,7.10^{-6}$ et $5,3.10^{-6} \text{ K}^{-1}$ dans la direction c [49]. Sa température de fusion est proche de 2500°C .

1.1.4 Propriétés optiques

La majorité des composés issus des colonnes III et V sont des matériaux dits à gap direct. Le GaN, grâce à cet avantage et à la possibilité de former des alliages InGaN et AlGaN est très favorable à la fabrication de composants opto-électroniques [49, 50]. Ces alliages lui permettent de moduler le gap de 1,9 eV à 6,2 eV, ce qui correspond à la gamme spectrale de l'ultra-violet jusqu'au domaine du visible comme le bleu.

1.1.5 Propriétés électriques

Le GaN fait partie des matériaux à grand gap par référence au silicium qui a un gap de 1 eV. Le gap du GaN vaut 3,43 eV à 300 K, il peut atteindre 3,5 eV à 4 K. Le grand gap entraîne une très faible concentration des porteurs intrinsèques qui fournissent un courant de fuite négligeable jusqu'à 900 K [51].

La structure de bande (bande de conduction, bande de valence, ...) du GaN lui permet de créer un phénomène de survitesse d'électrons transitoires (lorsque le champ électrique est inférieur à environ 100 kV.cm^{-1}). L'écart important entre la vallée principale (Γ) et la vallée secondaire (L) équivaut à 2 eV (figure 1.3) [52]. Ce régime de survitesse apparaît lorsque les électrons de la vallée Γ obtiennent suffisamment d'énergie pour passer dans la vallée L. Ce transfert d'électrons difficile amène de fortes vitesses de saturation pouvant aller jusqu'à 10^8 cm.s^{-1} , cela permet d'obtenir des fréquences de coupure de 200 GHz. Une fois dans la vallée secondaire la masse-effective des électrons est plus grande (pour des champs électriques supérieurs

1.1. Le nitrure de gallium

à 100 kV.cm^{-1}), les électrons voient donc leur mobilité diminuer provoquant un phénomène de résistance différentielle négative [52] jusqu'à ce que la vitesse se stabilise (figure 1.4).

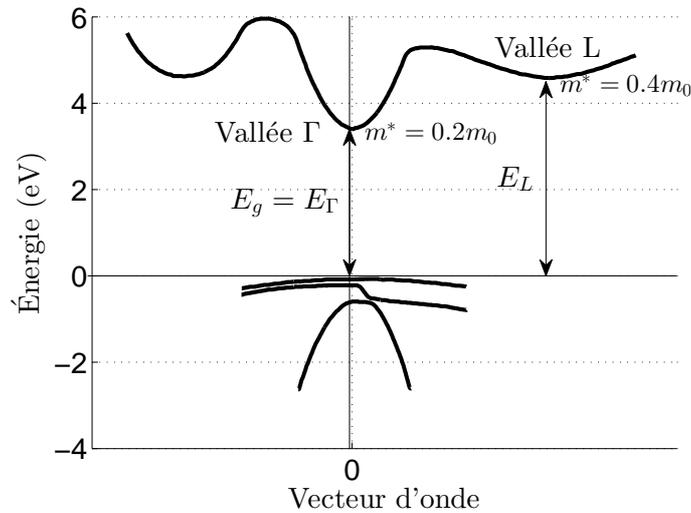


FIGURE 1.3 – Diagramme de bande pour du GaN Wurtzite

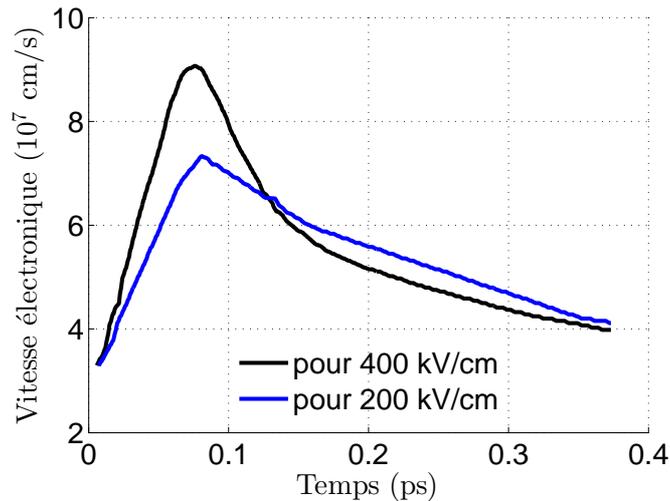


FIGURE 1.4 – Réponse transitoire des électrons dans un matériau GaN massif

Le matériau GaN non intentionnellement dopé est de type N avec des densités électroniques de quelques 10^{16} à 10^{19} cm^{-3} . Pour une densité de porteurs libres de 10^{13} cm^{-2} la mobilité des électrons peut atteindre $2000 \text{ cm}^{-2}\text{V}^{-1}$ à température ambiante. Sa concentration électronique varie faiblement avec la température comme le montre la figure 1.5a [53, 54]. La mobilité des électrons atteint un maximum aux alentours de 145 K (figure 1.5b). Le dopage de type P est extrêmement difficile à réaliser. Le plus concluant est le magnésium malgré les difficultés à l'activer en tant qu'accepteur [49]. De ce fait la prise de contact ohmique sur du GaN de type N est plus

facile. De plus, la hauteur de la barrière Schottky des métaux sur type N est de l'ordre de 1 eV alors que pour les métaux sur type P la hauteur est de 2,5 eV.

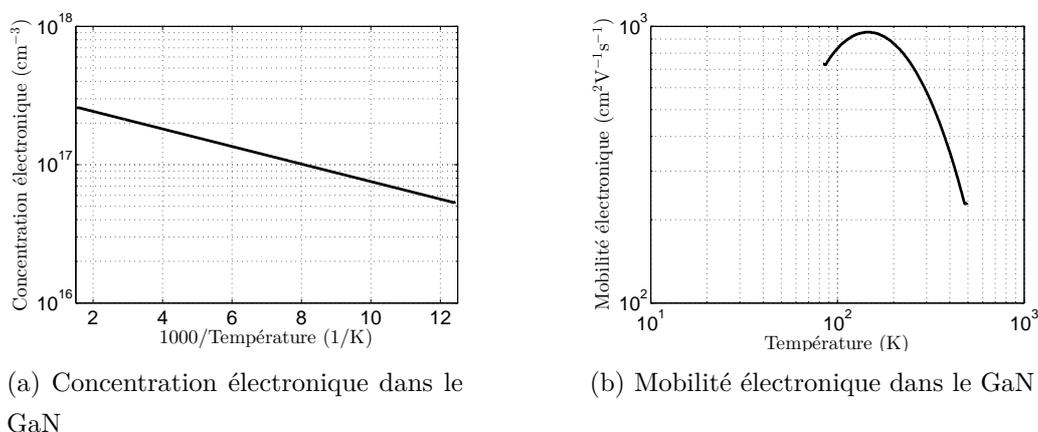


FIGURE 1.5 – Comportement du matériau GaN en fonction de la température

La particularité de pouvoir réaliser des alliages comprenant du GaN amène à la réalisation de composants à hétérojonction (comme pour le GaAs (*Gallium Arsenide*)⁴) ce qui permet d'augmenter considérablement la vitesse des électrons (expliqué au 1.2).

1.1.6 Comparaison Si, SiC, ...

Le GaN est un semi-conducteur nouveau qui apporte son lot d'avantages mais aussi son lot d'inconvénients. Le tableau 1.1 montre les propriétés des semi-conducteurs les plus utilisés. Si nous le comparons avec le silicium qui est un matériaux faible gap, le GaN apparaît être une meilleure solution (grand gap, gap direct, forte mobilité des électrons, fort champ de claquage, ...). Malheureusement il souffre du manque de substrat GaN car difficile à produire et les wafers sont de petites tailles (2" pour l'instant [55]). Il faut donc réaliser des hétéroépitaxies sur d'autres substrats comme le saphir, le carbure de silicium ou plus couramment le silicium (expliqué dans la partie 1.3) ce qui réduit dans la majorité des cas les avantages du GaN.

Comparé aux autres matériaux (SiC (*Silicon Carbide*)⁵, ...), le GaN a des caractéristiques similaires, nous observons néanmoins une plus forte mobilité des électrons et une plus faible conductivité thermique pour le GaN comme le montre la figure 1.6. Le tableau 1.2 résume les

4. Arséniure de gallium

5. Carbure de silicium

1.1. Le nitrure de gallium

TABLEAU 1.1 – Propriétés physique des semi-conducteurs communs

Propriété	Symbole	Si	GaAs	6H-SiC	GaN	AlN	InAlN
Paramètre de maille (nm)	a	0,543	0,565	0,587	0,319	3,11	0,319
Structure de bande		indirecte	directe	indirecte	directe	directe	directe
Énergie de bande interdite (gap) (eV)	E_G	1,12	1,424	3,03	3,4	6,2	4
Séparation intervallée (eV)	$\Delta E_{\Gamma L}$		0,33		>1	0,7	
Offset de bande conduction (eV)	ΔE_c	0/SiGe	0,25/ Ga _{0,7} Al _{0,3} As		0,55/ Ga _{0,7} Al _{0,3} N		
Hauteur de la barrière Schottky (eV)	Φ_{Bn}		0,8		≈1.1		<1.8
Masse effective	m_e^*/m_0	0,19	0,068		0,21		
Mobilité électronique (cm ² .V ⁻¹ .s ⁻¹)	μ_n	1500	8500 (4000)	600	2000 (900)	300	
Vitesse de saturation (10 ⁷ cm/s)	v_{sat}	1	1	2	1.5		
Vitesse pic (10 ⁷ cm/s)	v_p	1	2,1		3		
Mobilité des trous (cm ² .V ⁻¹ .s ⁻¹)	μ_p	600	400 (250)	101	200	14	
Champ critique (kV/cm)	\mathcal{E}_c		3,2	2,5	150		
Champ de claquage (10 ⁵ V/cm)	\mathcal{E}_{br}	3	4	5	30	15	
Conductivité thermique (W.cm ⁻¹ .K ⁻¹)	K	1.45	0,46	4,9	1.3	2,85	
Coefficient d'expansion thermique (10 ⁻⁶ K ⁻¹)		2,6	6,86		3,17	5,27	
Permittivité relative	ϵ_r	11.9	13,18	9,66	8,7		

facteurs de mérite des différents semi-conducteurs, ils sont bien plus importants pour le GaN que pour les autres matériaux sauf le facteur de mérite KFM (*Keyes's figure of merit*) qui prend en compte la conductivité thermique (λ) très faible pour le GaN épitaxié (équation (1.1)). Seul le diamant voit ses caractéristiques le dépasser en tout point mais ce semi-conducteur reste extrêmement cher.

$$KFM = \lambda \sqrt{\frac{Cv_{sat}}{4\pi\epsilon_r}} \quad \left[\frac{W}{s.K} \right] \quad (1.1)$$

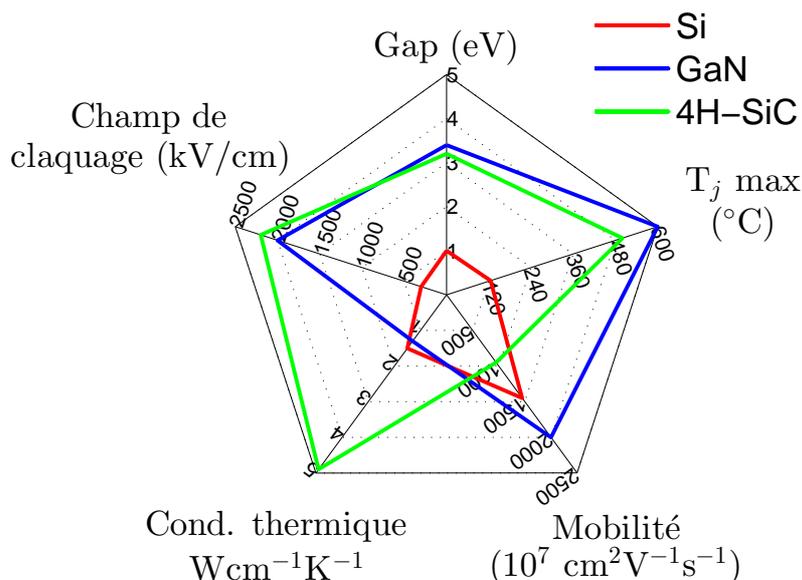


FIGURE 1.6 – Comparaison du Si, 4H-SiC, GaN

TABLEAU 1.2 – Facteurs de mérite des matériaux courants

	Si	GaAs	4H-SiC	6H-SiC	GaN	Diamant
JFM	1	11	180	260	790	2540
KFM	1	0,45	5,1	5,1	1,8	32,1
BFM	1	15,6	130	110	650	4110
BHFM	1	10,8	22,9	16,9	77,8	470

\mathcal{E}_c	Champ électrique critique [$V.m^{-1}$]
v_{sat}	Vitesse de saturation [$cm^2.s^{-1}$]
λ	Conductivité thermique [$W.m^{-1}.K^{-1}$]
ϵ_0	Permittivité du vide [$F.m^{-1}$]
ϵ_r	Permittivité relative du matériau
μ	Mobilité électronique [$cm^2.V^{-1}.s^{-1}$]
E_g	Énergie du gap [eV]
c	Célérité de la lumière [$m.s^{-1}$]

1.2 Les transistors à haute mobilité électronique (HEMT)

Le comportement des composants électronique de puissance est largement conditionné par la nature des interfaces aux jonctions qui séparent les différentes parties (métalliques, diélectriques et semi-conductrices) et par la façon dont les porteurs, électrons et trous les longent ou traversent. Juxtaposer deux semi-conducteurs différents permet de réaliser des composants dits à hétérojonction. Ces hétérojonctions sont le plus souvent en accord ou quasi-accord de maille

crystalline, mais elles peuvent être aussi en léger désaccord de maille (1 % pour les jonctions AlGaN/GaN des HEMT (*High Electron Mobility Transistor*)⁶ GaN) voir en désaccord plus important, au delà de ce que peut supporter l'élasticité limitée du réseau cristallin (figure 1.7). Cette possibilité de combiner des semi-conducteurs de structures de bandes d'énergie différentes fournit un degré supplémentaire, ce qui peut accroître les performances ou obtenir des fonctionnalités originales. Le fait de pouvoir faire varier l'énergie de bande interdite permet des variations spatiales brutales des potentiels et des champs. De plus, ces variations peuvent être différentes pour les électrons et les trous, ce qui peut être utilisé pour filtrer le transport de ces deux types de porteurs. La richesse des combinaisons possibles d'éléments III et V permet de bénéficier de la gamme très étendue des propriétés de transport de ces matériaux.

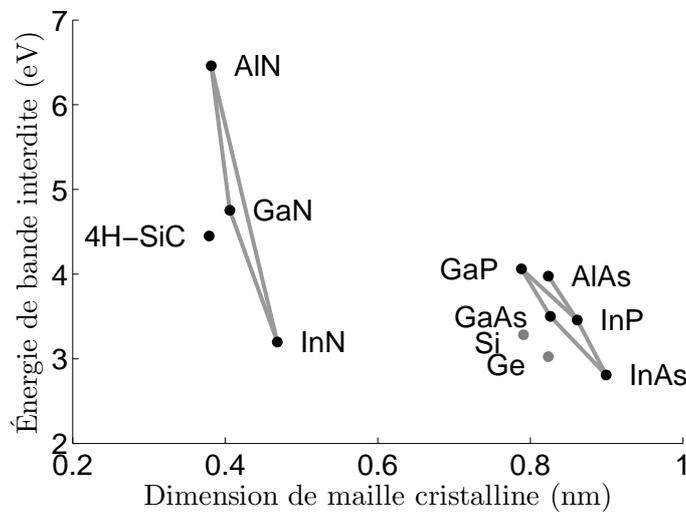


FIGURE 1.7 – Diagramme d'énergie de bande interdite en fonction du paramètre cristallin

1.2.1 Création d'une hétérojonction

Le diagramme de bandes d'énergie d'une hétérojonction s'établit selon le modèle d'Anderson fondé sur la continuité du « niveau du vide » [56], ainsi que celle du niveau de Fermi, à l'interface entre les deux semi-conducteurs. La figure 1.8 montre le cas simplifié d'une hétérojonction idéale (pas de charges à l'interface, pas de pièges associés au désaccord de maille, pas d'impuretés accumulées). La figure 1.8a représente les diagrammes de bandes de deux semi-conducteurs (SCA et SCB) séparés par un espace infinitésimal pour une hétérojonction anisotype. Le niveau du vide est continu et chaque niveau de Fermi est propre au semi-conducteur (système indépendant). Les niveaux E_{cx} , E_{vx} , E_{Fx} et E_{gx} représentent les niveaux des bandes de conceptions,

6. Transistor à haute mobilité électronique

les niveaux des bandes de valences, les niveaux de Fermi et la largeur de bande interdite respectivement. La figure 1.8b représente le diagramme de bande lors de la jonction des deux semi-conducteurs, les porteurs de charge étant libres de diffuser entre les matériaux. Cela ne forme plus qu'un seul système dont le niveau de Fermi est constant dû à l'équilibre thermodynamique ($E_F = E_{FA} = E_{FA}$). E_F est très proche de la bande de conduction, ce qui induit un grand nombre d'électrons libres. Plus nous nous éloignons de l'interface, plus le diagramme de bande tend vers chacun des diagrammes initiaux. Près de l'hétérojonction les bandes se courbent par la redistribution des porteurs et il y a création d'une zone de charge d'espace (Z_{ce}) dont les épaisseurs peuvent être obtenues par intégration de l'équation de Poisson. À l'interface, les bandes d'énergies présentent une forte variation ce qui provoque un champ électrique important au niveau de la jonction et donc une accumulation des électrons libre à cet endroit, ce qui donne naissance à un gaz électronique bidimensionnel dont nous expliquerons les propriétés plus loin.

Particularité d'une hétérojonction AlGaN/GaN

Les hétérojonctions peuvent être réalisées dans la plupart des semi-conducteurs III-V (GaAs, InP, GaN, ...). Cependant, les hétérojonctions entre les matériaux de type wurtzite comme le GaN amènent une polarisation piézoélectrique supplémentaire aux polarisations spontanées dues au désaccord de maille [57]. La couche GaN étant plus épaisse, elle impose son paramètre de maille à la couche AlGaN qui se voit donc contrainte par une tension mécanique. De ce fait, la polarisation piézoélectrique n'est présente que dans le matériau AlGaN ($P_{pe(\text{GaN})} = 0$). La figure 1.9a et l'équation (1.2) permettent d'exprimer la polarisation à l'interface. La densité de charge résultante de cette polarisation ($\Delta P/q$) peut être contrôlée par le pourcentage d'aluminium dans le GaN (noté x) comme il est montré à la figure 1.9b. Cette figure représente la charge due à la polarisation de l'hétérojonction avec et sans la composante piézoélectrique. Une différence de 40 % apparaît entre les deux courbes [58]. Cela montre bien l'importance de l'effet piézoélectrique dans le GaN.

$$\Delta P = P_{sp(\text{Al}_x\text{Ga}_{1-x}\text{N})} - P_{sp(\text{GaN})} + P_{pe(\text{Al}_x\text{Ga}_{1-x}\text{N})} \quad (1.2)$$

Avec :

- ΔP Polarisation à l'interface [$C.m^{-2}$]
- P_{sp} Polarisation spontanée [$C.m^{-2}$]
- P_{pe} Polarisation piézoélectrique [$C.m^{-2}$]
- x Fraction molaire d'aluminium dans le GaN $0 < x < 1$
- q charge élémentaire de l'électron [C]

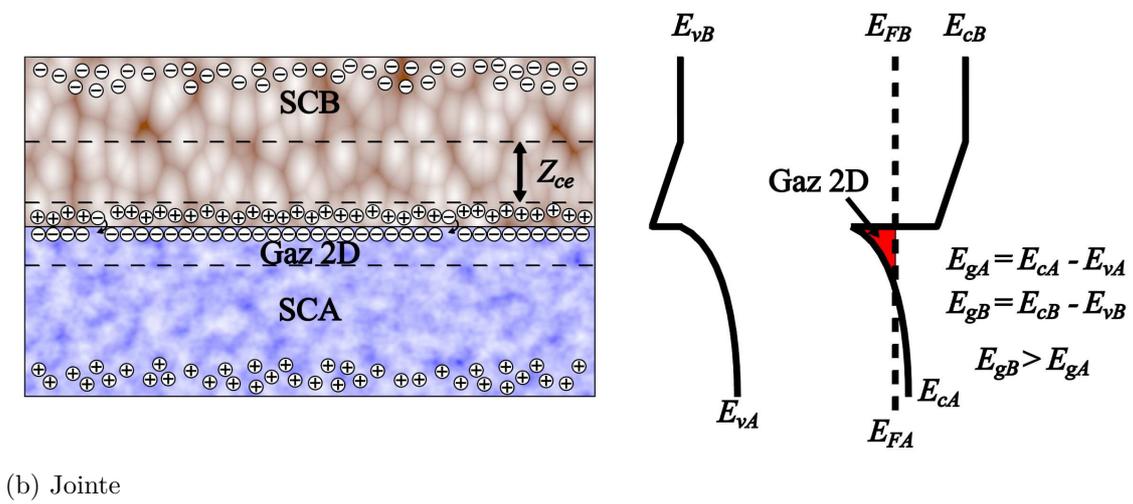
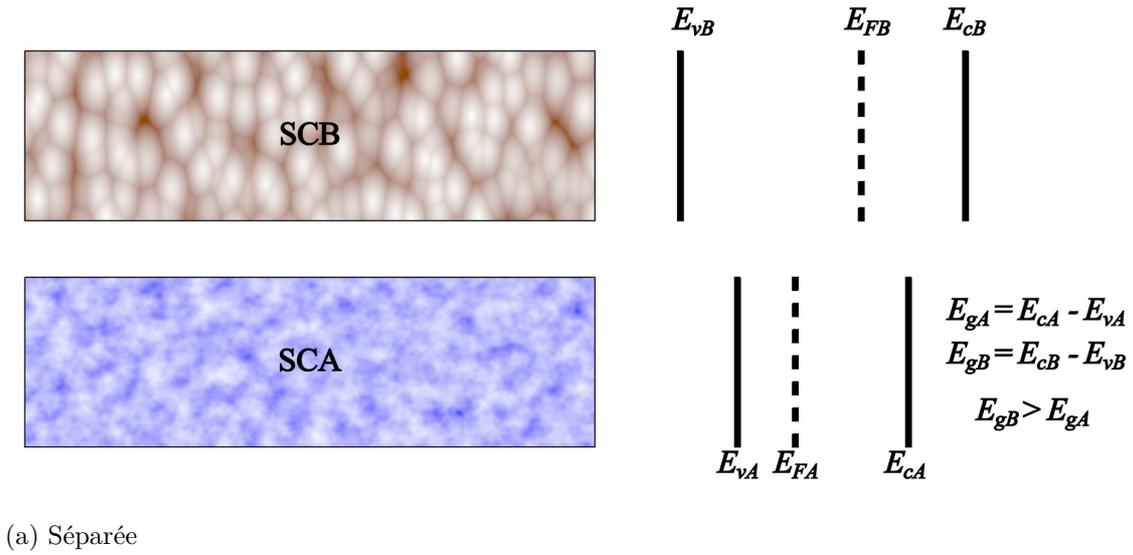


FIGURE 1.8 – Diagramme d'énergie d'une hétérojonction

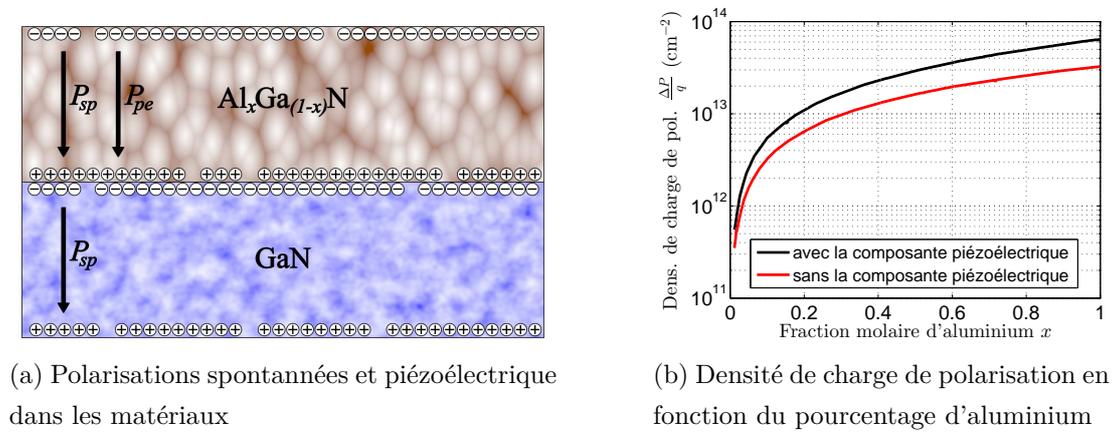


FIGURE 1.9 – Effet piézoélectrique dans une hétérojonction AlGa_xN/GaN

Circulation des charges

Le transport des porteurs de charge se fait parallèlement à une hétérojonction dans les transistors de type HEMT. La figure 1.10 représente la vitesse stationnaire en fonction du champ électrique dans différents matériaux. Pour des faibles champs électriques (quelques kV/cm) la vitesse est proportionnelle au champ. Ce coefficient de proportionnalité correspond à la mobilité. Pour les semi-conducteurs III-V la vitesse stationnaire atteint un maximum de l'ordre de $2 \cdot 10^7$ cm.s⁻¹. Ensuite, cette vitesse décroît car l'énergie acquise par les charges est suffisante pour qu'une partie des électrons se transfèrent de la vallée Γ à la vallée L (leur masse-effective y est plus élevée, ils sont donc freinés). Cette énergie de transfert équivaut à $\Delta E_{\Gamma L}$. Pour de forts champs, la vitesse stationnaire converge vers une vitesse de saturation voisine de 10^7 cm.s⁻¹ (inférieure à celle du silicium). Le GaN possède la particularité d'avoir une vitesse maximum bien plus élevée et une mobilité positive pour des plus grands champs électriques que les autres matériaux III-V.

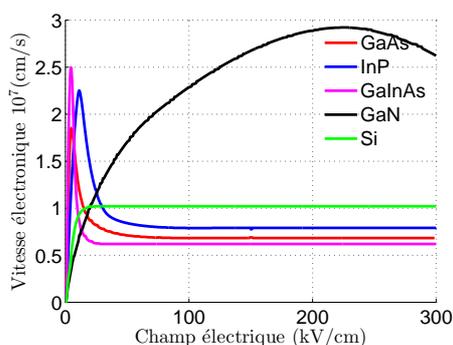


FIGURE 1.10 – Vitesse électronique en fonction du champ électrique dans les matériaux

1.2.2 Détermination de la densité électronique du gaz d'électrons bidimensionnel (2DEG)

La base du fonctionnement des transistors HEMT est obtenue avec une hétérojonction entre matériaux grand gap (dopé N) et plus faible gap (non dopé). La figure 1.11 représente une structure épitaxiale de ces transistors. Elle se présente généralement sous la forme d'une couche $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ dopée N appelée couche barrière au-dessus d'une couche GaN non dopée de gap plus faible. À l'équilibre thermodynamique, les électrons associés aux donneurs de la couche barrière sont transférés dans la couche GaN créant un puit de potentiel côté GaN le long de la jonction. Ce puit induit une quantification des niveaux d'énergie perpendiculaire à la jonction, les électrons ne peuvent se mouvoir que dans un plan parallèle à l'hétérojonction

(figure 1.11a), plus précisément seulement dans les deux premiers états d'énergie (E_0 et E_1). Ces électrons forment un gaz d'électrons bidimensionnel (aussi appelé 2DEG (*Two-Dimensional Electron Gas*)), le puit quantique tenant lieu de canal 2D. Les électrons sont ainsi séparés des impuretés, leur mobilité est augmentée. En introduisant entre l'AlGaN et le GaN une fine couche AlGaN non dopée (appelée couche barrière ou espaceur) la mobilité peut encore être améliorée. La densité surfacique (N_{2D}) peut être contrôlée par polarisation d'une grille Schottky. Dans des conditions normales de polarisation du transistor la couche barrière est totalement désertée. Cela se ramène à la création d'une couche diélectrique. À partir de là, une forte analogie peut être faite avec les transistors de type MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*)⁷ (transistor contrôlant le courant par densité de porteurs se trouvant à une distance fixe de la grille) [59].

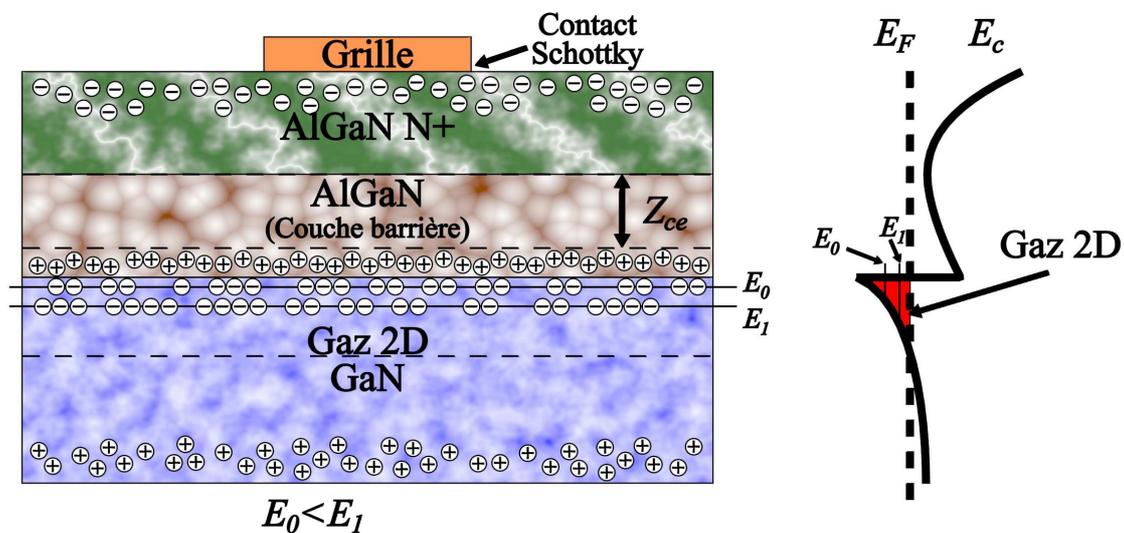
La tension de seuil (V_{th}) représente le potentiel nécessaire à appliquer sur la grille pour remonter la bande de conduction au-dessus du niveau de Fermi vidant le puit de potentiel. Pour cela, la tension appliquée sur la grille doit compenser le potentiel du canal lié à la discontinuité de la bande de conduction au niveau de l'hétérojonction, ΔE_c (figure 1.11b). Il doit compenser également la tension due à la zone de charge d'espace (Z_{ce}) et due à la polarisation (ΔP). Cette tension de seuil est définie à l'équation (1.3).

$$V_{th} = \frac{\Phi_B - \Delta E_c}{q} - \underbrace{\frac{qN_d d_d^2}{2\varepsilon}}_{\text{Tension due à } Z_{ce}} - \underbrace{\frac{\Delta P}{\varepsilon} (d_d + d_i)}_{\text{Tension due à la polarisation}} \quad (1.3)$$

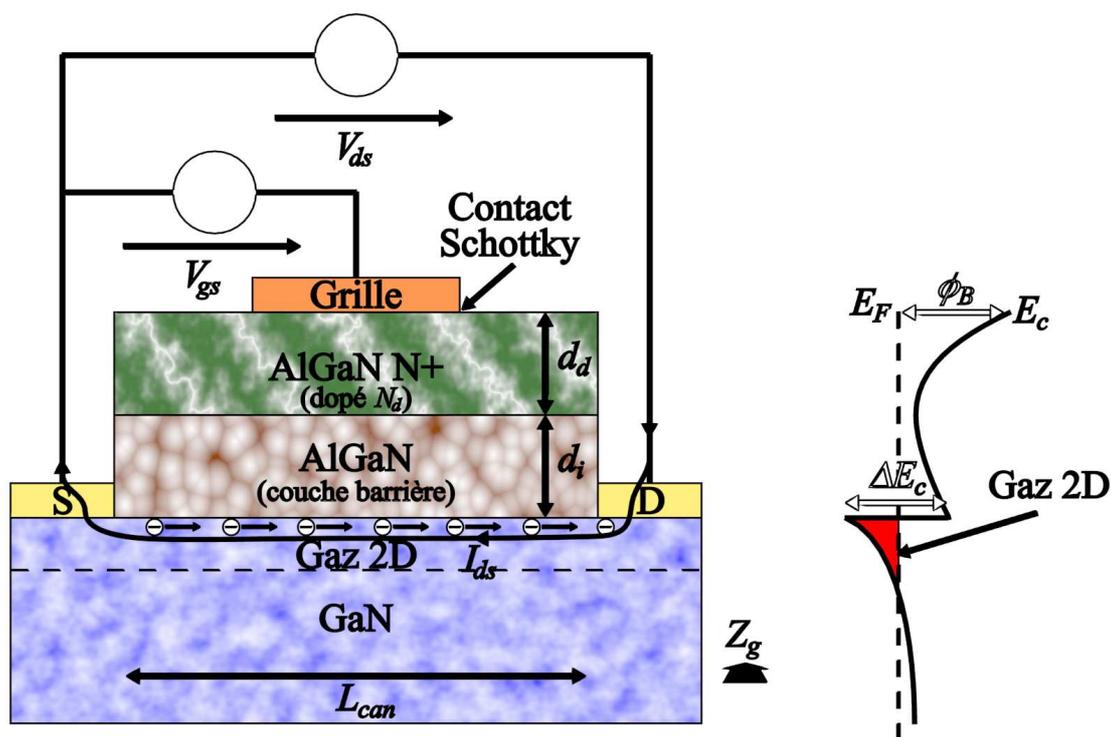
Avec :

- Φ_B Hauteur de la barrière Schottky [eV]
- ΔE_c Discontinuité de la bande de conduction [eV]
- N_d Dopage de la couche AlGaN N+ [m^{-3}]
- ε Constante diélectrique de l'AlGaN [$F.m^{-1}$]

7. Transistor à effet de champ à structure métal-oxyde-semiconducteur



(a) Représentation des niveaux d'énergie dans le gaz d'électrons 2D et bande de conduction lors de la présence d'une couche barrière et d'un contact Schottky



(b) Définition des paramètres (dimensions, niveaux d'énergie, dopage, ...) pour la détermination de la densité électronique d'un gaz d'électrons 2D

FIGURE 1.11 – Structure épitaxiale d'un transistor HEMT AlGaN/GaN

La densité de charge totale fournie (N_{2D}) par la couche AlGaN au GaN pour former le gaz électronique bidimensionnel est obtenue en résolvant l'équation de Poisson. Le résultat est donné à l'équation (1.4). Cette expression nous fournit la capacité grille-canal 2D par unité de surface (C_0), elle est donnée à l'équation (1.5).

$$N_{2D} = \frac{\varepsilon}{q(d_d + d_i)} \left(V_{gs} - V_{th} - \frac{E_F}{q} \right) \quad (1.4)$$

$$C_0 = \frac{\varepsilon}{d_d + d_i} \quad (1.5)$$

Avec :

V_{gs} Tension entre la grille et la source [V]

E_F Niveau de Fermi [eV]

L'équation (1.4) montre que la densité du gaz d'électrons est aussi fonction du niveau de Fermi (E_F), or ce dernier n'est pas fonction de V_{gs} . Cette équation ne permet donc pas d'avoir directement $N_{2D}(V_{gs})$. Afin de l'obtenir, il faut effectuer une résolution couplée de l'équation (1.4) et de l'équation de Schrödinger donnant $N_{2D}(E_F)$ (équation (1.6)).

$$N_{2D}(E_F) = D k_B T \ln \left(\left(1 + e^{\frac{E_F - E_1}{k_B T}} \right) \left(1 + e^{\frac{E_F - E_0}{k_B T}} \right) \right) \quad (1.6)$$

$$D = \frac{4\pi m^*}{h^2} \quad m^* = 0,22m_e$$

$$E_F \approx \frac{N_{2D}}{2D} \quad (1.7)$$

Avec :

m_e Masse de l'électron au repos [g]

m^* Masse effective [g]

h Constante de Planck [$m^2.kg.s^{-1}$]

k_B Constante de Boltzmann [$m^2.kg.s^{-2}.K^{-1}$]

T Température [K]

E_0, E_1 États d'énergie [eV]

Pour une forte inversion qui est le cas général des les transistors HEMT [57] le niveau de Fermi peut être approximé par l'équation (1.7). À partir des équations (1.4) et (1.7) nous

pouvons en déduire $N_{2D}(V_{gs})$ (équation (1.8)).

$$N_{2D}(V_{gs}) = 2 \frac{qD\varepsilon}{2q^2D(d_d + d_i) + \varepsilon} (V_{gs} - V_{th}) \quad (1.8)$$

L'équation (1.9) donne la relation liant l'intensité du courant et la charge accumulée dans le gaz d'électrons 2D. N_{2D} ne voit pas la même tension V_{gs} sur toute sa longueur (nommé L_{can}), pour prendre en compte cet effet il faut remplacer la tension V_{gs} par la tension de grille effective $V_{gs} - V(x)$. L'équation (1.8) devient l'équation (1.11). En remplaçant N_{2D} et μ_n par leurs expressions respectives, l'équation (1.11) devient l'équation (1.12).

$$I_{ds}(x) = Z_g q N_{2D}(x) \mu_n(x) \quad (1.9)$$

$$\mu_n(x) = \frac{\mu_0 \frac{dV(x)}{dx}}{1 + \frac{1}{E_{eq1}} \frac{dV(x)}{dx}} \quad E_{eq1} = \frac{\mathcal{E}_c v_{sat}}{\mu_0 \mathcal{E}_c - v_{sat}} \quad (1.10)$$

$$N_{2D}(V_{gs}, x) = 2D_2 (V_{gs} - V(x) - V_{th}) \quad (1.11)$$

$$D_2 = \frac{qD\varepsilon}{2q^2D(d_d + d_i) + \varepsilon}$$

$$I_{ds} \left(1 + \frac{1}{E_{eq1}} \frac{dV(x)}{dx} \right) = 2D_2 (V_{gs} - V(x) - V_{th}) \frac{dV(x)}{dx} \quad (1.12)$$

Avec :

Z_g	Largeur de la grille [m]
$\mu_n(x)$	Mobilité des électrons dépendante du champ à la position x [$cm^2.V^{-1}.s^{-1}$]
μ_0	Mobilité à faible champ [$cm^2.V^{-1}.s^{-1}$]
\mathcal{E}_c	Champ électrique critique [$V.m^{-1}$]
v_{sat}	Vitesse de saturation [$cm^2.V^{-1}.s^{-1}$]
$V(x)$	Potentiel à la position x [V]

Les conditions aux limites nécessaires à l'intégration du courant sont données aux équations (1.13) et (1.14). Le courant en fonction de V_{gs} et V_{ds} est donné au final à l'équation (1.15).

$$V(x)|_{x=0} = I_{ds}R_s \quad (1.13)$$

$$V(x)|_{x=L_{can}} = V_{ds} - I_{ds}(R_s + R_d) \quad (1.14)$$

Avec :

L_{can} Longueur du canal [m]

$$I_{ds}(V_{gs}, V_{ds}) = \frac{-\alpha_2 + \sqrt{\alpha_2^2 - 4\alpha_1\alpha_3}}{2\alpha_1} \quad (1.15)$$

$$\alpha_1 = D_2 \left(R_d^2 + 2R_sR_d \right) - \frac{2R_s + R_d}{E_{eq1}}$$

$$\alpha_2 = L_{can} + \frac{V_{ds}}{E_{eq1}} + 2D_2 \left((2R_s + R_d)(V_{gs} - V_{th}) - V_{ds}(R_s + R_d) \right)$$

$$\alpha_3 = 2D_2 \left(\frac{V_{ds}^2}{2} - V_{ds}(V_{gs} - V_{th}) \right)$$

L'expression de I_{ds} montre un maximum mettant en relation le courant et la tension de saturation comme définis à l'équation (1.16) [60]. En égalisant cette dernière équation avec l'équation (1.15) nous pouvons avoir l'expression de I_{dsat} en fonction de V_{gs} .

$$I_{dsat} = 2D_2 (V_{gs} - V(x) - V_{th} - V_{dsat}) \quad (1.16)$$

Paramètres de contrôle du gaz d'électrons 2D

La tension de seuil (V_{th}), donnée à l'équation (1.3), montre les paramètres permettant d'ajuster la densité électronique du gaz d'électrons, à savoir :

- $d_d + d_i$: l'épaisseur des couches AlGa_N (dopée et non dopée),
- x : la fraction molaire d'aluminium dans l'AlGa_N qui joue sur la polarisation à l'interface (ΔP),
- N_d : le dopage de la couche AlGa_N N⁺ (voir figure 1.11) .

La figure 1.12a montre la densité électronique engendrée par l'évolution des deux premiers paramètres. L'augmentation de l'épaisseur de l'AlGa_N accorde une diminution du taux d'aluminium pour avoir la même densité électronique. Néanmoins la couche barrière AlGa_N doit être au minimum d'une épaisseur de 10 nm sous peine de dégrader la concentration des porteurs dans le

gaz 2D donnant lieu à des performances très limitées. Ceci amène à une diminution de la tension de seuil aux alentours de 2 V. Cette figure met en évidence la possibilité de contrôler la densité électronique du gaz d'électrons 2D par d'autres moyens que le dopage de l'AlGaN. Il peut être réalisé en modifiant les niveaux de contraintes mécaniques et la polarisation spontanée de la couche AlGaN.

Cependant la fraction molaire change la mobilité électronique dans le GaN (figure 1.12b). Lorsque elle augmente, la densité augmente et provoque la diminution de la mobilité par l'introduction de nombreux mécanismes de diffusion [61].

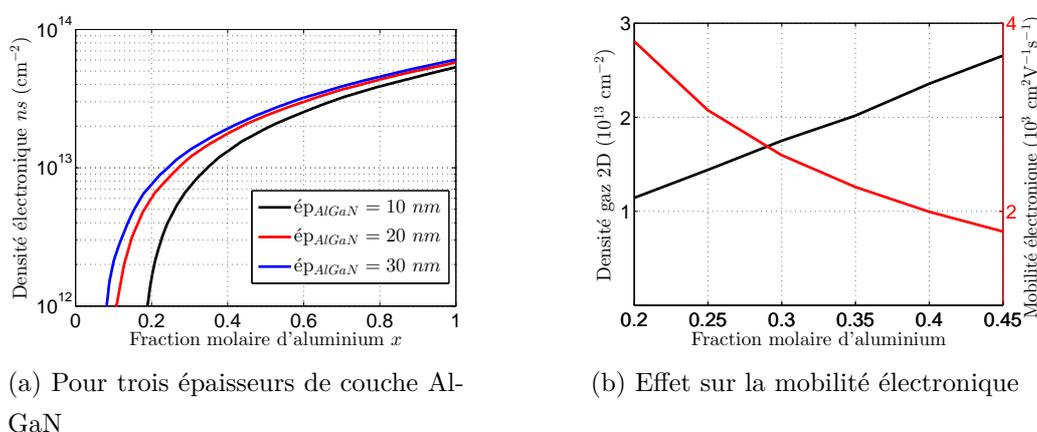


FIGURE 1.12 – Caractéristiques du gaz d'électrons 2D en fonction de la fraction molaire d'aluminium dans les couches AlGaN

Grâce à ces paramètres fournissant un contrôle de la tension de seuil, deux types de transistors HEMT peuvent être réalisés :

- D-HEMT : à déplétion (normally-on),
- E-HEMT : à enrichissement (normally-off).

1.2.3 Modélisation des transistors GaN HEMT

La modélisation des transistors GaN HEMT est obtenue à partir du modèle comportemental de Statz couramment utilisé pour modéliser les transistors à larges signaux [62]. Le modèle de Statz convient aux HEMT car la couche barrière AlGaN est considérée comme un diélectrique ce qui permet une forte analogie avec les MOSFET. La figure 1.13 représente ce modèle de deux façons distinctes : par rapport à une vue en coupe du transistor (figure 1.13a)

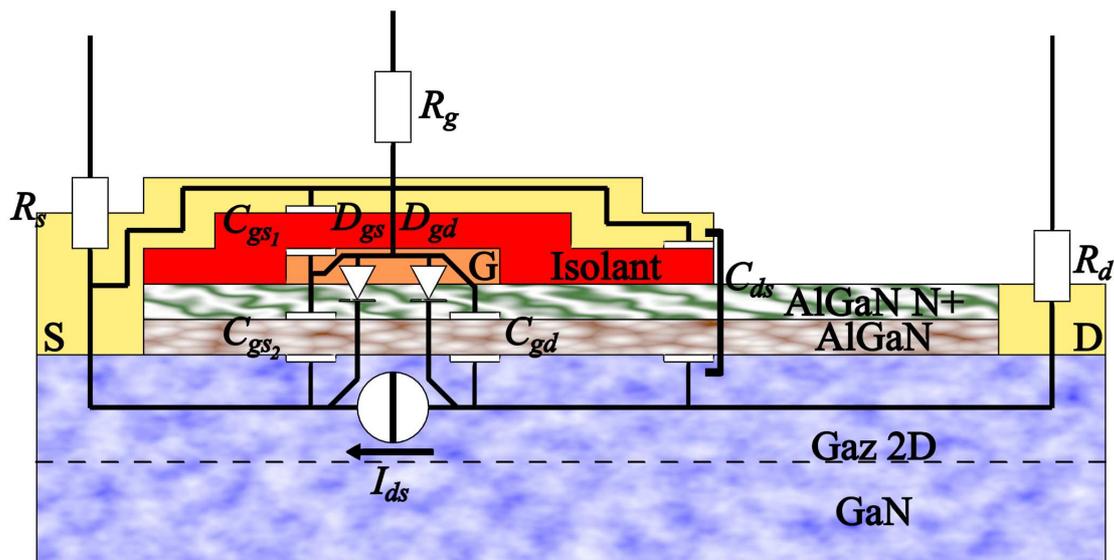
ce qui permet de localiser les éléments par rapport aux couches présentes, et en reliant les éléments du modèle donnant un modèle électrique du transistor (figure 1.13b). Le modèle est ainsi constitué :

- d'une source de courant I_{ds} contrôlée par V_{gs} et V_{ds} ,
- de deux diodes Schottky (D_{gs} et D_{gd}) dues au contact Schottky de la grille, elles sont responsables du courant de fuite de la grille,
- de trois condensateurs variant avec la tension :
 - C_{gs} est la mise en parallèle d'une capacité provenant de la couche barrière et d'une capacité créée par l'isolant et l'électrode déportée de la source recouvrant la grille qui permet d'augmenter la tension d'avalanche et de diminuer les effets de piègeage [14],
 - C_{gd} est la capacité entre la grille et le canal avec la couche barrière comme isolant,
 - C_{ds} est la capacité entre l'électrode déportée de la source et le canal 2D avec l'isolant de la grille et la couche barrière entre les deux,
- de trois résistances d'accès (R_g , R_d et R_s pour la résistance de grille, de drain et de source respectivement).

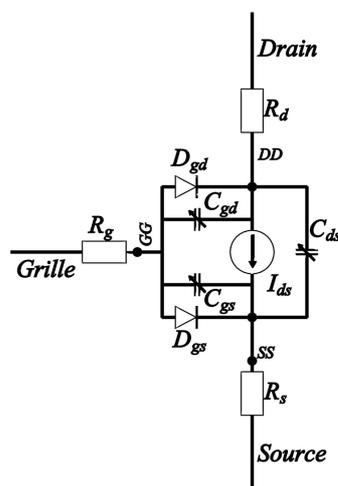
1.3 L'épitaxie du GaN

1.3.1 Homoépitaxie (substrat GaN massif)

Les méthodes de croissance de semi-conducteurs massifs (Czochralski, Bridgman) ne sont pas applicables au cas du GaN. La croissance doit se faire à très haute température ($> 1600^\circ\text{C}$) et à forte pression (20 kbar). Dans ces conditions, elle reste tout de même lente et il faut environ 120 à 150 heures pour obtenir des cristaux de surface d'environ 1 cm^2 . La qualité cristallographique obtenue est excellente, cependant, le niveau de dopage résiduel est très élevé ce qui rend les mobilités inférieures à $100\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$. Cette couche n'est donc pas utilisable directement mais fournit un substrat de choix pour une croissance ultérieure pour une technique de croissance par épitaxie (MOCVD, MOVPE ou MBE). Les couches de GaN ensuite obtenues par homoépitaxie sur ce substrat GaN sont de qualité inégalée mais cette conception de substrat reste lente, onéreuse et elle est limitée pour le moment à des petites surfaces. Elle permet néanmoins la réalisation de composants verticaux donnant des transistors haute température supportant des champs de claquage élevés. Malheureusement, ces composants ne peuvent bénéficier de la structure HEMT à moins d'utiliser une technique d'épitaxie pouvant faire croître les deux matériaux côte à côte comme celle mise en œuvre pour les CoolMOS d'Infineon.



(a) Éléments du modèle associés à la vue en coupe



(b) Schéma électrique du modèle

FIGURE 1.13 – Modèle de Statz associé aux transistors HEMT

L'homoépitaxie peut servir aussi à la conception de composants latéraux haute température bénéficiant du gaz électronique bidimensionnel mais ayant des tensions de claquages plus faibles que les composants verticaux.

1.3.2 Hétéroépitaxie

Les substrats GaN étant d'une grande rareté la croissance sur un autre substrat doit être réalisée, c'est-à-dire faire de l'hétéroépitaxie. Pour cela, trois substrats monocristallins sont utilisés : le saphir, le carbure de silicium et le silicium. Les performances du transistor sont

très liées au substrat utilisé surtout d'un point de vue thermique [53]. Le tableau 1.1 (page 32) présente les propriétés mécaniques et thermiques de ces substrats.

Substrat saphir et SiC

Le saphir est un substrat très utilisé dans les applications optoélectroniques. Malgré son fort désaccord de maille cristalline il a l'avantage d'être transparent (comme le GaN), il a une excellente stabilité thermique et une résistance de plusieurs gigaohms pour un coût raisonnable. Le carbure de silicium monocristallin (4H ou 6H) est un très bon candidat en tant que substrat, il a une forte conductivité thermique proche de celle du cuivre, un faible désaccord de maille diminuant la densité de défaut dans le GaN et il est plus isolant électriquement que le saphir. Pour ces qualités il est largement utilisé pour les applications hyperfréquences malgré son coût très élevé.

Substrat silicium

Les composants à base de GaN font partie des technologies les plus prometteuses pour les nouveaux composants de puissance. Ils sont avantageux en termes de coût de fabrication, de disponibilité et de compatibilité avec les technologies à base de silicium. Malgré la forte différence de paramètre de maille et des coefficients thermiques, il existe déjà des films de GaN sur substrat Si de 200 mm de diamètre de haute qualité. Cependant, le silicium n'est pas aussi résistif électriquement que le saphir ou le carbure de silicium. Il présente une résistivité de l'ordre de 20 k Ω /cm (et donc n'est pas considéré comme un semi-isolant). Des composants GaN sur substrat silicium atteignant des tensions de claquage au delà de 600 V avec une résistance de contact de plus d'un ordre de grandeur par rapport aux composants MOSFETs à base de silicium ont déjà été démontrés. Plusieurs améliorations peuvent être apportées pour augmenter les performances des futures générations de composants GaN sur substrat silicium :

- dépose d'une couche de passivation en SiN dans le substrat permettant d'augmenter la stabilité des composants à haute température et donc la fiabilité sous conditions extrême [1].
- utilisation d'une couche de barrière à base d'AlN ou InAlN augmentant la polarisation globale et donc la densité du gaz 2D, de plus la couche barrière peut être plus fine comparée à l'AlGaIn.

1.4 Structure interne d'un composant HEMT GaN sur silicium

Une analyse de la structure interne a été réalisée sur un composant eGaN-FET (*enhancement Gallium Nitride - Field Effect Transistor*) d'EPC (*Efficient Power Converter*) (référence : EPC 1015), il est essentiel de connaître les matériaux constituant le transistor pour appréhender son comportement sous environnement sévère. Cette étude nous a permis d'obtenir des connaissances supplémentaires sur la réalisation de composants à base de GaN normalement bloqué. Ces coupes et énumérations des matériaux présents dans la structure ont été réalisées par la société SERMA TECHNOLOGIES spécialisée dans l'expertise et le conseil en électronique dans le cadre du projet MEMPHIS/GALION.

Les composants EPC sont des transistors au nitrure de gallium sur substrat silicium. Le transistor est composé d'une multitude de cellules disposées sous forme de grille alternant drains et sources (figure 1.14b). La figure 1.14a montre une coupe générale du composant EPC 1015. Le zoom 1 (figure 1.14b) montre de plus près l'aspect multi-cellulaire du composant. Les chemins que parcourent les courants I_{ds} y sont représentés (en jaune), ils rejoignent les bumps servant à la bonne liaison entre le composant et le circuit imprimé. La figure 1.15 (zoom 2) se concentre sur une cellule du transistor. Le parcours du courant (en rouge) partant du drain (figure 1.15a) se trouvant sur un autre plan en profondeur et allant jusqu'à la source figure 1.15b y est représenté. À ce niveau, nous pouvons distinguer les différentes couches formant le composant. De bas en haut (substrat jusqu'aux bumps), nous avons tout d'abord un substrat silicium de $650 \mu\text{m}$, cette couche a pour but d'isoler le composant, elle sert de base pour l'épitaxie. Les deux couches suivantes (AlN et AlGaN) sont des couches tampons servant à restreindre les contraintes mécaniques entre le silicium et le GaN [49]. La couche conductrice GaN d'une épaisseur de 1,1 microns ici est épitaxiée sur les couches tampons. Au-dessus, nous pouvons observer l'alternance drain-source tous deux reliés par une fine couche d'aluminium reliant ainsi toutes les sources et tous les drains ensembles et les connectant aux bumps correspondants. En zoomant encore au niveau de la grille et de la source (figures 1.16a et 1.16b) nous pouvons apercevoir l'hétérojonction permettant la création du gaz d'électrons 2D. Il n'existe pas pour le moment d'oxyde compatible avec le semiconducteur GaN [18, 50], la grille n'est donc pas isolée physiquement du canal.

Cet approfondissement nous montre bien que seule une fine couche d'AlGaN (10 nm) est nécessaire au développement du gaz d'électrons 2D. Cette faible épaisseur permet la réalisation

1.4. Structure interne d'un composant HEMT GaN sur silicium

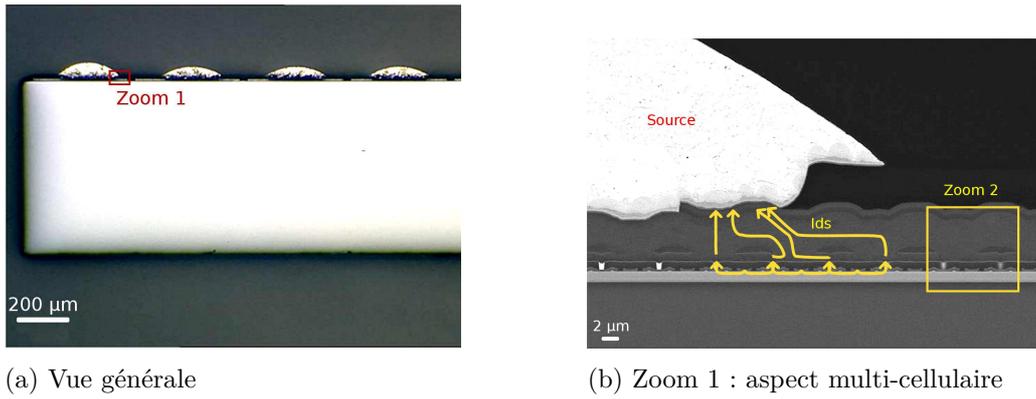


FIGURE 1.14 – Coupe d'un transistor EPC 1015

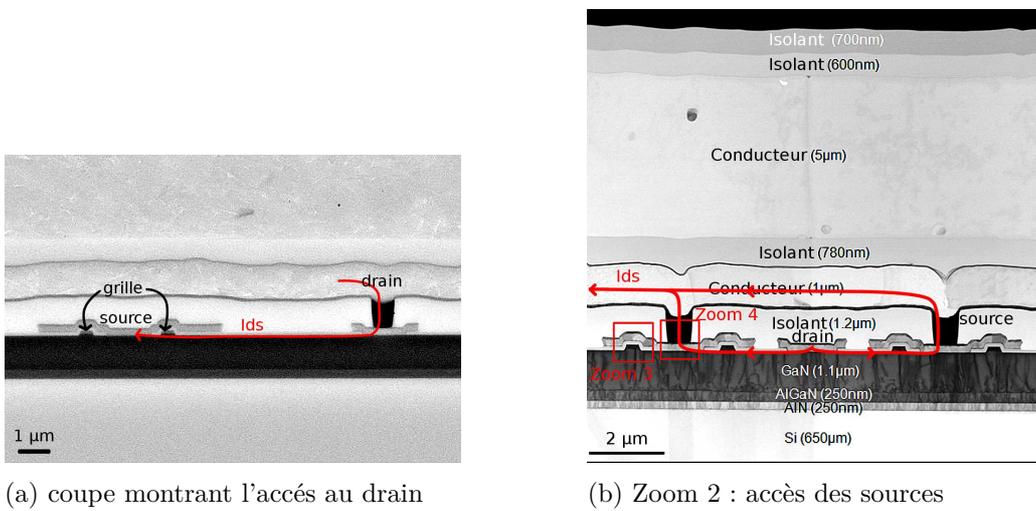


FIGURE 1.15 – Une cellule de commutation du composant

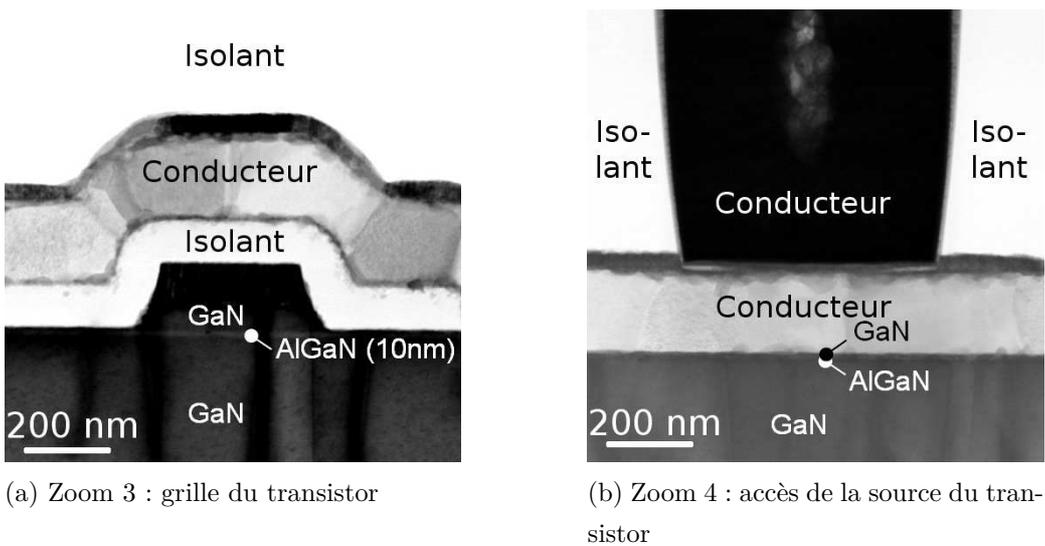


FIGURE 1.16 – Zoom sur l'hétérojonction AlGaN/GaN

de composants de très faibles dimensions.

Le nombre de couches nécessaires au fonctionnement de ces composants peut poser des problèmes de fiabilité. Des études restent à effectuer pour déterminer la fiabilité de ces transistors. Cependant, la technologie d'intégration GaN sur silicium se base sur les méthodes de fabrication des MOSFET silicium [63, 64]. Ces méthodes ont bénéficié de plusieurs années d'études des mécanismes de défaillance des composants silicium. Ces processus donnent une base solide de conception et de fiabilité des transistors GaN sur silicium.

1.5 Conclusion

Ce chapitre nous a permis de comprendre les particularités du semi-conducteur GaN. Nous avons pu appréhender ses caractéristiques, celles-ci ont confirmé ce qui a été présenté dans l'introduction, à savoir qu'il y aura une complémentarité dans le domaine de l'électronique de puissance entre les composants à base de SiC et ceux à base de GaN.

La grande particularité de ce matériau est sa capacité d'élaborer une hétérojonction favorable à la création d'un gaz électronique bidimensionnel faisant augmenter de plus du double la mobilité électronique du GaN. Ce gaz d'électrons a été mis en équation afin de déterminer quels paramètres pouvaient le contrôler. Nous avons vu qu'il n'était pas nécessaire de jouer sur le dopage pour augmenter la densité électronique mais que les paramètres physiques comme l'épaisseur des couches AlGa_N ou leur fraction molaire aidaient à obtenir la densité voulue.

La couche barrière que forme l'AlGa_N non dopé justifie l'analogie faite avec les MOSFET silicium car cette couche se comporte comme un diélectrique vis-à-vis de la grille. Dès lors, nous pouvons présenter un modèle électrique comportemental des transistors HEMT basé sur le modèle de Statz utilisé pour modéliser les MOSFET à larges signaux. Ce modèle permettra dans les chapitres suivants de simuler les transistors GaN et nous apportera des informations sur son fonctionnement.

Le GaN à l'avantage de pouvoir être épitaxié sur d'autres matériaux que le GaN massif, cela permet la fabrication de composants aux spécificités et coût de fabrication différents : les composants sur substrat GaN massif sont destinés aux hautes températures (ils pourraient

théoriquement fonctionner à des températures supérieures à 1000 ° C), ce substrat reste très onéreux donc dédié à des applications particulières. Les autres substrats favorisent la fabrication de composants à faible coût, ils sont moins chers à fabriquer et surtout la fabrication de ses composants demande peu de modifications des chaînes de montages déjà existantes pour les composants purement silicium.

La structure interne d'un composant GaN sur silicium nous a montré son aspect multicellulaire et les couches le constituant. Nous avons pu constater la faculté de ces composants à être de faibles dimensions car il suffit d'une couche AlGaN de 10 nm pour créer le gaz d'électrons 2D. Cette structure complexe pose la question de la fiabilité en partie résolue car les procédés de fabrication sont basés sur ceux utilisés pour la réalisation de composants MOSFET silicium et actuellement bien éprouvés.

Chapitre 2

Étude et caractérisation d'un substrat HTCC pour un convertisseur DC/DC au GaN

Un des objectifs du projet MEMPHIS/GALION est de réaliser un module de puissance capable de fonctionner à des températures ambiantes élevées ($120^{\circ}\text{C}\rightarrow 200^{\circ}\text{C}$). À ces températures, le FR-4 (*Flame Resistant 4*) ne peut plus être employé comme substrat de circuit imprimé [65], une des alternatives est l'utilisation de substrats céramiques (LTCC (*Low Temperature Cofired Ceramique*)¹ ou HTCC (*High Temperature Cofired Ceramique*)²). La société EGIDE (associée au projet) est spécialisée dans les substrats céramiques, sa mission ainsi qu'elle la définit est « d'assurer l'invulnérabilité de systèmes électroniques intégrés ou de puces complexes, donc fragiles, sensibles aux environnements thermiques, atmosphériques ou magnétiques difficiles » [66]. Elle est un des seul concepteur de substrat HTCC en Europe.

Ces substrats ne sont pas adaptés à l'électronique de puissance, par conséquent une étape du projet est consacrée à sa caractérisation. Ses propriétés mécaniques et électriques doivent être connues afin de pouvoir l'intégrer dans le module final. L'étude mécanique a été faite par le laboratoire LMT de Cachan où se déroule une thèse sur le sujet (réalisée par Charlotte ROBERT).

-
1. Céramique cofrité à basse température
 2. Céramique cofrité à haute température

La caractérisation électrique est conduite sur plusieurs échantillons fournis par EGIDE permettant de mettre en avant les diverses propriétés du HTCC. En effet, les pistes étant réalisées avec de l'encre tungstène, sa résistivité reste à connaître. La céramique impose aussi une permittivité relative supérieure à l'époxy, il est nécessaire d'avoir connaissance de cette valeur pour prévoir le comportement des pistes. Même si ces caractérisations ne posent pas de problèmes particuliers, ces mesures doivent être faites avec soin et précision car les informations tirées de celles-ci sont importantes pour le reste du projet.

Après une description du substrat HTCC nous commençons par présenter les mesures des pistes enterrées réalisées seulement avec de l'encre tungstène, puis les mesures des pistes en surface recouverte d'une couche de nickel-or facilitant le passage du courant. Ces mesures sont effectuées à température ambiante et jusqu'à 190 ° C. Nous avons établi le modèle des pistes et identifié les paramètres grâce aux mesures.

Nous continuons par la mesure de la permittivité de l'alumine à température ambiante jusqu'à 190 ° C. Nous nous aidons de simulations 3D par éléments finis pour retrouver la permittivité relative de l'alumine utilisée dans ce substrat. Nous présentons un modèle de la capacité prenant en compte la température. Nous finissons par une discussion sur le substrat HTCC en observant ses difficultés à faire transiter de la puissance, caractéristique essentielle pour la conception de convertisseur de puissance à base de ce substrat.

2.1 Présentation du HTCC

La figure 2.1 représente les étapes de fabrication d'un circuit HTCC :

- étape ① : la céramique « crue » est obtenue à partir de poudre d'alumine et de composants organiques qui sont mélangés et donnent une matière à l'aspect pâteux, la barbotine
- **étape ②** : les vias sont remplis d'encre obtenue à partir de poudre de tungstène et de solvant,
- **étape ③** : les pistes de tungstène sont réalisées par sérigraphie avec cette encre,
- étape ④ : les différentes couches sont empilées,
- étape ⑤ : L'empilement de couches est pressé,
- **étape ⑥** : le cofrittage est réalisée, durant cette étape une réduction des dimensions de 30 % s'opère,

- étape ⑦ : le circuit est pressé afin d'éliminer les dernières bulles d'air,
- étape ⑧ : les sous-circuits sont découpés.

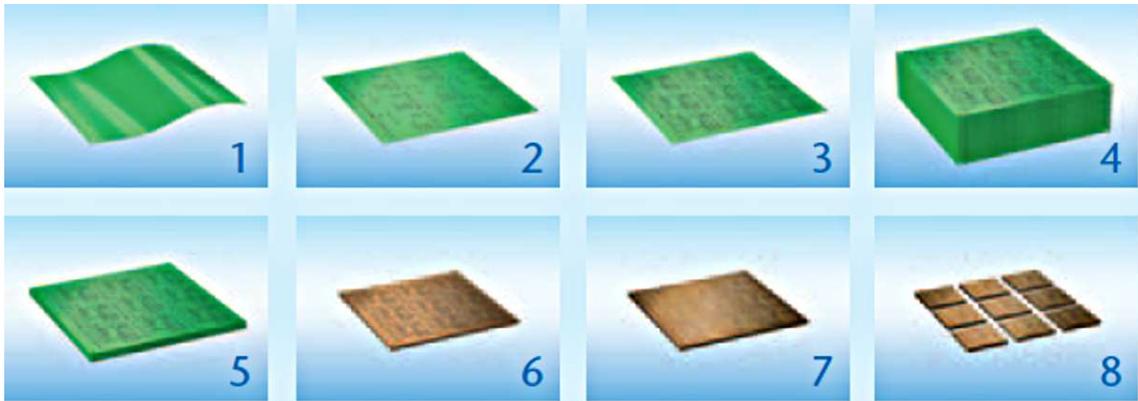


FIGURE 2.1 – Étapes de fabrication de substrat HTCC

Trois étapes sont contraignantes pour la réalisation de substrat céramique (marquées en gras) : les étapes ② et ③ évoquent l'utilisation d'une encre tungstène ce qui abouti un tungstène non massif provoquant une résistivité plus élevée par rapport au tungstène dense. L'étape ⑥ entraine un changement de dimensions, celle-ci peut être problématique par rapport à des empreintes de composant tel qu'un transistor GaN (figure 2.2). La précision requiert de prendre en considération ce phénomène de retrait.

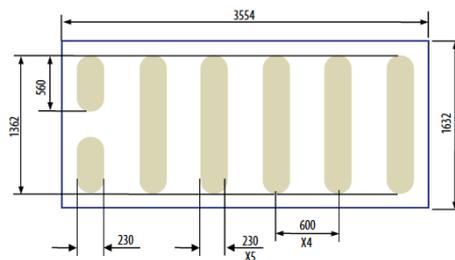


FIGURE 2.2 – Dimension de l'empreinte d'un transistor GaN

Ce procédé permet de produire un circuit imprimé avec un substrat céramique et des pistes de tungstène supportant plus de 1000°C , idéal pour les environnements sévères. Ce substrat a l'avantage d'une conductivité thermique de 17 W(mK)^{-1} comparé à $1,06\text{ W(mK)}^{-1}$ au maximum du FR-4 [67]. Il permet de réaliser des couches d'une épaisseur pouvant varier de $250\ \mu\text{m}$ à 1 mm avec une épaisseur de pistes de $10\ \mu\text{m}$. Son principal inconvénient électrique est la résistivité du tungstène qui, sous sa forme dense, est trois fois plus importante que le cuivre. Il est donc

nécessaire de rajouter des couches de matériaux plus conducteurs (nickel-or, cuivre) pour faire transiter plus de courant dans les pistes. Dans ce but, EGIDE développe plusieurs briques technologiques comme le dépôt de couches de cuivre épaisses en surface ou du tungstène plus épais pour les couches enterrées.

2.2 Caractérisations de la résistance des pistes

La société EGIDE nous a fourni plusieurs échantillons afin de mesurer avec précision la résistance des pistes, nous avons travaillé sur deux types d'échantillons. Le premier type (figure 2.3a) est constitué de pistes enterrées d'une longueur de 8,05 cm et de 5 largeurs différentes (50, 75, 100, 125, et 250 μm) avec seulement du tungstène comme matériau conducteur, cet échantillon est utile pour la caractérisation de la résistivité du tungstène seul (notée ρ_W). Le deuxième type d'échantillon (figure 2.3b) est formé de pistes déposées en surface de mêmes dimensions que les pistes enterrées. Ces pistes surfaciques sont élaborées à partir de pistes en tungstène pur et d'une couche de nickel-or de quelques microns réalisée par un dépôt électrolytique afin de diminuer la résistance pour faciliter le passage de fortes intensités (sa résistivité sera notée $\rho_{W\text{NiAu}}$). La figure 2.4 fait un zoom sur des pistes de 250 μm , cela montre qu'il y a dix fois la même largeur de piste.

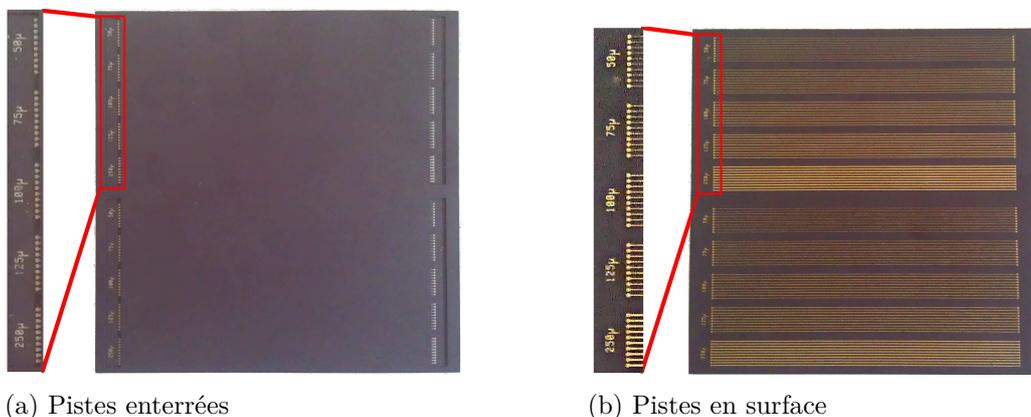


FIGURE 2.3 – Photos des échantillons de test fournis par la société EGIDE

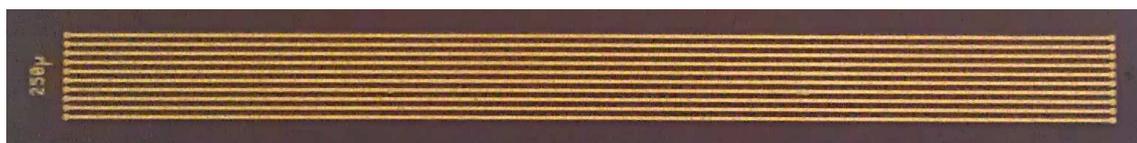


FIGURE 2.4 – Zoom d'un jeu de pistes en surface

2.2.1 Problème lié aux pistes fines

Les pistes les plus fines nécessitent une analyse supplémentaire sur leurs caractéristiques physiques. Nous avons finement observé au microscope optique leur largeur (L_p). La figure 2.5 met en évidence la non homogénéité de cette largeur pour le cas des pistes enterrées qui sont visibles à l'extrémité (figure 2.5a) et pour le cas des pistes en surface (figure 2.5b). On note une assez forte irrégularité de largeur, celle-ci doit donc être estimées par un autre moyen.

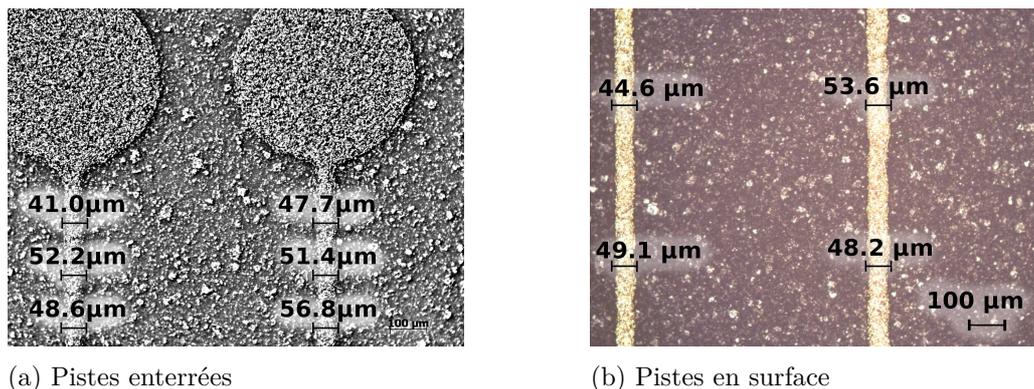


FIGURE 2.5 – Images au microscope optique des pistes fines de $50 \mu\text{m}$

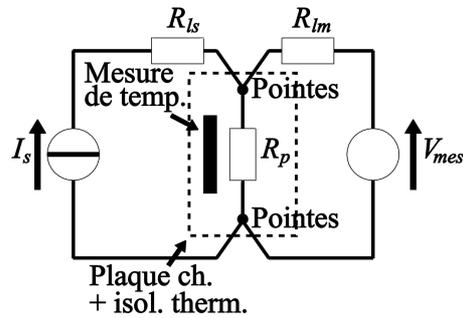
Le matériau étant le même (ou les mêmes) pour les pistes de configuration identique, ce seront les trois pistes les plus larges qui seront prises comme référence pour calculer les paramètres résistifs du tungstène car la variation absolue de la largeur reste la même quelle que soit la largeur de piste, donc l'erreur relative est plus faible sur les pistes les plus larges. Ces paramètres nous permettront de calculer la largeur moyenne équivalente des pistes fines.

2.2.2 Banc de mesures

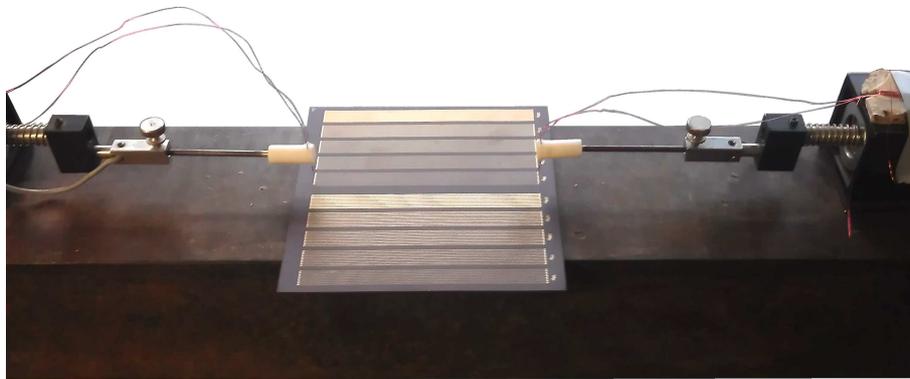
La précision de mesure étant d'une grande importance, il faut éviter de prendre en compte la résistance des fils et des connexions. En conséquence, nous nous sommes tournés vers une méthode voltampèremétrique pour remédier à ce problème [68]. La figure 2.6a représente ce système, avec d'un côté une source de courant (I_s) de précision de la marque Keithley (modèle 6220 DC) débitant une intensité fixe de 100 fA à 100 mA indépendamment de la charge (R_p). Ce courant produit une tension aux bornes de la charge et de la résistance de ligne de la source (R_{ls}). La tension est mesurée par l'intermédiaire d'un nanovoltmètre (V_{mes}) de la marque Keithley (modèle 2182A) pouvant mesurer des tensions avec une précision de 15 nV (au maximum).

2.2. Caractérisations de la résistance des pistes

Comme aucun courant ne traverse les fils du nanovoltmètre (R_{lm}), V_{mes} correspond seulement à la tension aux bornes de la charge à caractériser. Le rapport V_{mes}/I_s nous donne donc la valeur de la résistance R_p seule.



(a) Schéma de principe



(b) Photo du banc de test permettant les mesures 4 points

FIGURE 2.6 – Méthode voltampéremétrique

Afin de nous connecter proprement aux pistes nous avons utilisé des pointes de mesures fixées sur des bras amovibles et se déplaçant sur les trois axes. La figure 2.6b présente le banc de test avec un bras de chaque côté. Deux aiguilles sont fixées au bout de chaque bras, une reliée à la source de courant, l'autre reliée à la mesure de tension. Les deux pointes étant séparées cela permet de ne pas prendre en compte la résistance de contact des pointes [69].

Pour mesurer la résistance des pistes en fonction de la température nous avons rajouté au banc de caractérisations une plaque chauffante et de la mousse thermiquement isolante afin de faire évoluer leur température de façon homogène ; la mesure de température est prise au plus proche des pistes. La méthode voltampéremétrique a l'avantage d'être insensible à l'élévation de la température.

2.2.3 Erreur de mesures et chiffres significatifs

La résistance étant calculée par l'intermédiaire d'un quotient, l'erreur relative pessimiste est donnée à l'équation (2.1). Le tableau 2.1 donne les erreurs des appareils par rapport au calibre choisi pour réaliser la mesure (2 mA et 100 mV pour la source de courant et le nanovoltmètre respectivement). Ces valeurs nous permettent d'obtenir l'erreur absolue. Le nanovoltmètre peut à ce calibre avoir une erreur absolue de 810 nV mais pour éviter des imprécisions supplémentaires, nous n'avons pris que les chiffres qui ne fluctuaient pas sur l'affichage du nanovoltmètre ce qui ramène l'erreur absolue à 10 μV .

$$\frac{\Delta R_p}{R_p} = \frac{\Delta V_{mes}}{V_{mes}} + \frac{\Delta I_s}{I_s} \quad (2.1)$$

$$x_{er} = \frac{\Delta x}{x} \cdot 100 \quad (2.2)$$

Avec :

- ΔR_p Erreur absolue sur la mesure de la résistance de piste
- ΔV_{mes} Erreur absolue sur la mesure de la tension
- ΔI_s Erreur absolue sur le courant délivré par la source de courant
- x_{er} Erreur relative d'une mesure [%]

TABLEAU 2.1 – Spécifications des erreurs des appareils utilisés pour la mesure de la résistance

Appareils	Calibre	Résolution	Bruit	Erreur de température	Erreur absolue
Source de courant (6220 DC)	2 mA	100 nA	200 nA	70 nA	370 nA
Nanovoltmètre (2182A)	100 mV	10 nV	300 nV	500 nV	810 nV (10 μV)

Nous avons choisi d'injecter un courant dans la piste de 1 mA afin de ne pas dépasser 100 mV et donc rester dans le calibre du nanovoltmètre. Ces données donnent lieu au calcul de l'erreur relative à l'équation (2.3). Cette dernière comporte 3 chiffres significatifs plus 1 chiffre incertain, dans la suite du chapitre nous représenterons les résultats avec 3 chiffres significatifs.

$$r_{p_er} = \left(\frac{10 \mu\text{V}}{100 \text{ mV}} + \frac{370 \text{ nA}}{1 \text{ mA}} \right) \cdot 100 = 0.047 \% \rightarrow 0.05 \% \quad (2.3)$$

2.2.4 Mesure des pistes

Les mesures ont été effectuées à température ambiante et en température. La température est mesurée à l'aide d'un thermocouple d'une précision de 0,1 ° C. Les mesures en température nous aideront à déterminer le coefficient de température lié au tungstène. Les résultats obtenus pour les différentes largeurs de pistes sont présentées dans le tableau 2.2 en ce qui concerne les pistes enterrées et au tableau 2.3 pour les pistes en surface.

TABLEAU 2.2 – Mesures en température des résistances des pistes enterrées en fonction de leur largeur

Température (° C)	Largeur de la piste (μm)				
	250	125	100	75	50
Tamb	7,34	15,9	20,0	28,4	47,5
50,0	7,49	16,0	20,5	29,3	50,3
75,0	8,14	17,2	21,7	31,2	52,2
100	8,67	18,3	23,0	33,0	56,1
125	9,23	19,4	24,3	35,0	58,8
150	9,93	20,5	25,7	37,0	62,4
175	10,5	21,7	27,1	38,9	65,7
190	10,7	22,4	28,0	40,2	67,5

TABLEAU 2.3 – Mesures en température des résistances des pistes en surface en fonction de leur largeur

Température (° C)	Largeur de la piste (μm)				
	250	125	100	75	50
Tamb	6,08	13,2	16,9	24,6	41,7
50,0	6,39	13,4	17,1	24,9	43,6
75,0	6,86	14,1	18,2	26,4	44,7
100	7,32	15,1	19,1	27,9	47,0
125	7,82	16,0	20,0	29,4	49,3
150	8,19	16,7	21,0	30,9	51,5
175	8,94	17,7	22,0	32,2	53,8
190	9,00	18,1	22,5	33,0	55,2

Nous pouvons observer l'effet de la couche de nickel-or par rapport au pistes en tungstène seules, elle favorise la conduction réduisant en moyenne de 15 % la valeur de la résistance de

la piste. L'impact de la température sur l'évolution de la résistance est non négligeable, elle l'a faite varier de plus de 29 % pour les pistes enterrées et de plus de 25 % et les pistes en surface.

2.2.5 Détermination des paramètres du modèle des pistes

Les mesures présentées précédemment vont nous permettre de trouver les paramètres comme la résistivité à 0 °C et le coefficient de température et créer un modèle à partir de ceux-ci. Nous sommes parti de la formule liant la résistivité d'un matériau à ses dimensions physiques (équation (2.4)). Les pistes ont toutes la même longueur (8,05 cm). L'hypothèse faite est que l'approximation de la section par une surface rectangulaire (figure 2.7a) est inexacte par rapport au process de fabrication, cette hypothèse est appuyée par l'expérience de la société EGIDE. Il est préférable d'utiliser la surface d'un segment circulaire (figure 2.7b) notée S_{sc} .

$$R = \rho \frac{L}{S_{sc}} \quad (2.4)$$

$$S_{sc} \approx \frac{2}{3} L_p H_p + \frac{H_p^3}{2L_p} \quad (2.5)$$

$$H_p = 10 \mu m$$

Avec :

ρ Résistivité du matériau [$\Omega.m^{-1}$].

Pour calculer la section de cette forme de piste, il nous faudrait connaître le rayon ou l'angle du

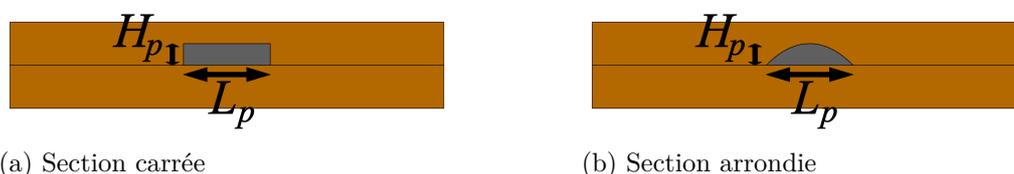


FIGURE 2.7 – Surface des pistes tungstènes

cercle au quel appartient le segment (figure 2.8). N'ayant aucune information sur ces grandeurs nous avons utilisé l'équation (2.5) donnant des résultats géométriques en partant de la largeur et de la hauteur de la piste avec une erreur relative de 0,1 % par rapport au calcul exacte de la surface pour $0^\circ < \alpha_{sc} < 150^\circ$ et une erreur relative de 0,8 % au delà de 150° [70].

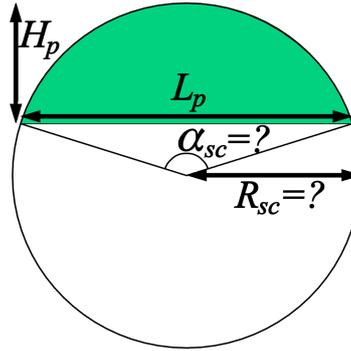


FIGURE 2.8 – Approximation d’un segment circulaire lorsque le rayon et l’angle sont inconnus

La résistivité variant avec la température [71], nous l’avons prise en compte en changeant ρ par la relation linéaire donnée par l’équation (2.6) autorisant l’évolution de la résistivité avec la température.

$$\rho \rightarrow \rho(\theta) = \rho_0(1 + \alpha\theta) \quad (2.6)$$

Avec :

- ρ_0 Résistivité du matériau à 0°C [$\Omega.m^{-1}$],
- α Coefficient de température [K^{-1}],
- θ Température de la piste [$^\circ\text{C}$].

Calcul de l’erreur due à l’approximation de la surface

Le calcul des paramètres résistifs se faisant grâce à un produit nous pouvons appliquer les mêmes règles de calcul d’erreur que pour celles de la mesure. L’erreur relative est exprimée à l’équation (2.7), elle prend en compte l’erreur relative de la résistance trouvée précédemment et rajoute l’erreur relative de l’approximation de la surface, le résultat est donné dans la même équation. L’erreur relative a 2 chiffres significatifs et 1 chiffre incertain, nous donnerons la résistivité à 0°C et le coefficient de température dans ces mêmes proportions.

$$\frac{\Delta\rho}{\rho} = \frac{\Delta R_p}{R_p} + \frac{\Delta S_{sc}}{S_{sc}} = 0,847\% \rightarrow 0,85\% \quad (2.7)$$

Analyse du résidu

Pour déterminer les paramètres nous nous sommes servis de la méthode des moindres carrés, son but est de comparer des données expérimentales à un modèle ou fonction mathématique

sensé décrire ces données. Elle donne la courbe se rapprochant au plus près des mesures. Pour arriver à ce résultat elle essaye de minimiser le résidu qui est défini à l'équation (2.8). Le résidu nous donne donc une indication sur la correspondance de notre modèle, plus le résidu est faible et plus les mesures sont proches de la courbe calculée.

$$res = \sum_{i=1}^N (y_i - f(x_i, k))^2 \quad (2.8)$$

Avec :

- i Numéro du point de mesure,
- N Nombre de points de mesure,
- y_i Mesures,
- $f()$ Fonction utilisée pour décrire les données,
- x_i Conditions de mesures (températures, largeurs de piste, ...),
- k Paramètres déterminés.

Les pistes fines amènent une erreur relative sur leur largeur qui peut fausser le calcul des paramètres. Afin d'étudier cette observation nous avons calculé le résidu pour différents cas : pour toutes les largeurs de pistes, puis pour les n pistes les plus larges ($n = [2; 3; 4]$). Ces résidus sont tracés à la figure 2.9. Nous pouvons observer un fort résidu si nous prenons toutes les pistes ou les quatres plus larges, ce résidu est proche de zéro lorsque ne nous prenons pas les deux largeurs de pistes les plus fines (50 et 75 μm). Nous avons donc décidé de ne prendre en compte que les trois pistes les plus larges pour calculer les résistivités à 0 °C et les coefficients de température des matériaux puis d'estimer les largeurs des pistes les plus fines à partir de ces paramètres.

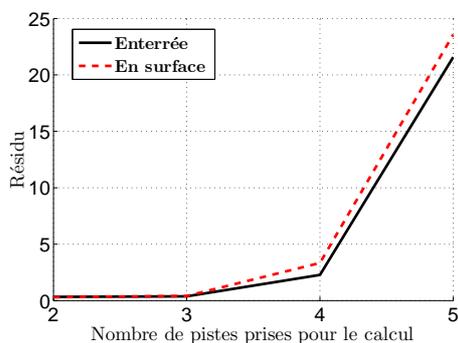


FIGURE 2.9 – Résidu (res) en fonction du nombre de pistes prises pour la corrélation en partant toujours de la plus grande largeur de piste

2.2.6 Modélisation des pistes

Pistes enterrées

Matériau

L'étude se concentre premièrement sur les pistes enterrées car elles nous permettent de calculer les paramètres du tungstène seul. Grâce à ces données nous avons pu déterminer à la fois la résistivité à 0°C et le coefficient de ce tungstène en ne prenant en compte que les trois pistes les plus larges. Ces résultats sont donnés au tableau 2.4. La dernière colonne du tableau donne les valeurs pour le matériau massif de tungstène. Nous pouvons observer une résistivité trois fois supérieure à celle attendue. Cela peut s'expliquer par la composition de l'encre tungstène qui ajoute des matériaux peu ou non conducteurs. Le coefficient de température du tungstène est inférieur par rapport au tungstène massif.

TABLEAU 2.4 – Paramètres trouvés par la méthode des moindres carrés pour les pistes enterrées

Désignation	Symbole	Pistes enterrées	Valeur de la littérature [71]
Résistivité du tungstène à 0°C	ρ_{W_0}	$0,15 \mu\Omega.m$	$0,048 \mu\Omega.m$
Coefficient de température du tungstène	α_{W_0}	$3,00 mK^{-1}$	$4,50 mK^{-1}$

Aspect géométrique

L'étude géométrique des pistes fines nous a montré une largeur non constante sur la longueur de la piste. Afin de déterminer une largeur moyenne de ces pistes nous sommes partis des paramètres précédemment calculés et avons estimé les largeurs des deux pistes les plus fines en fixant leurs résistivité à 0°C et coefficient de température. Nous avons ici encore utilisé la méthode des moindres carrés.

Les résultats sont présentés au tableau 2.5. Nous pouvons remarquer une largeur estimée inférieure de 17 % et 7 % à celle voulue lors du routage des échantillons de substrat HTCC pour des pistes de largeur de 50 et 75 μm respectivement.

TABLEAU 2.5 – Largeur moyenne estimée des pistes les plus fines enterrées

Largeur de la piste établie lors du routage (μm)	75	50
Largeur moyenne de la piste estimée enterrée (μm)	69,8	41,7

La figure 2.10 représente les courbes d'évolution de la résistance en fonction de la température pour différentes largeurs de pistes. Pour les pistes fines ce sont les largeurs moyennes estimées précédemment qui ont été prises. Nous pouvons observer une très bonne corrélation entre les mesures et les courbes réalisées à partir des paramètres calculés validant ceux-ci.

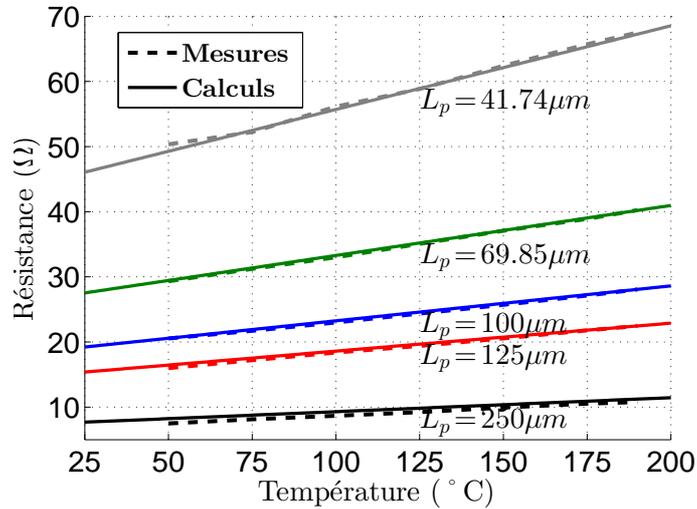


FIGURE 2.10 – Corrélation entre les mesures et le calcul de la variation de la résistance en fonction de la température pour les pistes enterrées

Pistes en surface

Un calcul similaire des paramètres pour les pistes en surface a été effectué par rapport aux mesures faites, les pistes en surface étant composées de plusieurs matériaux conducteurs les calculs porteront sur les paramètres équivalents des pistes et non sur les paramètres des matériaux seuls. Ces résultats sont donnés au tableau 2.6. La couche de nickel-or fait diminuer la résistivité à $0^\circ C$ et le coefficient de température des pistes en surface par rapport aux pistes enterrées. Néanmoins cette résistivité reste élevée si nous la comparons à celle du cuivre ($\rho_{Cu_0} = 0.016 \mu\Omega.m$) utilisé pour les applications de l'électronique de puissance.

À partir de ces résultats nous pouvons calculer une largeur moyenne des pistes fines, elles sont montrées au tableau 2.7. Les grandeurs diffèrent peu par rapport aux largeurs estimées des pistes en surface, ce qui favorise l'hypothèse d'une erreur de largeur sur les pistes fines lors du processus de fabrication du substrat.

2.2. Caractérisations de la résistance des pistes

TABLEAU 2.6 – Paramètres trouvés par la méthode des moindres carrés pour les pistes en surface

Désignation	Symbole	Pistes en surface (W+NiAu)	Rappel pistes enterrées (W)
Résistivité du tungstène à 0 ° C	ρ_{WNiAu_0}	0,13 $\mu\Omega.m$	0,15 $\mu\Omega.m$
Coefficient de température du tungstène	α_{WNiAu_0}	2,40 mK^{-1}	3,00 mK^{-1}

TABLEAU 2.7 – Largeur moyenne estimée des pistes les plus fines en surface

Largeur de la piste spécifiée (μm)	75	50
Largeur moyenne de la piste estimée en surface (μm)	67,6	40,0

La figure 2.11 représente la corrélation entre les mesures et les courbes réalisées à partir des paramètres calculés. Comme précédemment, ce sont les largeurs estimées qui sont prises pour les pistes de 50 et 75 μm . Cette figure montre une superposition des courbes et donc une corrélation correcte des mesures avec le calcul de la résistance.

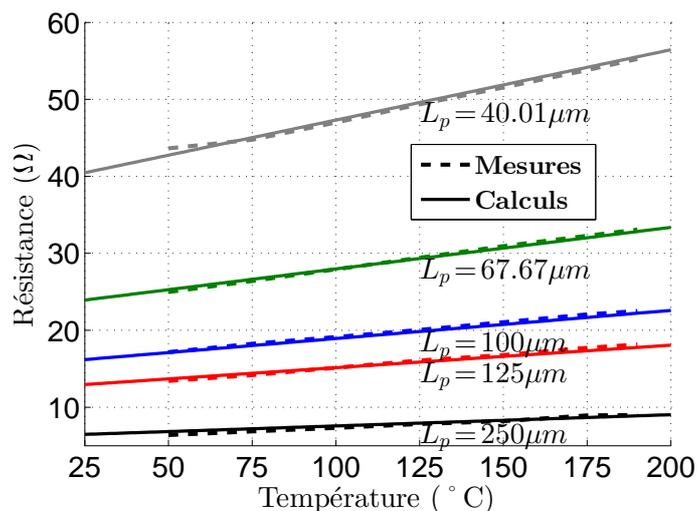


FIGURE 2.11 – Corrélation entre les mesures et le calcul de la variation de la résistance en fonction de la température pour les pistes en surface

2.2.7 Synthèse sur la résistance des pistes

La caractérisation de la résistance des pistes a permis d'observer les problématiques liées aux pistes conçues à base d'encre tungstène. Les échantillons fournis par la société EGIDE nous ont donné l'opportunité d'étudier deux configurations de pistes : une pour les couches internes (tungstène seul) et l'autre pour les couches externes (tungstène et alliage nickel-or).

Nous avons tout d'abord démontré la variation absolue de la largeur sur les pistes et son effet sur les pistes fines. Cette variation ajoute une erreur sur le calcul des paramètres résistifs. Pour l'éviter nous n'avons pris en compte que les pistes les plus larges pour la recherche des paramètres.

Le banc de caractérisation a été réalisé en mettant en place une méthode voltampèremétrique en association avec une mesure 4 point garantissant la mesure de la résistance des pistes sans prendre en compte celle des fils de connexion aux appareils. L'erreur absolue a été définie grâce aux données fournies par le constructeur afin d'estimer les chiffres significatifs à prendre en compte. Ces points nous ont servi à avoir des mesures précises et une erreur relative connue.

La forme de la section des pistes ne permet pas de prendre une section carrée comme modèle pour la surface, nous avons utilisé une approximation de la section par un segment circulaire. En associant ce modèle à celui du calcul de la résistance, par rapport à ses propriétés électriques nous avons pu déterminer la résistivité à 0 ° C et le coefficient de température du tungstène et de la combinaison tungstène-nickel-or. Cette détermination a été faite à l'aide de la méthode des moindres carrés.

L'évolution du résidu nous a aidé à démontrer l'erreur faite par le modèle lorsque nous prenons en compte l'ensemble des pistes, qui est due à l'incertitude de la largeur des pistes les plus fines. Ces dernières ont donc été estimées par une largeur moyenne grâce aux paramètres électriques calculés en amont. Les pistes fines devront donc faire l'objet d'une attention particulière lors de la conception de cartes, en les élargissant lors du routage ou en se limitant à une certaine finesse par exemple. Il faudra aussi prendre cette erreur lors des simulations. Cependant, la conception de cartes sur substrat HTCC pour les convertisseurs de puissance se fera principalement avec des pistes larges.

Les résistivités à 0 ° C dans les deux cas (pistes enterrées et en surface) ont indiqué un facteur 3 par rapport au tungstène massif. Cela peut s'expliquer par le composé à base de tungstène utilisé pour la sérigraphie qui rend le tungstène non massif et donc plus résistif. Cette résistivité impose une contrainte supplémentaire pour l'électronique de puissance car elle provoque des chutes de tensions et des pertes joules qui ne sont pas acceptable pour des courants de l'ordre de l'ampère. La société EGIDE essaye de réduire cette contrainte en développant des briques technologiques favorisant le passage du courant. Pour les pistes en surface la solution est de faire croître du cuivre épais sur le tungstène pour se rapprocher de la conductivité du cuivre sur PCB (*Printed Circuit Board*)³, pour les pistes enterrées elle est d'augmenter l'épaisseur du tungstène en réalisant une sérigraphie plus en profondeur.

Toutes ces démarches nous ont servi à mettre en place un modèle résistif prenant en compte les différentes grandeurs physiques des pistes. La bonne corrélation du modèle par rapport aux mesures en température confirme la fiabilité du modèle même pour des températures de fonctionnement élevées. Le substrat HTCC est réalisé à base d'alumine, ce matériau est connu pour avoir une permittivité relative supérieure à celle de la résine époxy, il est donc nécessaire de la connaître pour anticiper les effets capacitifs entre les pistes lors de la conception. La partie suivante est donc dédiée à déterminer cette permittivité relative.

2.3 Caractérisations de la permittivité relative de l'alumine

L'alumine ayant une permittivité relative bien plus élevée que la résine epoxy, il est important de la connaître afin de préconiser des règles de routage adéquates pour ce substrat. Cette différence engendre des capacités parasites entre les pistes bien plus grandes que pour les circuits PCB ce qui pourrait gêner la transmission des signaux à haute fréquence [72]. D'un autre côté, cette permittivité relative présente l'avantage de pouvoir élaborer des capacités de filtrage intégrées dans le substrat permettant une plus forte intégration. La société EGIDE produit sa propre alumine de composition confidentielle pour la conception de substrat, elle n'a jamais fait de caractérisation de sa permittivité relative. Celle-ci peut donc différer de la permittivité relative de l'alumine pure.

3. Carte de circuit imprimé

Afin de mesurer cette permittivité la société EGIDE nous a fourni des échantillons. La figure 2.12 affiche une coupe d'un de ces échantillons que nous avons observé au microscope optique. Il est composé de trois couches d'alumine ($Alum_1$, $Alum_2$, $Alum_3$) séparées par deux couches de tungstène produisant une capacité planar enterrée. Cette coupe nous a permis de mesurer les dimensions internes de l'échantillon. Les deux couches de tungstène sont des carrés de 23 mm^2 de côté, elles sont séparées par une couche d'alumine de $165 \mu\text{m}$ d'épaisseur ($170 \mu\text{m}$ annoncés par la société EGIDE).

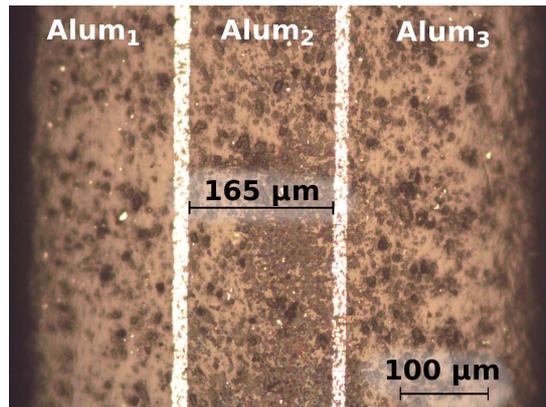


FIGURE 2.12 – Coupe de la capacité planar au microscope

2.3.1 Mesures de la capacité

Les mesures ont été réalisées sur le banc de test utilisé pour les mesures de résistance. Nous avons associé à ce banc un analyseur d'impédance (HP 4192A). La figure 2.13 schématise cette association, pour limiter l'impédance parasite des fils de connexion nous avons minimisé leur longueur (environ 10 cm). Afin de ne pas prendre en compte cette impédance de montage une compensation en circuit ouvert et fermé a été faite. Une mesure à vide a donné une capacité mesurée (C_{fils}) de 200 fF négligeable par rapport à la capacité à mesurer.

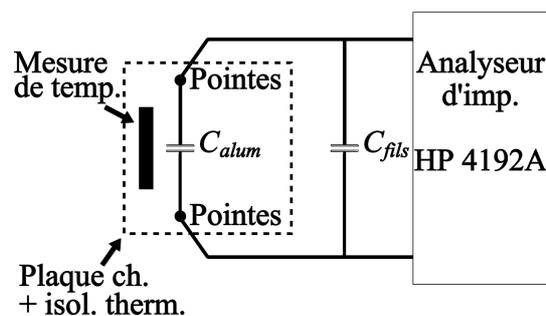


FIGURE 2.13 – Méthode de mesure de la capacité de l'échantillon

2.3. Caractérisations de la permittivité relative de l'alumine

Le manuel constructeur de l'analyseur d'impédance fournit les erreurs absolues en fonction de la gamme de capacité mesurée, elles sont données au tableau 2.8. L'erreur absolue nous autorise à donner des résultats à 2 chiffres significatifs et 1 chiffre incertain pour des mesures entre 100 et 1000 pF. La compensation reste dans l'erreur de mesure.

TABLEAU 2.8 – Mesures de la capacité en température

Calibre	Fréquence	Résolution	Erreur absolue
1000 pF	1 MHz	0.1 fF	1.7 pF

L'alumine voit sa permittivité relative augmenter linéairement avec l'échauffement du matériau [73]. Néanmoins cette augmentation reste faible (moins de 2) jusqu'à 800 ° C. Nous avons mesuré la capacité de l'échantillon pour des températures allant de 30 à 190 ° C. Les résultats sont présentés au tableau 2.9. Nous pouvons observer une variation inférieure à 10 pF prouvant le coefficient de température faible attendu.

TABLEAU 2.9 – Mesures de la capacité en température

Température (° C)	30,0	50,0	75,0	100	125	150	175	190
Capacité (pF)	309	310	311	312	313	315	316	317

2.3.2 Modélisation de la capacité

Calcul théorique

Le condensateur est formé par deux plans parallèles, nous avons donc utilisé en première approximation l'équation (2.9) servant au calcul théorique de la capacité d'un condensateur plan.

$$C = \varepsilon_0 \varepsilon_{r_alum} \frac{S_W}{e_{alum}} \rightarrow \varepsilon_{r_alum} = \frac{C \cdot e_{alum}}{\varepsilon_0 \cdot S_W} \quad (2.9)$$

Avec :

- ε_0 Permittivité du vide [$kg^{-1} \cdot m^{-3} \cdot A^2 \cdot s^4$]
- ε_{r_alum} Permittivité relative de l'alumine
- S_W Surface des plans de tungstène [m^2]
- e_{alum} Épaisseur de la couche centrale d'alumine [m]

Le tableau 2.10 fournit le résultat du calcul pour une capacité mesurée à 30 ° C. Comparée à la littérature, nous avons un écart de plus de 20 % avec le calcul. Ce dernier ne prend pas en compte les effets de bord des plans de tungstène. Pour les prendre en considération nous avons décidé d'effectuer des simulations 3D.

TABLEAU 2.10 – Permittivité relative de l'alumine pour la mesure à 30 ° C

	Calculée	Donnée dans la littérature
Permittivité relative de l'alumine	10.9	9

Simulations 3D

La structure de l'échantillon de test a été simulée afin d'avoir une meilleure approximation de la permittivité relative de l'alumine. La figure 2.14 montre la géométrie réalisée sous COMSOL. Le condensateur est constitué de deux pavés droits imbriqués l'un dans l'autre (figure 2.14a), le pavé intérieur, ayant les propriétés diélectriques de l'alumine, sert à définir les deux surfaces qui seront soumises à une différence de potentiel, il sert de plus à délimiter la zone ne contenant pas les effets de bords. Le pavé extérieur, composé lui aussi d'alumine, borne la zone de simulation. Le maillage (figure 2.14b) est fin entre les deux plaques et plus large sur les pourtours car le gradient de tension est moins important dans cette zone.

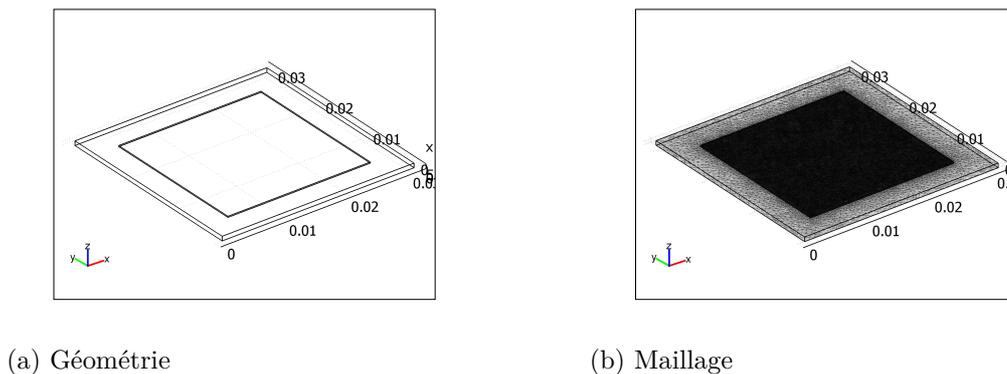


FIGURE 2.14 – Capacité planar modélisée sous COMSOL

Les irrégularités dans la densité d'énergie électrique sont dues au maillage. Les dimensions de la structure n'étant pas homogènes (23 mm de côté, 165 μm d'épaisseur), un maillage plus fin n'était pas possible (limitation de la mémoire vive).

2.3. Caractérisations de la permittivité relative de l'alumine

La capacité totale est calculée en intégrant l'énergie stockée dans toute l'alumine (E_{alum}) et en passant par l'équation (2.10) pour remonter à sa valeur. De manière à faciliter les calculs, nous avons pris $V_c = 1 V$, donc $C_{alum} = 2E_{alum}$.

$$E_{alum} = \frac{1}{2}C_{alum}V_c^2 \quad \longrightarrow \quad C_{alum} = 2\frac{E_{alum}}{V_c^2} \quad (2.10)$$

Avec :

E_{alum} Énergie stockée dans l'alumine [J]

V_c Tension appliquée aux plan de tungstène [V]

Nous avons simulé la structure avec la permittivité relative de l'alumine trouvée précédemment de 10,9. Les résultats de simulation sont donnés au tableau 2.11. Si nous regardons la première colonne nous pouvons observer une similitude entre l'énergie stockée et le calcul précédent, la différence de capacité vient donc des effets de bords qui ont une importance dans ce cas [74].

TABLEAU 2.11 – Énergie emmagasinée dans les différents volumes composant le capacité

	Pavé intérieur	Pavé extérieur	Total
Énergie (pJ)	155	12,2	167
Capacité calculée (pF)	310	24,4	334

La figure 2.15 affiche la répartition de l'énergie au centre et au bord des deux plans de tungstènes. La plus grande partie de l'énergie est confinée entre les deux plaques d'alumine mais une partie non négligeable sort du volume du pavé intérieur, ce qui explique la différence entre le calcul analytique et la simulation. Cette figure nous montre aussi que l'énergie stockée reste proche des plaques et donc que le volume extérieur pris pour la simulation est suffisant pour ne pas tronquer de l'énergie dans le matériau et donc de prendre en compte toute l'énergie que peut contenir cette géométrie.

L'optimisation de cette variable nous a fourni un $\varepsilon_{r_{alum}} = 10,0$. La nouvelle simulation avec cette valeur est présentée à la figure 2.16, l'échelle de couleur reste la même que pour la figure précédente. L'énergie stockée est moins importante qu'avec une permittivité relative de 10,9 et les effets de bord sont moins prononcés.

Grâce à ces simulations nous avons pu déterminer la permittivité relative de l'alumine à 30 °C fabriquée par EGIDE. Cette valeur est constante, elle ne prend donc pas en compte

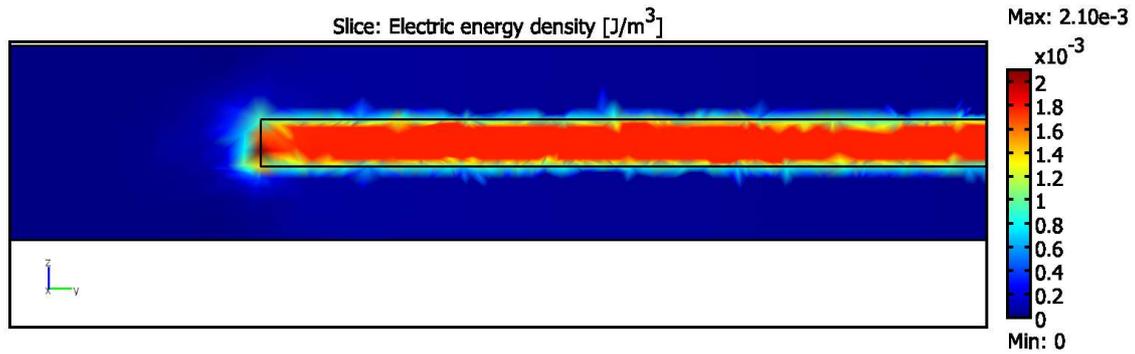


FIGURE 2.15 – Cartographie de la densité d'énergie pour une permittivité relative de 10,9

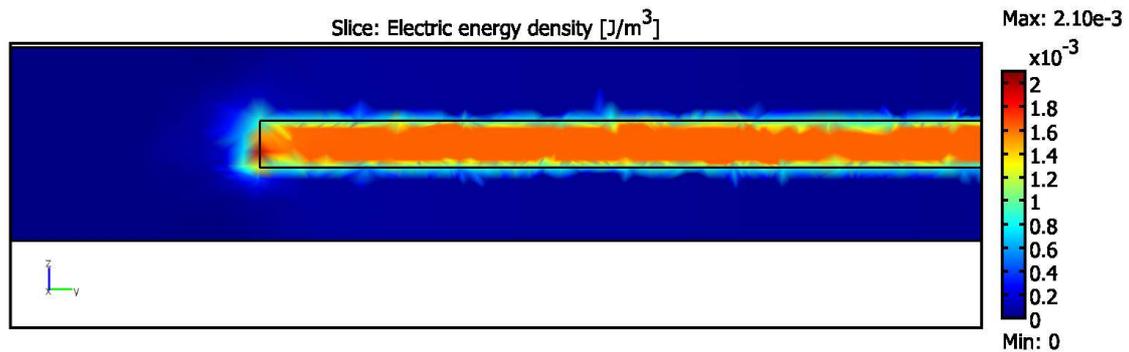


FIGURE 2.16 – Cartographie de la densité d'énergie pour une permittivité relative de 10,0

l'évolution de la capacité en température. Elle ne considère pas non plus les effets de bords, l'équation (2.9) n'est pas valide dans ces conditions, nous devons la modifier pour prendre en compte ces deux phénomènes.

Modèle capacitif en température

Les substrats HTCC sont destinés à travailler à haute température, il faut donc pouvoir estimer les capacités lorsque l'alumine s'échauffe. La littérature démontre une évolution linéaire de l'alumine, nous sommes alors partis de l'équation (2.9) et l'avons modifiée en rajoutant un modèle similaire à celui pris pour l'évolution de la résistivité du tungstène comprenant une permittivité relative du matériau à zéro degré (ϵ_{r_alum0}) et un coefficient de température (α_{alum}), ce modèle est présenté à l'équation (2.11) [73].

$$\varepsilon_{r_alum} \rightarrow \varepsilon_{r_alum}(\theta) = \varepsilon_{r_alum_0}(1 + \alpha_{alum}\theta) \quad (2.11)$$

$$C(\theta) = k_{eb}\varepsilon_0\varepsilon_{r_alum_0}(1 + \alpha_{alum}\theta)\frac{S_W}{e_{alum}} \quad (2.12)$$

Avec :

$\varepsilon_{r_alum_0}$ Permittivité relative de l'alumine à 0 ° C [$\Omega.m^{-1}$],

α_{alum} Coefficient de température de l'alumine [K^{-1}],

θ Température de l'alumine [$^{\circ}C$],

k_{eb} Coefficient prenant en compte les effets de bord.

Le modèle du condensateur prenant en compte de la température est fourni à l'équation (2.12), ce modèle fait apparaître un coefficient (k_{eb}) utile pour considérer les effets de bord.

La recherche des paramètres équivalents s'est faite par le même méthode (moindres carrés) de recherche des paramètres résistifs. Les résultats sont présentés au tableau 2.12, il montre un coefficient de température inférieur au millikelvin qui indique une faible variation de la capacité en fonction de la température. k_{eb} est l'image du pourcentage d'énergie en dehors du pavé intérieur soit 8 %. La figure 2.17 représente les mesures ainsi que la courbe calculée de 0 à 200 ° C. Nous constatons une très bonne corrélation entre mesures et calcul sur toute la plage de valeur

TABLEAU 2.12 – Paramètres estimés par la méthode des moindres carrés pour le comportement capacitif en température

k_{eb}	$\varepsilon_{r_alum_0}$	α_{alum}
1,08	10,0	0,172 mK ⁻¹

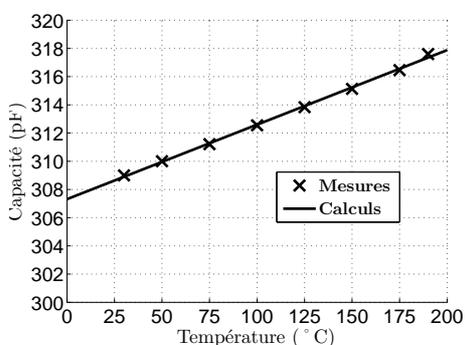


FIGURE 2.17 – Corrélation entre les mesures et le calcul de la capacité en fonction de la température

2.3.3 Synthèse sur la permittivité relative de l'alumine

La caractérisation de la permittivité relative de l'alumine nous a aidé à en apprendre plus sur le comportement capacitif des substrats HTCC dans la gamme de température de fonctionnement visée par les applications de l'électronique de puissance. Les échantillons fournis par la société EGIDE sont d'une géométrie simple ce qui a contribué à trouver des paramètres capacitifs avec une bonne précision. Le banc de mesure et la précision de l'analyseur d'impédance ont contribué à cela.

Les mesures ont fait ressortir une capacité pouvant être nuisibles aux signaux hautes fréquences en favorisant les capacités inter pistes. Pour éviter cela il faut établir des règles de routage en augmentant l'écart entre les pistes ou en ne mettant pas de pistes en vis-à-vis entre deux couches. D'un autre côté, cette permittivité relative élevée par rapport à la résine époxy peut fournir un vecteur d'intégration en autorisant la réalisation de capacités intégrées haute tension (le champs de claquage de l'alumine équivaut à 13,4 MV/m) directement dans le substrat pour des valeurs de quelques centaines de picofarads voir quelques nanofarads si nous diminuons l'épaisseur de l'alumine.

Ces mesures ont montré aussi la faible dépendance de la valeur de la capacité avec la température. Cela est un avantage car le comportement capacitif sera quasiment le même, que l'application travaille à basse ou haute température.

La modélisation de la capacité planar nous a permis de quantifier la permittivité de l'alumine fabriquée par la société EGIDE et son évolution en fonction de la température. Nous avons pu voir qu'elle est supérieure à celle de l'alumine pur. Nous avons observé grâce aux simulations 3D les effets de bord induit par ce type de condensateur et avons proposé un modèle analytique prenant en compte ces effets pour cette géométrie.

Ce modèle analytique pourrait encore être amélioré :

- Nous considérons le coefficient k_{eb} constant, or comme il caractérise les effets de bord il doit dépendre du rapport périmètre sur surface. Les simulations 3D pourraient nous aider à investiguer ce coefficient.
- D'autres paramètres doivent être caractérisés pour avoir un modèle plus fin comme les pertes diélectriques, la rigidité diélectrique, les effets de distribution de charges, ...

Pour faire ces analyses il nous faudrait d'autres topologies de circuit ce qui n'a pas été possible dans le cadre du projet MEMPHIS/GALION.

2.4 Conclusion

Grâce à la société EGIDE nous avons eu l'occasion d'étudier les spécificités d'un circuit imprimé réaliser sur un substrat HTCC. Ces mesures et caractérisations ont montré que les circuits à base de ce type de substrats ne sont pas bien adaptés pour l'électronique de puissance. Les résistances des pistes enterrées ne permettent pas de faire passer des courants de fortes intensités. Les pistes en surface sur lesquelles ont été déposées une couche de nickel-or voient cette résistance diminuer légèrement mais elle reste trop importante. Il y a donc des briques technologiques à réaliser pour adapter ce substrat à ces problématiques, tel que l'ajout de cuivre épais pour les pistes en surface ou la réalisation de sérigraphie plus profonde pour les pistes enterrées.

La permittivité relative plus importante de l'alumine (comparé à la résine époxy) doit être prise en compte lors du routage d'une carte car elle peut engendrer des condensateurs parasites gênant le passage des signaux hautes fréquences. D'un autre côté, cela peut être vu comme un avantage car il existe la possibilité de réaliser des condensateurs planars intégrés directement au circuit de valeur de quelques centaines de picofarads avec précision.

Cette étude a donné naissance à un modèle de pistes prenant en compte la résistivité du tungstène et la permittivité relative de l'alumine nous autorisant à réaliser des simulations lors de la conception de circuit imprimé mettant en œuvre cette technologie. Ces simulations nous permettent d'avoir connaissance des problèmes avant la fabrication de l'application, ceci nous aidant à établir des règles de routage pour les éviter.

Chapitre 3

Caractérisations électriques et thermiques de composants GaN dans une structure de hacheur

Nous avons exposé dans introduction l'évolution des composants à grand gap dans les domaines de l'électronique de puissance. Il est important de connaître le comportement de ces nouveaux semi-conducteurs en particulier celui du GaN, ce qui est un des axes du projet MEMPHIS/GALION.

Dans ce chapitre nous allons approfondir les caractéristiques d'un transistor GaN. Cela débute par ses caractéristiques statiques, jusqu'à l'étude d'un bras d'onduleur composé de composants EPC à base de GaN, d'un point de vue électrique et électrothermique.

Tout d'abord la caractérisation statique électrique est mesurée et analysée et donne lieu à l'explication d'un phénomène particulier en tension inverse. Il s'en suit des caractérisations dynamiques servant à déterminer les approches possibles pour ces composants en terme de routage, d'éléments passifs à associer et de stratégies de commande. Ces caractérisations dynamiques sont conduites sur deux prototypes permettant d'identifier des problèmes et de mettre en avant des solutions pour la conception de convertisseurs de puissance à base de transistors GaN.

Une méthode de mesure par calorimétrie des pertes émises par le composant est ensuite développée et mise en place pour étudier l'évolution de ces pertes en fonction de la commande appliquée au bras d'onduleur. Cela donne lieu à des discussions sur les précautions à prendre pour mettre en œuvre ce type de composant.

Ces caractérisations nous serviront à développer des modèles de simulation du composant que nous approfondirons dans le chapitre 4.

3.1 Les transistors EPC

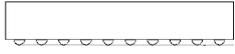
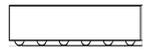
Un des buts du projet MEMPHIS/GALION est de trouver un fournisseur industriel viable pour les composants à base de GaN. Après des recherches auprès de divers fabricants, EPC s'est révélé le seul fournisseur pouvant approvisionner le projet en termes de transistors au début des travaux. **Encore aujourd'hui, trois ans après, ce sont les seuls composants disponibles sur le marché. Nous n'avons donc travaillé que sur les composants GaN d'EPC durant la thèse.**

EPC (*Efficient Power Converter*) a été fondé en 2007 par trois ingénieurs. Son PDG a été celui de IR (*International Rectifier*) pendant 12 ans. EPC a été le premier à introduire le nitrure de gallium sur silicium en mode enrichissement (eGaN-FET) pour obtenir des fonctionnalités semblables aux MOSFET de puissance.

3.1.1 Caractéristiques générales

EPC propose une gamme de transistors allant de 40 à 300 V et de 3 à 60 A. Les boîtiers (de type LGA (*Land Grid Array*)) sont de très faibles dimensions (tableau 3.1). Les avantages de ces boîtiers sont leurs faibles résistances et inductances parasites de contacts [44]. EPC a réalisé deux versions des eGaN-FETs : les EPC 1XXX et EPC 2XXX, la seconde version a vu l'ajout d'une liaison électrique entre le substrat silicium et la source du composant.

TABLEAU 3.1 – Composants GaN favorables pour le projet

Réf	Profil	L×l (mm×mm)	V _{ds} (V)	I _d (A)	R _{dsON} (mΩ)	Q _g (nC)
EPC 2815		4,1×1,6	40	33	4	10,5
EPC 2014		1,7×1,1	40	10	16	2,5
EPC 2010		3,6×1,6	200	12	25	5

Les transistors EPC sont normalement bloqués et peuvent être commandés entre -5 V et +6 V (limites absolues à ne pas dépasser). La tension de seuil varie entre 1,4 V et 2,5 V, elle se situe plus fréquemment autour de 2 V. Ils ont une très faible résistance à l'état passant (d'une centaine de mΩ jusqu'à 3,2 mΩ pour les transistors de fortes intensités) et une faible charge stockée de grille (de l'ordre du nC) par rapport à des composants de même catégorie (par exemple : IR avec des MOSFETs Si 200 V ayant une charge stockée de grille de l'ordre de 50 nC). Ces avantages permettent de diminuer les pertes en conduction et en commutation ainsi que les temps de commutation [6].

3.2 Caractérisation électrique statique

Cette étape va nous apporter des informations essentielles sur le comportement du transistor, elle nous servira à observer l'évolution des paramètres par rapport aux tensions appliquées au niveau de la grille et du drain, et permettra de confirmer les comportements théoriques de ce type de composant comme sa bidirectionnalité. Enfin, grâce à un dispositif imposant une température réglable nous pourrions observer l'évolution de ces mêmes paramètres en fonction de la température du composant.

Le composant étudié sera un eGaN-FET EPC 2010 car ce transistor possède une tension V_{ds} supérieure à 100 V (tension d'entrée du convertisseur). D'autres transistors ayant des caractéristiques similaires (tension maximale d'utilisation moins importante que le transistor EPC 2010 mais supérieure à 100 V) sont dorénavant disponibles : les transistors EPC 2012, 2018, 2019, 2025.

3.2.1 Caractérisation à température ambiante

Caractérisation du transistor

Les caractérisations du transistor seul ont été faites à l'aide de l'analyseur de composants de puissance Agilent B1505A. Il utilise deux fils par connexion pour éviter la prise en compte de la résistance des fils et permet donc d'obtenir des mesures précises de la tension.

Sur la figure 3.1a, les caractéristiques I_{ds} en fonction de V_{ds} pour différentes valeurs de V_{gs} ont été représentées. Nous voyons que pour $V_{gs} < 2 V$ l'intensité I_{ds} est quasi-nulle. À partir de 2 V la résistance à l'état passant ($R_{ds_{on}}$) diminue rapidement pour atteindre 22 m Ω pour $V_{gs} = 5 V$ (figure 3.1b). À l'état passant pour une tension V_{gs} donnée la résistance $R_{ds_{on}}$ reste constante sur toute la plage d'intensité (0 à 12 A), ce qui permet d'avoir une bonne linéarité dans le fonctionnement [75]. La figure 3.2 représente le comportement du composant en conduction inverse à température ambiante. Nous pouvons observer deux phénomènes : lorsque la tension V_{gs} est proche de 5 V (figure 3.2a) la tension inverse ($V_{sd} = -V_{ds}$) est très faible ce qui donne la possibilité du composant à conduire en inverse [75], de plus le comportement est symétrique par rapport à la conduction directe. Lorsque V_{gs} devient inférieure à 2 V (figure 3.2a) le transistor se met en conduction inverse et provoque des pertes [76], par exemple, pour un courant $I_{ds} = -10 A$ et pour une tension de blocage $V_{gs} = -5 V$ nous obtenons une tension V_{ds} de -7 V.

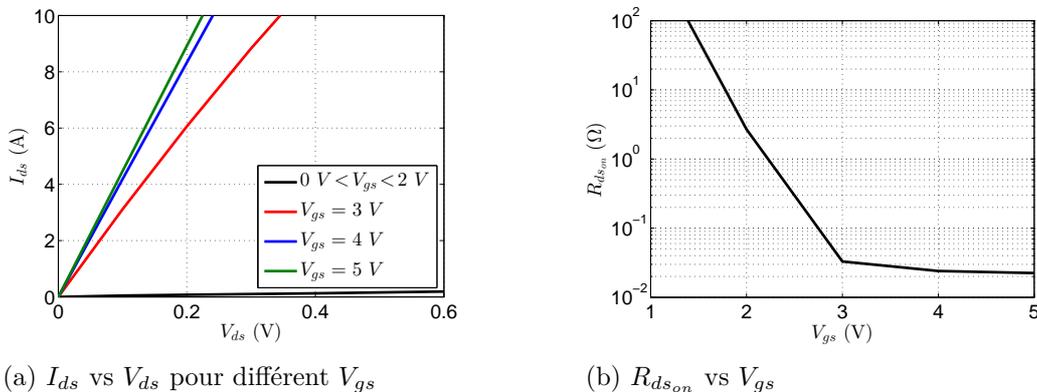


FIGURE 3.1 – Caractérisation statique en conduction directe

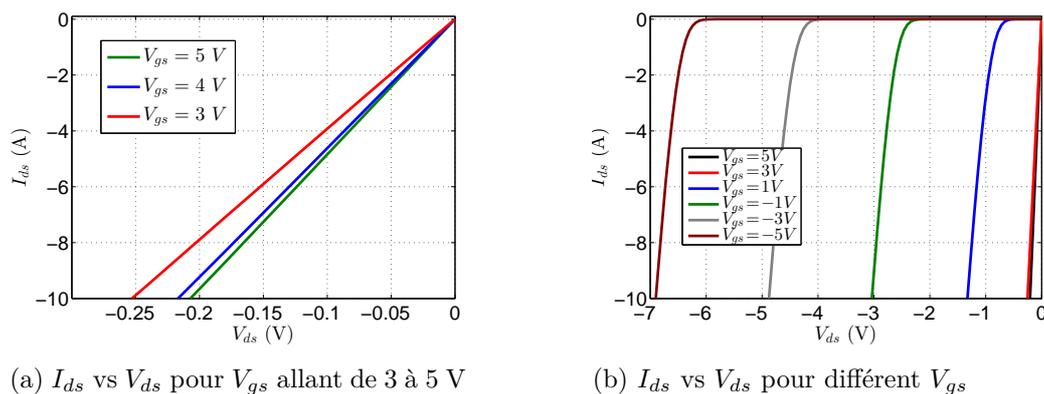


FIGURE 3.2 – Caractérisation statique en conduction inverse

Comportement en conduction inverse

Comme le montre la figure 3.2 le transistor a un comportement particulier en conduction inverse. Cela est dû à la symétrie de sa structure. En effet, ce transistor peut conduire lorsque $V_{gs} > V_{th}$ ou $V_{gd} > V_{th}$, or $V_{gd} = -V_{ds} + V_{gs}$ (figure 3.3). Si $V_{gs} = 0$ V le transistor deviendra passant lorsque $-V_{ds}$ sera supérieure à la tension de seuil (V_{th}), il y aura donc une tension inverse au moins égale à V_{th} .

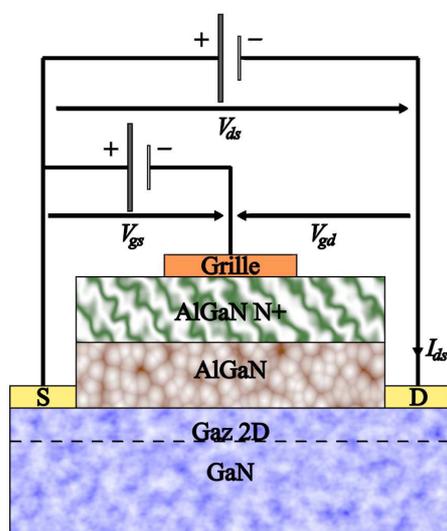


FIGURE 3.3 – Schéma de principe lors de la conduction inverse

La tension de grille joue le rôle d'offset dans cette conduction inverse. Si $V_{gs} < 0$ V il faudra une tension $-V_{ds}$ supérieure pour faire conduire le transistor donc une tension inverse aux bornes du transistor plus importante (figure 3.2b). Si $V_{gs} > 0$ V le phénomène inverse se produit, pour $V_{gs} > V_{th}$ la tension entre grille et drain est obligatoirement supérieure à la

tension de seuil et donc le transistor se met à conduire en inverse de la même manière qu'en conduction directe (figure 3.2a).

Ces mesures nous apprennent plusieurs particularités de ce composant :

- la tension de seuil est peu élevée, il y a donc de forts risques de reconduction lors du blocage si l'inductance parasite dans la maille de commande n'est pas maîtrisée [77],
- le transistor n'a pas de diode en antiparallèle mais un mécanisme semblable à une diode en inverse dont la tension de seuil serait modulée par la tension V_{gs} [78]. Nous pouvons modifier le schéma classique du transistor MOSFET (figure 3.4 à gauche) par un autre schéma (figure 3.4 à droite) prenant en compte la variation comportementale de la diode par rapport à la tension de grille. Ce comportement sera important par la suite dans la gestion des temps morts du bras d'onduleur,
- le transistor est commandable en inverse et donc il permet de minimiser les pertes lors de la phase de roue libre en imposant une tension très faible à ses bornes. Cette caractéristique est essentielle dans le redressement synchrone par exemple.

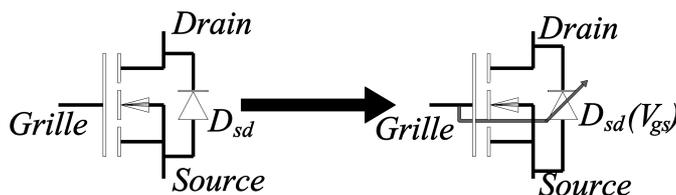


FIGURE 3.4 – Symbole du transistor eGaN-FET

Capacités intrinsèques du transistor

Le traceur Agilent nous permet de connaître avec une précision de quelques picofarads les capacités intrinsèques du transistor. La figure 3.5 représente les trois capacités principales du eGaN-FET.

Ces mesures sont réalisées grâce à un câble triaxial constitué d'une âme et de deux blindages : un blindage pour la masse et l'autre pour la garde (figure 3.6a). La figure 3.6b donne le schéma de câblage pour mesurer une capacité (dans ce cas C3). C1, C2 et C3 représentent les capacités du transistor. Une tension connue à fréquence connue est injectée aux bornes du condensateur, pour connaître sa capacité, l'intensité (ici i_3) est mesurée par l'intermédiaire d'un am-

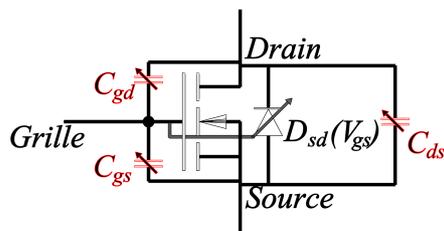


FIGURE 3.5 – Capacités intrinsèques d'un transistor eGaN-FET

pèremètre ayant une très faible impédance (AC meter). La garde se trouve entre l'ampèremètre et le générateur de tension, permettant au courant du condensateur C1 de trouver un autre chemin de conduction qu'à travers l'ampèremètre. La garde étant au même potentiel que la masse (Low) une tension nulle est appliquée aux bornes du condensateur C2 donc aucun courant ne le traverse.

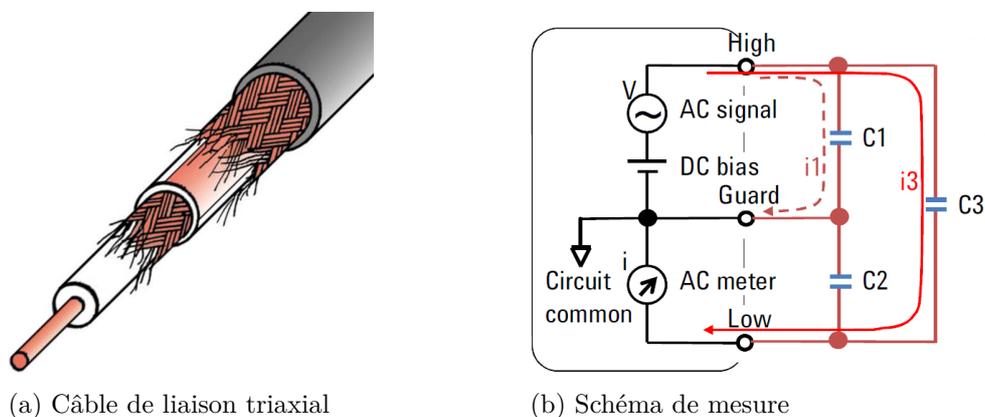


FIGURE 3.6 – Méthode de mesures capacitives du traceur Agilent B1505A

Ainsi l'ampèremètre ne voit passer que le courant du condensateur C3. En connaissant la tension et la fréquence il est facile de déterminer la capacité voulue sans être perturbé par les autres capacités du composant.

Les transistors EPC ont de très faibles capacités parasites (figure 3.7a), elles ne dépassent pas 1 nF ce qui leur assure un bon comportement en commutation [79].

La capacité C_{gd} (entre grille et drain) vaut environ 100 pF à $V_{ds} = 0$ V et diminue jusqu'à 18 pF à partir de 30V. Cette très faible capacité permet une bonne immunité du composant lors des fortes variations de tension sur le drain qui pourraient induire des courants dans la

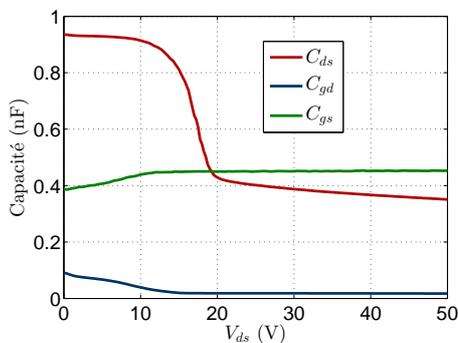
3.2. Caractérisation électrique statique

grille, provoquant une recharge de la capacité C_{gs} et qui pourrait retarder la conduction ou le blocage du composant [62].

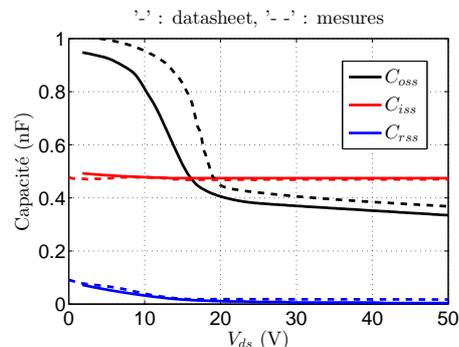
La capacité C_{gs} (entre grille et source) varie peu sur la plage de tension. Sa valeur initiale est de 400 pF (pour $V_{ds} = 0$ V) et monte à 450 pF pour $V_{ds} = 10$ V. Cette faible capacité est très importante car elle autorise une charge rapide de la grille sous faible courant. Cela est avantageux pour la commande qui n'a pas besoin d'être dimensionnée pour de forts courants (> 1 A) [79, 80].

La plus forte capacité du composant se situe entre le drain et la source (C_{ds}), elle chute brusquement de 900 à 400 pF lorsque la tension V_{ds} atteint environ 15 V. Ensuite, sa valeur diminue quasi-linéairement, cette faible capacité réduit les temps de commutation et donc les pertes dans le transistor [76].

Ces capacités mesurées peuvent être comparées à celles fournies dans les spécifications du fabricant (figure 3.7b). Seule la capacité C_{ds} a une valeur plus élevée de 40 pF par rapport aux valeurs données par la feuille de spécification, le coude de variation brutale est situé aux mêmes valeurs.



(a) Capacités mesurées à l'aide du tra-
ceur B1505A



(b) Capacités données par la datasheet
du composant

FIGURE 3.7 – Capacités parasites du composant EPC 2010

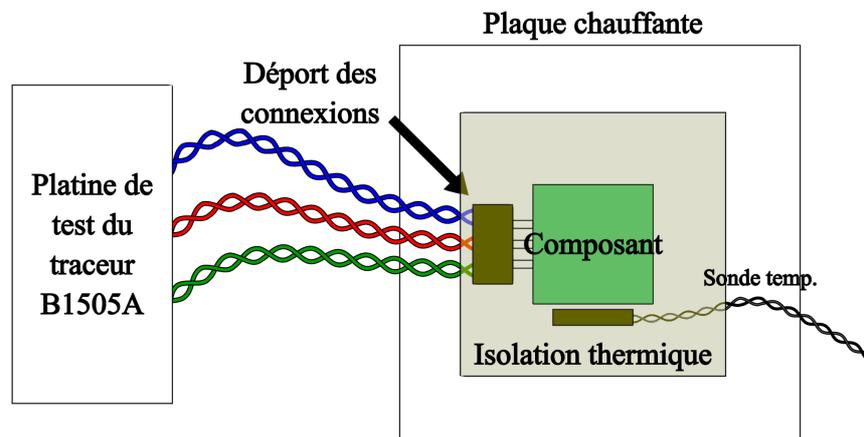
La connaissance de ces capacités parasites est importante car elles contribuent au comportement en commutation du transistor. Ces informations seront incluses par la suite dans la modélisation ; elles serviront aussi à expliquer le comportement du bras de pont en commutation.

3.2.2 Caractérisation en fonction de la température

Pour réaliser les mesures statiques sous température variable le déport de la platine de test a été réalisé reprenant les 6 contacts (2 contacts par connexion) nécessaires aux mesures. Le composant a été placé sur une plaque chauffante isolée électriquiquement. De plus une mousse a été placée autour du composant pour garantir l'homogénéité en température (figure 3.8). Une sonde de température PT100 a été insérée au plus près du transistor pour obtenir une mesure précise.



(a) Photo



(b) Schéma

FIGURE 3.8 – Méthodologie pour les mesures à température variable des caractéristiques statiques du eGaN-FET

La figure 3.9a montre les résultats de I_{ds} en fonction de V_{ds} pour différentes valeurs de V_{gs} . Pour $V_{gs} > 2 V$ nous observons une augmentation de la résistance en fonction de la température.

3.2. Caractérisation électrique statique

Pour 150°C , $R_{ds_{on}}$ vaut $60\text{ m}\Omega$ pour $V_{gs} = 5\text{ V}$, ce qui est presque le triple par rapport à la température ambiante. Le GaN est un matériau ayant une évolution quadratique de sa résistance en fonction de la température [81]. La figure 3.9b montre l'évolution de la résistance à l'état passant jusqu'à 150°C . La fonction d'approximation calculée est donnée par l'équation (3.1).

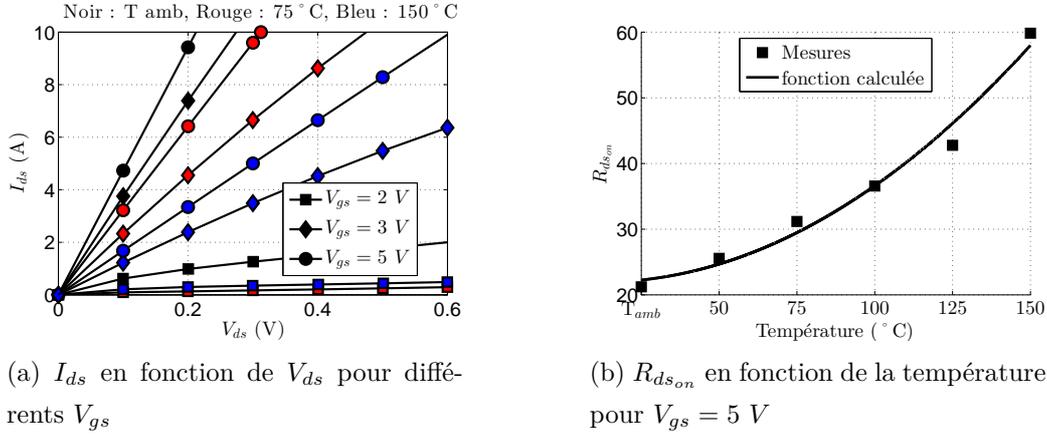


FIGURE 3.9 – Conduction directe du transistor EPC 2010 en fonction de la température

$$R_{ds_{on}5V}(T) = 1,2 \cdot 10^{-3} T^2 - 1,1 \cdot 10^{-3} T + 22,2 \cdot 10^{-3} \quad (3.1)$$

À $V_{gs} = 2\text{ V}$, un phénomène inverse rendant plus conducteur le GaN se produit [46, 82]. La figure 3.10 fait un agrandissement sur les courbes pour $V_{gs} = 2\text{ V}$. La courbe de mesure à 150°C (carrés bleus) se situe au-dessus de celle à 75°C (carrés rouges).

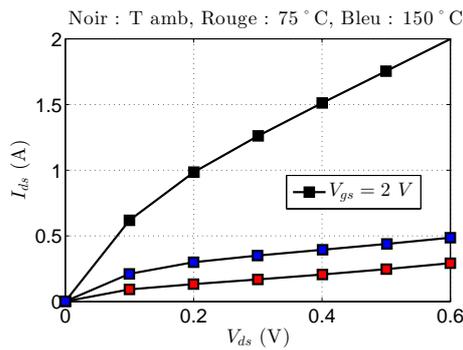


FIGURE 3.10 – I_{ds} en fonction de V_{ds} pour $V_{gs} = 2\text{ V}$

En conduction inverse pour $V_{gs} > 0\text{ V}$ (figure 3.11), le comportement est symétrique de celui en conduction directe, la variation de la résistance est la même que pour la conduction directe [75]. Pour $V_{gs} < 0\text{ V}$ (figure 3.12) deux phénomènes se produisent :

- la résistance augmente comme dans les tests précédents,
- la tension de seuil de la diode D_{sd} augmente lorsque la température croît jusqu'à 100°C , au delà de cette température le comportement change [82].

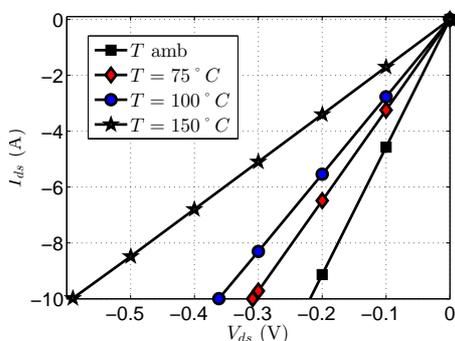
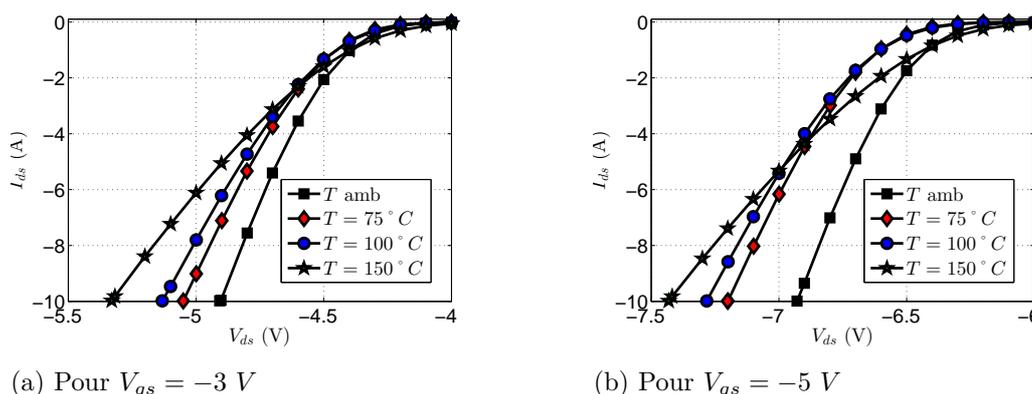


FIGURE 3.11 – Conduction inverse du transistor EPC 2010 pour différentes températures et pour $V_{gs} = 5\text{ V}$



(a) Pour $V_{gs} = -3\text{ V}$

(b) Pour $V_{gs} = -5\text{ V}$

FIGURE 3.12 – Conduction inverse du transistor EPC 2010 pour différentes températures

Ces mesures montrent que le transistor peut fonctionner sous des températures élevées en fonctionnement dégradé. Néanmoins la température joue un rôle non négligeable dans le comportement des eGaN-FETs :

- la résistance augmente quand la température augmente, à 150°C la résistance est déjà trois fois plus importante. Pour éviter des pertes supplémentaires il faut surdimensionner le composant par rapport au courant nominal le traversant.
- la tension de seuil diminue lorsque la température augmente (voir figure 3.10). Il faudra donc diminuer la tension V_{gs} lors du blocage (passer d'une commande $0/5\text{ V}$ à $-5/+5\text{ V}$) pour éviter que le composant reste passant lorsqu'il doit être bloqué.

3.2.3 Synthèse sur le comportement électrique statique

Le comportement électrique statique des transistors GaN d'EPC a été caractérisé à l'aide d'un traceur et d'une plaque chauffante pour les mesures en température. Nous avons mis en évidence à température ambiante une diminution de la résistance à l'état passant lorsque la tension V_{gs} devient supérieure à 3 V. Nous avons pu constater à l'état passant la bidirectionnalité de ce composant, montrant des courbes I_{ds} en fonction de V_{ds} similaire mais inversées.

Le comportement particulier en conduction inverse rendant ce transistor très résistant lorsqu'il est bloqué a été expliqué. Cette particularité impose une stratégie de commande propre à ces composants que nous détaillerons dans la prochaine partie.

Les caractérisations électriques statiques en température nous ont servi à connaître l'évolution de $R_{ds_{on}}$ et de démontrer la possibilité de travailler à des températures supérieures à 125 ° C. Nous avons pu faire apparaître un accroissement de $R_{ds_{on}}$ d'un facteur 3 à entre 50 ° C et 150 ° . Ceci amène une dégradation du fonctionnement des transistors GaN à haute température mais le rend tout de même possible.

Les capacités parasites du GaN ont été mesurées et ont montré des valeurs favorables à la commutation en haute fréquence (>MHz). La capacité C_{gs} inférieure à 500 pF permet une diminution de dimensionnement de la commande car le courant demandé pour commander le transistor est moins élevé que pour celui des MOSFET silicium (à même calibre), ce qui favorise les possibilités d'intégration. La capacité C_{gd} aide à immuniser le composant aux retards provoqués par les courants induits venant de la variation de V_{ds} . Enfin, la capacité C_{ds} réduit les temps de commutation favorisant une montée de la fréquence de commutation et une réduction des pertes.

3.3 Caractérisation électrique dynamique (carte 1)

La caractérisation électrique dynamique des composants GaN d'EPC nous permet d'observer les effets des éléments parasites dans un bras d'onduleur. Pour effectuer ces caractérisations nous avons réalisé nos propres cartes d'essais au laboratoire SATIE.

Cette partie débute par la description d'une méthode d'implantation des composants GaN d'EPC sur PCB montrant ainsi les difficultés et les précautions à prendre pour réaliser un bras d'onduleur. Les cartes d'essais sont détaillées par la suite ce qui définit les possibilités de tests réalisables. La figure 3.13 représente le schéma bloc de la structure de test étudiée.

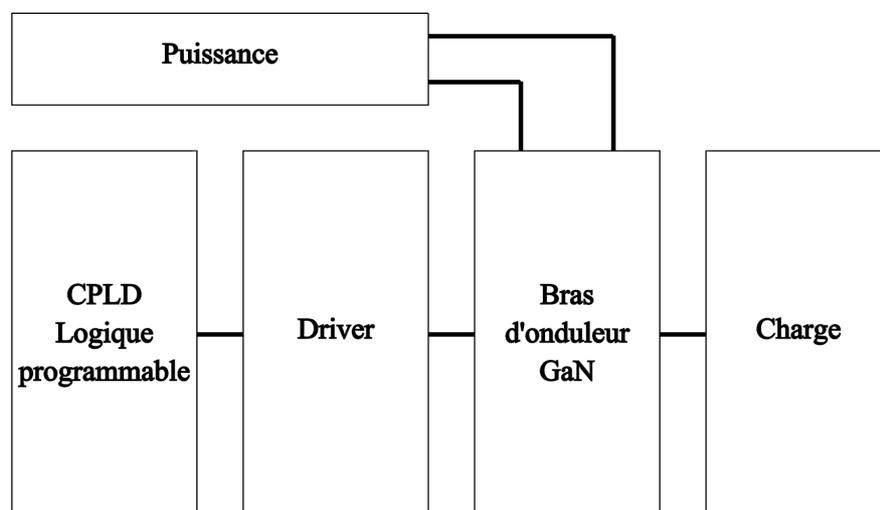


FIGURE 3.13 – Schéma bloc de la structure de test

Plusieurs mesures sont réalisées afin d'observer le comportement du bras d'onduleur lors des commutations. Ces mesures sont détaillées ce qui illustrera les difficultés de conception avec ces nouveaux transistors.

3.3.1 Implantation des composants sur PCB

Les boîtiers sont de type LGA (*Land Grid Array*), prévus pour être montés en surface (figure 3.14). Les contacts ont une largeur d'environ $230\ \mu\text{m}$ et l'espace entre eux varie de 180 à $350\ \mu\text{m}$ ce qui impose une bonne précision dans la finesse de gravure des circuits imprimés et dans le positionnement des composants.

Le profil de température donné pour l'implantation sur PCB de ces composants (figure 3.15a) est différent des profils standards (figure 3.15b). Les transistors doivent donc être montés à part des autres composants.

3.3. Caractérisation électrique dynamique (carte 1)

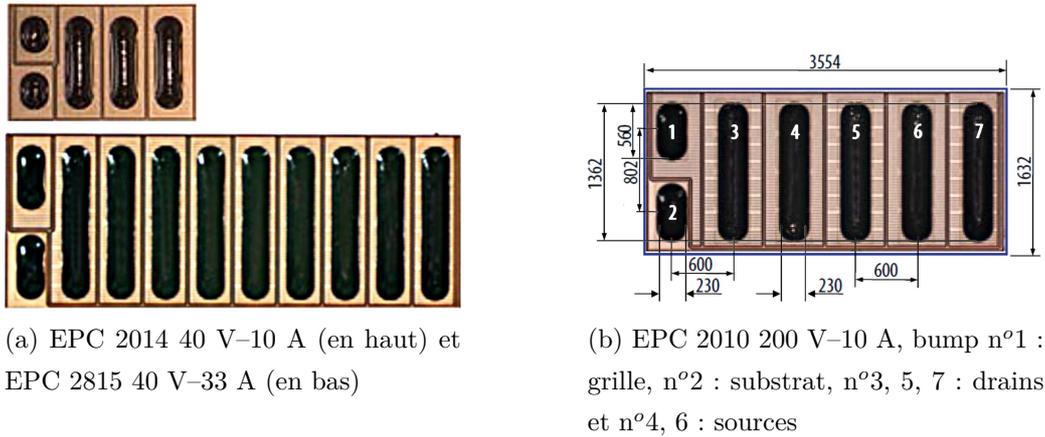


FIGURE 3.14 – Vue du dessous de composants EPC à base de GaN

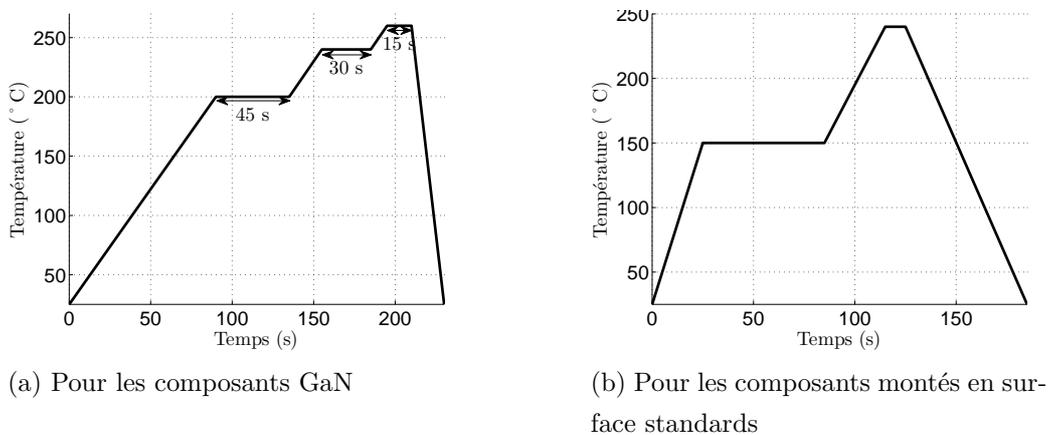


FIGURE 3.15 – Profils de température

Des tests de soudure suivant ces profils ont été réalisés. La figure 3.16 montre des composants soudés ainsi qu'une analyse aux rayons X afin de voir les défauts liés à une mauvaise soudure. Dans ce cas le transistor de gauche présente un défaut sur l'un des accès aux sources. Ce défaut est signalé par une zone trouble encadrée en rouge sur la figure 3.17. Cela indique un mauvais alignement du bump du transistor et de la piste en cuivre sur le circuit imprimé.

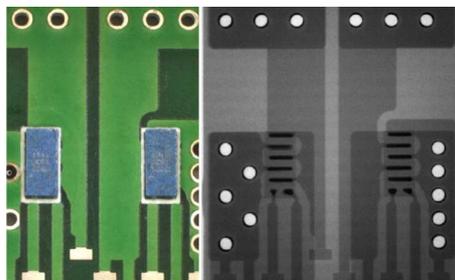


FIGURE 3.16 – Transistors GaN brasés sur PCB vue de dessus (à gauche) et par rayons X (à droite)

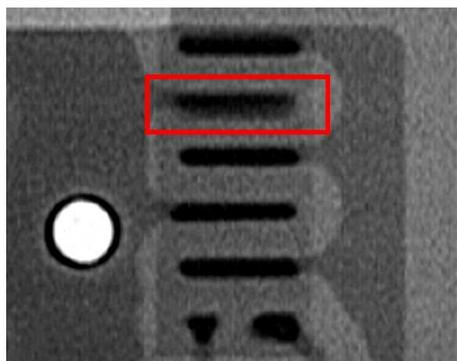


FIGURE 3.17 – Zoom sur le transistor gauche ayant un défaut au niveau de la brasure (cadre rouge)

Suite à cette anomalie une coupe a été effectuée (figure 3.18). La figure 3.18a confirme la liaison manquante entre le bump et la piste de cuivre. La figure 3.18b représente une brasure correcte permettant un bon contact nécessaire à la circulation du courant.

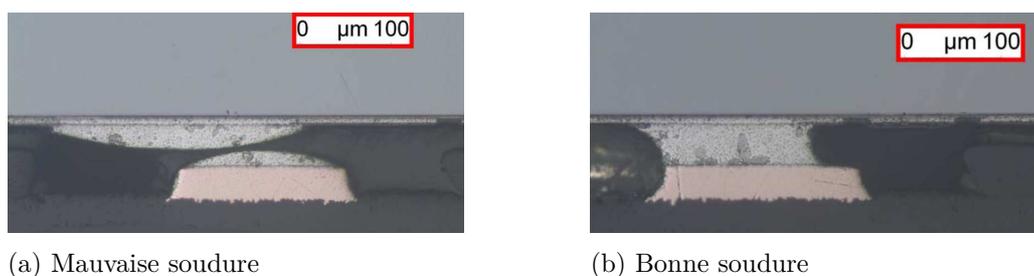


FIGURE 3.18 – Vue en coupe des bumps du transistors GaN

Cette irrégularité dans la soudure des bumps est due à la faible dimension et au faible poids du composant qui ne s’aplatit pas lors de la fusion des bumps. Pour éviter ce problème de mauvais contact, il est préconisé d’exercer une légère pression sur le composant afin qu’il « descende » et se colle au circuit imprimé lors du changement d’état des bumps.

3.3.2 Structure de test

Présentation générale

La structure de test (figure 3.19) se présente sous la forme d’un bras d’onduleur composé de deux transistors eGaN-FETs. Elle a l’avantage d’être représentative de la plupart des applications de l’électronique de puissance (onduleur, hacheur, redresseur synchrone, ...). D’autre

part, cette structure est une bonne reproduction d'une cellule de commutation, ce qui permet des tests CEM (*Compatibilité ÉlectroMagnétique*) représentatifs.

Ce bras est connecté à une charge RL¹ permettant l'établissement d'un courant lissé. Cette combinaison permet de faire commuter le bras de deux façons distinctes : en commutation douce et en commutation forcée, et donc de pouvoir étudier chacun de ces cas.

Les transistors sont commandés séparément par un circuit qui a pour rôle de fournir l'énergie nécessaire à la commutation dans de bonnes conductions (contraintes de faibles inductances). La commande numérique est réalisée à l'aide d'un circuit logique programmé en VHDL (*VHSIC Hardware Description Language*). Chaque fonction (puissance, driver, commande numérique) est réalisée sur une carte séparée.

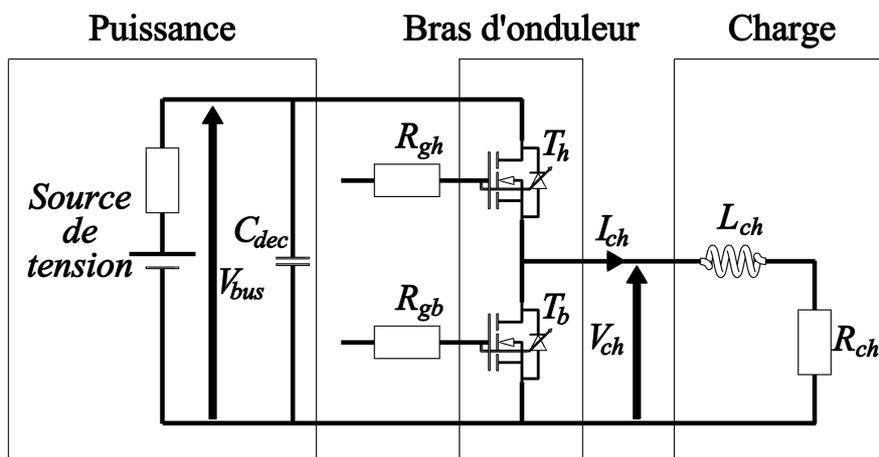


FIGURE 3.19 – Schéma de puissance étudié

Carte de puissance

La carte de puissance (figure 3.20) contient uniquement les deux transistors GaN et les connexions pour ramener les commande et la puissance au bras d'onduleur. Des coupures dans les pistes permettant de placer des shunts ont été disposées pour la mesure de courants dans les composants. L'inconvénient de ces mesures est l'ajout d'inductances parasites supplémentaires qui modifient les allures des courants mesurés. Cette carte a dû être réalisée séparément car les profils de température de soudage sont différents pour les composants EPC par rapport aux

1. Résistance plus Inductance

composants CMS standard. Elle permet la caractérisation des transistors seuls et nous a servi à maîtriser la brassure des composants au début des réalisations des cartes.

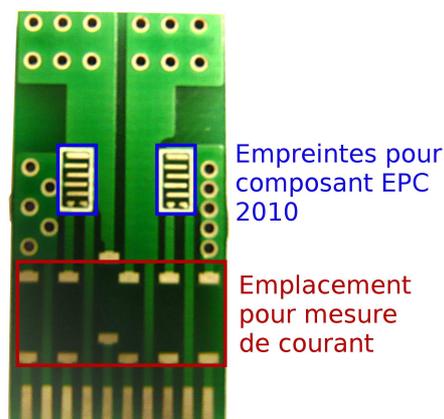


FIGURE 3.20 – Carte de puissance d’un bras d’onduleur

Carte de commande

La carte de commande (figure 3.22) est composée de plusieurs étages :

- le premier étage est composé d’un inverseur à collecteur ouvert permettant d’amplifier le signal logique. Cette inverseur a pour but de court-circuiter la diode émettrice de l’optocoupleur. Le fait de commander la diode avec un interrupteur en parallèle plutôt qu’en série a pour but d’augmenter la rapidité du signal et d’avoir une meilleure immunité au courant mode commun [83]. En effet, au lieu d’avoir une variation de 0 à 3,3 V avec une commande en parallèle nous obtenons une variation de 0 à 1,6 V (tension aux bornes de la diode émettrice de l’opto-coupleur). À même dv/dt le temps de commutation est diminué,
- le deuxième étage est composé de deux convertisseurs DC/DC isolés galvaniquement ainsi qu’un optocoupleur. Cela a pour but d’obtenir une isolation soignée entre la logique de commande et la commande rapprochée [5]. Cette isolation est réalisée aussi physiquement (figure 3.23) en alignant tout les composants d’isolation. L’optocoupleur fournit une sortie push-pull par l’intermédiaire de deux transistors bipolaires ayant des tensions à l’état passant de 1,8 et 0,4 V minimum pour le transistor du haut et celui du bas respectivement figure 3.21. Cette forte dissymétrie oblige à surélever la tension positive pour compenser la tension à l’état passant. Cela est obtenu grâce à un convertisseur DC/DC de plus forte tension secondaire, couplé avec un régulateur afin d’être à une tension proche de +5 V voulue (en bleu sur la figure 3.22b),

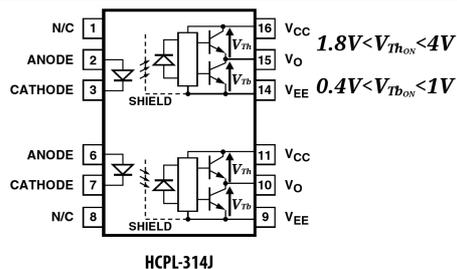


FIGURE 3.21 – Schéma de l'opto-coupleur utilisé avec ses tensions inverses

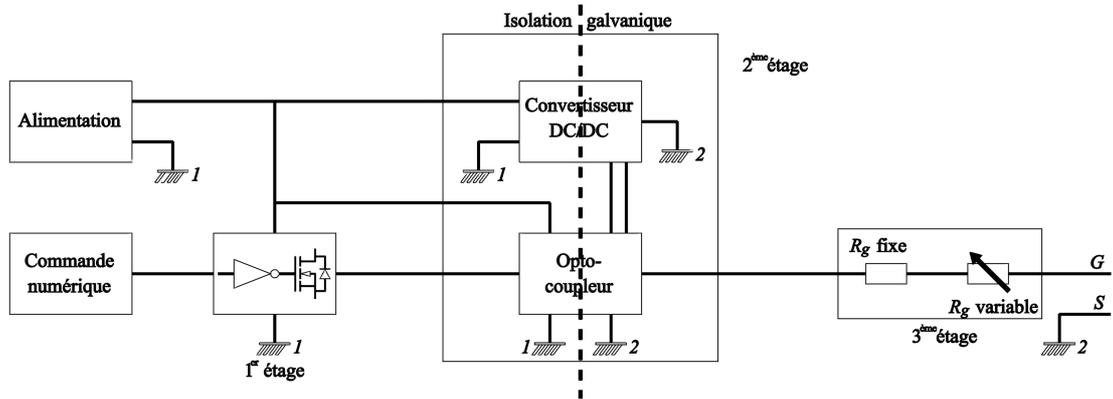
- Le dernier étage contient une résistance de grille fixe en série avec une résistance variable permettant des essais à différentes valeurs. Il n'y a qu'un chemin pour le courant de grille, la résistance est donc la même à l'amorçage et au blocage.

Un potentiomètre numérique a été mis en place pour régler manuellement et dynamiquement les différents paramètres temporels du système au cours des manipulations.

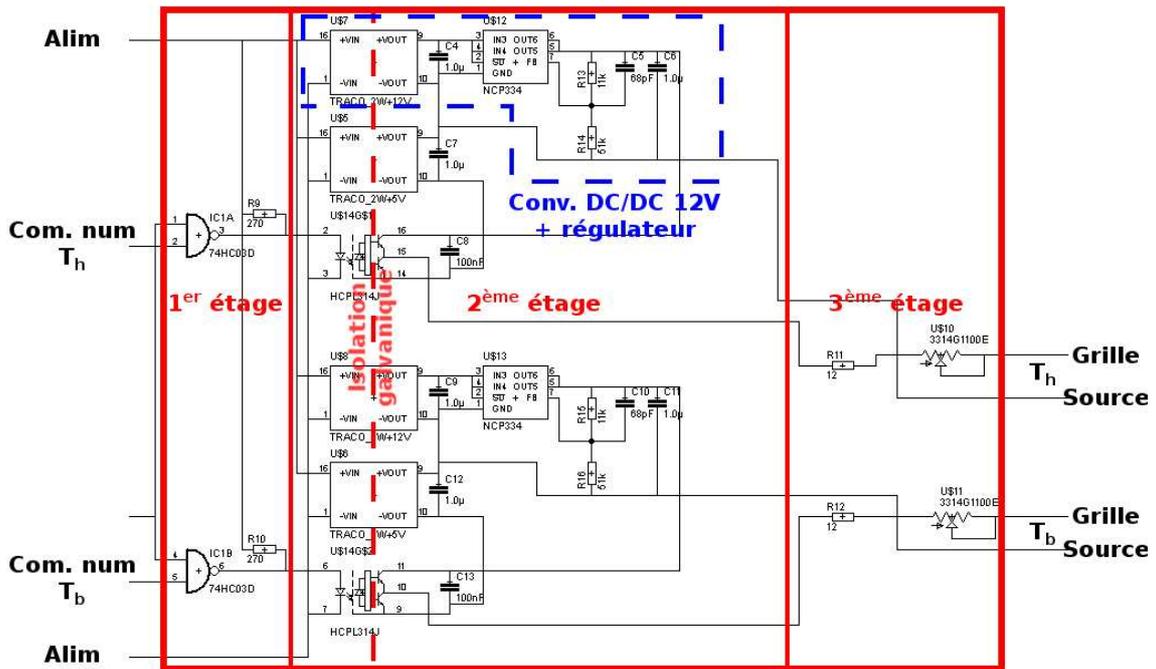
Commande numérique

La commande numérique est basée un module CPLD (*Complex Programmable Logic Device*)² programmé en VHDL. Cette technologie permet de générer des signaux synchronisés avec une précision proche de la nanoseconde. Sa possibilité de reprogrammation autorise l'étude de plusieurs stratégies de commande. Les CPLDs peuvent travailler à très haute fréquence, jusqu'à 200 MHz avec l'association d'un oscillateur externe, cela donne lieu à une bonne maîtrise des temps de commutation. Nous avons choisi un oscillateur à 40 MHz ce qui nous permet une précision de 25 ns pour les temps morts et le rapport cyclique. La figure 3.24 montre un exemple de signaux de commande générés par le module CPLD, nous avons deux temps morts contrôlés séparément (tm_1 et tm_2), le rapport cyclique γ est défini. Le programme permet de gérer indépendamment la fréquence, le rapport cyclique et les deux temps morts du montage, ils sont affichés grâce aux 4 digits positionnés sur la carte de démonstration (figure 3.25).

2. Circuit logique programmable complexe



(a) Synopsis pour le transistor du bas



(b) Schéma électrique

FIGURE 3.22 – Schéma des différents étages de la commande des transistors

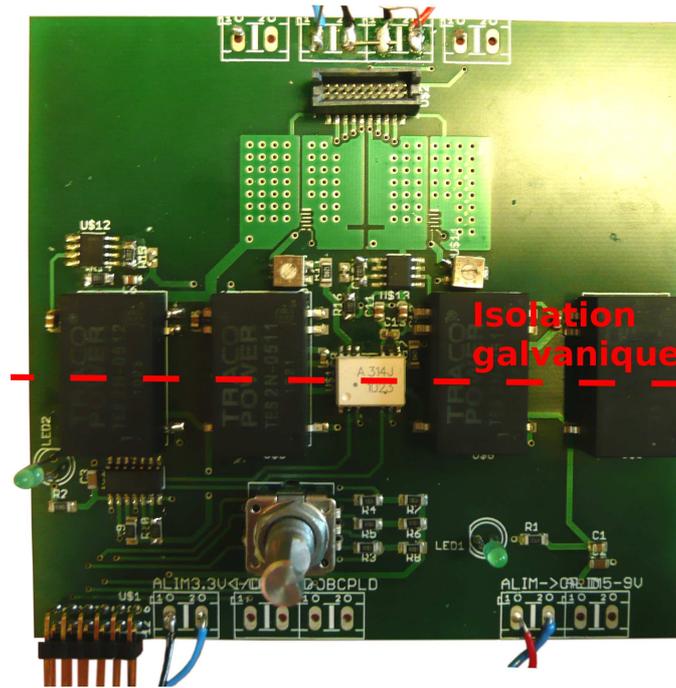


FIGURE 3.23 – Carte de commande d’un bras d’onduleur

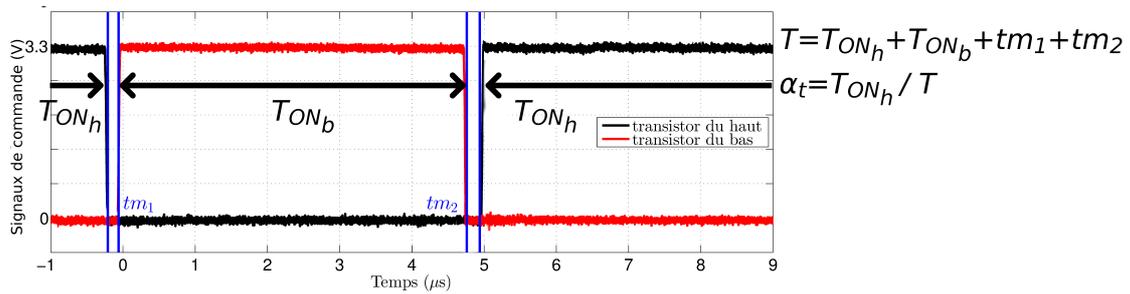


FIGURE 3.24 – Signaux de commande générés par le module CPLD

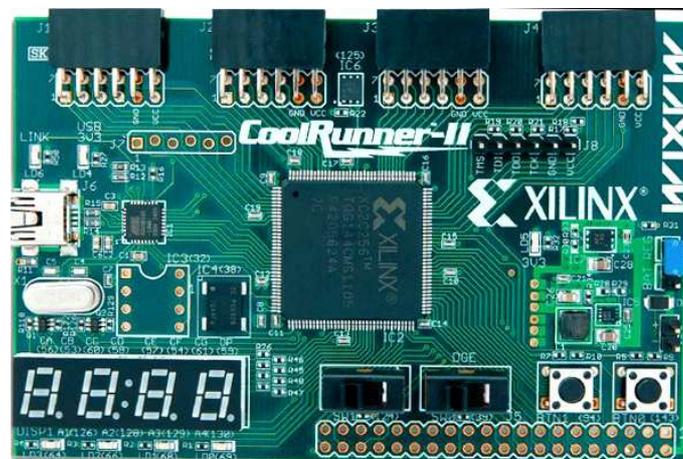


FIGURE 3.25 – Carte de démonstration CPLD

3.3.3 Mesures réalisées

Premiers essais

Conditions d'essai :

V_{bus}	=	40 V	R_{g_h}	=	100 Ω	tm_1	=	0 ns
$\langle I_{ch} \rangle$	=	0,5 A	R_{g_b}	=	100 Ω	tm_2	=	0 ns

Nous avons tout d'abord réalisé des mesures sous 40 V de bus DC afin d'observer la réponse du composant. La figure 3.26 représente la commande des transistors et la tension du point milieu pour un front montant (figure 3.26a) et un front descendant (figure 3.26b) sur une charge RL dont la résistance est variable et est réglée de sorte à avoir un courant moyen de 1 A. Les résistances de grilles sont réglées à 100 Ω (maximum), aucun temps mort n'est appliqué. Sur la figure 3.26a, V_{ch} évolue en plusieurs étapes. Au départ (étape ①), le transistor du haut (T_h) est bloqué, le transistor du bas (T_b) est passant. Due à la faible résistance à l'état passant des eGaN-FETs, la tension aux bornes est de 200 mV. La tension entre grille et source du transistor du bas ($V_{g_{sb}}$) devient inférieur à 2 V et le transistor T_b se bloque (étape ②). À ce moment, la tension devient négative dû à l'absence de diode en anti-parallèle jusqu'à la mise en conduction de T_h lorsque $V_{g_{sh}}$ atteint la tension de seuil (V_{th}). La montée rapide engendre l'effet Miller que nous pouvons observer sur les tensions $V_{g_{sh}}$ et $V_{g_{sb}}$ (étape ③), elle cause aussi une surtension d'environ 10 %. Une fois cette étape franchie, la tension $V_{g_{sh}}$ continue à monter progressivement jusqu'à 5 V (étape ④).

Lorsque les commutations s'inversent (figure 3.26b), la tension V_{ch} reste tout d'abord stable jusqu'à ce que la tension $V_{g_{sh}}$ descende sous la barre des 2 V (étape ①). À partir de là, la tension diminue doucement (étape ②) et passe en négatif un court instant (étape ③). La tension $V_{g_{sb}}$ atteint la tension de seuil est autorise la conduction inverse du composant rentrant ainsi dans la phase de roue libre (étape ④). La faible chute de tension est due à la décharge de la capacité C_{ds} qui ne peut se faire qu'à travers la charge, c'est donc l'intensité dans la charge qui conditionne la pente de l'étape ②.

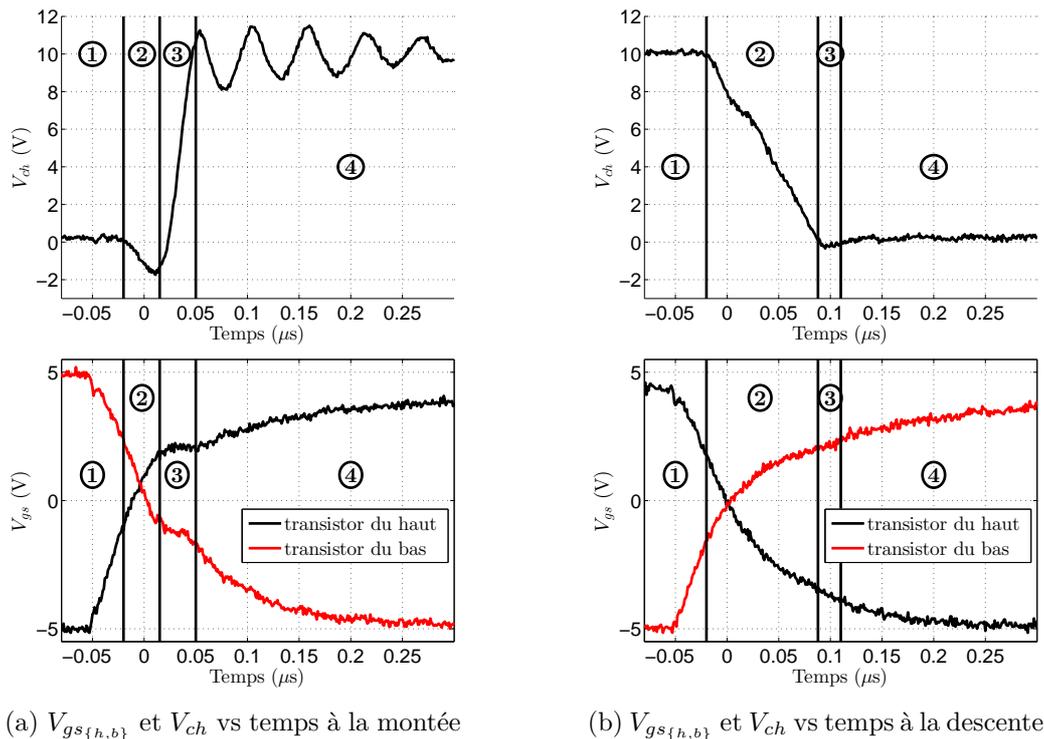


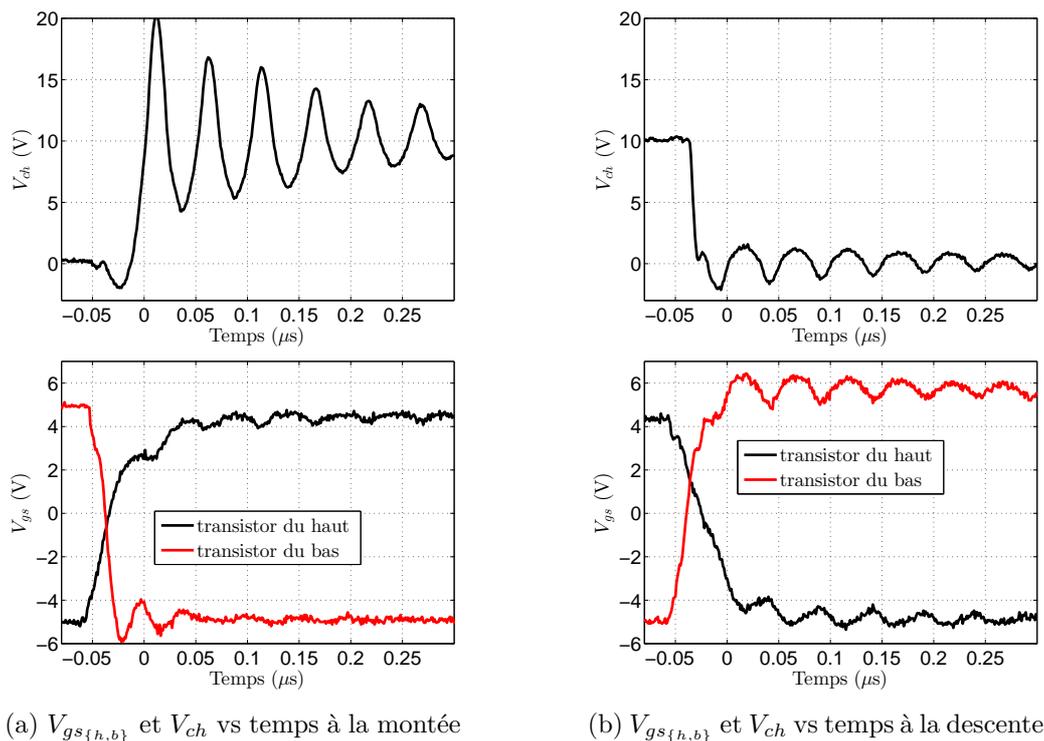
FIGURE 3.26 – Test sous 10 V avec de fortes résistances de grilles

Essai avec résistances de grilles de faibles valeurs

Conditions d'essai :

$V_{bus} = 10\text{ V}$	$R_{gh} = 45\ \Omega$	$tm_1 = 0\text{ ns}$
$\langle I_{ch} \rangle = 100\text{ mA}$	$R_{gb} = 2\ \Omega$	$tm_2 = 0\text{ ns}$

Pour augmenter la rapidité de commutation, les résistances de grilles ont été diminuées, nous avons pris $R_{gb} = 2\ \Omega$ et $R_{gh} = 45\ \Omega$. La figure 3.27 montre les mêmes types de résultats que précédemment avec ces plus faibles résistances. À la montée (figure 3.27a), nous observons une forte augmentation de la surtension (100 % de V_{bus}) due à l'inductance de la maille de commutation. Le temps mort est conservé grâce à la différence de résistance qui provoque un blocage rapide du transistor du bas. À la descente (figure 3.27b), V_{gs_b} atteint la tension de seuil tout de suite après le blocage de T_h ce qui provoque une décharge rapide du condensateur C_{ds} dans le transistor. Cela a pour avantage d'avoir une chute plus « rapide » que précédemment de la tension ($dv/dt = 2\text{ V/ns}$) mais au détriment d'une plus grande perte d'énergie (voir partie 3.4.2).


 (a) $V_{gs_{\{h,b\}}}$ et V_{ch} vs temps à la montée

 (b) $V_{gs_{\{h,b\}}}$ et V_{ch} vs temps à la descente

FIGURE 3.27 – Test sous 10 V avec des résistances de grilles plus faibles

Essai avec une grande durée de temps mort

Conditions d'essai :

$V_{bus} = 40 \text{ V}$	$R_{gh} = 45 \Omega$	$tm_1 = 200 \text{ ns}$
$\langle I_{ch} \rangle = 0,5 \text{ A}$	$R_{gb} = 2 \Omega$	$tm_2 = 200 \text{ ns}$

La figure 3.28 montre un essai sous une tension de bus de 40 V. Nous avons intentionnellement rajouté un temps mort important (200 ns) pour observer son effet sur la structure. Le courant a été réduit à 500 mA pour éviter l'échauffement trop rapide du composant. Lorsque T_h se bloque (figure 3.28a) la tension V_{ch} baisse aux alentours de -8 V (étape ②). La surtension engendrée par l'amorçage de T_h perturbe beaucoup la grille, de plus, elle peut être destructrice pour le transistor ou la charge (étape ③).

Au blocage de T_h (figure 3.28b) le système est moins perturbé grâce à la faible pente provoquée par la décharge de C_{ds} (étape ②). V_{ch} redescend jusqu'à -8 V (cas où les deux transistors sont bloqués, étape ③) jusqu'à la mise en conduction de T_b permettant une phase de roue libre à une tension de 200 mV (étape ④). Sur ces deux jeux de courbes il apparaît nettement qu'un temps mort de 200 ns est beaucoup trop élevé.

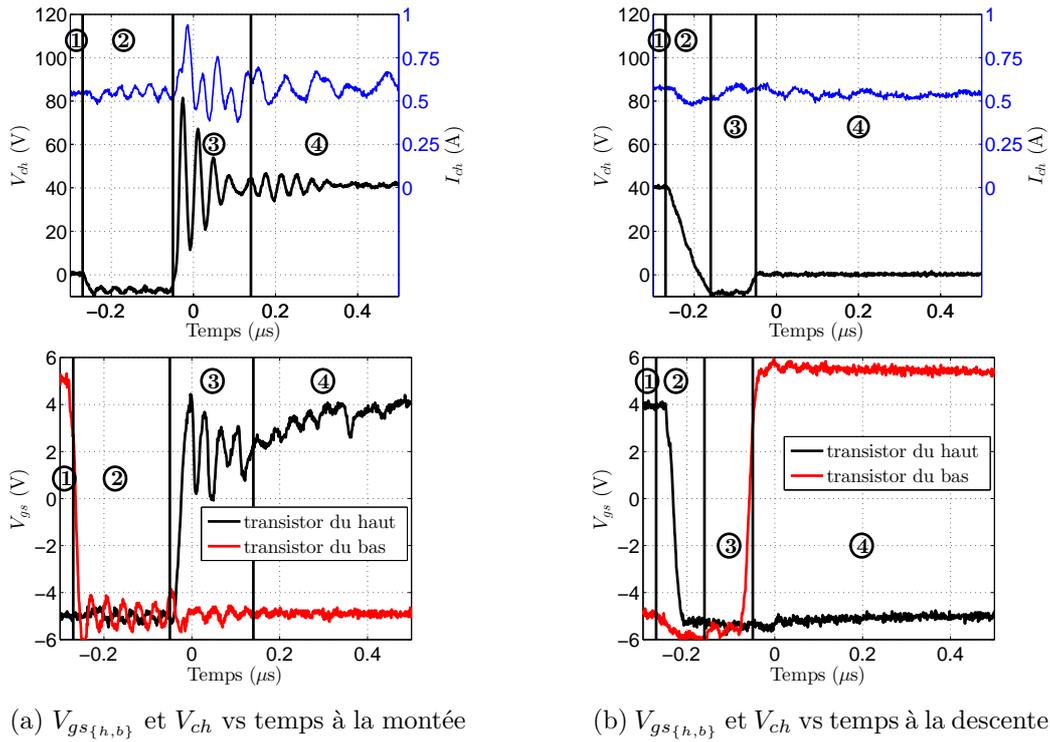


FIGURE 3.28 – Test sous 40 V avec des temps morts de 200 ns

Lors des temps morts la tension inverse est fonction de deux facteurs : la tension V_{gs} qui influe beaucoup et l'intensité passant dans le composant (voir figure 3.1a). Nous pouvons vérifier ce comportement en modifiant la tension V_{gs} de blocage des composants. La figure 3.29a montre quatre mesures pour différentes intensités et différentes tension de grille. Nous pouvons constater que la tension de grille a un fort impact sur cette tension inverse alors que le courant n'influe que très peu. Cela confirme le comportement statique observé pour différentes tensions de grille.

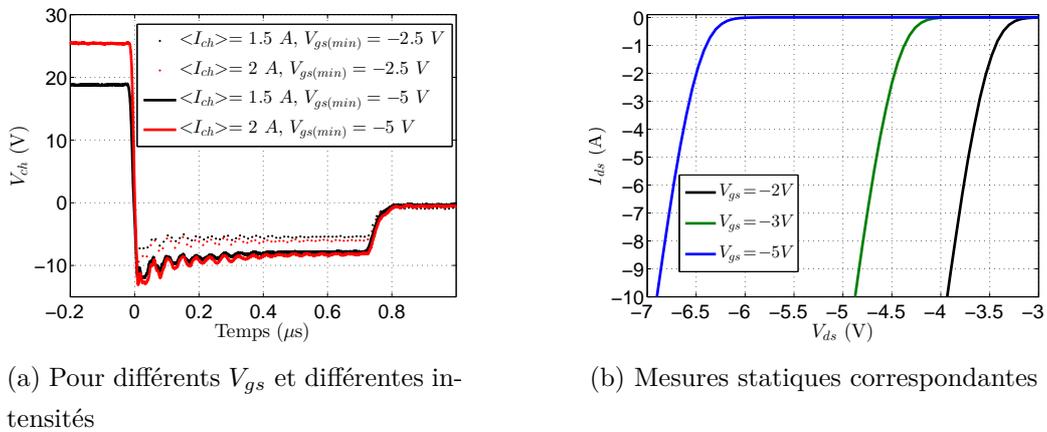


FIGURE 3.29 – Tension inverse en fonction de V_{gs}

Essai à haute fréquence

Conditions d'essai :

$V_{bus} = 20\text{ V}$	$R_{g_h} = 45\ \Omega$	$tm_1 = 0\text{ ns}$
$\langle I_{ch} \rangle = 0,3\text{ A}$	$R_{g_b} = 2\ \Omega$	$tm_2 = 0\text{ ns}$

Les forts dv/dt lors de l'amorçage et du blocage des transistors montre la prédisposition des composants à commuter en haute fréquence. La figure 3.30 montre des mesures sous 20 V pour une fréquence de 1 MHz sans temps morts optimisés. Les faibles temps de réponse du composant autorisent un fonctionnement de la structure jusqu'à quelques dizaines de mégahertz.

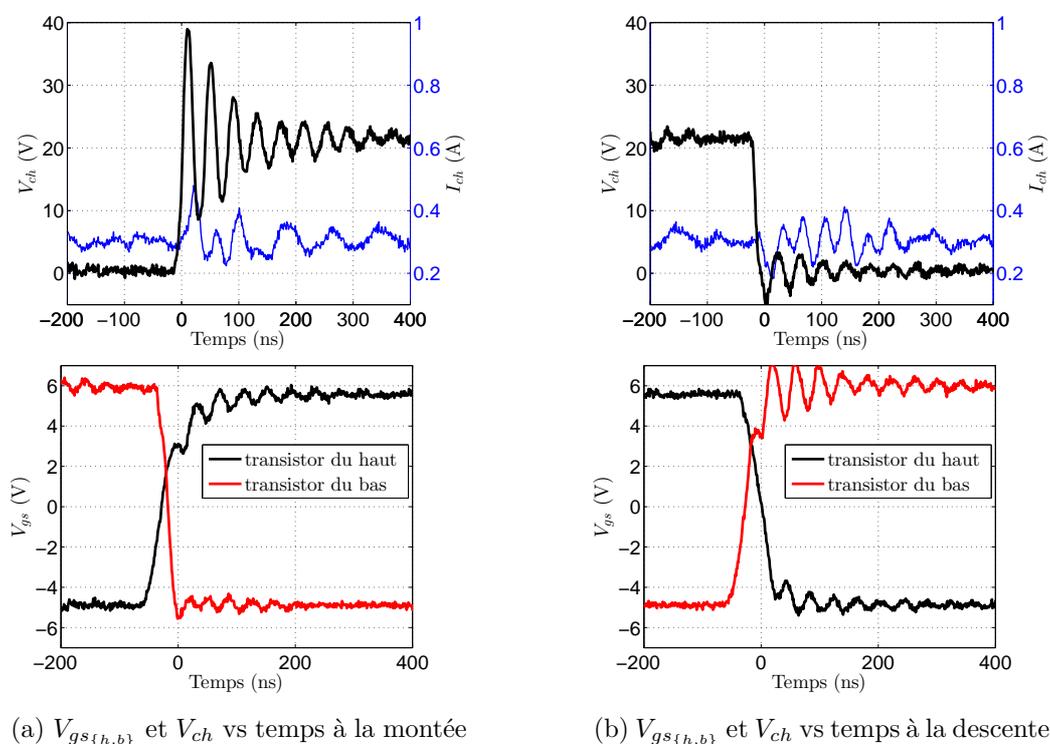


FIGURE 3.30 – Test sous 20 V à 1 MHz

3.3.4 Synthèse sur le comportement électrique dynamique (carte 1)

Pour réaliser des tests sur la commutation d'un bras d'onduleur nous avons réalisé des cartes d'essais au sein du laboratoire. Cela nous a rendu plus libres de la topologie du circuit nécessaire pour effectuer les essais que nous voulions. Ces cartes ont été conçues en plusieurs parties compte tenu des contraintes imposées par la soudure des transistors GaN : les profils de

température sont différents des autres circuits montés en surface. Nous avons pu observer grâce à une analyse aux rayons X les défauts de soudure qui pouvaient apparaître sur ces composants dus à leur légèreté. Afin d'éviter ces mauvaises soudures il peut être utile d'appliquer une pression sur le composant lors de la soudure. L'analyse aux rayons X s'avère efficace pour la détection de défauts.

La commande des transistors a été créée à partir d'une commande numérique programmable, ainsi nous avons eu la capacité d'appliquer différentes stratégies de commande nécessaires aux tests. La commande rapprochée a été composée de plusieurs étages fournissant des tensions de grille ajustables en tension et en durée, séparément pour les deux transistors. Nous avons pu observer les difficultés de mise en œuvre de celle-ci mais aussi les avantages par la création de temps morts variables qui nous a permis de lier ce que nous avons observé lors de la caractérisation statique du composant en ce qui concerne sa tension inverse. Pour finir, ces premiers essais ont permis de mieux appréhender le comportement du composant ainsi que les nouveaux problèmes liés à son utilisation :

- l'inductance de la maille de commutation a une grande importance sur la surtension engendrée par l'amorçage du transistor du haut,
- les temps morts doivent être maîtrisés; des temps trop longs engendrent une forte tension inverse aux bornes du transistor alors qu'il est traversé par le courant de charge. Des temps trop courts peuvent provoquer des court-circuits de bras ou une décharge instantanée de la capacité C_{ds} ,
- la tension de blocage des transistors est à prendre en considération et possède un fort impact sur le comportement du bras d'onduleur,
- les fortes oscillations engendrées par les fronts de commutation doivent être éliminées par un meilleur découplage.

Pour réaliser ces améliorations, nous avons élaboré une nouvelle carte afin de prendre en compte les points observés lors ces mesures. Pour mieux appréhender les choix qui seront faits lors de cette conception de seconde génération, une étape de simulation est nécessaire. En effet cela permettra de comprendre quel paramètre agit au premier ordre sur quelle contrainte et de prévoir le comportement final de la seconde topologie pour les essais en commutation. Ces simulations sont présentées au chapitre 4. La prochaine partie est consacrée aux mesures réalisées sur la seconde génération de la carte d'essais.

3.4 Caractérisation électrique dynamique (carte 2)

Les diverses simulations opérées sur la première génération de cartes ont permis de constater ses différents problèmes. Nous en avons tenu compte pour réaliser le routage des cartes de la seconde génération. Cette partie commence par décrire ces cartes en indiquant quels changements ont été faits.

Nous passons ensuite aux mesures, ce qui donnera lieu à des discussions sur les améliorations par rapport à la première génération de cartes. Elles montreront des comportements plus proche des courbes théoriques qui faciliteront par la suite la modélisation de cette structure.

3.4.1 Amélioration de la structure de test

Carte de puissance

D'après les résultats observés en simulation les capacités de découplage doivent être posi-

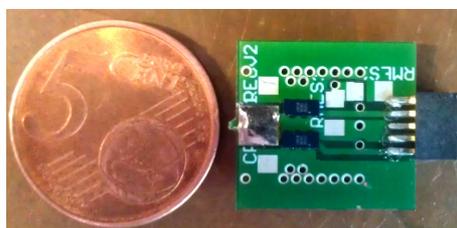


FIGURE 3.31 – Carte de puissance contenant deux transistors (en bleus) et des capacités de découplage en dessous de la carte

tionnées au plus près du bras d'onduleur. De ce fait, il a été choisi de les disposer en-dessous de celui-ci afin de minimiser le plus possible la boucle de courant entre les condensateurs et les composants diminuant ainsi l'inductance parasite [84]. En outre, la carte a été réduite afin d'être au plus proche du connecteur pour recevoir les signaux de grille (figure 3.31).

Carte de commande

Les simulations et mesures nous ont permis d'observer l'évolution de la tension inverse lors de la phase de temps mort pour différentes tensions de grille au blocage. Pour réduire au maximum



FIGURE 3.32 – Carte de commande configurable

cette tension tout en maintenant le composant bloqué nous avons choisi une commande entre +5 et 0 V. Le circuit de commande (figure 3.32) a été simplifié en utilisant la technique du bootstrap. Cette technique associe une diode (D_{bst}) bloquant le passage du courant lorsque T_h est fermé et un condensateur (C_{bst}) servant de réserve d'énergie (figure 3.33). Le condensateur sert à charger la capacité de la grille pour fermer T_h , durant cette période il se décharge (figure 3.33a). Il se recharge lorsque T_b est fermé en mettant le point milieu des deux transistors à la masse du convertisseur DC/DC (figure 3.33b). Cela permet de réduire le nombre de convertisseurs DC/DC pour un bras d'onduleur (1 pour les deux commandes au lieu de 2). Nous pouvons décomposer la commande en plusieurs étages (figure 3.35) :

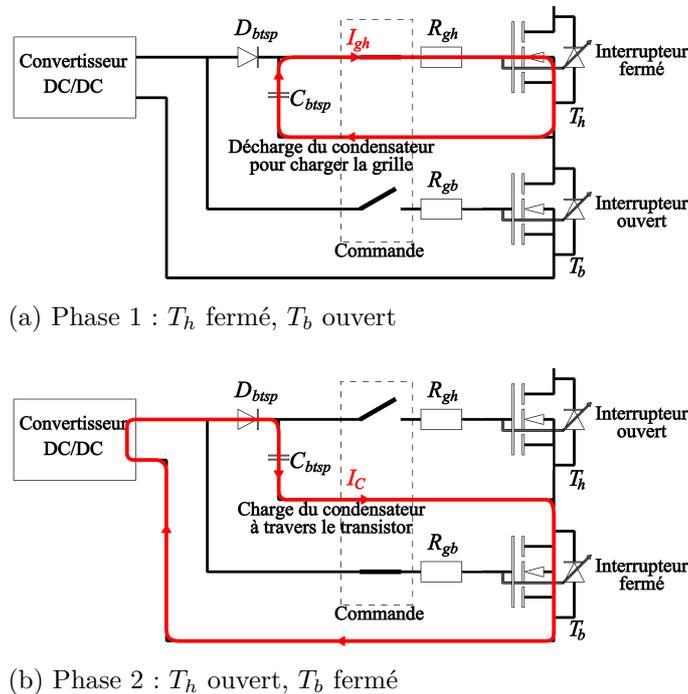
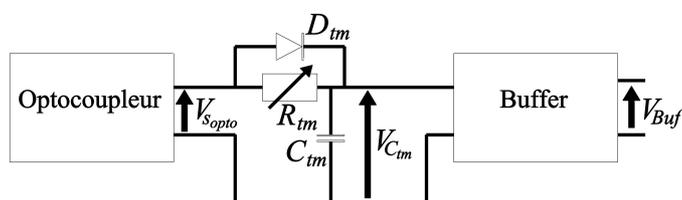


FIGURE 3.33 – Schéma de principe de la technique du bootstrap

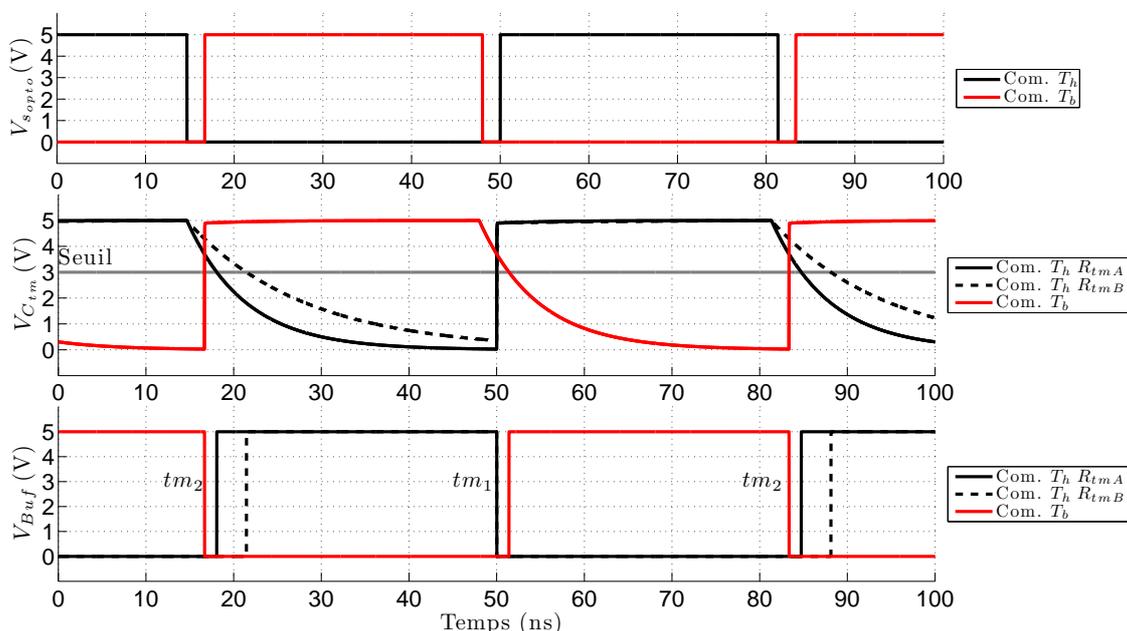
- l'isolation galvanique de l'alimentation de la commande est assurée par un convertisseur DC/DC d'une tension de sortie de 9 V avec un régulateur en aval fournissant une tension de 5,7 V. Les diodes de bootstrap ayant une tension de conduction de 0,7 V, nous

obtenons une tension de 5 V pour commander les transistors. L'isolation galvanique est réalisée aussi par deux opto-coupleurs numériques donnant des signaux entre 0 et 5 V de très faible puissance pour le signal de commande de chaque transistor,

- le circuit $R_{tm}C_{tm}D_{tm}$ (figure 3.34) permet d'affiner la durée du temps mort délivrée par la commande numérique grâce à un potentiomètre changeant la constante de temps (figure 3.34a). La diode D_{tm} en parallèle permet de n'avoir le temps mort qu'à l'amorçage du transistor (ou au blocage si la diode est positionnée dans l'autre sens). Le chronogramme à la figure 3.34b montre un exemple de deux réglages de R_{tm} (désignés par R_{tmA} et R_{tmB}). Nous pouvons observer un changement de la constante de temps pour la commande de T_h , la diode D_{tm} restreint l'effet de cette constante de temps au seul front montant de la commande de T_h , modifiant seulement la durée de tm_2 . Cela permet de régler les deux temps morts des transistors indépendamment l'un de l'autre,



(a) Schéma pour la commande d'un transistor



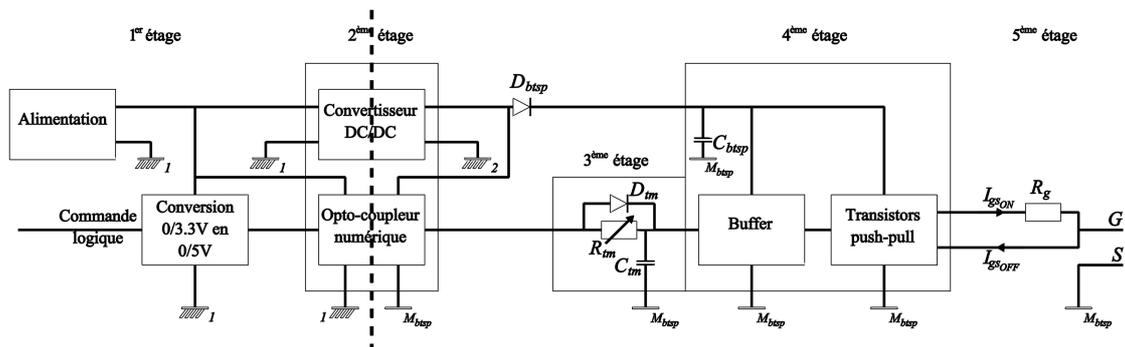
(b) Chronogramme

FIGURE 3.34 – Exemple de fonctionnement du circuit $R_{tm}C_{tm}D_{tm}$

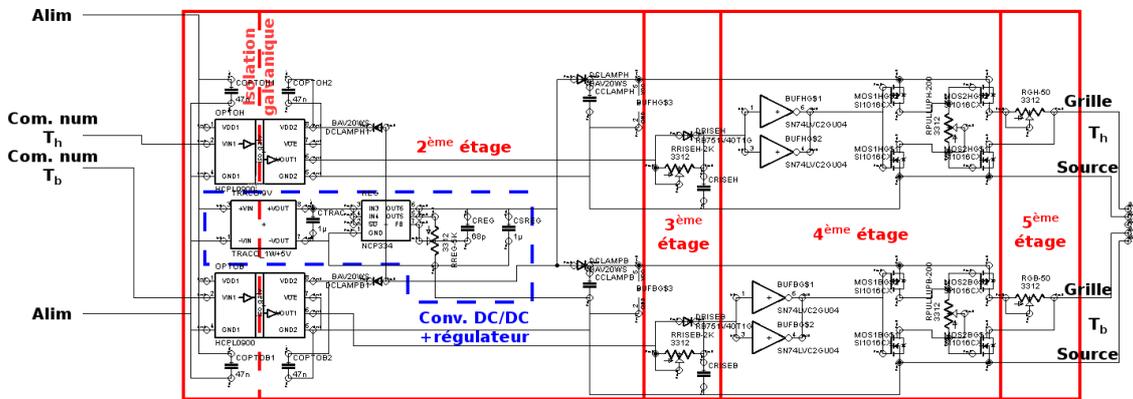
- les buffers servent à amplifier le signal venant des opto-coupleurs afin de délivrer des fronts de commande rapides,

3.4. Caractérisation électrique dynamique (carte 2)

- le circuit double push-pull permet d'avoir une résistance à l'amorçage différente du blocage. Le premier push-pull est destiné à éviter la mise en court-circuit du second push-pull lors du changement d'état,
- seule une résistance réglable a été disposée pour l'amorçage du composant, le blocage est obtenu en court-circuitant la grille à la source par l'intermédiaire du transistor du bas du circuit push-pull. Cela permet un amorçage contrôlé et un blocage rapide des composants de puissance.



(a) Synopsis pour la commande d'un transistor



(b) Schéma électrique

FIGURE 3.35 – Schéma des différents étages de la commande des transistors

La commande est symétrique pour les deux transistors, ainsi une diode de boot-trap (non nécessaire normalement) a été rajoutée pour la commande du transistor du bas. Néanmoins, cette diode a deux avantages : elle a une tension de conduction identique à l'autre diode ce qui permet d'obtenir une tension de 5 V pour la commande du transistor du bas qui verrait une tension de 5,7 V, elle sécurise le circuit de commande en cas d'inversion des connexions entre les deux grilles des composants. La commande numérique reste la même.

Charge RL

Pour diminuer l'influence de la capacité parasite de l'inductance, nous avons réalisé une inductance à air avec espacement des spires, diminuant ainsi les capacités interspires. Nous avons cette fois-ci fixé la charge à 50Ω , l'intensité sera réglée par le rapport cyclique du bras d'onduleur.



FIGURE 3.36 – Inductance réalisée à air permettant de diminuer les capacités parasites

3.4.2 Mesures réalisées

Dans la suite toutes les mesures sont effectuées sous une tension de bus de 100 V à une fréquence de 1 MHz car ces caractéristiques sont proches des conditions de fonctionnement nominal du convertisseur à réaliser. Trois mesures sont expliquées, elles correspondent à une durée de temps mort plus grande, égale et plus petite que la durée de temps mort nécessaire à un fonctionnement optimal du bras d'onduleur par rapport à la charge RL utilisé. Cet optimum correspond au temps de décharge de la capacité C_{ds} du transistor du bas.

Commandes des transistors

La figure 3.37 montre les tensions entre grille et source pour les transistors du bras d'onduleur. Les deux commandes ont un comportement similaire, la montée de la tension se fait par l'intermédiaire de la résistance de grille (voir figure 3.35a) jusqu'à 5 V ce qui permet

3.4. Caractérisation électrique dynamique (carte 2)

de régler la pente lors de l'amorçage du transistor. Lors de la descente, le courant passe par un autre chemin qui est très peu résistif ce qui permet d'avoir un blocage instantané mais cela provoque une oscillation entre la capacité de la grille et l'inductance de la maille de commande. Cette oscillation n'est pas destructrice pour le composant car elle ne dépasse pas les -5 V mais elle peut provoquer une remise en conduction intempestive du transistor pendant un court instant car la tension de seuil de ces derniers est d'environ 2 V.

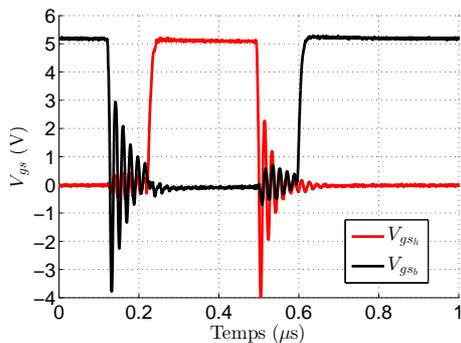


FIGURE 3.37 – Tensions de grille en fonction du temps

Une solution pour réduire ces oscillations lors de la commande au blocage des transistors serait d'ajouter une résistance de grille d'environ 1 Ω au lieu de 0 afin de dissiper l'énergie stockée dans la capacité de la grille.

La tension sur la grille du transistor du haut reste constamment à 5 V, la technique de bootstrap ne change donc en rien le fonctionnement du transistor du haut par rapport à celui de bas à part une diminution de la tension V_{gsh} de 100 mV par rapport à V_{gsb} . L'avantage de ces commandes est qu'elle ne provoque aucune surtension sur la grille, or les eGaN-FETs sont très sensibles aux surtensions au niveau de la grille et le moindre dépassement au dessus de 6 V casse immédiatement le composant.

Essai avec une durée de temps mort au delà de l'optimum

Conditions d'essai :

$V_{bus} = 100\text{ V}$	$R_{g_h} = 10\ \Omega$	$tm_1 = 175\text{ ns}$
$\alpha_t = 0,5$	$R_{g_b} = 10\ \Omega$	$tm_2 = 175\text{ ns}$

Le premier test consiste à imposer des temps morts importants (175 ns) pour observer le changement de comportement en commutation par rapport à la première commande (carte 1). La figure 3.38 représente un front montant (figure 3.38a) et un front descendant (figure 3.38b) pour des temps morts réglés à 175 ns.

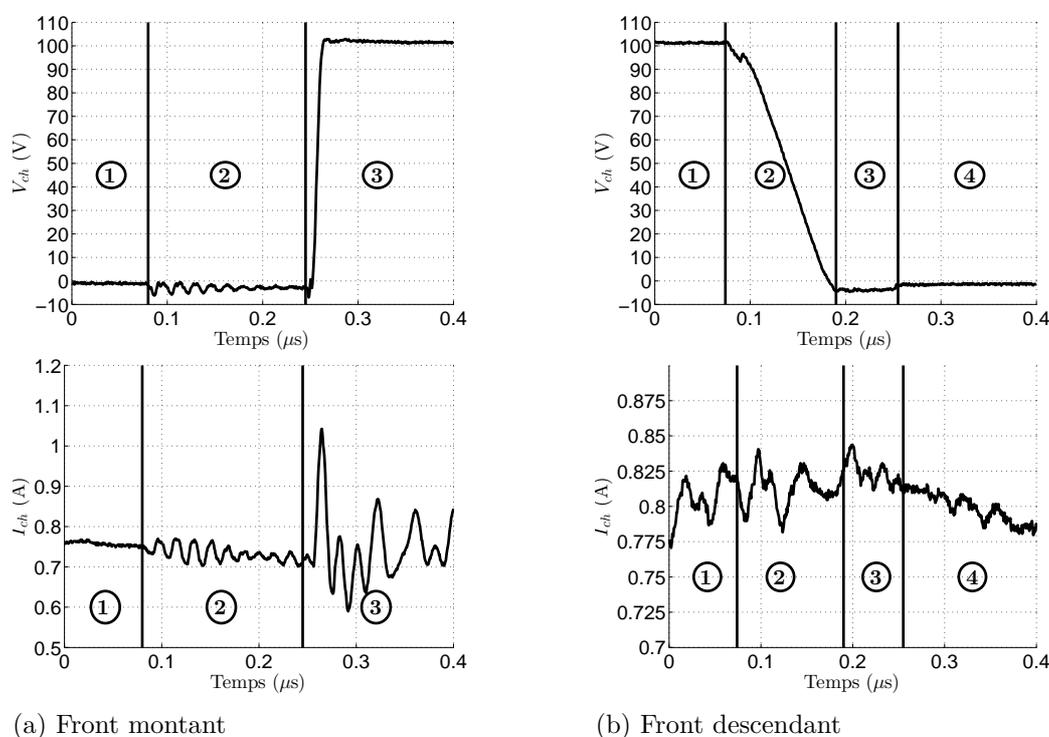


FIGURE 3.38 – Tension et courant en fonction du temps pour des temps morts de 175 ns ($\langle I_{ch} \rangle = 0,8\text{ A}$)

Nous pouvons décomposer ces courbes en plusieurs étapes. Pour le front montant, la courbe commence par la phase de roue libre (T_b passant, T_h bloqué) qui est l'étape ①. Durant le temps mort (étape ②) les deux transistors sont bloqués. Par rapport à la première génération de cartes, nous pouvons observer l'avantage d'une commande 0/5 V qui permet d'avoir une tension inverse plus faible (-2,5 V) par rapport au -10 V observé sur le montage précédent. Lors de la commutation de T_h (étape ③) nous avons une rapidité de commutation de 12 V/ns

3.4. Caractérisation électrique dynamique (carte 2)

provoquant une surtension de 3 %. Cette commutation provoque un pic de courant dans la charge et donc dans le transistor du haut dû aux capacités parasites se trouvant en parallèle de la charge.

Pour le front descendant (figure 3.38b), L'étape ① commence par T_h passant et T_b bloqué. Lors du blocage de T_h (étape ②) la tension descend progressivement, une remonté à lieu due à l'oscillation sur la commande du transistor qui provoque la commutation partielle de T_b pendant quelques nanosecondes (effet indésirable), ensuite la tension recommence à descendre progressivement jusqu'à atteindre -2,5 V (tension inverse de T_b). La tension reste négative (étape ③) jusqu'à la mise en conduction de T_b (étape ④) permettant une phase de roue libre sous faible tension (environ 100 mV).

Essai avec une durée optimale de temps mort

Conditions d'essai :

V_{bus}	=	100 V	R_{gh}	=	10 Ω	tm_1	=	75 ns
α_t	=	0,5	R_{gb}	=	10 Ω	tm_2	=	75 ns

La figure 3.39 montre des courbes pour un temps mort de 75 ns qui est idéal par rapport à la charge et à la tension de bus. La figure 3.39a ne change pas par rapport à la mesure précédente à part l'étape ② qui est plus courte. La différence est située au niveau du front descendant (figure 3.39b) où l'étape ③ a disparu car l'amorçage de T_h se fait au moment exact ou la tension atteint 0 V. La courbe de courant de charge montre une discontinuité à l'étape ② qui est due à la décharge des capacités parasites dans la charge.

Le rapport cyclique ne change pas entre les mesures. Le temps mort étant plus approprié lors du front descendant, il n'y a pas de période où la tension est à -2,5 V. La tension moyenne au borne de la charge est plus grande. Le courant moyen dans la charge ($\langle I_{ch} \rangle$) passe de 0,8 A (à l'essai précédent) à 1,2 A.

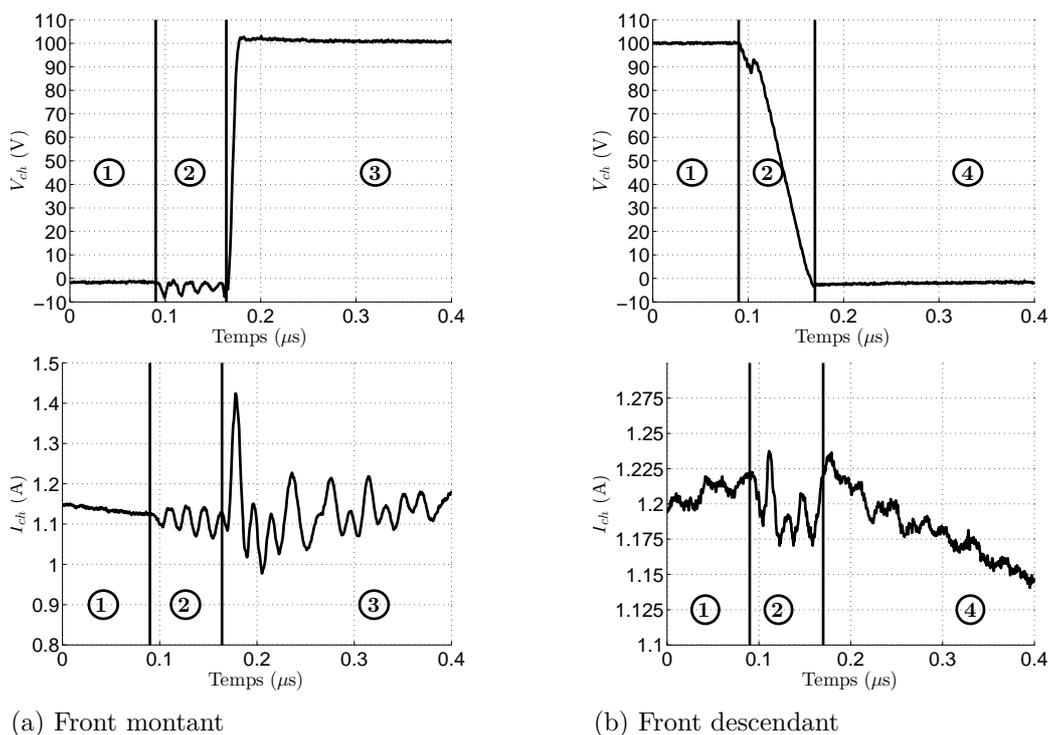


FIGURE 3.39 – Tension et courant en fonction du temps pour des temps morts de 75 ns ($\langle I_{ch} \rangle = 1,2$ A)

Essai avec une durée de temps mort en-dessous de l'optimum

Conditions d'essai :

$V_{bus} = 100$ V	$R_{gh} = 10$ Ω	$tm_1 = 50$ ns
$\alpha_t = 0,5$	$R_{gb} = 10$ Ω	$tm_2 = 50$ ns

Comme nous l'avons vu pour la mesure précédente, le front montant n'est pas affecté par le changement de durée du temps mort car celle-ci reste dans tous les cas supérieure à la durée optimale. La figure 3.40 représente le seul front descendant de la tension (figure 3.40a) ainsi que le courant de charge (figure 3.40b).

Par rapport aux tests précédents les étapes ①, ② et ④ restent les mêmes. L'étape ③ correspond à une durée de temps mort inférieure à l'optimum. Cela signifie que T_b est amorcé avant que les capacités C_{ds} de T_h et T_b soient respectivement chargée (T_h) et déchargée (T_b). Cette conduction entraîne une décharge rapide (8 V/ns) de C_{dsT_b} à travers le canal de T_h induisant la création d'un courant important dans celui-ci.

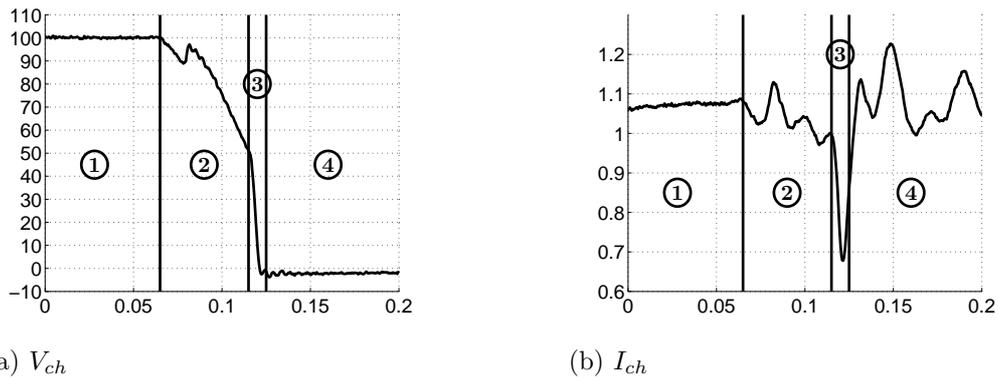


FIGURE 3.40 – Tension et courant lors du front descendant en fonction du temps pour des temps morts de 50 ns

Cela se remarque aussi sur le courant de la charge où l'on peut apercevoir un pic négatif d'intensité dû au dV/dt que voit sa capacité parasite.

Type de commutation

Les trois essais ont été réalisés avec une charge RL qui impose un courant $I_{ch} > 0$. Ce cas fait apparaître une roue libre intrinsèque sur le fonctionnement de T_b (ce qui n'est pas le cas pour T_h) qui permet une charge/décharge des capacités intrinsèques (expliquée au paragraphe 4.2.4) et donc une commutation douce lors du front descendant de V_{ch} et une commutation dure lors du front montant. Si $I_{ch} < 0$, la situation sera inversée : nous aurons une phase de roue libre intrinsèque dans T_h et une charge/décharge des capacités intrinsèques pour T_b . Autrement dit, les phases à dV/dt lent et rapide s'échangent entre le front montant et descendant selon le sens du courant.

La figure 3.41 représente un schéma d'une cellule de commutation connectée à une source de courant. Le tableau 3.2 donne en fonction du sens du courant I_S le type de commutation que nous aurons sur chaque front de tension des transistors, que la charge soit connectée aux bornes du transistor du haut ou du bas.

Nous avons mis en gras le cas de notre structure de convertisseur où la charge RL est connectée sur le transistor du bas ($V_{ch} = V_{dsi}$) et consommatrice d'énergie ($I_{ch} = I_S > 0$).

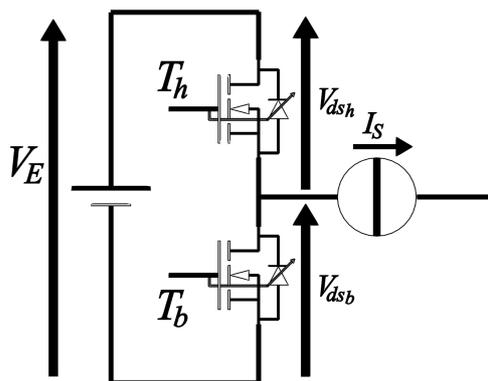


FIGURE 3.41 – Schéma pour l’explication du type de commutation en fonction du sens du courant (tableau 3.2)

TABLEAU 3.2 – Type de commutation en fonction du sens du courant I_S (figure 3.41)

Cas	Typ. front tension V_{dsh}	Typ. front tension V_{dsb}	Type de commutation
$I_S > 0$	montant	descendant	douce
$I_S > 0$	descendant	montant	dure
$I_S < 0$	montant	descendant	dure
$I_S < 0$	descendant	montant	douce

3.4.3 Synthèse sur le comportement électrique dynamique (carte 2)

Nous avons pu observer dans cette partie les améliorations réalisées par rapport à la première génération de cartes donnant des oscillogrammes moins perturbés. Nous avons modifié la topologie de la carte de contrôle pour générer des tensions de commande de transistor mieux adaptées à leur fonctionnement. Ceci a permis d’obtenir des temps de commutation plus rapide (12 V/ns) que pour la première génération de cartes (2 V/ns). Cette durée peut être encore améliorée : des tests (non présentés ici) nous ont permis d’obtenir des temps de commutation de 23 V/ns. Cette performance est acquise au détriment d’un pic de courant de grille trop important (> 4 A) qui provoque des pertes dans le circuit de commande et qui pourrait amener à son dysfonctionnement. Pour atteindre cette durée de commutation il serait préférable de se tourner vers une commande en courant tout en respectant les limites de tension de grille du transistor (+6 V et -5 V).

L’inductance de charge a été construite afin de minimiser les capacités interspires, ce qui a fourni un comportement inductif jusqu’à des fréquences supérieures au mégahertz. Cette inductance a donné lieu à des courants moins perturbés que pour les essais sur la première génération de cartes, nous permettant une bonne interprétation des courbes.

Nous avons pu observer trois comportements particuliers du bras d'onduleur selon les durées de temps morts appliquées. Le front montant de la tension V_{ch} n'est pas affecté par cette durée. tm_1 (temps mort avant le front montant où la tension est inverse) correspond à la durée de temps mort donnée par la commande. Dans notre cas ($I_{ch} > 0$), nous pouvons donc annuler ce temps mort en configurant tm_1 proche de 0. La durée du temps mort tm_2 change essentiellement le comportement de V_{ch} durant son front descendant :

- lorsque la durée du temps mort est supérieure à l'optimum nous avons une décharge totale de la capacité C_{ds} puis une période où la tension V_{ch} est la tension inverse du transistor GaN pour une commande de blocage de 0 V,
- lorsque la durée du temps mort est égale à l'optimum l'amorçage de T_b se fait juste au moment où V_{ch} atteint 0 V, il n'y a donc plus de période où la tension est inverse aux bornes du transistor,
- lorsque la durée du temps mort est inférieure à l'optimum la décharge de la capacité C_{ds} n'a pas le temps de se faire entièrement avant l'amorçage de T_b . Le reste de l'énergie restant dans la capacité C_{ds} se dissipe dans le canal du transistor.

Les comportements des transistors vis-à-vis de la durée des temps morts conduit à l'existence de pertes. Nous devons les caractériser pour connaître leurs valeurs et leur évolution par rapport à la commande des transistors. La prochaine partie est consacrée à une caractérisation électrothermique des composants GaN dans l'objectif d'évaluer ces pertes par commutation.

3.5 Caractérisation électrothermique

Les facteurs de mérite concernant le GaN ont été présenté dans l'introduction. La capacité du GaN à avoir un bon comportement vis-à-vis des pertes est donnée par les facteurs de Baliga, BFM et BHFM valant 650 et 77,8 respectivement dans le cas du semi-conducteur GaN (tableau 2-page 11). Ceux-ci ont une valeur bien plus grande que les semi-conducteurs Si, SiC ou GaAs et dénotent donc une prédisposition de ce semi-conducteur à produire peu de pertes. Cette faculté peut aussi s'observer dans les temps de commutation rapides comme nous avons pu le constater dans la partie précédente. La littérature le démontre également [76, 85–87]. Toutes ces observations doivent être confirmées par la réalisation de mesures de pertes dans le transistor.

Après avoir rappelé les deux principales méthodes pour mesurer les pertes dans un com-

posant, nous détaillerons la méthode calorimétrique que nous avons choisi de mettre en œuvre. Nous observons ensuite l'analyse d'une instrumentation adaptée à la mesure de ces pertes. Cette étude mène à une correspondance entre la température de l'instrumentation de mesure et les pertes émises des composants GaN ce qui permet de les quantifier par l'intermédiaire d'une mesure de température. Des simulations 2D et 3D viennent également appuyer cette analyse.

Nous observerons l'évolution des pertes des composants GaN en fonction de plusieurs paramètres tels que la fréquence et la durée des temps morts. Cela donnera lieu à des discussions sur le choix de l'implantation de ces composants et viendra confirmer l'optimum montré dans la partie précédente.

3.5.1 Méthodologie de mesure des pertes

Méthode électrique

Mesurer les pertes dans un convertisseur à haut rendement n'est pas une tâche aisée. La méthode voltampèremétrique consiste à mesurer les pertes par une mesure courant-tension à l'entrée et à la sortie du convertisseur pour remonter aux pertes émises par le composant, ou directement mesurer le courant et la tension aux bornes du composants [68]. Les pentes de tension et de courant ne permettent pas d'avoir simplement des résultats fiables pour les composants hautes fréquences car il faut un équipement coûteux (oscilloscope rapide) ainsi que des sondes ayant soit un retard nul, soit le même retard entre elles, ou être capable de connaître ce retard et de le compenser. En effet, le moindre retard entre les deux sondes provoque immédiatement une erreur non négligeable sur la mesure des pertes.

Méthode calorimétrique

La méthode calorimétrique consiste à mesurer l'élévation de la température provoquée par les pertes dans le transistor entre deux points localisés dans l'espace ou dans le temps. La mesure peut se réaliser grâce à une enceinte isolée thermiquement de l'extérieur contenant la source émettant des pertes à mesurer (mesures localisées dans l'espace) ou à l'aide d'un matériau conducteur de chaleur accolé à la source de perte permettant de drainer thermiquement les pertes au cours d'une durée précise (mesures localisées dans le temps). Elle permet une bonne précision et est fiable car elle ne met en jeu qu'une seule mesure, à savoir une mesure de

température [68]. De plus, il n'est pas besoin d'effectuer une mesure rapide souvent mise en œuvre par un appareil de mesure coûteux. Naturellement cette méthode n'est pas exempte de défaut :

- la mesure se faisant par le biais d'une température, il faut connaître avec précision comment est réalisé le transfert d'énergie entre la source de perte et le matériau,
- il faut pouvoir engendrer des pertes constantes pendant une durée suffisamment longue sinon aucune mesure ne peut être réalisée,
- les pertes doivent être contrôlées sinon cela provoque une montée en température trop rapide qui amène des perturbation sur la mesures,
- nous n'avons que l'information de température, il est donc impossible de dissocier pertes en conduction et pertes en commutation. Cependant, des méthodes existent associant plusieurs mesures permettant de décorréler chacune de ces pertes comme des mesures à des fréquences et des charges associées différentes,
- si deux composants sont trop proches (cellule de commutation), nous ne pouvons pas dissocier les pertes de chacun des composants, nous sommes obligés de considérer la somme des pertes, ce qui a du sens dans le cadre de l'étude d'une cellule de commutation.

L'enceinte thermique est utilisée généralement pour mesurer les pertes de l'ensemble d'un convertisseur de puissance (circuit de commande et circuit de puissance). Ne voulant nous focaliser que sur les pertes liées à la cellule de commutation nous avons choisi d'utiliser un matériau accolé aux transistors pour capter l'échauffement de la cellule de commutation.

Choix de la structure d'instrumentation thermique

Plusieurs contraintes sont liées au choix et à l'emplacement de cette instrumentation. Le matériau sera placé sur le dessus des composants. Effectivement, les résistances thermiques données par EPC montrent une forte conductivité thermique entre la jonction du transistor et le substrat silicium (tableau 3.3) [37]. La structure de drainage thermique choisie est cylindrique car elle permet de réduire la complexité de la modélisation thermique par éléments finis en autorisant des simulations axisymétriques moins coûteuses en temps de calcul. De plus sa modélisation est analytiquement simple. Pour le matériau, nous nous sommes portés sur de l'aluminium car il est d'une part facile à usiner ce qui permet d'avoir des dimensions précises et d'autre part il allie une forte capacité thermique et une faible résistance thermique.

TABLEAU 3.3 – Résistances thermiques données par EPC pour les transistors GaN de référence EPC2010

Résistance thermique	Symbole	Valeur
entre la jonction et le silicium (dessus) du composant	$R_{th_{jc}}$	2,4 K/W
entre la jonction et les contacts (dessous) du composant	$R_{th_{jb}}$	16 K/W
entre la jonction et les côtés	$R_{th_{ja}}$	56 K/W

Les dimensions sont restreintes par les dimensions de la carte et l'emplacement des transistors. Ces derniers doivent être proches l'un de l'autre pour minimiser l'inductance parasite (figure 3.42). Nous avons choisi un cylindre d'un diamètre de 1,1 cm.

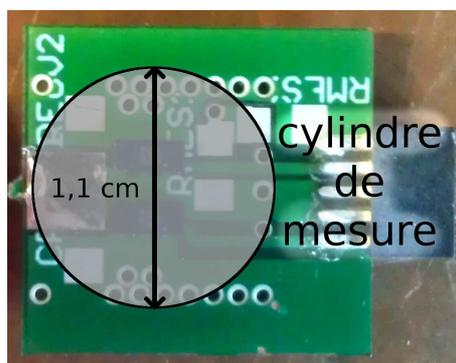


FIGURE 3.42 – Emplacement du cylindre sur les transistors GaN

3.5.2 Modèle analytique du dispositif de mesure thermique

La figure 3.43 représente la structure étudiée avec un transistor GaN monté sur PCB et un cylindre en aluminium posé par dessus. Une couche de carbone est nécessaire pour assurer un bon contact thermique entre les deux matériaux.

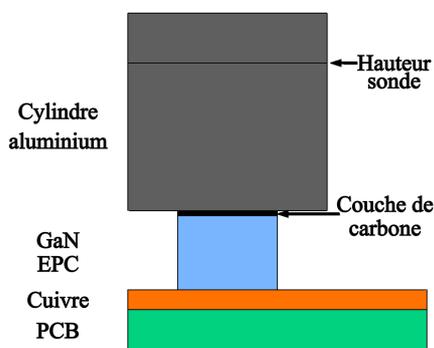


FIGURE 3.43 – Structure thermique étudiée (cylindre + eGaN-FET + circuit imprimé)

La résistance thermique étant la plus faible vers le dessus du transistor, l'essentiel du flux thermique se propagera à travers le cylindre. Il est donc important de connaître les chemins que peut emprunter ce flux afin d'avoir une mesure fiable des pertes.

Plusieurs paramètres sont à déterminer :

- le diamètre : il est déterminé par rapport aux dimensions de la carte et l'emplacement des transistors,
- la hauteur du cylindre,
- la position de la mesure : définie par calcul,
- le temps de mesure.

L'étude du comportement thermique d'une structure fait appel à 3 mécanismes de transfert :

- la conduction qui est le mode de transfert de chaleur existant dans un milieu donné sans qu'il y ait de déplacement apparent de matière. Elle ne peut exister sans gradient de température,
- la convection qui est basé sur le fait qu'il y a un déplacement de la matière (fluide, gaz). Ce déplacement est dû à des gradients de pression et de température,
- le rayonnement qui ne dépend pas d'un gradient de température mais de son niveau absolu.

Le flux thermique émis par rayonnement est donné par l'équation (3.2). ε vaut 0,05 dans le cas de l'aluminium poli sans revêtement ce qui donne un flux par unité de surface environ égal à 40 W.m^{-2} dans le pire des cas. La surface du cylindre sera de l'ordre de quelques dizaines de cm^2 , ce flux thermique peut donc être négligé par rapport aux flux provenant de la convection.

$$\Phi_{ray} = \varepsilon S \sigma T^4 \quad (3.2)$$

Avec :

Φ_{ray}	Flux thermique par rayonnement [W]
ε	Pouvoir émissif
σ	Constante de Stefan $\sigma = 5,67.10^{-8} \text{ W.m}^{-2}.K^{-4}$
T	Température [K]

La convection est un mécanisme de transfert difficilement maîtrisable car dépendant de l'environnement où se trouve la structure d'instrumentation thermique. Il faut donc chercher le protocole de mesure adéquat pour pouvoir la négliger. Néanmoins, nous pourrions l'estimer par simulation.

La modélisation se fera dans un premier temps sans prendre en compte les effets convectifs pour connaître le protocole de mesure pour l'estimation des pertes puis, dans un second temps, nous les rajouterons afin d'établir les règles permettant de les négliger. Nous nous servirons de la simulation thermique 3D pour déterminer les dimensions manquantes lors de la modélisation analytique avec les effets convectifs.

Modèle analytique d'un cylindre sans prise en compte des effets convectifs et radiatifs

Le cylindre est décomposé en deux parties délimitées par la zone de prise de température grâce à une sonde (figure 3.44). Le flux de chaleur (φ) est réparti sur toute la surface de la base du cylindre. Les différents éléments ainsi que les formules sont données dans le tableau 3.4. T_S et H_S représentent respectivement la température que voit la sonde et la hauteur de la position de la sonde.

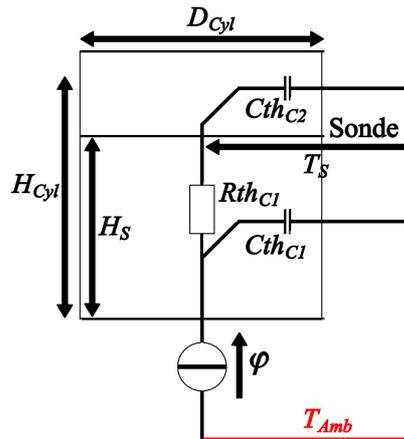


FIGURE 3.44 – Modélisation thermique d'un cylindre vertical sans les effets convectifs et radiatifs

L'équation différentielle (3.3) relie φ à T_S avec les différents éléments du modèle. C'est une équation du second ordre, cela implique une tangente initiale nulle entraînant un retard de mesure. Ce retard peut être vu comme une erreur de mesure s'estompant avec le temps.

$$\varphi = Rth_{C1}Cth_{C1}Cth_{C2} \frac{d^2 (T_S(t) - T_{amb})}{dt^2} + (Cth_{C1} + Cth_{C2}) \frac{d (T_S(t) - T_{amb})}{dt} \quad (3.3)$$

TABLEAU 3.4 – Éléments composant le modèle thermique du cylindre d'aluminium

Désignation	Symbole	Formule
Résistance thermique entre la source de puissance et la sonde de température	Rth_{C1}	$\frac{1}{\lambda_{alu}} \frac{4H_S}{\pi D_{Cyl}^2} \quad \left[\frac{K}{W} \right]$
Capacité thermique de la partie basse du cylindre (avant la sonde)	Cth_{C1}	$\frac{H_S D_{Cyl}^2}{4} \rho_{palu} C_{palu} \quad \left[\frac{J}{K} \right]$
Capacité thermique de la partie haute du cylindre (après la sonde)	Cth_{C2}	$\frac{(H_{Cyl} - H_S) D_{Cyl}^2}{4} \rho_{palu} C_{palu} \quad \left[\frac{J}{K} \right]$

λ_{alu} Conductivité de l'aluminium : $237 W.m^{-1}.K^{-1}$

ρ_{alu} Masse volumique de l'aluminium : $2700 kg.m^{-3}$

C_{palu} Capacité thermique massique de l'aluminium : $0,897 J.g^{-1}.K^{-1}$

L'équation (3.4) donne le comportement temporel de la température observée par la sonde pour un flux imposé à la base du cylindre. La première partie de l'équation est due au retard qu'engendre Cth_{C1} , la seconde partie est l'évolution linéaire de la température au point de la sonde. L'équation (3.5) fait apparaître ce retard avec τ_{ret} . Elle est tracée à la figure 3.45, nous pouvons remarquer que le retard décale la courbe sur l'axe du temps, s'il est trop grand il faudra le soustraire des mesures prises (lignes en pointillé).

$$T_S(t) - T_{amb} = \frac{Rth_{C1} Cth_{C1} Cth_{C2}}{(Cth_{C1} + Cth_{C2})^2} \left(e^{-\frac{Cth_{C1} + Cth_{C2}}{Rth_{C1} Cth_{C1} Cth_{C2}} t} - 1 \right) + \frac{\varphi}{Cth_{C1} + Cth_{C2}} t \quad (3.4)$$

$$\Delta T = T_S(t) - T_{amb} = \underbrace{\frac{\tau_{ret}}{Cth_{C1} + Cth_{C2}} \left(e^{-\frac{t}{\tau_{ret}}} - 1 \right)}_{\text{Retard}} + \underbrace{\frac{\varphi}{Cth_{C1} + Cth_{C2}} t}_{\text{Mesure}} \quad (3.5)$$

$$\tau_{ret} = \frac{Rth_{C1} Cth_{C1} Cth_{C2}}{Cth_{C1} + Cth_{C2}} = \frac{\rho_{alu} C_{palu} H_S (H_{Cyl} - H_S)}{\lambda_{alu} H_{Cyl}}$$

$$\tau_{ret} = \frac{\rho_{alu} C_{palu}}{\lambda_{alu}} H_{Cyl} \cdot x(1-x) \text{ avec } x = \frac{H_S}{H_{Cyl}} \quad (3.6)$$

$$\tau_{retMAX} = \frac{\rho_{alu} C_{palu}}{\lambda_{alu}} H_{Cyl} \cdot 0,5 \quad (3.7)$$

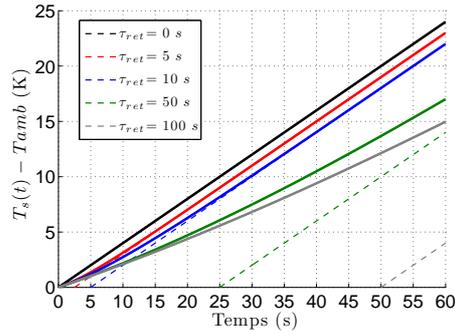


FIGURE 3.45 – Différence de température en fonction du temps pour plusieurs τ_{ret} avec $\varphi = 1 W$ et $Cth_{C1} + Cth_{C2} = 5 J.K^{-1}$

Pour définir ce retard en fonction des paramètres physiques nous utilisons les formules données au tableau 3.4 (voir équation (3.6)). Nous pouvons remarquer trois caractéristiques :

- le retard τ_{ret} n'est pas fonction du diamètre du cylindre,
- quand nous prenons $H_S = xH_{Cyl}$ avec $0 < x < 1$ nous constatons qu'il y a un retard maximum si nous positionnons la sonde au milieu du cylindre (équation (3.7)),
- dans ces conditions (pas de convection) la mesure a le même retard qu'elle soit très proche ou très éloignée de la source de flux.

Cette analyse nous permet d'émettre deux conditions sur la structure et sur la mesure. La première est que la mesure ne doit être prise immédiatement sous peine d'avoir une erreur importante. La mesure devra être prise à plus de $t_{mes} = 3\tau_{ret}$ pour être valable, ce qui signifie que $t_{mes} \propto 3H_{Cyl}$: plus le cylindre sera haut plus la température devra être mesurée sur une longue durée. La seconde concerne la partie linéaire de la courbe nous donnant la différence de température maximale atteinte en fonction des pertes maximales que nous voulons mesurer et de la durée de la mesure (équation (3.8)). Ce coefficient nous donne le compromis à faire entre l'ordre de grandeur des pertes que nous voulons mesurer et les dimensions de la structure. Dans notre cas, nous nous limiterons à un $\Delta T_{MAX} < 30 K$.

$$\Delta T_{MAX} = \frac{\varphi_{MAX}}{Cth_{C1} + Cth_{C2}} t_{MAX} = \frac{4\varphi_{MAX} t_{MAX}}{H_{Cyl} D_{Cyl}^2 \rho_{alu} C_{palu}} \quad (3.8)$$

Prise en compte des effets convectifs

La modélisation précédente correspond à l'objectif à atteindre pour obtenir une mesure de la température, donc des pertes, en minimisant l'erreur. Pour vérifier si nous pouvons négliger les effets convectifs, il faut modéliser la même structure en les prenant en compte. Ces effets ont été discrétisés et rajoutés par zone (figure 3.46). Rth_{convC1} , Rth_{convC2} et $Rth_{convhC2}$ correspondent respectivement à la résistance de convection de la partie basse du cylindre, à la résistance de

convection de la partie haute du cylindre, et à la résistance de convection du dessus du cylindre.

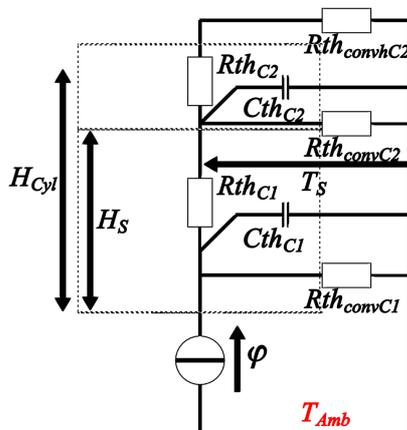


FIGURE 3.46 – Modélisation thermique d’un cylindre vertical avec les effets convectifs

Nous souhaitons réduire le plus possible les effets convectifs pour une erreur minimale sur la mesure. Dans notre cas et avec cette représentation, il faut satisfaire les conditions suivantes :

- $R_{th_{convC1}} \gg R_{th_{C1}}$: cela permet d’avoir un maximum de flux se dirigeant vers la sonde.
- $R_{th_{convC2}}$ et $R_{th_{C2}} + R_{th_{convhC2}}$ très grandes pour pouvoir se ramener au cas sans convection.

Le tableau 3.5 donne les coefficients de convection pour des surfaces dissipant verticalement ou horizontalement, la dernière colonne donne les équations dans le cas d’un cylindre. En associant ces formules avec celles des résistances de conduction, nous pouvons lier les conditions énoncées ci-dessus aux paramètres physiques de la structure.

Nous pouvons associer le modèle thermique du composant et du cylindre au circuit imprimé (figure 3.47). La figure 3.47a représente le modèle complet, en prenant les effets convectifs de chaque élément. La figure 3.47b donne un modèle sans les résistances présentant une valeur importante pour un $\Delta T < 30$.

L’équation (3.9) exprime la condition qu’il faut satisfaire pour que le flux passe majoritairement par la résistance $R_{th_{C1}}$. Il ne faut donc pas un diamètre trop petit car cela accroît plus vite la résistance de conduction que la résistance de convection. L’équation (3.10) donne

TABLEAU 3.5 – Effets convectifs en fonction de l'orientation de la surface de convection [88]

Orientation de la paroi	Coefficient de convection ($W.m^{-2}.K^{-1}$)	Dans le cas d'un cylindre de diamètre D_{Cyl} et de hauteur H	Exemple : $D_{Cyl} = 1.1 cm,$ $H = 5 cm,$ $\Delta T = 30 K$
Plaque verticale dont la hauteur est inférieure à 30 cm (ou cylindre vertical)	$h_c = 1,42 \left(\frac{\Delta T}{H}\right)^{\frac{1}{4}}$	$Rth_{conv} = \frac{1}{1,42 D_{Cyl} \pi H^{\frac{3}{4}} \Delta T^{\frac{1}{4}}}$	82 $K.W^{-1}$
Plaque horizontal dissipant vers le haut	$h_c = 1,32 \left(\frac{\Delta T}{L}\right)^{\frac{1}{4}}$	$Rth_{conv} = \frac{4}{1,32 D_{Cyl}^{\frac{7}{4}} \pi \Delta T^{\frac{1}{4}}}$	276 $K.W^{-1}$
Plaque horizontal dissipant vers le bas	$h_c = 0,66 \left(\frac{\Delta T}{L}\right)^{\frac{1}{4}}$	$Rth_{conv} = \frac{4}{0,66 D_{Cyl}^{\frac{7}{4}} \pi \Delta T^{\frac{1}{4}}}$	552 $K.W^{-1}$

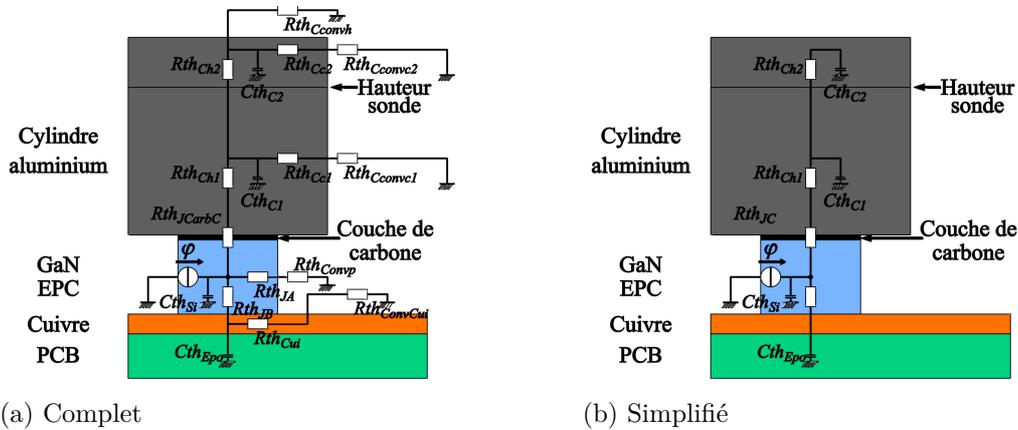


FIGURE 3.47 – Modèle thermique

la condition sur la hauteur de la sonde par rapport à un $\Delta T = 30 K$. Pour respecter cette condition, nous ne positionnerons pas la sonde au-dessus de 4 cm.

$$Rth_{convC1} \gg Rth_{C1} \rightarrow \frac{H_S^{\frac{7}{4}} \Delta T^{\frac{1}{4}}}{\lambda_{alu} D_{Cyl}} \ll \frac{1}{5,68} \quad (3.9)$$

$$H_S \ll \left(\frac{1}{5,68} \frac{\lambda_{alu} D_{Cyl}}{\Delta T^{\frac{1}{4}}} \right)^{\frac{4}{7}} = \left(\frac{1}{5,68} \frac{237.1, 1.10^{-2}}{30^{\frac{1}{4}}} \right)^{\frac{4}{7}} = 39,4 \text{ cm} \quad (3.10)$$

Ces analyses montrent les conditions géométriques qu'il faut remplir pour obtenir une mesure avec une erreur minimale. En réalisant une première estimation, nous trouvons $Rth_{C1} \approx 1 K.W^{-1}$. Pour négliger les résistances thermiques de convection, il faut qu'elles aient un facteur 100 avec Rth_{C1} , or pour une hauteur de 5 cm nous avons calculé $Rth_{conv} = 82 K.W^{-1}$. La hauteur du cylindre devra être inférieure à 5 cm. Le tableau 3.6 résume les conditions à obtenir pour négliger les effets convectifs du cylindre. Pour confirmer cette analyse nous avons mis en place des simulations numériques afin de prédéterminer la thermique de cette structure.

Pour minimiser les effets convectifs nous aurions pu calorifuger le cylindre, ceci n'a pas été possible dans ce cas car une mesure de tension proche des transistors (contre le cylindre) était nécessaire pour synchroniser la durée de la mesure thermique avec celle de la mise en commutation des transistors.

TABLEAU 3.6 – Récapitulatif des conditions sur les dimensions de la structure d'instrumentation thermique

Symbole	Conditions
D_{Cyl}	$= 1,1 \text{ cm}$
H_S	$< 4 \text{ cm}$
H_{Cyl}	$< 5 \text{ cm}$

3.5.3 Simulation de la structure d'instrumentation thermique

Simulation en 2D

Dans un premier temps, une simulation 2D axisymétrique sous COMSOL a été réalisée pour des raisons de rapidité de résolution (figure 3.48). Le modèle 2D simplifié nous permet d'observer les effets de convection en fonction des dimensions du cylindre et d'optimiser ces dimensions avant sa fabrication. Cette simulation commence par un échelon de 1 W au niveau du composant pendant 2 minutes puis plus aucune pertes pendant 1 minute.

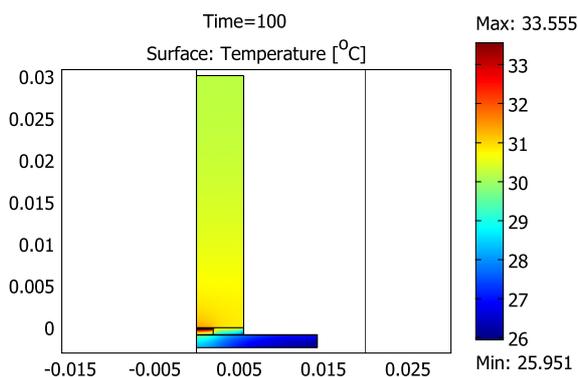


FIGURE 3.48 – Cartographie de la température de la structure pour une simulation axisymétrique 2D à $t = 100 \text{ s}$

La cartographie montre une élévation de la température plus faible de l'époxy que du cylindre, indiquant que le flux passe plus facilement par le dessus du transistor du fait du cylindre que par ses contacts électriques.

Les simulations ont été réalisées pour différentes hauteurs de cylindre pour observer l'évolution du flux convectif par rapport à ce paramètre, d'après les conditions vues dans la partie précédente nous avons limité cette étude à une hauteur inférieure à 5 cm. La figure 3.49 présente ces résultats pour trois hauteurs. Nous pouvons remarquer que plus la hauteur est grande par rapport au rayon du cylindre, plus le flux convectif est négligeable.

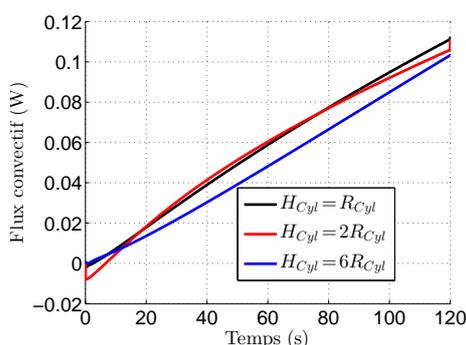


FIGURE 3.49 – Flux convectif en fonction du temps pour différentes hauteurs de cylindre

Par rapport à ces résultats, nous avons décidé de réaliser un cylindre avec une hauteur d'environ 6 fois la dimension de son rayon. La hauteur sera donc de 3 cm ce qui assure les conditions sur la hauteur du cylindre et la position de la sonde de température. Cette sonde aura un retard maximum si elle est située au milieu de la hauteur du cylindre, nous avons donc décidé de la placer aux 3/4 de la hauteur du cylindre ($0,75.H_{Cyl} = 2,25\text{ cm}$).

Simulation en 3D

La simulation 3D (figure 3.50) donne des résultats s'accordant plus avec la structure réelle car elle prend en compte les formes différentes de chaque partie (forme cylindrique pour la partie aluminium, pavé droit pour le transistor et la carte). Afin de se rapprocher au mieux des tests, la cavité pour la sonde a été simulée pour voir si ce changement dans la structure modifie les résultats de simulation. La structure ayant une symétrie axiale, seule une moitié est simulée [89]. Malgré cela, la simulation 3D prend environ 50 fois plus de temps que la simulation 2D si nous mettons les mêmes paramètres de pas de calcul et de temps réel à simuler.

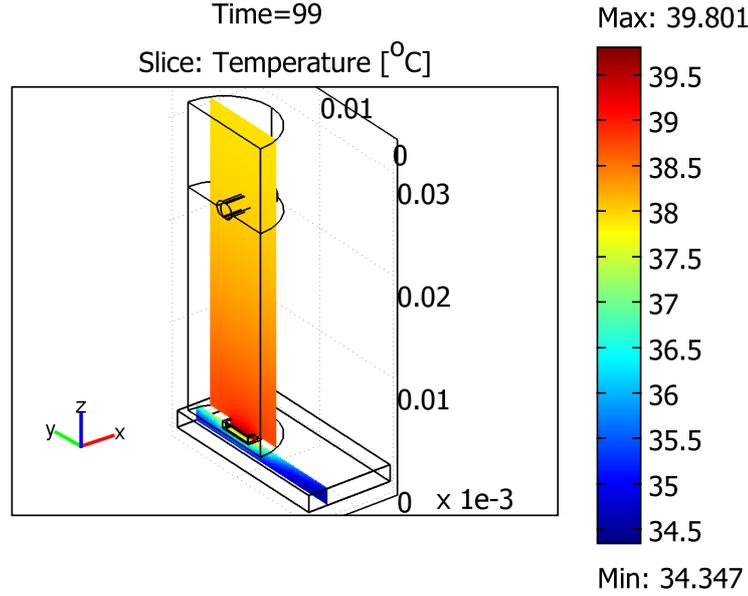


FIGURE 3.50 – Cartographie de la température de la structure pour une simulation 3D à $t = 99 \text{ s}$

Estimation de l'erreur de mesure

Le modèle analytique nous aide à retrouver le flux thermique représentatif des pertes dans le composant. L'équation (3.11) donne le flux thermique en négligeant le retard de mesure. Cette formule nous permet de définir l'erreur relative à l'équation (3.12). Pour vérifier les mesures du cylindre après sa fabrication nous avons utilisé un pied à coulisse donnant une précision de 0,1 mm. Nous pouvons calculer l'erreur relative faite sur les dimensions, comme le montre l'équation (3.13), l'erreur relative sur le flux thermique est déjà proche de 1 %. À celle-ci, nous devons rajouter l'erreur relative faite sur les propriétés thermiques de l'aluminium (capacité thermique massique, masse volumique) qui ne sont pas connues ainsi que celle faite sur la mesure de la température par l'intermédiaire d'une sonde pt100.

$$\Delta T = \frac{\varphi}{Cth_{C1} + Cth_{C2}} t \rightarrow \varphi = \Delta T \frac{Cth_{C1} + Cth_{C2}}{t} \quad (3.11)$$

$$\frac{\Delta \varphi}{\varphi} = \frac{\Delta(\Delta T)}{\Delta T} + \frac{\Delta H_S}{H_S} + 2 \frac{\Delta D_{Cyl}}{D_{Cyl}} + \varepsilon_{prop_th_alu} \quad (3.12)$$

$$\frac{\Delta \varphi}{\varphi} = \frac{\Delta(\Delta T)}{\Delta T} + 0,45 \% + 0,46 \% + \varepsilon_{prop_th_alu} \quad (3.13)$$

$\varepsilon_{prop_th_alu}$ Erreur sur les propriétés thermiques de l'aluminium

Les erreurs relatives correspondantes aux dimensions et aux propriétés physiques de la

structure peuvent être minimisées par une étape de calibration qui fournira un coefficient entre ΔT et φ pour une durée donnée. Cela nous aidera à établir une erreur relative, qui sera connue, en fonction des précisions de l'appareillage utilisé pour la calibration.

Nous avons réalisé l'analyse de cette structure pour déterminer les dimensions nécessaires permettant la réalisation d'une mesure calorimétrique avec une erreur minimale, elles sont résumées au tableau 3.7. Pour ce faire nous avons démontré que nous pouvions ne considérer qu'un mécanisme de transfert de chaleur (la conduction) si nous établissons un protocole de mesure satisfaisant des conditions sur les dimensions de la structure et la durée de mesure. Nous nous sommes aidés de simulation 2D et 3D afin connaître les dimensions finales de la structure. Nous avons aussi estimé l'erreur relative sur l'estimation du flux thermique correspondant aux pertes à ce niveau en montrant qu'une étape de calibration doit être réalisée afin d'en avoir une bonne connaissance et la minimiser.

TABLEAU 3.7 – Récapitulatif des dimensions choisies pour la structure d'instrumentation thermique

Hauteur du cylindre	Hauteur de la sonde de température	Diamètre du cylindre
3 cm	2,25 cm	1,1 cm

Les simulations 3D nous aideront dans l'étape de calibration du cylindre que nous aborderons dans la prochaine partie. Nous simulerons l'échauffement de la structure à plusieurs puissances et nous les comparerons à des mesures réalisées aux mêmes puissances. Nous pourrions ainsi observer si les courbes temporelles de température mesurées et simulées sont corrélées nous donnant une information sur l'erreur relative faite.

3.5.4 Mesures des pertes d'une cellule de commutation

Les mesures servent à évaluer les pertes émises par le bras de pont lors de diverses configurations dans certaines limites afin de ne pas casser de composants. Néanmoins une phase de calibration est nécessaire pour valider la méthode calorimétrique utilisée [90] et déterminer l'erreur relative de la mesure.

Calibration

La calibration s'effectue grâce à une source de courant (Keithley 6220 DC) et une résistance au carbone plate de la même superficie que celle des deux transistors (figure 3.51). Les résistances au carbone ont un coefficient thermique faible ($\alpha_{Carb} = -0,0005 K^{-1}$), cela permet une variation de résistance négligeable, donc une puissance générée fixe [90]. La résistance pt100 servant à connaître la température est placée dans une cavité au centre du cylindre à la hauteur H_S . Afin de visualiser l'évolution de la température, la mesure de cette résistance se fait en fonction du temps par l'intermédiaire de la mesure de la tension à ses bornes avec un oscilloscope Lecroy (HRO 12-bits). Nous injectons un courant de 10 mA, donnant une tension proche du volt, pendant 120 s et nous prenons la mesure de l'élévation de la température au bout de 30 s. Le tableau 3.8 représente les erreurs des appareils servant à la calibration avec le calibre choisi. Les équations (3.14) et (3.15) nous fournissent le calcul de l'erreur sur la mesure de la température. Nous pouvons donc mesurer une température au dixième de degré de précision.



FIGURE 3.51 – Vue d'une résistance montée en surface

TABLEAU 3.8 – Spécification des appareils utilisés pour la calibration

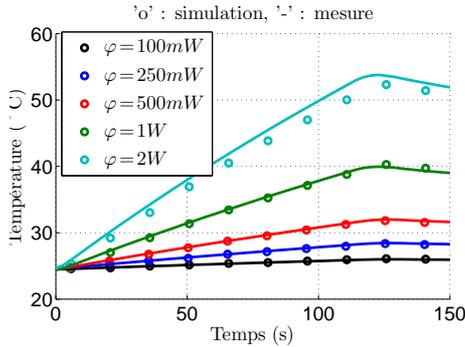
Appareils	Calibre	Résolution	Bruit	Erreur de température	Erreur absolue
Source de courant (6220 DC)	20 mA	1 μ A	2 μ A	700 nA	3,70 μA
Oscilloscope Lecroy (HRO)	80 mV	19,5 μ V	400 μ V	-	420 μV

$$\frac{\Delta(\Delta T)}{\Delta T} = \frac{\Delta I_S}{I_S} + \frac{\Delta(\Delta V_T)}{\Delta V_T} + \frac{\Delta R_{pt100}}{R_{pt100}} \quad (3.14)$$

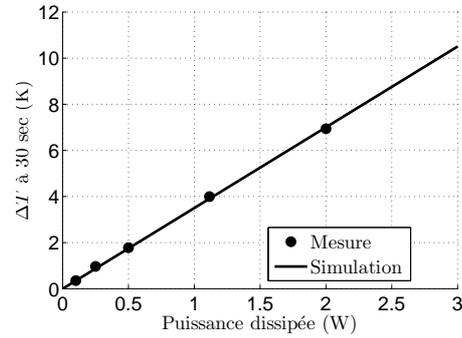
$$\frac{\Delta(\Delta T)}{\Delta T} = \frac{3,7 \mu A}{10 mA} + \frac{0,420 mV}{40 mV} + \frac{0,01 \Omega}{110 \Omega} = 0,1 \% \quad (3.15)$$

- ΔI_S Erreur absolue de la source de courant
- I_S Courant injecté dans la résistance
- $\Delta(\Delta V_T)$ Erreur absolue sur la mesure de tension aux bornes de la résistance
- ΔV_T Différence de tension mesurée entre $t = 0 s$ et $t = 30 s$
- $\frac{\Delta R_{pt100}}{R_{pt100}}$ Erreur relative de la conversion résistance PT100/température

Nous avons réalisé plusieurs mesures avec des puissances injectées allant de 100 mW à 2 W. La figure 3.52a présente les résultats dans cette plage de puissance pour la mesure et pour la simulation. Nous observons que pour des puissances inférieures à 2 W il y a une très bonne corrélation, même pour une durée de 120 s. Pour 2 W, une divergence apparaît augmentant avec le temps, elle reste dans la marge d'erreur estimée.



(a) Évolution de la température en fonction du temps pour différentes puissances en simulation et mesure



(b) Différence de température (ΔT) en fonction de la puissance dissipée

FIGURE 3.52 – Calibration du cylindre d'aluminium

Nous limitons le temps de mesure à 30 s afin d'avoir la possibilité de mesurer des pertes supérieures à 2 W sans avoir un ΔT supérieure à 30 K. Ces courbes nous permettent de calculer un coefficient directeur (α_{p30}) mettant en relation la différence de température mesurée entre $t = 0$ et $t = 30 s$ (ΔT) et les pertes émises par la cellule de commutation, cette relation est donnée par l'équation (3.16). L'erreur relative de cette mesure est donnée par les équations (3.13) et (3.15), elle nous limitera à une mesure des pertes avec une précision de 1 %. Le coefficient

directeur est montré par la courbe à la figure 3.52b, nous observons que la droite passe par 0 ce qui valide cette calibration.

$$p = \alpha_{p30} \Delta T \quad (3.16)$$

α_{p30} Coefficient directeur de la droite reliant les pertes à ΔT

p Pertes de la résistance de calibration

Effet des temps morts sur les pertes dans la cellule de commutation

Le chronogramme (figure 3.53) représente les principales étapes de l'évolution de la tension aux bornes de la charge avec les deux temps morts pouvant être réglés indépendamment l'un de l'autre. Nous pouvons observer la décharge du condensateur parasite (C_{ds}) dure une partie non négligeable du temps mort tm_1 comme nous l'avons vu dans la partie 3.4.2.

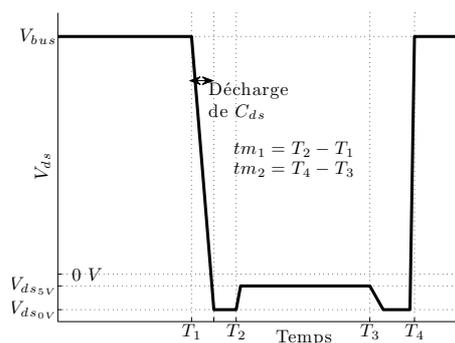


FIGURE 3.53 – Chronogramme de la tension V_{ds} aux bornes du eGaN-FET du bas

Plusieurs tests ont été effectués sur l'influence des temps morts, un par rapport à la fréquence, les autres par rapport aux durées respectives. Ces tests sont réalisés en prenant un rapport cyclique de 0,5.

Étude des caractéristiques en fonction de la fréquence de commutation

Conditions d'essai :

$V_{bus} = 100 V$	$R_{g_h} = 10 \Omega$	$tm_1 = 150 ns$
$\langle I_{ch} \rangle = 2 A$	$R_{g_b} = 10 \Omega$	$tm_2 = 150 ns$

La figure 3.54 montre l'évolution de la température en fonction du temps pour chaque fréquence testée (figure 3.54a) et les pertes calculées à partir de ces courbes (figure 3.54b).

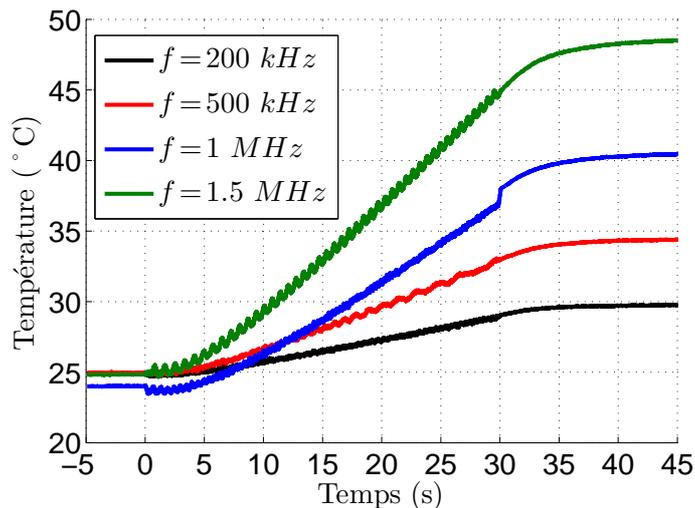
Sur la figure 3.54a la température évolue linéairement avec un retard au début (vu dans la modélisation analytique). La mesure de la température est perturbée par les commutations hautes fréquences. Afin de ne pas dégrader cette mesure nous la prenons juste après la dernière commutation (à $t = 30 s + \varepsilon$). Ces mesures sont reportées sur la figure 3.54b. Cette droite montre bien les pertes linéaires en fonction de la fréquence de commutation des transistors. Si nous extrapolons la droite jusqu'à 0 Hz nous pouvons en déduire les pertes en conduction pour ces conditions. Elles équivalent à 500 mW.

En fonction des temps morts

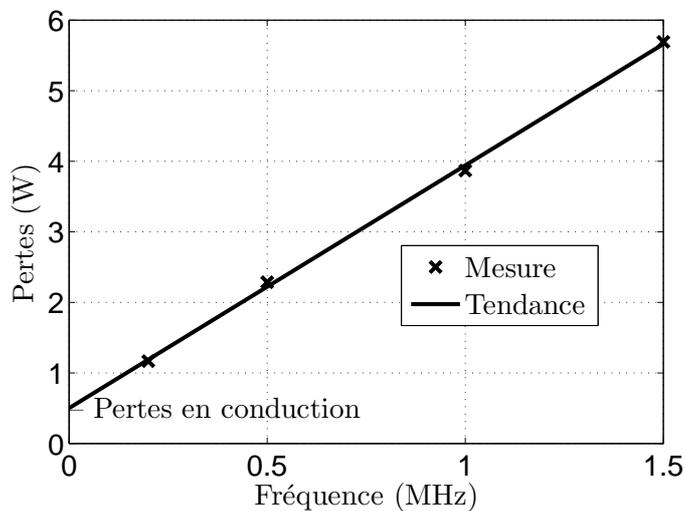
Conditions d'essai :

$V_{bus} = 100 V$	$R_{g_h} = 10 \Omega$	Fréq. commut. = 1 MHz
$\langle I_{ch} \rangle = 1 A$	$R_{g_b} = 10 \Omega$	$R_{ch} = 47 \Omega$

Nous avons fait plusieurs tests en changeant indépendamment les temps morts (figure 3.55). Nous avons commencé par le temps mort tm_1 (figure 3.55a) en fixant tm_2 à 125 ns, tm_1 est significatif car cette période contient le laps de temps où le condensateur se décharge, il est donc intéressant de voir l'évolution des pertes lorsque nous diminuons le temps mort au delà de la limite de décharge.

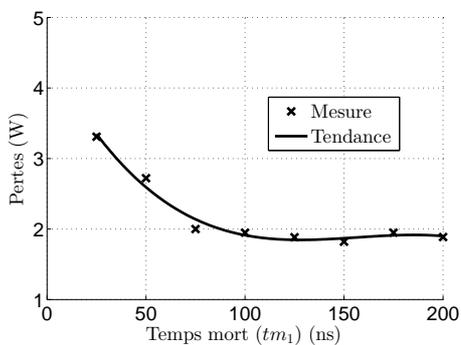


(a) Température en fonction du temps

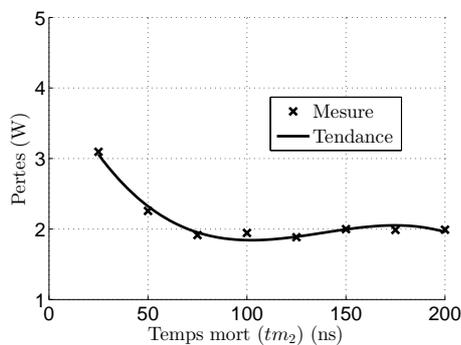


(b) Pertes en fonction de la fréquence

FIGURE 3.54 – Mesures des pertes pour différentes fréquences



(a) tm_1 variable et $tm_2 = 125$ ns



(b) tm_2 variable et $tm_1 = 125$ ns

FIGURE 3.55 – Pertes en fonction des temps morts

Le temps de décharge du condensateur pour un courant de charge de 1 A est mesuré et vaut environ 75 ns. La figure 3.55a montre les pertes en fonction de tm_1 , nous pouvons la décomposer en deux parties :

- $tm_1 > 75 \text{ ns}$: les pertes sont « constantes » (nous verrons plus tard qu'elles évoluent légèrement) et valent environ 2 W,
- $tm_1 < 75 \text{ ns}$: les pertes croissent rapidement (cela sera expliqué dans la prochaine partie).

La figure 3.55b représente l'évolution des pertes en fonction de tm_2 pour tm_1 fixé à 125 ns. Nous pouvons observer les mêmes phases que pour la figure précédente or ces pertes ne devraient pas augmenter lors des temps morts inférieurs à 75 ns, nous verrons dans la prochaine partie quel phénomène provoque cette accroissement des pertes.

3.5.5 Synthèse sur la caractérisation électrothermique

Les semi-conducteurs GaN montrent par l'intermédiaire de facteurs de mérite élevés une prédisposition à produire peu de perte par rapport aux autres semi-conducteurs. Nous avons pu apercevoir cette aptitude sur les transistors GaN d'EPC notamment au moyen de leurs faibles résistances à l'état passant et de temps de commutation courts.

Afin de caractériser les pertes dans une cellule de commutation nous avons mis en place une méthode calorimétrique permettant de les drainer dans une structure d'instrumentation thermique de forme cylindrique. Pour choisir les dimensions adéquates dans le but de réaliser une mesure minimisant les erreurs nous avons modélisé cette structure en tenant compte des trois mécanismes de transfert de chaleur. Nous avons tout d'abord réalisé un modèle analytique sans prendre en compte les effets convectifs et radiatif car cette configuration est celle recherchée pour effectuer la mesure de pertes : les effets convectifs sont mal maîtrisables car dépendantes de l'environnement entourant la structure et les effets radiatifs sont négligeable, par rapport au matériau choisi (aluminium). Le modèle analytique nous a aidé à démontrer le retard qui existe entre l'émission des pertes et la montée en température de la structure cylindrique. Il nous a permis de mettre en évidence la relation linéaire qu'il y avait entre une différence de température mesurée durant une période et les pertes émises pour une durée limitée.

Nous avons ensuite modélisé la même structure avec les effets convectifs pour observer

leur importance et connaître les conditions sur les dimensions du cylindre afin de pouvoir les négliger. Cette étude nous a permis de déterminer ces conditions afin de simplifier le modèle thermique de la structure. Pour fixer les dimensions nous nous sommes aidés de simulations 2D et 3D qui ont montrées des effets convectifs négligeables pour des pertes de l'ordre du watt. Grâce à ces simulations nous avons pu choisir les dimensions du cylindre et estimer l'erreur relative faite sur les pertes.

Les mesures ont commencé par une étape de calibration permettant d'avoir une erreur minimale mais surtout connue. Cette étape a donné lieu au calcul d'un coefficient reliant directement la différence de température mesurée sur une période de mise en commutation du bras d'onduleur et les pertes émises.

Nous avons réalisé des tests en fonction de plusieurs paramètres. Les mesures de perte en fonction de la fréquence ont montré une courbe linéaire correspondant à des évolutions « classique » des pertes dans un transistor MOSFET. Nous avons ensuite procédé à des essais en commutation en gardant une durée de temps mort fixe, et en faisant varier l'autre. Les mesures des pertes de la cellule de commutation dans ces conditions ont fait apparaître deux courbes au comportement identique mais provoquées par des phénomènes différents. Pour tm_1 (durée du temps mort où se situe la décharge de la capacité C_{ds} du transistor du bas) les pertes atteignent un minimum lorsque la durée du temps mort dépasse la durée optimale. En-dessous de l'optimum les pertes augmentent dues à la décharge de l'énergie de la capacité dans le canal du transistor GaN provoquant des pertes. Pour tm_2 nous avons un comportement similaire, or cette durée de temps mort ne court-circuite pas de décharge d'énergie. Ce comportement sera expliqué dans le prochain chapitre.

3.6 Conclusion

Ce chapitre nous a permis de caractériser un composant GaN d'EPC d'un point de vue électrique et électrothermique. Nous avons montré les caractéristiques générales de cette gamme de composant et surtout sa tension de commande qui est limitée à +6/-5 V. Cette particularité induit la réalisation d'une commande dédiée à ce composant, les circuits de commande disponible sur le marché sont optimisés pour la commande des MOSFET silicium ayant en général une commande en +/- 15 V.

Nous avons vu dans la première partie sa caractérisation statique à température ambiante. Celle-ci a montré une résistance à l'état passant de 22 mΩ dans le cas du transistor EPC 2010 lorsque le transistor était commandé avec une tension $V_{gs} = 5\text{ V}$. Cette résistance permet à ce type de transistor de produire des pertes faibles en conduction. La caractérisation statique a donné lieu à l'explication de son comportement lorsque la tension V_{ds} était inverse confirmant qu'aucune diode ne se trouve associée à ce composant mais qu'il avait un comportement symétrique et donc qu'il était capable de conduire un courant inverse sous une faible tension lorsqu'il était commandé. Cette faculté est avantageuse pour l'élaboration d'un convertisseur de puissance à redressement synchrone haut rendement.

La caractérisation électrique statique du composant en température a expliqué de quelle façon évolue sa résistance à l'état passant. Nous avons pu apercevoir un facteur 3 sur celle-ci quand la température passait de 50 °C à 150 °C. Nous avons pu aussi voir que la température affectée le comportement en conduction inverse du transistor.

La mesure de ses capacités intrinsèques ont démontré ses aptitudes à travailler à haute fréquence avec des temps de commutation réduits tout en étant immunisé contre les fortes variations de tension de drain. Ce composant permettra une bonne intégration des convertisseurs de puissance en assurant des composants passifs autour moins volumineux.

La seconde partie de ce chapitre a mis en place la caractérisation en commutation des transistors GaN grâce à la réalisation de deux générations de cartes d'essai au sein du laboratoire SATIE. La première génération de carte a servi à approcher le comportement en commutation d'une cellule de commutation avec des composants GaN, nous avons pu observer sa rapidité de commutation et les problèmes qu'elle engendrait en provoquant des surtensions dues à l'inductance de maille amenant la tension aux bornes de la charge au double de la tension de bus. Nous avons montré l'impact de son comportement en conduction inverse en dynamique induisant une tension inverse en fonction de la tension V_{gs} appliquée lors du blocage du transistor, ceci faisant le lien avec son comportement électrique statique.

Ces problèmes ont amené à la fabrication d'une seconde génération de cartes réalisée avec des règles de routage des pistes cuivres sur PCB et des règles de conception pour les minimiser. La carte de commande a été conçue en utilisant la technique de bootstrap qui a aidé à la réalisation d'une carte de plus faible dimension que la première carte de commande en réduisant le nombre de convertisseur DC/DC pour la commande. Cette carte a ajouté des réglages

supplémentaire au niveau de la durée des temps permettant une précision à la nanoseconde. La fabrication d'une inductance minimisant les capacités interspires a permis d'obtenir des mesures moins bruitées à causes de celles-ci. Ces efforts de conception ont réduit, lors du front montant de la tension V_{ch} , la surtension à 3 % et ont accordé des variations de tension de 12 V/ns avec un maximum à 23 V/ns. La commande des transistors se faisant en 0/5 V, elle a réduit la tension inverse lors des temps morts à -2,5 V au lieu des -7 V mesurées sur la première génération de carte.

Les mesures se sont concentrées sur l'impact de la durée des temps morts par rapport au front descendant de la tension V_{ch} et donc au temps de décharge de la capacité parasite C_{ds} du transistor du bas. Nous avons observé des comportements différents que la durée soit plus grande, égale ou plus petite que cette durée de décharge. Cette observation a amené une notion de pertes et a un besoin de les connaître.

La dernière partie du chapitre s'est axée sur la caractérisation électrothermique de la cellule de commutation afin d'estimer les pertes par rapport à diverses conditions de fonctionnement. Nous avons réalisé la modélisation d'une structure d'instrumentation thermique afin d'établir des conditions sur ses dimensions géométrique puis de les fixer. Cette étude a permis de déterminer un protocole de mesure minimisant l'erreur faite sur les pertes mesurées. Les résultats de mesures ont permis d'observer la correspondance faite avec la durée de temps mort optimale vue dans la partie 3.4.2 mais aussi des augmentations de perte non expliquables à ce point.

Ces caractérisation nous ont aidé à comprendre le fonctionnement du composant mais certaines grandeurs sont inaccessibles sans modifier le comportement de la cellule de commutation. Le courant dans un des deux composants est un exemple, la mesure nous obligerait à rajouter un élément potentiellement inductif qui alternerait la commutation du bras d'onduleur. Il faut donc procéder à des simulations pour accéder à ses grandeurs. Le prochain chapitre aborde la simulation des cartes d'essai, ces simulations nous apporterons des informations et des explications sur les phénomènes mis à contribution dans une cellule de commutation du point de vue électrique et thermique grâce à la visualisation de courants et de tensions non réalisable sur les cartes d'essai.

Chapitre 4

Modélisation–simulation électrique et thermique d’une cellule de commutation GaN

Nous avons pu analyser le comportement d’une cellule de commutation GaN grâce aux mesures réalisées au chapitre précédent. Elles nous ont aidé à comprendre comment les transistors réagissaient par rapport à la stratégie de commande mise en place. Néanmoins, elles ne permettent pas d’obtenir toutes les informations nécessaires pour expliquer les comportements que nous avons pu observer au chapitre précédent. Les cartes d’essai ont une structure de convertisseur figée et donc n’autorisent pas à changer la configuration de câblage des transistors pour tester d’autres types de convertisseur de puissance.

Ces considérations amènent un besoin de modélisation du comportement électrique et thermique du transistor. Cela nous donnera la possibilité de prendre des mesures de courant ou de tension inaccessibles comme les courants traversant le transistor difficilement mesurables sans perturber la cellule de commutation. Ces modélisations nous autoriseront à simuler d’autres topologies de convertisseur de puissance qu’un bras d’onduleur. De plus, nous pourrions observer le comportement des transistors lors de stratégies de commande qui pourraient amener à une casse du composant lors de tests réels (commande avec une durée de temps mort proche de 0 par exemple).

Le chapitre commence par la présentation d'un modèle électrique du composant GaN d'EPC. Nous explicitons les éléments du modèle et nous donnons des simulations statiques qui sont corrélées avec les caractérisations électriques statiques réalisées au chapitre précédent à température ambiante et variable. Nous poursuivons une modélisation des deux générations de carte d'essai en partant de mesures fréquentielles d'impédance effectuées par l'intermédiaire d'un analyseur d'impédance.

Toutes ces modélisations sont regroupées dans une modélisation globale de la structure de la première génération de carte nous permettant de corréler mesures et résultats de simulation. Cela donne lieu à des discussions sur la précision de ce premier modèle. Nous expliquons les phénomènes observés lors des mesures évoquées au chapitre précédent et pourrons en donner la cause ainsi que les éléments électriques mis en jeu. Les problèmes abordés serviront à mettre en place des règles de routage et de conception pour la seconde génération de carte d'essai.

Nous modélisons cette seconde génération par le même procédé de mesure d'impédance. Nous mettons en regard mesures et simulations et montrons que les efforts de conception réalisés pour cette seconde génération nous permettent d'obtenir une meilleure corrélation, celle-ci validant la modélisation électrique du transistor GaN.

Nous terminons par la modélisation électrothermique du composant GaN en rajoutant modèle de perte. Cette source nous permet de constater le même comportement que lors des essais électrothermiques et, de ce fait, fournit une explication sur l'origine de ces pertes. Cette partie validera la modélisation électrothermique du composant.

Enfin nous simulons la seconde génération de carte pour plusieurs stratégies de commande ce qui montre l'évolution des pertes en fonction de la durée des temps morts par rapport à la puissance transmise à la charge.

4.1 **Modèle électrique du transistor GaN d'EPC**

EPC fournit un modèle de ses composants basé sur le modèle comportemental de Statz (voir à la partie 1.2.3) [37]. Il reprend tous les éléments de ce modèle et il lui ajoute des résistances aidant à la convergence (en rouge sur la figure 4.1).

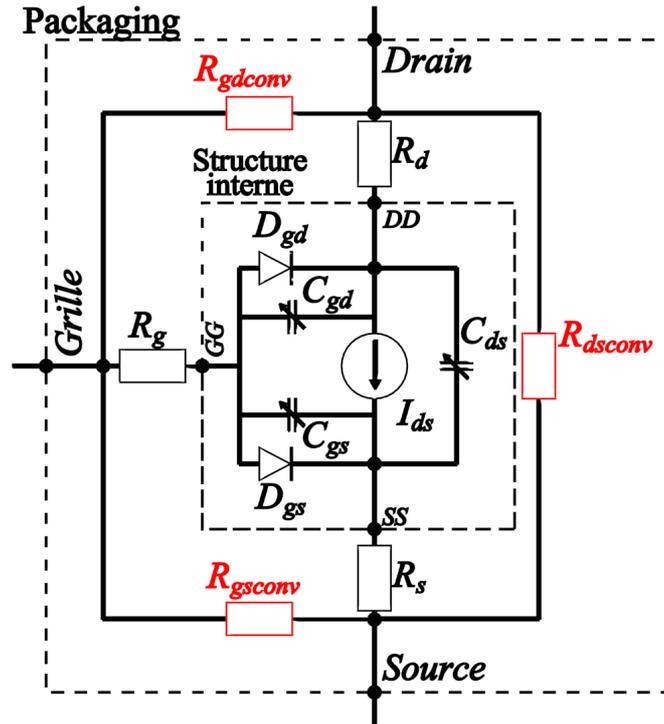


FIGURE 4.1 – Modèle du transistor eGaN-FET de EPC

Le modèle est constitué de deux zones : la structure interne incluant les éléments pour le comportement statique (source de courant, diodes Schottky) et dynamiques (capacités variables). Les équations du modèle sont établies avec les tensions internes du transistor V_{ddss} , V_{ggss} et V_{ggdd} entre les points DD–SS, GG–SS, et GG–DD respectivement. Le zone « packaging » fournit les résistances d'accès entre les bumps et la structure interne du transistor GaN. Chaque élément a une fonction propre permettant de se rapprocher le plus précisément du fonctionnement des eGaN-FETs. Le tableau 4.1 donne un récapitulatif des valeurs des paramètres utilisés dans les différentes équations. Ils sont définis dans le modèle fourni par EPC. Le nom de ces paramètres est commun à l'élément l'utilisant : dgs pour les diodes Schottky, ags pour le condensateur C_{gs} , agd pour le condensateur C_{gd} et asd pour le condensateur C_{sd} . La fonction de ces paramètres sera donnée lors de la présentation des équations du modèle que nous allons détailler ci-après. Dans ce modèle, I_{ds} et les résistances R_s , R_d dépendent de la température.

4.1.1 Source de courant I_{ds}

La source de courant a pour rôle de représenter le comportement statique du canal du transistor tant en conduction directe qu'en inverse. Pour ce faire, elle est établie en fonction de deux équations : une lorsque la tension V_{ds} est supérieure à 0 V et une autre le cas échéant.

TABLEAU 4.1 – Valeurs numériques du modèle fourni par EPC

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
aWg	599	ags_1	$4,66.10^{-10}$	asd_3	$-1,32.10^1$
$A1$	15,5	ags_2	$2,85.10^{-10}$	asd_4	1.84
k_2	2,2	ags_3	1.68	asd_5	$2,13.10^{-10}$
k_3	0,16	ags_4	$2,43.10^{-1}$	asd_6	$-4,43.10^1$
r_{para}	0,014	ags_5	$-7,84.10^{-11}$	asd_7	$3,06.10^1$
$aITc$	0,0019	ags_6	-3,3	a_t	1
$arTc$	0,0072	ags_7	6,05	b_t	-25
$x0_0$	0,31	agd_1	$1,05.10^{-11}$		
$x0_1$	0,255	agd_2	$1,09.10^{-10}$		
dgs_1	$4,3.10^{-7}$	agd_3	-3,08		
dgs_2	$2,6.10^{-13}$	agd_4	5,25		
dgs_3	0,8	asd_1	$2,28.10^{-10}$		
dgs_4	0,23	asd_2	$4,78.10^{-10}$		

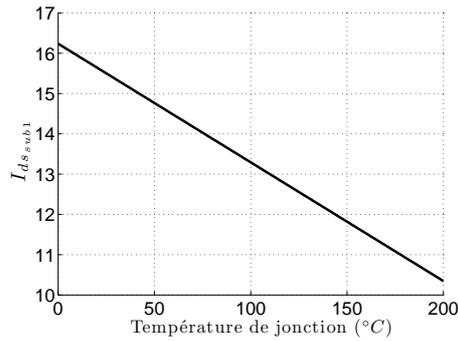
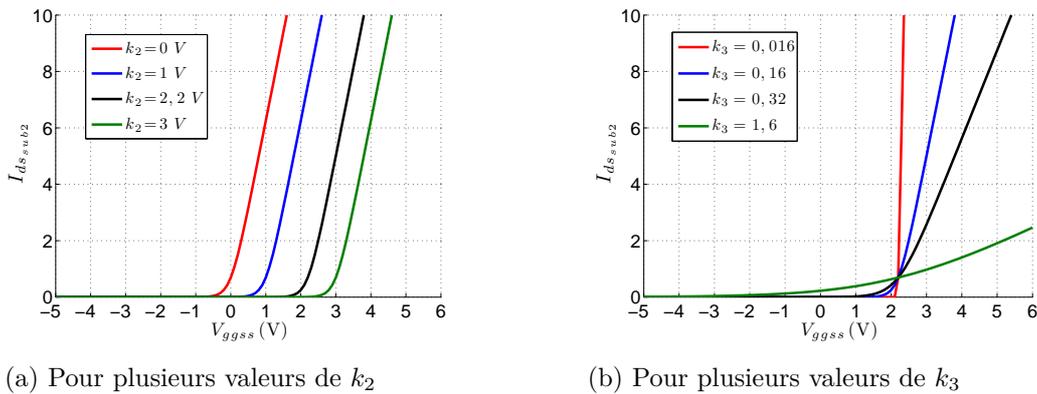
$$I_{ds} = \underbrace{A1(1 - aITc(T_j + bt))}_{I_{ds_{sub1}}} \cdot \underbrace{\ln\left(1 + e^{\frac{V_{ggs} - k_2}{k_3}}\right)}_{I_{ds_{sub2}}} \cdot \underbrace{\frac{V_{dss}}{1 + \max(x0_0 + x0_1 V_{ggs}, 0, 2)V_{dss}}}_{I_{ds_{sub3}}} \quad (4.1)$$

Avec :

- $A1$ Coefficient d'amplification du courant
- $aITc$ Coefficient de température
- T_j Température au niveau de la jonction [$^{\circ}C$]
- bt Offset de température [$^{\circ}C$]
- k_2 Tension de seuil [V]
- k_3 Coefficient directeur de la partie linéaire de $I_{ds_{sub2}}$ (après la tension de seuil)
- $\max(val1, val2)$ Fonction donnant la valeur maximale entre val1 et val2

L'équation (4.1) gère le cas où $V_{ds} > 0$ V. Elle peut se décomposer en trois termes dépendants de paramètre spécifiques :

- $I_{ds_{sub1}}$: ce terme permet de diminuer le gain linéairement en fonction de la température de jonction du transistor (figure 4.2). Ceci permet de simuler l'augmentation de la résistance de canal du composant GaN.
- $I_{ds_{sub2}}$: ce terme agit par rapport à la tension V_{ggs} appliquée. Il permet de paramétrer la tension de seuil grâce à k_2 (figure 4.3a) et la pente de la partie linéaire en modifiant k_3 (figure 4.3b).


 FIGURE 4.2 – Gain $I_{ds_{sub1}}$ en fonction de la température de jonction du transistor

 (a) Pour plusieurs valeurs de k_2

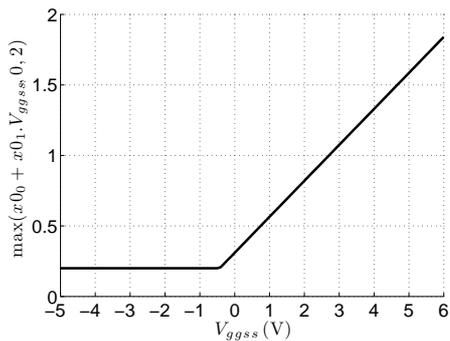
 (b) Pour plusieurs valeurs de k_3

 FIGURE 4.3 – Gain $I_{ds_{sub2}}$ en fonction de la tension V_{gs}

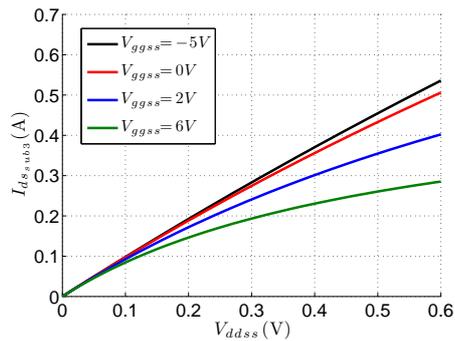
- $I_{ds_{sub3}}$: ce terme utilise la fonction « max » pour garder son dénominateur supérieur à 1 ce qui évite les divergences du modèle qui pourraient être causées par une division impliquant une valeur égale ou proche de 0 (figure 4.4a). Il permet d’obtenir des courbes s’applatissant avec l’augmentation des tensions V_{dss} et V_{gss} comme nous pouvons l’observer sur la figure 4.4b. Plus V_{gss} est grand plus cet aplatissement débute à des tensions V_{dss} proche de 0. Cet effet aide à prendre en compte la saturation du courant dans le canal lorsque la tension V_{dss} croît. x_{00} et x_{01} contrôlent l’importance de cet aplatissement comme le montre la figure 4.5a sur laquelle nous avons tracé le courant de drain en fonction de la tension V_{dss} pour trois valeurs de x_{01} .

Ces trois termes ($I_{ds_{sub1}}$, $I_{ds_{sub2}}$, $I_{ds_{sub3}}$) multipliés établissent un modèle comportemental du canal en fonction des tensions internes V_{dss} et V_{gss} et nous donnent la caractéristique $I_{ds}(V_{ds})$ correspondant à la figure 4.5b.

Lorsque $V_{dss} \leq 0$, la source de courant est définie par l’équation (4.2) qui cette fois-ci prend en référence la tension entre grille et drain (V_{gdd}). En effet, comme il a été vu dans la

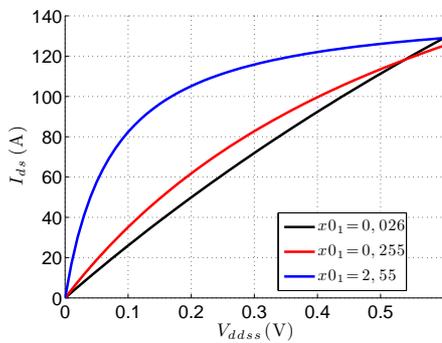


(a) Représentation de la fonction $\max(x_0 + x_{01} \cdot V_{ggs}, 0, 2)$ en fonction de V_{gs}

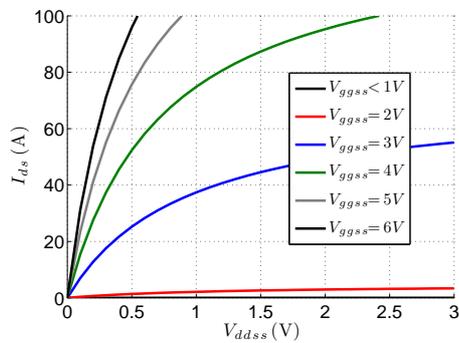


(b) I_{ds} en fonction de la tension V_{ds}

FIGURE 4.4 – Étude de $I_{ds_{sub3}}$



(a) Pour plusieurs valeurs de x_{01}



(b) Pour plusieurs tension V_{gs}

FIGURE 4.5 – I_{ds} en fonction de la tension V_{ds}

partie 3.2.1 le comportement du transistor est symétrique en fonction du signe de la tension, les paramètres restent les mêmes. L'équation est dorénavant fonction de la tension entre source et drain (V_{ssdd}). Le signe négatif autorise le courant à circuler dans l'autre sens.

$$I_{ds} = -A1 (1 - aITc(T_j + bt)) \cdot \ln \left(1 + e^{\frac{V_{ggdd} - k_2}{k_3}} \right) \frac{V_{ssdd}}{1 + \max(x_0 + x_{01} V_{ggs}, 0, 2) V_{ssdd}} \quad (4.2)$$

4.1.2 Capacité C_{sd}

$$C_{sd} = \underbrace{asd_2 \frac{e^{\frac{V_{ssdd} - asd_3}{asd_4}}}{1 + e^{\frac{V_{ssdd} - asd_3}{asd_4}}}}_{C_{sd_{sub1}}} + \underbrace{asd_5 \frac{e^{\frac{V_{ssdd} - asd_6}{asd_7}}}{1 + e^{\frac{V_{ssdd} - asd_6}{asd_7}}}}_{C_{sd_{sub2}}} + \underbrace{asd_1}_{C_{sd_{sub3}}} \quad (4.3)$$

$$Q_{sd} = \int C_{sd}.du = asd_2.asd_4. \ln \left(1 + e^{\frac{V_{ssdd} - asd_3}{asd_4}} \right) + asd_5.asd_7. \ln \left(1 + e^{\frac{V_{ssdd} - asd_6}{asd_7}} \right) + asd_1.V_{ssdd} \quad (4.4)$$

Avec :

- asd_2, asd_5 Valeurs des capacités avant la variation [F]
- asd_1 Valeur de la capacité restant fixe [F]
- asd_3, asd_6 Tension de seuil où se produit la variation [V]
- asd_4, asd_7 Coefficient de la pente de la variation

La capacité C_{sd} (*connectée entre la source et le drain*) est modélisée de façon comportementale par une fonction donnée par l'équation (4.3). Elle est constituée de trois termes correspondant à trois capacités mises en parallèles. Les deux premiers termes ($C_{sd_{sub1}}$ et $C_{sd_{sub2}}$) font varier leurs valeurs de capacité entre deux valeurs par rapport à une tension de seuil. Si nous prenons l'exemple de $C_{sd_{sub1}}$ (figure 4.6) nous pouvons voir qu'elle dépend de trois variables :

- asd_2 définit la valeur initiale de la capacité (figure 4.6a),
- asd_3 est la tension de seuil où se produit la variation partant de asd_2 jusqu'à 0, $C_{sd_{sub1}}(asd_3) = asd_2/2$ (figure 4.6a),
- asd_4 permet de régler la pente de variation : plus asd_4 sera élevé, plus la pente sera faible (figure 4.6b).

Il en est de même pour $C_{sd_{sub2}}$. Ces deux premiers termes permettent de faire varier la capacité autour de deux tensions V_{ddss} de 13 et 44 V (voir tableau 4.1) pour $C_{sd_{sub1}}$ et $C_{sd_{sub2}}$ respectivement. Le dernier terme $C_{sd_{sub3}}$ correspond à la capacité constante minimale entre drain et source.

Les trois termes ($C_{sd_{sub1}}, C_{sd_{sub2}}, C_{sd_{sub3}}$) définissent en fonction de V_{ddss} la courbe présentée à la figure 4.7. Nous pouvons observer une variation brutale pour la première tension de seuil (13,2 V) et une variation plus douce pour la seconde tension. La capacité C_{sd} n'étant pas

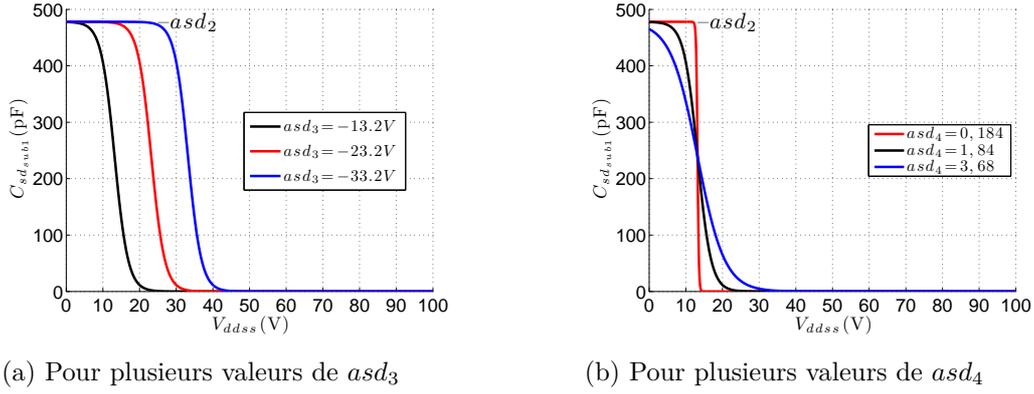


FIGURE 4.6 – $C_{sd,sub1}$ en fonction de la tension V_{ddss}

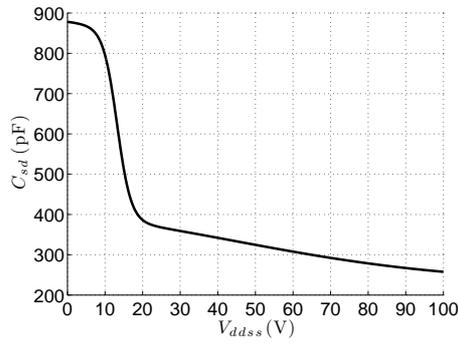


FIGURE 4.7 – Capacité C_{sd} en fonction de la tension V_{ddss}

constante il est préférable de la simuler par rapport à sa quantité de charge stockée Q_{sd} pour éviter les problèmes de discontinuité de charge qui amèneraient à des divergences lors de la simulation [91]. L'équation (4.4) donne l'expression nécessaire à la simulation.

4.1.3 Capacité C_{gd}

La capacité C_{gd} est modélisée par la même fonction que C_{sd} , elle est fonction de V_{ggdd} , sa quantité de charge stockée a pour expression l'équation (4.5). C_{gd} varie faiblement à basse tension et atteint rapidement son minimum (agd_1).

$$Q_{gd} = 0,5 \cdot ags_2 \cdot ags_4 \cdot \ln \left(1 + e^{\frac{V_{ggdd} - ags_3}{ags_4}} \right) + agd_2 \cdot agd_4 \cdot \ln \left(1 + e^{\frac{V_{ggdd} - agd_3}{agd_4}} \right) + agd_1 \cdot V_{ggdd} \quad (4.5)$$

4.1.4 Capacité C_{gs}

La capacité C_{gs} utilise également les fonctions détaillées précédemment. Contrairement aux capacités C_{sd} et C_{gd} , la capacité C_{gs} varie en fonction de V_{ddss} et V_{ggss} . L'expression de sa charge est donnée par l'équation (4.6). C_{gs} varie à basse tension (comme C_{gd}) jusqu'à son minimum (ags_1).

$$Q_{gs} = 0,5.ags_2.ags_4. \ln \left(1 + e^{\frac{V_{ggss} - asd_3}{asd_4}} \right) + ags_5.ags_7. \ln \left(1 + e^{\frac{V_{ssdd} - ags_6}{ags_7}} \right) + ags_1.V_{ggss} \quad (4.6)$$

4.1.5 Diode Schottky D_{gs} et D_{gd}

$$I_D = 0,5. \frac{aWg}{1077} \left(\underbrace{dgs_1 \left(e^{\frac{V_D}{dgs_3}} - 1 \right)}_{I_{D_{sub1}}} + \underbrace{dgs_2 \left(e^{\frac{V_D}{dgs_4}} - 1 \right)}_{I_{D_{sub2}}} \right) \quad (4.7)$$

$V_D = V_{ggss}$ pour $I_{D_{gs}}$ et $V_D = V_{ggdd}$ pour $I_{D_{gd}}$

Avec :

- dgs_1, dgs_2 Terme appliqué à la fonction produisant la courbe de modélisation
- dgs_3, dgs_4 Tension de seuil de la diode [10^{-1} V]

Ces diodes permettent de modéliser le contact Schottky créé entre le contact de la grille et la couche AlGaN. Elles sont identifiées par une fonction commune aux deux diodes D_{gs} et D_{gd} entre grille et source et entre grille et drain respectivement qui est présentée par l'équation (4.7). Cette fonction contient deux termes ($I_{D_{sub1}}, I_{D_{sub2}}$) qui sont réglables par rapport aux valeurs des dgs_x . Si nous prenons $I_{D_{sub1}}$ comme exemple, dgs_3 change la tension de seuil (figure 4.8a) et dgs_1 donne le gain de la sous-fonction.

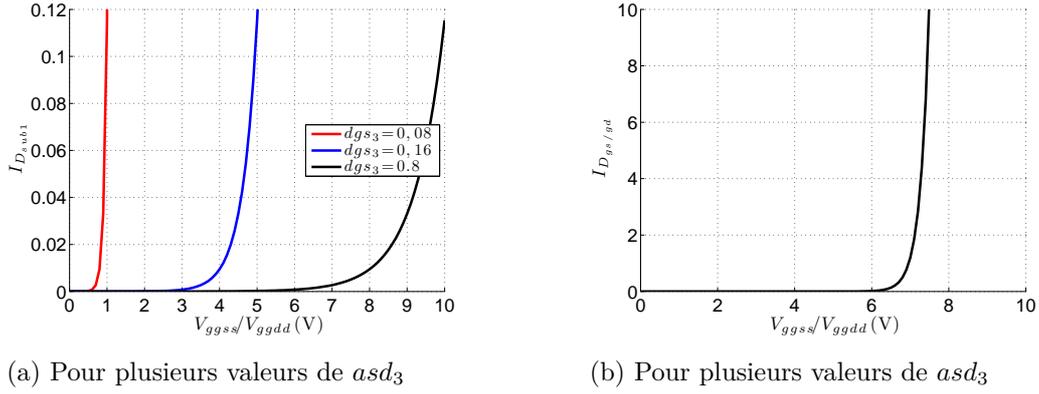


FIGURE 4.8 – Étude du courant traversant les diodes représentant le contact Schottky de la grille

La courbe présentée à la figure 4.8b présente l'évolution de l'équation (4.7) pour une tension comprise entre 0 et 10 V. Le modèle du transistor limite cette tension à 10 V.

4.1.6 Résistances d'accès

$$R_d = 0,75.r_{para} (1 - arTc(t_j.a_t + b_t)) \quad (4.8)$$

$$R_s = 0,25.r_{para} (1 - arTc(t_j.a_t + b_t)) \quad (4.9)$$

$$R_g = 0,6 \Omega \quad (4.10)$$

Avec :

r_{para} Résistance entre drain et source [Ω]

$arTc$ Coefficient de température pour les résistances d'accès

Les résistances R_d et R_s sont fonction de la température du composant GaN, elles sont un pourcentage de r_{para} répartie entre l'accès au drain (0,75) et à la source (0,25). La résistance R_g est fixe. Elles sont données par les équations (4.8) à (4.10).

4.1.7 Résistances de convergence

Comparé au modèle de Statz classique, 3 résistances (R_{dsconv} , R_{gsconv} et R_{gdconv}) de très fortes valeurs ($> 100 M\Omega$) ont été rajoutées en parallèle des 3 capacités parasites. Elles sont préconisées pour aider à la convergence du modèle lors des simulations [92]. Ces résistances correspondent à des courant d'environ 100 nA provoquant des erreurs relatives négligeables.

4.1.8 Simulations statiques

Pour vérifier le bon fonctionnement du modèle, des simulations statiques ont été réalisées dans les mêmes conditions que les caractérisations effectuées avec le traceur B1505A.

La figure 4.9 présente les comparaisons entre mesures et simulations en conduction directe pour différentes tensions de grille à température ambiante (figure 4.9a) et à 100°C (figure 4.9b). Nous pouvons observer une très bonne corrélation en ce qui concerne la conduction directe. En ce qui concerne la conduction inverse (figure 4.10) quelques erreurs par rapport à la mesure sont observables mais restent mineures.

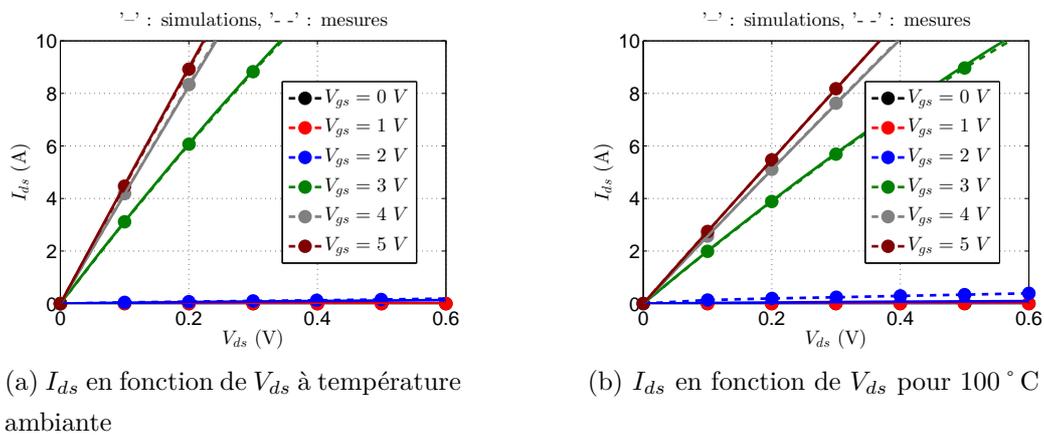


FIGURE 4.9 – Comparaison entre mesures et simulations en conduction directe

La figure 4.11 présente la simulation des capacités intrinsèques du composant avec les valeurs des paramètres fournies par EPC, par comparaison avec des mesures en fonction de la tension appliquée à ses bornes. C_{ds} et C_{gs} présentent une erreur relative en basse tension en dessous de 20 V.

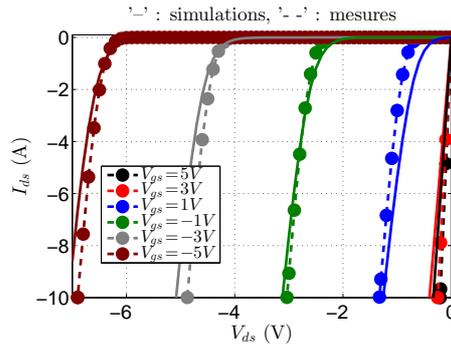


FIGURE 4.10 – I_{ds} en fonction de V_{ds} à température ambiante en conduction inverse

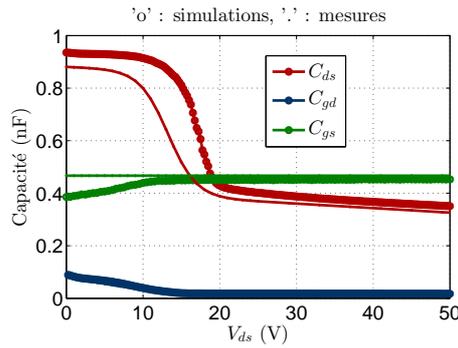


FIGURE 4.11 – Capacités en fonction de la tension V_{ds} , simulations et mesures

Ces mesures permettent une première validation du modèle, lequel va être utilisé dans le modèle complet de la première version de carte d'essais que nous présentons dans la partie suivante.

4.2 Simulation de la première génération de carte d'essai

4.2.1 Modèle de la structure

La structure est rappelée à la figure 4.12. Pour la modélisation elle a été décomposée en sous-parties dont les impédances en fonction de la fréquence ont été caractérisées séparément puis rassemblées afin d'avoir un modèle reflétant le comportement du bras d'onduleur associé à sa charge et à sa source. Les modèles réalisés à partir de ces mesures ont été validés jusqu'à 30 MHz. Les sous-parties sont les suivantes :

- la source de tension,
- le banc de condensateur de découplage,
- la carte de puissance (bras d'onduleur) sans les transistors,
- la charge RL.

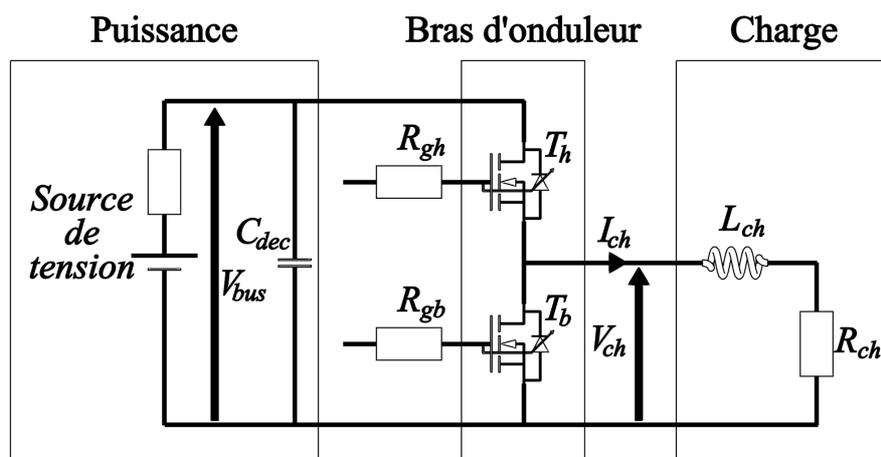


FIGURE 4.12 – Schéma de la structure de puissance étudiée

Source de tension + fils de connexion

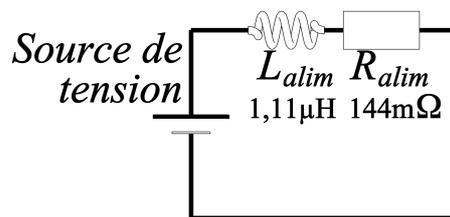
L'alimentation peut être représentée par une source de tension en série avec un circuit RL (figure 4.13a). L'inductance de forte valeur (figure 4.13b) oblige un découplage du bus. La mesure a été faite directement sur l'alimentation réglée à 0 V.

Condensateur de découplage

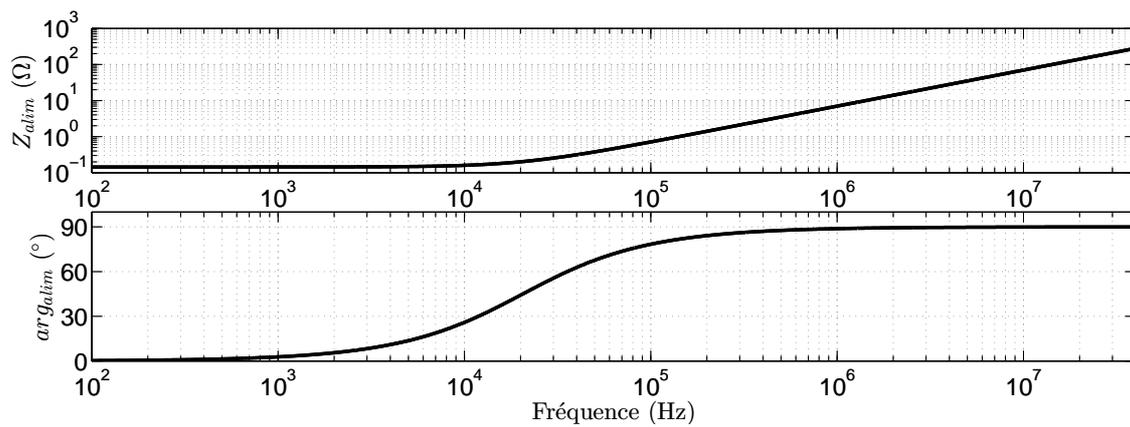
Plusieurs types de condensateurs ont été utilisés afin de lisser la tension de bus :

- les capacités électrochimiques présentent de fortes valeurs mais ont l'inconvénient d'avoir une inductance série (ESL) élevée [93],
- les capacités céramiques de plus faibles valeurs ont aussi de plus faibles valeurs d'ESL [93].

Le banc de capacité de découplage a été caractérisé en globalité par sa mesure d'impédance en fréquentiel. Cette mesure présentant deux résonances à 20 kHz et 20 MHz, nous avons décidé de modéliser ce banc de capacité par deux circuit RLC en parallèle. Les branches $R_{c1}L_{c1}C_1$ et $R_{c2}L_{c2}C_2$ représentent l'impédance des condensateurs céramique et chimique respectivement (figure 4.14a). La résistance $R_{//}$ a comme rôle la limitation de l'impédance lors de l'anti-résonance à la fréquence de 1,5 MHz (figure 4.14b).

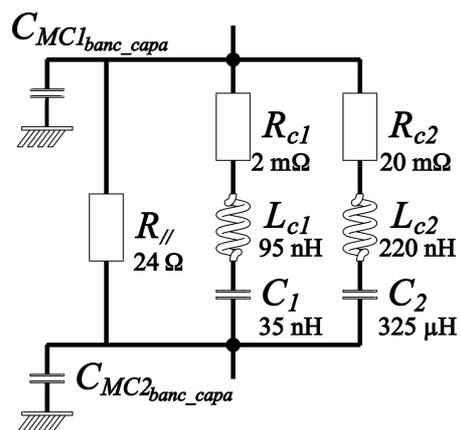


(a) Schéma de la modélisation

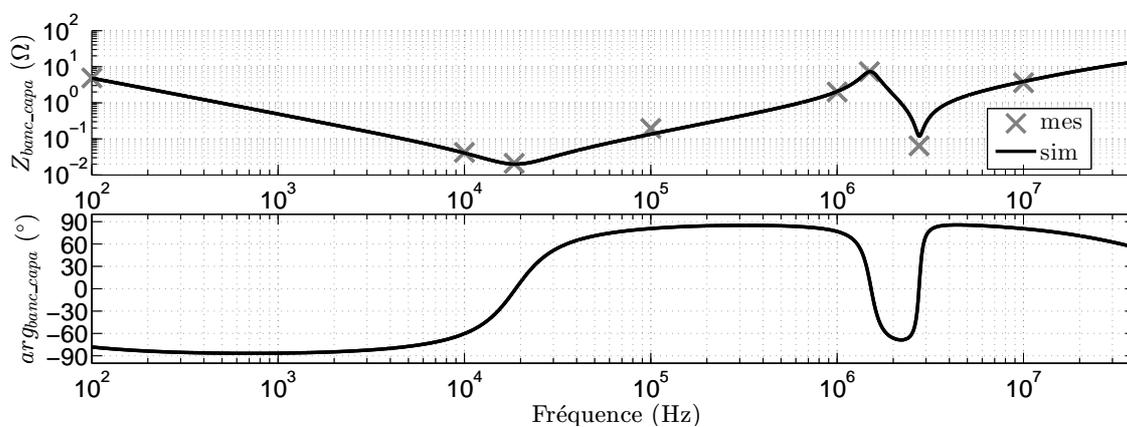


(b) Impédance simulée, module et phase

FIGURE 4.13 – Modèle de la source de tension par identification



(a) Modélisation du banc de découplage



(b) Impédances mesurée et simulée, module et phase

FIGURE 4.14 – Modèle du banc de capacités par identification

Carte de puissance

Chaque boucle de la carte (boucles grille-source et boucle bus de puissance) contenant les

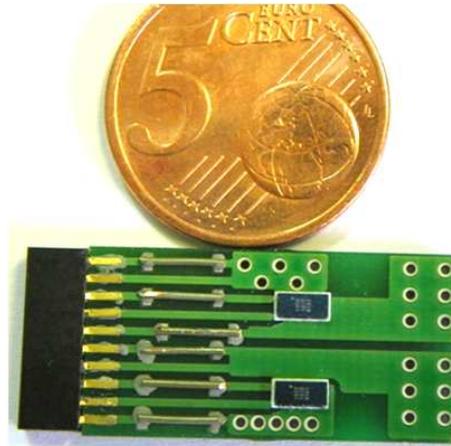
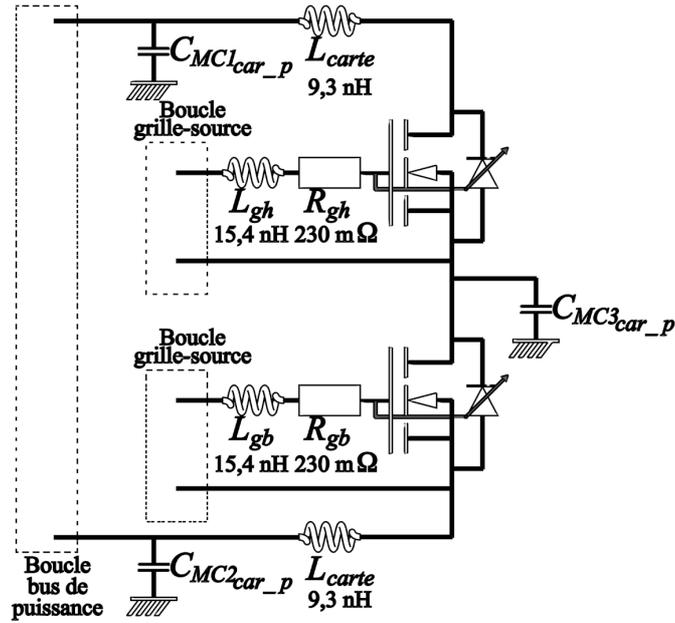


FIGURE 4.15 – Photo de la carte de puissance de la première génération

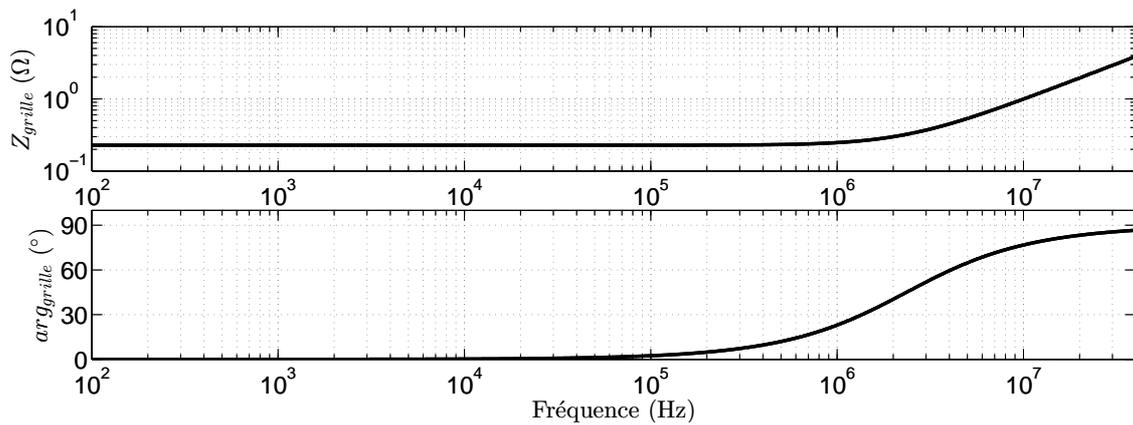
composants a été caractérisée (figure 4.15). La figure 4.16 représente le modèle venant de ces mesures fréquentielles d'impédance de boucle. Pour effectuer ces mesures nous avons pris une carte sans composant et avons court-circuité l'accès à la grille et la source du composant GaN pour mesurer la boucle grille-source. Une démarche similaire a été faite pour mesurer la boucle du bus de puissance mais cette fois-ci nous avons court-circuité l'accès drain et source des deux composants. Ces mesures ont été réalisées avec les connecteurs de la carte. Les boucles mesurées présentent toutes un circuit RL. La résistance des pistes des boucles grille-source a été mesurée à $230 \text{ m}\Omega$ (figure 4.16b). Le bus de puissance est réalisé avec des pistes en cuivre larges ce qui permet de minimiser la résistance à quelques milliohms (figure 4.16c). En conséquence, cette résistance a été négligée pour les simulations.

Charge

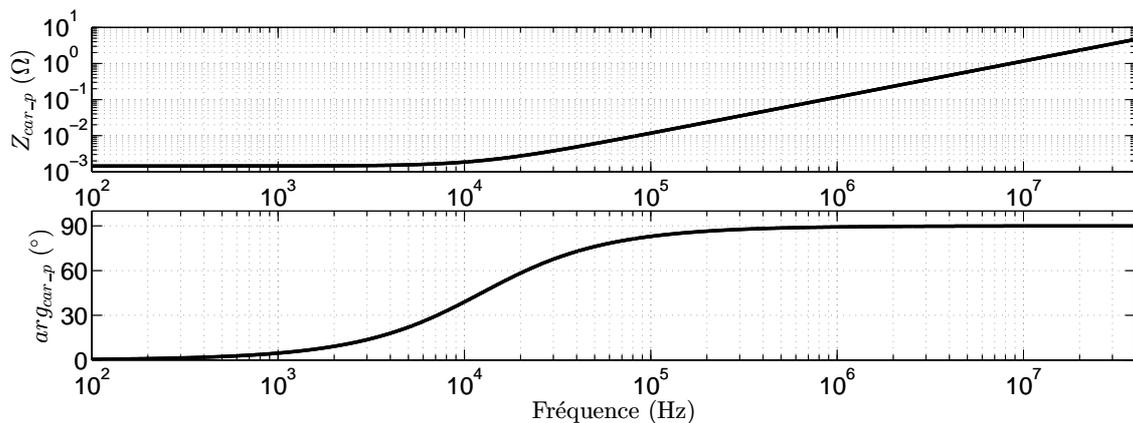
La charge RL a été caractérisée dans sa globalité (figure 4.17b). En effet, nous voulons nous concentrer sur l'étude de la cellule de commutation, la modélisation de la charge est faite à partir d'une mesure fréquentielle de son impédance nous permettant de mettre en place son modèle comportemental. Elle présente une première antirésonance que nous pouvons représenter par un condensateur en parallèle sur l'inductance ainsi qu'une première résonance modélisée par un circuit RL en série avec ce condensateur (figure 4.17c) donnant au final le modèle représenté à la figure 4.17a. Les antirésonances et résonances entre 10 et 30 MHz non pas été modélisées ce qui peut être gênant pour la représentation des effets très rapides.



(a) Schéma de la modélisation

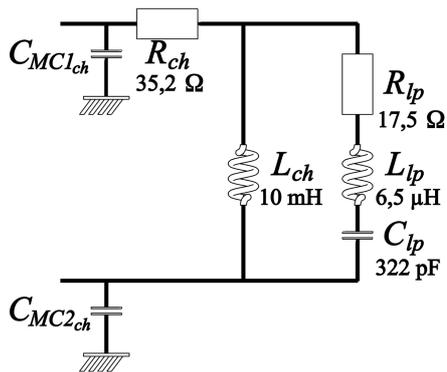


(b) Impédance simulée de l'accès à la grille des transistors ($L_{g\{h,b\}}$, $R_{g\{h,b\}}$), module et phase



(c) Impédance simulée de l'accès drain/source ($2.L_{carte}$), module et phase

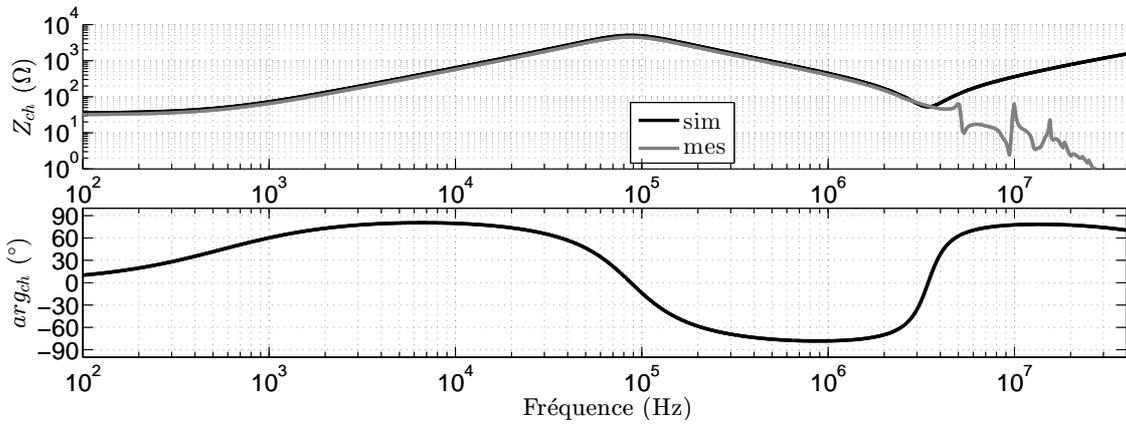
FIGURE 4.16 – Modèle de la carte de puissance



(a) Modèle de la charge



(b) Photo



(c) Impédances simulée et mesurée, module et phase

FIGURE 4.17 – Charge RL

4.2.2 Simulations dynamiques

Le modèle complet est représenté à la figure 4.18. Pour avoir une corrélation acceptable une étape d'optimisation a été ajoutée afin d'affiner les valeurs des composants parasites. Le circuit de commande est complexe. Pour le simuler nous devrions avoir une bonne connaissance des modèles des circuits intégrés utilisés. De plus, l'ajout du modèle de la commande aurait pour conséquence des temps de simulations longs qui ralentirait fortement l'étape d'optimisation (nombreux cycle de simulation). Afin de ne pas alourdir le modèle complet de première génération et avoir la possibilité de simuler dans des durées courtes (10 minutes en moyenne), la tension V_{gs} de chaque transistor a été mesurée sur la carte de test en sortie des drivers puis introduite dans la simulation par l'intermédiaire de sources de tension commandée (V_{gsh} et V_{gsb}), elles sont représentées en haut sur la figure 4.19 et la figure 4.20. Cela a l'avantage de prendre en compte toutes les perturbations de la commande, l'inconvénient est que chaque commande correspond à une mesure avec des paramètres définis (temps morts, rapport cyclique), de plus les interactions puissance-commande ne sont pas représentées.

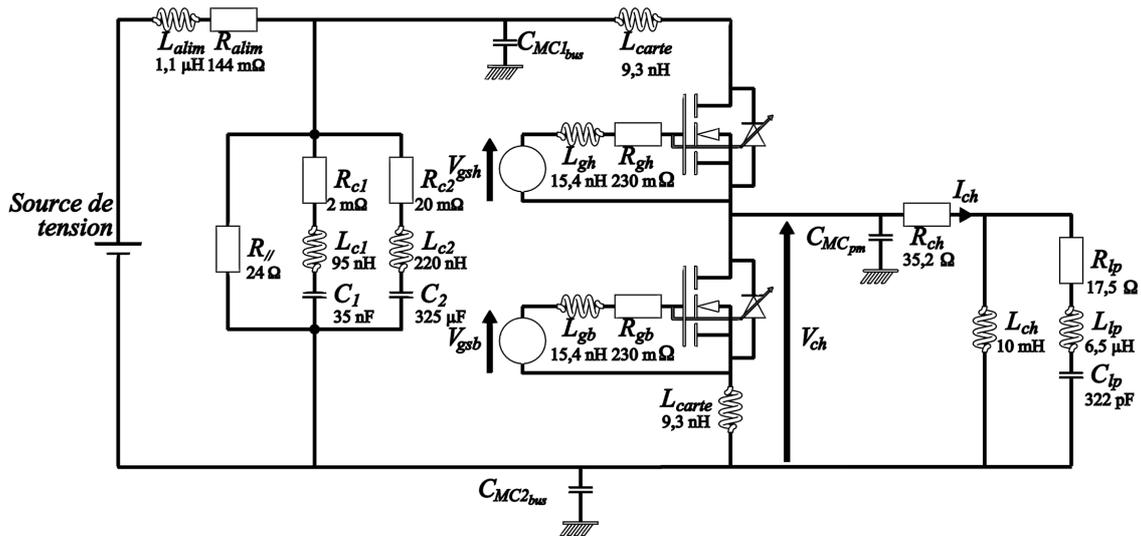


FIGURE 4.18 – Modèle complet

Simulation d'un essai temps mort

Conditions de simulation :

$V_{bus} = 40 V$	$tm_1 = 0 ns$	Fréq. commut. = 50 kHz
$\langle I_{ch} \rangle = 1 A$	$tm_2 = 0 ns$	

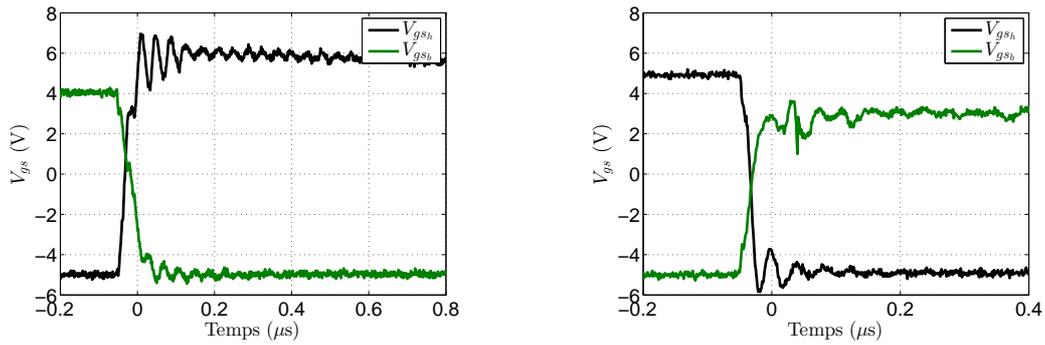
La figure 4.19 présente la tension et le courant mesurés et simulés dans la charge pour un passage de 0 à V_{bus} (figure 4.19a) et de V_{bus} à 0 (figure 4.19b) sans temps morts. La tension V_{ch} est bien restituée par la simulation, les temps de montée sont égaux. Le courant de charge simulé restitue la valeur moyenne ainsi que la composante basse fréquence des termes HF du courant de charge comme le montre la figure 4.19c. Les oscillations se situant en haute fréquence ne sont pas restituées à cause du modèle trop simplifié de la charge réduit à une résonance et antirésonance. Il y a donc une erreur non négligeable sur ce modèle.

Simulation d'un essai avec une durée de temps mort

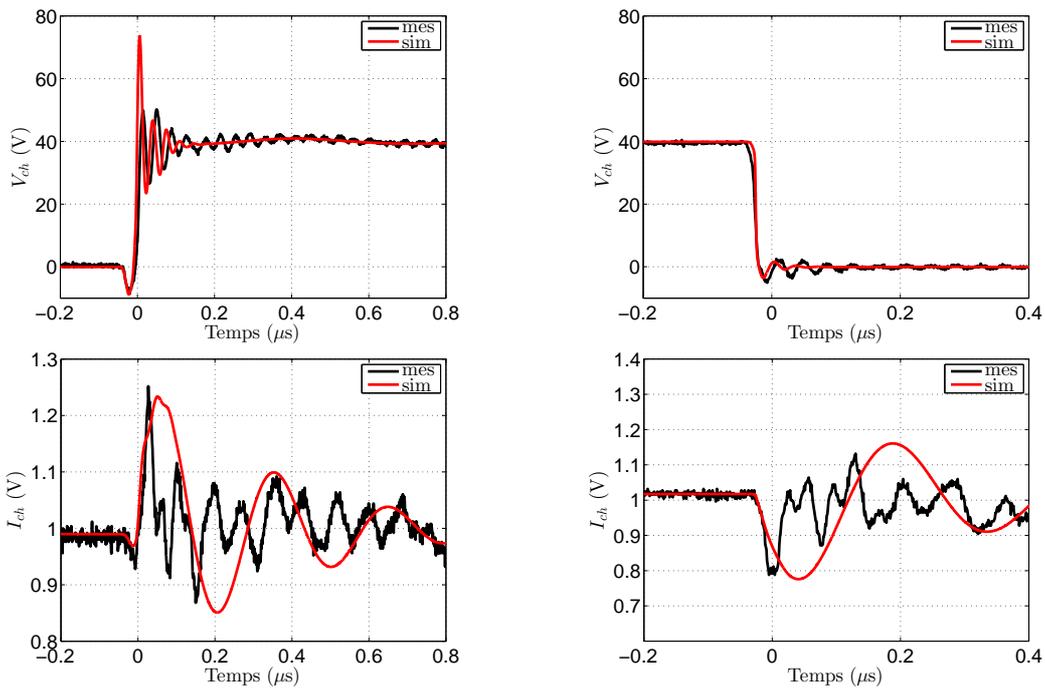
Conditions de simulation :

$V_{bus} = 40 V$	$tm_1 = 200 ns$	Fréq. commut. = 100 kHz
$\langle I_{ch} \rangle = 0,55 A$	$tm_2 = 200 ns$	

Afin de bien montrer l'impact des temps morts sur la tension pendant la conduction inverse nous avons leur durée avons régler à 200 ns. La figure 4.20 présente les mêmes essais que précédemment avec cette durée. La simulation rend bien compte de l'existence de la tension inverse lors des temps morts (figure 4.20a), le signal est plus amorti que le signal mesuré. La mesure du courant I_{ch} est très perturbée, comme le test précédent l'a montré, la simulation montre la tendance de ce courant mais ne prend pas en compte les perturbations hautes fréquences (figure 4.20c). La tension V_{ch} simulée de la figure 4.20b reproduit précisément la mesure, cette dernière étant faiblement perturbée.

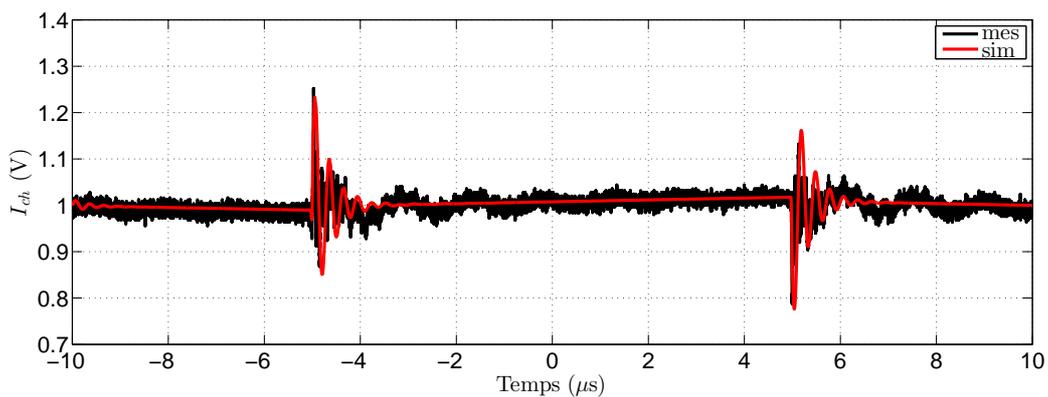


Commande appliquée



(a) À la montée

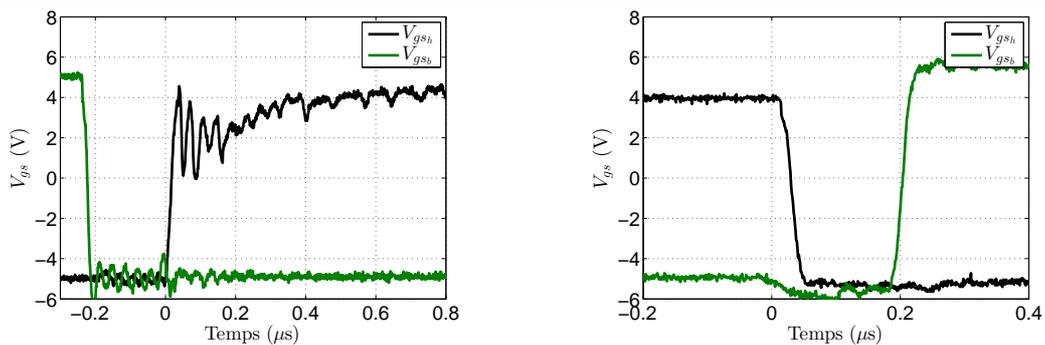
(b) À la descente



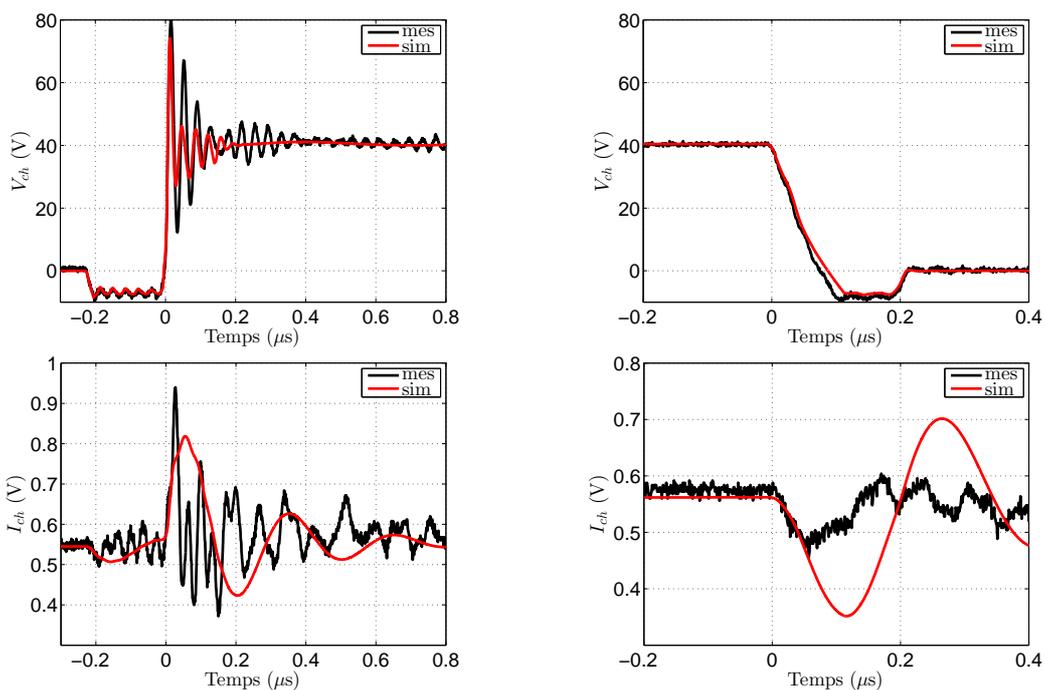
(c) Courant de charge sur une période

FIGURE 4.19 – V_{ch} , I_{ch} et $V_{gs\{h,b\}}$ en fonction du temps en simulation et mesuré sans temps morts

4.2. Simulation de la première génération de carte d'essai

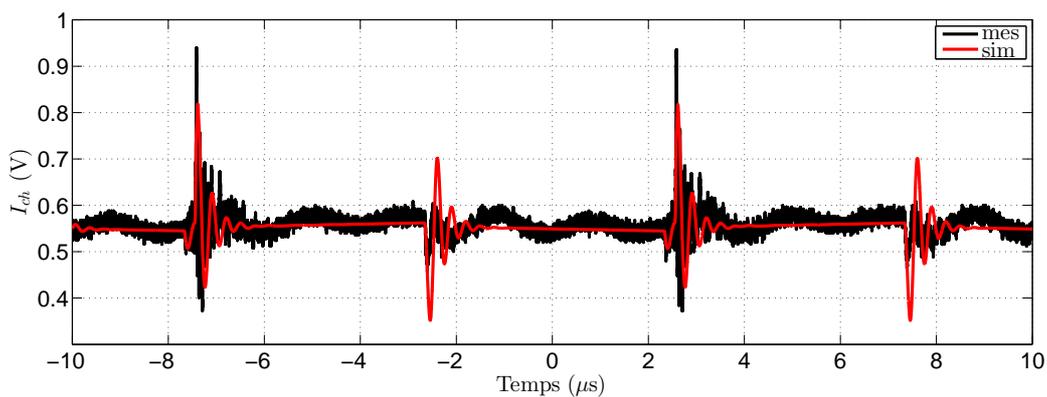


Commande appliquée



(a) À la montée

(b) À la descente



(c) Courant de charge sur deux périodes

FIGURE 4.20 – V_{ch} , I_{ch} et $V_{gs\{h,b\}}$ en fonction du temps en simulation et mesuré avec temps morts

Nous avons pu noter dans ces simulations une assez bonne corrélation entre simulations et mesures pour la tension aux bornes de la charge que ce soit pour la surtension engendrée par l’inductance de la maille du bus de puissance ou pour la tension inverse lors des temps morts. Ce phénomène est vraiment spécifique au fonctionnement des transistors GaN et nous verrons dans la suite qu’il est important de bien les modéliser pour l’évaluation des pertes. Le courant simulé dans la charge est bien corrélé en basse fréquence (fréquence de commutation), mais le modèle ne le permet pas en haute fréquence. Ce modèle complet nous aide à examiner certaines particularités de la tension V_{ch} comme :

- la surtension au niveau de V_{ch} observée lors des mesures et simulations,
- la variation lente de la tension V_{ch} lorsqu’une durée de temps mort est appliquée,
- la tension inverse lors des temps morts.

Ainsi, grâce à ce premier modèle nous avons pu identifier quels éléments sont responsables des phénomènes cités. Nous pouvons alors réaliser des simulations pour une étude de sensibilité en réglant la valeur de ces éléments ou en ajoutant d’autres pour observer comment se comporterait la structure dans différentes conditions.

4.2.3 Étude de la surtension lors du front montant de V_{ch}

Pour connaître l’impact des inductances parasites sur la surtension provoquées sur V_{ch} nous avons réalisé une étude paramétrique en faisant varier l’inductance de la maille (L_{carte}) dans les conditions de simulation présentées dans le tableau ci-dessous.
Conditions de simulation :

$V_{bus} = 40 V$	$tm_1 = 200 ns$	Fréq. commut. = 100 kHz
$\langle I_{ch} \rangle = 1 A$	$tm_2 = 200 ns$	

A la montée de la tension aux bornes de la charge, une forte surtension (jusqu’à 100 % de la tension de bus) apparaît. Elle est due à la résonance entre la capacité intrinsèque C_{ds} du transistor du bas et les inductances parasites réparties entre les condensateurs de découplage et la carte de puissance [94].

La figure 4.21a présente les tensions maximales qu’atteignent V_{ch} lors du front montant en fonction de la valeur de L_{carte} . Nous pouvons remarquer qu’en diminuant cette inductance la surtension baisse de quelques volts. Cependant, même pour une inductance d’une valeur de

4.2. Simulation de la première génération de carte d'essai

1 nH la tension V_{ch} atteint 70 V. L'inductance de maille du bus de puissance n'est donc pas la seule responsable des surtensions sur V_{ch} .

Nous avons fixé la valeur de L_{carte} à 2 nH et avons fait varier l'inductance L_{c1} (ESL) du condensateur céramique de découplage C_1 . La figure 4.22 présente les tensions V_{ch} maximales lors du front montant. Nous observons cette tension maximale diminuer jusqu'à 47 V pour une valeur de L_{c1} proche de 0.

L'inductance parasite du condensateur de découplage (L_{c1}) a une grande influence sur la tension de la charge engendrée par les commutations. Une bonne maîtrise de cette dernière nous permettrait de diminuer cette surtension. L'inductance de la carte peut être minimisée par un routage ayant comme contrainte cette minimisation [94]. L'inductance parasite du condensateur est propre à sa technologie.

Une solution sera de rajouter d'autres capacités ayant des inductances (ESL) plus faibles. Pour ce faire des capacités céramiques peuvent être placées en-dessous des composants afin de minimiser la boucle entre les semiconducteurs et le condensateur [84]. Cependant, comme le montre la figure 4.22, l'augmentation de la capacité peut amener à une dégradation du comportement lorsque l'inductance parasite associée au condensateur est supérieure à quelques nH. Il faut donc privilégier des capacités de faible valeur (quelques centaines de nF) présentant des inductances parasites de l'ordre de la centaine de pH câblées en parallèle pour diviser encore cette valeur afin de diminuer la tension maximale.

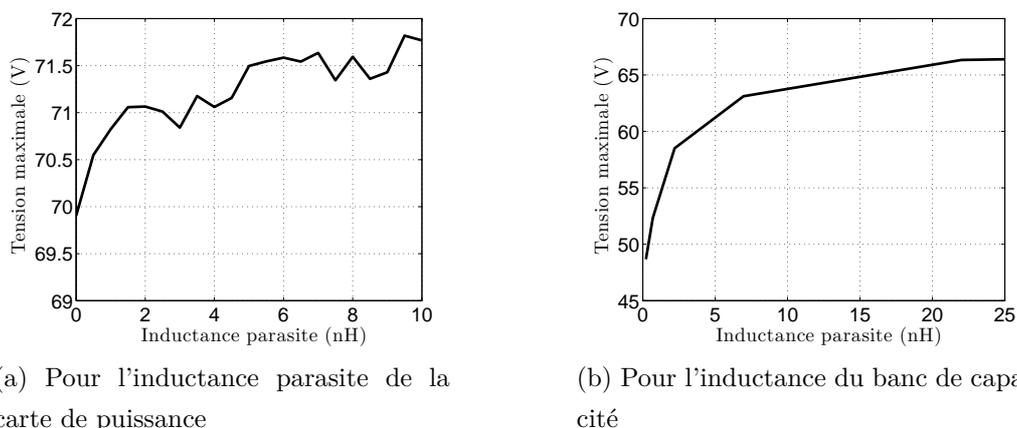


FIGURE 4.21 – Simulation de la tension maximale en fonction des inductances parasites de la structure

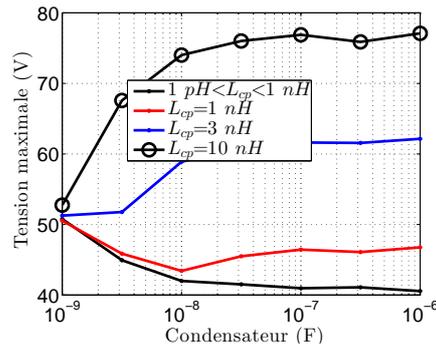


FIGURE 4.22 – Simulation de la tension maximale en fonction de la valeur d’ESL du condensateur du découplage

4.2.4 Effet du courant de charge sur la variation de la tension V_{ch} pendant le front descendant

Un front descendant de tension V_{ch} correspondant à $0,5 \text{ V/ns}$ (voir figure 4.20b) est extrêmement faible compte-tenu des fréquences de commutation du bras d’onduleur. Cette variation se produit durant le temps mort où nous pouvons considérer le schéma figure 4.23a.

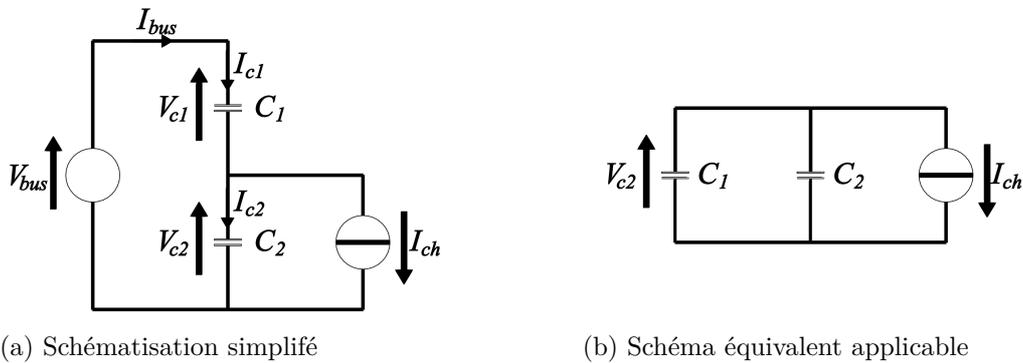


FIGURE 4.23 – Comportement des transistors lors des temps morts

L’équation (4.11) montre que dans ces conditions les capacités des deux composants sont mises en parallèles (figure 4.23b) et que le courant traversant la charge conditionne la vitesse de décharge et de charge des capacités des deux transistors. Nous pouvons calculer la durée du front descendant (noté t_{fd}) en intégrant cette équation entre V_{bus} et 0 et en considérant le courant dans la charge constant ($i_{ch} = \langle I_{ch} \rangle$). Ceci est montré par l’équation (4.12) qui nous permet de calculer t_{fd} en fonction de la tension du bus (V_{bus}), de l’intensité moyenne dans la

charge ($\langle I_{ch} \rangle$) et de la valeur des capacités intrinsèques des transistors à la tension V_{bus} .

$$V_{bus} = V_{c1} + V_{c2}$$

$$I_{ch} = I_{c1} - I_{c2}$$

$$\begin{aligned} i_{ch} &= C_1 \frac{dv_{c1}}{dt} - C_2 \frac{dv_{c2}}{dt} = C_1 \frac{dv}{dt} - C_1 \frac{dv_{c2}}{dt} - C_2 \frac{dv_{c2}}{dt} \\ -i_{ch} &= (C_1 + C_2) \frac{dv_{c2}}{dt} \end{aligned} \quad (4.11)$$

$$dt = \frac{dV_{c2}}{i_{ch}} (C_1 + C_2) \rightarrow t_{fd} = \frac{V_{bus}}{\langle I_{ch} \rangle} (C_{ds_h}(V_{bus}) + C_{ds_b}(V_{bus})) \quad (4.12)$$

$$t_{fd} = \frac{40 \text{ V}}{0,55 \text{ A}} (0,38 \text{ nF} + 0,38 \text{ nF}) = 55 \text{ ns} \quad (4.13)$$

Avec :

t_{fd} Durée de la pente du front descendant [s]

Si nous prenons l'exemple du paragraphe 4.2.2, nous pouvons estimer la durée du front descendant de la tension de charge représentée à la figure 4.20b. Le résultat est donné à l'équation (4.13). Cette formule nous servira par la suite à calculer la durée optimale de temps mort provoquant le moins de pertes.

4.2.5 Modification de la tension de blocage des transistors

Une tension V_{gs} de -5 V pour commander les transistors au blocage impose une importante tension inverse (V_{ds}) durant les temps morts ce qui augmente les pertes de la cellule de commutation. Nous nous sommes servis de la simulation pour modifier cette tension de commande et nous avons modifié la tension appliquée à la grille lors du blocage, la faisant évoluer de -5 V à 0 V. Pour réaliser cela, nous avons appliqué un rapport et un offset aux tensions de commande que nous avons mesurées et injectées dans la simulation (figure 4.24a). La tension inverse aux bornes du transistor GaN du bas résultant de cette modification de la tension de commande est présentée à la figure 4.24b. Nous pouvons observer une diminution linéaire de la tension inverse lorsque la tension V_{bloc} se rapproche de 0.

Pour limiter la tension inverse aux bornes du transistors durant les temps mort, une solution serait de réaliser une commande fournissant une tension de commande entre +5 V pour l'amorçage du transistor et une tension de 0 V pour le blocage. Cette commande aurait pour

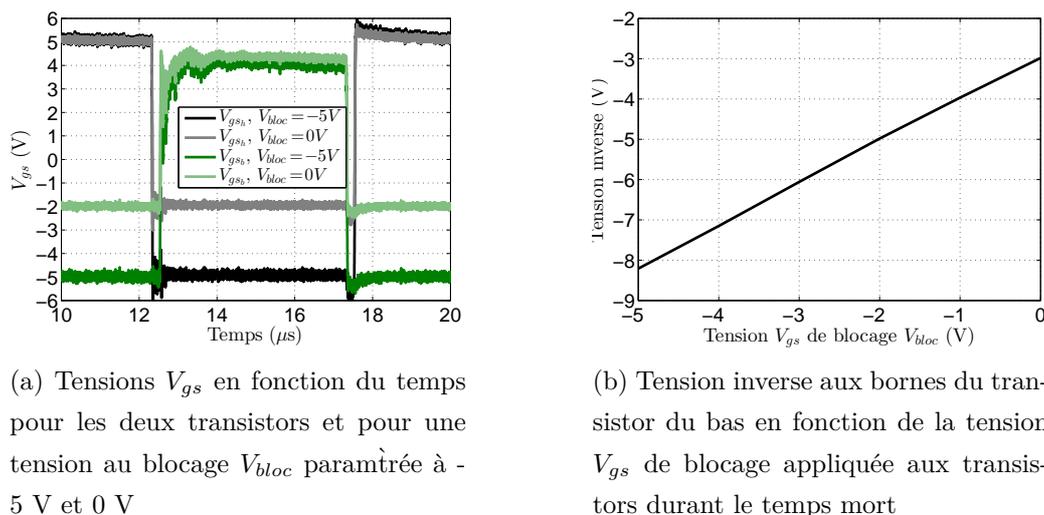


FIGURE 4.24 – Variation de la tension entre grille et source lors du blocage

effet de réduire la tension inverse aux alentours de -2,5 V ce qui limiterait les pertes générées par le composant. L'inconvénient de cette commande est la réduction de l'immunité à la reconduction du transistor si une oscillation perturbatrice apparaît sur la tension de grille.

4.3 Synthèse sur les simulations statiques et dynamique de la première génération de carte d'essai

Le modèle du transistor GaN d'EPC nous a permis de réaliser des simulations utiles à la compréhension de certains mécanismes de commutation de ce composant. Il est basé sur le modèle de Statz qui est de type comportemental. La température est prise en compte ce qui s'avère essentiel pour connaître le comportement du composant lors d'un fonctionnement à haute température.

Nous avons vu en détails chaque sous-partie du modèle du transistor afin de déterminer l'influence des différents paramètres sur son comportement. Cette analyse pourra nous permettre des analyses de sensibilité par la suite. Le modèle a été validé grâce à des simulations statiques aux mêmes conditions que lors des caractérisations statiques. Ces corrélations ont donné lieu à quelques divergences entre la simulation et la caractérisation statique surtout pour les capacités intrinsèques.

Nous avons ensuite modélisé la structure physique retenue pour l'étude en commutation d'une cellule de commutation. Cette modélisation s'est faite en plusieurs parties regroupant des fonctionnalités nécessaires au convertisseur telles que l'alimentation, les capacités de découplage ou la charge. Celle-ci a été effectuée grâce à des mesures d'impédance de chaque partie puis à la réalisation de modèles « circuit ». Une fois regroupés nous avons pu obtenir une modélisation globale de la structure et y insérer les modèles des composants.

Les simulations dynamiques ont été corrélées avec deux mesures réalisées sur les cartes d'essai : une sans durée de temps mort et l'autre avec. Afin de ne pas surcharger la modélisation la commande des transistors est réalisée en injectant les tensions V_{gs} mesurées à la sortie des drivers des deux transistors. Cela a l'avantage de prendre en compte toutes les perturbations mais l'inconvénient est qu'il n'est pas possible d'injecter une autre commande que celle existante sur la carte de commande.

Les simulations de la structure de la première génération de carte d'essai ont montré une bonne précision du comportement de la tension aux bornes de la charge en représentant la surtension se produisant lors du front montant ainsi que la faible variation de V_{ch} lors du front descendant et la tension inverse pendant le temps mort. Le courant simulé dans la charge est représentatif du comportement basse fréquence mais non en haute fréquence car son modèle n'est pas assez précis au delà de quelques mégahertz.

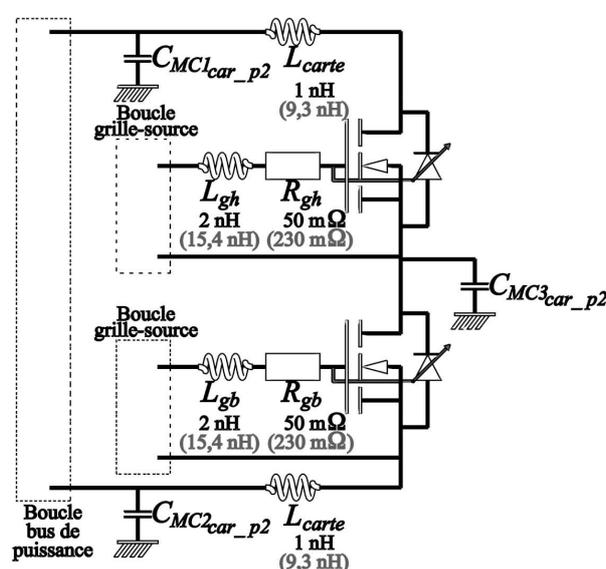
Néanmoins grâce à ces premières simulations nous avons pu mettre en avant les problèmes de surtension aux bornes de la charge et identifier quels éléments en étaient responsables. Ces observations nous serviront à définir des règles de routage et de conception pour une seconde génération de carte d'essai. La partie suivante est consacrée aux simulations sur cette seconde génération.

4.4 Simulation de la seconde génération de carte d'essai

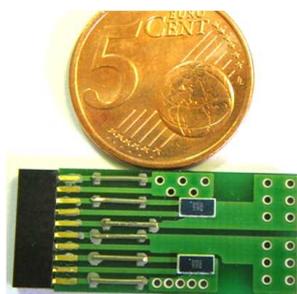
4.4.1 Modifications apportées sur la seconde génération de carte d'essai

Afin de résoudre les problèmes observés précédemment nous avons fait plusieurs modifications :

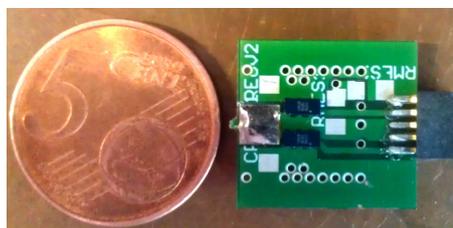
- Modification de la carte de puissance : elle a été réalisée en minimisant la distance des accès pour la puissance et la commande, permettant une diminution des inductances de maille (figure 4.25),



(a) Modèle de la seconde génération de carte de puissance comparé aux valeurs de la première génération (en gris)



(b) Première génération



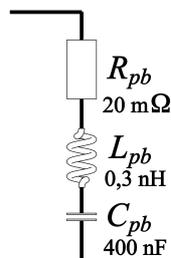
(c) Seconde génération

FIGURE 4.25 – Cartes de puissance

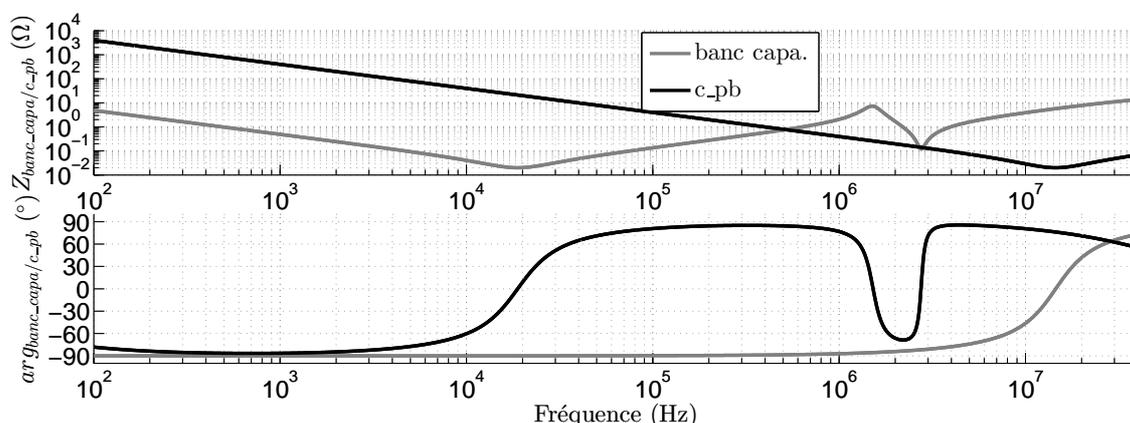
- ajout de condensateurs de découplage : nous avons ajouté des condensateurs céramiques (4×100 nF) au plus près de la cellule de commutation pour minimiser l'inductance de maille. De plus, ces condensateurs présentent une inductance parasite faible et ils sont

4.4. Simulation de la seconde génération de carte d'essai

connectés en parallèle pour diviser l'effet globale. La figure 4.26b présente l'impédance des capacités ajoutées et du banc de capacité se trouvant en amont de la carte de puissance. Comme le montre cette figure, les condensateurs ajoutés ont une fréquence de résonance beaucoup plus éloignée que le banc de capacité, accordant une meilleure efficacité pour les fréquences dépassant 3 MHz. Les résultats de mesures sont similaires aux résultats de simulation.



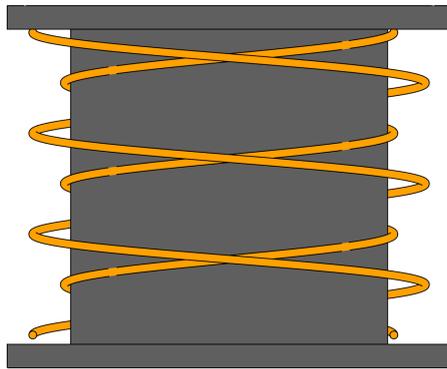
(a) Schéma de la modélisation



(b) Simulation de l'impédance, module et phase, comparaison avec l'impédance du banc de capacité (en gris)

FIGURE 4.26 – Modèle des condensateurs de découplage ajoutés au plus près de la cellule de commutation

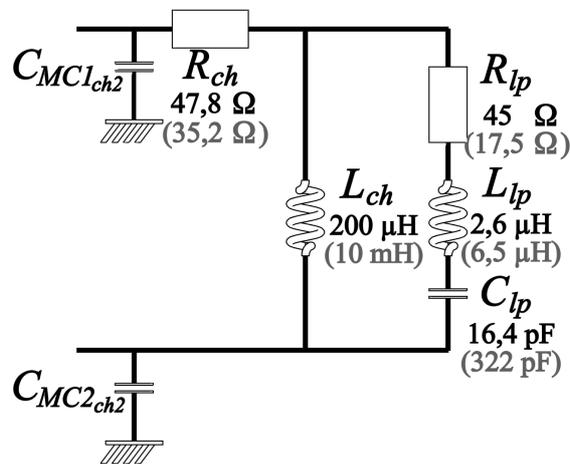
- fabrication d'une inductance : nous avons fabriqué une inductance dont les spires ont été séparées et disposées en « nid d'abeille » pour minimiser les capacités interspires (figure 4.27a). Ceci permet de décaler les fréquences de la première résonance et antirésonance vers les plus hautes fréquences comparées à celle de la première charge. Cette inductance présente un modèle plus simple pour les fréquences supérieures au mégahertz (figure 4.27c). La résistance (référence : RPS 500) est dorénavant fixe d'une valeur de 47Ω , elle présente une inductance parasite inférieure à 50 nH , l'intensité traversant la charge sera réglée avec le rapport cyclique (α_t). Avec cette nouvelle charge, les impédances mesurée et simulée sont similaires.



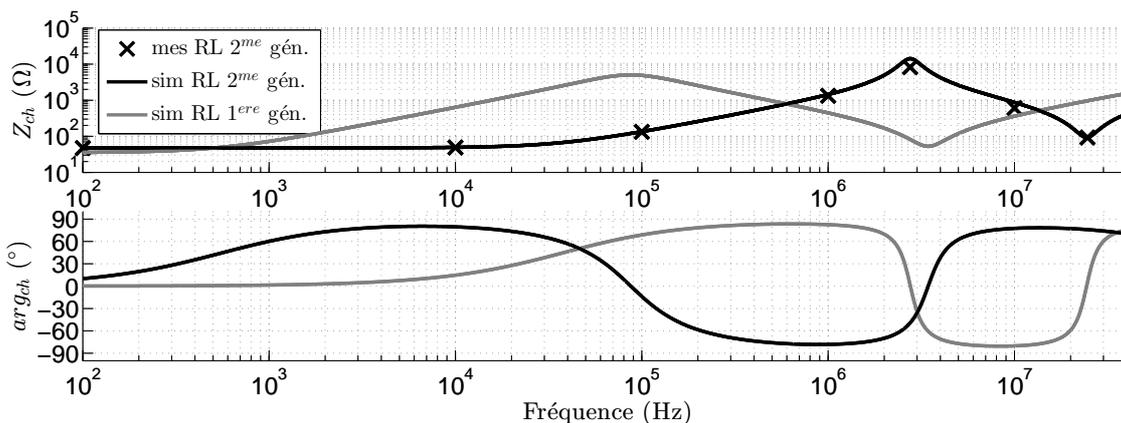
(a) Disposition des enroulements de l'inductance pour minimiser les capacités interspires



(b) Inductance à air réalisée permettant de diminuer les capacités parasites



(c) Modèle de la charge (les valeurs de la charge RL pour la première génération sont en gris)



(d) Impédance de la modélisation, module et phase (simulation de la charge RL de la première génération, simulation et mesure de la charge RL de la seconde génération)

FIGURE 4.27 – Charge RL pour la seconde génération de carte d'essai

4.4.2 Modèle de la structure

Le modèle complet de la seconde génération de carte est représenté à la figure 4.28. Cela est la même structure que la première génération de carte mais avec des valeurs inférieures en ce qui concerne la boucle de puissance (L_{carte}) et de commande ($L_{g\{h/g\}}$, $R_{g\{h/g\}}$) ainsi que pour la charge présentant un circuit RLC mieux adapté aux plus hautes fréquences que précédemment.

Nous avons ajouté le modèle des condensateurs céramiques (en rouge) destinés à atténuer la surtension. La commande des transistors est cette fois-ci entièrement simulée et non injectée à partir des mesures (blocs bleus).

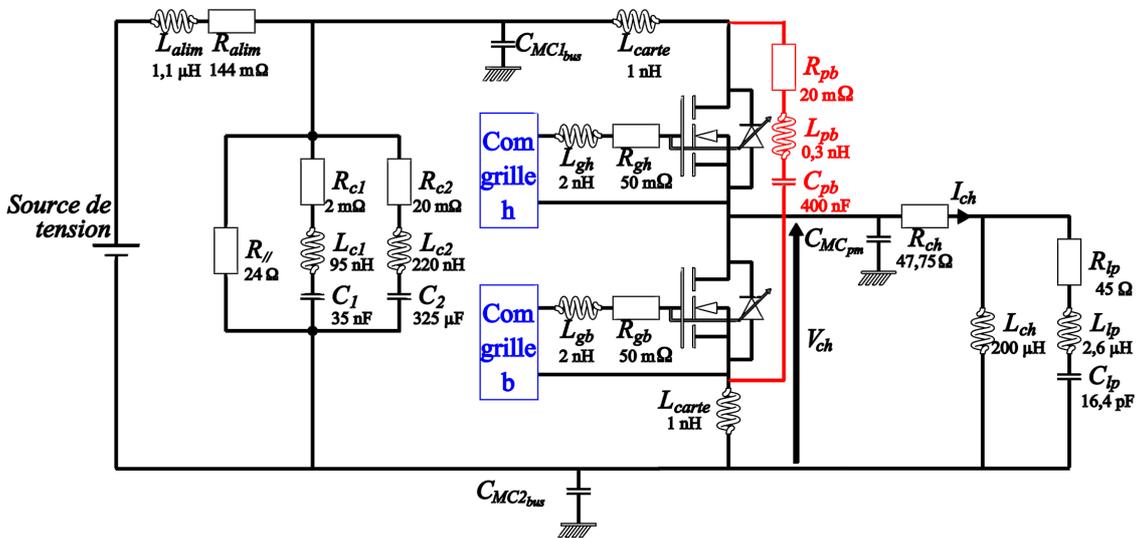


FIGURE 4.28 – Modèle complet

Modélisation de la commande

Les signaux de commande de la première carte étaient très bruités, par conséquent, ils étaient mesurés puis injectés dans la simulation afin de commander les transistors pour éviter de la complexifier.

Les commandes de la seconde carte présentent moins de perturbations. Il devient plus simple de les simuler. Dans ce but, nous avons réalisé des blocs de commande prenant en compte différents paramètres (rapport cyclique, temps morts) pour les interfacer avec les transistors

nous permettant ainsi de simuler n'importe quelle commande sans pour autant augmenter le temps de simulation.

La figure 4.29 représente un de ces blocs (identiques pour les deux transistors), nous pouvons observer qu'il existe deux chemins différents pour le courant de grille à l'ouverture (I_{g_ON}) et la fermeture (I_{g_OFF}) du transistor. Le courant I_{g_ON} traverse la résistance de grille ajustable (R_g) réglée à $10\ \Omega$ pour les essais. Le courant I_{g_OFF} passe par un autre chemin plus inductif ($L_{g_lp_b}$) amenant à des oscillations sur la grille lors de la commande à l'ouverture du composant. Elles pourront le faire reconduire comme nous l'avons observé dans les caractérisations électriques dynamiques de la seconde génération de carte (partie 3.4.2) et comme nous le verrons dans la partie suivante.

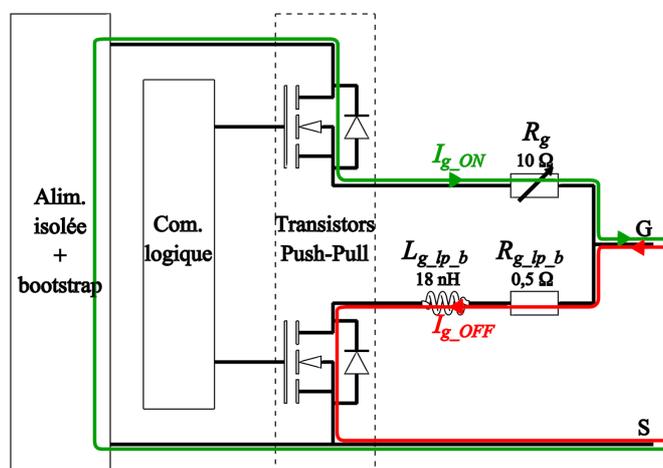
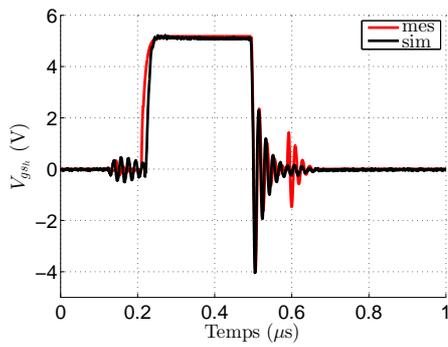
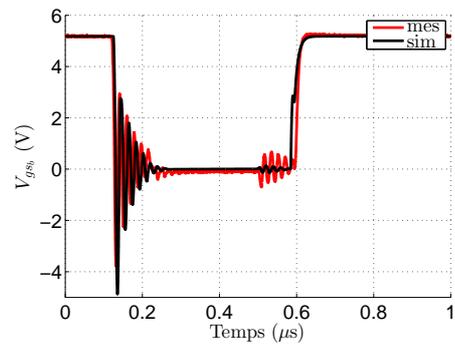


FIGURE 4.29 – Modèle de la commande pour un transistor

Une corrélation des tensions de commande des grilles des transistors GaN entre simulation et mesure est présentée à la figure 4.30 pour V_{gsh} (figure 4.30a) et V_{gsb} (figure 4.30b). Nous pouvons observer quelques divergences au niveau des oscillations, plus importantes en mesure qu'en simulation.



(a) Pour le transistor du haut



(b) Pour le transistor du bas

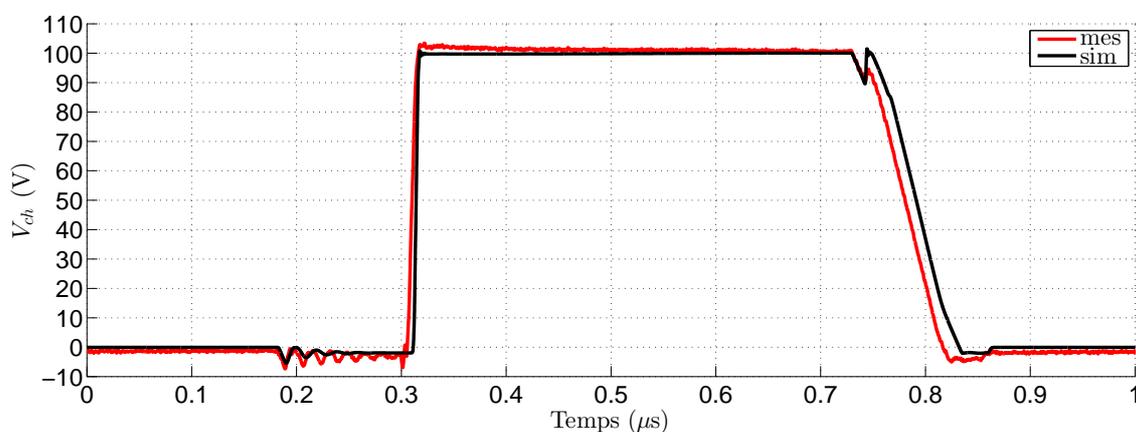
FIGURE 4.30 – Corrélation entre tensions de grille mesurées et simulées

4.4.3 Simulations dynamiques

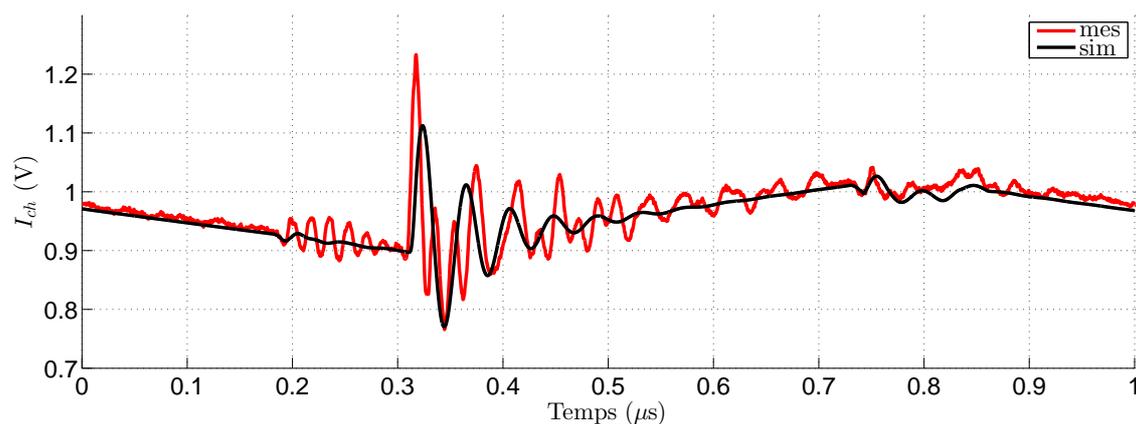
Conditions de simulation :

V_{bus}	$= 100 \text{ V}$	R_{g_h}	$= 10 \ \Omega$	tm_1	$= 125 \text{ ns}$
$\langle I_{ch} \rangle$	$= 0,95 \text{ A}$	R_{g_b}	$= 10 \ \Omega$	tm_2	$= 125 \text{ ns}$

La figure 4.31 montre une comparaison mesure/simulation pour un temps mort de 125 ns. La figure 4.31a présente la tension V_{ch} . Nous pouvons observer la prise en compte des phénomènes vus lors des mesures comme l'oscillation de la tension et la tension inverse pendant les temps morts, la variation lente du front descendant et la reconduction due à la forte oscillation de la tension de grille au blocage du transistor du bas.



(a) Pour la tension aux bornes de la charge



(b) Pour le courant circulant dans la charge RL

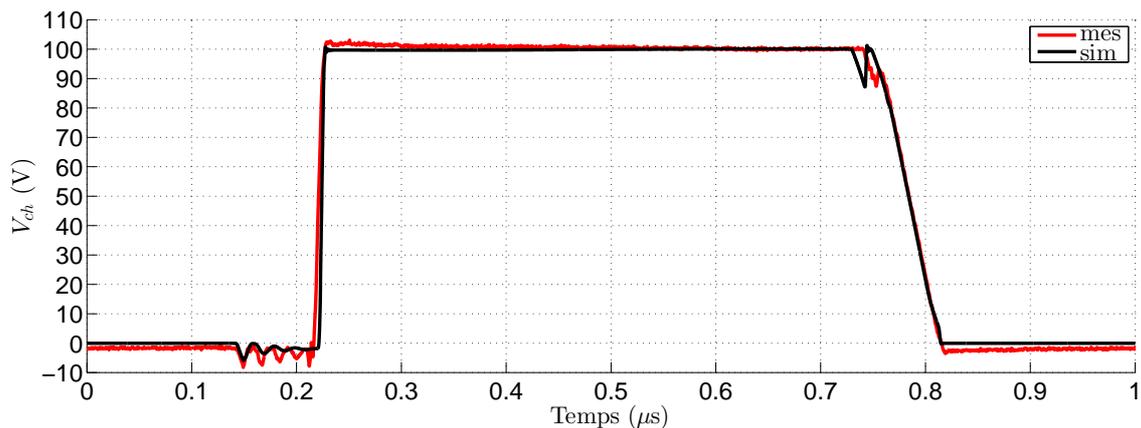
FIGURE 4.31 – Corrélation entre mesures et simulation pour un temps mort de 125 ns

La figure 4.31b présente les courants (simulé et mesuré) dans la charge. Le courant simulé

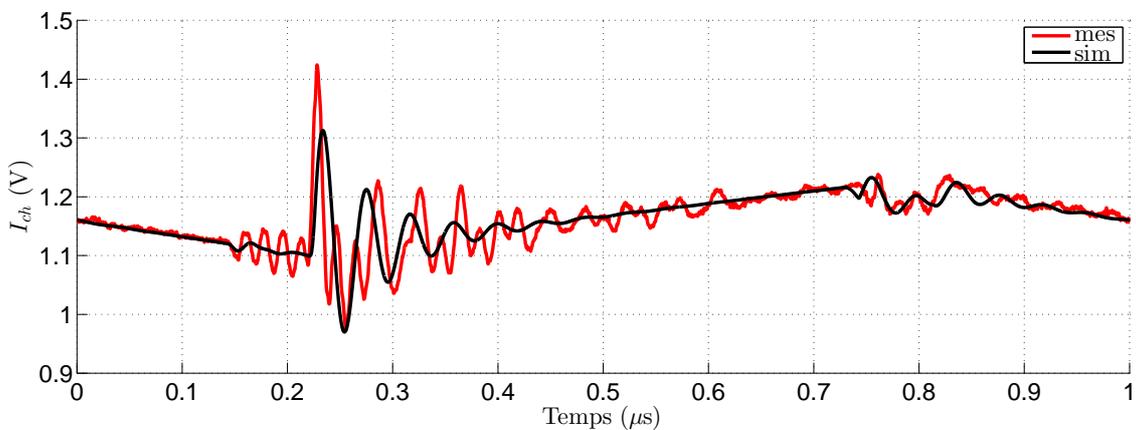
4.4. Simulation de la seconde génération de carte d'essai

tient mieux compte des perturbations hautes fréquences ainsi que la décharge du condensateur parasite de l'inductance (C_{lp}) provoquant une discontinuité dans la mesure de courant (plus visible sur la figure 4.32b). Le bruit de mesure n'est pas représenté en simulation.

La figure 4.32 donne les résultats de simulation pour une durée optimale de temps mort, nous pouvons remarquer les mêmes particularités entre la simulation et la mesure que sur les précédentes courbes de tension et courant.



(a) Pour la tension aux bornes de la charge



(b) Pour le courant circulant dans la charge RL

FIGURE 4.32 – Corrélation entre mesures et simulation pour un temps mort de 75 ns

4.5 Synthèse sur les simulations dynamique de la seconde génération

Grâce à la seconde génération de carte d’essai nous avons pu mettre en place les modifications suggérées par les études sur la première génération. Ces modifications ont servi à réduire les inductances de maille des boucles de puissances et de commande et des résistances de la commande. La carte de puissance s’est vu ajouter des capacités de découplage au plus près de la cellule de commutation, permettant d’abaisser la surtension sur la tension de charge lors du front montant à moins de 5 %. Nous avons vu la nécessité d’un « étagement » du découplage de la cellule de commutation. Ce point est important pour la conception des convertisseurs industriels.

La valeur de l’inductance de la seconde charge est plus faible que la première mais les fréquences de résonance et antirésonance sont plus éloignées en haute fréquence, ce qui lui confère un meilleur comportement à haute fréquence, simplifiant le modèle.

Les modifications des commandes de grille des transistors ont permis d’obtenir des tensions moins perturbées et plus simplement modélisables. Cela facilite leur modélisation et nous autorise à changer leurs paramètres comme le rapport cyclique, la durée des temps mort ou la tension lors du blocage des transistors. Ils nous serviront par la suite à estimer les pertes de la cellule de commutation en simulation en fonction de la commande appliquée à la cellule de commutation.

Nous avons validé la modélisation de la carte avec des comparaisons mesures/simulation satisfaisantes qui tiennent compte de la majorité des phénomènes observés lors des mesures. Cette carte a été utilisée pendant les deux dernières années de thèse pour effectuer les différents essais.

4.6 Modèle électrothermique

Le modèle du composant GaN présenté précédemment prend en compte la température, mais cette dernière est définie en statique en début de simulation et reste invariante. Afin de la rendre dynamique nous avons modifié le modèle en y incluant une source de courant qui sera l'image des pertes générée par le composant. Cela permet le calcul dynamique de la température de jonction du composant qui est réinjectée dans le modèle simulé dans le logiciel SIMPLORER qui gère les quantités électriques et thermiques en même temps (même simulation).

La figure 4.33 donne le modèle électrothermique de l'ensemble composant GaN + cylindre utilisé en simulation. La température de jonction (T_j) est déterminée à partir des pertes et du modèle thermique et réinjectée dans le modèle électrique pour modifier le comportement de ses éléments. Les sources de flux thermique (φ_h et φ_b) sont connectées au modèle thermique simplifié (voir figure 3.47b–page 121) ce qui permet de calculer la température T_j . T_{amb} correspond à la température ambiante (initiale) du composant.

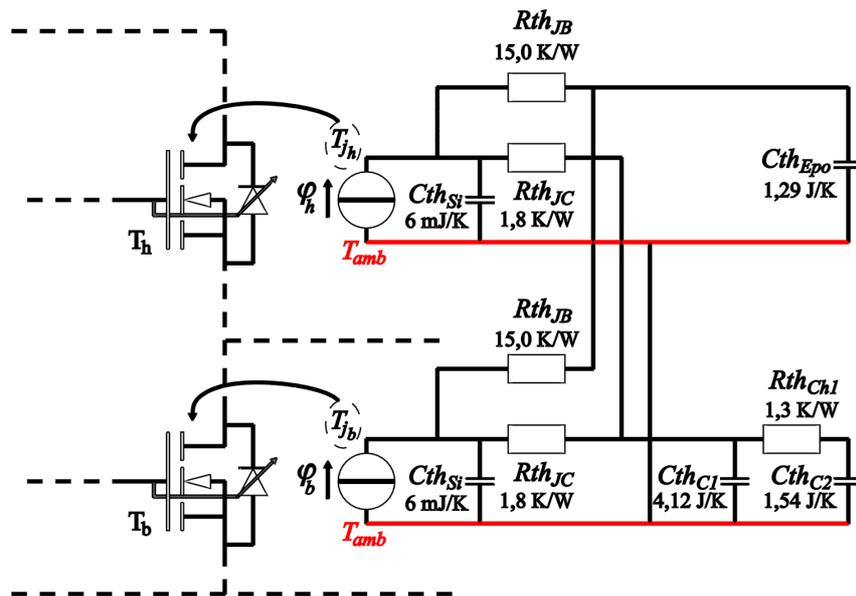


FIGURE 4.33 – Modèle électrothermique de la structure utilisé en simulation

Ce modèle thermique couplé à la modélisation électrique de la commande et du système va nous permettre de simuler les situations expérimentales afin d'observer sa pertinence. Ceci nous permettra d'une part d'interpréter l'origine de ses pertes et d'autre part de percevoir de quelle manière le composant se comporte lorsqu'il fonctionne dans un environnement à haute température, ce qui est un des objectifs du projet MEMPHIS/GALION.

4.6.1 Simulations du modèle électrothermique

Les simulations sont basées sur le modèle complet de seconde génération de la carte d'essais, elles sont effectuées à partir de valeurs initiales évitant ainsi les phases transitoires. Elles sont réalisées sur un petit nombre de cycles de commutation (10 à 20 cycles) ce qui donne des temps de simulation relativement courts (5 minutes).

Nous avons réalisé des simulations en adéquation avec les caractérisations électrothermiques vues au paragraphe 3.5 en faisant varier les durées des temps mort séparément. Nous nous focaliserons d'abord sur les pertes de la cellule de commutation dues à la variation de la durée de temps mort tm_1 . Nous pouvons décomposer cette étude en 2 parties différenciées par la durée optimale du temps mort tm_1 . Ces parties font appel à des mécanismes distincts. Nous nous intéresserons ensuite aux pertes engendrées par la variation de la durée du temps mort tm_2 .

Temps mort pendant le front descendant de V_{ch} (tm_1)

Conditions de simulation :

$V_{bus} = 100 V$	$R_{gh} = 10 \Omega$	Fréq. commut. = 1 MHz
$\alpha_t = 0,5$	$R_{gb} = 10 \Omega$	$tm_2 = 125 ns$

La figure 4.34 présente la corrélation entre la mesure et la simulation. Lorsque la durée du temps mort tm_1 est supérieure à 75 ns (durée optimale du temps mort tm_1 pour un minimum de pertes) nous avons une bonne estimation des pertes, qui sont proches de 2 W. Les pertes calculées pour des durées de temps mort inférieures à 75 ns divergent légèrement mais restent dans la marge d'erreur relative de 5 % estimée lors des caractérisations électrothermiques.

Durée de temps mort tm_1 supérieure à l'optimale

Lorsque la durée du temps mort tm_1 augmente au-dessus de 75 ns nous pouvons remarquer une légère augmentation des pertes. Cela est dû à la tension inverse aux bornes du composant dans cette phase. Plus celle-ci est longue, plus il y aura de pertes dans le composant. Cette augmentation des pertes pour les longues durées de temps mort est aussi fonction de la valeur

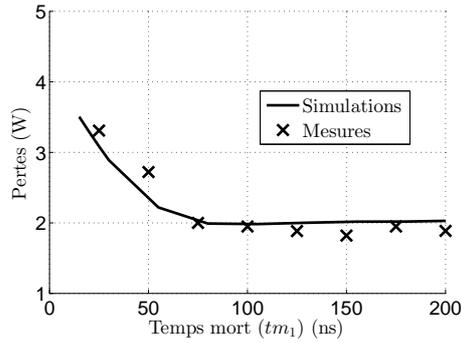


FIGURE 4.34 – Pertes en fonction de la durée du temps mort tm_1 en simulation et en mesure

de la tension inverse lors de cette phase, elle-même fonction de la tension appliquée sur la grille au blocage et de l'intensité inverse traversant le composant durant le temps mort.

Pour mieux observer cet effet, nous avons simulé plusieurs cas pour des tensions de grille de blocage différentes et des durées différentes de temps mort (figure 4.35). La figure 4.35a représente, pour deux durées de temps mort, l'évolution des pertes en fonction de la tension V_{gs} . Plus cette tension est négative, plus les pertes sont importantes.

La figure 4.35b donne, pour les deux stratégies de commande, les pertes générées en fonction du temps mort. La commande des tensions de grille des transistors en $+5/0$ V correspond à la commande utilisée pour la seconde génération de carte d'essai. Cette courbe sert de référence. Si nous symétrisons cette commande en $+5/-5$ V, l'immunité aux perturbations est meilleure et évite les reconductions intempestives [77], mais cette stratégie de commande provoque d'avantage de pertes dans le composant car la tension inverse résultante sera d'environ -7 V et accentuera l'accroissement des pertes pour les durées longues de temps mort.

Durée de temps mort tm_1 inférieure au temps optimale

Lorsque la durée du temps mort tm_1 est inférieure à la durée optimale (temps pour que la capacité C_{dsb} soit complètement déchargée) les pertes augmentent. Cela vient du fait que le canal du transistor devient passant avant la décharge totale de C_{dsb} et le court-circuite en dissipant son énergie résiduelle dans le canal du transistor. Cette dissipation engendre des pertes proportionnelles à l'énergie emmagasinée C_{dsb} (équation (4.14)), elles-mêmes proportionnelles au carré de la tension de charge du condensateur ; d'où l'allure parabolique des pertes lorsque la durée du temps mort se situe en-dessous de la durée optimale.

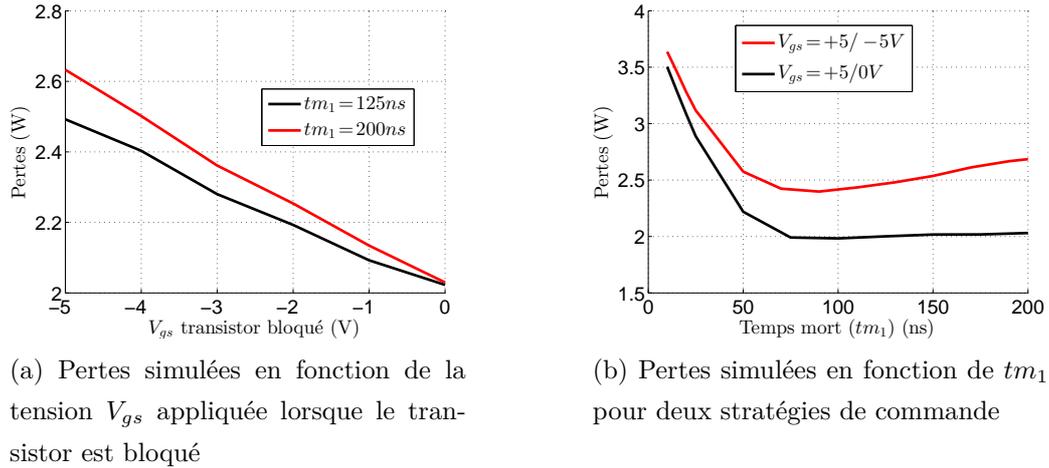


FIGURE 4.35 – Simulation des pertes pour différentes configurations

Le court-circuit de la capacité C_{dsb} provoque une variation brutale de la tension de la charge (figure 4.36a). La variation de cette tension amène un pic de courant négatif (figure 4.36b) dû aux capacités interspires (modélisées par C_{lp}).

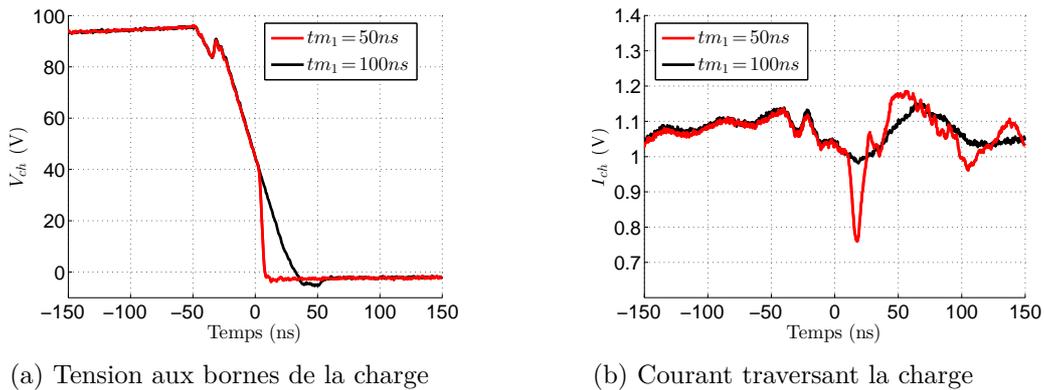


FIGURE 4.36 – Mesures en fonction du temps pour deux temps morts

$$E_c = \frac{1}{2} C_{dsb} V_{ch}^2 \quad (4.14)$$

Avec :

E_c Énergie contenue dans la capacité intrinsèque C_{ds} du transistor

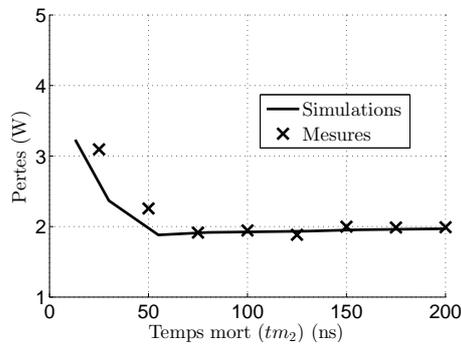
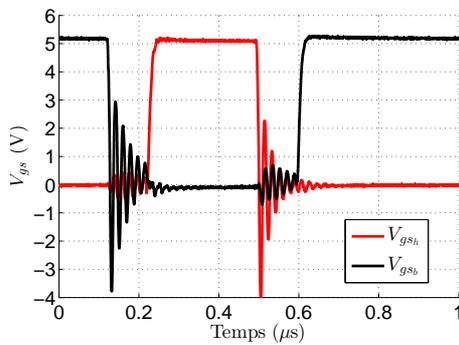
V_{ch} Tension de la charge lors de l'amorçage du transistor du bas

Temps mort pendant le front montant de V_{ch} (tm_2)

Conditions de simulation :

$V_{bus} = 100 V$	$R_{gh} = 10 \Omega$	Fréq. commut. = 1 MHz
$\alpha_t = 0,5$	$R_{gb} = 10 \Omega$	$tm_1 = 125 ns$

La figure 4.37a présente la comparaison entre mesures et simulations pour la variation de tm_2 avec tm_1 fixé à 125 ns. Nous observons le même comportement que précédemment, à savoir une bonne corrélation des mesures pour des temps morts supérieurs à 75 ns et des divergences faibles en-dessous.

(a) Pertes en fonction de tm_2 en simulation et en mesure

(b) Tensions de grille en fonction du temps

FIGURE 4.37 – Simulation des pertes pour tm_2 variable et tm_1 fixé

L'évolution des pertes en fonction de la durée du temps mort tm_2 donne la même courbe que dans le cas de l'évolution de la durée tm_1 mais le phénomène engendrant cette évolution ne vient pas d'une décharge de l'énergie capacitive dans le canal du transistor. Elle trouve son origine dans la perturbation oscillante générée sur la grille du transistor du bas lors de

son blocage (figure 4.37b). Cette perturbation maintient passant ce transistor car elle dépasse la tension de seuil (d'environ 2 V) durant les premières oscillations. Ce phénomène induit un court-circuit de la cellule de commutation car le transistor du haut est fermé à ce moment. Plus la durée du temps mort tm_2 est courte plus la phase sera longue engendrant des pertes dans les deux transistors.

La simulation de la tension de commande des transistors (V_{gs}) montre des oscillations inférieures à celles mesurées et cela explique aussi que les pertes simulées soient plus faibles que les mesures.

4.7 Synthèse sur la simulation électrothermique

La prise en compte des pertes produites par le composant GaN dans son modèle nous a servi à préciser leurs origines. Grâce au modèle de commande paramétrable il a été possible de corréler les simulations électrothermiques avec les caractérisations expérimentales et d'observer quel facteur engendrait au premier ordre les pertes dans la cellule de commutation.

Nous avons pu confirmer l'importance de la gestion des temps morts. En ce qui concerne la durée du temps mort tm_1 , elle doit être réglée en fonction du temps de charge/décharge des capacités intrinsèques elles-mêmes liées au courant de charge. Afin d'avoir une perception plus globale de ce comportement nous avons réalisé plusieurs simulations selon les durées de temps mort tm_1 et à puissance variable avec une durée tm_2 fixée à 125 ns. La figure 4.38 présente ces résultats. La première observation que nous pouvons faire est que chaque courbe possède un minimum mais qu'il diffère pour chaque valeur de tm_1 .

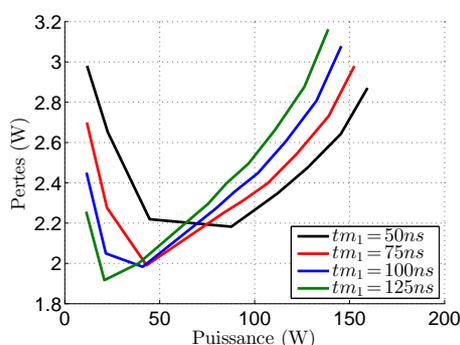


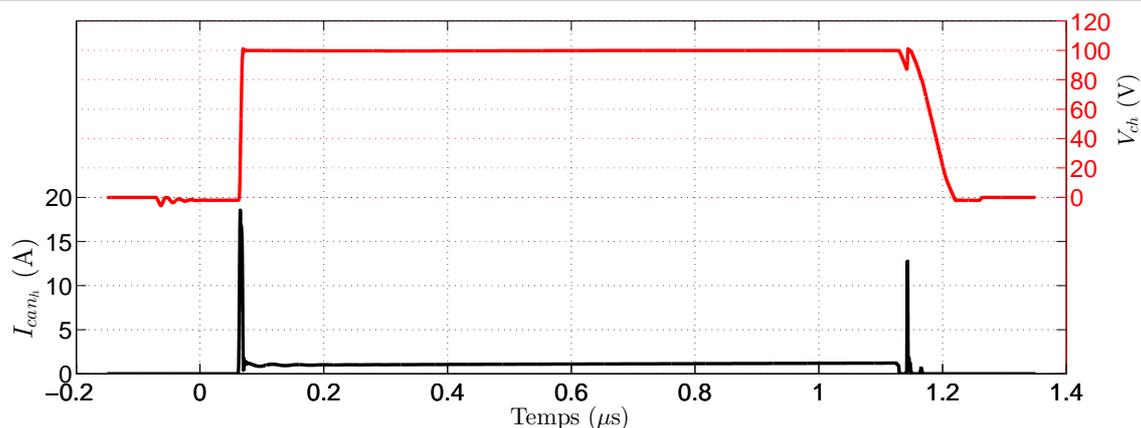
FIGURE 4.38 – Pertes en fonction de la puissance transmise pour des temps morts (tm_1) différents

Plus le temps mort tm_1 est long, plus le minimum est atteint à plus faible puissance de charge. En effet, ce minimum correspond au cas où la durée de tm_1 est égale exactement à la durée de charge/décharge des capacités intrinsèques des transistors. Ces courbes montrent que nous pouvons ajuster ce temps mort (évitant d'avoir à le régler) dans à une gamme de puissance donnée, ce qui nous assure d'obtenir des pertes proches du minimum.

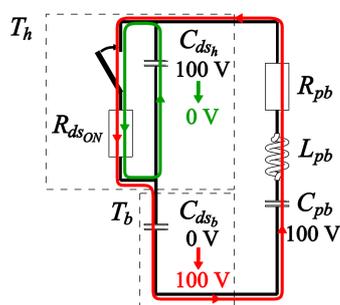
Pour la durée du temps mort tm_2 , nous avons pu observer la problème de la perturbation sur la tension de grille provoquant le maintien du transistor à l'état passant ce qui engendre des phases de court-circuit. Sans cette perturbation, nous pourrions réduire la durée de temps mort tm_2 proche de 0 pour avoir un minimum de pertes dans la cellule de commutation. Cette oscillation responsable de la reconduction est due à l'inductance de la maille ($L_{g_lp_b}$) de commande servant au blocage du transistor ainsi qu'au manque d'élément permettant de dissiper ou de récupérer l'énergie stockée dans la capacité de la grille. Pour résoudre ce problème nous pourrions ajouter une résistance de quelques ohms afin de dissiper cette énergie, évitant l'oscillation sur la tension de grille et donc la reconduction du transistor.

Les courbes de pertes montrent toutes des minima proches de 2 W. La question de l'origine de ses pertes minimales se pose. Elles sont dues principalement à deux causes qui peuvent être représentées par des impulsions de courant à travers le canal du transistor du haut (I_{can_h}) présentés sur la figure 4.39a :

- la première impulsion est dû à la commutation forcée lors du front montant, la figure 4.39b montre les deux boucles de courant qui provoque ce pic. Nous prendrons l'exemple d'une tension de bus continu de 100 V. Avant l'amorçage du transistor du haut sa capacité intrinsèque est chargée à la tension du bus continu et la capacité du transistor du bas est à 0 V. À l'amorçage de T_h deux boucles se forment : une boucle provoque la décharge de l'énergie stockée dans C_{ds_h} dans le canal du transistor du haut (T_h), l'autre boucle recharge la capacité du transistor du bas à la tension de bus en passant par la résistance du canal du transistor du haut (T_h). Ces deux courants additionnés sont responsables du premier pic de courant.
- la seconde impulsion est du à la perturbation sur la tension de commande de grille du transistor du bas (voir figure 4.37b) qui le fait reconduire et provoque des courants capacitifs venant charger/décharger les capacités intrinsèques et la capacité parasite de la charge.



(a) Courant dans le canal du transistor du haut (I_{canh} , en noir) et tension aux bornes de la charge (V_{ch}), en rouge) en fonction du temps



(b) Explication du premier pic de courant lors du front montant de la tension de charge

FIGURE 4.39 – Pertes générées par les pics de courant dans le transistor du haut

La première impulsion de courant est dû à la structure du convertisseur et à la nature de la charge. Il peut être réduit ou éliminé en changeant la charge inductive par une charge résonnante (RLC) permettant une commutation douce ou par l'ajout d'un CALC (*Circuit d'Aide à La Commutation*), favorisant aussi la commutation douce. La seconde impulsion courant peut être supprimé en éliminant la perturbation sur la tension de commande de grille du transistor du bas de la même manière que pour celui du haut.

La simulation électrothermique nous a permis dans ce cas de déterminer précisément l'amplitude des impulsions de courants qui seraient difficilement accessibles en mesure.

4.8 Conclusion

Nous avons décrit la modélisation d'un composant GaN d'EPC d'un point de vue électrique et électrothermique. Le modèle a été détaillé, nous permettant de pouvoir ajuster ses paramètres en fonction du composant utilisé. Les simulations statiques nous ont servi à le valider, montrant un comportement similaire à ses caractérisations expérimentales statiques à température ambiante et jusqu'à 190 ° C.

Nous avons modélisé deux générations de carte d'essai en les décomposant en sous-parties dont les impédances ont été mesurées en fréquence. Ces mesures nous ont servi à définir un modèle « circuit » de la structure du convertisseur. Grâce aux simulations de la première génération de carte d'essai, nous avons pu identifier les problèmes rencontrés lors des caractérisations électriques dynamiques. Cela nous a permis de définir des règles de routage et de conception afin de réduire les phénomènes parasites, notamment ceux observés sur la tension de charge (V_{ch}).

Ces règles ont donné naissance à une seconde génération de carte d'essai qui a fournit des mesures moins perturbées, autorisant une meilleure corrélation entre mesures et simulations. Nous avons pu modéliser la tension de commande de grille afin de faire varier ses paramètres comme la durée des temps morts ou le rapport cyclique. Ceci amène à pouvoir simuler les limites de fonctionnement de cette structure. Ces simulations ont été validées par des corrélations avec les mesures et nous ont servi de base pour les simulations des pertes de la cellule de commutation.

Nous avons ajouté le comportement thermique au modèle du composant GaN, donnant accès aux pertes émises par la cellule de commutation. Grâce au modèle de la commande, nous avons pu observer l'évolution des pertes en fonction de différents paramètres et notamment par rapport à la durée des temps morts. Nous avons ainsi pu expliciter l'évolutions des pertes et fournir des solutions pour les réduire, voire les éliminer.

Au final, les simulations nous ont permis de valider le modèle du composant tant au niveau électrique que thermique. La prédiction des pertes peut être estimée avec une erreur de l'ordre de 5 %. Le modèle proposé présente l'avantage de permettre l'interprétation des pertes dans le composant pour ainsi pouvoir mieux les contrôler. En effet, grâce à la simulation nous pouvons

accéder à tous les courants et tensions nécessaires, chose impossible sur la maquette de test. À l'aide des simulations, nous pouvons savoir quel réglage de la commande est le mieux adapté à la structure afin d'atteindre un minimum de pertes, allégeant ainsi le système de refroidissement dans une optique d'intégration.

Les modèles développés constituent les briques élémentaires nécessaires pour simuler d'autres structures et permettent de définir leurs commandes adaptées. Le prochain chapitre sera dédié à l'étude par simulation d'une structure adaptée pour les problématiques du projet MEMPHIS/GALION à l'aide du modèle du composant GaN d'EPC et rechercher son fonctionnement optimal.

Chapitre 5

Modélisation d'un convertisseur de puissance à résonance à base de composant GaN

Nous avons vu dans l'introduction de cette thèse les contraintes sur le démonstrateur qui doit être réalisé dans le cadre du projet MEMPHIS/GALION. Ces contraintes permettent de choisir le type de convertisseur de puissance. Les plus importantes dans ce choix sont listées ci-dessous :

- 3 sorties isolées galvaniquement. Cette contrainte impose l'utilisation d'un étage intermédiaire, de nature magnétique ou piézo-électrique par exemple,
- la tension d'entrée continue variant entre 30 et 300 V, ce qui demande une importante plage de gain au convertisseur de puissance,
- le convertisseur de puissance devra pouvoir se loger dans un tube de 10 cm de diamètre, ce qui signifie réduire sa taille et son nombre d'éléments. Les éléments les plus contraignants au niveau de la taille sont les composants passifs (condensateurs, inductances, circuit magnétiques) et les moyens de refroidissement (radiateurs) des composants actifs. Les composants passifs peuvent être réduits en augmentant la fréquence de commutation du convertisseur au détriment des pertes. Les moyens de refroidissement sont utiles à la dissipation des pertes des composants actifs, plus ils produisent de pertes, plus les radiateurs doivent être volumineux, il y a donc un compromis à trouver. La structure du convertisseur choisi doit avoir un nombre limité de composants actifs pour

avoir une taille réduite et simplifier la commande,

- un rendement minimum de 80 % du convertisseur de puissance dans sa globalité.

L'étude du chapitre précédent permet de donner des éléments et des critères pour les deux derniers points. En effet, dans ce chapitre nous avons observé l'origine des pertes générées par une cellule de commutation avec des composants GaN d'EPC. Celles-ci sont dues à divers mécanismes qui peuvent être regroupés en deux catégories :

- le type de convertisseur de puissance qui autorise une commutation douce des transistors à l'amorçage et au blocage de ceux-ci. Nous pouvons aussi utiliser la commutation commandée associée à un CALC mais cette technique ajoute un composant dissipateur d'énergie baissant le rendement ou une complexité accrue de la structure pour récupérer cette énergie,
- la bonne gestion de la tension de commande des grilles des transistors, tant au niveau des tensions que des durées surtout en ce qui concerne les temps morts.

Dans ce chapitre nous commençons donc par présenter une structure de convertisseur de puissance à résonance permettant de pallier aux limitations énoncées. Nous réalisons tout d'abord l'analyse de cette structure pour démontrer son intérêt et sa validité pour le projet MEMPHIS/GALION. Grâce à cette analyse nous mettons en avant des paramètres caractéristiques nous permettant de connaître de quelle manière fonctionne la structure de convertisseur de puissance par rapport à la fréquence de commutation des transistors. Nous présentons ensuite les types de commutation possibles de cette cellule de commutation et déterminons le gain entre la tension d'entrée et de sortie de ce convertisseur de puissance

Grâce à l'étude théorique de la structure, nous sommes en mesure de proposer une méthode pour dimensionner le convertisseur. Nous établissons un modèle basé sur les dimensions d'un circuit magnétique déterminé pour répondre aux spécifications du convertisseur de puissance. Ce modèle prend aussi en compte les pertes. Pour estimer les erreurs faites sur son dimensionnement, nous avons réalisé un circuit magnétique proche de celui déterminé afin d'effectuer des mesures et de les comparer avec le modèle. Cela nous donne une approximation de l'erreur et nous permet de la reporter dans le modèle de simulation du circuit magnétique.

Enfin, à l'aide de simulations, nous pouvons spécifier les commandes appropriées pour réaliser un convertisseur de puissance satisfaisant les contraintes du démonstrateur données dans l'introduction de cette thèse. La cellule de commutation du côté primaire du convertisseur de puissance est d'abord étudiée afin d'observer les contraintes électriques. Nous passons ensuite au côté secondaire du convertisseur pour déterminer une loi de commande reliant la fréquence et

le déphasage entre les deux cellules de commutation permettant la réalisation d'un redressement synchrone à la sortie du convertisseur de puissance. Cette détermination est faite par l'étude des commutations naturelles de diodes supposées idéales venant prendre en simulation la place des transistors de la cellule de commutation du côté secondaire. Cette étude met en avant un indicateur qui nous permet d'estimer le bon déphasage que nous devons appliquer à cette cellule de commutation pour optimiser son fonctionnement et déterminer la commande à appliquer.

La planification des étapes du projet ne nous a pas permis de réaliser un prototype complet de cette structure de puissance. Les résultats de simulations nous donnent néanmoins une bonne estimation du fonctionnement du convertisseur de puissance. Ce travail nous permet de prédimensionner les éléments constituant le convertisseur de puissance qui sera réalisé par la suite.

5.1 Les structures de convertisseur à résonance

Un des critères du projet est d'avoir une isolation galvanique entre l'entrée et la sortie. Il faut donc s'orienter vers une structure intégrant un circuit magnétique, elle peut-être de type forward, flyback, ou résonnante.

Les structures résonnantes sont étudiées depuis les années 80, elles procurent plusieurs avantages :

- fonctionnement des transistors en commutation douce (ZVS (*Zero Voltage Switching*)¹), augmentant le rendement du convertisseur [95–97] ; de plus, le fonctionnement du transformateur est à flux symétrique,
- grande plage de tension d'entrée car la gamme de gain est importante [96],
- peu de composants actifs (4 au total), ce qui est un avantage pour les structures en environnements sévères car la fiabilité est augmentée,
- commutation à haute fréquence (jusqu'à quelques MHz) permettant de réduire les circuits passifs,
- réduction des interférences électromagnétiques [98],
- rapport cyclique fixe ($\alpha = 0,5$) dans la majorité des cas de fonctionnement.

Leur inconvénient majeur reste leur commande à fréquence variable et les contraintes plus fortes sur les semi-conducteurs.

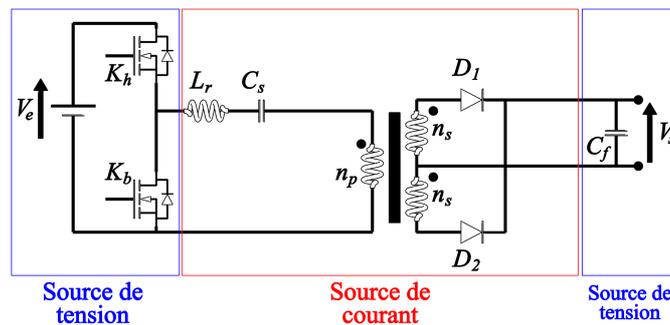
1. Commutation à zéro de tension

5.1. Les struct. de conv. à résonnance

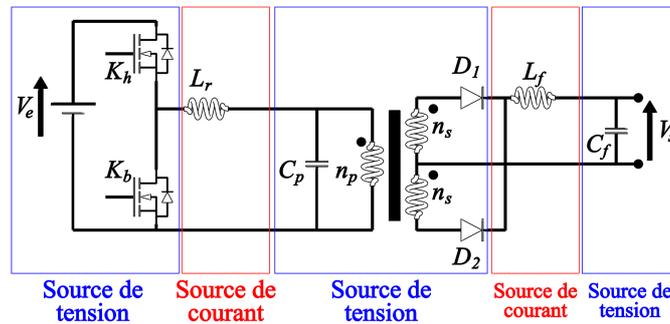
Il existe trois topologies usuelles de convertisseur à résonnance :

- résonnance série ou (SRC, figure 5.1a) où le transformateur est en série avec le circuit $L_r C_s$ résonnant,
- résonnance parallèle (PRC, figure 5.1b) où le transformateur se trouve en parallèle du condensateur C_p servant à la résonnance, faisant de celui-ci un transformateur de tension. Il est donc nécessaire d'ajouter une inductance à la sortie (L_f) pour respecter les règles d'association des sources,
- résonnance série-parallèle (SPRC ou LCC, figure 5.1c) qui est l'association des deux précédents convertisseurs basé lui aussi sur un transformateur de tension.

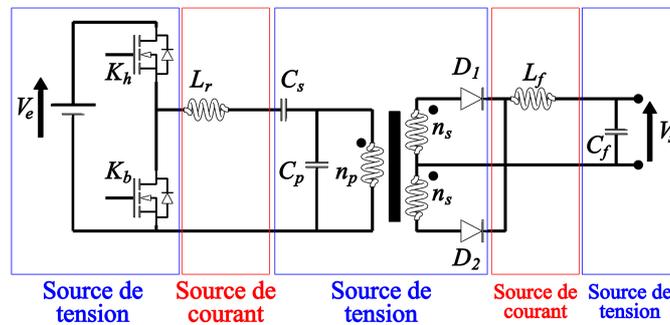
Les deux dernières structures (PRC, LCC) doivent avoir une inductance au secondaire pour



(a) Série (SRC)



(b) Parallèle (PRC)



(c) Série-parallèle (LCC)

FIGURE 5.1 – Types de convertisseur à résonnance

adapter les impédances [99], cela ajoute un élément passif supplémentaire.

Ces trois topologies de convertisseur à résonance restent théoriques car elles négligent les inductances de fuite et magnétisante du circuit magnétique. Néanmoins, le convertisseur à résonance série-parallèle conduit à une structure dual lorsque nous remplaçons les condensateurs (C_s et C_p) par les inductances ($L_{s/f}$ et $L_{p/M}$) et l'inductance (L_r) par un condensateur (C_r). Le circuit forme un nouveau convertisseur à résonance appelé convertisseur LLC², il est représenté à la figure 5.2. Ainsi que le montre cette figure, cette structure peut être vue comme un convertisseur à résonance série (figure 5.1a) qui prend en compte l'inductance magnétisante. Le circuit magnétique est alors utilisé en transformateur de courant. Le secondaire ne se résume donc plus qu'à un condensateur permettant de lisser la tension de sortie [99, 100], car nous pouvons directement raccorder le transformateur de courant (source de courant) au condensateur de sortie (source de tension). Le convertisseur à résonance LLC sera étudié par la suite.

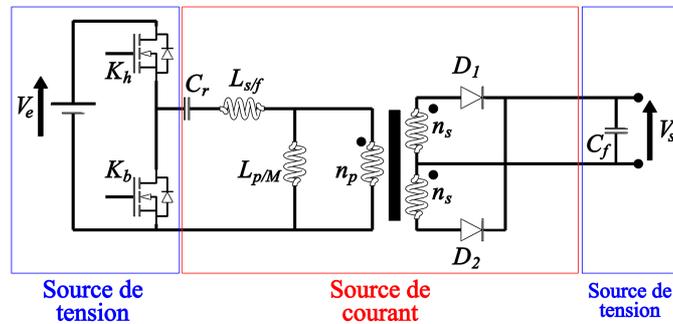


FIGURE 5.2 – Convertisseur LLC : dualité du convertisseur LCC

2. Typologie de convertisseur résonnant grâce à un condensateur et deux inductances

5.1.1 Étude d'un convertisseur à résonnance LLC

Définition des grandeurs électriques et hypothèses

La figure 5.3 représente le schéma retenu du convertisseur à résonnance LLC que nous allons étudier. Une cellule de commutation formée par des composants GaN d'EPC (K_{eh} et K_{eb}) sert à réaliser l'onduleur de tension raccordé aux bornes du circuit LLC. Celui-ci est formé d'un condensateur série (C_r) et d'un transformateur. Pour l'étude, le modèle du circuit magnétique est donné avec l'inductance magnétisante ramenée au primaire (L_{M1}), les inductances de fuites au primaire (L_{f1}) et au secondaire (L_{f2}). Les pertes cuivre et fer ne sont pas prises en compte au début de l'étude car elles n'interviennent pas sur les fréquences particulières de la structure que nous allons établir plus loin. Comparé avec la figure 5.2, le secondaire du transformateur ne contient qu'un seul enroulement au lieu de deux précédemment. Ceci simplifie le circuit magnétique mais oblige à réaliser le convertisseur alternatif-continu de sortie avec un demi-pont capacitif pour récupérer l'énergie transmise sur les deux alternances du courant secondaire. Ce choix est aussi motivé par la nécessité d'avoir 3 sorties isolées au final. Une résistance de charge (R_{ch}) est connectée à la sortie, elle permet de simuler la puissance délivrée par le convertisseur.

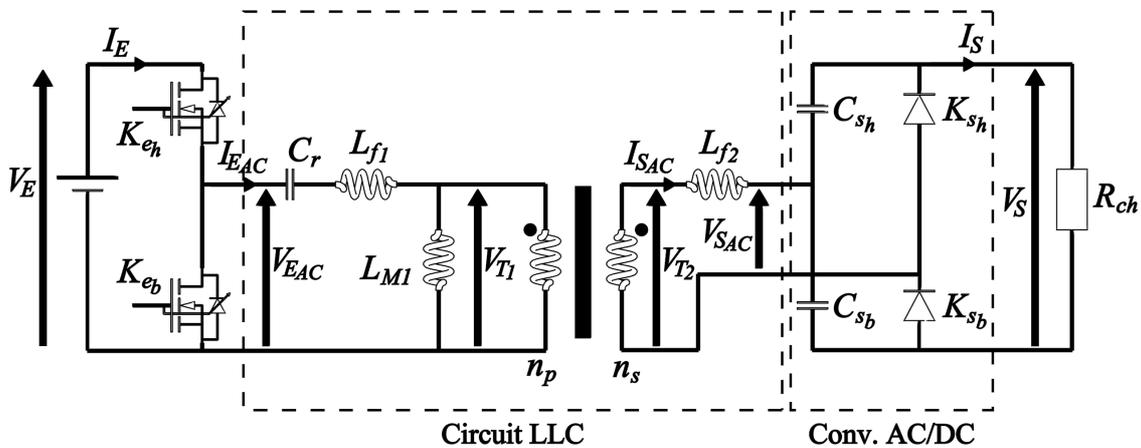


FIGURE 5.3 – Schéma du convertisseur de puissance à résonnance LLC

L'équation (5.1) donne les relations entre les grandeurs de la sortie alternative (V_{SAC} , I_{SAC}) et celles au niveau de la charge (V_S , I_S). Ces relations nous permettent par l'intermédiaire de la puissance consommée par la résistance de charge (équation (5.2)) de calculer une résistance équivalente (R_{eq}) connectée directement sur la sortie du transformateur et qui consommerait la même puissance que R_{ch} (figure 5.4). Il s'agit donc d'une approche au premier harmonique

qui ce justifie bien pour ce type de convertisseur.

$$V_S = \frac{\pi}{\sqrt{2}} V_{SAC} \quad I_{SAC} = \frac{\pi}{\sqrt{2}} I_S \quad (5.1)$$

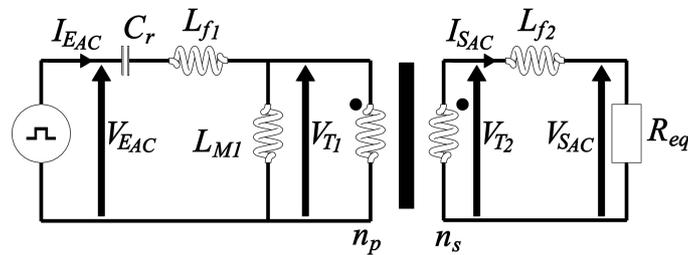
$$P_{ch} = \frac{V_S^2}{R_{ch}} = \left(\frac{\sqrt{2}}{\pi} V_S \right)^2 \cdot \frac{1}{R_{eq}} \quad (5.2)$$

$$R_{eq} = \frac{2}{\pi^2} R_{ch} \approx 0,2 \cdot R_{ch} \quad (5.3)$$

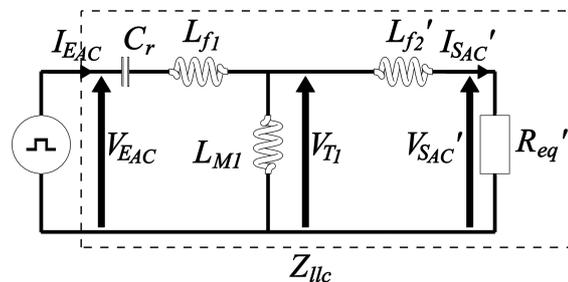
Avec :

- V_S, I_S Tension et courant au niveau de la charge
- V_{SAC}, I_{SAC} Tension et courant au niveau du secondaire du transformateur LLC
- R_{ch} Charge du convertisseur
- P_{ch} Puissance dissipée par R_{ch}
- R_{eq} Résistance équivalente connectée en sortie du transformateur

Cette résistance équivalente nous permet d'établir un schéma d'étude sans ce convertisseur de sortie. Ce schéma est représenté à la figure 5.4a, il peut encore être simplifié en ramenant les éléments situés au secondaire du transformateur du côté primaire de celui-ci, ce qui permet d'obtenir le schéma équivalent présenté à la figure 5.4b.



(a) Avec transformateur



(b) Éléments du circuit secondaire du transformateur ramenés au primaire

FIGURE 5.4 – Circuit LLC avec la charge

Le circuit LLC est alimenté en entrée par une tension de forme carrée entre V_E et 0 V. Le convertisseur étant un système résonnant nous nous placerons dans l'hypothèse du premier harmonique dont la valeur efficace est donnée par l'équation (5.4). En effet l'harmonique suivant d'un signal carré est l'harmonique de rang 3 qui est trois fois moins élevé que le premier harmonique. De plus, comme nous l'observerons sur les courbes d'impédances du transformateur LLC, nous nous situerons toujours dans une zone de fonctionnement où l'harmonique de rang 3 voit une impédance au moins 3 fois plus importante que le premier harmonique, ce qui justifie l'hypothèse de ne tenir compte que du premier harmonique.

$$V_{E_{AC1}} = \frac{\sqrt{2}}{\pi} V_E \quad (5.4)$$

Avec :

- $V_{E_{AC1}}$ Tension efficace du premier harmonique
- $V_{E_{AC3}}$ Tension efficace de l'harmonique de rang 3

Les équations (5.5) et (5.6) fournissent les conversions des éléments et grandeurs électriques lorsqu'ils sont ramenés au primaire.

$$R_{eq}' = \frac{R_{eq}}{m^2} \quad L_{f_2}' = \frac{L_{f_2}}{m^2} \quad (5.5)$$

$$V_{S_{AC}}' = \frac{V_{S_{AC}}}{m} \quad I_{S_{AC}}' = I_{S_{AC}} \cdot m \quad (5.6)$$

Avec :

- $m = \frac{n_s}{n_p}$ Rapport de transformation entre le primaire et le secondaire du transformateur

Grâce à ces équations et à la figure 5.4b nous allons pouvoir établir l'impédance vue par la source de tension d'entrée (Z_{llc}) du transformateur LLC ainsi que le gain du système entre l'entrée ($V_{E_{AC1}}$) et la sortie ($V_{S_{AC}}$) en fonction de la charge (R_{ch}) connectée.

Calcul de l'impédance du circuit LLC

L'impédance du transformateur LLC vue de la source de tension d'entrée reliant $V_{E_{AC1}}$ à $I_{E_{AC1}}$ est donnée par l'équation (5.7). Cette impédance peut être mise sous une forme permettant de faire ressortir deux pulsations électriques caractéristiques du circuit LLC (ω_{r1} et ω_{r2}),

elle est donnée par l'équation (5.8).

$$Z_{llc} = \frac{V_{EAC1}}{I_{EAC1}} = \frac{1}{jC_r\omega} + jL_{f1}\omega + \frac{jL_{M1}\omega(jL_{f2}'\omega + R_{eq}')}{jL_{M1}\omega + jL_{f2}'\omega + R_{eq}'} \quad (5.7)$$

$$Z_{llc} = \frac{1}{jC_r\omega} \cdot \frac{1}{1 + j\frac{\omega}{\omega_{r2}}K_{l\omega R}} \cdot \left(j\frac{\omega}{\omega_{r2}}K_{l\omega R} \left(1 - \left(\frac{\omega}{\omega_{r2}} \right)^2 \right) + 1 - \left(\frac{\omega}{\omega_{r1}} \right)^2 \right) \quad (5.8)$$

$$(5.9)$$

Avec :

$\omega = 2\pi f$	Pulsation électrique [$rad.s^{-1}$]
$\omega_{r1} = 2\pi f_{r1}$	Première pulsation électrique caractéristique du circuit LLC ($R_{eq} \rightarrow \infty$) [$rad.s^{-1}$]
$\omega_{r2} = 2\pi f_{r2}$	Seconde pulsation électrique caractéristique du circuit LLC ($R_{eq} = 0$) [$rad.s^{-1}$]
$\omega_{R_{eq}}$	Pulsation où se situe la résonance du transformateur LLC en fonction de la charge (R_{eq})
$K_{l\omega R}$	Coefficient relié à la résistance de charge équivalente

L'équation (5.11) donne les pulsations électriques de résonance en fonction des inductances et de la capacité du circuit LLC. Ce circuit va avoir une pulsation électrique de résonance (ω_r) située entre ces deux pulsations électriques caractéristiques (équation (5.10)). Si la résistance de charge (R_{eq}) est élevée, $\omega_{R_{eq}}$ va tendre vers ω_{r1} , si R_{eq} tend vers 0Ω , $\omega_{R_{eq}}$ va tendre vers ω_{r2} . L'équation (5.12) définit la constante de temps $\tau_{R_{eq}}$ qui dépend de la résistance de charge associée au transformateur. Ce facteur permet de normaliser le tracé des courbes de l'impédance.

$$\omega_{r1} < \omega_r < \omega_{r2} \quad (5.10)$$

$$\omega_{r1} = \frac{1}{\sqrt{(L_{M1} + L_{f1}) C_r}} \quad \omega_{r2} = \frac{1}{\sqrt{\left(L_{f1} + \frac{L_{M1}L_{f2}}{m^2 L_{M1} + L_{f2}} \right) C_r}} \quad (5.11)$$

$$\tau_{R_{eq}} = \frac{L_{M1} + \frac{L_{f2}}{m^2}}{\frac{R_{eq}}{m^2}} \quad K_{l\omega R} = \tau_{R_{eq}}\omega_{r2} \quad (5.12)$$

La figure 5.5 représente ce comportement en traçant les courbes d'impédance (modules et phase) vue par la source de tension d'entrée en fonction du facteur $K_{l\omega R}$, d'une fréquence f_{r1} de 500 kHz et d'une fréquence f_{r2} de 1 MHz. Nous pouvons observer que pour une forte résistance de charge ($K_{l\omega R}$ proche de 0) la résonance se situe proche de f_{r1} , pour une faible résistance de charge nous nous rapprochons de la fréquence f_{r2} .

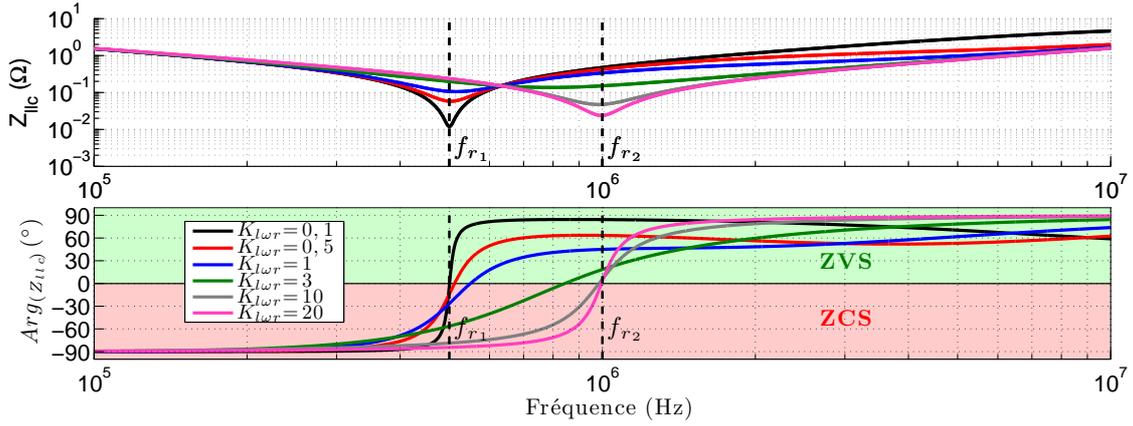


FIGURE 5.5 – Impédance du circuit LLC vue de l'entrée (Z_{llc}) pour une fréquence $f_{r1} = 500 \text{ kHz}$ et $f_{r2} = 1 \text{ MHz}$, module, phase, type de commutation

La résonance de l'impédance du transformateur LLC en fonction de la résistance de charge coïncide avec le passage à 0° de sa phase. Ce passage délimite les zones de fonctionnement de la cellule de commutation :

- $\text{Arg}(z_{llc}) < 0^\circ$ permet un mode de fonctionnement en ZVC,
- $\text{Arg}(z_{llc}) > 0^\circ$ permet un mode de fonctionnement en ZVS.

Types de commutation

Nous allons étudier les différents mode de commutation dans le cadre de la cellule de commutation étudiée au chapitre 4 en utilisant une commande complémentaire avec un temps mort fixe. Nous avons réalisé des simulations en faisant commuter la cellule de commutation à des fréquences différentes. Ces fréquences notées f_1 , f_2 et f_3 représentent respectivement la fréquence de résonance du transformateur LLC pour un facteur $K_{l\omega R} = 10$, une fréquence en-dessous et une fréquence au-dessus de cette fréquence de résonance. La figure 5.6 représente la courbe de l'impédance (module et phase) vue par la source de tension d'entrée pour un facteur $K_{l\omega R} = 10$, nous avons placé les trois fréquences de commutation du bras d'onduleur que nous avons simulé.

Les figures 5.7a à 5.7d représentent la tension V_{EAC} et les courants I_{EAC} et $I_{K_{e_b}}$ pour les trois fréquences de commutation du bras d'onduleur. Les commutations se font avec un temps mort de 50 ns dans la commande des deux transistors sauf pour la figure 5.7d qui est réalisée avec une durée de temps mort de 100 ns.

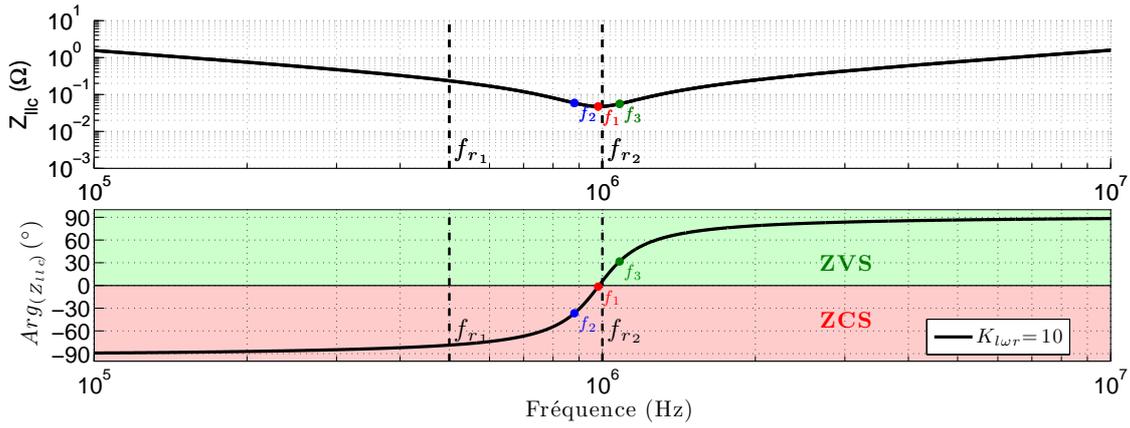
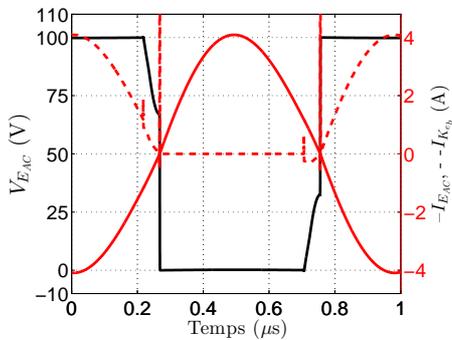
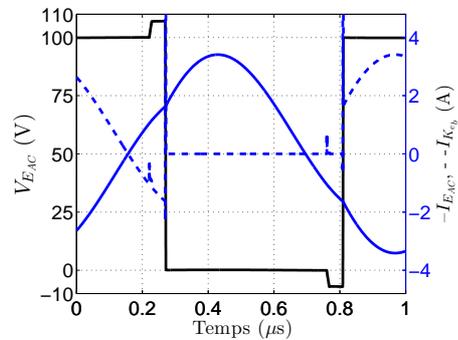


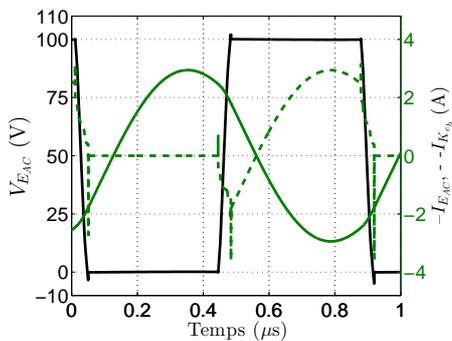
FIGURE 5.6 – Impédance du circuit LLC vue de l'entrée (Z_{llc}) pour un facteur $K_{l\omega R} = 10$ et pour une fréquence $f_{r1} = 500 \text{ kHz}$ et $f_{r2} = 1 \text{ MHz}$, module, phase, type de commutation



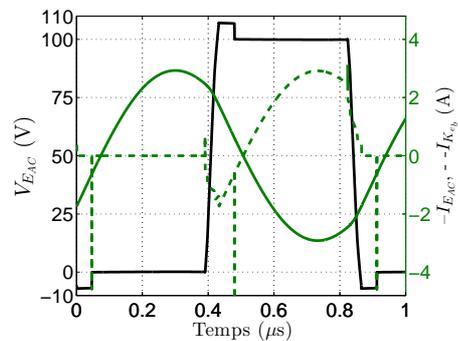
(a) V_{EAC} , I_{EAC} et $I_{K_{e_b}}$ en fonction du temps pour fréq. commut. = $f_1 = f_{r2}$



(b) V_{EAC} , I_{EAC} et $I_{K_{e_b}}$ en fonction du temps pour fréq. commut. = $f_2 < f_{r2}$



(c) V_{EAC} , I_{EAC} et $I_{K_{e_b}}$ en fonction du temps pour fréq. commut. = $f_3 > f_{r2}$



(d) V_{EAC} , I_{EAC} et $I_{K_{e_b}}$ en fonction du temps pour fréq. commut. = f_3 et un temps mort de 100 ns

FIGURE 5.7 – Étude du type de commutation en fonction de la fréquence de commutation de la cellule de commutation

La figure 5.7a présente les courbes lorsque le bras commute à la fréquence de résonance. Nous pouvons observer un déphasage nul entre celles-ci. La tension V_{EAC} affiche un comporte-

ment mixte entre une commutation douce et dure (figure 5.8). Au début de la commutation, le courant dans le circuit LLC charge/décharge les capacités des transistors. Cependant comme le courant est proche de zéro, cette charge/décharge ne peut être complète. L'énergie restante dans les capacités C_{ds} des transistors est dissipée lorsque le transistor complémentaire est amorcé ce qui provoque les pics de courant visibles sur la figure.

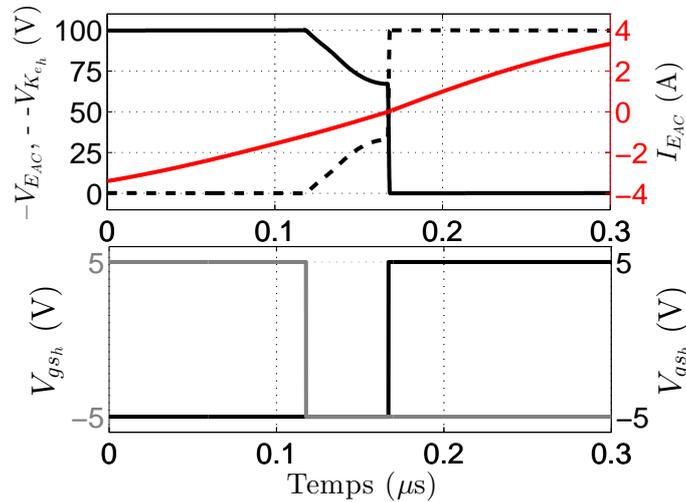


FIGURE 5.8 – $V_{E_{AC}}$, $V_{K_{e_h}}$, $I_{E_{AC}}$ et les tensions de commande des transistor en fonction du temps pour fréq. commut. = $f_1 = f_{r2}$

Ce comportement est dû au déphase nul entre la tension aux bornes du circuit LLC et le courant le traversant, il marque le passage entre un comportement possible en mode ZCS (*Zero Current Switching*)³ et en mode ZVS. Comme nous l'avons observé dans les chapitres précédents, ce comportement engendre des pertes dans la cellule de commutation.

La figure 5.7b représente la tension aux bornes et le courant traversant le circuit LLC lorsque la fréquence est inférieure à sa fréquence de résonance. Dans ce cas, la charge/décharge des capacités intrinsèques des transistors ne peut se faire dû au sens du courant. Le transistor commandé au blocage passe en conduction inverse pendant le temps mort, ce qui se traduit par une légère surtension sur le bus. Ceci provoque des commutations dures qui engendrent le maximum de pertes en commutation dans la cellule de commutation.

La figure 5.7c et 5.7d représentent ces grandeurs électriques pour une fréquence supérieure à la fréquence de résonance du transformateur LLC. Nous pouvons observer des variations

3. Commutation à zéro de courant

douces de la tension à chaque front. Cela est réalisé par l'intermédiaire du courant qui est en retard sur la tension (déphasage positif) et qui circule dans le bon sens pour décharger les capacités intrinsèques des composants GaN d'EPC. La figure 5.7c présente les courbes lorsque la durée des temps morts est optimale. Dans ce cas, la tension s'annule au moment de l'amorçage du transistor complémentaire. Si nous augmentons cette durée (figure 5.7d) nous pouvons voir la tension V_{EAC} passer en négatif (ou être supérieure à la tension de bus) reflétant les phénomènes démontrés à la partie 3.4.2, ce qui engendre des pertes supplémentaires.

Ces figures nous permettent d'observer la bonne zone de fonctionnement qui est celle où nous pouvons faire commuter les transistors GaN en mode ZVS. Il est donc nécessaire de situer la fréquence de commutation de la cellule de commutation au delà de la fréquence de résonance, autorisant une commutation douce qui favorise la diminution des pertes générées par cette cellule de commutation. La commutation douce est aussi dépendante du courant dans la charge qui chargera/déchargera plus ou moins vite les capacités intrinsèques associées à la durée de temps mort optimale pour commuter lors du passage à 0 V de la tension aux bornes du transistors à amorcer.

Calcul du gain en tension vue par la résistance de charge

Le gain du convertisseur de puissance, donné par l'équation (5.13), fait appel aux mêmes facteurs vus pour l'impédance du circuit LLC (Z_{llc}).

$$G_{ch_eq} = \frac{V_{SAC}'}{V_{EAC1}} = L_{M1}C_r \frac{\omega^2}{j\frac{\omega}{\omega_{r2}}K_{l\omega R} \left(\left(\frac{\omega}{\omega_{r2}} \right)^2 - 1 \right) + \left(\frac{\omega}{\omega_{r1}} \right)^2 - 1} \quad (5.13)$$

Avec :

G_{ch_eq} Gain vu par la résistance équivalente ramenée au primaire

La figure 5.9 présente le gain G_{ch_eq} (module et phase) en fonction de la fréquence pour différents facteurs $K_{l\omega R}$, les fréquences caractéristiques restent les mêmes que précédemment. Le module de ce gain présente un point caractéristique (point de stabilité) lorsque la pulsation électrique ω équivaut à ω_{r2} . En effet, à ce point, la partie imaginaire du gain G_{ch_eq} s'annule et il ne reste que sa partie réelle qui est commune quelle que soit la résistance de charge (R_{eq}). Ce gain est donné par l'équation (5.14). Le produit $L_{M1}C_r$ est donné par l'équation (5.15), il permet de tracer les courbes avec un gain égal à 1 à la fréquence f_{r2} quelque soit la valeur de

$K_{l\omega R}$ (équation (5.15)).

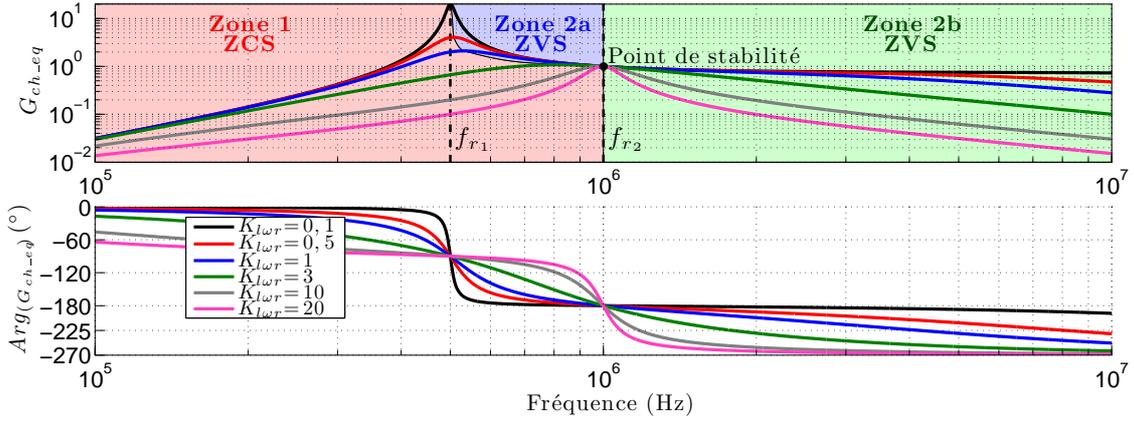


FIGURE 5.9 – Gain du convertisseur de puissance (G_{ch_eq}) en fonction de la fréquence pour plusieurs facteurs $K_{l\omega R}$, module et phase

$$G_{ch_eq}(\omega_{r2}) = L_{M1}C_r \frac{\omega_{r2}^2}{\left(\frac{\omega_{r2}}{\omega_{r1}}\right)^2 - 1} \quad (5.14)$$

$$L_{M1}C_r = \frac{\left(\frac{\omega_{r2}}{\omega_{r1}}\right)^2 - 1}{\omega_{r2}^2} \quad (5.15)$$

Cette figure montre deux zones, la seconde pouvant être divisée en deux sous-parties :

- Zone 1 : elle définit la zone de fonctionnement dans laquelle il est possible de commuter les transistors en mode ZCS. Dans cette zone la cellule de commutation présente une commutation dure, or ce ne sont pas les bonnes conditions pour les transistors GaN. Il faut donc éviter ce mode de fonctionnement.
- Zone 2a : elle délimite la zone où le gain du convertisseur est plus grand que le gain à la fréquence f_{r2} et permet aux transistors de commuter en ZVS.
- Zone 2b : dans cette zone le gain du convertisseur est inférieur au gain à la fréquence f_{r2} . Quelle que soit la résistance de charge, les commutations des transistors se feront en mode ZVS. En outre, le gain du convertisseur dans cette zone diminue avec la résistance de charge ce qui peut permettre une protection contre les court-circuits. Cette zone est aussi utile pour démarrer le convertisseur car le gain diminue et la commutation est tout de même possible en mode ZVS ce qui permet un démarrage en minimisant les pertes de la cellule de commutation.

Récapitulatif

Grâce aux équations établies précédemment sur le circuit LLC et aux relations permettant de revenir au schéma du convertisseur de puissance à résonance LLC, nous pouvons connaître la tension aux bornes de la charge après le convertisseur de sortie AC/DC (V_S) par rapport à la tension du bus continu (V_E) (voir figure 5.3). Cette relation est donnée par l'équation (5.16).

$$G_{ch} = \frac{V_S}{V_E} = A_{Nt} \cdot \frac{\omega^2}{j \frac{\omega}{\omega_{r2}} K_{l\omega R_{ch}} \left(\left(\frac{\omega}{\omega_{r2}} \right)^2 - 1 \right) + \left(\frac{\omega}{\omega_{r1}} \right)^2 - 1} \quad (5.16)$$

$$K_{l\omega R_{ch}} = \frac{\pi^2}{2} \cdot \frac{L_{M1} m^2 + L_{f2}}{R_{ch}} \omega_{r2}$$

$$A_{Nt} = m \cdot L_{M1} C_r$$

$$G_{ch}(\omega_{r2}) = A_{Nt} \cdot \frac{\omega_{r2}^2}{\left(\frac{\omega_{r2}}{\omega_{r1}} \right)^2 - 1} \quad (5.17)$$

Avec :

- G_{ch} Gain en tension du convertisseur de puissance
- $K_{l\omega R_{ch}}$ Coefficient relié à la résistance de charge

Cette équation montre les paramètres caractéristiques pour la mise en œuvre de ce type de convertisseur :

- ω_{r2} : cette pulsation sert à définir la fréquence d'un point de stabilité du convertisseur car le gain à ce point et le même quelque soit la résistance de charge en sortie. Elle est généralement définie en premier car le convertisseur de puissance aura une fréquence de commutation autour de cette fréquence,
- ω_{r1} : cette pulsation définit la limite de fonctionnement basse fréquence du convertisseur. En effet, en-dessous de cette fréquence, le convertisseur travaillera obligatoirement en ZCS quelque soit sa résistance de charge de sortie.
- A_{Nt} est un gain fixe de la structure de puissance, il intervient dans l'expression du gain au point de stabilité (à la fréquence f_{r2} , équation (5.17)).
- $K_{l\omega R_{ch}}$ est relié à la résistance de charge.

Les deux pulsations électriques sont fonction des inductances et de la capacité du circuit LLC (figure 5.3). Or, ces inductances dépendent beaucoup de la structure physique du circuit magnétique réalisé (torique, planar) et se retrouvent liées physiquement par un rapport entre elles. Nous en discuterons en détail dans la partie suivantes et nous pourrons observer les topologies

de transformateur pour avoir des valeurs d'inductances utiles à la conception d'un convertisseur de puissance résonnant sur la plage de fréquence voulue.

Le tableau 5.1 donne la relation entre les éléments électriques et les paramètres du convertisseur à résonnance, la dernière colonne montre le moyen de mise en œuvre qui permet de faire varier la valeur de ces éléments. Comme nous pouvons l'observer, il y a 5 degrés de liberté pour 3 paramètres ce qui nous permettrait en théorie d'avoir un réglage indépendant sur chaque paramètre. Cependant, nous allons le voir en détail dans la partie suivante, les inductances et le rapport de transformation du transformateur sont liés entre eux et réduisent le nombre de degrés de liberté. Il y aura donc des compromis à faire par rapport aux valeurs de ces paramètres.

TABLEAU 5.1 – Correspondance entre les éléments électriques du circuit LLC et ses paramètres

Éléments LLC	Paramètre affecté	Mise en œuvre
C_r	$\omega_{r1}, \omega_{r2}, A_{Nt}$	Composant discret
L_{M1}	$\omega_{r1}, \omega_{r2}, A_{Nt}$	Conception du circuit magnétique
L_{f1}	ω_{r1}, ω_{r2}	Conception du circuit magnétique
L_{f2}	ω_{r2}	Conception du circuit magnétique
m	ω_{r2}, A_{Nt}	Conception du circuit magnétique

Une solution pour avoir plus de flexibilité sur le choix des paramètres consiste à ajouter une inductance externe ($L_{f_{ext}}$) comme montré à la figure 5.10. Cette inductance augmente artificiellement l'inductance de fuite L_{f1} et autorise un réglage supplémentaire sur les pulsations électriques du convertisseur. Néanmoins, l'ajout de ce composant implique un élément physique supplémentaire et diminue donc la possibilité d'intégration du convertisseur de puissance.

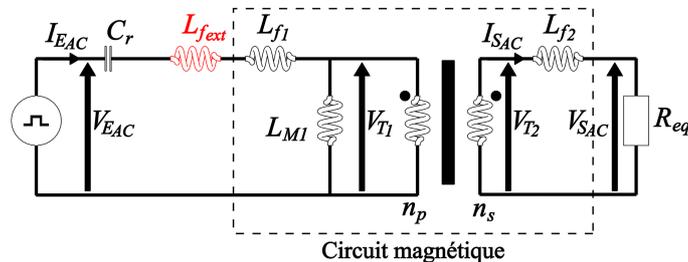


FIGURE 5.10 – Modification de la structure LLC par l'ajout d'une inductance externe permettant un degré de liberté supplémentaire

La connaissance de ce modèle de simulation est important car il a permis de lister les différents modes de fonctionnement de la cellule de commutation. La partie suivante va nous permettre de déterminer les inductances et le rapport de transformation du transformateur magnétique. Sa topologie sera choisie afin de pouvoir régler les inductances de fuite et magnétisante de la façon la plus indépendante possible.

5.1.2 Étude du circuit magnétique

Le projet a pour but de concevoir un convertisseur pour une gamme d'entrée de 30 à 300 Vdc et fournissant trois sorties indépendante débitant chacune 10 W au maximum pour des tensions différentes (voir chapitre). Afin de minimiser le volume de ce convertisseur et le nombre de composants, le projet s'est tourné sur une structure pourvue d'un transformateur à un enroulement primaire et trois enroulements secondaires. La fréquence de régulation du convertisseur à résonance LLC sera donc commune aux trois circuits secondaires. La première sortie a été choisie comme sortie principale et donc la régulation portera sur cette sortie. Le fonctionnement à haute fréquence étant important pour la diminution de la taille des composants passifs, la fréquence de commutation du système sera située autour du mégahertz.

Choix du matériau magnétique

Chaque type de matériau magnétique est adaptée à une gamme de fréquence bien précise. La figure 5.11a représente l'induction maximale pouvant traverser le matériau avant de le saturer à température ambiante en fonction de la fréquence [101]. Malgré les différents choix disponibles, plus la fréquence est haute, plus le l'induction admissible dans le matériau sera faible. Pour des fréquences supérieures au mégahertz les matériaux magnétiques à base de ferrite sont les plus appropriés mais ils ne permettent pas d'atteindre des inductions supérieures à 0,3 T.

La figure 5.11b affiche le facteur de mérite (fréquence×induction maximale) en fonction de la fréquence pour des matériaux magnétiques ferrite du constructeur FERROXCUBE [102]. Dans notre cas le matériau présentant les meilleures performances dans la bande de fréquence voulue est celui de type 3F4. Nous prendrons les caractéristiques de ce matériau comme base pour le dimensionnement du circuit magnétique.

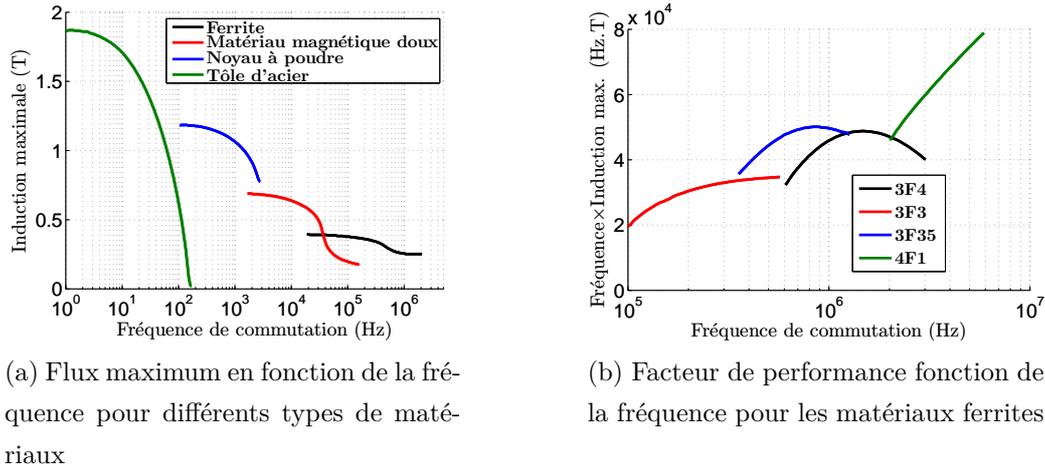


FIGURE 5.11 – Caractéristique des principaux types de matériau magnétique

Disposition des enroulements

Afin de maximiser l'intégration du circuit magétique, nous avons choisi d'utiliser une architecture planar (extra plate) autorisant à réaliser les spires directement sur le circuit imprimé. La figure 5.12 schématise deux configurations d'enroulements sur un noyau magnétique constitué de 3 jambes. Sur la figure 5.12a les spires sont réalisées sur la jambe centrale, cela permet un bon couplage et minimise les fuites. Sur la figure 5.12b l'enroulement du circuit primaire est effectué sur une jambe et les enroulements secondaires sur une autre jambe, le couplage entre les deux enroulements est moins fort. En revanche, les fuites sont maîtrisables grâce à la jambe centrale dans laquelle nous pouvons réaliser un entrefer. Grâce à la disposition des enroulements sur les jambes extérieures, nous pouvons obtenir des valeurs d'inductance de fuite égales aux valeurs de l'inductance magnétisante sans ajouter une inductance externe au transformateur ce qui favorise l'intégration du convertisseur de puissance car nous évitons un élément physique supplémentaire. Nous choisirons cette dernière disposition car elle autorise une plus grande plage de fréquence entre les deux résonnances (écart entre les fréquences f_{r1} et f_{r2}).

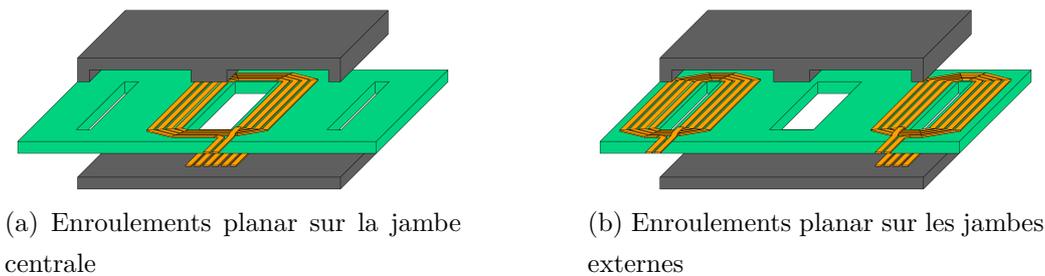


FIGURE 5.12 – Configuration des enroulements sur un noyau magnétique à trois jambes

Mise en équation des inductances propres et mutuelles

Pour simplifier la mise en équation, seul l'enroulement du circuit principal est pris en compte. Nous négligerons les fuites dans l'air, le flux de fuite est supposé totalement canalisé dans le circuit magnétique. La figure 5.13 représente le schéma réductant correspondant à la figure 5.12b, les paramètres du circuit réductant sont donnés au tableau 5.2 ainsi qu'au tableau 5.3 pour les paramètres physiques de la structure.

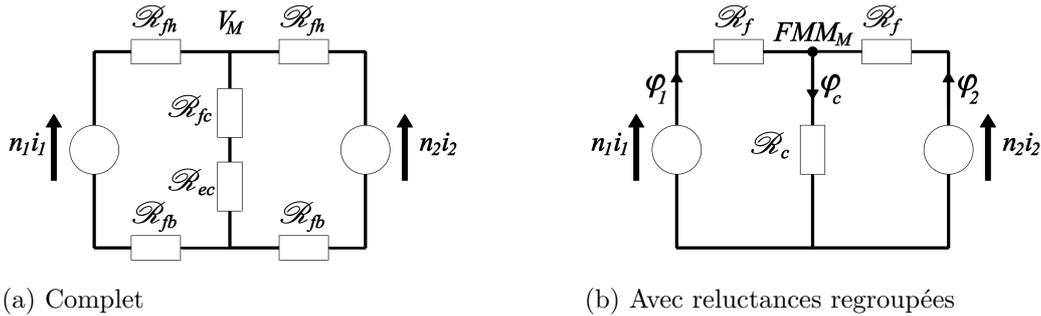


FIGURE 5.13 – Schéma réductant pour le calcul des inductances

TABLEAU 5.2 – Définition des réactances de la figure 5.13

Élément	Désignation	Formule
\mathcal{R}_{fh}	Réactance de la demie partie en E du noyau magnétique	$\frac{1}{\mu_0 \mu_f} \frac{l_b + l_c}{A_e/2}$
\mathcal{R}_{fb}	Réactance de la demie partie plate du noyau magnétique	$\frac{1}{\mu_0 \mu_f} \frac{l_b}{A_e/2}$
\mathcal{R}_{fc}	Réactance de la jambe centrale du noyau magnétique	$\frac{1}{\mu_0 \mu_f} \frac{l_c}{A_e}$
\mathcal{R}_{ec}	Réactance de l'entrefer de la jambe centrale	$\frac{1}{\mu_0} \frac{ec}{A_e}$
$n_1 i_1$	Source équivalente à $n_1 i_1$	
$n_2 i_2$	Source équivalente à $n_2 i_2$	
\mathcal{R}_f	Réactance totalisée d'un côté du noyau magnétique	$\mathcal{R}_{fh} + \mathcal{R}_{fb}$
\mathcal{R}_c	Réactance totalisée de la jambe centrale et de l'entrefer	$\mathcal{R}_{fc} + \mathcal{R}_{ec}$

Pour calculer les inductances propres et mutuelles, nous utilisons le théorème de Millman pour connaître la FMM au point milieu notée FMM_M . Cette FMM est définie par l'équation (5.18). À partir de celle-ci, nous pouvons calculer le flux circulant dans le circuit primaire (φ_1), elle est définie à l'équation (5.19). Ainsi, le flux vu par l'inductance est déterminé à l'équation (5.20), laquelle fait apparaître deux termes liés à i_1 et i_2 pour l'inductance propre au primaire (L_1) et la mutuelle (M) respectivement.

TABLEAU 5.3 – Définition des paramètres physiques liés au transformateur

Paramètre	Désignation
μ_0	Pérméabilité du vide
μ_f	Pérméabilité de la ferrite
l_b	longueur de la demie partie plate du noyau magnétique
l_c	longueur de la jambe centrale du noyau magnétique
A_e	Section de la jambe centrale du noyau magnétique

$$FMM_M = \frac{\frac{n_1 i_1}{\mathcal{R}_f} + \frac{n_2 i_2}{\mathcal{R}_f}}{\frac{1}{\mathcal{R}_c} + \frac{2}{\mathcal{R}_f}} = \mathcal{R}_c \varphi_c = n_1 i_1 - \mathcal{R}_f \varphi_1 = n_2 i_2 - \mathcal{R}_f \varphi_2 \quad (5.18)$$

$$\varphi_1 = n_1 i_1 \frac{\mathcal{R}_f + \mathcal{R}_c}{\mathcal{R}_{eq}} - n_2 i_2 \frac{\mathcal{R}_c}{\mathcal{R}_{eq}} \text{ avec } \mathcal{R}_{eq} = \mathcal{R}_f (2 \mathcal{R}_c + \mathcal{R}_f) \quad (5.19)$$

$$\Phi_1 = n_1 \varphi_1 = n_1^2 i_1 \frac{\mathcal{R}_f + \mathcal{R}_c}{\mathcal{R}_{eq}} - n_1 n_2 i_2 \frac{\mathcal{R}_c}{\mathcal{R}_{eq}} = L_1 i_1 - M i_2 \quad (5.20)$$

À partir de l'équation (5.20) nous pouvons définir les inductances et mutuelles du circuit par rapport aux réductances. Cela est exprimé à l'équation (5.21). Nous pouvons noter que les inductances propres de chaque enroulement voient la même réductance.

$$L_1 = n_1^2 \frac{\mathcal{R}_f + \mathcal{R}_c}{\mathcal{R}_{eq}} \quad L_2 = n_2^2 \frac{\mathcal{R}_f + \mathcal{R}_c}{\mathcal{R}_{eq}} \quad M = n_1 n_2 \frac{\mathcal{R}_c}{\mathcal{R}_{eq}} \quad (5.21)$$

$$L_{M1} = \frac{M}{m} = n_1^2 \frac{\mathcal{R}_f}{\mathcal{R}_{eq}} \quad L_{f1} = L_1 - \frac{M}{m} = n_1^2 \frac{\mathcal{R}_c}{\mathcal{R}_{eq}} \quad L_{f2} = L_2 - m.M = n_2^2 \frac{\mathcal{R}_c}{\mathcal{R}_{eq}} \quad (5.22)$$

À cette étape, nous pouvons convertir ces paramètres pour les exprimer en fonction du modèle du transformateur vu précédemment à la figure 5.4. L'équation (5.22) détermine les inductances de fuite au primaire et au secondaire ainsi que l'inductance magnétisante en fonction des inductances propres et mutuelles [103]. Si nous interprétons ces équations, nous pouvons remarquer qu'au final l'inductance magnétisante est fonction de \mathcal{R}_f et les inductances de fuites sont fonctions de \mathcal{R}_c . Cela exprime le fait que les fuites passent par la jambe centrale et donc grâce à la surface de celle-ci et l'épaisseur de l'entrefer nous pourrons l'ajuster avec précision.

5.1.3 Calcul des éléments du modèle du circuit LLC

La détermination des valeurs des inductances du modèle du circuit magnétique dépend de plusieurs dimensions : longueur et largeur du matériau magnétique, surface où circule le flux magnétique, épaisseur de l'entrefer. Afin de se rapporter à des dimensions de circuit magnétique disponible commercialement, nous avons choisi une référence de circuit magnétique distribué par FERROXCUBE, puis, en partant des dimensions de ce circuit, nous avons tracé les paramètres utiles au dimensionnement du convertisseur de puissance en fonction de l'épaisseur de l'entrefer.

Le premier paramètre à déterminer est le gain maximum ($G_{ch_{max}}$) entre la tension d'entrée (V_E) et celle de la sortie (V_S) pour des faibles charges. Ce gain maximum est celui qu'il faut obtenir pour la plus faible tension d'entrée (30 V) et la plus grande tension de sortie (12 V). Il peut être vu comme le gain $G_{ch}(\omega_{r2})$ car les faibles résistances de charge connectées à la sortie ($K_{lwR_{ch}}$ élevé) peuvent atteindre au maximum cette valeur du gain (voir figure 5.9). Il est donné par l'équation (5.23) et est fonction de l'inductance magnétisante, de l'inductance de fuite au secondaire et du rapport de transformation. Si nous exprimons cette relation en fonction des paramètres physiques de la structure, nous obtenons l'équation (5.24). Les longueurs étant fixées par les dimensions du circuit magnétique, nous ne pouvons contrôler l'épaisseur de l'entrefer et le rapport de transformation.

$$G_{ch_{max}} = G_{ch}(\omega_{r2}) = m \cdot L_{M1} C_r \cdot \frac{\omega_{r2}^2}{\left(\frac{\omega_{r2}}{\omega_{r1}}\right)^2 - 1} = \frac{1}{m} \cdot \frac{m^2 L_{M1} + L_{f2}}{L_{M1}} \quad (5.23)$$

$$G_{ch_{max}} = m \cdot \left(1 + \frac{4l_b + 2l_c}{\mu_f \cdot ec + l_c}\right) \quad (5.24)$$

Avec :

$$\mu_f = 1000 \quad \text{Perméabilité relative du matériau 3F4 à température ambiante}$$

Le second paramètre est la fréquence du point de stabilité (f_{r2}) qui est fonction des mêmes éléments que $G_{ch_{max}}$ avec en plus le condensateur C_r , qui servira donc à ajuster ce paramètre. La fréquence de résonance f_{r1} faisant appel aux valeurs des éléments déterminés par rapport aux précédents paramètres, elle sera imposée.

Le circuit magnétique choisi est un noyau FERROXCUBE de référence E22/6/16/R [102]. Les dimensions de cette structure sont fournies au tableau 5.4. FERROXCUBE propose des

noyaux à entrefer central de différentes épaisseurs. Celle-ci faisant varier le dénominateur du gain $G_{ch_{max}}$, il est avantageux de prendre la plus fine épaisseur qui est $ec = 160 \mu m$.

TABLEAU 5.4 – Dimensions du circuit magnétique servant au calcul des réductances

Paramètre	Valeur
l_b	9,6 mm
l_c	4,7 mm
A_e	72,6 mm ²

Le gain maximum $G_{ch_{max}}$ pour une tension de sortie de 12 V doit être au minimum de 0,4. Pour une tension de sortie de 5 et 3 V, ces gains devront être au minimum de 0,16 et de 0,1. Nous voulons diminuer la taille du circuit magnétique au maximum, pour se faire, les nombres de spires au primaire et aux secondaires doivent être les plus petits possibles. L'épaisseur de l'entrefer étant le même pour chaque secondaire, il faut déterminer un nombre de spires au primaire (n_1) permettant d'obtenir trois rapport de transformation (m) donnant des valeurs proches et supérieures des trois gains $G_{ch_{max}}$ voulus, pour chaque valeur de tension de sortie.

Après plusieurs itérations, nous avons décidé de prendre un nombre de spires au primaire égal à 9 car avec un faible nombre de spires à chaque secondaire (1, 2 et 4 spires pour 3, 5 et 12 V en sortie respectivement) nous arrivons à satisfaire les gains $G_{ch_{max}}$ voulus pour chaque tension de sortie. La figure 5.14 représente ce gain pour trois rapports de transformation différents. Nous pouvons observer que ces rapports permettent d'obtenir un gain $G_{ch_{max}}$ supérieur au minimum calculé pour chaque tension de sortie pour $ec = 160 \mu m$.

Les dimensions du noyau magnétique choisi associé au nombre de spires de chaque enroulement nous permet de satisfaire le gain du convertisseur. Le matériau 3F4 ayant des faibles valeurs d'induction de saturation, il est nécessaire de calculer l'induction maximale qui circulera dans ce matériau.

Saturation magnétique

La saturation est d'autant plus rapide que la surface A_e est petite. La surface de référence sera la surface des jambes latérales du noyau magnétique qui est définie par $A_e/2$. L'équation (5.25) met en relation cette surface avec l'induction de saturation (B_M). Grâce à

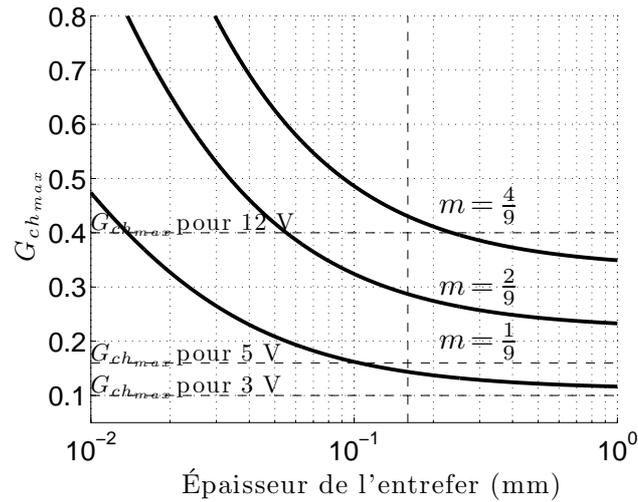


FIGURE 5.14 – Gain $G_{ch_{max}}$ en fonction de l'épaisseur de l'entrefer et du rapport de transformation

cette équation nous pouvons calculer la surface nécessaire pour éviter cette saturation (équation (5.26)). La documentation du matériau 3F4 donne une valeur de 30 mT pour un fonctionnement à 1 MHz permettant d'avoir des pertes d'environ 150 kW/m³ (voir figure 5.18). Nous prendrons, pour calculer cette surface, la tension aux bornes du secondaire du transformateur du côté alternatif ($V_{S_{AC}}$) la plus importante qui vaut 6 V (la plus grande tension de sortie (V_S) vaut 12 V).

$$V_{S_{AC}} = 4n_2f_0B_M\frac{A_e}{2} \quad (5.25)$$

$$A_e > \frac{V_{S_{AC}}}{2n_2f_0B_M} \quad (5.26)$$

Avec :

- V_2 Tension au secondaire du transformateur
- n_2 Nombre de spire au secondaire
- f_0 Fréquence de fonctionnement
- B_M Induction de saturation

Avec toutes ces données nous calculons une surface minimum $A_e = 28 \text{ mm}^2$ qui est inférieure au 72,6 mm² du noyau magnétique choisi. En effectuant le calcul inverse pour cette surface nous obtenons une induction maximale à 1 MHz de 11,53 mT. Cela nous laisse une

marge sécurité importante et l'on pourrait envisager de prendre une circuit magnétique de taille inférieure (E18/A/10/R : $A_e = 35 \text{ mm}^2$).

Calcul des inductances de fuite et magnétisante

Les données déterminées dans la partie précédente et l'équation (5.22) nous permettent de calculer les différentes inductances en fonction de l'épaisseur de l'entrefer de la jambe centrale (ec). Comme le montre la figure 5.15, l'entrefer a une plus forte influence sur les inductances de fuite que sur l'inductance magnétisante, cette figure nous montre aussi l'inductance de fuite au secondaire (L_{f_2}).

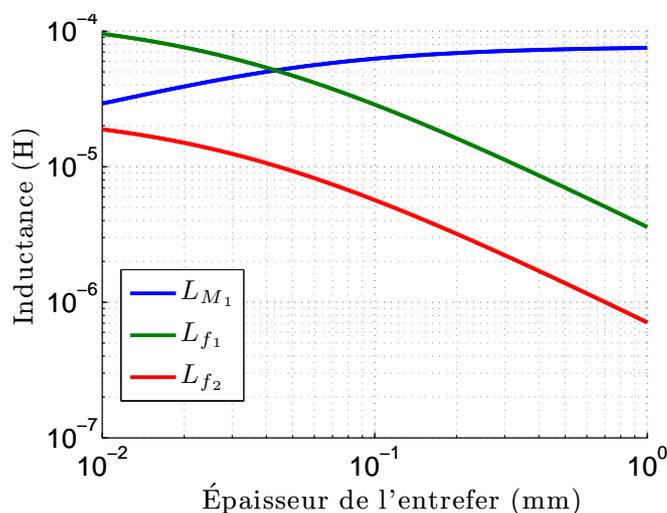


FIGURE 5.15 – Valeurs des inductances en fonction de l'épaisseur de l'entrefer pour un rapport de transformation de 4/9

Le tableau 5.5 donne les valeurs des inductances de fuite et magnétisante pour une épaisseur de l'entrefer de $160 \mu\text{m}$.

TABLEAU 5.5 – Valeurs des inductances du modèle du circuit magnétique pour $ec = 160 \mu\text{m}$

L_{f_1}	19,53 μH
L_{f_2}	3,86 μH
L_M	67,2 μH

La figure 5.16 présente le rapport entre les deux pulsations électriques de résonnance nous permettant d'observer la plage de fréquence que nous pourrions obtenir en fonction de l'épaisseur

de l'entrefer choisi. Pour cette épaisseur, nous avons un rapport de pulsation d'environ 0,65. Cela signifie que pour une fréquence de résonance f_{r2} de 1 MHz nous obtiendrons une fréquence de résonance f_{r1} proche de 650 kHz. Afin d'obtenir la fréquence f_{r2} voulue, il nous faut calculer le condensateur servant à la résonance du transformateur LLC (C_r).

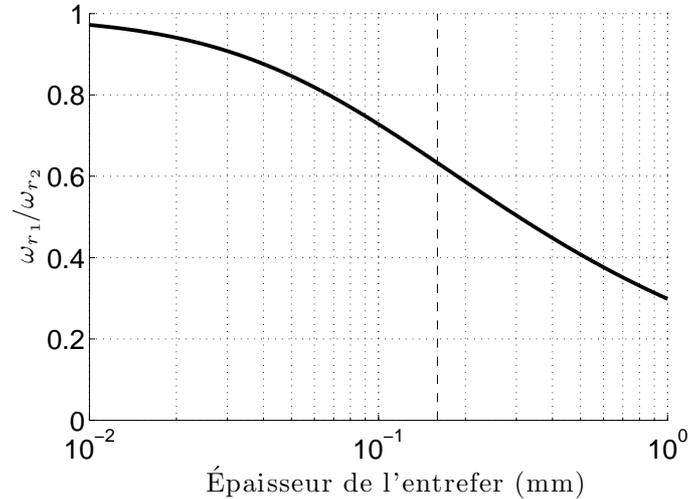


FIGURE 5.16 – Rapport entre les deux pulsations électriques de résonance en fonction de l'épaisseur de l'entrefer

Condensateur du circuit LLC

Le condensateur est choisi avec l'équation (5.11) dans les conditions où $f_{r2} = 1 \text{ MHz}$. Pour cette fréquence, cela a donné un condensateur d'une valeur de 670 pF. Cet ordre de valeur est avantageux car d'une part des capacités hautes températures existent dans ces gammes et d'autre part elle aura des dimensions faibles favorisant les possibilités d'intégration, il sera aussi possible de la réaliser par une capacité planar de cette valeur intégrée directement au circuit imprimé.

Estimation de la résistance des pertes cuivres

Ces pertes sont responsables de l'élévation thermique de la structure. Dans la littérature, la densité de courant circulant dans un transformateur doit être comprise entre 3 et 15 A/mm² [104]. En supposant l'effet de peau faible du fait de l'épaisseur des pistes (35 μm) et l'effet de proximité faible, nous pouvons calculer une résistance minimale représentant les pertes cuivres.

La largeur d'une piste est donnée à l'équation (5.27). La puissance délivrée maximale étant de 30 W, l'intensité maximale sera d'environ 1 A. Pour une densité surfacique de courant de 15 A/mm², nous avons $l_{cu} = 1 \text{ mm}^2$. Les pistes devront avoir une largeur au moins égale à cette valeur.

$$l_{cu} = \frac{I}{Je_p} \quad (5.27)$$

Afin de connaître la puissance dissipée par les pistes de cuivre nous devons avoir connaissance de la résistance de ces dernières. L'équation (5.28) permet de lier les grandeurs physiques à la résistivité. Pour calculer R_{cu} il nous faut estimer la longueur (L_{cu}), elle-même dépendante de la longueur moyenne d'une spire (L_{moy}) et du nombre de spires (n_x). L'équation (5.29) donne la relation entre les grandeurs physique du noyau magnétique représenté figure 5.17.

$$R_{cu} = \rho_{cu} \frac{L_{cu}}{S_{cu}} \text{ avec } S_{cu} = e_{cu} l_{cu} \quad (5.28)$$

$$L_{cu} = L_{moy} \cdot n_x \quad L_{moy} = L_{cm} - l_{cm} + 2p_{cm} + 4 \times \text{ecart} \quad (5.29)$$

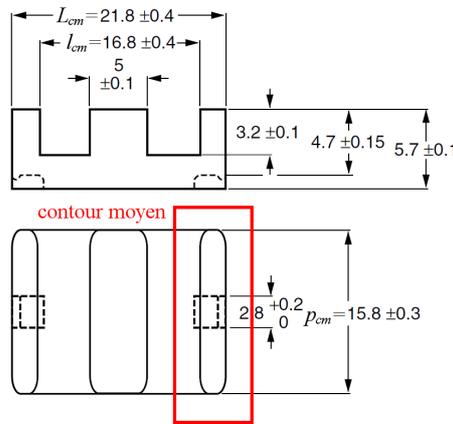


FIGURE 5.17 – Dimension du circuit magnétique pour le calcul du contour moyen

La résistance linéique du cuivre (R_{cu}/L_{cu}) pour cette section est de 257,57 Ωm^{-1} . La longueur moyenne par tour pour cette structure est de 50 mm. La piste la plus résistive sera le circuit primaire comprenant 9 tours. Pour ce nombre de tours, la résistance du cuivre au primaire (R_{pc}) estimée est d'environ 115 m Ω , à cette valeur il faut ajouter un facteur lié à l'effet de proximité qui peut augmenter la résistance de 33 % [104]. Nous prendrons le facteur maximum pour avoir le cas le plus défavorable. La résistance au primaire du transformateur est donc de 153 m Ω . Au secondaire la résistance de pertes (R_{pc2}) sera d'environ 68 m Ω .

Estimation de la résistance des pertes fer

La documentation du matériau nous permettent de connaître les pertes volumiques par rapport l'induction maximale (B_{max}) et par rapport à la fréquence [105]. La figure 5.18 rapporte deux courbes des caractéristiques données (1 et 2 MHz). Le point se situant sur les courbes donne le induction maximale pour le fonctionnement de la sortie principale, c'est-à-dire, la tension la plus élevée que devra réaliser le convertisseur. Le volume du noyau magnétique donné pour la structure choisie est de 2100 mm^3 . Cela nous donne des pertes fer au maximum d'environ 42 mW .

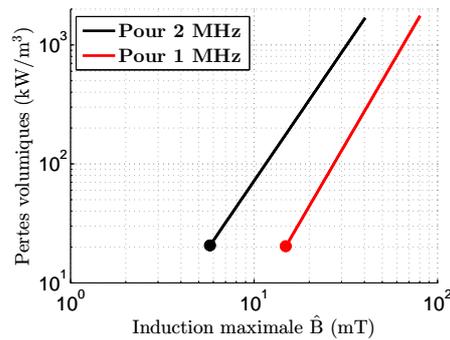


FIGURE 5.18 – Pertes volumiques en fonction de l'induction maximale et de la fréquence de commutation du système [102]

Pour calculer la résistance (R_{pf}) ramené au primaire correspondante à ces pertes nous pouvons négliger le secondaire du transformateur (R_{pc2} et L_{f2}), donc toute la tension du secondaire se retrouve aux bornes de R_{pf} . Dans ces conditions, cette résistance se calcule par l'équation (5.30) et donne pour $V_{SAC} = 5,4 \text{ V}$, $m = 4/9$ et $P = 42 \text{ mW}$ une résistance de pertes fer de $3,51 \text{ k}\Omega$.

$$R_{pf} = \frac{1}{P} \frac{V_{SAC}^2}{m^2} \quad (5.30)$$

Synthèse du circuit LLC

Le circuit LLC complet est schématisé à la figure 5.19 avec les valeurs de chaque élément. Ces valeurs sont estimées pour être au plus fidèle de la structure physique. Néanmoins, d'autres paramètres non pris en compte peuvent les faire évoluer et en conséquence, changer le fonctionnement du convertisseur.

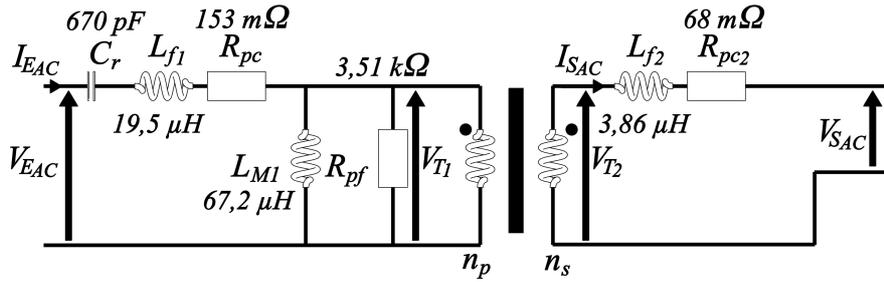


FIGURE 5.19 – Modèle du transformateur avec les valeurs de chaque élément associé

Les inductances de fuites (L_f et L_{f_2}) sont sous-évaluées car le flux passant dans l'air n'est pas comptabilisé. Cela peut engendrer une augmentation de quelques microHenry sur ces dernières. L'inductance magnétisante (L_M) suivra le même changement d'un facteur m .

Les pertes joules liées aux résistances sont, à température ambiante, surévaluées car nous avons pris d'une part un facteur de proximité maximum. Or, par rapport aux dimensions du noyau, il est envisageable de pouvoir les séparer pour diminuer ce facteur. D'autre part nous avons pris un contour moyen pour calculer sa longueur, cependant, les pistes pourront être réalisées sur un circuit imprimé multicouche, ce qui les fera rester proche du circuit magnétique et diminuer leur longueur.

5.2 Réalisation d'un circuit magnétique de test

Afin d'estimer l'erreur commise sur les calculs des éléments électriques du modèle du circuit magnétique, nous avons réalisé un circuit magnétique composé d'un noyau magnétique avec un matériau 3F4 et des pistes en cuivres sur un circuit imprimé comportant 6 couches. Les enroulements sont conçus selon les règles définies dans la partie précédente. L'épaisseur de cuivre étant au maximum de $35 \mu\text{m}$, chaque spire est réalisée sur deux couches pour atteindre une épaisseur de $70 \mu\text{m}$. Le primaire contient 9 spires, 3 par couche double soit 6 couches. Les secondaires sont réparties par couche double :

- 4 spires sur une couche double pour le premier secondaire.
- 4 spires sur une couche double pour le deuxième secondaire.
- 1 ou 2 spires sur une couche double pour le troisième secondaire suivant que nous voulons 3 V ou 5 V.

Pour un total de 6 couches également. La figure 5.20 représente une vue éclatée des couches de piste en cuivre et montre la liaison entre les couches (série ou parallèle)

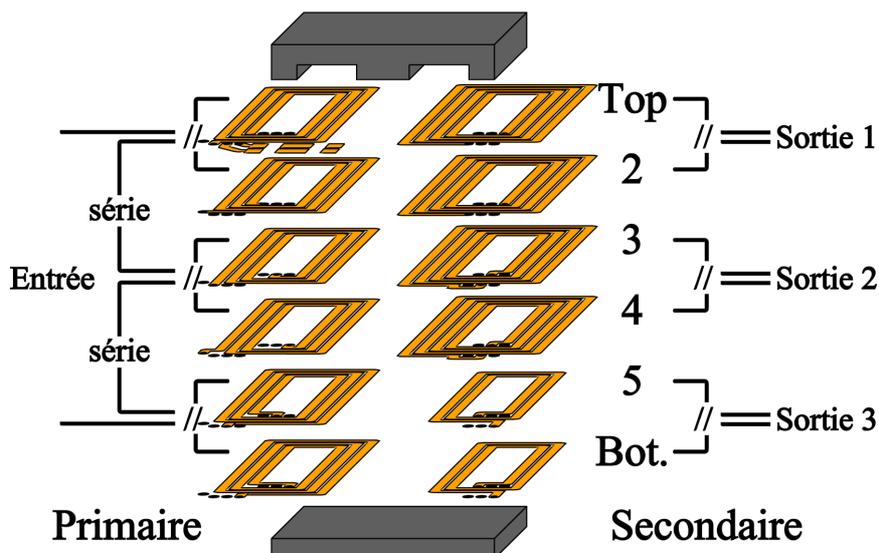


FIGURE 5.20 – Couches du circuit imprimé réalisé (Top et Bot. sont la couches du dessus et du dessous respectivement, les // signifient que les couches sont reliées en parallèle)

Les ferrites FERROXCUBE ne sont pas disponible rapidement avec un entrefer central (figure 5.21a). Pour caractériser le circuit, il a été décidé de concevoir le circuit magnétique avec un entrefer réparti (figure 5.21b) car il peut être réalisé facilement en insérant un matériau non magnétique entre les deux parties du noyau magnétique. Néanmoins, ce type d'entrefer réduit le rapport que nous pouvons obtenir entre les deux fréquences caractéristique du circuit LLC.

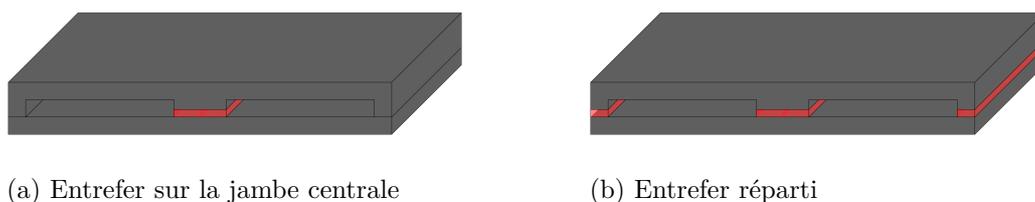


FIGURE 5.21 – Schéma des possibilités d'entrefers (visualisés en rouge) pour un circuit magnétique à trois jambes

La figure 5.22 compare sur une plage d'épaisseur d'entrefer équivalent le rapport des deux pulsations électriques de résonance dans le cas d'un entrefer central et réparti. Nous pouvons remarquer qu'un entrefer central permet un large choix de ce rapport allant de 0,9 à 0,3 pour une épaisseur d'entrefer d'un millimètre. L'entrefer réparti ne descend pas en-dessous de 0,94 même pour un entrefer de plusieurs millimètres.

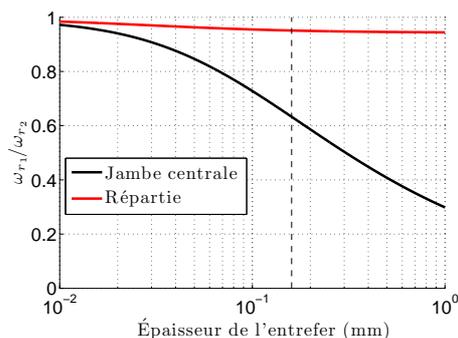


FIGURE 5.22 – Comparaison de l'évolution du rapport entre les deux pulsations pour un entrefer sur la jambe centrale et réparti

Pour nos mesures nous prendrons une épaisseur d'entrefer de 60 μm ce qui nous donne un rapport entre les deux fréquences de résonance de 0,94. Les valeurs calculées de chaque composant sont données au tableau 5.6, comparé à la structure avec entrefer central, l'inductance magnétisante est la valeur qui varie le plus. Cette inductance est considérablement réduite et devient inférieure à l'inductance de fuite, d'où η_{ω_r} proche de 1. Les résistances des pertes cuivres restent les mêmes car la disposition des pistes ne changent pas. La résistance des pertes fer est égale dans les deux cas, les sections magnétiques étant les mêmes.

TABLEAU 5.6 – Valeurs des éléments pour la structure à entrefer réparti

Élément	Valeur ent. rep.	Valeur ent. j. cent.	Élément	Valeur ent. rep.	Valeur ent. j. cent.
L_{f_1}	24,82 μH	19,53 μH	R_{pc}	153 m Ω	153 m Ω
L_{f_2}	4,902 μH	3,86 μH	R_{pc2}	68 m Ω	68 m Ω
L_M	9,561 μH	67,2 μH	R_{pf}	3,5 k Ω	3,5 k Ω

Le circuit magnétique monté avec le circuit imprimé multi-couche est représenté à la figure 5.23. Des emplacements sont prévus pour le montage du condensateur permettant la résonance (figure 5.23a). Les contacts sont repris directement sur des vias, favorisant le montage futur sur une carte réceptrice comprenant les bras d'onduleurs.

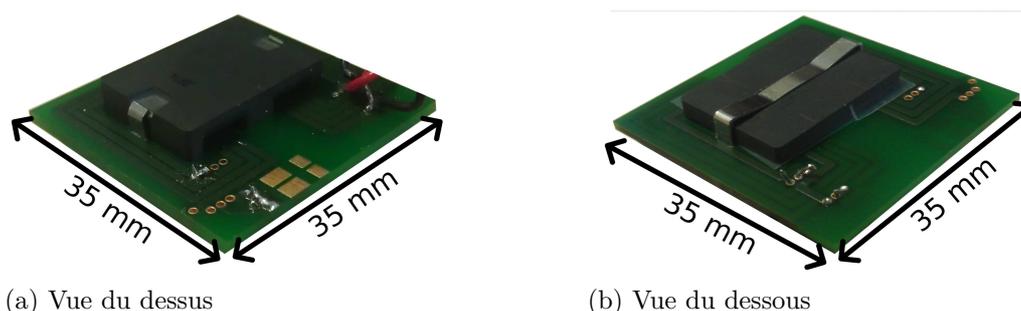


FIGURE 5.23 – Photo du circuit imprimé 6 couches plus le noyau magnétique

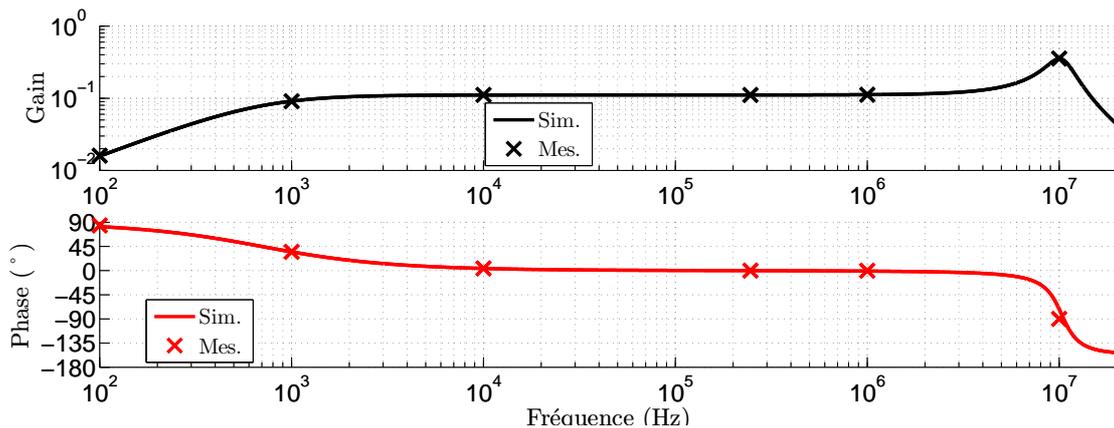
5.2.1 Mesures et simulations du circuit magnétique

Les mesures ont été faites au pont d'impédance HP 4194A qui permet de mesurer des fonctions de transfert (gain et la phase) jusqu'à 100 MHz. Nous nous arrêterons à 20 MHz car la résonance avec les capacités parasites du circuit se trouvent aux alentours de 10 MHz.

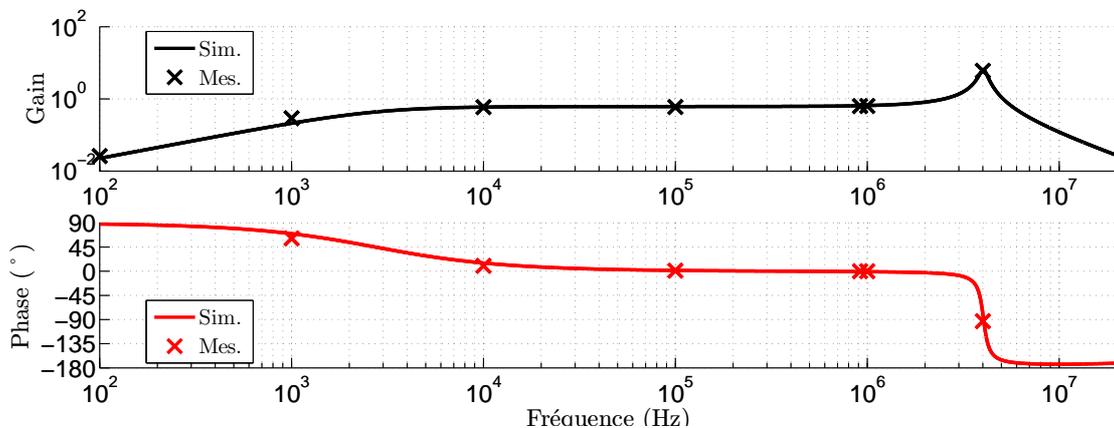
La figure 5.24 montre deux mesures ainsi que les simulations associées dans le cas d'une mesure au secondaire sur charge de 1 M Ω avec injection au primaire (figure 5.24a) et inversement (figure 5.24b). Nous retrouvons une très bonne corrélation pour les deux mesures que ce soit au niveau du gain du système ou de la phase. Sur la figure 5.24a, le gain remonte aux alentours de 6 MHz dû au circuit RC parasite du secondaire. Cette remonté peut être considérée comme une limite de fréquence à ne pas dépasser lors de l'utilisation de ce transformateur car cela peut provoquer une instabilité du montage lors de la régulation. La figure 5.24b montre un pic similaire se trouvant plus bas, à 4 MHz.

Ces mesures ont permis d'établir un modèle équivalent du transformateur représenté à la figure 5.25, les paramètres sont donnés au tableau 5.7. Comparé aux valeurs calculées (tableau 5.6), les inductances de fuite ont des valeurs supérieures d'environ 10 % à celles calculées car ces dernières ne prennent en compte que les fuites passant par le matériau et non dans l'air ou entre les pistes.

Les résistances de pertes cuivre présente une augmentation d'une dizaine de m Ω par rapport aux valeurs calculées, cela peut s'expliquer par les vias faisant la connexion entre les différentes couches du circuit qui ont une épaisseur de cuivre d'une dizaine de μ m seulement. L'inductance magnétisante et la résistance des pertes fer restent les mêmes.



(a) Injection du signal au primaire – mesure au secondaire



(b) Injection du signal au secondaire – mesure au primaire

FIGURE 5.24 – Corrélation entre mesures et simulation en fréquentiel

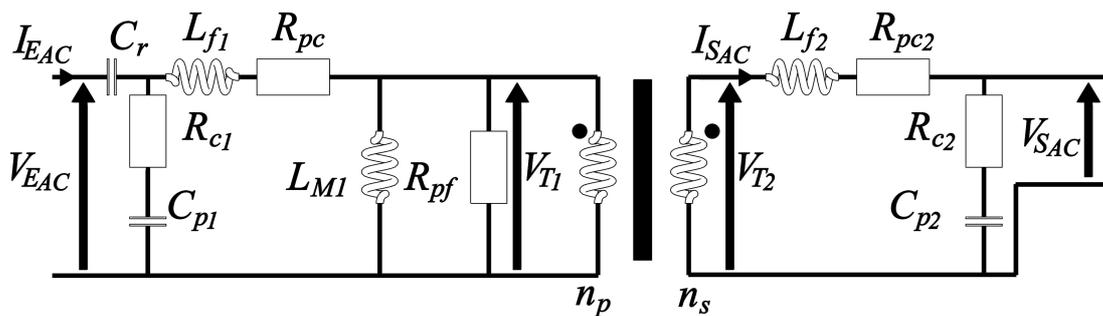


FIGURE 5.25 – Modèle équivalent du circuit magnétique incluant les capacités parasites

Cette partie valide le dimensionnement du circuit magnétique et du circuit imprimé qui lui est associé. 6 couches sont nécessaires pour diminuer la résistance des pistes. Les mesures ont permis de confirmer les calculs des différents éléments du montage et ont servi à connaître les limites du transformateur notamment dues aux capacités parasites.

TABLEAU 5.7 – Valeurs des composants déduites des mesures grâce aux simulations

Élément	Valeur sim.	Valeur calc.	Élément	Valeur sim.	Valeur calc.
L_{f_1}	28,5 μH	24,82 μH	R_{pc}	166,7 m Ω	153 m Ω
L_{f_2}	5,2 μH	4,9 μH	R_{pc_2}	80,36 m Ω	68 m Ω
L_M	9,5 μH	9,5 μH	R_{pf}	3,5 k Ω	3,5 k Ω
R_{c_1}	75 Ω	–	C_{p_1}	44 pF	–
R_{c_2}	120 Ω	–	C_{p_2}	37 pF	–

La prochaine partie consiste à associer en simulation le modèle du transformateur calculé dans la partie précédente au modèle électrothermique du composant afin de réaliser la simulation complète de la structure et d'étudier la commande dans le but de trouver le rendement maximum.

5.3 Simulations du convertisseur de puissance à résonance

Cette partie met en œuvre deux types de simulation : en fréquentiel et en temporel. Les simulations en fréquentiel nous permettent d'observer le gain du convertisseur (G_{ch}) et le respect des fréquences de résonance par rapport aux éléments électriques choisis. Ces simulations nous aideront à ajuster ces éléments si nécessaire. Ces simulations nous montrent également la tension maximale que voit le condensateur C_r que nous considérons comme une contrainte importante.

Les simulations en temporel nous permettent d'observer le comportement complet de la structure. Une régulation est mise en place selon les conditions établies par le projet MEMPHIS/GALION afin d'obtenir la tension de sortie voulue quelque soit la résistance de charge connectée à la sortie. Nous étudions d'abord les grandeurs électriques se situant à l'entrée pour montrer le comportement du convertisseur de puissance lorsqu'il fonctionne en ZVS. Ensuite, nous passons au convertisseur AC/DC de sortie que nous décomposons en deux étapes pour trouver une stratégie de commande de la cellule de commutation au secondaire du transformateur satisfaisante.

Les simulations sont réalisées avec le modèle du transformateur à entrefer central car il correspond mieux aux problématiques de ce convertisseur et permet une plage plus grande entre les deux fréquences de résonance du système.

5.3.1 Simulations en fréquentiel

Le circuit magnétique de test admet des différences de valeurs entre les éléments électriques calculés et ceux mesurés. Pour prendre en compte ces différences dans le transformateur à entrefer central pris pour réaliser les simulations nous augmentons les inductances de fuites de 10 %, nous prendrons les valeurs des résistances mesurées car elles sont liées au routage qui reste identique dans les deux configurations d'entrefer et nous rajouterons les circuits RC parasites en entrée et en sortie. La figure 5.26 présente le circuit LLC dont nous nous servons pour réaliser les simulations en fréquentiel.

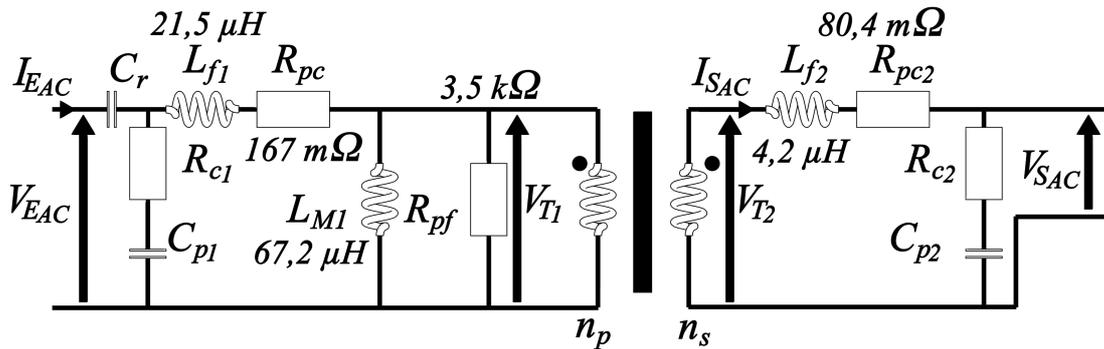
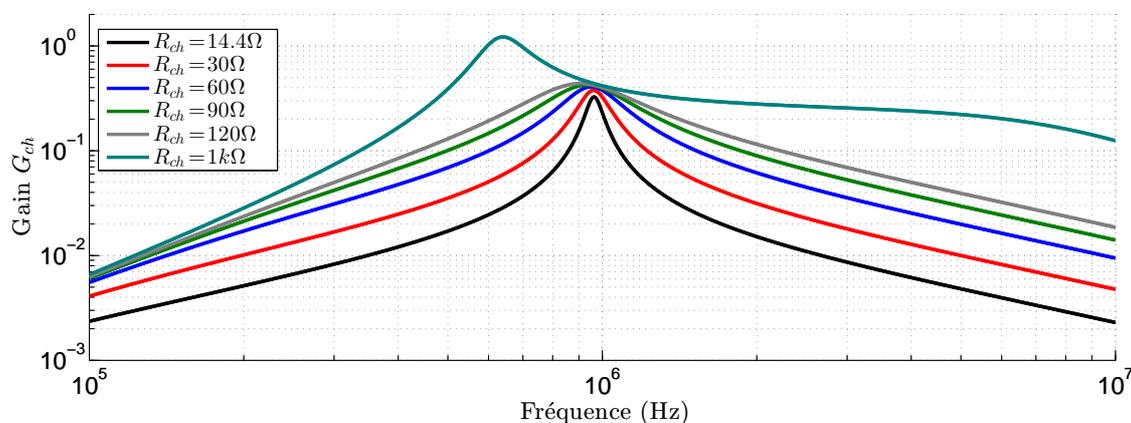


FIGURE 5.26 – Schéma du transformateur à entrefer central pris pour les simulations en fréquentiel

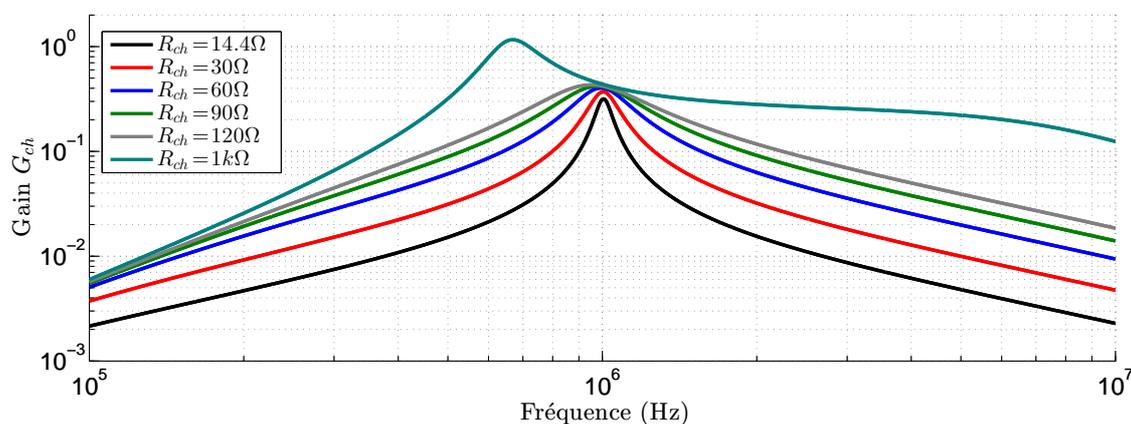
La figure 5.27 présente les courbes de gain entre les tensions continues d'entrée et de la première sortie (G_{ch} avec un rapport de transformation $m = 4/9$). Les simulations en fréquentiel ont été réalisées pour des valeurs de résistance de charge allant de $R_{ch} = 14,4 \Omega$ (charge maximum) jusqu'à $R_{ch} = 1 k\Omega$, cette dernière valeur permet de voir où se situe la première résonance (ω_{r1}). Pour ces simulations, la résistance R_{ch} est ramené avant le convertisseur AC/DC de sortie et devient R_{eq} prenant en compte le rapport de conversion entre les deux résistances.

La figure 5.27a représente les courbes pour $C = 670 pF$, à cette valeur le circuit ne résonne pas à la fréquence voulue car le condensateur parasite du transformateur vient se rajouter à ce condensateur. La figure 5.27b est réalisée pour $C = 670 - C_{p1} = 626 pF$, cela a pour effet de résonner à 1 MHz comme prévu mais d'augmenter aussi la première résonance se trouvant aux alentours de 658 kHz. Nous pouvons observer pour les résistances de fortes valeurs un gain à la fréquence de résonance f_{r2} (noté $G_{ch_{max}}$) proche de 0,5 comme nous l'avons calculé. Néanmoins lorsque la charge augmente ce gain diminue à cause des résistances

de pertes et pour une résistance de charge minimale ($R_{ch} = 14,4 \Omega$) $G_{ch_{max}}$ est à la limite de 0,4 nécessaire pour atteindre une tension de sortie de 12 V pour une tension continue d'entrée de 30 V.



(a) Pour un condensateur de 670 pF



(b) Pour un condensateur de 626 pF

FIGURE 5.27 – Gain en fonction de la fréquence du convertisseur LLC

Si nous ajoutons les autres enroulements, les inductances de fuites viennent s'ajouter en parallèle, augmentant du fait la seconde résonance qui est à 1,16 MHz dans ce cas (figure 5.28).

Contraintes sur le condensateur C_r

Le condensateur C_r est nécessaire au fonctionnement du convertisseur, il empêche aussi l'établissement d'un courant continu donc d'un flux continu dans le circuit magnétique. En effet, ce courant continu peut être induit par un rapport cyclique différent de 0,5 ou une

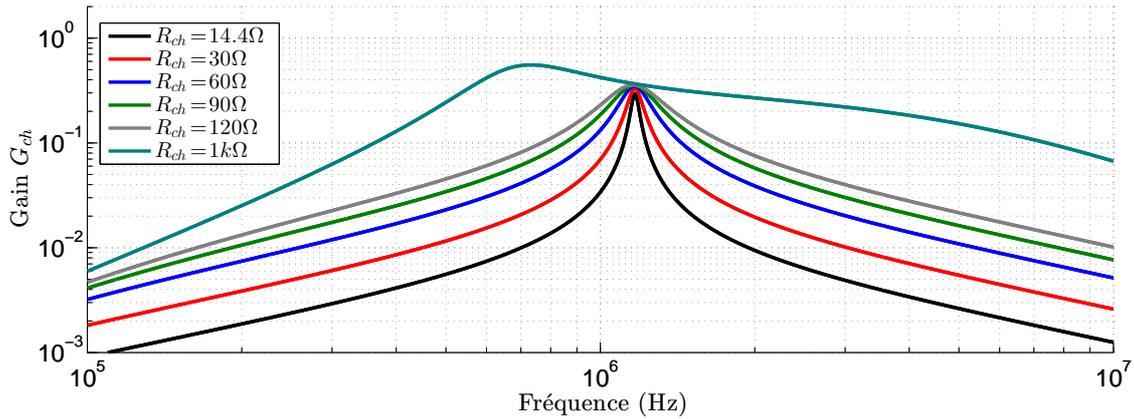


FIGURE 5.28 – Gain en fonction de la fréquence en ajoutant les autres secondaires pour un condensateur de 626 pF

disymétrisation des caractéristiques des transistors eGaN-FETs. Ce courant provoquerait une saturation du circuit magnétique empêchant le bon fonctionnement du système [106].

La contrainte en tension aux bornes de ce composant est la plus critique, la figure 5.29 représente le gain en tension vu par le condensateur (V_{C_r}/V_E). La tension peut atteindre 2700 V soit un gain de 9 fois la tension de bus maximale (300 V) pour la plus faible charge. Cette tension peut être atteinte lors du forte variation de charge le temps que la régulation fasse changer le point de fonctionnement. Les condensateurs à base de diélectrique X7R [107], prévu pour les hautes températures permettent de résoudre cette contrainte. Il existe des condensateur supportant plus de 3000 V dans la gamme de capacité voulue (exemple : condensateur supportant 3000 V de 100 à 2700 pF en boîtier 1825).

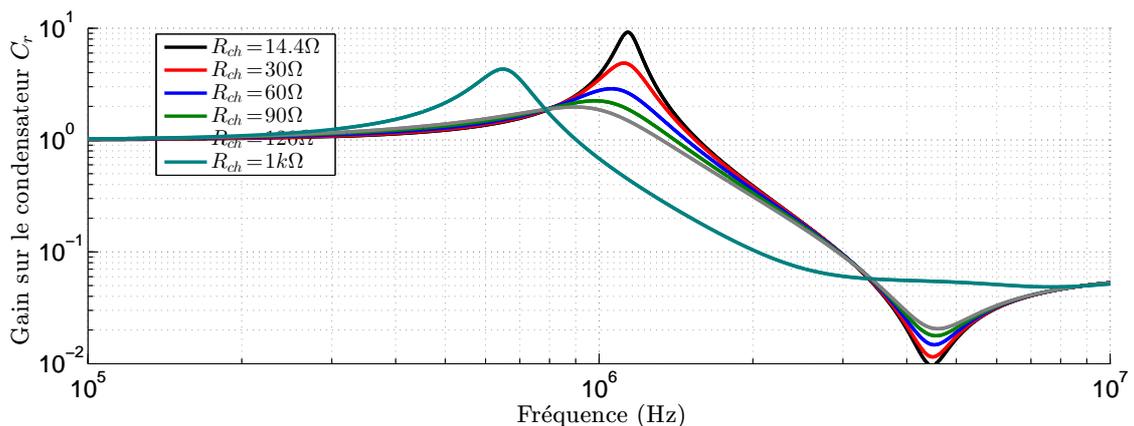


FIGURE 5.29 – Gain en fonction de la fréquence aux bornes du condensateur C_r

Ces simulations nous ont permis de comprendre comment réagit le circuit LLC avec les

éléments parasites associés. Le condensateur étant un élément nous permettant d'ajuster le système nous l'avons dimensionné pour obtenir une fréquence de résonance proche de 1 MHz lors des fortes charges. Les pertes dans le matériau magnétique 3F4 augmentent à partir de 2 MHz [105], la limite supérieure en fréquence sera donc celle-ci. En-dessous de la première résonance (f_{r1}), les transistors ont des commutations dures ce qu'il faut éviter, la limite inférieure en fréquence sera de 1,16 MHz.

5.3.2 Simulations temporelles

Les simulations temporelles nous permettent d'étudier le comportement de la structure complète (figure 5.30) en fonction de la charge de sortie et de la tension d'entrée. La cellule de commutation se situant à l'entrée du convertisseur ($K_{e\{h/b\}}$) est mise en place avec le modèle électrothermique des transistors GaN d'EPC étudié au chapitre 4. Celle se situant à la sortie du convertisseur est faite dans un premier temps avec un modèle de diode parfaite (tension de seuil égale à 0, pas de capacité intrinsèque). L'objectif est de comparer les instants de commutation avec un redressement synchrone et d'établir une loi de commande en fonction de la fréquence de commutation des transistors à l'entrée et de la commutation naturelle des diodes parfaite.

La cellule de commutation à la sortie du convertisseur est modélisée dans un second temps avec des modèles identiques à ceux des transistors se situant à l'entrée. La loi de commande établie grâce à l'étude de la commutation naturelle des diodes parfaite est mise en place pour commander le déphasage entre les deux cellules de commutation.

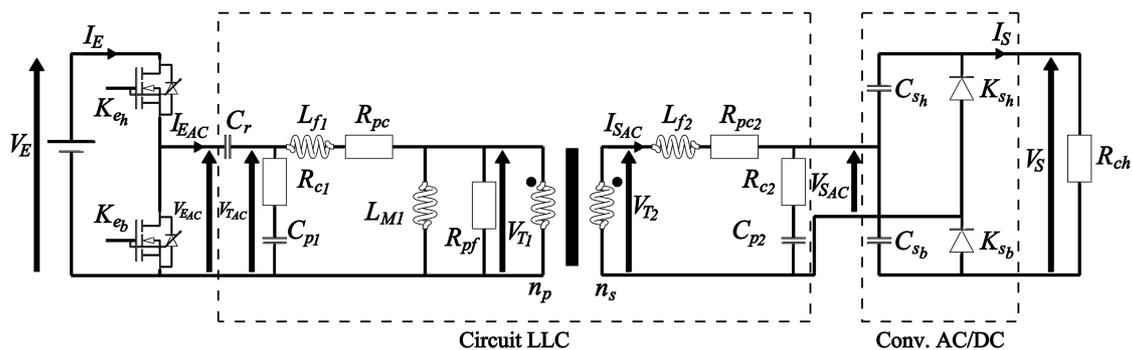


FIGURE 5.30 – Schéma de la structure complète (transformateur et interrupteurs)

L'intérêt de cette étude est de réaliser un redressement synchrone avec des transistors GaN car il n'existe pas pour le moment de diodes GaN. Les diodes SiC sont trop volumineuses et

présentent une tension de conduction supérieure à 1 volt, ce qui provoque des pertes dans la cellule de commutation.

Nous nous concentrons uniquement sur les pertes générées pas la cellule de commutation de la sortie du convertisseur et observons quelles sont ces pertes en fonction de la loi de commande appliquée à cette cellule. L'évolution des pertes en fonction de la variation de cette loi de commande est montrée et nous pouvons en déduire les conditions appropriées par rapport à la puissance demandée pour générer un minimum de pertes.

La figure 5.30 ne représente que le circuit secondaire de la sortie principale, les autres secondaires sont simulés avec le même schéma. L'étude qui va être présentée s'est déroulée à la fin du projet MEMPHIS/GALION. Elle est prospective et a pour objectif l'étude d'une stratégie de commande pouvant convenir à un convertisseur à résonance LLC. Il n'est pas certain que la stratégie de commande élaborée à la fin de cette partie soit la plus efficace pour un convertisseur à résonance LLC. Il faudrait une étude comparative avec d'autres stratégies de commande pour l'affirmer.

Conditions de simulation

La commande des transistors est générée par des sources de tension parfaite afin de se concentrer sur le comportement de la structure sans les problèmes liés à la commande et pour alléger la simulation. La sortie du premier secondaire est mesurée pour la régulation (V_{S1}) et elle est comparée à une tension de consigne de 12 V (V_{Scon}). Un correcteur PI est inséré pour que la tension de sortie puisse atteindre la consigne demandée (figure 5.31). Ce correcteur génère une commande en fréquence qui est soustrait de la fréquence de référence de 2 MHz. En effet, au delà de la fréquence de résonance f_{r2} la variation du gain G_{ch} par rapport à la fréquence est négative (voir figure 5.28). Le fait de partir d'une tension de 2 MHz nous permet d'avoir un démarrage du convertisseur sous une tension de sortie réduite et de ne pas provoquer de surtension à la sortie.

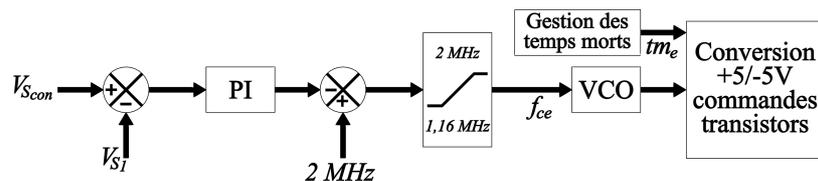


FIGURE 5.31 – Régulation de la tension de sortie du convertisseur

La consigne en fréquence passe par un bloc limiteur qui l'empêche d'aller en dehors de la plage entre 1,16 MHz (f_{r2}) et 2 MHz. Un bloc de commande permet de convertir le signal carré (de fréquence f_{ce}) sortant du VCO en tension de commande de grille des transistors. Ce bloc prend aussi en compte la durée des temps mort voulue entre l'extinction et l'amorçage des deux transistors (tm_e).

Simulation d'un point de fonctionnement

Conditions de simulation :

$V_E = 100 V$	$tm_e = 50 ns$	$K_{s\{h/b\}} :$	Diodes parfaites
$V_{S_{con}} = 12 V$	$R_{ch} = 30 \Omega$		

Nous avons effectué une simulation pour une résistance de charge de 30Ω . La tension d'entrée (V_E) a été fixée à 100 V car elle est définie comme la tension nominale qu'il y aura en entrée du convertisseur. La figure 5.32 représente le gain G_{ch} (V_S/V_E) pour la valeur de la résistance que nous avons simulé. Le point pf_1 représente le point de fonctionnement atteint par le convertisseur pour obtenir une tension de sorti (V_S) de 12 V. La ligne en pointillé (G_{ch12_100V}) donne le niveau du gain théorique qu'il faudrait pour obtenir une tension $V_S = 12 V$ pour une tension $V_E = 100 V$. Le point de fonctionnement se trouve au-dessus pour compenser les pertes de la structure (résistances du modèle du transformateur et des transistors)

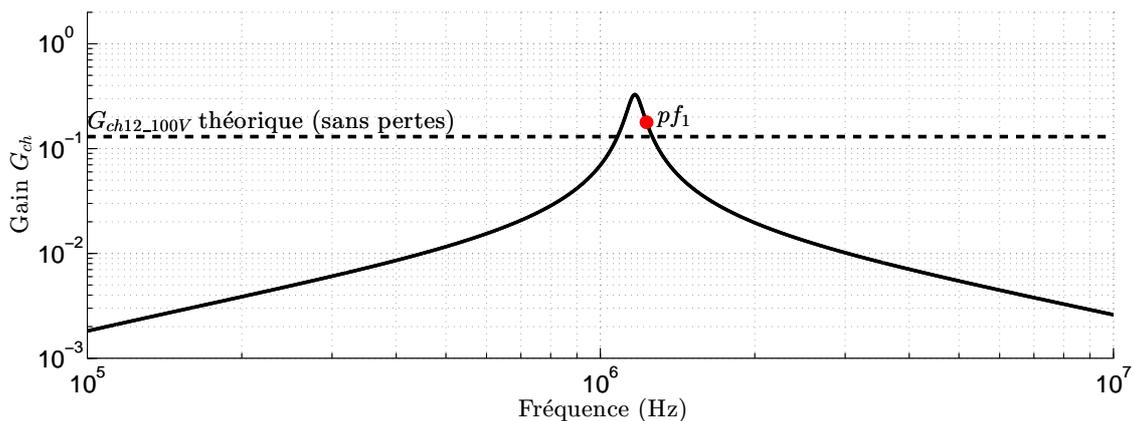
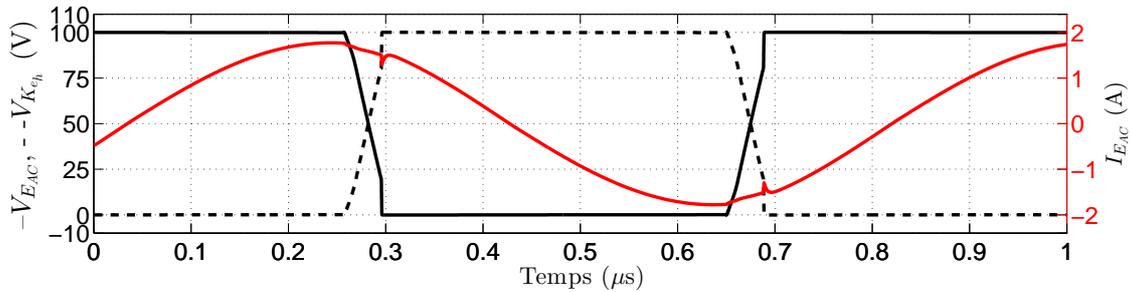


FIGURE 5.32 – Gain G_{ch} en fonction de la fréquence pour $R_{ch} = 30 \Omega$

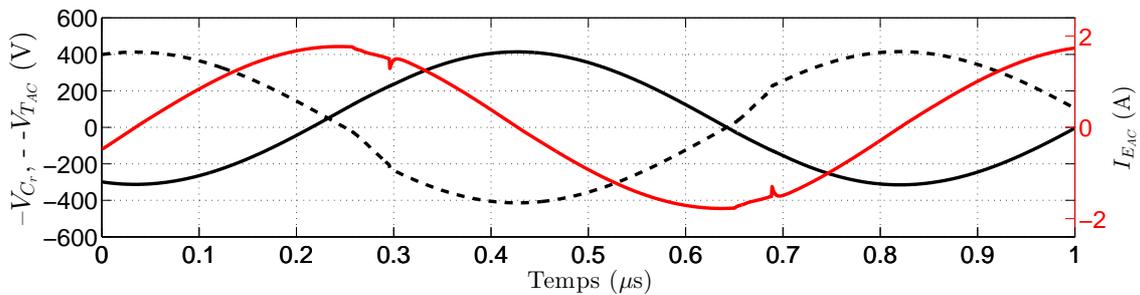
La figure 5.33 trace les grandeurs électriques du côté primaire du transformateur pour ce point de fonctionnement. La figure 5.33a montre les tensions aux bornes de chaque transis-

5.3. Simulations du convertisseur de puissance à résonance

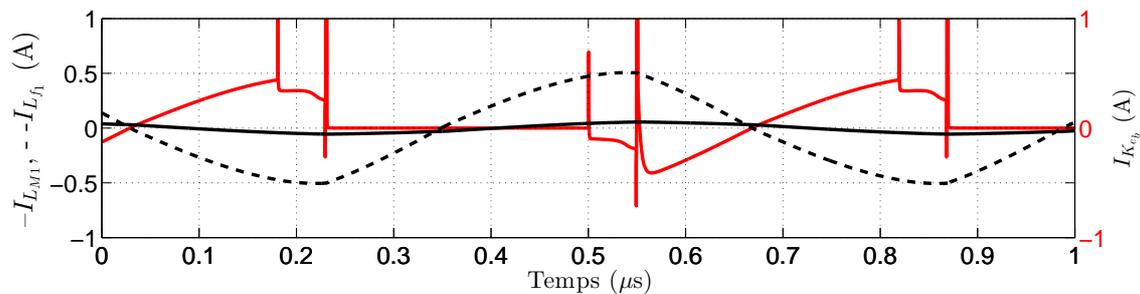
tor ainsi que le courant dans le circuit LLC. Le convertisseur fonctionnant à une fréquence supérieure à la fréquence de résonance permet d'obtenir des commutations douces sur les tensions des transistors. Nous pouvons remarquer néanmoins que la durée des temps morts est trop courte par rapport à l'optimale ce qui amorce le transistor complémentaire avant la charge/décharge complète des capacités intrinsèque. Le courant I_{EAC} a une forme sinusoïdale, il est en avance sur la tension. La figure 5.33b présente les tensions aux bornes du condensateur



(a) V_{EAC} , $V_{K_{eb}}$ et I_{EAC}



(b) V_{C_r} , $V_{T_{AC}}$ et I_{EAC}

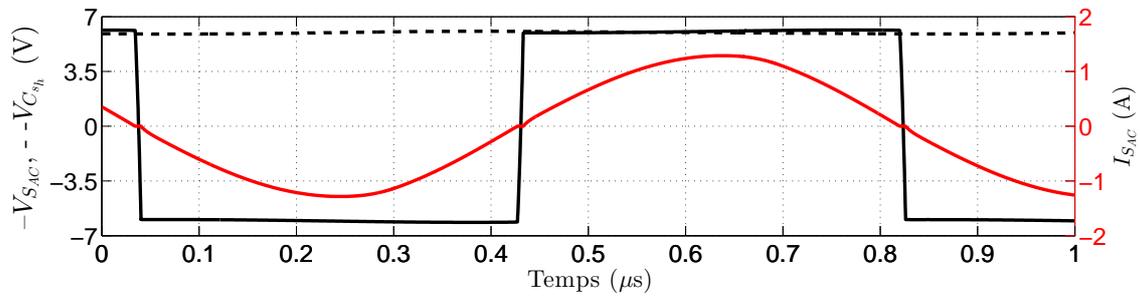


(c) $I_{L_{M1}}$, $I_{L_{f1}}$ et $I_{K_{eb}}$

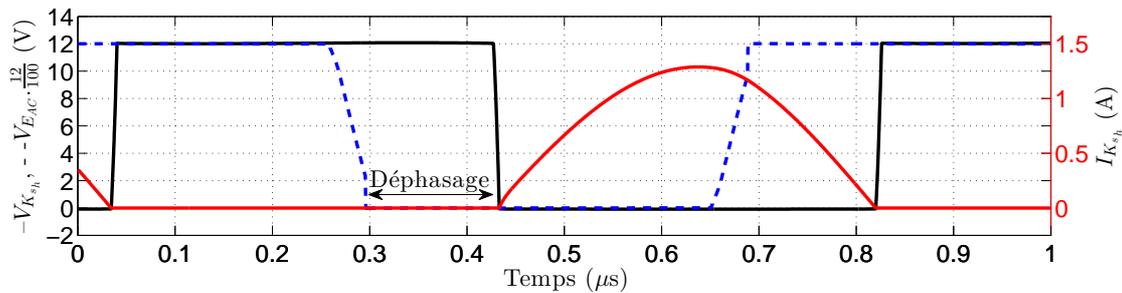
FIGURE 5.33 – Grandeurs électriques du côté primaire du transformateur en fonction du temps (V_{C_r}) et du transformateur ($V_{T_{AC}}$). Nous pouvons observer la contrainte importante en tension sur ces deux éléments où la tension est 4 fois supérieure à la tension de bus. La figure 5.33c présente les courants dans le transformateur ($I_{L_{M1}}$ et $I_{L_{f1}}$) et dans le transistor du bas ($I_{K_{eb}}$). Le courant $I_{L_{M1}}$ est d'une faible intensité comparé à celui dans l'inductance L_{f1} .

La figure 5.34 trace les grandeurs électriques du côté secondaire du transformateur dans

les mêmes conditions que pour les courbes précédentes. La figure 5.34b représente le courant et la tension de la diode K_{sh} . Ce courant montre la contrainte à respecter sur cet élément. En effet, il atteint les 1,25 A pour un courant dans la charge (I_S) de 0,4 A, soit 3 fois supérieur. Les transistors GaN qui remplaceront ces diodes par la suite devront supporter cette contrainte en courant. Nous pouvons aussi observer la contrainte en tension lorsque la diode est bloquée qui est égale à la tension aux bornes de la résistance de charge. Nous avons inséré la tension V_{EAC}



(a) $V_{S_{AC}}$, V_{C_r} et $I_{S_{AC}}$



(b) $V_{E_{AC}} \cdot \frac{12}{100}$, $V_{K_{sh}}$ et $I_{K_{sh}}$

FIGURE 5.34 – Grandeurs électriques du côté secondaire du transformateur en fonction du temps

en la normalisant pour obtenir les mêmes échelles de tension ce qui nous permet d'observer le déphasage se produisant entre l'entrée et la sortie du convertisseur. Nous nous servirons de ce déphasage pour réaliser une loi de commande par la suite. La figure 5.34a trace la tension et le courant en sortie du transformateur ainsi que la tension aux bornes du condensateur du demi-pont capacitif C_{sh} .

Ces courbes montrent le bon fonctionnement du convertisseur de puissance à résonance, nous pouvons observer la bonne régulation de la tension de sortie voulue ($V_{S_{con}}$) par rapport à la résistance de charge connectée. Ceci va nous permettre de réaliser des simulations avec plusieurs valeurs de résistance R_{ch} pour connaître l'évolution du point de fonctionnement du convertisseur et le déphasage qui se produit entre les tensions alternatives d'entrée et de sortie.

Grâce à ces simulations, nous mettrons en place une loi de commande pour les transistors qui viendront remplacer ces diodes.

Interrupteurs $K_{s\{h/b\}}$: diodes parfaites

Conditions de simulation :

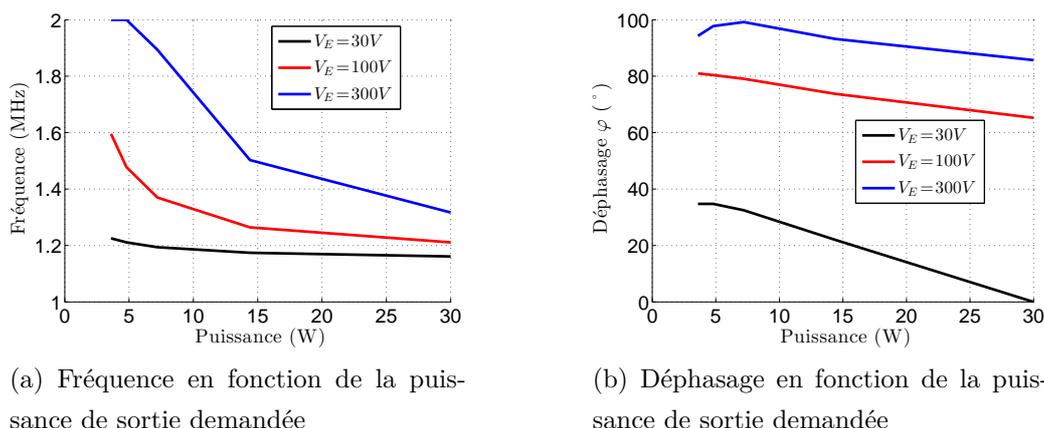
V_E	variable	$tm_e = 50 ns$	$K_{s\{h/b\}}$: Diodes parfaites
$V_{S_{con}} = 12 V$		R_{ch} variable	

La diode parfaite est le composant théorique idéal pour redresser la tension sortant du transformateur, en effet, ce composant n'engendre aucune pertes. Le but de cette étude est de savoir comment commutent naturellement ces diodes dans le système afin de faire commuter les transistors de la même manière ce qui permettrait d'avoir un redressement avec un minimum de pertes dans la cellule de commutation à la sortie du convertisseur.

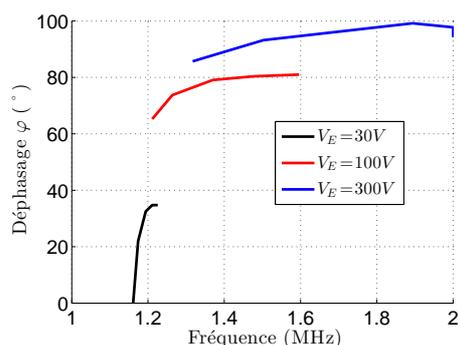
Pour ce faire nous mesurons le déphasage (que nous nommerons φ) se produisant entre la commande des transistors (qui est l'image de la tension $V_{E_{AC}}$) et la commutation naturelle des diodes par l'intermédiaire de la tension aux bornes de K_{s_h} (voir figure 5.34b). Ces simulations sont effectuées pour des puissances de sortie totalisées allant de 2 W à 30 W (puissance maximale admissible par le convertisseur de puissance).

La figure 5.35 donne les résultats par rapport à trois tensions d'entrées (la tension minimale, nominale et maximale) en fonction de la puissance de sortie totale demandée. La figure 5.35a montre la fréquence qui est atteinte en régime permanent lorsque la tension de sortie a été réglée à 12 V. Nous pouvons remarquer que les courbes divergent pour les faibles puissances et convergent vers la fréquence de résonance f_{r2} (1,16 MHz) lorsque les puissances sont élevées. La figure 5.35b représente l'angle de déphasage (φ) en fonction de la puissance de sortie se produisant entre la commutation des transistors au primaire et la commutation naturelle des diodes au secondaire. Lorsque la tension V_E est faible l'angle de déphasage varie de 40° , alors que pour des tensions d'entrées élevées cette variation est plus restreinte.

Nous avons synthétisé ces résultats sur la figure 5.36. Ces courbes nous permettent de connaître le déphasage φ en fonction de la fréquence de commutation de la cellule de commuta-


 FIGURE 5.35 – Résultats de simulation pour V_S réglé à 12 V

tion en entrée du convertisseur et de la tension de bus. Elles ne sont pas fonction de la puissance que nous ne pouvons pas mesurer car il n'y a que la mesure de tension V_S au secondaire et la résistance de charge est amenée à varier.


 FIGURE 5.36 – Déphasage en fonction de la fréquence demandée par la régulation pour avoir $V_S = 12 V$

En connaissant la tension d'entrée (V_E), nous pouvons établir une loi de commande pour la cellule de commutation se situant à la sortie du convertisseur pour qu'elle commute de la même manière que si nous avons utilisé des diodes. En effet, les deux cellules de commutation fonctionnent à une fréquence identique ($f_{cs} = f_{ce}$), il ne nous reste plus que le déphasage entre les cellules comme variable de contrôle de la seconde cellule de commutation.

Cette loi de commande nous permet d'obtenir une commande optimale des transistors, schématisée à la figure 5.37 :

5.3. Simulations du convertisseur de puissance à résonance

- la cellule de commutation à l'entrée du convertisseur voit sa fréquence contrôlée par variation de la résistance de charge, elle donne sa consigne de fréquence (f_{ce}) à l'autre cellule de commutation,
- la cellule de commutation à la sortie du convertisseur voit sa fréquence ajustée (f_{cs}) pour obtenir le déphasage imposé par la loi de commande établie (φ_{con}) par rapport au déphasage mesuré entre les deux commandes des transistors (φ_{mes}).

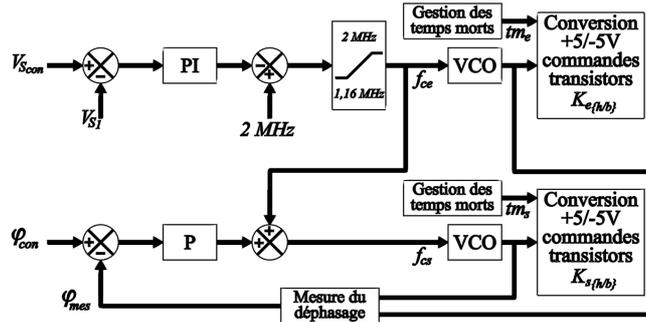


FIGURE 5.37 – Régulation de la tension de sortie du convertisseur par la commande des deux cellules de commutation

Interrupteurs $K_{s\{h/b\}}$: transistors GaN

Conditions de simulation :

$V_E = 100 V$	$tm_e = 50 ns$	$K_{s\{h/b\}} :$	transistors GaN
$V_{S_{con}} = 12 V$	$tm_s = 50 ns$	R_{ch}	variable

Les simulations avec diodes parfaites au secondaire nous apportent l'information de régulation du déphasage en fonction de la fréquence voulue. La seconde étape est de remplacer les interrupteurs $K_{s\{h/b\}}$ par des modèles de transistors GaN (figure 5.38). La consigne de déphasage φ_{con} dépendra de la fréquence comme il a été montré à la figure 5.36. Nous ajouterons à cette consigne un déphasage supplémentaire (nommé $\Delta\varphi$) pour observer le comportement de la structure lorsque nous imposons un déphasage inférieur ou supérieur à celui se produit lors d'une commutation naturelle (cas diode parfaite). Ce déphasage sera régulé par une boucle de phase faisant varier légèrement la fréquence. L'étude se concentre uniquement sur la sortie régulée pour une tension d'entrée $V_E = 100 V$. Les cellules de commutation se situant aux autres sorties voit la même commande qu'à la sortie principale.

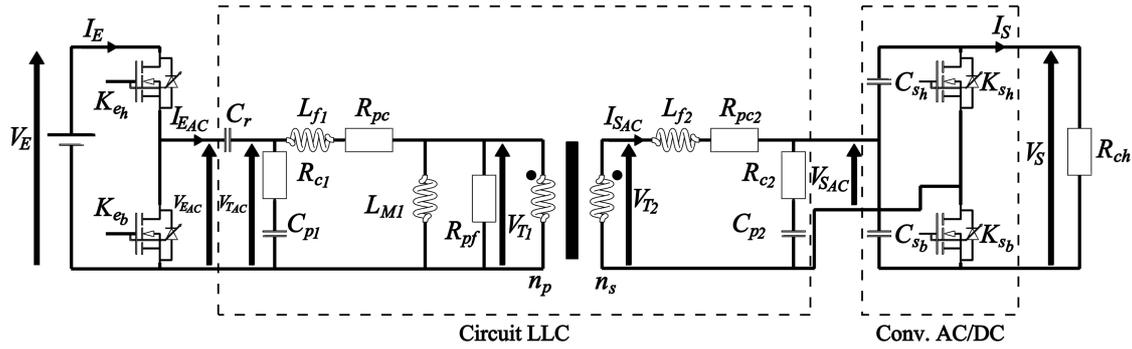
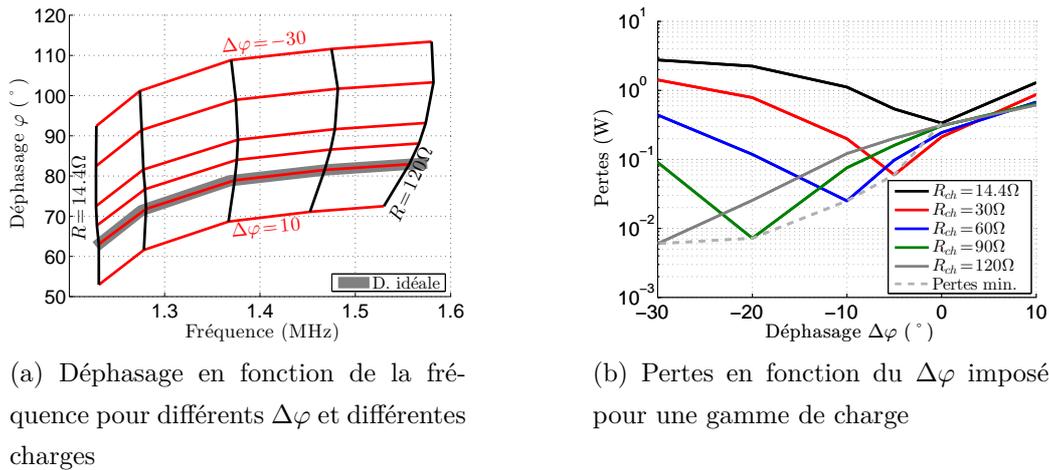


FIGURE 5.38 – Schéma de la structure complète avec transistors GaN

La figure 5.39 présente les résultats pour des charges variant de $R_{ch} = 14,4 \Omega$ (10 W) à $R_{ch} = 120 \Omega$ (2 W) et pour $\Delta\varphi = [10, 0, -5, -10, -20, -30]^\circ$. La figure 5.39a montre le point de fonctionnement de la cellule de commutation à la sortie du convertisseur pour une tension de consigne de 12 V. Le trait gris rappelle le point de fonctionnement lors des simulations avec des diodes. Les traits noirs de direction verticale représentent les simulations pour une même charge mais une consigne de déphasage supplémentaire $\Delta\varphi$ différent, les traits rouges représentent les courbes pour un même $\Delta\varphi$ mais pour des résistances de charges différentes.

Nous pouvons observer que pour des faibles résistances de charge la fréquence évolue peu en fonction de $\Delta\varphi$ imposé, seul le déphasage entre les cellules de commutation change, mais plus la résistance de charge augmente plus nous voyons les courbes en noir se dessiner pour une même résistance de charge et venir atteindre une fréquence maximale.


 (a) Déphasage en fonction de la fréquence pour différents $\Delta\varphi$ et différentes charges

 (b) Pertes en fonction du $\Delta\varphi$ imposé pour une gamme de charge

 FIGURE 5.39 – Résultats de simulations lorsque les interrupteurs $K_{s\{h/b\}}$ sont remplacés par des modèles de transistor GaN

L'évolution de la fréquence de commutation remarquée sur la figure 5.39a pour une même résistance de charge est due à une diminution des pertes dans la cellule de commutation à la sortie du convertisseur. Les pertes générées diminuant, le convertisseur n'a plus besoin de transmettre autant d'énergie pour compenser ces pertes. Le point de fonctionnement se situe à une fréquence plus élevée, synonyme d'un gain G_{ch} plus faible. La figure 5.39b donne l'estimation des pertes dans les transistors de la cellule de commutation à la sortie en fonction de la résistance de charge et de $\Delta\varphi$. Nous pouvons remarquer que le minimum de pertes pour une résistance de charge donnée correspond au point de fonctionnement où la fréquence est maximale pour cette même charge (figure 5.39a). Cette figure nous permet d'aborder plusieurs points :

- le déphasage a une influence sur les pertes de la cellule de commutation en sortie et cette influence est aussi fonction de la charge associée,
- les pertes atteignent un minimum ce qui implique qu'il y a un optimum à trouver pour chaque résistance de charge,
- plus la résistance de charge est élevée, plus il faudra un $\Delta\varphi$ important pour trouver ce minimum.

Il faut donc connaître les phénomènes responsables de l'émission de ces pertes. Grâce aux simulations, nous pouvons mesurer le courant et la tension d'un transistor se situant à la sortie pour observer le courant qui le traverse et le type de commutation du transistor. Les figures 5.40 et 5.41 présentent la tension aux bornes et le courant traversant le transistor K_{sb} pour les différents $\Delta\varphi$ et pour une résistance de charge $R_{ch} = 30 \Omega$. Toutes ces figures montrent un courant négatif traversant le transistor, ce qui affirme le comportement synchrone du redressement. La tension aux bornes de ce transistor est équivalente à la tension du point milieu de la cellule de commutation, elle est donc caractéristique du fonctionnement de cette cellule.

Sur la figure 5.40a ($\Delta\varphi = 10^\circ$) nous pouvons observer des périodes de temps morts provoquant des pics de tension (lorsque la tension est inférieure à 0 V ou supérieure à 12 V) et des commutations forcées (pentes abruptes), deux facteurs favorisant les pertes, le courant est strictement négatif. La figure 5.40b ($\Delta\varphi = 0^\circ$) montre une diminution des temps morts tant en durée qu'en amplitude de pic (-5 V au lieu de -7 V), le courant devient positif avant la commutation ce qui permet aux capacités intrinsèques C_{ds} des transistors de commencer à se charger/décharger (pentes douces au début de la commutation), cela diminue les pertes dans la cellule de commutation.

La figure 5.40c ($\Delta\varphi = -5^\circ$) donne le cas quasi-idéal, c'est-à-dire aucun pic (-1,5 V pendant

quelques nanosecondes) et des commutations douces dues au passage positif du courant aidant à la charge/décharge complète des capacités C_{ds} , cela provoque un minimum de pertes ce qui est retranscrit par la figure 5.39b.

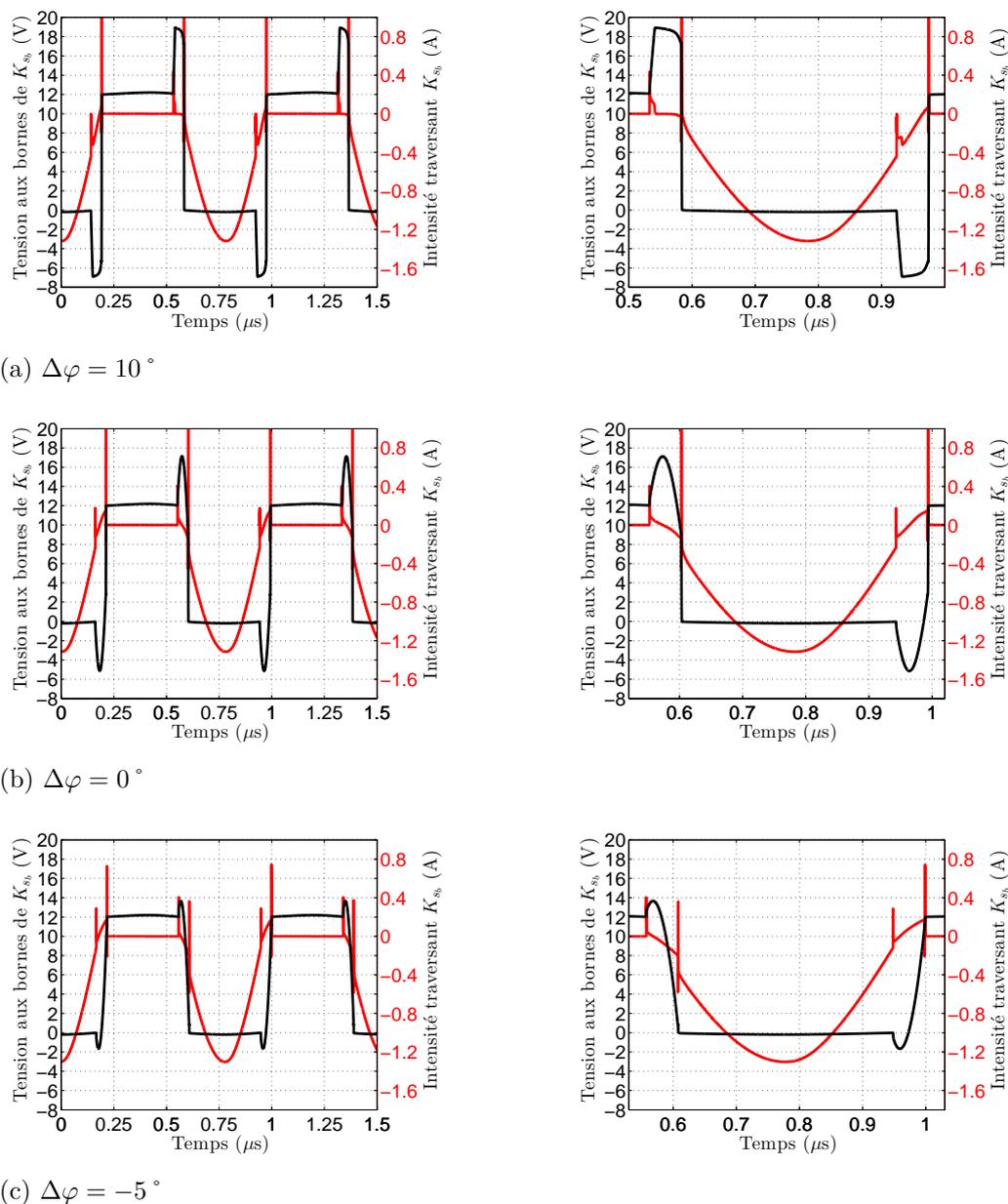


FIGURE 5.40 – Tension aux bornes et courant traversant le transistor K_{sb} fonction de $\Delta\varphi$ (à gauche : deux périodes du signal, à droite : agrandissement)

Si $\Delta\varphi$ diminue encore (figures 5.41a à 5.41c) nous observons une réapparition des pics de tension lors des temps morts. Ce phénomène est dû au courant qui, après avoir chargé/déchargé les capacités intrinsèque des transistors, impose une phase de roue libre dans le transistor allant

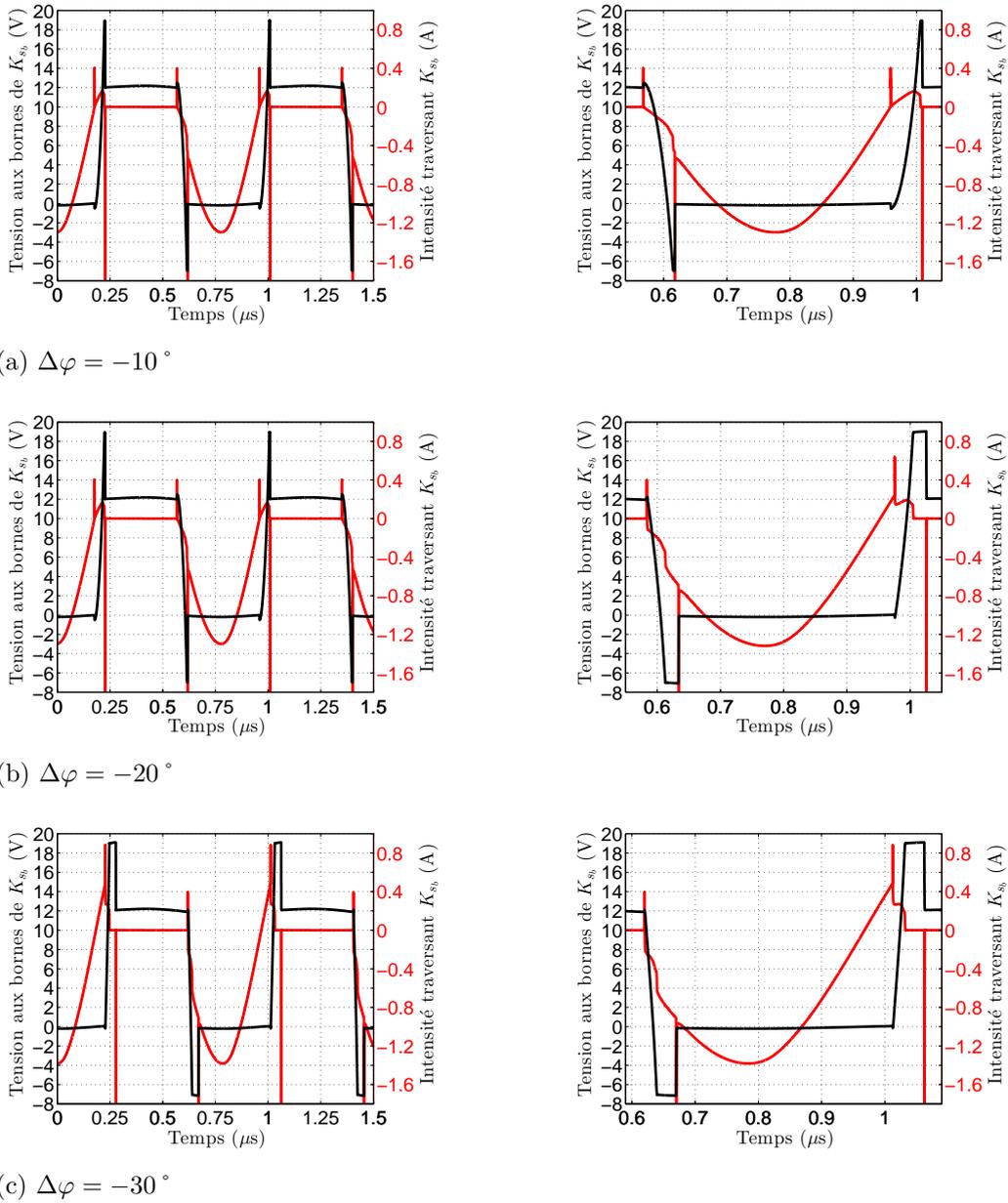


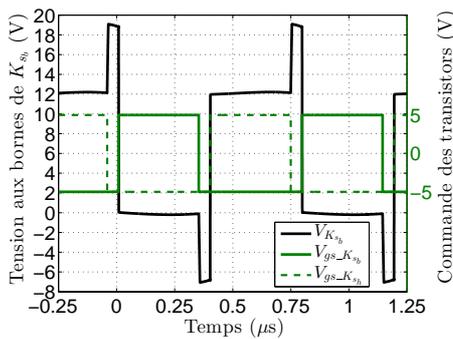
FIGURE 5.41 – Tension aux bornes et courant traversant le transistor K_{sb} fonction de $\Delta\varphi$ (à gauche : deux périodes du signal, à droite : agrandissement)

s’amorcer. Nous obtenons donc une augmentation des pertes lorsque $\Delta\varphi$ devient trop négatif mais elles sont moins importantes car nous avons une commutation douce des transistors.

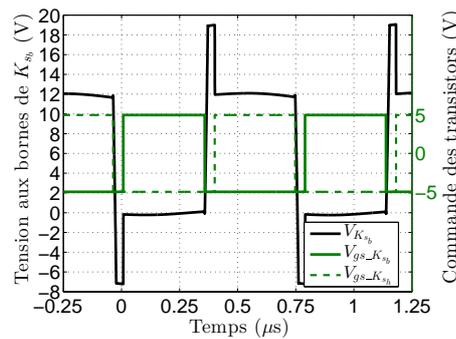
Indicateur de bon déphasage diminuant les pertes

La tension aux bornes d'un des transistors de la cellule de commutation à la sortie du convertisseur peut nous permettre d'obtenir un indicateur précisant si nous sommes trop déphasé, pas assez, ou si nous sommes dans une zone où le déphasage est correct pour des pertes minimales dans la cellule de commutation. En effet, la figure 5.42 nous montre la tension aux bornes de K_{sb} ainsi que la commande des deux transistors de cette cellule de commutation.

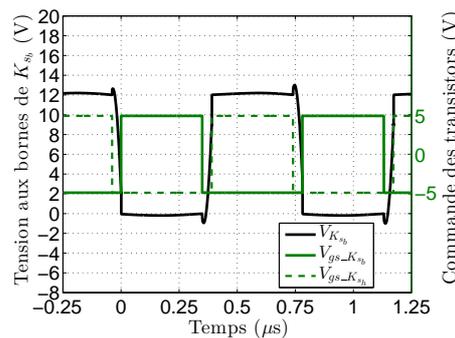
La figure 5.42a représente le cas où le déphasage (φ) est supérieur à celui nécessaire pour avoir un minimum de perte. Dans ce cas, le pic de tension négatif apparaît après le blocage du transistor K_{sb} . La figure 5.42b démontre le cas inverse, dans celui-ci le pic de tension négatif apparaît lors du blocage du transistor K_{sh} . Le cas idéal observé à la figure 5.42c ne montre quasi aucun pic de tension.



(a) Pour un déphasage supérieur à l'optimum



(b) Pour un déphasage inférieur à l'optimum



(c) Pour un déphasage permettant de se situer dans une zone où les pertes sont minimales

FIGURE 5.42 – Tension aux bornes du transistor K_{sb} tensions de commandes en fonction du temps

La position de ces pics de tension en fonction de la commande des transistors peut servir d'indicateur de bon déphasage. Les commandes sont connues car nous les générons, il suffit donc de rajouter une mesure de tension sur le transistor du bas pour connaître dans quelle zone nous nous situons par rapport au minimum de pertes. En ne considérant que les pics de tension négatifs (tension inférieure à 0 V) la régulation peut se faire via trois règles :

- si la tension est négative après le blocage du transistor K_{sb} il faut réduire le déphasage,
- si la tension est négative après le blocage du transistor K_{sh} il faut augmenter le déphasage,
- sinon le déphasage est correct, nous nous situons dans une zone à minimum de pertes.

Cette régulation du déphasage peut se faire de manière simple : un intégrateur avec un gain négatif, positif ou nul selon le cas par exemple. Elle résulte que d'une mesure de tension donc un capteur, ce qui favorise l'intégration. De plus elle a l'avantage supplémentaire de régler le problème de déphasage dû au retard de commande provoquer par la logique de commande qui pourrait survenir et qui est difficile à caractériser.

5.4 Conclusion

Ce chapitre nous a permis d'observer comment pouvait être intégré les transistors GaN d'EPC dans une application haute fréquence. Nous avons étudié un convertisseur de puissance à résonance LLC afin de mettre en évidence son adéquation avec les contraintes du projet MEMPHIS/GALION. Nous avons pu mettre en avant les paramètres caractéristiques de ce type de structure comme les fréquences de résonance. Ces fréquences nous ont aidé à délimiter des zones de fonctionnement où un certain type de commutation était possible. Les transistors GaN d'EPC génèrent moins de pertes lorsqu'ils commutent en mode ZVS car leur capacité intrinsèque se retrouve à la bonne tension pour pouvoir commuter.

L'étude théorique du convertisseur à résonance LLC a été associée à l'élaboration d'un circuit magnétique permettant de lier les paramètres physiques d'un noyau magnétique aux valeurs des éléments électriques du circuit LLC. L'élaboration de ce circuit nous a permis de nous rendre compte de la difficulté imposée par la montée en fréquence comme le choix du matériau magnétique et le choix de la disposition des enroulements. Le choix de ces paramètres nous a aidé à réduire la capacité série du convertisseur nous accordant une meilleure intégration et la possibilité de choisir des condensateurs haute température.

Nous avons réalisé un circuit magnétique de test pour observer les caractéristiques réelles du circuit magnétique et pour fournir des informations supplémentaires sur ce circuit, telles que les capacités parasites et les erreurs faites sur les éléments calculés.

Nous avons ensuite simulé dans un premier temps la structure en fréquentiel afin d'avoir des informations sur le gain par rapport à la charge, cela nous a permis de constater la conformité du circuit LLC par rapport aux valeurs des paramètres, cela nous a montré aussi que les éléments parasites avaient une influence sur les fréquences de résonance calculées. Nous avons pu constater les contraintes du circuit LLC, surtout en ce qui concerne la tension aux bornes du condensateur qui peut dépasser 2000 V. Cette contrainte peut être respectée car la valeur de ce condensateur ne dépasse pas le nanofarad et dans cette gamme de valeur des condensateurs haute tension existent.

Dans un second temps nous avons rajouté les cellules de commutation au convertisseur pour observer, cette fois-ci en temporel, comment influençait la commande des transistors par rapport à la puissance totale demandée. Pour ce faire, des diodes parfaites ont été tout d'abord insérées dans le modèle de la cellule de commutation en sortie du convertisseur pour observer comment elles se comportaient par rapport à la valeur de la résistance de charge, et surtout pour connaître leur déphasage entre la commande de la cellule de commutation à l'entrée et leur commutation naturelle. Cela nous a permis d'établir une loi de commande que nous avons appliquée ensuite lorsque que nous avons remplacé les diodes par les transistors GaN.

Enfin, nous avons approfondi l'étude de ce déphasage grâce au modèle électrothermique des transistors GaN d'EPC qui nous permet d'avoir une estimation des pertes générées. Nous avons noté que le déphasage provoquant un minimum de pertes n'était pas celui préconisé pas la commutation naturelle. Effectivement, la nature même des transistors oblige une phase de charge/décharge de leurs capacités intrinsèques qui se fait par l'intermédiaire d'un courant inverse les traversant, or cette phase ne peut être atteinte que si nous réduisons le déphasage lié à la résistance de charge.

Au final nous avons vu qu'il était possible de réguler le déphasage pour se situer dans une zone où un minimum de pertes est généré par la cellule de commutation à la sortie du convertisseur. Cette régulation est faite en prenant une information supplémentaire, à savoir la tension aux bornes du transistor du bas de cette cellule de commutation. Grâce à cette nouvelle information nous pouvons aisément savoir dans quel zone nous nous trouvons par

5.4. Conclusion

rapport au minimum de pertes sans connaître la puissance demandée en sortie. Nous pouvons ainsi rejoindre cette zone en contrôlant dynamiquement le déphasage entre les deux commandes.

Conclusion générale et perspectives

5.5 Conclusion générale

L'objectif principal de ce mémoire est l'étude des composants à base de nitrure de gallium pour connaître leurs performances et déterminer la commande la plus appropriée pour la réalisation de convertisseur de puissance pouvant fonctionner dans des environnements sévères.

Au cours de l'introduction nous avons vu l'importance des semi-conducteurs à grand gap dans les domaines variés tels que l'aéronautique, l'industrie pétrolière et le spatial. Nous avons pu observer les spécificités techniques de chacun de ces domaines. Ceci nous a permis de comprendre la nécessité de se tourner vers une électronique de puissance de plus en plus intégrée fournissant toujours plus de puissance.

Cette intégration passe par d'autres technologies que le silicium, en effet malgré sa grande maturité et des travaux pour dépasser ses limites conventionnelles, il ne peut plus travailler dans des gammes de températures et de fréquences les plus sévères voulues par le secteur industriel. Ce dernier s'oriente progressivement vers les technologies SiC et GaN.

La comparaison des composants à grands gap entre eux nous a permis de constater la maturité plus élevée des composants à base de SiC (transistors 1200 V disponible depuis quelques années) par rapport aux composants à base de GaN. Dans l'avenir, ces nouveaux semi-conducteurs sont destinés à cohabiter ensemble sur le marché, le SiC pour des fortes puissances (quelques mégawatts) et le GaN pour les applications commutant à hautes fréquences (supérieures au mégahertz) de puissance intermédiaire. Nous avons aussi investigué les fabri-

cants de composants à base de GaN et montré que des composants de fortes puissances sont en cours de développement.

Le projet MEMPHIS/GALION a pour but de suivre cette évolution dans le domaine aérospatial et de forage offshore. Dans cet objectif, deux axes ont été étudiés : le substrat HTCC autorisant un fonctionnement à plus haute température que les substrats à base de matériaux composites FR-4 et les semi-conducteurs à base de GaN amenant au développement futur d'une nouvelle filière technologique. L'introduction se termine par les spécifications d'un démonstrateur qui devra être réalisé, alliant la technologie HTCC et GaN.

Le chapitre I propose un état de l'art montrant les propriétés intrinsèques du GaN. Approfondissant les connaissances sur ce matériau, il expose son intérêt à travailler en hautes fréquences grâce à la possibilité de le lier à l'AlGaIn pour créer une hétérostructure décuplant la vitesse des électrons. Les composants à base de GaN amènent une rupture technologique par rapport aux composants à base de Silicium. Ils présentent un nouveau comportement lors de leur conduction inverse et une grande rapidité lors des commutations.

Ce chapitre décrit aussi sur les épitaxies disponibles qui se résument à l'homoépitaxie et les hétéroépitaxies permettant la fabrication de composants à conduction verticale ou latérale. L'observation de la structure interne des composants GaN a montré les nombreuses couches nécessaires à la conception des transistors GaN d'EPC.

Le chapitre II s'est concentré sur le substrat HTCC produit par la société EGIDE. En effet, ce substrat n'est pas réalisé pour les problématiques de l'électronique de puissance à l'origine. Il a donc fallu le caractériser afin d'avoir un modèle électrique de ses pistes en tungstène pour déterminer ses performances. Cela a donné lieu à un modèle résistif et capacitif des pistes prenant en compte la température. Ce chapitre a montré que les circuits à base de substrat HTCC ne sont pas bien adaptés pour l'électronique de puissance et qu'il est nécessaire de développer des briques technologiques pour pallier à ces problématiques.

Le chapitre III a été consacré à l'étude des composants GaN d'EPC (nommé eGaN-FET), seuls composants disponibles au début des travaux. Les caractérisations statiques du transistor GaN a donnée des faibles valeurs de résistance à l'état passant induisant des pertes en conduction réduites. Ces caractérisations se sont focalisées sur le mécanisme particulier pendant la

conduction inverse de ce transistor entraînant une tension inverse à ses bornes, dépendante de la tension de grille appliquée.

Nous avons pu observer la difficulté d'implantation de ces composants due à leur boîtier (de type LGA) et leur profil de température de soudage particulier. Ce chapitre a permis de réaliser des caractérisations dynamiques grâce à la fabrication de différentes cartes en prenant comme structure de test une cellule de commutation sur charge RL. Ces tests se sont effectués selon deux prototypes proposant des approches et des tensions de commande différentes.

Après avoir réalisé une étude thermique d'un cylindre servant à analyser les pertes générées par la cellule de commutation nous avons caractérisé ces pertes. Ces mesures ont été effectuées en fonction des commandes envoyées aux transistors, grâce à une méthode calorimétrique. Elles ont fait ressortir qu'il existait des minima par rapport aux durées de temps mort choisies.

Le chapitre IV a abordé un modèle comportemental du composant GaN d'EPC du point de vue électrique et électrothermique. Ce modèle est constitué de fonctions non linéaires qui s'adaptent aux courbes de variation en tension ou température des éléments intrinsèques (source de courant, condensateur) du composant GaN. Le modèle a montré une prise en compte de tous les phénomènes constatés lors des mesures, fournissant un outil de simulation puissant pour l'étude de convertisseurs.

Le chapitre se termine par l'ajout du comportement thermique au modèle du composant GaN, fournissant une estimation des pertes émises lors du fonctionnement de la cellule de commutation. Ce modèle a confirmé l'importance de la durée des temps morts en reliant l'évolution des pertes générées par le transistor avec le réglage de cette durée. Cette démarche a permis une optimisation des commandes de la cellule de commutation.

Le chapitre V regroupe les travaux vus dans les deux précédents chapitres en prospectant une structure adaptée aux problématiques du projet et aux transistors. Cette étude a permis la compréhension fine de son comportement électrique et a validé sa faisabilité en réalisant son prédimensionnement.

Grâce à ce travail nous avons pu simuler la structure complète (composants passifs et actifs)

et étudier son comportement électrique par rapport à la commande, la charge, et la tension d'entrée appliquée. Les pertes ont été estimées selon une stratégie de commande choisie ; cela a contribué à l'élaboration de règles les réduisant.

5.6 Perspectives

En termes de perspective nous pouvons lister certains points qu'il sera intéressant d'approfondir :

- **à court terme :**
 - **finalisation du prototype :** dans le dernier chapitre, tout les éléments nécessaires au fonctionnement du convertisseur LLC ont été prédimensionnés. Une fabrication du circuit est donc possible et nous permettrait de comparer les résultats de simulation à des mesures que nous réaliserons,
 - **compatibilité électromagnétique :** cette aspect n'a pas été abordé dans ce manuscrit. Néanmoins, des mesures et simulations préliminaires ont démontré que le modèle du composant GaN permet de prendre en compte une partie de son comportement électromagnétique. Pour effectuer des tests valides, il nous faut une structure figée et proche d'un besoin industriel. La réalisation du prototype étudié au chapitre V nous aidera à mettre en place des mesures de CEM,
- **à moyen terme :**
 - **commande adaptée :** la tension entre grille et source des eGaN-FETs fait varier fortement leur comportement. Les différents chapitres montrent l'importance de maîtriser cette dernière. Il reste à étudier le comportement dynamique de ces transistors en imposant à leurs bornes des stratégies de commandes plus complexes comme une commande à trois niveaux [108],
 - **commande en courant :** ce mémoire ne présente que des commandes en tension qui révèlent des inconvénients comme la résistance de grille engendrant des pertes et la surintensité dans la grille lors de l'ouverture ou de la fermeture. Une commande en courant permettrait d'éliminer ces inconvénients. Pour cela il faut mettre en œuvre une structure plus complexe pour réguler le courant chargeant la grille afin d'éviter de dépasser la limite en tension de grille,
 - **réglage des temps morts par mesure thermique :** l'étude thermique a permis de proposer un modèle thermique du composant, Nous avons vu au chapitre 4 la conséquence des pertes, liées aux durées des temps morts principalement, sur la

température du composant. Grâce à une mesure de température nous pourrions réguler dynamiquement la durée de ces temps morts par rapport aux variations de courant de charge pour rester dans une zone de pertes minimales,

— **à long terme :**

- **intégration d'un module et de sa commande rapprochée :** la taille des transistors GaN d'EPC en font des éléments propices à l'intégration, il serait donc intéressant de créer des modules de puissance intégrant une ou des cellules de commutation et les éléments magnétiques (transformateur d'impulsion) permettant leur commande,
- **fiabilité et vieillissement :** ces composants sont prévus pour des environnements sévères où il est difficile voir impossible de dépanner. Il serait donc important de savoir comment ces nouveaux composants cassent (court-circuit, circuit ouvert, ...) et d'appréhender cette casse par la connaissance de l'évolution des paramètres lorsque le composant vieillit. Ces composants n'étant pas pour l'instant mis en œuvre dans des convertisseurs industrialisés, nous n'avons aucun retour sur leur fonctionnement à longue durée.

Bibliographie

- [1] F. Medjdoub, “Transistors à base de semi-conducteurs III-N sur substrat de silicium et applications,” *Techniques de l’ingénieur*, 2012.
- [2] K. El Falahi, “Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température,” Thèse, Institut National des Sciences Appliquées de Lyon, 2012.
- [3] M. Moreau, “Modélisation haute fréquence des convertisseurs d’énergie. Application à l’étude des émissions conduites vers le réseau.” Thèse, École Centrale de Lille, 2009.
- [4] L. Ménager, “Contribution à l’intégration des convertisseurs de puissance en 3D,” Thèse, Institut National des Sciences Appliquées de Lyon, 2008.
- [5] D. Tournier, “Des composants de puissance aux systèmes intégrés haute température en technologie grand gap,” Thèse, Institut National des Sciences Appliquées de Lyon, 2012.
- [6] J. Delaine, P.-O. Jeannin, et D. Frey, “High frequency DC-DC converter using GaN Device,” *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pp. 1754–1761, 2012. DOI : 10.1109/APEC.2012.6166059
- [7] S. Diaham, “Étude du comportement sous haute température de matériaux polymides en vue de la passivation de composants de puissance à semi-conducteur grand gap,” Thèse, Université Toulouse III, 2007.
- [8] H. Zhang, “Gestion décentralisée de réseaux continus à forte disponibilité en aéronautique,” Thèse, Université Lille 1.
- [9] Y. Ledru, “Étude de la porosité dans les matériaux composites stratifiés aéronautiques,” Thèse, Institut National Polytechnique de Toulouse, 2009.
- [10] R. Robutel, “Étude des composants passifs pour l’électronique de puissance à « haute température » : application au filtre CEM d’entrée,” Thèse, Institut National des Sciences Appliquées de Lyon, 2012.

- [11] R. Meuret, "Aircraft Applications and Needs for SiC," *Proceedings of the Conference of the European Center for Power Electronics*, 2007.
- [12] S. Mandray, "Optimisation des convertisseurs d'électronique de puissance selon des critères thermiques et CEM. Application aux dispositifs dédiés à l'aéronautique," Thèse, Institut Polytechnique de Grenoble, 2009.
- [13] "Environmental Conditions and Test Procedures for Airborne Equipment," RTCA, Rapport technique, 2007.
- [14] J.-G. Tartarin, "La technologie GaN et ses applications pour l'électronique robuste, haute fréquence et de puissance," *hal*, 2008.
- [15] W. Lajnef, "Modélisation des supercondensateurs et évaluation de leur vieillissement en cyclage actif à forts niveaux de courant pour des applications véhicules électriques et hybrides," Thèse, Université de Bordeaux 1, 2006.
- [16] H. Ueda, M. Sugimoto, T. Uesugi, et T. Kachi, "Wide-bandgap semiconductor devices for automobiles applications," *CS MANTECH Conference, April 24-27, Vancouver, British Columbia, Canada*, 2006.
- [17] T. Kanata, K. Nishiwaki, et K. Hamad, "Developments trends of power semiconductors for hybrid vehicles," *Power Electronics Conference (IPEC), 2010 International*, pp. 778–782, 2010. DOI : 10.1109/IPEC.2010.5543294
- [18] B. Ozpineci et L. M. Tolbert, "Comparison of wide-bandgap semiconductors for power electronics applications," *Oak Ridge National Laboratory*, 2003.
- [19] P. K. Rampelli, R. Deekshit, S. Reddy D, B. K. Singh, V. Chippalkatti, et T. Kanthimathinathan, "Multiple-output magnetic feedback forward converter with discrete PWM for space application," *Power Electronics, Drives and Energy Systems (PEDES), 2012 IEEE International Conference on*, pp. 1–6, 2012. DOI : 10.1109/PEDES.2012.6484471
- [20] T. S. Balint, E. A. Kolawa, J. A. Cutts, et C. E. Peterson, "Extreme environment technologies for NASA's robotic planetary exploration," *Touching Humanity - Space for Improving Quality of Life. Selected Proceedings of the 58th International Astronautical Federation Congress, Hyderabad, India, 24-28*, vol. 63, pp. 285–298, 2008. DOI : 10.1016/j.actaastro.2007.12.009
- [21] K.-a. Son, A. Liao, G. Lung, M. Gallegos, T. Hatake, R. D. Harris, L. Z. Scheick, et W. D. Smythe, "GaN-based high temperature and radiation-hard electronics for harsh environments," *Proc. SPIE 7679, Micro- and Nanotechnology Sensors, Systems, and Applications II*, vol. 7679, 2010. DOI : 10.1117/12.852711
- [22] "Extreme environments technologies for future space science missions," NASA, Rapport technique, 2007.

-
- [23] L. Dupont, “Contribution à l’étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude,” Thèse, École Normale Supérieure de Cachan, 2006.
- [24] B. L. Draper et D. W. Palmer, “Extension of high-temperature electronics,” *Components, Hybrids, and Manufacturing Technology, IEEE Transactions on*, vol. 2, pp. 399–404, 1979. DOI : 10.1109/TCHMT.1979.1135491
- [25] R. H. Lasseter et P. Paigi, “Microgrid : a conceptual solution,” *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 6, pp. 4285–4290, 2004. DOI : 10.1109/PESC.2004.1354758
- [26] J. Driesen et F. Katiraei, “Design for distributed energy resources,” *Power and Energy Magazine, IEEE*, vol. 6, pp. 30–40, 2008. DOI : 10.1109/MPE.2008.918703
- [27] S. Chakraborty et S. M. G., “Advanced active filtering in a single phase high frequency AC microgrid,” *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pp. 191–197, 2005. DOI : 10.1109/PESC.2005.1581623
- [28] S. A. Saleh, R. Ahshan, M. S. Abu-Khaizaran, B. Alsayid, et M. A. Rahman, “Implementing and testing $d-q$ WPT-based digital protection for micro-grid systems,” *Industry Applications Society Annual Meeting (IAS), 2011 IEEE*, pp. 1–8, 2011. DOI : 10.1109/IAS.2011.6074471
- [29] M. Jamil, B. Hussain, M. Abu-Sara, R. J. Boltryk, et S. M. Sharkh, “Microgrid power electronic converters : state of the art and future challenges,” *Universities Power Engineering Conference (UPEC), 2009 Proceedings of the 44th International*, pp. 1–5, 2009.
- [30] E. O. Johnson, “Physical Limitations on Frequency and Power Parameters of Transistors,” *IRE International Convention Record, RFIC Virtual Journal, IEEE*, vol. 13, pp. 27–34, 1966. DOI : 10.1109/IRECON.1965.1147520
- [31] R. W. Keyes, “Figure of merit for semiconductors for high-speed switches,” *Proceedings of the IEEE*, vol. 60, p. 225, 1972. DOI : 10.1109/PROC.1972.8593
- [32] B. J. Baliga, “Semiconductors for High-Voltage, Vertical Channel Field-Effect Transistors,” *J. Appl. Phys.*, vol. 53, pp. 1759–1764, 1982. DOI : 10.1063/1.331646
- [33] G. Nallet, “SiC pour l’électronique du puissance du future,” *Technique de l’ingénieur*, 2002.
- [34] R. Mousa, “Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension,” Thèse, INSA de LYON, 2009.
- [35] E. Al Alam, “Développement de briques technologiques pour la réalisation de transistor MOS de puissance en nitrure de gallium,” Thèse, Université Toulouse III, 2011.

- [36] “CREE,” <http://www.cree.com/>, Mai 2014.
- [37] “EPC,” <http://www.epc-co.com/>, Février 2014.
- [38] “Avogy,” <http://avogy.com/>, Février 2014.
- [39] “GaN Systems,” <http://www.gansystems.com/>, Février 2014.
- [40] M. A. Briere, “The status of GaN-on-Si based power device development at International Rectifier,” *CS MANTECH Conference, April 23rd - 26th, Boston, Massachusetts, USA, 2012*.
- [41] “micro GaN,” <http://www.microgan.com/>, Février 2014.
- [42] “Panasonic,” <http://panasonic.net/>, Février 2014.
- [43] “Fujitsu Semiconductor Limited,” <http://www.fujitsu.com/emea/>, Février 2014.
- [44] O. Deleage, J.-C. Crebier, et Y. Lembeye, “Design and realization of autonomous power CMOS single phase inverter and rectifier for low power conditioning applications,” *Power Electronics and Applications, EPE '09. 13th European Conference on*, pp. 1–10, 2009.
- [45] M. Khan, G. Simin, S. Pytel, A. Monti, E. Santi, et J. Hudgins, “New Developments in Gallium Nitride and the Impact on Power Electronics,” *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pp. 15–26, 2005. DOI : 10.1109/PESC.2005.1581596
- [46] H. Liu, X. Zheng, et Z.-k. Yu, “The application analysis of GaN power devices in Radar transmitter,” *Radar Conference, 2009 IET International*, pp. 1–5, 2009.
- [47] M. Johnson et D. Barlage, “Advanced in Gallium Nitride materials and structures for power electronics,” *Semiconductor Device Research Symposium, 2009. ISDRS '09. International*, pp. 1–2, 2009. DOI : 10.1109/ISDRS.2009.5378172
- [48] C. Mion, J. Muth, et E. Preble, “Accurate dependence of gallium nitride thermal conductivity on dislocation density,” *Applied Physics Letters*, vol. 89, pp. 092123–092123–3, 2006. DOI : 10.1063/1.2335972
- [49] J.-Y. Duboz, “Matériaux semi-conducteurs à grand gap III-V à base de GaN,” *Techniques de l'ingénieur*, 1999.
- [50] H. Jain, S. Rajawat, et P. Agrawal, “Comparision of Wide Band Gap Semiconductors for Power Electronics Applications,” *Recent Advances in Microwave Theory and Applications, 2008. MICROWAVE 2008. International Conference on*, pp. 878–881, 2008. DOI : 10.1109/AMTA.2008.4763184
- [51] S. Nuttinck, B. K. Wagner, B. Banerjee, S. Venkataraman, E. Gebara, J. Lasker, et H. M. M. Harris, “Thermal Analysis of AlGaN–GaN Power HFETs,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 51, pp. 2445–2452, 2003. DOI : 10.1109/TMTT.2003.819192

-
- [52] A. Ghosal et A. Biswas, “Study of Transient Response Characteristics of Electrons in GaN by Monte Carlo Method,” *Computers and Devices for Communication (CODEC), 2012 5th International Conference on*, pp. 1–3, 2012. DOI : 10.1109/CODEC.2012.6509253
- [53] B. Benbakhti, M. Rousseau, A. Soltani, J. Laureyns, et J.-C. De Jaeger, “Thermal Behaviour of Gate-Less AlGa_N/Ga_N Heterostructures,” *Microwave Integrated Circuit Conference, 2007. EuMIC 2007. European*, pp. 104–107, 2007. DOI : 10.1109/EMICC.2007.4412658
- [54] D. Ueda, M. Hikita, S. Nakazawa, K. Nakazawa, H. Ishida, M. Yanagihara, K. Inoue, T. Ueda, Y. Uemoto, T. Tanaka, et T. Egawa, “Present and Future Prospects of GaN-Based Power Electronics,” *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, pp. 1078–1081, 2008. DOI : 10.1109/ICSICT.2008.4734738
- [55] Y.-C. Lee, C.-H. Ni, C.-Y. Chen, et Y.-C. Huang, “2-inch full wafer nanoimprinting for GaN-based LEDs,” *Nanotechnology (IEEE-NANO), 2010 10th IEEE Conference on*, pp. 373–376, 2010. DOI : 10.1109/NANO.2010.5697768
- [56] A. Scavennec et S. Delage, “Transistors et circuits intégrés à hétérostructures (III-V),” *Techniques de l’ingénieur*, 2011.
- [57] P. Gangwani, S. Pandey, S. Halder, M. Gupta, et R. Gupta, “Polarization dependent analysis of AlGa_N/Ga_N HEMT for high power applications,” *Solid-State Electronics*, vol. 51, pp. 130–135, 2007. DOI : 10.1016/j.sse.2006.11.002
- [58] G. Longobardi, F. Udrea, S. Sque, J. Croon, F. Hurkx, E. Napoli, et J. Sonsky, “MODELLING 2DEG CHARGES IN AlGa_N/Ga_N HETEROSTRUCTURES,” *Semiconductor Conference (CAS), 2012 International*, vol. 2, pp. 363–366, 2012. DOI : 10.1109/SMICND.2012.6400760
- [59] P. Leturcq, “Semi-conducteurs de puissance unipolaires et mixtes (partie 2),” *Techniques de l’ingénieur*, 2001.
- [60] Z. Abdelaziz Fares, “Caractérisation électrique des HEMTs à base de nitrure de galium AlGa_N/Ga_N,” Mémoire, Université Mentouri de Constantine, Algérie, 2005.
- [61] T. Lenka et A. Panda, “Characteristics Study of 2DEG Transport Properties of Al-Ga_N/Ga_N and AlGaAs/GaAs-based HEMT,” *Физика и техника полупроводников*, 2011.
- [62] J. Das, D. Marcon, M. Van Hove, J. Derluyn, M. Germain, et G. Borghs, “Switching assessment of GaN transistors for power conversion applications,” *Power Electronics and Applications, 2009. EPE ’09. 13th European Conference on*, pp. 1–6, 2009.
- [63] G. Ng, S. Arulkumaran, S. Vicknesh, H. Wang, K. Ang, C. Kumar, K. Ranjan, G.-Q. Lo, S. Tripathy, C. Boon, et W. Lim, “GaN-on-Silicon integration technology,”

- Radio-Frequency Integration Technology (RFIT)*, 2012 *IEEE International Symposium on*, pp. 159–161, 2012. DOI : 10.1109/RFIT.2012.6401646
- [64] A. Lidow, “GaN as a displacement technology for silicon in power management,” *Energy Conversion Congress and Exposition (ECCE)*, 2011 *IEEE*, pp. 1–6, 2011. DOI : 10.1109/ECCE.2011.6063741
- [65] V. V. Varadan et L. Ji, “Temperature Dependence of Resonances in Metamaterials,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 58, pp. 2673–2681, 2010. DOI : 10.1109/TMTT.2010.2065910
- [66] “EGIDE,” <http://www.egide.fr/>, Juin 2014.
- [67] G. Berry, “Thermal Management Consideration for PCBs,” 2010.
- [68] C. Xiao, G. Chen, et W. G. H. Odendaal, “Overview of Power Loss Measurement Techniques in Power Electronics Systems,” *Industry Applications, IEEE Transactions on*, vol. 43, pp. 1352–1359, 2007. DOI : 10.1109/IAS.2002.1042733
- [69] F. M. Smits, “Measurement of Sheet Resistivities with Four-Point Probe,” *Bell System Technical Journal*, 1957.
- [70] H. J. W. et S. H., *Handbook of Mathematics and Computational Science*. New York : Springer-Verlag, 1998.
- [71] P. D. Desai, T. K. Chu, H. M. James, et C. Y. Ho, “Electrical Resistivity of Selected Elements,” *Center for Information and Numerical Data Analysis and Synthesis*, 1984.
- [72] Y. Kokubo, D. Maki, et T. Kawai, “Dual-Band Metallic Waveguide with Low Dielectric Constant Material,” *Microwave Conference, 2007. European*, pp. 890–892, 2007. DOI : 10.1109/EUMC.2007.4405336
- [73] K. Zhao et Y. Nikawa, “Temperature evaluation of complex permittivity in microwave material,” *Pacific Science Review*, 2011.
- [74] “Régimes stationnaires – Ch III,” <http://www.cpge-brizeux.fr/ressources/indexpcphy.php>, Juin 2014.
- [75] J. Waldron et T. P. Chow, “Physics-based analytical model for high voltage bidirectional GaN transistors using lateral GaN power HEMT,” *Power Semiconductor Devices and ICs (ISPSD)*, 2013 *25th International Symposium on*, pp. 213–216, 2013. DOI : 10.1109/ISPSD.2013.6694483
- [76] T. LaBella, B. York, C. Hutchens, et J.-S. Lai, “Dead time optimization through loss analysis of an active-clamp flyback converter utilizing GaN devices,” *Energy Conversion Congress and Exposition (ECCE)*, 2012 *IEEE*, pp. 3882–3889, 2012. DOI : 10.1109/ECCE.2012.6342304

-
- [77] A. Lemmon, M. Mazzola, J. Gafford, et C. Parker, “Instability in Half-Bridge Circuits Switched with Wide Band-Gap Transistors,” *Power Electronics, IEEE Transactions on*, vol. 29, pp. 2380–2392, 2014. DOI : 10.1109/TPEL.2013.2273275
- [78] H. Nakao, Y. Yonezawa, T. Sugawara, Y. Nakashima, T. Horie, T. Kikkawa, K. Watanabe, K. Shouno, T. Hosoda, et Y. Asai, “2.5-kW Power Supply Unit with Semi-Bridgeless PFC Designed for GaN-HEMT,” *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pp. 3232–3235, 2013. DOI : 10.1109/APEC.2013.6520762
- [79] B. Wang, N. Tipirneni, M. Riva, A. Monti, et G. Simin, “An efficient high-frequency drive circuit for GaN power HFETs,” *Industry Applications, IEEE Transactions on*, vol. 45, pp. 843–853, 2009. DOI : 10.1109/TIA.2009.2013578
- [80] B. Wang, M. Riva, J. Bakos, et A. Monti, “Integrated circuit implementation for a GaN HFETs driver circuit,” *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, pp. 901–906, 2008. DOI : 10.1109/APEC.2008.4522828
- [81] Z. H. Liu, S. Arulkumaran, et G. I. Ng, “Temperature dependent microwave noise parameters and modeling of AlGaIn/GaN HEMTs on Si substrate,” *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International*, pp. 777–780, 2009. DOI : 10.1109/MWSYM.2009.5165812
- [82] F. Bertoluzza, G. Sozzi, N. Delmonte, et R. Menozzi, “Hybrid large-signal/lumped-element electro-thermal modeling of GaN-HEMTs,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, pp. 3163–3170, 2009. DOI : 10.1109/TMTT.2009.2033241
- [83] “HCPL-314J 0.4 Amp Output Current IGBT Gate Drive Optocoupler,” Avago, Rapport technique, 2011.
- [84] D. Reusch et J. Strydom, “Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter,” *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pp. 649–655, 2013. DOI : 10.1109/APEC.2013.6520279
- [85] M. Okamoto, G. Toyoda, E. Hiraki, T. Tanaka, T. Hashizume, et T. Kachi, “Loss evaluation of an AC-AC direct converter with a new GaN HEMT SPICE model,” *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pp. 1795–1800, 2011. DOI : 10.1109/ECCE.2011.6064002
- [86] K. Shirabe, M. Swamy, K. Jun-Koo, M. Hisatsune, W. Yifeng, D. Kebort, et J. Honea, “Efficiency Comparison Between Si-IGBT-Based Drive and GaN-Based Drive,” *Industry Applications, IEEE Transactions on*, vol. 50, pp. 566–572, 2014. DOI : 10.1109/TIA.2013.2290812

- [87] D. Costinett, D. Maksimovic, R. Zane, A. Rodriguez, et A. Vasquez, “Comparison of reverse recovery behavior of silicon and wide bandgap diodes in high frequency power converters,” *Control and Modeling for Power Electronics (COMPEL)*, 2013 IEEE 14th Workshop on, pp. 1–8, 2013. DOI : 10.1109/COMPEL.2013.6626466
- [88] J. Brau, “Convection,” *INSA de Lyon*, 2006.
- [89] J.-J. Barrau et M. Sudre, “Modélisation des structures par éléments finis,” *Technique de l’ingénieur*, 1997.
- [90] D. Kuebrich, J. Goettle, et T. Duerbaum, “Power Loss Measurement based on Transient Temperature Rise,” *Applied Power Electronics Conference and Exposition (APEC)*, 2012 Twenty-Seventh Annual IEEE, pp. 1797–1801, 2012. DOI : 10.1109/APEC.2012.6166065
- [91] J. Mahseredjian, “Régimes transistaires électromagnétiques : simulation,” *Techniques de l’ingénieur*, 2008.
- [92] S. Pearson et A. Laprade, “Tips and Tricks to Get More Out of Your SPICE Models,” *Fairchild Power Seminar*, 2007.
- [93] T. C. Neugebauer et D. J. Perreault, “Filters with inductance cancellation using printed circuit board transformers,” *Power Electronics Specialist Conference, 2003. PESC ’03. 2003 IEEE 34th Annual*, vol. 1, pp. 272–282, 2003. DOI : 10.1109/PESC.2003.1218306
- [94] N. Videau, T. Meynard, V. Bley, F. D., S. E., G. Fontes, et J. Brandelero, “5-phase interleaved buck converter with gallium nitride transistors,” *Wide Bandgap Power Devices and Applications (WiPDA)*, 2013 IEEE Workshop on, pp. 190–193, 2013. DOI : 10.1109/WiPDA.2013.6695594
- [95] Y. Gu, Z. Lu, et Z. Qian, “Three Level LLC Series Resonant DC/DC Converter,” *Power Electronics, IEEE Transactions on*, vol. 20, pp. 781–789, 2005. DOI : 10.1109/TPEL.2005.850921
- [96] X. Fang, H. Hu, F. Chen, U. Somani, E. Auadisiyan, J. Shen, et I. Batarseh, “Efficiency-Oriented Optimal Design of the LLC Resonant Converter Based on Peak Gain Placement,” *Power Electronics, IEEE Transactions on*, vol. 28, pp. 2285–2296, 2013. DOI : 10.1109/TPEL.2012.2211895
- [97] W. Feng et F. C. Lee, “Optimal Trajectory Control of LLC Resonant Converters for Soft Start-Up,” *Applied Power Electronics Conference and Exposition (APEC)*, 2013 Twenty-Eighth Annual IEEE, pp. 1445–1451, 2014. DOI : 10.1109/APEC.2013.6520488
- [98] F. C. Lee, S. Wang, P. Kong, C. Wang, et D. Fu, “Power architecture design with improved system efficiency, EMI and power density,” *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 4131–4137, 2008. DOI : 10.1109/PESC.2008.4592602
- [99] B. Yang, “Topology investigation of front end DC/DC converter for distributed power system,” Thèse, Faculty of the Virginia Polytechnic Institute, 2003.

-
- [100] B. Yang et F. C. Lee, “LLC Resonant Converter for Front End DC/DC Conversion,” *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*, vol. 2, pp. 1108–1112, 2002. DOI : 10.1109/APEC.2002.989382
- [101] T. Maeda, H. Toyoda, N. Igarashi, K. Hirose, K. Mimura, T. Nishioka, et A. Ikegaya, “Development of Super Low Iron-loss P/M Soft Magnetic Material,” *SEI Technical Review*, vol. 60, 2005.
- [102] “Soft Ferrites and Accessories,” Philips, Rapport technique, 2000.
- [103] B. Multon, “Modèles électriques du transformateur électromagnétique,” *Revue 3EI décembre*, 1997.
- [104] —, “Composants passifs de l’électronique de puissance,” 2004.
- [105] “E22/6/16/R Planar E cores and accessories,” Ferroxcube, Rapport technique, 2008.
- [106] R. P. Torrico-Bascopé, G. V. Torrico-Bascopé, F. A. A. de Souza, C. G. C. Branco, C. M. T. Cruz, et L. H. C. Barreto, “A New Isolated DC-DC Boost Converter using Three-State Switching Cell,” *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, pp. 607–613, 2008. DOI : 10.1109/APEC.2008.4522783
- [107] “X7R Dielectric,” AVX, Rapport technique.
- [108] X. Ren, K. Jiangsu, D. Reusch, J. Shu, et Z. Zhiliang, “Three-level driving method for GaN power transistor in synchronous buck converter,” *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, pp. 2949–2953, 2012. DOI : 10.1109/ECCE.2012.6342521