



HAL
open science

Étude et réalisation d'interrupteurs haute-tension par mise en série de MOSFETs SiC pour contribuer au développement des applications de transport électrique en MVDC.

Cédric Mathieu de Vienne

► To cite this version:

Cédric Mathieu de Vienne. Étude et réalisation d'interrupteurs haute-tension par mise en série de MOSFETs SiC pour contribuer au développement des applications de transport électrique en MVDC.. Energie électrique. Université Grenoble Alpes [2020-..], 2023. Français. NNT : 2023GRALT041 . tel-04842230

HAL Id: tel-04842230

<https://theses.hal.science/tel-04842230v1>

Submitted on 17 Dec 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal (EEATS)

Spécialité : Génie électrique

Unité de recherche : Laboratoire de Génie Electrique

Étude et réalisation d'interrupteurs haute-tension par mise en série de MOSFETs SiC pour contribuer au développement des applications de transport électrique en MVDC.

Study and implementation of High-Voltage Switch components composed of series-connected SiC MOSFETs to enable MVDC technologies.

Présentée par :

Cédric MATHIEU DE VIENNE

Direction de thèse :

Pierre LEFRANC

MAITRE DE CONFERENCES, Université Grenoble Alpes

Directeur de thèse

Pierre-olivier JEANNIN

Université Grenoble Alpes

Co-encadrant de thèse

Bruno LEFEVBRE

Co-encadrant de thèse

Besar ASLLANI

Ingénieur de Recherche, SuperGrid Institute

Co-encadrant de thèse

Rapporteurs :

Nicolas GINOT

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE NANTES

Marc COUSINEAU

MAITRE DE CONFERENCES HDR, TOULOUSE INP

Thèse soutenue publiquement le **26 mai 2023**, devant le jury composé de :

Pierre LEFRANC

MAITRE DE CONFERENCES HDR, GRENOBLE INP

Directeur de thèse

Nicolas GINOT

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE NANTES

Rapporteur

Marc COUSINEAU

MAITRE DE CONFERENCES HDR, TOULOUSE INP

Rapporteur

Yves LEMBEYE

PROFESSEUR DES UNIVERSITES, UNIVERSITE GRENOBLE ALPES

Président

Invités :

Pierre-Olivier JEANNIN

MAITRE DE CONFERENCES, UGA - Université Grenoble Alpes

Besar ASLLANI

INGENIEUR DOCTEUR, Supergrid institute



Résumé

L'architecture du réseau électrique actuel est bouleversée par l'arrivée massive des énergies renouvelables et de l'électrification de divers secteurs, ce qui crée de nouveaux défis pour le réseau. Les technologies à courant continu moyenne tension (MVDC - Medium Voltage Direct Current) représentent un potentiel important pour la transformation des réseaux électriques en raison de leur meilleur rendement, leurs densités de puissance supérieure, leurs infrastructures moins coûteuses et leurs empreintes carbone réduites. Les travaux de cette thèse se concentrent sur l'étude et la réalisation de composants haute tension par mise en série de MOSFETs en carbure de silicium (SiC), contribuant à rendre possible la réalisation de convertisseurs de puissance MVDC de quelques dizaines de kilovolts. L'exploitation de composants semi-conducteurs en SiC permet de gagner en rendement et compacité. Toutefois, les vitesses de commutation, sensiblement plus importantes que celles des composants silicium, rendent l'équilibrage des tensions encore plus difficiles. Il s'agit du verrou technologique principal de la mise en série. Pour cette raison, les mécanismes sous-jacents expliquant les déséquilibres ont été analysés théoriquement ainsi que sur base la d'un prototype haute tension. Suite à l'étude des solutions classiques d'équilibrage, impactant significativement les performances en commutation, des solutions d'équilibrages actives sont proposées et évaluées. Les résultats de simulation et expérimentaux montrent la faisabilité et les performances élevées, pour un niveau de complexité relativement raisonnable, de la solution d'équilibrage par ajustement des instants de commutation à l'ouverture.

Abstract

The electrical grid architecture is being disrupted by the massive deployment of renewable energy and electrification in various sectors, creating new challenges for the current AC grid. Medium Voltage Direct Current (MVDC) technologies offer a considerable opportunity for the transformation of the electrical grid due to their superior efficiency, higher power density, cost-effective infrastructure, and reduced carbon footprint. This thesis focuses on the study and development of high-voltage components using series-connected silicon carbide (SiC) MOSFETs, contributing to the realization of MVDC power converters of several tens of kilovolts. The use of SiC semiconductor components allow for improved efficiency and compactness. However, the significantly higher switching speeds compared to silicon components make voltage balancing more difficult, which is the main challenge with series connection. Therefore, the underlying mechanisms explaining imbalances have been analyzed theoretically and based on a high-voltage prototype. After studying standard voltage balancing passive solutions, which significantly impact switching performance, active balancing solutions are proposed and evaluated. Simulation and experimental results demonstrate the feasibility and high performances, for a relatively reasonable level of complexity, of the active voltage balancing solutions by adjusting the turn-off delays.

Table des Matières

1	Introduction	1
1.1	Contexte	1
1.1.1	Transition énergétique et intégration des énergies renouvelables . .	1
1.1.2	Transport de l'énergie en courant continu	2
1.1.3	Convertisseurs pour les réseaux MVDC	4
1.2	Semi-conducteurs de puissance haute tension	5
1.2.1	Interrupteurs à large bande interdite	6
1.3	La mise en série comme une alternative aux composants haute tension . .	8
1.3.1	Intérêt comparé à un interrupteur monolithique	8
1.3.2	Challenges spécifiques à la mise en série	20
1.4	Objectif de la thèse	24
2	Équilibrage : analyse et quantification	25
2.1	Paramètres influant sur le déséquilibre en tension.	25
2.1.1	Influence des délais de propagations des signaux des commandes rapprochées	26
2.1.2	Influence des capacités parasites du circuit	26
2.1.3	Influence de la dispersion paramétrique des interrupteurs.	30
2.1.4	Influence de la présence des sondes de mesure de tension	31
2.2	Outils d'analyses pour l'étude du déséquilibre en tension	32
2.2.1	Modèles analytiques	33
2.2.2	Simulations numériques temporelles : LTspice	42
2.2.3	Prototype : six MOSFETs en séries	47
2.2.4	Comparaison des résultats des trois outils d'analyses	54
2.3	Analyse et quantification des causes de déséquilibre	56
2.3.1	Impacts des retards de la commande de grille	56
2.3.2	Impacts des capacités parasites du circuit de puissance	57
2.3.3	Impacts des paramètres électriques des interrupteurs	59
2.4	Conclusion	60
2.4.1	Intérêts et limites des modèles et simulations	60
2.4.2	Limites de l'équilibrage naturel et justifications de solutions d'équilibrages	61

3	Solutions d'équilibrage passives	62
3.1	Solutions d'équilibrages passives : état de l'art	62
3.1.1	Définition du vocabulaire	62
3.1.2	Équilibrage statique	64
3.1.3	Circuits snubber RC et RCD	64
3.1.4	Circuits RC grille-drain	67
3.1.5	Ecrêtage par diode Transil	67
3.1.6	Écrêtage par circuit RCD	68
3.2	Analyse des solutions d'équilibrage classiques	71
3.2.1	Circuit snubber RC	72
3.2.2	Circuits RC grille-drain	77
3.3	Étude de l'équilibrage de 6 MOSFETs en série équilibrés par circuit snubber RC	79
3.3.1	Dimensionnement des circuits snubber RC	79
3.3.2	Résultats expérimentaux	81
3.3.3	Conclusion sur les résultats expérimentaux	85
3.4	Conclusion et limites	86
4	Solutions actives d'équilibrage de tension par action sur la grille	88
4.1	Introduction	88
4.1.1	Pourquoi utiliser des solutions actives ?	88
4.1.2	Commandabilité des interrupteurs à l'ouverture	89
4.2	État de l'art des solutions actives	91
4.2.1	Action sur la vitesse de commutation	91
4.2.2	Action sur les délais	93
4.3	Proposition d'équilibrage actif pour la mise en série	95
4.3.1	Action d'une commutation sur l'autre.	95
4.3.2	Agir sur les délais et les vitesses de commutations	95
4.3.3	Architecture de contrôle rapproché distribué	96
4.4	Évaluation, pour 2 MOSFETs, des solutions actives par ajustement des délais	98
4.4.1	Prototype et modèle de simulation	98
4.4.2	Régulateur de type PI	101
4.4.3	Régulateur de type « tout ou rien »	106
4.4.4	Conclusions sur les solutions par action sur les délais pour 2 transistors.	109
4.5	Évaluations, pour 3 MOSFETs, des solutions actives par action sur les délais	110
4.5.1	Modélisation du système MIMO	111
4.5.2	Prototype d'un convertisseur Buck haute tension - Mise en œuvre de 3 transistors en série	114
4.5.3	Régulateurs PI	116

4.5.4	Régulateurs « tout ou rien »	125
4.5.5	Conclusions sur les solutions par action sur les délais pour 3 transistors.	128
4.6	Conclusions générales de chapitre et perspectives	130
5	Conclusions et perspectives	132
5.1	Conclusion générale	132
5.2	Perspectives	134

Liste des Figures

1.1	Dynamo « Jumbo » de Thomas Edison de 27 Tones construite à « Pearl Street station » en 1881 qui permet d'alimenter une petite portion de Manhattan [Pea].	2
1.2	Les technologies MVDC permettent de réorganiser les flux d'énergies entre les différentes zones du réseau de distribution. Les énergies renouvelables, ainsi que les systèmes de stockages peuvent être interconnectés grâce au réseau MVDC. Les onduleurs permettent de compenser la puissance réactive sur le réseau AC [GDD21].	3
1.3	Classification des convertisseurs DC/DC pour les réseaux MVDC en fonction de la direction du flux de puissance (a), l'isolation (b) et la modularité (c) [Dwo+].	4
1.4	Exemple de convertisseurs DC/DC : Monolithique et modulaire	5
1.5	Comparaison des propriétés des matériaux semi-conducteurs Si et SiC à 300 K.	7
1.6	Mise en série de N MOSFETS	8
1.7	Comparaison des propriétés du silicium et du SiC 4H en termes de résistance spécifique et de tension de blocage. Les composants produits par Wolfspeed y sont reportés à température ambiante [Lic+16].	9
1.8	Structure d'un MOSFET vertical de puissance et résistances intrinsèques. .	10
1.9	Exemple de la caractéristique statique d'un MOSFET SiC issue de la documentation technique C2M0045170P.	11
1.10	Représentation des géométries des composants comparés : un MOSFET monolithique HV et la une mise en série de N MOSFETS LV	11
1.11	Comparaison de la résistance spécifique d'un MOSFET monolithique à celle de la mise en série de MOSFETS basse tension. Ici, seule la résistance de drift est considérée.	13
1.12	Comparaison de la résistance spécifique d'un MOSFET monolithique à celle de la mise en série de MOSFETS basses tensions. Toutes les résistances sont estimées et représentées par la courbe vert pointillé.	14
1.13	Capacités parasites d'un MOSFET	15

1.14	Mesure de l'évolution des capacités parasites intrinsèques d'un MOSFET 1.7 kV (C2M0045170P). Le modèle de C_{OSS} superposé correspond à l'équation (1.10).	15
1.15	Circuit de commutation utilisée pour décrire les phases de commutations.	16
1.16	Phases de commutations [WCL13]	17
1.17	Estimation des capacités C_{OSS} et énergies E_{OSS} des MOSFETS constituant la mise en série de 10 MOSFETS 1.5 kV, 4 MOSFETS 3.75 kV, 2 MOSFETS 7.5 kV et un unique MOSFET 15 kV.	19
1.18	Les grilles sont commandées individuellement. Les circuits de commande rapprochée (gate-driver) reçoivent le signal de commande et doivent être isolés.	21
1.19	Commande de grille par transformateur impulsionnel.	22
1.20	Commandes séquentielles par couplage des grilles des MOSFETS en série.	23
2.1	Les délais relatifs et les différences de dv/dt comme causes du déséquilibre	25
2.2	Signaux de commande de 2 MOSFETS en série	26
2.3	Courant à travers les capacités de mode commun du circuit de puissance et du circuit de commande	27
2.4	Capacité parasite présente dans une alimentation DC/DC isolée.	28
2.5	Alimentation par boucle de courant [Yan+20]	28
2.6	Architectures d'alimentations proposées pour réduire les perturbations [NLC17].	29
2.7	Capacités parasites du circuit de puissance due au dissipateur de chaleur commun aux MOSFETS en série.	29
2.8	Impact de la connexion du dissipateur sur les capacités parasites [Lin+20a]	30
2.9	Multi-step packaging : boîtier optimisé pour l'équilibrage des capacités parasites [Alv+21]	31
2.10	Dispersion des paramètres capacitifs, de la tension de seuil et du courant de fuite d'un lot de 30 MOSFETS caractérisés au traceur de courbe B1506A de Keysight.	32
2.11	Structure du modèle de MOSFET utilisé	33
2.12	Modélisation de la caractéristique de transfert.	35
2.13	Circuit de commutation à 1 MOSFET et une diode avec une charge inductive (tous les éléments représentés sont pris en compte dans le modèle). Le gate-driver applique une tension V_G soit négative V_{Gneg} soit positive V_{Gpos} pour respectivement soit ouvrir soit fermer le MOSFET.	36
2.14	Représentation de la variation du dv/dt en fonction du courant de charge I_L	37
2.15	Circuit de commutation à N MOSFETS et une diode commutant une charge inductive	38
2.16	Représentation des tensions V_{DSi} lors de l'ouverture de 3 MOSFETS paramétriquement différents et désynchronisés. En complément, le courant de charge de C_f est représenté.	39

2.17	Équilibrage des tensions dans le cas de variations paramétriques indépendantes. Résultats obtenus par exploitation numérique des formulations analytiques dans le cas de 2 MOSFETS commutant une tension $V_{DC} = 2\text{ kV}$.	42
2.18	Aperçu de l'interface graphique de l'outil que nous avons développé pour identifier les paramètres de modèles sur de multiples mesures correspondant à de multiples MOSFETS.	45
2.19	Modèle du circuit complet de 6 MOSFETS en série comme exemple de modèle intégrant un grand nombre d'éléments parasites.	46
2.20	Résultat de la simulation LTspice de 6 MOSFETS. Ouverture à $I_L = 100\text{ A}$ sous $V_{DC} = 4.2\text{ kV}$.	48
2.21	Banc de test haute tension.	49
2.22	Schémat du circuit « doubles pulses » ainsi que la photographie de l'ensemble des 6 MOSFETS connectés en série avec leurs gate-drivers.	50
2.23	Ouverture et fermeture des 6 MOSFETS à 100 A	51
2.24	Évolution du déséquilibre en fonction du courant commuté de six MOSFETS connectés en série sans solution d'équilibrage. Les retards sont affichés relativement au MOSFET commutant en premier.	53
2.25	Comparaison des résultats d'équilibrage de six MOSFETS en série obtenus avec le modèle analytique (a), la simulation LTspice (b), les mesures expérimentales (c).	55
2.26	Comparaison de l'équilibrage des tensions de six MOSFETS suite à une variation du retard du 3ème MOSFET : M24. Résultats obtenus à $V_{DC} = 4.2\text{ kV}$	56
2.27	Des condensateurs hautes tensions de $SI10\text{ pF}$ (en orange sur la photo) sont utilisés pour représenter la présence d'un dissipateur commun aux six MOSFETS ; ils sont reliés à la masse par l'intermédiaire de la table	57
2.28	Comparaison de l'équilibrage des tensions de six MOSFETS avec et sans capacités parasites dus à un dissipateur thermique connecté à la masse. Résultats obtenus à $V_{DC} = 4.2\text{ kV}$	58
2.29	Impact d'une dispersion paramétrique de composants. Le sixième MOSFET est remplacé.	59
3.1	Solutions d'équilibrage passives. En vert : la solution utilise la rétroaction de la grille, en bleu : non	64
3.2	Circuits d'équilibrage passifs ; à base de Résistances et Condensateurs.	65
3.3	Dimensionnement du circuit RC pour optimiser les pertes en commutation avec un snubber	66
3.4	Circuit d'écrêtage utilisant des diodes Transil pour l'équilibrage ou la protection des surtensions.	67
3.5	Circuits d'écrêtage RCD utilisable pour des transistors individuels comme pour la mise en série.	69
3.6	Écrêtage pour la mise en série avec récupération d'énergie possible	70

3.7	Circuit d'écrêtage non dissipatif. Ce circuit est équivalent au circuit d'un module demi-pont d'un MMC [YB22]	71
3.8	Exploitation numérique des équations pour comprendre l'impact d'un snubber, en négligeant la résistance, sur l'équilibrage de tensions V_{DS} (information donnée en pourcentage de la tension d'équilibre V_{DC}/N). $V_{DC} = 2\text{ kV}$	73
3.9	Impact de la résistance de snubber R_{sn} sur l'équilibrage.	75
3.10	Répartition du courant entre le MOSFET et le snubber à l'ouverture pour 4 valeurs de résistances de Snubber différentes. Simulation avec les MOSFETS M_1 et M_2 du Tableau 3.1, $L_{stray} = 10\text{ nH}$ et $I_L = 100\text{ A}$	76
3.11	Commutation à 17A, répartition du courant entre le MOSFET et le snubber à l'ouverture pour 4 valeurs de résistances de Snubber différentes. Simulation avec les MOSFETS M_1 et M_2 du Tableau 3.1 et $L_{stray} = 10\text{ nH}$	77
3.12	Exploitation numérique des équations pour comprendre l'impact d'une capacité placée entre la grille et le drain, en négligeant la résistance, sur l'équilibrage de tensions V_{ds} (information donnée en pourcentage de la tension d'équilibre V_{DC}/N). $V_{DC} = 2\text{ kV}$	79
3.13	Schématisme du circuit « doubles pulses » ainsi que la photographie de l'ensemble des 6 MOSFETS connecté en série avec leurs gate-drivers.	80
3.14	Formes d'ondes lors de l'ouverture des 6 MOSFETS SiC 1.7 kV en série à faible et fort courant équilibré par un snubber RC.	81
3.15	Comparaison de l'impact d'un snubber RC sur l'équilibrage des tensions V_{DS} pour 6 MOSFETS SiC 1.7 kV connecté en série.	82
3.16	Mesure de l'équilibrage de 6 MOSFETS SiC 3.3 kV 50A connecté en série avec snubber RC $R_{sn} = 50\ \Omega$ et $C_{sn} = 650\text{ pF}$	84
4.1	Commutation dure d'un demi-pont dans le cas d'un courant positif et négatif. (b) Le MOSFET M_1 s'ouvre en présence du courant et se ferme en présence de tension quant au MOSFET M_2 , il s'ouvre et se ferme de façon spontanée (commutation de la diode intrinsèque). (c) Le comportement de M_1 et M_2 est inversé.	89
4.2	Commutation douce d'un demi-pont dans le cas d'un courant positif et négatif. (b) Les deux MOSFETS s'ouvrent en présence de courant et se ferment à zéro de tension. (c) Les deux MOSFETS se ferment en présence de tension et s'ouvrent à zéro de courant.	90
4.3	Rétroaction directe sur les tensions V_{CE} pour contrôler parfaitement l'ouverture et la fermeture et ainsi équilibrer la mise en série d'IGBTs.	92
4.4	Description des actions à chaque période de commutation[RM16]	92
4.5	Équilibrage par contrôle du dv/dt à l'aide d'un miroir de courant commandé en fonction de la commutation précédente [Sun+21].	93
4.6	Instabilité d'une régulation PI en augmentant le courant commuté [ZLW20]	94

4.7	Processus menant à un potentiel déséquilibre thermique lorsque les tensions V_{DS_OFF} sont maintenues équilibrées par l'ajustement des retards à l'ouverture.	96
4.8	Description de la communication chaînée basée sur l'usage du périphérique UART des microcontrôleurs.	98
4.9	Description du montage mis en place pour réaliser l'évaluation de l'équilibrage par action sur les délais pour 2 MOSFETs en série.	99
4.10	L'acquisition de la tension V_{DS1_OFF} par l'ADC correspond à la valeur de tension à la fin de l'ouverture du MOSFET M_1 . Le courant impactant le niveau d'équilibrage est le courant à l'ouverture I_{L_OFF}	100
4.11	Processus de simulation d'une succession de commutations.	101
4.12	Résultat expérimental et de simulation de deux MOSFETs, obtenus en boucle ouverte lorsque le retard est programmé à $\Delta t = 0$. Le courant varie de façon sinusoïdale à 100 Hz entre 1 A et 35 A.	101
4.13	Le système : mise en série de 2 MOSFETs	102
4.14	Boucle de régulation discrète appliquée sur le système pour réguler sa sortie.103	
4.15	Équilibrage de tension par la régulation PI du délai du MOSFET M_1 . Résultats expérimentaux et de simulation lors d'une variation rectangulaire du courant	105
4.16	Équilibrage de tension par la régulation PI du délai du MOSFET M_1 . Résultats expérimentaux et de simulation lors d'une variation sinusoïdale à 100 Hz	106
4.17	Représentation de la régulation « tout ou rien » à 2 niveaux de tension.	107
4.18	Équilibrage par comparaison avec 2 seuils de tensions correspondant à $\pm 10\%$ de la référence, et une variation de courant rectangulaire.	108
4.19	Équilibrage par comparaison avec 2 seuils de tensions correspondant à $\pm 5\%$ dans le cas d'une variation de courant sinusoïdale à 100 Hz.	109
4.20	Représentation de la régulation « tout ou rien » à 3 niveaux de tensions	109
4.21	Équilibrage par régulation à 3 seuils (V_{ref} et $\pm 15\%V_{ref}$) et $k = 6$	110
4.22	Équilibrage par régulation à 3 seuils (V_{ref} et $\pm 15\%V_{ref}$) et $k = 6$. Un comportement de type « anti-windup » est ajouté.	111
4.23	Le système MIMO dans le cas de 3 MOSFETs connectés en série.	111
4.24	Description du convertisseur Buck à 3 MOSFETs connectés en série et équilibrés par des gate-drivers actifs ajustant les retards à l'ouverture.	115
4.25	Photo du prototype à échelle réduite. Ayant pour but de tester et comparer les différentes stratégies d'équilibrage actif agissant sur les délais à l'ouverture.116	
4.26	Mesure de l'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs en série. Fonctionnement en commutation à 10 kHz sous $V_{DCHV} = 1.2$ kV avec des variations de courant rectangulaire de 6 A à 30 A, les délais sont fixés.	117

4.27	Simulation de l'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs en série. $V_{DCHV} = 1.2$ kV avec des variations de courant rectangulaire de 6 A à 30 A, les délais sont fixés à zéro.	118
4.28	Boucle de régulation mise en place sur le système MIMO : mise en série de 3 MOSFETs. Les vecteurs regroupent les différentes boucles de régulation identiques, mais indépendantes.	118
4.29	L'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs SiC 650 V en série sous $V_{DCHV} = 1.18$ kV. Une régulation PI est appliquée par les gate-drivers 2 et 3. Le gate-driver 1 applique un retard fixe.	119
4.30	Comportement de la régulation PI avec le MOSFET 1 fixé lorsque la tension est abaissée à $V_{DCHV} = 1100$ V sans ajuster la référence de tension $V_{ref} = 400$ V	120
4.31	Boucles de régulations mises en place sur le système MIMO : mise en série de 3 MOSFETs. Les vecteurs regroupent les différentes boucles de régulation identique, mais indépendante. Le régulateur PI est développé pour laisser apparaître l'implémentation de la contrainte sur la moyenne des délais. . .	121
4.32	Mesure de l'équilibre lorsque les trois tensions sont régulées par un correcteur PI (calculé pour 30 V/ns). L'ensemble des délais dérive progressivement.	122
4.33	Équilibrage de 3 MOSFETs SiC 650 V en série sous $V_{DCHV} = 1.18$ kV. Toutes les tensions à l'ouverture sont régulées par un correcteur PI identique calculé pour 30 V/ns. La dérive des délais est évitée en régulant leur moyenne.	123
4.34	Équilibrage de 3 MOSFETs SiC 650 V en série. La tension du bus est abaissée à $V_{DCHV} = 1100$ V sans ajuster la référence de tension $V_{ref} = 400$ V. Toutes les tensions à l'ouverture sont régulées par un correcteur PI identique calculé pour 30 V/ns.	124
4.35	Équilibrage de 3 MOSFETs SiC 650 V en série. Les tensions des MOSFETs 2 et 3 sont maintenues entre 390 V et 410 V par une régulation « tout ou rien ».	126
4.36	Équilibrage de 3 MOSFETs SiC 650 V en série. Les tensions des 3 MOSFETs sont maintenues entre 390 V et 410 V par une régulation « tout ou rien ». La dérive des délais est évitée en régulant leurs moyennes.	127

Liste des Tableaux

2.1	Paramètres utilisés dans l'exemple de 2 MOSFETs en série	41
2.2	Équilibrage des tensions ainsi que les vitesses de commutation, les délais de propagation et de décharge de grille à 100 A	52
2.3	Paramètres des 6 MOSFETs, dans l'ordre de connexion, issus de la caractérisation des MOSFETs et utilisés pour les simulations. $V_{th(quad)}$ et K_p sont utilisés dans LTspice et $V_{th(lin)}$ et g_{fs} sont utilisés dans les formulations analytiques.	54
3.1	Paramètres arbitraires, mais réalistes correspondant à des MOSFETs SiC d'un calibre autour de 50 A. Ils sont utilisés pour les calculs de la Figure 3.8.	73
3.2	Paramètres des 6 MOSFETs SiC 3.3 kV, dans l'ordre de connexion, issus de la caractérisation des MOSFETs.	85
4.1	Comparaison qualitative des stratégies de régulations évaluées sur 3 MOSFETs en séries.	130

Chapitre 1

Introduction

Ce premier chapitre présente le contexte général dans lequel s'inscrit ce travail. Il permet d'aborder brièvement les notions clés nécessaires à la compréhension de la suite. Enfin, il met en lumière les motivations et les choix préliminaires.

1.1 Contexte

La thèse s'inscrit dans le contexte général de SuperGrid Institute qui est un institut de recherche et d'innovation pour la transition énergétique (ITE). Supergrid Institute se concentre sur le développement de technologies pour le développement d'un « super réseau », un réseau électrique de transmission du futur. Néanmoins, les résultats de l'étude de cette thèse ne sont pas limités à ce domaine, ils sont aussi pertinents pour d'autres applications : ferroviaires, recharge de véhicules électriques, navals ...

1.1.1 Transition énergétique et intégration des énergies renouvelables

En 2015, à la COP21, l'accord de Paris s'est fixé comme objectif de limiter les émissions de gaz à effets de serre pour tenter de contenir l'augmentation de la température mondiale à 1.5°C d'ici 2050, ce qui a incité plusieurs pays à tenter de parvenir à zéro émission nette de CO₂ dans les décennies à venir [Acc]. Le secteur de l'énergie, source majeure des émissions mondiales, est au cœur de ces efforts qui comprennent l'intégration de plus en plus importante des sources d'énergie renouvelable, la décarbonisation de l'industrie et des transports, et l'exploration de nouveaux vecteurs d'énergie tels que l'hydrogène. Les objectifs pourront être atteints en réduisant la consommation (efficacité énergétique, sobriété) et en transformant nos sources d'énergie. L'électrification des transports et de l'industrie permettra l'intégration massive d'énergie renouvelable. Le rôle des gestionnaires de réseau de transport sera particulièrement important pour la planification et l'exploitation des systèmes de distribution future. Plusieurs scénarii de mixte énergétique sont présentés par RTE pour remplacer les énergies fossiles [Ene]. Dans tous les cas présentés, les réseaux électriques doivent être rapidement redimensionnés pour s'adapter

aux nouvelles sources d'énergies renouvelables décentralisées, comme les panneaux photovoltaïques et les éoliennes. Il doit également être capable de gérer les nouveaux modes de consommation d'énergie, tels que la recharge des véhicules électriques, qui sont un enjeu majeur de la décarbonation.

1.1.2 Transport de l'énergie en courant continu

Le réseau électrique est aujourd'hui principalement en courant alternatif. Il est ainsi, depuis la confrontation entre Nicolas Tesla et Thomas Edison. Thomas Edison prêchait l'usage du courant continu, ainsi à la fin du XIX siècle, le réseau électrique en courant continu développé par la société de Thomas Edison a été déployé dans la ville de New York. Cependant, il présentait de nombreux problèmes et nécessitait notamment de disposer des générateurs tous les deux ou trois kilomètres à cause des chutes de tension. La génératrice DC (courant continu) tel que celle de « Pearl Street Station » [Pea] produisait jusqu'à 100 kW à 110 V et la tension ne pouvait être ajustée. Malgré la résistance de

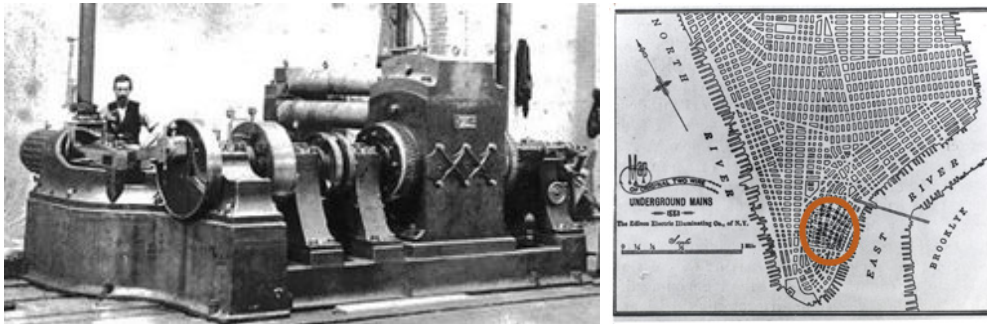


Figure 1.1: Dynamo « Jumbo » de Thomas Edison de 27 Tones construite à « Pearl Street station » en 1881 qui permet d'alimenter une petite portion de Manhattan [Pea].

Thomas Edison pour maintenir la distribution en DC, l'usage du courant alternatif pour le transport et la distribution s'est alors démocratisé, grâce à ses ardents défenseurs, Nicolas Tesla et George Westinghouse. Effectivement, en courant alternatif (AC) la tension peut être élevée et abaissée à l'aide d'une technologie déjà connue, le transformateur. La production d'énergie peut être éloignée des villes, transportée en haute tension, puis distribuée en basse tension.

Le réseau électrique s'est construit autour de centrales de production d'électricité disposées à distance des lieux de consommation, qui distribuent leurs énergies en haute tension sur le réseau de transport jusqu'aux lieux de consommation où l'électricité est distribuée en basse tension sur le réseau de distribution.

La technologie HVAC (« High Voltage Alternating Current ») est maîtrisée et est largement utilisée aujourd'hui. Mais, pour s'adapter à la croissance du réseau électrique à une échelle continentale, la transmission en courant continu a des atouts de taille. Puisque les technologies ont évolué et grâce à l'émergence des semi-conducteurs de puissance, il est possible d'élever ou d'abaisser la tension en courant continu, tel un transformateur.

Les liaisons HVDC (« high Voltage Direct Current ») ont plusieurs avantages par rapport aux liaisons HVAC. En DC, il n'y a pas de puissance réactive et donc plus besoin de système de compensation. À puissance et tension égales, la section de cuivre de câbles de transmission est réduite et les tensions d'isolation sont réduites permettant de réduire la taille des pylônes [Mon12]. L'installation d'une station de conversion HVDC est bien plus onéreuse qu'une station HVAC. De ce fait, un lien HVDC ne devient rentable qu'à partir d'une certaine distance, qui est de l'ordre de 500 km à 800 km [MU07] en ligne aérienne et 50 km et 80 km en ligne sous-marine.

L'architecture du réseau est aujourd'hui bouleversée par l'arrivée massive des énergies renouvelables ainsi que l'électrification de tout type de secteurs, comme l'automobile. Ces sources de productions distribuées et décentralisées créent de nouveaux challenges pour garantir la stabilité du réseau, les flux de puissance sont bouleversés. L'administration et la protection du réseau AC deviennent alors une tâche difficile. Le fort couplage des systèmes sur le réseau demande un haut niveau d'automatisation, afin d'assurer la robustesse et sécuriser les approvisionnements. De plus, les installations sont dimensionnées pour supporter les pics de puissance, les transformateurs de distribution fonctionnent en moyenne à 30% de leur calibre nominal [GDD21]. Les exigences liées au facteur de puissance limitent la quantité d'énergie renouvelable et les charges qui peuvent être installées sur le réseau AC.

Les technologies MVDC (« Medium Voltage Direct Current »), environ de 10 kV à 100 kV en courant continu, représentent un potentiel important pour la transformation du réseau, que se soit en soutien du réseau AC ou en remplacement.

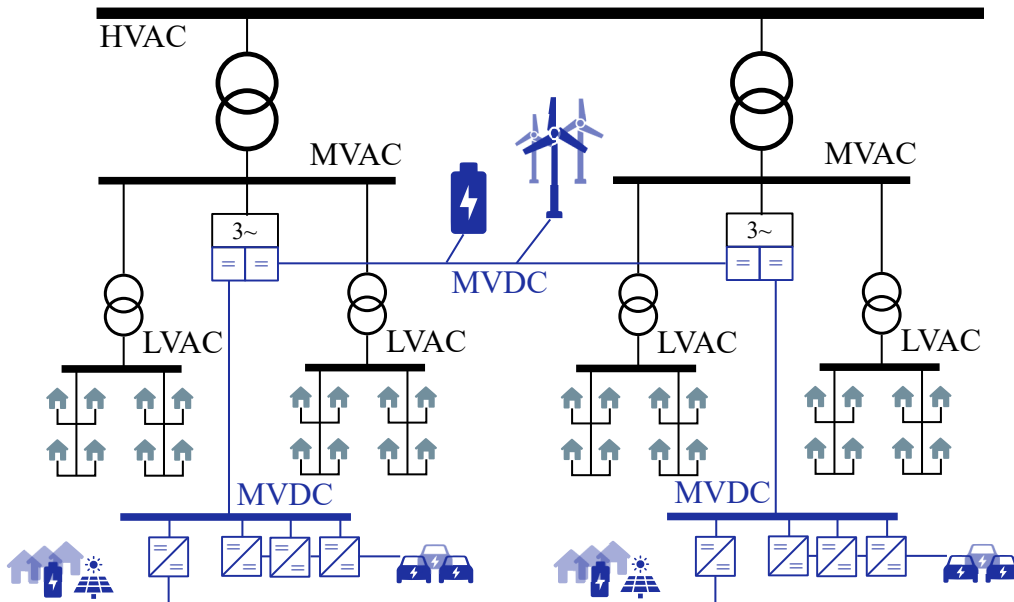


Figure 1.2: Les technologies MVDC permettent de réorganiser les flux d'énergies entre les différentes zones du réseau de distribution. Les énergies renouvelables, ainsi que les systèmes de stockages peuvent être interconnectés grâce au réseau MVDC. Les onduleurs permettent de compenser la puissance réactive sur le réseau AC [GDD21].

Les technologies MVDC permettent de réduire les pertes de conversion, grâce à moins d'étapes de conversions. Elles permettent aussi une densité de puissance plus importante dans les câbles, une infrastructure moins coûteuse, une consommation moindre de matière première, une empreinte carbone plus faible sur toute la chaîne de valeur, ainsi qu'une meilleure résilience comparée au réseau AC (Figure 1.2). Cependant, les bénéfices doivent être mesurés en fonction des applications [GDD21].

Les travaux de cette thèse se concentrent sur les convertisseurs pour les applications MVDC. Bien que de nombreux aspects méritent d'être abordés, tels que les câbles, les modes et moyens de protections en cas de défauts ou bien plus largement, la gestion du réseau, des flux de puissance, etc.

1.1.3 Convertisseurs pour les réseaux MVDC

Les convertisseurs d'électronique de puissance nécessaires pour développer un réseau MVDC sont de différents types pour adresser différents besoins. Des redresseurs AC/DC et onduleurs DC/AC pour s'interconnecter avec le réseau AC et avec des charges AC. Des convertisseurs DC/DC pour connecter les différentes énergies renouvelables, les systèmes de stockages, les chargeurs de véhicules électriques, etc. Ces convertisseurs DC/DC peuvent être classés en fonction de la direction du flux de puissance (unidirectionnel ou bidirectionnel) de l'isolation (isolés ou non) de l'architecture (monolithique ou modulaire) [Dwo+] (Figure 1.3). La modularité d'un convertisseur permet, entre autres, de pallier la

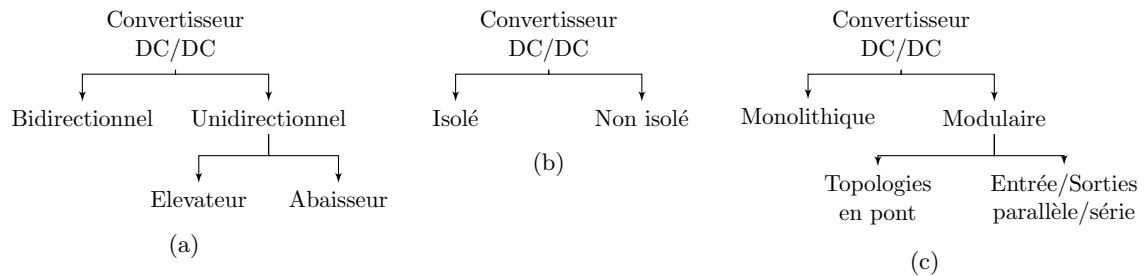


Figure 1.3: Classification des convertisseurs DC/DC pour les réseaux MVDC en fonction de la direction du flux de puissance (a), l'isolation (b) et la modularité (c) [Dwo+].

limite de tension d'un convertisseur monolithique. Le convertisseur monolithique DC/DC est construit sur la base d'un pont en H, un pont triphasé [Dwo+19] ou bien demi-pont (Figure 1.4a). Sa tenue en tension est limitée par la tension de blocage du composant semi-conducteur. Aujourd'hui, la tension de blocage maximum des transistors bipolaires à grille isolée (Insulated Gate Bipolar Transistor : IGBT) et thyristors de puissances est de 8 kV [Pha] et est de 3.3 kV pour les MOSFETS SiC. Une structure modulaire permet d'étendre la tenue en tension en exploitant des topologies multiniveaux ou des topologies de convertisseurs cascades. On retrouve alors, des topologies multiniveaux comme le « neutral point clamped converter » (NPC) [NTA81] (Figure 1.4b), « Flying cap » ou bien le « quasi-2 niveau » [TWL21]. Ces topologies permettent de répartir la tension de

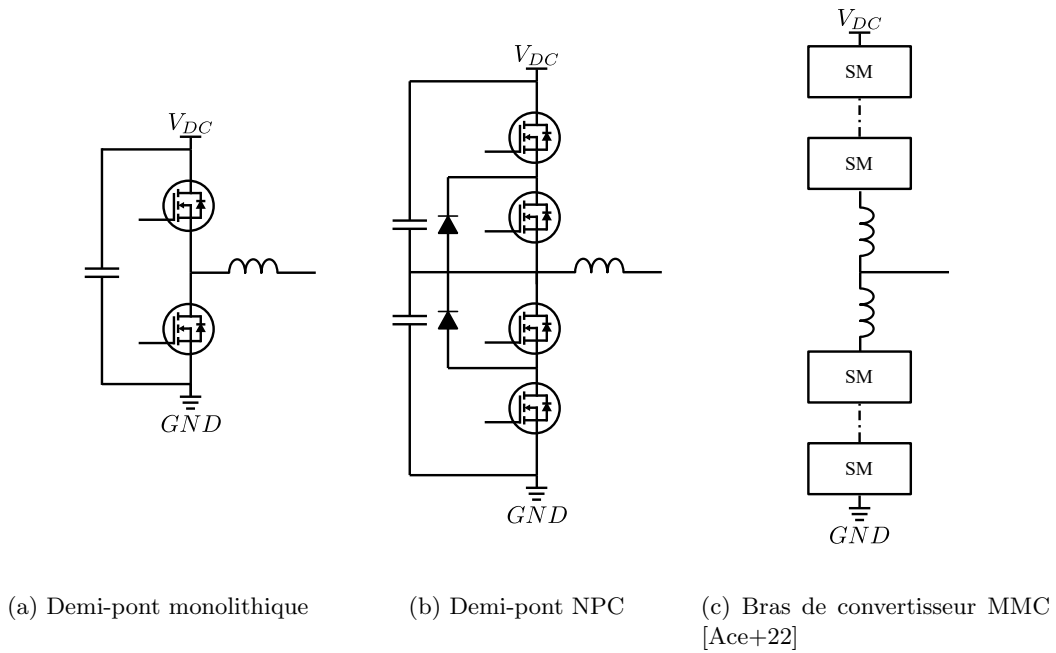


Figure 1.4: Exemple de convertisseurs DC/DC : Monolithique et modulaire

bus sur plusieurs composants. Elles ont aussi la capacité d'améliorer les formes d'ondes AC. Les typologies cascadiées de convertisseurs sont composées de plusieurs convertisseurs DC/DC connectés en série ou parallèle, on les retrouve en configuration « Input Parallel Output Series » (IPOS), qui permet d'élever la tension, et « Input Series Output Parallel » (ISOP) qui permet d'abaisser la tension. Cette structure est aussi appelée « Solid State Transformer » (SST). Les topologies « Modular Multi-Level converter » (MMC) (Figure 1.4c) permettent aussi d'augmenter la tenue en tension d'un convertisseur. Très populaire pour des applications HV, elle présente parfois un intérêt pour des applications MVDC [Ken+15].

Il existe un compromis entre la complexité des topologies de convertisseur et la tenue en tension des interrupteurs de puissance. Les topologies hautement modulaires impliquent un contrôle plus compliqué que celui d'un onduleur 2 niveaux. Plus le nombre de niveaux ou de modules est important, plus les stratégies de contrôle sont complexes, comme avec le contrôle de l'équilibrage des milliers de modules des MMC HVDC. Cependant, les composants semi-conducteurs sont limités en tension. La mise en série permet alors de remédier aux maques de composants haute tension.

1.2 Semi-conducteurs de puissance haute tension

Les semi-conducteurs de puissance de type thyristors sont développés dans les années 50 [MH58]. Ils ont été exploités pour des contrôleurs de vitesse pour des moteurs DC et ils ont permis la création de la première ligne de transmission HVDC fonctionnant avec des thyristors en 1972 [Des]. Par la suite, l'IGBT a été développé et commercialisé en début

d'années 80. Il est commandé en tension, cela permet de réduire significativement la consommation des allumeurs, appelés gate-drivers. D'autre part, il permet de commuter plus rapidement, par conséquent il est possible de fonctionner à plus haute fréquence. Il a eu un énorme impact sur l'industrie du semi-conducteur, en permettant le développement de nouveaux convertisseurs innovant et en améliorant l'efficacité [Bal14].

Les semi-conducteurs Si dominant le monde de l'électronique de puissance grâce à un coût de production faible, une maîtrise de la qualité des matériaux bruts importante, une facilité de production et une fiabilité prouvée. Même si les composants Si continuent à s'améliorer, ils s'approchent des limites du matériau, comme la faible largeur de gap, le faible champ critique et la faible conductivité thermique. Ce qui conduit à de relativement faibles performances en conduction, commutation, thermique et en tenue en tension (cf. Figure 1.5). La tension de blocage maximum des IGBTs commercialement disponible est de 8 kV.

1.2.1 Interrupteurs à large bande interdite

1.2.1.1 Performances théoriques

Des matériaux semi-conducteurs à large bande interdite « wide-band gap », tels que le carbure de silicium (SiC), nitrure de galium (GaN) ont été étudiés pour leurs propriétés électriques depuis les années 70 et les performances prometteuses, pour l'électronique de puissance, sont formalisées à travers la figure de mérite de Baliga en haute fréquence en 1989 [Bal89]. On retrouve plusieurs configurations cristallographiques du SiC (>200 polytypes), dont la structure de type hexagonale SiC-4H est la plus répandue en électronique de puissance. Sa largeur de bande (3.35 eV) est environ 3 fois supérieure au Silicium, ce qui a pour conséquence de réduire les courants de fuites et de pouvoir fonctionner à plus haute température. Ces performances permettent de réaliser des composants qui tiennent de plus fortes tensions, de plus hautes températures avec de faibles pertes en conduction et commutation (Figure 1.5).

Le transistor JFET a été le premier transistor commercialement disponible, en raison de la simplicité de réalisation. Cependant, il ne s'est pas fait une place dans la plupart des convertisseurs, même si ses performances sont supérieures aux composants silicium, en raison de son comportement normalement conducteur. La fabrication des MOSFETs SiC a été progressivement maîtrisée et ils sont aujourd'hui commercialement disponibles pour des tensions allant jusqu'à 3.3 kV. Quant aux MOSFETs plus haute tensions, jusqu'à 15 kV, ils sont en développement par les fabricants de semi-conducteurs [Lic+16][Sun+22]. Leur commercialisation est incertaine et ne sera motivée que par des applications à forte marge et forte valeur ajoutée qui puissent justifier leurs coûts intrinsèquement élevés. Enfin, des tenues en tension toujours plus importantes ont été démontrées avec des IGBTs SiC [Vec+17][Bru+14], jusqu'à 27 kV [Bru+15].

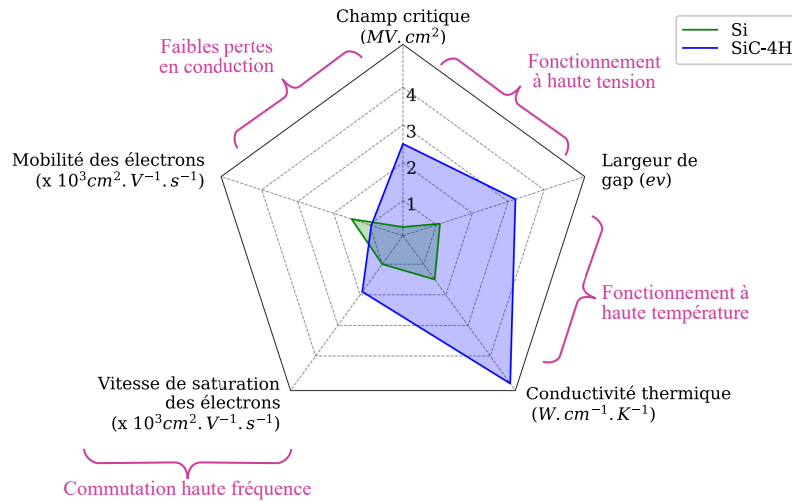


Figure 1.5: Comparaison des propriétés des matériaux semi-conducteurs Si et SiC à 300 K.

1.2.1.2 Fabrication de puces haute tension : process et coût

Les technologies SiC sont encore assez récentes, relativement aux composants en silicium, mais les process de fabrication sont de plus en plus matures et de plus en plus financièrement attractifs pour des tensions inférieures à 3 kV. Aujourd'hui, la matière première, le wafer SiC, représente 55-70% du coût d'un composant [Vel22]. La qualité des wafers SiC est de mieux en mieux maîtrisée industriellement, les fabricants sont parvenus à supprimer les défauts destructeurs (killer defects) qui rendent les échantillons inutilisables et accablent le rendement de fabrication, entraînant un coût par composant rédhibitoire. Néanmoins, les défauts de type « Basal-Plane-Dislocations » (BPDs) ne sont pas complètement éliminés, ils impactent principalement les performances des composants bipolaires. L'industrie fait face à d'autres préoccupations comme le manque de planéité des wafers, la fiabilité, la robustesse et le manque de main-d'œuvre expérimenté.

Cependant, l'industrie du carbure de silicium, fortement poussée par le marché du véhicule électrique, se développe [Stm] et les fabricants de semi-conducteurs transitent de wafers de 150 mm à 200 mm de diamètre [Pal20]. Cette transition devrait permettre une réduction du coût des wafers de l'ordre de 20%. De plus, les fonderies de silicium obsolètes peuvent être réallouées pour le SiC en permettant une réduction de l'investissement initial.

Les composants MOSFETs SiC 1.2 kV et 1.7 kV correspondant aux besoins des véhicules électriques sont aujourd'hui commercialement disponibles et leur coût à court terme est attendu à la baisse. Contrairement aux composants plus fortes tensions qui sont attendues sur le marché à plus long terme et à un prix important par manque de marché de masse.

Un fort intérêt est donc porté sur la mise en série de MOSFETs SiC pour rendre viables les applications MVDC à court et moyen terme.

1.3 La mise en série comme une alternative aux composants haute tension

1.3.1 Intérêt comparé à un interrupteur monolithique

La mise en série des interrupteurs semi-conducteurs est un concept très simple, qui consiste à les connecter en chaîne afin d'étendre la tenue en tension de l'ensemble. Nous nous intéressons particulièrement à la mise en série de MOSFETs SiC dans cette thèse, néanmoins les thyristors et les IGBT sont utilisés en séries depuis des décennies pour commuter de fortes tensions. Les aspects concernant la commande sont abordés dans la suite du chapitre.

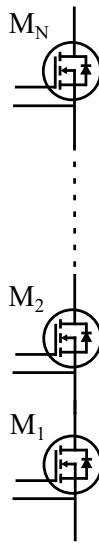


Figure 1.6: Mise en série de N MOSFETs

1.3.1.1 Tension de blocage

La structure de MOSFET verticale (Figure 1.8) est la plus répandue en SiC, elle permet de tenir des hautes tensions et fortes puissances. La tension est tenue par la couche épitaxiée (Zone « N-drift » sur la Figure 1.8). Contrairement à la structure latérale où la tension est tenue dans le plan parallèle au substrat, la structure verticale bloque la tension dans le plan perpendiculaire. Ceci requiert moins de surface de substrat, ce qui contribue significativement au coût du composant. Grâce aux meilleures propriétés du SiC, l'épaisseur d'épitaxie peut-être bien plus fine comparée au silicium. Avec un dopage plus important, la résistance spécifique à l'état passant est réduite. La relation suivante définit la résistance spécifique de la couche de drift en fonction de sa tenue en tension [Bal08].

$$R_{on-sp} = \frac{4BV^2}{\epsilon_S \mu E_c^3} \quad (1.1)$$

- R_{on_sp} la résistance spécifique $\Omega \cdot cm^2$, correspond à la résistance pour $1 cm^2$ de surface active.
- BV est la tension maximum de blocage en Volt
- μ est la mobilité des électrons en $cm^2 V^{-1} s^{-1}$.
- ϵ_S la constante diélectrique $F \cdot m^{-1}$
- E_c le champ critique $V \cdot cm^{-1}$

Grâce à un champ critique E_c bien plus important pour le SiC que pour le Si (Figure 1.5), pour un même niveau de dopage, la tension maximum de blocage peut-être bien plus importante pour la même résistance spécifique. Cette relation définit la limite théorique des composants unipolaires en 1-D (une dimension) (Figure 1.7). Des structures multidimensionnelles sur silicium comme les superjunctions peuvent permettre de dépasser cette limite, mais sont loin d'atteindre les performances du SiC 1-D. Les progrès récents de fabrication, ont montré la faisabilité d'implantation profonde de pilier dans le SiC [GHK22], un avancement clé pour le développement des MOSFETS superjunction en SiC, permettant de dépasser les performances limite 1-D du SiC [YS06].

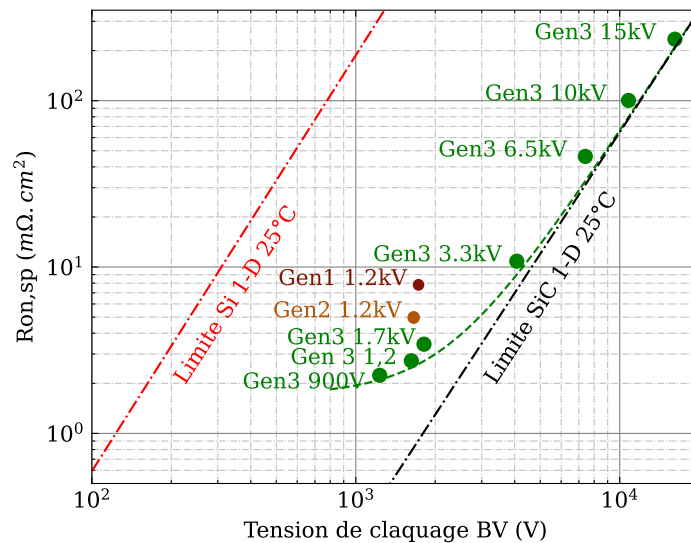


Figure 1.7: Comparaison des propriétés du silicium et du SiC 4H en termes de résistance spécifique et de tension de blocage. Les composants produits par Wolfspeed y sont reportés à température ambiante [Lic+16].

La mise en série de MOSFETS peut être comparée à un MOSFET monolithique en considérant que la somme des tensions de blocage des MOSFETS en série. Des questions en découlent : d'un point de vue de la conduction, la mise en série est-elle meilleure qu'un unique MOSFET ? Combien de MOSFETS est-il préférable de connecter en série pour atteindre une tension souhaitée ? Pour répondre à ces questions, quelques études théoriques sont développées dans la suite.

1.3.1.2 Résistance spécifique

La résistance drain-source R_{DSon} du MOSFET se décompose de la façon suivante (Figure 1.8):

$$R_{DSon} = R_B + R_{CH} + R_A + R_{JFET} + R_D + R_{SUB} \quad (1.2)$$

Où :

- R_S : résistance de l'îlot N^+ . Sa proportion est négligeable. Elle comprend aussi la résistance du contact métallique qui elle aussi est négligeable.
- R_{CH} représente la résistance du canal. Elle est modulée par la tension de polarisation grille-source V_{GS} .
- R_A représente la résistance de la zone d'accumulation de charge sous la grille.
- R_{JFET} représente la résistance liée à l'effet JFET entre les deux cellules.
- R_D représente la résistance de drift dans la zone épitaxiée.
- R_{SUB} représente la résistance du substrat SiC.

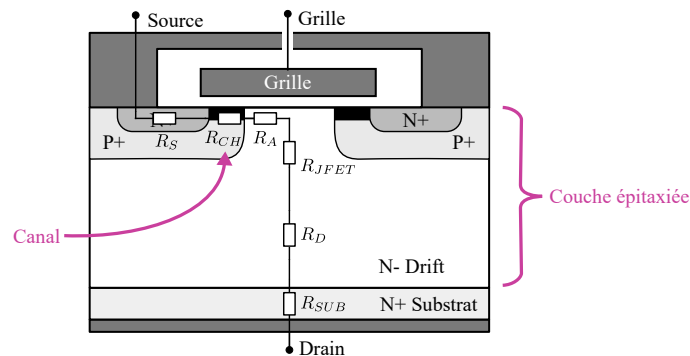


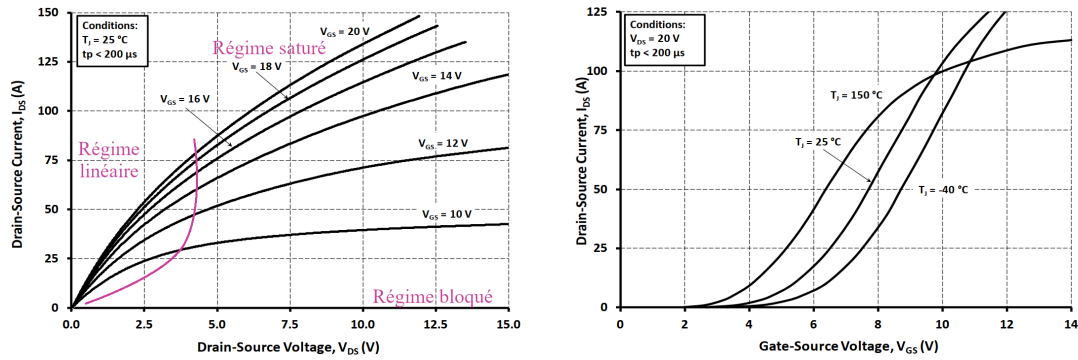
Figure 1.8: Structure d'un MOSFET vertical de puissance et résistances intrinsèques.

La *résistance du canal* R_{CH} dépend de la polarisation de la grille et de la tension V_{DS} . Son comportement est caractérisé par la caractéristique statique de la Figure 1.9, les zones de fonctionnement propres aux MOSFETS y sont représentées.

La *résistance de substrat* R_{SUB} peut être significativement important pour les MOSFETS SiC, puisque le waffer commercial à une épaisseur standard de 350 μm . Des étapes supplémentaires d'amincissement du substrat permettent de réduire l'épaisseur à 150 μm [Anz+18] et ainsi réduire cette résistance moyennant un fort surcoût significatif.

La *résistance de drift* R_D est prédominante pour les MOSFETS haute tension puisque pour tenir de fortes tensions, l'épaisseur W_D est grande et son dopage est faible comparé aux autres zones. Pour cette raison, seule cette résistance est considérée pour comparer la mise en série.

L'ensemble des autres résistances sont négligeables pour des MOSFETS SiC verticaux haute tension.

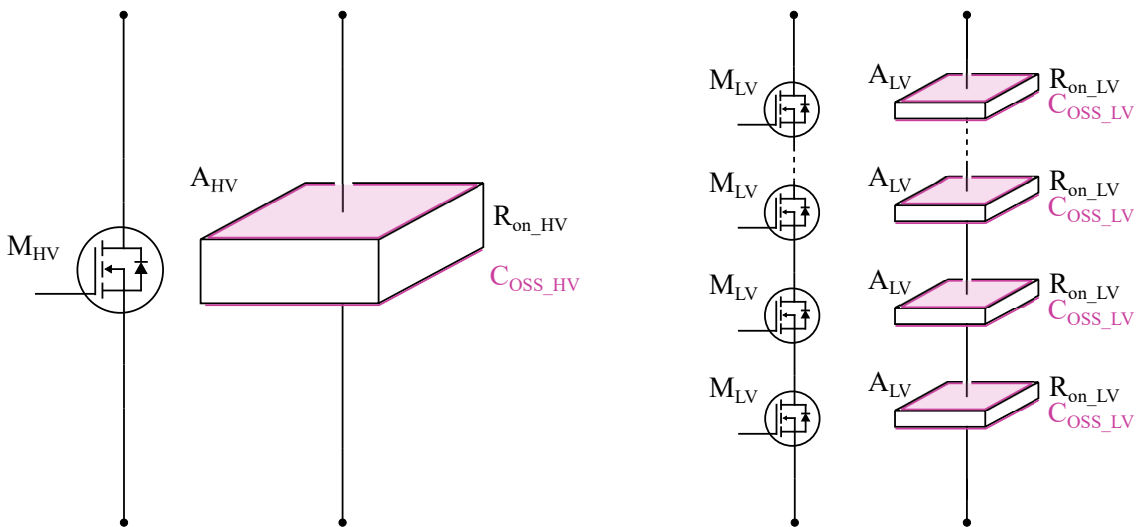
(a) Caractéristique de sortie $I_d - V_{DS}$ à 25°C

(b) Caractéristique de transfert pour différentes températures

Figure 1.9: Exemple de la caractéristique statique d'un MOSFET SiC issue de la documentation technique C2M0045170P.

1.3.1.3 Résistance spécifique d'une mise en série

L'étude théorique est faite en posant des hypothèses simplificatrices dans le but de comparer la conduction d'un MOSFET monolithique haute tension (HV) à une mise en série de N MOSFETs plus basse tension (LV) (Figure 1.10), telle qu'introduite pour des JFETs SiC [Son+17].

Figure 1.10: Représentation des géométries des composants comparés : un MOSFET monolithique HV et la une mise en série de N MOSFETs LV

Étude numéro 1:

Ces hypothèses initiales permettent une première conclusion sur la base de calculs analytiques.

- Même tension totale de blocage : $BV_{HV} = N \cdot BV_{LV}$.

- Même surface active de puces : $A_{A_{HV}} = N \cdot A_{A_{LV}}$. Pour comparer des quantités de waffers similaires.
- Seule la résistance de drift R_D est considérée.
- Le dopage N_d est considéré comme identique pour tout niveau de tension, impliquant que le champ critique E_c est le même pour toutes tensions.

La résistance $R_{on_{HV}}$ du MOSFET haute tension pour une surface $A_{A_{HV}}$ s'exprime grâce à (1.1) de la façon suivante :

$$R_{on_{HV}} = \frac{4BV_{HV}^2}{\epsilon_S \mu E_c^3} \frac{1}{A_{A_{HV}}} \quad (1.3)$$

Quant à la résistance du MOSFET basse tension :

$$R_{on_{LV}} = \frac{4BV_{LV}^2}{\epsilon_S \mu E_c^3} \frac{1}{A_{A_{LV}}} = \frac{4BV_{HV}^2}{\epsilon_S \mu E_c^3 N^2} \frac{N}{A_{A_{HV}}} \quad (1.4)$$

La résistance de l'ensemble des N MOSFETS connectés en série s'exprime alors de la façon suivante et permet de conclure.

$$R_{on_{SERIES}} = NR_{on_{LV}} = \frac{4BV_{HV}^2}{\epsilon_S \mu E_c^3 N^2} \frac{N^2}{A_{A_{HV}}} = \frac{4BV_{HV}^2}{\epsilon_S \mu E_c^3} \frac{1}{A_{A_{HV}}} = R_{on_{HV}} \quad (1.5)$$

En conclusion, selon ces hypothèses, la résistance spécifique d'un MOSFET haute tension monolithique est identique à celle de la mise en série de MOSFETS.

$$R_{on_{SERIES}} = R_{on_{HV}}$$

Cependant, les hypothèses sont critiquables. Considérer le dopage identique indépendamment du niveau de tension est inexact [Bal08]. Prendre en compte le niveau de dopage change la conclusion comme mise en lumière dans l'étude numéro 2. Ensuite, négliger la résistance du substrat, conduit aussi à des conclusions différentes comme développées dans l'étude numéro 3.

Étude numéro 2:

Cette fois-ci, la variation du dopage est prise en compte, pour se faire, il est possible de poser les équations en considérant le dopage, mais cela reviendrait à estimer la limite unipolaire 1-D à 25°C qui peut être approximée par l'équation suivante :

$$R_{on,sp} = 32.10^{-9} BV^{2.38} \quad (1.6)$$

La comparaison est alors faite numériquement : sur la Figure 1.11 quatre points correspondant à 4 MOSFETS sont placés en fonction de leurs valeurs théoriquement calculées pour référence, ils sont alors sur la limite théorique unipolaire 1-D. Ensuite, les points

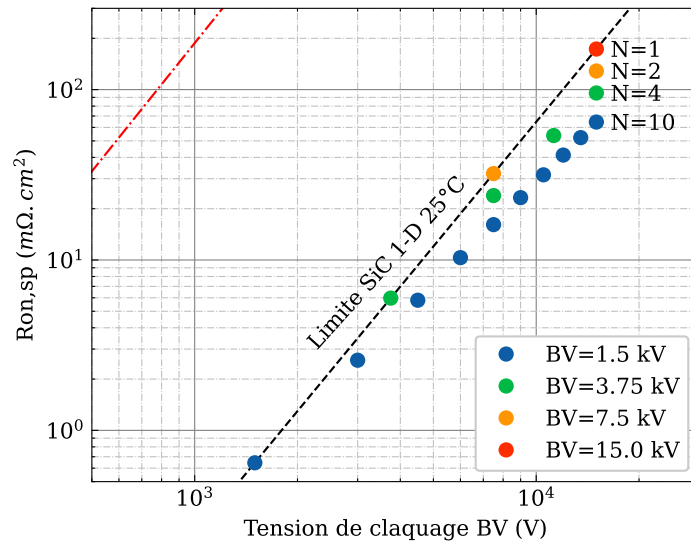


Figure 1.11: Comparaison de la résistance spécifique d'un MOSFET monolithique à celle de la mise en série de MOSFETS basse tension. Ici, seule la résistance de drift est considérée.

de la même couleur représentent la mise en série de ces MOSFETS. Par exemple, le point bleu 1.5 kV correspond à un MOSFET, avec une tension de claquage de 1.5 kV, qui serait certainement commercialisé comme un MOSFET de 1.2 kV, est ensuite mis en série jusqu'à 10 MOSFETS soit une tension de claquage totale de 15 kV. Il peut ainsi être comparé au MOSFET 15 kV (point rouge).

Dans ce cas, la résistance spécifique de la mise en série de MOSFETS est plus faible qu'un MOSFET monolithique. La comparaison de 10 MOSFETS 1.5 kV à un MOSFET 15 kV montre une résistance spécifique 62% plus faible que le MOSFET 15 kV. La tendance tend même vers le fait qu'il est préférable de mettre un très grand nombre de MOSFETS en série, mais il ne faut pas oublier que la résistance de drift n'est pas prédominante à faible tension. Ce qui nous amène à notre dernière étude théorique.

Étude numéro 3:

Seule la résistance de drift R_D évolue fortement en fonction de la tension de claquage : une valeur constante peut être considérée englobant les autres résistances qui sont dépendantes de nombreux paramètres géométriques qui ne sont pas en notre possession [Bal08].

$$R_{on_cst} = R_S + R_{CH} + R_A + R_{JFET} + R_{SUB}$$

Une estimation de celle-ci peut être faite sur la base du MOSFET de troisième génération 900 V produit par Wolfspeed ayant une résistance spécifique de $2.2 \text{ m}\Omega \cdot \text{cm}^2$ pour une tension de claquage de 1.2 kV, sa résistance de drift peut alors être estimée à $0.5 \text{ m}\Omega \cdot \text{cm}^2$. La résistance constante est alors estimée à $R_{on_cst} = 1.7 \text{ m}\Omega \cdot \text{cm}^2$. Parmi celles-ci la résistance du substrat est prédominante pour des raisons de fabrication, les waffers commerciaux ont une épaisseur standard de $350 \mu\text{m}$ [Anz+18]. En considérant une résistivité ρ entre 0.015 -

$0.028 \Omega \cdot \text{cm}$, la résistance spécifique du substrat est entre $0.53 \text{ m}\Omega \cdot \text{cm}^2$ et $0.98 \text{ m}\Omega \cdot \text{cm}^2$, soit une portion significative comparée à l'ensemble des autres résistances R_{on_cst} .

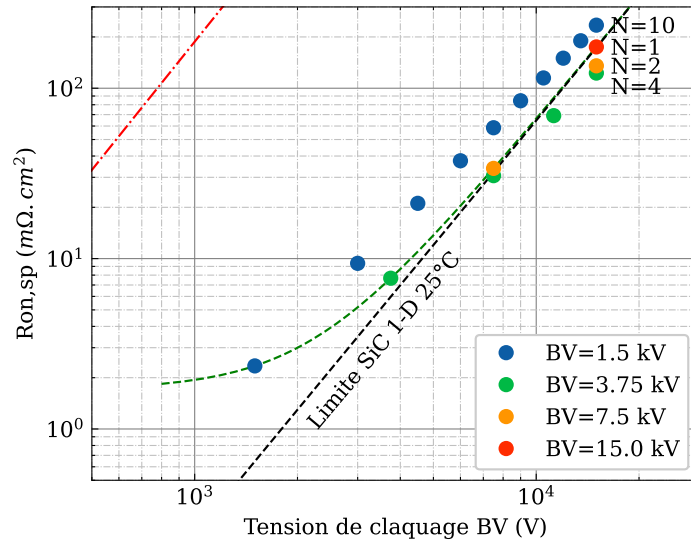


Figure 1.12: Comparaison de la résistance spécifique d'un MOSFET monolithique à celle de la mise en série de MOSFETS basses tensions. Toutes les résistances sont estimées et représentées par la courbe vert pointillé.

La Figure 1.12, de la même façon que la précédente, compare la mise en série de MOSFETS d'un point de vue de la résistance spécifique. Cette fois-ci, l'ensemble des résistances du MOSFET est considéré et représenté par la courbe vert pointillé. La prise en compte de cette résistance montre que désormais, la mise en série de 10 MOSFETS 1.5 kV a une résistance spécifique supérieure à un MOSFET de 15 kV. En effet, la résistance constante représente une proportion importante sur l'ensemble. Il est alors préférable de mettre en série des MOSFETS SiC de plus de 3 kV. Néanmoins, des optimisations sur les processus de fabrications permettant de minimiser la résistance du substrat ou du canal tendraient à rendre les MOSFETS plus basse tension plus intéressants.

Il faut toutefois nuancer ce résultat, en revenant sur les hypothèses. Les surfaces actives sont comparées et donnent une bonne estimation de la quantité de substrat SiC nécessaire, mais les protections périphériques devraient aussi être prises en compte. Ensuite, la mise en série est comparée pour une même tension totale de claquage : cependant, des marges plus importantes sont certainement requises en cas de déséquilibre de tension ou de courant de fuites.

Enfin, l'arrivée future des MOSFETS SiC superjonction et des IGBTs SiC nécessitera de faire de nouvelles comparaisons.

1.3.1.4 Les capacités parasites intrinsèques

Les performances en commutation sont en grande partie liées aux capacités parasites intrinsèques. Les capacités parasites d'un MOSFET vertical sont présentées sur la Figure 1.13. Toutes les capacités au niveau de l'oxyde de grille ne sont pas représentées, n'étant pas

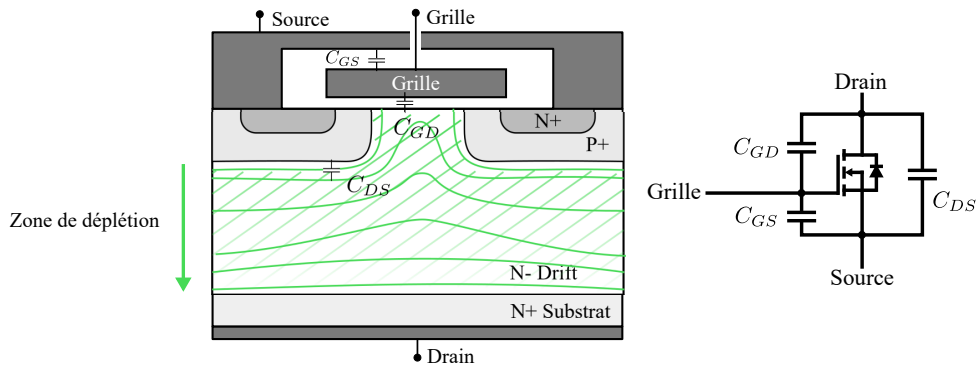


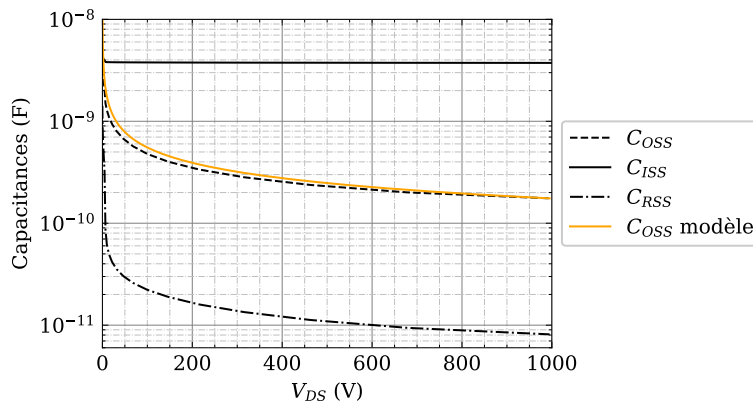
Figure 1.13: Capacités parasites d'un MOSFET

indispensables pour notre compréhension. La capacité grille-source V_{GS} dépend de la géométrie. La capacité grille-drain C_{GD} , aussi appelée capacité Miller, et la capacité drain-source C_{DS} sont fortement dépendantes de la zone de déplétion se formant dans la zone épitaxiale sous une polarisation drain-source. Comme représenté sur la Figure 1.13, la zone de déplétion grandit avec la polarisation drain-source et augmente la distance des surfaces en regard, diminuant ainsi la valeur de la capacité. On définit souvent les capacités d'entrée C_{ISS} , de sortie C_{OSS} , et de transfert C_{RSS} pour des raisons de mesures.

$$C_{ISS} = C_{GD} + C_{GS} \quad (1.7)$$

$$C_{RSS} = C_{GD} \quad (1.8)$$

$$C_{OSS} = C_{GD} + C_{DS} \quad (1.9)$$

Figure 1.14: Mesure de l'évolution des capacités parasites intrinsèques d'un MOSFET 1.7kV (C2M0045170P). Le modèle de C_{OSS} superposé correspond à l'équation (1.10).

La Figure 1.14 nous permet d'apprécier la variation des capacités intrinsèques sous l'effet de la polarisation V_{DS} . La variation de la valeur de la capacité C_{DS} peut être modélisée par l'équation suivante, une équation plus précise est présentée par la suite.

$$C_{OSS}(V_{DS}) = C_{OSS.V_0} \sqrt{\frac{V_0}{V_{DS}}} \quad (1.10)$$

Ou :

- $C_{OSS_{V_0}}$ est la valeur de la capacité à V_0
- V_{DS} la tension drain-source

1.3.1.5 Description des phases de commutation

Le circuit de commutation décrit sur la Figure 1.15, permet de décrire les phases de commutations du courant de charge I_L d'une charge inductive L_{LOAD} par un MOSFET et une diode D . Le MOSFET est modélisé par une source de courant, courant traversant le canal i_{CH} , et ses capacités parasites. La capacité de rétroaction C_{GD} est divisée en 2 valeurs pour prendre en considération sa forte variation avec la tension V_{DS} . Sa valeur à basse tension est notée C_{GD0} , cette modélisation explique la variation brutale du courant entre la phase 2 et 3. Le délai à l'ouverture *phase 1* est estimé, par la suite, à partir de la valeur à basse tension C_{GD0} . La tension V_G est la tension appliquée par le gate-driver pour charger et décharger la grille à travers la résistance de grille R_G . La capacité parasite de la diode est représentée par C_f et l'inductance parasite de boucle est représentée par L_{stray} . L'ouverture et la fermeture sont divisées en phases, voir en Figure 1.16. Elles sont décrites en se basant sur le modèle de [WCL13] sans entrer dans le détail des équations.

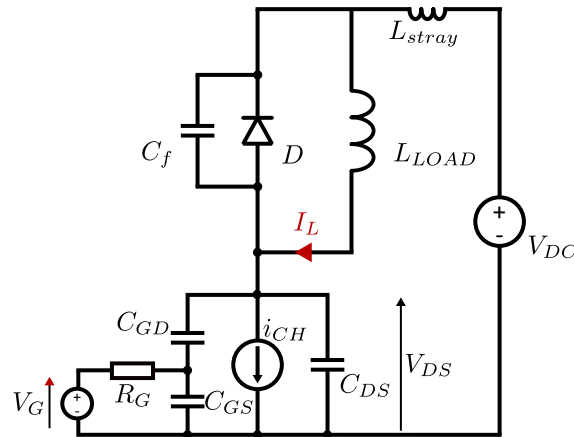


Figure 1.15: Circuit de commutation utilisée pour décrire les phases de commutations.

Mise en conduction du MOSFET : passage de l'état bloqué à l'état passant.

Phase 1, délai à la fermeture: la commande de grille commute de la tension de V_{Gneg} à V_{Gpos} ; la grille se charge par l'intermédiaire de la résistance de grille R_G . Le MOSFET reste fermé jusqu'à ce que V_{GS} atteigne V_{th} , générant un délai avant la commutation.

Phase 2, montée du courant: la tension de grille a atteint la tension de seuil V_{th} , le courant de la charge est détourné à travers le canal et le courant de la diode diminue en conséquence. Le MOSFET fonctionne en saturation, la variation du courant est liée à la variation de V_{GS} . Durant cette phase, quasiment tout le courant traverse le canal, puisque

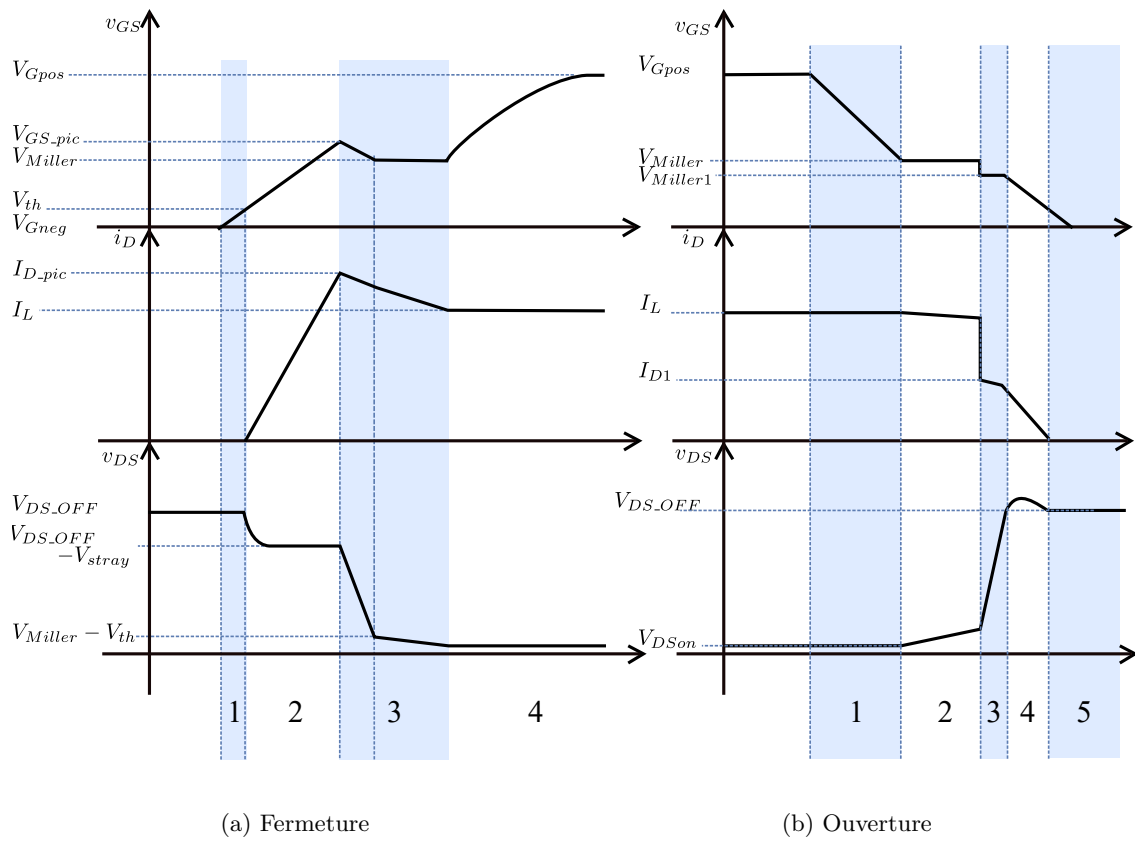


Figure 1.16: Phases de commutations [WCL13]

la tension V_{DS} varie seulement à cause de la chute de tension parasite dans l'inductance parasite L_{stray} .

Une fois que le courant atteint le courant de charge I_L , le courant dans la diode s'annule d'abord puis commence le processus de recouvrement en s'inversant s'il s'agit d'une diode bipolaire. S'il s'agit d'une diode Schottky, c'est-à-dire sans charge de recouvrement, alors la tension commence à chuter, sa capacité parasite entraînant un surcourant. Le courant continue à monter jusqu'à son courant maximum $I_{D.pic}$. La variation de V_{GS} étant liée au courant en régime de saturation, V_{GS} atteint un pic en même temps que le courant.

Phase 3, chute de la tension: une fois que le courant dans la diode commence à retourner à zéro, la tension V_{DS} chute rapidement à une allure modulée par la conduction du canal, les capacités parasites du MOSFET C_{OSS} et de la diode C_f . La décharge et la charge respectivement engendrent un surcourant. Une fois que V_{DS} atteint la tension de plateau Miller V_{Miller} , le MOSFET entre en régime linéaire, la tension continue à décroître jusqu'à la grandeur notée V_{DSon} .

Phase 4, conduction: le MOSFET conduit en régime linéaire, la tension V_{DSon} est due à la résistance à l'état passant R_{DSon} du MOSFET.

Ouverture du MOSFET : passage de l'état passant à l'état bloqué.

Phase 1, délais à l'ouverture: le MOSFET est toujours en conduction, le gate-driver commute sa tension de sortie de V_{Gpos} à V_{Gneg} . La capacité de grille C_{ISS} se décharge alors progressivement jusqu'à atteindre la tension du plateau Miller V_{Miller} .

Phase 2 et 3, la montée de la tension : elle est divisée en deux phases correspondant aux deux valeurs de capacité C_{GD} . Le front de tension dv/dt en phase 2 et 3, est fortement dépendant des capacités parasites et de la conduction du canal. Le dv/dt lors de la phase 2 est bien plus faible qu'en phase 3 et dure jusqu'à ce que la tension monte de quelques volts. L'estimation des dv/dt est abordée extensivement par la suite (Section 2.2.1) pour l'analyse de l'équilibrage de la mise en série.

Phase 4, chute du courant: la tension aux bornes de la diode arrive à zéro, elle rentre en conduction. Le courant chute dans le MOSFET, la variation du courant di/dt engendre une surtension à cause de l'inductance parasite de boucle L_{stay} . l'énergie stockée dans l'inductance est déchargée dans le MOSFET

Phase 5, blocage: le courant dans le MOSFET s'annule, le MOSFET est bloqué.

1.3.1.6 Évaluations des pertes C_{OSS}

Les pertes en commutations dures apparaissent majoritairement pendant les phases 2 et 3 à la fermeture et 3 et 4 à l'ouverture. Pendant celles-ci, un chevauchement des courants et tensions dissipe une puissance importante. À l'ouverture, une partie de l'énergie est directement dissipée à travers le canal et une autre est stockée dans la capacité parasite C_{OSS} . Cette énergie chargée dans C_{OSS} est dissipée dans le canal à la fermeture, en phase 3, lorsque la tension chute, provoquant un surcourant s'additionnant au courant de recouvrement.

Ces pertes peuvent être estimées relativement facilement, par la connaissance de la capacité C_{OSS} . Quant au reste des pertes en commutation, l'estimation reste plus complexe. Nous décidons alors d'effectuer une comparaison des pertes imputables à C_{OSS} dans le cas d'un MOSFET unitaire ainsi que de la mise en série de MOSFETs. Pour cela, l'expression de la charge Q_{OSS} est obtenue à l'aide de l'Équation (1.10).

$$\begin{aligned}
 Q_{OSS}(V_{DS}) &= \int_0^{V_{DS}} C_{OSS}(v) dv \\
 &= \int_0^{V_{DS}} \sqrt{V_0} \cdot C_{OSS-V_0} \cdot v^{-\frac{1}{2}} dv \\
 &= 2\sqrt{V_0} C_{OSS-V_0} V_{DS}^{\frac{1}{2}}
 \end{aligned} \tag{1.11}$$

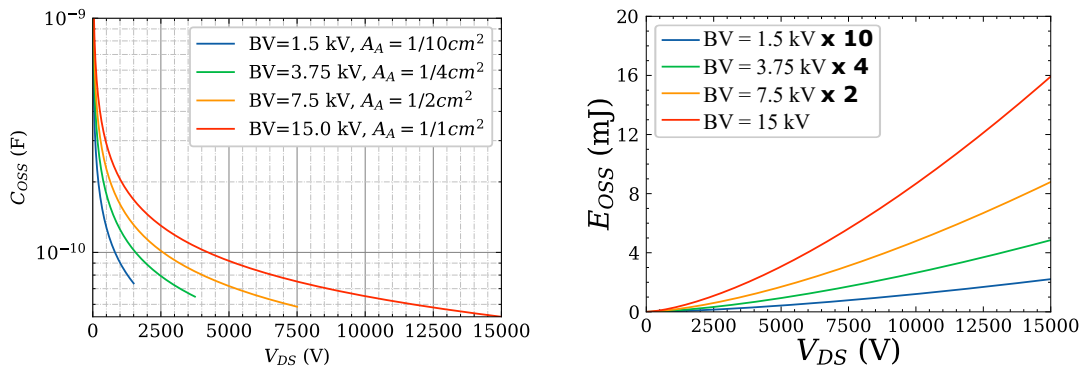
Enfin, l'expression de l'énergie stockée dans la capacité C_{OSS} peut être déterminée par l'intégration de la charge par la tension.

$$\begin{aligned} E_{OSS}(V_{DS}) &= \int_0^{V_{DS}} Q_{OSS}(v) dv \\ &= \int_0^{V_{DS}} 2\sqrt{V_0} \cdot C_{OSS_{V_0}} \cdot v^{\frac{1}{2}} dv \\ &= \frac{4}{3} \sqrt{V_0} \cdot C_{OSS_{V_0}} \cdot V_{DS}^{\frac{3}{2}} \end{aligned} \quad (1.12)$$

La capacité parasite C_{OSS} minimum, lorsque la zone de déplétion recouvre toute l'épithaxie, est estimée à l'aide de l'épaisseur de la zone épithaxiée W_D en fonction de la tenue en tension.

$$C_{OSS_{min}} = \frac{\epsilon_S A_A}{W_D} \quad (1.13)$$

La comparaison est faite sur 4 calibres de MOSFETS théoriques ayant comme tension de claquage respectivement 1.5 kV, 3.75 kV, 7.5 kV et 15 kV. Ainsi la mise en série de 10, 4 et 2 MOSFETS respectivement permet d'atteindre une tension de blocage de 15 kV. La surface active est sélectionnée pour que la somme des surfaces actives d'une mise en série soit égale à $A_A = 1 \text{ cm}^2$. La variation de C_{OSS} en fonction de V_{DS} pour les 4 MOSFETS considérés est tracée sur la Figure 1.17a. La capacité est faible pour les MOSFETS basses tensions principalement grâce à la surface active réduite. Le MOSFET 15 kV atteint la plus petite valeur à sa tension maximale.



(a) Estimation de la capacité parasite de sortie en fonction de la tension V_{DS} des MOSFETS de différents calibres, leurs surfaces individuelles dépendent du nombre de MOSFETS en série. (b) Estimation des énergies E_{OSS} pour des surfaces totales identiques $A_A = 1 \text{ cm}^2$ selon la tension de claquage, lorsque les tensions sont également réparties sur chaque MOSFET.

Figure 1.17: Estimation des capacités C_{OSS} et énergies E_{OSS} des MOSFETS constituant la mise en série de 10 MOSFETS 1.5 kV, 4 MOSFETS 3.75 kV, 2 MOSFETS 7.5 kV et un unique MOSFET 15 kV.

L'énergie E_{OSS} est tracée sur la Figure 1.17b pour ces quatre assemblages. Il est alors clair que la mise en série de MOSFETS permet de limiter les pertes liées à la décharge de la capacité de sortie C_{OSS} . L'exemple montre que la mise en série de 10 MOSFETS ayant une tension de claquage de 1.5 kV permet de réduire ces pertes par 8 comparés à son équivalent monolithique. Ce résultat est issu d'une estimation dont les hypothèses ont

été énoncées. L'évolution des techniques du semi-conducteur amènera à nuancer cette conclusion.

La valeur des capacités parasites est certainement sous-évaluée, ayant négligé les protections périphériques. De plus, il se peut que les pertes liées à C_{OSS} ne soient pas prédominantes lors de fonctionnement réel. Il serait intéressant de faire une analyse du même type pour prendre en compte les pertes dans le canal et celles induites par le système d'équilibrage (passif ou actif le cas échéant). Malheureusement, le problème est dépendant de trop de paramètres géométriques, résultant de choix technologiques indépendants du choix concernant la mise en série. De ce fait, aucune analyse pertinente n'a encore été élaborée à présent.

1.3.1.7 Avantage thermique

La mise en série a un avantage d'un point de vue de la thermique puisque, la surface active totale est répartie sur plusieurs puces [Son+17]. La densité de puissance est alors divisée sur une plus grande zone, facilitant l'évacuation des calories. Cependant, une difficulté intervient d'un point de vue des isolations des différents potentiels électriques.

1.3.2 Challenges spécifiques à la mise en série

La mise en série présente des intérêts d'un point de vue du semi-conducteur, de sa disponibilité et de son coût. Mais des challenges demeurent et sont accentués par l'usage de composants rapides en SiC.

1.3.2.1 Équilibrage

Le challenge principal de la mise en série réside dans l'équilibrage des tensions aux bornes de chacun des interrupteurs. Dans le cas d'un déséquilibre, la tension aux bornes d'un composant risque d'être écrêtée par l'avalanche du MOSFET, dissipant une énergie importante qui risque de détériorer ou détruire le composant concerné. Si le déséquilibre n'entraîne pas l'avalanche d'un composant, il peut entraîner un déséquilibre thermique plus ou moins tolérable. Pour ces raisons, il est important de comprendre les phénomènes menant aux déséquilibres afin de proposer des solutions adaptées.

Le déséquilibre intervient quand les composants sont ouverts. On distingue deux cas.

- Le déséquilibre statique.
- Le déséquilibre dynamique.

Le *déséquilibre statique* correspond à la répartition de tensions en l'absence de commutation. Il est régi par les courants de fuites des semi-conducteurs et des composants associés. Maintenir un bon équilibrage statique ne représente pas une difficulté significative. Il peut être obtenu par l'ajout de résistances en parallèle qui fixent les potentiels en générant plus de fuites (plus faible impédance) que les composants semi-conducteurs.

Le *déséquilibre dynamique* représente un challenge de taille, il est le sujet de cette thèse. Il s'agit de la répartition des tensions obtenue à l'ouverture des MOSFETs en série. Cet équilibrage est sensible à de nombreux paramètres, tels que la synchronisation des commutations, les paramètres intrinsèques aux MOSFETs et les capacités parasites. Il est d'autant plus sensible que les vitesses de commutation sont bien plus rapides avec des composants SiC comparé à ses homologues en silicium. Les prochains chapitres développent en détail cette problématique.

1.3.2.2 Commande de grille

Une complexité intervient en s'intéressant à la commande des grilles des MOSFETs connectés en série. Il existe différentes approches ; elles ont chacune leurs particularités.

Commande simultanée

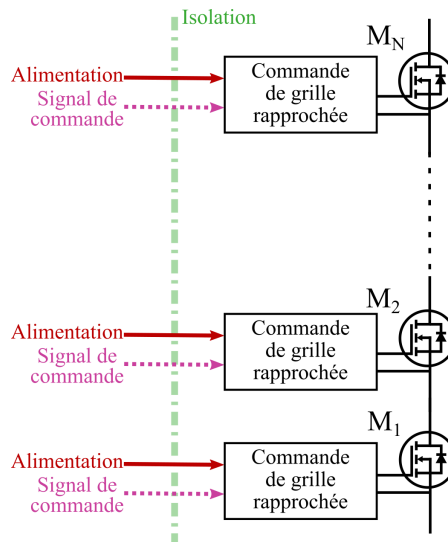


Figure 1.18: Les grilles sont commandées individuellement. Les circuits de commande rapprochée (gate-driver) reçoivent le signal de commande et doivent être isolés.

L'approche, la plus naïve, est de disposer une commande de grille rapprochée (Gate-driver) pour chacun des MOSFETs (cf. Figure 1.18). Ils devront alors tous commuter leur grille associée de façon simultanée par la réception du même signal. Les inconvénients sont relatifs au coût et à la complexité, puisque le nombre de commandes de grille est identique au nombre de MOSFETs et que chacun des gate-drivers doit être alimenté individuellement et de manière isolée. Cependant, cette architecture permet de maîtriser parfaitement chacun des signaux de grilles pour optimiser au mieux les commutations.

Une alternative est de commander l'ensemble des grilles par l'intermédiaire de transformateurs [HB99](Figure 1.19a). Le transformateur est composé d'un enroulement primaire excité par le signal de commande. Un enroulement secondaire est connecté sur chaque grille. Protégé par des diodes Zeners, les grilles sont commutées simultanément. Avec les

MOSFETs SiC, il est d'usage d'appliquer une tension négative sur la grille à l'ouverture pour prévenir un potentiel amorçage spontané et bloquer complètement le MOSFET. Le circuit [Pef+17] ajoute une fonctionnalité de Miller clamp et supprime les résonances (Figure 1.19b). La problématique principale de ce circuit réside dans l'isolation galvanique. Une alternative consiste à réaliser un circuit magnétique avec un noyau magnétique à associer à chaque grille traversée par une boucle de courant [Ant+11].

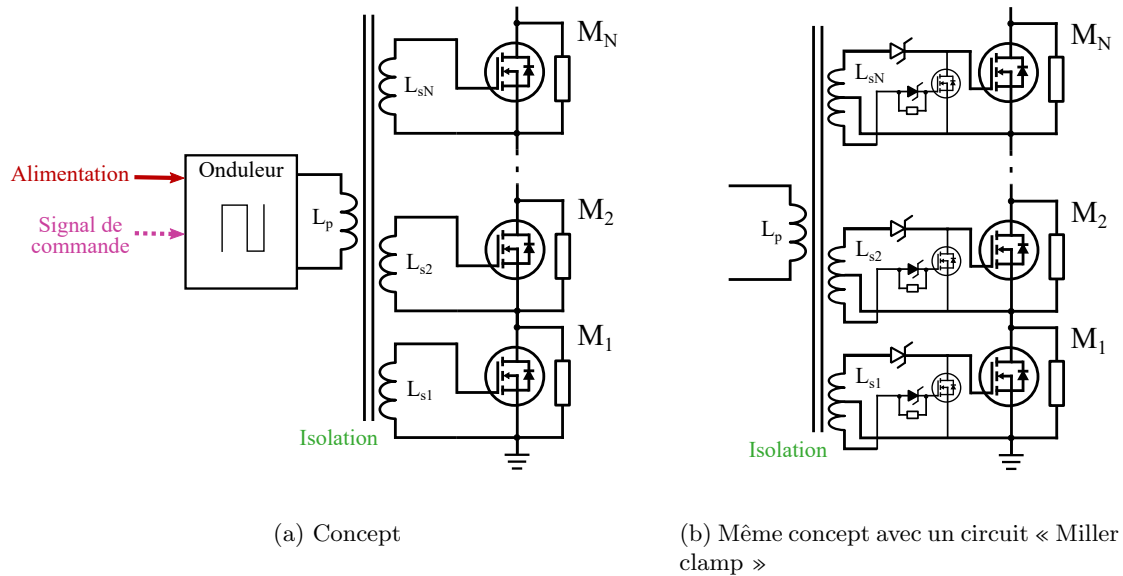


Figure 1.19: Commande de grille par transformateur impulsionnel.

Commande séquentielle

Les stratégies de commandes séquentielles permettent de limiter la complexité de la commande des grilles des MOSFETs connectés en série. Pour cela, un seul gate-driver est nécessaire et les autres suivent séquentiellement.

Les JFETs SiC ayant été commercialement disponibles avant les MOSFETs SiC, la structure Supercascode a été popularisée [Bie+08] et ses performances largement démontrées [ZSA10] [Lóp+16] [Pan+19]. Une tension de blocage de 15 kV est démontrée dans [Son+17] par la mise en série d'un MOSFET SiC 1.2 kV et 11 JFETs 1.2 kV. La commande est simplifiée par la structure cascode ; seul le MOSFET est équipé d'un gate-driver. Lors de l'ouverture, sa tension V_{DS} monte alors faisant monter la tension de commande du JFET supérieur, jusqu'à son ouverture. Son ouverture permet l'ouverture successive des JFETs suivants.

Toutefois, les JFETs SiC sont remplacés progressivement par les MOSFETs SiC n'ayant pas été industriellement adoptés, dus à leur nature normalement ouverte. Une structure comparable est possible sans composants normalement fermés [Jør+20]. Celle-ci requiert l'usage d'alimentations isolées pour chaque MOSFET, rendant la solution nettement moins attractive.

Une alternative repose sur un couplage capacitif des grilles décrit par [BJ92] (Figure 1.20) et adapté aux MOSFETs SiC par la suite [Ren+17]. L'équilibrage des tensions nécessite d'ajuster les valeurs de chaque capacité en fonction de l'emplacement, ces réalisations semblent plus intéressantes pour des applications commutant peu comme des disjoncteurs [Ren+19] ou des convertisseurs de faible puissance [Pan+19].

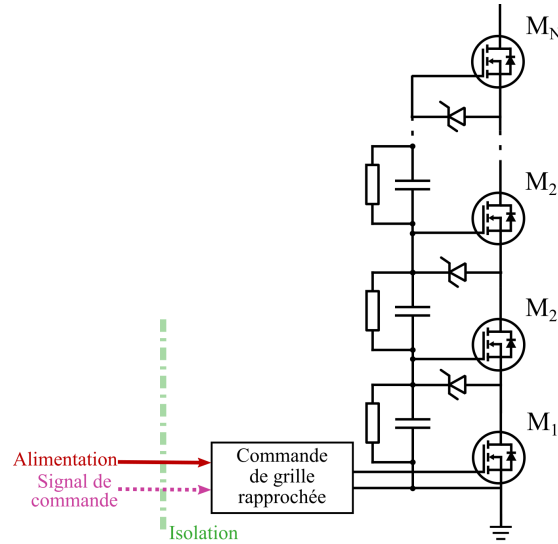


Figure 1.20: Commandes séquentielles par couplage des grilles des MOSFETs en série.

Les commandes séquentielles pour la mise en série ne permettent pas de maîtriser parfaitement et uniformément les tensions de grilles. Par exemple, l'application de tensions négatives sur la grille n'est pas toujours évidente. De plus, des stratégies d'optimisations des commutations, telles que les gate-drivers actifs, ne sont pas toujours possibles.

1.3.2.3 Alimentation des grilles

Lorsque des alimentations sont nécessaires pour les gate-drivers de la mise en série, celles-ci doivent être isolées. Elles sont généralement constituées de convertisseurs DC/DC de quelques Watts qui fournissent la puissance aux gate-drivers depuis une alimentation auxiliaire à la masse. La tenue en tension de l'isolation doit alors être suffisante pour tenir la tension nominale. De plus, la capacité parasite de l'isolation doit être minimisée pour des problématiques de CEM et d'impact sur l'équilibrage, ce dernier est développé dans le chapitre suivant. Il en découle une problématique d'encombrement, où il est difficile de réaliser un tel convertisseur très compact. En outre, leur nombre est croissant avec le nombre de composants en série.

1.3.2.4 Isolations

L'isolation des différents potentiels représente un challenge important pour l'intégration de la mise en série. Pour les MOSFETs haute tension, il est d'usage de réaliser un module où l'isolation est obtenue par un substrat céramique (AlN) placé sous la puce. Afin d'isoler à

forte tension, l'épaisseur est accrue, impactant directement les performances thermiques. Des concepts avancés de refroidissement liquide à travers de la céramique constituent une potentielle solution à cette problématique [Oba+22].

La mise en série ajoute une difficulté par sa sensibilité aux capacités parasites. De façon alternative, il est imaginable de déporter l'isolation au niveau des dissipateurs, avec des dissipateurs non-isolés, cette approche sera privilégiée pour la réalisation de prototypes lors de cette thèse.

L'intégration mécanique de la mise en série ajoute des contraintes de dimensionnement supplémentaire d'un point de vue de l'isolation et de la thermique, tout en respectant les contraintes classiques d'un convertisseur de puissance comme l'inductance de boucle ou les pertes.

1.4 Objectif de la thèse

L'objectif de la thèse est d'évaluer les solutions permettant de réaliser un interrupteur haute tension, par la mise en série de transistors de plus faible calibre en tension, pour réaliser un convertisseur de puissance pour des applications MVDC. L'équilibrage des tensions, étant la problématique majeure afin d'y parvenir, est le sujet d'intérêt de cette thèse.

Le Chapitre 2 étudie, sur la base de l'état de l'art, les mécanismes de l'équilibrage de la mise en série. Le comportement est modélisé analytiquement et numériquement afin d'étudier, d'anticiper et d'optimiser l'équilibrage naturel. Ces modèles sont appuyés par les résultats expérimentaux d'un prototype impulsif haute tension.

Le Chapitre 3 parcourt les solutions d'équilibrages connues de type passif. L'état de l'art est analysé et l'équilibrage par snubber RC est développé théoriquement et est expérimenté sur le même prototype impulsif, permettant l'évaluation des performances d'équilibrage.

Le Chapitre 4 parcourt les solutions d'équilibrage actives. Une solution prometteuse est identifiée et étendue à de multiples composants. Les régulations sont évaluées numériquement et expérimentalement à l'aide d'un prototype qui en est équipé.

Chapitre 2

Équilibrage : analyse et quantification

Comme introduit dans la première partie, l'équilibrage des tensions drain-source (V_{DS}) des MOSFETs constitue le principal challenge lorsque ces composants sont connectés en série. Cette partie est intégralement dédiée à la compréhension des phénomènes provoquant une répartition plus ou moins égale des tensions et à la quantification de l'impact d'un déséquilibre dans le cas particulier d'interrupteurs rapides et haute tension : les MOSFETs SiC (carbure de silicium).

2.1 Paramètres influant sur le déséquilibre en tension.

Les déséquilibres de tensions observés lors de la mise en série de transistors sont dus, la plupart du temps, à une combinaison de facteurs qui se compensent ou s'additionnent. En effet, plusieurs causes de natures très différentes peuvent engendrer le même niveau de déséquilibre.

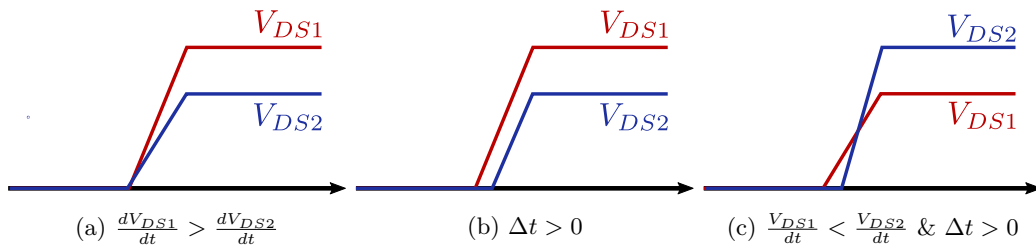


Figure 2.1: Les délais relatifs et les différences de dv/dt comme causes du déséquilibre

Le déséquilibre est le résultat de deux caractéristiques physiques distinctes qui sont : les délais à l'ouverture entre les fronts de tensions et les différences de vitesses des fronts de tensions (dv/dt) (Figure 2.1). La connaissance de ces deux grandeurs permet de déterminer le déséquilibre en tension [Gui+93].

La difficulté est qu'ils dépendent de nombreux paramètres, du circuit de commande, du circuit de puissance et également des paramètres intrinsèques des interrupteurs. Dans cette première partie, nous donnons une analyse basée sur la littérature des paramètres influant sur les délais, les dv/dt ou bien les deux.

2.1.1 Influence des délais de propagations des signaux des commandes rapprochées

La propagation des signaux à tous les circuits de commande rapprochée (gate-drivers) peut conduire à des décalages temporels entre les signaux de chaque MOSFET. La Figure 2.2 représente une configuration possible pour transmettre les signaux. Des fibres optiques sont utilisées pour pallier des problèmes d'isolations électriques et de perturbations électromagnétiques. Le signal optique de commande commun est reçu par une carte électronique dédiée à la distribution du signal (a). Sur chaque commande rapprochée (b), le signal est reçu par un récepteur optique. Un circuit intégré de commande de grille est couramment utilisé pour adapter la tension de grille. Le signal est parfaitement synchronisé sur la carte de distribution (a), mais chaque étage de conversion impose un retard de propagation, potentiellement différent. L'ajout de circuits de retard ajustables manuellement pourrait constituer une solution de compensation provisoire, mais non pérenne. De plus, le sautellement temporel (jitter) doit être considéré. Il a été observé que certains composants d'isolation de signaux tels que des optocoupleurs provoquent des sautellemets problématiques d'une magnitude de plusieurs nanosecondes. Dans ce cas, des alternatives doivent être trouvées, d'autant plus que, ces délais n'étant pas déterministes, ils ne peuvent pas être compensés.

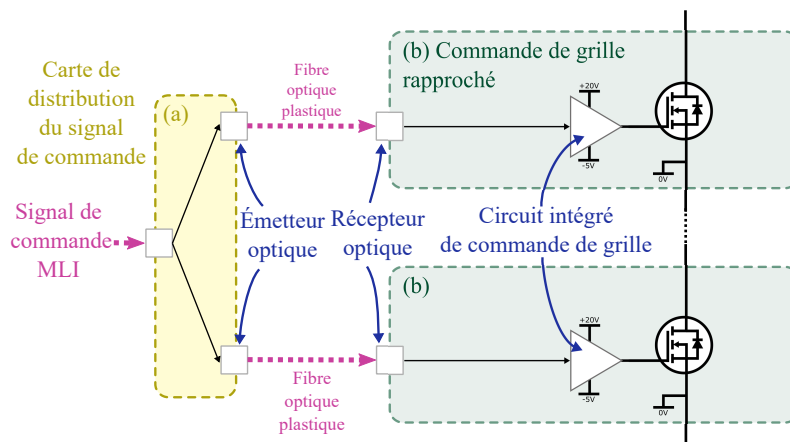


Figure 2.2: Signaux de commande de 2 MOSFETS en série

2.1.2 Influence des capacités parasites du circuit

Les capacités parasites impactent directement les dv/dt , du fait des courants de mode commun qu'elles génèrent, et représentent une cause majeure de déséquilibre. Elles sont présentes naturellement dès qu'un potentiel électrique est isolé par rapport à un autre. Ces capacités parasites se retrouvent dans les circuits de commandes (Gate-drivers) et dans les circuits de puissance (y compris avec les dissipateurs thermiques) [Ngu+10].

Ces problématiques de courants de mode commun sont les mêmes que dans le cas de composants IGBT en silicium connectés en série. La principale différence est l'ordre de

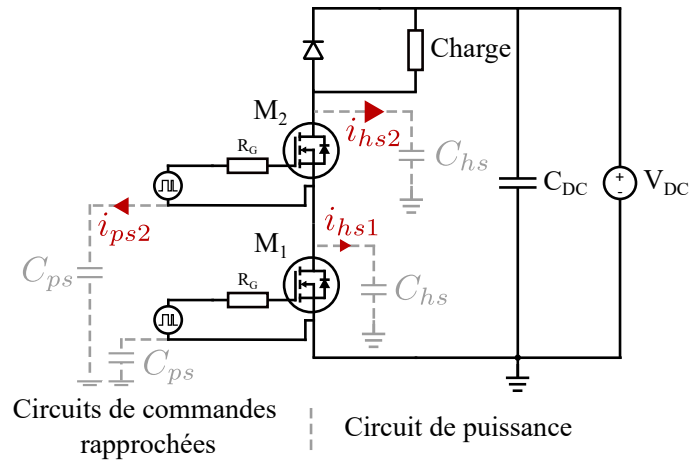


Figure 2.3: Courant à travers les capacités de mode commun du circuit de puissance et du circuit de commande

grandeur des dv/dt et des capacités intrinsèques (C_{ISS} , C_{OSS} , C_{RSS}). Les MOSFETs SiC commutent avec des valeurs de dv/dt 10 à 100 fois plus importantes à calibre de courant équivalent. Quand des capacités parasites de environ 10 pF dues à l'isolation entre les IGBT et leur dissipateur étaient acceptables, elles sont problématiques avec des MOSFETs SiC, pour les mêmes niveaux de tension.

De nombreuses études ont été menées pour comprendre et quantifier les impacts des capacités parasites. [Lef+19] propose un modèle prédictif dans le but d'évaluer les impacts d'une architecture conventionnelle d'alimentation de commandes rapprochées. Les alimentations sont isolées afin de référencer les commandes rapprochées au potentiel de la source du MOSFET. Cette isolation crée une capacité parasite entre la masse et la source du MOSFET (Figure 2.3 : capacités C_{ps}). L'étude se place dans le cas de commutations rapides avec des résistances de grilles nulles, conduisant à des dv/dt maximums. Le modèle proposé permet de confirmer que l'impact des capacités parasites des alimentations des commandes rapprochées de l'ordre de 15 pF est non négligeable dans le cas de MOSFETs SiC ayant de faibles capacités intrinsèques.

Parasites du circuit de commande. La réalisation d'une alimentation à forte isolation et faibles capacités parasites C_{ps} (Figure 2.4), constitue un défi technologique. Des travaux comme ceux de [Zha+20c] présentent la réalisation d'une telle alimentation de gate-drivers avec une isolation de 10 kV nominale et une faible capacité parasite de l'ordre de 2 pF. Dans le cas de l'alimentation des gate-drivers d'une mise en série d'interrupteurs, l'utilisation de ce genre d'alimentation peut devenir très encombrante puisqu'il en faut autant que de gate-drivers. D'autres solutions plus pertinentes pour réduire l'encombrement peuvent être trouvées dans la littérature. L'alimentation des circuits de commandes par boucle de courant est assez répandue et couramment utilisée industriellement avec des IGBTs en série. Cette solution est adaptable aux contraintes des MOSFETs SiC [Yan+20](Figure 2.5), mais présente toujours les mêmes limites de courants de mode commun. La tenue diélectrique est assurée par l'isolant du câble traversant les

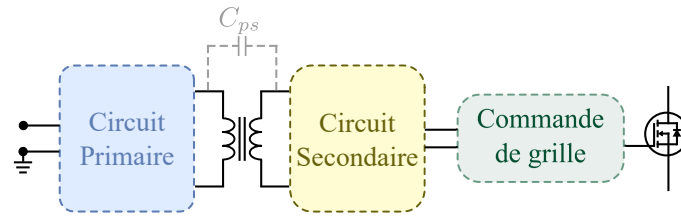


Figure 2.4: Capacité parasite présente dans une alimentation DC/DC isolée.

tores et doit être dimensionnée pour la plus forte tension, ce qui a tendance à limiter la tension maximum de l'assemblage. Les capacités parasites sont toujours présentes entre le fil de la boucle et les tores. Cette solution est efficace, mais des limites subsistent sur le niveau de tension maximum atteignable avec des capacités parasites faibles et un rendement correct.

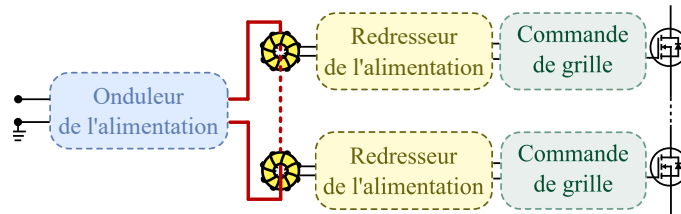
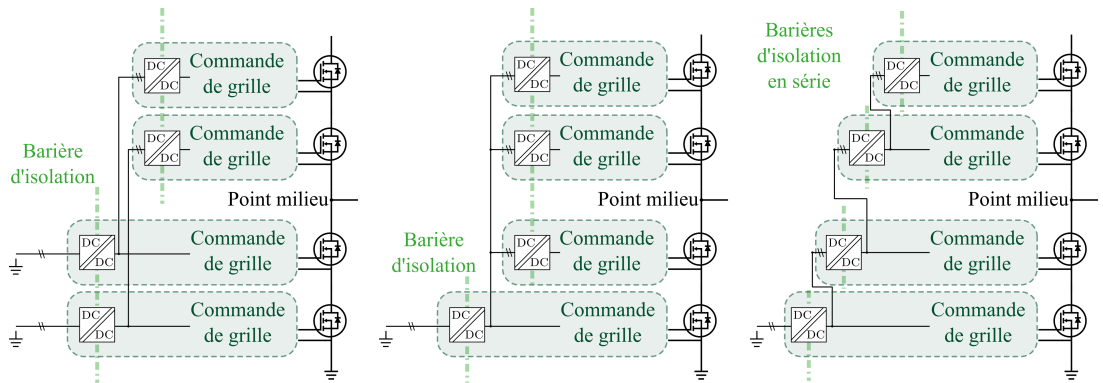


Figure 2.5: Alimentation par boucle de courant [Yan+20]

À la recherche d'une meilleure solution, d'un point de vue des courants parasites, plusieurs architectures d'alimentations ont été évaluées par [NLC17](Figure 2.6). L'architecture totalement cascadée donne les courants de mode commun les plus faibles, mais pose des problèmes de dimensionnement en puissance. En effet, la puissance consommée par les gate-drivers supérieurs transite par toutes les alimentations inférieures ce qui induit un surcoût et un encombrement importants. Dans la plupart des cas, on préférera utiliser des alimentations identiques pour éviter les spécificités. Cependant, des architectures hybrides peuvent être évaluées pour minimiser le surdimensionnement.

Les capacités parasites du circuit de puissance sont principalement dues à la présence de dissipateurs thermiques, indispensables pour l'évacuation de la chaleur. Il est assez courant que le dissipateur soit relié électriquement à la masse pour des raisons de sécurité. Dans ce cas, une isolation est nécessaire entre le composant et le dissipateur. Quelle que soit la technique utilisée : dissipateur à air forcé, plaques à eau ou autre, les potentiels électriques doivent être isolés, ce qui générera des capacités parasites : Figure 2.7. Le choix de la méthode de refroidissement des puces a une influence significative sur les capacités parasites et donc sur l'équilibrage des tensions des MOSFETs en série.

L'équipe du CIPES dans [Lin+20a] présente l'impact des capacités parasites dans le cas de l'utilisation de modules de puissance (ensemble demi-pont dans un boîtier) connectés en série. L'utilisation de modules demi-pont implique le refroidissement des MOSFETs deux par deux. Le choix de la connexion électrique du dissipateur modifie les capacités parasites (Figure 2.8) et entraîne un équilibre capacitif différent. Dans cette



(a) Alimentations des MOSFETs inférieurs couplés avec les alimentations supérieures (b) Toutes les alimentations supérieures en parallèle en série avec la première. (c) Configuration optimum avec toutes les alimentations cascades.

Figure 2.6: Architectures d'alimentations proposées pour réduire les perturbations [NLC17].

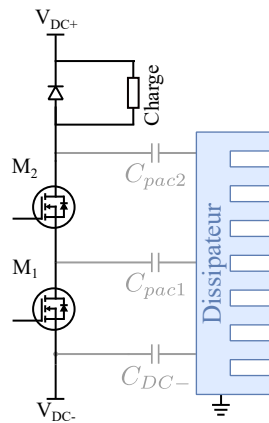


Figure 2.7: Capacités parasites du circuit de puissance due au dissipateur de chaleur commun aux MOSFETs en série.

étude, il est proposé de compenser les déséquilibres des capacités parasites par l'ajout de condensateurs sur le circuit de puissance afin d'équilibrer le pont diviseur de tension capacitif. Cette solution est efficace pour obtenir un bon équilibrage naturel, c'est-à-dire un équilibrage dans le cas de commutations synchronisées. À noter que ces capacités de compensation pourraient être évitées dans le cas de modules optimisés pour la mise en série.

Les travaux de [Alv+21] proposent une architecture de modules de puissance optimisés pour la mise en série de MOSFETs SiC d'un point de vue des capacités parasites. La construction interne permet l'ajout de capacités parasites dans la structure même du module. La technique du « Multi-step package » vient agencer les puces sur de multiples substrats disposés en escalier : Figure 2.9.

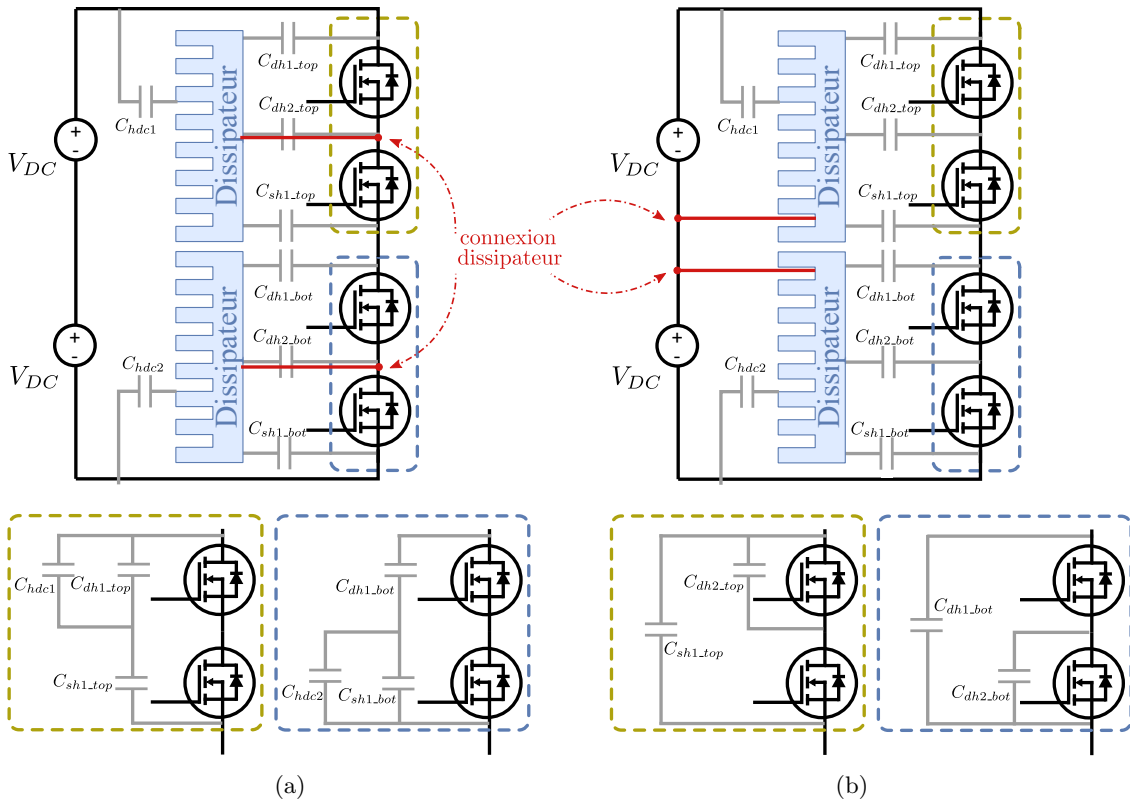


Figure 2.8: Impact de la connexion du dissipateur sur les capacités parasites [Lin+20a]

2.1.3 Influence de la dispersion paramétrique des interrupteurs.

Les composants semi-conducteurs, de par leur nature et leur processus de fabrication, ne sont pas parfaitement identiques. Les différences viennent de la qualité des matériaux, de la précision des gravures et des masques, de l'homogénéité des dopages et de la croissance des épitaxies. Pour les semi-conducteurs en silicium, ces dispersions sont assez bien maîtrisées grâce à la maturité des processus de fabrication rendue possible par l'ancienneté de cette technologie et la production de masse. Le carbure de silicium, quant à lui, est une technologie récente. Néanmoins, la qualité des waffers de SiC progresse vite, impulsée par la forte demande du marché de l'automobile électrique. Des waffers de SiC sont aujourd'hui produits en 150 mm de diamètre et l'industrie travaille activement sur les waffers de 200 mm grâce à la qualité croissante des processus [Vel22].

Il existe peu d'études permettant d'évaluer les dispersions des composants SiC ; de plus, ces informations, même si elles sont connues par les fabricants, ne sont pas forcément rendues publiques.

Nous avons souhaité quantifier les dispersions de paramètres dans le cas de MOSFETS SiC haute tension sélectionnés pour une mise en série. Pour cela, un échantillon de 30 MOSFETS SiC a été étudié. Les composants caractérisés sont des MOSFETS planar *GEN2* 1.7 kV $R_{DS(on)} = 45 \text{ m}\Omega$ de chez Wolfspeed (C2M0045170P). Nous les avons mesurés grâce au traceur de courbe (B1506A de Keysight) qui permet de relever les caractéristiques sta-

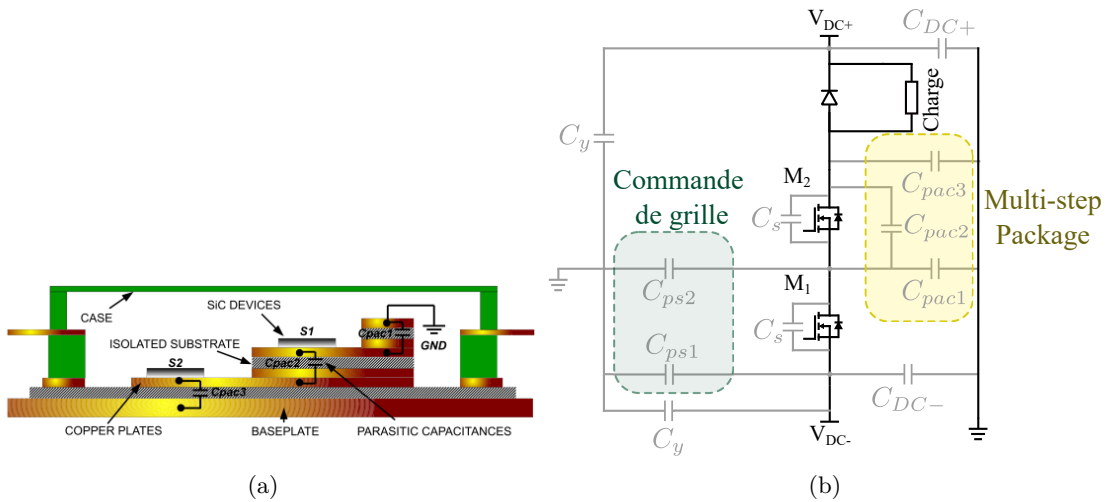


Figure 2.9: Multi-step packaging : boîtier optimisé pour l'équilibrage des capacités parasites [Alv+21]

tiques (la tension de seuil V_{th} , la caractéristique de transfert, la résistance à l'état passant) ainsi que les capacités parasites (C_{ISS} , C_{OSS} , C_{RSS}). La dispersion des paramètres ayant un impact significatif sur l'équilibrage est représentée en Figure 2.10.

Cette campagne de caractérisation nous permet d'observer que les paramètres des semi-conducteurs sont différents à température ambiante. De plus, ils varient avec la température. Par exemple, la tension de seuil V_{th} et la transconductance K_p évoluent positivement lorsque la température augmente. Ces deux paramètres impactent directement le délai de décharge de C_{GS} et le dv/dt donc l'équilibrage. Ainsi, pour que des MOSFETs en série soient naturellement équilibrés, il faut que leurs paramètres soient proches à température ambiante, mais aussi que les variations des paramètres en fonction de la température soient proches. À noter également la présence de mécanismes de dégradation de la durée de vie comme la dérive de la tension de seuil V_{th} [Mol+18].

Afin d'évaluer l'impact d'une variation paramétrique sur les délais et les dv/dt , des outils d'analyse sont utilisés et détaillés dans la prochaine partie.

2.1.4 Influence de la présence des sondes de mesure de tension

La mesure des commutations de composants rapides comme les MOSFETs SiC n'est pas seulement une problématique de bande passante des sondes et des appareils de mesures. À cause des faibles valeurs des capacités intrinsèques des MOSFETs SiC, leurs comportements sont extrêmement sensibles aux éléments parasites du circuit de commande, du circuit de puissance, mais aussi à ceux des appareils de mesure. Ainsi, l'ajout de sondes de tension impacte le comportement des commutations et peut même mener à des instabilités [AMM12][ZZM19][Zen+20].

Dans le cas de la mesure des tensions V_{DS} des MOSFETs SiC en série, la présence de sondes non isolées crée un chemin capacitif vers la masse, détournant une partie du

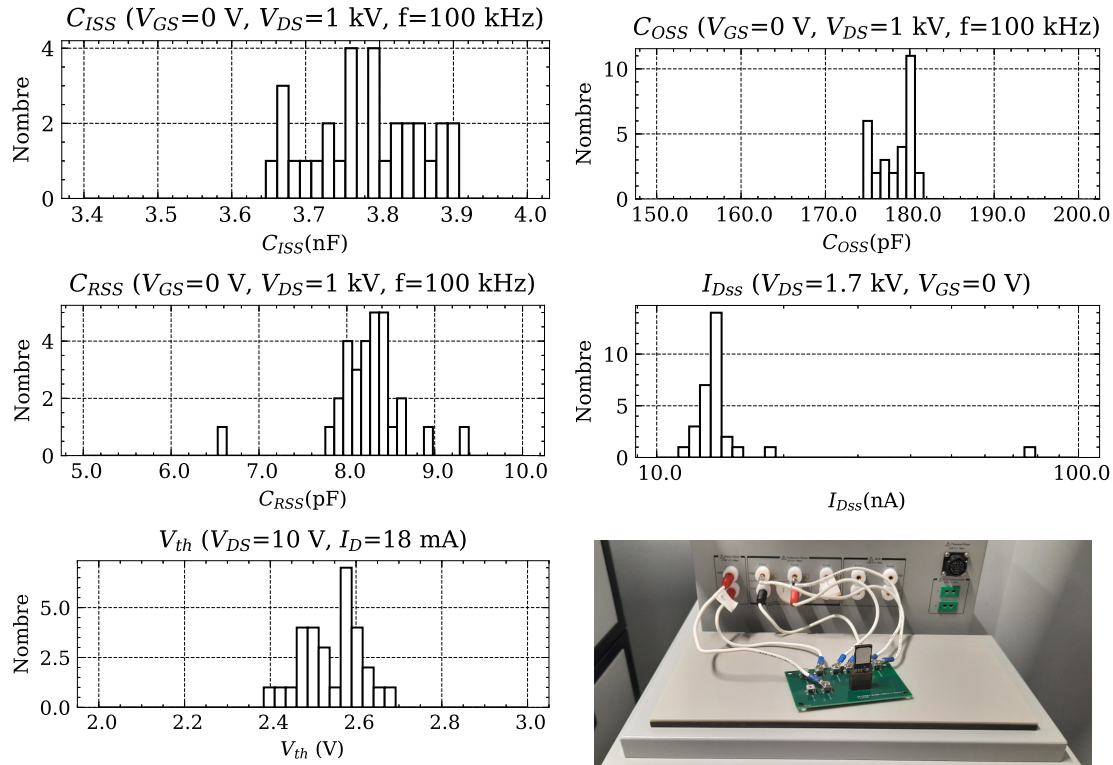


Figure 2.10: Dispersion des paramètres capacitifs, de la tension de seuil et du courant de fuite d'un lot de 30 MOSFETs caractérisés au traceur de courbe B1506A de Keysight.

courant. Pour effectuer des mesures les moins intrusives possibles, nous avons utilisé des sondes isolées par fibre optique ayant des capacités parasites négligeables entre les points mesurés et la masse de l'oscilloscope.

2.2 Outils d'analyses pour l'étude du déséquilibre en tension

Les causes des déséquilibres en tension sont multiples et évaluer leur impact requiert des outils d'analyse adaptés. Tous les paramètres sont à considérer pour obtenir une estimation précise des déséquilibres, cependant il convient au préalable d'évaluer et quantifier leurs impacts individuels. Dans cette optique, les formulations analytiques décrivant l'ouverture de MOSFETs en série sont établies et exploitées numériquement (Partie 2.2.1). Face à certaines limites, la modélisation grâce à un logiciel de simulation de circuit (ici LTspice) permet de construire un modèle plus complet en prenant en compte, par exemple, les variations des capacités parasites intrinsèques en fonction de la tension V_{DS} . Ces modèles sont donc plus précis et plus proches de la réalité (Partie 2.2.2). Enfin, le prototypage donne les résultats les plus pertinents et permet de valider les modèles (Partie 2.2.3).

2.2.1 Modèles analytiques

Notre objectif est d'estimer la répartition des tensions à l'ouverture des MOSFETs connectés en série. La modélisation est donc restreinte à tout ce qui concerne les délais et les dv/dt . En particulier, elle ne permettra pas d'estimer les pertes ni les di/dt ou bien de donner une indication sur les possibles oscillations. Le MOSFET sera représenté simplement afin de pouvoir déterminer le délai de décharge de grille et le dv/dt à l'ouverture ce qui nous aidera à calculer le niveau de tension atteint à la fin de la commutation.

2.2.1.1 Modélisation du MOSFET

Les comportements de MOSFET Si et SiC sont identiques dans leur plage de fonctionnement dite sûre (Safe Operating Area : SOA). En effet, le MOSFET a dans les deux cas la même structure. Ce sont uniquement les ordres de grandeur qui sont différents (par exemple, les capacités parasites intrinsèques sont 10 à 100 fois plus petites puisque les puces SiC sont plus petites pour le même courant nominal). Il est donc possible de se baser sur les modèles de MOSFETs bien établis dans le cas des MOSFETs Si. La modélisation du MOSFET est généralement toujours séparée entre la prise en compte des caractéristiques de transfert (encore appelées « comportement statique ») et la représentation des capacités parasites intrinsèques.

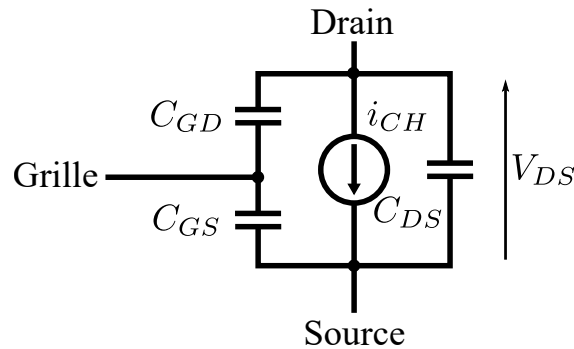


Figure 2.11: Structure du modèle de MOSFET utilisé

La caractéristique de transfert d'un MOSFET est modélisée à l'aide de la transconductance ; ce paramètre exprime la variation du courant de canal en fonction de la tension de grille en A/V^{-1} .

$$g_{fs} = \left. \frac{di_{CH}}{dV_{GS}} \right|_{V_{DS}=const} \quad (2.1)$$

Durant la phase du dv/dt de l'ouverture (Figure 1.16, ouverture phase 3), le MOSFET fonctionne en régime de saturation. Pour cette raison et pour simplifier la modélisation, seul ce régime est exprimé. Le régime de saturation est défini lorsque $V_{DS} > V_{GS} - V_{th}$, le courant du canal peut-être exprimé de la façon suivante (2.2):

$$i_{CH} = \begin{cases} g_{fs}(V_{GS} - V_{th}) & \text{si } V_{GS} > V_{th} \\ 0 & \text{sinon.} \end{cases} \quad (2.2)$$

- V_{th} est la tension de seuil à partir de laquelle le canal conduit.
- V_{GS} est la tension entre la grille et la source.

Considérer la transconductance g_{fs} constante donne pour l'expression du courant i_{CH} une fonction affine. Dans la plupart des documentations techniques de MOSFETS, la valeur est reportée dans les tableaux de paramètres. Cette hypothèse sera gardée pour la conception du modèle analytique. Mais comme le montre la Figure 2.12 ce choix ne permet pas de modéliser précisément la caractéristique de transfert. La transconductance peut être exprimée comme suit :

$$g_{fs} = \frac{K_p}{2}(V_{GS} - V_{th}) \quad (2.3)$$

- K_p est une constante exprimée en A/V^{-2} et est liée à la géométrie de la puce [Bal08]:

$$K_p = \frac{W}{L}\mu_n C_{ox} \quad (2.4)$$

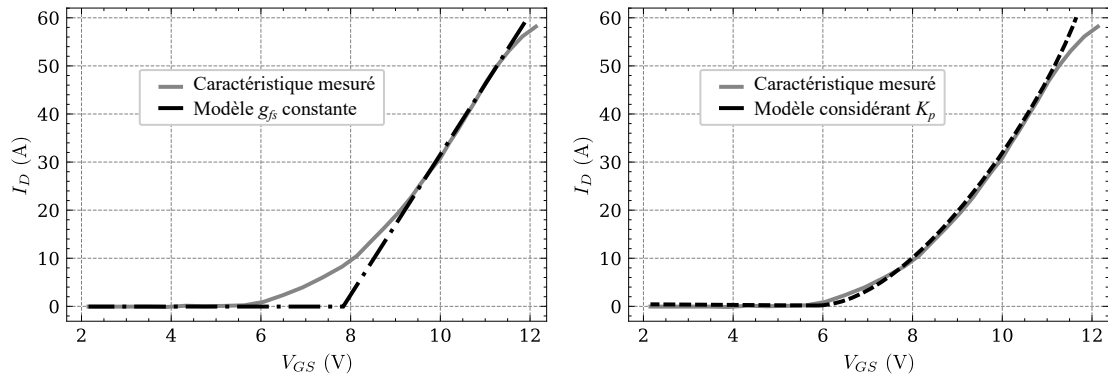
- W et L sont la longueur et la largeur du canal
- μ_n la mobilité des porteurs de charges
- C_{ox} la capacité d'oxyde de grille

Le courant du canal peut s'exprimer de la façon suivante (Équation 2.5) en fonction de K_p , laissant apparaître une expression quadratique qui permet de mieux représenter le comportement statique du MOSFET en régime de saturation :

$$i_{CH} = \begin{cases} \frac{K_p}{2}(V_{GS} - V_{th})^2 & \text{si } V_{GS} > V_{th} \\ 0 & \text{sinon.} \end{cases} \quad (2.5)$$

La valeur de V_{th} dépend de la représentation de la caractéristique de transfert : comme le laisse apercevoir la Figure 2.12, la valeur de V_{th} sera différente selon le mode de représentation. Les valeurs peuvent varier assez fortement et ne sont plus comparables. Dans les documentations techniques, la valeur de V_{th} ne correspond à aucune des deux définitions présentées, mais est définie par la méthode de mesure employée consistant à appliquer une tension V_{GS} jusqu'à atteindre un courant défini (de quelques dizaines mA pour des MOSFETS SiC). Pour la modélisation, il est alors préférable d'utiliser une valeur issue de l'ajustement des courbes du modèle aux mesures.

Expression des capacités parasites intrinsèques d'un MOSFET : comme vu précédemment dans le Chapitre 1 Section 1.3.1.4, les transistors ont des capacités parasites intrinsèques qui varient en fonction de la tension. Dans cette première modélisation, elles seront considérées comme constantes en prenant toutefois en compte deux valeurs de C_{GD} : C_{GD0} correspond à la valeur de C_{GD} à faible tension (< 10 V) et est utilisée pour l'évaluation du délai de décharge de la grille. À faible tension V_{DS} , les capacités C_{GD0} et C_{DS0} sont plus d'une décade supérieure aux valeurs en haute tension. L'impact de cette simplification sur l'évaluation des dv/dt est évalué dans les travaux de [Wan+18a].



(a) Défini comme variant linéairement en considérant g_{fs} . (b) Défini comme variant de façon quadratique en considérant K_p .

Figure 2.12: Modélisation de la caractéristique de transfert.

2.2.1.2 Retard dû à la décharge de la grille.

Le délai qui nous intéresse ici est le temps que met la tension de grille pour passer de la tension positive V_{Gpos} à la tension du plateau Miller ($V_{Miller} = V_{GS} + I_D/g_{fs}$), cette dernière marquant le début de la phase de montée de la tension V_{DS} . Pendant cette phase, les capacités C_{GS} et C_{GD} sont vues comme étant en parallèle et se déchargent à travers R_g [WLC12]. L'expression du temps de décharge peut alors être déterminée (Équation 2.6) (développement en Annexe ??).

$$t_{GS} = R_G(C_{GS} + C_{GD0}) \ln \left(\frac{g_{fs} V_{Gpos}}{g_{fs} V_{th} + I_L} \right) \quad (2.6)$$

- R_g : la résistance de grille.
- V_{Gpos} : la tension positive appliquée à la grille.
- C_{GS}, C_{GD0} : la capacité grille-source et grille-drain (basse tension).
- g_{fs} : la transconductance.
- V_{th} : la tension de seuil.
- I_L : le courant commuté.

Le délai de décharge dépend de nombreux paramètres du circuit de commande rapprochée, des paramètres intrinsèques aux MOSFETs ainsi que du courant commuté.

Le courant commuté est en théorie égal dans chaque MOSFET en série, mais la présence de capacités parasites de mode commun peut détourner une partie du courant, ce qui aura un impact sur les retards des MOSFETs. Des différences de délai à l'ouverture entre les MOSFETs sont donc inévitables.

2.2.1.3 Expression du dv/dt à l'ouverture.

On cherche à exprimer analytiquement la formulation du dv/dt à l'ouverture d'un MOSFET. Plaçons-nous dans le cas d'un MOSFET unique qui commute avec une diode de roue libre un courant I_L . Le circuit de la Figure 2.13 décrit cette configuration qui est donnée par les équations suivantes :

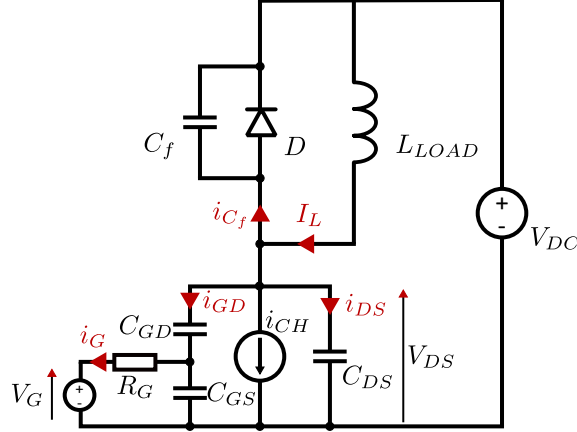


Figure 2.13: Circuit de commutation à 1 MOSFET et une diode avec une charge inductive (tous les éléments représentés sont pris en compte dans le modèle). Le gate-driver applique une tension V_G soit négative V_{Gneg} soit positive V_{Gpos} pour respectivement soit ouvrir soit fermer le MOSFET.

$$I_L = i_{CH} + i_{OSS} + i_{C_f} \quad (2.7)$$

$$i_G = C_{GD} \frac{dV_{DS}}{dt} \quad (2.8)$$

$$V_{GS} = R_G i_G + V_{Gneg} \quad (2.9)$$

$$i_{OSS} = i_{DS} + i_{GD} = C_{OSS} \frac{dV_{DS}}{dt} \quad (2.10)$$

$$i_{C_f} = C_f \frac{dV_{DS} - V_{DC}}{dt} = C_f \frac{dV_{DS}}{dt} \quad (2.11)$$

La manipulation de ces équations ainsi que celle décrivant le courant I_{CH} (Équation 2.2) permettent d'obtenir l'expression de la vitesse de commutation. Deux relations correspondent au cas où le canal conduit ou non pendant la variation de la tension V_{DS} (développement en Annexe ??).

$$\frac{dV_{DS}}{dt} = \begin{cases} \frac{I_L}{C_{OSS} + C_f} & \text{si } V_{GS} < V_{th} \quad \text{Mode capacitif} \\ \frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_{OSS} + C_f + g_{fs} R_G C_{GD}} & \text{sinon.} \quad \text{Mode saturé} \end{cases} \quad (2.12)$$

Ouverture en mode capacitif : l'ouverture est uniquement capacitive quand le courant dans le canal est nul ($V_{GS} < V_{th}$) pendant la phase de montée du dv/dt . Le canal est complètement fermé et n'impacte donc pas la dynamique de la tension. Dans ce cas,

l'évolution du dv/dt correspond uniquement à la charge de la capacité de sortie C_{OSS} par le courant I_L . Ce comportement est obtenu lorsque le courant, la résistance de grille, la capacité Miller (C_{GD}) sont faibles.

Ouverture en mode saturé : dès lors que le canal conduit ($V_{GS} > V_{th}$) pendant la variation de la tension V_{DS} . Le canal conduit, car la tension V_{Miller} est supérieure à V_{th} . Cette tension V_{Miller} est imposée par la rétroaction de la capacité C_{GD} qui permet de réduire le dv/dt , mais augmente les pertes. Puisque le canal est saturé pendant cette période, les oscillations sont amorties.

Le courant de transition I_{Ltr} entre les deux modes d'ouverture est évalué par l'équation suivante (développement en Annexe ??) :

$$I_{Ltr} = \frac{V_{th} - V_{Gneg}}{R_G C_{GD}} (C_{OSS} + C_f) \quad (2.13)$$

La Figure 2.14 représente la variation du dv/dt en fonction du courant de charge. Les deux modes sont clairement identifiés.

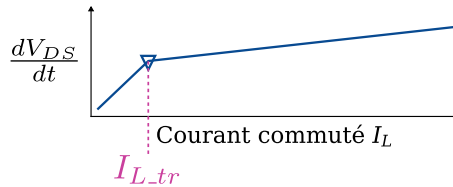


Figure 2.14: Représentation de la variation du dv/dt en fonction du courant de charge I_L .

Fonctionner en mode capacitif permet de limiter les pertes à l'ouverture puisque le canal est inexistant et il est donc tentant d'augmenter cette limite (par exemple en diminuant R_G). Malheureusement dans ce mode, les oscillations sont très peu amorties, ce qui a tendance, malgré tout, à augmenter les pertes. Il a été observé que l'optimum en ce qui concerne les pertes se trouvait en commutant à la limite des deux modes [Hai22].

Les dv/dt dans le cas de la mise en série : Le circuit en Figure 2.15 décrit l'assemblage de N MOSFETS connectés en série. Dans ce cas, les mécanismes sont les mêmes, car les MOSFETS sont traversés par le même courant et vont donc commuter de façon indépendante les uns des autres. Toutefois, la diode de roue libre D verra à ses bornes un dv/dt équivalant à la somme des dv/dt des N MOSFETS connectés en série.

$$i_{C_f} = C_f \frac{d(\sum_{i=1}^N V_{DSi} - V_{DC})}{dt} = C_f \sum_{i=1}^N \frac{dV_{DSi}}{dt} \quad (2.14)$$

Prendre en compte la capacité C_f parasite de la diode introduit donc un couplage entre les dv/dt de chaque niveau comme l'a mis en exergue Panrui Wang [Wan+18a]. Les vitesses de commutations de l'ensemble des MOSFETS peuvent s'exprimer sous forme d'un système matriciel (2.15), en faisant intervenir les équations (2.2) à (2.10) et (2.11).

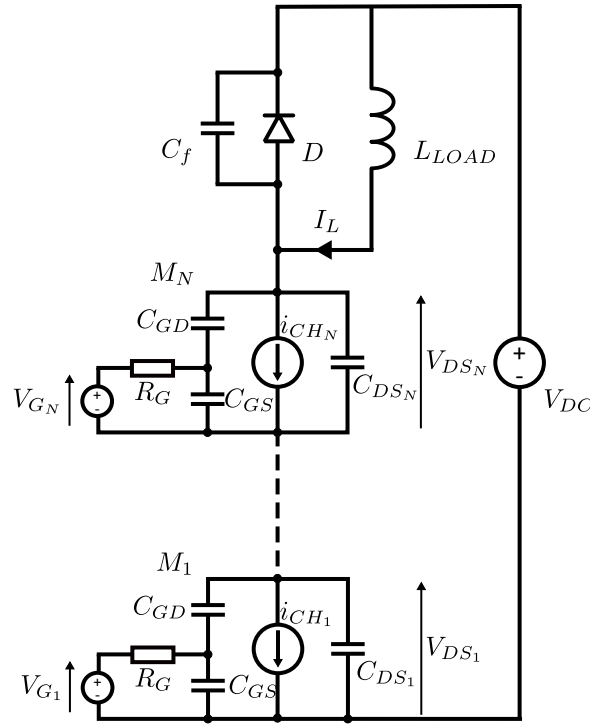


Figure 2.15: Circuit de commutation à N MOSFETS et une diode commutant une charge inductive

$$C_N \begin{bmatrix} \frac{dV_{DS1}}{dt} \\ \frac{dV_{DS2}}{dt} \\ \vdots \\ \frac{dV_{DSN}}{dt} \end{bmatrix} = \begin{bmatrix} c_1 + C_f & C_f & \cdots & C_f \\ C_f & c_2 + C_f & \cdots & C_f \\ \vdots & \vdots & \ddots & \vdots \\ C_f & C_f & \cdots & c_N + C_f \end{bmatrix} \begin{bmatrix} \frac{dV_{DS1}}{dt} \\ \frac{dV_{DS2}}{dt} \\ \vdots \\ \frac{dV_{DSN}}{dt} \end{bmatrix} = \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_N \end{bmatrix} \quad (2.15)$$

avec :

$$c_i = \begin{cases} C_{OSSi} + g_{fs} R_G C_{GD} & \text{si } V_{GSni} > V_{thi} \\ C_{OSSi} & \text{sinon.} \end{cases} \quad \text{ou } i \in \{1, \dots, N\}$$

$$i_i = I_L - g_{fs}(V_{Gneg} - V_{th})$$

2.2.1.4 Expression des tensions à l'ouverture V_{DSOFF} .

Il est possible d'aller au-delà de la théorie de Panrui Wang [Wan+18a] et d'établir les tensions après l'ouverture V_{DSOFF} aux bornes de tous les MOSFETS. Pour cela, nous allons estimer le temps que mettent les tensions à atteindre la tension totale en prenant en compte des retards à l'ouverture.

Les formes d'ondes de tension à l'ouverture sont représentées en Figure 2.16 dans le cas de trois MOSFETS. L'instant où le signal de commande de grille passe à 0 est nommé t_0 . Cet instant est la référence temporelle pour l'ensemble des MOSFETS et tous les délais seront relatifs à t_0 .

L'instant où la tension V_{DSn} commence à monter est nommé t_n , n étant l'indice du MOSFET. Enfin, l'instant où les tensions atteignent leurs valeurs finales (lorsque $\sum_1^N V_{DSn} = V_{DC}$) est nommé t_{top} . Les phases correspondant aux séquences d'ouverture sont nommées Φ_i avec $i \in \{1, \dots, N\}$. Dans le cas de commutations synchronisées $t_1 = t_2 = \dots = t_n$, toutes les phases ont une durée nulle, à l'exception de la phase Φ_N qui correspond à $[t_{top} - t_N]$.

La représentation du courant de décharge de la capacité parasite de la diode C_f nous permet de visualiser l'origine du couplage entre les dv/dt . En effet, plus il y a de MOSFETS en cours d'ouverture plus le dv/dt total aux bornes de C_f est important et moins il y a de courant pour la charge des MOSFETS.

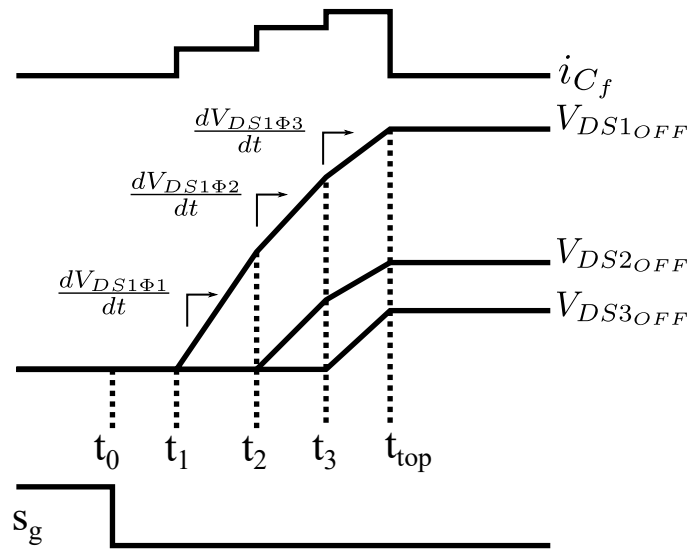


Figure 2.16: Représentation des tensions V_{DSi} lors de l'ouverture de 3 MOSFETS paramétriquement différents et désynchronisés. En complément, le courant de charge de C_f est représenté.

Le système d'équations (2.16) décrit le comportement représenté par la Figure 2.16. Il permet d'obtenir les valeurs des tensions V_{DSnOFF} .

$$\underbrace{\begin{bmatrix} \frac{dV_{DS1\Phi1}}{dt} & \frac{dV_{DS1\Phi2}}{dt} & \frac{dV_{DS1\Phi3}}{dt} \\ 0 & \frac{dV_{DS2\Phi2}}{dt} & \frac{dV_{DS2\Phi3}}{dt} \\ 0 & 0 & \frac{dV_{DS3\Phi3}}{dt} \end{bmatrix}}_{B_3} \begin{bmatrix} t_2 - t_1 \\ t_3 - t_2 \\ t_{top} - t_3 \end{bmatrix} = \begin{bmatrix} V_{DS1OFF} \\ V_{DS2OFF} \\ V_{DS3OFF} \end{bmatrix} \quad (2.16)$$

Cette façon de décrire la commutation donne de l'importance à l'ordre des commutations qui doit être respecté. Dans la réalité, ce n'est pas forcément le cas, mais il est toujours possible de réordonner la matrice. Les valeurs de $dV_{DSn\Phi i}/dt$ sont calculées phase par phase en utilisant le système d'équations (2.15) résolu pour les MOSFETS en situation de début d'ouverture. Le raisonnement peut être généralisé simplement à N MOSFETS (2.17).

$$\underbrace{\begin{bmatrix} \frac{dV_{DS1\Phi1}}{dt} & \frac{dV_{DS1\Phi2}}{dt} & \dots & \frac{dV_{DS1\Phi N}}{dt} \\ 0 & \frac{dV_{DS2\Phi2}}{dt} & \dots & \frac{dV_{DS2\Phi N}}{dt} \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & \frac{dV_{DSN\Phi N}}{dt} \end{bmatrix}}_{B_N} \begin{bmatrix} t_2 - t_1 \\ t_3 - t_2 \\ \vdots \\ t_{top} - t_N \end{bmatrix} = \begin{bmatrix} V_{DS1OFF} \\ V_{DS2OFF} \\ \vdots \\ V_{DSNOFF} \end{bmatrix} \quad (2.17)$$

Ce système d'équations n'est pas utilisable tel quel puisque t_{top} , qui correspond au temps pour lequel la somme des V_{DSi} est égale à V_{DC} , n'est pas une entrée du système, mais une variable. Une manipulation décrite en Annexes ?? permet d'obtenir le système d'équations (2.18) qui donne le vecteur des tensions V_{DSnOFF} (de taille N-1) en fonction du vecteur des retards relatifs au signal de commande. La dernière tension V_{DSNOFF} est obtenue par la relation : $V_{DC} - \sum_1^{N-1} V_{DSnOFF}$.

$$\begin{bmatrix} V_{DS1OFF} \\ \vdots \\ V_{DSN-1OFF} \end{bmatrix} = G - F \begin{bmatrix} t_1 \\ \vdots \\ t_N \end{bmatrix} \quad (2.18)$$

- G un vecteur de taille $N - 1$ donnant la valeur de *l'équilibrage naturel*.
- F une matrice de taille N lignes et $N - 1$ colonnes donnant *l'impact des délais* sur les tensions d'équilibre.

2.2.1.5 Étude du cas de 2 MOSFETs en série.

Le système d'équations (2.18) qui a été généralisé pour N MOSFET, perd en lisibilité. Revenir sur l'expression de l'équilibrage de deux MOSFETs en série en apportant quelques simplifications supplémentaires, permet de mieux appréhender les mécanismes avec une formulation plus légère. Supposons qu'il n'y a pas de capacité C_f , que les valeurs de g_{fs} et les valeurs de V_{Gneg} soient identiques pour les deux MOSFETs. Alors, l'équation (2.18) conduit aux formulations (2.19) en mode capacitif et (2.20) en mode saturé.

$$V_{DS1OFF} = \underbrace{V_{DC} \frac{C_{OSS2}}{C_{OSS1} + C_{OSS2}}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L}{C_{OSS1} + C_{OSS2}}}_{\text{Impact du délais}} \quad (2.19)$$

$$V_{DS1OFF} = \underbrace{V_{DC} \frac{C_2}{C_1 + C_2}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_1 + C_2}}_{\text{Impact du délais}} \quad (2.20)$$

$$\text{Avec: } C_1 = C_{OSS1} + g_{fs}R_G C_{GD1}$$

$$C_2 = C_{OSS2} + g_{fs}R_G C_{GD2}$$

L'équilibrage naturel est défini comme étant l'équilibrage des tensions lorsque les MOSFETS sont parfaitement synchronisés ($\Delta t = 0$). En analysant l'équation (2.19), on constate qu'il correspond au pont diviseur de tension capacitif formé par les capacités C_{OSS} . En passant en mode saturé, les capacités composant ce diviseur augmentent artificiellement avec la présence de la rétroaction de la capacité Miller. L'équilibrage naturel à faible et à fort courant peut-être alors très différent. D'autre part, ces équations ne font pas apparaître l'impact des capacités de mode commun qui ont un impact significatif sur l'équilibrage naturel et qui doivent donc être prises en compte.

L'impact du délai correspond tout simplement à la variation de la tension causée par la présence d'un retard temporel. Cet impact est directement lié aux valeurs de dv/dt des MOSFETS connectés en série et il est donc fonction du courant commuté. À courant nul, le demi-pont ne commutera pas avant que l'interrupteur supérieur ne change d'état. À faible courant, la vitesse de commutation sera faible, et ainsi l'impact du délai n'entraînera qu'une faible variation de tension. Enfin, plus le courant augmente, plus l'impact du délai sera significatif.

2.2.1.6 Exploitation numérique du modèle.

Les formulations analytiques devenant lourdes à manipuler pour N MOSFETS, nous avons décidé de résoudre les équations numériquement à l'aide de la bibliothèque de calculs « SciPy » en langage « Python ». Cela donne la possibilité de considérer toutes les variations paramétriques possibles et d'ajouter des éléments comme la présence de capacités parasites de mode commun. Le modèle ainsi implémenté numériquement permet d'évaluer l'impact de certains paramètres indépendamment. Un exemple en Figure 2.17 calculé avec les paramètres initiaux de la Table 2.1, présente le déséquilibre (donnés en % de la tension d'équilibre) obtenu dans le cas de variations paramétriques appliquées indépendamment les unes des autres. L'affichage des dv/dt ainsi que des délais dus à la décharge de C_{GS} , permet de mettre en évidence l'origine des déséquilibres. La dispersion paramétrique peut impacter les dv/dt ou les délais ou bien les deux. Par exemple, dans le cas d'une dispersion de la tension de seuil V_{th} , le délai de décharge est impacté (2.6) et la vitesse de commutation également, même faiblement, à partir un certain niveau de courant, comme confirmée par l'expression du dv/dt (2.12).

Table 2.1: Paramètres utilisés dans l'exemple de 2 MOSFETS en série

V_{th}	g_{fs}	V_{Gpos}	V_{Gneg}	R_G	C_{GS}	C_{GD}	C_{DS}	C_{CM}
5.4 V	21 S	-5 V	20 V	13.3 Ω	3.7 nF	16.0 pF	183 pF	5 pF

On observe sur la Figure 2.17 qu'une différence de V_{th} a un impact important sur le délai de décharge de la grille et un impact plus faible sur le dv/dt . Une différence de 0.2 V crée un déséquilibre de 3 à 6% dans ces conditions. Un écart de valeur de C_{OSS} entre les

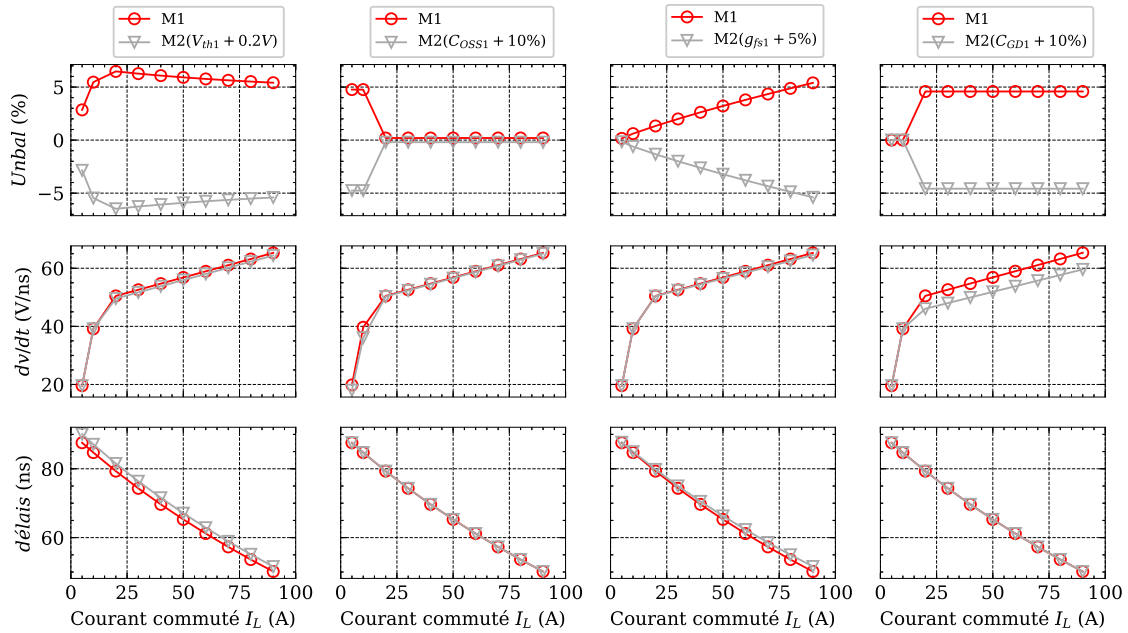


Figure 2.17: Équilibrage des tensions dans le cas de variations paramétriques indépendantes. Résultats obtenus par exploitation numérique des formulations analytiques dans le cas de 2 MOSFETs commutant une tension $V_{DC} = 2 \text{ kV}$.

MOSFETs augmente significativement le déséquilibre à faible courant, lors d'une ouverture en mode capacitif (équation 2.19), mais plus faiblement lors d'une ouverture en mode saturé. Une différence sur la valeur de transconductance g_{fs} augmentera l'écart entre les délais de décharge de la grille entraînant une dépendance du déséquilibre avec la valeur du courant. Un écart de valeur de C_{GD} impacte fortement le dv/dt lors d'une ouverture en mode saturé particulièrement à basse tension où la valeur C_{GD0} est beaucoup plus grande que C_{GD} (équation 2.6).

Par la suite, le modèle sera étendu à six MOSFETs et comparé aux résultats expérimentaux, ce qui permettra de valider sa pertinence à évaluer les déséquilibres.

2.2.2 Simulations numériques temporelles : LTspice

2.2.2.1 Objectifs et limites

La modélisation analytique présente des limites même quand elle est supportée par le calcul numérique. L'exercice devient de plus en plus complexe lorsqu'on cherche à modéliser beaucoup d'éléments parasites. Pour obtenir des résultats pertinents, l'utilisation d'outils de simulation de circuits est la solution la plus rapide en matière de conception. Néanmoins, ces outils, tels que LTspice, augmentent significativement les temps de calcul et ne permettent pas de simuler de nombreuses commutations. Des logiciels plus orientés vers des simulations de type système, comme les outils PLECS ou PSIM, bien que plus rapides, ne sont pas adaptés puisqu'ils ne modélisent pas le comportement physique des commutations, rendant l'estimation de l'équilibrage impossible.

L'utilisation de LTspice est un choix arbitraire et tous les autres logiciels basés sur le moteur SPICE peuvent être exploités de la même manière. Le moteur SPICE est un logiciel de simulation de circuit électronique. Créée à l'université de Berkeley dans les années 70 ; distribué sous licence libre, il est devenu un standard. LTspice est un logiciel développé par *Linear Technology* (aujourd'hui *Analog Devices*) utilisant SPICE avec une interface graphique de dessin de circuit. Par rapport à la version de Berkeley, le solveur a été amélioré avec, en particulier, une gestion des pas de temps variables. En contrepartie la modélisation de boucles de contrôle discrètes devient plus délicate.

2.2.2.2 Modèle de MOSFET de puissance

Le logiciel SPICE intègre des modèles de transistors avec différents niveaux de complexité, définis à partir de paramètres géométriques des puces. Le descriptif du MOSFET de niveau 1 correspondant au modèle de Shichman-Hodges [SH68], l'équation du courant du canal (2.21) décrit les trois régimes de conduction d'un MOSFET : bloqué, linéaire et saturé.

$$I_D = \begin{cases} 0 & \text{si } V_{GS} < V_{th} \\ K_p \left((V_{GS} - V_{th}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right) & \text{si } V_{DS} \leq V_{GS} - V_{th} \\ \frac{1}{2} K_p (V_{GS} - V_{th})^2 & \text{si } V_{DS} > V_{GS} - V_{th} \end{cases} \quad (2.21)$$

Le comportement en régime linéaire est rajouté pour des raisons de stabilité et convergences de simulation. Il permet aussi d'obtenir des résultats plus pertinents sur les allures des commutations et, par la même occasion, sur l'évaluation des pertes.

Modélisation des capacités parasites. Jusqu'à présent, les capacités parasites étaient considérées constantes pour simplifier la résolution des équations. Cependant, considérer la variation capacitive en fonction de la tension permet d'améliorer la précision des résultats.

Pour modéliser les capacités C_{GD} , C_{DS} l'expression la plus couramment utilisée et la plus simple est donnée par l'équation (2.22).

$$C = \frac{C_0}{\left(1 + \frac{V}{V_{bi}}\right)^M} \quad (2.22)$$

- $V \in [0, \infty]$: Tension aux bornes de la capacité
- $C_0 \in [0, \infty]$: Capacité à zéro Volt
- $V_{bi} \in [0, \infty]$: Potentiel de jonction p-n
- $M \in [0, 1]$: Coefficient

Avec pour objectif d'atteindre des estimations d'équilibrage plus précises, des modèles de MOSFETS tels que celui proposé par l'université de Naples [Ric+18] ou bien celui de

l'université de Pékin Jiaotong [Li+19] ont été expérimentés. Les résultats obtenus ne sont pas significativement meilleurs et ne valent pas ce niveau de complexité. Malgré tout, si une estimation plus précise des pertes est nécessaire, alors ce type de modèle avancé présente un intérêt certain. Le modèle [Ric+18] modélisant le comportement hors de la zone de fonctionnement sûre (SOA) peut être aussi utilisé dans des cas de défaillances: surcourant ou surtension.

2.2.2.3 Identification des paramètres de modèles

L'identification des paramètres des modèles de MOSFETS est plus ou moins complexe suivant le nombre de paramètres. Dans le cas le plus simple (2.21), on cherche quatre paramètres ($K_p, V_{th}, \lambda, R_{drift}$) permettant au modèle de se comporter électriquement au plus près de la réalité. Dans le cas du modèle [Ric+18], il s'agit de 13 paramètres, rendant la tâche bien plus laborieuse. Les mesures peuvent provenir soit de la documentation technique (alors il n'est pas possible de modéliser la dispersion paramétrique) soit de caractérisations statiques.

Dans la littérature, on retrouve plusieurs techniques et outils qui permettent l'identification de paramètres [McN+07][Sua+16][Jou+18] et [Tso+16]. La méthodologie utilisée dans le cadre de cette thèse a été présentée à la conférence PCIM [MAT+21] et a permis de mettre en œuvre un programme dédié à cette tâche : Figure 2.18. L'objectif est dans tous les cas de trouver les paramètres des modèles permettant d'obtenir les courbes $I_d - V_{DS}$ et $I_d - V_{GS}$ les plus proches de la réalité. Une possibilité est d'obtenir ces courbes grâce au logiciel de simulation LTspice (ou autre), l'avantage étant que tous les éléments parasites peuvent alors être pris en compte. Néanmoins, dès lors qu'il est nécessaire de lancer la simulation pour chaque lot de paramètres, le temps de calcul devient trop important. Une façon de contourner le problème consiste à résoudre le système d'équations du modèle en le codant avec un langage de programmation de haut niveau de type « Python ». Le temps de simulation est réduit puisqu'aucun solveur temporel n'est utilisé pour résoudre un système d'équations statiques. Ainsi, ce dernier peut être résolu par l'algorithme d'optimisation de nombreuses fois dans un intervalle de temps raisonnable, soit environ 1 minute.

En pratique, la fonction $fsolve()$ de la bibliothèque SciPy de Python est utilisée pour résoudre le système d'équations (2.23). La résistance de drift R_D , dépendante de la tension V_{GS} et de la tension à ses bornes V_{drift} est ajoutée en série avec la source de courant I_{CH} .

$$\begin{cases} 0 = R_D(V_{GS}, V_{drift}) \cdot i_D - V_{drift} \\ 0 = I_{MOS} \cdot (V_{GS}, V_{DS}) - i_D \end{cases} \quad \text{où } V_{drift} = V_{DS} - V_{I_{CH}} \quad (2.23)$$

L'objectif est d'obtenir I_d pour chaque tension V_{GS} et V_{DS} . Une fois que le système d'équations correspondant au modèle est implémenté, l'algorithme d'optimisation résout le système à chaque itération, avec de nouveaux paramètres. La fonction de coût est basée

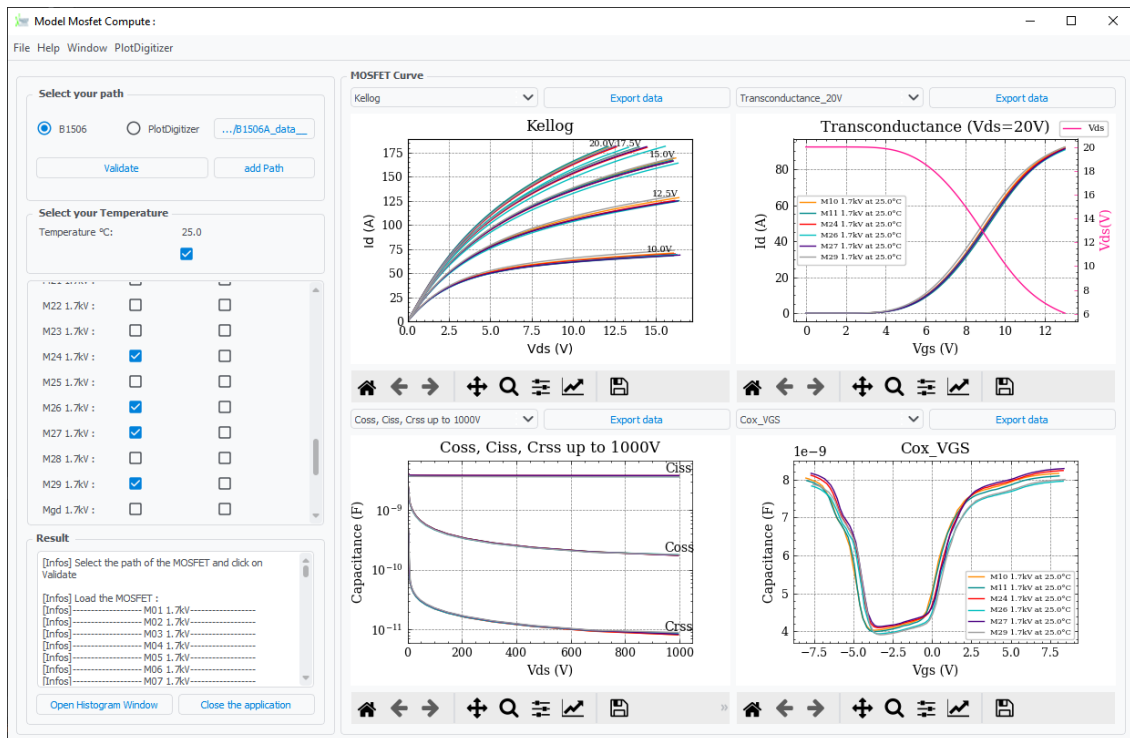


Figure 2.18: Aperçu de l'interface graphique de l'outil que nous avons développé pour identifier les paramètres de modèles sur de multiples mesures correspondant à de multiples MOSFETs.

sur la somme des erreurs au carré pondérées. Ces erreurs sont calculées comme la valeur moyenne absolue des écarts entre les résultats issus du modèle et issus des mesures. Différentes stratégies d'optimisations sont évaluées simplement en profitant de la bibliothèque Python d'interface aux optimisations non-linéaires LMFIT. L'algorithme Nelder-Mead simple est utilisé, car il a démontré son efficacité pour un nombre de paramètres important. Dans ce dernier cas, le travail peut être divisé en groupes de paramètres relativement indépendants.

Une fois les paramètres identifiés pour un composant, une validation du modèle est réalisée en mettant en place un circuit « double pulses » et son équivalent en simulation.

2.2.2.4 Modélisation du circuit

Un modèle intégrant de nombreux éléments parasites ne sera utile que dans la mesure où il est possible d'identifier ces éléments. Comme vu précédemment, les MOSFETs sont caractérisés et modélisés indépendamment. Il est essentiel de disposer d'un modèle de conduction de la diode avec sa capacité parasite intrinsèque. La modélisation des condensateurs du bus et de l'inductance de charge n'est pas à négliger. Quant aux inductances des connexions constituant l'inductance parasite de boucle, elles peuvent être difficiles à déterminer, mais il convient cependant de les estimer. La modélisation du banc de test présentée dans la partie 2.2.3 est donnée comme exemple sur la Figure 2.19.

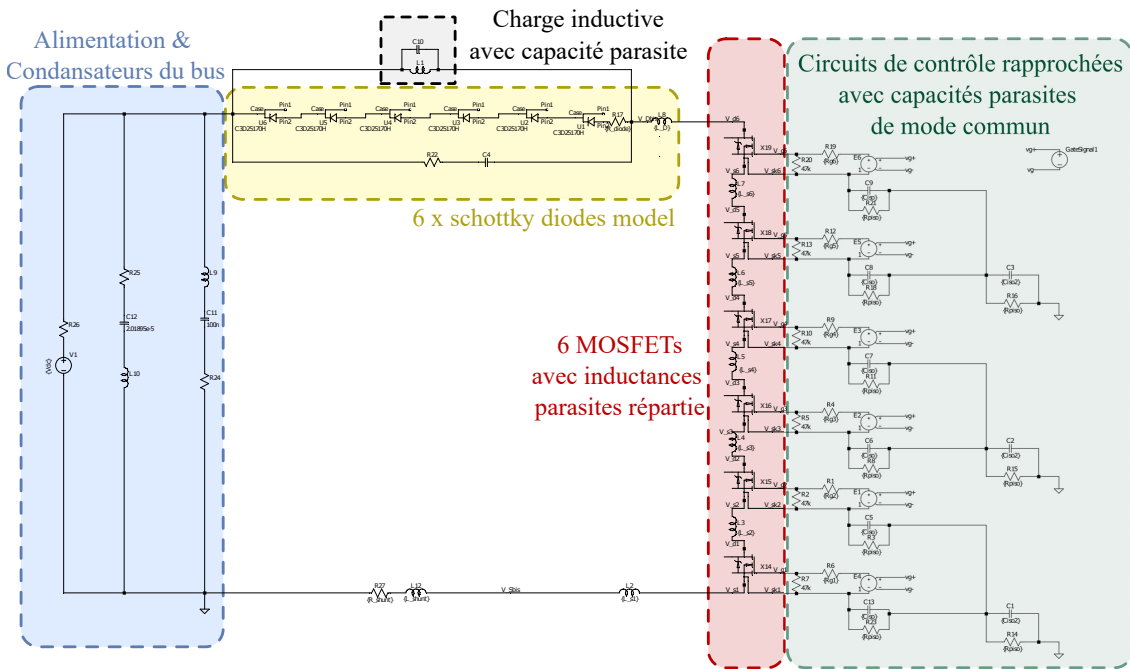


Figure 2.19: Modèle du circuit complet de 6 MOSFETs en série comme exemple de modèle intégrant un grand nombre d'éléments parasites.

Modélisation de la diode. Les modèles de conduction de diodes sont assez répandus et sont les mêmes pour le Silicium ou le Carbure de Silicium. Une bonne corrélation entre le modèle électrique et les caractéristiques de conduction est possible. Quant à la modélisation de la capacité parasite intrinsèque variable due à la zone de déplétion, elle est couramment modélisée avec l'équation (2.22). Dans le cas d'une diode Schottky, cette représentation est suffisante, mais pour une diode PN ou PiN, le comportement de recouvrement inverse est difficile à modéliser correctement. Des modèles tels que celui de [ES07] permettent d'obtenir un comportement approché, mais doivent être ajustés pour chaque niveau de courant et di/dt .

Modélisation du bus : Le bus englobe la source de tension continue, les condensateurs de bus et de découplage ainsi que les conducteurs pouvant former un effet bus-bar. L'effet bus-bar consiste à superposer des conducteurs laminés aller et retour, afin de réduire l'inductance de boucle et améliorer les performances en commutation [CC+02]. La réalisation de ce genre de bus-bar laminé haute tension représente un challenge technologique d'un point de vue diélectrique (> 10 kV) [Eni+15]. Dans nos travaux, aucun bus-bar laminé n'est utilisé, un condensateur de découplage est placé au plus proche de la cellule de commutation pour former la boucle la plus petite possible en respectant les distances d'isolations. Ce condensateur de découplage doit avoir une faible inductance série et il présente donc une valeur de capacité relativement faible. Les condensateurs de bus ont une capacité beaucoup plus importante, ils limitent la variation de tension du bus. La caractérisation expérimentale des condensateurs est essentielle. Elle s'effectue à l'aide d'un impédancemètre. Nous avons utilisé un modèle RLC série, mais un modèle d'ordre

supérieur peut avoir un intérêt pour la modélisation de phénomènes hautes fréquences et l'étude du comportement électromagnétique.

Modélisation de la charge : dans le cas d'un banc de caractérisation la charge est une inductance à air optimisée pour réduire les éléments parasites et obtenir un comportement inductif en minimisant les effets capacitifs. La modélisation est alors très pertinente et le comportement de la commutation est peu impacté par la charge. Il convient toutefois de noter que, dans une application réelle d'un convertisseur, la charge inductive est optimisée pour être compacte, légère et pour dissiper les pertes, mais pas pour avoir un comportement idéal. Une modélisation plus complète est alors nécessaire, prenant aussi en compte les effets de saturation des noyaux.

Modélisation des inductances parasites : Les inductances parasites ont un impact significatif sur le comportement des commutations. Leur présence a pour effet d'augmenter les surtensions à l'ouverture, et de ralentir les di/dt à la fermeture. Les inductances parasites situées dans le circuit de grille peuvent aboutir à des instabilités de commande. L'inductance de source crée un couplage entre le circuit de puissance et de commande de grille menant au ralentissement des commutations, d'où l'utilité de la source kelvin sur les packages de MOSFETs SiC. La modélisation de ces inductances parasites peut s'avérer complexe, mais est indispensable pour obtenir des résultats pertinents. Pour cela, des outils d'extractions d'éléments parasites de circuit tels que (ANSIS Q3D, FastHenry&FastCap) sont largement utilisés pour évaluer ces parasites pendant les phases de conception et de validation.

2.2.2.5 Résultats de simulations temporelles

La simulation des commutations sur LTspice nous permet d'obtenir une estimation de l'équilibrage en fonction des variations de certains paramètres des MOSFETs préalablement caractérisés. La Figure 2.20 trace les formes d'ondes obtenues en commutant 100 A sous 4.2 kV_{DC}. Un dv/dt de l'ordre de 70 V/ns par MOSFET est estimé. La précision du modèle doit être validée en confrontant les résultats calculés aux résultats expérimentaux. Selon l'objectif, le modèle de mosfet le plus simple peut être satisfaisant et assez précis, mais pour obtenir des résultats encore plus précis, il est intéressant de caractériser tous les éléments parasites influant sur l'équilibrage.

2.2.3 Prototype : six MOSFETs en séries

2.2.3.1 Description du banc de test haute tension

Objectif du prototype : Le but est de réaliser un interrupteur ayant une tenue en tension de l'ordre de 10 kV pour un banc de caractérisation en commutation en configuration « double pulses ». Pour cette raison, un interrupteur à base de six MOSFETs connectés en série a été développé.

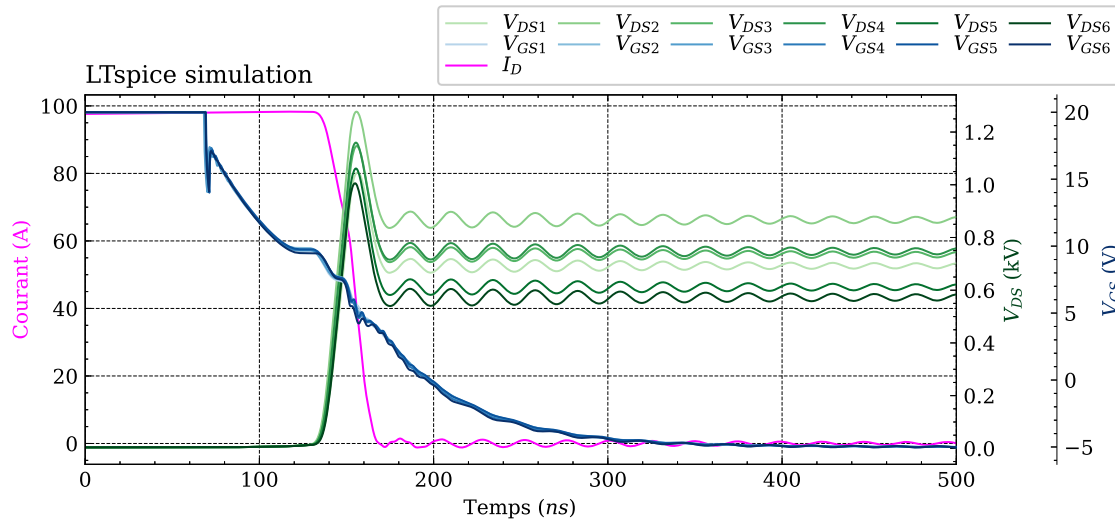


Figure 2.20: Résultat de la simulation LTspice de 6 MOSFETS. Ouverture à $I_L = 100$ A sous $V_{DC} = 4.2$ kV.

La caractérisation « double pulses » permet de mesurer les performances en commutation d'une cellule de commutation à l'ouverture et à la fermeture avec un niveau de courant inchangé [Gan+17]. Pour cela, deux impulsions sont générées. Le test se déroule en quatre phases :

1. La phase de charge : L'interrupteur sous test est fermé pendant un certain temps, et le courant monte linéairement dans l'inductance. Le réglage du temps de fermeture permet d'ajuster la valeur du courant au moment de l'ouverture.
2. La phase de repos : L'interrupteur sous test est commandé à l'ouverture, un court instant. Pendant ce temps d'ouverture, le courant dans l'inductance circule à travers la diode de roue libre et reste quasiment constant.
3. La phase de conduction : L'interrupteur sous test est de nouveau commandé à la fermeture, faisant conduire le courant préchargé dans l'inductance.
4. La phase de décharge : L'interrupteur sous test est finalement commandé à l'ouverture, l'inductance se décharge progressivement.

Les commutations qui nous intéressent sont celles qui surviennent au début des phases 2 et 3.

Installation haute tension. Pour la réalisation de ces tests, une cage de Faraday spécifiquement dédiée à la moyenne tension est disponible, qui apporte la sécurité nécessaire d'un point de vue des niveaux de tensions et des énergies stockées dans les divers condensateurs. Elle garantit également un blindage vis-à-vis des perturbations électromagnétiques émises par le matériel en test, et est capable de fonctionner jusqu'à 20 kV. Cette tension est fournie par une alimentation Tektronix qui est commandée, ainsi que tous les organes de sécurité, depuis l'extérieur de la zone de moyenne tension, de façon isolée.

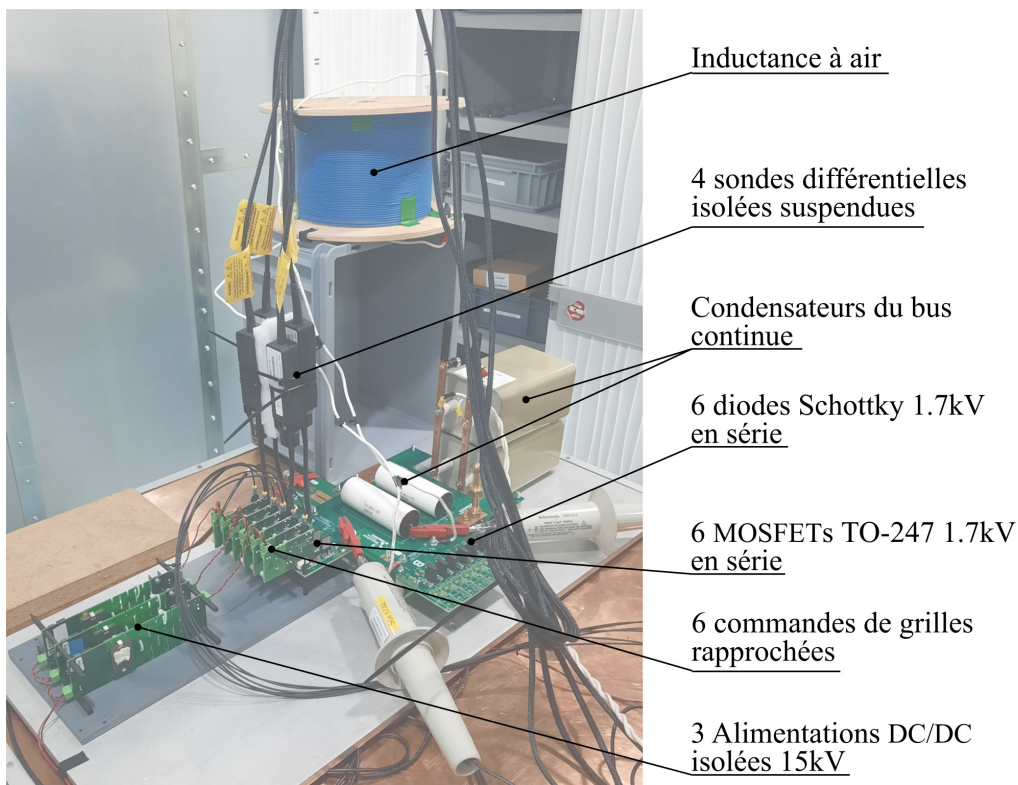


Figure 2.21: Banc de test haute tension.

Dans la cage est disposée une platine de tests modulaire capable de faire, entre autres, des tests de « double pulses » (Figure 2.21). Il s'agit d'un circuit imprimé (PCB : printed circuit board) connectant les capacités de bus aux semi-conducteurs via des connecteurs à vis. On peut câbler : un interrupteur (ici la mise en série des six MOSFETs), une diode de roue libre (ici une mise en série de diodes Schottky) ainsi qu'un shunt de mesure. Les tests sont réalisés jusqu'à 10 kV, la limite étant imposée par les condensateurs de bus (film polypropylène).

2.2.3.2 Prototypage d'interrupteur HV : six MOSFETs

Le prototype est constitué d'une mise en série de six MOSFETs C2M0045170P de calibre 1.7 kV avec une résistance à l'état passant de 45 mΩ du fabricant Wolfspeed (Figure 2.22). Ces composants (après caractérisation) présentent une tension d'avalanche supérieure à 2.2 kV, ce qui permet de fonctionner jusqu'à 10 kV_{DC} sur l'ensemble de la mise en série de façon raisonnable, dans des conditions de tests de laboratoire. L'assemblage est réalisé sur un circuit PCB avec les composants de commande de grilles placés au plus près des MOSFETs sur le même PCB. Ce prototype a été réalisé dans l'optique de tester des solutions d'équilibrage passif sans qu'aucun soin particulier n'ait été apporté pour assurer une solution d'équilibrage naturelle.

Chaque MOSFET est commandé par une carte de contrôle rapprochée qui est alimentée via de petits convertisseurs DC/DC intégrés isolés pour un fonctionnement continu à

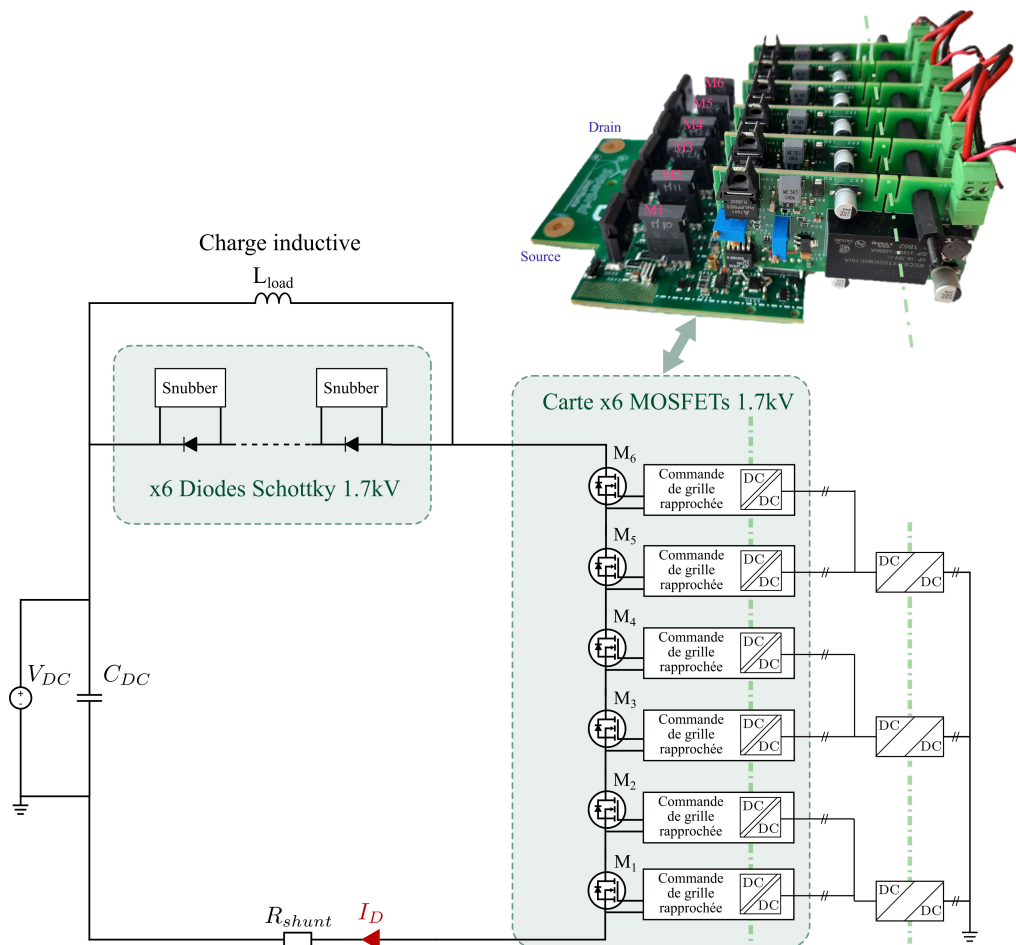


Figure 2.22: Schématisation du circuit « doubles pulses » ainsi que la photographie de l'ensemble des 6 MOSFETs connectés en série avec leurs gate-drivers.

5 kV_{DC}. Afin de fonctionner à plus haute tension, des convertisseurs DC/DC isolés jusqu'à 15 kV_{DC} alimentent deux par deux les cartes de contrôle rapproché (Figure 2.22).

Méthodologie de mesures. Le nombre de signaux nécessaires pour évaluer l'équilibrage est trop important pour être effectué en une seule fois. L'objectif est de mesurer toutes les tensions V_{DS} et V_{GS} ainsi que le courant I_D . En utilisant quatre sondes différentielles isolées (*Isovu TIVP02* de Tektronix, 200 MHz de bande passante et ± 60 kV d'isolation de mode commun), les mesures sont réalisées en trois étapes et en relevant deux niveaux à la fois. De la sorte, tous les signaux sont obtenus et superposés en les synchronisant avec le signal de déclenchement reçu par l'oscilloscope.

2.2.3.3 Exploitation des résultats et remarques

Les mesures temporelles nous montrent immédiatement que les tensions V_{DS} ne sont pas équilibrées lors de l'ouverture des MOSFETs. La Figure 2.23 présente les résultats lors d'une commutation à 100 A.

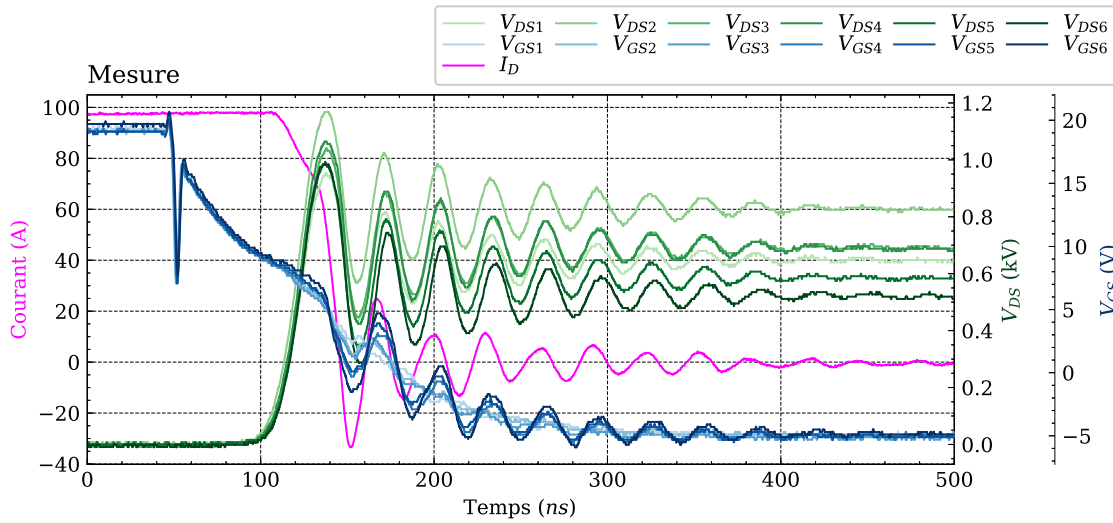


Figure 2.23: Ouverture et fermeture des 6 MOSFETs à 100 A

Quantification du déséquilibre. La valeur de tension V_{DSnOFF} est obtenue en faisant la moyenne sur une fenêtre temporelle de 100 ns, 400 ns après la commutation. Cette valeur est exprimée en pourcentage (2.24) pour pouvoir être comparée d'un test à un autre. La valeur de V_{DC} est issue de la mesure.

$$UnBal_n(\%) = \frac{N \cdot V_{DSnOFF} - V_{DC}}{V_{DC}} 100 \quad (2.24)$$

Estimation des délais. Les signaux de grilles sont synchronisés manuellement avec une précision de l'ordre de la nanoseconde pour compenser les différences de dispersion temporelle. Les délais peuvent être estimés grâce aux mesures. Il est possible de distinguer le délai de commande des gate-drivers du délai de la phase de décharge de C_{GS} . En effet, le délai de commande est estimé en mesurant le temps entre le front du signal de synchronisation et le premier pic de tension mesuré sur les formes d'ondes V_{GS} . Cette estimation donne un résultat assez précis grâce à la raideur des fronts, les sondes étant préalablement synchronisées. Afin d'estimer le temps de décharge de C_{gs} nous prenons comme référence le temps mesuré entre le signal de synchronisation et l'instant où la tension V_{DS} dépasse 50 V. Cette valeur est choisie arbitrairement et suffisamment haute pour que les mesures soient reproductibles, compte tenu de la résolution et du bruit de mesure.

Estimation des dv/dt . Les dv/dt sont estimés en calculant la dérivée sur l'ensemble des points de mesures préalablement filtrés. La valeur retenue est alors la valeur maximum avant le début des oscillations. Les données extraites des mesures peuvent être compilées sous forme de tableau (Table 2.2).

Visualisation des résultats pour l'analyse de l'équilibrage. L'affichage brut des multiples mesures temporelles n'est pas pratique pour analyser les mécanismes d'équilibrage. La Figure 2.24 est une proposition de mise en forme des données dans cet objectif. Celle-ci nous permet d'apprécier rapidement l'évolution du déséquilibre en fonction du courant

Table 2.2: Équilibrage des tensions ainsi que les vitesses de commutation, les délais de propagation et de décharge de grille à 100 A

	V_{dsOFF} (V)	$UnBal$ (%)	dv/dt (V/ns)	Δt (ns)	t_{GS} (ns)
1 : M10	648	-1,8	45	0,7	208,3
2 : M11	824	24.7	54	0,4	204,9
3 : M24	695	5.3	48	0,0	207,3
4 : M26	687	4.1	53	0,7	206,7
5 : M27	590	-10.7	50	0,6	207,9
6 : M29	519	-21.5	52	1,0	208,6
max	824	24.7	54	1,0	208,6

commuté en associant les symptômes de différences des dv/dt et de retards. Ici, les retards correspondent à la somme du délai de commande des gate-drivers et du délai de la phase de décharge de C_{GS} ; ils sont affichés relativement au MOSFET commutant en premier.

2.2.3.4 Remarques sur les mesures

Le déséquilibre observé sur ces mesures est significatif : près de 30%. L'évolution du déséquilibre en fonction du courant laisse apparaître des phénomènes différents qui se compensent plus ou moins. Aux faibles courants, les dv/dt sont relativement faibles (de 10 à 20 V/ns) et l'ordre du déséquilibre est directement lié aux différences de dv/dt entre chaque MOSFET. Les retards affectent peu l'équilibrage. Aux forts courants, les dv/dt augmentent pour atteindre 40 à 50 V/ns par MOSFETS. Les tendances s'inversent faisant correspondre l'ordre du déséquilibre avec l'ordre de commutation (c.-à-d. les retards) et non plus avec les dv/dt . Les différences de retards de décharge de C_{GS} sont de l'ordre de la nanoseconde à la dizaine de nanosecondes. Les retards, ici observés, s'expliquent par des différences significatives de V_{th} entre les composants utilisés. Cette hypothèse est confirmée par la caractérisation préalable des MOSFETS et par l'estimation théorique des délais de décharge des capacités C_{GS} .

L'impact des retards varie en fonction du dv/dt qui, lui-même, augmente avec le courant, tel que décrit par le modèle analytique. Aux faibles courants, l'équilibrage est seulement défini par l'équilibrage naturel et les délais n'ont pas ou peu d'impact. Ce déséquilibre naturel s'explique principalement par la circulation du courant de mode commun à travers les alimentations de gate-drivers, cette hypothèse sera développée par la suite dans le paragraphe 2.3.2. Aux forts courants, l'impact des délais est prédominant, les vitesses dv/dt sont multipliées par cinq environ. Malgré l'augmentation des dv/dt et par la même occasion des courants de mode commun, les différences de dv/dt restent quasiment identiques. Cela s'explique par le fait que la proportion du courant de mode commun par rapport au courant commuté n'augmente pas forcément avec le courant, cette hypothèse sera développée dans le paragraphe 2.3.2.

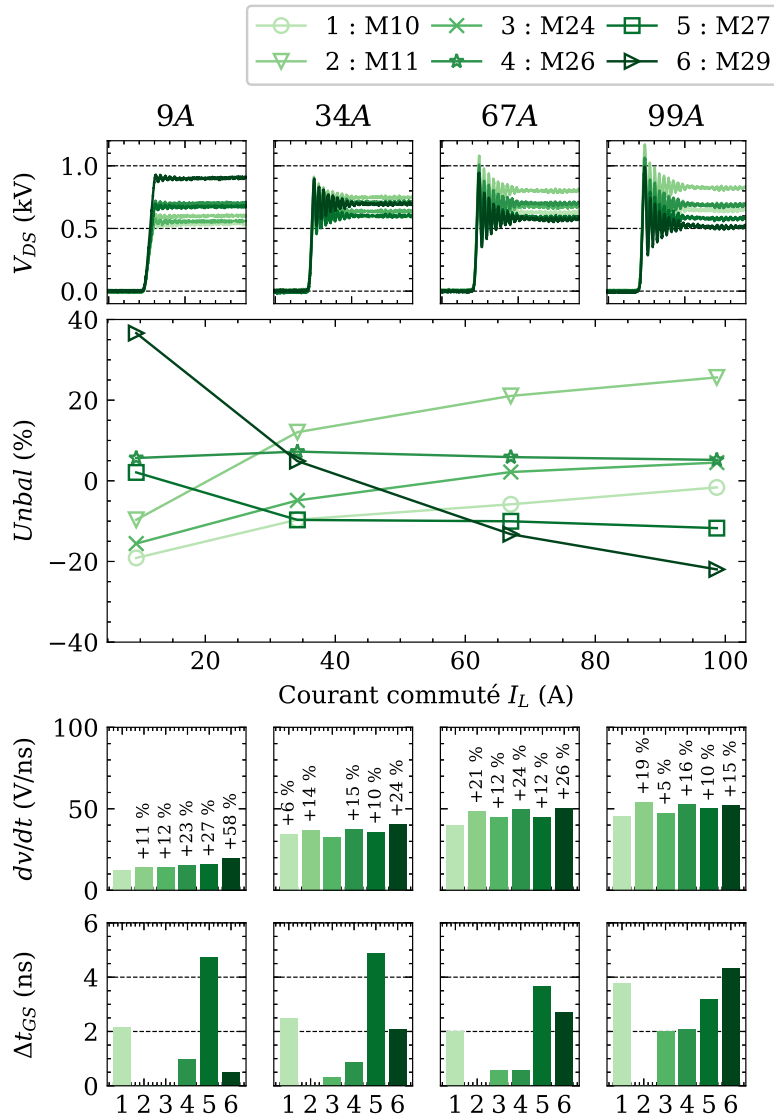


Figure 2.24: Évolution du déséquilibre en fonction du courant commuté de six MOSFETS connectés en série sans solution d'équilibrage. Les retards sont affichés relativement au MOSFET commutant en premier.

2.2.4 Comparaison des résultats des trois outils d'analyses

Les trois outils sont comparés pour valider la pertinence des modèles mis en œuvre. Les paramètres statiques et capacitifs des MOSFETs sont issus de la caractérisation individuelle de chacun d'entre eux (Table 2.3). De plus, les délais des signaux mesurés sont utilisés dans les simulations afin de reproduire exactement les mêmes conditions d'excitation. La comparaison des résultats de la modélisation analytique, de la simulation LTspice ainsi que des mesures sont présentés en Figure 2.25.

Table 2.3: Paramètres des 6 MOSFETs, dans l'ordre de connexion, issus de la caractérisation des MOSFETs et utilisés pour les simulations. $V_{th(quad)}$ et K_p sont utilisés dans LTspice et $V_{th(lin)}$ et g_{fs} sont utilisés dans les formulations analytiques.

	$V_{th(quad)}(V)$	$K_p(A/V^2)$	$V_{th(lin)}(V)$	$g_{fs}(A/V)$	$C_{GS}(nF)$	$C_{GD}(pF)$	$C_{GD0}(nF)$	$C_{Ds}(pF)$	$C_{CM}(pF)$	Emplacement
M10	3.498	3.228	5.63	14.5	3.73	8.11	1.5	172	10	n°1
M11	3.558	3.077	5.66	13.7	3.68	8.3	1.5	172	10	n°2
M24	3.476	3.170	5.62	14.3	3.79	8.1	1.5	172	10	n°3
M26	3.503	3.154	5.64	14.2	3.65	8.6	1.5	172	10	n°4
M27	3.510	3.123	5.64	14.0	3.81	8.3	1.5	172	10	n°5
M29	3.369	3.274	5.57	15.2	3.62	8.9	1.5	172	0	n°6
N11	3.900	4.010	5.88	15.2	3.87	9.9	1.5	193	0	(remplaçant)

Globalement, l'évaluation des déséquilibres par les deux méthodes de calcul donne des tendances qui vont dans le même sens que les mesures. Les vitesses de commutations sont surévaluées à cause de certains éléments du circuit qui ne sont pas pris en compte. L'évaluation des délais de décharge des grilles est correcte, mais cette même évaluation à partir des mesures présente une incertitude de l'ordre de la nanoseconde, valeur trop importante au regard des délais d'équilibrage, qui n'autorise pas une validation précise des modèles.

Aux faibles courants, l'évaluation du déséquilibre par le modèle analytique (a) et par la simulation (b) donne des résultats semblables à la mesure. L'estimation des dv/dt est proche de la mesure même si les vitesses sont toujours plus rapides en simulation. Le déséquilibre s'explique principalement par les capacités de mode commun C_{CM} dues à la présence des alimentations des commandes rapprochées.

Aux forts courants, l'évaluation du déséquilibre par la modélisation analytique (a) donne une bonne tendance, mais est peu précise, la simulation LTspice (b) l'est un peu plus. L'écart par rapport à la mesure s'explique par une surévaluation des vitesses de commutations dans le cas de la modélisation analytique, où les dv/dt sont environ deux fois plus importants. Sur la simulation LTspice, les vitesses de commutations sont plus faibles, essentiellement pour deux raisons : la première est la modélisation des snubbers installés sur les diodes en série pour assurer leur équilibrage ; lors de la fermeture des

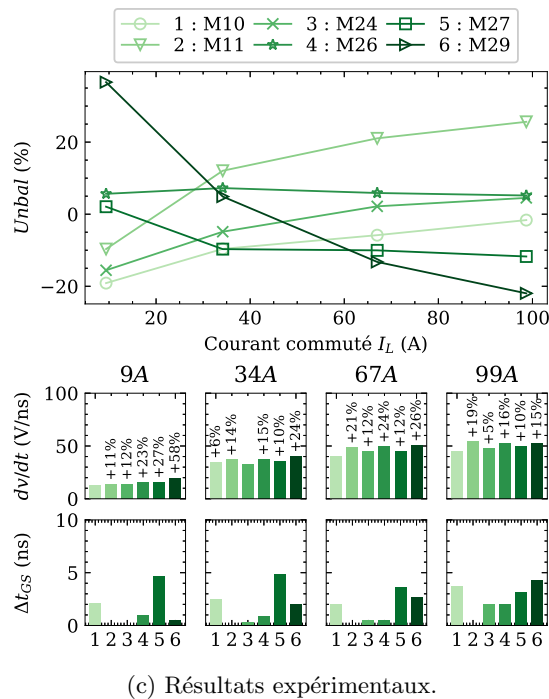
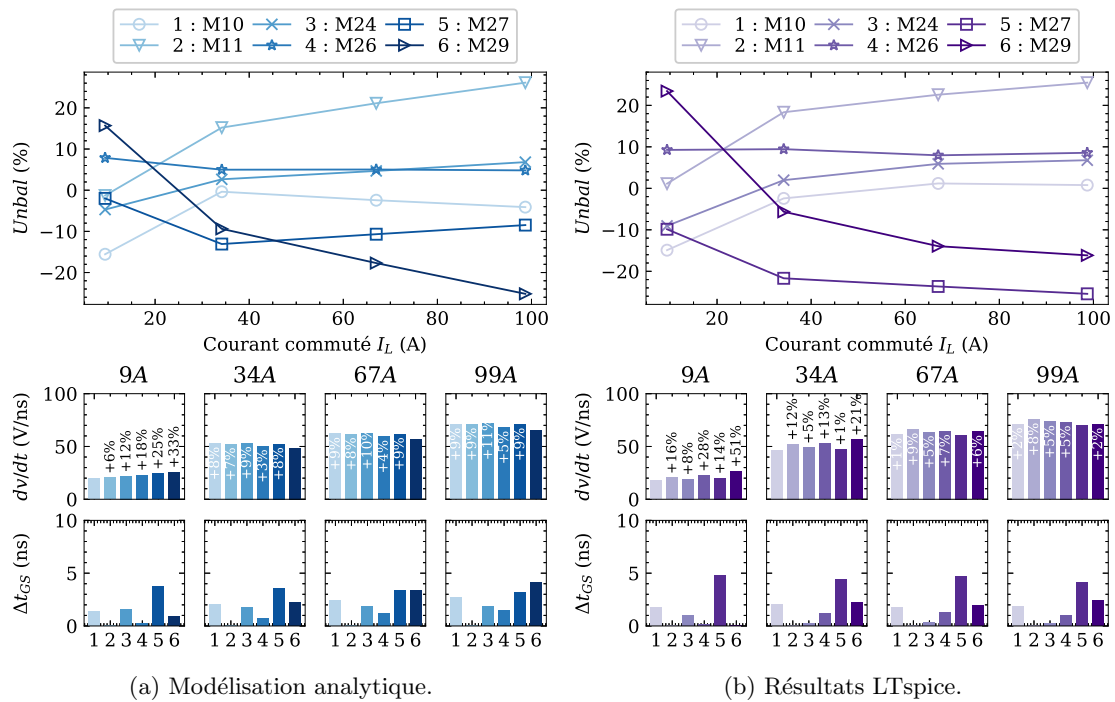


Figure 2.25: Comparaison des résultats d'équilibrage de six MOSFETs en série obtenus avec le modèle analytique (a), la simulation LTspice (b), les mesures expérimentales (c).

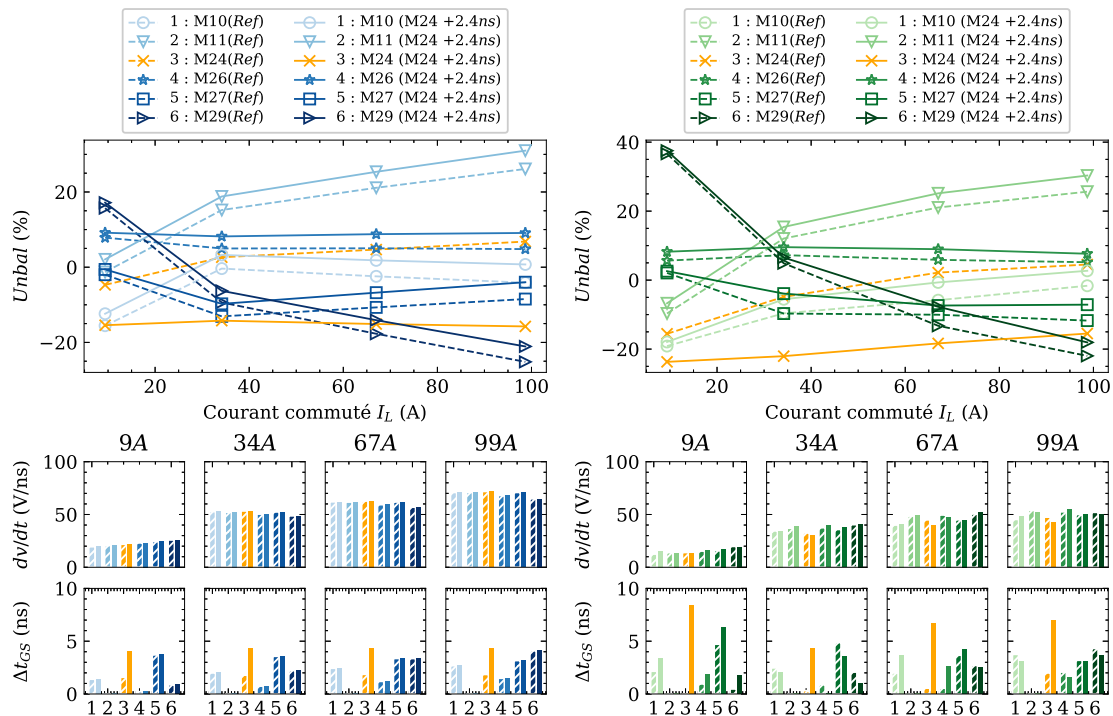
MOSFETS, ce snubber se décharge et limite un peu le dv/dt , la dynamique de décharge est alors imposée par les valeurs de R et C. La seconde raison est la modélisation du couplage « puissance-commande » par l'inductance de source du boîtier discret (TO-247-4) des MOSFETS ; même avec un boîtier possédant une source kelvin, un couplage inductif semble introduire une tension dans la boucle de commande de grille qui est l'image du di/dt . Cette dernière hypothèse reste à confirmer.

2.3 Analyse et quantification des causes de déséquilibre

Dans cette partie, les résultats expérimentaux du prototype de six MOSFETS en série sont exploités pour évaluer l'impact de variations paramétriques. Trois variations sont évaluées : l'impact d'un délai sur l'un des signaux de grilles, la présence d'un dissipateur commun et finalement le changement d'un MOSFET.

2.3.1 Impacts des retards de la commande de grille

Appliquer une variation sur les délais des signaux de commandes de grille est simple, puisque chaque délai peut être ajusté manuellement. Un délai de 2.4 ns est appliqué arbitrairement sur le signal du MOSFET 3 : M24. La modélisation est effectuée avec les mêmes paramètres que pour le test précédent en rajoutant ce délai mesuré de 2.4 ns. Les



(a) Résultats issus de l'exploitation des équations analytiques. (b) Résultats issus des mesures sur le prototype.

Figure 2.26: Comparaison de l'équilibrage des tensions de six MOSFETS suite à une variation du retard du 3ème MOSFET : M24. Résultats obtenus à $V_{DC} = 4.2\text{ kV}$

résultats de la simulation en Figure 2.26a et de la mesure en Figure 2.26b permettent de comparer le comportement avec et sans le délai. On observe les mêmes tendances pour la même variation de délai en remarquant toutefois une certaine imprécision de l'estimation des délais de charge des grilles sur la mesure. Ce résultat montre qu'une variation de 2.4 ns fait passer la valeur de l'équilibrage de 4% à -16% pour le MOSFET 3 à 100 A. L'impact diminue avec des plus faibles courants.

Ainsi, un délai de quelques nanosecondes, ordre de grandeur facilement présent dans un circuit de commande, a un impact significatif sur l'équilibrage total. L'équilibrage de la mise en série de MOSFETs SiC est donc extrêmement sensible à la synchronisation et devient délicat à garantir, comparé à la mise en série d'IGBT silicium, qui sont des composants bien plus lents.

2.3.2 Impacts des capacités parasites du circuit de puissance

L'objectif est d'évaluer l'impact de la capacité parasite de mode commun créée par la présence d'un dissipateur commun à tous les MOSFETs (cf. Figure 2.7). Le prototype actuel n'étant pas équipé de dissipateurs, il est possible de comparer l'équilibrage avec et sans dissipateur thermique en utilisant des condensateurs hautes tensions de 10 pF reliés à la masse du montage (Figure 2.27). Cette valeur correspond à une surface d'environ 1 cm² sur une épaisseur de 1 mm d'AlN (Nitrate d'Aluminium).

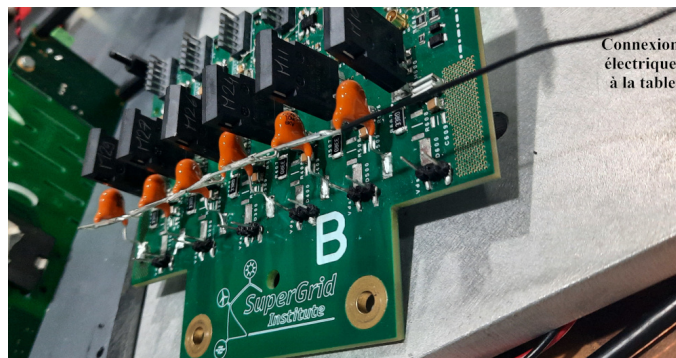
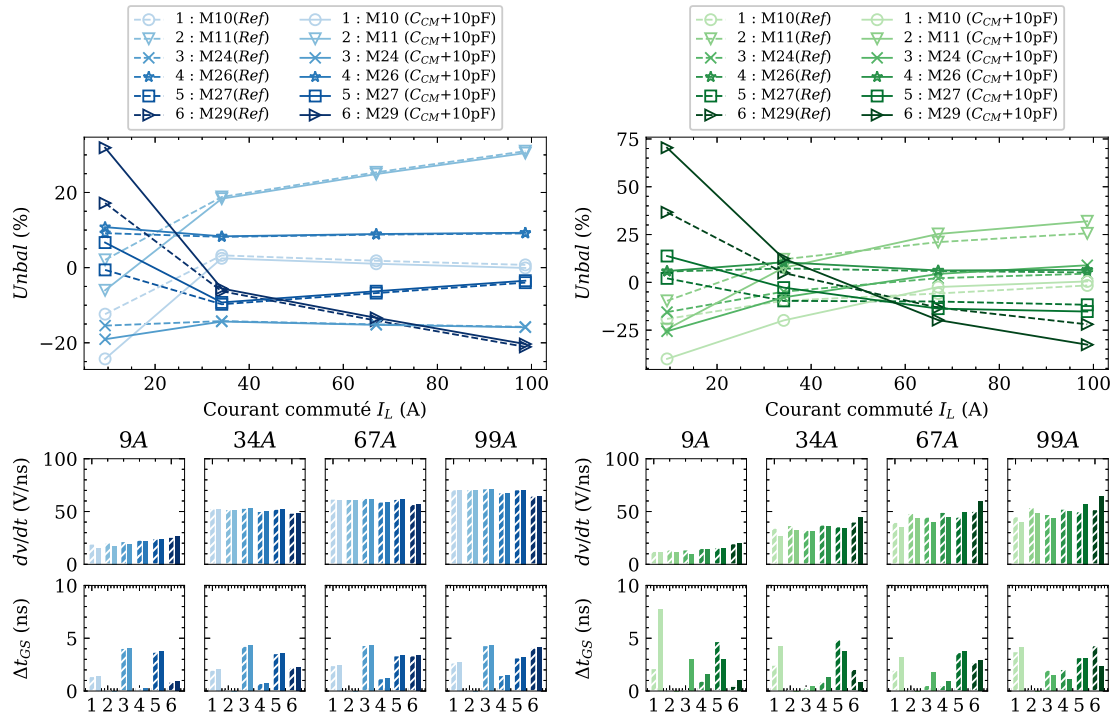


Figure 2.27: Des condensateurs hautes tensions de $SI10pF$ (en orange sur la photo) sont utilisés pour représenter la présence d'un dissipateur commun aux six MOSFETs ; ils sont reliés à la masse par l'intermédiaire de la table

Les résultats de calculs analytiques et de mesures, avec et sans les capacités parasites, sont présentés en Figure 2.28. L'ajout de ces capacités impacte significativement le déséquilibre. Aux faibles courants, le déséquilibre maximum atteint 75%, dû principalement au courant de mode commun important imposé par les forts dv/dt . On pourrait s'attendre à une pire situation à fort courant, mais ce n'est pas le cas, en effet, même si le courant de mode commun augmente avec le dv/dt , il n'est proportionnellement pas plus important que le courant commuté. La Figure 2.28 (b) montre bien qu'aux faibles courants, les délais sur les premiers MOSFETs sont plus longs avec l'ajout de la capacité parasite.



(a) Résultats issus de l'exploitation des équations analytiques. (b) Résultats issus des mesures sur le prototype.

Figure 2.28: Comparaison de l'équilibrage des tensions de six MOSFETS avec et sans capacités parasites dus à un dissipateur thermique connecté à la masse. Résultats obtenus à $V_{DC} = 4.2\text{ kV}$

La modélisation basée sur les équations analytiques donne des résultats pertinents (Figure 2.28 (a)), mais ne permet pas de rendre compte de tous les phénomènes mis en jeu. Ainsi, les délais de décharge de grille pour chacun des MOSFETS sont calculés en considérant le courant de la charge et non le courant dans la charge déduit des courants de mode commun ; de fait, le calcul des délais est obtenu avec la même valeur de courant pour tous les MOSFETS, et la présence de capacités parasites de mode commun comme celles ajoutées ne fait pas varier les délais, contrairement à ce qui est observé dans les mesures. Prendre en compte cette variation augmenterait significativement la complexité de la résolution d'équations. Il est alors préférable d'effectuer la simulation dans LTspice qui permet de calculer plus facilement ce type de couplage.

En conclusion, il faut retenir que la présence des capacités de mode commun a un impact significatif sur l'équilibrage des tensions, principalement à faible courant, puisque les grandeurs des courants de mode commun sont alors significatives devant le courant commuté. Dans cet exemple, une valeur aussi faible que 10 pF est déjà problématique. Les limites tolérables des capacités parasites vont dépendre des vitesses de commutations et des courants commutés. Dans le cas de capacités parasites importantes, il peut être essentiel de compenser dès le départ les courants de mode commun.

2.3.3 Impacts des paramètres électriques des interrupteurs

L'objectif est d'évaluer l'impact du changement d'un MOSFET parmi les autres afin de valider nos hypothèses de construction des modèles. Sur le prototype, le MOSFET à l'emplacement 6 a été remplacé par un MOSFET N11 (Table 2.3).

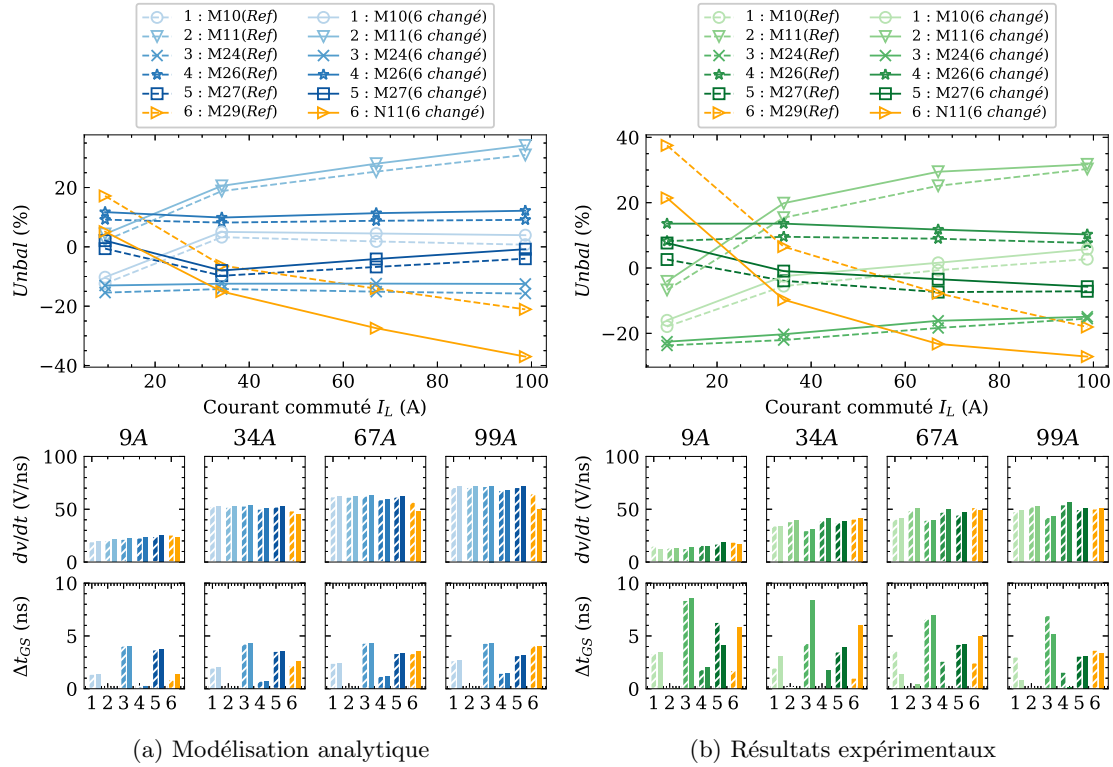


Figure 2.29: Impact d'une dispersion paramétrique de composants. Le sixième MOSFET est remplacé.

Les résultats, présentés en Figure 2.29 montrent que l'équilibrage est bel et bien impacté par ce changement. Tout d'abord, le MOSFET N11 ayant un V_{th} plus élevé que le précédent, le délai de grille attendu est donc plus long, ce qui est très légèrement observé sur la modélisation analytique, mais pas sur la mesure. Ensuite, la transconductance étant plus importante, le délai en présence de courant doit être réduit, ce qui est encore observé en simulation. Le comportement, bien différent en mesure, s'explique encore par la non-prise en compte des courants de mode commun dans le calcul des délais. Les tendances sont correctes, mais ne sont pas du bon ordre de grandeur. Ainsi, l'impact du changement de composants est amplifié dans les calculs par des vitesses de commutations surestimées et est amplifié en pratique par l'impact des courants de mode commun sur les délais.

Dans cet exemple, le changement d'un composant MOSFET a un impact significatif sur l'équilibrage du composant lui-même, mais donne un résultat non discriminant sur le déséquilibre global du circuit. En effet, de multiples variations ont des conséquences qui se compensent ou s'additionnent, et obtenir une estimation de l'équilibrage total demande un

modèle qui prenne en compte tous les effets de ces variations, ce qui n'est pas évident sur la base d'équations analytiques. La simulation LTspice permettrait d'obtenir de meilleures estimations, mais une telle modélisation pour un déploiement industriel ne semble pas réaliste. Une pratique plus raisonnable serait de sélectionner des composants ayant des tensions de seuil V_{th} semblables (par exemple 10% de variation). Cela n'évitera pas le besoin d'une solution d'équilibrage, mais sera tout de même pertinent pour limiter le surdimensionnement de la solution choisie.

2.4 Conclusion

2.4.1 Intérêts et limites des modèles et simulations

La compréhension des mécanismes d'équilibrage pour la mise en série de semi-conducteurs ne peut pas se faire sans une bonne connaissance de leurs caractéristiques électriques. Les formulations analytiques sont des outils très utiles pour la compréhension des mécanismes en jeu qui sont fortement couplés. La construction de modèles permet de réaliser des études paramétriques en faisant varier les paramètres un à un.

L'utilisation de modèles analytiques présente plusieurs intérêts comparés à l'utilisation de logiciels de simulation tels que LTspice. Le premier est la réduction des temps de calcul qui permet ainsi d'effectuer des études extensives sur un grand nombre de commutations comme les études de pire cas du type Monté-Carlo. En effet, la résolution des équations analytiques est sensiblement plus rapide que la simulation sur LTspice, car seuls les instants utiles aux calculs sont pris en compte. De plus, certains mécanismes sont négligés pour limiter la complexité calculatoire, au détriment de la précision, comme la variation des capacités en fonction de la tension.

Quant à elle, la simulation de circuit sur le logiciel LTspice permet de prendre en compte plus d'éléments parasites comme les couplages magnétiques, les snubbers ou autres. Ces simulations sont capables de fournir d'autres informations pertinentes pour le dimensionnement de systèmes, par exemple, les niveaux de pertes ou les amortissements. Pour aller plus loin et obtenir des résultats encore plus précis, les modèles peuvent être améliorés en reproduisant fidèlement le comportement des composants préalablement caractérisés.

Critiques et voies d'améliorations. Concernant le modèle analytique, la voie d'amélioration la plus importante serait de prendre en compte la dépendance des capacités intrinsèques en fonction de la tension même si ce n'est pas forcément souhaitable d'un point de vue calculatoire. Concernant le modèle de simulation, il a été observé que les résultats donnent des vitesses de commutation toujours supérieures aux mesures et la raison n'a pas été clairement identifiée. Un certain nombre de simplifications peuvent expliquer cette différence. Par exemple, le couplage puissance/commande au niveau de l'inductance de source peut impacter fortement la vitesse de commutation. La simulation LTspice permet de modéliser ce type de couplage, mais les paramètres correspon-

dants n'ont pas été caractérisés. Reproduire les mêmes tests avec d'autres références de composants de références différentes (et des boîtiers différents) permettrait également de mettre en évidence des éléments négligés qui pourraient avoir un impact significatif. Enfin, des tests qui seraient réalisés à des tensions différentes permettraient de montrer la validité du modèle à différents niveaux d'alimentation, sur une large plage d'excitation.

Côté prototypage, le prototype peut être aussi amélioré pour limiter les éléments parasites. Par exemple, l'inductance de boucle qui doit être réduite puisqu'elle est trop importante dans notre montage. La méthode d'estimation du temps de décharge basée sur les mesures doit être améliorée pour gagner en précision.

Intérêt pour l'évaluation de solutions d'équilibrage. Nos calculs et expérimentations ont montré que des solutions d'équilibrage sont nécessaires et le modèle analytique, léger et rapide à simuler, constitue un bon outil pour élaborer et valider des solutions d'équilibrages intégrant un contrôle actif. De multiples variations paramétriques (même thermo-dépendantes) peuvent être appliquées pour valider la robustesse d'un algorithme de contrôle.

2.4.2 Limites de l'équilibrage naturel et justifications de solutions d'équilibrages

Les différents résultats obtenus dans cette étude confirment le besoin impératif d'implémenter une solution d'équilibrage des tensions V_{DS} lors de la mise en série de composants MOSFET. Il a été montré qu'une partie majeure de l'équilibrage doit être optimisée dès la conception de la mise en série. Ainsi, avant toute chose, il est préférable de réduire les courants de mode commun qui déséquilibrent la mise en série ou bien de mettre en œuvre des solutions de compensation de ces courants.

De plus, il convient de s'assurer de la synchronisation des signaux de commande de grille et minimiser les sautilllements temporels. Cependant, ce n'est pas suffisant, car des MOSFETs ayant une dispersion paramétrique importante peuvent entraîner des différences importantes sur les délais de décharge de grille. Trier et sélectionner les composants permet d'obtenir de meilleurs équilibrages, mais ne le garantit pas, puisque les paramètres évoluent en fonction de la température et du vieillissement.

Il est important de noter que l'équilibrage des tensions ne peut pas être garanti tout au long de la vie du convertisseur seulement par sa conception ou par la sélection des composants. De ce fait, des solutions curatives d'équilibrage sont à apporter même s'il est utile de favoriser un équilibrage naturel le meilleur possible au départ, ce qui constitue une stratégie préventive, mais insuffisante à elle seule.

Chapitre 3

Solutions d'équilibrage passives

Le sujet de la mise en série de semi-conducteurs est assez ancien et des solutions d'équilibrage à base de composants traditionnels ont vu le jour depuis de nombreuses années. Les assemblages de thyristors en série font face au même problème d'équilibrage des tensions, mais ils commutent à faibles fréquences. Les pertes en commutations n'étant pas prédominantes, des solutions passives très simples sont particulièrement adaptées. Elles ont été réexploitées pour des connexions en série de composants IGBT qui peuvent commuter à plus hautes fréquences, mais pour lesquels les solutions passives restent intéressantes. Aujourd'hui, l'arrivée des semi-conducteurs de puissance en carbure de silicium (SiC) permettant de commuter à encore plus hautes fréquences remettent en question la pertinence de ces solutions passives pour l'équilibrage des tensions dans la mise en série de composants SiC.

3.1 Solutions d'équilibrages passives : état de l'art

L'objectif des solutions recherchées est d'assurer un équilibrage des tensions à l'état bloqué (aussi défini comme « équilibrage statique ») et au moment des commutations : à l'ouverture et à la fermeture (aussi défini comme « équilibrage dynamique »).

3.1.1 Définition du vocabulaire

Il existe dans la littérature de nombreuses solutions répondant à cet objectif. Néanmoins, une grande partie d'entre elles visent des objectifs initiaux différents. Les circuits d'aide à la commutation (CALC) sont essentiellement pensés pour améliorer les performances à la commutation. En limitant les vitesses de commutation, les surtensions, les surcourants et les oscillations, ces circuits améliorent également la fiabilité, le rendement, les perturbations électromagnétiques (CEM). Dans certains cas, la limitation des contraintes subies par les composants interrupteurs permet de réduire leur taille [Tod93].

La plupart des CALC utilisant des condensateurs agissent sur l'équilibrage des tensions de transistors connectés en séries, en limitant les variations de tension.

On retrouve deux catégories de comportement pour les circuits d'équilibrage :

- Les **solutions d'amortissement** (damping).
- Les **solutions d'écrêtage** (clamping).

Les solutions d'amortissement agissent tout au long de la commutation en réduisant les fronts de tension et en limitant les oscillations. Les solutions d'écrêtage agissent à partir d'un certain niveau de tension pour limiter les surtensions.

De plus, il existe des solutions dites « passives » et d'autres qualifiées « d'actives ». Il est nécessaire de les définir pour pouvoir les catégoriser correctement. Une première définition se base sur le type de composant utilisé dans ces solutions [Tod93]:

- Une **solution d'équilibrage passive** est une solution composée de composants passifs, c'est-à-dire non commandés. On retrouve donc des circuits à base de résistances, condensateurs, inductances, diodes et diodes Transil (TVS : transient-voltage-suppression).
- Une **solution d'équilibrage active** est, quant à elle, désignée comme telle, à partir du moment où des composants commandés, par exemple, des transistors, sont ajoutés.

Cette première définition est assez claire dans le cas de l'ajout de circuits d'équilibrage sur le circuit de puissance.

Les solutions placées sur le circuit de commande rapprochée (gate-driver) peuvent être qualifiées de solutions actives, comme catégorisées dans [SWC06]. Ainsi, placer des composants passifs entre la grille et le drain pourrait constituer une solution active.

Dans le cas des solutions d'équilibrage disposées sur le circuit de commande, on peut distinguer :

- Les circuits utilisant la rétroaction du MOSFET.
- Les circuits agissant sur la commande de grille à l'aide d'une contre-réaction externe.

Finalement, nous choisissons de sélectionner les définitions suivantes pour la suite de notre étude :

- Une **solution d'équilibrage active** est une solution qui demande une stratégie de contrôle-commande additionnelle, en menant une ou plusieurs actions sur chaque MOSFET en série. À distinguer du contrôle-commande de l'ensemble de la mise en série qui considère la mise en série comme un unique interrupteur.
- Une **solution d'équilibrage passive** est une solution qui ne demande aucun changement ou ajout d'un point de vue du contrôle-commande. Tous les transistors sont contrôlés avec le même signal.

Ce chapitre se concentre sur les solutions d'équilibrage passives. Les solutions actives sont le sujet du chapitre 4. La Figure 3.1 représente une classification générale des solutions passives classiques de la littérature.

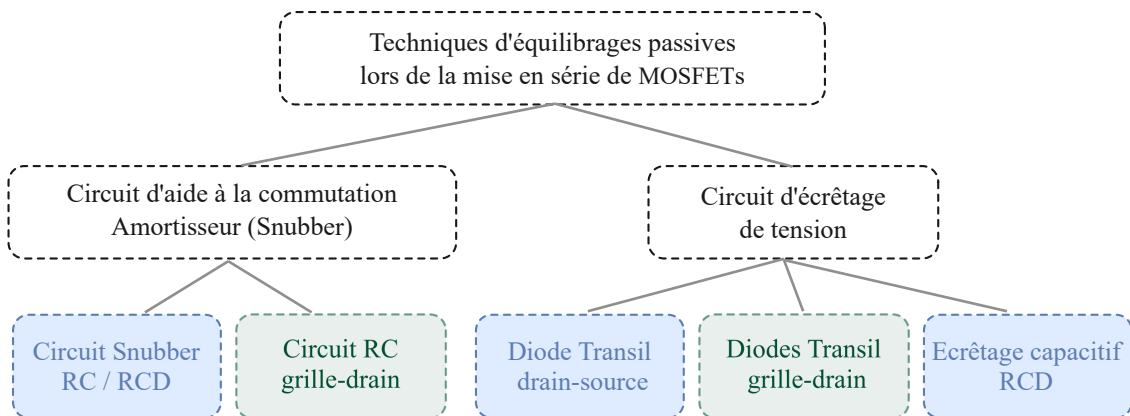


Figure 3.1: Solutions d'équilibrage passives. En vert : la solution utilise la rétroaction de la grille, en bleu : non

3.1.2 Équilibrage statique

L'équilibrage statique est défini comme l'équilibrage en tension obtenu en l'absence de commutation, dès que le circuit de mise en série est alimenté. La répartition des tensions est liée aux courants de fuites des composants à l'état bloqué. Les différences entre les niveaux de courant de fuite des MOSFETs en série entraînent une répartition des tensions non homogène. L'expérimentation nous a montré que, dans le cas des MOSFETs SiC, mesurer la tension d'équilibre statique constitue une opération délicate. En effet, leur courant de fuite et celui des sondes de mesure étant du même ordre de grandeur, la présence de ces dernières modifie la valeur de l'équilibre. La mesure est donc délicate, mais la solution d'équilibrage est assez simple.

Dans la plupart des cas, la présence d'une simple résistance en parallèle sur chaque MOSFET est suffisante [Nag+00] (résistance d'équilibrage statique Figure 3.2a). La valeur doit permettre d'obtenir un courant largement supérieur au courant de fuite pour masquer les dispersions des courants de fuite des MOSFETs.

3.1.3 Circuits snubber RC et RCD

La solution la plus répandue du fait de sa simplicité et de son relatif faible coût est l'usage de circuit RC série (Résistance Condensateur) entre le drain et la source du MOSFET (ou bien entre le collecteur et l'émetteur du composant bipolaire) encore appelée « RC turn-off snubber » : Figure 3.2b. Solution qui a fait ses preuves pour des composants de forte puissance commutant à faible fréquence comme dans le cas de la mise en série d'IGBT [CLA96] [SWC06] ou d'IGCT [Nag+00].

3.1.3.1 Principe et intérêt

Le circuit RC constitue principalement une capacité placée en parallèle du MOSFET pour limiter les dv/dt de tension lors des commutations. L'ajout d'une résistance en série de cette capacité joue le rôle d'amortisseur. Cette augmentation artificielle de la capacité de

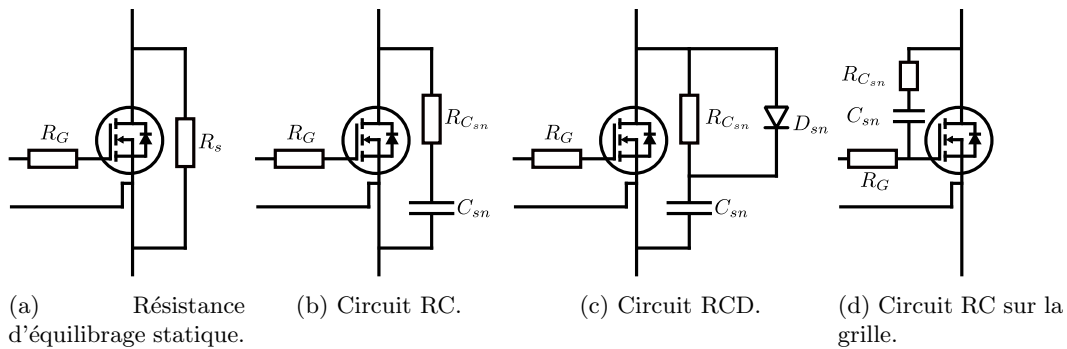


Figure 3.2: Circuits d'équilibrage passifs ; à base de Résistances et Condensateurs.

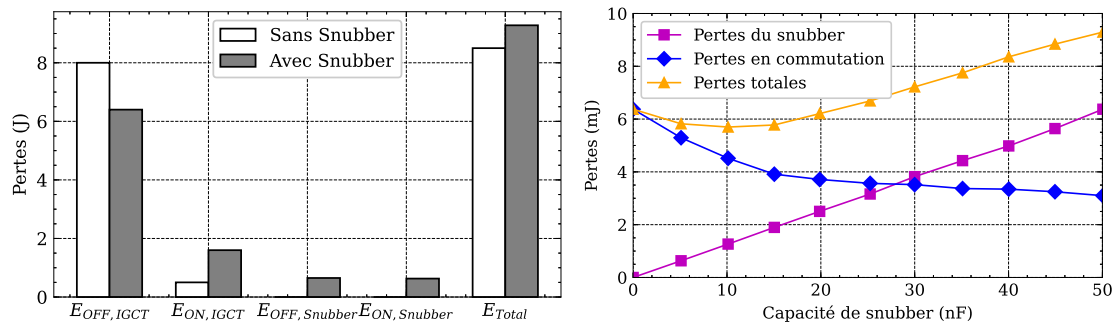
sortie C_{OSS} du MOSFET rend le circuit plus oscillant, et la résistance est calculée pour obtenir un bon amortissement de la commutation [Tor+16]. Le rôle de la résistance est également de limiter la vitesse de décharge de la capacité. On cherche donc à décharger plus lentement la capacité pour limiter les pics de courant dans le MOSFET. Néanmoins, la résistance doit être suffisamment faible pour que la capacité soit totalement déchargée entre deux commutations [Tos18].

L'usage d'un circuit RCD (Figure 3.2c) est une solution intéressante pour charger rapidement la capacité à travers la diode et la décharger à travers la résistance. Elle présente un intérêt d'un point de vue des pertes et de la limitation du stress sur le composant, mais constitue une solution onéreuse pour les applications haute tension. Le circuit RC reste toujours plus économique.

Le principal avantage du circuit RC se situe à l'ouverture du MOSFET : le courant est dévié vers le snubber qui réduit, voire supprime, le courant dans le canal du MOSFET. Les pertes dans le MOSFET sont fortement diminuées ou même annulées. Quelques pertes sont générées dans la résistance lors la charge du condensateur. L'énergie stockée dans la capacité est dissipée à chaque fermeture du MOSFET dans la résistance et le MOSFET. Finalement, l'ajout d'un snubber RC déplace les pertes de l'ouverture à la fermeture en stockant cette énergie dans le condensateur tout en déplaçant une partie des pertes du composant vers la résistance. L'impact global sur les pertes en commutation dépend grandement du dimensionnement. Dans l'exemple proposé d'un circuit d'IGCTs en série, l'augmentation a été quantifiée à 10% [Nag+00](Figure 3.3a).

Il est possible d'optimiser la valeur de la capacité de snubber pour limiter les pertes dues à l'ajout du snubber [WCS07] (Figure 3.3b). L'optimisation proposée ici est obtenue en simulation pour des composants IGBT, avec des modèles de composants SiC validés.

En ajoutant un circuit RC, le pont diviseur de tension capacitif composé par les capacités C_{OSS} est modifié. Le condensateur du circuit RC se retrouve en parallèle des capacités de sorties de chaque MOSFET ; il améliore ainsi l'équilibrage en masquant les disparités des valeurs de C_{OSS} et autres petites capacités parasites du circuit. Pour l'équilibrage de tension dans le cadre de la mise en série de transistors, la valeur du



(a) Impact de l'ajout d'un snubber sur les pertes: IGBT à 4.5kV, 2kA [Nag+00] (b) Recherche de la valeur de capacité optimum : IGBT 500V 20A [WCS07]

Figure 3.3: Dimensionnement du circuit RC pour optimiser les pertes en commutation avec un snubber

condensateur est dimensionnée comme étant 5 à 10 fois la valeur de la capacité C_{OSS} du MOSFET utilisé [VBA15].

3.1.3.2 Usage avec des composants rapides en SiC

L'usage de circuits RC avec des composants MOSFET SiC a été étudié dans différents travaux.

Une comparaison des pertes avec un snubber RC et RCD est présentée dans [LLW19]. Il est montré que le circuit RCD ne permet pas d'obtenir de réduction de pertes significatives. Étant donné que le circuit RCD doit être réalisé avec une diode SiC supportant le même niveau de tension que le MOSFET (exemple de [KPR17]) le coût est important. Le circuit RC reste donc plus économique avec des composants SiC et est tout aussi performant.

L'usage de snubber RC en tant qu'amortisseur est évalué expérimentalement avec des MOSFETS 1.2kV et 120 A [Tor+16]. L'augmentation des pertes suite à l'ajout du snubber correspond ici à environ 20% et permet de limiter les surtensions dues à l'inductance de boucle. Une autre étude avec pour objectif l'équilibrage de deux MOSFETS en série [VBA15] conclut que l'augmentation des pertes est marginal et permet l'équilibrage dynamique des tensions V_{DS} .

Le comportement du snubber devient plus sensible aux éléments parasites du circuit avec des composants SiC. Des précautions doivent être apportées dans le positionnement des composants du snubber pour limiter les inductances parasites [Yam+17] et réduire les phénomènes de résonance qui peuvent provoquer des oscillations hautes fréquences problématiques. Des circuits RC monolithiques fabriqués sur un substrat de silicium représentent une solution intéressante dans cet objectif [Kra+19].

3.1.4 Circuits RC grille-drain

Une solution potentiellement intéressante consiste à placer le circuit RC entre la grille et le drain pour modifier la rétroaction intrinsèque du MOSFET (circuit RC sur la grille Figure 3.2(d)). La présence de cette capacité va réduire directement les dv/dt et minimiser les différences de dv/dt entre les composants connectés en série [Jea01]. De plus, les fronts de tensions étant réduits, l'impact des différences de délais de commande sont diminués.

Le comportement est différent, comparé au snubber RC drain-source puisque, dans ce cas, une quantité d'énergie négligeable est emmagasinée. À l'ouverture, le ralentissement du dv/dt augmente les pertes dans le canal du MOSFET. À la fermeture, les pertes ne sont pas dues à la décharge du condensateur, mais à la limitation du dv/dt . La résistance est nécessaire pour amortir et stabiliser la rétroaction.

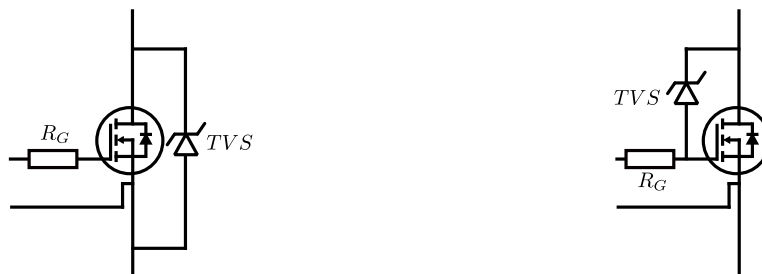
Peu de résultats sont disponibles dans la littérature concernant l'intérêt de cette solution dans le cas de composants SiC où des difficultés techniques peuvent intervenir avec les éléments parasites. Par exemple, les composants MOSFETs SiC 1200V commutant une cinquantaine d'ampères ont une capacité Miller C_{GD} inférieure à 10 pF à haute tension. La conséquence est qu'une inductance parasite de quelques dizaines de nano-Henrys dans la boucle de rétroaction crée des résonances facilement excitables. Ce genre de solution devient envisageable avec des montages intégrés au plus proche de la puce, ou même sur la puce, comme il est possible de fabriquer avec des composants GaN [Bau+18].

Cette solution devient bien plus intéressante avec la possibilité de contrôler le gain de la rétroaction. Ce thème sera discuté dans le chapitre 4.

3.1.5 Ecrêtage par diode Transil

L'écrtage permet de limiter la tension à un certain niveau. Pour ce faire, le composant absorbe la surtension en devenant conducteur. Il permet en général de limiter les surtensions à la commutation, mais peut également être utilisé avec l'objectif d'équilibrer les tensions [Jea01][Wan+18b][Zha+18].

Deux techniques cohabitent, que nous détaillons ci-après.



(a) Écrtage par diode TVS drain-source.

(b) Écrtage avec diode TVS sur la grille.

Figure 3.4: Circuit d'écrtage utilisant des diodes Transil pour l'équilibrage ou la protection des surtensions.

Placer une diode TVS entre le drain et la source (Figure 3.4a): cela constitue la solution la plus simple. Le niveau d'écrêtage est obtenu en utilisant l'effet d'avalanche d'une diode p-n. À cette tension d'avalanche, la diode devient brutalement conductrice et l'énergie est absorbée et dissipée en chaleur. Ces diodes Transil sont dimensionnées pour pouvoir supporter de fortes énergies, mais en cas d'échauffement trop important le composant risque d'être détruit. Elles supportent également des surtensions répétitives dans la limite de la dissipation thermique. Des diodes Transil capables de supporter plus de 1 kV sont rares et il est alors nécessaire d'en connecter plusieurs en série. De plus, pour dissiper la puissance nécessaire l'encombrement de la solution risque d'être important.

Placer une diode TVS entre la grille et le drain (Figure 3.4b): pour palier la problématique de l'encombrement, une diode Transil peut être placée entre la grille et le drain afin de limiter la dissipation dans la diode Transil et utiliser le MOSFET pour absorber l'énergie de la surtension [Jea01]. Lorsque la tension aux bornes de la diode Transil dépasse la tension d'avalanche alors un courant circule du drain vers la grille et fait monter la tension de grille. En arrivant à la tension de seuil du MOSFET, ce dernier entre en conduction, un courant traverse le canal et absorbe la surtension. Des pertes sont donc générées dans le canal qui est maintenu pincé par la rétroaction sur la grille. La diode Transil ne dissipera que très peu d'énergie, néanmoins les pertes dues à l'écrêtage vont s'ajouter aux pertes de conduction et de commutation dans le MOSFET.

Cette solution a été peu explorée dans le cas de MOSFETs SiC du fait de certaines difficultés. Tout d'abord, la diode Transil ajoutée entre la grille et la source présente une capacité parasite du même ordre de grandeur, voire beaucoup plus grande que la capacité C_{GD} . La présence de cette capacité va limiter les dv/dt et donc restreindre drastiquement les performances des MOSFETs SiC. Des solutions hybrides utilisant un circuit RC entre la grille et le drain peuvent aussi être envisagées (Partie 3.1.4) [WCS07].

La seconde difficulté réside dans le compromis à trouver entre la stabilité de la rétroaction et les bénéfices des commutations rapides des MOSFETs SiC. En effet, comme avec le circuit RC, la rétroaction peut être instable d'autant plus que plusieurs diodes Transil devront être mise en série pour atteindre la tension d'écrêtage souhaitée.

Pour conclure, les solutions d'écrêtage par diodes Transil sont efficaces pour limiter les surtensions et pour l'équilibrage, mais sont, par nature dissipatives. Elles augmentent inexorablement les pertes et risquent d'être encombrantes. De plus, même si l'usage de la rétroaction de la grille peut être efficace avec des IGBT ou des MOSFETs, elle est potentiellement limitante, voire dysfonctionnelle, avec des MOSFETs SiC trop sensibles aux éléments parasites.

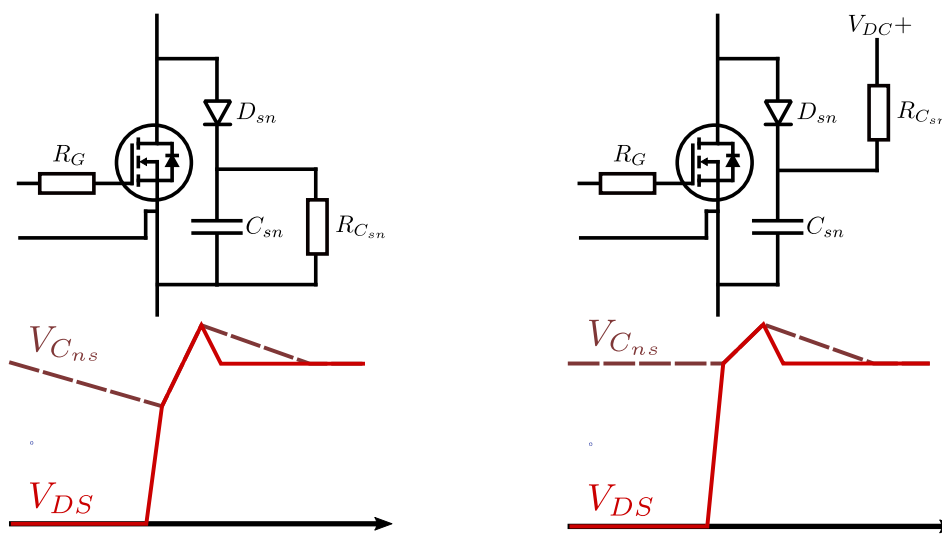
3.1.6 Écrêtage par circuit RCD

Ici, le circuit d'écrêtage permet de limiter la tension à un niveau donné comme avec une diode Transil. Cependant, l'énergie absorbée n'est pas dissipée, mais stockée dans la capacité C_{sn} qui n'est jamais déchargée complètement contrairement au circuit RC

(Partie 3.1.3), les pertes sont alors moindres. Le circuit d'écrêtage RCD est décrit par la Figure 3.5a ou 3.5b. Un condensateur C_{sn} en série avec une diode est connecté en parallèle du MOSFET, la résistance pouvant être disposée différemment pour décharger la capacité. Pour que ce circuit soit efficace, il faut qu'il soit placé au plus proche du MOSFET afin de minimiser l'inductance de la boucle composée du MOSFET, de la diode et du condensateur.

L'objectif de ce circuit est donc d'absorber la surtension à l'ouverture du MOSFET et d'amortir les oscillations. La surtension est causée par l'inductance de boucle de la cellule de commutation qui emmagasine de l'énergie (3.1) elle-même déchargée à travers le MOSFET.

$$\frac{1}{2}L_{stray}I_L^2 = W \quad (3.1)$$



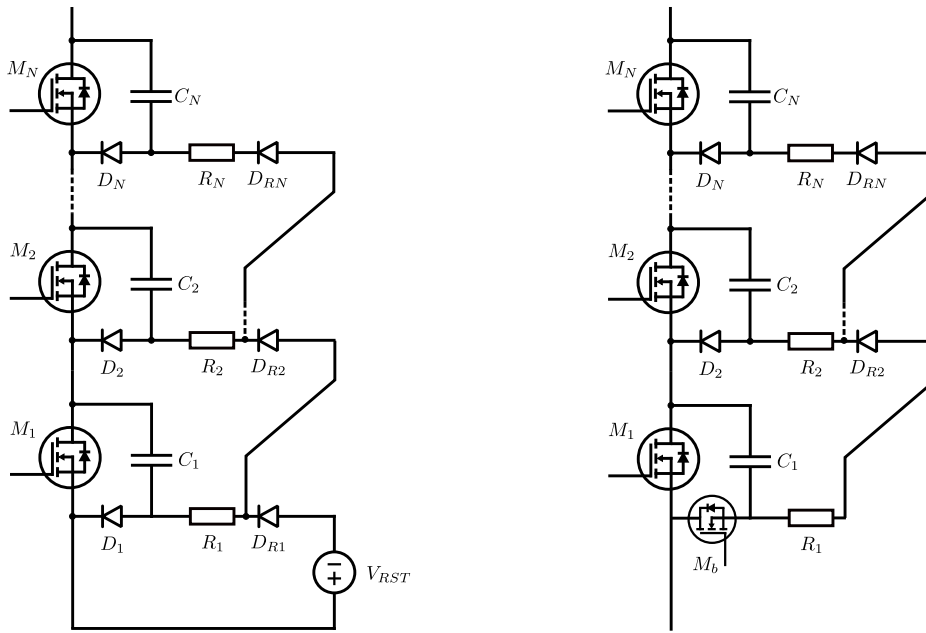
(a) Écrêtage RCD avec décharge dans la résistance. (b) Écrêtage RCD avec décharge dans le bus.

Figure 3.5: Circuits d'écrêtage RCD utilisables pour des transistors individuels comme pour la mise en série.

À l'ouverture, la tension du MOSFET monte librement, sans être ralentie, jusqu'au niveau de charge du condensateur C_{sn} . Quand la tension V_{DS} devient supérieure à la tension du condensateur, la diode commence à conduire et charge de nouveau la capacité. Le courant ainsi détourné réduit et limite la montée de la tension V_{DS} . Le condensateur est chargé à une tension supérieure à la tension $V_{DS_{OFF}}$ du fait de la surtension inductive. Pour que l'écrêtage soit fonctionnel à chaque commutation, le condensateur doit être légèrement déchargé.

Plusieurs alternatives sont possibles pour décharger le condensateur.

La plus simple à mettre en œuvre consiste à décharger progressivement le condensateur C_{sn} via une résistance (Figure 3.5a). Ainsi, le condensateur se décharge en permanence et de façon lente dans la résistance $R_{C_{sn}}$. La tension de la capacité au moment de la prochaine ouverture dépendra du temps de fermeture de l'interrupteur. L'inconvénient est que le niveau de tension de l'écrêtage va varier en fonction du rapport cyclique de la



(a) Décharge des condensateurs d'écrêtage dans une source de tension.[RH07] (b) Décharge des condensateurs d'écrêtage lors du fonctionnement en roue libre.[Zha+20b]

Figure 3.6: Écrêtage pour la mise en série avec récupération d'énergie possible

commande et que le niveau de surtension et donc les pertes vont fluctuer. Dans le cas de la mise en série, rien ne garantit que le niveau de charge des condensateurs soit équilibré, mais les variations seront relativement lentes.

Une seconde solution qui fonctionne seulement dans le cas d'un MOSFET unitaire, est de réinitialiser la tension du condensateur à la tension V_{DC} . Pour cela, la capacité est connectée à la tension de bus DC via une résistance (Figure 3.5b). Dans ce cas, la tension de la capacité de snubber sera toujours réinitialisée au même niveau du bus DC, avec une dynamique définie par la valeur de la résistance. Il est recommandé d'associer à la résistance une inductance pour limiter les pics de courants.

Pour des MOSFETS connectés en série, la résistance de réinitialisation de l'écrêteur ne peut pas être connectée à la tension du bus DC. La tension à connecter devrait être la tension du bus DC divisé par le nombre de MOSFETS V_{DC}/N . Toutefois, connecter une source sur chacun d'entre eux ne serait pas raisonnable. Un système de réinitialisation à partir d'une source unique V_{rst} et d'un circuit de diodes est proposé dans [RH07] (Figure 3.6a). Avec ce circuit, la réinitialisation se produit lorsque les MOSFETS sont en conduction. À ce moment-là, les condensateurs se retrouvent connectés en parallèle par l'intermédiaire des diodes. Le condensateur C_N va se décharger dans le condensateur C_{N-1} qui va, lui-même, se décharger dans C_{N-2} , etc..., jusqu'à ce que tous les condensateurs soient au même niveau de tension, aux chutes de tension près. La source V_{rst} doit donc absorber de l'énergie.

Le problème est que la source de tension V_{rst} de réinitialisation doit être ajustée à la tension de V_{DC}/N . Les travaux de [Zha+20b], proposent de renoncer à cette source et

de la remplacer par d'autres topologies, utilisant en particulier un MOSFET à la place de la première diode ; on peut alors parler d'écrêtage actif (Figure 3.6b). L'activation du MOSFET permet de décharger le condensateur C_b dans le bus à travers les autres MOSFETs en série. Cette action n'est possible que dans la situation où les MOSFETs conduisent par leur diode de roue libre, donc uniquement sur l'alternance négative du courant. Cette condition est très contraignante et dans le cas d'un convertisseur buck, elle ne peut tout simplement pas fonctionner. Une alternative proposée est d'utiliser un convertisseur pour décharger le condensateur et récupérer l'énergie en basse tension. Enfin, des solutions d'écrêtage du même type ont été évaluées pour un bras de pont complet [Zha+20a].

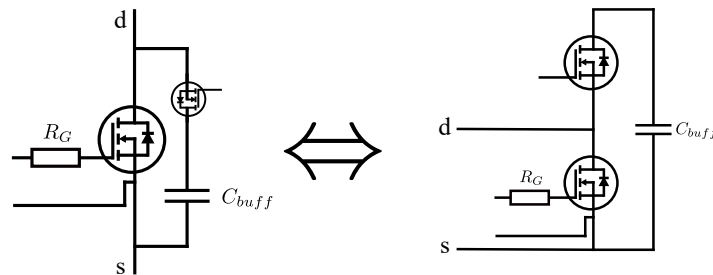


Figure 3.7: Circuit d'écrêtage non dissipatif. Ce circuit est équivalent au circuit d'un module demi-pont d'un MMC [YB22]

D'autres alternatives d'écrêtage (explicitement actives) ont été explorées par [YB22] et [Moc+22]. L'idée est de remplacer dans le circuit d'écrêtage les diodes par des MOSFETs : Figure 3.7. On retrouve dès lors clairement une cellule de commutation demi-pont avec un bus DC local comme un Modular Multi-Level Converter (MMC) qui est une topologie largement utilisée en haute tension aujourd'hui. La principale différence par rapport à un circuit MMC classique est que, tous les niveaux commutant simultanément, les capacités peuvent présenter ici de faibles valeurs. L'équilibrage des tensions de charge des capacités se fait par l'ajustement des retards à l'ouverture. La dynamique de variations des tensions dépend des valeurs des condensateurs et est nettement plus lente que lors de l'équilibrage actif de délais sans circuit d'écrêtage (Chapite 4). Cette solution est modulaire et simple à mettre en œuvre du point de vue du contrôle de l'équilibrage. L'usage de modules de puissance demi-pont permet une industrialisation rapide. Néanmoins, le coût est fortement impacté dès lors qu'il faut multiplier le nombre d'interrupteurs par deux.

3.2 Analyse des solutions d'équilibrage classiques

Les solutions d'écrêtages passives évaluées dans la littérature sont efficaces et pertinentes, mais ont toutes un point commun : elles sont basées sur l'utilisation de diodes qui doivent impérativement être en SiC et du même calibre de tension que les MOSFETs SiC. Cela représente un surcoût important et impacte la fiabilité de la solution.

Dans le cadre de ces travaux, il a été privilégié l'étude de solutions simples et robustes. C'est pourquoi nous nous intéressons ici à l'équilibrage avec un circuit snubber RC ; de plus, nous investiguerons brièvement le circuit RC entre la grille et le drain.

3.2.1 Circuit snubber RC

Le circuit RC d'aide à l'ouverture présente un intérêt majeur qui est sa simplicité. Sans ajout de semi-conducteur, il est possible d'équilibrer les tensions V_{DS} des MOSFETs connectés en série, mais aussi d'amortir et limiter les surtensions. Cette caractéristique est recherchée dans de nombreuses applications pour atteindre les performances souhaitées en termes de CEM, de niveaux de pertes et de fiabilité. Cette partie est consacrée à la compréhension et à l'évaluation théorique de cette solution en se basant sur les modèles présentés dans le chapitre 2 sur l'équilibrage.

Nous chercherons à expliciter comment le circuit RC équilibre les tensions V_{DS} dans la mise en série. Pour simplifier l'analyse, commençons par négliger la résistance du snubber R_{Csn} . Dans la plupart des cas, on cherche à minimiser la valeur de la résistance tout en assurant un bon amortissement. Néanmoins, on cherche aussi à augmenter la valeur de la résistance R_{Csn} pour minimiser le pic de courant à la décharge, au moment de la fermeture du MOSFET. En supposant R_{Csn} négligeable, une capacité externe est directement ajoutée en parallèle de C_{DS} . On peut alors déterminer l'impact de cette capacité sur la vitesse de commutation avec les équations 2.12 qui permettent de quantifier la réduction de la vitesse de commutation ; de plus, les tolérances des capacités parasites C_{OSS} sont masquées par la capacité C_{sn} dont la valeur est 5 à 10 fois plus grande.

$$\frac{dV_{DS}}{dt} = \begin{cases} \frac{I_L}{C_{OSS} + C_f + C_{sn}} & \text{si } V_{GS} < V_{th} \\ \frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_{OSS} + C_f + C_{sn} + g_{fs}R_G C_{GD}} & \text{sinon.} \end{cases} \quad (3.2)$$

Il convient aussi de noter que le délai de décharge de la grille (équation 2.6) n'est pas impacté par l'ajout d'une capacité C_{sn} ; en revanche l'impact d'un délai est atténué par la réduction du dv/dt . L'utilisation des équations (2.19) et (2.20) pour évaluer la tension V_{DS1OFF} dans le cas de 2 MOSFETs en série nous permet d'appréhender clairement le comportement de l'équilibrage et l'impact du délai.

$$V_{DS1OFF} = \underbrace{V_{DC} \frac{C_{OSS2} + C_{sn}}{C_{OSS1} + C_{OSS2} + 2C_{sn}}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L}{C_{OSS1} + C_{OSS2} + 2C_{sn}}}_{\text{Impact du délai}} \quad (3.3)$$

$$V_{DS1OFF} = \underbrace{V_{DC} \frac{C_2 + C_{sn}}{C_1 + C_2 + 2C_{sn}}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_1 + C_2 + 2C_{sn}}}_{\text{Impact du délai}} \quad (3.4)$$

$$\text{Avec: } C_1 = C_{OSS1} + g_{fs}R_G C_{GD1}$$

$$C_2 = C_{OSS2} + g_{fs}R_G C_{GD2}$$

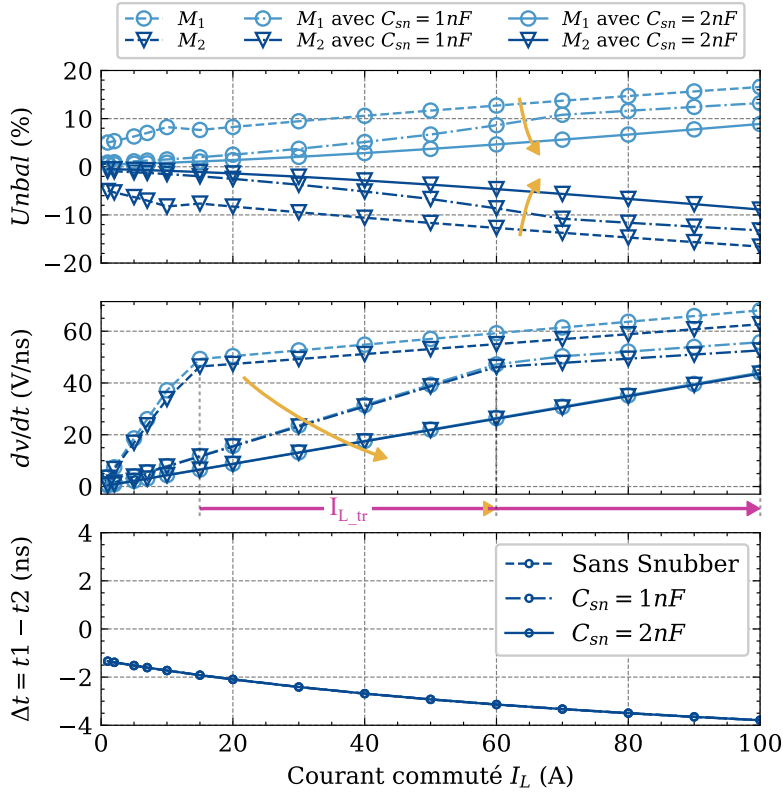


Figure 3.8: Exploitation numérique des équations pour comprendre l'impact d'un snubber, en négligeant la résistance, sur l'équilibrage de tensions V_{DS} (information donnée en pourcentage de la tension d'équilibre V_{DC}/N). $V_{DC} = 2\text{ kV}$

Table 3.1: Paramètres arbitraires, mais réalistes correspondant à des MOSFETs SiC d'un calibre autour de 50 A. Ils sont utilisés pour les calculs de la Figure 3.8.

	V_{th}	g_{fs}	V_{GG-}	V_{GG}	R_G	C_{GS}	C_{GD}	C_{DS}	C_{CM}
M_1	5.4 V	20 S	-5 V	20V	13.3 Ω	3.7 nF	16.0 pF	200 pF	0
M_2	5.3 V	22 S	-5 V	20V	13.3 Ω	3.7 nF	16.8 pF	220 pF	0

La Figure 3.8 est obtenue en exploitant les équations (3.3) et (3.4) avec les paramètres numériques donnés dans le Tableau 3.1. Les paramètres sont choisis arbitrairement, mais sont réalistes, car ils correspondent à des MOSFETs SiC d'un calibre d'environ 50 A. L'écart paramétrique choisi permet de représenter une dispersion réaliste. Un écart de 10% est appliqué sur la transconductance g_{fs} et sur la valeur de la capacité C_{DS} ainsi qu'un écart de 5% sur la valeur de C_{GD} ; enfin la valeur de seuil V_{th} est minorée de 100 mV. Trois cas

sont comparés : sans capacité de snubber, avec une capacité de 1 nF ($5 \times C_{OSS}$) puis avec une capacité de 2 nF ($10 \times C_{OSS}$). Les résultats sont reproduits en simulation et le tout est donné en Annexe ?? Figure ?. Les équations et l'exploitation numérique de la Figure 3.8 donnent une meilleure compréhension de l'impact d'un snubber RC sur l'équilibrage des tensions. Ce qu'il faut retenir est d'une part que le snubber RC n'impacte pas les délais et ne réduit pas l'écart temporel Δt . D'autre part, les dv/dt sont fortement réduits, mais restent toujours croissants avec le courant. À noter que l'écart relatif des dv/dt est légèrement réduit, mais les bonnes performances du snubber RC résident principalement dans le fait qu'il permet de diminuer les dv/dt .

Ce résultat met en évidence que l'ajout d'une capacité de snubber permet d'augmenter la valeur de transition entre les deux modes $I_{L_{tr}}$ (équation 2.13). Cela signifie qu'en dessous de cette valeur, le canal ne conduit pas et donc ne produit pas de pertes puisque l'énergie est stockée dans C_{OSS} et C_{sn} .

Maintenant se pose la question de savoir si la résistance a un impact important ou négligeable sur l'équilibrage des tensions V_{DS} dans la mise en série. Il est possible de calculer la résistance minimale permettant d'assurer l'amortissement. L'oscillation est due à une résonance entre la capacité du snubber C_{OSS} et l'inductance parasite de la boucle de commutation L_{stray} . L'équation (3.5) permet de déterminer le coefficient d'amortissement ξ et de trouver la résistance permettant d'obtenir $\xi = 1$. Il est assez courant d'avoir dans des convertisseurs de puissance haute tension des inductances parasites L_{stray} comprises entre 10 nH (pour les plus compacts et optimisés) et plusieurs centaines de nano-Henrys, par exemple 200 nH. Entre ces deux cas extrêmes, avec les MOSFETs et snubbers considérés précédemment, on trouve une résistance $R_{sn_{min_a}}$ au plus bas de 4.3Ω pour $C_{sn} = 2$ nF et $L_{stray} = 10$ nH et une résistance $R_{sn_{min_a}}$ au plus haut de 25.8Ω pour $C_{sn} = 1$ nF et $L_{stray} = 200$ nH.

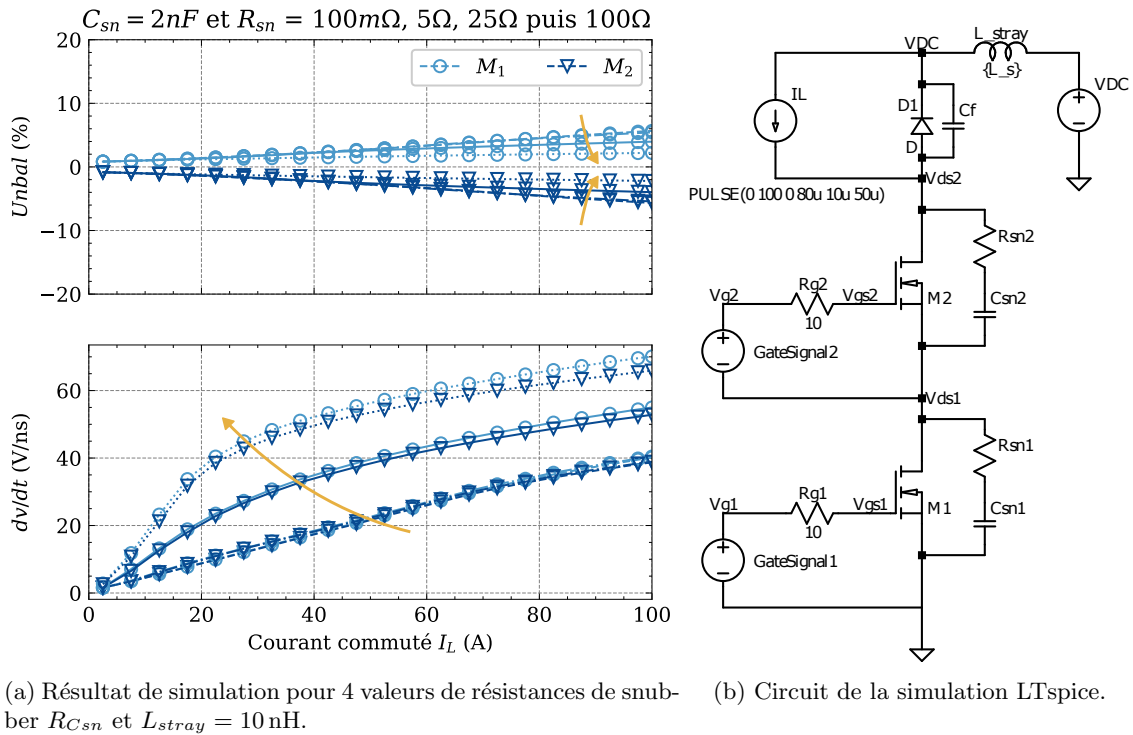
$$\xi = \frac{R_{sn_{min_a}}}{2} \cdot \sqrt{\frac{C_{OSS} + C_{sn}}{L_s}} \quad (3.5)$$

Il peut être également nécessaire d'augmenter la valeur de cette résistance pour limiter les pics de courant à chaque commutation. À titre d'exemple, calculons la valeur de la résistance $R_{sn_{min_d}}$ nécessaire pour limiter le pic de courant à 10% du courant maximum commuté : Équation (3.6). Dans notre exemple, on trouve une valeur de résistance $R_{sn_{min_d}}$ de 100Ω pour un surcourant de 10% soit 10 A.

$$R_{sn_{min_d}} = \frac{V_{DS}}{0.1 \cdot I_{L_{max}}} \quad (3.6)$$

Le modèle analytique ne permettant pas de prendre en compte facilement la résistance de snubber, la comparaison est effectuée avec le simulateur de circuit LTspice, dans des conditions identiques : une capacité $C_{sn} = 2$ nF et 4 valeurs de résistances $R_{C_{sn}}$: 0Ω , 5Ω , 25Ω et 100Ω .

La Figure 3.9 montre que la résistance de snubber R_{sn} a un impact sur l'équilibrage de tension. Ce dernier est d'autant meilleur que la résistance R_{sn} est grande, entraînant une

Figure 3.9: Impact de la résistance de snubber R_{sn} sur l'équilibrage.

augmentation significative de la vitesse de commutation. Pour comprendre les différents mécanismes en jeu, il faut analyser les formes d'ondes de tension et de courant. La Figure 3.10 donne le résultat de la simulation LTspice avec les différentes valeurs de résistances et une capacité $C_{sn} = 2$ nF dans le cas d'une commutation à fort courant $I_L = 100$ A. La première observation est que la commutation avec une très faible résistance de snubber est oscillante et peu amortie. Dans cette simulation, l'inductance de boucle est imposée à $L_{stray} = 10$ nH, soit la plus petite valeur considérée. C'est la raison pour laquelle la commutation est parfaitement amortie avec une résistance $R_{sn} = 5$ Ω comme précalculé précédemment. Dans ces conditions, le courant de charge du snubber est important et permet de limiter de façon significative le dv/dt . Une augmentation de résistance du snubber limitera sa vitesse de charge, en faisant circuler plus de courant à travers le MOSFET, faisant ainsi croître les dv/dt . Avec une résistance R_{sn} de 100 Ω , le pic de charge de courant du snubber ne représente que 10% du courant commuté avec un dv/dt très proche de celui obtenu sans snubber. Néanmoins, le déséquilibre de tension est réduit quelques instants après (environ 50 ns) avec une moindre dépendance sur la dynamique de la commutation (délais et dv/dt) : l'effet du pont diviseur de tension créé par les snubbers est prépondérant dans ce cas.

À plus faible courant, le comportement est légèrement différent et la commutation se découpe en phases. La Figure 3.11 trace les formes d'ondes à faible courant : 17 A commuté avec des MOSFETs de calibre 50 A. Pour de faibles valeurs de résistance de snubber R_{sn} , comprises entre 100 m Ω et 5 Ω , on retrouve une commutation en mode

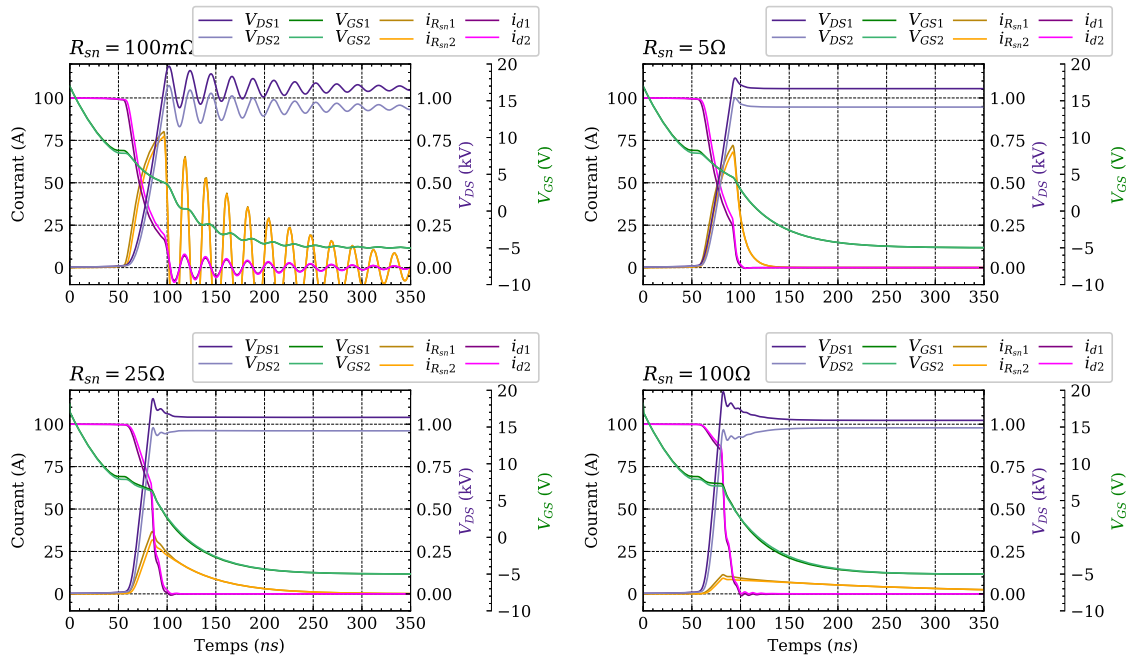


Figure 3.10: Répartition du courant entre le MOSFET et le snubber à l'ouverture pour 4 valeurs de résistances de Snubber différentes. Simulation avec les MOSFETS M_1 et M_2 du Tableau 3.1, $L_{stray} = 10$ nH et $I_L = 100$ A.

capacitif : le courant pendant cette phase correspond essentiellement à la charge de C_{OSS} et C_{sn} , le canal est complètement coupé dès que V_{GS} est inférieur à V_{th} . Pour les plus fortes valeurs de R_{sn} , le courant dans le snubber ne s'établit pas immédiatement. Le MOSFET commence à commuter avec beaucoup de courant et donc avec un dv/dt rapide, puis le courant dans le canal se coupe et le snubber se charge à courant constant donc à dv/dt constant.

En augmentant encore la résistance R_{sn} , le snubber n'absorbe plus la surtension liée à l'inductance de boucle L_{stray} . Il intervient avec une dynamique plus lente, mais il favorise l'équilibrage des tensions V_{DS} peu après la dynamique rapide de la commutation. Le choix d'une grande valeur de résistance de snubber permet donc :

- Un meilleur équilibrage des tensions.
- Une action sur l'équilibrage, décorrélée de la fonction de limitation de surtension à l'ouverture.
- Un courant de décharge limité à la fermeture.

Néanmoins, de fortes valeurs de R_{sn} ne permettent pas de réduire les pertes à l'ouverture puisque le canal conduit du courant et la capacité C_{sn} qui se charge doit être déchargée. Les dv/dt et di/dt restent importants alors que le concepteur peut chercher à les minimiser pour respecter des contraintes de CEM ou la tenue des matériaux isolants. Pour aller plus loin dans cette étude, il serait intéressant de comparer les pertes dans les différentes configurations, investiguer l'impact de l'inductance parasite du circuit snubber et définir

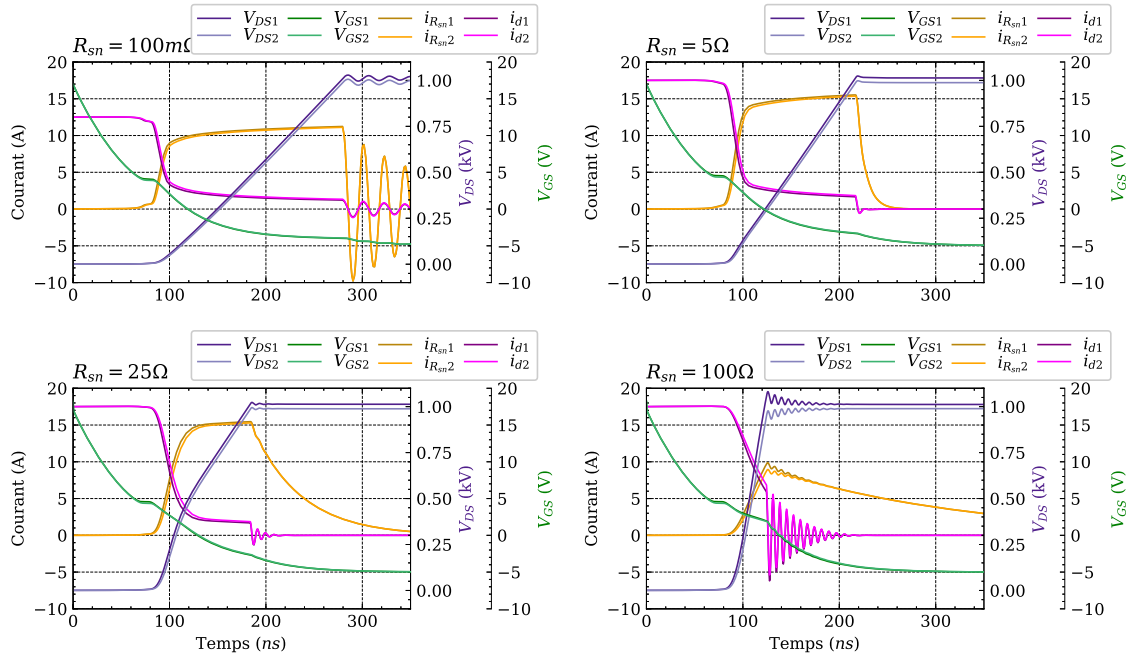


Figure 3.11: Commutation à 17A, répartition du courant entre le MOSFET et le snubber à l'ouverture pour 4 valeurs de résistances de Snubber différentes. Simulation avec les MOSFETS M_1 et M_2 du Tableau 3.1 et $L_{stray} = 10$ nH

une méthode d'optimisation entre pertes, surtensions et équilibrage. Ce sujet est en cours d'étude, et ne sera pas traité ici.

3.2.2 Circuits RC grille-drain

Cette partie est dédiée à l'analyse de la solution d'équilibrage par l'usage d'un circuit RC entre la grille et le drain. L'objectif est de comprendre le comportement de cette solution comparé au circuit snubber RC disposé entre drain et source. Cette étude préliminaire se limitera à l'utilisation des équations analytiques pour mettre en lumière le fonctionnement et les performances vis-à-vis de l'équilibrage.

Comme précédemment on commence l'étude sans considérer la présence de la résistance R_{GDsn} associé à C_{GDsn} . Cela nous permet d'utiliser les équations du modèle analytiques (Section 2.2.1) en considérant la capacité Miller C_{GD} augmentée par l'ajout de C_{GDsn} en parallèle de C_{GD} . Il convient tout d'abord de remarquer que ce circuit n'a que très peu d'impact sur le délai de décharge de grille (Équation (2.6)). En effet, la capacité de C_{GDsn} qui se retrouve en parallèle de C_{GD0} apparait dans l'équation Équation (3.7), mais est faible relativement à la valeur de $(C_{GS} + C_{GD0})$. Ainsi, l'ajout d'une capacité C_{GDsn} aura peu d'impact sur les délais. De plus, sachant que tous les MOSFETS sont équipés de cette capacité, le retard relatif sera très peu modifié.

$$t_s = R_G(C_{GS} + C_{GD0} + C_{GDsn}) \ln \left(\frac{g_{fs} V_{G_{pos}}}{g_{fs} V_{th} + I_L} \right) \quad (3.7)$$

Ensuite, analysons l'équilibrage des tensions de deux MOSFETs donné par les équations (Équations (2.19) et (2.20)) du Chapitre 2 dans lesquelles les capacités C_{GS} sont remplacées par la somme ($C_{GS} + C_{GSsn}$) (Équations (3.8) et (3.9)) : on peut déjà remarquer que l'ajout d'une capacité sur la grille ne modifie pas l'équilibrage en mode capacitif puisque la rétroaction de la grille ne fonctionne pas à ce moment-là. En revanche, le courant de transition entre les deux modes de commutation (Équation (2.13)) diminue : de ce fait, le canal entre en conduction à plus faible courant.

$$V_{DS1_{OFF}} = V_{DC} \underbrace{\frac{C_{OSS2}}{C_{OSS1} + C_{OSS2}}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L}{C_{OSS1} + C_{OSS2}}}_{\text{Impact du délai}} \quad (3.8)$$

$$V_{DS1_{OFF}} = V_{DC} \underbrace{\frac{C_2 + g_{fs}R_G C_{GDsn}}{C_1 + C_2 + 2g_{fs}R_G C_{GDsn}}}_{\text{Équilibrage naturel}} - \Delta t \underbrace{\frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_1 + C_2 + 2g_{fs}R_G C_{GDsn}}}_{\text{Impact du délai}} \quad (3.9)$$

$$\text{Avec: } C_1 = C_{OSS1} + g_{fs}R_G C_{GD1}$$

$$C_2 = C_{OSS2} + g_{fs}R_G C_{GD2}$$

Afin de mieux appréhender l'impact de l'ajout d'une capacité grille-drain, les niveaux de déséquilibre, les dv/dt et les délais ont été calculés pour les deux MOSFETs $M1$ et $M2$ (Tableau 3.1). Deux valeurs de capacités C_{GDsn} , 10 pF et 20 pF, ont été choisies arbitrairement et comparées au cas « sans capacité » en Figure 3.12.

En mode saturé, la capacité C_{GDsn} se comporte comme une capacité entre le drain et la source (par rapport à l'équilibrage de tensions V_{DS}) amplifiée par la rétroaction $g_{fs}R_G$. La conséquence directe est que l'équilibrage final est meilleur, car les dv/dt sont réduits, ce qui limite l'impact des délais.

Cependant, cette amplification entraîne que le bon équilibrage est dépendant des variations de R_G et g_{fs} . La tolérance de R_G peut être plus ou moins maîtrisée, mais la présence de g_{fs} nécessite que les composants soient bien appairés. De plus, même bien triée, la transconductance g_{fs} est fonction de la température ; par conséquent cette solution d'équilibrage est dépendante des différences de température entre composants. Une étude plus approfondie permettrait d'établir la sensibilité aux variations paramétriques et variations thermiques.

De plus, de nombreux points restent à éclaircir pour déterminer l'impact de la résistance R_{GDsn} sur les performances d'équilibrage, car cette résistance influe sur la stabilité de la rétroaction. Effectivement, la rétroaction peut devenir instable à cause de l'inductance de boucle parasite, qui peut être importante dans le cas d'implémentation du circuit à l'extérieur du package.

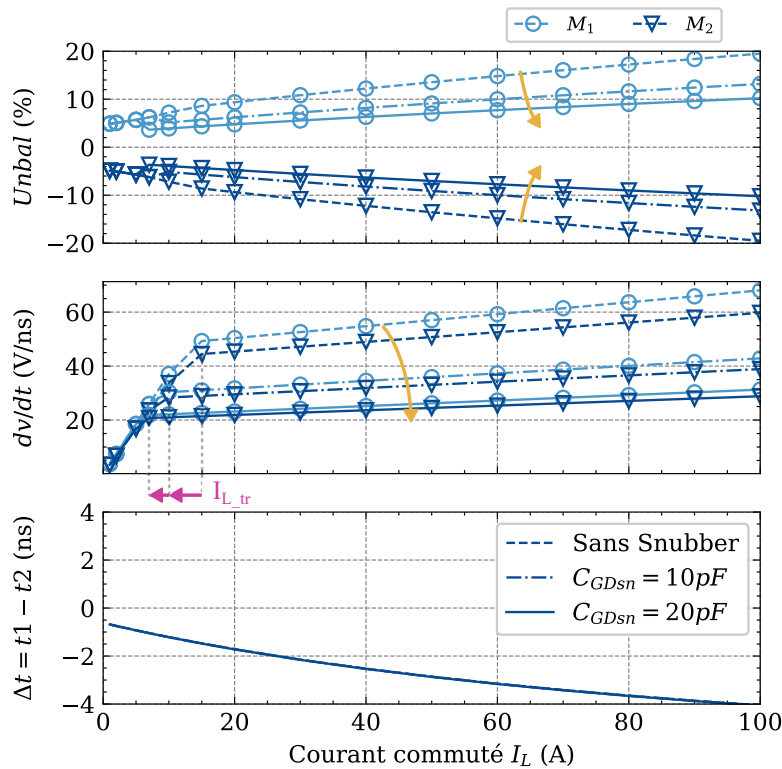


Figure 3.12: Exploitation numérique des équations pour comprendre l'impact d'une capacité placée entre la grille et le drain, en négligeant la résistance, sur l'équilibrage de tensions V_{ds} (information donnée en pourcentage de la tension d'équilibre V_{DC}/N). $V_{DC} = 2$ kV

En conclusion, cette solution, même si elle méritait une analyse plus poussée, présente de nombreux inconvénients, et nous ne la retiendrons pas pour la suite de cette étude.

3.3 Étude de l'équilibrage de 6 MOSFETs en série équilibrés par circuit snubber RC

Comme déjà évoqué précédemment, l'utilisation de circuits de type snubber RC est la solution la plus simple et la moins coûteuse. Dans cette partie, les performances d'équilibrage de tension sont évaluées à l'aide d'un prototype de six MOSFETs SiC connectés en série, le même que celui présenté dans la Section 2.2.3 avec, en parallèle de chaque MOSFET SiC, un snubber RC. L'équilibrage avec et sans snubber est comparé, puis des variations paramétriques sont appliquées pour confirmer l'efficacité de cette solution dans différentes conditions.

3.3.1 Dimensionnement des circuits snubber RC

Le prototype est constitué d'une mise en série de six MOSFETs C2M0045170P de calibre 1.7 kV ayant une résistance à l'état passant de 45 m Ω . La capacité de snubber C_{sn} est sélectionnée pour être au moins dix fois supérieure à la valeur de C_{OSS} à 1 kV donnée dans

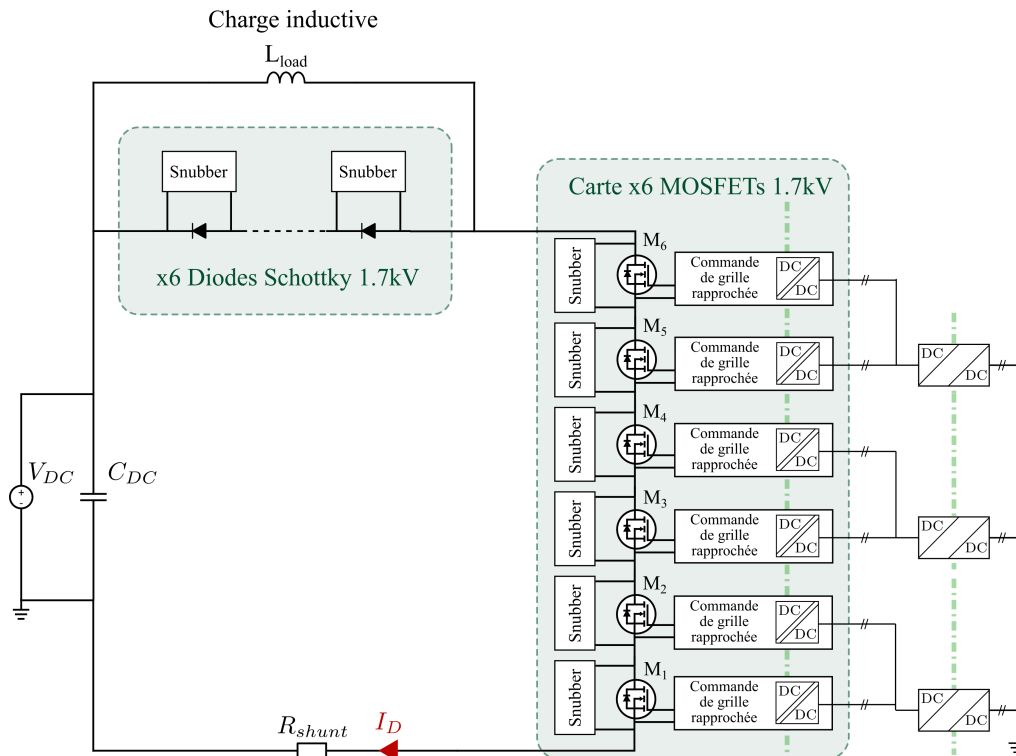


Figure 3.13: Schématisation du circuit « doubles pulses » ainsi que la photographie de l'ensemble des 6 MOSFETs connecté en série avec leurs gate-drivers.

la documentation technique. La capacité de sortie ayant une valeur de $C_{OSS} = 171$ pF, une capacité de snubber de $C_{sn} = 2.2$ nF est donc choisie (en fonction des disponibilités des composants).

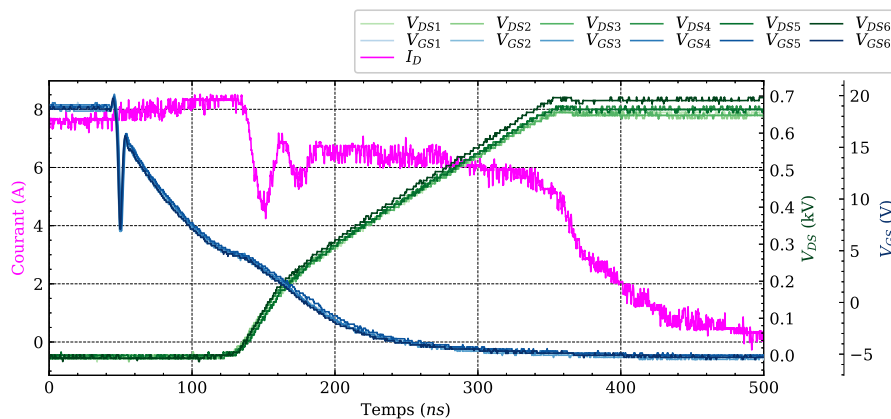
La résistance de snubber R_{sn} est calculée pour obtenir une commutation amortie conformément à l'équation (3.5). L'inductance du banc de test étant assez importante, estimée à 400 nH, une résistance de 33Ω a été calculée pour assurer un bon amortissement $\xi > 1$, absorber l'énergie de l'inductance de boucle afin de limiter la surtension à l'ouverture et enfin équilibrer les tensions V_{DS} . Les composants utilisés ici sont de petits « Composants Montés en Surface » (CMS) n'ayant pas fait l'objet d'un dimensionnement thermique ni d'un calcul de robustesse puisque nous nous intéressons uniquement au comportement transitoire avec le banc double pulse. Néanmoins, dans une application vouée à fonctionner en continu, la dissipation thermique des résistances doit être considérée, mais aussi leur aptitude à supporter des impulsions de puissance de façon répétée. Ces considérations auront un impact significatif sur l'encombrement et les inductances parasites.

3.3.2 Résultats expérimentaux

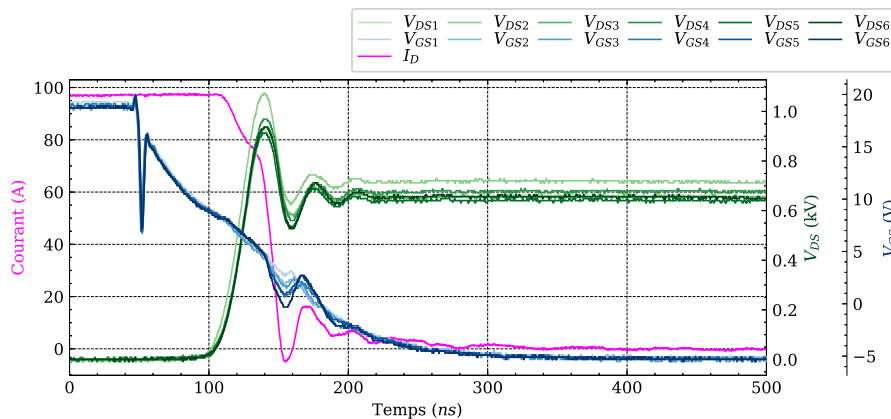
3.3.2.1 Analyse des formes d'ondes à l'ouverture

Les résultats sont obtenus en suivant la même méthodologie que celle utilisée dans le Chapitre 2 Partie 2.2.3 et sont présentés sous la même forme.

L'objectif est de comparer la qualité de l'équilibrage en tension, avec et sans snubber dans des conditions parfaitement identiques. Le prototype, le banc, le contrôle, les sondes, etc. sont les mêmes dans chaque cas, à la seule différence des snubbers RC qui sont ajoutés.



(a) Ouverture à $I_L = 9 \text{ A}$



(b) Ouverture à $I_L = 99 \text{ A}$

Figure 3.14: Formes d'ondes lors de l'ouverture des 6 MOSFETS SiC 1.7 kV en série à faible et fort courant équilibré par un snubber RC.

La Figure 3.14 donne les formes d'ondes des commutations à l'ouverture avec snubber, pour deux courants différents : faible courant 9 A et fort courant 99 A. Les formes d'ondes des tensions V_{DS} sont bien amorties par la présence du snubber et la surtension est réduite, mais reste importante à fort courant.

À 9 A commuté (Figure 3.14 (a)), on peut voir que la montée en tension se découpe en deux phases avec deux dv/dt différents, comme observé en simulation, en considérant

la résistance de snubber. Le premier dv/dt est bien plus rapide que le second, la vitesse indiquée dans la Figure 3.15 correspond au plus rapide. Pendant la variation de tension, le courant est plutôt constant, mais inférieur au courant commuté. Ce courant manquant dans les MOSFETS correspond à la charge des capacités des diodes de roue libre avec leurs snubbers. À 99A commuté, le courant de charge du snubber est petit, proportionnellement au courant commuté. Le prototype ne permet pas de différencier les courants du MOSFET et du snubber.

3.3.2.2 Équilibrage avec et sans snubber

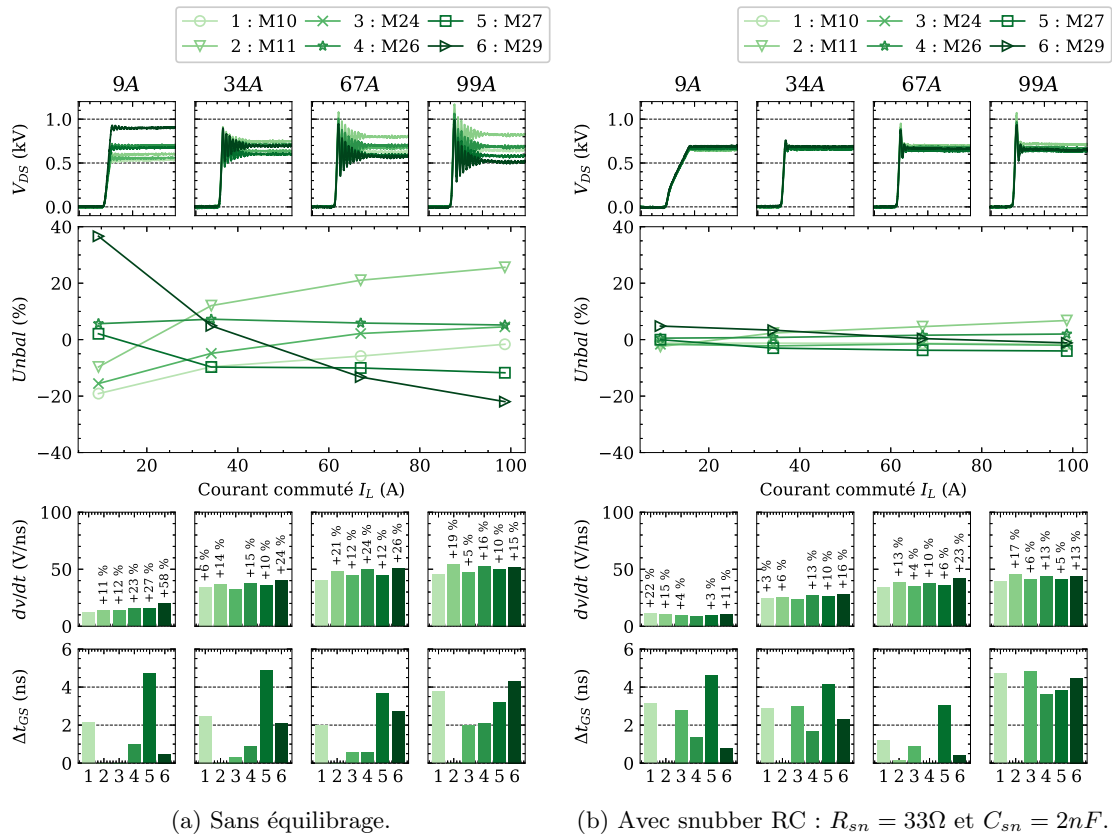


Figure 3.15: Comparaison de l'impact d'un snubber RC sur l'équilibrage des tensions V_{DS} pour 6 MOSFETS SiC 1.7kV connecté en série.

La Figure 3.15 présente les résultats de mesure et permet de comparer l'équilibrage sans snubber (a) à l'équilibrage avec snubber (b).

La première observation est que le snubber remplit bien sa fonction ; nous avons quantifié la réduction du déséquilibre (valeurs « Unbal » présentées) pour chaque courant commuté : elle passe de 38% à 7%.

La deuxième observation concerne les dv/dt qui sont significativement réduits en comparaison des commutations sans snubbers. Surtout à faible courant, comme anticipé. L'écart relatif entre les dv/dt est aussi fortement diminué à faible courant et plus légèrement à fort courant.

Enfin, dernière observation sur l'évolution des délais. Ils ne sont pas directement impactés par la présence du snubber, mais par le niveau du plateau Miller qui lui-même dépend du courant commuté donc des vitesses de commutations. C'est pour cette raison que les délais sont légèrement différents avec les snubbers, sans oublier que ces derniers sont estimés avec une précision de quelques nanosecondes.

La solution d'équilibrage par snubber est efficace dans ce cas de figure, mais est-elle robuste à des variations paramétriques du système?

3.3.2.3 Équilibrage assuré avec de faibles variations paramétriques

Impacts d'un délai : Dans la Section 2.3.1 l'étude de l'impact des délais sur l'équilibrage des tensions V_{DS} a montré que sans solution d'équilibrage, la mise en série de MOSFETs SiC est extrêmement sensible à des délais de quelques nanosecondes. De la même façon, l'impact d'un délai sur le MOSFET 3 (M24) est évalué avec un circuit de snubber RC en Annexe Figure ?? et peut être comparé à l'Annexe Figure ?? avant l'application du délai de -2 ns. Dans ce cas, ce petit délai ne modifie que très peu l'équilibrage qui reste bon grâce à l'équilibrage par le snubber RC ; on retrouve donc les résultats observés au Chapitre 2.

Impacts des capacités parasites du circuit de puissance : de la même manière que dans la Section 2.3.2, des condensateurs de 10 pF sont ajoutés entre les drains des MOSFETs et la masse pour simuler la présence de dissipateurs thermiques. En l'absence de snubber, ces capacités parasites de mode commun ont un impact significatif sur l'équilibrage. Avec un snubber RC, on améliore significativement la situation en passant d'un déséquilibre de 75% (Figure 2.26 Chapitre 2) à moins de 10%. En Annexe, les résultats de la Figure ?? peuvent être comparés à ceux de la Figure 2.28.

Impacts des paramètres électriques des interrupteurs : tel que dans la Section 2.3.3 le MOSFET 6 est remplacé par un autre MOSFET, le même composant précédemment utilisé : le « N11 ». Les résultats avec snubber en Annexe Figure ?? peuvent être comparés avec les résultats obtenus dans les mêmes conditions Figure 2.29 Chapitre 2. L'équilibrage avec ce changement de composant reste satisfaisant, soit inférieur à 10%. Ce qui confirme les bienfaits apportés par le circuit snubber sur la faible dispersion des paramètres électriques.

3.3.2.4 Résultats supplémentaires avec d'autres références de MOSFETs

Jusqu'à maintenant, une seule référence de composants MOSFETs SiC de 1.7 kV a été utilisée pour cette analyse. En lien avec d'autres activités, des MOSFETs SiC, 3.3 kV/50 Ω discrets, commercialisés par GeneSiC (G2R50MT33K), ont été testés sur le prototype en lieu et place des six autres composants. La caractérisation de ces six nouveaux MOSFETs montre une dispersion paramétrique importante, mais nous ne les avons pas triés. Les caractéristiques sont résumées dans le Tableau 3.2. Un snubber a été calculé selon la méthode déjà décrite. Pour garder un impact réduit sur les pertes, la valeur de la capacité

de snubber C_{sn} a été sélectionnée comme étant cinq fois supérieure à la valeur de C_{OSS} soit $C_{sn} = 650$ pF associé à $R_{sn} = 50 \Omega$.

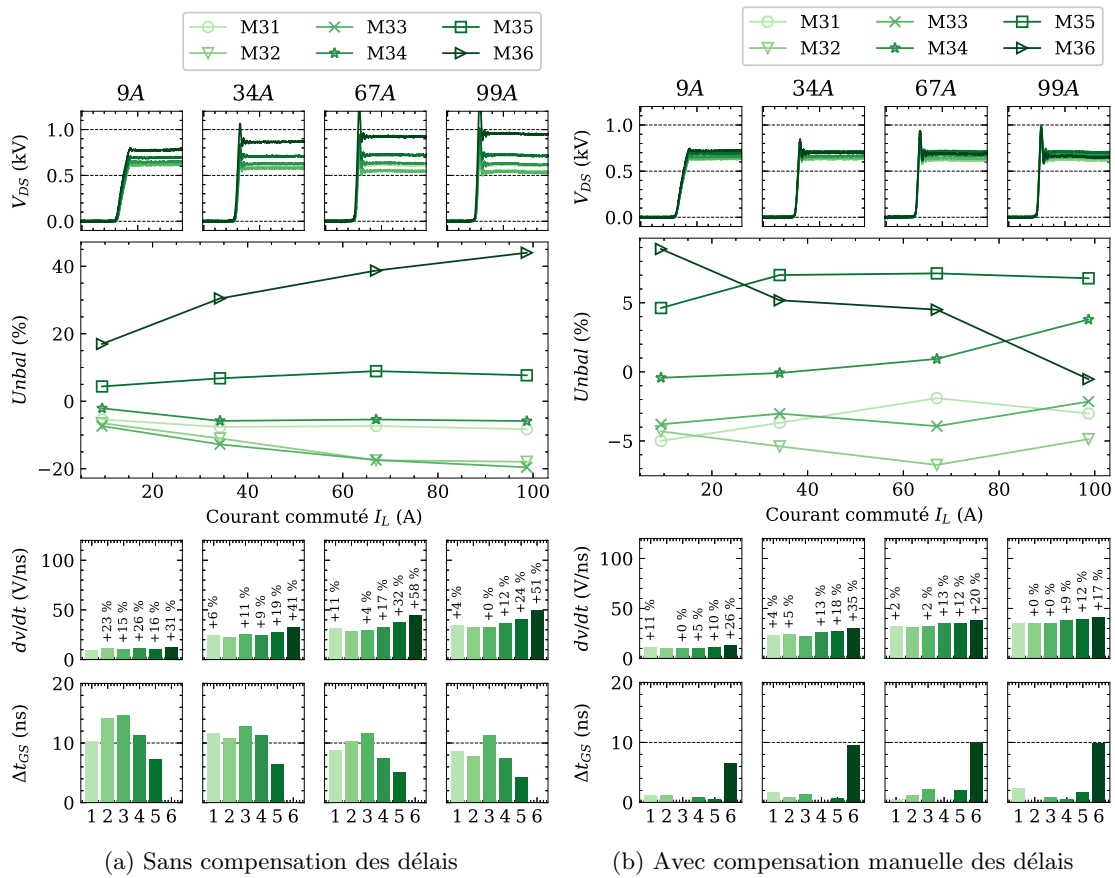


Figure 3.16: Mesure de l'équilibrage de 6 MOSFETs SiC 3.3 kV 50A connecté en série avec snubber RC $R_{sn} = 50 \Omega$ et $C_{sn} = 650$ pF

En suivant la même procédure de mesure que précédemment, l'équilibrage avec les MOSFETs SiC 3.3 kV et le snubber RC associé a été évalué. Les résultats en Figure 3.16a montrent un déséquilibre de plus de 40%, ce qui n'est pas satisfaisant. Ce résultat s'explique par l'analyse des paramètres des MOSFETs SiC : la dispersion des tensions de seuil est très importante (plus de 0.5 V) ; de plus, l'impact d'une telle dispersion est amplifié par une capacité de grille C_{GS} qui est plus de deux fois plus grande que les MOSFETs 1.7 kV. Les formes d'ondes en Annexe Figure ?? permettent d'apprécier visuellement les retards temporels entre les fronts de tension. Doubler la valeur de la capacité C_{sn} améliorerait l'équilibrage, mais cela ne serait pas suffisant pour annuler le déséquilibre.

Nous avons réalisé un test consistant à compenser manuellement les délais, de manière à contourner l'inaction du snubber et obtenir un meilleur équilibrage en Figure 3.16b. Cette fois, on peut voir que l'objectif d'équilibrage est atteint. Cependant, il convient de noter que la compensation manuelle des délais n'est pas envisageable industriellement

Table 3.2: Paramètres des 6 MOSFETs SiC 3.3 kV, dans l'ordre de connexion, issus de la caractérisation des MOSFETs.

	$V_{th(quad)}(V)$	$K_p(A/V^2)$	$C_{Gs}(nF)$	$C_{GD}(pF)$	$C_{GD0}(nF)$	$C_{Ds}(pF)$	Emplacement
M31	3.78	3.228	3.73	8.11	1.5	172	n°1
M32	3.54	3.077	3.68	8.3	1.5	172	n°2
M33	3.70	3.170	3.79	8.1	1.5	172	n°3
M34	3.65	3.154	3.65	8.6	1.5	172	n°4
M35	3.86	3.123	3.81	8.3	1.5	172	n°5
M36	4.05	3.274	3.62	8.9	1.5	172	n°6

puisque les paramètres changent en fonction de la température et du vieillissement. Ce test montre seulement la faisabilité d'un équilibrage par ajustement des délais.

3.3.3 Conclusion sur les résultats expérimentaux

Les mesures expérimentales ont permis de valider qu'il est possible d'équilibrer les tensions avec un circuit snubber RC. Les formes d'ondes mesurées ont été corroborées par des résultats de simulation circuit qui montrent le même comportement pour les différents régimes de commutation. La simulation peut être étendue à six MOSFETs pour rendre compte plus précisément du prototype réel, mais ce travail n'est pas présenté ici.

Les résultats montrent qu'avec le snubber RC, on atteint un déséquilibre inférieur à 10% et cela même dans le cas de variations paramétriques. Dans les mêmes conditions, sans snubber RC, un déséquilibre important serait obtenu, pouvant aller jusqu'à 70%.

Le snubber n'est pas toujours complètement efficace. Les MOSFETs SiC 1.7 kV ont été sélectionnés pour limiter les dispersions paramétriques et sont correctement équilibrés avec des snubbers RC. Cependant, les mesures avec des MOSFETs SiC 3.3 kV, beaucoup plus dispersifs en raison de leur manque de maturité, ont montré que sans sélection l'équilibrage par snubber n'était pas suffisant pour garantir un déséquilibre inférieur à 10%. Cela montre des limites en cas de forts écarts paramétriques principalement sur les délais pour lesquels les snubbers RC n'ont pas d'impact.

Nous avons montré qu'il est possible de compenser les retards manuellement afin d'équilibrer les tensions. Ce résultat est une preuve de concept et ne constitue pas une solution. Une synchronisation active est envisagée dans le chapitre suivant qui pourra être associée à un équilibrage par snubber RC ou non.

3.4 Conclusion et limites

Dans cette partie, plusieurs solutions d'équilibrage passives ont été analysées en allant du plus simple comme les circuits snubber RC jusqu'à des solutions complexes d'écrêtage. L'étude d'équilibrage par circuit snubber RC a été préférée dans ces travaux puisque ce type de circuit représente la solution la plus simple et la moins coûteuse. De plus, cette technique d'équilibrage étant très répandue, elle constituera une base de comparaison intéressante pour le développement de la solution active.

Le snubber RC, initialement inventé à l'origine comme circuit d'amortissement, est exploité ici pour équilibrer des tensions mises en série. Les circuits RC en parallèle de chaque MOSFET agissent comme un pont diviseur de tension capacitif qui permet d'équilibrer dynamiquement les tensions. La valeur de la capacité est choisie suffisamment large pour masquer les tolérances des MOSFETS. La résistance est nécessaire pour assurer l'amortissement. Nous avons vu que la résistance a un impact significatif sur les performances d'équilibrage, car elle permet de changer la dynamique du snubber :

- Un snubber rapide (faible valeur de résistance) permet d'absorber la surtension et limite le dv/dt . L'équilibrage final dépendra du comportement de la commutation et de l'équilibre du pont diviseur de tension formé par toutes les capacités parasites vis-à-vis de la capacité du snubber. À la fermeture, la capacité se déchargera rapidement à moins d'utiliser un snubber RCD.
- Un snubber lent (grande valeur de résistance) permet d'améliorer l'équilibre des tensions après la commutation. L'équilibrage est principalement défini par le pont diviseur de tension capacitif (et résistif) formé par les snubbers en série. La commutation n'est pas ralentie et la surtension n'est pas absorbée. Un déséquilibre temporaire au moment des commutations peut constituer un problème.
- Un snubber avec une résistance intermédiaire est un compromis intéressant, car il permet de réduire le courant déchargé à la fermeture, tout en limitant raisonnablement les dv/dt et la surtension. À noter qu'un circuit RCD représente un surcoût important et n'amène aucun avantage sur l'équilibrage. Un snubber avec une résistance intermédiaire permet de limiter le courant déchargé à la fermeture, limite un peu les dv/dt et la surtension.

Pour guider le concepteur dans ses choix, une étude sur les pertes dans ces différentes configurations permettrait d'optimiser parfaitement la solution complétée d'une étude sur l'impact des inductances parasites dans le circuit de snubber.

Les résultats expérimentaux dans le cas de six MOSFETS 1.7kV connectés en série avec un snubber disposant d'une dynamique intermédiaire, montrent l'efficacité de cette solution.

Cependant, dans le cas de forts déséquilibres, le snubber présente des limites, principalement quand les retards relatifs sont importants. Les délais de propagation peuvent

être compensés de façon raisonnable, mais les retards dus à la décharge de la capacité d'entrée du MOSFET dépendent de nombreux paramètres et en particulier de la température. Une solution de synchronisation en temps réel des commutations pourra devenir nécessaire.

Finalement, les circuits snubber RC sont simples, robustes et efficaces pour l'équilibrage des tensions des MOSFETS connectés en série. L'impact sur les pertes n'a pas été approfondi dans cette thèse, mais est en cours d'étude. D'après la littérature, cet impact peut être relativement faible de l'ordre d'une dizaine de pourcent. Dans des applications où l'on cherche à augmenter la fréquence de commutation des interrupteurs pour réduire le volume des composants passifs de filtrage, il est important de minimiser les pertes en commutation. Les MOSFETS SiC deviennent alors particulièrement intéressants et un équilibrage passif limiterait les performances et la compacité de la solution finale. Pour cette raison, les solutions d'équilibrages actives sont étudiées dans le chapitre suivant.

Chapitre 4

Solutions actives d'équilibrage de tension par action sur la grille

Les solutions d'équilibrages actives sont attrayantes pour garantir un bon équilibrage des tensions tout en minimisant l'impact sur les pertes. Les commandes de grilles actives peuvent aussi, en plus de l'équilibrage, contribuer à l'optimisation des pertes et des perturbations électromagnétiques conduites. Des solutions actives d'équilibrage ont été développées pour des IGBT en série ; mais ces dernières commutent relativement lentement, elles ne sont, dès lors, pas toujours reproductibles avec les MOSFETs SiC. Aujourd'hui, l'électronique analogique et numérique ont fortement évolué permettant d'avoir des systèmes électroniques de commande plus rapides. Mais en parallèle, les contraintes temporelles sont plus fortes avec les composants MOSFETs SiC : les commutations sont potentiellement plus rapides et les fréquences plus importantes. Ce chapitre propose des solutions d'équilibrage actives pertinentes et viables pour la mise en série de MOSFETs SiC.

4.1 Introduction

4.1.1 Pourquoi utiliser des solutions actives ?

Afin de bénéficier pleinement des performances des nouveaux semi-conducteurs en SiC, des solutions d'équilibrages dites « actives » sont envisagées. Comme vu précédemment, les solutions passives permettent d'équilibrer les tensions V_{DS} à l'ouverture, mais ont toujours un impact sur les performances en commutation en réduisant les vitesses de commutations. De plus, les composants passifs de puissances sont volumineux et augmentent l'encombrement de la solution. S'affranchir de ces composants permettrait d'atteindre des densités de puissances plus importantes.

Les gate-drivers actifs donnent aussi l'opportunité d'ajouter des fonctionnalités autre que l'équilibrage des tensions dans le cas de la mise en série. Ils permettent d'optimiser les commutations pour minimiser les pertes, réduire les perturbations électromagnétiques

[Han+22]. En contrepartie, la complexité augmente fortement, car il est nécessaire de rajouter des mesures, des circuits numériques, des transmissions de signaux ou d'autres éléments. Par conséquent, la fiabilité est directement impactée. L'équilibrage actif doit donc être justifié par une recherche d'augmentation de performance importante. De plus, l'équilibrage actif est-il toujours la meilleure solution dans toutes les topologies de convertisseurs ? Pour toutes les applications ?

4.1.2 Commandabilité des interrupteurs à l'ouverture

Jusqu'à présent, dans les travaux de cette thèse, nous nous sommes placés dans des conditions où les opérations d'ouverture et de fermeture des MOSFETs connectés en séries sont toujours commandées.

Les MOSFETs sont constitués d'une diode p-n intrinsèque appelée « body diode ». Dans le cas où les caractéristiques de cette diode ne sont pas satisfaisantes, il est courant d'ajouter une diode en parallèle de celle-ci. Peu importe le choix de conception, le MOSFET peut commuter de façon commandée (par la grille) ou bien de façon spontanée (par commutation de la diode).

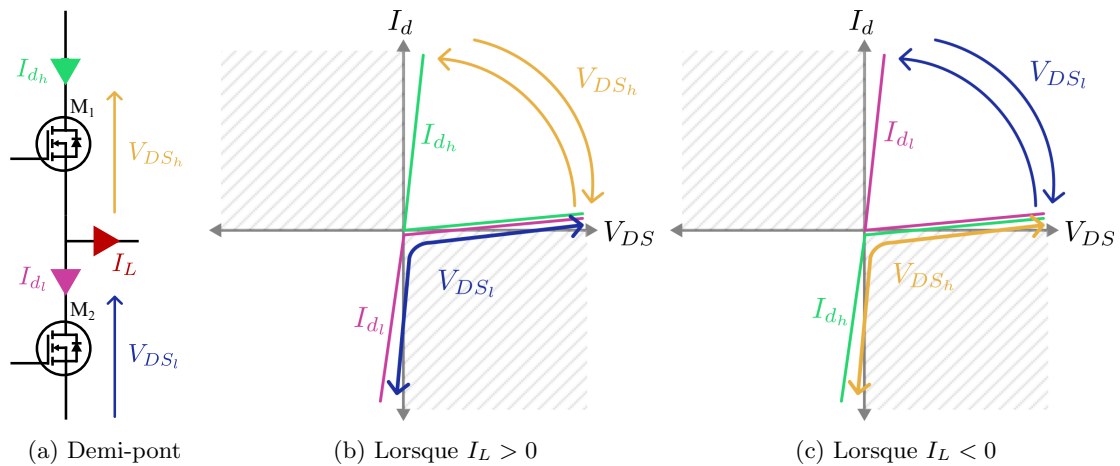


Figure 4.1: Commutation dure d'un demi-pont dans le cas d'un courant positif et négatif. (b) Le MOSFET M_1 s'ouvre en présence du courant et se ferme en présence de tension quant au MOSFET M_2 , il s'ouvre et se ferme de façon spontanée (commutation de la diode intrinsèque). (c) Le comportement de M_1 et M_2 est inversé.

Dans le cas d'une commutation dure, le courant ne change pas de signe entre l'ouverture et la fermeture. Le courant de charge I_L est soit positif, soit négatif. Lorsque le courant est positif (Figure 4.1b) alors le MOSFET du haut est commandé à l'ouverture et à la fermeture et le MOSFET du bas commute de façon spontanée. L'inverse se produit lorsque le courant est négatif (Figure 4.1c). Dans ces deux cas, un des deux MOSFETs s'ouvre de façon spontanée (commutation de la diode intrinsèque). Il n'est alors pas possible d'agir sur la grille pour retarder ou ralentir l'ouverture afin d'équilibrer les tensions.

Les commutations douces sont obtenues en exploitant des topologies de convertisseurs permettant d'inverser le courant entre l'ouverture et la fermeture. Sur la Fig-

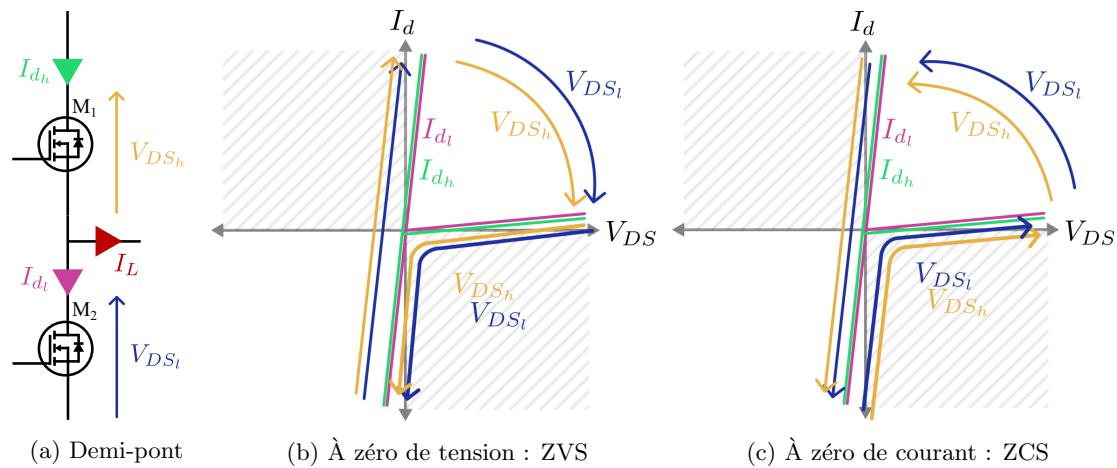


Figure 4.2: Commutation douce d'un demi-pont dans le cas d'un courant positif et négatif. (b) Les deux MOSFETS s'ouvrent en présence de courant et se ferment à zéro de tension. (c) Les deux MOSFETS se ferment en présence de tension et s'ouvrent à zéro de courant.

ure 4.2, on retrouve deux configurations : commutation douce à zéro de tension (Zero-Voltage-Switching : ZVS) et à zéro de courant (Zero-Current-Switching : ZCS). En ZVS, l'ouverture des MOSFETS est contrôlée, il est alors possible de retarder son ouverture et d'agir sur le dv/dt , en jouant sur les tensions de grille, la résistance de grille, ou autre (cf. Partie 2.2.1.3). La commutation douce en ZVS est donc adaptée à l'équilibrage actif puisque toutes les ouvertures des MOSFETS sont commandées, contrairement aux commutations douces en ZCS où les ouvertures ne sont pas commandées, car on agit uniquement sur les cycles de fermeture, dans ce cas. Les actions sur la grille seraient alors inefficaces pour équilibrer les tensions.

D'autre part, l'intérêt d'un équilibrage actif dans le cas d'un convertisseur en ZVS est questionnable puisqu'un snubber passif devient très compétitif dans ce cas. En effet, la fermeture se déroulant de façon spontanée, l'énergie du snubber se décharge dans le convertisseur pendant la fermeture et n'est plus dissipée dans la résistance de snubber [CK19][YLC20].

Ainsi, l'équilibrage actif présente un fort intérêt principalement lors de commutations dures pour minimiser les pertes introduites par la solution d'équilibrage. Et, de manière générale, il est préférable que l'équilibrage des tensions lors de commutations spontanées soit obtenu sans contrôle actif.

Comment gérer les ouvertures non commandables ? Dans le cas de la commutation spontanée du MOSFET, c'est-à-dire l'ouverture de sa diode intrinsèque, l'équilibrage ne peut pas être obtenu par action sur la grille pendant la commutation. En l'absence d'équilibrage passif, rien n'assure l'équilibrage des tensions. L'étude suivante [Lin+21] évalue la possibilité de faire conduire partiellement les MOSFETS après l'ouverture pour rééquilibrer les tensions. Cependant, cette solution présente un risque certain de déclenchement pendant l'ouverture.

Finalement, est-il nécessaire d'ajouter une solution d'équilibrage pour la commutation des diodes intrinsèques ? L'équilibre des diodes est principalement le résultat de l'équilibre capacitif. Les travaux de [Lin+20b] montrent que l'équilibrage lors de la commutation spontanée est très peu impacté par la variation de courant ; de plus, l'action sur les délais n'a pas d'impact sur l'équilibrage.

La solution est de garantir un bon équilibrage capacitif. Les capacités ne sont pas dépendantes de la température et ne varient pas dans le temps puisqu'elles sont liées à la géométrie du composant et de son environnement mécanique. Pour atteindre l'équilibre capacitif, les capacités peuvent être équilibrées par construction, par l'ajout de capacité de compensation [Lin+21] ou par l'ajout d'un snubber passif pour compenser les tolérances ou les capacités parasites de mode commun. Un équilibrage actif pour l'équilibrage spontané n'est donc pas facilement justifiable.

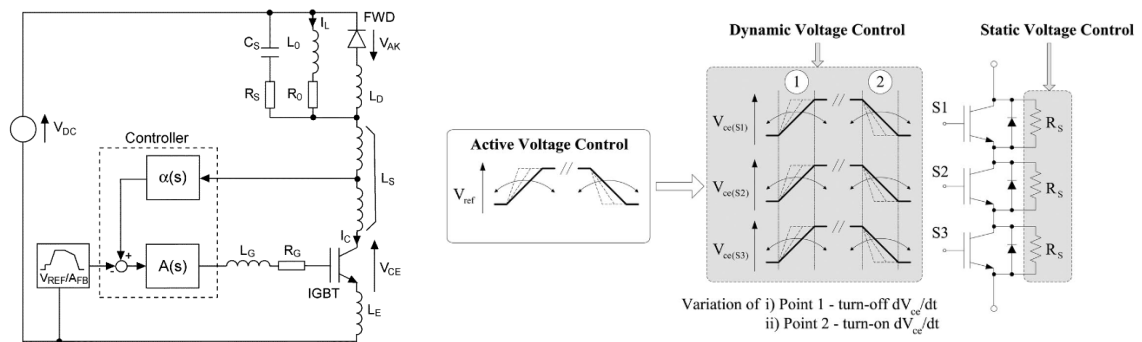
4.2 État de l'art des solutions actives

Les solutions actives d'équilibrage ne sont pas nouvelles et se sont développées avec l'essor de l'électronique numérique. Des acteurs comme ABB sont des pionniers (1996) dans le développement industriel de solutions actives pour la mise en série d'IGBT [Ger96]. Les solutions mises en place ne sont pas toujours transférables aux MOSFETs SiC. Les techniques d'équilibrage des tensions V_{DS} consistent soit à ajuster les vitesses de commutation (dv/dt), soit à agir sur les délais à l'ouverture. Pour réaliser cela, de multiples méthodes d'actions sur la grille sont connues. Dans cette partie, un état de l'art des solutions d'action sur la grille est donné en s'intéressant particulièrement au cas des MOSFETs SiC.

4.2.1 Action sur la vitesse de commutation

Il est possible d'asservir les vitesses de commutation (dv/dt) d'un IGBT en contrôlant la tension V_{CE} par modulation de la tension de grille V_{GE} (cf. Figure 4.3) [Bry+07] [CGP10]. La boucle de régulation doit alors réagir rapidement pendant les fronts de tensions. Sachant que la durée de variation de tension est de l'ordre de plusieurs microsecondes pour des IGBTs de fort calibre, la bande passante nécessaire est de l'ordre de 10 MHz. Une telle boucle de régulation numérique demande des circuits hautes performances avec des fréquences d'échantillonnages importantes. Cette stratégie de contrôle des dv/dt a été mise en œuvre dans le but d'équilibrer la mise en série d'IGBTs dans [Lim+13]. Pour cette réalisation une fréquence d'échantillonnage de 20 MHz et un FPGA cadencé à 100 MHz ont été utilisés. La boucle de régulation reçoit en entrée une rampe de tension correspondant à la forme d'onde que doit suivre la tension V_{CE} .

Dans le cas de la mise en série de MOSFETs SiC les temps de commutation sont de l'ordre de la dizaine à la centaine de nanosecondes. De ce fait, une boucle de régulation numérique semble difficilement envisageable. Une rétroaction analogique peut cependant



(a) Boucle d'asservissement de la tension V_{CE} d'un IGBT pour contrôler le dv/dt et les retards[Bry+07]

(b) Application pour la mise en série [Lim+13]

Figure 4.3: Rétroaction directe sur les tensions V_{CE} pour contrôler parfaitement l'ouverture et la fermeture et ainsi équilibrer la mise en série d'IGBTs.

être pertinente. Elle reste délicate à mettre en œuvre, mais de bonnes performances peuvent être atteintes en prenant en compte les éléments parasites[MBB19][Sun+21].

Néanmoins, pour limiter l'usage d'électronique analogique/numérique haute performance, réduire les coûts et l'impact sur la fiabilité, il faut repenser la stratégie de contrôle de la mise en série.

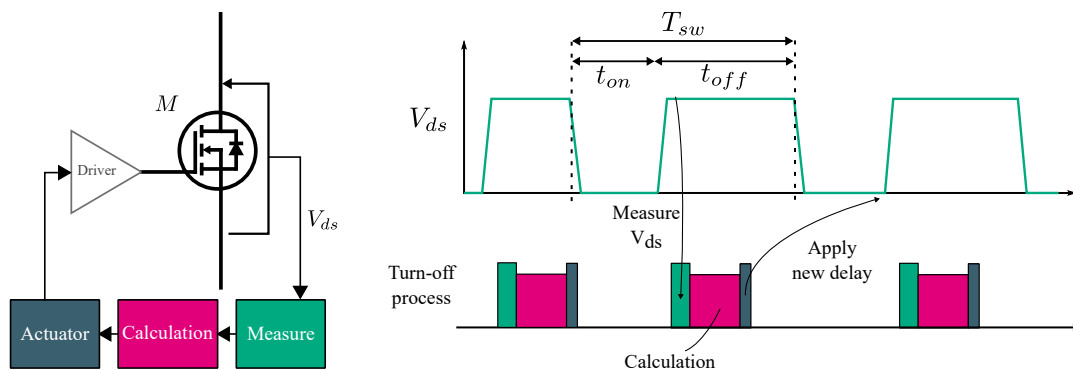


Figure 4.4: Description des actions à chaque période de commutation[RM16]

Une perspective est de mettre en œuvre une boucle de régulation à une échelle de temps différente, celle d'une période de commutation. La régulation va donc chercher à optimiser la commutation suivante en fonction de la commutation précédente (Figure 4.4) [RM16]. Par exemple, pour un convertisseur de puissance commutant à 10 kHz on peut implémenter une régulation avec un pas de temps de 100 μ s, soit plus de mille fois plus long que la durée de l'ouverture. Ce temps permet d'utiliser des circuits standards à faible coût, mais nécessite plusieurs périodes pour atteindre l'équilibre de tension recherché. Des circuits de protection additionnels peuvent être donc nécessaires pour ces périodes transitoires.

Comme vu précédemment, il est possible d'ajuster le dv/dt d'un MOSFET en ajoutant une capacité Miller externe au composant (cf. 3.1.4). Pour rendre cette action command-

able, il est possible de moduler le courant de grille avec un circuit de miroir de courant en série avec la capacité externe qui joue le rôle de gain variable sur le courant de grille. La valeur de la capacité externe est alors modulée, le dv/dt également. Les performances de cette solution d'équilibrage pour la mise en série ont été démontrées dans [MBB19] avec un circuit de miroir de courant piloté par une tension qui est ajustée en fonction de la commutation précédente (Figure 4.5). L'étude de cette solution est appliquée jusqu'à 8 MOSFETs dans [Sun+21]. Cette solution montre de bonnes performances, cependant la réalisation de ce type de circuit est assez délicate et doit être intégrée au plus proche du MOSFET pour limiter les inductances parasites qui peuvent mener à des instabilités. Dans le cas des transistors HEMT-GaN cette boucle de rétroaction peut être implémentée sur le même substrat [Bau+18].

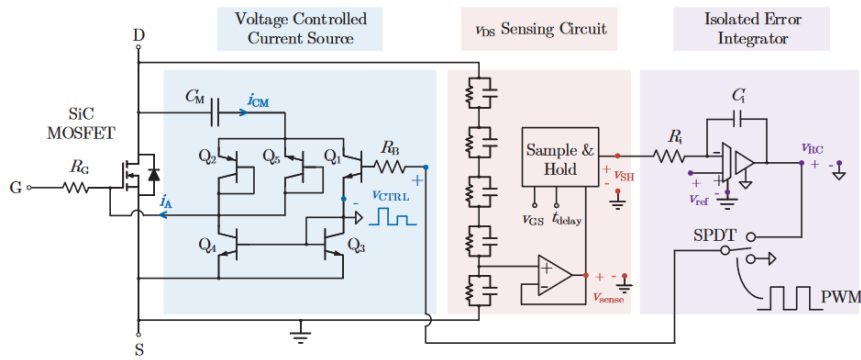


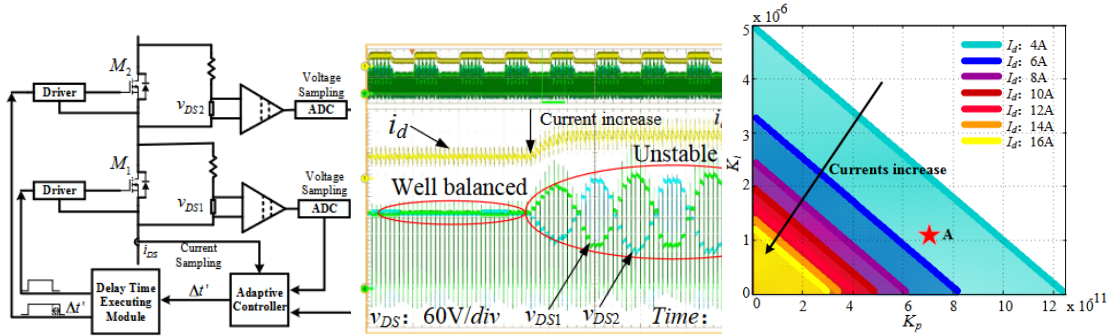
Figure 4.5: Équilibrage par contrôle du dv/dt à l'aide d'un miroir de courant commandé en fonction de la commutation précédente [Sun+21].

Une autre approche est possible : pour limiter l'usage de composants à forte bande passante, la tension de grille pendant l'ouverture peut être modulée en boucle ouverte. La tension de grille est alors ajustée en fonction de la commutation précédente. Des profils de tensions ou de courants de grille complexes peuvent être élaborés avec des gate-drivers à multiples niveaux de sorties [SKH08][Zha+20d][Dal+17][Dym+18]. Dans ce cas, les commutations des niveaux de tension doivent être effectuées avec une précision temporelle relativement importante. Ce type de contrôle de vitesse de commutation qui présente un intérêt certain n'a pas été utilisé (à notre connaissance) pour l'équilibrage de la mise en série.

4.2.2 Action sur les délais

En premier lieu, il est important de trouver une solution permettant d'agir précisément sur les délais pour équilibrer les MOSFETs SiC en série. Les dv/dt peuvent atteindre des centaines de V/ns avec des MOSFETs SiC [Mat+22]. Ce qui veut dire qu'une erreur de synchronisation de quelques nanosecondes peut créer une erreur de plusieurs centaines de Volts. Les composants FPGA ont un pas de temps minimal d'une dizaine de nanosecondes, ce qui est trop important ; quant aux microcontrôleurs, certains sont équipés de

périphériques capables de générer des signaux avec un pas très faible de l'ordre de la centaine de picosecondes [Zha+18], mais ils ne sont pas toujours simples à mettre en œuvre. La solution la plus simple identifiée dans [SW17] est l'usage d'un circuit de retard de ligne programmable avec un pas de temps de 250 ps. Les résultats présentés montrent qu'il est possible d'équilibrer les tensions de deux MOSFETS en série avec ce composant.



(a) Régulation de l'équilibrage par action sur un retard à régulation avec un régulateur PI l'amorçage (b) Problème d'instabilité de la régulation avec un régulateur PI (c) Stabilité du régulateur en fonction des valeurs de K_p , K_i et du courant.

Figure 4.6: Instabilité d'une régulation PI en augmentant le courant commuté [ZLW20]

Une régulation de la tension d'équilibre est mise en œuvre dans [WS18] pour un courant constant. Le comportement de la boucle de régulation a été modélisé pour établir les valeurs des coefficients du correcteur de type « Proportionnel Intégrale » (PI) mis en œuvre [Wan+18b]. Le système, avec comme entrée l'écart des retards Δt et comme sortie l'écart des tensions ΔV_{DS} , se comporte linéairement sans dépendance d'une commutation sur l'autre. Le gain du système varie cependant avec le courant puisqu'il est directement lié au dv/dt des MOSFETS à l'ouverture. La linéarité du système est perdue pour de forts déséquilibres du fait de la non-linéarité des capacités parasites des MOSFETS.

Les coefficients du correcteur PI sont calculés pour garantir la stabilité à un courant donné, mais dès que le courant augmente, le gain du système augmente également, ce qui rend la boucle de régulation instable (Figure 4.6)[ZLW20][Wan+21]. Une régulation PI adaptative en fonction du courant commuté est alors présentée avec des coefficients qui sont fonction du courant commuté de manière à rendre la régulation stable et performante sur toute la plage de variation du courant.

Cette régulation impose donc de mesurer le courant, ce qui n'est pas forcément souhaité, cependant l'information du courant est souvent connue par le contrôleur principal.

Pour le bon fonctionnement de cette régulation, le courant doit être limité à de relativement faibles variations d'une commutation sur l'autre. Dans le cas d'un convertisseur en commutation dure, cette condition est assurée par la charge inductive. Dans le cas d'un convertisseur en commutation douce, le courant d'une ouverture est assuré par le dispositif de contrôle, qui sera chargé dans ce cas de respecter la condition.

L'implémentation de ces régulations à délais ajustables est aujourd'hui, dans la littérature, limitée à 2 MOSFETS connectés en série. Cela s'explique par l'augmentation considérable du niveau de complexité lors du passage de 2 à 3 MOSFETS en série, d'un point de vue du matériel comme d'un point de vue théorique.

4.3 Proposition d'équilibrage actif pour la mise en série

Dans le cadre de ces travaux de thèse, nous nous sommes donné quelques objectifs et contraintes provenant du monde industriel pour répondre à des applications sur des réseaux MVDC (Medium Voltage Direct Current). De cela découlent les points suivants :

- La solution doit être déployable industriellement,
- La solution doit être robuste aux variations paramétriques pendant le fonctionnement,
- La solution doit être financièrement compétitive.

Ces quelques points ont donc été des lignes directrices pour l'exploration des solutions étudiées pendant ces travaux de thèse.

4.3.1 Action d'une commutation sur l'autre.

Comme expliqué précédemment dans l'état de l'art, les solutions avec des rétroactions numériques à forte bande passante ne sont pas réalistes pour le contrôle de MOSFETS SiC. En revanche, des solutions séquentielles agissant d'une commutation sur l'autre nous ont semblé prometteuses au regard d'une complexité industriellement acceptable. Des microcontrôleurs sobres et fiables peuvent permettre d'implémenter les régulations requises. Dans ces travaux, nous utilisons des microcontrôleurs à faible coût pour démontrer la faisabilité (TMS320F28027F : microcontrôleur 32 bits cadencé à 60 MHz sur horloge interne). Néanmoins, le choix du matériel numérique a peu ou pas d'importance sur le comportement des stratégies d'équilibrage.

4.3.2 Agir sur les délais et les vitesses de commutations

Les résultats du chapitre 2 ont montré l'importance d'ajuster les délais à l'ouverture pour compenser les différences de propagation de signaux, mais surtout les retards dus à la décharge des tensions de grilles. Les dispersions paramétriques d'un composant sur l'autre peuvent générer des retards à l'ouverture significatifs et assurément dépendant de la température. Compenser les délais semble donc être la méthode la plus efficace. Elle est absolument essentielle avec des MOSFETS SiC qui nécessitent une synchronisation inférieure à la nanoseconde.

La seconde approche, consistant à agir seulement sur les dv/dt , peut conduire à diminuer énormément les dv/dt pour compenser un retard et par conséquent créer un déséquilibre thermique.

Dans ces travaux de thèse, notre première proposition est de développer une stratégie de mise en série en ajustant uniquement les délais à l'ouverture. Cependant, il est raisonnable d'émettre l'hypothèse qu'une dérive thermique peut se produire sur le transistor le plus lent et pourrait nécessiter d'ajouter une deuxième boucle de rétroaction sur les vitesses de commutation (dv/dt).

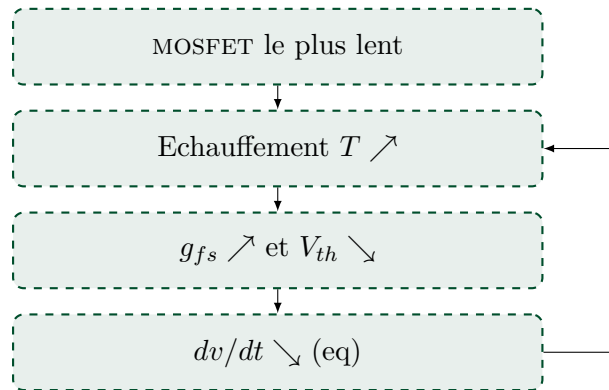


Figure 4.7: Processus menant à un potentiel déséquilibre thermique lorsque les tensions V_{DS_OFF} sont maintenues équilibrées par l'ajustement des retards à l'ouverture.

Pour illustrer cette hypothèse, la Figure 4.7 montre le processus qui pourrait mener à un déséquilibre thermique. La régulation, basée sur l'ajustement des délais, même si elle est performante et que les tensions à l'ouverture sont identiques, peut entraîner des dv/dt très différents. Par conséquent, le MOSFET le plus lent générerait plus de pertes. Puisque la transconductance et la tension de seuil sont respectivement positivement et négativement dépendantes de la température [Ric+18], le dv/dt pourrait diminuer (équation 2.12). De plus, la résistance à l'état passant R_{DSon} étant positivement dépendante de la température, elle tendrait à élever la température du MOSFET le plus chaud. Cette hypothèse doit être confirmée expérimentalement et pourrait justifier l'importance de l'ajout d'un contrôle des dv/dt .

4.3.3 Architecture de contrôle rapproché distribué

Ajouter un contrôle dédié à l'équilibrage des tensions pour la mise en série de MOSFETs augmente directement la complexité. Dans l'hypothèse où chaque MOSFET reçoit un signal de commande en provenance du contrôle général du convertisseur, la complexité du contrôle se rapproche de celle d'un convertisseur NPC. La mise en série devrait être transparente pour le contrôle général, sans changement par rapport à la commande d'un interrupteur unitaire. Dès lors, la solution d'équilibrage imaginée doit être indépendante du contrôle du convertisseur. Dans la littérature, on trouve différentes approches permettant de réaliser d'un point de vue pratique cet équilibrage. Deux architectures sont possibles, soit avec un contrôle centralisé, soit avec un contrôle distribué.

4.3.3.1 Comparaison entre architecture distribuée et architecture centralisée

Une architecture de contrôle centralisée est certainement la structure la plus simple à mettre en œuvre. Tous les calculs de régulation sont réalisés dans la même unité de calculs (généralement un processeur ou un FPGA). Au contraire, dans le cas d'une architecture de contrôle distribuée, les calculs sont répartis entre plusieurs unités de calculs communicantes.

Chaque approche présente des avantages et des inconvénients. Une architecture centralisée nécessite de recevoir toutes les mesures pour calculer tous les ordres de commandes. La gestion des calculs est donc simplifiée, mais pour un grand nombre d'éléments à réguler (dans notre cas, un grand nombre de MOSFETS), le nombre de lignes de communication augmente très fortement (sachant que ces signaux doivent être isolés). Avec une architecture distribuée, la régulation est gérée localement. Chaque unité de calculs sur chaque gate-driver reçoit sa mesure et applique l'ordre de commande localement. Néanmoins, une communication isolée doit exister entre les unités de calculs pour agir de façon coordonnée.

On comprend alors qu'une architecture distribuée est de nature à réduire sensiblement le nombre de transmissions de signaux et donc limiter le coût et l'encombrement. Elle est plus modulaire, mais moins redondante et devrait permettre de créer des gate-drivers pleinement modulaires, en implémentant la même régulation sur chacun d'eux.

Les stratégies d'équilibrage sont par la suite évaluées afin d'estimer la faisabilité d'un tel gate-driver modulaire.

4.3.3.2 Communication chaînée

Pour mettre en œuvre une régulation distribuée, il est nécessaire de communiquer des données entre chaque élément. De nombreuses solutions peuvent convenir selon les contraintes industrielles, dont [Cel00] fait l'état de l'art. Il nous importe de trouver une solution simple qui nécessite peu de matériel. Nous avons considéré qu'une communication chaînée [HTB16] était adaptée à notre besoin. La communication peut être simplifiée à la façon de [Yan11]. Sur cette base, une proposition est faite et permet de transmettre des variables de gate-driver en gate-driver avec le moins de connexion isolée possible.

La Figure 4.8 décrit la solution de communication sélectionnée pour échanger des données entre les gate-drivers. La communication chaînée est unidirectionnelle et bouclée afin de minimiser le nombre de liens. Les signaux proviennent des périphériques de communication série asynchrone UART, qui sont disponibles sur chaque microcontrôleur. Le port de transmission d'un étage est connecté au port de réception du suivant et ainsi de suite jusqu'à reboucler sur le premier.

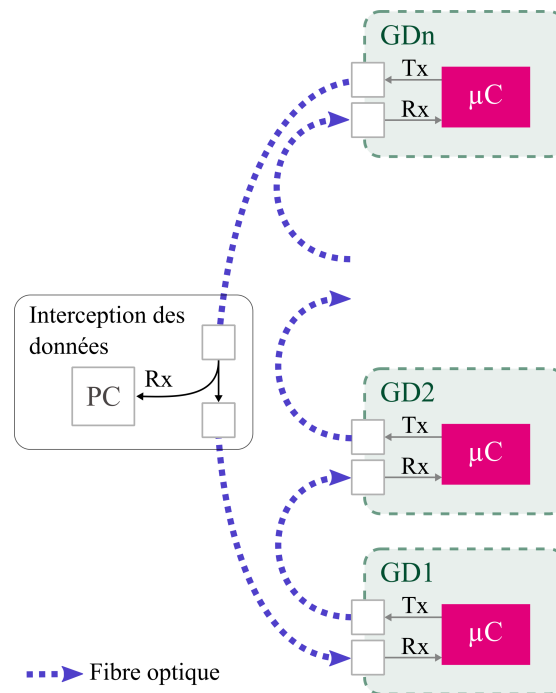


Figure 4.8: Description de la communication chaînée basée sur l'usage du périphérique UART des microcontrôleurs.

4.4 Évaluation, pour 2 MOSFETs, des solutions actives par ajustement des délais

Ces travaux se concentrent sur l'évaluation de différentes approches permettant d'égaliser les tensions V_{DS_OFF} de 2 MOSFETs connectés en série. Les comparaisons sont faites sur la base de simulations et de mesures. Pour cela, un prototype a été élaboré et une simulation a été mise en place.

4.4.1 Prototype et modèle de simulation

4.4.1.1 Description du prototype

Nous avons adapté un prototype existant pour construire un convertisseur constitué d'une cellule de commutation avec 2 MOSFETs en série ainsi qu'une diode de roue libre, connectée sur une charge inductive et résistive (1 mH et 5 Ω). Afin d'écartier tout risque de destruction, le prototype fonctionne sous une tension de 800 V_{DC} alors que les MOSFETs supportent 1.2 kV (G3R75MT12J) et la diode de roue libre 1.7 kV. Ce prototype possède de petits dissipateurs non adaptés pour fonctionner en régime continu à puissance nominale. Par conséquent, les tests sont effectués pour un nombre de commutations limité sur une durée de test de 20 μ s à 40 μ s à 10 kHz.

Les gate-drivers fonctionnent avec un circuit intégré de commande de grille sans protection. Quant à la partie active, seul un des gate-drivers est équipé de la chaîne de

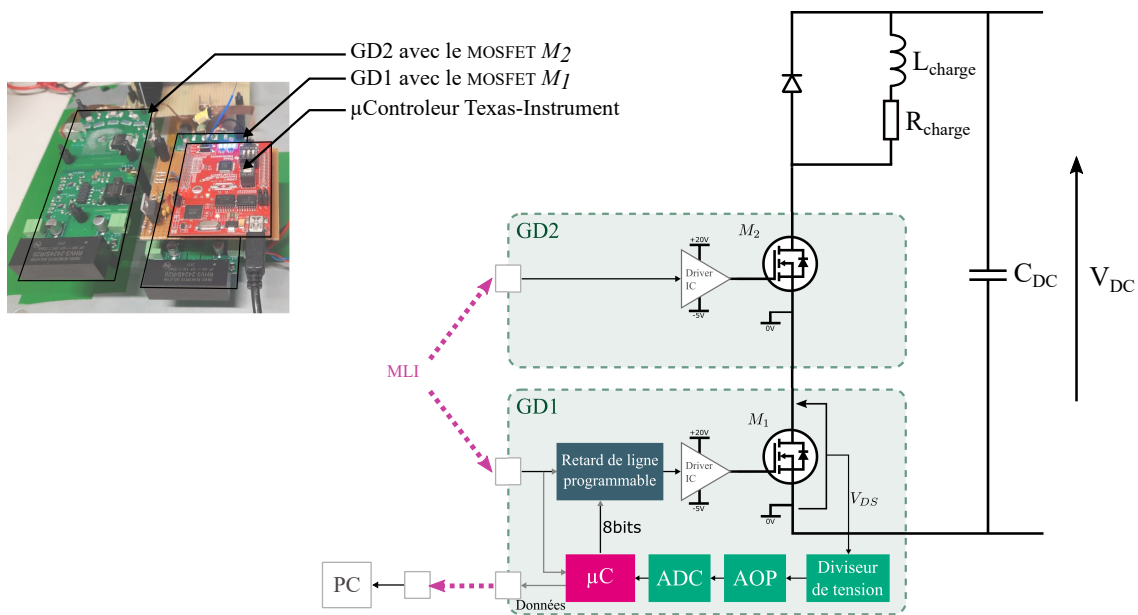


Figure 4.9: Description du montage mis en place pour réaliser l'évaluation de l'équilibrage par action sur les délais pour 2 MOSFETS en série.

mesure, du microcontrôleur et du retard de ligne programmable comme décrit sur la Figure 4.9. Le deuxième gate-driver est classique et joue le rôle de référence temporelle.

La *mesure embarquée* de la tension V_{DS_OFF} est effectuée à l'aide d'un pont diviseur de tension à haute impédance compensé comme une sonde de tension. Le gain de l'ensemble du pont diviseur ainsi que les AOPs est de 1 pour 1000. Le signal est filtré à 10 MHz par un filtre passe-bas du premier ordre, ce qui permet d'effectuer l'acquisition, à l'aide d'un ADC (Analog to Digital Converter) 12 bits, 1 μ s après le front montant de tension. Le résultat de la mesure est comparé à la mesure de l'oscilloscope avec une sonde passive (Figure 4.10) et montre une précision suffisante pour la régulation.

Le *microcontrôleur* reçoit la mesure de tension et est programmé pour implémenter les différentes stratégies de contrôle. Pour cela, nous avons utilisé le microcontrôleur TMS320F28027F de *Texas Instrument* (microcontrôleur 32 bits cadencé à 60 MHz avec oscillateur interne).

Le *délati*, quant à lui, est appliqué au signal de commande de grille à l'aide d'un retard de ligne programmable (DS1023-25+), pouvant retarder le signal d'entrée sur une plage de temps de 0 à 64 ns avec un pas de 250 ps. Le signal ne transite pas par le microcontrôleur, ce qui signifie que même si le microcontrôleur n'est pas programmé ou présente un défaut, le signal est tout de même propagé et le MOSFET commutera.

4.4.1.2 Description d'un modèle temporel et comparaisons aux mesures expérimentales en boucle ouverte

Afin de tester et de valider rapidement des stratégies d'équilibrage, un modèle temporel est proposé et les résultats sont comparés aux valeurs expérimentales. Avec ce modèle, il

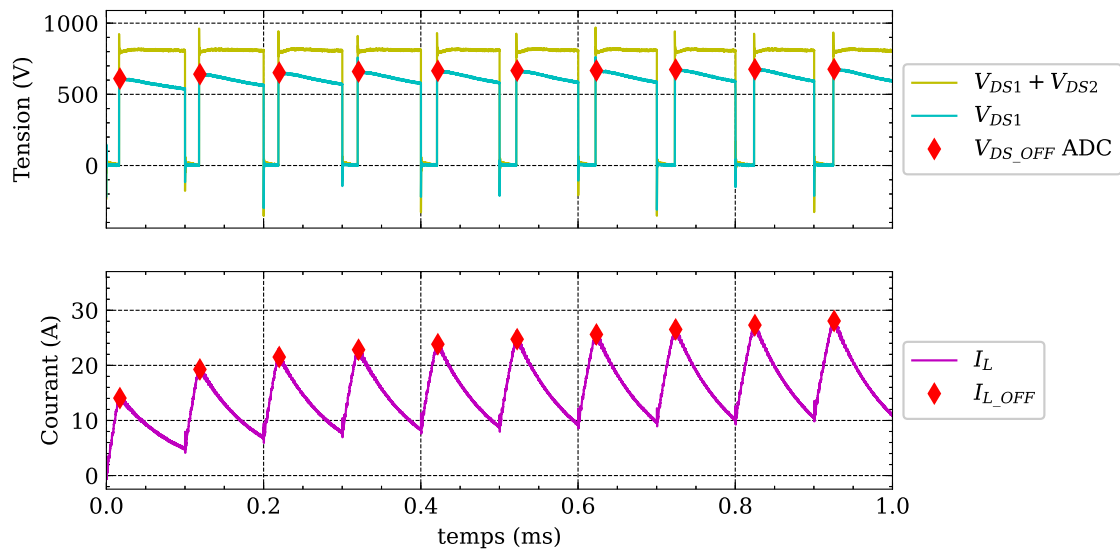


Figure 4.10: L'acquisition de la tension V_{DS1_OFF} par l'ADC correspond à la valeur de tension à la fin de l'ouverture du MOSFET M_1 . Le courant impactant le niveau d'équilibrage est le courant à l'ouverture I_{L_OFF} .

est possible de régler les paramètres de la régulation, et évaluer rapidement le domaine de validité, la stabilité et la robustesse d'une régulation lors de variations paramétriques des composants.

Les simulations se basent sur le modèle analytique décrit dans le Chapitre 2 afin d'estimer la tension V_{DS1_OFF} à chaque commutation en prenant en compte le délai relatif entre les deux transistors. Le modèle de simulation est initialisé avec les données de la documentation technique des MOSFETS et de la diode. De plus, il prend en compte la présence des sondes passives en ajoutant des capacités parasites.

Grâce au modèle ainsi paramétré, le déséquilibre est recalculé à chaque commutation : voir Figure 4.11. Le déséquilibre est amené à varier en fonction du courant commuté et du délai appliqué par le gate-driver actif. La boucle de régulation est reproduite dans la simulation pour calculer le délai correspondant au niveau de tension de la commutation précédente.

Cet ensemble permet de simuler le comportement d'une stratégie de contrôle dans les mêmes conditions que le prototype, ce qui facilite la validation du modèle. De plus, de nouvelles stratégies peuvent être évaluées avant d'être implémentées.

Afin de valider le modèle analytique, des simulations numériques sont effectuées et comparées aux résultats expérimentaux.

Dans ce premier scénario, l'écart temporel Δt est fixé à zéro. Afin d'accentuer le déséquilibre, les résistances de grille des MOSFETS M_1 et M_2 sont fixées à $10\ \Omega$ et $12\ \Omega$ respectivement. Les formes d'onde sont données à la Figure 4.12.

On observe alors un fort déséquilibre directement corrélé à la valeur du courant commuté I_{L_OFF} . L'efficacité de la régulation pourra alors être démontrée en comparaison avec l'équilibrage initial. Quant à la simulation, elle permet de reproduire le déséquilibre

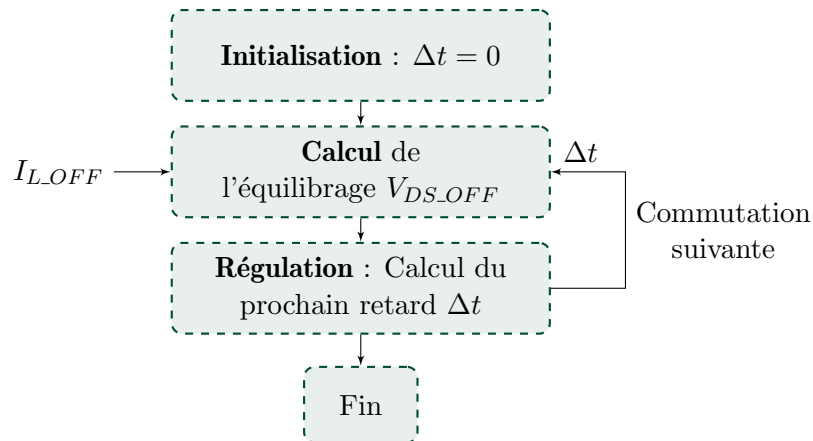
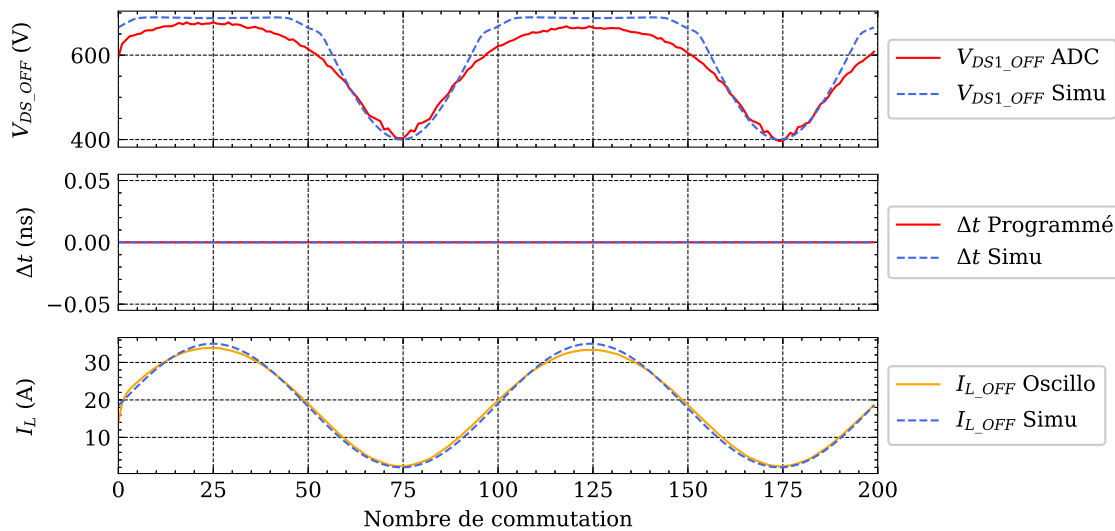


Figure 4.11: Processus de simulation d'une succession de commutations.

Figure 4.12: Résultat expérimental et de simulation de deux MOSFETS, obtenus en boucle ouverte lorsque le retard est programmé à $\Delta t = 0$. Le courant varie de façon sinusoïdale à 100 Hz entre 1 A et 35 A.

mesuré. Notons que le courant, utilisé pour la simulation n'est pas issu de la mesure, mais d'une fonction théorique sinusoïdale, expliquant en partie les écarts visibles.

4.4.2 Régulateur de type PI

La régulation PI est la plus couramment utilisée pour réguler la sortie d'un système. Il est intéressant d'évaluer les performances de cette régulation dans notre cas. Il convient tout d'abord de décrire le système, pour pouvoir établir la régulation adaptée.

4.4.2.1 Modélisation du système

Notre système est constitué de 2 MOSFETS connectés en série. Les deux entrées du système sont l'écart de temps entre les ouvertures notées Δt ainsi que le courant commuté à

l'ouverture I_{L_OFF} . La sortie est la tension à l'ouverture V_{DS_OFF} d'un des deux MOSFETS puis que la seconde tension est le complément pour atteindre la tension de bus V_{DC} .

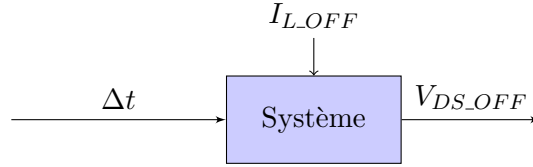


Figure 4.13: Le système : mise en série de 2 MOSFETS

L'étude de l'équilibrage de la mise en série au Chapitre 2 nous permet de déterminer le comportement du système. Premièrement, il est causal à temps invariant et non linéaire. Deuxièmement, il peut être vu comme un système discrétisé, car la grandeur que nous cherchons à réguler est la tension V_{DS} après l'ouverture qui est naturellement discrète. Les équations déployées au Chapitre 2 décrivent la tension suite à l'ouverture V_{DS_OFF} (équations (2.19) et (2.20)).

On peut décrire le système avec une relation de récurrence, en notant son entrée $u(k) = \Delta t$ et sa sortie $y(k) = V_{DS_OFF}$, l'entrée en courant étant considérée comme une perturbation $p(k) = I_{L_OFF}$.

$$y(k) = K_G + K_F(p(k)) \cdot u(k) \quad (4.1)$$

$$\text{Avec : } K_G = V_{DC} \frac{C_2}{C_1 + C_2} \text{ et } K_F(p(k)) = \frac{i_c(p(k))}{C_1 + C_2}$$

$$C_n = \begin{cases} C_{OSSn} + g_{fs} R_G C_{GDn} & \text{et } i_c(p(k)) = \begin{cases} p(k) - g_{fs}(V_{Gneg} - V_{th}) & \text{si } V_{GS} > V_{th} \\ p(k) & \text{sinon.} \end{cases} \end{cases}$$

- K_G est le niveau d'équilibre appelé naturel. Il correspond au niveau de tension atteint lorsque le courant est faible ou négatif (commutation de la diode), puisque le retard à l'ouverture n'impacte plus l'équilibre.
- $K_F(p(k))$ est directement lié aux dv/dt et modélise l'impact d'un retard à l'ouverture sur l'équilibrage en fonction du niveau de courant commuté.

Pour établir une fonction de transfert discrète, le système doit être linéarisé. La relation (4.1) est affine pour un courant donné et est linéarisée en définissant la sortie comme étant $Y(z) = V_{DS_OFF} - K_G$. De cette façon, le système peut être décrit avec la fonction de transfert discrète $G(z)$:

$$G(z) = \frac{Y(z)}{U(z)} = \frac{V_{DS_OFF} - K_G}{\Delta t} = K_F(P(z)) \quad (4.2)$$

4.4.2.2 Calcul des coefficients du régulateur PI

La régulation est ajoutée pour assurer l'équilibrage de la mise en série. La boucle de régulation permet de minimiser l'écart entre la tension de sortie et la référence, elle est représentée sur la Figure 4.14. La référence de tension est définie comme la moitié de la tension du bus $y_{ref} = \frac{V_{DC}}{2}$. Pour être cohérent dans la définition de la boucle de régulation, la référence dans le domaine discret sera alors $Y_{ref}(z) = \frac{V_{DC}}{2} - K_G$. L'erreur est donc $\varepsilon(z) = \frac{V_{DC}}{2} - V_{DS1_OFF}$.

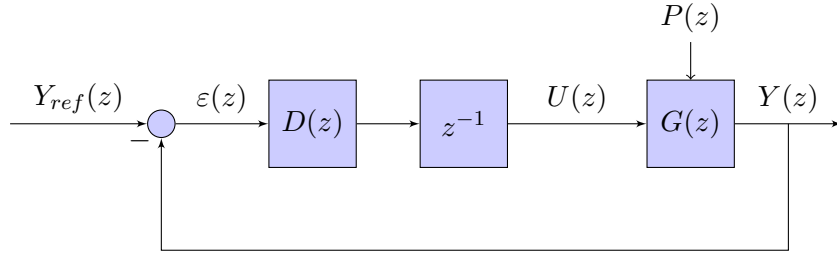


Figure 4.14: Boucle de régulation discrète appliquée sur le système pour réguler sa sortie.

Le retard pur z^{-1} est ajouté et représente l'application du délai calculé par la régulation $D(z)$ à la commutation suivante, ce qui introduit une dynamique supplémentaire à la boucle fermée. Le régulateur PI se base sur l'expression suivante du correcteur dans le domaine de Laplace qui est ensuite discrétisé :

$$d(p) = \frac{u(p)}{\varepsilon(p)} = K_p + \frac{K_i}{p} \quad (4.3)$$

L'expression est discrétisée en utilisant la transformation bilinéaire suivante (méthode d'Euler / backward) :

$$p \Leftrightarrow \frac{z-1}{zT}$$

- T étant la période d'échantillonnage qui est aussi la période de commutation.

Dès lors, l'expression discrète du correcteur est la suivante :

$$D(z) = \frac{U(z)}{\varepsilon(z)} = K_p + \frac{K_i z T}{z-1} \quad (4.4)$$

Les coefficients K_p et K_i sont calculés afin d'assurer performance et stabilité en fonction du courant choisi. Pour la stabilité du système bouclé, on s'assure que les pôles de la fonction de transfert en boucle fermée $F_{BF}(z)$ soient à l'intérieur du cercle unité. Pour se faire, la fonction de transfert en boucle ouverte ($F_{BO}(z)$) est calculée :

$$F_{BO}(z) = D(z)z^{-1}G(z) = K_F \frac{(K_p + K_i T)z - K_p}{z(z-1)} \quad (4.5)$$

La fonction de transfert en boucle fermée dans le cas d'un retour unitaire est :

$$F_{BF}(z) = \frac{F_{BO}(z)}{1 + F_{BO}(z)} = \frac{K_F(K_p + K_i T)z - K_F K_p}{z^{-2} + (K_F K_p + K_F K_i T - 1)z - K_F K_p} \quad (4.6)$$

Finalement, les conditions suivantes doivent alors être garanties pour obtenir la stabilité du système :

$$K_p < \frac{1}{K_F} \quad (4.7)$$

$$K_i < \frac{2 - K_F K_p}{K_F T} \quad (4.8)$$

Les coefficients peuvent ainsi être correctement sélectionnés pour un courant donné. Dans le cas où le courant diminue, les conditions de stabilité sont respectées, c'est le contraire si le courant augmente, la boucle fermée risque d'être instable. Les coefficients sont alors calculés pour le courant maximum de fonctionnement afin d'assurer la stabilité. En contrepartie, la dynamique du système sera mauvaise à courant faible. La précision quant à elle doit théoriquement être assurée par l'intégrateur lors d'une perturbation indicielle. Une erreur de trainée qui dépend du gain de la chaîne directe est attendue.

4.4.2.3 Comportement lors de perturbations rectangulaires en courant

Les coefficients sont calculés pour un fonctionnement à 25 A, mais pour évaluer le comportement de la régulation face à des perturbations importantes, le courant est modulé. Le comportement est évalué avec un courant rectangulaire qui varie à 100 Hz entre 1 A et 25 A.

La Figure 4.15 présente la réponse du système en boucle fermée. Les résultats de la simulation sont superposés aux mesures et montrent une bonne correspondance. Il faut noter que la tension du bus continu chute légèrement pendant la durée du test, ce qui explique que le courant diminue légèrement et que le comportement évolue d'une période sur l'autre ; quant à la simulation, la tension de bus est considérée comme constante.

Ce premier résultat nous montre que la réponse est stable à 25 A comme à 1 A et que le régulateur permet de diminuer l'erreur statique en régime permanent. À noter cependant qu'une erreur statique de quelques dizaines de volts persiste, et cela même en laissant plus de temps au système pour atteindre sa valeur permanente. Théoriquement, l'intégrateur permet de réduire cette erreur à zéro, cependant un aspect a été négligé lors de l'implémentation du régulateur dans le microcontrôleur ; l'entrée du système $U(z)$ est en pratique quantifiée et codée sur 8 bits avec un pas minimum de 0.25 ns. De ce fait, l'action intégrale est bridée par ce pas minimum, puisqu'en interne, la variable est elle aussi un entier sur 8 bits. L'effet est reproduit en simulation qui prend en compte cette quantification. Une correction devra donc être apportée pour permettre à l'intégrateur de fonctionner correctement en utilisant une variable à virgule fixe ou flottante ; la quantification n'intervient qu'au moment d'appliquer le délai.

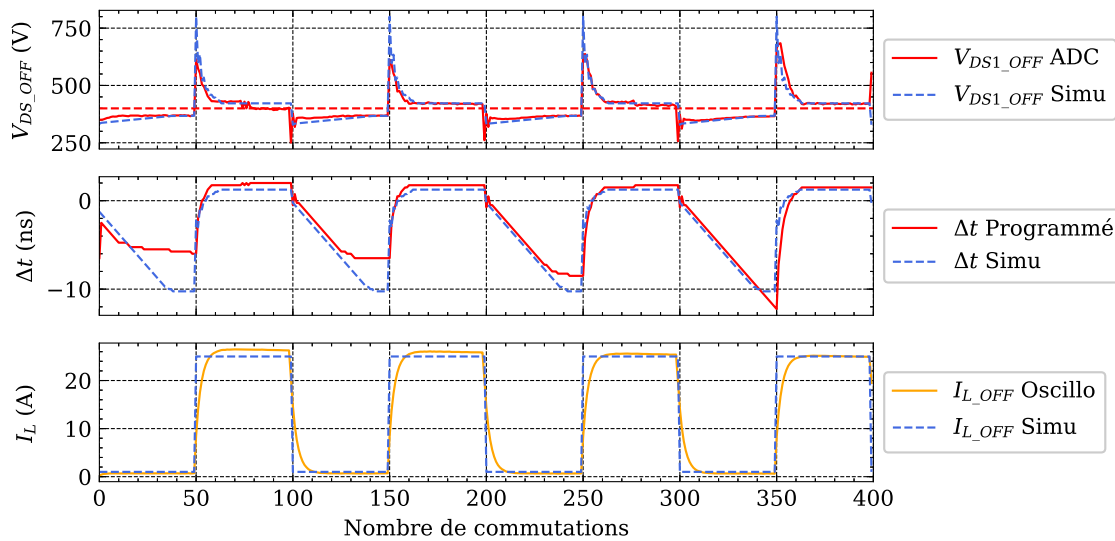


Figure 4.15: Équilibrage de tension par la régulation PI du délai du MOSFET M_1 . Résultats expérimentaux et de simulation lors d'une variation rectangulaire du courant

Enfin, l'effet du courant sur la dynamique de réponse est clairement visible. À 25 A, le régime permanent est atteint après une dizaine de commutations, alors qu'à 1 A, il faut attendre une quarantaine de commutations. Ce temps est aussi fortement dépendant de l'équilibrage naturel, qui peut forcer l'intégrateur à incrémenter de façon excessive. Par conséquent, la surtension lors de la croissance du courant est fortement impactée. Le comportement se rapproche d'une saturation du système avec un correcteur intégral, et l'application d'une solution de type « anti-windup » est alors envisageable.

4.4.2.4 Comportement lors des perturbations sinusoïdales en courant

Le test est reproduit cette fois-ci avec une variation de courant sinusoïdale à 100 Hz. La figure 4.16 montre encore une correspondance entre résultats expérimentaux et simulés.

Il est délicat de conclure sur les performances obtenues vis-à-vis d'une réponse sinusoïdale avec les outils d'analyses linéaires. Néanmoins, puisque le comportement est reproductible en simulation, la configuration du correcteur peut être évaluée.

4.4.2.5 Conclusion sur la régulation PI

La mise en série de 2 MOSFETS a été représentée en tant que système d'un point de vue de l'automatique. Ce système nous permet de calculer les coefficients de la régulation PI afin de réguler sa sortie : la tension V_{DS_OFF} . Les paramètres du modèle sont déterminés par des valeurs issues des documentations techniques ou par identification. Les coefficients sont calculés pour assurer la stabilité de la boucle fermée avec un courant maximum. La régulation PI est discrétisée et implémentée dans le microcontrôleur du premier MOSFET. Elle est testée avec un courant variant en échelons, ce qui n'est pas représentatif du fonctionnement d'un convertisseur, mais est utile pour l'analyse des performances. Les

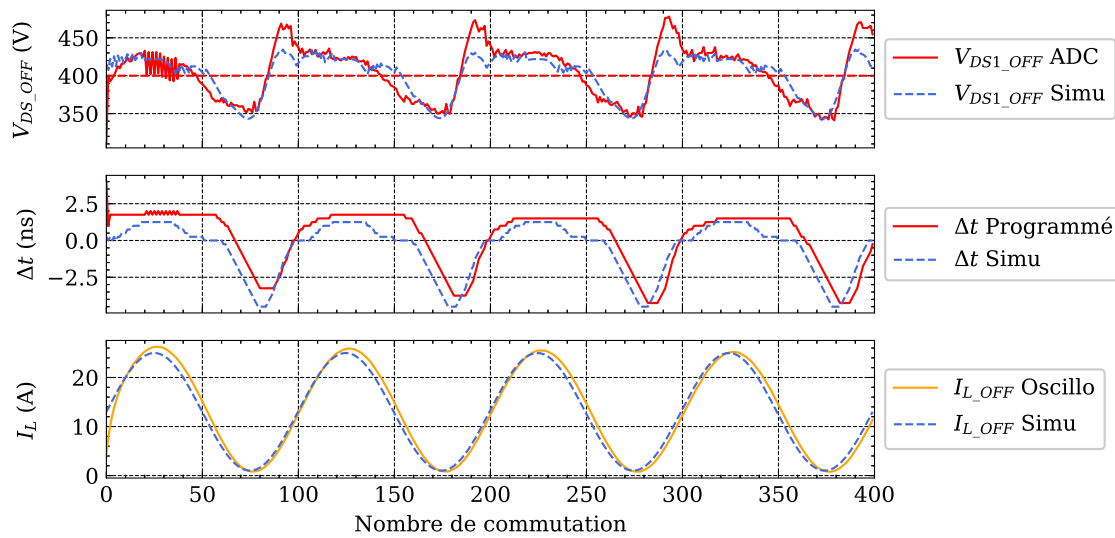


Figure 4.16: Équilibrage de tension par la régulation PI du délai du MOSFET M_1 . Résultats expérimentaux et de simulation lors d'une variation sinusoïdale à 100 Hz

résultats permettent d'évaluer le niveau de précision du régulateur. Une erreur statique est observée qui s'explique par l'implémentation numérique du correcteur, point qui sera amélioré par la suite. La dynamique varie en fonction du courant commuté et le dépassement de tension lors de l'échelon est lié à la valeur de l'équilibre naturel de la mise en série (K_G). Équilibrage volontairement dégradé dans les tests avec deux résistances de grilles différentes. En effet, lorsque cette valeur est éloignée de la référence, le délai ayant peu d'impact sur la tension d'équilibre à faible courant (K_F faible), une forte variation de celui-ci doit être appliquée. Lorsque le courant augmente, l'impact du délai est renforcé ($K_F \nearrow$) et la tension est fortement déséquilibrée.

Si le courant n'est pas amené à varier fortement et rapidement, cette régulation PI telle que présentée semble pertinente. Cependant, ce cas de figure est rare dans un convertisseur de puissance où le courant varie sur une large plage. Une façon d'améliorer significativement la dynamique est d'ajuster les coefficients en fonction de la mesure de courant [ZLW20]. Cependant, le contrôleur doit alors recevoir l'information de courant, mais pour certaines applications, cette information peut-être indisponible ou l'ajout d'un capteur non souhaité.

4.4.3 Régulateur de type « tout ou rien »

Dans une optique de simplification de la stratégie de contrôle, nous cherchons à évaluer une stratégie de régulation plus simple de type « tout ou rien ». L'intérêt est de pouvoir limiter le nombre d'éléments sur le gate-driver à son strict minimum. Avec un contrôle de ce type, la numérisation de la mesure peut être réalisée avec de simples comparateurs, nul besoin d'ADC. Quant à la stratégie de contrôle, elle pourrait être implémentée avec une simple logique programmée.

Ainsi, le circuit d'équilibrage de tension aura un impact moindre sur la fiabilité tout en restant robuste aux variations du système. En contrepartie, les performances peuvent être réduites, mais toutefois suffisantes.

Dans cette partie, notre objectif est de valider la faisabilité et les performances de cette approche pour 2 MOSFETS en série à l'aide des résultats expérimentaux et de simulations numériques.

4.4.3.1 Méthode à 2 seuils de détection

La première approche est imaginée avec deux seuils de tensions qui délimitent la fourchette de tension acceptable. La stratégie est schématisée sur la Figure 4.17 en s'inspirant des notations de logique floue. Lorsque la tension dépasse les seuils, le délai se voit incrémenté ou décrétement d'un nombre k d'incrément de temps (dans notre cas $inc = 250$ ps). Pour rappel, incrémenter le délai revient à retarder M_1 par rapport à M_2 et ainsi réduire la tension V_{DS1_OFF} .

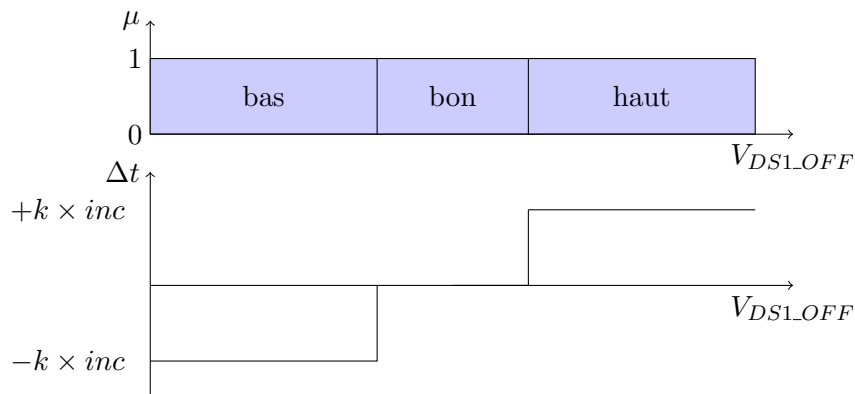


Figure 4.17: Représentation de la régulation « tout ou rien » à 2 niveaux de tension.

De cette façon, 2 variables de réglage sont disponibles : le niveau des seuils et le nombre d'incrément appliqués. Le niveau des seuils est exprimé en pourcentage de la tension de référence, il impacte la précision de l'équilibrage. Le nombre d'incrément joue sur la dynamique de réponse lors du déplacement des seuils. Comme pour toute régulation, un compromis doit être trouvé entre précision, stabilité et dynamique.

Ici, l'instabilité intervient dès que la réaction au déplacement d'un seuil aboutit au dépassement du seuil opposé. Elle est alors susceptible d'apparaître lorsque le gain du système K_F est grand, c'est-à-dire à fort courant.

Dans les mêmes conditions que précédemment avec la régulation PI, la régulation est évaluée avec une variation de courant rectangulaire (Figure 4.18). Les seuils sont configurés à 340 V et 460 V correspondant à $\pm 15\%$ et le nombre d'incrément à $k = 6$. Le résultat montre que le contrôle permet de garder la tension V_{DS_OFF} dans la fourchette définie.

L'observation est la même dans le cas de variations sinusoïdales du courant ; les résultats sont présentés sur la Figure ???. L'objectif est atteint, mais afin d'améliorer la

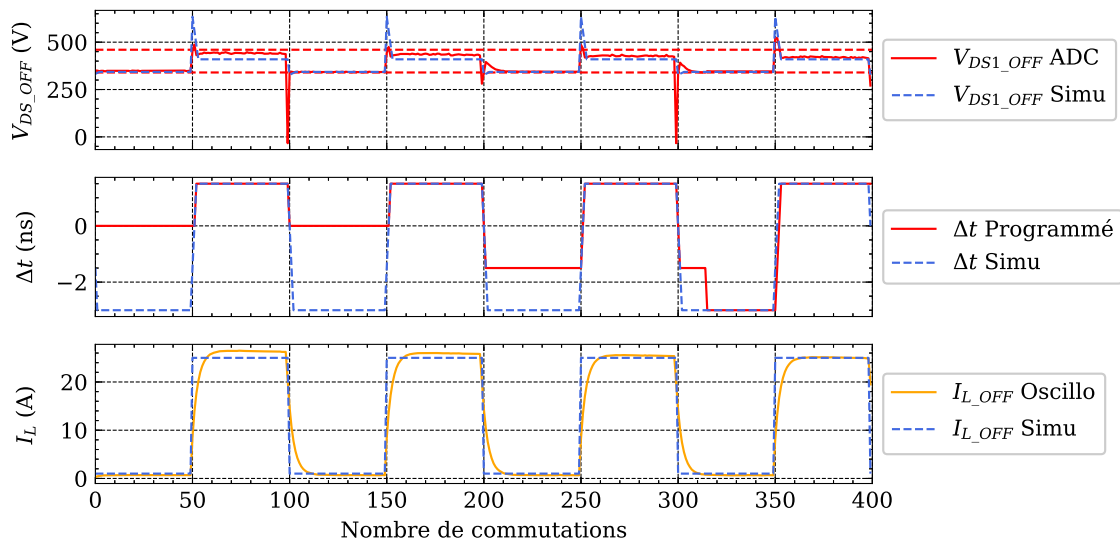


Figure 4.18: Équilibrage par comparaison avec 2 seuils de tensions correspondant à $\pm 10\%$ de la référence, et une variation de courant rectangulaire.

précision, les seuils sont réduits de $\pm 15\%$ à $\pm 5\%$ et par conséquent la valeur de k est diminuée à $k = 3$ pour respecter les contraintes de stabilité à courant maximum. La Figure 4.19 donne les résultats dans ce cas. La tension reste globalement dans les bornes, mais la dynamique est ralentie : lors des variations de courant rapides, la tension met plus de temps à se stabiliser.

La critique principale à cette stratégie est que la tension atteinte en régime permanent, lorsque le courant est constant, n'est pas forcément centrée dans la fourchette de tension. Ainsi, un déséquilibre thermique peut apparaître dû à des pertes en commutation légèrement différentes. Pour apporter une réponse à cette problématique, l'ajout d'un seuil intermédiaire est proposé.

4.4.3.2 Méthode à 3 seuils de détection

Cette régulation s'éloigne un peu du concept initial de type « tout ou rien » avec 3 niveaux de tension, mais elle reste simple. Le comportement est décrit sur la Figure 4.20 et le niveau intermédiaire qui constitue l'objectif à atteindre est ici scindé en deux. Dans cette plage, le délai est incrémenté ou décrémenté pas à pas pour atteindre l'équilibre en régime permanent.

La Figure 4.21 présente le résultat obtenu avec une perturbation rectangulaire (perturbation sinusoïdale en Annexe ??). L'équilibre est atteint en régime permanent et la tension est bien centrée au niveau du seuil central. En contrepartie, la surtension lors de la variation de courant est importante puisque le délai est maintenant plus progressivement décrémenté pour atteindre la référence. De la même façon qu'avec le correcteur PI, un « anti-windup » permet de limiter cet effet.

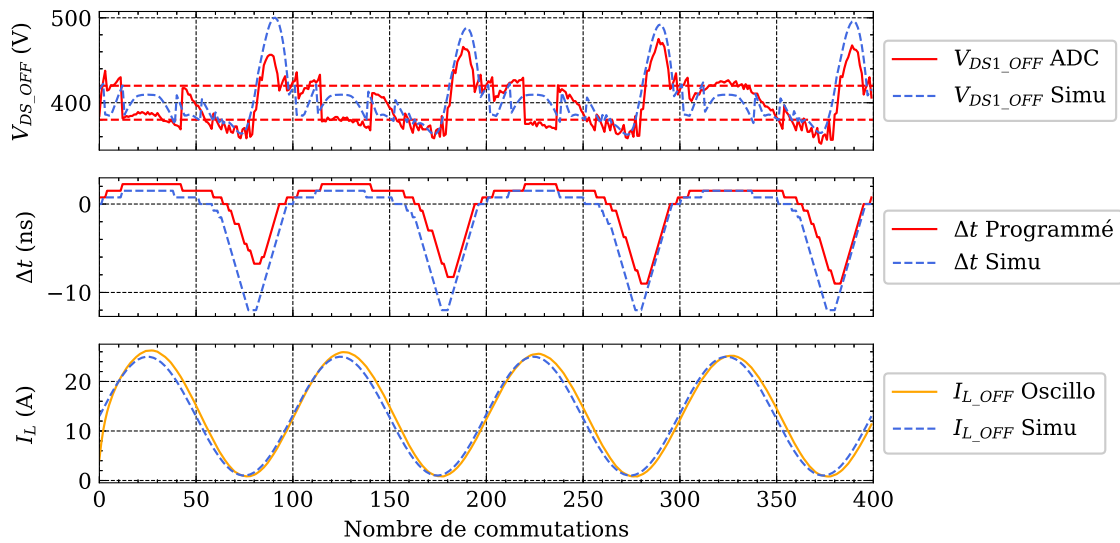


Figure 4.19: Équilibrage par comparaison avec 2 seuils de tensions correspondant à $\pm 5\%$ dans le cas d'une variation de courant sinusoïdale à 100 Hz.

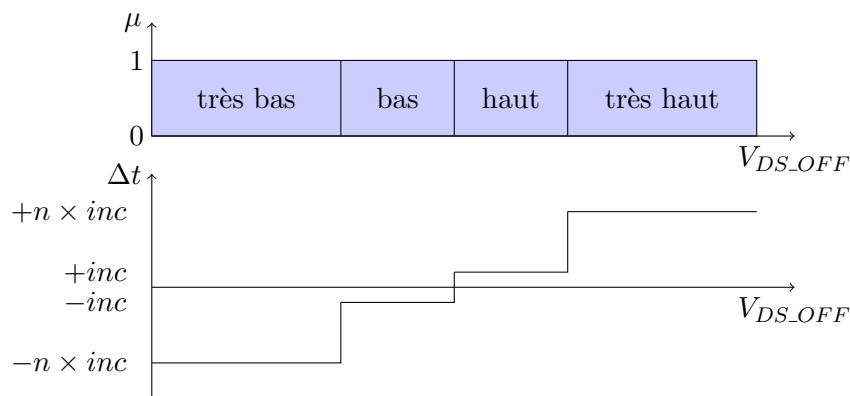


Figure 4.20: Représentation de la régulation « tout ou rien » à 3 niveaux de tensions

Ici, l'« anti-windup » consiste à limiter le nombre d'incrémentaires unitaires successifs (ici 6). Le résultat est présenté en Figure 4.22 et permet dans ce cas de réduire significativement la surtension de 400 V à 150 V.

La régulation à trois niveaux permet d'atteindre un meilleur équilibrage en régime permanent. Le comportement à faible courant doit encore une fois être maîtrisé pour limiter les effets transitoires extrêmes, mais cette solution semble adaptée pour de nombreux cas d'application.

4.4.4 Conclusions sur les solutions par action sur les délais pour 2 transistors.

Sur la base de la littérature scientifique, différentes stratégies d'équilibrage par action sur les délais pour 2 MOSFETs en série ont été évaluées en pratique.

La régulation PI représente la première solution viable, mais limite la plage de fonctionnement en courant. Pour répondre à cette contrainte, une régulation adaptative en

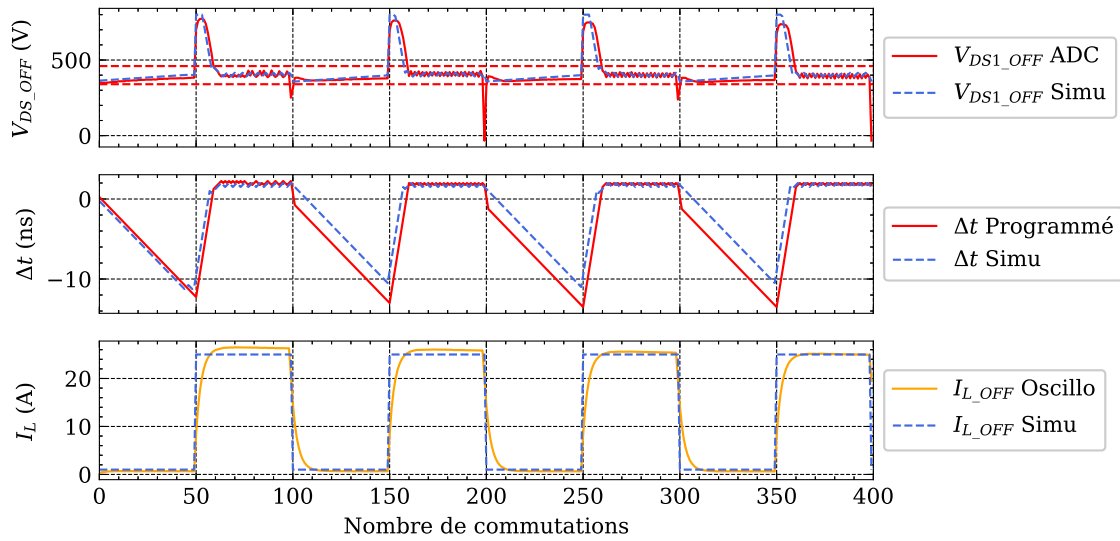


Figure 4.21: Équilibrage par régulation à 3 seuils (V_{ref} et $\pm 15\%V_{ref}$) et $k = 6$.

courant permet d'assurer un comportement stable et rapide sur une plus grande plage de fonctionnement. Cependant, l'information du courant commuté n'est pas toujours disponible en pratique, en particulier dans le cas d'un contrôle de l'équilibrage dissocié du contrôle global du convertisseur.

Dans l'optique de minimiser la complexité matérielle et algorithmique de l'équilibrage, des régulations de type « tout ou rien » ont été évaluées. La première, à deux seuils de détection, permet de maintenir la tension dans une fenêtre définie. La configuration des niveaux de tension et du nombre d'incrément de temps permet d'ajuster la précision et la dynamique de la réponse. La simulation mise en place est un outil efficace pour configurer et tester ces paramètres. Enfin, pour réduire l'erreur statique de cette régulation, l'ajout d'un seuil intermédiaire est proposé, qui montre de bons résultats.

La mise en œuvre de ces différentes méthodes a permis d'observer des limitations dues à l'implémentation pratique. Le choix de la solution d'équilibrage est une question de compromis vis-à-vis des contraintes matérielles et fonctionnelles. Sans oublier que le comportement des régulations a été évalué sur une durée de temps limitée, et pourrait révéler des comportements déterminants lors d'un fonctionnement sur un temps plus long.

La suite des travaux s'oriente vers l'évaluation de ces stratégies de régulation pour un nombre plus important de MOSFETs. L'équilibrage naturel est particulièrement travaillé puisque cette stratégie d'équilibrage ne permet pas de le rattraper convenablement.

4.5 Évaluations, pour 3 MOSFETs, des solutions actives par action sur les délais

L'équilibrage de la mise en série de 2 MOSFETs est un cas particulier puisque d'un point de vue de la régulation, il peut être vu comme un système à une entrée et une sortie. Le pas-

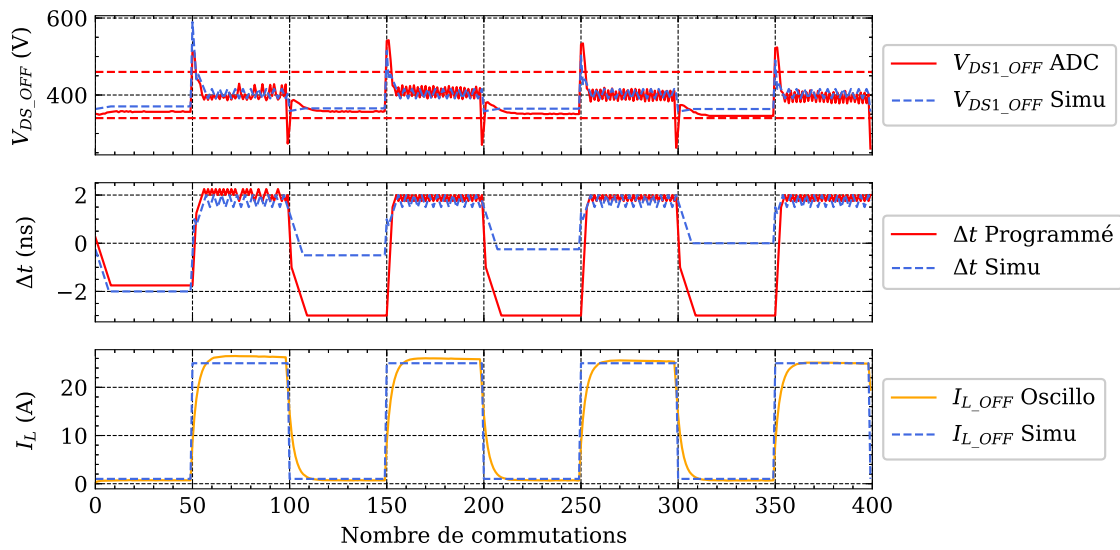


Figure 4.22: Équilibrage par régulation à 3 seuils (V_{ref} et $\pm 15\%V_{ref}$) et $k = 6$. Un comportement de type « anti-windup » est ajouté.

sage à 3 MOSFETS ou plus équilibrés activement représente une difficulté supplémentaire. En effet, dans la littérature, l'équilibrage par synchronisation des instants d'ouverture pour plus de 2 MOSFETS n'a pas a priori encore été présenté. D'un point de vue de l'automatique, avec 3 MOSFETS ou plus, le système devient multi-entrées multi-sorties (MIMO : Multi-Input Multi-Output) : Figure 4.23. Notre objectif est le même ; la/les régulation(s) doivent maintenir les tensions V_{DSn_OFF} équilibrées. Le modèle doit donc être établi pour 3 MOSFETS en série dans le but d'établir une régulation adaptée.

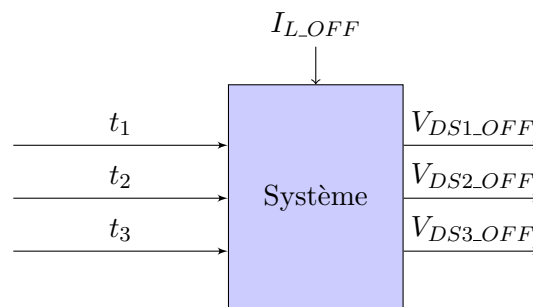


Figure 4.23: Le système MIMO dans le cas de 3 MOSFETS connectés en série.

4.5.1 Modélisation du système MIMO

4.5.1.1 Mise en équations

Le système MIMO représentant la mise en série de 3 MOSFETS est établi à partir de l'expression (2.18) du Chapitre 2. Elle permet de décrire les relations entre les tensions à l'ouverture V_{DSn_OFF} et les retards à l'ouverture de chaque MOSFET, en prenant en compte de multiples paramètres caractérisant les dispersions de chaque composant. Dans

le but d'établir une régulation, les équations sont simplifiées : les MOSFETs sont considérés comme identiques et la capacité parasite de la diode est négligée. Dans ce cas particulier, le système n'est déséquilibré que par la non-synchronisation des délais et tous les dv/dt sont identiques.

Dans ce cas le système s'exprime de la façon suivante :

$$F_3 \begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} + G_3 = \begin{bmatrix} V_{DS1_OFF} \\ V_{DS2_OFF} \end{bmatrix} \quad (4.9)$$

$$\text{Avec } F_3 = \frac{dV_{DS}}{dt} \cdot \begin{bmatrix} -\frac{2}{3} & \frac{1}{3} & \frac{1}{3} \\ \frac{1}{3} & -\frac{2}{3} & \frac{1}{3} \end{bmatrix} \text{ et } G_3 = \begin{bmatrix} g_1 \\ g_2 \end{bmatrix} = \frac{V_{DC}}{3} \cdot \begin{bmatrix} 1 \\ 1 \end{bmatrix}$$

$$\frac{dV_{DS}}{dt} = \begin{cases} \frac{I_L - g_{fs}(V_{Gneg} - V_{th})}{C_{OSS} + g_{fs}R_G C_{GD}} & \text{si } V_{GS} > V_{th} \\ \frac{I_L}{C_{OSS}} & \text{sinon.} \end{cases}$$

Cette mise en équation amène quelques commentaires : le comportement du système est bien couplé, la variation d'une entrée fait varier toutes les sorties. De plus, le système ainsi décrit est sous-contraint, car il a 3 entrées et 2 sorties, la dernière tension répondant à $\sum_1^N V_n = V_{DC}$. Il y a alors une infinité de solutions qui permettent d'équilibrer les sorties. Plus concrètement, le système réagit à l'écart relatif entre les temps d'ouvertures et non à des retards absolus.

4.5.1.2 Possibilité de fixer le retard d'un des gate-drivers

Il est nécessaire d'ajouter une contrainte, pour obtenir une solution unique au système. Précédemment avec 2 MOSFETs, le système a été contraint en fixant le retard du second MOSFET (qui n'était pas équipé d'un retard programmable). Il est possible avec 3 MOSFETs ou plus de procéder de la même manière en fixant un des retards.

Par exemple, le retard t_3 est fixé à une valeur notée t_{cst} . En pratique, ce retard est choisi pour qu'il soit possible d'appliquer un retard positif ou négatif relativement à l'ouverture de M_3 . L'équation peut être ajoutée au système matriciel de la façon suivante:

$$\underbrace{\begin{bmatrix} -\frac{2}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} \\ \frac{1}{3} \frac{dV_{DS}}{dt} & -\frac{2}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} \\ 0 & 0 & 1 \end{bmatrix}}_{F_{3(fixe)}} \begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} + \begin{bmatrix} g_1 \\ g_2 \\ 0 \end{bmatrix} = \begin{bmatrix} V_{DS1_OFF} \\ V_{DS2_OFF} \\ t_{cst} \end{bmatrix} \quad (4.10)$$

Cette contrainte permet de ramener le problème de ce système à une solution unique qu'il s'agit d'évaluer. Le système est résolu en inversant $F_{3(fixe)}$.

$$\begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} = \underbrace{\begin{bmatrix} -\frac{2}{\frac{dV_{DS}}{dt}} & -\frac{1}{\frac{dV_{DS}}{dt}} & 1 \\ -\frac{1}{\frac{dV_{DS}}{dt}} & -\frac{2}{\frac{dV_{DS}}{dt}} & 1 \\ 0 & 0 & 1 \end{bmatrix}}_{F_{3(fixe)}^{-1}} \begin{bmatrix} V_{DS1_OFF} - g_1 \\ V_{DS2_OFF} - g_2 \\ t_{cst} \end{bmatrix} \quad (4.11)$$

Dans ce cas particulier, le système est parfaitement équilibré et la solution est évidemment le vecteur temporel nul lorsqu'on cherche à obtenir $V_{DS1_OFF} = V_{DS2_OFF} = \frac{V_{DC}}{3}$.

D'autre part, en observant la matrice inverse $F_{3(fixe)}^{-1}$, le calcul d'un délai est dépendant des tensions V_{DS1_OFF} et V_{DS2_OFF} . La régulation devra soit agir sur les deux délais en fonction des deux tensions, ce qui n'est pas simple à mettre en œuvre, soit agir sur les délais respectifs de chaque tension. Dans ce cas, la régulation devra être suffisamment robuste pour faire fi des couplages entre les tensions.

4.5.1.3 Possibilité de contraindre la moyenne des délais

Alternativement, il est possible de contraindre différemment le système. Plutôt que de fixer un retard, il est possible de contraindre la valeur moyenne des délais $(t_1 + t_2 + t_3)/3 = t_{cst}$. Ce qui se traduit sur le système de la façon suivante, où tous les délais sont libres de varier :

$$\underbrace{\begin{bmatrix} -\frac{2}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} \\ \frac{1}{3} \frac{dV_{DS}}{dt} & -\frac{2}{3} \frac{dV_{DS}}{dt} & \frac{1}{3} \frac{dV_{DS}}{dt} \\ \frac{1}{3} & \frac{1}{3} & \frac{1}{3} \end{bmatrix}}_{F_{3(moy)}} \begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} + \begin{bmatrix} g_1 \\ g_2 \\ 0 \end{bmatrix} = \begin{bmatrix} V_{DS1_OFF} \\ V_{DS2_OFF} \\ t_{cst} \end{bmatrix} \quad (4.12)$$

De la même façon, on est ramené à la résolution du système suivant,

$$\begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} = \underbrace{\begin{bmatrix} -\frac{1}{\frac{dV_{DS}}{dt}} & \boxed{0} & 1 \\ \boxed{0} & -\frac{1}{\frac{dV_{DS}}{dt}} & 1 \\ \frac{1}{\frac{dV_{DS}}{dt}} & \frac{1}{\frac{dV_{DS}}{dt}} & 1 \end{bmatrix}}_{F_{3(moy)}^{-1}} \begin{bmatrix} V_{DS1_OFF} - g_1 \\ V_{DS2_OFF} - g_2 \\ t_{cst} \end{bmatrix} \quad (4.13)$$

À la différence du cas précédent, la réponse à appliquer t_n ne dépend que de la tension du MOSFET correspondant M_n , cette matrice laisse apparaître des zéros et annule le couplage. Ce résultat nous montre qu'il est possible de déterminer un délai avec comme seule information la valeur du niveau correspondant.

Ainsi, tout se passe comme si le couplage entre les niveaux était compensé lorsque tous les délais sont libres de varier. Trois régulateurs indépendants peuvent alors être implé-

mentés. Néanmoins, il ne faut pas oublier la simplification qui a été apportée précédemment en négligeant la capacité de la diode de roue libre C_f . Cette dernière implique des couplages et la régulation devra être robuste en conséquence.

Enfin, le choix de réguler toutes les tensions V_{DSn_OFF} est questionnable, puisque la tension du bus V_{DC} est imposée. Il faut donc que la somme des tensions de référence V_{ref} soit parfaitement égale à V_{DC} , ce qui est difficile à assurer en pratique. Les régulateurs devront donc être capables de fonctionner avec une erreur statique.

4.5.2 Prototype d'un convertisseur Buck haute tension - Mise en œuvre de 3 transistors en série

Le passage de 2 à 3 MOSFETS en série nous impose de revoir la conception du prototype. Le prototype à 2 MOSFETS nous a permis de valider un grand nombre d'éléments. Le circuit a donc été conservé pour réaliser des cartes gate-drivers intégrant tous les composants : circuit intégré de grille, microcontrôleur, ligne de délais programmable et chaîne de mesure. Désormais avec 3 gate-drivers, une communication isolée est nécessaire pour implémenter les stratégies de contrôle ainsi que pour suivre les variations de tension et de délais. L'architecture de communication chaînée est décrite à la Section 4.3.3.2.

Ce prototype est une version réduite par un facteur 5 d'un convertisseur Buck de $V_{DCHV} = 6\text{ kV}$ vers $V_{DCLV} = 1.2\text{ kV}$ pour un courant nominal de 70 A. La figure 4.24 donne un synoptique du convertisseur Buck réalisé pour évaluer l'équilibrage sur 3 MOSFETS 650 V en séries pour un fonctionnement à $V_{DCHV} = 1.2\text{ kV}$. En cas de déséquilibre important, la tension des MOSFETS sera limitée par l'avalanche, soit environ 800 V. La tension de sortie est fixée à 220 V pour un rapport d'abaissement de 18%. Ce qui signifie que les diodes sont fortement contraintes puisqu'elles conduisent 82% du temps.

Le prototype est alimenté par une alimentation haute tension et une alimentation réversible est utilisée en charge. Elles deux imposent les tensions d'entrées et sorties. Le flux de puissance est ajusté en jouant sur le rapport cyclique. Dans le cas d'un fonctionnement en régime permanent, une boucle de régulation de courant est nécessaire, mais nous ne l'avons pas implémentée ici pour des raisons de simplicité lors de ces premiers tests.

Les gate-drivers sont tous identiques et idéalement tous programmés de la même façon. Chacun reçoit le même signal de commande par fibre optique qui est propagé jusqu'au circuit intégré de grille en passant par le délai programmable. Ce signal est aussi reçu par le microcontrôleur afin de synchroniser la mesure. La tension est mesurée à l'aide d'un pont diviseur de tension compensée et la conversion analogique est déclenchée 1 μs après le front montant de tension.

La version du prototype utilisé est équipée de petits dissipateurs thermiques sur chaque gate-driver (visibles sur la Figure 4.25). De ce fait, peu de capacités parasites de mode commun sont rajoutées (cf. Section 2.1.2). Les gate-drivers sont alimentés individuellement par des alimentations DC/DC isolées avec une faible capacité parasite de 2 pF. Le

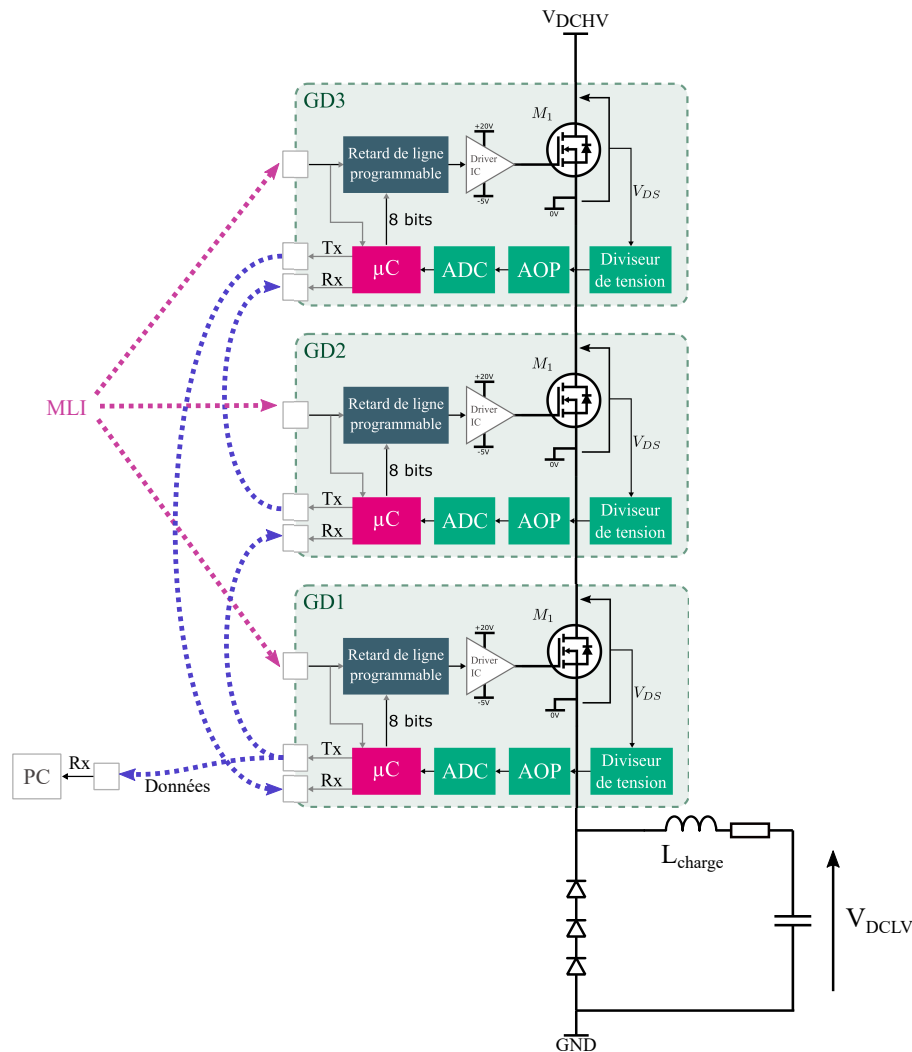


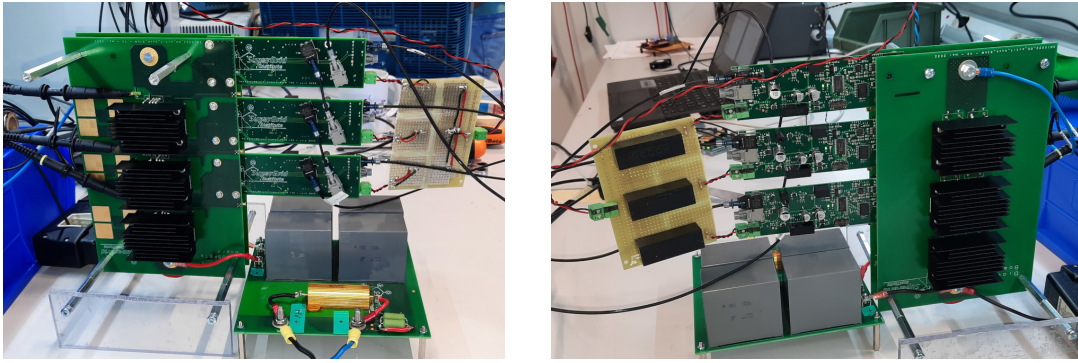
Figure 4.24: Description du convertisseur Buck à 3 MOSFETS connectés en série et équilibrés par des gate-drivers actifs ajustant les retards à l'ouverture.

résultat est que, comme attendu, l'équilibrage naturel est bon et la régulation des délais interviendra uniquement lors de l'apparition de forts dv/dt à fort courant.

L'équilibrage du prototype est tout d'abord évalué sans régulation des délais sur la Figure 4.26. Ce résultat montre l'évolution des tensions à l'ouverture V_{DSn_OFF} mesurées par les gate-drivers lorsque les délais sont fixes. Un déséquilibre important est visible et dépend de la valeur du courant. Le courant affiché est la valeur du courant commuté à l'ouverture (cf. Section 4.4.1.1), il varie de 6 A à 30 A en 2 ms.

Les vitesses de commutation sont mesurées au préalable : à 6 A on mesure 6 – 7 V/ns et à 30 A on mesure 20 – 25 V/ns. La mesure de la valeur du dv/dt est délicate puisque la tension ne croît pas de façon constante notamment en présence d'oscillation. De plus, les valeurs des capacités parasites dépendent de la tension et impactent les dv/dt , cela conduit à accélérer les MOSFETS les plus déséquilibrés.

La simulation ne prend pas en compte cette variation, ce qui conduit à une estimation moindre des déséquilibres. Les résultats de la simulation sont présentés en Figure 4.27.



(a) Les MOSFETS sont placés sous les trois dissipateurs visibles. Les 3 cartes sur la droite sont les gate-drivers avec la communication chaînée visible. (b) Deux diodes sont situées sous chacun des 3 dissipateurs visibles. La face avant est visible. La carte suspendue à gauche permet d'assembler les alimentations isolées.

Figure 4.25: Photo du prototype à échelle réduite. Ayant pour but de tester et comparer les différentes stratégies d'équilibrage actif agissant sur les délais à l'ouverture.

4.5.3 Régulateurs PI

L'objectif de cette partie est de réguler le système MIMO à l'aide de boucles de régulation indépendantes. Des régulateurs PI discrétisés, tels que ceux implémentés précédemment dans la Section 4.4.2, sont utilisés pour réguler soit 2 tensions, soit 3 tensions. Dans le premier cas, un des gate-drivers n'est pas régulé, son délai est maintenu fixe. Dans le second, les trois MOSFETS sont régulés.

4.5.3.1 Régulation de 2 MOSFETs sur 3

Un des gate-drivers est programmé pour fixer le délai à sa valeur médiane t_{cst} . Celui-ci joue le rôle de référence temporelle, pour les deux autres qui sont programmés pour réguler leurs tensions $Y_n(z)$ à la valeur de référence $Y_{ref}(z)$, valeur théorique, maintenue fixe. Le correcteur PI $D(z)$ s'exprime selon l'expression déjà établie en (4.4).

L'ensemble est schématisé sur la Figure 4.28. Les flèches doubles du schéma bloc représentent des vecteurs et permettent une représentation compacte des multiples boucles de régulations. Ici, toutes les boucles sont identiques. Le calcul du régulateur $D(z)$ est appliqué sur chaque élément du vecteur.

$$\frac{U_n(z)}{\varepsilon_n(z)} = D(z) \quad \forall n \in [1, 2, 3] \quad (4.14)$$

De cette façon, les régulateurs sont identiques et utilisent les mêmes coefficients. Ce qui signifie en pratique qu'il n'y a pas besoin d'échange de données entre les gate-drivers.

Les coefficients K_p et K_i sont calculés à partir de l'estimation des dv/dt . Le dv/dt le plus important mesuré à 30 A est de 25 V/ns par MOSFET. Une marge est prise et les coefficients sont calculés pour garantir la stabilité de la régulation jusqu'à 30 V/ns.

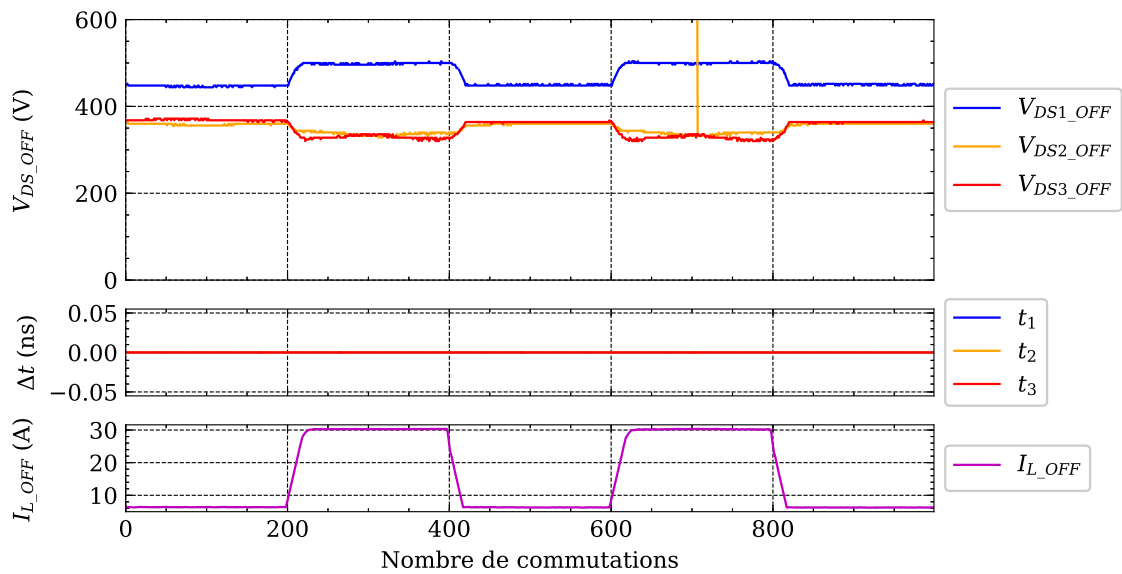


Figure 4.26: Mesure de l'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs en série. Fonctionnement en commutation à 10 kHz sous $V_{DCHV} = 1.2$ kV avec des variations de courant rectangulaire de 6 A à 30 A, les délais sont fixés.

La Figure 4.29 regroupe les résultats issus de la mesure et de la simulation. La *mesure* nous montre que les tensions des MOSFETs régulées sont bien maintenues à 400 V par l'ajustement de leurs délais respectifs, alors que le délai du premier MOSFET est maintenu fixe. Sa tension est le complémentaire de V_{DC} par rapport aux deux autres tensions. Dans cette configuration, le déséquilibre dû aux variations de courant est bien corrigé et peu de dépassement lors de l'échelon en courant est observé grâce à un bon équilibrage naturel. On observe de plus que la valeur de la tension du V_{DS1_OFF} est toujours légèrement en dessous de 400 V. Cela s'explique par le fait que la tension de bus V_{DCHV} n'est pas parfaitement égale à 1.2 kV (mesurée à 1.18 kV lors des essais).

La *simulation* nous montre un comportement similaire. Elle a été configurée à partir des caractérisations des MOSFETs, en prenant en compte les capacités parasites identifiées. Quant à la régulation, elle fonctionne de manière identique, avec les mêmes coefficients. Afin d'obtenir des résultats comparables, la mesure du courant est utilisée en entrée de la simulation. Enfin, la tension du bus est abaissée à 1.18 kV pour être le plus proche possible des conditions de test. Le comportement observé en mesure est reproduit par la simulation, mais puisque le déséquilibre n'étant pas parfaitement modélisé, des différences persistent. Plus d'efforts doivent être apportés à la caractérisation des éléments parasites. Néanmoins, la simulation est, dans l'état actuel, extrêmement utile, car le choix des coefficients peut être préalablement validé en simulation. De même pour l'analyse des résultats et par la suite, pour évaluer la robustesse aux variations paramétriques des composants et du système.

Le comportement de la régulation est aussi évalué dans le cas où la tension de bus V_{DCHV} chute et donc la référence de tension ne correspond plus à V_{DCHV}/N . La Figure

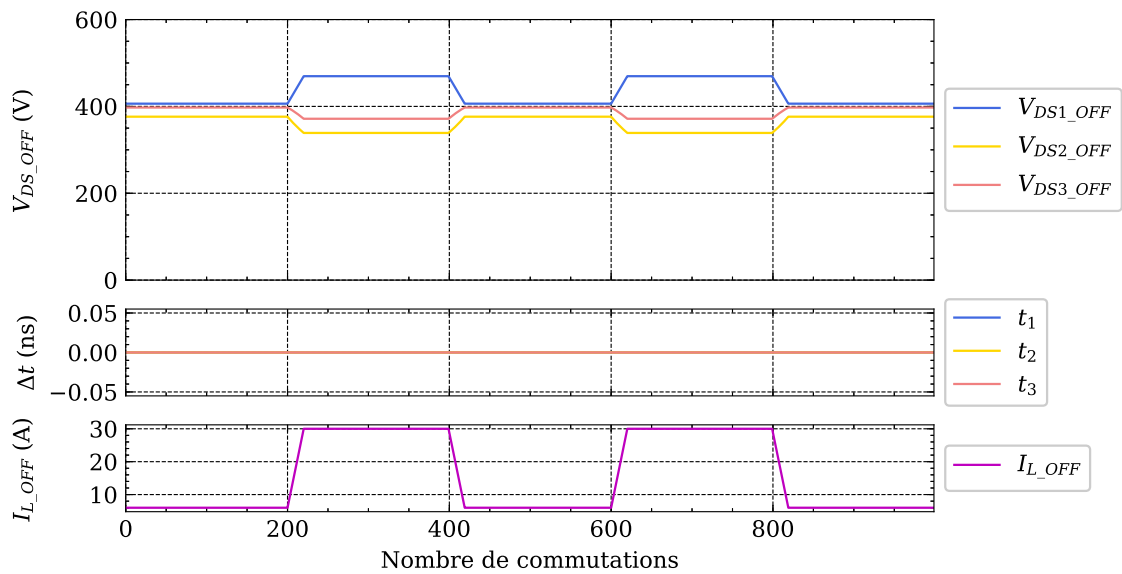


Figure 4.27: Simulation de l'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs en série. $V_{DCHV} = 1.2\text{ kV}$ avec des variations de courant rectangulaire de 6 A à 30 A, les délais sont fixés à zéro.

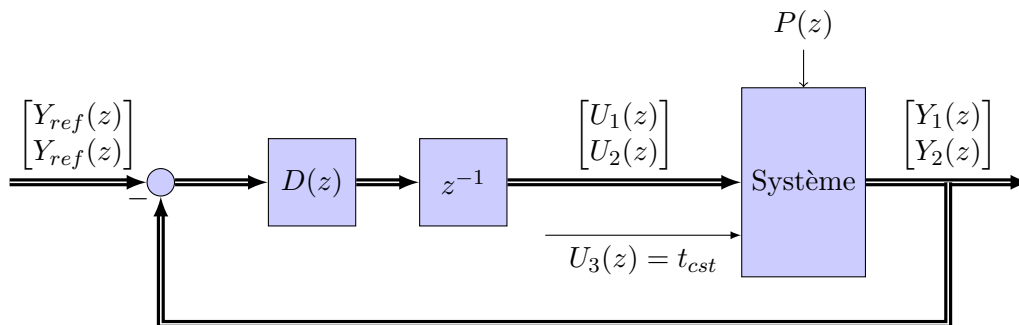
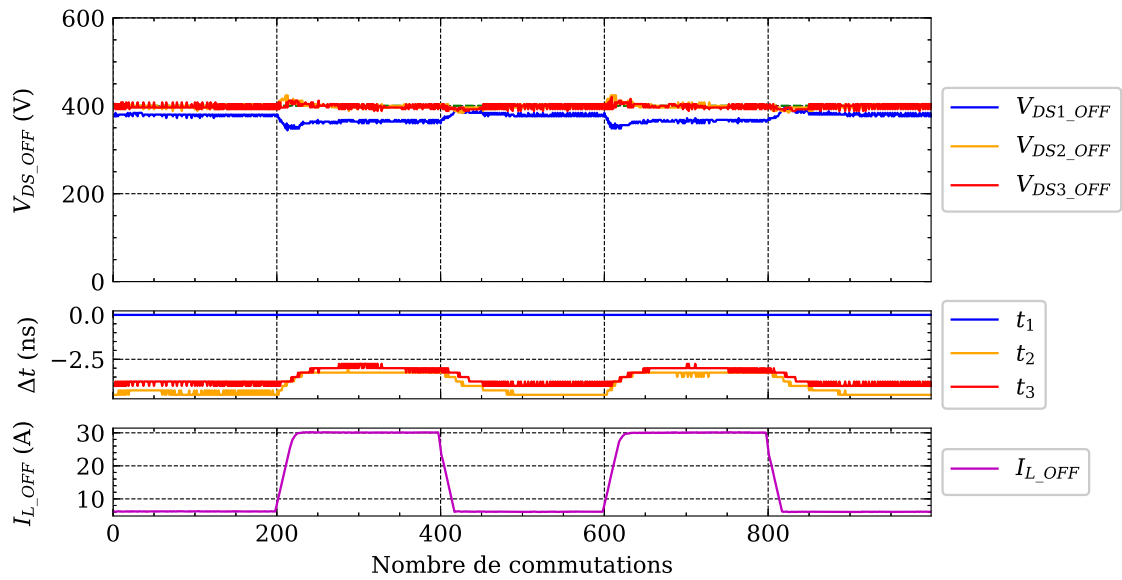


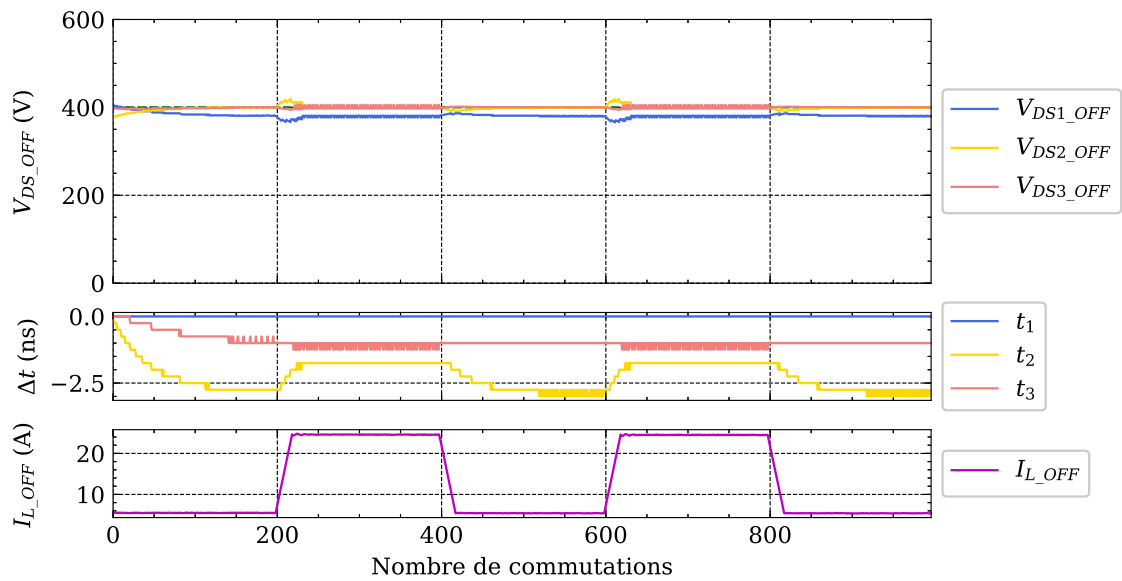
Figure 4.28: Boucle de régulation mise en place sur le système MIMO : mise en série de 3 MOSFETs. Les vecteurs regroupent les différentes boucles de régulation identiques, mais indépendantes.

4.30 présente la mesure et la simulation lorsque la tension de l'alimentation est réduite à $V_{DCHV} = 1.1\text{ kV}$. Les deux tensions régulées sont toujours bien maintenues à la référence et par conséquent V_{DS1_OFF} reste calée autour de 300 V. Le dépassement lors de l'échelon de courant est plus important que précédemment, puisque l'équilibre naturel s'éloigne de la tension de référence. Le comportement est encore reproduit en simulation et permet de faire les mêmes observations.

Cette première méthode, avec 2 tensions régulées sur 3, montre de bonnes performances, certainement suffisantes pour un grand nombre d'applications. Afin de remédier aux déséquilibres lorsque la tension de bus est variable, il est possible de faire varier la référence en fonction de la mesure. Pour des questions pratiques, cette solution n'a pas été évaluée, mais elle n'est pas à écarter.

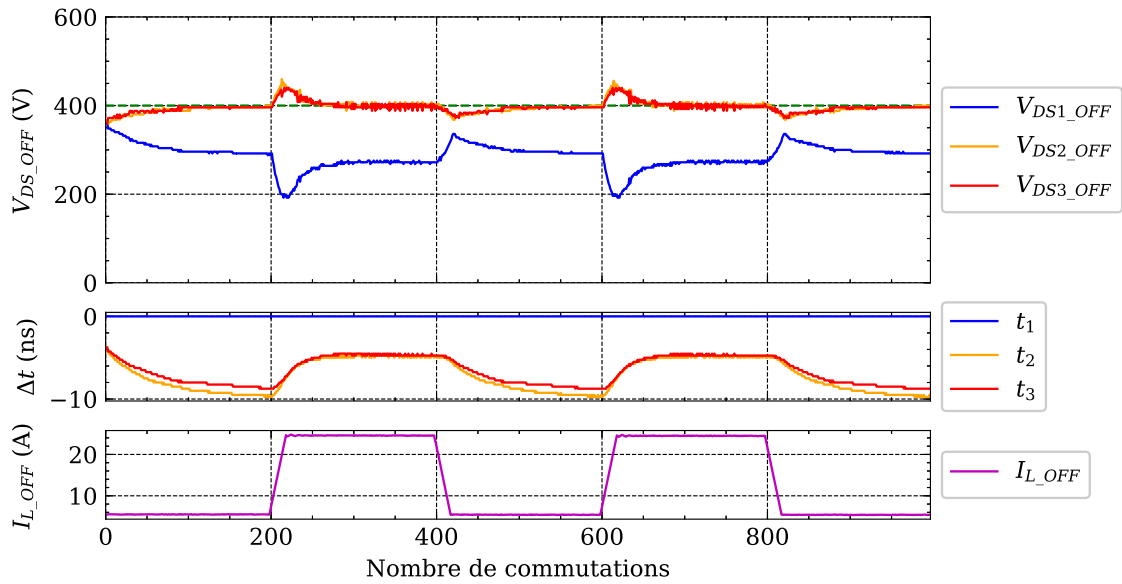


(a) Mesure de l'équilibrage par la mesure embarquée, ainsi les retards calculés et appliqués.

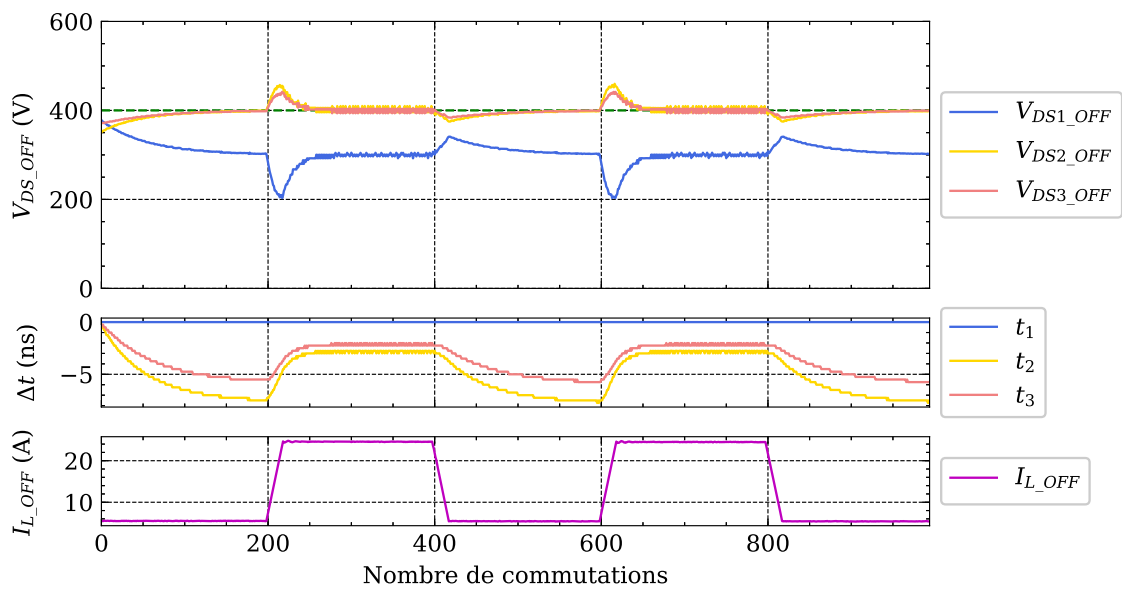


(b) Simulation de l'équilibrage, le courant mesuré est utilisé comme entrée à la simulation

Figure 4.29: L'équilibrage des tensions V_{DS_OFF} des 3 MOSFETs SiC 650 V en série sous $V_{DCHV} = 1.18$ kV. Une régulation PI est appliquée par les gate-drivers 2 et 3. Le gate-driver 1 applique un retard fixe.



(a) Mesure de l'équilibrage par la mesure embarquée



(b) Simulation de l'équilibrage avec le courant de la mesure

Figure 4.30: Comportement de la régulation PI avec le MOSFET 1 fixé lorsque la tension est abaissée à $V_{DCHV} = 1100\text{ V}$ sans ajuster la référence de tension $V_{ref} = 400\text{ V}$

4.5.3.2 Régulation de 3 MOSFETs sur 3

Avec pour objectif de programmer tous les gate-drivers de la même façon, la même régulation avec les mêmes coefficients est implémentée sur chacun d'entre eux. Dans ce cas-là, il est nécessaire, comme vu précédemment, d'imposer une contrainte sur la moyenne des délais sous peine de l'apparition très probable d'une dérive de l'ensemble des délais jusqu'à la saturation du retard programmable.

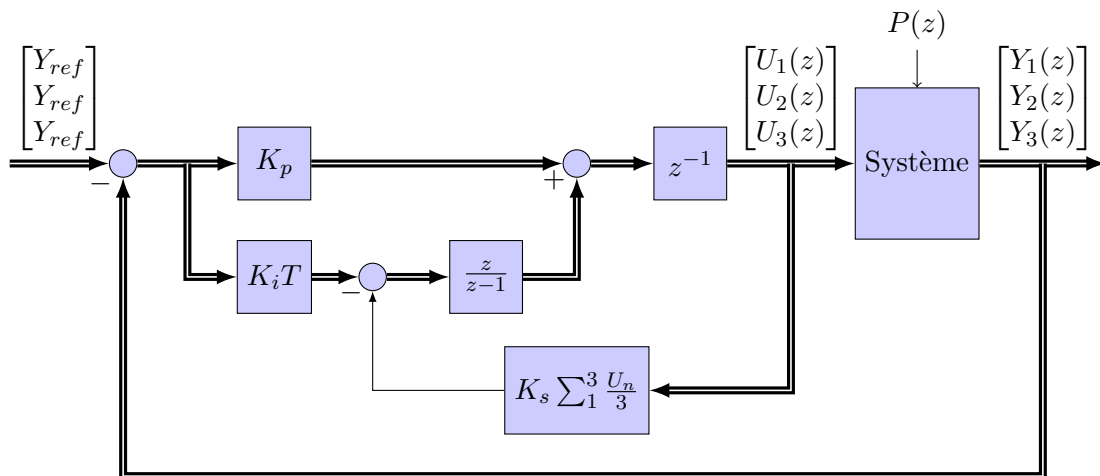


Figure 4.31: Boucles de régulations mises en place sur le système MIMO : mise en série de 3 MOSFETs. Les vecteurs regroupent les différentes boucles de régulation identiques, mais indépendantes. Le régulateur PI est développé pour laisser apparaître l'implémentation de la contrainte sur la moyenne des délais.

La Figure 4.31 schématise la régulation proposée qui est constituée de 3 boucles de régulation identiques indépendantes. L'action intégrale des régulateurs PI doit être limitée pour tolérer une erreur et éviter une dérive des intégrateurs. La moyenne des délais est donc calculée à partir des délais appliqués à la commutation précédente, comme décrit sur le schéma bloc, pour la soustraire aux intégrateurs. En effet, le délai des autres gate-drivers est reçu via la communication chaînée et ils correspondent à la commutation précédente. Avec une architecture centralisée, le calcul pourrait être effectué avec les délais en sortie de régulateurs, avant le retard. Par conséquent, un gain K_s est ajouté, arbitrairement fixé à 0.1, pour éviter les instabilités. Dans le cas d'un contrôle centralisé, la moyenne pourrait être calculée à partir des délais en sorties des régulateurs, sans risque d'instabilité.

La Figure 4.32 présente le comportement de cette régulation dans le cas où la contrainte sur la moyenne n'a pas été implémentée. La dérive attendue est bien observée, l'ensemble des délais diminuant progressivement avec le risque d'arriver en saturation du composant à -32 ns.

La Figure 4.33 présente, cette fois-ci, le comportement de la régulation avec la rétroaction sur la moyenne des délais. Son effet transitoire est visible sur les premières commutations. On observe que les tensions sont parfaitement régulées, même en présence de

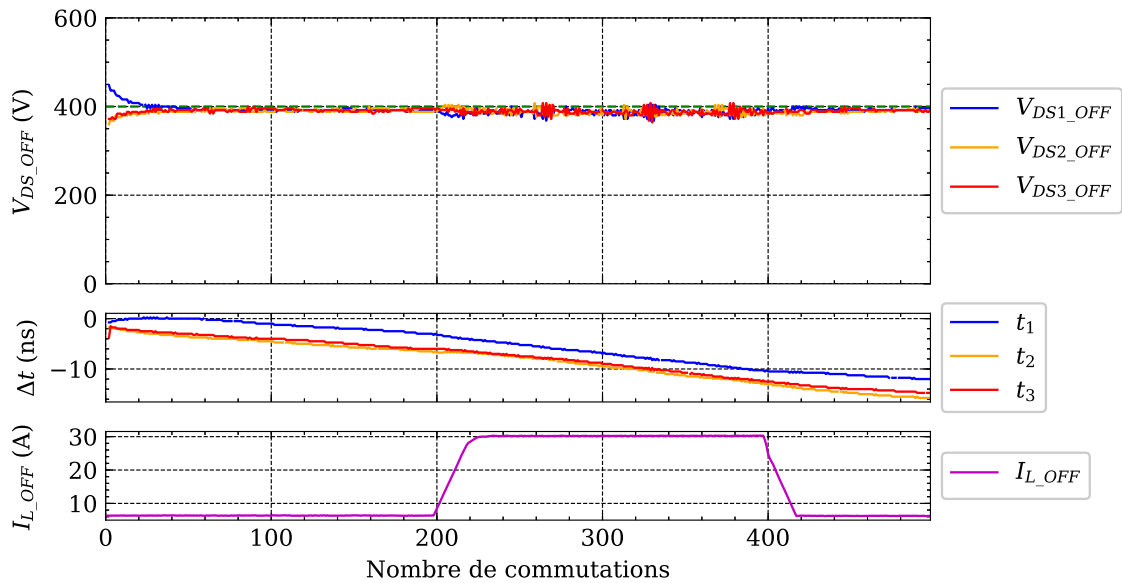


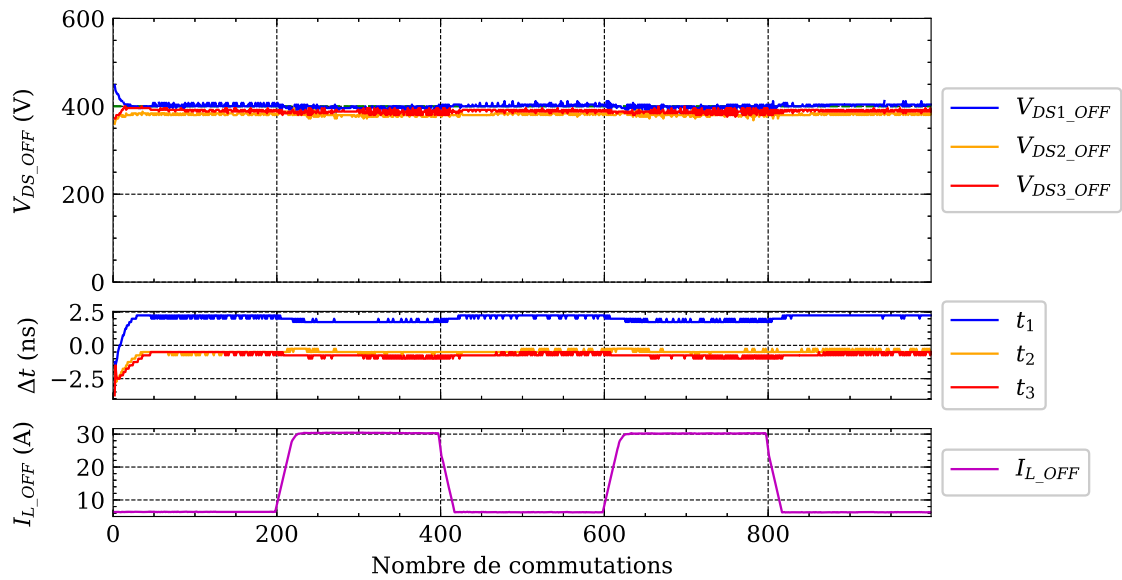
Figure 4.32: Mesure de l'équilibre lorsque les trois tensions sont régulées par un correcteur PI (calculé pour 30 V/ns). L'ensemble des délais dérive progressivement.

variations rapides de courant. Elles sont comprises entre ± 15 V de 400 V, soit $\pm 3.8\%$. Le comportement transitoire ne présente aucun dépassement. Tout cela est possible grâce à un bon équilibrage naturel, car les délais ne varient alors que très peu pour rattraper les déséquilibres dus aux variations de courant. Toutes les tensions tendent à atteindre la même valeur, même si cette dernière ne correspond pas à la référence. Cet effet est d'autant plus visible sur la Figure 4.34 lorsque la tension est abaissée à $V_{DCHV} = 1.1$ kV. Dans ce cas, les tensions tendent vers $V_{DCHV}/3 = 367$ V et non plus la référence.

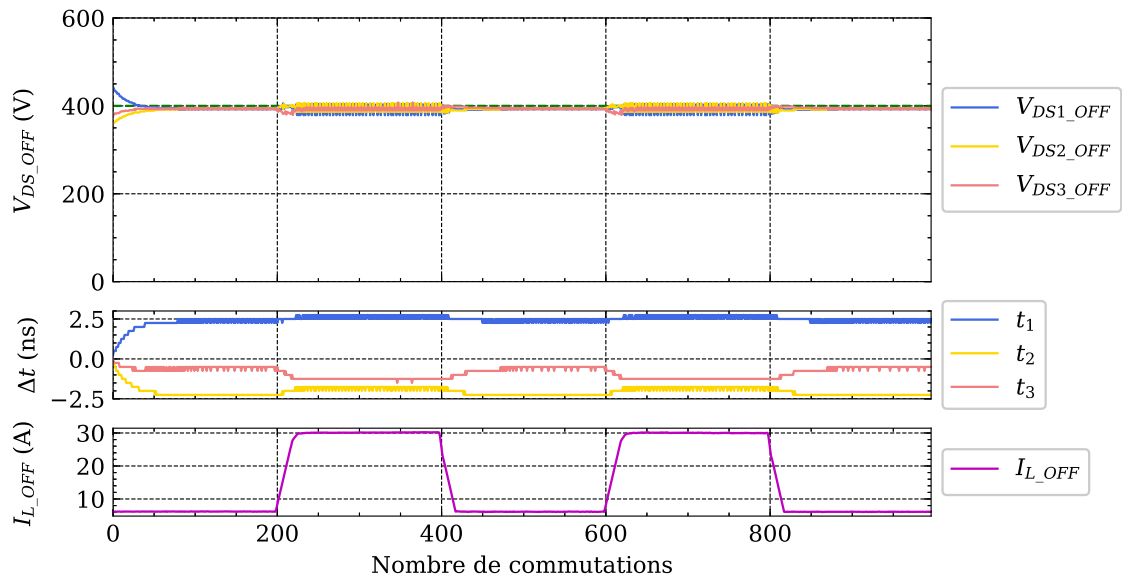
La précision de chaque régulateur est donc altérée par la contrainte sur la moyenne des délais qui s'oppose aux actions intégrales des régulations ; la conséquence est que les régulateurs vont tous tendre vers la même erreur.

4.5.3.3 Conclusion des résultats sur les régulateurs PI

L'équilibrage de 3 MOSFETS SiC connectés en série avec des régulateurs PI est possible et présente de bons résultats. Deux approches ont été confrontées. La première consistant à fixer le délai d'un des gate-drivers qui joue alors le rôle de référence temporelle pour les autres et ainsi contraint le système. La seconde consistant à réguler tous les MOSFETS, tout en contraignant la moyenne des délais. Dans ces deux cas évalués, les performances sont bonnes et exploitables, mais présentent quelques différences. Contraindre un des délais est l'approche la plus simple à mettre en œuvre. D'après la théorie, les tensions sont d'avantage couplées et peuvent être moins stables, mais les tests n'ont pas, pour le moment, permis de confirmer cette hypothèse. D'autre part, en cas de variation de la tension de bus, seule la tension non régulée varie. Dans ce cas, si la tension est amenée à varier, les références de tensions devraient être issues de la mesure de la tension du

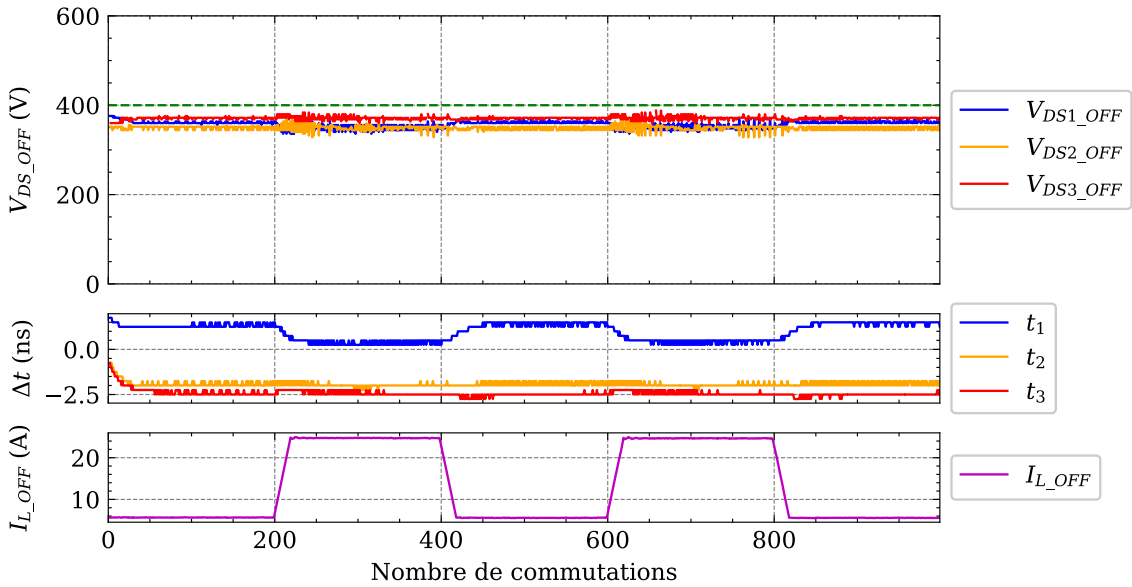


(a) Mesure de l'équilibrage par la mesure des gate-drivers

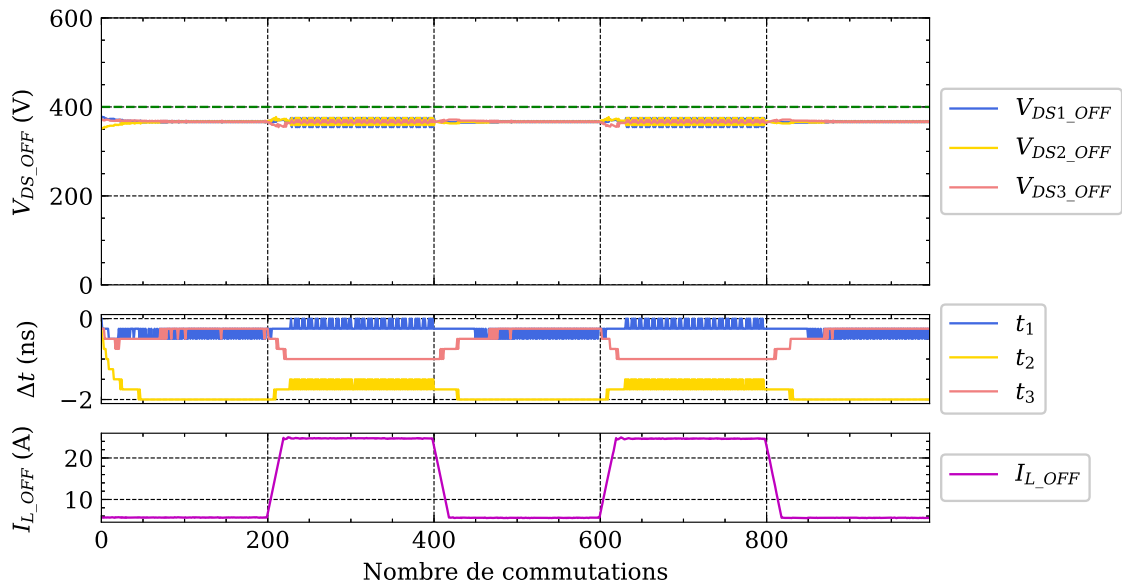


(b) Simulation de l'équilibrage dans les mêmes conditions

Figure 4.33: Équilibrage de 3 MOSFETs SiC 650 V en série sous $V_{DCHV} = 1.18$ kV. Toutes les tensions à l'ouverture sont régulées par un correcteur PI identique calculé pour 30 V/ns. La dérive des délais est évitée en régulant leur moyenne.



(a) Mesure de l'équilibrage par la mesure embarquée



(b) Simulation de l'équilibrage dans les conditions de la mesure

Figure 4.34: Équilibrage de 3 MOSFETS SiC 650 V en série. La tension du bus est abaissée à $V_{DCHV} = 1100$ V sans ajuster la référence de tension $V_{ref} = 400$ V. Toutes les tensions à l'ouverture sont réglées par un correcteur PI identique calculé pour 30 V/ns.

bus. Réguler les trois tensions permet de les maintenir au même niveau alors que les références ne varient pas. Cependant, cette approche est plus délicate à implémenter. Les intégrateurs doivent être limités pour éviter la dérive des délais. Les tests montrent un bon équilibrage en maintenant les tensions à des valeurs comprises entre $\pm 3.8\%$ de la référence.

D'autre part, la simulation se comporte de façon comparable à la mesure. Plus d'efforts doivent être apportés à la caractérisation et à l'identification des paramètres pour obtenir un comportement encore plus fidèle. Néanmoins, cette simulation permet de configurer, de tester et d'éprouver les solutions d'équilibrage.

4.5.4 Régulateurs « tout ou rien ».

Toujours dans l'optique de minimiser la complexité générale de la régulation, une régulation « tout ou rien » est évaluée pour 3 MOSFETs en série. L'évaluation des coefficients des régulateurs PI représente une difficulté importante et un mauvais réglage peut conduire à des instabilités. La régulation « tout ou rien », comme présentée dans la Section 4.4.3, est plus simple à mettre en œuvre et la stabilité plus simple à garantir. Comme avec les régulations de type PI, deux choix s'offrent à nous, soit un des gate-drivers fixe la valeur d'un délai pour jouer le rôle de référence temporelle, soit tous les gate-drivers sont régulés et la moyenne est contrainte.

4.5.4.1 Régulation de 2 MOSFETs sur 3

La régulation « tout ou rien » à deux seuils (cf. Section 4.4.3.1) a été implémentée sur deux des circuits gate-drivers. La valeur de seuil a été fixée à $\pm 2.5\%$ pour obtenir un bon équilibrage des tensions régulées. Afin de garantir la stabilité de cette configuration, la variation de tension due à la variation d'un pas de temps ne doit pas dépasser cette fenêtre de tension. Ici, le dv/dt maximum mesuré est de 25 V/ns ce qui implique une variation maximum de $\frac{2}{3} \cdot 25 \text{ (V/ns)} \cdot 0.25 \text{ (ns)} = 4.2 \text{ (V)}$ (cf. 4.9) valeur inférieure à la plage de 20 V .

La Figure 4.35a montre le comportement de cette stratégie sur les trois MOSFETs du prototype Buck. Le premier gate-driver fixe son délai tandis que les deux autres maintiennent leurs tensions dans la fenêtre des $\pm 2.5\%$. De la même façon que pour la régulation PI avec un des délais fixes, la tension non régulée correspond à la valeur complémentaire qui permet d'atteindre le niveau V_{DCHV} . De ce fait, lorsque la tension du bus est réduite à 1.1 kV , la tension du MOSFET non régulée se stabilise autour de 300 V (cf. Figure 4.35b). Cependant, si la tension de bus est amenée à varier, il peut être intéressant d'adapter les seuils de tensions en fonction d'une mesure de la tension de bus.

4.5.4.2 Régulation de 3 MOSFETs sur 3

De manière similaire à la Section 4.5.3.2, la régulation « tout ou rien » est appliquée sur les 3 tensions. La contrainte sur la moyenne des délais est appliquée comme précédemment,

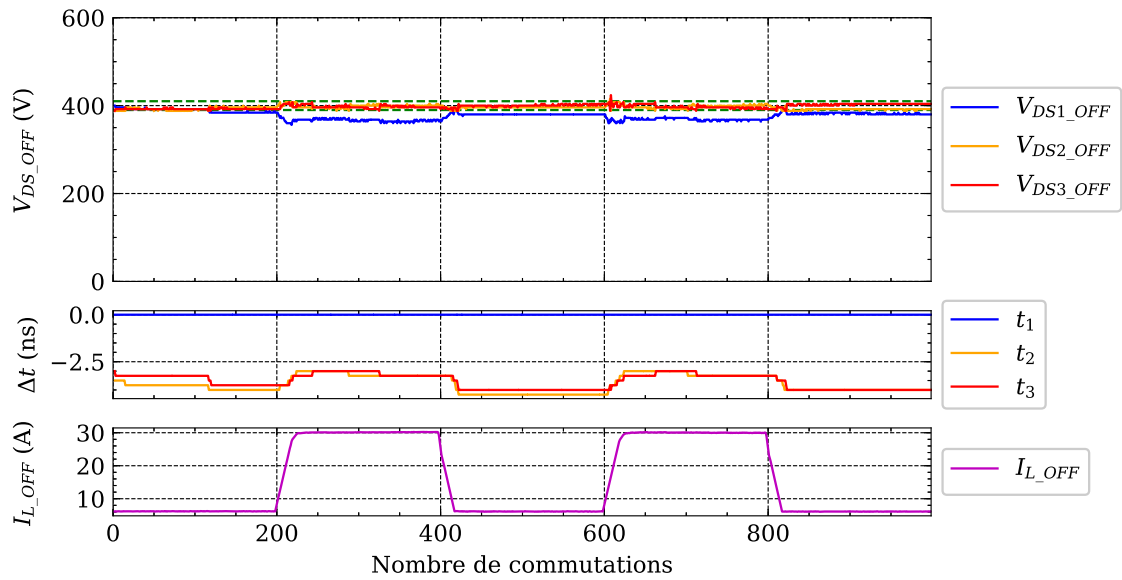
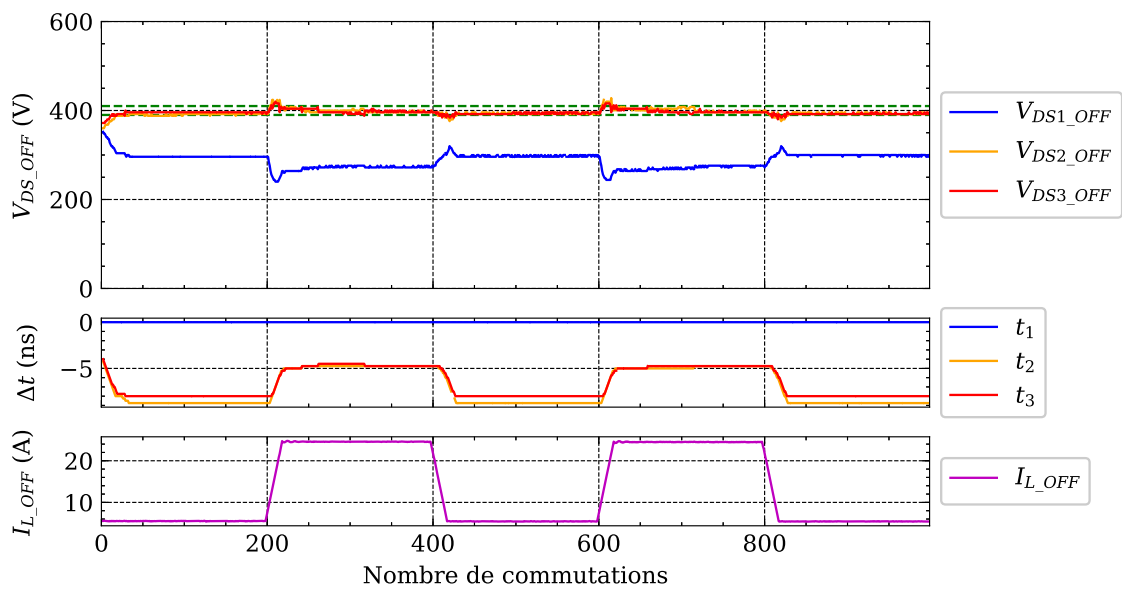
(a) Mesure de l'équilibrage lorsque la tension de bus est de $V_{DCHV} = 1.2 \text{ kV}$ (b) Mesure de l'équilibrage, lorsque la tension de bus est réduite à $V_{DCHV} = 1.1 \text{ kV}$

Figure 4.35: Équilibrage de 3 MOSFETS SiC 650 V en série. Les tensions des MOSFETS 2 et 3 sont maintenues entre 390 V et 410 V par une régulation « tout ou rien ».

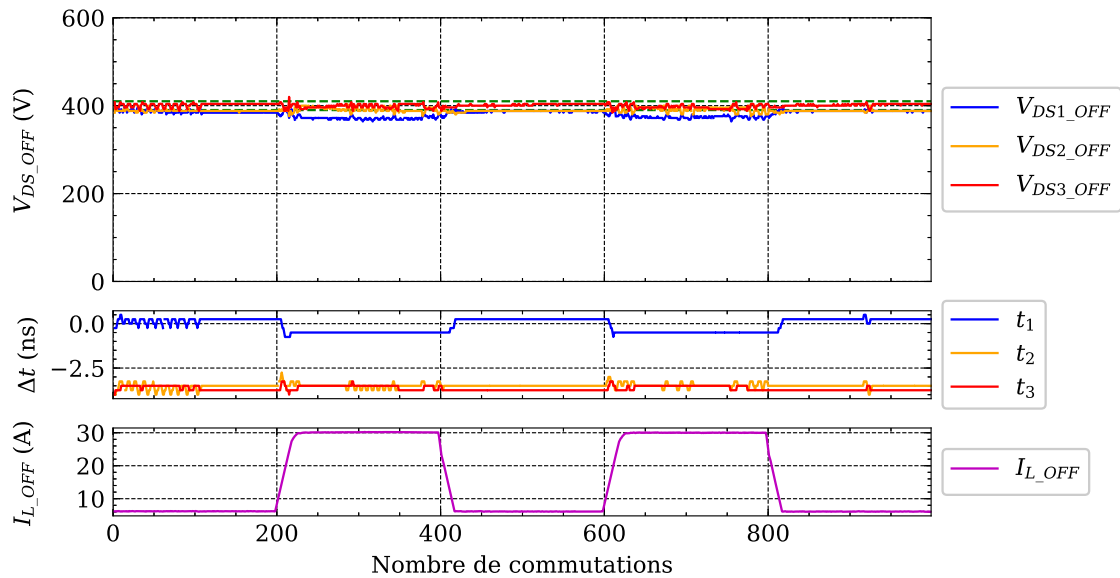
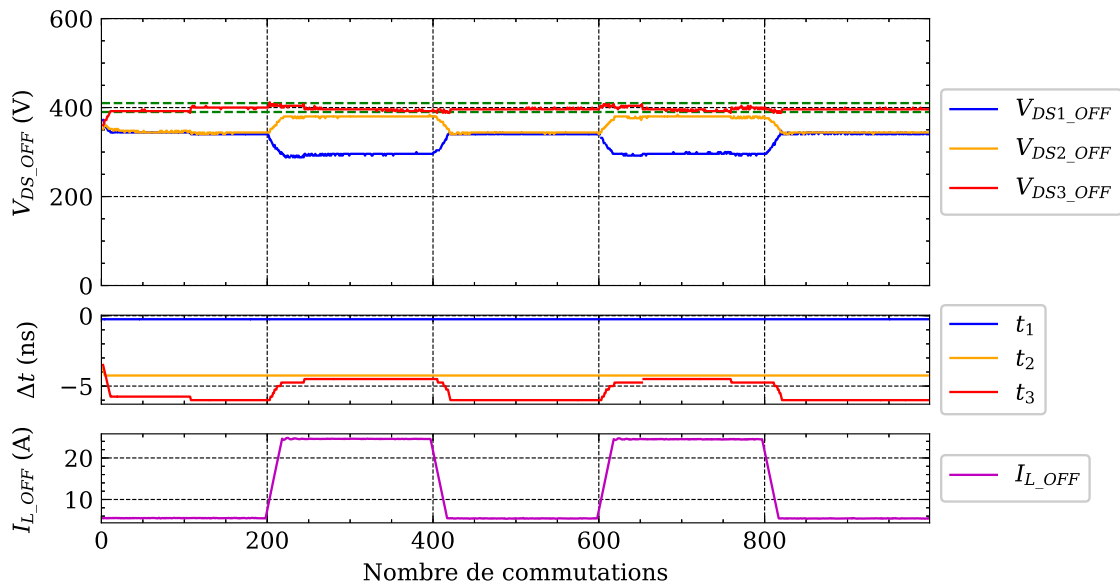
(a) Mesure de l'équilibrage lorsque la tension de bus est de $V_{DCHV} = 1.2$ kV(b) Mesure de l'équilibrage lorsque la tension de bus est réduite à $V_{DCHV} = 1.1$ kV

Figure 4.36: Équilibrage de 3 MOSFETS SiC 650 V en série. Les tensions des 3 MOSFETS sont maintenues entre 390 V et 410 V par une régulation « tout ou rien ». La dérive des délais est évitée en régulant leurs moyennes.

c'est-à-dire que le résultat du calcul de la moyenne des délais est soustrait à chaque délai. Le comportement de cette stratégie avec des seuils fixés à $\pm 2.5\%$ de 400 V est évalué sur la Figure 4.36a. L'équilibrage est convenable, mais présente des limites. En effet, si la tension V_{DC}/N n'est pas contenue entre les deux seuils, la régulation ne permet pas de maintenir les tensions équilibrées (cf. Figure 4.36b). Dans ce cas, augmenter la fenêtre de tension permet de repousser cette limite. Une autre méthode consisterait à rendre les niveaux variables en fonction d'une mesure de tension.

4.5.4.3 Conclusion des résultats pour la régulation de type « tout ou rien »

Les régulateurs « tout ou rien » permettent d'équilibrer la mise en série de 3 MOSFETS en série. L'avantage de cette approche est de minimiser la complexité de régulation et réduire le matériel nécessaire. Un gate-driver équipé d'un ADC performant n'est alors plus nécessaire, des comparateurs sont suffisants et potentiellement plus robustes. La configuration de la régulation est minimale et consiste seulement à s'assurer que la variation d'un incrément de temps provoque une variation de tension inférieure à la fenêtre de tension, une approche très conservatrice peut être prise en sélectionnant une large fenêtre.

Cette régulation a été évaluée en fixant un des délais ainsi qu'en contraignant la moyenne. Dans le premier cas, le comportement attendu est observé et les deux tensions régulées sont bien maintenues dans la plage de $\pm 2.5\%$. La dernière tension n'est pas régulée. Cette façon de fonctionner est très simple et est convenable pour un grand nombre de cas. Si la tension de bus varie, il est envisageable de faire varier les seuils en fonction de la mesure V_{DC} . Le second cas évalué présente un comportement limité. En effet, la tension de bus divisée par le nombre de MOSFETS n'étant pas comprise dans la fenêtre de tension sélectionnée, le comportement de l'ensemble n'évolue plus et reste figé. Cette seconde approche ne présente pas un avantage majeur.

4.5.5 Conclusions sur les solutions par action sur les délais pour 3 transistors.

L'équilibrage par ajustement des retards présente un intérêt certain de par sa simplicité de mise en œuvre. La technique numérique de ligne programmable permet de retarder finement les ordres de commande de grille, et les MOSFETS SiC peuvent être équilibrés, malgré leurs vitesses de commutation importantes. Des performances bien souvent convenables, vis-à-vis de l'équilibrage, sont obtenues avec des régulateurs PI, mais les variations de courants impactent beaucoup les vitesses de commutation et par conséquent la dynamique de réponse des régulateurs varie elle aussi beaucoup et risque de rendre la boucle de régulation instable à fort courant. Des régulations adaptatives en courant permettent de contourner ce problème, mais une mesure de courant doit être disponible.

L'équilibrage de deux MOSFETS SiC a été abordé largement dans la littérature scientifique. L'adaptation de ces méthodes d'équilibrage pour 3 MOSFETS SiC et plus n'est pas encore analysée dans la littérature. Pour s'approprier la méthode et identifier la bonne approche, l'équilibrage de 2 MOSFETS SiC en série a été reproduit. Cela a facilité une

analyse en profondeur de l'équilibrage par ajustement des délais. Le système à réguler a été décrit théoriquement, ce qui a permis de calculer les régulateurs. Afin d'évaluer la capacité d'équilibrage de cette méthode, la mise en série a été volontairement fortement déséquilibrée par des résistances de grilles différentes. Le comportement du gate-driver actif est surveillé en recevant la mesure et le délai appliqué en temps réel. De plus, l'analyse est supportée par la simulation construite à partir des équations décrivant l'équilibrage à l'ouverture. Une concordance satisfaisante a été obtenue entre la mesure et la simulation. Ainsi validée, la simulation devient un outil précieux pour configurer et évaluer les stratégies d'équilibrage. L'étude a été faite en présence de variations de courant importantes pour pouvoir observer le comportement dynamique. La régulation PI s'est révélée performante pour équilibrer les tensions malgré un dépassement important lors des échelons. En plus d'une régulation PI « classique », une régulation de type « tout ou rien » a été proposée et évaluée. L'objectif de cette approche est de minimiser la complexité du contrôle ainsi que du matériel. Les résultats montrent des performances honorables malgré cette configuration simplifiée. Pour les deux types de régulation, le phénomène transitoire peut être amélioré en renforçant l'équilibrage naturel du dispositif. En effet, à faible courant, les vitesses de commutation sont faibles et de fortes variations de délais doivent être appliquées pour rattraper un déséquilibre. L'équilibrage capacitif naturel doit donc être travaillé pour garantir l'équilibrage en cas de commutation spontanée et commutation à faible courant.

Un prototype de convertisseur buck a été développé et réalisé pour évaluer l'équilibrage par ajustement des délais sur une mise en série de 3 MOSFETS tout en assurant un bon équilibrage naturel. Les MOSFETS SiC et les diodes de puissance sont refroidis avec des dissipateurs. Chaque gate-driver est actif avec la possibilité de mesurer sa tension et d'ajuster son délai. Une régulation a pu être alors implémentée dans chacun d'entre eux et la communication chaînée isolée a permis le transfert de variables. Le système global est décrit théoriquement et nous a menés à confronter deux approches pour établir une référence temporelle. La première consistant à fixer le délai d'un des gate-drivers, la seconde à réguler tous les MOSFETS, tout en contraignant la moyenne des délais. L'équilibrage a été évalué avec des régulateurs PI individuels ainsi que des régulateurs « tout ou rien ». Le tableau 4.1 reporte les différences qualitatives des approches évaluées.

Il faut noter que les meilleures performances sont obtenues avec la régulation PI lorsque toutes les tensions sont régulées. Dans ce cas, même si la somme des tensions de référence ne correspond pas parfaitement à la tension de bus, les tensions individuelles tendent vers l'équilibre parfait. Les phénomènes transitoires sont aussi très limités, et cela grâce à un bon équilibrage naturel. Cette approche est donc recommandée pour obtenir les meilleures performances. Cependant cela a un coût : pour une architecture distribuée, les délais doivent être échangés entre les gate-drivers. À cela s'ajoute, si besoin, l'échange des mesures de tensions pour faire varier la référence de tension. Des régulations plus avancées peuvent être imaginées, mais les performances obtenues sont dans la plupart des cas suffisantes. La solution la plus simple et certainement la plus robuste est la régulation

Table 4.1: Comparaison qualitative des stratégies de régulations évaluées sur 3 MOSFETs en séries.

Régulateur PI	«tout ou rien»	Un délai fixé	Tous régulé	Simplicité du réglage	Performances	Simplicité matériel	Architectures distribué	Signaux échangées
✓	✓			+	+	+	oui	∅
✓		✓		+	++	+	oui	Délais
	✓	✓		++	-	++	oui	∅
✓		✓		++	-	++	oui	Délais

✓ : sélectionné, ∅ : aucun

- : moindre, + : simple / élevé, ++ : très simple / très élevé,

« tout ou rien » avec un des délais fixés. Elle permet de maintenir les tensions dans une plage prédéfinie avec une mesure et une configuration fortement simplifiées. De plus, si le bus est suffisamment constant, aucune communication entre les gate-drivers n'est nécessaire.

Ce travail contribue à l'élaboration de régulations pour l'équilibrage des tensions de la mise en série de trois MOSFETs SiC et plus. Toutefois une étude théorique approfondie reste à accomplir pour valider les conditions de stabilité et évaluer la robustesse aux variations paramétriques du circuit. Dans la continuité, les effets thermiques seront pris en compte avec l'outil de simulation complété et avec le prototype Buck dont la version finale sera capable de fonctionner en régime permanent.

4.6 Conclusions générales de chapitre et perspectives

Les solutions d'équilibrage actives représentent des alternatives aux solutions passives qui limitent les performances des nouveaux composants SiC. Pour que la mise en série soit compétitive face aux MOSFETs unitaires haute tension, ses performances ne doivent pas être bridées par la solution d'équilibrage. Les solutions actives agissent sur la grille pour équilibrer les tensions à l'ouverture par l'ajout d'un circuit gate-driver plus « intelligent » et dès lors plus complexe. Le choix d'une solution active est d'autant plus justifié si le gate-driver actif remplit d'autres fonctions comme l'optimisation des pertes et la réduction des perturbations CEM.

Cependant, l'équilibrage actif n'est pas toujours possible. Selon le fonctionnement du convertisseur, les commutations à l'ouverture ne sont pas toujours commandables par action sur la grille. En ZVS, elles le sont toujours, mais dans ce cas une solution active est moins intéressante comparée à un snubber. Finalement, la configuration qui présente le plus fort intérêt est la commutation dure. Les commutations spontanées ne

sont pas activement équilibrées. Un bon équilibrage capacitif de la mise en série est alors préconisé en travaillant sur l'assemblage et éventuellement en ajoutant des capacités de compensation.

Le gate-driver actif équilibre les tensions à l'ouverture de différentes manières. Les solutions de rétroaction sur la grille pour asservir les fronts de tensions, utilisées avec des IGBTs, quand bien même elles seraient applicables, ne sont pas intéressantes avec des composants rapides en SiC. *Les solutions séquentielles*, d'une commutation sur l'autre, sont quant à elle prometteuses et permettent de minimiser la complexité générale des circuits de commande rapprochés.

L'approche privilégiée est alors l'ajustement des retards à l'ouverture, technique qui est, par nature, séquentielle. L'objectif est de réguler la tension à l'ouverture en agissant sur le délai du signal de grille. Cette action est suffisante pour l'équilibrage, cependant le risque d'un déséquilibre thermique doit être évalué. Des tests en régime continu sur le prototype dans sa version définitive le permettront.

Sur la base de l'état de l'art, le comportement de l'équilibrage de 2 MOSFETs par action sur les délais a été étudié en présence de fortes variations de courant. Les régulateurs PI ainsi que les régulations « tout ou rien » proposées permettent de maintenir les tensions équilibrées. Cependant, le déséquilibre à faible courant, lorsque les dv/dt sont faibles, impose une forte variation du délai. La conséquence sur les régimes transitoires est importante, de ce fait il est fortement préconisé d'assurer un bon équilibrage naturel.

L'expérience alors acquise a été mise à profit pour équilibrer 3 MOSFETs avec un travail préalable effectué pour obtenir un bon équilibrage naturel. Les tests sans régulation montrent un besoin d'équilibrage. C'est alors que plusieurs techniques de régulation ont été analysées et confrontées, elles présentent soit des avantages en performance, soit en simplicité et leurs pertinences dépendent de l'application.

Encore selon l'application, le choix de l'architecture de contrôle a un impact sur les possibilités d'équilibrage. Ici, le choix d'une architecture distribuée, motivé par le besoin de minimiser les liaisons optiques, impose des contraintes vis-à-vis de la régulation. Les stratégies présentées sont donc adaptées et orientées afin de minimiser l'échange de variables entre gate-drivers. Néanmoins, une communication est bien souvent requise et celle mise en œuvre sur le prototype ne constitue pas l'unique possibilité, mais répond au besoin de fonctionnement et de monitoring.

Le prototype constitué de 3 MOSFETs est amené, dans sa version finale, à fonctionner en régime continu pour une puissance de 80 kW. Cela permettra de valider les stratégies d'équilibrages sur une longue période, dans des conditions réalistes. Des réponses aux questions de stabilité thermique pourront être alors obtenues.

Chapitre 5

Conclusions et perspectives

5.1 Conclusion générale

La transition énergétique implique une intégration massive des énergies renouvelables sur le réseau électrique. Par conséquent, une transformation du réseau électrique AC est nécessaire. Les technologies MVDC constituent une solution qui mérite d'être considérée car elle représente un potentiel important pour adapter le réseau aux nouveaux modes de productions et de consommations électriques. Les convertisseurs d'électronique de puissance nécessaires pour faire fonctionner les technologies MVDC requièrent des interrupteurs semi-conducteurs supportant de fortes tensions (quelques kilo-Volt). Les matériaux semiconducteurs à large bande interdite, en particulier le carbure de silicium, rendent possible la réalisation d'interrupteurs à haute tension >10 kV, tout en réduisant les pertes en conduction et en commutation comparativement à ses homologues en silicium. Toutefois, ces composants ne sont pas disponibles et ne le seront pas à un tarif attractif à court et moyen terme, contrairement aux MOSFETS SiC 1.2 kV et 1.7 kV, qui sont déjà disponibles aujourd'hui, car portés par le marché de masse du véhicule électrique.

La mise en série représente alors une alternative intéressante pour atteindre les tensions de blocages nécessaires. Elle a sa place dans des topologies de convertisseurs monolithiques ou modulaires, permettant ainsi de diminuer le nombre de niveaux et donc réduire la complexité des topologies. Dans cette thèse, une courte étude a permis d'entrevoir un potentiel gain sur les performances à la conduction et à la commutation de la mise en série comparées aux mêmes performances d'une solution à un MOSFET monolithique. Cependant, la mise en série de composants MOSFETS présente plusieurs challenges, le principal étant l'équilibrage des tensions à l'ouverture. Une mauvaise répartition des tensions entre les éléments connectés en série pourrait entraîner la détérioration ou la destruction de ceux-ci, il est alors nécessaire d'élaborer des stratégies d'équilibrage.

Les mécanismes d'équilibrage des tensions ont été largement étudiés. Un modèle simplifié analytique, uniquement destiné à évaluer la répartition des tensions à l'ouverture des MOSFETS en série a été élaboré sur la base d'équations décrivant les vitesses de commutation et les temps de retard à l'ouverture. Ainsi, l'équilibrage d'une mise en série

de MOSFETs est évaluable rapidement, mais moins précisément qu'avec une simulation de circuit de type SPICE. Le niveau de précision dépend aussi largement de la précision des caractérisations des éléments parasites. La rapidité de l'estimation permet d'effectuer de nombreux calculs avec une large variété de paramètres et ainsi évaluer l'impact de la dispersion paramétrique des semi-conducteurs ou l'impact des éléments parasites dans le circuit.

L'équilibrage des tensions dépend des capacités parasites du circuit et des MOSFETs, de la dispersion des paramètres statiques des MOSFETs et enfin des délais de commande. La proportion de l'impact de chacun de ces éléments est fortement dépendante du courant commuté, tel que mis en lumière par la théorie et la mesure. Lors d'une commutation à faible courant, l'ouverture est uniquement capacitive et donc tous les éléments parasites capacitifs vont moduler l'équilibre dynamique. Dans ce cas, la dispersion paramétrique des caractéristiques statiques des MOSFETs a peu d'impact puisque les canaux ne conduisent plus de même pour les délais puisque les vitesses de commutations sont faibles. Les résultats expérimentaux ont montré que les déséquilibres les plus importants se produisent à faible courant, et en présence d'un dissipateur thermique commun à tous les MOSFETs connectés en série ; en effet, ce dernier déséquilibre alors fortement la répartition des éléments capacitifs.

Pour des courants commutés plus importants, la vitesse de commutation augmente fortement. En raison de la rétroaction de la capacité Miller, le canal conduit pendant la chute de la tension, modulant la vitesse de commutation qui devient alors fortement dépendante des caractéristiques statiques du MOSFET. De plus, atteignant de fort dv/dt , le déséquilibre devient très sensible aux délais. Finalement, le déséquilibre dépend de nombreux paramètres, qui sont délicats à maintenir dans une plage de tolérance réduite et qui varient avec la température pour ceux liés aux caractéristiques des MOSFETs. En conclusion, une solution d'équilibrage est indispensable pour garantir l'équilibre des tensions dans tous les régimes de fonctionnement. Toutefois, il est essentiel que l'équilibrage naturel soit dans un premier temps optimisé pour obtenir les meilleures performances sans avoir à surdimensionner les solutions curatives d'équilibrage passif ou actif.

Les solutions d'équilibrage passives sont les plus simples à mettre en œuvre. Parmi d'autres, l'équilibrage par snubber RC est la solution la plus couramment utilisée. L'ajout d'un condensateur et d'une résistance en parallèle sur chaque MOSFET ralentit les fronts de tensions. Nous avons montré son efficacité sur la mise en série de 6 MOSFETs SiC, par comparaison de l'équilibrage avec et sans snubber. Cette solution augmente cependant les pertes à la commutation, réduisant ainsi le potentiel des composants MOSFET-SiC.

Les solutions actives qui consistent à moduler la commande des grilles, permettent de limiter l'impact de la solution d'équilibrage sur les pertes. Néanmoins, le contrôle par la grille n'est pas possible en cas d'ouverture spontanée de la diode intrinsèque. Nous en avons conclu que l'équilibrage naturel doit être suffisamment performant pour garantir l'équilibrage lors de commutations spontanées. Par conséquent les capacités parasites

doivent être ajustées lors de la conception de l'assemblage ; il est aussi possible de recourir à l'ajout de capacités de compensation ou de petits snubbers.

Les gate-drivers actifs agissent sur les vitesses de commutation et/ou les retards. L'approche qui a été étudiée ici consiste à réguler la tension à l'ouverture, en procédant à l'acquisition de la tension quelques microsecondes après l'ouverture, puis en ajustant le retard à la commutation suivante. La régulation est implémentée numériquement et ne nécessite pas des performances de calcul importantes. En effet, le temps entre deux ouvertures est amplement suffisant dans le cas de convertisseurs de puissances pour des applications MVDC qui commutent à quelques dizaines de kilohertz. L'approche numérique n'aurait pas été envisageable pour réaliser une régulation du front de tension en temps réel, ce qui réclamerait des bandes passantes et des puissances de calcul trop importantes.

Notre concept a été évalué sur 2 puis 3 MOSFETs en série et présente des performances d'équilibrage importantes pour une complexité raisonnable. Une volonté de réduction de la complexité nous a mené à évaluer des stratégies de mesures à base de comparateurs. Ainsi, un algorithme réduit à une action «tout ou rien» peut s'envisager. Il donne des résultats satisfaisants, même si de meilleures performances ont été observées, avec une mesure précise et une régulation PI. Une contribution importante a été apportée à la généralisation de ces solutions à trois MOSFETs (et plus), connectés en série. La mise en œuvre pratique de ces solutions a permis de valider le principe des régulations et a mis en lumière les atouts et contraintes de chacune d'entre elles, à la fois du point de vue de la solution technologique et de la performance d'équilibrage. Finalement, les concepts d'équilibrage actif présentés sont fonctionnels et prometteurs, et leurs validations doivent être poursuivies.

5.2 Perspectives

Nous allons continuer à évaluer l'équilibrage des tensions par la synchronisation des ouvertures sur un temps de fonctionnement plus long pour prendre en compte les impacts thermiques qui font varier les paramètres intrinsèques des MOSFETs. Les hypothèses de déséquilibre thermique pourront être confirmées ou infirmées et nous pourrions justifier le besoin ou non d'un équilibrage des dv/dt . Dans la continuité des travaux de thèse, le prototype à trois MOSFETs est amené à évoluer vers une version plus puissante de 83 kW nominal. Pour atteindre cet objectif, le système de refroidissement à air forcé sera optimisé, et nous adapterons les bus capacitifs et l'inductance de sortie.

Les packages discrets des MOSFETs arrivent en limite thermique lorsque la densité de puissance devient très importante. Minimiser les pertes en commutation par l'usage de gate-drivers actifs est une piste à évaluer. L'architecture de gate-driver que nous avons étudiée ici se prête bien à l'implémentation de fonctionnalités supplémentaires en plus de celle de l'équilibrage des tensions. Concernant les packages discrets aujourd'hui utilisés pour les composants SiC, ils sont issus des composants Si et ne sont pas adaptés aux performances de commutations recherchées et encore moins à un assemblage pour une mise

en série. Des boîtiers adaptés sont donc à développer, à l'image des composants GaN aujourd'hui commercialisés. L'étude du package peut également s'envisager à l'échelle d'un module de puissance où les problématiques de dissipation, d'éléments parasites et d'isolation demandent de repenser complètement son format. Les solutions d'équilibrage actives sont alors applicables à des puissances plus importantes. Avec de tels composants, les vitesses de commutations sont plus lentes et donc plus faciles à équilibrer. Un démonstrateur de très forte puissance permettrait de vérifier son fonctionnement ; cela correspond à des besoins dans le cadre des applications MVDC.

D'autres problématiques demandent à être abordées pour rendre la mise en série de MOSFETs SiC industriellement viable. Par exemple, les protections «classiques» d'un gate-driver adapté à la mise en série ainsi que la protection en cas d'un déséquilibre temporaire. L'alimentation des gate-drivers constitue aussi un verrou technique lorsqu'on veut élever la tension de fonctionnement de la mise en série. L'isolation en général est une contrainte importante. Les capacités parasites doivent être minimisées pour réduire la circulation des courants lors des forts dv/dt , l'impact de ceux-ci sur la dégradation des isolations n'est pas encore bien connu mais des recherches sont en cours sur le sujet. Pour cela, la mise en série permettra la création d'un banc de tests à fortes tensions et forts dv/dt . En outre, plusieurs interrogations persistent relativement à la fiabilité, à la redondance et au vieillissement.

Bibliographie

- [Acc] *Accord de Paris*. Tech. rep. Paris: Nation Unies, 2015.
- [Ace+22] Daniel Gomez Acero et al. “Dc-MMC for the Interconnection of HVDC Grids With Different Line Topologies”. In: *IEEE Transactions on Power Delivery* 37.3 (June 2022), pp. 1692–1703. ISSN: 0885-8977, 1937-4208. DOI: 10.1109/TPWRD.2021.3095966. (Visited on 06/19/2023).
- [Alv+21] Luciano F. S. Alves et al. “A Cascaded Gate Driver Architecture to Increase the Switching Speed of Power Devices in Series Connection”. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics* 9.2 (Apr. 2021), pp. 2285–2294. ISSN: 2168-6785. DOI: 10.1109/JESTPE.2020.3006748.
- [AMM12] Kaiçar AMMOUS. “Méthodologie de Mesure Avec Les Sondes de Tension”. In: *Techniques de l’ingénieur* (2012).
- [Ant+11] Philip Anthony et al. “A Magnetically Isolated Gate Driver for High-Speed Voltage Sharing in Series-Connected MOSFETs”. In: *Proceedings of the 2011 14th European Conference on Power Electronics and Applications, EPE 2011* (2011), pp. 1–10.
- [Anz+18] Ruggero Anzalone et al. “Stress Relaxation Mechanism after Thinning Process on 4H-SiC Substrate”. In: *Materials Science Forum* 924 (June 2018), pp. 535–538. ISSN: 1662-9752. DOI: 10.4028/www.scientific.net/MSF.924.535. (Visited on 02/28/2023).
- [Bal08] B. Jayant Baliga. “Power MOSFETs”. In: *Fundamentals of Power Semiconductor Devices*. Ed. by B. Jayant Baliga. Boston, MA: Springer US, 2008, pp. 276–503. ISBN: 978-0-387-47314-7. DOI: 10.1007/978-0-387-47314-7_6. (Visited on 11/07/2022).
- [Bal14] B. J. Baliga. “Social Impact of Power Semiconductor Devices (Invited Paper)”. In: *2014 IEEE International Electron Devices Meeting*. Dec. 2014, pp. 2.1.1–2.1.4. DOI: 10.1109/IEDM.2014.7046963.
- [Bal89] B. Jayant Baliga. “Power Semiconductor Device Figure of Merit for High-Frequency Applications”. In: *IEEE Electron Device Letters* 10.10 (1989), pp. 455–457. ISSN: 15580563. DOI: 10.1109/55.43098.

-
- [Bau+18] Plinio Bau et al. “A CMOS Gate Driver with Ultra-Fast dV/dt Embedded Control Dedicated to Optimum EMI and Turn-on Losses Management for GaN Power Transistors”. In: *PRIME 2018 - 14th Conference on Ph.D. Research in Microelectronics and Electronics* (2018), pp. 105–108. DOI: 10.1109/PRIME.2018.8430331.
- [Bie+08] J. Biela et al. “5kV/200ns Pulsed Power Switch Based on a SiC-JFET Super Cascode”. In: *2008 IEEE International Power Modulators and High-Voltage Conference*. May 2008, pp. 358–361. DOI: 10.1109/IPMC.2008.4743658.
- [BJ92] R. J. Baker and B. P. Johnson. “Stacking Power MOSFETs for Use in High Speed Instrumentation”. In: *Review of Scientific Instruments* 63.12 (1992), pp. 5799–5801. ISSN: 00346748. DOI: 10.1063/1.1143366.
- [Bru+14] E. V. Brunt et al. “22 kV, 1 Cm², 4H-SiC n-IGBTs with Improved Conductivity Modulation”. In: *Proceedings of the International Symposium on Power Semiconductor Devices and ICs c* (2014), pp. 358–361. ISSN: 10636854. DOI: 10.1109/ISPSD.2014.6856050.
- [Bru+15] Edward van Brunt et al. “27 kV, 20 A 4H-SiC n-IGBTs”. In: *Materials Science Forum* 821–823 (2015), pp. 847–850. ISSN: 1662-9752. DOI: 10.4028/www.scientific.net/MSF.821-823.847. (Visited on 03/09/2023).
- [Bry+07] Angus T. Bryant et al. “Numerical Optimization of an Active Voltage Controller for High-Power IGBT Converters”. In: *IEEE Transactions on Power Electronics* 22.2 (2007), pp. 374–383. ISSN: 08858993. DOI: 10.1109/TPEL.2006.889895.
- [CC+02] Marco Chiadò Caponet et al. “Low Stray Inductance Bus Bar Design and Construction for Good EMC Performance in Power Electronic Circuits”. In: *IEEE Transactions on Power Electronics* 17.2 (2002), pp. 225–231. ISSN: 08858993. DOI: 10.1109/63.988833.
- [Cel00] Ivan Celanovic. “A Distributed Digital Control Architecture for Power Electronics Systems”. Thesis. Virginia Tech, July 2000. (Visited on 10/30/2022).
- [CGP10] Lihua Chen, Baoming Ge, and Fang Z. Peng. “Modeling and Analysis of Closed-Loop Gate Drive”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC* (2010), pp. 1124–1130. DOI: 10.1109/APEC.2010.5433360.
- [CK19] Hwa Rang Cha and Rae Young Kim. “Voltage Balance Switching Scheme for Series-Connected SiC MOSFET LLC Resonant Converter”. In: *Energies* 12.20 (2019). ISSN: 19961073. DOI: 10.3390/en12204003.
- [CLA96] Jiann Fuh Chen, Jiunn Nan Lin, and Tsu Hua Ai. “Techniques of the Serial and Paralleled IGBTs”. In: *IECON Proceedings (Industrial Electronics Conference)* (1996).

-
- [Dal+17] Jeremy J.O. Dalton et al. “Shaping Switching Waveforms in a 650 v GaN FET Bridge-Leg Using 6.7 GHz Active Gate Drivers”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC* (2017), pp. 1983–1989. DOI: 10.1109/APEC.2017.7930970.
- [Des] *Design, Control, and Application of Modular Multilevel Converters for HVDC Transmission Systems | IEEE eBooks | IEEE Xplore*. <https://ieeexplore.ieee.org/book/7601527>. (Visited on 03/06/2023).
- [Dwo+] Piotr Dworakowski et al. “Unidirectional Step-up Isolated DC-DC Converter for MVDC Electrical Networks”. In: ().
- [Dwo+19] Piotr Dworakowski et al. “3-Phase Medium Frequency Transformer for a 100kW 1.2kV 20kHz Dual Active Bridge Converter”. In: *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*. Vol. 1. Oct. 2019, pp. 4071–4076. DOI: 10.1109/IECON.2019.8926695.
- [Dym+18] Harry C P Dymond et al. “A 6 . 7-GHz Active Gate Driver for GaN FETs To”. In: *IEEE Transactions on Power Electronics* 33.1 (2018), pp. 581–594. DOI: 10.1109/TPEL.2017.2669879.
- [Ene] *Energy Pathways to 2050 Key Results*. Tech. rep. RTE, Oct. 2021.
- [Eni+15] Emanuel Petre Eni et al. “Design of Low Impedance Busbar for 10 kV, 100A 4H-SiC MOSFET Short-Circuit Tester Using Axial Capacitors”. In: *2015 IEEE 6th International Symposium on Power Electronics for Distributed Generation Systems, PEDG 2015* (2015), pp. 1–5. DOI: 10.1109/PEDG.2015.7223096.
- [ES07] E. Elwarraki and A. Sabir. “Pspice Behavior and Thermal Modeling of the PIN Diode: A Circuit Approach”. In: *Proceedings of the IEEE International Conference on Electronics, Circuits, and Systems* (2007), pp. 1031–1034. DOI: 10.1109/ICECS.2007.4511169.
- [Gan+17] P. Ganesan et al. “Characterisation of 1200V, 35A SiC Mosfet Using Double Pulse Circuit”. In: *IEEE International Conference on Power Electronics, Drives and Energy Systems, PEDES 2016* 2016-Janua (2017), pp. 1–6. DOI: 10.1109/PEDES.2016.7914285.
- [GDD21] Brandon Grainder and Rik W. De Doncker. *Medium Voltage DC System Architectures*. The Institution of Engineering and Technology. IET Engineering Series 143. 2021. (Visited on 02/17/2023).
- [Ger96] Christian Gerster. “Arrangement of Current Rectifier Circuit and Controlling Method”. Pat. EP 0 653830 B1. 1996.

-
- [GHK22] Reza Ghandi, Collin Hitchcock, and Stacey Kennerly. “Demonstration of 2kV SiC Deep-Implanted Super-Junction PiN Diodes”. In: *Materials Science Forum* 1062 (2022), pp. 477–481. ISSN: 1662-9752. DOI: 10.4028/p-b1gfac. (Visited on 02/24/2023).
- [Gui+93] R. Guidini et al. “Semiconductor Power MOSFETs Devices in Series”. In: *1993 Fifth European Conference on Power Electronics and Applications*. Sept. 1993, 425–430 vol.2.
- [Hai22] Stefan Hain. *How to Control Modern Power Semiconductors*. 2022.
- [Han+22] Dongwoo Han et al. “An Integrated Active Gate Driver for Half-bridge SiC MOSFET Power Modules”. In: *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*. Mar. 2022, pp. 1413–1418. DOI: 10.1109/APEC43599.2022.9773723.
- [HB99] Herbert L. Hess and R. Jacob Baker. “Transformerless Capacitive Coupling of Gate Signals for Series Operation of Power MOS Devices”. In: *IEEE International Electric Machines and Drives Conference, IEMDC 1999 - Proceedings* 15.5 (1999), pp. 673–675. DOI: 10.1109/IEMDC.1999.769210.
- [HTB16] A. Hillers, H. Tu, and J. Biela. “Central Control and Distributed Protection of the DSBC and DSCC Modular Multilevel Converters”. In: *ECCE 2016 - IEEE Energy Conversion Congress and Exposition, Proceedings* (2016). DOI: 10.1109/ECCE.2016.7854909.
- [Jea01] Pierre-olivier Jeannin. “Le Transistor MOSFET En Commutation : Application Aux Associations Série et Parallèle de Composants à Grille Isolé.” PhD thesis. 2001.
- [Jør+20] Asger Bjørn Jørgensen et al. “Analysis of Cascaded Silicon Carbide MOSFETs Using a Single Gate Driver for Medium Voltage Applications”. In: *IET Power Electronics* 13.3 (2020), pp. 413–419. ISSN: 17554543. DOI: 10.1049/iet-pe1.2019.0573.
- [Jou+18] Wadia Jouha et al. “Silicon Carbide Power MOSFET Model: An Accurate Parameter Extraction Method Based on the Levenberg-Marquardt Algorithm”. In: *IEEE Transactions on Power Electronics* 33.11 (2018), pp. 9130–9133. ISSN: 08858993. DOI: 10.1109/TPEL.2018.2822939.
- [Ken+15] Stephan Kenzelmann et al. “Isolated DC/DC Structure Based on Modular Multilevel Converter”. In: *IEEE Transactions on Power Electronics* 30.1 (Jan. 2015), pp. 89–98. ISSN: 1941-0107. DOI: 10.1109/TPEL.2014.2305976.
- [KPR17] Rafal Kopacz, Dimosthenis Pefitsis, and Jacek Rabkowski. “Experimental Study on Fast-Switching Series-Connected SiC MOSFETs”. In: *2017 19th European Conference on Power Electronics and Applications (EPE'17*

-
- ECCE Europe*). 2017, P.1–P.10. DOI: 10.23919/EPE17ECCEEurope.2017.8099266.
- [Kra+19] Florian Krach et al. “Innovative Monolithic RC-snubber for Fast Switching Power Modules”. In: *CIPS 2016 - 9th International Conference on Integrated Power Electronics Systems*. 2019, pp. 1–6. ISBN: 9783800741717.
- [Lef+19] Pierre Lefranc et al. “A Predictive Model to Investigate the Effects of Gate Driver on Dv/Dt in Series Connected SiC MOSFETs”. In: *PCIM Europe Conference Proceedings* May (2019), pp. 369–376. ISSN: 21913358.
- [Li+19] Hong Li et al. “A Non-Segmented PSpice Model of SiC Mosfet with Temperature-Dependent Parameters”. In: *IEEE Transactions on Power Electronics* 34.5 (2019), pp. 4603–4612. ISSN: 08858993. DOI: 10.1109/TPEL.2018.2865611.
- [Lic+16] Daniel J. Lichtenwalner et al. “Performance and Reliability of SiC Power MOSFETs”. In: *MRS Advances* 1.2 (2016), pp. 81–89. ISSN: 20598521. DOI: 10.1557/adv.2015.57.
- [Lim+13] Tee C. Lim et al. “Series-Connected IGBTs Using Active Voltage Control Technique”. In: *IEEE Transactions on Power Electronics* 28.8 (2013), pp. 4083–4103. ISSN: 08858993. DOI: 10.1109/TPEL.2012.2227812.
- [Lin+20a] Xiang Lin et al. “Analysis of Parasitic Capacitors’ Impact on Voltage Sharing of Series-Connected SiC MOSFETs and Body-Diodes”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC 2020-March* (2020), pp. 208–215. DOI: 10.1109/APEC39645.2020.9124591.
- [Lin+20b] Xiang Lin et al. “Hybrid Voltage Balancing Approach for Series-Connected 10 kV SiC MOSFETs for DC-AC Medium-Voltage Power Conversion Applications”. In: *ECCE 2020 - IEEE Energy Conversion Congress and Exposition* (2020), pp. 3769–3775. DOI: 10.1109/ECCE44975.2020.9236192.
- [Lin+21] Xiang Lin et al. “Active Control and Gate-Driver Design for Voltage Balancing of Both MOSFETs and Body-Diodes in Series-Connected SiC MOSFETs”. In: *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*. Vancouver, BC, Canada: IEEE, Oct. 2021, pp. 5393–5399. ISBN: 978-1-72815-135-9. DOI: 10.1109/ECCE47101.2021.9595682. (Visited on 12/04/2022).
- [LLW19] Shengsheng Liu, Hua Lin, and Tao Wang. “Comparative Study of Three Different Passive Snubber Circuits for SiC Power MOSFETs”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC 2019-March* (2019), pp. 354–358. DOI: 10.1109/APEC.2019.8722302.

-
- [Lóp+16] Abraham López et al. “Switching Performance Comparison of a Power Switch in a Cascode Configuration Using a SuperJunction MOSFET”. In: *Proceedings - 2016 51st International Universities Power Engineering Conference, UPEC 2016* 2017-Janua (2016), pp. 1–6. DOI: 10.1109/UPEC.2016.8114104.
- [MAT+21] Cedric MATHIEU de Vienne et al. “Model Parameter Extraction Tool for the Analysis of Series-Connected SiC-MOSFETs”. In: *PCIM Europe Digital Days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. May 2021, pp. 1–8.
- [Mat+22] Cédric Mathieu de Vienne et al. “Experimental Investigation of a 10 kV-70A Switch with Six SiC-MOSFETs in a Series-Connection Configuration”. In: *Materials Science Forum* 1062 (2022), pp. 472–476. ISSN: 1662-9752. DOI: 10.4028/p-cg93gc. (Visited on 02/27/2023).
- [MBB19] Alinaghi Marzoughi, Rolando Burgos, and Dushan Boroyevich. “Active Gate-Driver with Dv/Dt Controller for Dynamic Voltage Balancing in Series-Connected SiC MOSFETs”. In: *IEEE Transactions on Industrial Electronics* 66.4 (2019), pp. 2488–2498. ISSN: 02780046. DOI: 10.1109/TIE.2018.2842753.
- [McN+07] Ty R. McNutt et al. “Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence”. In: *IEEE Transactions on Power Electronics* 22.2 (2007), pp. 353–363. ISSN: 08858993. DOI: 10.1109/TPEL.2006.889890.
- [MH58] C.W. Mueller and J. Hilibrand. “The ”Thyristor”—A New High-Speed Switching Transistor”. In: *IRE Transactions on Electron Devices* 5.1 (Jan. 1958), pp. 2–5. ISSN: 2379-8661. DOI: 10.1109/T-ED.1958.14318.
- [Moc+22] Slavko Mocevic et al. “High Power Density 10 kV SiC MOSFET-Based Modular, Scalable Converter for Medium Voltage Applications”. In: *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*. Mar. 2022, pp. 422–429. DOI: 10.1109/APEC43599.2022.9773720.
- [Mol+18] Q. Molin et al. “Measurement and Analysis of SiC-MOSFET Threshold Voltage Shift”. In: *Microelectronics Reliability* 88–90 (Sept. 2018), pp. 656–660. ISSN: 0026-2714. DOI: 10.1016/J.MICROREL.2018.06.073. (Visited on 04/27/2020).
- [Mon12] Pascal Monjean. “Outline and energy flow optimization of offshore and on-shore renewable farm, using DC grid”. PhD thesis. Arts et Métiers ParisTech, Sept. 2012. (Visited on 02/15/2023).

-
- [MU07] Kala Meah and Sadrul Ula. “Comparative Evaluation of HVDC and HVAC Transmission Systems”. In: *2007 IEEE Power Engineering Society General Meeting*. Tampa, FL, USA: IEEE, June 2007, pp. 1–5. ISBN: 978-1-4244-1296-9 978-1-4244-1298-3. DOI: 10.1109/PES.2007.385993. (Visited on 02/15/2023).
- [Nag+00] A. Nagel et al. “Characterization of IGBTs for Series Connected Operation”. In: *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)* 3.October (2000), pp. 1923–1929. ISSN: 01972618. DOI: 10.1109/IAS.2000.882141.
- [Ngu+10] The Van Nguyen et al. “Series Connection of IGBT”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC* (2010), pp. 2238–2244. DOI: 10.1109/APEC.2010.5433548.
- [NLC17] Van Sang Nguyen, Pierre Lefranc, and Jean Christophe Crebier. “Gate Driver Architectures for High Speed Power Devices in Series Connection”. In: *PCIM Europe 2017 - International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management* May (2017), pp. 16–18. DOI: 10.1109/SBMicro.2017.7990673.
- [NTA81] Akira Nabae, Isao Takahashi, and Hirofumi Akagi. “A New Neutral-Point-Clamped PWM Inverter”. In: *IEEE Transactions on Industry Applications* IA-17.5 (Sept. 1981), pp. 518–523. ISSN: 1939-9367. DOI: 10.1109/TIA.1981.4503992.
- [Oba+22] Amin Salim Obaid Al-Hinaai et al. “A Novel Packaging with Direct Dielectric Liquid Cooling for High Voltage Power Electronics”. In: *2022 IEEE International Workshop on Integrated Power Packaging (IWIPP)*. Aug. 2022, pp. 1–6. DOI: 10.1109/IWIPP50752.2022.9894055.
- [Pal20] John W Palmour. “Driving SiC into the Mainstream”. In: *ECSCRM 2020*. Tours France, 2020.
- [Pan+19] Lei Pang et al. “A Compact Series-Connected SiC MOSFETs Module and Its Application in High Voltage Nanosecond Pulse Generator”. In: *IEEE Transactions on Industrial Electronics* 66.12 (2019), pp. 9238–9247. ISSN: 15579948. DOI: 10.1109/TIE.2019.2891441.
- [Pea] *Pearl Street Station*. <https://ethw.org/PearlStreetStation>. Nov. 2017. (Visited on 02/15/2023).
- [Pef+17] Dimosthenis Pefitsis et al. “Challenges on Drive Circuit Design for Series-Connected SiC Power Transistors”. In: *Materials Science Forum* 897 MSF.May (2017), pp. 655–660. ISSN: 02555476. DOI: 10.4028/www.scientific.net/MSF.897.655.
- [Pha] *Phase Control Thyristor : DS_T2563N_11_0*. (Visited on 03/09/2023).

-
- [Ren+17] Yu Ren et al. “A Novel Solid-State DC-breaker Based on Cascaded SiC MOSFETs”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC* (2017), pp. 824–828. DOI: 10.1109/APEC.2017.7930791.
- [Ren+19] Yu Ren et al. “A Single Gate Driver Based Solid-State Circuit Breaker Using Series Connected SiC MOSFETs”. In: *IEEE Transactions on Power Electronics* 34.3 (2019), pp. 2002–2006. ISSN: 08858993. DOI: 10.1109/TPEL.2018.2861920.
- [RH07] F. V. Robinson and V. Hamidi. “Series Connecting Devices for High-Voltage Power Conversion”. In: *Proceedings of the Universities Power Engineering Conference* (2007), pp. 1134–1139. DOI: 10.1109/UPEC.2007.4469110.
- [Ric+18] Michele Riccio et al. “A Temperature-Dependent SPICE Model of SiC Power MOSFETs for Within and Out-of-SOA Simulations”. In: *IEEE Transactions on Power Electronics* 33.9 (Sept. 2018), pp. 8020–8029. ISSN: 1941-0107. DOI: 10.1109/TPEL.2017.2774764.
- [RM16] Daniel J. Rogers and Boris Murmann. “Digital Active Gate Drives Using Sequential Optimization”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC 2016-May* (2016), pp. 1650–1656. DOI: 10.1109/APEC.2016.7468088.
- [SH68] H. Shichman and D.A. Hodges. “Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits”. In: *IEEE Journal of Solid-State Circuits* 3.3 (Sept. 1968), pp. 285–289. ISSN: 0018-9200. DOI: 10.1109/JSSC.1968.1049902. (Visited on 11/07/2022).
- [SKH08] G. Schmitt, R. Kennel, and J. Holtz. “Voltage Gradient Limitation of IGBTs by Optimised Gate-Current Profiles”. In: *PESC Record - IEEE Annual Power Electronics Specialists Conference* (2008), pp. 3592–3596. ISSN: 02759306. DOI: 10.1109/PESC.2008.4592512.
- [Son+17] Xiaoqing Song et al. “15-kV/40-A FREEDM Supercascode: A Cost-Effective SiC High-Voltage and High-Frequency Power Switch”. In: *IEEE Transactions on Industry Applications* 53.6 (Nov. 2017), pp. 5715–5727. ISSN: 0093-9994. DOI: 10.1109/TIA.2017.2737627.
- [Stm] *STMicroelectronics Drives the Future of EVs and Industrial Applications with New Silicon-Carbide Devices*. (Visited on 02/22/2023).
- [Sua+16] Carlos Gomez Suarez et al. “Parameter Extraction for PSpice Models by Means of an Automated Optimization Tool - An IGBT Model Study Case”. In: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management July* (2016), pp. 831–838.

-
- [Sun+21] Keyao Sun et al. “Modeling , Design , and Evaluation of Active $d v / d t$ Balancing for Series-Connected SiC MOSFETs”. In: 8993.c (2021), pp. 1–13. DOI: 10.1109/TPEL.2021.3100246.
- [Sun+22] Siddarth Sundaresan et al. “Impact of Device Design Parameters on 15 kV SiC MOSFETs”. In: *Materials Science Forum* 1062 (May 2022), pp. 576–581. ISSN: 1662-9752. DOI: 10.4028/p-1k1eb6. (Visited on 02/24/2023).
- [SW17] Katsuya Shingu and Keiji Wada. “Digital Control Based Voltage Balancing for Series Connected SiC MOSFETs under Switching Operations”. In: *2017 IEEE Energy Conversion Congress and Exposition, ECCE 2017* 2017-Janua.1 (2017), pp. 5495–5500. DOI: 10.1109/ECCE.2017.8096917.
- [SWC06] N. Y.A. Shammam, R. Withanage, and D. Chamund. “Review of Series and Parallel Connection of IGBTs”. In: *IEE Proceedings: Circuits, Devices and Systems* (2006). ISSN: 13502409. DOI: 10.1049/ip-cds:20050053.
- [Tod93] C Todd. “Snubber Circuits: Theory, Design and Application”. In: (1993), pp. 1–18.
- [Tor+16] Bendik Nybakk Torsaeter et al. “Experimental Evaluation of Switching Characteristics, Switching Losses and Snubber Design for a Full SiC Half-Bridge Power Module”. In: *2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems, PEDG 2016* (2016). DOI: 10.1109/PEDG.2016.7527071.
- [Tos18] Toshiba Electronic Devices & Storage Corporation. *Power MOSFET Selecting MOSFFETs and Consideration for Circuit Design*. Tech. rep. 2018, pp. 1–18.
- [Tso+16] Georgios Tsolaridis et al. “Development of Simulink-based SiC MOSFET Modeling Platform for Series Connected Devices”. In: *ECCE 2016 - IEEE Energy Conversion Congress and Exposition, Proceedings* September (2016). DOI: 10.1109/ECCE.2016.7855041.
- [TWL21] Anatolii Tcai, Thiwanka Wijekoon, and Marco Liserre. “Evaluation of Flying Capacitor Quasi 2-Level Modulation for MV Applications”. In: *PCIM Europe Digital Days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. May 2021, pp. 1–7.
- [VBA15] Kasunaidu Vechalapu, Subhashish Bhattacharya, and Eddy Aleoiza. “Performance Evaluation of Series Connected 1700V SiC MOSFET Devices”. In: *WiPDA 2015 - 3rd IEEE Workshop on Wide Bandgap Power Devices and Applications*. 2015. ISBN: 978-1-4673-7885-7. DOI: 10.1109/WiPDA.2015.7369327.

-
- [Vec+17] Kasunaidu Vechalapu et al. “Comparative Evaluation of 15-kV SiC MOSFET and 15-kV SiC IGBT for Medium-Voltage Converter Under the Same Dv/Dt Conditions”. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics* 5.1 (2017), pp. 469–489.
- [Vel22] Victor Veliadis. “SiC Mass Commercialization: Present Status and Barriers to Overcome”. In: *Materials Science Forum* 1062 (2022), pp. 125–130. ISSN: 1662-9752. DOI: 10.4028/p-6zcx3b. (Visited on 11/07/2022).
- [Wan+18a] Panrui Wang et al. “An Insight into the Voltage Rising Behavior during Turn-off Process of Series Connected SiC MOSFETs on Circuit Level”. In: *2018 International Power Electronics Conference, IPEC-Niigata - ECCE Asia 2018* (2018), pp. 3383–3389. DOI: 10.23919/IPEC.2018.8507617.
- [Wan+18b] Panrui Wang et al. “An Integrated Gate Driver with Active Delay Control Method for Series Connected SiC MOSFETs”. In: *2018 IEEE 19th Workshop on Control and Modeling for Power Electronics, COMPEL 2018*. 2018. ISBN: 978-1-5386-5541-2. DOI: 10.1109/COMPEL.2018.8459904.
- [Wan+21] Tao Wang et al. “An Active Voltage Balance Method Based on Adjusting Driving Signals Time Delay for Series-Connected IGBTs”. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics* 8.1 (2021), pp. 454–464. ISSN: 21686785. DOI: 10.1109/JESTPE.2021.3069577.
- [WCL13] Jianjing Wang, Henry Shu Hung Chung, and River Tin Ho Li. “Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance”. In: *IEEE Transactions on Power Electronics* 28.1 (2013), pp. 573–590. ISSN: 08858993. DOI: 10.1109/TPEL.2012.2195332.
- [WCS07] Ruchira Withanage, Will Crookes, and Noel Shamma. “Novel Voltage Balancing Technique for Series Connection of IGBTs”. In: *2007 European Conference on Power Electronics and Applications, EPE (2007)*. DOI: 10.1109/EPE.2007.4417500.
- [WLC12] Jianjing Wang, River Tin Ho Li, and Henry Shu Hung Chung. “An Investigation into the Effects of the Gate Drive Resistance on the Losses of the MOSFET-snubber-diode Configuration”. In: *IEEE Transactions on Power Electronics* 27.5 (2012), pp. 2657–2672. ISSN: 08858993. DOI: 10.1109/TPEL.2011.2171723.
- [WS18] Keiji Wada and Katsuya Shingu. “Voltage Balancing Control for Series Connected MOSFETs Based on Time Delay Adjustment under Start-Up and Steady-State Operations”. In: *2018 IEEE Energy Conversion Congress and Exposition, ECCE 2018* (2018), pp. 5495–5499. DOI: 10.1109/ECCE.2018.8557461.

-
- [Yam+17] Yuki Yamashita et al. “Design of RCD Snubber Considering Wiring Inductance for MHz-switching of SiC-MOSFET”. In: *2017 IEEE 18th Workshop on Control and Modeling for Power Electronics, COMPEL 2017* (2017). DOI: 10.1109/COMPEL.2017.8013396.
- [Yan11] LOBSIGER Yanick. “Decentralized Active Gate Control for Current Balancing of Parallel Connected IGBT Modules”. In: (2011).
- [Yan+20] Ning Yan et al. “Design Analysis for Current-transformer Based High-frequency Auxiliary Power Supply for SiC-based Medium Voltage Converter Systems”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC 2020-March* (2020), pp. 1390–1397. DOI: 10.1109/APEC39645.2020.9124436.
- [YB22] Jianghui Yu and Rolando Burgos. “Capacitor Voltage Control in Medium-Voltage Converters Based on Integrated Capacitor-Blocked Transistor (ICBT) Cells”. In: *2022 IEEE 23rd Workshop on Control and Modeling for Power Electronics (COMPEL)*. June 2022, pp. 1–6. DOI: 10.1109/COMPEL53829.2022.9829960.
- [YLC20] Dongkwan Yoon, Sungmin Lee, and Younghoon Cho. “Design Considerations of Series-Connected Devices Based LLC Converter”. In: *Energies* 13.1 (2020), pp. 1–15. ISSN: 19961073. DOI: 10.3390/en13010264.
- [YS06] L. C. Yu and K. Sheng. “Breaking the Theoretical Limit of SiC Unipolar Power Device - A Simulation Study”. In: *Solid-State Electronics* 50.6 (2006), pp. 1062–1072. ISSN: 00381101. DOI: 10.1016/j.sse.2006.04.038.
- [Zen+20] Zheng Zeng et al. “Impedance-Oriented Transient Instability Modeling of SiC Mosfet Intruded by Measurement Probes”. In: *IEEE Transactions on Power Electronics* 35.2 (2020), pp. 1866–1881. ISSN: 19410107. DOI: 10.1109/TPEL.2019.2922246.
- [Zha+18] Zheyu Zhang et al. “High Precision Gate Signal Timing Control Based Active Voltage Balancing Scheme for Series-Connected Fast Switching Field-Effect Transistors”. In: *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC 2018-March* (2018), pp. 925–930. DOI: 10.1109/APEC.2018.8341125.
- [Zha+20a] Fan Zhang et al. “A Novel Active Voltage Clamping Circuit Topology for Series-Connection of SiC-MOSFETs”. In: *IEEE Transactions on Power Electronics* 36.4 (2020), pp. 1–1. ISSN: 0885-8993. DOI: 10.1109/tpel.2020.3024072.
- [Zha+20b] Fan Zhang et al. “Voltage Balancing Control of Series-Connected SiC MOSFETs by Using Energy Recovery Snubber Circuits”. In: *IEEE Transactions on Power Electronics* 35.10 (2020), pp. 10200–10212. ISSN: 19410107. DOI: 10.1109/TPEL.2020.2981547.

-
- [Zha+20c] Li Zhang et al. “Design Considerations for High-Voltage-Insulated Gate Drive Power Supply for 10-kV SiC MOSFET Applied in Medium-Voltage Converter”. In: *IEEE Transactions on Industrial Electronics* 0046.c (2020), pp. 1–1. ISSN: 0278-0046. DOI: 10.1109/tie.2020.3000131.
- [Zha+20d] Shuang Zhao et al. “Adaptive Multi-Level Active Gate Drivers for SiC Power Devices”. In: *IEEE Transactions on Power Electronics* 35.2 (2020), pp. 1882–1898. ISSN: 19410107. DOI: 10.1109/TPEL.2019.2922112.
- [ZLW20] Min Zhao, Hua Lin, and Tao Wang. “An Adaptive Driving Signals Delay Control for Voltage Balancing of Series-Connected SiC MOSFETs”. In: (2020), pp. 2814–2818. DOI: 10.1109/ecce44975.2020.9236143.
- [ZSA10] E T H Zurich, Doctor O F Sciences, and Daniel Aggeler. “Bidirectional Galvanically Isolated 25 kW 50 kHz 5 kV / 700 V Si-SiC SuperCascode / Si-IGBT DC-DC Converter”. PhD thesis. 2010.
- [ZZM19] Zheng Zeng, Xin Zhang, and Linjing Miao. “Inaccuracy and Instability: Challenges of SiC MOSFET Transient Measurement Intruded by Probes”. In: *2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)*. May 2019, pp. 2139–2145. DOI: 10.23919/ICPE2019-ECCEAsia42246.2019.8796994.