



HAL
open science

Evaluation et qualification de la fiabilité des composants et des procédés d'assemblages électroniques pour applications médicales

Fatima-Ezahra Indmeskine

► **To cite this version:**

Fatima-Ezahra Indmeskine. Evaluation et qualification de la fiabilité des composants et des procédés d'assemblages électroniques pour applications médicales. Electronique. Université d'Angers, 2024. Français. NNT : 2024ANGE0029 . tel-04918270

HAL Id: tel-04918270

<https://theses.hal.science/tel-04918270v1>

Submitted on 29 Jan 2025

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE DE DOCTORAT DE

L'UNIVERSITÉ D'ANGERS

ÉCOLE DOCTORALE N° 602

Sciences de l'Ingénierie et des Systèmes

Spécialité : « *Procédés de Fabrication, Optimisation de Process et de produits* »

Par

« **Fatima-Ezahra INDMESKINE** »

Evaluation et qualification de la fiabilité des composants et des procédés d'assemblages électroniques pour applications médicales

Thèse présentée et soutenue à Angers, le « 12 Novembre 2024 »

Unité de recherche : Laboratoire LARIS Angers

Rapporteurs avant soutenance :

Hélène FREMONT Professeure, Université de Bordeaux IMS
Marc ZOLGHADRI Professeur, Laboratoire Quartz / ISAE-SUPMECA

Composition du Jury :

Présidente :	Mihaela BARREAU	Professeure, Université d'Angers
Examineurs :	Hélène FREMONT	Professeure, Université de Bordeaux IMS
	Marc ZOLGHADRI	Professeur, Laboratoire Quartz / ISAE-SUPMECA
	Ghaleb HOBLOS	Professeur, ESIGELEC Rouen
Dir. de thèse :	Abdessamad KOBI	Professeur, Université d'Angers
Co-encadrant de thèse :	Laurent SAINTIS	Maître de conférences, Université d'Angers

Invité(s) :

Dominik METTEN PhD, Ingénieur Nouveaux Procédés et Qualité Laboratoire,
TAME-COMPONENT (TRONICO) Saint-Philbert-de-Bouaine

THÈSE DE DOCTORAT DE

L'UNIVERSITÉ D'ANGERS

ÉCOLE DOCTORALE N° 602

Sciences de l'Ingénierie et des Systèmes

Spécialité : « *Procédés de Fabrication, Optimisation de Process et de produits* »

Par

« **Fatima-Ezahra INDMESKINE** »

Evaluation et qualification de la fiabilité des composants et des procédés d'assemblages électroniques pour applications médicales

Thèse présentée et soutenue à Angers, le « 12 Novembre 2024 »

Unité de recherche : Laboratoire LARIS Angers

Rapporteurs avant soutenance :

Hélène FREMONT Professeure, Université de Bordeaux IMS

Marc ZOLGHADRI Professeur, Laboratoire Quartz / ISAE-SUPMECA

Composition du Jury :

Présidente : Mihaela BARREAU Professeure, Université d'Angers

Examineurs : Hélène FREMONT Professeure, Université de Bordeaux IMS

Marc ZOLGHADRI Professeur, Laboratoire Quartz / ISAE-SUPMECA

Ghaleb HOBLOS Professeur, ESIGELEC Rouen

Dir. de thèse : Abdessamad KOBI Professeur, Université d'Angers

Co-encadrant de thèse : Laurent SAINTIS Maître de conférences, Université d'Angers

Invité(s) :

Dominik METTEN PhD, Ingénieur Nouveaux Procédés et Qualité Laboratoire,
TAME-COMPONENT (TRONICO) Saint-Philbert-de-Bouaine

REMERCIEMENTS

Cette thèse a été l'une des expériences les plus stimulantes et enrichissantes de ma vie. Elle m'a permis de grandir de manière importante, tant sur le plan professionnel que personnel. Je dois beaucoup à tous ceux qui m'ont inspiré tout au long de ce parcours.

Tout d'abord, je tiens à exprimer ma profonde gratitude à ma famille. Votre soutien permanent, vos encouragements et votre présence bienveillante ont été mon ancre tout au long de ce parcours. À mes parents, vous avez toujours été mes guides, et à mes sœurs et mes frères, qui sont aussi mes meilleurs amis, je ne peux pas commencer à exprimer à quel point votre présence dans ma vie signifie pour moi. Merci à tous d'être ma source constante de force et d'amour. Une mention spéciale va à ma nièce, née pendant ce doctorat, ton arrivée a apporté une immense joie et m'a donné une autre belle raison de persévérer.

À mes amis, dont certains étaient aussi des collègues, merci d'avoir rempli ma vie de rires, d'encouragements et de moments mémorables, même au milieu des pressions académiques. Un merci spécial à Salim, Patty, Sabrina, Nicola, Jaber, Sara, Bassel, Isaac, Gaëlle et Morgan pour les souvenirs, ainsi qu'à tous mes autres collègues de LARIS et Polytech Angers, dont la bienveillance a contribué à créer un environnement chaleureux et humain.

Je suis profondément reconnaissant envers mon directeur de thèse Abdessamad Kobi et mon encadrant Laurent Saintis, qui ont été mes mentors tout au long de ce processus. Votre patience, votre compréhension et vos conseils ont contribué à structurer non seulement ce travail, mais aussi au développement de l'experte que j'aspire à devenir. Je tiens également à remercier mes collègues de TAME-COMPONENT : Hélène Marceau, Jean Bastid, Dominik Metten, Vincent Lersteau, et Raphaëlle Sourice. Vous m'avez accueilli chaleureusement à chaque fois que je venais pour des tests, des mesures, des analyses de défaillances ou simplement pour suivre les activités en cours. Cela a été un plaisir de travailler avec vous.

Je tiens également à remercier les rapporteurs Hélène Fremont et Marc Zolghadri, et les autres membres du jury : Ghaleb Hoblos, Mihaela Barreau et Dominik Metten pour le temps et l'attention qu'ils ont consacrés à l'examen de ce travail. Vos commentaires constructifs, vos remarques pertinentes et vos questions stimulantes ont grandement en-

richi cette thèse et m'ont permis d'approfondir ma réflexion sur les perspectives du travail.

Je remercie également les financeurs du projet : la région Pays de la Loire, BpiFrance et le gouvernement français pour le plan France Relance, dont les ressources ont permis la réalisation de ces travaux de recherche.

Sur une note plus personnelle, je tiens à remercier SUAPS de l'université d'Angers d'avoir rendu les sports et les activités accessibles et idéalement situés à proximité du laboratoire. Vos installations m'ont permis de trouver un équilibre entre travail et bien-être, et pour cela, je suis extrêmement reconnaissante.

À vous tous, ma plus sincère gratitude.

TABLE DES MATIÈRES

Liste des travaux	9
Glossaire	11
Introduction générale	15
1 Dispositifs Médicaux implantables actifs	19
1.1 Généralités	19
1.2 Environnement des DMIA	22
1.2.1 Procédés d'assemblage	24
1.2.2 Packaging / Encapsulation	26
1.2.3 Procédés d'enrobage	30
1.2.4 Stérilisation	33
1.2.5 Biocompatibilité/biostabilité	37
1.3 Normes utilisées dans le médical	38
2 Les méthodes de qualification de la fiabilité par les essais	39
2.1 Introduction	40
2.2 Plan d'expériences	41
2.2.1 Vocabulaire des plans d'expériences	42
2.2.2 Exemple de définition d'un plan d'expériences : un condensateur céramique multi-couches	44
2.2.3 Principes de base	46
2.2.4 Définitions diverses	49
2.2.5 Lignes directrices pour DoE	50
2.3 Essais de durée de vie accélérés	51
2.3.1 Accélération de la défaillance	51
2.3.2 Détermination des facteurs de stress des essais accélérés basée sur la physique de la défaillance	57
2.3.3 Planification des essais accélérés	61
2.4 Qualification des composants électroniques	67
2.4.1 Normes	67
2.4.2 Guides de fiabilité prévisionnelle	73
2.5 Combinaison des approches DoE et ALT	78
2.6 Conclusion	82

3	Méthodologie de définition des essais de qualification des composants électroniques pour les DMIAs	85
3.1	Introduction	87
3.2	Méthodologie de qualification	88
3.2.1	Profil de mission	90
3.2.2	Physique de la défaillance	91
3.2.3	Essais de durée de vie accélérés	92
3.3	Définition d'un plan d'échantillonnage : Exemple des circuits intégrés . . .	95
3.3.1	Les circuits intégrés dans les DMIAs	96
3.3.2	Résultats de la Failure Mechanisms Modes & Effects Analysis (FMMEA) des circuits intégrés	97
3.3.3	Plan d'expériences	98
3.3.4	Profils des essais	99
3.4	Application d'un plan d'essai orienté défauts aux chips résistifs	101
3.4.1	Résultats de la FMMEA des chips résistifs	102
3.4.2	Plan d'expériences	103
3.4.3	Profils des essais	105
3.5	Définition d'un plan d'essai vibratoire : Exemple des inductances bobinées	113
3.5.1	Résultats de la FMMEA des inductances bobinées	114
3.5.2	Plan d'expériences	115
3.5.3	Profils des essais	116
3.6	Élaboration d'un plan d'essai orienté dégradation : Exemple des condensateurs céramiques	118
3.6.1	Résultats de la FMMEA des condensateurs céramiques multi-couches	119
3.6.2	Plan d'expériences	122
3.6.3	Profils des essais accélérés	125
3.7	Outillage	126
3.7.1	Carte de test	127
3.7.2	Banc de test	127
3.8	Conclusion	130
4	Analyse des résultats des essais de qualification à partir du plan produit	133
4.1	Introduction	134
4.2	Traitement des données manquantes	134
4.3	Analyse des essais pour la qualification	135
4.3.1	Description générale de l'analyse	136
4.3.2	Exemple des résistances	138
4.4	Analyse des essais pour l'estimation d'un modèle de fiabilité	143
4.4.1	Étapes générales de l'analyse	143

4.4.2	Exemple des condensateurs céramiques	153
4.5	Conclusion	162
Conclusion		165
Annexe A1 : Concepts de base en probabilité, fiabilité et statistiques		171
4.6	Statistiques de base	171
4.6.1	Analyse de variance (ANOVA)	171
4.7	Probabilité et notions en fiabilité	172
4.7.1	Variable aléatoire	172
4.7.2	Fonction de distribution de probabilité	172
4.7.3	Fonction de taux de défaillance	173
4.7.4	Espérance et variance	173
4.7.5	Covariance	173
4.7.6	Quantile	173
4.7.7	Variance asymptotique	174
4.7.8	Estimation de Maximum de Vraisemblance	174
4.7.9	Estimation de Maximum de Vraisemblance pour des données censurées	175
4.7.10	Intervalle de confiance	175
4.7.11	Monte Carlo	177
4.8	Modèles de fiabilité	177
4.8.1	Weibull	177
4.9	Algorithmes d'optimisation	177
4.9.1	Méthodes de points intérieurs	178
Annexe A2 : Matériels supplémentaires pour les essais de durée de vie accélérés		179
4.10	FMMEA	179
4.10.1	Chips résistifs	179
4.10.2	Condensateurs céramiques multicouches CMS	179
4.10.3	Inductances bobinées CMS	179
4.10.4	Circuits intégrés	179
Bibliographie		185

LISTE DES TRAVAUX

Articles de revues

- [2] F.-E. INDMESKINE, L. SAINTIS et A. KOBİ, « Review on accelerated life testing plan to develop predictive reliability models for electronic components based on design-of-experiments », *Quality and Reliability Engineering International*, t. 39, 6, p. 2594-2607, 2023, ISSN : 1099-1638. DOI : 10.1002/qre.3330.
- [8] F.-E. INDMESKINE, L. SAINTIS, A. KOBİ et H. MARCEAU, « Design-of-Experiments and ALT plan for reliability qualification of chip resistors based on mission profile of AIMDs », *Microelectronics Reliability*, 2024 (soumis).

Conférences

- [1] F.-E. INDMESKINE, S. LAURENT, A. KOBİ, H. MARCEAU, J. BASTID et C. DOUARD, « État de l'art des contraintes et des procédés d'assemblage applicables aux composants électroniques pour application médicale et qualification de la fiabilité », in *Congrès Lambda Mu 23 « Innovations et maîtrise des risques pour un avenir durable » - 23e Congrès de Maîtrise des Risques et de Sécurité de Fonctionnement, Institut pour la Maîtrise des Risques*, oct. 2022.
- [3] G. PELLOQUIN, T. MONTIGAUD, L. SAINTIS et F.-E. INDMESKINE, « Distribution Des Modes de Panne et Profils de Vie FIDES », in *Congrès Lambda Mu 24 « Innovations et Maîtrise Des Risques Pour Un Avenir Durable » - 24e Congrès de Maîtrise Des Risques et de Sécurité de Fonctionnement, Institut Pour La Maîtrise Des Risques*, 2024.
- [4] F.-E. INDMESKINE, L. SAINTIS, A. KOBİ et M. BARREAU, « Predictive Reliability Modelling Based On Combination Of DoE And ALT », in *the European Safety and Reliability Conference*, Cracow, Poland, 2024.
- [5] F.-E. INDMESKINE, L. SAINTIS, A. KOBİ et H. MARCEAU, « Design-of-Experiments and ALT plan for reliability qualification of chip resistors based on mission profile of AIMDs », in *the 35th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis*, Parma, Italy, 2024.

- [6] F.-E. INDMESKINE, L. SAINTIS, A. KOBİ et H. MARCEAU, « Plan d'expérience produit à partir d'essais accélérés pour la qualification de la fiabilité des résistances CMS pour les DMİAs », in *24e Congrès de Maîtrise Des Risques et de Sécurité de Fonctionnement, Institut Pour La Maîtrise Des Risques*, Bourges, France, 2024.

Chapitre de livre

- [7] A. KOBİ, F.-E. INDMESKINE et L. SAINTIS, « Life testing plan for electronic components based on design of experiments », in *Developments in Reliability Engineering*, Elsevier, 2024, p. 661-685.

GLOSSAIRE

ANOVA L'analyse de la variance (ANOVA) est une méthode statistique utilisée fréquemment pour l'inférence statistique et la comparaison des moyennes de différents groupes de données. Elle permet de séparer la variabilité d'un groupe d'observations en causes explicables et de mettre en place différents tests de signification.

Défaut Un défaut est une déviation d'un élément par rapport à un état idéal. L'état idéal est généralement indiqué dans une spécification formelle.

Densité spectrale de puissance (d'accélération) La densité spectrale de puissance (ou d'accélération) PSD est une grandeur mathématique qui définit le contenu spectral d'un signal. Elle décrit la façon dont la puissance d'un signal est distribuée en fonction de la fréquence. Traditionnellement, elle est utilisée pour quantifier les caractéristiques de vibration d'un système.

Durée de vie accélérée La durée de vie accélérée est une estimation du temps de fonctionnement d'un produit obtenue en testant celui-ci sous des conditions de stress élevés pour simuler son vieillissement.

Fiabilité Aptitude d'une entité à accomplir une fonction requise, dans des conditions S données, pendant une durée de temps donnée T.

— Modèle de fiabilité : dans ce manuscrit est un modèle mathématique utilisé pour définir des essais de vie accélérés appropriés afin de vérifier si un composant peut "atteindre le niveau de fiabilité" requis par rapport à la durée de vie visée, ce qui signifie tester s'il est apte à accomplir sa fonction requise pendant le temps spécifié et dans les conditions du profil de mission.

— un test de fiabilité : dans ce manuscrit veut dire un essai accéléré.

FMMEA La méthodologie FMMEA (Failure Modes, Mechanisms, and Effects Analysis) est utilisée pour identifier et classer les modes et mécanismes de défaillance connus ou potentiels selon des points de vue physique ou fonctionnel. Elle permet de prioriser ces mécanismes afin de déterminer les principaux mécanismes de défaillance, ainsi que leurs conditions de fonctionnement et contraintes environnementaux associées.

LHD Le LHD (Latin Hypercube Design) est une méthode d'échantillonnage statistique utilisée pour explorer efficacement l'espace des variables dans un plan d'expériences.

LTPD Pourcentage de tolérance du lot défectueux (LTPD) : Le LTPD est un niveau de défaut élevé qui serait inacceptable pour le client. Le client souhaite que le plan d'échantillonnage ait une faible probabilité d'accepter un lot présentant un niveau de défaut aussi élevé que le LTPD.

Mécanisme de défaillance Un mécanisme de défaillance est le processus ou la séquence de processus (mécaniques, chimiques, électriques, thermiques, etc.) qui produit une condition entraînant une défaillance ou un défaut.

Mode de défaillance Un mode de défaillance est la manière dont une défaillance ou une condition de défaut est observée.

Physique de la défaillance La physique de la défaillance étudie les causes fondamentales des défaillances à travers l'analyse des mécanismes physiques, électriques, ou chimiques impliqués.

Plans factoriels fractionnaires de Taguchi Ces plans réduisent le nombre d'expériences nécessaires en sélectionnant stratégiquement des combinaisons de facteurs pour identifier les effets les plus significatifs sur un composant.

Plan produit Un plan produit est une méthode de plan d'expériences (Design of Experiments, DoE) introduite par Taguchi qui combine systématiquement des facteurs contrôlables (par exemple, les paramètres technologiques du composant) et des facteurs de bruit (par exemple, les contraintes environnementales) dans une structure en forme de croisement de deux plans.

Profil de mission Un profil de mission est une représentation simplifiée des conditions pertinentes auxquelles la population de production du dispositif sera exposée dans toutes les applications prévues, tout au long du cycle de vie du composant.

Qualification Le processus de démonstration qu'une entité est capable de répondre ou de dépasser les exigences spécifiées.

RDT Reliability Demonstration Test (RDT) est un essai réalisé pour vérifier que des composants, sous-systèmes ou systèmes respectent des critères de fiabilité spécifiés. Il vise à garantir qu'un produit n'excède pas un taux de défaillance prédéfini ou qu'il ne tombe pas en panne avant un certain nombre de cycles ou une durée de test donnée.

Généralement effectué dans des conditions normales de fonctionnement, le RDT utilise souvent des méthodes telles que le test des "succès consécutifs", où une taille d'échantillon prédéterminée est testée, et l'acceptation est basée sur le nombre de défaillances observées.

Robustesse La robustesse est l'insensibilité au bruit (c'est-à-dire aux variations de l'environnement d'exploitation, de fabrication, de distribution, etc, ainsi qu'à tous les facteurs et contraintes du cycle de vie du produit).

Variance généralisée La variance généralisée est une mesure qui quantifie la variabilité globale d'un ensemble de données multivariées. Elle est basée sur l'analyse des variances individuelles et des relations entre les variables (covariances), offrant une vue d'ensemble de la dispersion des données. Mathématiquement, elle est le déterminant de la matrice de covariance.

INTRODUCTION GÉNÉRALE

L'électronique est de plus en plus présente dans les équipements médicaux implantés, il est donc fréquent qu'une défaillance de l'électronique ait un impact immédiat sur le patient, que ce soit par un besoin d'opération en urgence ou par le décès de celui-ci. De plus, l'estimation et la démonstration de la fiabilité est exigée pour l'autorisation de mise sur le marché de l'équipement [21].

La maîtrise de la fiabilité n'est pas nouvelle dans les systèmes électroniques. La présence massive de ces systèmes pour les équipements aéronautiques depuis des années a démontré que leur utilisation n'augmentait pas les accidents, bien au contraire. Cependant, pour ces équipements aéronautiques, la fiabilité est gérée au niveau du système électronique par le principe de redondance ou dissemblance. Les équipements sont dupliqués (redondance), les duplications étant conçus par des équipes différentes, avec des outils de développement différents et intègrent des composants électroniques différents (dissemblance). De cette manière, les risques que l'ensemble des équipements électroniques nécessaires au fonctionnement d'un système tombe en panne simultanément est quasiment nul (moins d'une défaillance par centaine d'années de vol de l'ensemble de la flotte mondiale).

Pour un équipement médical implanté, une redondance complète n'est pas possible du fait de la limitation du volume des implants. De ce fait, la fiabilité du système dépend directement de la fiabilité des composants électroniques eux-mêmes. Or, à ce jour, il n'existe pas de "grade médical" pour les composants électroniques [22]. Quelques fabricants de composants proposent ce grade dans leur catalogue, mais sa signification d'un fabricant à l'autre est très variable.

Cette thèse s'inscrit dans le cadre d'un projet R&D intitulé "RECOME" pour "Reliability of Electronic COmponents for MEDical devices". L'objectif du projet RECOME est de créer un environnement permettant de démontrer la fiabilité des composants pour une utilisation médicale, en définissant une méthodologie de qualification de la fiabilité des composants. Les méthodes appliquées seront validées par des essais expérimentaux et par une analyse de données pour en extraire les paramètres pertinents des modèles de fiabilité. Cette étape inclut également une recherche bibliographique des modèles existants du marché de l'automobile, basé sur le guide FIDES [1]. Les résultats seront concaténés et mis à disposition sous forme d'une norme expérimentale, permettant ainsi la création de bases de données de lots de composants qualifiés. En utilisant la norme, le concepteur de dispositifs médicaux implantables aura donc à sa disposition tous les outils qui lui permettront de démontrer la fiabilité prévisionnelle de son produit, sécurisant ainsi sa mise

sur le marché.

Le projet RECOME, financé par la **région Pays de La Loire, Plan France Relance**, et **Bpifrance**, est un travail de collaboration entre :

- **SATT OUEST VALORISATION** qui a pour activités la valorisation des résultats de la recherche publique, relations avec les SATT, pôles de compétitivité et start-up.
- **LARIS** (Laboratoire Angevin de Recherche en Ingénierie des Systèmes), en particulier l'équipe "Sûreté de Fonctionnement et outils d'aide à la Décision" dont les spécialités incluent : Fiabilité basée sur la physique de la défaillance, Plans d'essais accélérés, Statistiques bayésiennes, Approches probabilistes, Suivi statistique de la Qualité.
- **TAME-COMPONENT** : Business Unit de l'entreprise TRONICO qui se spécialise sur la conception et fabrication de systèmes électroniques, pilotage du projet, assemblage de carte, caractérisation des composants, vieillissement, et analyses de défaillance des composants.

Cette thèse, et par extension ce manuscrit, se focalise sur la partie méthodologie et n'inclut pas la mise en oeuvre de la normalisation, en se concentrant sur deux types verrous :

Verrous Technologiques lié au progrès technologique croissant des dispositifs médicaux implantables actifs (DMIA) et à l'absence de normes qui qualifient les composants électroniques à être utilisés dans ces dispositifs, particulièrement en raison du manque d'études sur les environnements des DMIA pour la création d'un profil de mission des DMIA, malgré la disponibilité d'informations à ce sujet. Pour résoudre cela, un état de l'art général sur les DMIA sera menée afin de définir un profil de mission qui contient les valeurs générales des contraintes environnementales auxquelles les DMIA sont soumis. Le profil de mission est crucial pour définir les tests de fiabilité puisque les contraintes environnementales sont évidemment des facteurs importants dans la défaillance des composants électroniques.

Verrous Scientifiques concernant la méthodologie de qualification des composants électroniques pour les DMIA, avec une focalisation sur les composants miniatures CMS (Composants Montés sur Surface). Il s'agit principalement de deux problématiques : 1) comment concevoir et analyser des essais de durée de vie accélérés qui sont les plus efficaces pour discerner les défauts qui ont échappé au contrôle de qualité pour des composants de fiabilité relativement élevée. 2) comment définir et analyser des essais accélérés qui démontrent un certain niveau de fiabilité par rapport au profil de mission des DMIA à travers l'observation de la dégradation ou le plan d'échantillonnage.

La méthodologie globale proposée est basée sur la définition d'un profil de mission pour les DMIA, puis la combinaison de méthodes des plans d'expériences et des essais

de durée de vie accélérés basés sur ce profil afin d'analyser statistiquement de manière efficace la fiabilité des composants. En fait, une FMMEA (Failure Modes, Mechanisms & Effects Analysis) permet de relier le profil de mission à la définition des tests de fiabilité en identifiant les facteurs technologiques et environnementaux les plus susceptibles d'être problématiques en termes de fiabilité pour les composants électroniques dans les DMIA. Les facteurs technologiques sont la base de la conception des plans d'expériences tandis que les facteurs environnementaux sont la base des essais de durée de vie accélérés.

Ce manuscrit de thèse se décompose en 4 chapitres :

Le **Chapitre 1** donne un aperçu général des DMIA, leurs fonctions, exemples, leurs environnements et les normes généralement utilisées pour les qualifier dans leur ensemble. Le but de ce chapitre par rapport au sujet de la thèse n'est pas seulement de familiariser le lecteur avec les dispositifs concernés, mais surtout de définir un profil de mission, qui constitue une partie importante de la méthodologie de qualification qui expliquée par la suite.

Le **Chapitre 2** fournit un état de l'art des concepts importants pour la définition d'un de qualification, en particulier, la conception des plans d'expériences, les essais de durée de vie accélérés, les guides de fiabilité prévisionnelle et les normes industrielles pour la qualification des composants électroniques. Une description des méthodes actuelles est discutée par rapport aux objectifs de la thèse. À partir des manques identifiés, plusieurs axes de recherche se dégagent dont les méthodes des plans d'expériences peuvent être utilisées efficacement pour la qualification de fiabilité, comme l'utilisation d'un plan produit.

Après ces revues de littérature importantes, le **Chapitre 3** sera consacré à la méthodologie en se concentrant sur comment définir des essais de durée de vie accélérés basés sur la connaissance de la FMMEA (Failure Mechanisms, Modes & Effects Analysis) des composants et du profil de mission des DMIA. Les essais accélérés sont également basés sur le plan produit et les concepts expliqués dans le Chapitre 2.

Les résultats de ces essais de durée de vie accélérés sont ensuite analysés dans le **Chapitre 4**, où la méthode d'analyse des résultats est expliquée plus en détail. Ce chapitre explique comment exploiter le plan produit pour estimer les paramètres du modèle de fiabilité par type de composants électroniques. Comme dans le chapitre précédent, des exemples issus de résultats d'essais du projet RECOME seront également exploités pour démontrer la fiabilité de l'approche. L'objectif est d'utiliser ces estimations pour améliorer la définition des essais accélérés et affiner la qualification des composants.

DISPOSITIFS MÉDICAUX IMPLANTABLES

ACTIFS

Points essentiels

- Un état de l'art général des DMIA, de leurs fonctions et des exemples sont donnés.
- Les phases de fabrication que les composants électroniques pour les DMIA traversent, diffèrent très peu des phases typiques des composants électroniques pour d'autres domaines. Les particularités principales sont : la stérilisation, l'évaluation de la biocompatibilité pendant le revêtement conforme, et les conditions d'utilisation qui sont caractérisées par des niveaux d'humidité élevés et un espace très restreint qui encourage la miniaturisation des composants électroniques.
- Les différentes phases de fabrication des composants électroniques sont brièvement décrites et reliées aux DMIA.
- Une brève revue des normes typiquement utilisées pour qualifier les DMIA est donnée, ce qui montre que ces normes sont principalement utilisées pour évaluer le risque et évaluer la biocompatibilité et la biostabilité de l'appareil sans se concentrer sur les composants électroniques.
- À la fin du chapitre, le profil de mission des DMIA est créé sur la base des contraintes environnementales examinées lors des différentes phases. L'unicité de ce profil et le manque de normes adaptées justifient la nécessité d'une méthodologie de qualification pour les composants électroniques dans les DMIA.

1.1 Généralités

Un DMIA (Dispositif Médical Implantable Actif) selon la Directive 90/385/CEE est "tout dispositif médical actif destiné à être introduit totalement ou partiellement, chirurgicalement ou médicalement, dans le corps humain ou par une intervention médicale dans un orifice naturel, et qui est destiné à rester après l'intervention" [21]. Il est considéré actif parce qu'il est "dépendant pour son fonctionnement d'une source d'énergie électrique ou

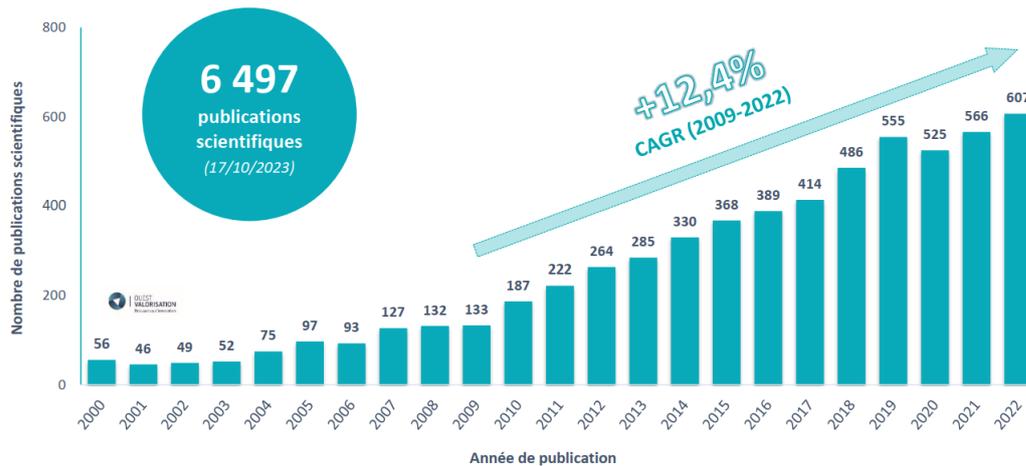


FIGURE 1.1 – Évolution annuelle des publications scientifiques dans le monde depuis 2000 sur les dispositifs médicaux implantables actifs (DMIA) embarquant de l'électronique (étude faite par OUEST VALORISATION dans le cadre du projet RECOME).

de toute autre source d'énergie que celle générée directement par le corps humain ou la pesanteur". Les dispositifs médicaux implantables actifs, qui ont fait l'objet de plusieurs publications scientifiques depuis 2000 (voir la Figure 1.1), appartiennent à la classe III des dispositifs médicaux (classe de risque le plus élevé pour la santé) et, par conséquent, sont sujets aux mesures d'évaluation et de surveillance les plus rigoureuses et doivent acquérir le "marquage CE" pour pouvoir être mis sur le marché dans l'Union Européenne [23].

Les DMIA peuvent être divisés en quatre catégories selon leurs fonctions [24] :

1. **Amplification du signal neuronal.** Ces dispositifs fonctionnent dans la gamme de fréquences mHz-kHz et se caractérisent par un faible niveau de bruit et une grande efficacité énergétique. Les exemples de ces dispositifs sont : Réseaux de microélectrodes compatibles avec la technologie MEMS (les microsystèmes électromécaniques) ; Implants cochléaires.
2. **Stimulation électrique.** Ces dispositifs fournissent des impulsions électriques pour remplacer les stimulateurs biologiques défaillants. La durée et l'intensité des impulsions dépendent de l'emplacement et de la fonction du dispositif. Les exemples de ces dispositifs sont : Dispositifs électroniques implantables cardiaques (CIED) – défibrillateurs – stimulateurs cardiaques ; BION (Bionic Neuron) : canal unique de micro neurostimulateur.
3. **Surveillance de l'état de santé.** Ces dispositifs sont capables de traiter des signaux et de les transmettre sans fil, ce qui permet de surveiller les paramètres de santé d'un patient sans interférer avec ses fonctions corporelles normales. Les exemples de ces dispositifs sont : Capteurs neuronaux (électrodes) ; Capteurs cardiovasculaires.

4. **Livraison de médicaments.** Les dispositifs implantables permettent de livrer des médicaments à des endroits précis du corps du patient, à des moments et à des taux spécifiques, remplaçant ainsi des méthodes moins efficaces ou moins pratiques telles que l'ingestion orale ou l'injection. Les exemples de ces dispositifs sont : Micro-pompes/actionneurs, micro-vannes et microréservoirs.

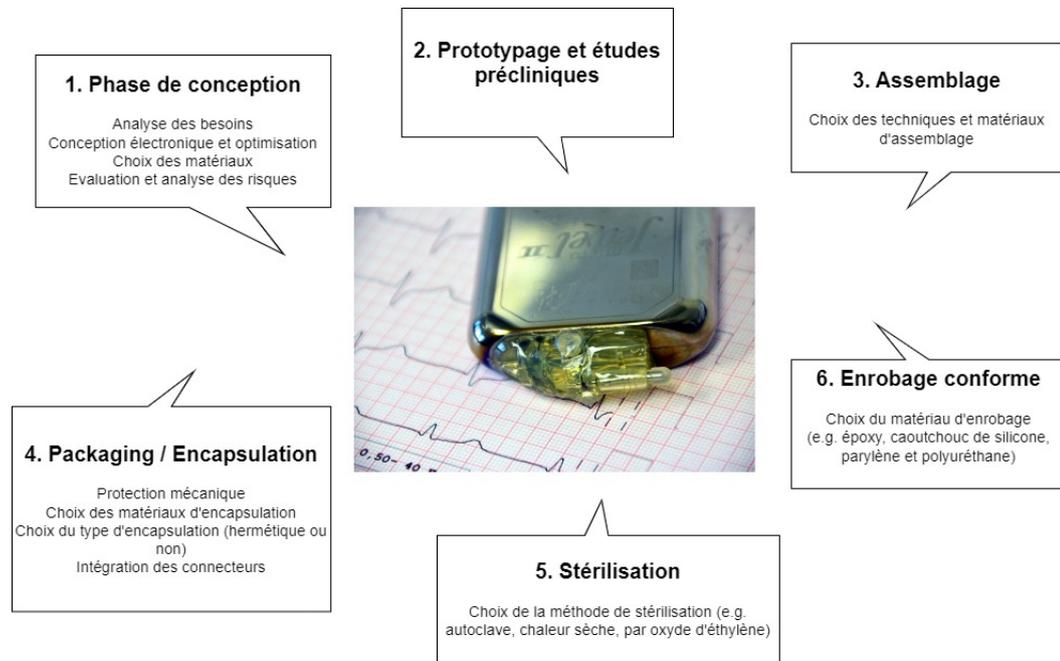


FIGURE 1.2 – Différents aspects à considérer durant les phases de fabrication des DMIA.

Pour toute application, les DMIA doivent répondre à des exigences qui encadrent l'interface matériau-tissu. Ainsi, il y a plusieurs aspects à considérer dès les premières phases de conception des DMIA, dont le choix des matériaux et des composants, la biocompatibilité des matériaux, les techniques d'assemblage et la méthode de stérilisation (Figure 1.2). Cette anticipation est cruciale pour maximiser la fiabilité et minimiser le temps et les coûts de fabrication et de maintenance.

Ce chapitre se concentre désormais sur une exploration plus approfondie de l'environnement des DMIA et des diverses contraintes auxquelles ces dispositifs sont confrontés au cours des principales phases de leur cycle de vie. Ces informations sont cruciales pour comprendre le besoin urgent de normes complètes dans ce domaine, particulièrement pour qualifier les composants électroniques. Contrairement au secteur automobile par exemple, le secteur des DMIA (et du médical en général) ne dispose pas d'un ensemble bien défini de normes de qualification. Ce chapitre vise également à mettre en évidence ces lacunes et conclura avec une introduction du concept de "profil de mission", un élément essentiel de la méthodologie de qualification qui sera détaillée dans les prochains chapitres.

Le corps de ce chapitre est divisé en deux parties principales. La première partie décrit les différents processus de fabrication et les contraintes environnementales associées aux

DMIA. La deuxième partie résume les principales normes utilisées dans la qualification des DMIA afin de mettre en évidence les lacunes des méthodes de qualification de la fiabilité pour les DMIA. Ces informations sont importantes pour définir un **profil de mission** des DMIA, le verrou technologique sur lequel le chapitre conclura.

1.2 Environnement des DMIA

Les DMIA sont conçus pour fonctionner jusqu'à 10 ans dans les conditions in vivo [25]. Bien que les exigences de fiabilité dépendent de l'application du dispositif, l'exigence de fonctionner avec un minimum d'intervention ou sans aucune maintenance est généralement commune à tous les DMIA.

Les conditions environnementales pendant la phase d'utilisation ne sont généralement pas aussi extrêmes que celles des applications automobiles, spatiales ou militaires. Par exemple, la température est stable autour de 36,5°C [26] et les charges mécaniques ne sont pas très sévères. D'autre part, les DMIA électroniques, pendant les phases de fabrication, subissent les mêmes processus que les autres dispositifs d'application, à l'exception de certaines étapes nécessaires pour être certifiés en gamme médicale, comme la stérilisation, en plus de certaines mesures supplémentaires à considérer, comme la biocompatibilité. Aussi, les précautions contre les dommages potentiellement induits par les vibrations durant le transport sont similaires à celles appliquées pour les composants électroniques commerciaux, et des normes existent déjà pour régir ces précautions. Les environnements de stockage n'étant pas forcément contrôlés, les dispositifs doivent fonctionner normalement à des températures allant de -20°C à +50°C [27].

Au cours des différentes phases de leur cycle de vie, les contraintes environnementales auxquelles les composants des DMIA sont soumis sont les suivantes :

- **Contraintes thermiques** : températures élevées pendant la refusion des soudures (pouvant dépasser 450°C [28]), méthodes de stérilisation (allant jusqu'à 160°C dans la méthode de stérilisation par chaleur sèche [29]), packaging hermétique du système (300-400°C dans le collage anodique/électro-statique [30]) ; basses températures pendant le stockage ou l'expédition (jusqu'à -20°C [27]). Les dispositifs subissent aussi des excursions de température durant le durcissement de l'époxy, la formation de joints verre-métal, les cycles d'étuvage à l'humidité, et la formation d'anodes [31].
- **Contraintes mécaniques** : dues à la manipulation, dommages induits par les vibrations pendant le transport et le stockage ; contraintes pendant la phase d'assemblage au niveau des composants, lorsque ceux-ci sont serrés dans un boîtier en titane et pressés dans un cadre en plastique moulé avec une fixation en époxy ; la flexion de la boîte due à la contraction musculaire ou à la proximité immédiate des os peut entraîner des dommages cumulatifs de faible amplitude et de cycles élevés

sur les connexions qui sont faites entre les composants électroniques rigides à l'intérieur du dispositif (par exemple, carte de circuit imprimé, batterie et condensateurs à haute énergie).

- **Contraintes électriques** : incluent des tensions ou des impulsions élevées provenant du soudage de la boîte en titane pendant l'assemblage final du dispositif (jusqu'à 800-1500V dans le cas d'un collage anodique [30]).
- **Contraintes chimiques** : Dans certains cas, l'utilisation de dessiccants (absorbants d'eau) à l'intérieur de l'encapsulant pour maintenir l'atmosphère à l'intérieur de l'encapsulation sèche et compenser toute fuite ou dégazage des composants électroniques à l'intérieur de l'encapsulant [30] (ces dessiccants ont la capacité d'allonger considérablement la durée de vie d'un implant). Le gel de silice, les tamis moléculaires et l'alumine activée sont des exemples de déshydratants. Les performances de chacun de ces dessiccants dépendent des niveaux d'humidité ambiante (e.g. Solutions salines).
- **Contraintes radiatives** : rayonnements ionisants auxquels le dispositif est exposé durant les différentes activités thérapeutiques et diagnostiques auxquelles le patient participe. Les principales méthodes de protection des dispositifs à base de Si (Silicium) et GaAs (Arséniure de gallium) contre les radiations se font dès la phase de la conception des circuits [32, pp. 436–437]. Les champs magnétiques puissants peuvent provoquer des stimulations involontaires, des mouvements mécaniques, des interférences Radio-Fréquence, etc [33].

Un DMIA peut cesser de fonctionner ou ne pas fonctionner correctement en fonction des niveaux de contraintes abordées ci-dessus. Les modes de défaillance les plus courants dans l'électronique médicale implantable incluent :

- Défaillances liées aux rayonnements. Ce sont celles qui sont les plus problématiques dans l'électronique médicale [27], vu les niveaux d'exposition aux rayonnements liée aux différentes thérapies médicales.
- Soft-errors, considéré comme l'un des défis majeurs de la conception des DMIAs [34], sont des "single event upsets" (SEUs) causés par les collisions entre les particules alpha (neutrons et protons), créés principalement par les rayons cosmiques, et le circuit intégré de l'implant. Ceci inverse les bits des données et peut provoquer une défaillance dans le système. Ces erreurs sont potentiellement dangereuses dans des conditions où les doses de rayonnement sont fortes, comme l'avion.
- Augmentation de courant de fuite de l'ordre des microAmpères dû à la dégradation des composants passifs. Ceci accélère la déplétion prématurée des batteries des implants. La durée de vie des batteries et leur fiabilité étant des éléments très importants pour les DMIAs, surtout avec la miniaturisation des composants électroniques et les hautes densités d'énergie combinées avec faible puissance qui en découlent.

- Courant de fuite dans les oxides ultra-mince induit par des sollicitations électriques en présence des défauts, caractérisé par un "soft breakdown" (Stress-Induced Leakage Current, SILC) [35]. Ce mode de défaillance est l'un des obstacles de la miniaturisation des semi-conducteurs et est particulièrement une préoccupation pour l'électronique implantable puisque toute dérive de courant de fuite contribue à la dégradation de la batterie du DMIA et donc sa durée de vie [36].

Des normes telles que EN 45502 "Implants chirurgicaux - Dispositifs médicaux implantables actifs" [2] fournissent des exigences générales pour protéger le DMIA ainsi que le patient contre ces contraintes environnementales. Cependant, certaines normes se concentrent spécifiquement sur les contraintes liées aux radiations. Par exemple, la norme ASTM F2052 est une méthode d'essai standard pour mesurer la force de déplacement induite magnétiquement sur les dispositifs médicaux dans l'environnement de résonance magnétique [4]. De même, la norme ASTM F2182 est une méthode d'essai standard pour mesurer l'échauffement induit par radiofréquence sur ou près des implants passifs pendant l'imagerie par résonance magnétique [3]. Enfin, la norme ASTM F2213 est une méthode d'essai standard pour mesurer le couple induit magnétiquement sur les dispositifs médicaux dans l'environnement de résonance magnétique [5]. Ces normes jouent un rôle crucial dans l'évaluation et la gestion des risques liés aux radiations pour les DMIA.

La connaissance des modes de défaillance des composants électroniques et ceux de DMIA fait partie de l'analyse des modes et des mécanismes de la défaillance qui permet de qualifier la fiabilité de façon plus fidèle. La Figure 1.3 donne un aperçu des différentes valeurs de contraintes environnementales auxquelles les DMIA sont soumis au cours de chacune des phases importantes de leur cycle de vie. Dans les sections suivantes, les procédés de fabrication de ces phases spécifiques seront abordés en détails. Ces détails sont essentiels pour comprendre comment les différentes contraintes environnementales auxquelles le DMIA est exposé contribuent à la défaillance des composants électroniques à l'intérieur. Cette revue permettra également la construction du profil de mission des DMIA.

1.2.1 Procédés d'assemblage

Les DMIA sont typiquement constitués des composants et des matériaux qui doivent être assemblés (exemple dans la Figure 1.4). Il existe plusieurs méthodes d'assemblage de composants électroniques dans un DMIA, qui sont souvent combinées selon la technologie du composant. Un composant monté en surface (CMD) peut être soudé (brasage) ou collé avec une époxy conductrice sur un substrat, un circuit en puce peut être assemblé avec un micro-câble sur un substrat selon "wedge bonding" ou "ball bonding" [37]. Néanmoins, le choix des méthodes d'assemblage est restreint par des critères liés aux applications mé-

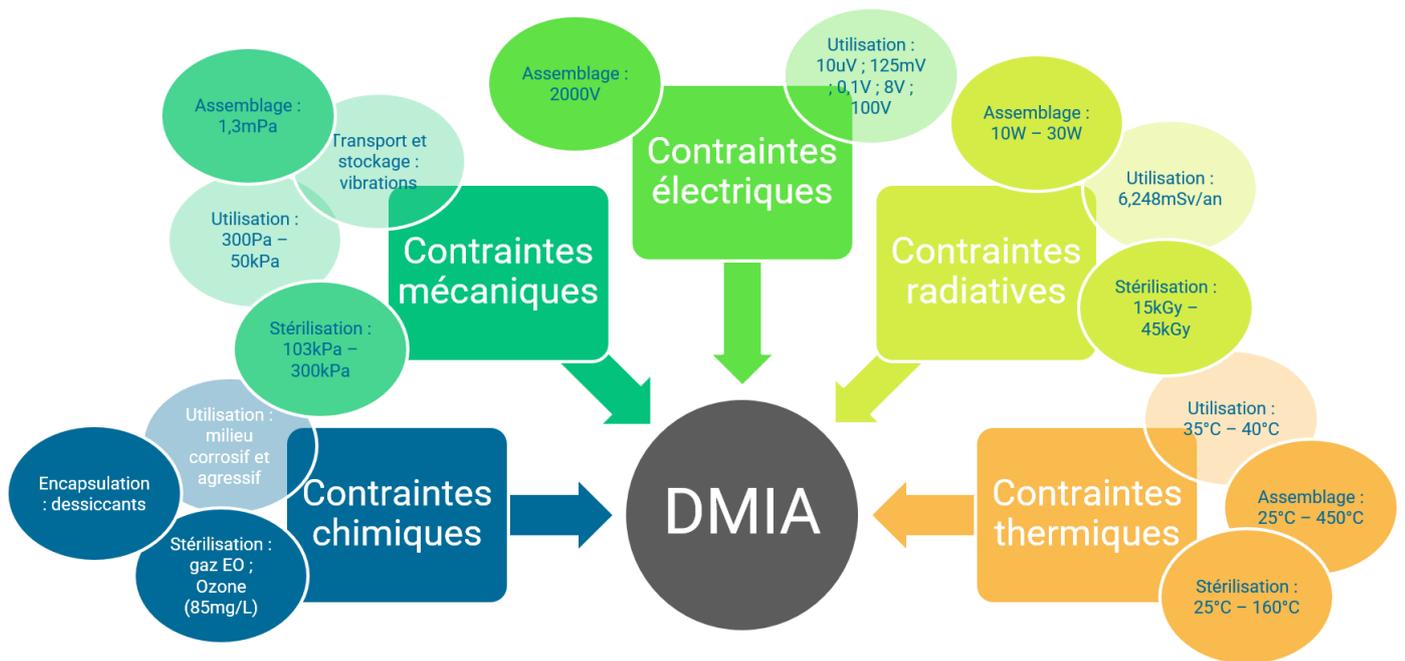


FIGURE 1.3 – Exemple des contraintes environnementales des DMIA. [*L'unité Sv (sievert) est utilisée pour mesurer l'effet biologique des rayonnements ionisants sur les tissus humains.*]

dicales incluant : la miniaturisation, la compatibilité avec le concept général de packaging [30, p. 110] (y compris les matériaux choisis qui doivent être biocompatibles et résister à la corrosion), applicabilité de combinaison des différentes techniques.

Les implants cochléaires, les dispositifs de stimulation cardiaque et les neurostimulateurs sont parmi les DMIA les plus complexes. En effet, ils contiennent tous les matériaux d'assemblages électroniques [38, p. 692]. Les matériaux utilisés comprennent les aciers inoxydables 316L, le MP35N, le titane, le niobium et les alliages de platine-iridium.

Le soudage par laser est la technique d'assemblage la plus utilisée pour l'encapsulation hermétique des DMIA. Notamment, Les lasers Nd :YAG en mode pulsé pour la fermeture hermétique des circuits microélectroniques dans un boîtier métallique [39, p. 212]. Cette technique offre plusieurs avantages tels que : haute fiabilité, déformation minimale (faible température, échauffement localisé), qualité de soudage homogène, facilité d'automatisation, et biocompatibilité sous réserve que les matériaux utilisés soient biocompatibles.

Aussi, la technique de soudage par laser a montré une performance mécanique supérieure pour tous les alliages biomédicaux par rapport à d'autres techniques d'assemblage, excepté le soudage TIG (Tungsten Inert Gas) [40].

Le micro-assemblage des composants des DMIA nécessite une compréhension solide des nouveaux matériaux réalisés pour la miniaturisation et la performance et celle des techniques possibles d'assemblage de ces matériaux. En particulier, les matériaux polymères les plus souvent utilisés dans les nouvelles technologies n'ont pas le même niveau de

standardisation que les métaux. *Une description des différents modules du DMIA est détaillée à la section 3.3.1.* D'autres défis subsistent, par exemple : l'assemblage des métaux et des plastiques lors de la conception, l'absence de base de données sur la biocompatibilité et les performances de corrosion des assemblages, l'automatisation des processus d'assemblage largement répandus pour les dispositifs médicaux accompagnée d'exigences d'inspection [38, pp. 715–716].

Cela implique que les tests de qualification standardisés doivent être mis à jour pour inclure les matériaux nouvellement utilisés tels que les polymères, une compréhension des nouveaux matériaux est nécessaire pour quantifier les paramètres des modèles de la physique de défaillance associés, la biocompatibilité doit être ré-évaluée par rapport aux nouveaux matériaux.

1.2.2 Packaging / Encapsulation

Le packaging des DMIA a un impact important sur le succès d'une thérapie [31] car il encapsule les différents composants du dispositif (voir l'architecture générale d'un DMIA dans la Figure 1.4). Cette section est un bref aperçu des différents matériaux et techniques impliqués dans le processus ainsi que des différentes exigences auxquelles le packaging des DMIA doit se conformer.

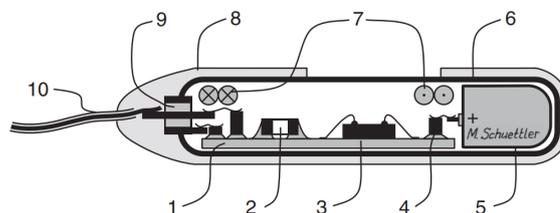


FIGURE 1.4 – Coupe transversale de l'architecture de base d'un implant électronique traditionnel. 1 : Substrat (circuit imprimé). 2 : Composant monté sur surface (collé ou soudé). 3 : Puce nue câblée. 4 : Élément de fixation ("*Weld post*"). 5 : Batterie. 6 : Boîte hermétique. 7 : Bobine de communication. 8 : Encapsulant. 9 : Traversée électrique. 10 : Fil (vers le connecteur, l'électrode, le capteur, etc.) [30, p. 133].

Matériaux utilisés pour le packaging :

La fiabilité d'un DMIA dépend du choix du matériau, qui influence la sélection des différents éléments du concept du packaging. Cette sous-section liste les trois principales familles de matériaux utilisés dans les DMIA.

- **Les métaux** sont couramment utilisés dans l'électronique implantable en raison de leur faible perméabilité à la vapeur d'eau [28]. Le titane ou l'alliage MP35N sont couramment utilisés en raison de leur résistance élevée à la corrosion et de

leur solidité mécanique. Ils sont également relativement faciles à traiter et rentables [30]. Toutefois, la conductivité électrique des métaux peut poser problème lorsque l'appareil est alimenté par une batterie externe par couplage inductif ou transfert d'énergie sans fil. Cela peut induire des courants de Foucault qui traversent le métal et font chauffer l'appareil. En outre, certains DMIAs utilisent des traversées électriques pour connecter les circuits internes et les composants électroniques aux capteurs et actionneurs externes. Ces traversées doivent être isolées électriquement.

- **Le polymère** est depuis longtemps considérée comme un matériau de packaging pour les dispositifs médicaux implantables [28]. Il est apprécié pour son faible coût, sa facilité de fabrication, sa conformité, sa flexibilité, sa biocompatibilité, sa biostabilité et sa capacité à faire varier ses propriétés mécaniques, électriques, chimiques et thermiques grâce à des combinaisons de matériaux [41]. Toutefois, leur forte perméabilité à l'eau les destine principalement à des applications "quasi hermétiques" [28]. En outre, les dispositifs implantables peuvent être susceptibles de tomber en panne à cause des produits cellulaires locaux, en particulier les espèces oxydantes réactives (ROS), que le corps libère en réponse à l'implantation d'un dispositif [42].
- Les **céramiques** sont souvent utilisées dans les packagings en raison de leur faible perméabilité à la vapeur d'eau, de leur transparence aux Radio-Fréquences, de leur transparence optique et de leur capacité à transmettre les ultrasons. Elles sont également chimiquement inertes, biocompatibles, électriquement isolantes et plus résistantes que la plupart des métaux. Les traversées hermétiques constituent l'une des principales applications des céramiques dans les DMIAs [28].

Les packagings métalliques et céramiques sont limités en raison de leur volume, de leur poids et de leur rigidité, ce qui les rend incompatibles avec la microfabrication.

Techniques utilisées pour le packaging :

Il n'existe pas d'approche normalisée pour l'encapsulation des DMIAs, et chaque dispositif est conçu spécifiquement pour son application. Toutefois, les techniques d'encapsulation peuvent être divisées en deux catégories [43, pp. 116-119] :

1. **Encapsulation hermétique** : le système implantable est hermétiquement scellé par des matériaux d'étanchéité inorganiques ou des godets en métal, en céramique ou en verre [30], par des techniques d'assemblage telles que le soudage, le brasage, le brasage fort, et l'étanchéité en verre ("glass sealing").
2. **Micro-encapsulation non hermétique** : le système implantable est encapsulé dans un moule en polymère perméable à la vapeur [30] à l'aide de techniques de revêtement en couche mince, telles que le dépôt chimique en phase vapeur (Chemical Vapor Deposition, CVD) ou le dépôt de couches atomiques (Atomic Layer Deposition, ALD). Le parylène, avec ses différentes variantes chimiques, est couramment

utilisé pour le revêtement conforme, ce qui permet d'obtenir un volume libre nul dans l'encapsulation [28]. Il possède des propriétés intéressantes, notamment une excellente biocompatibilité, de faibles exigences de fabrication (dépôt en phase vapeur à température ambiante), une inertie chimique, une faible conductivité, une faible contrainte intrinsèque, une faible densité de "pinholes" et une transparence optique pour certaines variantes [44].

Exigences du packaging :

L'encapsulation est un aspect important des DMIAs, car elle constitue l'interface directe entre les tissus corporels et le dispositif et joue un double rôle : elle protège le dispositif de l'environnement hostile du corps humain et elle protège le corps du patient du dispositif lui-même [45]. Elle doit donc posséder, en plus de la biocompatibilité, les qualités suivantes :

Perméabilité aux gaz Il s'agit de la propriété d'un matériau à laisser passer un gaz en présence d'une différence de pression. C'est un aspect très important à prendre en compte lors du choix d'un matériau pour l'encapsulation des DMIAs. la Figure 1.5 montre le temps qu'il faut à l'intérieur de l'encapsulation pour atteindre 50% de l'humidité extérieure, ce qui dépend également de l'épaisseur du matériau [30, p. 127]. Pour une épaisseur donnée, au-delà d'une certaine durée, le matériau est considéré comme hermétique. La plupart de ces familles de matériaux contient des sous-familles de matériaux biocompatibles. Les métaux et les céramiques ont une meilleure perméabilité que les polymères (silicones, époxy, fluorocarbones, etc) et sont donc de meilleures solutions pour l'encapsulation hermétique des DMIAs destinés à fonctionner à long terme.

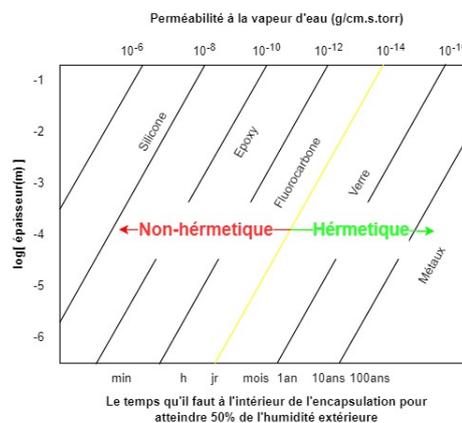


FIGURE 1.5 – Perméabilité à la vapeur d'eau des classes de matériaux d'encapsulation [30, p. 127].

Propreté Il s'agit du processus de réduction des contaminants non biologiques, tels que la terre, qui peuvent entraver le fonctionnement mécanique du DMIA et nuire au corps du patient [46, p. 221]. Bien qu'il y ait peu de littérature pertinente décrivant les processus de nettoyage utilisés dans la fabrication des DMIA, il s'agit d'une étape indispensable pour leur fiabilité [47].

Biostabilité Compte tenu de l'humidité des conditions in vivo ("environnement hostile corrosif et réactif pour les dispositifs implantés"), les matériaux d'encapsulation doivent être choisis de manière à conserver leurs propriétés physiques et chimiques. Ils doivent être non inflammatoires, non toxiques, non allergènes, non cancérogènes et non thrombogènes (lorsqu'ils se trouvent dans la circulation sanguine) [48]. La norme ISO 10993 contient des tests de dégradation permettant d'évaluer la biostabilité des matériaux utilisés dans les dispositifs médicaux, y compris les DMIA.

Robustesse L'encapsulation doit être suffisamment robuste sur le plan mécanique pour protéger les composants de tout dommage physique lié à la manipulation et à l'insertion pendant l'intervention chirurgicale ou aux forces exercées pendant l'utilisation (traumatisme crânien par exemple). En fait, la plupart des défaillances aiguës (moins d'une semaine) des sondes neurales sont dues à des raisons mécaniques [49]. Un exemple d'essai de qualification de la robustesse mécanique est l'essai au marteau IEC 60068-2-75 :2014 qui a été utilisé pour tester la résistance d'un implant cérébral actif à un impact modéré sur le crâne [50].

Herméticité Le choix de la méthode d'encapsulation dépend de l'application du DMIA, du niveau d'herméticité requis, de la durée de vie prévue et des processus de fabrication [51]. Les problèmes liés à l'encapsulation hermétique :

- **Dégazage** : il s'agit de l'émission de gaz à partir des matériaux internes lorsqu'ils sont exposés à une pression réduite et/ou à la chaleur [52]. Cela augmente la pression de vapeur et le niveau d'humidité à l'intérieur de l'encapsulation et peut potentiellement conduire à une défaillance.
- **Communication sans fil** : dans le cas où le dispositif implanté communique avec une unité de contrôle externe, il existe deux scénarios concernant l'emplacement de la bobine réceptrice qui assure la communication :
 - Soit une encapsulation polymère est utilisée, et la bobine réceptrice est placée à l'extérieur de l'encapsulation, auquel cas le facteur de qualité peut être dégradé par la pénétration de l'humidité.
 - Soit elle est placée à l'intérieur de l'encapsulation, auquel cas le choix des matériaux d'encapsulation doit être fait de manière à ce qu'elle soit transparente

aux radiofréquences (des céramiques ont été utilisées pour améliorer la transmission sans fil dans des boîtiers en titane, agissant comme des fenêtres avec un certain degré de transparence aux radiofréquences [28]).

- **Échauffement excessif** : dans le cas où un boîtier métallique est utilisé, les champs électromagnétiques créés par le système d'alimentation ou la communication sans fil génèrent des courants de Foucault à travers le matériau, ce qui provoque un échauffement excessif.
- **Compatibilité du coefficient de dilatation thermique** : La non-concordance du coefficient de dilatation thermique des matériaux collés entraîne des contraintes résiduelles qui peuvent conduire à une défaillance due à la fatigue thermique, en particulier sous l'effet d'une charge cyclique. Il s'agit d'un mécanisme de défaillance majeur pour les joints de soudure dans la technologie CMS [53, p. 5].
- **Évaluation de l'encapsulation hermétique** : traditionnellement, l'herméticité des packagings utilisant la technologie d'encapsulation hermétique est évaluée par un test de fuite à l'hélium, au cours duquel l'hélium est introduit dans l'encapsulation scellée en appliquant une pression, puis sa fuite de l'encapsulation est détectée par spectrométrie de masse [54, p. 495]. Cependant, cette méthode présente des limites liées à la miniaturisation des implants [55] et à la fiabilité à long terme [56, p. 138].

Propriétés électriques Évidemment, l'encapsulation ne doit pas interférer électriquement avec les composants électroniques qu'il contient. Dans les dispositifs qui détectent et envoient des signaux électriques aux tissus vivants du corps, la conduction est assurée par des traversées électriques qui relient l'intérieur et l'extérieur de l'encapsulation. Ces traversées hermétiques doivent présenter de faibles parasites de résistance et de capacité [57] et leur assemblage utilise souvent un isolant en céramique ou en verre pour séparer les traversées du matériau d'encapsulation [51, p. 29]. Elles sont souvent la première source de défaillance liée à l'encapsulation [57].

1.2.3 Procédés d'enrobage

Avec l'évolution des matériaux, les nouveaux dispositifs médicaux utilisent des méthodes d'enrobage conformes ("conformal coating") comme le parylène et les films organiques pour remplacer les boîtiers métalliques précédemment utilisés comme solutions de packaging hermétique [58]. Entre autres, les dispositifs médicaux qui délivrent les médicaments, un revêtement dans lequel l'agent actif peut être mis et ensuite être libéré dans la partie cible du corps du patient est essentiel (il peut être bio-inert ou biodégradable). Évidemment, le revêtement doit être robuste aux contraintes mécaniques (fissure ou délaminage) que le dispositif peut subir durant les différentes phases de transport, d'implantation et d'utilisation, ainsi que d'autres contraintes liées au fonctionnement du

dispositif [59, pp. 275–276]. L'évaluation de l'enrobage exige donc une compréhension exhaustive du médicament utilisé, du dispositif utilisé, de l'enrobage lui-même et les différentes interactions entre ces éléments.

L'un des matériaux d'enrobage les plus répandus est le parylène-C (poly-monochloro-para-xylylène). En fait, celui-ci possède des propriétés très intéressantes en termes de biocompatibilité. Il a une grande stabilité chimique tout en ayant une permittivité diélectrique (low-k donc un très bon isolant électrique) et un courant de fuite faible, ce qui le rend un très bon candidat pour l'enrobage conforme, sauf dans les milieux humides puisqu'il a un grand taux d'adsorption d'humidité [24, p. 163]. Il se caractérise également par une faible conductivité thermique ($820 \mu\text{W}/\text{cm.K}$ [60]), qui contribue à isoler le corps des effets thermiques des composants électroniques.

Le parylène-C est généralement déposé par polymérisation par dépôt chimique en phase vapeur (Vapor Deposition Polymerization - VDP) à température ambiante et sous vide. Le procédé consiste à chauffer sous vide une matière granulaire solide, appelée dimère, qui est ensuite vaporisée en un gaz dimérique (à $100\text{-}175^\circ\text{C}$, 1 torr). Le gaz est ensuite pyrolysé pour scinder le dimère en sa forme monomère (à environ 680°C , 0,5 torr). Le gaz monomère est ensuite déposé sur toutes les surfaces du dispositif dans une chambre de dépôt à température ambiante et à une pression ambiante de 0,1 torr [61].

Les spécifications relatives au dépôt de parylène sont principalement couvertes par les normes IPC-A-610 [6] et IPC-CC-830 [7]. La norme IPC-A-610 définit l'épaisseur et la couverture acceptables du revêtement (12.5-50 μm), tandis que la norme IPC-CC-830 fournit des lignes directrices pour des tests tels que l'adhérence, l'humidité et la résistance d'isolement.

La norme IPC-J-STD-001 fournit des spécifications pour l'épaisseur du revêtement, les techniques de mesure, la couverture et l'inspection à l'aide de la lumière UV, ainsi que les spécifications concernant l'adhésif (piquetage).

La Table 1.1 résume les problèmes liés aux conditions environnementales du revêtement en Parylène-C pour chaque phase de vie du DMIA et les effets possibles sur les composants électroniques qu'il contient. Ces informations sont tirées de la littérature [28], [41], [44], [60], [62]-[67] et de l'expertise de TRONICO.

La Table 1.1 montre que le procédé de revêtement Parylène-C n'exerce aucune contrainte considérable sur le dispositif en tant que tel, à l'exception de l'impact éventuel d'une faible pression sur les composants comportant des cavités, tels que les capteurs de pression MEMS. Les problèmes potentiels peuvent être liés à la qualité plutôt qu'à la fiabilité, comme une adhérence inadéquate aux matériaux du circuit imprimé ou une mauvaise application du revêtement, qui pourrait entraîner une contamination ou une pénétration de l'humidité dans les composants. Lors de la stérilisation par la chaleur, des tempéra-

TABLE 1.1 – Résumé des effets du revêtement en Parylène-C sur les composants électroniques (FMs : Mécanismes de Défaillance ; N/A : Non Applicable).

Phases	Conditions environnementales	Effets	FMs du Parylène-C	Effets potentiels sur le composant
Enrobage	Faible pression (0.1 torr)	N/A	N/A	Stress mécanique
	Température ambiante	N/A	N/A	N/A
	Mauvaise application	Les revêtements de protection peuvent augmenter la fatigue des joints de soudure des assemblages.	N/A	fatigue des joints de soudure des assemblages x3
		La croissance de protubérances en forme de pointes et de chenilles (" <i>whisker-like protrusions</i> ") le long des surfaces de composants métalliques, que l'on pense être favorisée par des contraintes d'origine mécanique et thermique.	N/A	Barbe d'étain (<i>Tin whiskers</i>)
		Les surfaces contaminées ne favorisent pas l'adhésion et sont propices à la déstratification.	Fissuration ; Déstratification	Courts-circuits ; Corrosion
	Matériaux DMIA/PCB	L'adhésion du parylène aux métaux nobles tels que l'or, l'argent ou l'acier inoxydable est faible.	N/A	Pénétration de l'humidité
Stérilisation	Hautes températures (120°C)	Les propriétés du matériau changent (par exemple, affaiblissement de la force d'adhérence) car sa température de transition vitreuse est d'environ 90°C.	Déstratification	Corrosion ; Stress mécanique
	EtO et humidité	EtO et humidité stockée dans la masse (<i>bulk</i>) du matériau. Interaction de l'EtO avec les polymères.	Dégradation	Pénétration de l'humidité
	Radiation	Effet de dose cumulée.	-	-
Utilisation	Espèces ré-actives de l'oxygène	Les espèces réactives de l'oxygène sont bien connus pour participer à la dégradation des revêtements polymères.	Fissures	Pénétration d'humidité
	L'humidité	Les polymères ont des perméabilités à la vapeur d'eau relativement élevées.	N/A	Pénétration de l'humidité

tures pouvant atteindre 120°C peuvent être appliquées au dispositif, ce qui peut affaiblir les propriétés du Parylène-C et provoquer une déstratification [44]. D'un autre côté, lors de la stérilisation à l'oxyde d'éthylène (EtO), la perméabilité du Parylène-C (et des matériaux d'enrobage polymères en général) peut permettre à l'EtO et à l'humidité d'être stockés dans la masse du matériau [28], ce qui entraîne une dégradation de la fonction du revêtement et une pénétration potentielle de l'humidité. Pendant la phase d'utilisation du DMIA, les espèces réactives de l'oxygène (ROS) - des molécules hautement réactives dérivées de l'oxygène qui jouent un rôle important dans de multiples processus biologiques - peuvent interférer avec la stabilité des revêtements polymères et provoquer leur dégradation [28]. Cela peut également entraîner la pénétration de l'humidité.

En conclusion, l'application d'un revêtement en parylène-C peut avoir un impact sur la défaillance des composants électroniques de trois manières :

1. Aggraver l'auto-échauffement des composants tels que les résistances et les inductances en raison de l'isolation thermique du parylène-C.
2. Provoquer des contraintes mécaniques sur les composants présentant des cavités en raison de la faible pression exercée pendant le processus de revêtement.
3. Entraîner la pénétration de l'humidité en raison de la perte d'adhérence.

1.2.4 Stérilisation

A la fin de sa fabrication, un dispositif médical doit être stérilisé pour éliminer ou inactiver toute forme de micro-organisme en utilisant des processus physiques, chimiques ou une combinaison des deux, afin de minimiser le risque d'infection pouvant être fatale pour le patient. L'efficacité de la stérilisation d'un DM est mesurée via un Niveau d'Assurance de Stérilité (NAS) qui désigne la probabilité de présence d'un micro-organisme sur un produit. Elle est limitée à 10^{-6} par la norme NF EN 556-1 pour les DMs stérilisés [8]. C'est-à-dire pour qu'une procédure de stérilisation soit acceptable, il ne faut pas trouver plus d'un micro-organisme parmi un million de produits stérilisés [29].

Le niveau d'efficacité de stérilisation désiré dépend de l'application du DM et le choix de la méthode de stérilisation qui doit être envisagée dès le début de la phase de conception du dispositif puisque certains matériaux ne résistent pas à certaines méthodes de stérilisation. Les méthodes de stérilisation sont classées par la FDA (US Food and Drug Administration) comme suit [68] :

1. **Catégorie A** - Il s'agit de méthodes courantes dont l'utilisation est depuis longtemps sûre et efficace. Il s'agit notamment des méthodes suivantes :
 - La stérilisation à la vapeur, également connue sous le nom d'autoclave, est une méthode couramment utilisée pour stériliser les dispositifs médicaux. Toutefois, il est important de noter que cette méthode ne convient pas à tous les dispositifs en raison de la température élevée et de la durée requise (20 minutes à

120°C sous une pression élevée de 121kPa [69, p.312]). De nombreux dispositifs médicaux sont emballés avec des polymères, tels que le parylène, qui peuvent subir des modifications matérielles à des températures élevées, ce qui rend la stérilisation à la vapeur inadaptée à ces dispositifs [28].

- L’oxyde d’éthylène (OE) dans une chambre rigide fixe : Cette méthode utilise des températures beaucoup plus basses, mais en raison de la perméabilité des matériaux d’enrobage polymères, l’oxyde d’éthylène et l’humidité peuvent rester dans la masse du matériau. Une étape de dégazage est donc nécessaire [28]. Il est important de noter que l’EtO est un agent cancérigène [28].
- Chaleur sèche : hautes températures (e.g., 162°C [69, p.8]) sans humidité.
- Irradiation par rayons gamma ou faisceau d’électrons qui utilise des rayonnements ionisants pour détruire les micro-organismes.

2. **Catégorie B** - [68] Il s’agit de méthodes établies supplémentaires pour lesquelles il n’existe pas de normes consensuelles reconnues par la FDA, mais pour lesquelles des informations sur le développement et le contrôle des processus sont disponibles dans la littérature. Il s’agit notamment de stérilisation par gaz de :

- Peroxyde d’hydrogène (H_2O_2).
- Ozone (O_3).

3. **Nouvelles méthodes de stérilisation** [68] : Acide peracétique vaporisé, lumière à haute intensité ou lumière pulsée, micro-ondes, ultrasons, lumière ultraviolette (UV).

- Lumière UV [68] : elle est couramment utilisée pour désactiver les micro-organismes en suspension dans l’air et pour décontaminer les surfaces. Cependant, elle n’est pas considérée comme une technique de stérilisation efficace lorsqu’elle est utilisée seule, en raison de sa faible capacité de pénétration, de sa longue durée de traitement et de son incompatibilité avec de nombreux types de plastiques.

La Table 1.2 et la Table 1.3 résument respectivement les caractéristiques des méthodes de stérilisation appartenant aux catégories A et B. Chaque colonne correspond à une méthode de stérilisation, et chaque ligne aux différentes caractéristiques : principe (niveaux de température, d’humidité, etc), traitement (commentaire sur le procédé de stérilisation), matériaux (les matériaux compatibles avec la méthode de stérilisation), avantages de l’utilisation de la méthode, ses inconvénients, et les normes appliquées.

Actuellement, il n’existe pas de méthode de stérilisation compatible avec tous les matériaux, surtout que les dispositifs deviennent de plus en plus fragiles avec la miniaturisation, la génération des déchets toxiques (e.g. la méthode Oxyde d’Ethylène) et l’émergence des

TABLE 1.2 – Caractéristiques des méthodes de stérilisation des DMIA (catégorie A) [70], [29], [63], [71], [72].

CATÉ- GORIE A	Chaleur sèche	Oxyde D'Éthylène (EtO)	Chaleur humide / Va- peur	Irradiation
Principe	160-180°C	29-65°C; 45-85%; 450-1200 mg/L d'EtO 2-5h	120-134°C	généralement une source de cobalt 60 (rayonnement gamma) ou des électrons à accélération rapide (rayonnement par faisceau d'électrons)
Traitement	La chaleur sèche et l'irradiation sont les plus faciles à contrôler.	Procédé le plus adapté à la plupart des matériaux sensibles à la chaleur et à l'humidité (polymères).	Le plus souvent utilisé pour la stérilisation des instruments chirurgicaux.	La chaleur sèche et l'irradiation sont les plus faciles à contrôler.
Matériaux	Convient aux matériaux stables à la chaleur (tels que les métaux).	Compatible avec une large gamme de matériaux.	Convient aux matériaux stables à la chaleur.	La plupart des matériaux et des dispositifs médicaux, à l'exception des produits réutilisables.
Avantages	Capacité à pénétrer les solides. Absence de corrosion. Les températures sont élevées pour certains matériaux comme les caoutchoucs, les plastiques, certains polymères, et les matériaux de soudures.	Basses températures. Des résidus toxiques d'EO peuvent rester.	Stérilise les matériaux pénétrables. Microcavitation dans le cas de polymères hydrophiles; Biocompatibilité altérée des surfaces héparinées; Dégradation thermique, décomposition ou hydrolyse pour les polymères sensibles (PLGA, nylon, polystyrène, etc)	Pénétration efficace. Compatible avec la plupart des matériaux.
Inconvénients				Dégradation des polymères par réticulation, scission en chaîne ou une combinaison des deux
Normes		EN 550, EN 556, ISO 10993-7	EN 554, EN 556, CEN - EN 285	

TABLE 1.3 – Caractéristiques des méthodes de stérilisation des DMIA (catégorie B) [70], [29], [63], [71], [72].

CATÉ- GORIE B	Peroxyde d'hydrogène vaporisé H_2O_2 (Vapori- zed Hydrogen Peroxide, VHP)	Plasma de peroxyde d'hydrogène (Hydrogen Peroxide Plasma, HPP)	Ozone (O_3)
Principe	25-50°C ; 1.5h	40-65°C ; 1-3h ; Énergie RF de 13,56 MHz dans la plage de 200 à 400 W pendant la phase de décharge plasma	30-36°C ; Concentration d'ozone généralement de 85 mg/L
Appli- cation	HP est l'un des oxydants les plus puissants connus	HP est l'un des oxydants les plus puissants connus	Gaz oxydant puissant
Matériaux	Généralement compatible	Plusieurs polymères mais moins nombreux que l'EO	Matériaux résistants à l'oxydation (certains polymères comme le poly- éthylène, les polyesters et le polychlorure de vinyle...)
Avantages	Basses températures ; Une alternative à l'EO concer- nant la compatibilité des matériaux ; Risque de toxi- cité très faible	Basses températures	Aucun résidu toxique ; Meilleur pouvoir de péné- tration que VHP et HPP mais inférieur à EO
Désa- vantages	Ne peut pas pénétrer dans les packagings volumineux et denses (inférieur à l'EO) ; Certains polymères tels que le PU, le nylon et la cel- lulose sont des absorbeurs de H_2O_2 ; L'équipement de stérilisation VHP peut être coûteux et prendre du temps	L'énergie RF élevée peut poser des problèmes à l'élec- tronique intégrée dans les appareils ; Le HPP a moins d'effet à basse température sur les polymères que le VHP	L'ozone est hautement oxy- dant, les matériaux utilisés doivent donc être résistants à l'oxydation

nouvelles technologies des matériaux (e.g. flexibles et biodégradables) [69].

Dans le cadre du projet RECOME, une enquête a été menée sur les différentes méthodes de stérilisation des dispositifs médicaux, notamment implantés afin de connaître les besoins et contraintes des méthodes de stérilisation pour la biocompatibilité. L'enquête a été réalisée auprès des membres du club RECOME (5 réponses détaillées) et s'est poursuivie également par des interviews de responsables de stérilisation ou de laboratoire d'essai spécialisés dans les Dispositifs Médicaux Implantés Actifs (DMIA).

Les résultats de l'enquête ont montré que les méthodes de stérilisation les plus communément utilisées sont : stérilisation par oxyde d'éthylène et stérilisation par chaleur humide (autoclave). D'autres méthodes alternatives peuvent être employées mais restent très rarement choisies en fonction des risques (notamment) :

- La stérilisation par chaleur sèche qui nécessite des températures élevées (autour de 160 à 180°C), risquant l'endommagement pour certains matériaux (caoutchoucs, plastiques, certains polymères, soudures, etc).
- Les rayons Gamma présentent des risques d'endommagement des matériaux thermoplastiques.

Ces résultats permettent d'affiner le profil de mission des DMIA en identifiant les types de contraintes environnementales auxquelles les DMIA sont exposés, qui sont principalement de nature thermique. La question à se poser serait de savoir si cette étape de stérilisation risque de détruire le système, ce qui constituerait un problème de qualité, ou de le fragiliser, le rendant plus vulnérable aux contraintes d'utilisation qu'il subira par la suite. Il est donc crucial de tenir en compte de ces contraintes dans la définition des essais de qualification.

1.2.5 Biocompatibilité/biostabilité

Aux éléments précédents s'ajoutent la biocompatibilité et la biostabilité qui sont importantes pour les DMIA puisqu'ils rentrent en contact avec le corps humain. Elles font référence à l'interaction entre le dispositif implanté et les tissus corporels humains environnants. La biocompatibilité définit la capacité du corps humain hôte à tolérer le contact avec le dispositif, alors que la biostabilité définit la capacité du dispositif de fonctionner normalement dans un milieu biologiquement agressif du corps humain [73, p. 5].

La biocompatibilité n'est pas un concept absolu et dépend fortement de l'application du DMIA. Par exemple, un matériau biocompatible est non-cancérogène mais cette propriété n'est pas forcément suffisante pour valider la biocompatibilité. D'où l'importance de tenir compte de l'application du DMIA dans l'évaluation de la biocompatibilité et le choix des matériaux.

Les normes utilisées pour l'évaluation des aspects liés à la biocompatibilité et la biostabilité incluent :

- ISO 10993 : "Évaluation biologique des dispositifs médicaux" décrit des méthodes in vivo pour évaluer la biocompatibilité des dispositifs médicaux.
- EN 45502 : "Implants chirurgicaux - Dispositifs médicaux implantables actifs" [2] norme de biocompatibilité/biostabilité.

Après avoir exploré les diverses contraintes environnementales auxquelles un DMIA peut être soumis durant les différentes phases de son profil de mission, il devient évident qu'un plan de qualification ou un ensemble de normes est impératif. Ces normes garantiraient la fiabilité et la sécurité des DMIA lorsqu'ils fonctionnent dans des conditions aussi exigeantes. La section suivante fournira des exemples des normes existantes pour la qualification de la fiabilité des dispositifs médicaux.

1.3 Normes utilisées dans le médical

L'International Electronics Manufacturing Initiative (iNEMI) est un consortium de R&D regroupant 86 fabricants d'électronique, fournisseurs, associations, agences gouvernementales et universités. Sa mission consiste principalement à prévoir et à accélérer les améliorations dans l'industrie de la fabrication de produits électroniques. Ses domaines de recherche comprennent l'assemblage de cartes, le packaging, les circuits intégrés, la fabrication intelligente "Smart Manufacturing" et l'électronique durable. En 2012, une enquête industrielle a été menée auprès des fabricants de dispositifs médicaux, des acteurs de la chaîne d'approvisionnement des dispositifs médicaux, des organismes de recherche et des consultants (62 participants) [74]. Une des questions portait sur les composants les plus critiques dans les dispositifs médicaux. Parmi les catégories mentionnées figuraient les composants passifs, tels que les condensateurs au tantale (avec un pourcentage de criticité observé de 14,6%), les condensateurs céramiques multicouches (8,7%), les inductances (4,5%) et les résistances (3,7%), ainsi que les semi-conducteurs, comme les semi-conducteurs personnalisés (20,9%) et les circuits intégrés analogues et mixtes (17,6%).

Une autre question clé concernait les tests et les normes de fiabilité pertinents pour qualifier les dispositifs électroniques médicaux implantables. Les résultats de ces questions spécifiques sont résumés dans la Table ?? [74].

LES MÉTHODES DE QUALIFICATION DE LA FIABILITÉ PAR LES ESSAIS

Points essentiels

- Ce chapitre vise à fournir un état de l'art des méthodes utilisées pour la qualification de la fiabilité à travers des essais, principalement basés sur des méthodes des plans d'expériences (Design of Experiments, DoE), des essais de durée vie accélérés (Accelerated Life Test, ALT) et des guides de fiabilité prévisionnelle.
- Les définitions des concepts de base en conception des plans d'expériences sont introduites. Les méthodes DoE sont généralement appliquées dans les études de robustesse mais elles pourraient offrir des propriétés intéressantes si elles sont appliquées à la fiabilité. En particulier, en les utilisant pour analyser l'impact des facteurs technologiques et environnementaux sur la fiabilité, les essais accélérés peuvent être efficacement définis pour qualifier les composants électroniques pour des profils de mission spécifiques.
- Ce chapitre passe en revue divers modèles des essais accélérés, y compris les modèles basés sur la physique-statistique, la statistique et la physique-expérimentale, et discute des défis de la planification et de l'optimisation des essais accélérés multi-stress.
- Il met en évidence les limites des guides de fiabilité prévisionnelle existants, tels que MIL-HDBK-217 et FIDES, qui reposent souvent sur des données de terrain limitées et peuvent ne pas prendre en compte tous les paramètres de conception ou facteurs environnementaux pertinents.
- Il conclut qu'une meilleure compréhension des mécanismes de défaillance (via l'analyse de la physique de la défaillance), associée à une combinaison efficace et de DoE, peut conduire à des plans de qualification plus précis et pertinents pour les composants électroniques dans les DMIA.

2.1 Introduction

Le chapitre précédent a donné un aperçu général de l’environnement des DMIAs pendant les différentes phases de leur profil de mission et de certaines normes utilisées pour qualifier ces dispositifs. Ce profil de mission servira à définir les essais de durée de vie accélérés dans le Chapitre 3 pour pouvoir qualifier les composants électroniques constituant les DMIAs.

Les essais de durée de vie accélérés (Accelerated Life Test, ALT) sont une méthode couramment utilisée pour l’estimation et la démonstration de la fiabilité des produits. Comme elle permet au fabricant d’observer les défaillances dans des délais plus courts, elle est particulièrement utile pour les produits à haute fiabilité destinés à des domaines tels que le militaire, l’automobile et le biomédical. Il existe une littérature abondante sur les essais de durée de vie accélérés avec des stress (contraintes environnementales) simples et multiples, ainsi que sur diverses méthodes de collecte de données [77], [78]. Cependant, bien que ces méthodes soient efficaces pour simuler les conditions réelles et accélérer les mécanismes de défaillance, leur potentiel pourrait être considérablement augmenté par l’intégration des plans d’expériences. En effet, les plans d’expériences permettent de structurer les essais de manière à optimiser l’acquisition de données, à minimiser les biais expérimentaux, et à maximiser l’information obtenue à partir d’un nombre limité d’essais. Cependant, il reste encore des marges d’amélioration dans l’application de ces principes aux essais accélérés, notamment pour les tests de qualification. Bien que les plans d’expériences (DoE) soient couramment utilisés pour le dimensionnement des tests de fiabilité des composants électroniques [79], cette approche peut également être adaptée pour optimiser les tests de qualification. Cela permettrait d’identifier avec plus de précision les facteurs critiques influençant la fiabilité, au-delà des simulations numériques de fiabilité durant la phase de conception de produit. En outre, l’intégration des concepts de qualité dans l’étude de la fiabilité d’un produit est un moyen d’améliorer potentiellement l’optimisation de la planification des tests et d’estimer plus précisément les paramètres concernés. Malgré cela, les planificateurs d’essais ne tirent souvent pas pleinement parti des méthodes de conception des plans d’expériences en raison des difficultés qui découlent des différences entre les approches de la fiabilité et de la qualité dans le traitement des données d’expériences (méthodes d’extrapolation, distribution de la durée de vie, etc). Par ailleurs, la physique de la défaillance a été utilisée efficacement dans de nombreux travaux pour construire un modèle de fiabilité pour les produits (par exemple, cela a été largement appliqué à l’électronique de puissance). Il existe même des guides pour la fiabilité prévisionnelle, tels que FIDES et MIL-HDBK 217F. Cependant, la prédiction de la fiabilité est encore sujette à de nombreux manques et lacunes qui accompagnent les avancées technologiques. L’industrie des dispositifs médicaux implantables électroniques est un exemple substantiel d’un domaine en croissance active avec une forte tendance à

la miniaturisation. Malgré cela, elle utilise principalement des normes provenant d'autres domaines pour évaluer la fiabilité [22].

L'objectif de ce chapitre est de proposer une méthodologie pour combler les manques et les lacunes dans la qualification des composants électroniques pour les DMIA, en mettant en évidence ces lacunes de manière structurée :

- (a) En introduisant les concepts de plans d'expériences (DoE) : Cette section fournira un aperçu général des concepts de base en DoE, qui sont essentiels pour comprendre la planification des essais de qualification. Elle inclura également des explications sur les détails mathématiques et le vocabulaire de base nécessaires pour les sections suivantes.
- (b) En présentant les principes des essais de durée de vie accélérés : Il s'agit ici d'expliquer comment les essais accélérés sont utilisés pour estimer la fiabilité des composants en fonction de leur profil de mission, à partir d'un DoE d'essais de contraintes environnementales. Cette section soulignera également l'importance de bien définir les essais en fonction des caractéristiques spécifiques des DMIA.
- (c) En examinant les normes de qualification : Cette section mettra en lumière le besoin d'une norme spécifique pour les DMIA, basée sur le profil de mission défini au Chapitre 1. Cette norme est essentielle pour établir des critères de qualification cohérents et pertinents.
- (d) En analysant les guides de fiabilité prévisionnelle : Il est crucial de dimensionner un plan d'essais en s'appuyant sur des guides tels que FIDES. Cependant, il peut être nécessaire de définir de nouveaux modèles de fiabilité prévisionnelle pour certains composants, afin de les adapter aux spécificités des DMIA et de dimensionner les essais de qualification de manière appropriée.
- (e) En combinant les approches DoE et essais accélérés : Enfin, il est nécessaire de choisir les meilleurs tests pour les composants afin de détecter les défauts et d'identifier les nouveaux modèles nécessaires pour répondre aux exigences de fiabilité des DMIA.

2.2 Plan d'expériences

L'objectif de cette section est de présenter les bases des plans d'expériences, un élément clé de la méthodologie proposée pour qualifier les composants électroniques. Les plans d'expériences sont couramment utilisés dans l'industrie pour optimiser les tests, identifier les facteurs influents, et améliorer la qualité des produits. Dans le cadre de la qualification des composants, ils permettent de structurer les essais de manière efficace, en maximisant les informations obtenues tout en réduisant le nombre de tests nécessaires. Cela est particulièrement important pour les DMIA, où la fiabilité des composants est cruciale. Tout d'abord, des définitions de base seront présentées, suivies d'une explication

sur la manière de définir un plan d'expériences, avec une focalisation sur les plans de Taguchi. Les propriétés intrinsèques de ces plans et les principes mathématiques généraux pour l'analyse des résultats seront abordés, avec des détails supplémentaires dans le Chapitre 4. D'autres types de plans d'expériences seront également introduits, accompagnés de définitions pertinentes pour leur application à la fiabilité et à la qualité des composants électroniques.

La méthode des plans d'expériences est une approche statistique qui regroupe des méthodes de planification d'expériences pour comprendre la relation cause-effet entre les facteurs contrôlables et incontrôlables d'un système ou d'un processus et ses résultats sur sa performance (un exemple de schématisation du modèle d'un composant électronique est illustré dans la Figure 2.1).

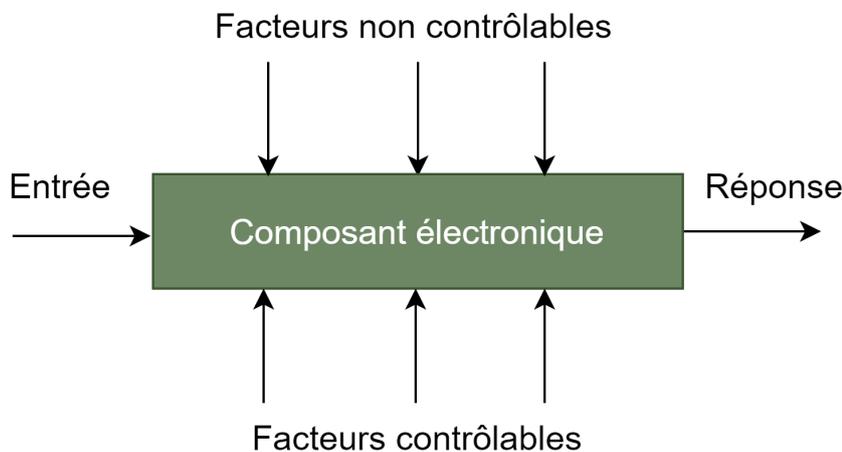


FIGURE 2.1 – Schématisation d'un modèle de processus/système sur un composant électronique.

DoE¹ est principalement le processus de définition d'un plan pour exécuter des expériences qui produisent des données pertinentes à analyser par des méthodes statistiques, permettant de tirer des conclusions significatives et objectives. Par conséquent, la méthode DoE comporte deux éléments : la conception d'expériences et l'analyse statistique des données. Cette section se concentrera sur la conception d'expériences en fournissant le vocabulaire et les outils théoriques nécessaires pour les sections ultérieures.

2.2.1 Vocabulaire des plans d'expériences

Avant d'aller plus loin, il est important de définir le vocabulaire couramment utilisé en plan d'expériences [80] :

1. Dans ce manuscrit, l'abréviation "DoE" sera utilisée pour désigner l'approche de planification des plans d'expérience, tandis que le terme "plan d'expériences" désignera le tableau qui en découle (le plan d'expériences proprement dit).

- **Facteur** : est une variable qui a un impact sur le système étudié. Le facteur peut être qualitatif (le type de matériau d'un condensateur) ou quantitatif (la valeur d'une résistance).
- **Réponse** : est la sortie du système / processus que l'on mesure pour comprendre l'impact des facteurs sur le système / processus (le temps jusqu'à la défaillance).
- **Facteur significatif** : est un facteur qui a un impact statistiquement significatif sur la réponse.
- **Facteur contrôlable** : est un facteur dont les niveaux peuvent être contrôlés, par opposition à un facteur incontrôlable qui est difficile à contrôler dans des conditions normales. Les facteurs incontrôlables incluent des facteurs environnementaux tels que la température, qui peuvent pourtant être contrôlés pour le bon déroulement des expériences.
- **Niveau d'un facteur** : est la valeur que peut prendre ce facteur. Pour un facteur qualitatif comme le fabricant du composant électronique par exemple, les niveaux seraient les noms des fabricants.
- **Modalité d'un facteur** : est le terme général pour codifier le niveau d'un facteur. Par exemple, pour un facteur de trois couleurs : bleu codifié comme 1, jaune codifié comme 2, et vert codifié comme 3, les modalités de ce facteurs serait 1, 2 et 3. Le terme "modalité" serait utilisé quand il s'agit de discussion des nombres de niveaux (degrés de liberté).
- **Degré de liberté (ddl)** : en général, il s'agit du nombre d'informations indépendantes pouvant être obtenues à partir de données. En pratique, selon le contexte, on s'intéresse aux valeurs suivantes :
 - le nombre de ddl d'un facteur = le nombre de modalités de ce facteur - 1.
 - le nombre de ddl d'une interaction = le produit des degrés de liberté des facteurs concernés.
 - le nombre total de ddl d'un plan = le nombre total des observations dans le plan - 1.
- **Traitement** : Le terme fait référence à la condition ou au niveau spécifique que peut prendre tout facteur au cours des expériences. Par exemple, dans un plan d'expériences avec deux facteurs, tels que la taille du composant électronique et la température qu'il subit, chaque niveau défini de taille et de température représente un traitement.
- **Interaction** : entre facteurs se produit lorsque l'impact d'un facteur sur la réponse dépend du niveau de l'autre facteur.

2.2.2 Exemple de définition d'un plan d'expériences : un condensateur céramique multi-couches

Pour concrétiser les définitions précédentes et à titre d'exemple, on considère un condensateur céramique multicouche CMS (Composant Monté en Surface). On souhaite étudier comment ces facteurs technologiques affectent sa robustesse à des températures élevées, en particulier à 125°C. Pour simplifier, on ne s'intéresse qu'à trois facteurs : le type de terminaison du composant, son matériau diélectrique et sa taille, chacun avec des niveaux différents, comme indiqué dans la Table 2.1. On remarque que ces facteurs sont contrôlables et qualitatifs et que la température n'est pas prise en compte (un facteur incontrôlable). Aussi, il est important de noter qu'un condensateur n'est pas défini uniquement par sa terminaison, sa taille ou son diélectrique, mais plutôt par une combinaison de ces facteurs, ainsi que d'autres facteurs qu'on considère avoir un effet négligeable sur la réponse. Il est donc nécessaire d'étudier les combinaisons et les interactions de ces facteurs.

TABLE 2.1 – Exemple des facteurs technologiques et leurs niveaux² pour un condensateur céramique multi-couche.

Facteur	Niveau 1	Niveau 2	Niveau 3	Niveau 4
Terminaison (A)	A1	A2	-	-
Diélectrique (B)	B1	B2	-	-
Taille de boîtier (C)	C1	C2	C3	C4

On considère comme la réponse d'intérêt, la dérive de la valeur finale de la capacité du condensateur par rapport à la valeur initiale, ce qu'on cherche à minimiser pour assurer la robustesse du composant. Par conséquent, pour trouver la combinaison de facteurs qui minimise la dérive, il s'agit de mener des essais sous température avec différentes combinaisons de ces facteurs, comme indiqué dans la Table 2.2. Les réponses Y_i symbolisent la dérive de capacité pour chaque condensateur de combinaison d'essai i .

Le plan d'expériences tel que celui présenté dans la Table 2.2 est appelé **plan factoriel**. Cela est dû au fait que les facteurs varient ensemble plutôt qu'un à la fois [81, p. 5] (ce qui permet d'étudier leurs interactions). De plus, le fait qu'il englobe toutes les combinaisons possibles de niveaux de facteurs ($2 \times 2 \times 4 = 16$ combinaisons) en fait un **plan factoriel complet**. Dans le cas d'un nombre faible de facteurs avec un nombre faible de modalités, il peut être possible de réaliser toutes les combinaisons sans coût significatif. Cependant, dès que des modalités ou des facteurs sont ajoutés, le nombre de combinaisons augmente de façon rapide. Grâce aux travaux de Taguchi, il est possible de réduire ce nombre en n'utilisant qu'une fraction d'un plan factoriel, comme le montre la Table 2.3, en suivant des

2. Nous mentionnerons les noms des niveaux de facteurs sans plus d'explications sur leur signification physique, car cela n'est pas pertinent pour ce chapitre. Cependant, ils seront expliqués dans Chapitre 3.

TABLE 2.2 – Un exemple de plan d'expériences (plan $2^2 \times 4$) à partir des facteurs explicités dans la Table 2.1.

Essai N°i	Facteur A	Facteur B	Facteur C	Réponse
1	A1	B1	C1	Y_1
2	A1	B1	C2	Y_2
3	A1	B1	C3	Y_3
4	A1	B1	C4	Y_4
5	A1	B2	C1	Y_5
6	A1	B2	C2	Y_6
7	A1	B2	C3	Y_7
8	A1	B2	C4	Y_8
9	A2	B1	C1	Y_9
10	A2	B1	C2	Y_{10}
11	A2	B1	C3	Y_{11}
12	A2	B1	C4	Y_{12}
13	A2	B2	C1	Y_{13}
14	A2	B2	C2	Y_{14}
15	A2	B2	C3	Y_{15}
16	A2	B2	C4	Y_{16}

propriétés précises pour arriver à un **plan factoriel fractionnaire**, tout en conservant les informations sur les données. Ces propriétés comprennent :

- Le nombre de degré de liberté - Il faut que le nombre d'essai dans le plan d'expérience soit égal ou supérieur à son degré de liberté. Dans le cas du plan de la Table 2.1, le nombre total de degré de liberté est $(2-1)+(2-1)+(4-1)+1 = 6$ donc le plan factoriel fractionnaire doit contenir au moins 6 essais.
- L'orthogonalité - Un plan d'expériences est orthogonal si pour deux facteurs disjoints, chaque niveau de l'un se combine avec tous les niveaux de l'autre facteur le même nombre de fois. Par exemple, dans la Table 2.3, le niveau "B1" du Facteur B se combine avec le niveau "A1" du Facteur A deux fois en 1 et 2, et avec le niveau "A2" du Facteur A en 7 et 8, etc.

Pour étudier la sensibilité des systèmes aux facteurs de bruit, Taguchi propose d'utiliser des plans produits dans lesquels les facteurs contrôlables sont distingués des facteurs de bruit (ceux qui perturbent le système). Un plan d'expériences est donc divisé en deux parties : un plan principal (plan intérieur) pour les facteurs contrôlés, et un plan bruit (plan extérieur) pour les facteurs de bruit. Le plan produit consiste à répéter les expériences du plan principal pour chaque configuration du plan bruit. Cette approche, développée par Taguchi, permet une double optimisation en utilisant le rapport signal/bruit, afin d'obtenir des systèmes qui fonctionnent de manière optimale, même en présence de perturbations.

Pour illustrer la construction d'un plan produit, considérons l'exemple des condensa-

TABLE 2.3 – Plan factoriel fractionnaire Taguchi associé au plan factoriel complet dans la Table 2.2.

Essai N°	Facteur A	Facteur B	Facteur C	Réponse
1	A1	B1	C1	Y ₁
2	A1	B1	C2	Y ₂
3	A1	B2	C3	Y ₃
4	A1	B2	C4	Y ₄
5	A2	B2	C1	Y ₅
6	A2	B2	C2	Y ₆
7	A2	B1	C3	Y ₇
8	A2	B1	C4	Y ₈

teurs céramiques multi-couches avec 3 facteurs contrôlables **A**, **B**, et **C**, ainsi que trois facteurs de bruit (ratio de tension, humidité, et température appliqués simultanément). Un plan produit est donc un croisement des combinaisons des facteurs contrôlables et des facteurs de bruit comme illustré dans la Table 2.4.

TABLE 2.4 – Exemple de plan produit.

				Ratio de tension (V)				
				0	0,4	0,8	1,2	1,6
				Humidité (%)				
				75	85	30	0	60
				Température (°C)				
				30	85	60	120	10
Essai N°	Facteur A	Facteur B	Facteur C	Réponses				
1	A1	B1	C1	Y ₁₁	Y ₁₂	Y ₁₃	Y ₁₄	Y ₁₅
2	A1	B1	C2	Y ₂₁	Y ₂₂	Y ₂₃	Y ₂₄	Y ₂₅
3	A1	B1	C3	Y ₃₁	Y ₃₂	Y ₃₃	Y ₃₄	Y ₃₅
4	A1	B1	C4	Y ₄₁	Y ₄₂	Y ₄₃	Y ₄₄	Y ₄₅

Outre les plans factoriels fractionnaires de Taguchi et le plan produit, il existe de nombreux autres types de plans d'expériences qui facilitent l'optimisation de la planification expérimentale, en tenant compte des objectifs spécifiques des expériences et de la nature des données. Avant d'examiner ces différents types de plans d'expériences, il est d'abord nécessaire d'élucider certains des principes fondamentaux qui doivent être respectés dans la conception générale des plans d'expériences.

2.2.3 Principes de base

Comme indiqué précédemment, l'un des principaux avantages de DoE est l'aspect statistique, qui permet une analyse objective des données et l'extraction de conclusions significatives. Cependant, cela ne se produit pas simplement en combinant des facteurs dans un plan d'expérience. Comme indiqué précédemment, un plan factoriel fractionnaire de Taguchi par exemple adhère à des propriétés spécifiques. Cela fait en fait partie d'un cadre plus large qui régit la conception statistique des expériences, qui repose sur trois

piliers fondamentaux [82], [83], [81] :

Randomisation Le terme "randomisation" fait référence au processus d'exécution d'expériences dans un ordre aléatoire et d'attribution aléatoire du matériel nécessaire aux expériences. Cette approche est utilisée pour éviter l'introduction de tout biais dans les résultats expérimentaux. La raison est que, statistiquement, les observations et les erreurs devraient être des variables aléatoires distribuées indépendamment. Cependant, dans de nombreux types d'expériences, la randomisation complète s'avère souvent peu pratique. Dans de tels cas, le blocage peut être utilisé comme une alternative viable.

Blocage Le blocage est une méthode de contrôle de toute variabilité pouvant être provoquée par des facteurs extérieurs à ceux qui nous intéressent. Pour illustrer, dans l'exemple précédent des condensateurs, la variabilité liée aux processus de fabrication pourrait être évitée en commandant tous les condensateurs auprès du même fabricant.

Réplication La réplication est l'application de chaque traitement sur plusieurs ensembles de composants qui représentent la population d'origine. Cela permet d'estimer l'erreur expérimentale, qui à son tour détermine si les différences observées dans les données sont statistiquement significatives. Par exemple, la réplication dans le plan d'expériences des condensateurs susmentionnée peut être réalisée en réalisant les expériences pour chaque combinaison sur 24 condensateurs identiques. Cela implique que pour chaque d'essai i , on obtient 24 réponses $(Y_1, Y_2, \dots, Y_{11}, Y_{12}, \dots, Y_{24})$.

Les méthodologies d'analyse des résultats des plans d'expériences seront détaillées dans les chapitres ultérieurs. Cependant, pour fournir un aperçu général, l'objectif de la conception des plans d'expériences est d'identifier les relations causales entre les facteurs d'entrée, notés $\mathbf{x} = (x_1, \dots, x_k)$, et la réponse Y du système ou processus. Ceci est réalisé en développant un modèle mathématique qui représente la relation entre les facteurs d'entrée et la réponse, puis en estimant les paramètres du modèle. Supposons que la relation sous-jacente soit exprimée par le modèle de l'équation 2.1 [84].

$$Y = \sum_{j=1}^m \beta_j g_j(\mathbf{x}) + \varepsilon \quad (2.1)$$

Où $g(\cdot)$ représente une fonction prédéfinie ou connue, tandis que ε désigne une *erreur aléatoire* avec une *espérance* $E(\varepsilon)$, ce qui signifie que si l'expérience était répétée un grand nombre de fois, la moyenne de toutes les valeurs de ε serait nulle. La *variance* du terme d'erreur, notée $\text{Var}(\varepsilon) = \sigma^2$, où σ est l'*écart type*, mesure la dispersion des valeurs d'erreur par rapport à la moyenne. La variance est une mesure fondamentale en statistique, car elle représente l'incertitude associée à toute estimation.

Ce modèle inclut des modèles classiques tels que le modèle linéaire de l'équation 2.2.

$$Y = \beta_0 + \beta_1 x_1 + \dots + \beta_k x_k + \varepsilon \quad (2.2)$$

L'objectif du modèle est d'estimer les coefficients β_k et l'erreur aléatoire ε , qui décrivent mieux les données. Leurs estimations respectives sont notées $(\hat{\beta}_0, \dots, \hat{\beta}_k)$ et $\hat{\varepsilon}$. La réponse Y peut alors être ajustée ou prédite en remplaçant simplement les paramètres par leurs estimations. Par exemple, en utilisant l'équation 2.2, cela donne : $\hat{Y} = \hat{\beta}_0 + \hat{\beta}_1 x_1 + \dots + \hat{\beta}_k x_k + \hat{\varepsilon}$. L'ajustement des valeurs peut avoir de nombreuses applications, qui seront abordées dans les sections suivantes.

Le modèle général dans l'équation 2.1 peut également être exprimé sous forme matricielle :

$$\mathbf{Y} = \mathbf{X}\boldsymbol{\beta} + \boldsymbol{\varepsilon} \quad (2.3)$$

Où, pour n essais,

$$\mathbf{X} = \begin{bmatrix} g_1(\mathbf{x}_1) & \dots & g_k(\mathbf{x}_1) \\ \cdot & & \cdot \\ \cdot & & \cdot \\ g_1(\mathbf{x}_n) & \dots & g_k(\mathbf{x}_n) \end{bmatrix}, \text{ et } \boldsymbol{\beta} = \begin{bmatrix} \beta_1 \\ \cdot \\ \cdot \\ \beta_k \end{bmatrix}$$

Il faut noter que pour un essai N° i , la réponse associée est : $Y_i = \beta_0 + \beta_1 g_1(x_{i1}) + \dots + \beta_k g_k(x_{ik}) + \varepsilon_i$.

La matrice \mathbf{X} , nommée la matrice du plan, représente les données et le modèle. $\mathbf{M} = \frac{1}{n} \mathbf{X}^T \mathbf{X}$ est nommée *matrice d'information*, où \mathbf{X}^T est la transposée de \mathbf{X} .

Dans le domaine de DoE, il est primordial de mettre en œuvre la stratégie la plus optimale possible pour concevoir des plans d'expériences, compte tenu des contraintes de ressources limitées. Dans certains cas, l'utilisation des plans factoriels de Taguchi peut être exclue en raison du nombre limité d'essais pouvant être effectués, de l'impossibilité de combiner des niveaux spécifiques de facteurs, du nombre élevé de niveaux de facteurs ou de la complexité (ou de la non-linéarité) du modèle sous-jacent. Dans de tels cas, la méthodologie de "conception optimale" peut être employée si le modèle sous-jacent est connu, en fonction du critère d'optimalité souhaité [84] :

- Les plans d'expériences D-optimaux cherchent à minimiser la variance généralisée des estimateurs des paramètres basés sur un modèle prédéfini. En effet, en analyse statistique multi-critères, le déterminant de la matrice de covariance est appelé variance généralisée. Celui-ci est donc maximisé.
- Les plans c-optimaux cherchent à minimiser la variance d'un estimateur d'une quantité d'intérêt dans les conditions d'utilisation.
- Les plans A-optimaux cherchent à minimiser la variance moyenne des estimateurs

de paramètres. Ceci est réalisé en minimisant la trace de l'inverse de la matrice du plan (la somme de ses éléments diagonaux). Ceci est équivalent à minimiser la somme des variances de $\hat{\beta}_1, \dots, \hat{\beta}_k$.

- Les plans G-optimaux cherchent à minimiser la variance maximale des valeurs prédites (c'est-à-dire ajustées après l'estimation des paramètres).
- Les plans V-optimaux et les plans I-optimaux cherchent à minimiser la variance moyenne des valeurs prédites.

2.2.4 Définitions diverses

Après avoir établi une compréhension de la signification de l'approche DoE, des objectifs et de la construction des plans d'expérience, cette section vise à définir un vocabulaire supplémentaire qui sera nécessaire dans les sections suivantes :

Désirabilité L'approche de la fonction de désirabilité est souvent utilisée dans l'industrie pour optimiser les processus de réponses multiples. La fonction de désirabilité est définie, pour une réponse Y_i , par $d_i(Y_i)$ qui est un nombre entre 0 et 1 avec $d_i(Y_i) = 0$ représentant une réponse complètement indésirable et $d_i(Y_i) = 1$ représentant une réponse complètement désirable ou idéale. Les fonctions de désirabilité individuelles sont ensuite combinées en une moyenne géométrique, ce qui donne la désirabilité globale (pour k réponses) : $D = (d_1(Y_1) \times \dots \times d_k(Y_k))^{1/k}$. On remarque qu'il suffit que l'une des réponses soit indésirable pour que la désirabilité globale soit nulle. Ceci reflète l'idée de base de l'approche de la fonction de désirabilité, qui est que la "qualité" d'un produit ou d'un processus qui présente de multiples caractéristiques de qualité, avec l'un d'eux en dehors de certaines limites "souhaitées", est totalement inacceptable.

Modèle d'effets fixes Il s'agit d'un modèle statistique où les effets sont associés à des facteurs qui ont un nombre limité de niveaux et sont considérés comme fixes. Ce modèle est particulièrement utile lorsque l'on s'intéresse spécifiquement aux effets des niveaux de facteurs inclus dans l'étude. Par exemple, si l'on étudie l'impact de plusieurs traitements spécifiques sur la performance d'un produit, chaque traitement est un niveau fixe, et l'intérêt porte sur les effets de ces traitements précis. Cela permet de tirer des conclusions directes sur les niveaux testés.

Modèle d'effets aléatoires Contrairement à un modèle à effets fixes, le modèle à effets aléatoires est un modèle statistique dans lequel les effets sont associés à des facteurs choisis au hasard parmi une population ayant un nombre important ou infini de valeurs possibles. Ce modèle est utile lorsque les niveaux des facteurs ne sont qu'un échantillon d'une population plus large et que l'on souhaite généraliser les conclusions à l'ensemble de

cette population. Par exemple, si l'on étudie l'effet de fabrication sur différents composants électroniques, mais que les composants testés ne sont qu'un échantillon de toutes les composants possibles, un modèle d'effets aléatoires permet de tirer des conclusions applicables à tous les composants de cette catégorie, pas seulement ceux inclus dans l'étude.

2.2.5 Lignes directrices pour DoE

Pour déterminer le plan d'expériences approprié, plusieurs points doivent être pris en considération :

- le nombre de facteurs impliqués,
- le nombre de niveaux pour chaque facteur et la difficulté d'ajuster le niveau,
- le nombre de réponses,
- la relation entre les facteurs et la réponse (linéaire ou non linéaire),
- les facteurs contrôlés (Signal) et les facteurs non contrôlés (Bruit),
- l'objectif de l'optimisation (minimum, maximum, nominal),
- le coût de l'essai,
- les contraintes techniques.

En fonction de ces éléments, on peut utiliser :

- un plan factoriel complet (toutes les combinaisons sont testées),
- un plan factoriel fractionnaire où seule une partie de la combinaison est testée,
- les plans orthogonaux de Taguchi,
- un plan d'expériences optimal (D-optimal, A-optimal, etc),
- un plan de surface de réponse pour traiter les problèmes non linéaires.

Les méthodologies de plans d'expériences peuvent être utilisées pour traiter certains problèmes dans le domaine de l'ingénierie [85] :

1. Comparatif : plans utilisés pour comparer les effets de différents paramètres/facteurs sur la réponse du système/processus.
2. Sélection/caractérisation : plans destinés à classer les facteurs, des plus importants aux moins importants, affectant le système/processus.
3. Modélisation en surface de réponse : conception qui vise à modéliser fonctionnellement le système/processus en créant une fonction mathématique qui reflète avec précision la relation entre les facteurs du système/processus et la réponse, et à estimer les coefficients associés.
4. Optimisation : conception qui aide à déterminer les réglages optimaux des facteurs du système/processus. Cela implique de trouver les niveaux de facteurs qui maximisent la réponse.

Les problèmes ci-dessus se posent souvent en ingénierie de la fiabilité. Le plan d'expériences peut être un excellent outil pour identifier les paramètres optimaux pendant la

phase de conception du produit, déterminer les facteurs significatifs pour des améliorations potentielles en ce qui concerne les réponses souhaitées, développer des modèles de fiabilité et optimiser la planification des tests de fiabilité.

2.3 Essais de durée de vie accélérés

Cette section vise à introduire les concepts fondamentaux des essais de durée de vie accélérés dans le cadre de la qualification des composants électroniques. La première sous-section expliquera les principes de l'accélération de la défaillance, qui permet d'estimer la fiabilité des composants sur une période plus courte en appliquant des contraintes environnementales spécifiques. Ces principes sont basés sur des modèles mathématiques établis, qui seront détaillés car ils sont essentiels pour les analyses des chapitres suivants. Nous aborderons ensuite les mécanismes de défaillance, leur accélération, et l'importance de les analyser pour une planification efficace des essais accélérés. Enfin, la dernière sous-section traitera de la planification des essais accélérés en intégrant les éléments d'un plan d'expériences (DoE), afin de définir des tests optimisés selon le profil de vie des composants sous diverses contraintes environnementales.

L'une des principales préoccupations de l'ingénierie de la fiabilité est la probabilité de survie d'un produit dans un intervalle de temps donné. Pour ce faire, on analyse statistiquement les données de durée de vie recueillies sur le terrain ou lors de divers essais, en utilisant des distributions de durée de vie courantes telles que la distribution de Weibull ou la distribution normale. Les distributions de probabilité sont décrites par leur fonction de densité de probabilité (*pdf* ou $f(t)$). Cette fonction peut être utilisée pour obtenir d'importantes métriques de fiabilité. Des descriptions plus détaillées des distributions statistiques peuvent être trouvées dans le livre de Wasserman [86] (voir l'annexe A1 pour un résumé des principes mathématiques de base en fiabilité). Pour extraire les différentes métriques de fiabilité, des essais de durée de vie accélérés peuvent être utilisés, où la durée de vie du composant est accélérée de manière à provoquer toute défaillance potentielle en un temps plus court. La prochaine sous-section abordera en détail le concept de l'accélération de la défaillance.

2.3.1 Accélération de la défaillance

Grâce aux lois d'accélération qui seront expliquées plus tard dans cette section, les facteurs d'accélération de la défaillance peuvent être utilisés pour établir une relation entre le délai de défaillance du produit dans des conditions réelles et son délai de défaillance dans les conditions de l'essai de fiabilité. En fonction de la distribution statistique adoptée, une relation entre le temps de défaillance et les niveaux de stress de l'essai de fiabilité peut être établie pour permettre une estimation des paramètres de fiabilité. Par exemple,

on suppose que les durées de vie d'un ensemble de composants électroniques suivent une distribution exponentielle. La fonction de fiabilité de ces composants s'écrit :

$$R(t) = \exp(-\lambda_0 t) \quad (2.4)$$

Où λ_0 est le taux de défaillance dans les conditions nominales.

Avant de passer à plus de détails sur les stress environnementaux, il convient de rappeler que la durée de vie d'un produit peut être exprimé par un facteur d'accélération :

$$AF = \frac{L_{Utilisation}}{L_{Acceleration}} \quad (2.5)$$

Où L représente une valeur quantitative de la durée de vie du produit (le temps moyen jusqu'à la défaillance par exemple).

D'autres paramètres reflétant la fiabilité, tels que la probabilité de défaillance, la fiabilité, la densité de probabilité et le taux de défaillance, peuvent également être déterminés par des relations linéaires avec le facteur d'accélération [85].

Le facteur d'accélération AF peut être utilisé pour exprimer le taux de défaillance dans des conditions réelles par [87] :

$$\lambda_0 = \frac{\lambda_S}{AF} \quad (2.6)$$

Où λ_S est le taux de défaillance sous stress qui peut être estimé avec les résultats de l'essai de fiabilité. Enfin, la fiabilité de ces composants dans des conditions réelles est donc :

$$R(t) = \exp\left[-\frac{\lambda_S}{AF}t\right] \quad (2.7)$$

On voit clairement que pour estimer la fiabilité $R(t)$, nous avons besoin d'un facteur d'accélération qui dépend bien évidemment du stress utilisé.

L'accélération des défaillances permet d'identifier plus rapidement les défaillances potentielles qui peuvent survenir tout au long du cycle de vie du produit. Néanmoins, pour que ces données soient utiles à la prédiction de la défaillance, il est nécessaire de modéliser l'accélération physique de la défaillance afin d'extraire les "paramètres de vie" du produit au cours de son cycle de vie, en fonction des stress environnementaux qui dominent la physique de la défaillance. L'objectif est d'établir des corrélations potentielles entre ces variables et un modèle de durée de vie approprié, le cas échéant.

Température

De nombreux composants électroniques modernes peuvent tolérer des températures plus élevées que leurs prédécesseurs. Par conséquent, comme le montre la Figure 2.2, il

existe un écart entre le profil du taux de défaillance en fonction de la température de fonctionnement prévue par les guides de fiabilité prévisionnelle et la réalité [88]. Cependant, cela ne signifie pas qu'ils sont insensibles aux mécanismes de défaillance provoqués par la température. En effet, la température contribue à l'accélération de plusieurs mécanismes dont la corrosion qui est liée au milieu salin du corps humain [89]. De plus, lorsqu'un courant électrique traverse les composants électroniques, ceux-ci émettent, via l'effet Joule, de la chaleur qui contribue à la température ambiante.

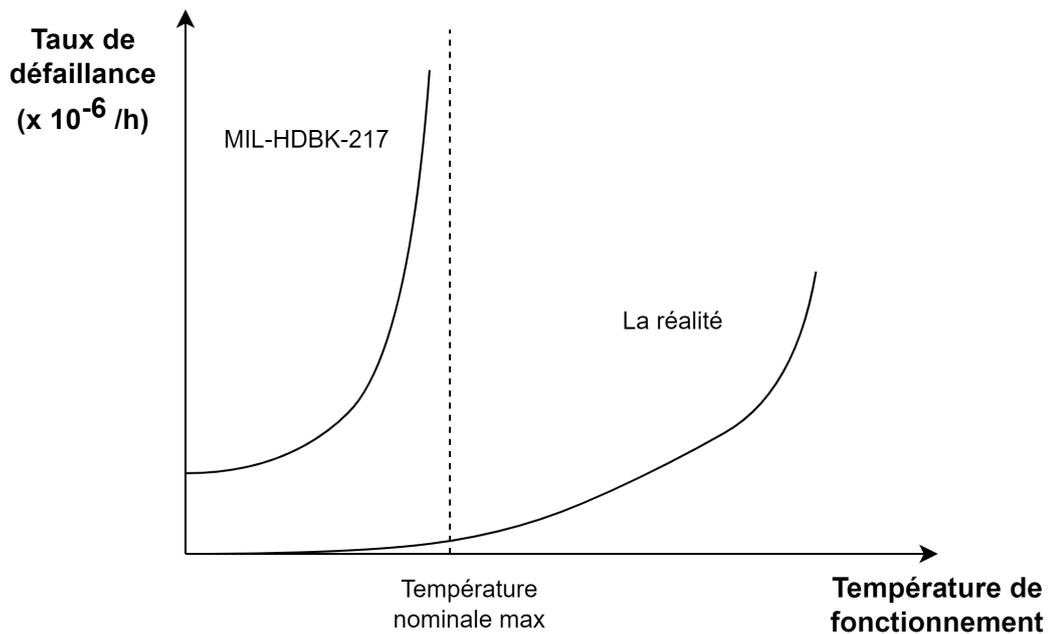


FIGURE 2.2 – L'effet de la température sur la fiabilité des composants électroniques selon le guides de fiabilité prévisionnelle MIL-HDBK-217 par rapport à son effet dans la réalité [88].

L'un des modèles mathématiques d'accélération les plus couramment utilisés pour représenter la variation de la défaillance en fonction de la température est la formule d'Arrhenius [90] :

$$AF = \exp \left[\frac{E_a}{k_B} \left(\frac{1}{T_U} - \frac{1}{T_A} \right) \right] \quad (2.8)$$

où k_B est la constante de Boltzmann et E_a l'énergie d'activation associée au mécanisme de défaillance à déterminer. T_U et T_A sont respectivement les températures d'utilisation normale et en conditions accélérées. Ce modèle est principalement utilisé pour décrire des mécanismes de défaillance thermiquement activés, tels que la diffusion ou les réactions chimiques qui sont accélérées à des températures plus élevées.

Dans certaines applications, la formule d'Arrhenius ne décrit pas de manière adéquate la dépendance de la durée de vie à la température. Dans ce cas, la relation d'Eyring peut être plus appropriée [91] :

$$AF = \frac{T_A}{T_U} \exp \left[\frac{E_a}{k_B} \left(\frac{1}{T_U} - \frac{1}{T_A} \right) \right] \quad (2.9)$$

D'autre part, les variations de température provoquent des mécanismes de défaillance, tels que la fatigue et le fluage des joints de brasure, dont la combinaison est considérée comme la principale cause de défaillance des composants montés en surface [92, p.5]. Le modèle de Coffin-Manson est souvent utilisé dans l'analyse des essais de durée de vie accélérés pour traiter le cyclage thermique comme un problème de fatigue à faible nombre de cycles. Ce modèle repose sur une relation de puissance inverse, suggérant que le nombre de cycles jusqu'à la défaillance d'un métal soumis à un cyclage thermique est donné par [90] :

$$N = \frac{C}{(\Delta T)^\gamma} \quad (2.10)$$

Où N est le nombre de cycles avant défaillance, C est une constante caractéristique du métal, γ est une autre constante, également caractéristique du métal, et ΔT est l'amplitude du cycle thermique.

Le modèle de Norris-Landzberg affine cette relation en tenant compte non seulement de l'amplitude de la déformation thermique, mais aussi des effets de la température et de la fréquence des cycles thermiques. Cela permet de mieux représenter la complexité des mécanismes de défaillance dans les joints de brasure sous cyclage thermique. Le modèle est donné par [1] :

$$AF = \left(\frac{f_U}{f_A} \right)^m \left(\frac{\Delta T_A}{\Delta T_U} \right)^n \exp \left[\frac{E_a}{k_B} \left(\frac{1}{T_U} - \frac{1}{T_A} \right) \right] \quad (2.11)$$

où ΔT est l'amplitude du cycle thermique, f la fréquence des cycles, et n et m sont des paramètres du modèle qui dépendent du matériau et de la configuration du joint de soudure.

Le cyclage thermique peut accélérer les mécanismes de défaillance, tels que la fissuration et le décollement des matériaux de packaging (par exemple, les couches de protection contre la corrosion, les traversées électriques³, et les joints hermétiques) [89].

Humidité relative

Dans le contexte d'un milieu humide, l'air devient plus saturé quand la température diminue jusqu'à ce que le point de rosée soit atteint. En dessous de ce point, l'humidité se condense sur les surfaces, provoquant des problèmes tels que la corrosion en présence de contamination, la corrosion électrolytique par l'apport d'un électrolyte, les courts-circuits dans les composants électroniques et les systèmes électriques, en particulier dans les connecteurs, et la croissance de dendrites [88]. Malgré le revêtement conforme pro-

3. Les traversées électriques sont les composants qui fournissent les chemins pour l'échange de signaux entre la partie électronique en contact direct avec le corps humain, tels que les capteurs, et les parties internes du DMIA sous le packaging.

tecteur des DMIA, qui a été introduit pour répondre à l'exigence de taille, l'infiltration d'humidité/d'ions pourrait toujours se produire par déstratification ou imperfections telles que des fissures dans le revêtement. Cela pourrait entraîner les mécanismes de défaillance précédemment cités conduisant finalement à un dysfonctionnement du dispositif [55]. Le modèle de Peck (dérivé du modèle d'Eyring généralisé [91]) est souvent utilisée pour modéliser l'impact de la température et de l'humidité, ainsi que les mécanismes de défaillance résultant de la corrosion et des processus chimiques, y compris l'électromigration :

$$AF = \left(\frac{RH_A}{RH_U} \right)^B \exp \left[\frac{E_a}{k_B} \left(\frac{1}{T_U} - \frac{1}{T_A} \right) \right] \quad (2.12)$$

Où RH est le niveau de l'humidité relative et B un paramètre du modèle à déterminer (lié aux propriétés intrinsèques du matériau).

Courant

Lorsqu'un courant électrique circule dans un conducteur, il en résulte une augmentation de la température. Cette chaleur peut endommager les appareils voisins en raison du transfert de chaleur, entraîner une défaillance du conducteur lui-même si le matériau dépasse son point de fusion, ou se combiner à d'autres forces externes.

Les courants élevés peuvent entraîner des changements paramétriques dans les propriétés des composants électroniques, tels que la résistance, et générer des champs magnétiques qui peuvent potentiellement interférer avec le fonctionnement des composants environnants.

Les tensions élevées appliquées à un conducteur dont la capacité de transport de courant est faible peuvent entraîner la défaillance des composants en raison d'une surcharge de courant [88]. La loi de puissance inverse est utilisée pour modéliser l'effet des variables non thermiques (y compris le courant, la tension et la puissance) :

$$AF = \left(\frac{S_A}{S_U} \right)^n \quad (2.13)$$

Tension

La rigidité diélectrique d'un matériau est sa résistance au champ électrique qui y circule lorsqu'une tension est appliquée entre différents potentiels [88]. Une surcharge de tension peut entraîner des décharges électrostatiques (Electro-Static Discharge, ESD) ou une surcharge électronique en général (Electrical Over-Stress, EOS), qui peuvent provoquer des défaillances telles que des interruptions du circuit du processeur dans les implants cochléaires [93]. La tension est utilisée pour accélérer les défaillances des composants électroniques, notamment la rupture diélectrique du condensateur, la corrosion et l'électromigration. Le champ électrique généré par la tension appliquée aux bornes du

composant électronique stimule le mouvement des ions métalliques, créant des dendrites dans tout le composant. La loi de puissance inverse, comme le montre l'équation 2.13, peut également être utilisée pour l'accélération de ces mécanismes.

Puissance

Les défaillances liées à la puissance électrique peuvent entraîner une surchauffe des composants électroniques, provoquant des défaillances similaires au stress thermique. Ce phénomène se distingue de la fusion due à un excès de courant [88]. La loi de puissance inverse, comme le montre l'équation 2.13, peut également être utilisée pour l'accélération de ces mécanismes.

Vibration

La vibration, en tant que type mécanique de contrainte environnementale, peut provoquer une fatigue mécanique métallurgique et potentiellement des fissures dans le composant. Les dommages liés aux vibrations sont susceptibles de se produire pour les composants des DMIAs pendant les phases de transport et de stockage, et ses précautions sont similaires à celles des composants électroniques commerciaux. Les modèles d'accélération des vibrations reposent principalement sur la courbe S-N qui décrit la relation entre l'amplitude du stress appliqué S et le nombre de cycles N nécessaires pour provoquer une défaillance. Cette relation est généralement exprimée par la formule $N.S^b = cte$, où cte est une constante caractéristique du matériau ou de la structure étudiée, et b représente l'exposant de fatigue qui dépend des propriétés mécaniques du matériau et de la durée de vie en fatigue de la structure du composant [94, pp.167-168]. Cette approche permet d'évaluer les limites de fatigue sous des charges vibratoires répétées et de prédire la durée de vie en fonction des amplitudes de stress appliqué. Dans les systèmes linéaires, N est directement lié au temps de défaillance T tandis que le stress S est directement lié à l'accélération G , les paramètres d'accélération et les paramètres d'utilisation peuvent donc être liés par l'équation :

$$T_U G_U^b = T_A G_A^b \quad (2.14)$$

A partir de 2.5 et 2.14, le modèle d'accélération des vibrations peut être extrait :

$$AF = \left(\frac{G_A}{G_U} \right)^b \quad (2.15)$$

Pour les différents types de vibration (aléatoire ou sinusoïdale), on prend simplement

l'accélération caractéristique du comportement vibratoire, notamment :

$$\begin{aligned}
 \text{Vibration sinusoïdale : } AF &= \left(\frac{G_{Peak-A}}{G_{Peak-U}} \right)^b \\
 \text{Vibration aléatoire : } AF &= \left(\frac{G_{RMS-A}}{G_{RMS-U}} \right)^b
 \end{aligned}
 \tag{2.16}$$

Où G_{Peak-A} est l'accélération maximale pour un signal sinusoïdal dans les conditions accélérées, et G_{RMS-U} est l'accélération moyenne quadratique (Root Mean Square) pour un signal aléatoire dans les conditions d'utilisation.

Si plusieurs variables contribuent à la défaillance, ceci est interprété par la multiplication des facteurs d'accélération. Cette approche est employée dans le guide de fiabilité prévisionnelle FIDES (qui sera défini ultérieurement) pour certaines contributions physiques comme montré dans la Table 2.5. Dans cette Table, l'accélération due aux stress thermo-électriques est décrite par le couplage de la loi d'Arrhenius pour les phénomènes thermiques et la loi de la puissance inverse pour les phénomènes électriques. Le cyclage thermique est modélisé par le modèle de Norris-Landzberg, l'humidité par la loi de Peck (qui combine les effets de température également), et les phénomènes mécaniques par la loi de Basquin.

Après avoir examiné les différentes contraintes environnementales (stress) qui contribuent à l'accélération de la défaillance et les modèles d'accélération associés, il est important d'intégrer ces connaissances dans un cadre plus large en comprenant les différents mécanismes et modes de défaillance impliqués. La section suivante traite de l'analyse des mécanismes de défaillance et de leurs effets (Failure Mechanisms, Modes, & Effects Analysis, FMMEA), qui contribue à une planification efficace des essais de durée de vie accélérés.

2.3.2 Détermination des facteurs de stress des essais accélérés basée sur la physique de la défaillance

Bien que de nombreuses études de fiabilité combinent les essais accélérés, les méthodes statistiques et une compréhension de la physique de la défaillance, certaines études se concentrent principalement sur l'optimisation statistique sans prendre pleinement en compte les mécanismes de défaillance sous-jacents du produit [95], en particulier quand il s'agit des contraintes multiples et des modes de défaillance multiples. Les essais de durée de vie hautement accélérés (HALT) sont généralement menés pour déterminer les limites de fonctionnement du produit et pour identifier les modes de défaillance dominants. En effet, la plupart des essais de durée de vie accélérés sont conçus avec un ou deux facteurs de stress (la plupart du temps supposés indépendants) alors que les composants électroniques sont soumis à de multiples facteurs de stress, qui interagissent parfois entre

TABLE 2.5 – Exemples des modèles d'accélération adaptés par le guide de fiabilité prévisionnelle FIDES [1].

<p>$\Pi_{Thermo-Electrique}$ (loi d'Arrhenius couplée avec la loi de la puissance inverse)</p>	<p>Durant la phase fonctionnement :</p> $\gamma_{TH-EL} \times \left(\frac{1}{S_{référence}} \times \frac{V_{appliquée}}{V_{nominale}} \right)^{PTH-EL}$ $\times \exp \left[11604 \times E_a \times \left(\frac{1}{T_0 + 273} - \frac{1}{T_{carte-ambiante} + 273} \right) \right]$ <p>Durant la phase non-fonctionnement :</p> $\Pi_{Thermo-Electrique} = 0$
<p>$\Pi_{Cyclage-Thermique}$ (modèle de Norris-Landzberg)</p>	$\gamma_{CyT} \times \left(\frac{12 \times N_{annual-cy}}{t_{annual}} \right) \times \left(\frac{\min(\theta_{cy}, 2)}{\min(\theta_0, 2)} \right)^{PTC} \times \left(\frac{\Delta T_{cyclage}}{\Delta T_0} \right)^{m_{cy}}$ $\times \exp \left[1414 \times E_a \times \left(\frac{1}{T_0 + \Delta T_0 + 273} - \frac{1}{T_{max-cyclage} + 273} \right) \right]$
<p>$\Pi_{Humidité-Relative}$ (loi de Peck)</p>	$\gamma_{RH} \times \left(\frac{RH_{ambiante}}{RH_0} \right)^{PRH}$ $\times \exp \left[11604 \times E_a \times \left(\frac{1}{T_0 + 273} - \frac{1}{T_{carte-ambiante} + 273} \right) \right]$
<p>$\Pi_{Méca}$ (loi de Basquin)</p>	$\gamma_{Méca} \times \left(\frac{G_{RMS}}{G_{RMS_0}} \right)^{P_m}$

$\Pi_{Thermo-Electrique}$: facteur d'accélération pondéré lié aux stress thermo-électriques ;
 γ_{TH-EL} : contribution des stress thermo-électrique au taux de la défaillance ;
 p_{TH-EL} : puissance accélératrice pour la contrainte thermo-électrique ;
 $S_{référence}$: niveau de référence pour la contrainte électrique ;
 E_a : énergie d'activation ;
 N_{cy} : nombre des cycles ;
 t : durée de la phase ;
 θ_{cy} : durée du cycle en heures ;
 $\Delta T_{cyclage}$: amplitude thermique du cycle ;
 $T_{max-cyclage}$: température maximale atteinte pendant le cycle ;
 m_{cy} : coefficient de fatigue ;
 G_{RMS} : niveau de vibration efficace (Root Mean Square) dans l'environnement considéré ;
 $T_0, \Delta T_0, \theta_0, RH_0, G_0$: les stress de référence ;

eux. L'établissement d'une analyse des modes de défaillance, des mécanismes et des effets (FMMEA⁴, Failure Modes, Mechanisms & Effects Analysis) permet au planificateur de l'essai de comprendre la physique de la défaillance du produit afin de mieux identifier la combinaison pertinente de facteurs de stress, éventuellement leurs niveaux, les durées des essais et les méthodes à utiliser, ainsi que de faciliter l'analyse des données.

La FMMEA (en étendant l'AMDE, l'Analyse des Modes de Défaillance et de leurs Effets) étudie les mécanismes de défaillance afin d'évaluer leur rôle dans l'accélération de la défaillance du produit. Elle les classe par criticité pour modéliser l'interaction entre les variables environnementales pendant le cycle de vie du produit et sa durée de vie [96]. L'établissement d'une FMMEA aide à identifier le type de test à effectuer et à comprendre l'effet du test sur les mécanismes de défaillance.

Le test de vérification des modes de défaillance (Failure Mode Verification Testing, FMVT) est une méthode utilisée dans l'évaluation de la fiabilité dans le domaine automobile pour accélérer la défaillance du produit [97]. Cette méthode utilise les facteurs de stress identifiés par la physique de la défaillance et applique simultanément ces facteurs de stress au produit à partir du niveau opérationnel jusqu'à un niveau maximal prédéterminé de chaque stress. Cependant, Yadav et al [98] soulignent le manque de modèles existants (dont certains ont été appliqués à des dispositifs à semi-conducteurs) qui aident à choisir efficacement le type de test, le composant ou le sous-système, et le nombre de composants alloués à chaque test. Ils affirment qu'il faut une compréhension systématique de la structure fonctionnelle d'un système ainsi que du comportement en cas de défaillance, y compris la criticité et l'effet des mécanismes de défaillance sur chaque élément du système, physiquement et fonctionnellement. Ils ont proposé une méthodologie pour aider les concepteurs de produits à planifier des essais de démonstration de fiabilité efficaces et robustes sur la base des informations existantes. Cette méthodologie est une combinaison tridimensionnelle de la structure physique, des exigences fonctionnelles et du comportement de dégradation dans le temps.

Li et al [95] vont plus loin en considérant des systèmes soumis à des stress multiples présentant des modes de défaillance multiples. Ils proposent une méthodologie de processus d'analyse multi-critères (Analytic Hierarchy Process, AHP) pour concevoir un plan d'essai de démonstration accélérée de la fiabilité (Accelerated Reliability Demonstration Testing, ARDT) et un profil d'essai accéléré basé sur l'interférence contrainte-résistance (Stress-Strength Interference, SSI). L'AHP est utilisée pour attribuer la fiabilité à chaque type de contrainte environnementale susceptible de provoquer une défaillance, avec des pondérations réparties en fonction des données d'expertise et de garantie. Elle prend également en compte l'effet inconnu de l'interdépendance entre les contraintes. Malgré cela,

4. Dans tout le manuscrit, on utilise l'abréviation anglaise FMMEA parce qu'il n'existe pas d'équivalent exact en français. L'AMDEC (équivalente à FMEA) qui est généralement utilisée n'inclut pas les mécanismes de défaillance.

la méthodologie proposée dépend fortement du profil environnemental et de l'application du produit, ce qui complique la conception d'un plan d'essai pour les composants électroniques susceptibles d'être utilisés dans divers types d'environnements (par exemple, les composants utilisés dans les neuro-implants par rapport aux composants utilisés dans les stimulateurs cardiaques).

L'approche physique de la défaillance utilisée sur les produits électroniques repose sur [99] :

- La définition des exigences du produit et les conditions opérationnelles et environnementales.
- L'identification des racines de la défaillance, les emplacements de défaillance, les modes de défaillance et les mécanismes de défaillance par le biais d'une analyse des contraintes.
- L'ajustement d'un modèle de mécanisme de défaillance qui peut être validé par des essais de durée de vie accélérés. S'il n'existe pas de modèle, il est possible d'en développer de nouveaux en appliquant des méthodes des plans d'expériences pour trouver la relation entre les facteurs de conception pertinents et la durée de vie.
- L'évaluation de la fiabilité en calculant le délai avant défaillance pour chaque mécanisme de défaillance.
- L'obtention des données utiles : conditions des essais accélérés appropriées, sensibilité aux contraintes, zone de fonctionnement sûr dans des conditions normales.

L'idée de s'appuyer sur le profil de mission du produit pour prédire sa fiabilité sur la base de la physique de la défaillance n'est pas nouvelle. Liu et al [100] examinent les modèles de durée de vie existants pour les supercondensateurs afin de les intégrer dans une procédure de planification axée sur la fiabilité. Ma et al [101] examinent les méthodes existantes de modélisation et d'essai de la fiabilité basées sur la physique de la défaillance appliquée à l'électronique de puissance.

En outre, la physique de la défaillance joue un rôle important dans le plan d'essai de durée de vie accéléré. Évidemment, le fait d'être conscient des mécanismes de défaillance et de leurs interactions aide à identifier les facteurs d'accélération importants et à concevoir leurs combinaisons, ainsi qu'à éviter les problèmes potentiellement liés à l'omission d'un mode de défaillance dans la définition des essais accélérés [102], [103]. En fait, l'établissement de limites de stress garantit que les mécanismes de défaillance dominants pendant le cycle de vie nominal ne se transforment pas en mécanismes différents pendant l'essai de durée de vie accéléré [104]. Certains exemples détaillés d'interactions entre les facteurs de stress accélérés sont traités par Hu et al [104].

En conclusion, la physique de la défaillance est une base essentielle pour la planification des essais accélérés. Elle offre une perspective complète, grâce à la FMMEA, pour

comprendre les facteurs de stress et les facteurs technologiques qui déclenchent et accélèrent la défaillance d'un produit. La section suivante passe en revue les différents aspects de la planification des essais de durée de vie accélérés, y compris la manière d'exploiter les différents facteurs de stress identifiés dans la FMMEA.

2.3.3 Planification des essais accélérés

Les essais de durée de vie accélérés consistent à soumettre un produit à des contraintes plus élevées que celles rencontrées en conditions normales d'exploitation, afin d'accélérer sa dégradation et de provoquer plus rapidement des défaillances. L'objectif principal de ces essais peut varier : identifier les défaillances pour améliorer la conception (comme dans les HALTs, Highly Accelerated Life Tests), détecter les défauts de fabrication pour évaluer la qualité, éliminer les défaillances précoces, estimer les paramètres de fiabilité (temps moyen entre défaillances *MTBF*, taux de défaillance λ , etc), développer et valider des modèles statistiques basés sur les processus de défaillance, ou encore démontrer que le produit atteint les objectifs de fiabilité (Reliability Demonstration Test, RDT).

Elsayed et al [87, p.407] ont classé les essais de durée de vie accélérés, comme schématisé dans la Figure 2.3, selon les catégories de modèles suivantes :

- **Modèles basés sur la physique et la statistique** : modèles qui décrivent la relation physique entre les contraintes appliquées et le taux de défaillance d'un produit testé, en tenant compte de la modélisation de l'accélération des mécanismes de défaillance sous des conditions spécifiques. Par exemple, la formule d'Arrhenius [78] et le modèle d'Eyring [78] sont utilisés pour décrire la défaillance d'un produit accélérée par la température, et le modèle de puissance inverse [78] est généralement utilisé pour décrire la défaillance accélérée par la tension ou la pression.

- **Modèles basés sur les statistiques** : utilisés lorsque la relation physique entre les stress et le temps de défaillance n'est pas connue. Ils sont classés comme suit en fonction de leurs hypothèses et de la distribution des temps de défaillance :

- **Modèles paramétriques** : le plus souvent en utilisant des distributions statistiques du temps de défaillance, telles que les distributions exponentielle, de Weibull, normale, lognormale, gamma ou de valeurs extrêmes. Ils sont utilisés pour décrire un mécanisme de défaillance sous une contrainte donnée en se basant sur le temps jusqu'à la défaillance (Time to Failure, TTF), ou sur le taux de défaillance (λ). Une relation linéaire ou non linéaire entre la durée de vie et le stress est supposée pour estimer statistiquement les paramètres en adoptant des modèles de temps de défaillance accéléré (Accelerated Failure Test, AFT) [87].

- **Modèles non paramétriques/semiparamétriques** : plus appropriés pour modéliser le temps de défaillance pour des processus de défaillance com-

plexes ou un petit nombre d'essais, car ils sont "sans distribution". Il s'agit principalement des modèles linéaires et des modèles à risque proportionnel (qui sont plus flexibles que le modèle traditionnel de régression du temps de défaillance [105]).

— **Modèles basés sur la physique expérimentale** : basés sur la compréhension de la physique des mécanismes de défaillance, obtenue soit théoriquement, soit par des expérimentations sur des composants soumis à différents niveaux de stress. Les modèles les plus couramment utilisés pour prédire le temps de défaillance (TTF) en fonction des paramètres critiques des composants sont [87, p. 446] : a) le modèle d'électromigration qui décrit la dégradation des conducteurs métalliques sous l'effet de la densité de courant, b) le modèle d'humidité pour principalement la corrosion, et c) le modèle de rupture par fatigue qui traite des défaillances induites par des cycles répétés de contrainte mécanique ou thermique.

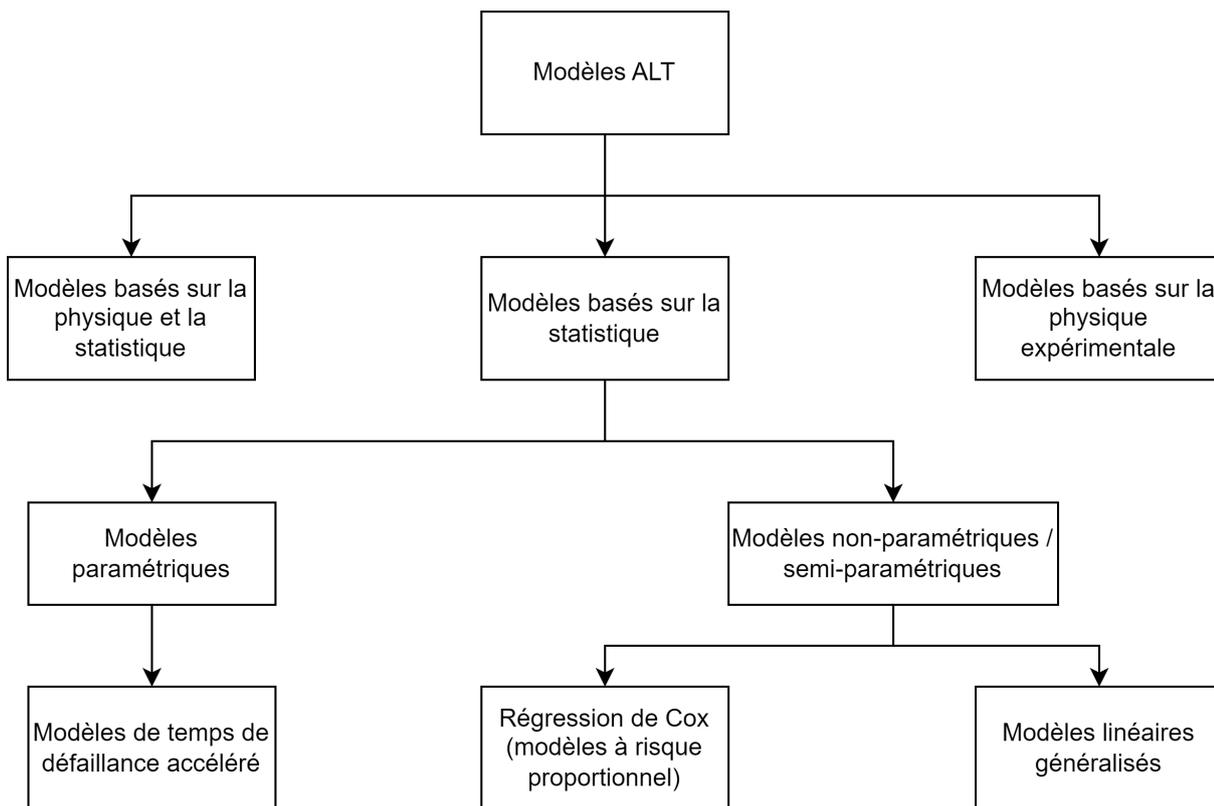


FIGURE 2.3 – Une classification des modèles de tests de durée de vie accélérés (ALT) [87, p.407].

La plupart des modèles des essais accélérés utilisés actuellement appartiennent à la catégorie des modèles statistiques paramétriques. En particulier ceux qui estiment la distribution des paramètres position-échelle et la relation linéaire stress-durée de vie à l'aide de la méthode d'estimation du maximum de vraisemblance (Maximum Likelihood Estimation, MLE), qui est la théorie la plus avancée [106]. Cependant, les modèles paramétriques

considèrent essentiellement la même distribution de temps de défaillance pour différents niveaux de contrainte, alors que les conditions de vie réelles peuvent s'avérer plus complexes.

Pour déterminer le modèle d'essais accélérés le plus adapté à la quantification des paramètres de fiabilité des composants électroniques, il est essentiel d'avoir une compréhension exhaustive de leurs fonctionnalités, des mécanismes de défaillance qui se produisent, des modes de défaillance, ainsi que des facteurs d'accélération. Pour ce faire, les résultats de la FMMEA doivent être évalués pour chaque composant électronique concerné. Il s'agit d'identifier a) les facteurs, liés au processus ou aux conditions environnementales, qui accélèrent la défaillance du composant, b) les phénomènes physiques, chimiques, biologiques et/ou électriques qui se produisent, c) l'emplacement de la défaillance, d) l'effet par lequel la défaillance est observée (mode de défaillance) [107], e) la criticité de la défaillance et f) l'interdépendance potentielle entre les différents mécanismes de défaillance. En raison d'éventuelles limitations en termes de temps, de coût et de ressources documentaires, le choix des méthodes d'essai peut être effectué sur la base des défaillances les plus critiques.

Sur la base de la FMMEA finale réalisée sur le produit, l'étape suivante de la conception de l'essai accéléré consiste à identifier les principales contraintes d'accélération (variables environnementales), leurs niveaux respectifs, la manière dont ces contraintes sont appliquées, leur durée et le nombre d'échantillons de produit utilisés par essai, en prenant par hypothèse que les mêmes mécanismes de défaillance sont observés.

Il existe trois types de manières dont ces contraintes sont appliquées ("stress loading") [90], [108] :

1. **Contrainte constante** : chaque échantillon est soumis à un niveau constant de stress pendant toute la durée du test. La plupart des plans d'essais accélérés utilisent ce type de charge de stress. Ils sont plus faciles à mettre en œuvre mais nécessitent plus de temps d'exécution du test.
2. **Contrainte échelonnée** : chaque échantillon est soumis à une série de niveaux de stress croissants ou décroissants. En d'autres termes, si l'échantillon soumis initialement à un certain niveau de contrainte n'est pas défaillant après un certain temps, le niveau de contrainte est augmenté et appliqué à l'échantillon pendant un autre laps de temps, et ainsi de suite. La durée de la période d'application ainsi que le niveau de contrainte peuvent varier d'un échantillon à l'autre.
3. **Contrainte progressive** : chaque échantillon est soumis à un niveau de stress qui augmente progressivement. Le taux d'augmentation peut varier d'un échantillon à l'autre. Ce type de contrainte indépendante du temps, ainsi que la contrainte échelonnée, permettent une défaillance plus rapide mais souffrent d'une mauvaise précision d'estimation de fiabilité.

Pour recueillir les informations souhaitées à partir d'un essai de durée de vie accéléré,

les données résultant de l'essai doivent être analysées. Dans la situation où tous les composants testés deviennent défaillants, des données complètes sont analysées. Dans le cas contraire, les données sont "censurées". En règle générale, les essais sont effectués pendant une période de temps T donnée, à l'issue de laquelle les composants sont inspectés pour savoir s'ils ont eu une défaillance ou non. Les données qui en résultent sont appelées "données censurées de type I" (censure temporelle). Au cours de la période de test T , il peut y avoir des composants qui ne présentent aucune défaillance, ce qui signifie que leur temps de défaillance est ultérieur au temps fixé. Les données obtenues à partir de ces composants sont appelées données "censurées à droite". Il est également possible d'exécuter les tests jusqu'à ce qu'un certain nombre fixe de défaillances se produise. Les données obtenues sont appelées données "censurées de type II" (censure de la défaillance). Dans certains cas, le moment exact de la défaillance des composants défaillants n'est pas connu, mais seulement l'intervalle dans lequel la défaillance s'est produite si l'inspection est effectuée plus d'une fois. Les données qui en résultent sont donc des données "d'intervalle", "groupées" ou "read-out". Il est à noter que le mode d'essai de durée de vie accéléré le plus souvent utilisé est l'essai de durée de vie accéléré sous stress constant (CSALT) avec un seul stress et une censure temporelle [106].

Les défis techniques des essais de fiabilité, en particulier les essais de durée de vie accélérés, consistent à déterminer les niveaux de stress appropriés pour effectuer les essais et à sélectionner les combinaisons de ces niveaux. Cela nécessite l'élaboration d'un plan d'expériences. Le problème statistique consiste à estimer les paramètres de la distribution de la durée de vie dans les conditions d'utilisation, sur la base des données de défaillance/dégradation recueillies lors des essais de durée de vie accélérés, tout en tenant compte des différentes configurations mentionnées précédemment [109].

Les essais de durée de vie accélérés (ALT) sont principalement utilisés à des fins de détermination de la fiabilité, en utilisant un seul stress constant avec une censure de type I [106]. Cependant, en raison de l'évolution constante de la technologie, les composants électroniques deviennent de plus en plus robustes et fiables. Il est donc difficile d'estimer leur durée de vie à l'aide d'une seule variable de stress, d'autant plus que les conditions réelles sont complexes et impliquent de multiples facteurs de stress. Il est donc plus intéressant de planifier les essais accélérés avec deux variables de stress ou plus.

Escobar et Meeker [110] ont été les premiers à planifier des essais accélérés pour plus d'une variable de stress. Avec de nombreux autres auteurs, ils ont conçu des plans d'essai basés sur la précision autour d'une estimation de quantile ou de fonctions de risque, en utilisant l'analyse de Monte Carlo pour une évaluation plus détaillée des caractéristiques statistiques du plan de test [111]. Escobar et Meeker [110] ont présenté un plan de compromis lorsque deux facteurs de stress sans interaction ont été considérés (avec une extension directe à un plus grand nombre de facteurs) où le niveau le plus élevé de chaque

facteur est limité. Ils ont optimisé le plan en utilisant la c-optimalité et la D-optimalité (en minimisant la variance asymptotique standardisée du maximum de vraisemblance pour un quantile donné), mais cela devient problématique lorsqu'il y a plus de deux variables de stress. Park et Yum [112] ont également pris en compte deux variables de stress dans leur travail et ont organisé les points expérimentaux avec un plan factoriel complet. Les effets d'interaction des deux stress ont également été pris en compte à l'aide du modèle d'Eyring généralisé. Elsayed et Zhang [113] ont conçu un essai accéléré avec des facteurs de stress multiples en se basant sur un modèle de risque proportionnel (ils ont utilisé un plan factoriel complet pour définir les combinaisons de test). Les limites supérieures des stress sont prédéfinies, tandis que deux niveaux pour chaque stress doivent être déterminés de manière optimale tout en minimisant la variance de la prédiction de fiabilité dans des conditions de fonctionnement normales. Yang et Pan [105] ont appliqué le modèle de risque proportionnel sur les temps de défaillance pour transformer le problème de la planification des essais accélérés avec censure par intervalle en un problème de conception des plans d'expériences par le modèle linéaire généralisé (Generalized Linear Model, GLM) (utilisé pour simplifier la dérivation de la matrice d'information utilisée pour l'optimisation du plan d'essai). Ils ont pris en compte les effets d'interaction de deux variables de stress. Limon et al [77] ont fait un large état de l'art des méthodes concernant les essais de durée de vie accélérés et Zhang et al [114] ont présenté un bref aperçu des méthodes pour les essais multi-contraintes.

Il existe également différentes méthodes d'optimisation pour obtenir un plan de test optimal en minimisant ou en maximisant la réponse d'intérêt sous des stress donnés appliquées à un modèle présumé (qui décrit la relation entre la durée de vie et les stress) [81]. Par exemple, une conception D-optimale (cf. Section 2.2.3) maximise le déterminant de la matrice d'information de Fisher, ce qui est équivalent à minimiser la variance généralisée des coefficients estimés du modèle et donc améliorer la précision des prévisions de durée de vie. Une conception V-optimale, par exemple, minimise la variance moyenne sur un ensemble fini de points expérimentaux, tandis qu'une conception I-optimale la minimise sur les points de conditions d'utilisation. Une approche économique peut également être envisagée, incluant le coût des activités de test et le coût de la garantie [115].

Le problème de la planification des essais de stress multiples est que le nombre de tests à exécuter peut augmenter considérablement en fonction du nombre de facteurs de stress et du nombre de niveaux pour chaque facteur de stress. Par exemple, si l'on dispose de 3 facteurs de stress à 4 niveaux chacun, il faudra effectuer $4^3 = 64$ essais pour couvrir toutes les combinaisons de niveaux des facteurs. Ceci sans tenir compte des autres facteurs expérimentaux, notamment les facteurs de conception du produit, qui sont généralement inclus dans la planification. L'une des solutions à ce problème est la méthode du plan par hypercube latin (Latin Hypercube Design, LHD), qui est une conception de plan d'expériences par la répartition uniforme des essais dans l'espace, proposée par Zhu et Elsayed

[116]. En général, les plans de répartition uniforme des essais dans l'espace ont été l'une des alternatives intéressantes pour concevoir une expérience lorsque l'expérimentateur n'a pas une connaissance préliminaire solide de la réponse du système étudié dans la région expérimentale, car ils répartissent les points de conception uniformément sur cette région. L'hypercube latin est un plan commun de répartition uniforme des essais dans l'espace qui divise une série de k variables de conception indépendantes de n niveaux en intervalles également espacés les uns des autres. Un tableau de n lignes et de k colonnes est alors construit en attribuant indépendamment une permutation de $\{1, \dots, n\}$ à chaque colonne [117] et le plan est noté $LHD(n, k)$. La Figure 2.4 est un exemple de LHD de 10 essais et de 2 variables (de 10 niveaux chacun) dont les niveaux sont situés entre -1 et $+1$ [81] et distribués dans des intervalles d'amplitude $0,2$. L'application de cette méthode donnerait pour une expérience de 3 facteurs de stress à 4 niveaux chacun, seulement 4 essais, en supposant que les facteurs sont mutuellement indépendants. Zhu et Elsayed [116] ont considéré la méthode LHD dans leur étude et ont obtenu la conception optimale pour un essai accéléré avec plusieurs stress et plusieurs niveaux de stress. Lorsque la méthode LHD est appliquée, les niveaux de stress doivent être prédéterminés et ne sont pas traités comme des variables optimisées.

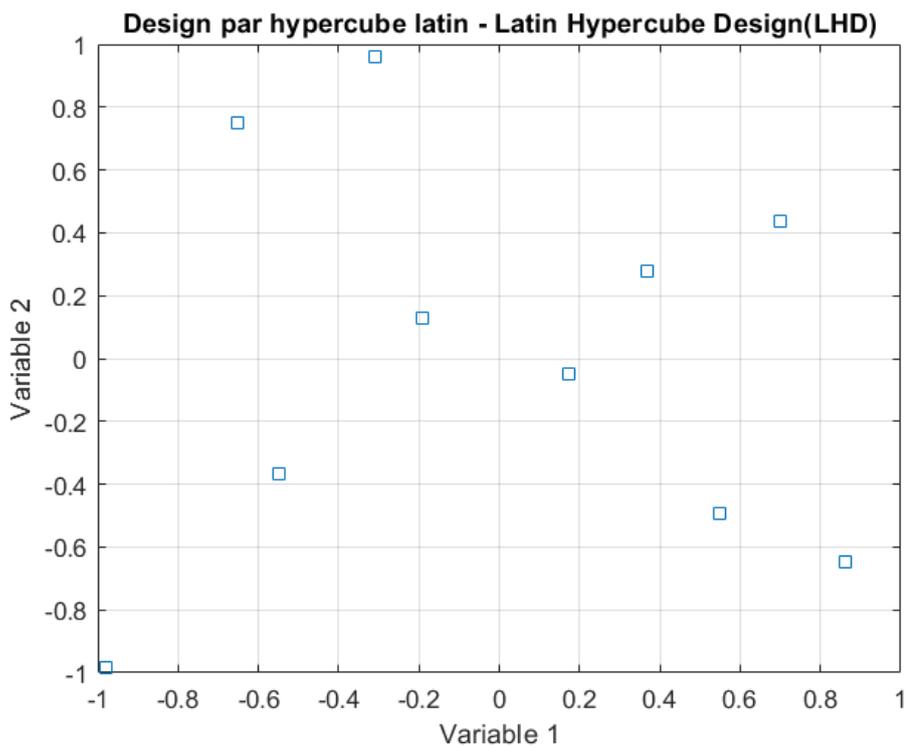


FIGURE 2.4 – Exemple de LHD de 10 essais et de 2 variables généré en utilisant la fonction "lhsdesign" du logiciel MATLAB.

Les avantages du choix d'un plan hypercube latin par rapport à un plan factoriel

complet incluent la possibilité d'effectuer un plus petit nombre d'essais avec de nombreuses variables d'entrée tout en conservant une faible variance sur la réponse. Cette variance peut être encore réduite par des méthodes qui améliorent l'échantillonnage hypercube latin (Latin Hypercube Sampling, LHS), comme la méthode introduite par Tang [118] qui construit un plan hypercube latin basée sur un plan orthogonal.

Un plan hypercube latin peut être optimisé en adoptant des critères d'optimalité tels que le critère de distance maximale et le critère d'entropie. Le premier mesure la dispersion des points dans la région expérimentale et minimise la distance entre les points expérimentaux. Le deuxième mesure la quantité d'informations contenues dans la distribution d'un ensemble de données et la maximise [84]. Pour plus d'informations sur le critère de maximin ou d'autres critères, les travaux de Joseph et Hung [119] et de Fang et al [84] peuvent être consultés. Un examen des algorithmes utilisés pour construire des plans par hypercube latin optimaux est fourni par Viana [120]. Une vue d'ensemble des logiciels modernes de plans d'expériences est offerte par Giunta et al [121], tandis que Beachkofski et Grandhi [122] traitent de l'échantillonnage Latin-Hypercube amélioré.

2.4 Qualification des composants électroniques

Après avoir exploré les principes théoriques des plans d'expériences et des essais de durée de vie accélérés comme méthodes pour obtenir des informations sur la fiabilité des composants, cette section passe à l'application pratique de la qualification des composants électroniques en présentant les normes et les méthodes de test concrètes utilisées dans différentes industries pour qualifier les composants électroniques en vue d'une utilisation fiable dans des applications réelles. Cette section est divisée en deux sous-sections. La première sous-section donne un aperçu des normes communes utilisées dans l'industrie pour qualifier les composants électroniques. Elle explique également brièvement les différents tests environnementaux de durée de vie accélérée qu'elles proposent. La deuxième sous-section passe en revue les guides de fiabilité prévisionnelle existants. Ces guides sont essentiels car ils permettent d'estimer la durée de vie et la fiabilité des composants avant leur utilisation. Ils complètent les normes en offrant un cadre pour anticiper les performances à long terme et qualifier les composants pour une application donnée.

2.4.1 Normes

Il est impératif que tout composant électronique fasse l'objet d'une qualification appropriée avant d'être intégré dans un dispositif final, quelle que soit l'application. Un exemple de processus de qualification est schématisé dans la Figure 2.5. L'évaluation de la fiabilité, telle qu'illustrée dans le schéma, commence par la définition du profil de mission du composant et des spécifications de test, qui décrivent les conditions d'utilisation

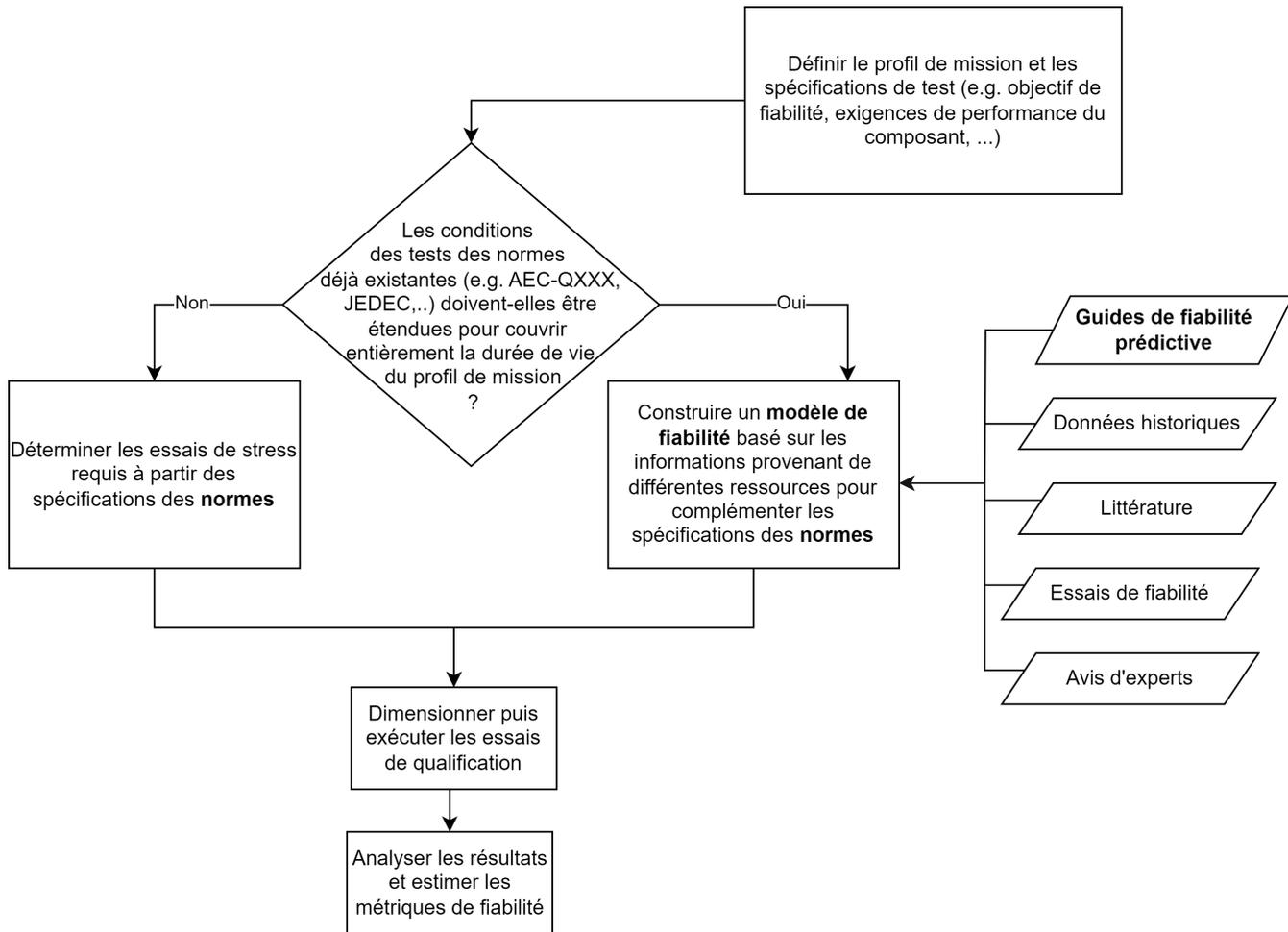


FIGURE 2.5 – Un organigramme simplifié pour illustrer le processus de qualification d’un composant électronique.

réelles et les exigences de performance du composant. À partir de là, une décision est prise pour déterminer si les conditions des tests dans les normes existantes (comme AEC-QXXX, JEDEC) doivent être étendues pour couvrir la durée de vie complète du profil de mission. Si cela s’avère nécessaire, un modèle de fiabilité est élaboré en s’appuyant sur des données issues de diverses sources, telles que les guides de fiabilité prédictive, les données de retours d’expérience, les résultats d’essais de fiabilité et les avis d’experts. Ce modèle permet de dimensionner les essais de qualification plus pertinents au profil de mission. Les essais sont ensuite exécutés et les résultats analysés pour estimer les métriques de fiabilité, garantissant ainsi que le composant répond aux spécifications.

Au fil des années, un consensus général s’est dégagé sur les essais de qualification des composants électroniques à mettre en œuvre, en fonction du domaine d’application du dispositif final dans lequel le composant sera intégré. Avant d’énumérer certaines des normes utilisées pour chacun des domaines majeurs existants, il est d’abord nécessaire d’examiner les tests de qualification généraux couramment utilisés.

Les tests de qualification servent à évaluer la capacité du composant à fonctionner

dans son environnement opérationnel. Ainsi, les tests environnementaux se basent sur les contraintes environnementales auxquelles le composant peut être soumis durant son profil de mission, telles que la température, l'humidité, les contraintes électriques, et les contraintes mécaniques. Ces tests incluent les essais de durée de vie accélérés, qui permettent d'identifier rapidement les défaillances potentielles. Ces tests sont généralement suivis par des tests de caractérisation, qui servent à l'identification et la ségrégation des défaillances de la population des composants électroniques testés.

Certaines des normes les plus utilisées par l'industrie microélectronique en général sont celles du JEDEC. JEDEC (Joint Electron Device Engineering Council) est une organisation qui regroupe des fabricants et des fournisseurs au sein de plus de 50 comités et sous-comités qui garantissent, par le biais de leurs normes, l'interopérabilité des produits et la satisfaction des besoins techniques et de développement de l'industrie.

Particulièrement, JEDEC propose des essais de qualification tels que le THB (Temperature-Humidity-Bias ; Température-Humidité-Tension), le TC (Thermal Cycling ; Cyclage Thermique), l'AC (Autoclave) ou le PCT (Pressure Cooker Test), et le HAST (Highly Accelerated Stress Test ; Essai de stress hautement accéléré). Ces essais contiennent des valeurs de température et d'humidité élevées avec une tension appliquée au composant. Le HAST et le THB suivent tous deux le même modèle de défaillance physique. Le HAST nécessite des niveaux élevés de température et d'humidité pour accélérer la défaillance plus rapidement que le THB. Sa popularité dans l'industrie s'explique en grande partie par sa capacité à réduire la durée des essais, ce qui permet d'économiser le temps et les ressources. Toutefois, en raison de la durée plus prolongée des essais, le THB serait plus efficace que le HAST pour provoquer les défaillances telles que la migration électrochimique et la corrosion. Plus de détails techniques sur ces essais sont explicités dans la Table 2.6.

Le choix des essais de fiabilité pour qualifier les composants électroniques est généralement lié aux contraintes de l'application concernée. En effet, les paramètres des essais de durée de vie accélérés définis dans les normes et les guides de fiabilité prévisionnelle sont calculés à travers des facteurs d'accélération qui prennent en compte les niveaux de variables de stress environnemental du test et les niveaux couramment rencontrés dans les conditions d'utilisation. D'autres aspects sont inclus dans la qualification, comme la criticité de l'application. Dans la suite de cette sous-section, les principales normes spécifiques à chaque domaine majeur seront abordées.

Domaine de l'automobile

Les normes généralement appliquées aux composants électroniques de grade automobile sont celles établies par l'Automotive Electronic Council (AEC). L'AEC élabore des documents dans le but d'atténuer les malentendus entre les fabricants et les clients concernant l'électronique automobile. Ces documents contiennent une série de différents essais

TABLE 2.6 – Exemples des tests environnementaux classiques dans l'électronique [123].
(1/2)

Test	Description	Conditions de test	Normes
Moisture sensitivity level (MSL) - Niveau de sensibilité à l'humidité	Ce test vise à évaluer la sensibilité des dispositifs à semi-conducteurs non hermétiques à montage en surface (CMS) aux contraintes induites par l'humidité.	<ul style="list-style-type: none"> o Température : 125 °C o Humidité 	<ul style="list-style-type: none"> o IPC/JEDEC J-STD-020 o IPC/JEDEC J-STD-035
Autoclave testing - Tests en autoclave	Ce test évalue la résistance à l'humidité des packagings non hermétiques des dispositifs à semi-conducteurs. Il diffère des autres tests de résistance à l'humidité principalement par ses conditions de condensation.	<ul style="list-style-type: none"> o Température : 121 °C pour 96 heures o Humidité relative : 100 % (eau déminéralisée ou distillée) o Pression : 2 atm 	<ul style="list-style-type: none"> o JESD22-A102
Cyclic testing - Test d'humidité cyclique	Ce test évalue la résistance du composant à la chaleur et à une humidité élevée. L'aspect cyclique de cet essai qui prévoit des périodes alternées de quasi-condensation et de séchage accélère la dégradation de la pénétration de l'humidité à travers le packaging non hermétique et aggrave les fissures.	<ul style="list-style-type: none"> o Dix cycles de 24 heures o Chaque cycle contient deux excursions linéaires de 8 heures à une humidité de 90 à 95 % et des températures de trempage de 25 à 65 °C et redescendantes à 25 °C. o Chaque trempage à 65 °C dure 3 heures et la rampe de descente a une spécification d'humidité descendue de 80 à 90 % 	<ul style="list-style-type: none"> o MIL-STD-202 Method 106 o MIL-STD-810, Method 507 o MIL-STD-883 Method 1004 o MIL-STD-750 Method 1021 o JESD22-A100 o JESD22-A100
Temperature Humidity testing (damp heat) - Test d'humidité et de température	Ces tests évaluent la résistance des composants aux conditions humides en accélérant la corrosion et la diffusion de l'humidité à travers le packaging. THB a tendance à mieux simuler les conditions réelles que les autres tests associés.	<ul style="list-style-type: none"> o Température : 85 °C o Humidité relative : 10 à 98 % (le plus souvent 85 %) o Pour des périodes de 100, 500, 1000 heures ou plus 	<ul style="list-style-type: none"> o MIL-STD-202 Method 103B o GR-468-CORE
Temperature Humidity Bias (THB) - Température Humidité Tension		<ul style="list-style-type: none"> o Température : 85 °C o Humidité relative : 85 % o Tension : jusqu'à 100 V 	<ul style="list-style-type: none"> o MIL-STD-202 Method 103 o JESD22-A101

TABLE 2.6 – Exemples des tests environnementaux classiques dans l'électronique [123].
(2/2)

Test	Description	Conditions de test	Normes
Temperature cycling - Cyclage thermique	Ce test évalue la résistance des composants à des valeurs alternées de température basses et hautes. L'inadéquation thermique des matériaux a tendance à provoquer des fissures dans les joints de brasure, des déformations, des dommages aux câbles et aux marquages, ainsi que des défaillances des joints hermétiques.	<ul style="list-style-type: none"> Les conditions de test dépendent de l'échantillon 	<ul style="list-style-type: none"> GR-468-CORE JESD22-A104 MIL-STD-750 Method 1051 MIL-STD-750 Method 1055 MIL-STD-883 Method 1010
Thermal shock - Choc thermique	Ce test évalue la fiabilité en initiant des modes de défaillance liés au changement rapide de température. Contrairement au cyclage thermique qui est lié à l'inadéquation thermique des matériaux.	<ul style="list-style-type: none"> 15 cycles et une durée de temporisation dans chaque niveau de 2 min Températures : 0 à 100 °C, -55 à 125 °C, ou -65 à 150 °C 	<ul style="list-style-type: none"> JESD22-A106 MIL-STD-202 Method 107 MIL-STD-750 Method 1056 MIL-STD-883 Method 1011
High Temperature Operating Life (HTOL) Test - Test de durée de vie à haute température	Ce test évalue la fiabilité des composants soumis à des températures élevées pendant une période prolongée.	<ul style="list-style-type: none"> Température : 125 °C pour 1000 heures 	<ul style="list-style-type: none"> MIL-STD-883 Method 1005 JESD22-A108

de qualification axés sur les contraintes couvrant divers mécanismes de défaillance liés au profil de mission automobile. Ils fournissent un ensemble d'exigences minimales pour les conditions des essais et pour la qualification.

- AEC-Q200 : ce document décrit les spécifications pour qualifier les composants passifs.
- AEC-Q100 : Ce document décrit les spécifications pour qualifier des circuits intégrés.

Les calculs dans ces normes sont basés sur un profil de mission défini par une température moyenne de fonctionnement de 87 °C, une température moyenne de 27 °C pendant les temps d'arrêt, un changement de température moyen du cycle thermique de 76 °C, une humidité relative moyenne de 74 % , et une durée de vie opérationnelle prévue de 15 ans [conformément aux directives de AEC-Q100].

L'un des manuels publiés afin d'aligner les exigences AEC-Q100 [9], les méthodes de stress JEDEC et les profils de mission pour atteindre l'objectif "zéro défaut" est le manuel ZVEI [124] ("Manuel pour la Validation de la Robustesse des Modules Électriques/Électroniques Automobiles"). Ce manuel fait évoluer l'approche de qualification d'une approche axée sur les stress à une approche axée sur les modes et mécanismes de défaillance, à travers une "validation de robustesse". L'approche inclut une région d'usure pendant la durée du stress et explore la dégradation physique en tant que précurseur de la défaillance.

Domaine militaire

Il existe une multitude de normes militaires pour la qualification de composants ou de systèmes électroniques, qui sont également appliquées dans d'autres domaines [10]. Ces normes comprennent MIL-STD-750 [11] pour les méthodes de test des semi-conducteurs, MIL-STD-810 [12] pour les essais en laboratoire et les considérations d'ingénierie environnementale, MIL-STD-883 [13] pour les normes de méthodes de test des microcircuits, MIL-STD-202 [14] pour les composants électroniques et électriques et d'autres normes de spécification pour les composants passifs telles que MIL-PRF-55342 [15] et MIL-PRF-123 [16].

Domaine spatial

Le rayonnement constitue une contrainte fondamentale qui distingue les applications spatiales des autres applications. La dose radiative élevée présente dans les conditions spatiales, caractérisée par un faible flux continu de particules hautement énergétiques allant de 1 MeV à 1 GeV, principalement composées de protons, de particules alpha, ainsi que d'ions lourds [125], impose que les composants électroniques de qualité spatiale soient soumis à des tests de résistance aux rayonnements et démontrent leur tolérance à ces conditions. L'un de ces tests est le test SEE (Single-Event Effect) pour les ions

lourds. Les effets d'un seul événement (SEE) représentent un défi important pour les composants électroniques, tant dans l'espace qu'au niveau de la mer. L'interaction entre une seule particule ionisante et un composant électronique peut provoquer de nombreux effets indésirables.

Outre les tests adaptés aux exigences des environnements spatiaux, notamment S-311-P-828 et S-311-P-838 développés par la NASA/GSFC, ESCC-3009 par l'Agence spatiale européenne (ESA) et QTS-2, les composants électroniques destinés aux applications spatiales peuvent également être qualifiés à l'aide de méthodes d'essai militaires telles que MIL-PRF-123 (style CKS) et MIL-PRF-55681 (style CDR) [126].

La NASA joue un rôle central dans le développement et le maintien de lignes directrices pour l'utilisation fiable des pièces électriques, électroniques, électromécaniques et électro-optiques (EEEE) par le biais de son programme de pièces et de packagings électroniques (Electronics Parts and Packaging Program, NEPP). Cela se fait grâce à des tests de caractérisation, d'acceptation de lots, de sélection et de qualification, en collaboration avec le monde universitaire, l'industrie, des partenaires internationaux et d'autres entités gouvernementales. Lors de l'atelier NEPP, Lilani et al. [127] ont comparé les normes utilisées dans les industries commerciales standard (Commercial Off-The-Shelf, COTS), militaire/spatiale et automobile (AEC). Ils ont constaté que pour les composants de grade commercial et AEC, une qualification unique est réalisée (ou lors de changements majeurs), et que les essais de fiabilité sous stress ne sont pas séquentiels, chaque mode de défaillance étant évalué séparément. En revanche, les composants de grade militaire et spatial nécessitent une qualification pour chaque lot et sont soumis à des essais de fiabilité périodiques sur le produit et la technologie.

Domaine médical

Au moment de la rédaction de ce manuscrit, il n'existe pas de consensus sur les normes à suivre pour la qualification des composants électroniques utilisés dans les applications médicales. L'électronique médicale est qualifiée en utilisant à la fois les essais à haute fiabilité énoncés dans la norme MIL-STD-883 et des essais adaptés. Il est évident que toutes ces méthodes de test ne prennent pas en compte les exigences spécifiques des applications des dispositifs médicaux, en particulier ceux qui sont implantés et qui font actuellement l'objet d'avancées technologiques substantielles qui les rendent de plus en plus miniaturisés. C'est dans ce contexte qu'a été créé le projet RECOME.

2.4.2 Guides de fiabilité prévisionnelle

En plus des normes qui fournissent principalement des protocoles de tests et des critères d'acceptation pour la qualification des composants électroniques pour différents domaines, les guides de fiabilité prévisionnelle permettent d'évaluer la fiabilité et de modéliser les

défaillances dès la phase de conception des composants. Cependant, ils fournissent également les informations nécessaires pour concevoir des profils d'essais accélérés, tels que les paramètres des modèles d'accélération, les taux de défaillance de base pour diverses familles de composants. Ces informations précieuses sont le résultat de nombreuses années de retour d'expérience, principalement dans les domaines militaire, aéronautique et automobile. Cette sous-section présente certains de ces guides de fiabilité prévisionnelle, ainsi que leurs avantages et limitations, avec une focalisation sur les paramètres de conception (technologiques) des composants. Un exemple concernant les condensateurs céramiques sera donné pour illustrer le rôle critique que ces paramètres de conception jouent dans la fiabilité du composant. L'objectif est de mettre en évidence l'importance d'intégrer les effets des paramètres de conception dans l'évaluation de la fiabilité des composants. En croisant les facteurs de conception à l'aide de la méthodologie DoE avec les facteurs environnementaux pertinents, identifiés lors de la planification des essais de durée de vie accélérés, nous pouvons développer un modèle prévisionnel de fiabilité. Ce modèle servira ensuite à affiner la planification des essais accélérés en ciblant les mécanismes de défaillance les plus pertinents à l'application.

MIL-HDBK-217 (1995) est l'un des guides utilisés pour l'estimation de la fiabilité des composants électroniques et électrotechniques dans le domaine militaire, en supposant qu'ils suivent une distribution exponentielle de la durée de vie [17] avec un modèle de taux de défaillance constant $\lambda = \frac{1}{MTBF}$ (la loi exponentielle, où *MTBF* est le temps moyen entre les défaillances) [128]. Cette hypothèse est très controversée et est considérée comme peu fiable par plusieurs fabricants car elle est basée sur des analyses heuristiques [129] et ne fournit pas de résultats en fonction de la technologie et des conditions exactes d'utilisation du produit. Par exemple, le modèle du condensateur céramique ne considère comme facteurs de conception que la capacité du composant, et les facteurs environnementaux sont divisés en catégories générales selon l'application du composant (terrestre mobile, terrestre fixe, navale abritée, etc). Les conditions de fonctionnement (température ambiante et rapport entre la tension de fonctionnement et la tension nominale) sont prises en compte dans le taux de défaillance de base du modèle. Toutefois, le guide est encore utilisé pour obtenir un facteur de mérite pour la fiabilité de certains composants électroniques, tels que les condensateurs céramiques et au tantale.

L'UTE C 80-810 (RDF 2000), élaboré par l'industrie française des télécommunications, est un autre manuel de données de fiabilité prévisionnelle [130]. Il s'appuie sur le profil de mission d'un composant électronique donné pour définir son taux de défaillance, en tenant compte d'un taux de défaillance de base et des contributions des facteurs opérationnels et environnementaux significatifs de chaque phase du profil de mission. Il se concentre également sur les défaillances survenant au cours de la durée de vie utile du produit. Cependant, il présente des lacunes en ce qui concerne les mécanismes de défaillance et les types d'environnements auxquels il est destiné (sources limitées de données de terrain,

facteurs environnementaux limités considérés comme influents, etc).

Outre les guides précédents, FIDES, initialement publié en 2004 et puis révisé en 2022, est un guide réalisé par le groupe FIDES composé de : AIRBUS France, Eurocopter, Nexter Electronics, MBDA France, Thales Systèmes Aéroportés SA, Thales Avionics, Thales Corporate Services SAS, Thales Underwater Systems [1]. Il propose une méthodologie pour prédire les taux de défaillance des systèmes électroniques, basée sur la physique de la défaillance, l'analyse des données d'essai (en particulier dans l'aviation militaire et civile), le retour d'expérience des différents fabricants et les modèles existants d'accélération des mécanismes de défaillance. Il considère que les taux de défaillance varient tout au long du cycle de vie du produit, de sa fabrication à sa destruction, selon une courbe en "baignoire" (cf. la Figure 3.1).

Le guide FIDES exclut les périodes d'enfance et d'usure de ses modèles de prévision de la fiabilité et ne considère que la vie normale du produit avec un taux de défaillance constant (associé au taux de défaillance moyen) basé sur le modèle suivant :

$$\lambda = \lambda_{Physique} \times \Pi_{PM} \times \Pi_{Process} \quad (2.17)$$

- $\lambda_{Physique}$ représente les contributions physiques (contraintes thermiques, électriques, mécaniques ou chimiques),
- Π_{PM} (PM pour Part Manufacturing) représente la qualité de fabrication du produit,
- $\Pi_{Process}$ représente la qualité des différents processus impliqués dans le cycle de vie du produit (développement, fabrication et utilisation).

En fait, pour chaque composant électronique (ou sous-système), un modèle de fiabilité est construit sur la base de données de terrain provenant de différents fabricants. Les contributions physiques de chaque type de stress sont respectivement calculées à travers les modèles d'accélération correspondant aux mécanismes de défaillance pertinents du produit. Chaque modèle d'accélération comprend un taux de défaillance de base ($\lambda_{Physique}$ dans l'équation 2.17) donné en fonction des facteurs de conception pertinents du produit (par exemple, pour chaque type de matériau céramique pour les condensateurs céramiques). D'autre part, la qualité de la fabrication (Π_{PM} dans l'équation 2.17) et la qualité du processus ($\Pi_{Process}$ dans l'équation 2.17) sont quantifiées à l'aide de questionnaires relatifs aux pratiques et au processus de fabrication.

L'avantage de FIDES par rapport à MIL-HDBK-217 réside dans le fait qu'il est plus à jour en ce qui concerne les technologies des composants électroniques et les processus de fabrication. Cependant, FIDES repose également sur un modèle de taux de défaillance constant, un concept qui a été remis en question en 1994, lorsque le secrétaire à la Défense, William Perry, a publié un mémorandum éliminant la plupart des normes de défense [128]. Depuis lors, il est recommandé de s'appuyer essentiellement sur la physique de la défaillance pour modéliser la fiabilité des composants électroniques.

Malgré cela, des guides comme FIDES offrent des avantages significatifs en phase de conception. Ils permettent d'évaluer la fiabilité préliminaire des composants avant les essais, d'analyser les performances prévues, de comparer différentes architectures, et de gérer les relations avec les fournisseurs en établissant des attentes claires en matière de fiabilité. Ces informations sont précieuses pour anticiper les problèmes potentiels et optimiser les choix techniques avant d'engager des ressources importantes dans des essais de fiabilité.

Le guide FIDES a été créé pour remplacer le MIL-HDBK-217 qui s'écartait des conditions réelles, mais il présente de nombreuses lacunes qui ne sont pas bien prises en compte [131]. Ses lacunes sont notamment les suivantes :

1. Le taux de défaillance en conditions réelles n'est pas constant, contrairement à l'hypothèse du modèle.
2. Les modes et mécanismes de défaillance ne sont pas explicitement détaillés dans le guide. De même, l'intégration de la physique de la défaillance dans les modèles, en relation avec les facteurs environnementaux et de conception, reste insuffisamment claire. Bien que cela ne soit pas l'objectif principal du guide, une représentation plus précise de la physique de la défaillance, comme celle fournie par les bases de données FMD 1991 et FMD 2016 [132], pourrait permettre de mieux exploiter le guide pour concevoir des expériences de fiabilité. Ces bases de données cataloguent les modes et mécanismes de défaillance des composants électroniques, fournissant ainsi une ressource précieuse pour l'analyse de fiabilité et l'amélioration des conceptions en s'appuyant sur les données historiques de défaillance (*une première tentative sur le sujet a été faite dans le cadre du travail que nous avons présenté au congrès Lambda Mu 23 [133]*).
3. La méthodologie ne tient pas compte des matériaux et de la composition chimique ainsi que des dimensions des composants, alors que ces facteurs jouent un rôle très important dans leur défaillance (pour les condensateurs céramiques, par exemple).

Malgré l'existence de guides de fiabilité prévisionnelle pour les systèmes et sous-systèmes électroniques, la précision des modèles et des paramètres proposés dans ces guides n'est pas garantie [134], en raison de la rapide évolution de la technologie électronique ainsi que de la complexité croissante de la qualification de la fiabilité des sous-systèmes électroniques. En outre, il est fondamental de noter que les modèles de fiabilité FIDES sont construits pour des composants électroniques qui sont destinés à des environnements sévères ou difficiles, tels que les composants destinés à une utilisation militaire et avionique. Ils ne prennent pas nécessairement en compte des environnements dont les paramètres et les contraintes sont complètement différents, tels que les dispositifs médicaux implantables (miniaturisation, biocompatibilité, tendance à l'utilisation des polymères,

stérilisation, revêtements, etc).

Pour illustrer cela, nous prenons l'exemple des condensateurs céramiques. Sur la base du modèle de taux de défaillance physique établi par FIDES et présenté dans l'équation 2.18, on peut comprendre que seules les contributions des contraintes physiques liées aux phénomènes thermoélectriques, aux cycles thermiques et aux phénomènes mécaniques sont considérées, tandis que les mécanismes de défaillance liés à l'humidité sont négligés.

$$\lambda_{Physique} = \lambda_{0_{Condensateur}} \times \sum_i^{Phases} \left(\frac{t_{annuel}}{8760} \right)_i \times (\Pi_{Thermo-Electrique} + \Pi_{TCy} + \Pi_{Mécanique})_i \times (\Pi_{Induit})_i \quad (2.18)$$

Où :

- $\lambda_{0_{Condensateur}}$ est le taux de défaillance de base pour le condensateur.
- Somme sur les phases (\sum_i) qui représente la contribution de chaque phase de fonctionnement ou de condition environnementale, pondérée par la durée annuelle d'exposition $\left(\frac{t_{annuel}}{8760} \right)$.
- $\Pi_{Thermo-Electrique}$, Π_{TCy} , $\Pi_{Mécanique}$ sont des facteurs de multiplication (facteurs de Pi) qui modifient le taux de défaillance en fonction des contraintes thermo-électriques, du cyclage thermiques, et des contraintes mécaniques respectivement.
- Π_{Induit} est un facteur qui représente les effets induits par des surcharges accidentelles.

Outre ces contributions physiques calculées sur la base des lois physiques d'accélération, le guide FIDES fournit également des taux de défaillance de base associés aux composants. Toutefois, selon le guide, ces taux ne diffèrent que d'une classe de matériau diélectrique à l'autre et d'un produit CV (capacité \times tension nominale du condensateur) à l'autre. Aucune référence n'est faite aux matériaux des électrodes internes, alors qu'ils ont un impact significatif sur les mécanismes de défaillance. En fait, il y a eu une transition du matériau utilisé dans les électrodes internes (en couches) des condensateurs sous la contrainte de la miniaturisation [135]. Par conséquent, les électrodes de nickel BME (Base Metal Electrode) sont les plus utilisées dans l'industrie depuis 2000, à l'exception des industries de la défense et de l'aérospatiale qui utilisent encore des électrodes en métaux précieux comme l'argent et le palladium PME (Precious Metal Electrode) en raison de spécifications strictes en matière de fiabilité. Ces deux types d'électrodes diffèrent dans une certaine mesure par leurs mécanismes et modes de défaillance, et nécessitent donc des protocoles de qualification différents. Les résultats ont montré que les condensateurs céramiques BME sont plus susceptibles de se dégrader que les condensateurs PME dans des conditions d'autoclave (humidité et température élevées), car les condensateurs BME présentent davantage de vides d'oxygène [136]. Il est facile de voir comment cela peut être lié à la fiabilité des condensateurs céramiques utilisés dans les dispositifs médicaux

implantables soumis à une humidité élevée et à des contraintes de miniaturisation. À cela s'ajoute l'impact du matériau utilisé dans le diélectrique céramique qui dépend du matériau des électrodes internes [137], du pourcentage de dopants utilisés dans le diélectrique [138], la différence dans le modèle d'accélération suivi (en particulier pour les condensateurs BME) [139], et la variété des fissures qui sont les principales causes de défaillance des condensateurs céramique [126]. Évidemment, tous les facteurs de conception des composants électroniques ne doivent pas nécessairement être pris en compte, mais une recherche approfondie et spécifique à l'application sur la physique de la défaillance améliore la prédiction de la fiabilité. Le guide FIDES pourrait également être enrichi avec des technologies populaires émergentes, telles que les systèmes micro-électro-mécaniques (MEMS), qui suscitent un intérêt considérable pour les applications médicales.

Dans le cadre des dispositifs médicaux implantables actifs, il est crucial de tirer parti des guides de fiabilité pour concevoir des essais de qualification adaptés. Ces guides fournissent des bases solides pour établir des protocoles qui tiennent compte des contraintes spécifiques à ces dispositifs, assurant ainsi une évaluation rigoureuse de leur fiabilité.

Pour développer un modèle prédictif de fiabilité plus complet pour les sous-systèmes électroniques, il est nécessaire de mieux comprendre la physique de la défaillance associée aux progrès technologiques. Cela requiert la réalisation d'essais de durée de vie qui intègrent un plus grand nombre de facteurs environnementaux et technologiques, en accordant une attention particulière à ceux liés à la miniaturisation. Dans ce contexte, les essais de durée de vie accélérés représentent une approche prometteuse pour obtenir un modèle qui intègre les facteurs environnementaux. La planification de ces essais pourrait prendre beaucoup de temps et de ressources si tous les facteurs de conception étaient pris en compte. Toutefois, l'utilisation de méthodes de conception d'expériences pourrait être bénéfique à cet égard.

2.5 Combinaison des approches DoE et ALT

Les exemples d'application des méthodes DoE aux essais accélérés, discutés précédemment, montrent que ces méthodes sont souvent appliquées en se concentrant principalement sur les contraintes environnementales, sans prendre en compte les facteurs de conception du produit, qui sont pourtant cruciaux dans les études de robustesse DoE. Cette section vise à explorer l'importance de sélectionner les meilleurs tests pour détecter les défauts en intégrant à la fois les contraintes environnementales et les facteurs de conception, tout en soulignant le besoin de nouveaux modèles pour une approche plus complète de la qualification des composants.

Alors que les essais de durée de vie accélérés permettent principalement de réduire le temps en utilisant des niveaux de stress sévères, le plan d'expériences permet de réduire les ressources en testant relativement peu de combinaisons de facteurs sans perdre d'informa-

tions (ou d'efficacité statistique). La combinaison de ces concepts permettrait d'optimiser davantage le temps, les ressources et le coût global. D'autant plus que les composants électroniques sont soumis à différents types de contraintes dans la plupart des environnements dans lesquels ils sont conçus pour fonctionner. Plus le nombre de contraintes est élevé, plus la planification d'un essai de durée de vie accéléré devient compliquée.

Malgré une littérature abondante sur les concepts d'essais accélérés et de plans d'expériences, peu de travaux se concentrent sur la combinaison de ces deux approches d'une manière optimisée. En effet, les essais de fiabilité prennent en compte de nombreux aspects techniques qui les rendent difficiles à fusionner avec les méthodes de conception d'expériences. Il s'agit notamment des points suivants :

— La nature des données de fiabilité [140] : alors que les approches DoE supposent que les données suivent une distribution normale, le temps de défaillance, qui est généralement la réponse d'intérêt dans les essais accélérés, suit souvent une distribution asymétrique comme la loi de Weibull [141], car le temps de défaillance est positif. Cette incompatibilité statistique rend crucial le choix judicieux de la réponse étudiée pour que les méthodes analytiques soient adaptées à la nature des données de fiabilité.

— Les considérations liées aux essais accélérés, telles que la censure, la taille de l'échantillon, la sélection du niveau de stress et l'attribution des échantillons aux niveaux de stress, peuvent déséquilibrer les réponses des expériences ou la conception du plan d'expériences dans son ensemble. [141]. Ces considérations sont optimisées à l'aide de critères qui dépendent de l'objectif de l'expérience.

— La nature extrapolée des essais de durée de vie accélérés augmente l'incertitude dans l'estimation du modèle dans des conditions nominales [141]. En effet, les essais de durée de vie accélérés reposent sur l'extrapolation des résultats obtenus dans des conditions extrêmes à des conditions normales, cela peut entraîner un certain niveau d'incertitude quant à la précision des estimations de durée de vie ou de fiabilité dans des situations réelles.

— La nature de l'extrapolation du temps de défaillance dans les conditions d'utilisation [142], qui est basée sur des hypothèses et des modèles empiriques pouvant entraîner une variance.

— De nombreuses études utilisent des plans aléatoires, alors que les plans des essais accélérés sont généralement limités par le temps de censure, la taille de l'ensemble des composants de test et d'autres paramètres qui font que les expériences ne se déroulent pas de manière aléatoire [140]. Il en résulte ce que l'on appelle des effets aléatoires qui doivent être incorporés dans le modèle correspondant.

Pour optimiser la planification des essais de durée de vie accélérés, il est crucial de prendre en compte la randomisation restreinte dans des conditions données. Cela signifie

que les observations (défaillances) ne sont pas réellement indépendantes, contrairement à l'hypothèse courante. Ainsi, pour un essai accéléré basé sur la méthode DoE, il est essentiel d'envisager des plans qui incluent des techniques telles que le sous-échantillonnage (sous-groupes), le blocage (groupement des données en sous-ensembles homogènes), les clusters (regroupement par similarités) et les groupes (basés sur des critères spécifiques). Ces plans tiennent compte des effets aléatoires, ce qui est crucial pour éviter les biais dans les paramètres de forme (le paramètre qui représente la forme de la distribution), et pour obtenir des résultats plus précis. Ce biais est important en raison de la relation du paramètre de forme avec le mécanisme de défaillance sous-jacent. Traiter les observations comme indépendantes, comme l'ont fait Meeker et Escobar [143], aboutit à une erreur expérimentale et à une erreur d'observation erronées [144].

Lv et al [145] fournissent une méthode d'optimisation de la qualité à l'aide de données de durée de vie sous-échantillonnées de censure de type I (puisque les expériences conçues ne sont généralement pas complètement randomisées) tout en optimisant simultanément la fiabilité grâce à une fonction de désirabilité. La caractéristique de qualité est basée sur la moyenne de réponse par rapport à un objectif de qualité et la caractéristique de fiabilité sur la maximisation du paramètre de position (la valeur autour de laquelle la distribution tend à se centrer). Ils ont appliqué une méthode en deux étapes utilisée précédemment par Vining et al [140] pour intégrer les effets aléatoires dans l'analyse (la contribution de l'article plus récent est la correction du biais pour le paramètre de forme). Wang et al [146] proposent une méthode améliorée de l'approche en deux étapes de Freeman et Vining pour réduire davantage le biais sur les estimations et calculer les intervalles de confiance des faibles centiles par bootstrap.

Dans un autre exemple d'incorporation des concepts des plans d'expériences dans la planification des essais accélérés [141], un cadre de modélisation linéaire généralisée est utilisé pour calculer facilement les estimateurs de maximum de vraisemblance (une utilisation similaire est mentionnée dans la section précédente). Cette méthode utilise l'approche des moindres carrés pondérés itératifs (Iteratively Weighted Least-Square, IWLS) qui améliore la planification des essais en établissant un lien entre les facteurs de conception et la réponse du système. Cette méthode permet également de prendre en compte plus de deux facteurs ainsi que leurs interactions. Il est clair que cela rend la planification des essais plus efficace et réduit les coûts, étant donné la complexité des méthodes conventionnelles de planification des essais, qui augmente avec l'ajout de facteurs de stress.

L'analyse de la puissance statistique est une autre approche couramment utilisée dans les plans d'expériences. Elle n'est pas spécifique aux plans d'expériences en soi, mais elle est plus omniprésente dans l'évaluation de la qualité que dans l'évaluation de la fiabilité. La puissance statistique est la capacité d'un test de signification à détecter un effet s'il existe réellement. Pour la plupart des expériences de fiabilité, l'objectif est de comprendre

l'effet d'un facteur sur la réponse (généralement la durée de vie du produit), et l'analyse de la puissance est donc très utile pour quantifier cet effet. Cela contraste avec les applications de contrôle de la qualité qui se concentrent sur la précision [111]. L'utilisation de l'analyse de la puissance statistique est toutefois difficile pour les essais de fiabilité, car les données sur la durée de vie sont généralement distribuées selon la loi de Weibull ou la loi log-normale, alors que les études sur l'analyse de la puissance statistique existent pour les données normalement distribuées [147].

Tous les exemples mentionnés précédemment ne tirent pas encore pleinement parti de la manière dont les méthodes de DoE pourraient contribuer à l'optimisation des plans d'essais accélérés, de manière à ce qu'ils soient efficacement planifiés pour optimiser les ressources tout en ciblant les mécanismes de défaillance pertinents pour une application spécifique. Le reste de cette section mettra en évidence certaines applications plus utiles de DoE à la planification des essais accélérés en présentant tout d'abord l'une des méthodes statistiques de DoE largement appliquée, bien que controversée, dans divers domaines, à savoir les méthodes de Taguchi. La principale application de la méthodologie Taguchi consiste à rendre un produit ou un processus robuste aux facteurs de bruit en trouvant les configurations optimales des facteurs de contrôle et des facteurs de qualité dominants. Ces méthodes peuvent être exploitées dans des contextes d'essais accélérés. Par exemple, les méthodes de conception robuste de Taguchi ont été appliquées précédemment à un système de tubes d'évaporateur lors de l'exécution d'essais en conditions réelles afin de définir les niveaux des paramètres de contrôle [148]. De manière plus globale, en utilisant l'approche du plan produit de Taguchi, on peut définir des plans d'expériences en utilisant la fiabilité comme réponse et en définissant des facteurs de design, tels que le processus de fabrication et les caractéristiques technologiques, comme un plan intérieur de facteurs contrôlables et en définissant des facteurs de stress environnementaux comme un plan extérieur de facteurs incontrôlables, comme montré dans la Table 2.4. Un exemple intéressant de cette approche est appliqué à l'avionique afin d'améliorer l'intégrité du produit [149]. Bien que dans cet exemple cette approche soit utilisée uniquement pour identifier les niveaux des facteurs de conception du produit qui permettent une fiabilité maximale dans tous les environnements d'exploitation, elle fournit un point de départ pour une extension potentielle aux essais accélérés. Condra [150] a tenté de le faire pour les condensateurs montés en surface (Composant Monté en Surface, CMS) dans son livre, bien qu'il s'agisse d'une approche générale. Les résultats de cet exemple ont été utilisés pour choisir les facteurs de conception de produit optimaux pour les facteurs du plan intérieur et pour prédire le temps moyen avant défaillance dans les conditions de fonctionnement des condensateurs CMS. Le même ouvrage, qui fait figure de pionnier en la matière, contient d'autres exemples d'amélioration de la fiabilité à l'aide des plans d'expériences.

Ces applications des approches DoE sur les essais de durée de vie accélérés pourraient

être encore améliorées en prenant en compte la physique de la défaillance des produits et en incorporant l'AMDEC ou la FMMEA. Su et al [151] ont proposé une méthodologie en trois étapes pour améliorer la fiabilité d'un écran à papier électronique (Electronic Paper Display, EPD) en utilisant l'AMDEC et les méthodes de Taguchi. Premièrement, la fonction idéale qui relie la fiabilité du produit à son signal d'entrée est dérivée de l'essai accéléré. Deuxièmement, les paramètres critiques affectant la fiabilité du produit sont définis à l'aide de l'AMDEC. Troisièmement, les méthodes Taguchi (méthode d'analyse du signal/bruit) sont appliquées pour trouver les combinaisons optimales de ces paramètres critiques qui garantissent la fonction optimale définie lors de la première étape. Toutefois, cette méthodologie est surtout adaptée à l'amélioration de la fiabilité au cours de la phase de développement d'un produit et se limite aux produits dont la conception est prédéfinie et qui ont fait l'objet d'une analyse préalable. Elle ne permet pas la généralisation dans le contexte de l'amélioration de la fiabilité en fonction de n'importe quel type de facteurs de contrôle. Par exemple, elle ne peut pas être appliquée directement pour modéliser efficacement la fiabilité d'une famille de composants électroniques.

2.6 Conclusion

Ce chapitre a présenté une revue approfondie de la littérature sur les plans d'expériences, les essais de durée de vie accélérés, ainsi que les normes et guides de fiabilité prévisionnelle appliqués à la qualification des composants électroniques. En particulier, l'accent a été mis sur les lacunes existantes et le besoin d'une méthodologie de qualification plus adaptée aux spécificités des dispositifs médicaux implantables actifs (DMIA). Ce travail se concentre sur l'amélioration de la qualification des composants pour les DMIA en tenant compte des défis posés par la miniaturisation et les avancées technologiques, en mettant en lumière les insuffisances des approches actuelles et en proposant des solutions pour les surmonter. Nous avons commencé dans ce chapitre par une section qui introduit les concepts et le vocabulaire de base des plans d'expériences. Les plans simples de Taguchi ont été expliqués et il a été démontré comment il est possible de réduire le nombre de combinaisons de facteurs donnés et d'optimiser les ressources grâce à cela. D'autres propriétés des plans d'expériences, telles que l'orthogonalité, la randomisation, le blocage, la réplication ont été expliquées. Ces propriétés intrinsèques sont importantes à respecter car elles permettent une analyse objective et efficace de la réponse du composant. En plus des plans de Taguchi, il a été démontré que le critère d'optimalité, tel que l'optimalité D, peut être utilisé pour optimiser les plans d'expériences en minimisant la variance généralisée des estimateurs des paramètres du modèle de réponse. Ceci est complété par d'autres concepts utiles pour comprendre l'application de DOE sur les essais accélérés. Avant de passer à ces applications, il était nécessaire d'expliquer d'abord les essais accélérés. Dans la deuxième section de ce chapitre, nous avons expliqué le principe de

l'accélération de la défaillance à travers des modèles mathématiques et une explication de comment ceux-ci sont liés aux contraintes environnementales auxquelles les composants électroniques dans les DMIAs peuvent être soumis. Cette section a également expliqué comment, en comprenant la physique de la défaillance et en analysant la FMMEA, il est possible d'identifier les contraintes environnementales qui influencent la fiabilité des composants et peuvent être utilisées dans les essais accélérés. Cela a été suivi d'une revue de la littérature des différents modèles d'accélération généralement utilisés, en fonction du type de modèle de réponse, qu'il soit paramétrique, basé sur des statistiques, ou sur la physique expérimentale, etc. Il a été conclu que les essais accélérés avec plusieurs facteurs de stress sont plus appropriés pour déterminer la fiabilité des composants électroniques pour les DMIAs, surtout puisqu'ils sont plus proches de la réalité que les essais accélérés avec seulement deux facteurs de stress ou moins. Cependant, avec plusieurs contraintes, la complexité des essais et le nombre de ressources augmentent, et pour cela, le plan de l'hypercube latin (LHD) peut être utilisé. Ensuite, des exemples d'application de DOE sur les essais accélérés ont été présentés, avec un accent particulier sur le plan de produit Taguchi.

Enfin, la dernière section donne un aperçu des normes utilisées pour qualifier les composants tels que JEDEC qui sont largement utilisées pour les applications automobiles ainsi que MIL-STD-XXX utilisées à des fins militaires. Cependant, ces normes, bien qu'adaptés aux domaines automobile, militaire, aéronautique et spatial, ne répondent pas aux exigences spécifiques des DMIAs qui bénéficient d'avancées technologiques significatives notamment dû au besoin de miniaturisation. En se basant sur les normes de procédures de test et sur la littérature, il s'agit de fournir une méthodologie de qualification qui permet d'identifier les essais les plus pertinents au profil de mission des DMIAs parmi les essais des normes industriels déjà existantes.

Les guides de fiabilité prévisionnelle dont FIDES et MIL-HDBK-217 bien qu'ils soient limités en termes d'adéquation aux environnements des DMIAs et à la miniaturisation des composants électroniques, peuvent donner des informations préliminaires sur la fiabilité des composants. Toutefois, ils sont principalement basés sur des données automobiles, militaires, aéronautiques et spatiales, et nécessitent dans certains cas une amélioration pour s'adapter au profil de mission des DMIAs.

Une des méthodes principales identifiées pour réaliser ces améliorations est l'application des méthodes DoE aux essais accélérés. En effet, cette méthode entre autres permet de mieux recenser les essais à effectuer en intégrant à la fois les facteurs environnementaux et les facteurs de conception vis-à-vis de l'objectif de qualification.

Bien qu'il existe plusieurs façons d'utiliser les méthodes DoE pour les essais accélérés, les ressources documentaires sont encore introductives et ne fournissent pas de détails mathématiques détaillés sur l'application des outils d'analyse statistique liés à ces méthodes, au-delà de leur simple utilisation pour structurer et organiser les essais. En outre, dans de

nombreux exemples, les facteurs de conception des plans d'expériences sont les contraintes environnementales auxquelles les composants électroniques sont soumis, et la conception expérimentale ne permet pas de quantifier l'influence des paramètres technologiques. En fait, les méthodes de DoE sont soit :

1. Utilisées pour définir les combinaisons de facteurs environnementaux des essais accélérés sans tenir compte des facteurs de conception de produit (facteurs de design).
2. Appliquées pour évaluer la fiabilité en évaluant simultanément les niveaux des facteurs de design et environnementaux dans des conditions de fonctionnement sans accélération.
3. Utilisées pour évaluer la fiabilité du produit par rapport à ses facteurs de design tout en prédisant la durée de vie sans étudier l'impact de ces facteurs de design.
4. Appliquées aux essais accélérés sur la base de la physique de la défaillance, mais dans le but de trouver des paramètres de design optimaux dans le contexte de la conception pour la fiabilité ou la robustesse.

Il manque encore un cadre global pour fournir un modèle de fiabilité qui intègre les facteurs de design et d'environnement tels que FIDES. L'utilisation d'une approche FMMEA peut réduire le nombre d'essais nécessaires induits par une matrice de DoE du composant. Néanmoins, en raison du contraste entre les deux approches, il est essentiel de les associer méticuleusement à toutes les étapes de la méthodologie pour obtenir un plan d'essais accélérés efficace qui soit plus cohérent avec les progrès technologiques rapides de l'électronique. Les orientations prometteuses pour la planification des essais accélérés sur la base de la DoE et de la FMMEA pourraient être les suivantes :

- Analyser la FMMEA pour associer les facteurs de stress aux facteurs de conception qui y sont les plus vulnérables par le biais des mécanismes de défaillance concernés.
- Exploiter le plan de produits Taguchi pour les facteurs de conception par rapport aux facteurs de stress environnementaux des essais accélérés choisis sur la base de l'AMDE.
- Utilisation de méthodes bayésiennes pour incorporer les informations de la FMMEA afin d'améliorer la conception des plan d'expériences de fiabilité.

Les méthodes examinées précédemment seront intégrées dans une nouvelle méthodologie de qualification des composants électroniques.

Les contributions de ce chapitre ont été publiées dans la revue "Quality and Reliability Engineering International" : Indmeskine, F-E., Saintis, L., Kobi, A. 2023. 'Review on Accelerated Life Testing Plan to Develop Predictive Reliability Models for Electronic Components Based on Design-of-Experiments'. Quality and Reliability Engineering International 39 (6) : 2594–2607. <https://doi.org/10.1002/qre.3330>.

**MÉTHODOLOGIE DE DÉFINITION DES
ESSAIS DE QUALIFICATION DES
COMPOSANTS ÉLECTRONIQUES POUR
LES DMIA**

Points essentiels

- Ce chapitre présente la méthodologie de définition des essais de durée de vie accélérés pour qualifier un composant électronique donné en fonction du profil de mission des DMIA, basée sur la conception des plans d'expériences, et sur les objectifs de qualification guidés par la FMMEA (Failure Mechanisms, Modes & Effects Analysis).
- Deux méthodes de qualification sont proposées en fonction du composant vis-à-vis du profil de mission des DMIA : 1) une qui vise à discerner les défauts de qualité latents. 2) une qui vise à démontrer la fiabilité des composants électroniques.
- Le choix de la méthode à appliquer se fait après une analyse approfondie des mécanismes de défaillance via une FMMEA et une brève révision des guides de fiabilité prévisionnelle existants. Ceci est complété par les normes industrielles typiques sur la qualification des composants électroniques (comme celle de l'automobile AEC-Q200), les essais de durée de vie accélérés sont définis en conséquence.
- Les plans d'expériences factoriels de Taguchi sont croisés avec des essais de durée de vie accélérés sous forme de plan produit pour tenir compte de l'impact des facteurs technologiques.
- Les circuits intégrés ont été choisis comme un exemple pour déterminer la taille de l'échantillon nécessaire à la démonstration d'un certain niveau de fiabilité.
- Les chips résistifs, principalement concernés par les défauts de qualité latents, ont été utilisés pour illustrer la première méthode de qualification. Trois types d'essais de durée de vie accélérés ont été définis pour observer ces défauts : cyclage thermique avec des périodes d'humidité et de mise en tension, surcharge électrique, et surcharge de puissance par impulsions.
- Les inductances bobinées CMS ont servi d'exemple pour l'application de la définition d'un essai accéléré de vibration visant à démontrer un certain niveau de fiabilité.
- Les condensateurs céramiques multicouches CMS ont été pris comme exemple de composants pour lesquels on cherche à démontrer la fiabilité à long terme. Des essais accélérés ont été définis pour ces composants afin d'estimer les paramètres d'un modèle de fiabilité prévisionnelle, ce qui permettra de définir des essais de durée de vie accélérés pour démontrer un certain niveau de fiabilité.

3.1 Introduction

Comme expliqué dans les chapitres précédents, il y a une recherche croissante dans l'application des DMIA, et bien qu'il existe diverses méthodologies pour l'évaluation de la robustesse et la qualification de la fiabilité des composants électroniques dans différents domaines, il y a encore un manque d'application de ces méthodologies dans le domaine médical.

Les tests de qualification, dans le contexte de ce chapitre, sont les tests à effectuer sur un composant électronique pendant sa phase de déploiement sur le terrain [91, p.4]. Cela signifie qu'ils sont effectués après que le composant a été fabriqué, a passé le contrôle de qualité. Ces tests sont effectués pour identifier et évaluer les défaillances potentielles qui pourraient survenir lors de l'utilisation d'un composant, en accélérant les défaillances liées aux défauts de qualité ou aux défaillances intrinsèques spécifiques à l'application du dispositif final qui n'étaient pas couvertes par les tests préliminaires. Cela implique que nous ne prenons pas en compte les tests de qualification standards définis par les normes existantes et discutés dans les chapitres précédents et qui ne sont pas suffisants pour les DMIA.

Dans ce chapitre, on fournit une nouvelle méthodologie de qualification pour les composants électroniques pour les DMIA basée sur différents aspects expliqués précédemment : plan d'expériences, FMMEA, physique de la défaillance, et essais de durée de vie accélérés. Cette méthodologie est une suite des étapes qui permettent d'assurer un fonctionnement fiable du composant vis-à-vis du profil de mission des DMIA et de l'objectif associé. Elle permet particulièrement une standardisation de la qualification dans le contexte des DMIA et permet une adaptation aux composants à travers la FMMEA, ainsi qu'aux DMIA spécifiques à travers le profil de mission. Certains composants seront utilisés comme exemples d'application de la méthodologie. Cependant, il est important de garder à l'esprit que l'objectif n'est pas de qualifier les composants choisis dans cette étude en eux-mêmes, mais de fournir un cadre général pour appliquer la méthodologie en fonction des exigences spécifiques d'un dispositif final donné. Les exemples ne servent donc qu'à expliquer davantage la méthodologie de manière pratique. En outre, les paramètres des lois d'accélération utilisées doivent être dimensionnés pour chaque technologie de composant, voire pour chaque critère de défaillance. Ce critère devrait dépendre non seulement des composants individuels, mais de leur utilisation dans les circuits du DMIA.

Le verrou scientifique clé de ces travaux de recherche est comment définir des tests de durée de vie accélérés pour qualifier un composant électronique donné en fonction du profil de mission des DMIA, des principes des plans d'expériences, et des objectifs de la qualification guidés par la FMMEA.

Dans ce chapitre, on donnera d'abord un aperçu de la méthodologie proposée, qui dépend de l'objectif du test, guidé par la FMMEA : observer des défauts ou démontrer

un niveau de fiabilité vis-à-vis d'un profil de mission. Pour illustrer et développer la mise en application, quatre exemples sont donnés pour différentes familles de composants électroniques : 1) Les circuits intégrés, en se concentrant sur un plan d'échantillonnage par rapport à un certain niveau de fiabilité et un nombre acceptable de défaillances. 2) Les chips résistifs, où l'objectif est de définir des essais qui permettent d'observer des défauts. 3) Les inductances bobinées CMS, en se concentrant sur la définition de essais vibratoires qui démontrent un certain niveau de fiabilité. 4) Les condensateurs céramiques multicouches CMS, où les essais sont définis pour observer la dégradation et estimer un modèle de fiabilité basé sur celle-ci.

3.2 Méthodologie de qualification

Dans le Chapitre 2, nous avons identifié les verrous scientifiques concernant la qualification des composants électroniques. Plus précisément :

- le manque d'application de la méthodologie de validation de robustesse ZVEI (cf. Section 2.4.1) au profil de mission des DMIAs,
- le manque d'exploitation de la FMMEA (communément utilisée dans le contexte de la gestion des risques) pour la conception des plans d'expériences avec un nombre d'expériences réduit et des facteurs de design (technologiques) pertinents influençant la fiabilité (en plus des facteurs de stress),
- l'absence d'une combinaison des méthodes d'essais de durée de vie accélérés et de plan d'expériences pour une qualification plus adaptative des composants électroniques.

L'objectif de cette section est donc d'expliquer la méthodologie proposée pour remédier à ces lacunes.

Les objectifs de fiabilité de l'industrie des composants électroniques sont généralement définis par rapport à une courbe "baignoire" classique qui montre le taux de défaillance des composants en fonction du temps, comme le montre la Figure 3.1. La courbe se compose de trois périodes :

1. **La période de défaillance précoce/jeunesse** marquée par des défaillances dues à des problèmes de qualité, souvent liés à des défauts de fabrication des composants. Ces défaillances sont détectées grâce à des tests de déverminage et des tests de qualification réalisés sur des échantillons des lots de production. Elles sont caractérisées par un taux de défaillance décroissant.
2. **La période de vie utile** où les défaillances se produisent aléatoirement et principalement causées par des stress environnementaux (par exemple, des variations

de température ou d'humidité). Elles sont caractérisées par un taux de défaillance relativement faible et constant.

3. **La période de défaillance par vieillissement** qui correspond à l'usure naturelle des composants due aux limites intrinsèques des matériaux et des processus de fabrication. Les défaillances deviennent de plus en plus fréquentes, avec un taux de défaillance croissant, à mesure que le produit s'approche progressivement à la fin de sa durée de vie prévue.

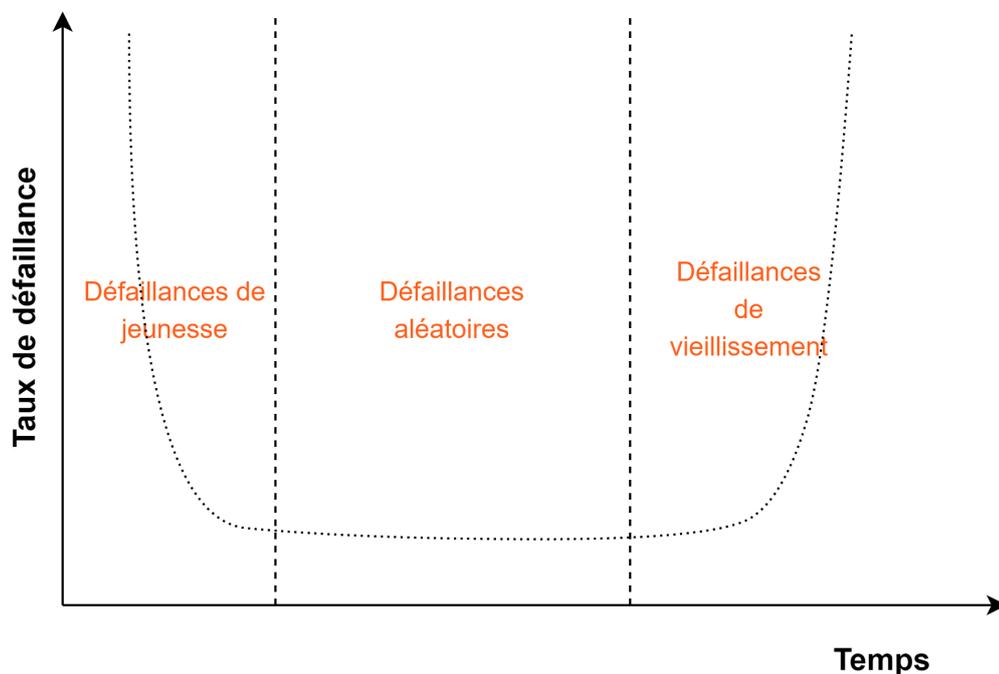


FIGURE 3.1 – Courbe "baignoire" de l'évolution typique du taux de défaillance des composants électroniques.

La méthodologie proposée et qui est décrite ci-dessous est une approche basée sur la connaissance : a) du profil de mission du composant électronique (y compris dans le dispositif final), b) des mécanismes et des modes de défaillance potentiellement provoqués par les conditions environnementales de ce profil de mission, c) des lois d'accélération qui gouvernent la physique de la défaillance du composant, d) de la pertinence des facteurs technologique associés au profil de mission, e) et du niveau de fiabilité intrinsèque issue des retours d'expérience et des guides de fiabilité prévisionnelle du composant pour orienter l'implémentation des essais accélérés vers une observation de défaut ou de dégradation. Chaque point est détaillé sous forme de sous-sections ci-dessous. La méthodologie générale proposée dans le cadre de ce travail de recherche est schématisée dans la Figure 3.2.

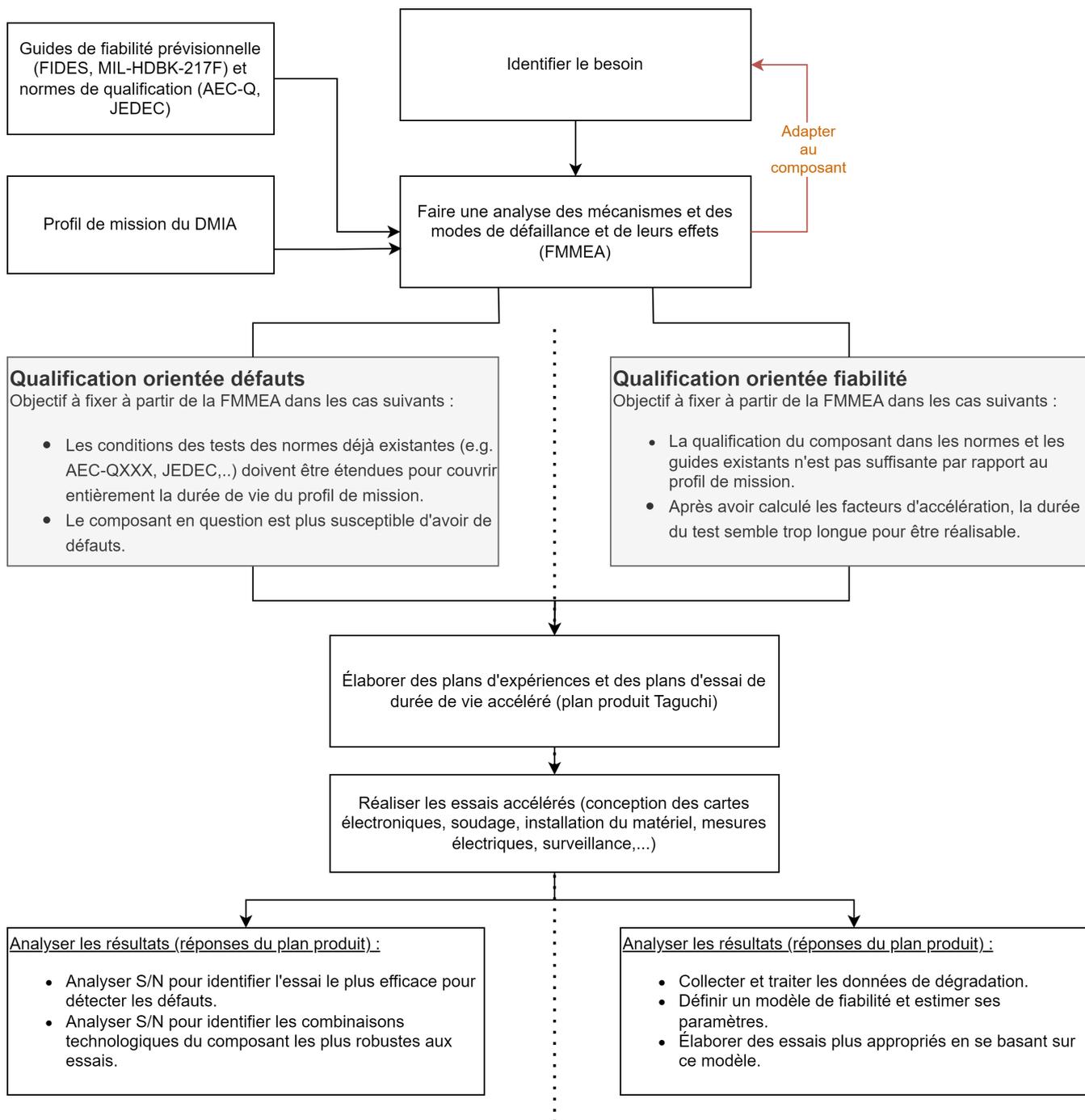


FIGURE 3.2 – Méthodologie générale proposée pour la qualification des composants électroniques pour les DMIA.

3.2.1 Profil de mission

Avant de qualifier un composant électronique, il est évidemment important de bien comprendre l'environnement dans lequel il sera utilisé. En effet, en connaissant l'environnement prévu, le planificateur des essais de fiabilité pourra effectuer un dimensionnement des essais en fonction de la fiabilité à démontrer en se basant sur le profil de mission.

Le profil de mission est une représentation de toutes les conditions pertinentes aux-

quelles le composant électronique sera exposé dans son application cible, tout au long de son cycle de vie [124]. Pour générer un profil de mission, il est nécessaire de prendre en compte les contraintes environnementales, y compris les facteurs thermiques, mécaniques, de rayonnement, de poussière, d'humidité, chimiques et électromagnétiques. En outre, il est important de prendre en compte les différentes phases du cycle de vie du composant, telles que la stérilisation, le revêtement, le stockage et le transport, comme c'est le cas pour les DMIA.

Le Chapitre 1 a permis une revue générale des contraintes environnementales auxquelles les DMIA sont exposés au cours des différentes phases de leur profil de mission. Sur la base de ces informations, un organigramme illustrant le profil de mission des DMIA doit être élaboré, comme le montre la Figure ?? du Chapitre 1.

3.2.2 Physique de la défaillance

Une fois que le profil de mission du composant a été défini, il est important d'étudier la physique de la défaillance dans le contexte physique de ce profil de mission. Les principes de la physique de la défaillance (expliqués au Chapitre 2) peuvent aider à analyser comment la défaillance peut se produire dans différentes conditions environnementales.

L'étude de la physique de la défaillance est particulièrement utile pour définir les plans d'expériences et les essais de durée de vie accélérée. Cela peut être fait de différentes manières en fonction de l'objectif. Dans le cas où l'objectif est de définir un essai accéléré, les modèles mathématiques établis au fil des années décrivent la relation entre les facteurs environnementaux, tels que la température, l'humidité relative et les contraintes mécaniques, et les mécanismes de la défaillance. Ces modèles décrivent les processus physiques qui se produisent lors d'une défaillance et/ou ceux qui la provoquent. La projection de ces informations sur le profil de mission par une FMMEA permet d'identifier les facteurs de stress pertinents sur lesquels se concentrer pour étudier la fiabilité du composant, ainsi que les types des essais de durée de vie accélérés à mettre en œuvre pour observer les défaillances pertinentes. Dans le cas où l'objectif est de définir un plan d'expériences, la compréhension de la physique de la défaillance permet d'identifier et d'étudier les facteurs propres au composant qui contribuent à la défaillance, tels que le matériau, la taille ou la technologie du composant. Ces informations sont utilisées pour établir un plan d'expériences qui permet de mieux comprendre leurs effets sur la fiabilité du composant.

En s'appuyant sur une revue de la littérature et l'expertise industrielle, la FMMEA pour un composant électronique donné, comme schématisé à la Figure 3.3, commence par l'identification des modes et des mécanismes de défaillance potentiels. On identifie ensuite les facteurs environnementaux qui les provoquent. Les mécanismes de défaillance sont ensuite filtrés en fonction du profil de mission des DMIA pour ne sélectionner que les plus pertinents. Les facteurs environnementaux sont les facteurs d'accélération qui se-

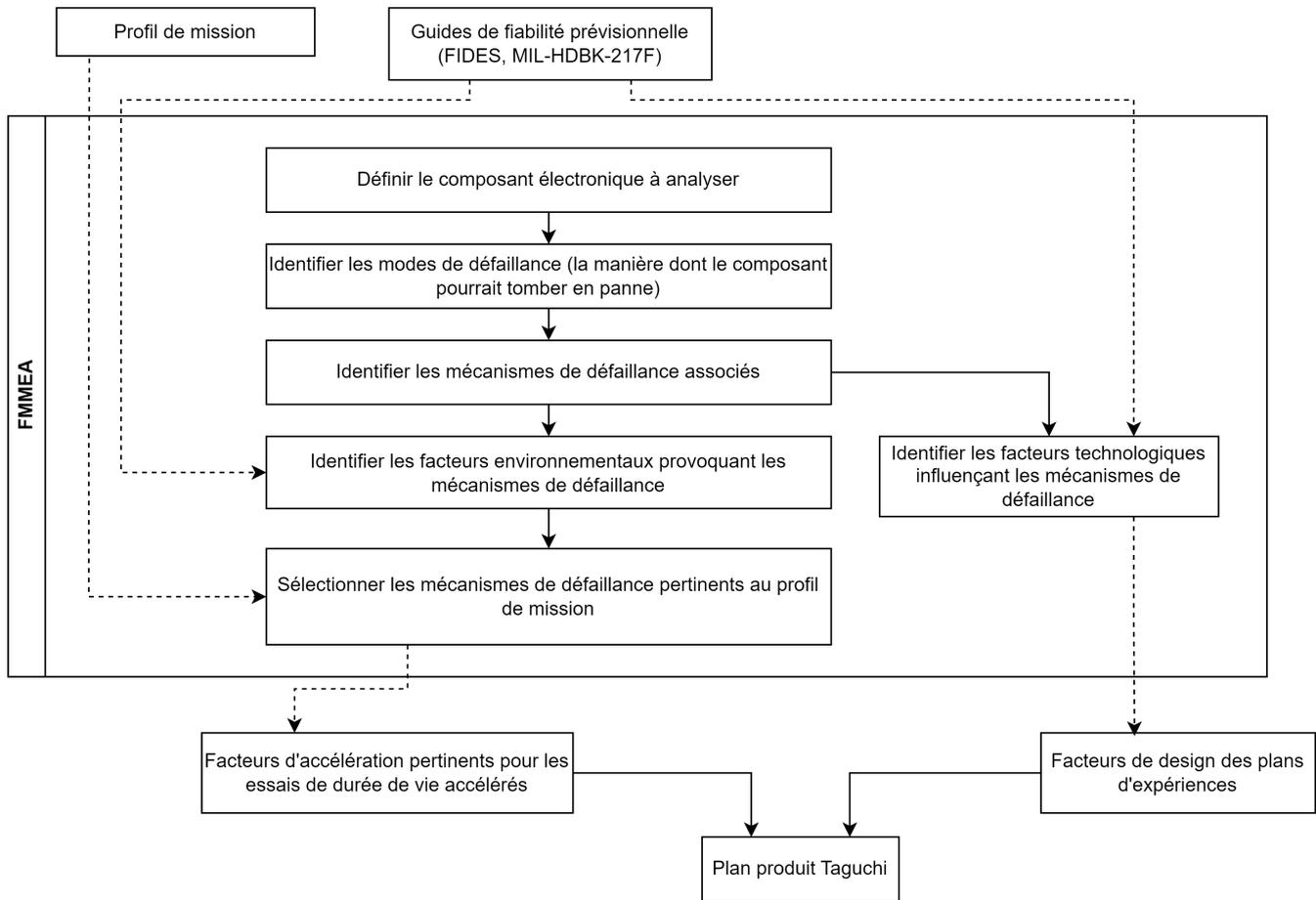


FIGURE 3.3 – Focalisation sur la FMMEA dans le cadre de la méthodologie globale proposée.

ront utilisés pour définir des essais de durée de vie accélérés. Les facteurs technologiques de design sont également identifiés en étudiant comment les mécanismes de défaillance peuvent différer pour différents facteurs (par exemple, comment les mécanismes de défaillance diffèrent d'une taille de composant à une autre). Ces facteurs de conception sont ensuite utilisés pour concevoir un plan d'expériences.

Il est important de noter que dans le cadre de la méthodologie proposée dans ce travail de thèse, les essais accélérés et les plans d'expériences seront tous deux définis puis croisés sous la forme d'un plan produit Taguchi comme expliqué au Chapitre 2.

3.2.3 Essais de durée de vie accélérés

L'objectif de l'essai de durée de vie accéléré est d'observer les défaillances correspondant au profil de mission du composant afin de le qualifier pour ce profil. Par conséquent, les facteurs environnementaux identifiés servent comme point de départ pour définir le profil de l'essai accéléré. Ces facteurs, ainsi que les processus physiques impliqués dans la défaillance, indiquent les stress ou les combinaisons de stress à appliquer au composant pendant l'essai pour provoquer les défaillances. La FMMEA permet d'indiquer si le méca-

nisme de défaillance d'un composant est lié à un défaut qualité ou à une dégradation selon son profil de mission. Ces informations sont utilisées pour définir les procédures d'essai appropriées, dépendamment de l'objectif.

Typologie d'essai accéléré : orienté défauts

Les défauts se manifestent normalement au début de la vie utile d'un composant électronique et se caractérisent par un taux de défaillance décroissant (*voir l'annexe A1 pour les détails mathématiques sur le taux de défaillance*). Les défauts sont classés en deux catégories : a) les défauts de qualité qui peuvent être détectés par une inspection classique de contrôle de qualité, b) les défauts latents qui ne sont pas facilement perceptibles et qui nécessitent de soumettre le composant à des contraintes [152]. La méthodologie présentée se concentre sur cette dernière catégorie de défauts.

En définissant un essai accéléré qui cible spécifiquement la détection des défauts, les durées d'essai peuvent être plus courtes, les contraintes peuvent être plus élevées et les mesures des paramètres électriques ne sont pas forcément aussi fréquentes.

Typologie d'essai accéléré : orienté dégradation ou vieillissement

Les défaillances dues au vieillissement se produisent généralement vers la fin de la durée de vie d'un composant électronique et se caractérisent par un taux de défaillance croissant.

Les essais accélérés qui visent à induire une dégradation sont caractérisés par des contraintes relativement plus faibles, des durées plus longues et des mesures plus fréquentes des paramètres électriques. Les pseudo-durées de vie sont extrapolées en identifiant le temps où le paramètre de dégradation atteint un seuil de défaillance prédéfini. Ces essais accélérés fournissent des données supplémentaires sur les défaillances grâce à l'extrapolation. Néanmoins, cet avantage n'est valide que lorsque l'on dispose de modèles de dégradation appropriés pour les mécanismes de défaillance concernés [90].

Typologie d'essai accéléré : orienté probabilité de défaillance

À part les défauts qualité et les défaillances liées à la dégradation, des défaillances aléatoires peuvent survenir pendant la durée de vie utile du composant électronique. Ces défaillances sont caractérisées par un taux de défaillance constant. Pour ce type de défaillances, la définition des essais de durée de vie accélérés se concentrera sur la démonstration d'une certaine valeur de probabilité de défaillance..

Statistiques d'essai accéléré : taille d'échantillon

Pour réaliser un essai de durée de vie accéléré, il est important de définir non seulement le type d'essai et les niveaux de facteurs environnementaux, mais aussi les paramètres

statistiques tels que la taille de l'échantillon et le pourcentage acceptable de composants défectueux. Il est crucial de définir une taille d'échantillon statistiquement significative pour éviter de tester un grand nombre de composants tout en assurant la détection des défaillances et l'atteinte du niveau de fiabilité souhaité. Le plan d'échantillonnage n'est pas directement lié au processus d'accélération. Il dépend plutôt de la fraction de défaillance acceptable, qui varie en fonction du contexte de l'essai de durée de vie accéléré. Bien que nous nous concentrons sur les essais accélérés dans cette section car c'est notre objectif, les calculs pour déterminer la taille de l'échantillon ne sont pas spécifiques à ces essais.

La distribution binomiale est un modèle statistique approprié pour le nombre des défaillances, car chaque mesure ne peut aboutir qu'à l'un des deux résultats suivants : soit le composant est défectueux ("défectueux"), soit il ne l'est pas.

Concrètement, si l'on tire un échantillon aléatoire de taille N d'une grande population de composants avec une fraction défectueuse F , alors la probabilité de trouver d composants défectueux dans l'échantillon est donnée par la probabilité binomiale $B(d; N, F)$:

$$B(d; N, F) = \frac{N!}{d!(N-d)!} (F)^d (1-F)^{N-d} \quad (3.1)$$

Si $B(d=0; N, F)$ est la probabilité binomiale d'obtenir zéro défaillances dans N , alors la probabilité P d'obtenir au moins une défaillance est :

$$P = 1 - B(d=0; N, F) = 1 - (1-F)^N \quad (3.2)$$

En contrôle de qualité, un échantillon représentatif de taille N est prélevé au hasard dans une population de composants qui doivent être inspectés pour leur qualité. Ces échantillons subissent des tests pour déterminer si la population est acceptable ou non. La question est généralement la suivante : quelle devrait être la taille de N pour garantir que la fraction F de composants défectueux est inférieure ou égale à une certaine valeur à un niveau de confiance spécifié. Cela peut être déterminé à partir de l'équation 3.2 :

$$N = \frac{\ln(1-P)}{\ln(1-F)} \quad (3.3)$$

Cela signifie que si un échantillon de N composants a subi un test et a révélé un nombre de défaillances non nul, on peut affirmer avec un niveau de confiance de $100P$ % que la fraction de défaillance du lot est pire que F .

De même, N peut être déduit pour différents nombres souhaités de défaillances d et pour différentes fractions F en résolvant l'équation 3.1. Ce plan d'échantillonnage est appelé *Lot Tolerance Percent Defective (LTPD)*, et la Table 3.1 fournit différents plans d'échantillonnage basés sur les normes Mil-S-19500 et Mil-M-38510.

TABLE 3.1 – Exemples des plans d'échantillonnage tels qu'illustrés dans les normes Mil-S-19500 et Mil-M-38510.

Max % de défaillances (F)	20%	15%	10%	7%	5%	3%	2%	1,5%	1%	0,7%	0,5%
Nombre de défaillances acceptées (d)	La taille d'échantillon minimale nécessaire (N)										
0	11	15	22	32	45	76	116	153	231	328	461
1	18	25	38	55	77	129	195	258	390	555	778
2	25	34	52	75	105	176	266	354	533	759	1056
3	32	43	65	94	132	221	333	444	668	953	1337
4	38	52	78	113	158	265	398	531	798	1140	1599
5	45	60	91	131	184	308	462	617	927	1323	1855

Critère de défaillance

Les critères de défaillance dépendent de chaque combinaison de facteurs technologiques au sein de chaque famille de composants électroniques. Ils sont généralement fournis par les fabricants par le biais d'un consensus industriel ou de normes. Les critères sont généralement un pourcentage de la dérive soudaine (*hard failure*) ou graduelle (*soft failure*), des paramètres électriques caractéristiques du composant par rapport à leurs valeurs originales, mais ils peuvent aussi être une observation optique d'un défaut, indiquant une dérive potentielle de la valeur dans le futur.

3.3 Définition d'un plan d'échantillonnage : Exemple des circuits intégrés

Cette section applique la méthodologie dans le but de dimensionner des essais en utilisant le guide de fiabilité prévisionnelle FIDES, afin de démontrer un niveau de fiabilité souhaité, en particulier pour définir un plan d'échantillonnage pour les Circuits Intégrés (CIs) comme cas d'application.

iNEMI identifie les CIs comme l'un des composants électroniques les plus problématiques dans les dispositifs médicaux, en particulier les semi-conducteurs personnalisés et les CIs analogiques et mixtes. Ceci est cohérent puisque les CIs sont plus compliqués et intègrent de multiples fonctionnalités. De plus, l'avancement technologique concernant les CIs est très rapide avec une tendance croissante vers la miniaturisation et des fonctionnalités plus complexes, rendant la qualification plus difficile.

Étant donné le large domaine des CIs et la disponibilité de nombreuses normes qui se concentrent sur la qualification des CIs, il est plus efficace de concentrer notre application sur les familles spécifiques de CIs qui sont couramment utilisés dans les DMIA et les plus problématiques d'entre eux. Par conséquent, une étude bibliographique sur l'architecture électronique des DMIA a été réalisée en premier lieu.

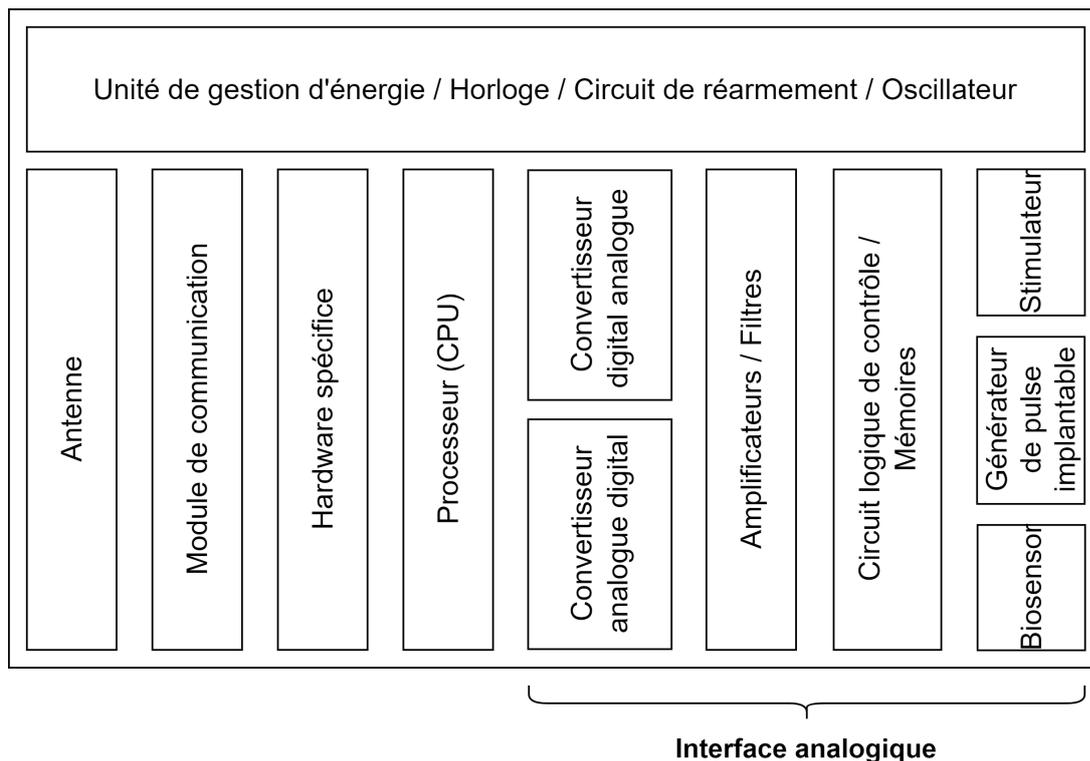


FIGURE 3.4 – Architecture générale et les modules fonctionnels d’un DMIA [153].

3.3.1 Les circuits intégrés dans les DMIAs

L’architecture d’un DMIA typique, comme illustré à la Figure 3.4, est divisée suivant les fonctions :

Interface analogique : c’est la partie qui interagit directement avec le corps ou le lieu d’intérêt. Elle peut être utilisée pour la détection ou la stimulation, et nécessite souvent des tensions élevées pour les deux fonctions [154]. Les signaux biomédicaux sont caractérisés par de petites amplitudes et une dynamique lente avec des informations utiles à des fréquences inférieures à 1 Hz . Par exemple, l’amplitude des potentiels d’action extracellulaires induits à l’électrode d’enregistrement dans un dispositif d’enregistrement neuronal n’est généralement pas plus de quelques $100\ \mu\text{V}$ [155]. Par conséquent, un amplificateur à faible bruit est généralement requis au premier stade du système d’enregistrement. À l’inverse, des amplificateurs (jouant le rôle des atténuateurs dans ce cas) sont nécessaires pour réduire l’amplitude des signaux des générateurs d’impulsions dans le cas de la stimulation. Ce bloc contient généralement, en plus des amplificateurs, des filtres et des générateurs d’impulsions, des multiplexeurs, des convertisseurs analogiques-numériques et des convertisseurs numériques-analogiques [153].

Microprocesseur (CPU) : contient les circuits numériques qui analysent et traitent le signal acquis par l’interface analogique et contrôlent les différentes fonctions. Par exemple, pour communiquer des informations sur la pression artérielle. En raison des faibles signaux bio, la fréquence d’horloge du microprocesseur est généralement dans la plage de 10 à 100

kHz [153].

Communication : c'est le bloc qui transmet les données traitées par le microprocesseur à l'extérieur (interface homme-machine).

Stockage de mémoire : ce bloc est utilisé pour stocker des données historiques provenant de différents événements liés à la pathologie du patient. Par exemple, les stimulateurs cardiaques et les défibrillateurs cardioverters implantables stockent les signaux d'électrocardiographie (les signaux permettant une surveillance du bon fonctionnement du cœur du patient) lorsque l'appareil applique une stimulation. La mémoire RAM d'un stimulateur cardiaque varie généralement de 2 ko à 36 ko, et de 128 ko à 1024 ko pour les défibrillateurs cardioverters implantables [156], dont 70 % est consacré au stockage des signaux d'électrocardiographie. Cela implique que les mécanismes de sécurité doivent consommer le moins de mémoire possible. Les problèmes de fiabilité peuvent être liés à des défauts lors de la fabrication qui peuvent généralement apparaître pendant la période de défaillance précoce. Des stratégies peuvent être adoptées pour lutter contre les défaillances liées à la fabrication. D'autre part, les dommages environnementaux sont largement liés à l'encapsulation. Au niveau de la puce, les radiations nucléaires, telles que les rayons gamma et les particules alpha, qui pourraient potentiellement provenir des matériaux d'assemblage comme la brasure Pb-Sn, interagissent avec les cellules de mémoire entraînant l'ionisation des atomes, ce qui entraîne l'apparition d'erreurs logicielles localisées (*soft errors*) [32]. La plupart de ces problèmes concernent les familles des CIs : SRAM, DRAM et EEPROM.

Gestion de l'énergie : la batterie est l'un des principaux facteurs limitant la miniaturisation des DMIA. Par conséquent, concevoir l'unité de gestion de l'énergie sans batterie est une exigence critique pour les DMIA. La gestion de l'énergie en général peut avoir un impact sur la fiabilité des CIs, une mauvaise gestion peut entraîner des impulsions de tension et des défaillances liées à l'énergie. Les familles des CIs qui sont généralement utilisées dans le bloc de gestion de l'énergie comprennent : les alimentations à découpage (*Switch Mode Power Supply*, SMPS), les convertisseurs DC-DC et les régulations de tension. Contrairement au régulateur linéaire, une alimentation à découpage régule la tension ou le courant de sortie par des actions de commutation.

3.3.2 Résultats de la FMMEA des circuits intégrés

La physique de la défaillance des CIs a été étudiée et documentée pendant des années. Les défaillances des CIs peuvent généralement être classées en deux types :

- (a) les défaillances intrinsèques liées au semi-conducteur influencées par les processus de fabrication et les contraintes opérationnelles internes, tels que la rupture diélectrique dépendante du temps (*time dependent dielectric breakdown*, TDDB), l'électromigration (EM), le porteur chaud (*hot carrier*, MOS HC), le porteur chaud inverse VBE bipolaire, et l'instabilité de la température de polarisation négative (*negative bias*

temperature instability, NBTI).

Les modèles de normes industrielles pour les tests de fiabilité par rapport à ces défaillances sont fournis par JEDEC.

- (b) les défaillances liées au packaging sont généralement influencées par les facteurs de stress environnementaux causant des mécanismes de défaillance tels que la fatigue de liaison, la corrosion, et la migration des métaux. Des tests de fiabilité typiques tels que le cyclage thermique et la température-Humidité-Tension sont utilisés pour ce type de défaillances.

3.3.3 Plan d'expériences

En raison de la complexité des CIs et de l'abondance d'informations disponibles sur leur défaillance et leur fiabilité, nous avons choisi de nous concentrer sur la fiabilité du packaging des CIs, en mettant l'accent sur les types miniaturisés couramment trouvés dans les DMIA. Le packaging joue un rôle crucial dans la protection des composants électroniques contre les facteurs environnementaux, tels que l'humidité, les variations de température, et les contraintes mécaniques. Dans le contexte des DMIA, où les composants sont soumis à des conditions particulièrement exigeantes, la fiabilité du packaging devient un facteur déterminant pour assurer la durabilité et la performance des CIs. Par conséquent, deux types de configurations d'expériences seront créés :

Configuration A - un plan où un type de packaging est choisi et les familles de CIs sont variées. Une famille de chaque bloc principal de l'architecture des DMIA est choisie. Ces familles sont : amplificateur, régulateur linéaire, multiplexeur analogique, mémoire EEPROM, et convertisseur analogique-numérique.

Ces CIs sont proposés pour les raisons suivantes :

- Leur importance dans les circuits des DMIA (par exemple, l'amplificateur est important pour la précision de la détection ; le convertisseur analogique-numérique pour le traitement de la détection).
- Leur occurrence dans la littérature lorsqu'on parle de performance et de fonctionnalité.
- Les circuits analogiques et mixtes sont plus sujets à défaillance que les circuits numériques.
- Les régulateurs de tension, par exemple, ont été signalés comme défaillants pour différentes raisons affectant la fonction du circuit général. Ils ont également été mis en évidence par iNEMI [157].
- Les convertisseurs numérique-analogique n'ont pas été autant mentionnés que les convertisseurs analogique-numérique (probablement parce que les convertisseurs numérique-analogique sont utilisés pour la stimulation alors que les capteurs sont les composants les plus courants dans les systèmes sur puce (*SoC*) construits pour les DMIA).

Le Chip Scale Package (CSP) est un type de packaging qui suscite de l'intérêt dans le domaine des DMIAs grâce à ses propriétés intéressantes, principalement le soutien à la miniaturisation. Après un examen des disponibilités des familles choisies de CIs sur le marché, nous avons choisi le packaging LFCSP-16 (Lead Frame Chip Scale Package).

Notons également que FIDES fournit le taux de défaillance de base pour différentes familles de CIs, les circuits analogiques et mixtes ayant le plus élevé taux de défaillance de base en général, et l'EEPROM ayant le plus élevé taux de défaillance de base parmi les mémoires.

TABLE 3.2 – Les combinaisons des facteurs contrôlables - Configuration A des circuits intégrés.

	Famille ICs	Packaging
Combinaison 1	Amplificateur	LFCSP-16
Combinaison 2	Régulateur linéaire	LFCSP-16
Combinaison 3	Multiplexeur analogique	LFCSP-16
Combinaison 4	Mémoire EEPROM	LFCSP-16
Combinaison 5	Convertisseur analogique-numérique	LFCSP-16

Configuration B - une conception où une famille de CIs est choisie et les types de packaging sont variés pour le même CIs. Comme le packaging est l'objet de l'étude, la famille est choisie de telle manière qu'elle existe dans les emballages d'intérêt.

Après un examen des technologies classiques de packaging qui existent pour les CIs, nous avons conclu que BGA, SOT/SOP, QFN, et CSP semblent les plus adaptés aux DMIAs. Particulièrement, les sous-types de packaging disponibles : LFCSP, SO, TDFN, et DSBGA.

FIDES fournit également un taux de défaillance de base lié au packaging, pour différentes familles et nombres de broches. Cependant, ceux des sous-familles de CSP n'ont pas été fournis.

TABLE 3.3 – Les combinaisons des facteurs contrôlables - Configuration B des circuits intégrés.

	Famille ICs	Packaging
Combinaison 5	Convertisseur analogique-numérique	LFCSP-16
Combinaison 6	Convertisseur analogique-numérique	SO-20
Combinaison 7	Convertisseur analogique-numérique	TDFN-16
Combinaison 8	Convertisseur analogique-numérique	DSBGA-16

3.3.4 Profils des essais

Comme mentionné précédemment, il existe une littérature étendue sur la physique de la défaillance et les tests de fiabilité des CIs. De nombreuses normes tels que les normes

JEDEC et AEC-Q100 fournissent plusieurs tests de fiabilité largement suffisants pour qualifier les composants puisque ces tests sont conçus pour des domaines relativement stricts. Par conséquent, nous nous concentrons sur l'effet de la miniaturisation dans le cadre des DMIA et les effets de l'interaction de ces nouvelles technologies avec les puces, notamment aux défaillances liées à l'interaction puce/boîtier. Particulièrement, étant donné le contexte environnemental des DMIA et l'importance de l'humidité spécifique à leur profil de mission, face à l'insuffisance de prise en compte de l'humidité dans le modèle FIDES, nous nous concentrerons sur la corrosion de la métallisation. Un essai de fiabilité typique qui est efficace pour accélérer la corrosion de la métallisation est la Température-Humidité-Tension. Il a été rapporté que cet essai est plus efficace que l'essai hautement accéléré (HAST) car il utilise une température plus basse et une durée plus longue, suffisante pour provoquer le processus de corrosion qui est particulièrement lent. Dans notre étude, nous maintiendrons les mêmes niveaux de température, d'humidité et de tension, mais nous ajusterons le plan d'échantillonnage de manière à garantir la fiabilité souhaitée des CIs dans les DMIA.

FIDES fournit une méthode pour évaluer Π_{PM} (le facteur fabrication composant tel que défini par FIDES pour représenter la qualité du composant) en listant les tests de fiabilité typiques de JEDEC tels que le test Température-Humidité-Tension (THB), le test hautement accéléré (HAST), et le test de cyclage thermique, et en adaptant les niveaux de contraintes, la durée, et la taille de l'échantillon en fonction du niveau de fiabilité requis, qu'ils ont divisé en 4 catégories.

AEC-Q100, la norme automobile destinée pour les CIs, utilise une politique de *zéro défaut*, ce qui signifie, si l'on se réfère à la Table 3.1, qu'aucune défaillance dans 231 composants ne devrait se produire pendant les tests. Cela est équivalent à un LTPD de 1, ce qui signifie un maximum de 1 % de défaillances à un niveau de confiance de 90 % suivant le profil de mission défini dans la norme pour le domaine de l'automobile.

En s'inspirant de FIDES et de cette norme, on cherche à dimensionner la durée d'un essai accéléré en fonction d'un nouveau profil d'utilisation et d'une probabilité de défaillance fixée.

Pour définir l'essai de vie accéléré Température-Humidité-Tension pertinent aux DMIA, nous devons définir plusieurs métriques de test. Celles-ci seront expliquées dans ce qui suit, en se basant sur le modèle d'accélération de Hallberg-Peck (la même formule que $\Pi_{\text{Humidité-Relative}}$ dans la Table 2.5 au Chapitre 2 Section 2.3.1).

Pour déterminer la taille de l'échantillon N , on utilise l'équation 3.3. Comme la fraction défectueuse F est équivalente à $1 - R$, où R est la fiabilité des composants, l'équation est réécrite comme suit :

$$N = \frac{\ln(1 - P)}{\ln(R)} \quad (3.4)$$

D'une autre part, en supposant que les composants suivent une distribution de durée

de vie exponentielle, la fiabilité des composants est :

$$R(t) = e^{-\lambda_u t_u} \quad (3.5)$$

Où λ_t et t_t sont le taux de défaillance (supposés constants) et la durée de vie dans les conditions de l'essai, et λ_u et t_u dans les conditions de l'utilisation du DMIA.

t_{test} étant déjà fixé ainsi que les niveaux de stress, on calcule les autres paramètres à partir du facteur d'accélération de la loi de Hallberg-Peck :

$$AF = \left(\frac{RH_t}{RH_u} \right)^p \times \exp \left[\frac{E_a}{k_B} \times \left(\frac{1}{T_u} - \frac{1}{T_t} \right) \right] \quad (3.6)$$

En prenant par hypothèse $p = 3$, $E_a = 0,8 \text{ eV}$ (issues de la norme AEC-Q100), $RH_t = 85 \%$, $T_t = 85 \text{ }^\circ\text{C}$, et $k_B = 8,61733 \times 10^{-5} \text{ eV/K}$. Dans le contexte d'utilisation d'un DMIA, la température moyenne est généralement fixée à $T_u = 38 \text{ }^\circ\text{C}$ et l'humidité relative moyenne à $RH_u = 74 \%$ (voir profil de mission des DMIA dans la Figure ?? au Chapitre 1).

Pour un niveau de fiabilité visé de 99 % par exemple, le taux de défaillance dans les conditions d'utilisation à partir de l'équation 3.5 pour une durée d'utilisation d'un DMIA de 7 ans (moyenne 5-10 ans) est $\lambda_u = -\frac{\ln(R)}{t_u} = 164 \text{ FIT}$, et le taux de défaillance durant l'essai est $\lambda_t = AF \times \lambda_u = 1,24 \times 10^4 \text{ FIT}$, ce qui donne une durée d'essai de 1500 heures et une taille d'échantillon de 112 (14 composants \times 8 combinaisons).

$$N = \frac{\ln(1 - P)}{-\lambda_t \times t_t} \quad (3.7)$$

Pour conclure, cette section a présenté un exemple d'application de la définition des plans d'échantillonnage pour les essais de durée de vie accélérés afin de démontrer un certain niveau de fiabilité, en se concentrant sur les circuits intégrés. Nous avons montré comment la FMMEA et un état de l'art sur les guides et normes de qualification peuvent orienter l'application de la méthodologie en prenant par hypothèse la véracité des modèles de fiabilité. Dans le cas où cette hypothèse n'est pas prise en compte, un essai orienté dégradation est à dimensionner (c.f. section 3.6)

3.4 Application d'un plan d'essai orienté défauts aux chips résistifs

Cette section illustre une application pratique de la méthodologie décrite précédemment concernant les essais accélérés qui ont pour objectif d'identifier les défauts, en prenant l'exemple de l'un des composants électroniques les plus courants et les plus fiables : résistances Composant Monté en Surface (CMS) ou chips résistifs. Particulièrement, les

chips résistifs à film ¹.

Il existe deux principaux types de ces composants en fonction de la manière dont le film est déposé. Les résistances à couche épaisse (*Thick*) sont le résultat d'un dépôt sous vide, tandis que les résistances à couche mince (*Thin*) sont le résultat d'un tamisage sur un substrat isolant tel que la céramique. Les résistances à couche mince sont généralement utilisées pour des applications nécessitant une haute précision ou une taille réduite, car elles se caractérisent par une grande stabilité thermique et de tension [158]. Pourtant, dans les applications médicales, les résistances à couche épaisse sont couramment utilisées en raison de la vaste gamme de valeurs de résistance qu'elles offrent [159]. D'un autre côté, les résistances à couche mince ont un rôle important pour la miniaturisation des systèmes électroniques [160].

La structure générale d'une résistance à couche est la suivante : La résistance à couche épaisse, en plus d'un revêtement protecteur, a une terminaison interne faite de couche épaisse. La base de la résistance est un substrat d'alumine de haute pureté. La terminaison intermédiaire présente un placage de Ni (Nickel), et la terminaison externe est faite avec un placage de Sn (Étain). Un élément résistif à couche épaisse est déposé sur le substrat. La résistance à couche mince a presque la même structure que la résistance à couche épaisse, sauf l'élément résistif qui est fait d'une couche mince de NiCr (Nickel-Chrome).

Les tailles des résistances CMS, comme la majorité des composants électroniques, sont souvent représentées à l'aide d'un système de codage normalisé par Joint Electron Device Engineering Council (JEDEC). Par exemple, le code de taille impérial **0805** spécifie que le composant mesure **0,08** pouces x **0,05** pouces, équivalent à 2,0 mm x 1,25 mm.

La technologie de film, ainsi que la taille du composant, et la valeur de la résistance, sont les principaux paramètres des chips résistifs.

3.4.1 Résultats de la FMMEA des chips résistifs

En raison de la haute fiabilité et de la maturité technologique des résistances, l'objectif des essais accélérés sera de détecter les défauts, et ainsi la FMMEA sera orienté en conséquence, c'est-à-dire qu'on sélectionne uniquement les éléments de la FMMEA qui ont pour cause des défauts qualité.

Les résistances peuvent tomber en panne en raison de différents types de mécanismes de défaillance tels que :

Corrosion : la détérioration (décollement) du revêtement protecteur de la résistance peut entraîner une pénétration d'humidité à la partie détériorée, ce qui provoque la corrosion électrolytique de l'élément résistif (substance NiCr pour film mince). Cela peut entraîner une augmentation de la valeur de la résistance et potentiellement un circuit ouvert.

1. Dans ce travail de thèse, nous utilisons de manière interchangeable les termes *résistances* et *chips résistifs* pour désigner les *résistances à film montées en surface*.

Fracture de fatigue : les résistances à couches minces ont parfois des défauts localisés dans le motif de résistance gravé. Ces défauts comprennent couramment [161] : des constrictions en ligne ("*notches*"), des ponts de matériau résistant non enlevés entre les lignes de motif adjacentes (défauts de pont, en anglais *bridge defects*), et des particules non conductrices incrustées dans le matériau résistif. Ces types de défauts ont été observés pour causer des défaillances pendant la phase d'utilisation du dispositif ou pendant les essais de durée de vie en raison de la formation de points chauds localisés autour de ces défauts. En particulier, le cyclage de puissance, qui signifie la mise en tension et la coupure répétitives du composant, entraîne des fractures de fatigue induites thermo-mécaniquement. En fait, le cyclage de puissance provoque l'expansion et la contraction thermo-mécanique des défauts de pont, et par suite sa fracture. Les modes de défaillance associés à ces types de défauts sont une augmentation de la valeur de résistance et un circuit ouvert, et la gravité de la défaillance dépend du type de défaut et de l'emplacement de la constriction dans le motif.

Séparation des électrodes : cela se produit lorsque l'électrode intermédiaire se sépare de l'électrode interne en raison de contraintes mécaniques sous forme de quantité excessive de brasure, d'impact thermique dépassant le profil de refusion recommandé, de compression de résine moulée, etc [162]. Cela provoque une augmentation de la valeur de résistance ou un circuit ouvert (rupture de fil).

Fissure de brasure : c'est la génération d'une fissure dans la brasure principalement provoquée par un stress lié à un impact thermique dans les conditions d'utilisation, particulièrement à cause de la différence du coefficient d'expansion thermique entre le Carte de Circuits Imprimés (PCB) et la résistance (fatigue de brasure). Cela provoque également une augmentation de la valeur de résistance ou un circuit ouvert (rupture de fil).

Dommages et détériorations de l'élément résistif : généralement induits par les surcharges électriques, des phénomènes d'Electro-Static Discharge (ESD) excessive ou les impulsions de surtension excessive [162]. En effet, une large quantité de courant instantané provoque un échauffement, surtout au niveau des défauts localisés, ou un dommage à l'élément résistif, et par suite une augmentation de la valeur de résistance ou un circuit ouvert (rupture de fil).

3.4.2 Plan d'expériences

La FMMEA permet non seulement de mieux comprendre la physique de défaillance des composants mais également de confirmer le choix des facteurs technologiques qui influencent la fiabilité des résistances. Par exemple, la technologie du film peut influencer le type de défauts qui peuvent conduire à des fractures de fatigue. La taille, qui est également liée à la valeur de la résistance, peut affecter la capacité de dissipation de puissance de la résistance et contribuer aux mécanismes de défaillance thermo-mécaniques.

Enfin, le processus de fabrication, qui est déterminé par le fabricant, peut évidemment être responsable des défauts.

Ces facteurs sont organisés grâce aux plans d'expériences de Taguchi. Les niveaux choisis de ces facteurs sont affichés dans la Table 3.4. En raison de contraintes technologiques, les modalités du facteur C sont représentées sous forme de classes de valeurs ("*Range*") qui sont proches les unes des autres.

Le choix des niveaux des facteurs est due aux raisons suivantes : il y a de nombreux niveaux pour de nombreux facteurs, et certaines combinaisons n'existent techniquement pas, surtout parce que les fabricants fournissent des gammes limitées de résistance pour différentes tailles et technologies de film.

TABLE 3.4 – Les facteurs contrôlables et leurs modalités pour les chips résistifs à film.

Facteur	Niveau 1	Niveau 2	Niveau 3	Niveau 4	Niveau 5	Niveau 6
Film (A)	Thick	Thin	-	-	-	-
Taille (B)	1206	0805	0603	0402	0201	01005
Résistance (C)	Range1 [0Ω ² , 0,1Ω]	Range2 [1Ω, 1,2Ω]	Range3 [10Ω, 100Ω]	Range4 1kΩ	Range5 [10kΩ, 40kΩ]	Range6 [100kΩ, 106kΩ]
Fabricant (D)	Fab1	Fab2	Fab3	Fab4	Fab5	Fab6

Nous avons identifié 4 facteurs, avec respectivement 2, 6, 6 et 6 niveaux, générant ainsi $2 \times 6 \times 6 \times 6 = 432$ combinaisons potentielles. Tester l'ensemble de ces combinaisons serait très coûteux. Pour optimiser le processus, nous avons recours aux plans factoriels fractionnaires de Taguchi, qui permettent de réduire considérablement le nombre d'expériences tout en conservant la robustesse de l'analyse.

Après avoir exploré plusieurs configurations, nous avons retenu les plans d'expériences présentés dans la Table 3.5. La séparation des tableaux est justifiée par l'inclusion du facteur "fabricant" dans l'analyse, sachant que tous les fabricants ne proposent pas les mêmes caractéristiques technologiques. Cette approche permet d'adapter l'analyse aux spécificités technologiques de chaque fabricant, assurant ainsi une évaluation plus précise des effets des facteurs étudiés. En effet, dans la Table 3.5 :

- Le plan de **R01** à **R16** : est un plan complet de deux facteurs : Taille (4 niveaux) et Résistance (4 niveaux), pour les chips résistifs de Film "Thick".
- Le plan de **R17** à **R32** : est un plan complet de deux facteurs : Taille (4 niveaux) et Résistance (4 niveaux), pour les chips résistifs de Film "Thin".

2. Une résistance zéro Ohm est un composant passif qui présente idéalement une résistance de 0 Ohm, semblable à celle d'un court-circuit typique ou de matériaux caractérisés par une excellente conductivité électrique.

- Le plan de **R33** à **R41** : est un plan complet de deux facteurs : Résistance (3 niveaux) et Fabricant (3 niveaux), pour les chips résistifs de Film "Thick" et Taille "0201".
- Le plan de **R42** à **R47** : est un plan complet de deux facteurs : Résistance (3 niveaux) et Fabricant (2 niveaux), pour les chips résistifs de Film "Thin" et Taille "0201".
- Le plan de **R48** à **R56** : est un plan complet de deux facteurs : Résistance (3 niveaux) et Fabricant (3 niveaux), pour les chips résistifs de Film "Thick" et Taille "01005".

Ces plans peuvent également être combinés entre-eux (en supprimant ou pas des combinaisons) pour construire des sous-plans d'expériences plus larges et orthogonaux.

3.4.3 Profils des essais

Avant de concevoir des essais de durée de vie accélérés, il est judicieux d'examiner d'abord comment les résistances sont qualifiées ailleurs pour éviter les redondances des tests de qualification, en particulier par les normes IEC 60115-1 :2020, JEDEC et AEC-Q200.

La norme AEC-Q200 fournit différents essais classiques de qualification tels que : l'exposition à haute température (MIL-STD-202 Méthode 108), le cyclage thermique (JESD22-A104), l'alimentation électrique en humidité (MIL-STD-202 Méthode 103), la vibration (MIL-STD-202 Méthode 204), la soudabilité (J-STD-002), etc. Cette connaissance nous permet d'éviter la redondance et de nous concentrer sur les tests de qualification qui ne sont pas déjà couverts par d'autres normes et qui sont plus adaptés à l'application des DMIAs.

Dans la méthode FIDES, les taux de défaillance de base, notés λ_0 , sont des valeurs de référence qui quantifient la probabilité de défaillance (intrinsèque au composant indépendamment des stress) par unité de temps pour différents types de composants électroniques. Pour les résistances CMS, ces taux de défaillance de base varient en fonction du type de résistance. En particulier, les résistances CMS sont divisées en : a) résistances à couche épaisse CMS, qui ont les taux de défaillance de base les plus bas (0,1), b) les résistances à couche mince sont divisées par trois gammes de valeurs de résistance, avec des résistances plus élevées ayant un taux de défaillance de base plus élevé (0,25 pour $R > 100k\Omega$). Ceci permet de valider le choix des facteurs contrôlables vu précédemment.

FIDES fournit également des paramètres pour les modèles d'accélération liés au stress thermo-électrique, au cyclage thermique, mécanique et à l'humidité. Ces valeurs sont utilisées comme point de départ pour calculer le facteur d'accélération pour la conception des profils des essais accélérés. Ces informations nous aideront à définir les paramètres des essais de qualification.

TABLE 3.5 – Les combinaisons des facteurs contrôlables sous forme de plans d'expériences pour les chips résistifs à film.

	Film	Taille	Résistance	Fabricant
R01	Thick	0402	Range1	Fab1
R02	Thick	0402	Range2	Fab2
R03	Thick	0402	Range5	Fab3
R04	Thick	0402	Range6	Fab4
R05	Thick	0603	Range1	Fab1
R06	Thick	0603	Range2	Fab2
R07	Thick	0603	Range5	Fab5
R08	Thick	0603	Range6	Fab2
R09	Thick	0805	Range1	Fab4
R10	Thick	0805	Range2	Fab3
R11	Thick	0805	Range5	Fab5
R12	Thick	0805	Range6	Fab6
R13	Thick	1206	Range1	Fab4
R14	Thick	1206	Range2	Fab5
R15	Thick	1206	Range5	Fab2
R16	Thick	1206	Range6	Fab3
	Film	Taille	Résistance	Fabricant
R17	Thin	0402	Range3	Fab3
R18	Thin	0402	Range4	Fab2
R19	Thin	0402	Range5	Fab4
R20	Thin	0402	Range6	Fab6
R21	Thin	0603	Range3	Fab2
R22	Thin	0603	Range4	Fab6
R23	Thin	0603	Range5	Fab3
R24	Thin	0603	Range6	Fab4
R25	Thin	0805	Range3	Fab6
R26	Thin	0805	Range4	Fab4
R27	Thin	0805	Range5	Fab2
R28	Thin	0805	Range6	Fab3
R29	Thin	1206	Range3	Fab4
R30	Thin	1206	Range4	Fab3
R31	Thin	1206	Range5	Fab6
R32	Thin	1206	Range6	Fab2
	Film	Taille	Résistance	Fabricant
R33	Thick	0201	Range3	Fab2
R34	Thick	0201	Range5	Fab2
R35	Thick	0201	Range6	Fab2
R36	Thick	0201	Range3	Fab4
R37	Thick	0201	Range5	Fab4
R38	Thick	0201	Range6	Fab4
R39	Thick	0201	Range3	Fab6
R40	Thick	0201	Range5	Fab6
R41	Thick	0201	Range6	Fab6

	Film	Taille	Résistance	Fabricant
R42	Thin	0201	Range3	Fab3
R43	Thin	0201	Range4	Fab3
R44	Thin	0201	Range5	Fab3
R45	Thin	0201	Range3	Fab6
R46	Thin	0201	Range4	Fab6
R47	Thin	0201	Range5	Fab6
	Film	Taille	Résistance	Fabricant
R48	Thick	01005	Range3	Fab2
R49	Thick	01005	Range5	Fab2
R50	Thick	01005	Range6	Fab2
R51	Thick	01005	Range3	Fab4
R52	Thick	01005	Range5	Fab4
R53	Thick	01005	Range6	Fab4
R54	Thick	01005	Range3	Fab6
R55	Thick	01005	Range5	Fab6
R56	Thick	01005	Range6	Fab6

À partir de la FMMEA, nous observons directement que différents types d'essais de durée de vie accélérés sont nécessaires pour observer les défaillances communes des résistances. Concrètement, trois types d'essais sont choisis :

1. 16 cycles de cyclage thermique incluant l'humidité.
2. Surcharge de puissance en impulsions (*Single Pulse Load*).
3. Surcharge électrique (*Electrical Overload*).

Le cyclage thermique, qui comprend l'humidité, est conçu pour déclencher des défaillances liées aux contraintes thermo-mécaniques et à la corrosion, respectivement. Il a été remarqué via la FMMEA que le risque de défaillance dû à la corrosion est exacerbé par la miniaturisation des composants électroniques [163]. Par conséquent, deux profils différents seront définis pour les résistances de tailles 01005 et 0201 (avec différents niveaux de hautes températures et humidités pour étudier la corrosion), tandis qu'un seul sera défini pour les résistances plus grandes (de 0402 à 1206). D'autre part, la surcharge électrique et la charge d'impulsion unique sont utilisées pour observer les défauts liés à la fracture de fatigue et aux dommages à l'élément résistif.

Le paramètre électrique qui permet le suivi de la dégradation des résistances est la dérive de sa valeur. Les valeurs de dérives acceptables sont précisées par les fiches techniques du fabricant pour chaque composant.

Cyclage thermique avec humidité

Le cyclage thermique avec humidité induit potentiellement des mécanismes de défaillance liés aux contraintes thermomécaniques et à l'humidité. En particulier, la fissure de la brasure (due à la différence du coefficient de dilatation thermique entre la brasure

et la résistance), la rupture due à la fatigue (liée à la répétition des cycles thermiques), la séparation des électrodes (due à l'expansion et la contraction du matériau à cause des changements larges de température), la migration électrochimique et la corrosion (due à la présence d'humidité et la mise en tension).

Les Figures 3.5, 3.6, et 3.7 ci-dessous montrent les profils de cyclage thermique pour chaque taille de résistance que nous proposons et que nous avons adapté aux DMIA. Ces profils sont basés selon la norme MIL-STD-883 Méthode 1031 [13] destinée aux conducteurs et résistances en couches minces, adaptée au profil de mission des DMIA (en calculant les facteurs d'accélération associés en se basant sur FIDES suivant les lois de Peck et de Norris-Landzberg) et en fonction des contraintes technologiques (e.g. taux de changement de température de l'enceinte climatique, plage de température des composants, ...). Les paramètres électriques (résistance) sont à mesurer suivant l'essai.

Le processus de cyclage thermique est défini pour générer des contraintes thermo-mécaniques susceptibles de provoquer une séparation des électrodes, créant potentiellement un chemin pour l'humidité d'atteindre l'élément résistif. Cette pénétration favorise l'apparition de phénomènes de corrosion ou de migration électrochimique. Le choix de faire coïncider la période de puissance avec l'humidité est fait de telle sorte que les composants sont suffisamment alimentés pour accélérer la migration électrochimique ou la corrosion sans que la tension/la puissance d'alimentation ne soit un facteur de contrainte provoquant directement les mécanismes de défaillance. Par conséquent, les résistances sont alimentées à des tensions qui sont inférieures à leurs valeurs nominales.

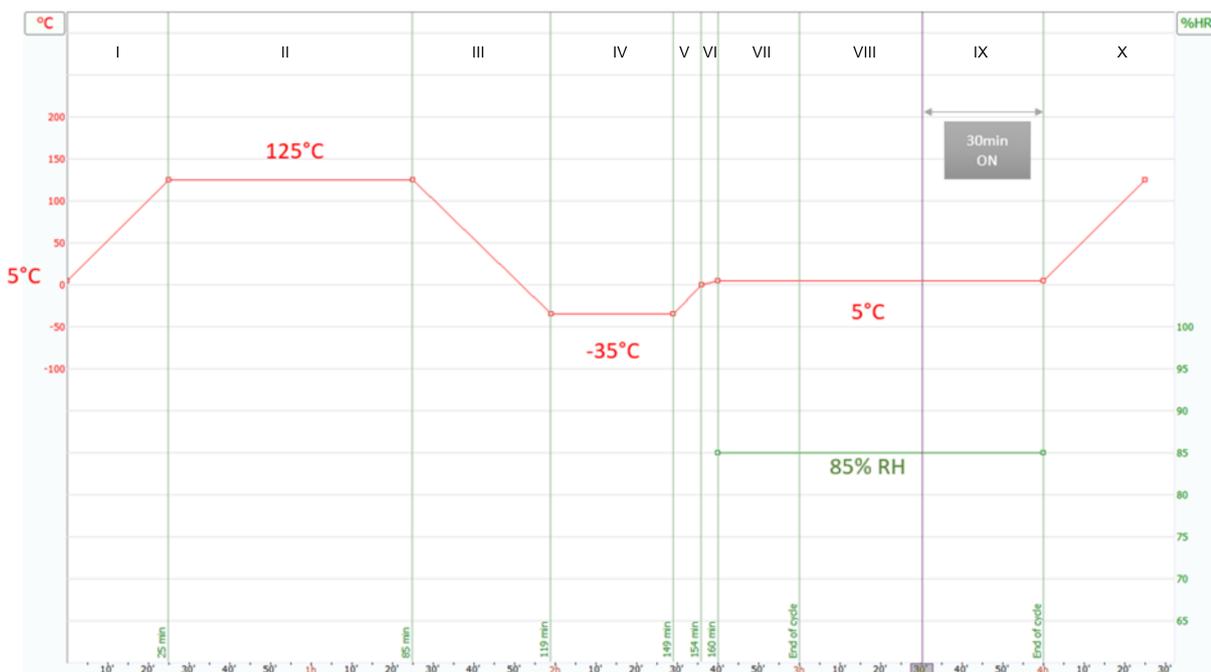


FIGURE 3.5 – Profil de cyclage thermique pour les résistances de tailles allant de 0402 à 1206.

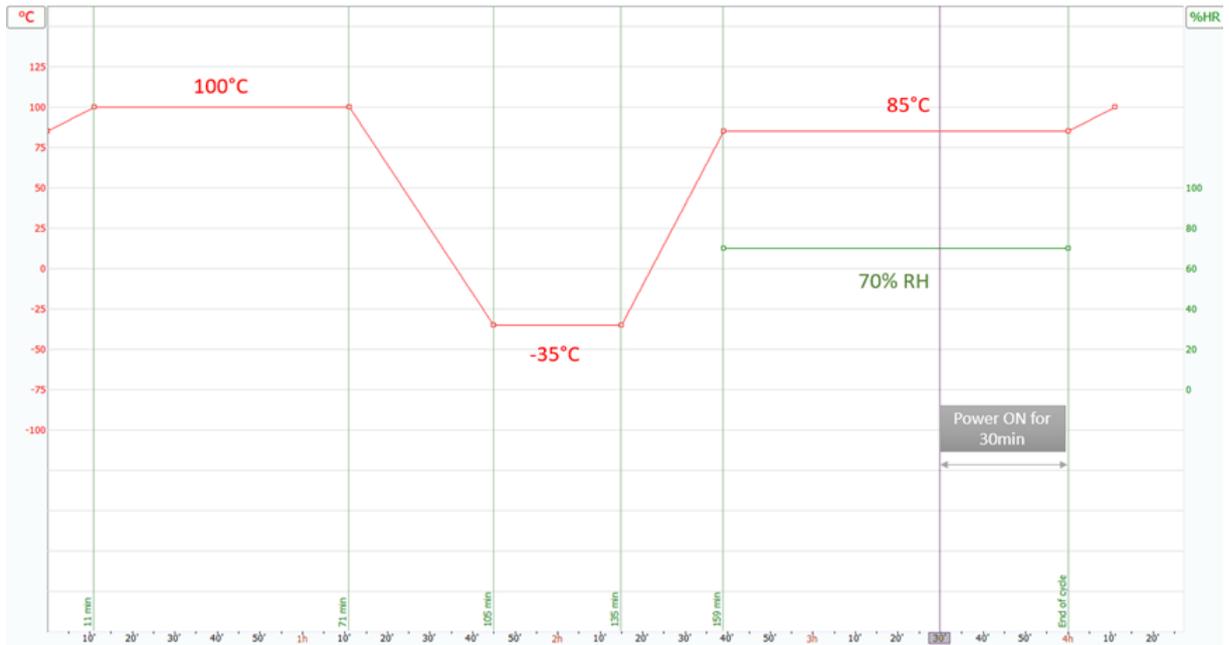


FIGURE 3.6 – Profil 1 de cyclage thermique pour les résistances de tailles 0201 et 01005.



FIGURE 3.7 – Profil 2 de cyclage thermique pour les résistances de tailles 0201 et 01005.

Particulièrement, le profil dans la Figure 3.5 est composé des phases suivantes :

- Phase I : montée de température limitée par la capacité de l'enceinte climatique ($\approx 4,7^\circ\text{C}/\text{min}$).
- Phase II : la température est maintenue à 125°C . Durant cette phase, les composants sont soumis à des températures élevées prolongées (125°C comme proposé par la norme MIL-STD-883-1 Method 1031) pour évaluer leur stabilité et leur endurance sous des conditions de chaleur extrême.

- Phase III : descente de température.
- Phase IV : la température reste à -35°C (comme proposé par la norme MIL-STD-883-1 Method 1031) pendant un certain temps. Cette phase évalue la performance et la durabilité des composants à très basse température.
- Phase V et VI : Remontée de température vers 5°C (inspiré de la norme MIL-STD-883-1 Method 1031) pour la période d'humidité. La montée entraîne le transfert d'humidité des parois de la chambre climatique vers le composant à cause du gradient de la température (la surface du composant peut être encore froide).
- Phases VII et VIII : application d'un niveau d'humidité de 85 % pour stimuler un environnement où la corrosion peut se déclencher.
- Phase IX : mise en tension pour améliorer la détection des défauts localisés.
- Phase X : début du deuxième cycle (identique à phase I).

Le même principe est appliqué pour la définition des profils dans les Figures 3.6 et 3.7 concernant les résistances miniatures. Cependant, les valeurs de température et d'humidité ont été ajustées pour ces composants spécifiques. En effet, selon l'analyse FMMEA, ces composants miniaturisés pourraient être plus sensibles aux phénomènes de corrosion dû à leurs tailles. Pour cette raison, la température pendant l'application de l'humidité a été augmentée, atteignant 85°C avec une humidité relative de 70 %, pour accentuer les effets de corrosion.

Test d'impulsion électrique (*Single Pulse Load*)

Les tests d'impulsion électrique sont définies dans ce contexte comme des impulsions de courte largeur, à charge électrique élevée et à longs intervalles de temps entre les impulsions pour permettre le refroidissement intermédiaire des résistances [164].

Ces essais servent à observer les défauts de constriction et provoquer des dommages à l'élément résistif liés à des courants excessifs très courts (surtout pour les résistances *Thick*).

Ces tests sont adaptés des spécifications EN 60115-1 clause 4.27, une norme destinée aux résistances fixes à utiliser dans les équipements électroniques [18], et sont également basés sur les normes CECC EN 140401-801 (2008) [19] et CECC EN 140401- 802 (2008) [20] destinées respectivement aux résistances à couche mince et aux résistances à couche épaisse.

La puissance à laquelle les impulsions sont définies est 10 fois la puissance nominale à 70°C pour chaque résistance. L'essai de durée de vie consiste en 3 cycles d'impulsions multiples (voir Figure 3.8). Chaque cycle constitue 10 impulsions d'un temps de montée (*rising time*) de 10 μs et d'un temps de descente à mi-valeur du pic (*falling time to half value*) de 1 ms. Entre chaque deux impulsions, un intervalle de 1 min est donné à la résistance pour se refroidir. La résistance est mesurée après 30 min à la fin de l'essai

de durée de vie pour 5 résistances prédéterminées parmi 24 (pour avoir une signification statistique sous les contraintes techniques).

Il est important de souligner que le but des essais de durée de vie est d'accélérer les défaillances et non de sévèrement surcharger les composants. Par conséquent, les paramètres des essais doivent toujours correspondre aux spécifications définies par les datasheets. En cas de test d'impulsion électrique, la dissipation moyenne doit tendre vers 0, le nombre d'impulsions inférieur à 1000 et la tension d'impulsion inférieure à la tension de surcharge maximale spécifiée par les fiches techniques. La dissipation moyenne \bar{P} de la résistance peut être calculée pour une charge d'impulsion unique comme [165] :

$$\bar{P} = \frac{V^2}{R} \frac{\tau_e}{2 \times t_p} \quad (3.8)$$

- V est la tension de surcharge (*peak voltage*),
- R est la résistance du composant,
- τ_e est le temps de descente jusqu'à mi-valeur du pic,
- t_p est l'intervalle de temps entre les impulsions.

Nous avons défini les paramètres des essais, à savoir : la puissance/tension appliquée et la durée, en validant ces calculs pour éviter d'aggraver la défaillance des composants.

Surcharge électrique (*Electrical Overload*)

Le test de la surcharge électrique se caractérise par des pulses plus longues et donc une génération de chaleur dans l'élément résistif plus importante que dans le cas du test d'impulsion électrique, ainsi que des intervalles plus courts de non-mise en tension entre les pulses. Cet essai vise les mécanismes de défaillance liés à l'impact thermique, comme fracture de fatigue et la fissure de brasure.

Pendant la surcharge électrique, les résistances sont soumises à 6,25 fois la puissance nominale à 70 °C (valeur adaptée de la norme [18]) pour chaque composant suivant 10 impulsions (l'essai est répété 3 fois pour une signification statistique). La largeur des impulsions diffère en fonction de la taille des résistances afin de ne pas sévèrement surcharger les composants. Comme pour le test d'impulsion électrique, la dissipation moyenne en cas de surcharge électrique doit être inférieure à la puissance nominale à 70 °C et la tension d'impulsion inférieure à la tension de surcharge maximale. La dissipation moyenne \bar{P} de la résistance peut être calculée pour une charge d'impulsion unique comme [165] :

$$\bar{P} = \frac{V^2}{R} \frac{t_i}{t_p} \quad (3.9)$$

- V est la tension de surcharge (*peak voltage*),
- R est la résistance du composant,

One pulse of SPL for 0402 to 1206 resistors (time scale changed for clarification)

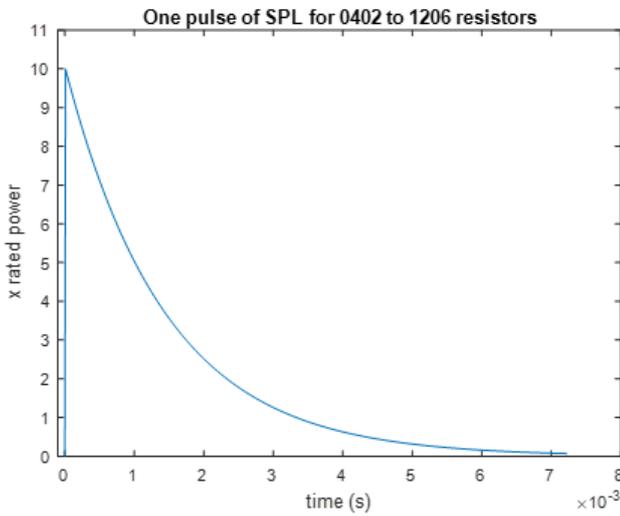
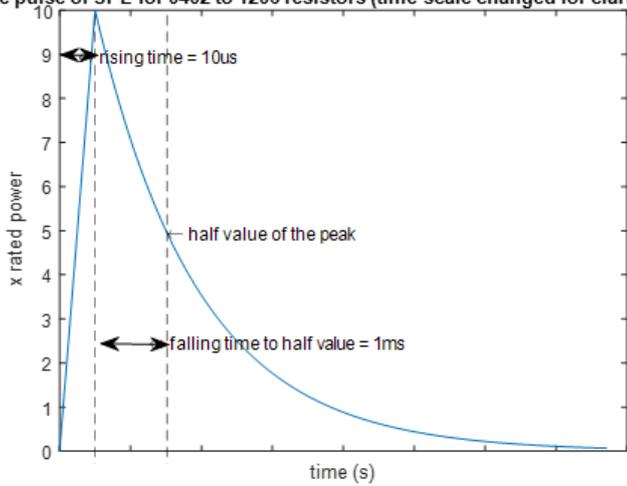


FIGURE 3.8 – Test d’impulsion électrique pour les résistances de tailles allant de 0402 à 1206.

- t_i est la largeur d’impulsion,
- t_p est l’intervalle de temps entre les impulsions.

Suivant l’équation 3.9, les largeurs d’impulsion sont évaluées à : 0,5s pour les résistances 0402, 1s pour 0603, 1,5s pour 0805 et 2s pour 1206, avec des intervalles de 2,5s, tandis qu’elles sont définies à 50ms avec des intervalles de 0,5s pour les résistances 0201 et 01005.

En conclusion, cette section a démontré une application concrète de la méthodologie de définition d’essais accélérés pour identifier les défauts potentiels dans les composants électroniques, en se concentrant sur les résistances CMS et plus spécifiquement sur les chips résistifs à film. La FMMEA a permis d’orienter la méthodologie et de définir des plans d’expériences pertinents aux composants et à l’objectif, ainsi que de définir des essais accélérés, adaptés des normes de qualification, qui tiennent en compte le profil de mission des DMIA. Dans le Chapitre 4, nous aborderons la méthodologie d’analyse des résultats de ces essais, en détaillant les étapes nécessaires pour extraire des informations

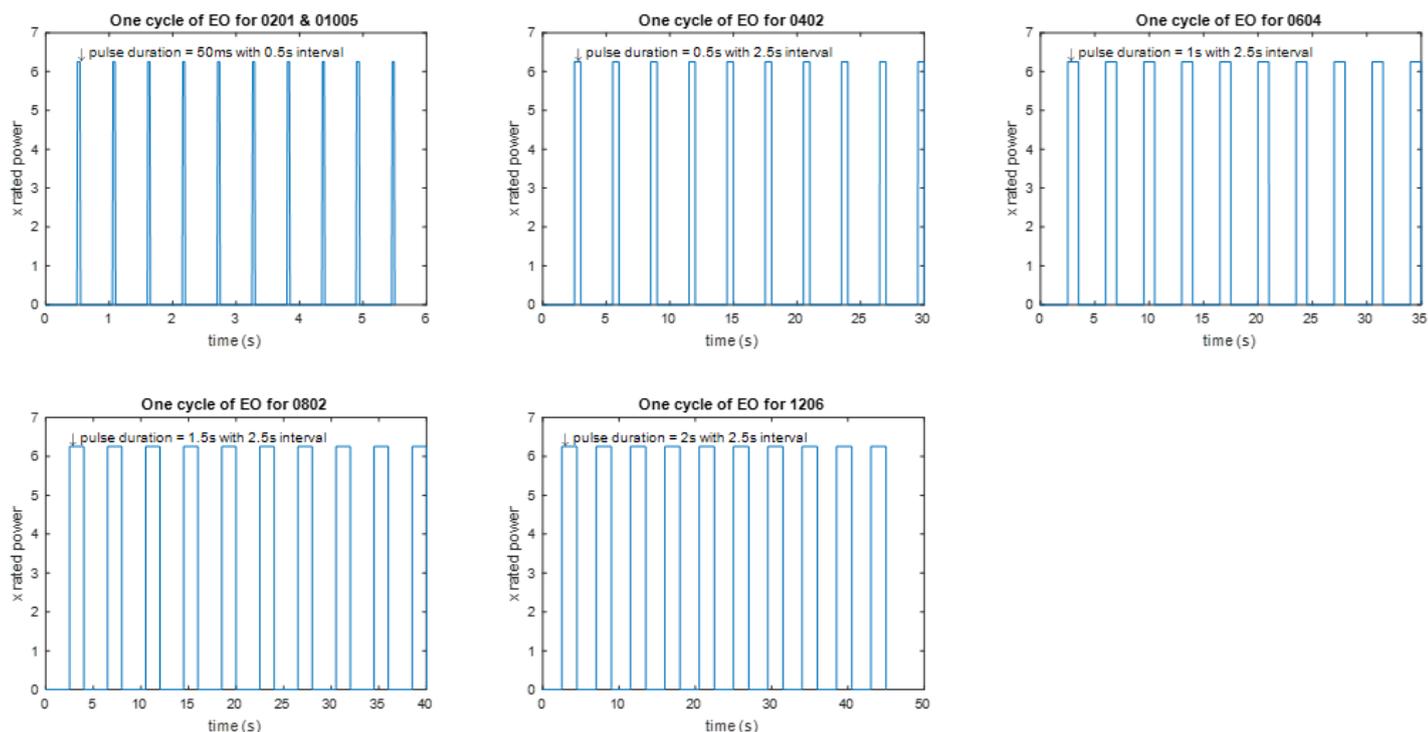


FIGURE 3.9 – Cycles de surcharge électrique pour les résistances.

pertinentes sur la fiabilité des composants testés.

3.5 Définition d'un plan d'essai vibratoire : Exemple des inductances bobinées

Dans les sections précédentes, la méthodologie a été appliquée à des composants principalement sensibles aux contraintes environnementales liées à l'humidité, à la température et à la tension/courant. En ce qui concerne les contraintes environnementales mécaniques, à partir du profil de mission, nous concluons que la charge mécanique que les DMIAs subissent pendant leur cycle de vie n'est pas aussi forte que les dispositifs pour d'autres domaines (tels que les domaines du militaire, commercial, automobile, et spatial), sauf pour les vibrations pendant la phase de transport. Cela dit, les inductances bobinées CMS, en raison de leur taille relativement plus grande, sont sensibles aux contraintes mécaniques (une observation appuyée par la FMMEA, qui sera résumée par la suite). Ainsi, bien qu'il existe des tests de qualification concernant les vibrations qui sont généralement utilisés dans différents domaines, il est important d'adapter ces tests aux DMIAs afin de ne pas surqualifier inutilement les composants. Cette section vise donc à fournir une application de la méthodologie sur les inductances bobinées CMS et à expliquer comment définir un essai accéléré de vibration avec pour objectif d'observer les défauts associés.

Les inductances bobinées CMS, ou simplement inductances bobinées, sont des compo-

sants montés en surface construits avec un noyau magnétique en ferrite entouré d'une bobine conductrice / d'un fil enroulé (généralement en cuivre). L'utilisation d'un fil conducteur de bobinages contribue à réduire la résistance DC (courant continu) pour qu'elles soient utilisées dans des applications avec des courants importants, comme dans les circuits de puissance [166], dans les convertisseurs DC-DC ou d'autres applications où un stockage d'énergie efficace est requis. Cependant, cela les rend également plus volumineuses que d'autres composants passifs montés en surface.

Les paramètres électriques concernés :

1. Inductance (L) : une grande inductance appropriée peut réduire l'ondulation du courant de sortie et fournir un stockage d'énergie [167].
2. Résistance au courant continu (DCR) : cette valeur représente le niveau de résistance d'une inductance à un courant continu de fréquence de 0 Hz qui passe à travers elle. Une faible DCR réduit la perte de puissance et la dissipation [167]. L'optimisation de la sélection DCR signifie un compromis entre l'efficacité énergétique, la taille du composant et la chute de tension admissible à travers le composant [168].
3. Caractéristiques de courant : i) courant de saturation (I_{sat}) est le courant qui provoque la saturation du noyau de l'inductance provoquant une chute de l'inductance [168]. ii) Courant efficace (I_{rms}) est le courant continu qui provoque l'élévation de température maximale admissible [168].
4. Fréquence de résonance propre : la fréquence à laquelle la capacité parasite de l'enroulement et l'inductance résonnent (amplitude maximale) [168]. Elle doit être considérablement plus grande que la fréquence de fonctionnement du convertisseur DC-DC [167], pour éviter le bruit et les performances réduites de l'inductance.

3.5.1 Résultats de la FMMEA des inductances bobinées

Les inductances bobinées peuvent tomber en panne en raison de :

- **Perte du noyau magnétique** : Des défauts ou des impuretés dans le noyau magnétique de ferrite peuvent entraîner une dérive de la perméabilité du noyau magnétique.
- **Surchauffe** : La perte du noyau magnétique ou des courants disproportionnés induisent un échauffement excessif entraînant une dégradation du matériau du noyau ou un court-circuit.
- **Fissure** : Une défaillance due à une fissure du noyau peut se produire lors du refusion par brasage en raison du stress thermomécanique élevé induit par le Coefficient de Dilatation Thermique (CDT) élevé de la résine magnétique [169]. Bien que la ferrite elle-même soit très résistante à l'humidité, elle est facilement endommagée car elle est intrinsèquement fragile et vulnérable aux chocs mécaniques [170]. Des

mécanismes de défaillance liés aux défauts de fabrication, tels que des éclaboussures de liquide d'étain lors du soudage par trempage provoquant un court-circuit dans les fils de cuivre, ou un mauvais soudage provoquant un circuit ouvert, peuvent également se produire. Ce mécanisme de défaillance peut donc être déclenché par des chocs ou vibrations.

3.5.2 Plan d'expériences

D'après la FMMEA, les facteurs technologiques (*facteurs contrôlables*) principaux susceptibles d'influer la défaillance des inductances bobinées sont : la taille du boîtier, la valeur de l'inductance, et le processus de fabrication à travers le fabricant (voir la Table 3.6). Les niveaux du facteur A correspondent aux dimensions (largeur \times longueur en mm) de l'empreinte de l'inductance sur le PCB.

TABLE 3.6 – Les facteurs contrôlables et leurs modalités pour les inductances bobinées.

Facteur	Niveau 1	Niveau 2	Niveau 3
Taille (A)	6*6	7*7	12*12
Inductance	~ 1 uH	~ 10 uH	~ 1 mH
(B)			
Fabricant (C)	Fab1	Fab2	Fab3

Nous avons 3 facteurs avec 3 niveaux chacun, donc un plan complet factoriel contiendrait $3 \times 3 \times 3 = 27$ combinaisons. Cependant, ce nombre est réduit pour optimiser les coûts en utilisant un plan orthogonal de Taguchi. Sachant que pour trouver le plan orthogonal associé, il faut qu'il soit le plus petit commun multiple (PPCM) du nombre de niveaux de tous les facteurs pris deux à deux, c'est-à-dire un plan de $PPCM(9, 9, 9) = 9$ combinaisons, le degré de liberté total étant $2 + 2 + 2 + 1 = 7$ qui est inférieur au nombre de combinaison donc le plan factoriel fractionnaire à 9 combinaisons est bien applicable, comme le montre la Table 3.7.

TABLE 3.7 – Les combinaisons des facteurs contrôlables sous forme de plans d'expériences pour les inductances bobinées.

	Taille (A)	Inductance (B)	Fabricant (C)
IB01	6*6	10uH	Fab1
IB02	7*7	1,5uH	Fab1
IB03	12*12	1mH	Fab1
IB04	6*6	0,680mH	Fab2
IB05	7*7	10uH	Fab2
IB06	12*12	1uH	Fab2
IB07	6*6	1uH	Fab3
IB08	7*7	1mH	Fab3
IB09	12*12	10uH	Fab3

3.5.3 Profils des essais

D'après la FMMEA, on peut remarquer que les défaillances des inductances bobinées se produisent généralement en raison d'un échauffement lié à un courant excessif renforcé par des défauts de fabrication, ainsi qu'à des contraintes mécaniques, en particulier compte tenu de la taille relativement plus grande de ces composants. Ainsi, deux types d'essai de durée de vie accéléré sont à définir :

1. Température et courant.
2. Essai de vibrations.

L'objectif de ces essais est d'entraîner la fatigue thermique et mécanique qui est la plus susceptible de provoquer une rupture, généralement sous forme de fissures [170]. Les essais d'humidité ne sont pas pris en compte car la ferrite est très résistante à l'humidité et plutôt sensible aux contraintes mécaniques. Pour préciser, on cherche à qualifier les inductances bobinées en observant les défauts de qualité latents susceptibles de se manifester dans le contexte des DMIA.

Température et courant

Les composants sont alimentés en courant nominal sous température ambiante de 125 °C (y compris l'auto-échauffement de l'inductance). À partir de l'essai référencé dans la AEC-Q200 (MIL-STD-202 Méthode 108), une durée d'essai de 1000h est indiquée. Afin d'observer d'éventuelle dégradation ou défaillance, une durée de 2000h est fixée avec un intervalle de contrôle des paramètres électriques de 500h (intervalle de contrôle qui pourrait être ajusté en fonction des premières mesures).

Vibration

Pour observer les mécanismes de défaillance liés aux contraintes mécaniques, un essai vibratoire sera effectué. Lors de cet essai, le PCB peut être fixé sur le banc d'essai de vibration de deux manières : a) en 4 points (voir la Figure 3.10), b) en 6 points. Une simulation a été réalisée sur PCB avec brasure (la masse équivalente aux composants à tester) pour évaluer la contrainte mécanique appliquée sur le PCB et sur les composants selon les 3 axes de l'espace. Les résultats ont montré que, dans le cas d'une fixation en 4 points, lorsqu'elle est excitée selon l'axe Z, la brasure subit une contrainte (67 MPa) supérieure à sa résistance (59 MPa), alors que les contraintes sont plutôt faibles dans le cas d'une fixation en 4 points selon l'axe Z. Les résultats de simulation selon les axes X et Y ne montrent aucun dépassement de contrainte dans les deux cas testés. Il est conclu qu'une fixation en 6 points est suffisante pour éviter que l'essai de vibration ne soit perturbé par la fréquence de résonance du système de PCB et des composants.

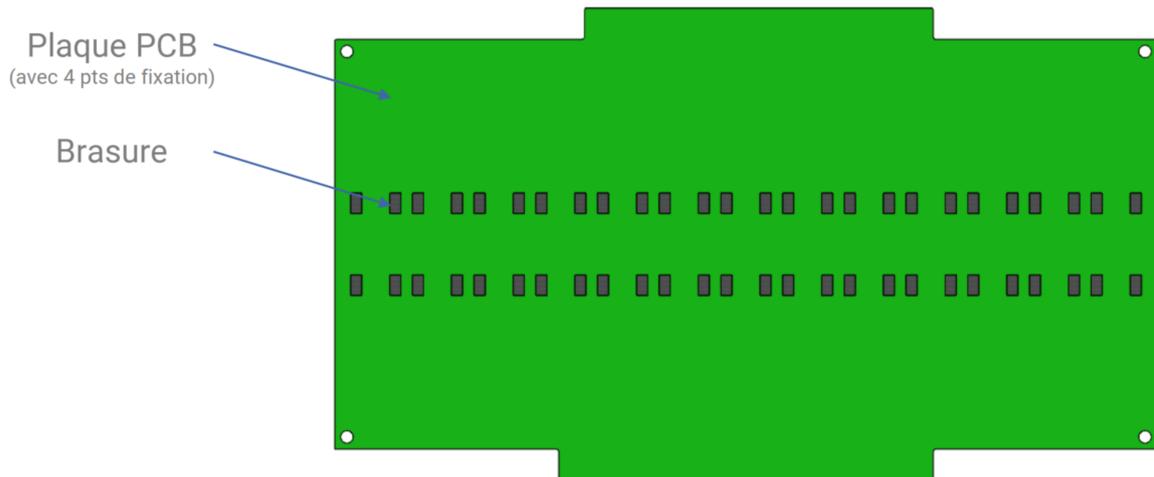


FIGURE 3.10 – La plaque PCB pour l’essai vibratoire des inductances bobinées.

Les spécifications de l’essai de vibration sont les suivantes (adaptées de la norme MIL-STD-202 METHOD 204 pour les fréquences de vibration associées à l’application médicale [14]) :

- Intervalle de fréquence : de 5 Hz à 500 Hz, un intervalle spécifié par la norme NF EN 45502-1 pour les dispositifs médicaux implantables [2].
- Densité spectrale d’accélération : $PSD = 5 (m/s^2)^2/Hz$ qui est équivalent à $PSD = 0,052 g^2/Hz$ grâce à l’équation 3.10. Cela donne, en incluant les fréquences, une accélération de $G_{RMS} = 5,07g$ via l’équation 3.11.
- La forme de la courbe de densité spectrale d’accélération : sinusoïdal, balayage logarithmique de la fréquence de 5 Hz à 500 Hz et puis de 500 Hz à 5 Hz.

Le calcul de l’accélération est fait suivant :

$$PSD[g^2/Hz] = \frac{PSD[(m/s^2)^2/Hz]}{g[m/s^2]^2} \quad (3.10)$$

$$G_{RMS}[g] = \sqrt{(f_{max} - f_{min}) \times PSD[g^2/Hz]} \quad (3.11)$$

Pour calculer la durée de l’essai, le facteur d’accélération peut être utilisé pour trouver le temps équivalent à la durée de vie dans les conditions nominales. À partir de l’équation 2.16 dans le Chapitre 2 (loi de Basquin), le facteur d’accélération peut être écrit en fonction de PSD :

$$AF = \left(\frac{PSD_t}{PSD_0} \right)^{-\frac{b}{2}} = \frac{t_t}{t_0} \quad (3.12)$$

Où t_t est la durée de l’essai accéléré et t_0 la durée de vie du composants dans les conditions d’utilisation dans les DMIA.

La densité spectrale d'accélération nominale (selon l'expertise de l'équipe dans le domaine des DMIA et les spécifications de la norme NF EN 45502-1 pour les dispositifs médicaux implantables [2]) est supposée être $PSD_0 = 0,7 (m/s^2)^2/Hz$ et le paramètre Basquin $b = 8$ [171]. En supposant que la durée de vie des composants dans les conditions nominales suit une distribution de Weibull de paramètres (η, β) , la durée de vie peut être écrite comme $t_0 = \eta(\nu) \times (-\ln(R))^{\frac{1}{\beta}}$, où R est la fiabilité des composants. En utilisant l'équation 3.3 et en supposant un risque α , la durée de vie nominale devient :

$$t_0 = \eta(\nu) \times \left(-\frac{\ln(\alpha)}{N} \right)^{\frac{1}{\beta}} \quad (3.13)$$

On suppose $\beta = 1,5$ (fatigue au niveau des joints de brasure sur la carte électronique) et on fixe le risque à $\alpha = 0,2$ et le nombre des composants à tester par combinaison à $N = 24$. Il reste à calculer le paramètre d'échelle de Weibull η .

Pour une probabilité de défaillance p_0 et une durée de sollicitation mécanique sur le DMIA de T , le paramètre de l'échelle est :

$$\eta = \exp \left[\frac{\beta \times \ln(T) - \ln(-\ln(1 - p_0))}{\beta} \right] \quad (3.14)$$

En supposant $p_0 = 0,9 \%$ et $T = 2556,75 h$ (équivalent à 7 h de sollicitation par jour), on trouve η en utilisant l'équation 3.14, t_0 en utilisant l'équation 3.13, puis une durée d'essai de $t_t = 3,75 h$ pour un seul axe en utilisant l'équation 3.12.

Enfin, la durée d'essai sera de 15 min suivant chacun des axes mutuellement perpendiculaires, répétés 15 fois (total de 11,25h).

Cette section a détaillé la méthodologie d'adaptation des essais accélérés pour les composants montés en surface sensibles aux contraintes mécaniques, en se concentrant sur les inductances bobinées dans le contexte des DMIA. Les essais de température et de courant, ainsi que les essais de vibrations, ont été spécifiquement conçus pour provoquer les mécanismes de défaillance les plus pertinents, tels que la fatigue thermique et mécanique, et pour observer les défauts associés.

3.6 Élaboration d'un plan d'essai orienté dégradation : Exemple des condensateurs céramiques

Cette section a pour objectif d'appliquer la méthodologie concernant les essais accélérés qui ont pour objectif d'estimer un modèle de fiabilité prévisionnelle à travers des données de dégradation. Ceci afin de pouvoir efficacement définir des essais de qualification permettant de démontrer un certain niveau de fiabilité.

L'exemple d'application de la méthodologie présenté dans cette section est un autre

type de composant électronique passif très couramment utilisé : les condensateurs céramiques multicouches CMS. Cette famille de composants électroniques fait également partie des composants les plus problématiques en terme de fiabilité dans les dispositifs médicaux d'après un sondage d'iNEMI (voir la présentation de cette organisation au chapitre 1).

Une vue générale sur la physique de défaillance de ces condensateurs est présentée via une FMMEA. Cette analyse constitue la base pour déterminer les objectifs et l'orientation de la méthodologie. Une fois ces objectifs établis, les profils de tests avec les différentes métriques de fiabilité peuvent être définis. Ces profils sont méticuleusement élaborés pour garantir une évaluation rigoureuse de la fiabilité de ces composants dans les conditions environnementales de leur profil de mission. La dernière partie de cette section décrit brièvement la configuration et les outils techniques utilisés pour mettre en œuvre les tests de manière reproductible.

3.6.1 Résultats de la FMMEA des condensateurs céramiques multi-couches

Avant d'examiner la FMMEA des condensateurs céramiques multicouches, il est crucial de comprendre d'abord les caractéristiques technologiques de ces composants, puisque la défaillance dépend de celles-ci.

Un condensateur céramique multicouche est un type de condensateur céramique composé de plusieurs couches. La couche la plus externe, appelée finition de terminaison, est généralement constituée d'étain (*Sn*). À côté se trouve la couche barrière, généralement composée de nickel (*Ni*), et ensuite la terminaison d'extrémité ou électrode externe, souvent en cuivre (*Cu*). Au cœur du condensateur se trouve le matériau diélectrique, communément $CaZrO_3$, qui est entouré de plusieurs électrodes internes (sous forme de couches parallèles), généralement en nickel pour les condensateurs Base Metal Electrode (BME) ou en argent/palladium pour les condensateurs Precious Metal Electrode (PME). Les condensateurs BME sont la technologie prédominante des condensateurs céramiques multicouches utilisée aujourd'hui [172].

Les condensateurs céramiques multicouches sont classés en fonction de leurs matériaux diélectriques suivant :

- Classe I : par exemple, le C0G qui sont généralement constitués de matériaux paraélectriques comme le Dioxyde de Titane (TiO_2). Ils offrent une stabilité élevée et de faibles pertes pour les applications de circuits résonants.
- Classe II : par exemple, le X7R qui sont généralement constitués de matériaux ferroélectriques comme le Barium Titanate ($BaTiO_3$). Ils offrent une efficacité volumétrique élevée pour les applications de couplage et de découplage.

Les tailles des condensateurs céramiques multicouches sont codifiées de la même manière que les chips résistifs.

Une autre caractéristique principale des condensateurs céramiques multicouches est le produit CV (Capacité × Tension). Il représente la capacité de stockage d'énergie du condensateur.

La défaillance d'un condensateur céramique peut se produire principalement suivant les mécanismes de défaillance suivants :

- **Emballlement thermique** (*Thermal runaway*) : une augmentation progressive du courant de fuite qui entraîne un auto-échauffement et finalement la défaillance du composant [173]. Ce phénomène est dû à des imperfections intrinsèques (par exemple, des désordres électroniques, des dislocations, des joints de grains, etc) des matériaux diélectriques et peut se produire, par exemple, si le courant d'entrée dépasse les capacités de dissipation instantanée de puissance de ces imperfections [138], [162].
- **Claquage par avalanche** (*Avanlanche breakdown*) : sous haute tension et champ électrique qui arrache les électrons du matériau diélectrique provoquant la rupture [174]. Ce phénomène est dû à des imperfections extrinsèques dans le diélectrique (par exemple, porosité, délaminage, fissures, etc) [173].
- **Migration des lacunes d'oxygène** : ce mécanisme de défaillance concerne principalement les condensateurs céramiques BME qui présentent un grand nombre de lacunes d'oxygène restant des procédés de fabrication (processus de frittage³). En présence d'une humidité élevée, des lacunes d'oxygène supplémentaires sont créées à la surface, provoquant un gradient de concentration qui déplace les lacunes d'oxygène, diminuant la capacité nette [136].
- **Migration électrochimique** : également appelée croissance dendritique, il s'agit de la migration de filaments métalliques à cause de l'humidité et sous tension [126], [175]. Le champ électrique induit un mouvement ionique en facilitant la migration des ions chargés positivement le long des lignes du champ, se déplaçant de l'anode à la cathode via un chemin créé par le milieu humide [176].
- **Fissures** : Il existe de nombreux types de fissures [126], [177] :
 - fissures de choc thermique,
 - fissures de placement/manipulation,
 - fissures de flexion dues à une flexion excessive du PCB,
 - fissures dues à la résonance électromécanique des diélectriques de classe II qui sont des matériaux ferroélectriques.

3. Le frittage est défini par International Electrotechnical Commission (IEC) comme le : "traitement thermique permettant de former un matériau massif interconnecté à partir de poudres, par diffusion à l'état solide, croissance des cols, mouvement des joints de grains, etc."

Cependant, nous ne tenons pas en compte l'impact des contraintes mécaniques dans le déclenchement de ces mécanismes de défaillance. En effet, non seulement FIDES est arrivé à une très faible contribution des défaillances mécaniques (2%) par rapport aux défaillances thermoélectriques (70%) des condensateurs céramiques, mais aussi, dans le cadre des dispositifs médicaux implantables, les composants subiront de très faibles charges. Par conséquent, les types de défaillance mis en évidence dans nos travaux ne concerneront que les autres types de facteurs physiques d'accélération qui peuvent potentiellement détecter des fissures liées à des défauts de fabrication.

- **Croissance des fissures** : la migration électrochimique "sèche" (*Solid State Electromigration*) peut également se produire en l'absence d'humidité mais en présence de fissures qui fournissent un chemin pour le flux physique des atomes d'argent [174]. Cela contribue à la croissance des fissures et finalement à la dégradation du composant.
- **Dégradation de la résistance d'isolement** : la dégradation des matériaux diélectriques ou celle de la résistance d'isolement peut être causée par de nombreux facteurs, y compris d'autres mécanismes de défaillance mentionnés précédemment. Par exemple, l'emballement thermique peut induire un cycle d'augmentation de la température et de réduction de la résistance d'isolement, entraînant potentiellement une réduction de l'efficacité des diélectriques. Les atomes d'hydrogène générés en présence d'humidité à l'interface entre les diélectriques et l'anode peuvent contribuer à la dégradation de la résistance d'isolation par hydrolyse (réaction chimique dans laquelle une liaison chimique est rompue par action d'une molécule d'eau).
- **Vieillessement capacitif** : le vieillissement à des températures élevées est susceptible de provoquer des fissures de flexion dans le composant [178]. Cependant, cela pourrait ne pas être un problème critique pour les dispositifs médicaux implantables car même s'ils peuvent subir des températures élevées lors de la stérilisation par exemple, les durées ne sont pas suffisamment élevées pour provoquer un vieillissement. Dans tous les cas, les condensateurs céramiques de diélectrique de classe II (par exemple X7R) dépendent de la température et sont plus susceptibles de souffrir d'une perte de capacité par rapport aux condensateurs de diélectrique de classe I (par exemple C0G) [179]. D'autre part, la dégradation de la résistance d'isolement peut avoir un effet amplificateur dans les condensateurs miniatures qui accélère le vieillissement à cause des multicouches [180].

Sur la base de la FMMEA, nous tirons deux types d'informations qui nous seront utiles dans les sections suivantes :

- Pour la conception des plans d'expériences : La FMMEA révèle que les mécanismes de défaillance peuvent dépendre du type de diélectrique du matériau et de la capacité, comme observé pour le vieillissement capacitif et la dégradation de la résistance

d'isolation, par exemple. De plus, les phénomènes thermo-mécaniques peuvent être liés à la terminaison (rigide ou flexible), tandis que l'électromigration peut être influencée par la taille du composant.

- Pour les essais de durée de vie accélérés : Il est évident que la température, la tension, et l'humidité jouent un rôle crucial dans le déclenchement des défaillances. Par conséquent, les essais de durée de vie accélérés seront définis en fonction de ces contraintes environnementales, telles qu'elles sont rencontrées dans le profil de mission des DMIA.

3.6.2 Plan d'expériences

Comme pour les résistances, on recense de la FMMEA les facteurs technologiques (facteurs contrôlables) influençant la fiabilité. Il s'agit du matériau diélectrique, de la terminaison, de la taille, de la catégorie du produit CV et, dans une certaine mesure, du processus de fabrication via le fabricant. Les niveaux de ces facteurs technologiques, que l'on peut nommer *facteurs contrôlables*, sont choisis en se basant sur la FMMEA mais aussi sur l'expertise de TRONICO (voir la Table 3.8).

La catégorisation des produits CV est basée sur FIDES qui fournit des intervalles de valeurs pour chacune des deux principales classes des condensateurs céramiques, comme indiqué dans la Table 3.9.

TABLE 3.8 – Les facteurs contrôlables et leurs modalités pour les condensateurs céramiques multicouches, recensés par la FMMEA.

Facteur	Niveau 1	Niveau 2	Niveau 3	Niveau 4	Niveau 5	Niveau 6	Niveau 7
Diélectrique (A)	X7R	C0G	-	-	-	-	-
Terminaison (B)	Rigide	Flex	-	-	-	-	-
Taille (C)	1206	0805	0603	0402	0201	01005	-
CV (D)	Cat1	Cat2	Cat3	-	-	-	-
Fabricant (E)	Fab1	Fab2	Fab3	Fab4	Fab5	Fab6	Fab7

TABLE 3.9 – Catégories du produit CV issues du guide FIDES 2022.

	Classe I	Classe II
Cat1	$CV \leq 5, 10^{-8} V.F.$ (Volt.Farad)	$CV < 5, 10^{-6} V.F.$
Cat2	$1, 10^{-8} V.F. < CV \leq 5, 10^{-6} V.F.$ ou $1, 10^{-6} V.F. < CV$ pour un condensateur qui n'est pas en limite technologique	$1, 10^{-6} V.F. < CV \leq 5, 10^{-4} V.F.$ ou $1, 10^{-4} V.F. < CV$ pour un condensateur qui n'est pas en limite technologique

Cat3	Condensateur en limite technologique avec $CV > 1, 10^{-6}V.F.$	Condensateur en limite technologique avec $CV > 1, 10^{-4}V.F.$
-------------	---	---

Ces facteurs technologiques sont organisés grâce aux plans d'expériences de Taguchi. Si un plan complet d'expériences devait être défini, le nombre de combinaisons serait de $2 \times 2 \times 6 \times 3 \times 7 = 504$ combinaisons, ce qui nécessiterait beaucoup de ressources et de temps. Comme expliqué dans le Chapitre 2 Section 2.2, ceux-ci peuvent être réduits par les plans factoriels fractionnaires de Taguchi. De plus, les condensateurs céramiques sont des composants électroniques largement standardisés dans l'industrie et dont la technologie est mature depuis des années. Par conséquent, il est possible de considérer l'effet du fabricant sur la fiabilité du composant comme négligeable (surtout que tous les composants choisis sont principalement de grade automobile donc qualifiés selon la norme AEC-Q200). Cela réduit les facteurs contrôlables à 4. Après avoir expérimenté avec différentes possibilités d'organisation des plans d'expériences tout en respectant les contraintes techniques de la mise en oeuvre des essais, nous sommes arrivés aux 5 plans d'expériences présentés dans la Table 3.10⁴. En effet, dans cette table :

- Le plan de **CC01** à **CC18** : est un plan complet de trois facteurs : Terminaison (2 niveaux), Taille (3 niveaux), et CV (3 niveaux), pour les condensateurs de Diélectrique "X7R".
- Le plan de **CC19** à **CC36** : est un plan complet de trois facteurs : Terminaison (2 niveaux), Taille (3 niveaux), et CV (3 niveaux), pour les condensateurs de Diélectrique "C0G".
- Le plan de **CC37** à **CC44** : est un plan complet de trois facteurs : Diélectrique (2 niveaux), Terminaison (2 niveaux), et CV (2 niveaux puisque cette catégorie n'existe pas pour les condensateurs miniatures), pour les condensateurs de Taille "0402".
- Le plan de **CC45** à **CC48** : est un plan complet de trois facteurs : Diélectrique (2 niveaux) et CV (2 niveaux), pour les condensateurs de Terminaison "Rigide" et Taille "0201".
- Le plan de **CC49** à **CC52** : est un plan complet de trois facteurs : Diélectrique (2 niveaux) et CV (2 niveaux), pour les condensateurs de Terminaison "Rigide" et Taille "01005".

4. Les combinaisons 3, 12, 21, 26, 30, et 43 étaient impossibles à approvisionner pour diverses raisons, donc on considère les données correspondantes comme *données manquantes* qu'on traitera dans Chapitre 4.

TABLE 3.10 – Les combinaisons des facteurs incontrôlables sous forme de plans d’expériences pour les condensateurs céramiques multicouches.

	Diélectrique	Terminaison	Taille	CV
CC01	X7R	Rigide	0603	Cat1
CC02	X7R	Rigide	0603	Cat2
CC03	X7R	Rigide	0603	Cat3
CC04	X7R	Rigide	0805	Cat1
CC05	X7R	Rigide	0805	Cat2
CC06	X7R	Rigide	0805	Cat3
CC07	X7R	Rigide	1206	Cat1
CC08	X7R	Rigide	1206	Cat2
CC09	X7R	Rigide	1206	Cat3
CC10	X7R	Flex	0603	Cat1
CC11	X7R	Flex	0603	Cat2
CC12	X7R	Flex	0603	Cat3
CC13	X7R	Flex	0805	Cat1
CC14	X7R	Flex	0805	Cat2
CC15	X7R	Flex	0805	Cat3
CC16	X7R	Flex	1206	Cat1
CC17	X7R	Flex	1206	Cat2
CC18	X7R	Flex	1206	Cat3
	Diélectrique	Terminaison	Taille	CV
CC19	C0G	Rigide	0603	Cat1
CC20	C0G	Rigide	0603	Cat2
CC21	C0G	Rigide	0603	Cat3
CC22	C0G	Rigide	0805	Cat1
CC23	C0G	Rigide	0805	Cat2
CC24	C0G	Rigide	0805	Cat3
CC25	C0G	Rigide	1206	Cat1
CC26	C0G	Rigide	1206	Cat2
CC27	C0G	Rigide	1206	Cat3
CC28	C0G	Flex	0603	Cat1
CC29	C0G	Flex	0603	Cat2
CC30	C0G	Flex	0603	Cat3
CC31	C0G	Flex	0805	Cat1
CC32	C0G	Flex	0805	Cat2
CC33	C0G	Flex	0805	Cat3
CC34	C0G	Flex	1206	Cat1
CC35	C0G	Flex	1206	Cat2
CC36	C0G	Flex	1206	Cat3

	Diélectrique	Terminaison	Taille	CV
CC37	X7R	Rigide	0402	Cat1
CC38	X7R	Rigide	0402	Cat2
CC39	C0G	Rigide	0402	Cat1
CC40	C0G	Rigide	0402	Cat2
CC41	X7R	Flex	0402	Cat1
CC42	X7R	Flex	0402	Cat2
CC43	C0G	Flex	0402	Cat1
CC44	C0G	Flex	0402	Cat2
	Diélectrique	Terminaison	Taille	CV
CC45	X7R	Rigide	0201	Cat1
CC46	X7R	Rigide	0201	Cat2
CC47	C0G	Rigide	0201	Cat1
CC48	C0G	Rigide	0201	Cat2
	Diélectrique	Terminaison	Taille	CV
CC49	X7R	Rigide	01005	Cat1
CC50	X7R	Rigide	01005	Cat2
CC51	C0G	Rigide	01005	Cat1
CC52	C0G	Rigide	01005	Cat2

3.6.3 Profils des essais accélérés

À partir de la FMMEA, il peut être observé que la température, l'humidité et la tension sont les principaux accélérateurs de défaillance. Par conséquent, l'application des essais accélérés tels que (Température-Humidité-Tension) est un choix judicieux. Cependant, pour mieux comprendre l'effet de différents niveaux de ces facteurs de stress sur la dégradation des composants, un plan Hypercube Latin (LHD) sera défini pour 5 niveaux différents de ces facteurs de stress, ce qui donne 5 essais accélérés adaptés comme montré dans la Table 3.11 où le ratio de tension est le rapport entre la tension à appliquer durant l'essai et la tension nominale du composant. Le principe de plan d'expériences basé sur l'Hypercube Latin a été expliqué dans le Chapitre 2 Section 2.3.3, et l'exemple ici est inspiré par les travaux de Zhu & Elsayed [116] où ils ont montré que ce type de plan permet de minimiser la variance dans l'estimation de la fiabilité.

Le plan Hypercube Latin de la Table 3.11 est défini en fixant d'abord les valeurs minimales et maximales de chacun des trois stress (dans les limites de ce qui est techniquement possible dans les chambres climatiques à disposition), puis les valeurs intermédiaires sont réparties de manière égale.

Il est important de noter que ce plan sera croisé avec le plan d'expériences défini dans la section précédente pour avoir un plan produit comme expliqué dans le Chapitre 2. Pour chaque essai (correspondant à un croisement dans le plan produit), les contraintes environnementales sont appliquées simultanément pendant 1000 heures, une valeur référencée dans la norme AEC-Q200.

La surveillance de la dégradation des condensateurs céramiques implique de suivre la variation des caractéristiques électriques de ces composants pendant la durée des tests. Ces caractéristiques (les réponses des plans d'expériences) sont principalement :

- Capacité C_p (Farad).
- Dissipation D : mesure le taux de perte d'énergie.
- Résistance d'isolement R_{isol} (Ohms) : exprime la qualité de l'isolement entre deux éléments conducteurs et fournit une bonne indication sur les risques de circulation de courants de fuite.

TABLE 3.11 – Les essais de durée de vie accélérés définis par un plan d'expériences Hypercube Latin pour les condensateurs céramiques multicouches.

Ratio de tension (V)	Humidité (%)	Température (°C)
0	75	30
0,4	85	85
0,8	30	60
1,2	0	120
1,6	60	10

Dans cette section, nous avons défini des essais de vie accélérés pour les condensateurs céramiques multicouches en nous basant sur une analyse FMMEA. Cela a permis d'identifier les mécanismes de défaillance les plus susceptibles de se produire en fonction du profil de mission des DMIA, ainsi que les facteurs technologiques les plus susceptibles de les influencer pour définir les plans d'expériences. Les essais visent à observer la dégradation des condensateurs et à estimer les paramètres du modèle de fiabilité qui la régissent à partir de cette dégradation, afin d'optimiser la définition des essais de qualification pour ces composants.

3.7 Outillage

En ce qui concerne la mise en oeuvre des essais accélérés, les composants sont assemblés sur des cartes de test au laboratoire de Tame-Component en utilisant les procédés industriels utilisés pour la fabrication de dispositifs médicaux. Ces cartes de test sont conçues de manière que leurs points de mesure soient disposés aux mêmes endroits pour que les équipements de mesure soient réutilisables pour tous les types de composants dans le périmètre de l'étude. Les paramètres électriques de chaque composant seront mesurés et enregistrés puis les cartes seront soumises à des stress selon les essais de durée de vie accélérés choisis.

A l'issue de ces stress, les composants seront de nouveau testés électriquement puis une analyse destructive sera menée sur certains d'entre eux afin de caractériser leur vieillisse-

ment physique et de le comparer au mode de vieillissement physique initialement prévu pour chacun d'eux.

3.7.1 Carte de test

Afin d'avoir un échantillonnage suffisant de composants pour les tests, la carte de test est équipée de 24 emplacements de composants ainsi que d'un emplacement "O" déterminent la voie de calibration Open (pas de composant) et d'un emplacement "S" déterminent la voie de calibration Short (composant partiellement en court-circuit).

Pour pouvoir effectuer des mesures de type 4-fils sur chaque composant, chaque emplacement est relié à quatre points de tests. La carte dispose donc de 104 points de test repartis entre C3 et C4 en top et bottom (Figure 3.11) avec des longueurs de fils équivalentes entre chaque emplacement et les points de tests afin de ne pas créer des effets parasites liés à une différence en longueur de câble lors de mesures sensibles.

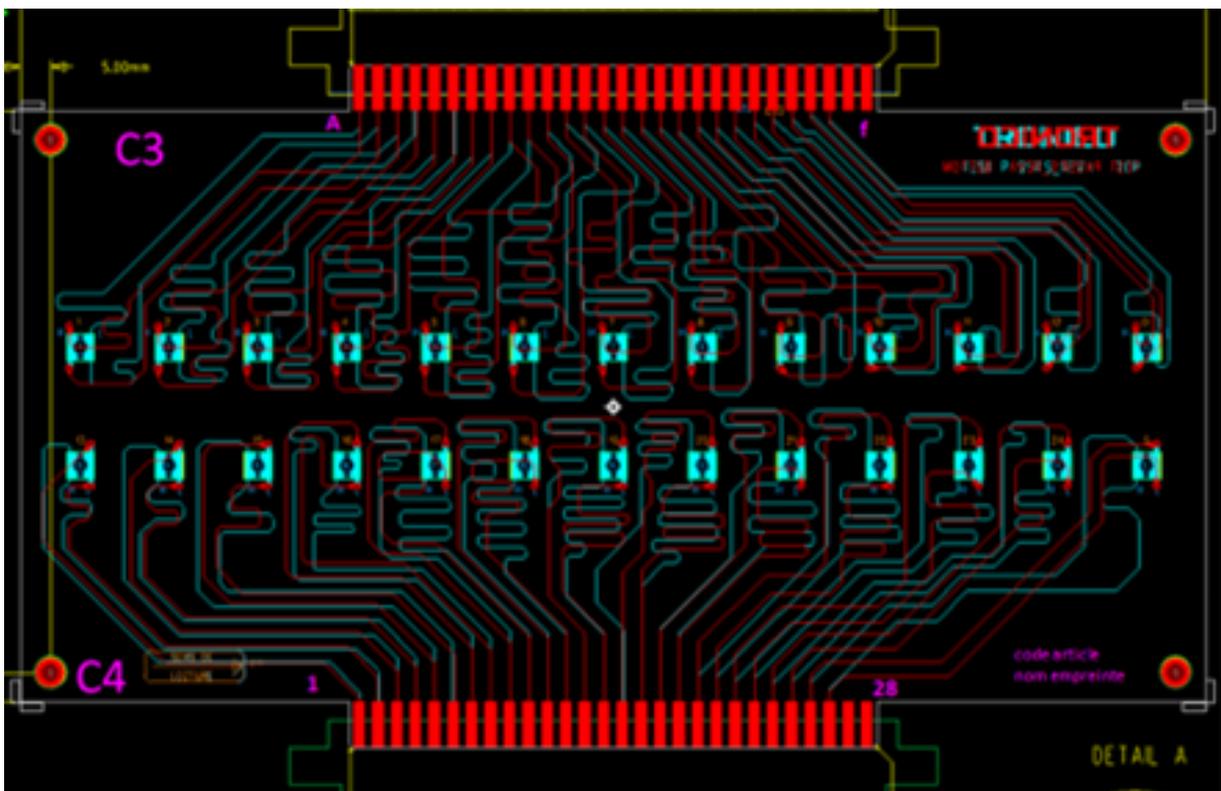


FIGURE 3.11 – Schématique du design des cartes de test.

Chaque empreinte de composant nécessite donc une carte de test spécifique.

3.7.2 Banc de test

Le banc de test (Figure 3.12) permet de tester les valeurs des différents paramètres des composants discrets passifs montés sur une carte de test, à l'aide d'un ensemble d'appareils branchés à ce dernier (Pont RLC, Mégohmmètre, Multimètre, Analyseur de spectre) et

d'une application informatique qui permet la gestion des différents modules du banc et la génération des fichiers de traçabilité des composants. Les fichiers de traçabilité comportent des informations sur les instruments, la version du logiciel utilisée, les conditions de test, les emplacements de test, les limites minimum et maximum et les mesures.

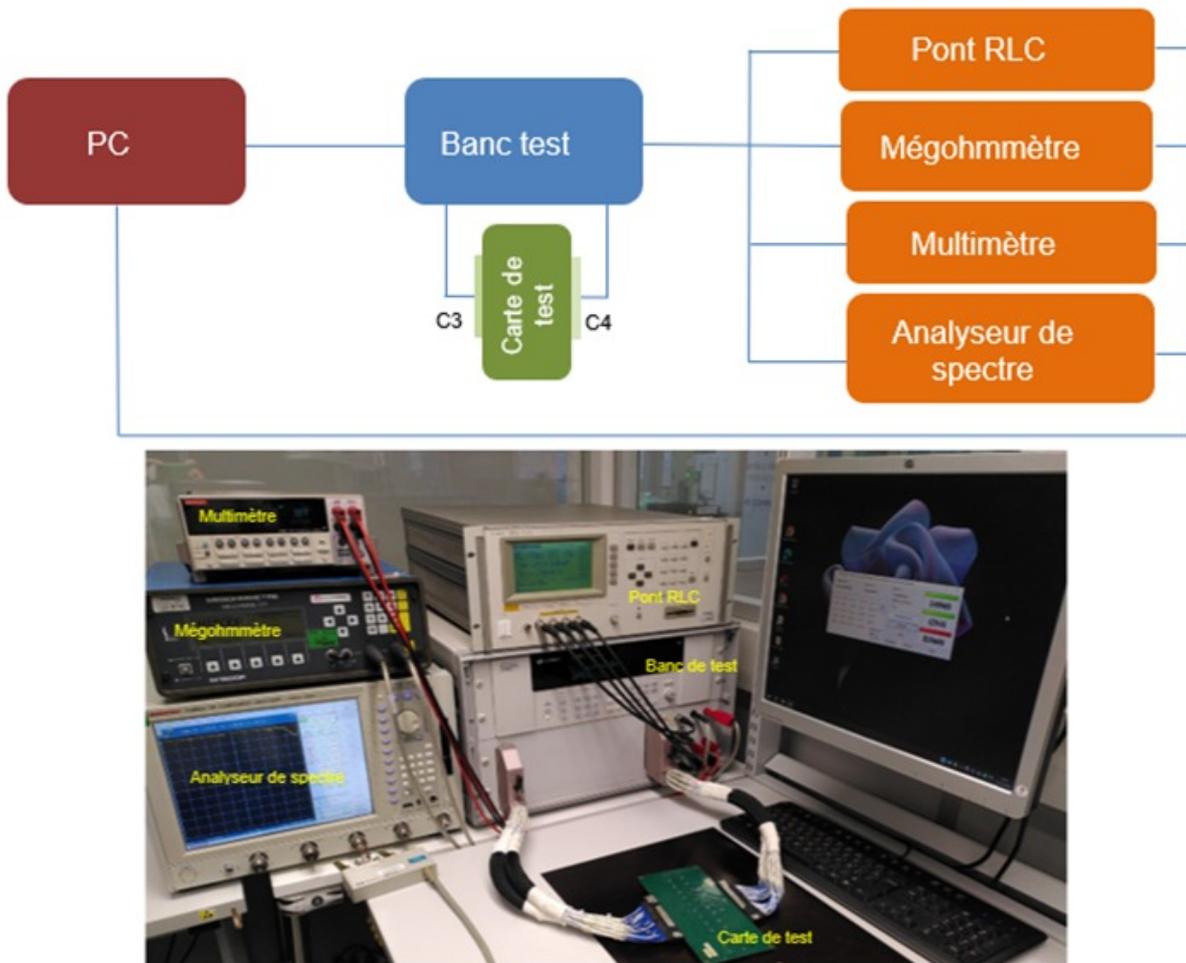


FIGURE 3.12 – Le banc de test des composants passifs.

La carte de mise en essai accéléré est équipée de 20 voies. Chaque voie à un emplacement pour une résistance qui peut nous permettre d'abaisser le niveau de tension, un connecteur 4 voies qui permet de câbler la carte de test (2 voies pour C3 et deux voies pour C4) et un connecteur 2 voies qui permet de relier un scanner afin d'enregistrer la valeur de la tension aux bornes de la carte de teste durant les essais accélérés.

La carte peut également être alimentée en continue ou par cycles ON / OFF grâce à un relais alimenté sous 12 V. Voir schéma électrique et plan de la carte réalisés par TAME-COMPONENT3.13.

Les Figures 3.14, 3.15, et 3.16 montrent les setups des cartes des différents composants.

Pour gagner du temps, toutes les cartes de circuits sont placées dans la même chambre climatique, en utilisant des racks pour celles qui subissent les mêmes tests accélérés, comme montré dans les Figures 3.14, 3.15, et 3.16.

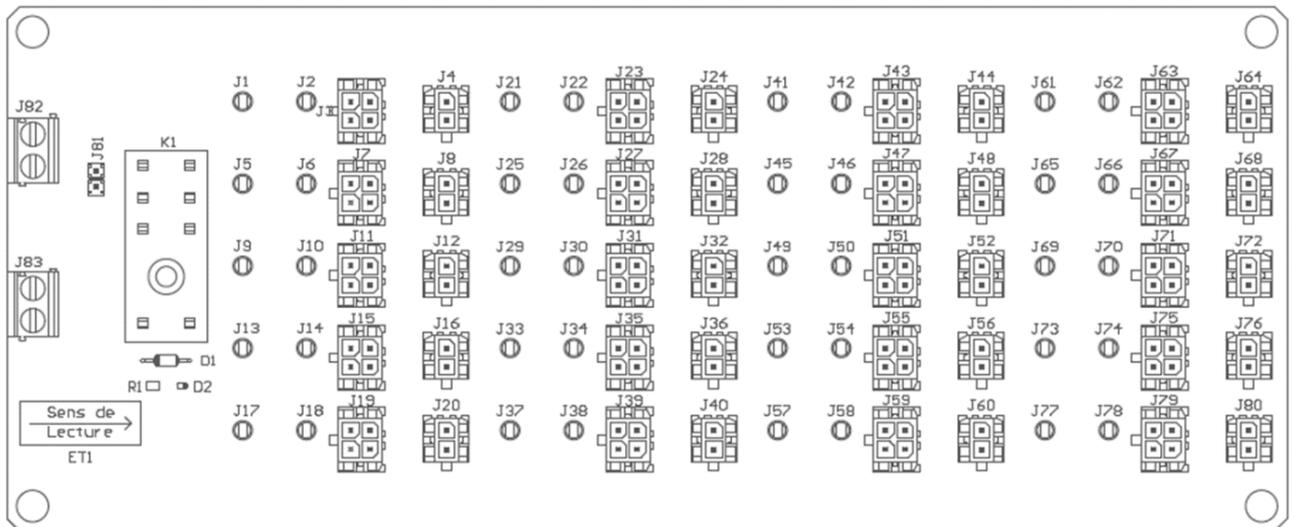
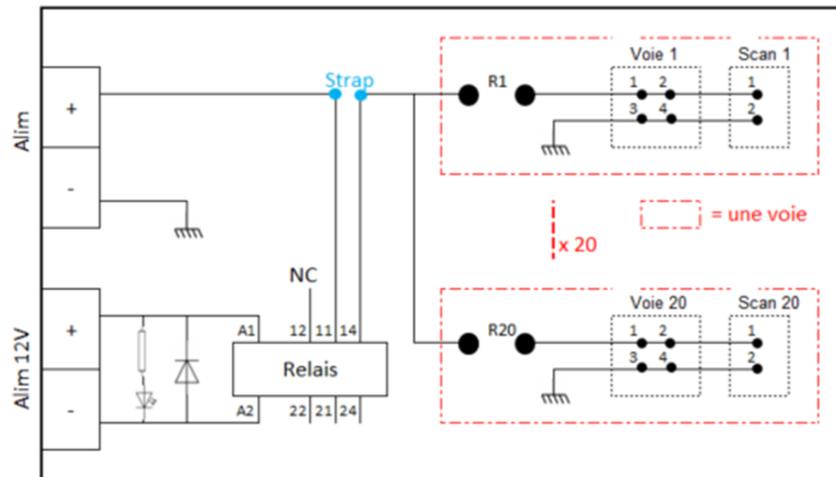


FIGURE 3.13 – Carte de mise en essai accéléré : schéma électrique et plan.

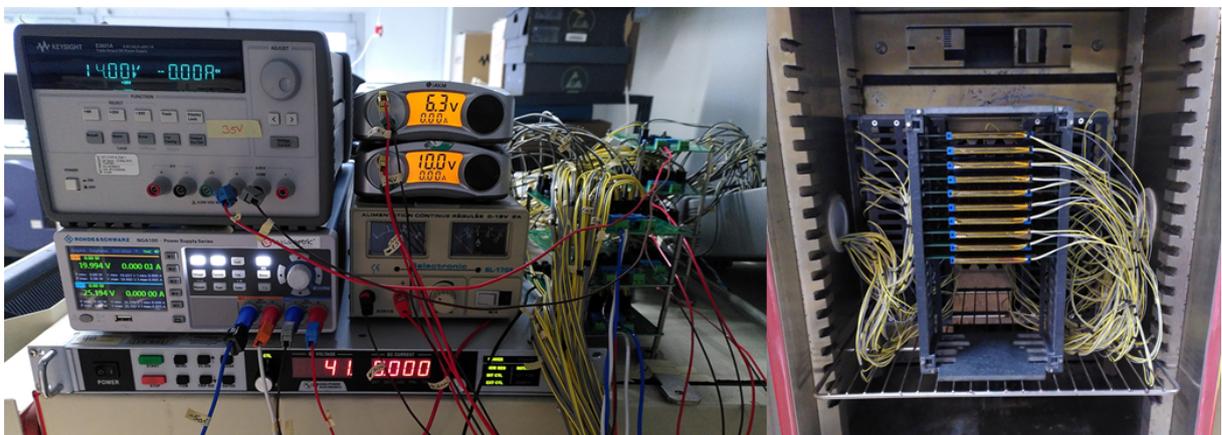


FIGURE 3.14 – Essais accélérés des condensateurs céramiques multicouches - THB.

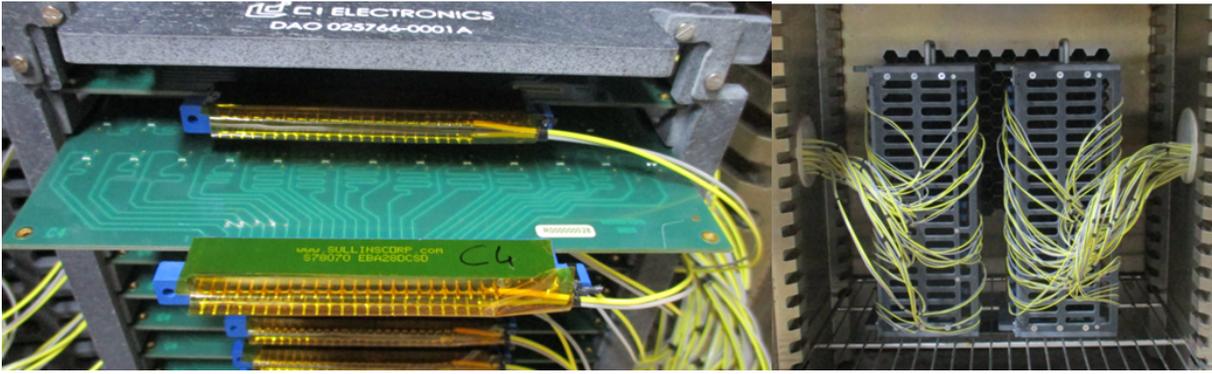


FIGURE 3.15 – Essais accélérés des chips résistifs - Cyclage thermique.



FIGURE 3.16 – Essais accélérés des inductances ferrite multicouches - Choc thermique.

3.8 Conclusion

Ce chapitre propose une méthodologie pour définir des essais de durée de vie accélérés en vue de qualifier des composants électroniques dans le contexte des DMIA. Cette approche repose sur la conception des plans d'expériences et sur les objectifs de qualification orientés par l'analyse des mécanismes de défaillance à travers la FMMEA.

Deux approches distinctes de qualification sont proposées en fonction du profil de mission des DMIA : une approche axée sur la détection des défauts de qualité latents et une autre visant à démontrer la fiabilité des composants électroniques.

Le choix de la méthode à appliquer est guidé par une analyse approfondie des mécanismes de défaillance via la FMMEA et par une évaluation des guides de fiabilité prévisionnelle existants, complétée par des normes industrielles telles que l'AEC-Q200 utilisée dans l'industrie automobile. En fonction de cette analyse, les essais de durée de vie accélérés sont définis par rapport au profil de mission des DMIA. Les plans d'expériences factoriels de Taguchi sont intégrés aux essais de durée de vie accélérés sous forme de plan produit, permettant ainsi de prendre en compte l'impact des facteurs technologiques.

Dans ce cadre, les circuits intégrés sont utilisés comme exemple pour illustrer la détermination de la taille d'échantillon nécessaire pour démontrer un niveau de fiabilité. Ensuite, les résistances CMS, souvent sujettes à des défauts de qualité latents, sont présentées pour illustrer la première méthode de qualification, avec des essais de cyclage thermique, de surcharge électrique, et de surcharge de puissance par impulsions. Les inductances CMS sont données en exemple pour la définition d'un essai de vibration, visant à démontrer la fiabilité sous contraintes mécaniques. Enfin, les condensateurs céramiques multicouches CMS sont utilisés pour illustrer la deuxième méthode de qualification, où des essais accélérés sont définis pour estimer les paramètres d'un modèle de fiabilité prévisionnelle.

Ce chapitre s'est concentré sur la méthodologie de définition des tests de fiabilité sans entrer dans les détails sur les résultats. Le prochain chapitre se concentrera sur l'analyse des résultats, ce qui permettra une validation de cette méthodologie en explorant différentes façons d'analyse et d'extraction des informations sur la fiabilité des composants et l'impact de différents facteurs sur celle-ci.

ANALYSE DES RÉSULTATS DES ESSAIS DE QUALIFICATION À PARTIR DU PLAN PRODUIT

Points marquants

- Ce chapitre détaille l'analyse des résultats des essais des plans produit définis au Chapitre 3 afin de définir des essais de qualification des composants. Deux méthodes d'analyse sont proposées en fonction des typologies d'essais : (1) une qui vise à discerner les défauts de qualité latents (cas d'étude : chips résistifs). (2) une qui vise à démontrer la fiabilité des composants électroniques (cas d'étude : condensateurs céramiques multicouches montés en surface).
- Dans le cas où des données manquent dans le plan d'expériences (pour diverses raisons telles que des limitations techniques et matérielles), certaines méthodes sont introduites pour résoudre ce problème, par exemple, en remplaçant les valeurs par la moyenne ou la médiane des valeurs du plan d'expériences.
- Dans le cas de peu ou pas de défaillances, nous proposons de remplacer le nombre de défauts observés dans l'essai de typologie (1) par la limite supérieure unilatérale de l'intervalle de confiance pour pouvoir appliquer l'analyse statistique du rapport signal/bruit proposée par Taguchi. Cette méthode aide à identifier les essais de durée de vie accélérés les plus efficaces pour discerner les défauts qualité.
- Pour l'essai de typologie (1), il est proposé d'ajuster un modèle théorique pour visualiser l'impact des facteurs technologiques sur la réponse.
- Pour l'essai de typologie (2), un modèle de fiabilité est créé (en supposant une distribution de Weibull mixte) et ses paramètres sont estimés en utilisant la méthode du maximum de vraisemblance. L'analyse de la variance sur les estimations est utilisée pour améliorer l'estimation. Les paramètres estimés complètent la FMMEA (Failure Mechanisms, Modes & Effects Analysis) et permettent une définition des essais de fiabilité plus adaptée au profil de mission des DMIA.

4.1 Introduction

Dans le chapitre précédent, nous avons expliqué la méthodologie proposée pour concevoir des plans produits qui croisent les plans d'expériences de Taguchi et les essais de durée vie accélérés afin de qualifier les composants électroniques par rapport au profil de mission des DMIA. Principalement, deux types de tests de vie accélérés ont été présentés pour chacun de nos deux objectifs :

1. Des essais accélérés conçus pour identifier les éventuels défauts de qualité latents qui ont échappé au contrôle de qualité. Ces essais concernent les composants qui bénéficient d'une maturité technologique élevée et sont relativement assez fiables. Par conséquent, grâce à une FMMEA (Failure Mechanisms, Modes, & Effects Analysis), les facteurs environnementaux accélérant la défaillance liée aux défauts de ces composants ont été identifiés, et les profils des essais ont été définis en conséquence. La réponse de ces essais étant le nombre de défauts, l'analyse statistique vise à identifier les essais accélérés les plus efficaces pour discerner les défauts, indépendamment des facteurs technologiques du composant.
2. Des essais accélérés conçus pour démontrer un certain niveau de fiabilité. Cela est réalisé soit en contrôlant la taille de l'échantillon (circuits intégrés dans le Chapitre 3), soit en contrôlant les niveaux de contraintes pendant le test (inductances bobinées), soit en estimant les paramètres du modèle de fiabilité prévisionnelle (condensateurs céramiques multi-couches).

L'objectif de ce chapitre est de compléter les travaux présentés dans le Chapitre 3 en détaillant les étapes d'analyse des résultats des deux types de tests préalablement définis. L'analyse sera d'abord introduite théoriquement puis appliquée sur les chips résistifs et les condensateurs céramiques multicouches CMS. Ainsi, ce chapitre est organisé en trois sections : la première partie offre une synthèse méthodique sur le traitement des données manquantes, un problème souvent rencontré en expérimentation, suivie d'une section se concentrant sur la typologie (1) d'essais de durée de vie accélérés où il est montré comment une analyse statistique telle que le rapport signal/bruit permet d'identifier l'efficacité des essais accélérés ainsi qu'une "visualisation" de l'impact des facteurs technologiques sur le nombre de défauts. Ensuite, la troisième section se concentre sur la typologie (2) d'essais de durée de vie accélérés où il est expliqué comment construire un modèle de fiabilité prévisionnelle à travers les données de dégradation et comment l'estimation des paramètres peut être améliorée via l'analyse statistique ANOVA.

4.2 Traitement des données manquantes

Les données expérimentales peuvent être manquantes pour diverses raisons, telles que la perte ou l'endommagement d'un composant ou d'un échantillon en dehors des tests

de fiabilité, des mesures incorrectes qui ne peuvent être refaites, des composants ne présentant pas les paramètres prévus, l'indisponibilité des combinaisons des facteurs technologiques requis sur le marché, ou l'impossibilité technique de réaliser une combinaison d'essai. Lorsque des valeurs manquent dans le plan d'expériences de Taguchi, l'équilibre qui permet l'utilisation de cette approche n'est plus respecté, ce qui complique les calculs et le développement des outils mathématiques appropriés comme par exemple l'analyse des moindres carrés. L'imputation, c'est-à-dire remplacer les valeurs manquantes à partir des données observées, est donc l'une des méthodes utilisées pour remédier à ce problème [181].

Dans les plans d'expérience, les valeurs manquantes sont souvent remplacées par la moyenne des réponses de sortie mesurées [182]. Par la suite, les estimations basées sur les diagrammes des effets principaux sont utilisées pour remplacer les valeurs manquantes de manière itérative jusqu'à ce qu'elles convergent.

Deux façons d'aborder les valeurs manquantes : analyse approximative qui inclut l'imputation, et analyse exacte.

Les méthodes approximatives : par exemple minimiser la somme des carrés des erreurs (SC_E) [183, p. 154] : estimer les valeurs manquantes en résolvant les équations multivariées résultant de la différenciation de la somme des carrés des erreurs par rapport à chaque valeur et en égalant cela à zéro, de manière itérative, pour chaque valeur manquante jusqu'à ce que les résultats convergent.

Un exemple des méthodes utilisées dans le cadre de cette approche est la méthode des moindres carrés, qui ne nécessite pas de plan orthogonal. Cependant, il est important de noter que, dans des plans non orthogonaux, les estimations des effets peuvent être corrélées [183, p. 268].

La méthode exacte [183, p. 655] : Dans certains cas, les méthodes d'approximation ne sont pas appropriées pour analyser un plan déséquilibré, donc l'analyse de la variance peut être abordée de manière à ajuster les données à un modèle et à utiliser l'approche de test de signification de la régression générale.

Dans ce chapitre, nous utiliserons la méthode approximative d'imputation en raison de son efficacité pratique. En particulier, l'imputation par la moyenne et par la médiane seront effectuées de manière itérative jusqu'à ce que les valeurs convergent. Les résultats des deux méthodes seront ensuite comparés.

4.3 Analyse des essais pour la qualification

Nous avons expliqué dans le Chapitre 3 qu'un composant électronique, comme une résistance CMS, peut être très fiable et techniquement mature, et donc les essais de durée de vie accélérés sont définis de manière à observer les défauts. Le but de cette section est d'expliquer la méthodologie pour analyser les résultats du plan produit des essais de durée

de vie accélérés et des plans d'expériences de manière à permettre de conclure sur l'ALT / l'essai accéléré le plus efficace pour discerner les défauts afin de qualifier le composant en question dans les DMIAs.

4.3.1 Description générale de l'analyse

L'objectif est de savoir comment analyser les résultats de ces tests, en particulier le plan produit de Taguchi pour répondre à deux problématiques principales : a) comment comprendre l'influence des facteurs de design des composants sur leur fiabilité, et b) quels tests de durée de vie accélérée permettent une observation statistiquement significative des défauts.

La méthodologie d'analyse des résultats pour la qualification proposée dans cette section se caractérise par les éléments suivants :

- La réponse correspond au nombre de défauts.
- Pour l'observation des défaillances, les mesures des principaux paramètres électriques sont effectuées au début et à la fin des tests plutôt qu'à intervalles réguliers.

Rappelons que le plan produit de Taguchi est un croisement de deux plans : a) un qui comprend des combinaisons de facteurs technologiques (facteurs contrôlables), que l'on peut appeler le *plan intérieur*, et b) un qui comprend des combinaisons de facteurs environnementaux (facteurs de bruit), que l'on peut appeler le *plan extérieur*. En relation avec l'objectif de cette analyse, le plan extérieur n'est pas basé sur des arrangements spécifiques tels que définis par les plans d'expériences ou autres méthodes DoE, mais plutôt sur des essais de durée de vie accélérés ciblant des défauts spécifiques tels que définis dans le Chapitre 3. Une schématisation simplifiée est donnée dans la Table 4.1.

TABLE 4.1 – Extrait de plan d'expérience avec un plan intérieur en vert de 4 facteurs, et un plan extérieur en bleu avec 5 combinaisons d'essai accéléré (ALT).

				ALT N°	1	2	3	4	5
DOE N°	Facteur A	Facteur B	Facteur C	Facteur D	Réponses				
1	A1	B1	C2	D1	Y_{11}	Y_{12}	Y_{13}	Y_{14}	Y_{15}
2	A1	B1	C2	D2	Y_{21}	Y_{22}	Y_{23}	Y_{24}	Y_{25}
3	A1	B2	C2	D1	Y_{31}	Y_{32}	Y_{33}	Y_{34}	Y_{35}
4	A1	B2	C2	D2	Y_{41}	Y_{42}	Y_{43}	Y_{44}	Y_{45}

Soit n_c le nombre des combinaisons du plan intérieur, p le nombre des facteurs du plan intérieur, n_t le nombre des combinaisons du plan extérieur, N le nombre des composants identiques à tester pour chaque combinaison $(j, k) \in \{1, \dots, n_c\} \times \{1, \dots, n_t\}$ du plan produit, et (DOE_j, ALT_k) les combinaisons correspondantes.

En raison de la fiabilité élevée des composants concernés ici, il est tout à fait naturel que les essais produisent un très petit nombre de défaillances, voire aucune. Dans ce cas, et pour éviter des problèmes de calculs dans l'application des méthodes statistiques que nous

aborderons ci-dessous, les limites de l'intervalle de confiance unilatéral, comme indiqué dans l'annexe A.1, peuvent être utilisées comme réponse du plan produit.

Dans les sous-sections suivantes, nous proposons des méthodes d'analyse du plan intérieur et du plan extérieur du plan produit en utilisant le modèle théorique ou le rapport signal/bruit.

Analyse du plan intérieur - Modèle de réponse théorique

L'objectif de l'analyse du plan intérieur est de comprendre l'effet des facteurs technologiques sur la défaillance du composant, en particulier la sensibilité de la défaillance du composant aux facteurs de bruit (et donc sa robustesse par rapport à l'environnement). Pour cela, la moyenne et la variance de réponses pour chaque combinaison du plan intérieur peuvent être analysées en calculant les valeurs théoriques correspondantes, ceci suivant le modèle théorique expliqué ci-dessous.

Soit un facteur k du plan d'expérience Taguchi, n_k le nombre des niveaux de ce facteur, i l'indice de la combinaison DOE_i du plan intérieur, F_{ki} le vecteur unitaire de dimension $1 \times n_k$ associé qui contient les niveaux du facteur k de telle sorte que seul l'élément du vecteur correspondant au niveau du facteur présent dans la combinaison DOE_i est égal à 1 et le reste des éléments sont égaux à 0, E_k le vecteur de dimension $n_k \times 1$ contenant les effets de chaque niveau du facteur k , \bar{Y} est la moyenne de toutes les réponses. Le modèle théorique associé est :

$$\tilde{Y}_i = \bar{Y} + \sum_{k=1}^p E_k F_{ki} \quad (4.1)$$

La réponse théorique \tilde{Y}_i est calculée pour la moyenne et la variance, et les résultats sont analysés par rapport aux combinaisons du plan intérieur.

Analyse du plan intérieur - Signal/Bruit

La méthode précédente nous permet d'obtenir les effets de position, qui se réfèrent à l'influence des facteurs contrôlables sur la position centrale de la distribution de la réponse (mesurée par la moyenne théorique), ainsi que les effets de dispersion, qui concernent la variation de la réponse (mesurée par la variance théorique). Pour combiner ces deux effets en un seul indicateur, Taguchi propose de calculer le rapport signal-bruit [80, p.133].

Soit Y_{jk} la réponse associée à la combinaison (DOE_j, ALT_k) . On cherche la combinaison DOE_j qui est associée au plus petit nombre de défaillances, ce qui signifie minimiser la perte dans la réponse causée par les facteurs de bruit. Pour cela, Taguchi propose de calculer la fonction [80, p.134] :

$$S/N_j = -10 \log \left[\frac{1}{n_t} \sum_{k=1}^{n_t} Y_{jk}^2 \right] \quad (4.2)$$

Étant donné que le rapport signal/bruit (S/N) représente la robustesse d'une réponse au bruit, le résultat souhaité est toujours un S/N élevé, que la réponse souhaitée soit un maximum, un minimum ou une certaine valeur. Par conséquent, quel que soit l'objectif, la valeur à chercher pendant l'analyse est le maximum de S/N .

Analyse du plan extérieur - Signal/Bruit

L'objectif de l'analyse du plan extérieur est de comprendre et distinguer l'effet des facteurs environnementaux sur la défaillance du composant, en particulier pour trouver la combinaison ALT_k qui est la plus efficace pour détecter les défauts, tout en étant la moins sensible aux variations des facteurs technologiques. Par conséquent, on cherche la réponse maximale. Dans ce cas, on utilise la fonction [80, p.134] :

$$S/N_k = -10 \log \left[\frac{1}{n_c} \sum_{j=1}^{n_c} \frac{1}{Y_{jk}^2} \right] \quad (4.3)$$

Pour conclure cette section, l'analyse des résultats d'un essai accéléré orienté défauts est faite suivant deux objectifs :

1. Analyser le plan intérieur afin d'étudier la robustesse de la combinaison des facteurs contrôlables par rapport aux facteurs de bruit. Cela se fait par la modélisation théorique de la réponse pour comparer les effets de position et de dispersion, ou par le biais du rapport signal/bruit qui confond les deux effets.
2. Analyser le plan extérieur afin d'identifier la combinaison de facteurs de bruit qui a le plus d'influence sur la réponse.

Ces analyses fournissent des indications essentielles pour choisir les essais de qualification. En identifiant les combinaisons de facteurs contrôlables les plus robustes et les essais accélérés (facteurs de bruit) les plus influents, on peut concevoir des essais de qualification plus efficaces. Cela permet d'optimiser les essais pour mieux refléter les conditions réelles d'utilisation du composant.

4.3.2 Exemple des résistances

Comme nous l'avons vu dans le Chapitre 3 Section 3.4, trois types d'essais de durée de vie accélérés ont été définis pour les chips résistifs de tailles comprises entre 0402 et 1206 : le cyclage thermique qui comprend une période d'humidité et de mise en tension, la surcharge de puissance par impulsions, et la surcharge électrique, tandis que deux profils de cyclage thermique et un profil de surcharge électrique ont été définis pour les résistances miniatures de tailles 01005 et 0201. Puisque l'objectif de ces tests est d'observer les défauts, il n'y a pas de mesures intermédiaires. La résistance (R) de chaque résistance

est mesurée avant et après les essais accélérés, et la dérive est calculée. Une défaillance (un défaut) est comptée lorsque la dérive dépasse les critères d'acceptation tels que spécifiés dans la norme 60115-1 pour les résistances à valeurs fixes [18].

Pour rappel, dans cet exemple, nous avons un plan produit constitué de :

- Plan intérieur (cf. la Table 3.5) : $p = 4$ facteurs contrôlables (les nombres de niveaux pour ces facteurs sont : $n_1 = 2$, $n_2 = 6$, $n_3 = 6$, $n_4 = 6$), et total de $n_c = 56$ combinaisons.
- Plan extérieur : total de $n_t = 5$ combinaisons de facteurs de bruit.
- $N = 24$ chips résistifs identiques pour chaque combinaison (ce nombre a été choisi pour assurer une puissance statistique suffisante).

En raison de la taille miniature de plusieurs de ces chips résistifs, les valeurs requises du courant d'impulsion telles que définies dans le test de surcharge en puissance par impulsions sont plus faibles (aussi bas que 0,058A) que ce que le générateur d'impulsions à notre disposition peut faire (min 10A). Par conséquent, cet essai n'a pas pu être réalisé et nous nous concentrerons dans l'analyse sur les résistances miniatures qui n'avaient pas à subir cet essai mais un autre profil de cyclage thermique à la place, donc les combinaisons DoE N°33 à N°56 de la Table 3.5.

Dans la Table 3.5, on remarque que, par exemple, certains niveaux du facteur D ne sont pas mentionnés autant de fois que d'autres niveaux du même facteur. Cela est dû au fait qu'un plan d'expériences complet n'était pas possible, comme expliqué dans le Chapitre 3, donc il a plutôt été construit en sous-plans d'expériences qui seront analysés individuellement pour comprendre l'impact des différents facteurs sur le nombre de défauts. Dans cet exemple, nous nous concentrerons sur le plan contenant les lignes de 33 à 41 et de 48 à 56 pour garder l'orthogonalité d'un plan factoriel Taguchi. Les résultats des essais de ce plan sont montrés dans la Table 4.2.

De plus, l'analyse de défaillance via les rayons X, la Microscopie Électronique à Balayage (MEB) et la Spectroscopie à Dispersion d'Énergie des Rayons X (EDS) ont été effectués sur certaines de ces résistances qui présentaient des défauts visuels à travers le microscope optique. Cependant, en raison de leur taille miniature, qui a rendu la micro-section difficile, nous supposons que les modes de défaillance sont uniquement dus à la dérive de la valeur de la résistance.

Il faut rappeler également que les essais de durée de vie accélérés sont définis en accord avec le profil de mission des DMIAs et que les facteurs contrôlables sont identifiés par le biais de la FMMEA comme étant les plus influents en cas de défaillance. L'objectif global est de pouvoir concevoir des plans d'essais de durée de vie accélérés qui permettent de détecter les défauts de qualité qui n'ont pas été détectés lors du contrôle qualité, de sorte que ces résistances soient qualifiées pour être utilisées dans les DMIAs. Par conséquent,

TABLE 4.2 – Résultats des essais de durée de vie accélérés pour chaque combinaison de facteurs contrôlables de résistances miniatures (les facteurs sont : A) Matériau du film, B) Taille, C) Valeur de résistance, D) Fabricant ; Les ALTs sont : TC - Cyclage Thermique, EO - Surcharge Électrique).

Combinaison DOE	A	B	C	D	Nombre de défauts		
					TC1	TC2	EO
N°33	Thick	0201	Range3	Fab1	0	0	0
N°34	Thick	0201	Range5	Fab1	0	0	0
N°35	Thick	0201	Range6	Fab1	0	0	5/24
N°36	Thick	0201	Range3	Fab2	0	0	0
N°37	Thick	0201	Range5	Fab2	0	0	0
N°38	Thick	0201	Range6	Fab2	0	0	0
N°39	Thick	0201	Range3	Fab3	0	0	0
N°40	Thick	0201	Range5	Fab3	0	1/24	0
N°41	Thick	0201	Range6	Fab3	0	0	0
N°48	Thick	01005	Range3	Fab1	3/24	0	0
N°49	Thick	01005	Range5	Fab1	1/24	0	1/24
N°50	Thick	01005	Range6	Fab1	0	0	4/24
N°51	Thick	01005	Range3	Fab2	0	0	0
N°52	Thick	01005	Range5	Fab2	0	0	0
N°53	Thick	01005	Range6	Fab2	0	0	0
N°54	Thick	01005	Range3	Fab3	0	0	0
N°55	Thick	01005	Range5	Fab3	1/24	0	1/24
N°56	Thick	01005	Range6	Fab3	0	0	0

il y a deux problèmes que nous sommes intéressés à résoudre dans cet exemple :

1. Quel type d'ALT est le plus efficace pour discerner les défauts potentiels ? Pour répondre directement à l'objectif global. Ceci s'inscrit dans l'analyse du plan extérieur.
2. Quelles combinaisons de facteurs contrôlables sont les plus robustes contre les ALTs ? Pour compléter la qualification en visualisant la relation entre les facteurs contrôlables et les ALTs en ce qui concerne les défauts. Ceci s'inscrit dans l'analyse du plan intérieur.

Pour répondre à ces questions, comme expliqué dans la section précédente, les analyses suivantes peuvent être effectuées :

- Calcul de la moyenne pour chaque combinaison, suivi de l'effet de chaque facteur sur la moyenne. La moyenne théorique est ensuite calculée pour chaque combinaison afin d'identifier les effets de position.
- Répétition de l'étape précédente pour la variance au lieu de la moyenne pour identifier les effets de dispersion.

- Calcul du rapport signal/bruit pour chaque ligne, puis pour chaque colonne. Ceci est fait pour identifier les effets des facteurs sur la position et la dispersion (confondant les deux effets), ainsi que les effets des ALTs.

Étant donné que nous utiliserons l'équation 4.3 pour l'un de ces calculs, on peut remarquer qu'on ne peut pas utiliser une réponse nulle. Cependant, nous avons de nombreuses réponses dans la Table 4.2 où le nombre de défauts est zéro. Afin de résoudre ce problème, nous pouvons utiliser des limites de confiance unilatérales au lieu de la proportion de défauts en utilisant les calculs détaillés dans l'Annexe A.1 (voir aussi la Table 4.3). De plus, il s'agit également d'une réponse attendue du plan d'expériences qui correspond à la démonstration de fiabilité qui est l'objectif recherché.

TABLE 4.3 – Résultats des calculs statistiques sur le plan d'expériences Taguchi réduit pour les chips résistifs (la réponse étant la limite de confiance unilatérale supérieure de la proportion de défauts p_{sup} au niveau de confiance de 95 %).

DOE	A	B	C	D	p_{sup}			S/N	$\overline{p_{sup}}$	$Var(p_{sup})$	$\overline{\overline{p_{sup}}}$	$\sqrt{Var(\overline{p_{sup}})}$
					TC1	TC2	EO	$C9$	$C10$	$C11$	$C12$	$C13$
N°33	Thick	0201	Range3	Fab1	0,14	0,14	0,14	25,96	0,14	0,000	0,17	0,07
N°34	Thick	0201	Range5	Fab1	0,14	0,14	0,14	25,96	0,14	0,000	0,18	0,07
N°35	Thick	0201	Range6	Fab1	0,14	0,14	0,42	20,41	0,24	0,017	0,19	0,09
N°36	Thick	0201	Range3	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,13	0,03
N°37	Thick	0201	Range5	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,04
N°38	Thick	0201	Range6	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,05
N°39	Thick	0201	Range3	Fab3	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,03
N°40	Thick	0201	Range5	Fab3	0,14	0,21	0,14	24,50	0,17	0,001	0,15	0,04
N°41	Thick	0201	Range6	Fab3	0,14	0,14	0,14	25,96	0,14	0,000	0,16	0,05
N°48	Thick	01005	Range3	Fab1	0,32	0,14	0,14	22,18	0,20	0,007	0,19	0,07
N°49	Thick	01005	Range5	Fab1	0,21	0,14	0,21	23,41	0,19	0,001	0,19	0,07
N°50	Thick	01005	Range6	Fab1	0,14	0,14	0,37	21,24	0,22	0,012	0,20	0,10
N°51	Thick	01005	Range3	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,03
N°52	Thick	01005	Range5	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,04
N°53	Thick	01005	Range6	Fab2	0,14	0,14	0,14	25,96	0,14	0,000	0,16	0,05
N°54	Thick	01005	Range3	Fab3	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,02
N°55	Thick	01005	Range5	Fab3	0,21	0,14	0,21	23,41	0,19	0,001	0,16	0,03
N°56	Thick	01005	Range6	Fab3	0,14	0,14	0,14	25,96	0,14	0,000	0,17	0,06
L21				S/N	-15,19	-15,54	-14,93	Moy	0,16	0,002		

Légende :

† De la couleur rouge à verte : de la réponse la moins désirable à la plus désirable.

- **A** : film à couche mince ou épaisse, **B** : taille de boîtier, **C** : valeur de la résistance, **D** : fabricant.
- **TC1**, **TC2** : profils de cyclage thermique, **EO** : test de surcharge électrique (Electrical Overload).
- **S/N** : rapport signal/bruit.
- **Moy** : moyenne.
- $\overline{p_{sup}}$, $\overline{\overline{p_{sup}}}$, $Var(p_{sup})$: la moyenne observée, la moyenne théorique et la variance de la limite de confiance unilatérale supérieure de la proportion de défauts.
- $\sqrt{Var(\overline{p_{sup}})}$: l'écart-type théorique de la moyenne de la limite de confiance unilatérale supérieure de la proportion de défauts.

Analyse du plan intérieur (modèle théorique) En examinant les colonnes $C12$ (qui est notre réponse d'intérêt) et $C13$ (qui représente la variabilité dans les données) dans la Table 4.3, on observe que les résistances fabriquées par Fab1, notamment pour des valeurs de résistance élevées comme Range6 (100k Ω), présentent une proportion significativement plus élevée de défauts ($\overline{p_{sup}}$) et une variabilité accrue ($\sqrt{Var(p_{sup})}$), comme le montrent les couleurs rouges associées aux lignes correspondantes (par exemple, N°35 et N°50). À l'inverse, les résistances fabriquées par Fab2, particulièrement celles avec des valeurs de résistance faibles comme Range3 (10 Ω), affichent une proportion de défauts plus faible et une variabilité réduite, reflétées par les couleurs vertes dans les lignes correspondantes (par exemple, N°36 et N°51). À partir de ces observations on conclut que Fab2 produit des résistances plus robustes, tandis que Fab1 semble être plus sensible, en particulier pour des résistances élevées.

Exemple de calcul de la moyenne théorique pour la combinaison N°38 en utilisant la formule 4.1 (les résultats finaux sont arrondis) :

$$\tilde{Y}_{38} = \bar{Y} + E_{A_1} + [E_{B_1} E_{B_2}] \begin{bmatrix} 1 \\ 0 \end{bmatrix} + [E_{C_1} E_{C_2} E_{C_3}] \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} + [E_{D_1} E_{D_2} E_{D_3}] \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} \quad (4.4)$$

En remplaçant avec les valeurs numériques, cela donne :

$$\begin{aligned} \tilde{Y}_{38} = & 0,16 + 0 + [-0,00630 \ 0,00630] \begin{bmatrix} 1 \\ 0 \end{bmatrix} \\ & + [-0,00911 \ -0,00008 \ 0,00919] \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} \\ & + [0,02688 \ -0,01917 \ -0,00771] \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} = 0,15 \quad (4.5) \end{aligned}$$

Les effets sont calculés pour chaque niveau de chaque facteur. Par exemple, l'effet du niveau 2 du facteur D (qui correspond à l'effet du Fabricant 2) est :

$$E_{D_2} = \frac{Y_{36} + Y_{37} + Y_{38} + Y_{51} + Y_{52} + Y_{53}}{6} - \bar{Y} \quad (4.6)$$

Analyse du plan intérieur (S/N) En calculant le rapport signal/bruit pour chaque combinaison du plan intérieur suivant l'équation 4.2, comme montré dans la colonne $C9$ de la Table 4.3, on peut remarquer que les combinaisons liées au Fab1 et Range6 sont les moins robustes, ce qui est cohérent avec l'analyse suivant le modèle théorique. Nous ne pouvons pas conclure sur la combinaison la plus robuste puisque nous avons plusieurs

résistances qui ne sont pas défaillantes.

Analyse du plan extérieur (S/N) Le rapport S/N est également calculé pour chaque combinaison du plan extérieur suivant l'équation 4.3, comme le montre la ligne L21 dans la Table 4.3. L'objectif est de trouver l'ALT qui permet de discerner le plus de défauts dans les résistances. Le rapport S/N étant le plus élevé pour le test de surcharge électrique (EO), on en conclut que c'est l'ALT qui permet une meilleure qualification des chips résistifs pour le profil de mission des DMIAs.

4.4 Analyse des essais pour l'estimation d'un modèle de fiabilité

Pour certains autres composants très fiables, tels que les condensateurs céramiques multicouches CMS, la défaillance peut prendre beaucoup de temps à se produire même en conditions accélérés. Par conséquent, il est important de concevoir efficacement des tests de qualification en tenant compte du profil de mission spécifique des DMIAs. Afin d'améliorer la précision de l'estimation de fiabilité, la méthodologie proposée consiste à utiliser les données de dégradation issues des tests de durée vie accélérés typiques afin d'estimer un modèle de fiabilité, puis sur la base de ce modèle de fiabilité, définir un test de qualification approprié pour démontrer un certain niveau de fiabilité. L'objectif de cette section est d'expliquer comment analyser les données de dégradation issues des essais de durée de vie accélérés afin d'estimer les paramètres du modèle de fiabilité, comment utiliser les analyses statistiques pour améliorer l'estimation, et au final comment utiliser ces résultats pour définir un essai de qualification pour les composants dans les DMIAs.

4.4.1 Étapes générales de l'analyse

Le pilier de la méthodologie proposée au Chapitre 3 est le croisement de deux plans basés sur les principes des plans d'expériences, un plan intérieur contenant des combinaisons des facteurs contrôlables (facteurs technologiques), et un plan extérieur contenant des combinaisons des facteurs de bruit (facteurs environnementaux).

Soit n_c le nombre de combinaisons du plan intérieur, n_t le nombre de combinaisons du plan extérieur, et pour une combinaison $N^{\circ}j$ du plan intérieur J (ensemble qui contient les niveaux des facteurs dans la combinaison $N^{\circ}j$), ν_0 un paramètre calculé à partir d'un modèle de régression sur les facteurs technologiques des composants en représentant les niveaux de chaque facteur par une variable binaire comme suit :

$$\nu_{0j} = \sum_{x_l} \gamma_l \cdot \mathbf{1}_J(x_l) \quad (4.7)$$

Où $\mathbf{1}_J(x_l)$ est la fonction caractéristique égale à 1 quand le niveau x_l existe dans la combinaison J et égale à 0 sinon, et γ_l le coefficient associé, c'est-à-dire la contribution du niveau x_l à ν_{0_j} (la signification physique sera explicitée dans l'étape de définition du modèle de fiabilité ci-dessous).

Les principales étapes de la création d'un modèle de fiabilité prévisionnelle sont les suivantes :

Étape (a) - Évaluation des pseudo-durées de vie à partir des dégradations

Les mesures des paramètres électriques sont collectées avec leurs critères d'acceptation respectifs, qui sont dérivés de la fiche technique de chaque composant (car les fabricants maintiennent généralement les mêmes critères d'acceptation à partir de la norme appropriée). Les paramètres électriques peuvent ou non avoir dérivé au-delà des critères d'acceptation pendant l'essai de vie accéléré orienté dégradation. S'il n'y a pas assez de dérive de valeur, des modèles de dégradation sont utilisés pour estimer une durée de vie pour le composant, qu'on nomme *pseudo-durée de vie*.

Soit N le nombre de composants électroniques identiques d'un échantillon et y un paramètre caractéristique de ces composants représentant l'état ou la performance du composant au fil du temps. La dégradation de ce paramètre peut être modélisée, pour un composant, par :

$$y = f(t; \mu_1, \mu_2, \dots, \mu_l) + e \quad (4.8)$$

Où $f(t; \mu_1, \mu_2, \dots, \mu_l)$ est la dégradation réelle de y du composant à l'instant t , $\{\mu_1, \mu_2, \dots, \mu_l\}$ les coefficients reliant les facteurs de stress et la dégradation, et e correspond à l'erreur (liée à la mesure ou à la variabilité dans les données).

La fonction f peut être trouvée dans la littérature, soit sur le composant spécifique lui-même, soit sur les mécanismes de défaillance identifiés dans la FMMEA.

Les données sont ensuite ajustées par des modèles, et le modèle est validé à l'aide de méthodes numériques, telles que la statistique R^2 .

La statistique R^2 , également connue sous le nom de coefficient de détermination, est une mesure de l'adéquation d'un modèle pour les modèles de régression linéaire. Elle représente la proportion de la variabilité dans les données qui est expliquée par le modèle (par opposition à la variabilité due aux erreurs) sur la variabilité totale. Plus elle est élevée, mieux le modèle s'adapte aux données. Elle est définie par :

$$R^2 = 1 - \frac{SSE}{SST} = 1 - \frac{\sum_i (y_i - \bar{y})^2}{\sum_i (\hat{y}_i - y_i)^2} \quad (4.9)$$

Où SSE est la somme des carrés des erreurs, SST est la somme totale des carrés, \bar{y} est la moyenne de toutes les réponses observées y_i , et \hat{y}_i est la réponse prédite basée sur le

modèle de dégradation.

Cependant, la statistique R^2 ne suffit pas. Il est important de tracer graphiquement la variation des paramètres caractéristiques du composant car cela donne une indication sur le modèle de dégradation et peut mieux illustrer des aspects complexes de la relation entre le modèle et les données que les méthodes numériques. Ces dernières ont tendance à se concentrer sur un aspect particulier de cette relation et essaient souvent de réduire toutes les informations liées en un seul nombre descriptif, ce qui peut conduire à un sur-ajustement. Par exemple, l'analyse graphique des résidus peut également être utile pour évaluer le caractère aléatoire des erreurs (résidus), en traçant les résidus $(\hat{y}_i - y_i)$ et en vérifiant s'ils sont normalement distribués autour de zéro.

On peut ensuite effectuer une analyse de la variance (Analysis of Variance, ANOVA) sur les résidus pour comprendre l'impact des facteurs contrôlables sur la précision du modèle de dégradation. Cela peut aider à améliorer les hypothèses faites sur le modèle de dégradation dans le cas où celui-ci dépende de facteurs contrôlables.

Une fois que le modèle de dégradation a été validé à l'aide des méthodes graphiques et numériques décrites précédemment, il est possible de déterminer la pseudo-durée de vie en utilisant la fonction réciproque du modèle. Supposons que f soit la fonction qui représente le modèle de dégradation. Ainsi, pour un composant soumis à un essai accéléré, le paramètre de dégradation varie en fonction du temps selon l'équation $y = f(t)$. Si ce paramètre n'atteint pas le seuil de défaillance, noté y_d , pendant la durée de l'essai, la pseudo-durée de vie du composant dans ces conditions est alors donnée par $t_d = f^{-1}(y_d)$. Cependant, cette méthode peut parfois conduire à des durées de vie très longues, ce qui pourrait fausser les résultats. Pour éviter cela, on propose de définir un temps de censure t_{cens} qui sera pris en compte lors de l'analyse dans les étapes qui suivent. Ce temps de censure correspond à un temps fixe au-delà duquel toute défaillance n'est plus observée, même si le seuil de défaillance n'a pas été atteint.

Étape (b) - Pré-traitement des données

Les pseudo- durées de vie sont organisées dans un plan produit et les données manquantes sont traitées ou du moins prises en compte (voir section 4.2).

Étape (c) - Analyse préliminaire

Il s'agit d'une analyse préliminaire du comportement des résultats, par exemple à l'aide d'un *probability plot* (un graphique de probabilité qui permet de vérifier si les données suivent une distribution spécifique en comparant les quantiles observés aux quantiles théoriques), pour identifier les modes de défaillance (groupes de données disjoints). Cette information est importante pour mieux définir le modèle de fiabilité prévisionnelle. Les paramètres de la distribution de durée de vie peuvent ainsi être estimés à partir des

pseudo-durées de vie pour une seule combinaison $N^\circ(j, k)$ du plan produit en utilisant la méthode d'estimation du maximum de vraisemblance (ceci en constituant des données d'intervalle de confiance et alléger les calculs pour l'estimation du modèle complet).

Les données (les pseudo-durées de vie) sont ajustées à l'aide de fonctions MATLAB, telles que “wblfit”, qui convient pour ajuster une distribution de Weibull dans ce cas (voir annexe A1). Cette fonction renvoie les estimations des paramètres de la distribution de Weibull qui correspondent aux données. Ensuite, un graphique de probabilité est créé, montrant les valeurs théoriques de probabilité en fonction de ces paramètres et des données.

Étape (d) - Définition de modèle

Après toutes les étapes précédentes, on retient deux types principaux d'informations : **les pseudo-durées de vie et le nombre de modes de défaillance** (qui, selon les principes des essais de durée de vie accélérés, sont les mêmes qui pourraient se produire pendant les conditions nominales du composant du DMIA comme expliqué au Chapitre 3). Afin de pouvoir prédire la durée de vie d'un composant au-delà de l'essai accéléré, il est important d'avoir un modèle de fiabilité prévisionnelle défini à cette étape.

Ce modèle est défini sur la base de modèles d'accélération de défaillance expliqués dans le Chapitre 3 en fonction des contraintes environnementales de l'essai et des modes de défaillance identifiés préliminairement à l'étape précédente par la FMMEA.

En supposant que les données suivent une distribution de Weibull (couramment utilisée empiriquement dans le contexte de fiabilité des composants électroniques), et que n_m modes de défaillance indépendants en concurrence¹ les uns avec les autres (ce qui signifie que le composant tombe en panne dès qu'un des modes de défaillance arrive à un état de défaillance) ont été identifiés, alors la fiabilité du composant est écrite comme suit :

$$R(t) = \prod_{i=1}^{n_m} \exp \left[- \left(\frac{t}{\theta_i} \right)^{\beta_i} \right] \quad (4.10)$$

θ_i et β_i sont respectivement les paramètres Weibull d'échelle et de forme pour le mode de défaillance i .

Supposons que le paramètre de forme β_i est constant par rapport aux contraintes environnementales. Supposons également une relation log-linéaire entre le paramètre d'échelle

1. Un modèle de risque concurrentiel est opposé à un modèle de Weibull mixte où il y a des modes de défaillance distincts qui sont mutuellement exclusifs, ce qui signifie que si l'un se produit, les autres ne se produisent pas. Ce n'est généralement pas le cas pour les composants électroniques car il peut y avoir, par exemple, à la fois une dérive de la valeur d'un paramètre caractéristique du composant et un circuit ouvert.

et les contraintes environnementales des ALTs² pour un mode de défaillance i :

$$\theta_i = e^{\nu_{0i}} \times AF_{th_i} \times AF_{el_i} \times AF_{RH_i} \times AF_{m_i} \quad (4.11)$$

Où AF_{th_i} , AF_{el_i} , AF_{RH_i} , et AF_{m_i} sont les facteurs d'accélération liés respectivement aux phénomènes thermiques, électriques, de l'humidité, et de vibration (voir la Table 4.4). ν_0 est un paramètre lié à la combinaison du plan intérieur. Il représente $\ln(\theta_i)$ dans des conditions nominales.

En utilisant le logarithme, l'équation 4.11 s'écrit sous la forme :

$$\begin{aligned} \ln \theta_i = \nu_{0i} + \frac{E_{a_i}}{K_B} \times \left(\frac{1}{T_0 + 273} - \frac{1}{T_{test} + 273} \right) \\ + p_{el_i} \times \ln \left(\frac{1}{S_{référence}} \times \frac{V_{test}}{V_0} \right) \\ + p_{RH_i} \times \ln \left(\frac{RH_{test}}{RH_0} \right) + p_{m_i} \times \ln \left(\frac{G_{test}}{G_0} \right) \quad (4.12) \end{aligned}$$

En posant $X_1 = \frac{1}{K_B} \times \left(\frac{1}{T_0+273} - \frac{1}{T_{test}+273} \right)$, $X_2 = \ln \left(\frac{1}{S_{référence}} \times \frac{V_{test}}{V_0} \right)$, $X_3 = \ln \left(\frac{RH_{test}}{RH_0} \right)$, et $X_4 = \ln \left(\frac{G_{test}}{G_0} \right)$ les variables transformées de stress, l'équation 4.12 peut être réécrite en tant que modèle de multi-linéaire :

$$\ln \theta_i = \nu_{0i} + E_{a_i} X_1 + p_{el_i} X_2 + p_{RH_i} X_3 + p_{m_i} X_4 \quad (4.13)$$

Pour rappel, les niveaux des stress sont fixés lors de la définition des essais de durée de vie accélérés et le paramètre d'échelle en dépend directement, tandis que leurs coefficients correspondants E_{a_i} , p_{el_i} , p_{RH_i} , p_{m_i} sont intrinsèquement liés au mécanisme ou aux mécanismes de défaillance causant le mode de défaillance i , et dépendent donc implicitement des combinaisons du plan intérieur, tout comme le coefficient de base ν_{0i} . Ainsi, pour avoir un modèle clair de fiabilité prévisionnelle, il est nécessaire d'estimer ces paramètres, en plus des paramètres Weibull de forme β_i .

Dans le cas de 2 modes défaillances, on remarque qu'il y a 12 paramètres à estimer pour chaque combinaison DOE_j .

Étape (e) - Estimation des paramètres

Les paramètres du modèle défini (comme dans l'équation 4.13) peuvent être estimés via plusieurs méthodes, sachant que ces paramètres sont estimés pour chaque combinaison $N^{\circ}j$ du plan intérieur ($j \in \{1, \dots, n_c\}$ où n_c est le nombre des combinaisons du plan intérieur).

2. Pour des raisons de simplicité, nous négligeons d'autres types de contraintes telles que le cyclage thermique (pour éviter un conflit avec la contrainte thermique constante). Néanmoins, la même méthodologie peut être appliquée à ces types de contraintes tant que le modèle d'accélération est explicite.

TABLE 4.4 – Les facteurs d'accélération pour un mécanisme de défaillance i en se basant sur FIDES 2022.

AF_{th_i} (loi d'Arrhenius)	$\exp \left[\frac{E_{a_i}}{K_B} \times \left(\frac{1}{T_0 + 273} - \frac{1}{T_{test} + 273} \right) \right]$
AF_{el_i} (loi de puissance inverse)	$\left(\frac{1}{S_{référence}} \times \frac{V_{test}}{V_0} \right)^{p_{el_i}}$
AF_{RH_i} (loi de Peck)	$\left(\frac{RH_{test}}{RH_0} \right)^{p_{RH_i}}$
AF_{m_i} (loi de Basquin)	$\left(\frac{G_{test}}{G_0} \right)^{p_{m_i}}$

$p_{el_i}, p_{RH_i}, p_{m_i}$: puissance accélératrice pour la contrainte électrique, de l'humidité, et de vibration ;

$S_{référence}$: niveau de référence pour la contrainte électrique (représente le fait que les composants sont utilisés dans des conditions qui sont en deçà de leurs spécifications maximales) ;

E_{a_i} : énergie d'activation (eV) ;

$T_{test}, RH_{test}, V_{test}, G_{test}$: les stress durant l'essai accéléré ;

T_0, RH_0, V_0, G_0 : les stress de référence ;

K_B : constante de Boltzmann = $8,617 \times 10^{-5}$ eV/K ;

L'une des méthodes d'estimation des paramètres est la méthode de maximum de vraisemblance [184]. Elle consiste à maximiser une fonction L qui incluent les paramètres à estimer suivant les formules (voir Annexe A1), pour une combinaison j :

$$L_j = \prod_{k=1}^{n_t} \left[\prod_{c=1}^{r_{jk}} f_{jk}(t_{jkc}; \boldsymbol{\nu}, \beta) \prod_{c=1}^{N-r_{jk}} R_{jk}(t_{cens}; \boldsymbol{\nu}, \beta) \right] \quad (4.14)$$

Où :

— n_t est le nombre des combinaisons du plan extérieur,

- N est le nombre des composants pour une combinaison du plan intérieur,
- r_{jk} est le nombre des composants qui ont eu une défaillance avant le temps de censure t_{cens} pour les combinaisons $N^\circ j$ et k ,
- $\boldsymbol{\nu} = (\nu_0, E_a, p_{el}, p_{RH}, p_m)$ est le vecteur des paramètres à estimer (voir équation 4.12),
- β est le paramètre de forme de Weibull,
- t_{jkc} est la pseudo-durée de vie du composant c de la combinaison k du plan extérieur et de la combinaison j du plan intérieur.
- $f(t_{jkc}; \boldsymbol{\nu}, \beta)$ est la fonction de densité de probabilité (pdf) pour la pseudo-durée de vie t_{jkc} du composant c , en supposant que ce temps suit une distribution de Weibull (voir Annexe A1)

Pour estimer les paramètres, on cherche à maximiser L_j , ce qui revient à maximiser $\ln L_j$ (il suffit de remplacer la fonction de densité et la fiabilité dans l'équation précédente par leurs expressions comme explicité dans l'annexe A1) :

$$\ln L_j = \sum_{k=1}^{n_t} \left[\sum_{c=1}^{r_{jk}} \sum_{i=1}^{n_m} \left[\ln \left(\frac{\beta_i}{\theta_{jki}} \right) - (\beta_i - 1) \ln \left(\frac{t_{jkc}}{\theta_{jki}} \right) - \left(\frac{t_{jkc}}{\theta_{jki}} \right)^{\beta_i} \right] + \sum_{c=1}^{N-r_{jk}} \sum_{i=1}^{n_m} - \left(\frac{t_{cens}}{\theta_{jki}} \right)^{\beta_i} \right] \quad (4.15)$$

Notons l'équation 4.15 contient des termes $\ln(\theta_{jki})$ qui peuvent être remplacés par la relation log-linéaire dans l'équation 4.12, ainsi que d'autres termes fixes (des constantes) qui réduisent les calculs. Pour chaque combinaison du plan intérieur j et pour chaque mode de défaillance i , des algorithmes adaptés pour l'optimisation non linéaire contrainte peuvent être utilisés afin d'estimer les paramètres. Par exemple, l'algorithme du 'point intérieur' disponible dans la fonction '*fmincon*' de MATLAB peut être appliqué pour minimiser $-\ln(L_j)$ et ainsi maximiser la vraisemblance. De plus, le calcul du gradient de la fonction de vraisemblance peut accélérer la résolution du problème d'optimisation en fournissant un "chemin" pour la recherche de la solution optimale.

À la fin de cette étape, nous obtenons un ensemble de paramètres estimés $\{\hat{\boldsymbol{\nu}}_{ij} = (\hat{\nu}_{0ij}, \hat{E}_{a_{ij}}, \hat{p}_{el_{ij}}, \hat{p}_{RH_{ij}}, \hat{p}_{m_{ij}}), \hat{\beta}_i\}$ pour chaque combinaison du plan intérieur $N^\circ j$ et pour chaque mode de défaillance $N^\circ i$.

Les coefficients γ_l dans l'équation 4.7 peuvent également être estimés en utilisant des méthodes de régression, telles que la méthode des Moindres Carrés Pondérés Itérativement (IRLS). Cette méthode, implémentée dans MATLAB, permet d'obtenir une estimation relativement robuste des coefficients, en prenant en compte les poids associés aux observations.

Toutefois, plus le nombre de combinaisons dans chaque plan est élevé, plus la complexité de la résolution augmente, en raison du nombre relativement important de pa-

ramètres à estimer. Cette complexité croissante justifie l'utilisation d'algorithmes d'optimisation sophistiqués et nécessite une attention particulière dans les étapes suivantes de l'analyse pour gérer efficacement le processus d'estimation des paramètres.

Étape (f) - Analyse statistique intermédiaire

Étant donné le grand nombre de paramètres estimés, qui augmente avec le nombre de combinaisons dans le plan intérieur, l'estimation est optimisée en fixant itérativement un paramètre et en estimant le reste. L'analyse de la variance est effectuée pour aider à fixer les paramètres en vérifiant s'il y a une variabilité significative dans la réponse due aux facteurs (en supposant la normalité asymptotique des estimations). S'il n'y en a pas, le paramètre est fixé à une valeur commune pour toutes les combinaisons. S'il y a au moins un facteur qui est statistiquement significatif (pour le paramètre en question), les valeurs de celui-ci sont gardées pour chaque combinaison du plan intérieur. Ceci est schématisé dans la Figure 4.1.

Pour clarification, un paramètre X_i est un paramètre choisi aléatoirement à partir de l'ensemble $\{\hat{\nu}_{0ij}, \hat{E}_{a_{ij}}, \hat{p}_{el_{ij}}, \hat{p}_{RH_{ij}}, \hat{p}_{m_{ij}}, \hat{\beta}_i\}$, par conséquent, c'est un vecteur de n_c éléments. En effectuant une analyse de la variance avec MATLAB sur les éléments du paramètre $X_i = (x_{1i} \dots x_{n_{ci}})$ (valeurs estimées du paramètre pour les combinaisons du plan intérieur), on obtient un tableau où la statistique F (voir l'annexe A1) et la pValue associée sont calculées pour chaque facteur. Cela nous permet de tirer une conclusion sur la signification statistique. Si l'un des facteurs, disons k , est statistiquement significatif (la pValue de k est inférieure à a), cela signifie que le facteur k a une influence sur le paramètre estimé. Par conséquent, nous ne pouvons pas conclure que le paramètre est indépendant des facteurs contrôlables et ne peut pas être fixé à une valeur. Par contre, si aucun des facteurs n'est statistiquement significatif (toutes les pValues sont supérieures à a), cela signifie que les valeurs estimées des paramètres sont indépendantes des facteurs contrôlables et peuvent alors être fixées à une valeur.

Avant de fixer le paramètre X_i à une valeur, il est important de d'abord éliminer les valeurs aberrantes (des points de données aléatoires qui peuvent avoir un impact significatif sur les données). Pour cela, on peut utiliser la méthode basée sur la médiane (convient lorsque la distribution est inconnue et plus robuste que la méthode basée sur la moyenne), qui définit les valeurs aberrantes comme toute valeur qui est à plus de trois écarts absolus échelonnés de la médiane (MAD).

$$MAD = c \times \text{median}(|x_{ji} - \text{median}(X)|) \text{ for } j = 1, 2, \dots, n_c$$

$$\text{where } c = -\frac{1}{\sqrt{2} \times \text{erfcinv}(3/2)} \quad (4.16)$$

Où erfcinv est l'inverse de la fonction d'erreur complémentaire.

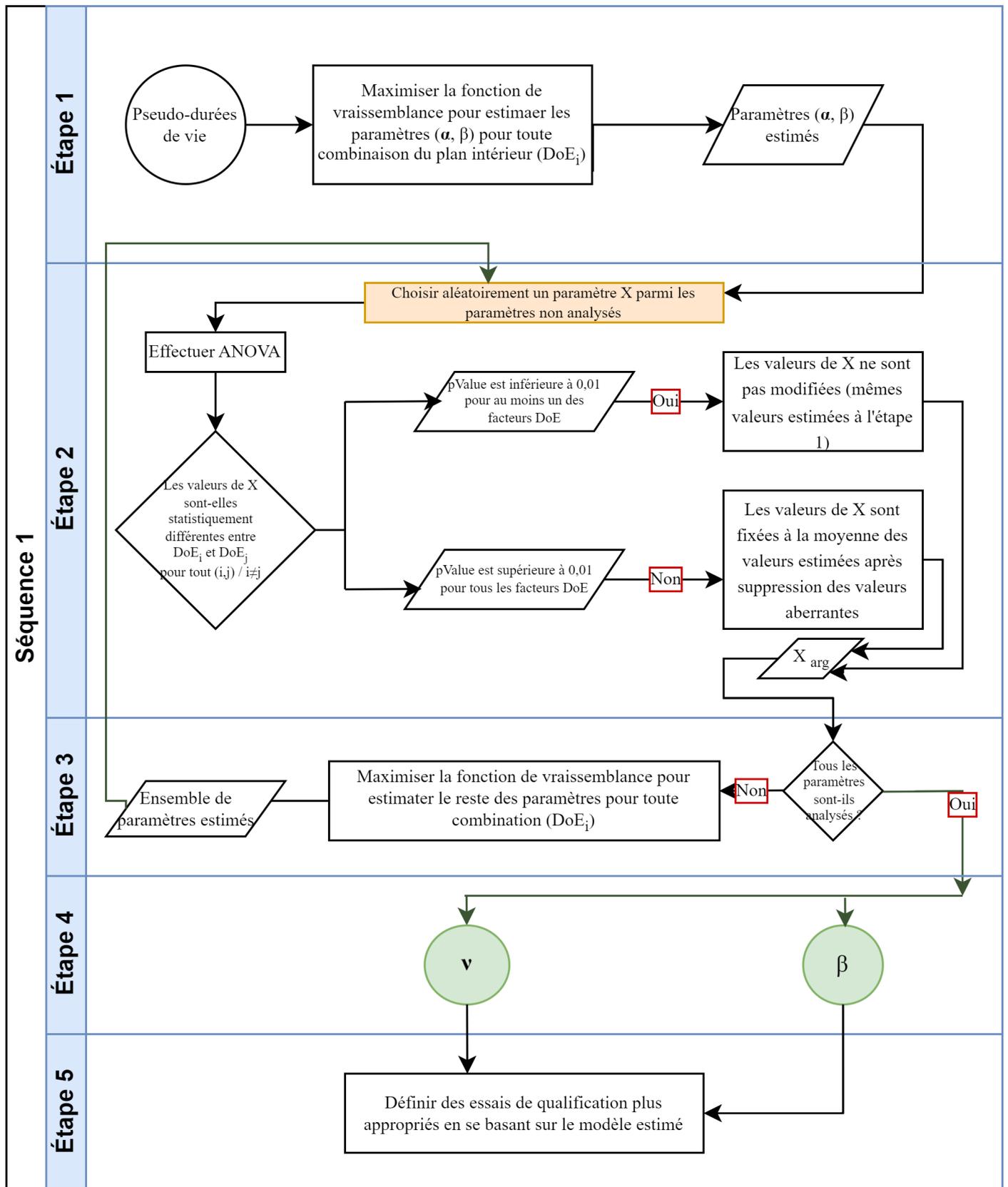


FIGURE 4.1 – Les étapes de l'estimation des paramètres du modèle de fiabilité prévisionnelle et l'analyse statistique intermédiaire.

Ce calcul est fait grâce à la fonction intégrée de MATLAB 'rmoutliers'.

Après avoir éliminé les valeurs aberrantes, le paramètre peut maintenant être représenté par une seule valeur qui le décrit le mieux. En général, il existe trois quantités qui peuvent faire cela [85] : moyenne, mode, ou médiane.

Étape (g) - Validation

Les intervalles de confiance peuvent être calculés pour chaque paramètre estimé afin d'évaluer la précision de l'estimation (voir l'annexe A1 pour les détails généraux de calcul des intervalles de confiance).

Étape (h) - Prédiction

Dans cette étape, nous supposons que nous connaissons le modèle d'accélération, ainsi que ses paramètres estimés, et le modèle de fiabilité. Maintenant, nous voulons projeter ces connaissances sur les conditions nominales du composant (la phase d'utilisation du DMIA).

Pour obtenir une valeur de la durée de vie typique dans des conditions d'utilisation données (valeurs de température, d'humidité et de contrainte mécanique), la valeur de la médiane de la population peut être calculée à l'aide de la formule suivante (distribution Weibull) :

$$T_{50} = \min_{i \in \{1, \dots, n_m\}} (\theta_i (\ln 2)^{1/\beta_i}) \quad (4.17)$$

Où θ_i et β_i sont les paramètres Weibull d'échelle et de forme estimés à l'issue des étapes précédentes pour le mode de défaillance i . Pour θ_i , il suffit de remplacer les valeurs des stress dans la formule 4.12.

La connaissance du modèle de fiabilité prévisionnelle permet également de planifier de manière plus précise les essais de durée de vie accélérés pour démontrer un niveau de fiabilité donné.

Supposons que nous voulons prouver qu'un composant atteint un certain niveau de fiabilité R_0 pour une durée de vie cible t_0 . Étant donné que le paramètre β a déjà été estimé, nous pouvons calculer le paramètre θ_0 à partir de l'équation 4.10 (en prenant le mode de défaillance le plus dominant) :

$$\theta_0 = \frac{t_0}{(-\ln(R_0))^{1/\beta}}$$

Pour planifier un essai accéléré, dépendamment des contraintes techniques, soit on fixe la durée d'essai t_t et on cherche à calculer la taille d'échantillon n nécessaire pour la démonstration de fiabilité, soit on fixe la taille et on cherche la durée.

Par définition :

$$\theta_t = \frac{\theta_0}{AF} \quad (4.18)$$

Avec un objectif de zéro défaillances, n composants en test et une fiabilité minimum exigée durant le temps de test en conditions accélérés de R_{SE} :

$$\ln(R_{SE}) = \frac{\ln(\alpha)}{n} \quad (4.19)$$

En remplaçant $\ln(R_{SE})$ par $(\frac{t_t}{\theta_t})^\beta$ (comme dans l'équation 4.18) on trouve la durée d'essai :

$$t_t = \left(-\frac{\ln(\alpha)}{n} \right)^{1/\beta} \times \frac{\theta_0}{AF} \quad (4.20)$$

Pour n_m modes de défaillances, la durée d'essai est :

$$t_t = \max_{i \in \{1, \dots, n_m\}} (t_{t_i}) \quad (4.21)$$

Cela permet de planifier l'essai de manière à simuler correctement les conditions de fonctionnement du composant.

4.4.2 Exemple des condensateurs céramiques

Comme nous l'avons vu dans le Chapitre 3, la Table 3.10 montre les combinaisons de facteurs contrôlables qui subiront les cinq essais accélérés spécifiés dans la Table 3.11. Chaque condensateur, qui correspond à chacune de ces combinaisons, a été soumis à chacune des cinq combinaisons de contraintes sur une période de 1000 heures, avec des mesures prises toutes les 200 heures. Les paramètres électriques mesurés, qui déterminent les défaillances, sont : la capacité (C), le facteur de dissipation (DF) et la résistance d'isolement (IR). C et DF sont mesurés pour tous les 24 composants de chaque PCB, tandis que IR n'a été mesuré que sur les 8 premiers composants, car cette mesure nécessite un temps de stabilisation plus long pour obtenir des résultats fiables. Toutefois, pour les mesures initiales, IR a été mesuré sur tous les composants.

Pour rappel, dans cet exemple, nous avons un plan produit (cf. Table 4.5) constitué de :

- Plan intérieur : $p = 4$ facteurs contrôlables (les nombres de niveaux pour ces facteurs sont : $n_1 = 2$, $n_2 = 2$, $n_3 = 6$, $n_4 = 3$), et total de $n_c = 52$ combinaisons.
- Plan extérieur : température, humidité, et ratio de tension comme facteurs de bruit, et total de $n_t = 5$ combinaisons.
- $N = 24$ condensateurs céramiques multi-couches identiques pour chaque combinaison.

TABLE 4.5 – Plan produit des condensateurs céramiques multicouches (plan intérieur en vert et plan extérieur en bleu).

Ratio de tension (V)					0	0,4	0,8	1,2	1,6
Humidité (%)					75	85	30	0	60
Température (°C)					30	85	60	120	10
Essai N°	Facteur A	Facteur B	Facteur C	Facteur D	Réponses (pour un composant)				
1	X7R	Rigide	0603	Cat1	Y ₁₁	Y ₁₂	Y ₁₃	Y ₁₄	Y ₁₅
2	X7R	Rigide	0603	Cat2	Y ₂₁	Y ₂₂	Y ₂₃	Y ₂₄	Y ₂₅
3	X7R	Rigide	0603	Cat3	Y ₃₁	Y ₃₂	Y ₃₃	Y ₃₄	Y ₃₅
4	X7R	Rigide	0805	Cat1	Y ₄₁	Y ₄₂	Y ₄₃	Y ₄₄	Y ₄₅
5	X7R	Rigide	0805	Cat2	Y ₅₁	Y ₅₂	Y ₅₃	Y ₅₄	Y ₅₅
6	X7R	Rigide	0805	Cat3	Y ₆₁	Y ₆₂	Y ₆₃	Y ₆₄	Y ₆₅
7	X7R	Rigide	1206	Cat1	Y ₇₁	Y ₇₂	Y ₇₃	Y ₇₄	Y ₇₅
8	X7R	Rigide	1206	Cat2	Y ₈₁	Y ₈₂	Y ₈₃	Y ₈₄	Y ₈₅
9	X7R	Rigide	1206	Cat3	Y ₉₁	Y ₉₂	Y ₉₃	Y ₉₄	Y ₉₅
10	X7R	Flex	0603	Cat1	Y ₁₀₁	Y ₁₀₂	Y ₁₀₃	Y ₁₀₄	Y ₁₀₅
11	X7R	Flex	0603	Cat2	Y ₁₁₁	Y ₁₁₂	Y ₁₁₃	Y ₁₁₄	Y ₁₁₅
12	X7R	Flex	0603	Cat3	Y ₁₂₁	Y ₁₂₂	Y ₁₂₃	Y ₁₂₄	Y ₁₂₅
13	X7R	Flex	0805	Cat1	Y ₁₃₁	Y ₁₃₂	Y ₁₃₃	Y ₁₃₄	Y ₁₃₅
14	X7R	Flex	0805	Cat2	Y ₁₄₁	Y ₁₄₂	Y ₁₄₃	Y ₁₄₄	Y ₁₄₅
15	X7R	Flex	0805	Cat3	Y ₁₅₁	Y ₁₅₂	Y ₁₅₃	Y ₁₅₄	Y ₁₅₅
16	X7R	Flex	1206	Cat1	Y ₁₆₁	Y ₁₆₂	Y ₁₆₃	Y ₁₆₄	Y ₁₆₅
17	X7R	Flex	1206	Cat2	Y ₁₇₁	Y ₁₇₂	Y ₁₇₃	Y ₁₇₄	Y ₁₇₅
18	X7R	Flex	1206	Cat3	Y ₁₈₁	Y ₁₈₂	Y ₁₈₃	Y ₁₈₄	Y ₁₈₅
19	C0G	Rigide	0603	Cat1	Y ₁₉₁	Y ₁₉₂	Y ₁₉₃	Y ₁₉₄	Y ₁₉₅
20	C0G	Rigide	0603	Cat2	Y ₂₀₁	Y ₂₀₂	Y ₂₀₃	Y ₂₀₄	Y ₂₀₅
21	C0G	Rigide	0603	Cat3	Y ₂₁₁	Y ₂₁₂	Y ₂₁₃	Y ₂₁₄	Y ₂₁₅
22	C0G	Rigide	0805	Cat1	Y ₂₂₁	Y ₂₂₂	Y ₂₂₃	Y ₂₂₄	Y ₂₂₅
23	C0G	Rigide	0805	Cat2	Y ₂₃₁	Y ₂₃₂	Y ₂₃₃	Y ₂₃₄	Y ₂₃₅
24	C0G	Rigide	0805	Cat3	Y ₂₄₁	Y ₂₄₂	Y ₂₄₃	Y ₂₄₄	Y ₂₄₅
25	C0G	Rigide	1206	Cat1	Y ₂₅₁	Y ₂₅₂	Y ₂₅₃	Y ₂₅₄	Y ₂₅₅
26	C0G	Rigide	1206	Cat2	Y ₂₆₁	Y ₂₆₂	Y ₂₆₃	Y ₂₆₄	Y ₂₆₅
27	C0G	Rigide	1206	Cat3	Y ₂₇₁	Y ₂₇₂	Y ₂₇₃	Y ₂₇₄	Y ₂₇₅
28	C0G	Flex	0603	Cat1	Y ₂₈₁	Y ₂₈₂	Y ₂₈₃	Y ₂₈₄	Y ₂₈₅
29	C0G	Flex	0603	Cat2	Y ₂₉₁	Y ₂₉₂	Y ₂₉₃	Y ₂₉₄	Y ₂₉₅
30	C0G	Flex	0603	Cat3	Y ₃₀₁	Y ₃₀₂	Y ₃₀₃	Y ₃₀₄	Y ₃₀₅
31	C0G	Flex	0805	Cat1	Y ₃₁₁	Y ₃₁₂	Y ₃₁₃	Y ₃₁₄	Y ₃₁₅
32	C0G	Flex	0805	Cat2	Y ₃₂₁	Y ₃₂₂	Y ₃₂₃	Y ₃₂₄	Y ₃₂₅
33	C0G	Flex	0805	Cat3	Y ₃₃₁	Y ₃₃₂	Y ₃₃₃	Y ₃₃₄	Y ₃₃₅
34	C0G	Flex	1206	Cat1	Y ₃₄₁	Y ₃₄₂	Y ₃₄₃	Y ₃₄₄	Y ₃₄₅
35	C0G	Flex	1206	Cat2	Y ₃₅₁	Y ₃₅₂	Y ₃₅₃	Y ₃₅₄	Y ₃₅₅
36	C0G	Flex	1206	Cat3	Y ₃₆₁	Y ₃₆₂	Y ₃₆₃	Y ₃₆₄	Y ₃₆₅
37	X7R	Rigide	0402	Cat1	Y ₃₇₁	Y ₃₇₂	Y ₃₇₃	Y ₃₇₄	Y ₃₇₅
38	X7R	Rigide	0402	Cat2	Y ₃₈₁	Y ₃₈₂	Y ₃₈₃	Y ₃₈₄	Y ₃₈₅
39	C0G	Rigide	0402	Cat1	Y ₃₉₁	Y ₃₉₂	Y ₃₉₃	Y ₃₉₄	Y ₃₉₅
40	C0G	Rigide	0402	Cat2	Y ₄₀₁	Y ₄₀₂	Y ₄₀₃	Y ₄₀₄	Y ₄₀₅
41	X7R	Flex	0402	Cat1	Y ₄₁₁	Y ₄₁₂	Y ₄₁₃	Y ₄₁₄	Y ₄₁₅
42	X7R	Flex	0402	Cat2	Y ₄₂₁	Y ₄₂₂	Y ₄₂₃	Y ₄₂₄	Y ₄₂₅
43	C0G	Flex	0402	Cat1	Y ₄₃₁	Y ₄₃₂	Y ₄₃₃	Y ₄₃₄	Y ₄₃₅
44	C0G	Flex	0402	Cat2	Y ₄₄₁	Y ₄₄₂	Y ₄₄₃	Y ₄₄₄	Y ₄₄₅
45	X7R	Rigide	0201	Cat1	Y ₄₅₁	Y ₄₅₂	Y ₄₅₃	Y ₄₅₄	Y ₄₅₅
46	X7R	Rigide	0201	Cat2	Y ₄₆₁	Y ₄₆₂	Y ₄₆₃	Y ₄₆₄	Y ₄₆₅
47	C0G	Rigide	0201	Cat1	Y ₄₇₁	Y ₄₇₂	Y ₄₇₃	Y ₄₇₄	Y ₄₇₅
48	C0G	Rigide	0201	Cat2	Y ₄₈₁	Y ₄₈₂	Y ₄₈₃	Y ₄₈₄	Y ₄₈₅
49	X7R	Rigide	01005	Cat1	Y ₄₉₁	Y ₄₉₂	Y ₄₉₃	Y ₄₉₄	Y ₄₉₅
50	X7R	Rigide	01005	Cat2	Y ₅₀₁	Y ₅₀₂	Y ₅₀₃	Y ₅₀₄	Y ₅₀₅
51	C0G	Rigide	01005	Cat1	Y ₅₁₁	Y ₅₁₂	Y ₅₁₃	Y ₅₁₄	Y ₅₁₅
52	C0G	Rigide	01005	Cat2	Y ₅₂₁	Y ₅₂₂	Y ₅₂₃	Y ₅₂₄	Y ₅₂₅

Exemple - Étape (a) - Évaluation des pseudo-durées de vie à partir des dégradations

Pour harmoniser les mesures, les paramètres électriques sont normalisés de la manière suivante :

$$C_{norm} = \frac{C - C_0}{C_0}, DF_{norm} = \frac{DF - DF_0}{DF_0}, IR_{norm} = \frac{IR - IR_0}{IR_0} \quad (4.22)$$

Où C_0 , DF_0 , et IR_0 sont respectivement la capacité, le facteur de dissipation, et la résistance d'isolement mesurés à $t = 0$.

L'évolution des paramètres électriques normalisés des condensateurs céramiques sur une période de test de 1000 heures est montrée dans la Figure 4.2. La capacité diminue de manière significative après environ 500 heures, puis récupère légèrement, suggérant une forme de dégradation. Le facteur de dissipation augmente fortement après 500 heures, indiquant des problèmes possibles avec le matériau diélectrique. La résistance d'isolement reste stable pendant la majeure partie du test, mais augmente brusquement vers la fin, laissant supposer un changement lié au matériau diélectrique.

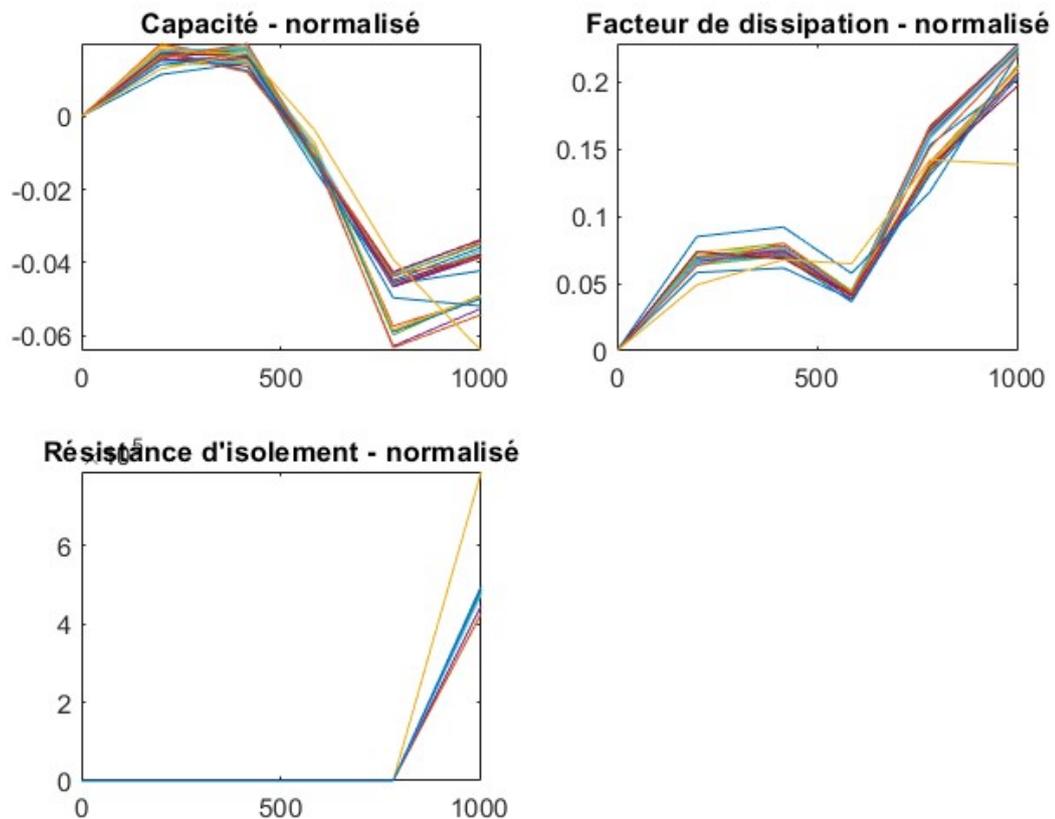


FIGURE 4.2 – Les paramètres électriques du condensateur céramiques normalisés pour la **combinaison N°(18 ;4)** du plan produit (Table 4.5). *L'axe des abscisses représente le temps en heures.*

Pour trouver la fonction f qui décrit la dégradation des paramètres électriques, on peut

se baser sur l'état de l'art. Par exemple, Alam et al [185] ont noté les modèles suivants pour la capacité :

→ Pour les condensateurs de petites tailles et à l'instant $t < t_0$:

$$C = C_0 - m.t, \text{ équivalent à : } C_{norm} = -\frac{m}{C_0}.t \quad (4.23)$$

→ Pour les condensateurs de petites tailles à l'instant $t > t_0$ ou les condensateurs de grandes tailles :

$$C = C_0 - k.\ln(t), \text{ équivalent à : } C_{norm} = -\frac{k}{C_0}.\ln(t) \quad (4.24)$$

Où m (taux de dégradation linéaire) et k (taux de dégradation logarithmique) sont des constantes du modèle qui dépendent du composant.

Pour le facteur de dissipation et la résistance d'isolement, il n'y a pas de consensus général sur le modèle de dégradation mais Alam et al [185] ont remarqué une variation quasi-linéaire. Par suite, on suppose que ces deux paramètres suivent les modèles :

$$DF_{norm} = \mu_{DF}.t \text{ et } IR_{norm} = \mu_{IR}.t \quad (4.25)$$

Où μ_{DF} et μ_{IR} sont des constantes du modèle.

Les paramètres électriques normalisés sont ensuite ajustés à l'aide d'une régression linéaire en utilisant la fonction "fitlm" de MATLAB, et le R-Square ajusté est calculé à chaque fois. Nous considérons que le modèle est suffisamment bon lorsque $R^2 > 0,7$, et ensuite les pseudo-durées de vie correspondant à chaque paramètre sont extrapolés sur la base d'une valeur seuil de ce paramètre à travers : $t_{d_C} = f_C^{-1}(C_{norm_d})$, $t_{d_{DF}} = f_{DF}^{-1}(DF_{norm_d})$, et $t_{d_{IR}} = f_{IR}^{-1}(IR_{norm_d})$. La pseudo-durée de vie totale du composant est le minimum de ces trois pseudo-durées de vie : $t_d = \min(t_{d_C}, t_{d_{DF}}, t_{d_{IR}})$. Nous considérons que les composants qui ne respectent pas le critère de $R^2 > 0,7$ sont censurés à $t_{cens} = 3 \times 10^5$ heures.

Exemple - Étape (b) - Pré-traitement des données

En raison de contraintes technologiques (comme l'indisponibilité du composant sur le marché, une mauvaise référence, ou des caractéristiques inappropriées), certaines combinaisons du plan produit sont manquantes, notamment les combinaisons N°3, 12, 21, 26, 30 et 43 (cf. Table 4.5). Pour éviter d'influencer l'estimation, ces données manquantes ne sont pas remplacées directement ; elles sont plutôt traitées comme des données censurées.

Cependant, une méthode approximative d'imputation par la moyenne et la médiane a été utilisée pour ajuster le modèle de dégradation à l'étape précédente. Le processus consiste en plusieurs itérations : d'abord, les données manquantes sont remplacées par la moyenne des valeurs existantes, puis les réponses théoriques pour toutes les combinaisons

sont estimées. Ensuite, les valeurs manquantes sont remplacées par la moyenne des réponses théoriques. Ce processus est répété jusqu'à ce que les valeurs dans les combinaisons manquantes se stabilisent.

Ces étapes ont été appliquées en se basant sur le nombre de composants non censurés (tout en modifiant les modèles de dégradation) afin d'évaluer l'impact des facteurs technologiques sur le modèle de dégradation. Cette méthode a permis de comparer les différents modèles existants dans la littérature pour les condensateurs céramiques multi-couches et de faire un choix plus clair lors de l'étape précédente.

Exemple - Étape (c) - analyse préliminaire

D'une analyse graphique rapide des résultats de l'extrapolation, nous remarquons par exemple que pour la combinaison N°(18;2) comme indiqué dans la Table 4.6, les 24 pseudo-durées de vie sont divisées en deux groupes avec des ordres de grandeur différents, ce qui pourrait suggérer deux modes de défaillance concurrents. Pour visualiser davantage cela, un diagramme de probabilité est tracé comme illustré en Figure 4.3.

TABLE 4.6 – Pseudo-durées de vie des 24 composants de la combinaison N°(18;2) du plan produit.

1	2	3	4	5	6	7	8
25159 h	30106 h	1521 h	1113 h	69966 h	1072 h	1032 h	1060 h
9	10	11	12	13	14	15	16
870 h	924 h	20658 h	58538 h	2756 h	914 h	52671 h	31907 h
17	18	19	20	21	22	23	24
62783 h	49736 h	38637 h	30659 h	29934 h	30817 h	31020 h	1434 h

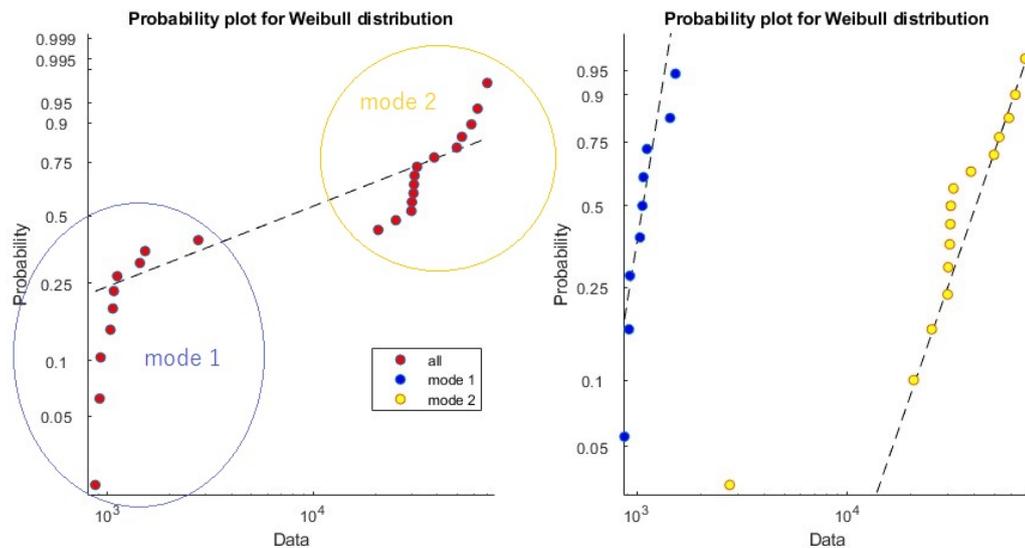


FIGURE 4.3 – Diagramme de probabilité Weibull pour la combinaison N°(18;2) du plan produit. "Data" correspond aux pseudo-durées de vie de la Table 4.6.

Dans la Figure 4.3, les lignes en pointillés représentent les distributions de Weibull théoriques qui correspondent le mieux aux données expérimentales. Les données sont divisées en deux groupes : le groupe bleu décrit le mode 1 et le groupe rouge décrit le mode 2. Nous estimons les paramètres de Weibull en utilisant la fonction intégrée de MATLAB dans le cadre du modèle Bi-Weibull : $(\theta_1; \beta_1) = (1434h; 2, 4)$ et $(\theta_2; \beta_2) = (45218h; 2, 9)$ à un niveau de confiance de 95% avec un intervalle de confiance de $[1, 7; 4, 1]$ (voir l'annexe A1 pour les définitions de ces aspects). Les paramètres de forme étant supérieurs à 1, on peut conclure que les deux modes de défaillance sont liés à une dégradation, car un paramètre de forme ($\beta > 1$) dans une distribution de Weibull indique généralement une augmentation du taux de défaillance avec le temps. Cela reflète un comportement de vieillissement, caractéristique des mécanismes de défaillance par dégradation. L'un des mécanismes de défaillance possibles est la migration d'Ag sur la surface du condensateur contaminé (pendant la fabrication ou d'autres sources externes). Lorsqu'il est exposé à une température et une humidité élevées avec une tension appliquée, cette migration peut créer des chemins conducteurs entre les électrodes, entraînant un court-circuit (mode de défaillance 1 qui a des valeurs de paramètres plus faibles). Pour le mode de défaillance 2, une explication possible est la microfissuration dans les couches de céramique, aggravée par la pénétration d'humidité, qui peut conduire à la formation de vides ou de fissures dans le matériau diélectrique, provoquant une réduction de la capacité.

Cette analyse a été réalisée sur d'autres combinaisons, et les résultats montrent qu'il y a une compétition entre deux modes de défaillance au maximum. Même si certaines combinaisons semblent n'indiquer qu'un seul mode de défaillance, il est possible de supposer que ces cas impliquent deux modes de défaillance identiques.

Exemple - Étape (d) - Définition de modèle

Suite aux étapes précédentes, on peut réduire le modèle de régression linéaire dans l'équation 4.13 en :

$$\begin{cases} \ln \theta_1 = \nu_{0_1} + E_{a_1} X_1 + p_{el_1} X_2 + p_{RH_1} X_3 & \text{pour le mode de défaillance 1} \\ \ln \theta_2 = \nu_{0_2} + E_{a_2} X_1 + p_{el_2} X_2 + p_{RH_2} X_3 & \text{pour le mode de défaillance 2} \end{cases} \quad (4.26)$$

L'objectif des prochaines étapes est d'estimer les coefficients de ce modèle ainsi que le paramètre de forme de Weibull pour les deux modes de défaillance. L'estimation du paramètre de forme de Weibull pour la combinaison $\mathbf{N}^\circ(18; 2)$ réalisée à l'étape précédente visait à améliorer l'estimation globale.

Exemple - Étape (e) - Estimation des paramètres pour chaque combinaison

L'estimation des paramètres est réalisée par la méthode du maximum de vraisemblance. Pour la recherche de l'optimum, on utilise un algorithme d'optimisation non li-

néaire sous contraintes. La réalisation de la programmation a été effectuée avec la fonction “*fmincon*” de MATLAB. Les contraintes définies dans cet exemple pour les deux modes de défaillance et pour toutes les combinaisons du plan intérieur sont :

- $-100 \leq \hat{\nu}_0 \leq 100$ et une valeur initiale de 0,1,
- $0,001 \leq \hat{E}_a \leq 100$ et une valeur initiale de 0,01,
- $0 \leq \hat{p}_{el} \leq 100$ et une valeur initiale de 1,
- $0 \leq \hat{p}_{RH} \leq 100$ et une valeur initiale de 2,
- $1,7 \leq \hat{\beta} \leq 4,1$ et une valeur initiale de 3.

Les valeurs initiales sont les valeurs auxquelles l’algorithme de la fonction commence à chercher. Elles sont basées sur l’ordre de grandeur de ces paramètres tels qu’ils existent typiquement dans la littérature. Définir des contraintes n’est pas obligatoire en soi, mais il est recommandé pour optimiser l’algorithme. Dans cet exemple, la recherche du maximum de vraisemblance a également été améliorée en calculant le gradient de la fonction de log-vraisemblance maximale $\ln(L)$ et en l’intégrant dans la fonction “*fmincon*”, qui utilise un algorithme d’optimisation non linéaire, comme l’algorithme du "point intérieur" ou un autre algorithme approprié, pour résoudre ce type de problème.

Autres remarques concernant l’algorithme d’estimation :

- Le paramètre β a été estimé en utilisant une fonction intégrée de MATLAB pour la combinaison du plan intérieur qui donne le plus de pseudo-durées de vie. Ses intervalles de confiance sont ensuite utilisés pour restreindre l’estimation de β puisque ce paramètre est supposé être constant.
- Les scripts utilisés pour cette estimation ont déjà été validés en utilisant des données simulées générées. En fait, nous avons défini des valeurs initiales pour tous ces paramètres et un modèle de fiabilité, puis généré des temps de défaillance basés sur celui-ci. Ces temps de défaillance sont ensuite utilisés pour appliquer la méthode d’estimation expliquée précédemment.

Les intervalles de confiance pour chaque paramètre sont également calculés pour la validation. Chaque paramètre estimé rentre dans l’intervalle de confiance associé. En guise d’exemple, pour la combinaison $\mathbf{N}^\circ(\mathbf{18};\mathbf{2})$, les intervalles de confiance pour chaque paramètre sont :

- Pour le mode de défaillance 1 pour $\hat{\nu}_0$: [8,89 ; 11,51], et pour le mode de défaillance 2 pour $\hat{\nu}_0$: [13,86 ; 13,86].
- Pour le mode de défaillance 1 \hat{E}_a pour [0,20 ; 0,20], et pour le mode de défaillance 2 pour \hat{E}_a : [0,13 ; 0,13].
- Pour le mode de défaillance 1 pour \hat{p}_{el} : [0,86 ; 3,43], et pour le mode de défaillance 2 pour \hat{p}_{el} : [4,16 ; 4,16].

- Pour le mode de défaillance 1 pour $\hat{p}_{RH} : [3,05 ; 5,62]$, et pour le mode de défaillance 2 pour $\hat{p}_{RH} : [-0,46 ; 2,1]$.
- Pour le mode de défaillance 1 pour $\hat{\beta} : [0,38 ; 3,1]$, et pour le mode de défaillance 2 pour $\hat{\beta} : [2,07 ; 2,07]$.

Exemple - Étape (f) - Analyse statistique intermédiaire

À la fin de l'étape (e), nous avons obtenu une matrice de paramètres estimés pour chaque combinaison du plan intérieur et pour chaque mode de défaillance.

Comme expliqué précédemment, l'analyse de la variance est utilisée pour améliorer l'estimation en analysant statistiquement les valeurs estimées et en réduisant le nombre de paramètres à estimer à chaque étape. En effet, si les valeurs estimées pour un paramètre sont statistiquement différentes (pValue inférieure à 0,01), elles sont simplement utilisées pour estimer le reste des paramètres. Sinon, c'est leur moyenne qui est utilisée.

Cette analyse peut être simplement faite avec la fonction "anova" de MATLAB.

Exemple - Étape (g) - Validation et Prédiction

Les analyses ANOVA montrent qu'il n'y a pas de différence statistique entre les combinaisons du plan intérieur pour tous les paramètres et les valeurs finales des paramètres estimés sont (*Les valeurs estimées pour les vecteurs sont dans l'ordre des combinaisons non-manquantes du plan intérieur*) :

Pour le mode de défaillance 1 :

$$\hat{v}_0^3 = \begin{bmatrix} 10,88, & 10,91, & 10,88, & 10,95, & 11,02, & 10,88, & 10,88, & 10,88, \\ 10,99, & 10,88, & 10,89, & 10,94, & 10,91, & 10,88, & 10,92, & 10,88, \\ 10,88, & 10,88, & 10,88, & 10,88, & 10,88, & 10,99, & 10,89, & 10,88, \\ 10,89, & 10,88, & 10,88, & 10,89, & 10,88, & 10,88, & 10,89, & 10,89, \\ 10,88, & 10,91, & 10,89, & 10,88, & 10,88, & 10,88, & 10,91, & 10,89, \\ 10,91, & 10,88, & 10,89, & 10,92, & 10,91, & 10,88 & & \end{bmatrix}$$

$$\hat{E}_a = 0,21$$

$$\hat{p}_{el} = \begin{bmatrix} 2,15, & 2,19, & 2,15, & 2,26, & 2,38, & 2,14, & 2,14, & 2,14, \\ 2,33, & 2,14, & 2,16, & 2,24, & 2,19, & 2,14, & 2,21, & 2,15, \\ 2,14, & 2,14, & 2,14, & 2,15, & 2,15, & 2,33, & 2,16, & 2,14, \\ 2,17, & 2,14, & 2,15, & 2,16, & 2,14, & 2,15, & 2,17, & 2,17, \\ 2,14, & 2,20, & 2,16, & 2,14, & 2,15, & 2,20, & 2,16, & 2,20, \\ 2,14, & 2,16, & 2,21, & 2,19, & 2,14 & & & \end{bmatrix}$$

$$\hat{p}_{RH} = 5,6$$

$$\hat{\beta} = 1,7$$

Pour le mode de défaillance 2 :

$$\hat{v}_0 = \begin{bmatrix} 14,41, & 13,96, & 14,41, & 13,72, & 13,66, & 14,44, & 14,44, & 14,44, \\ 13,58, & 14,44, & 14,38, & 12,53, & 13,97, & 14,44, & 14,13, & 14,41, \\ 14,45, & 14,45, & 14,45, & 14,41, & 14,41, & 13,59, & 14,38, & 14,44, \\ 14,34, & 14,44, & 14,41, & 14,38, & 14,44, & 14,41, & 14,34, & 14,34, \\ 14,44, & 13,82, & 14,38, & 14,44, & 14,44, & 14,41, & 13,82, & 14,38, \\ 13,83, & 14,44, & 14,38, & 14,12, & 13,97, & 14,44, & & \end{bmatrix}$$

$$\hat{E}_a = 0,13$$

$$\hat{p}_{el} = \begin{bmatrix} 4,16, & 3,41, & 4,16, & 3,01, & 2,90, & 4,22, & 4,22, & 4,22, \\ 2,77, & 4,22, & 4,11, & 1,01, & 3,42, & 4,22, & 3,69, & 4,16, \\ 4,22, & 4,22, & 4,22, & 4,17, & 4,16, & 2,78, & 4,11, & 4,22, \\ 4,05, & 4,22, & 4,16, & 4,11, & 4,22, & 4,16, & 4,05, & 4,05, \\ 4,22, & 3,18, & 4,11, & 4,22, & 4,22, & 4,16, & 3,18, & 4,11, \\ 3,19, & 4,22, & 4,11, & 3,69, & 3,42, & 4,22, & & \end{bmatrix}$$

$$\hat{p}_{RH} = 2,2$$

$$\hat{\beta} = 2$$

En se basant sur ces paramètres estimés, il est possible de calculer la durée de vie médiane d'un condensateur céramique multi-couche CMS suivant l'équation 4.17 dans les conditions nominales : ($RH_{ambiante} = 70\%$, $V_{appliquée}/V_0 = 1$, $T_{ambiante} = 38,5^\circ C$). Le calcul à partir de l'équation 4.17 donne la durée de vie médiane de 2,5 ans.

Exemple - Étape (h) - Définition d'un essai de qualification

Pour définir un essai accéléré de qualification pour ces composants, considérons que le niveau de fiabilité à démontrer est fixé à $R_0 = 0,99$ (soit 99 % de fiabilité) avec un niveau de confiance de 95% ($\alpha = 0.05$) et la durée de vie visée est de $t_0 = 5ans$. Les paramètres d'échelles associés pour chaque mode de défaillance sont :

$$\theta_{01} = \frac{t_0}{(-\ln(0,99))^{1/\beta_1}} ; \quad \theta_{02} = \frac{t_0}{(-\ln(0,99))^{1/\beta_2}} \quad (4.27)$$

Soit θ_t est le paramètre d'échelle sous les conditions de l'essai accéléré, on calcule la durée de l'essai t_t en tenant compte des nouvelles conditions d'essai (par exemple, $RH_{ambiante} = 85\%$, $V_{appliquée}/V_0 = 1$, et $T_{ambiante} = 85^\circ C$) pour $n = 231$ composants sous test.

En utilisant les équations 4.21 et 4.18, la durée d'essai correspondante est :

$$t_t = \max \left[\left(\frac{-\ln(\alpha)}{n} \right)^{1/\beta_1} \times \frac{\theta_{01}}{AF_1} ; \left(\frac{-\ln(\alpha)}{n} \right)^{1/\beta_2} \times \frac{\theta_{02}}{AF_2} \right] \quad (4.28)$$

Ce calcul montre que, sous les conditions d'essai spécifiées, la durée nécessaire pour atteindre le niveau de fiabilité souhaité (99%) à un niveau de confiance de 95% est de 3800 heures pour 231 composants sous test. Cela signifie que, dans ces conditions d'essai accéléré, nous pouvons démontrer que les composants atteignent la fiabilité requise dans un délai de 3800 heures, équivalant à la durée de vie visée sous les conditions nominales.

Dans le cadre de la qualification par rapport à des défauts qualité, la démonstration de fiabilité se base sur le facteur d'accélération le plus grand (donc AF_1 qui était évaluée à 209). En utilisant à nouveau l'équation 4.20, on trouve une durée d'essai de 2000h et une taille d'échantillon de 34 pour atteindre le niveau de fiabilité souhaité (99%) à un niveau de confiance de 95%.

4.5 Conclusion

Ce chapitre finalise la méthodologie proposée dans cette thèse en proposant un processus, des méthodes et des outils statistiques d'exploitation des résultats des essais accélérés. Cela permet de conclure sur les essais de qualification nécessaires pour un composant électronique suivant un profil de mission adapté aux DMIA.

On a d'abord discuté, dans ce chapitre, de comment gérer les données manquantes dans les plans d'expériences, qui peuvent survenir en raison de problèmes technologiques ou logistiques.

Comme le Chapitre 3 a défini deux typologies de tests en fonction des objectifs (guidés par la FMMEA) des composants vis-à-vis d'un profil de mission, ce chapitre a également été organisé en conséquence en deux types d'analyses :

- Analyse des essais pour la qualification (typologie de test (1)) où l'objectif est d'identifier l'essai accéléré le plus efficace pour discerner les défauts de qualité latents. Dans ce type d'essai, l'objectif était d'analyser statistiquement l'efficacité des essais de durée de vie accélérés pour observer les défauts par rapport aux composants avec différentes caractéristiques technologiques basées sur les principes des plans d'expériences, en particulier à travers le plan produit. Les méthodes utilisées pour ce type d'analyse utilisent le rapport signal/bruit de Taguchi où les deux combinaisons du plan intérieur et du plan extérieur peuvent être respectivement comparées statistiquement. Le calcul des réponses théoriques peut également être utilisé pour comparer l'effet des facteurs technologiques et identifier les combinaisons robustes du plan intérieur. En cas de peu ou pas de défaillances, certains de ces calculs pourraient être impossibles, il est donc proposé d'analyser la limite de l'intervalle de confiance unilatéral comme une réponse du plan produit au lieu du nombre de défauts observés. Cette analyse a été appliquée sur les chips résistifs comme exemple. Cela permet de sélectionner les essais de qualification les plus appropriés pour la détection des défauts. L'analyse du plan extérieur a permis de sélectionner la surcharge électrique comme un essai efficace pour observer les défaillances, car elle est associée au rapport

signal/bruit le plus élevé. Cet essai est donc un bon candidat pour améliorer les essais de qualification à mettre en œuvre sur les chips résistifs.

- Analyse des essais pour l'estimation du modèle de fiabilité (typologie de tests (2)) où l'objectif est d'estimer les paramètres du modèle de fiabilité à utiliser pour définir des essais accélérés qui démontrent un certain niveau de fiabilité. L'estimation est basée sur le maximum de vraisemblance. Le nombre des paramètres d'un tel modèle rend complexe l'estimation directe par la méthode du maximum de vraisemblance. Afin de pallier à cette difficulté, un processus d'estimation itératif a été proposé et qui est basé sur l'analyse de la variance (ANOVA). À la fin des étapes associées, les paramètres estimés sont utilisés pour définir la durée d'un essai avec des valeurs données de stress pour démontrer un niveau de fiabilité. Cela a été appliqué sur les condensateurs céramiques multicouches CMS comme exemple. Nous pouvons observer lors de l'application de la méthodologie sur les composants, que la FMMEA joue toujours un rôle significatif car elle aide à analyser les graphiques de probabilité pour la distribution des données de vie par exemple, ainsi qu'à définir les contraintes et les valeurs initiales pour l'estimation du maximum de vraisemblance.

Alors que nous clôturons ce dernier chapitre, nous avons discuté et expliqué des méthodes d'analyse pour les essais accélérés et la conception d'expériences, chacune contribuant aux méthodologies globales de qualification. Les méthodologies proposées dans l'ensemble du manuscrit, et particulièrement expliquée dans les deux derniers chapitres, contribuent à lever les verrous scientifiques et technologiques en fournissant un cadre pour la qualification de composants électroniques spécifiquement pour les DMIA. Cela comprend une compréhension, cadrée par le profil de mission des DMIA, de la physique de la défaillance en jeu et utilise des concepts de essais accélérés au-delà de la simple estimation du temps jusqu'à la défaillance, et des concepts de conception d'expériences au-delà de la simple étude de la robustesse. Ce cadre est utilisé dans le projet RECOME pour rédiger une norme médicale pour l'électronique.

La méthodologie d'analyse des condensateurs céramiques a été présentée à la conférence internationale ESREL 2024 : F.-E. Indmeskine, L. Saintis, A. Kobi, and M. Barreau, 'Predictive Reliability Modelling Based On Combination Of DoE And ALT', presented at the European Safety and Reliability Conference, Cracow, Poland, 2024.

Un article sur la méthodologie d'analyse des chips résistifs est accepté pour être présenté à la conférence internationale ESREF 2024 : F.-E. Indmeskine, L. Saintis, A. Kobi, and H. Marceau, 'Design-of-Experiments and ALT plan for reliability qualification of chip resistors based on mission profile of AIMDs', presented at the 35th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, Parma, Italy, 2024.

CONCLUSION GÉNÉRALE

Dans le cadre de cette thèse, qui fait partie du Projet RECOME, de nombreuses contributions ont été apportées. Nous concluons ce manuscrit par une discussion globale sur ces contributions, que nous classerons en : a) bibliographique, se concentrant sur l'état de l'art des Dispositifs Médicaux Implantables Actifs (DMIA) et de la Failure Mechanisms, Modes, & Effects Analysis (FMMEA) des composants électroniques, b) méthodologique, se concentrant sur la valeur ajoutée des méthodologies proposées par rapport à ce qui a été examiné également dans ce manuscrit concernant les tests de fiabilité et les plans d'expériences, c) contributions industrielles, concernant principalement les aspects technologiques et expérimentaux de la thèse. Enfin, des perspectives sont données pour la poursuite de ce travail.

Contributions bibliographiques

La bibliographie a été une partie importante de ce travail, notamment pour les DMIA et la FMMEA des composants électroniques. Les paragraphes suivants résumeront chacun de ces éléments, de leurs spécificités, et des contributions que ce travail a apporté en ce qui concerne chacun d'eux.

Dispositif Médicaux Implantables Actifs

Une partie précieuse de la bibliographie a été réalisée par un des contributeurs du projet RECOME, SATT OUEST VALORISATION. Grâce à une analyse mondiale, ils ont identifié les acteurs clés de la R&D industrielle et académique sur le marché des DMIA. Les résultats de cette analyse comprenaient une liste de publications sur le sujet. À partir de cette liste, a commencé le travail bibliographique de compréhension du fonctionnement des DMIA dans le corps humain, les différentes phases qu'ils traversent, et les contraintes environnementales auxquelles ils sont soumis pendant chacune de ces phases. Le résultat final de ce travail est la définition du profil de mission du DMIA, comme mentionné dans le Chapitre 1, car, à notre connaissance, ce profil n'avait jamais été défini avant la publication de notre article sur ce sujet [76].

FMMEA des composants électroniques

Étant donné que le sujet principal de la thèse est la qualification des composants électroniques dans les DMIA, il est important de comprendre la physique de la défaillance

des composants électroniques par rapport au profil de mission des DMIA. Par conséquent, il est important d'examiner les mécanismes et modes de défaillance typiques qui sont pertinents, surtout par rapport aux contraintes environnementales du profil de mission des DMIA. Ceci est fait à travers la FMMEA indépendamment des DMIA, mais la définition des essais de durée de vie accélérés prend en compte cela ainsi que le profil de mission des DMIA. En particulier, cette connaissance aide à identifier les facteurs technologiques et environnementaux qui ont le plus d'impact sur la fiabilité des composants électroniques. La contribution est essentiellement la collecte de ces informations et leur organisation à travers des FMMEAs pour chaque composant. En effet, des FMMEAs ont été faites sur les chips résistifs, les condensateurs céramiques multicouches, les condensateurs au tantale, les inductances ferrites, les inductances bobinées, les circuits intégrés, et les systèmes micro-électromécaniques (MEMS). Pour les résumés de FMMEA des composants traités dans ce manuscrit, voir l'annexe A2.

Contributions méthodologiques

Comme évoqué dans le Chapitre 2, un état de l'art des méthodes et concepts des essais de durée de vie accélérés (ALT) et des plans d'expériences (DoE) a été présenté. Ce chapitre introduit les concepts de base de la conception des plans d'expériences et explore leur application aux essais de fiabilité. Il examine également divers modèles d'ALT et analyse les limites des guides de fiabilité prévisionnelle, tels que MIL-HDBK-217 et FIDES. Ces bases méthodologiques sont essentielles pour comprendre la méthodologie proposée, qui est détaillée dans les Chapitres 3 et 4. L'analyse et la combinaison des concepts présentés ici apportent une contribution précieuse à la qualification de la fiabilité des composants électroniques pour les DMIA. En fait, la méthodologie fournit un cadre global qui intègre les facteurs de conception technologique des composants électroniques et les facteurs environnementaux du profil de mission des DMIA dans la conception des essais de durée de vie accélérés appropriés basés sur l'utilisation de la FMMEA, en utilisant la technique du plan d'expériences produit.

Comme il existe de nombreuses normes industrielles qui fournissent des tests de fiabilité pour diverses familles de composants électroniques, comme on l'a vu au Chapitre 2, la méthodologie proposée dans le cadre de cette thèse se concentre sur des points spécifiques, en particulier :

- L'objectif est de qualifier les composants électroniques pour un certain profil de mission (ici, celui des dispositifs médicaux implantables).
- Les composants concernés peuvent être des composants relativement fiables qui sont qualifiés pour des industries strictes telles que l'automobile et l'aviation.
- Pour les mêmes raisons, la méthodologie se concentre sur deux objectifs : comment

définir des essais accélérés qui permettent une meilleure détection des défauts, et comment définir des essais accélérés qui permettent de démontrer un certain niveau de fiabilité par rapport à un profil de mission.

- Le plan produit Taguchi, en tant que contribution majeure de ce travail, permet de cibler précisément les facteurs critiques influençant la défaillance et la fiabilité des composants. En amont, la FMMEA sert à définir l'objectif principal à atteindre et à identifier les facteurs technologiques et environnementaux les plus déterminants. Le plan produit Taguchi optimise ensuite la conception des essais en croisant ces facteurs de manière systématique, améliorant la définition des essais de qualification.
- Un modèle de fiabilité prévisionnelle adapté au profil de mission des DMIA permet de mieux définir les essais accélérés. En utilisant des données de dégradation, comme celles des condensateurs céramiques multicouches, les paramètres du modèle sont estimés via la méthode du maximum de vraisemblance et affinés grâce à des analyses statistiques telles que l'analyse de la variance. Cette approche améliore la précision des essais de qualification, en tenant compte des conditions réelles d'utilisation des composants dans les DMIA et en optimisant l'analyse des facteurs influents sur la fiabilité.

Contributions industrielles

Alors que le rapport présenté dans cette thèse est principalement focalisé sur la méthodologie, le travail fourni dans ce projet amène des données expérimentales précieuses qui peuvent enrichir les manuels de fiabilité, particulièrement étant donné que les tests associés ont été conçus pour un profil de mission qui n'a pas fait l'objet d'un consensus (généralement les entreprises personnalisent leurs propres tests). En effet, en plus des chips résistifs et des condensateurs céramiques multicouches, d'autres composants électroniques montés en surface ont été étudiés dans ce travail, mais dont les tests accélérés ne sont pas encore finalisés, tels que : condensateurs au tantale, les inductances ferrites, les inductances bobinées, et les circuits intégrés.

Étant donné que ces tests ont été réalisés dans le laboratoire de TAME-COMPONENT, l'un des collaborateurs du projet, c'était également une excellente occasion pour eux d'acquérir les connaissances nécessaires et d'obtenir une expérience pratique en préparant la configuration. Ceci est utile pour appliquer la méthodologie et réaliser des tests de fiabilité dans l'avenir. En effet, une campagne de tests ont été mis en œuvre et des analyses de défaillance ont été réalisées. Enfin, tout ce travail aboutira à l'élaboration d'une norme, actuellement en cours de rédaction.

Perspectives

La suite de ce travail inclura bien sûr la collecte de données provenant des autres essais accélérés qui ne sont pas encore finalisés, ainsi que les analyses de défaillance associées, afin de proposer les conclusions dans la rédaction en cours de la norme AFNOR SPEC 2311. L'étendue des types de composants ou de procédés d'assemblage n'a pas permis une étude exhaustive qu'il conviendra d'étendre comme :

- Analyser l'effet du revêtement conforme, en particulier le Parylène-C, sur la fiabilité de certains composants à travers des essais de durée de vie accélérés. Un plan d'expérience a été défini et des essais sont programmés au sein de Tame-component.
- Exploiter la bibliographie et la FMMEA réalisées sur les MEMS (Micro-Electro-Mechanical Systems) de manière utile. Ces composants électroniques n'étaient pas dans le champ expérimental de ce travail en raison de leur complexité supérieure et de la difficulté à analyser physiquement leur défaillance. En effet, il n'existe pour l'instant pas de modèle pour les MEMS dans FIDES, donc nous avons recensé les types de MEMS utilisés dans les DMIAs afin de de réduire le champ d'action.

D'un point de vue industriel, il conviendra de :

- Structurer la bibliographie sur la FMMEA appliquée aux composants pour l'intégrer dans une base de données industrielle.
- Élaborer un guide d'instructions détaillé pour standardiser les méthodes de mesure et d'analyse de défaillance, afin d'améliorer la reproductibilité et la précision des résultats, et ainsi contribuer à la rigueur scientifique des études futures.

Plusieurs perspectives de recherche sont envisageables afin d'améliorer les différentes méthodes utilisées dans ce manuscrit, telles que les plans d'expériences, les essais de durée de vie accélérés, et l'analyse de la fiabilité prévisionnelle. Cela peut être réalisé en :

- Explorant en détail la gestion de l'incertitude dans différents types de données, notamment dans les mesures électriques (précision des instruments, variabilité des conditions expérimentales), dans les plans d'expériences (variabilité des facteurs et réponses), et dans l'estimation des paramètres (incertitude des modèles statistiques et erreurs d'échantillonnage).
- Appliquant des méthodes bayésiennes pour intégrer les informations issues de la FMMEA afin d'améliorer les tests de fiabilité conçus. Cela inclut la création de distributions pour les modes et mécanismes de défaillance, ainsi que l'établissement de relations efficaces entre ces distributions, le profil de mission du DMIA et la famille de composants électroniques. Une première ébauche de travail était faite en collaboration avec des membres du GTR FIDES qui sera présenté au congrès LM 24 [133].

- Explorant les possibilités d'améliorer l'estimation en utilisant des méthodes bayésiennes grâce auxquelles les paramètres de fiabilité prédictive existants sont pris en compte de manière directe.

ANNEXE A1 : CONCEPTS DE BASE EN PROBABILITÉ, FIABILITÉ ET STATISTIQUES

Les formules et les informations dans le cadre de cet annexe sont extraites du livre de Fang et al [84], de Pham [186], et de Montgomery [81].

4.6 Statistiques de base

4.6.1 Analyse de variance (ANOVA)

ANOVA (Analyse de Variance) est une méthode statistique utilisée fréquemment pour l'inférence statistique et la comparaison des moyennes de différents groupes de données. Elle implique de diviser la variabilité totale dans les données de réponse en : variabilité liée à la relation entre les facteurs (Somme des Carrés de la Régression, SS_R) et les données de réponse, et la variabilité liée aux résidus ou erreurs du modèle (Somme des Carrés de l'Erreur, SS_E).

Supposons un plan d'expérience avec p facteurs, chacun avec n niveaux, et la réponse est notée par y . Les variabilités sont montrées dans la table d'analyse de variance A1.1 où :

- \bar{y}_k est la moyenne des réponses associées au facteur k ,
- \bar{y} est la moyenne totale des réponses,
- y_{ik} est la réponse associée au niveau i du facteur k ,
- F_0 est la statistique

Pour tester si un facteur est significatif, la statistique F peut être calculée. La variance liée aux facteurs peut être comparée à la variance du résidu à travers un test de Fisher-Snedecor qui utilise la distribution de Fisher. Pour un facteur k , le ratio $\frac{MS_k}{MS_E}$ suit une loi F (loi de Snedecor) à ν_k et ν_R degrés de liberté si le facteur k n'est pas significatif (l'hypothèse nulle H_0 : facteur k n'est pas significatif). L'hypothèse nulle serait rejetée avec un niveau de risque α si : $F_0 > F_{\alpha, \nu_k, \nu_R}$ (la dernière peut être nommée $F_{\text{théorique}}$). Pour cela, pValue peut être calculée. Étant donné le risque α , une pValue inférieure à α signifie qu'il y a des preuves solides contre l'hypothèse nulle avec un niveau de confiance de $(1 - \alpha)\%$.

TABLE A1.1 – Analyse de la variance (ANOVA)

Source de variation	Somme des carrés	Degré de liberté (ddl)	Variance	F_0
Facteur k	$SS_k = \frac{N \sum_{i=1}^{n_k} (y_{ik} - \bar{y})^2}{n_k}$	$\nu_k = n_k - 1$	$MS_k = \frac{SS_k}{\nu_k}$	$F_0 = \frac{MS_k}{MS_E}$
Résidus	SS_R	$\nu_R = N - \text{ddl}_{\text{modèle}}$	$MS_E = \frac{SS_R}{\nu_R}$	
Total	$SS_T = \sum_{k=1}^p \sum_{i=1}^{n_k} (y_{ik} - \bar{y})^2$	$N - 1$		

4.7 Probabilité et notions en fiabilité

4.7.1 Variable aléatoire

Dans la majorité des problèmes d'ingénierie de fiabilité, des variables quantitatives telles que le temps de défaillance d'un composant ou des variables qualitatives telles que le fait qu'un composant soit défectueux ou non défectueux sont utilisées. Ces variables peuvent être représentées par une variable aléatoire X .

Si la variable aléatoire X représente par exemple le temps de défaillance, elle peut prendre des valeurs de 0 à l'infini puisque le composant peut tomber en panne à tout moment, à partir de son état initial. Dans ce cas, X est dite une *variable aléatoire continue*. Si X représente si un composant est défectueux ou non, il ne peut prendre que l'un des deux états, auquel cas X est dit être une *variable aléatoire discrète*.

4.7.2 Fonction de distribution de probabilité

Une *fonction de densité* ("probability density function", *pdf*) est un modèle mathématique qui relie la valeur d'une variable à la probabilité d'occurrence de cette valeur dans la population, notée par $f(x)$. Une *fonction de répartition* ("cumulative density function", *cdf*) est définie par $F(x) = P(X \leq x)$ (également appelée fonction de distribution cumulative de X et symbolisée par $X \sim F(x)$).

Si X est une variable aléatoire continue, $P(a \leq X \leq b) = \int_a^b f(x) dx$ est la probabilité que X prenne une valeur dans l'intervalle $[a, b]$, où a et b sont deux nombres quelconques tels que $a \leq b$. La fonction de répartition pour une valeur x définie est :

$$F(x) = P(X \leq x) = \int_{-\infty}^x f(s) ds \quad (\text{A1.1})$$

On dit que X suit une distribution continue $F(x)$ avec une fonction de probabilité $f(x)$. La distribution exponentielle et la distribution normale sont des exemples des distributions continues.

Si X désigne le temps jusqu'à défaillance, métrique fondamentale dans le domaine de

l'ingénierie de fiabilité, la fonction de densité caractérise la "vitesse de défaillance", c'est-à-dire qu'une valeur $f(t)$ plus élevée signifie une fréquence de défaillances plus élevée dans des intervalles de temps courts centrés autour de t . D'autre part, la fonction de répartition $F(t)$ représente la probabilité qu'un composant tombe en panne avant un temps t désigné (également appelée en anglais "unreliability", équivalent à "non-fiabilité").

L'équation A1.1 est équivalente à :

$$f(t) = \frac{d(F(t))}{dt} \quad (\text{A1.2})$$

La fiabilité et la non-fiabilité s'excluent mutuellement, la fonction de fiabilité est :

$$R(t) = \int_t^{+\infty} f(s) ds \quad (\text{A1.3})$$

4.7.3 Fonction de taux de défaillance

Le taux de défaillance permet de caractériser le comportement d'un composant en mesurant la variation de la probabilité de sa défaillance sur un petit intervalle de temps. Il peut être écrit comme :

$$\lambda(t) = \frac{f(t)}{R(t)} \quad (\text{A1.4})$$

4.7.4 Espérance et variance

Soit X une variable aléatoire continue avec la fonction de densité $f(x)$. L'espérance et la variance de X sont respectivement définies par :

$$E(X) = \int_{-\infty}^{+\infty} xf(x)dx, \quad Var(X) = \int_{-\infty}^{+\infty} (x - E(x))^2 f(x)dx$$

4.7.5 Covariance

La covariance de deux variables aléatoires continues X et Y avec une fonction de densité jointe $f(x, y)$ est définie par :

$$\text{Cov}(X, Y) = \int_{-\infty}^{+\infty} \int_{-\infty}^{+\infty} (x - E(X))(y - E(Y))f(x, y)dxdy \quad (\text{A1.5})$$

L'équation A1.5 peut être également écrite sous la forme : $\text{Cov}(X, Y) = E[(X - E(X))(Y - E(Y))]$.

4.7.6 Quantile

Un quantile est l'inverse de la fonction de répartition F . Le p -ième *quantile* de F est le temps jusqu'à la défaillance t_p tel que $F(t_p) = p$. Dans la pratique, t_p est parfois utilisé

pour caractériser le temps auquel une fraction de la population serait tombée en panne.

Si p est un pourcentage, on dit que t_p est le p -ième *percentile* (ou *centile*). Un percentile spécial fréquemment utilisée dans l'industrie est $B_{10} = t_{0,1}$, le temps au bout duquel 10% des unités de la population seraient en panne. En particulier, c'est une caractéristique courante de la durée de vie des roulements [91].

4.7.7 Variance asymptotique

Un estimateur $\hat{\theta}$ est asymptotiquement normal si : $\sqrt{n}(\hat{\theta} - \theta) \rightarrow^d N(0, \sigma_\theta^2)$, où n est la taille de l'échantillon, σ_θ^2 est la variance asymptotique de l'estimateur $\hat{\theta}$, et θ est le "vrai" paramètre inconnu de la distribution de l'échantillon. Cela peut être interprété comme impliquant que pour des échantillons de grande taille, une distribution d'estimateurs de paramètres provenant d'une population identique serait très proche de la distribution normale.

La variance asymptotique est particulièrement utile pour le calcul des intervalles de confiance (MLE).

4.7.8 Estimation de Maximum de Vraisemblance

En statistique, la méthode d'estimation du maximum de vraisemblance représente l'une des techniques les plus robustes pour l'estimation des paramètres. Son principe fondamental est d'identifier les valeurs les plus probables des paramètres, pour une distribution donnée, qui décriront les données de manière optimale.

Soit un échantillon de taille n de composants dont les temps jusqu'à la défaillance t_1, t_2, \dots, t_n sont des variables aléatoires indépendantes et ont pour fonction de densité $f(t; \theta_1, \theta_2, \dots, \theta_k) = \prod_{i=1}^k f(t_i; \theta_1, \theta_2, \dots, \theta_k)$, où $\theta_1, \theta_2, \dots, \theta_k$ sont k paramètres inconnus que l'on cherche à estimer.

La fonction de vraisemblance est définie par :

$$L(\theta_1, \theta_2, \dots, \theta_k \mid t_1, t_2, \dots, t_n) = L = \prod_{i=1}^k f(t_i; \theta_1, \theta_2, \dots, \theta_k) \quad (\text{A1.6})$$

L'estimateur de maximum de vraisemblance $\hat{\theta}$ peut être trouvé en maximisant la fonction de vraisemblance par rapport à θ . En pratique, il est plus facile de maximiser la fonction de vraisemblance logarithmique (équation A1.7).

$$\Lambda = \ln(L) = \sum_{i=1}^n \ln f(t_i; \theta_1, \theta_2, \dots, \theta_k) \quad (\text{A1.7})$$

Par conséquent, les estimateurs de maximum de vraisemblance de $\theta_1, \theta_2, \dots, \theta_k$ sont les

solutions simultanées de k équations comme suit :

$$\frac{\partial \Lambda}{\partial \theta_j} = 0, \quad j=1,2,\dots,k \quad (\text{A1.8})$$

4.7.9 Estimation de Maximum de Vraisemblance pour des données censurées

La censure a été définie dans le chapitre 2, section “Planification des ALTs”.

Lors de l’estimation par maximum de vraisemblance avec des données censurées, la fonction de vraisemblance doit être étendue pour tenir compte des composants censurés. La méthode d’estimation globale ne change pas, mais elle s’adapte simplement aux termes liés aux données censurées.

Soit $t_{1,f}, t_{2,f}, \dots, t_{m,f}$ les temps jusqu’à la défaillance des composants qui ont eu une défaillance, et $t_{1,s}, t_{2,s}, \dots, t_{r,s}$ les composants censurés.

La fonction de vraisemblance pour les données censurées à droite devient :

$$L(\theta_1, \theta_2, \dots, \theta_k \mid t_{1,f}, t_{2,f}, \dots, t_{m,f}, t_{1,s}, t_{2,s}, \dots, t_{r,s}) = \prod_{i=1}^m f(t_{i,f}; \theta_1, \theta_2, \dots, \theta_k) \prod_{j=1}^r [1 - F(t_{j,s}; \theta_1, \theta_2, \dots, \theta_k)] \quad (\text{A1.9})$$

4.7.10 Intervalle de confiance

L’un des concepts les plus importants en ingénierie de fiabilité, un intervalle de confiance est une plage de valeurs dans laquelle un paramètre de fiabilité θ est susceptible d’apparaître un certain pourcentage du temps.

Les intervalles de confiance sont généralement décrites de deux manières : bilatéraux ou unilatéraux. Lorsque des *intervalles de confiance bilatéraux* sont utilisés, il s’agit de trouver les limites entre lesquelles un certain pourcentage de la population est susceptible de se situer. Par exemple, si $[a, b]$ est l’intervalle de confiance à 90% pour un paramètre, cela signifie que 90% de la population du paramètre se situe entre a et b , 5% se situe en dessous de a , et 5% en dessus de b .

La limite de l’*intervalle de confiance unilatéral* peut être de deux types : supérieure et inférieure. La limite de confiance unilatérale supérieure définit la limite en dessous de laquelle se situe un certain pourcentage de la population, tandis que la limite de confiance unilatérale inférieure définit la limite au-dessus de laquelle se situe un certain pourcentage de la population. Par exemple, si b est une limite de confiance unilatérale supérieure de 95%, cela signifie que 95% de la population est inférieur à b . À l’inverse, si a est une limite de confiance unilatérale inférieure de 95%, cela signifie que 95% de la population est supérieure à a .

Généralement, les intervalles de confiance pour un paramètre sont calculés de la manière suivante : soit IC_{inf} et IC_{sup} respectivement la limite inférieure de confiance et la limite supérieure de l'intervalle de confiance, et $1 - \alpha$ la probabilité que la vraie valeur d'un paramètre θ soit dans l'intervalle, c'est-à-dire : $P[IC_{inf} \leq \theta \leq IC_{sup}]$. Supposons qu'un échantillon aléatoire x_1, x_2, \dots, x_n est prélevé d'une population avec une moyenne μ et une variance σ^2 . Soit $\hat{\mu}$ la valeur estimée de μ . Si la taille de l'échantillon n est grande ($n \geq 30$), alors $\hat{\mu}$ a approximativement une distribution normale avec la moyenne μ et la variance σ^2/n ou $Z = \frac{\hat{\mu} - \mu}{\sigma/\sqrt{n}}$ a une distribution normale standard. Après les calculs associés, on pourra écrire les limites de l'intervalle de confiance comme :

$$IC_{inf} = \hat{\mu} - Z_{\alpha/2} \frac{\alpha}{\sqrt{n}} \quad (A1.10)$$

$$IC_{sup} = \hat{\mu} + Z_{\alpha/2} \frac{\alpha}{\sqrt{n}} \quad (A1.11)$$

Dans le cas où le paramètre d'intérêt est la proportion de composants défectueux, la même formule peut être utilisée. Cependant, si la taille de l'échantillon n est très petite ou s'il y a très peu de défaillances (n_d), il peut ne plus être précis d'utiliser une distribution normale. Dans un tel cas, la distribution binomiale peut être utilisée pour trouver les limites de l'intervalle de confiance pour la proportion des défectueux $p = n_d/n$, en résolvant les équations A1.12 et A1.13.

$$\sum_{k=0}^{n_d-1} \binom{n}{k} IC_{inf}^k (1 - IC_{inf})^{n-k} = 1 - \alpha/2 \quad (A1.12)$$

$$\sum_{k=0}^{n_d} \binom{n}{k} IC_{sup}^k (1 - IC_{sup})^{n-k} = \alpha/2 \quad (A1.13)$$

Dans tous les cas, les limites de l'intervalle de confiance unilatéral peuvent également être construites en remplaçant $\alpha/2$ par α dans les équations ci-dessus.

N.B. On remarque que dans le cas de "zéro défaillances", $IC_{sup} = 1 - \exp\left[\frac{\ln(\alpha)}{n}\right]$.

Pour le calcul des **intervalles de confiance pour les estimations de maximum de vraisemblance**, basé sur la normalité asymptotique des MLEs, les limites sont les suivantes :

$$IC_{inf} = \hat{\mu} - Z_{\alpha/2} \sqrt{Var(\hat{\mu})} \quad (A1.14)$$

$$IC_{sup} = \hat{\mu} + Z_{\alpha/2} \sqrt{Var(\hat{\mu})} \quad (A1.15)$$

Où $Var(\hat{\mu})$ est la variance du paramètre estimé $\hat{\mu}$ et $Z_{\alpha/2}$ est le pourcentile supérieur de la distribution normale standard correspondant au niveau de risque α .

4.7.11 Monte Carlo

Les simulations Monte Carlo sont une classe de techniques informatiques qui peuvent être utilisées pour effectuer des simulations simples basées sur des relations entre différentes variables aléatoires qui suivent une distribution donnée. Ce type de simulation a de nombreuses applications en contrôle qualité, conception probabiliste, analyse de risques, etc.

Il s'agit de générer des ensembles de données aléatoires basés sur la distribution donnée et d'analyser les réponses en fonction du modèle d'entrée. L'analyste peut alors expérimenter avec différentes tailles d'échantillonnage et durées de d'essai pour mieux concevoir des essais de fiabilité. Il est également possible de construire des intervalles de confiance basés sur les réponses simulées.

La simulation de Monte Carlo est une approche très utile pour gérer des cas compliqués où les durées de vie des composants suivent des distributions de Weibull, normales, lognormales, ou autres, et où les systèmes sont dans des configurations complexes, sans se fier aux hypothèses que font les méthodes analytiques.

4.8 Modèles de fiabilité

4.8.1 Weibull

Fonction de densité de probabilité (pdf) :

$$f(t) = \frac{\beta}{\theta} \left(\frac{t}{\theta}\right)^{\beta-1} e^{-(t/\theta)^\beta} \quad (\text{A1.16})$$

Fiabilité :

$$R(t) = e^{-(t/\theta)^\beta} \quad (\text{A1.17})$$

Où θ et β sont les paramètres d'échelle et de forme.

4.9 Algorithmes d'optimisation

Il y a trois composantes essentielles à un problème d'optimisation :

1. La *fonction objective*, qui est la quantité à maximiser ou à minimiser pour trouver un optimum.
2. Un ensemble de *variables* indépendantes ou de paramètres qui vont être variés à la recherche d'un optimum.
3. Des *contraintes* ou des conditions que les variables doivent respecter pour être une solution acceptable au problème.

La forme générale d'un problème d'optimisation peut être exprimée en termes mathématiques comme suit :

$$\begin{aligned} \min_{\mathbf{x} \in \mathbb{R}^n} f(\mathbf{x}) \\ \text{subject to } c_i(\mathbf{x}) = 0, \quad i = 1, 2, \dots, m'; \\ c_i(\mathbf{x}) \geq 0, \quad i = m' + 1, \dots, m. \end{aligned}$$

Où f est la fonction objective, \mathbf{x} le vecteur des variables, et $\{c_i\}$ les fonctions contraintes pour chaque élément i du vecteur \mathbf{x} .

Il existe diverses méthodes pour résoudre de tels problèmes. Ci-dessous sont présentés quelques exemples :

4.9.1 Méthodes de points intérieurs

La méthodologie du point intérieur pour traiter la minimisation contrainte implique la résolution d'une série de problèmes de minimisation approximatifs. Pour tout $\mu > 0$, le problème approximatif est :

$$\begin{aligned} \min_{x,s} f_\mu(x, s) = \min_{x,s} f(x) + \mu \sum_i \ln(s_i), \\ \text{subject to } s \geq 0, h(x) = 0, \text{ and } g(x) + s = 0 \quad (\text{A1.18}) \end{aligned}$$

ANNEXE A2 : MATÉRIELS SUPPLÉMENTAIRES POUR LES ESSAIS DE DURÉE DE VIE ACCÉLÉRÉS

4.10 FMMEA

Cette section résume les résultats de la FMMEA effectuée, qui constituent la base des tests accélérés définis dans le Chapitre 3 pour chaque composant.

4.10.1 Chips résistifs

La FMMEA des chips résistifs est résumée dans la table A2.1.

4.10.2 Condensateurs céramiques multicouches CMS

La FMMEA des condensateurs céramiques multicouches CMS est résumée dans la table A2.2.

4.10.3 Inductances bobinées CMS

La FMMEA des inductances bobinées CMS est résumée dans la table A2.3.

4.10.4 Circuits intégrés

La FMMEA des circuits intégrés est résumée dans la table A2.4.

TABLE A2.1 – Résultats de la FMMEA des chips résistifs.

Facteurs d'accélération	Description du mécanisme	Mode de défaillance
Stress thermique	Lorsqu'une contrainte thermique est appliquée, le phénomène de fissuration de la soudure se produit en raison de la disparité des coefficients de dilatation thermique entre le PCB et la résistance.	Dérive; Circuit ouvert
	Séparation de l'électrode intermédiaire par la contraction excessive de la soudure ou le durcissement et la contraction de la résine moulée pendant le processus de soudure par refusion.	Dérive; Circuit ouvert
Surcharge en puissance	Une décharge électrostatique est une charge statique excessive générée lors de la manipulation et causée par une contrainte électrique. Les composants aussi petits que 01005 sont plus sensibles aux décharges électrostatiques.	Dérive; Circuit ouvert
	Une surcharge excessive ou des impulsions de surtension considérables induisent un courant instantané important, entraînant une génération thermique ou une détérioration des composants résistifs, aboutissant ainsi à une élévation des valeurs de résistance et à une rupture ultérieure du fil (circuit ouvert).	Dérive; Circuit ouvert
	Une surcharge survenant dans une courte durée, couplée à des décharges électrostatiques (ESD) ou des surtensions excessives, compromet le composant isolant (verre) du film résistif, entraînant une diminution de la valeur de résistance.	Dérive
Humidité + Courant	L'origine fondamentale de la corrosion peut être attribuée à une imbrication inadéquate de la couche de soudure et de nickel et, plus particulièrement, du liant de verre situé au-dessus de la couche de verre, ce qui a facilité la diffusion de l'argent et du soufre le long de l'interface.	Dérive; Circuit ouvert
	Le mouvement du métal, tel que l'argent, à travers une solution électrolytique sous l'effet d'un champ électrique appliqué entre des conducteurs isolés.	Dérive; Court circuit
Humidité + Courant + Sulfur	Les éléments sulfuriques (S) s'infiltrent dans une fissure entre la membrane de protection et le placage, interagissant ensuite avec les électrodes internes (argent : Ag) pour synthétiser du sulfure d'argent (Ag ₂ S) par transformation en milieu isolant.	Dérive; Circuit ouvert
Stress mécanique	Séparation de l'électrode intermédiaire par la déformation du PCB.	Dérive; Circuit ouvert

TABLE A2.2 – Résultats de la FMMEA des condensateurs céramiques multicouches CMS.

Facteurs d'accélération	Mécanismes de défaillance	Description du mécanisme	Modes de défaillance
Tension	Effet d'avalanche (ABD)	Sous haute tension et champ électrique qui arrache les électrons du matériau diélectrique provoquant la rupture.	Court circuit
	Migration des lacunes d'oxygène (pour BME)	Les condensateurs BME présentent une quantité importante de lacunes d'oxygène qui persistent suite au processus de cuisson (les électrodes en nickel n'ont pas subi d'oxydation dans le milieu diélectrique). Le déplacement des lacunes d'oxygène vers la cathode est facilité par une augmentation de l'intensité du champ électrique.	Dérive ; Court circuit
	Migration électrochimique (ECM)	La migration de filaments métalliques à cause de l'humidité et sous tension.	Dérive ; Court circuit
Humidité	Migration des lacunes d'oxygène (pour BME)	En présence d'une humidité élevée, des lacunes d'oxygène supplémentaires sont créées à la surface, provoquant un gradient de concentration qui déplace les lacunes d'oxygène, diminuant la capacité nette.	Dérive
	Migration électrochimique (ECM)	La migration de filaments métalliques à cause de l'humidité et sous tension.	Dérive
	Dégradation de la résistance du diélectrique	Les atomes d'hydrogène générés en présence d'humidité à l'interface entre les diélectriques et l'anode peuvent contribuer à la dégradation de la résistance d'isolation par hydrolyse (réaction chimique dans laquelle une liaison chimique est rompue par action d'une molécule d'eau).	Dérive
	Croissance des fissures	Les fissures permettent à l'humidité de pénétrer et contribuent à leur croissance.	Court circuit
Température	Emballement thermique (TRA)	Une augmentation progressive du courant de fuite qui entraîne un auto-échauffement et éventuellement la défaillance du composant.	Dérive ; Court circuit
	Vieillessement de la capacité	Le vieillissement à des températures élevées est susceptible de provoquer des fissures de flexion dans le composant.	Dérive

TABLE A2.3 – Résultats de la FMMEA des inductances bobinées CMS.

Facteurs d'accélération	Mécanismes de défaillance	Description du mécanisme	Modes de défaillance
Stress électrique	Perte du noyau magnétique	Des défauts ou des impuretés dans le noyau magnétique de ferrite peuvent entraîner une dérive de la perméabilité du noyau magnétique.	Dérive
Stress thermo-électrique	Surchauffe	La perte du noyau magnétique ou des courants disproportionnés induisent un échauffement excessif entraînant une dégradation du matériau du noyau ou un court-circuit.	Dérive ; Court circuit
Stress thermo-mécanique	Fissures	Une défaillance due à une fissure du noyau peut se produire lors de la refusion par soudage en raison du stress thermo-mécanique élevé induit par le Coefficient de Dilatation Thermique (CDT) élevé de la résine magnétique.	Court circuit

TABLE A2.4 – Résultats de la FMMEA des circuits intégrés [187].

Facteurs d'accélération	Mécanismes de défaillance	Description du mécanisme	Modes de défaillance	%
$\geq 150^\circ\text{C}$, (dans certains cas, vibrations à la fréquence de résonance)	Fatigue de liaison ("bonding")	Les liaisons ou les surface de liaison subissent une fatigue mécanique due à une contrainte thermomécanique, ainsi qu'à des vibrations à la fréquence de résonance dans le cas des dispositifs hermétiquement scellés.	Circuit ouvert	5
$T > 180^\circ\text{C}$	"Purple plague"	Une couche intermétallique se forme à l'interface entre le fil (Au) et la métallisation (Al), conduisant à la création d'une zone fragile. Ceci est dû à des vides dans Au causés par la diffusion, ce qui peut entraîner un soulèvement du liaison.	Circuit ouvert	
E, T_{jonction}	Mouvement de charge (courants de fuite, inversion)	La charge se disperse latéralement à partir de la métallisation ou le long de l'interface d'isolation, conduisant à la formation d'une couche d'inversion au-delà de la région active. Cela pourrait potentiellement établir un chemin de conduction entre deux régions de diffusion, par exemple.	Court-circuit	5
$RH, E, T_{\text{jonction}}$	Corrosion de la métallisation	En présence d'humidité et de contamination ionique (P, Na, Cl, ...), une réaction électrochimique ou galvanique se produit, ce qui est critique pour la passivation du PSG (SiO ₂) avec $>4\%$ P (des fissures se produisent avec $<2\%$ P).	Circuit ouvert	10
$RH, E, T_{\text{jonction}}$	Migration du métal	La migration des atomes métalliques se produit en présence de produits chimiques réactifs, d'humidité et de polarisation, formant des chemins conducteurs (dendrites) entre les électrodes.	Court-circuit	
j, T_{jonction}	Electromigration	Les atomes métalliques (y compris Si aux contacts) migrent dans le sens du flux d'électrons, entraînant des vides ou des ouvertures dans la structure.	Circuit ouvert	
E, T_{jonction}	Rupture diélectrique dépendante du temps (dependent dielectric breakdown, TDDB)	Une rupture soudaine des couches d'oxyde minces se produit lorsque suffisamment de charge a été injectée pour déclencher un processus d'emballement.	Circuit ouvert	10
E, T_{jonction}	Migration ionique (transistors parasites, inversion)	En raison de E et T_{jonction} , l'injection de porteurs se produit dans l'oxyde de grille, conduisant à la création de charges à l'interface SiO ₂ /Si.	Fuite de courant	
E, T_{jonction}	Instabilité de la température de polarisation négative (negative bias temperature instability, NBTI)	À des températures élevées et une tension de grille négative (dispositifs PMOS), des pièges sont générés à l'interface oxyde de grille - substrat Si.	Dérive de tension de seuil	
$E, T_{\text{jonction}} \geq 200^\circ\text{C}$	Composé intermétallique	Une couche intermédiaire se forme entre le métal (Al) et le substrat (Si).	Circuit ouvert	10
$E, T \approx -50^\circ\text{C}$	Injection du porteur chaud (hot carrier injection, HCI)	Des électrons sont injectés en raison de E élevé.	Dérive	
Irradiation externe	Particules	Les particules alpha génèrent des paires électron-trou (DRAMs).	Soft errors	
Surtension	Verrouillage (latch-up)	Les chemins PNPN sont activés.	Court-circuit	
-	Mauvaise utilisation / manipulation	Le surmenage peut être électrique (ESD/EOS), thermique, mécanique ou climatique.	Fuite de courant ; Court-circuit	60

BIBLIOGRAPHIE

- [1] « Guide FIDES 2022 Edition A | FIDES », FIDES Group, rapp. tech., déc. 2022.
- [2] *NF EN 45502-1 : Implants chirurgicaux - Dispositifs médicaux implantables actifs - Partie 1 : exigences générales de sécurité, marquage et informations fournies par le fabricant*, 2016.
- [3] *ASTM2182-19e2 - Standard Test Method for Measurement of Radio Frequency Induced Heating On or Near Passive Implants During Magnetic Resonance Imaging*, 2020.
- [4] *ASTM F2052-21 - Standard Test Method for Measurement of Magnetically Induced Displacement Force on Medical Devices in the Magnetic Resonance Environment*, 2022.
- [5] *ASTM2213-17 - Standard Test Method for Measurement of Magnetically Induced Torque on Medical Devices in the Magnetic Resonance Environment*, 2017.
- [6] « IPC-A-610 - Standard Only : Acceptability for Electronic Assemblies », IPC, version Revision J, 2024.
- [7] « IPC-CC-830 - Qualification and Performance of Electrical Insulating Compound for Printed Wiring Assemblies », IPC, version Revision C, 2018.
- [8] *NF EN 556-1 : Stérilisation des dispositifs médicaux - Exigences relatives aux dispositifs médicaux en vue d'obtenir l'étiquetage STERILE - Partie 1 : exigences relatives aux dispositifs médicaux stérilisés au stade terminal*, 2002.
- [9] « AEC-Q100 : Failure Mechanism Based Stress Test Qualification for Integrated Circuits », Automotive Electronics Council (AEC), version Rev-J, 2023.
- [10] « MIL-HDBK-978B - NASA Parts Application Handbook », National Aeronautics And Space Administration, 1988.
- [11] « MIL-STD-750 : Test Methods for Semiconductor Devices », Department of Defense, United States of America, 2016.
- [12] « MIL-STD-810 : Environmental Engineering Considerations And Laboratory Tests », Department of Defense Test Method Standard, 2019.
- [13] « MIL-STD-883 : Test Method Standard for Microcircuits », US Department of Defense, 2019.
- [14] « MIL-STD-202 : Electronic And Electrical Component Parts », Department of Defense Test Method Standard, 2020.

- [15] « MIL-PRF-55342 : Performance Specification : Resistors, Chip, Fixed, Film, Non-established Reliability, Established Reliability, Space Level, General Specification for », rapp. tech., 2016.
- [16] « MIL-PRF-123 : Performance Specification : Capacitors, Fixed, Ceramic Dielectric, (Temperature Stable and General Purpose), High Reliability, General Specification for », Department of Defense, 2020.
- [17] « MIL-HDBK-217F. Military Handbook : Reliability Prediction of Electronic Equipment », U.S. Department of Defense, fév. 1995.
- [18] *IEC 60115-1 :2020 - Fixed Resistors for Use in Electronic Equipment – Part 1 : Generic Specification*, Geneva, Switzerland, 2020. adresse : <https://webstore.iec.ch/publication/61865>.
- [19] « NF EN 140401-801 Detail specification : fixed low power film SMD resistors - Rectangular - Stability classes 0,1, 0,25, 0,5, 1 », rapp. tech., avr. 2008.
- [20] « NF EN 140401-802 Detail specification : fixed low power film SMD resistors - Rectangular - Stability classes 1, 2 », rapp. tech., avr. 2008.
- [21] *Directive 2011/65/EU of the European Parliament and of the Council of 8 June 2011 on the restriction of the use of certain hazardous substances in electrical and electronic equipment (recast) (Text with EEA relevance)*, juill. 2016.
- [22] P. RENARD, « De l'aéronautique Au Médical : Une Voie Tracée Par Des Exigences Communes », *DeviceMed.fr*, sept. 2018. (visité le 18/07/2024).
- [23] *Règlement (UE) 2017/745 du Parlement Européen et du Conseil*, <https://eur-lex.europa.eu/legal-content/FR/TXT/?uri=CELEX%3A02017R0745-20200424>, 2017.
- [24] V. K. KHANNA, *Implantable Medical Electronics*. Cham : Springer International Publishing, 2016, ISBN : 978-3-319-25446-3 978-3-319-25448-7. DOI : 10.1007/978-3-319-25448-7.
- [25] T. ZEDNÍČEK, *Commercial versus COTS+ versus Qualified Passive Components in Space Applications*, Noordwijk, The Netherlands, 2016.
- [26] Y.-H. JOUNG, « Development of Implantable Medical Devices : From an Engineering Perspective », *International Neurourology Journal*, t. 17, 3, p. 98-106, sept. 2013, ISSN : 2093-4777. DOI : 10.5213/inj.2013.17.3.98.
- [27] M. PORTER, R. ERICH et M. RICOTTA, « Medical Electronics Design, Manufacturing, and Reliability », in *Materials for Advanced Packaging*, D. LU et C. WONG, éd., Cham : Springer International Publishing, 2017, p. 767-811, ISBN : 978-3-319-45097-1 978-3-319-45098-8. DOI : 10.1007/978-3-319-45098-8_18.

- [28] K. SHEN et M. M. MAHARBIZ, « Ceramic packaging in neural implants », *Journal of Neural Engineering*, t. 18, 2, p. 025 002, 2021, ISSN : 1741-2560, 1741-2552. DOI : 10.1088/1741-2552/abd683.
- [29] N. P. TIPNIS et D. J. BURGESS, « Sterilization of implantable polymer-based medical devices : A review », *International Journal of Pharmaceutics*, t. 544, 2, p. 455-460, juin 2018, ISSN : 03785173. DOI : 10.1016/j.ijpharm.2017.12.003.
- [30] M. SCHUETTLER et T. STIEGLITZ, « 4 - Microassembly and micropackaging of implantable systems », in *Implantable Sensor Systems for Medical Applications*, sér. Woodhead Publishing Series in Biomaterials, A. INMANN et D. HODGINS, éd., Woodhead Publishing, jan. 2013, p. 108-149, ISBN : 978-1-84569-987-1. DOI : 10.1533/9780857096289.1.108.
- [31] M. J. KANE, P. P. BREEN, F. QUONDAMATTEO et G. ÓLAIGHIN, « BION microstimulators : A case study in the engineering of an electronic implantable medical device », *Medical Engineering & Physics*, t. 33, 1, p. 7-16, jan. 2011, ISSN : 1350-4533. DOI : 10.1016/j.medengphy.2010.08.010.
- [32] M. OHRING et L. KASPRZAK, *Reliability and Failure of Electronic Materials and Devices*, Second. Amsterdam ; Boston : Elsevier/Academic Press, 2015, ISBN : 978-0-12-088574-9.
- [33] M. MIFTEN, D. MIHAILIDIS, S. F. KRY et al., « Management of radiotherapy patients with implanted cardiac pacemakers and defibrillators : A Report of the AAPM TG-203 † », *Medical Physics*, t. 46, 12, déc. 2019, ISSN : 0094-2405, 2473-4209. DOI : 10.1002/mp.13838.
- [34] W. TOGHUJ, « Mitigation of Soft Errors in Implantable Medical Devices », in *2020 7th International Conference on Electrical and Electronics Engineering (ICEEE)*, Antalya, Turkey : IEEE, avr. 2020, p. 95-100, ISBN : 978-1-72816-788-6. DOI : 10.1109/ICEEE49618.2020.9102553.
- [35] M. S. COOPER, *Commercial Parts Technology Qualification Processes*, mars 2013.
- [36] M. PORTER, P. GERRISH, L. TYLER et al., « Reliability considerations for implantable medical ICs », in *2008 IEEE International Reliability Physics Symposium*, IEEE, 2008, p. 516-523.
- [37] C. VASSEURE, « Les méthodes d'assemblages », *Cours de l'école d'ingénieurs ESIEE Paris*, 2005.
- [38] K. ELY et Y. ZHOU, « Microjoining in medical components and devices », in *Microjoining and Nanojoining*, Elsevier, 2008, p. 691-717.

- [39] J. XIE, « 8 - Laser hermetic welding of implantable medical devices », in *Joining and Assembly of Medical Materials and Devices*, sér. Woodhead Publishing Series in Biomaterials, Y. ZHOU et M. D. BREYEN, éd., Woodhead Publishing, jan. 2013, p. 211-235, ISBN : 978-1-84569-577-4. DOI : 10.1533/9780857096425.2.211.
- [40] M. M. QUAZI, M. ISHAK, M. A. FAZAL et al., « A Comprehensive Assessment of Laser Welding of Biomedical Devices and Implant Materials : Recent Research, Development and Applications », *Critical Reviews in Solid State and Materials Sciences*, t. 46, 2, p. 109-151, mars 2021, ISSN : 1040-8436. DOI : 10.1080/10408436.2019.1708701.
- [41] A. J. TEO, A. MISHRA, I. PARK, Y.-J. KIM, W.-T. PARK et Y.-J. YOON, « Polymeric Biomaterials for Medical Implants and Devices », *ACS Biomaterials Science & Engineering*, t. 2, 4, p. 454-472, avr. 2016, ISSN : 2373-9878, 2373-9878. DOI : 10.1021/acsbomaterials.5b00429.
- [42] J. C. BARRESE, N. RAO, K. PAROO et al., « Failure mode analysis of silicon-based intracortical microelectrode arrays in non-human primates », *Journal of Neural Engineering*, t. 10, 6, p. 066 014, déc. 2013, ISSN : 1741-2560, 1741-2552. DOI : 10.1088/1741-2560/10/6/066014.
- [43] W. KO, P. WANG et S. LACHHMAN, « Chapter 6 - System integration and packaging », in *Implantable Biomedical Microsystems*, S. BHUNIA, S. J. A. MAJERUS et M. SAWAN, éd., Oxford : William Andrew Publishing, jan. 2015, p. 113-136, ISBN : 978-0-323-26208-8. DOI : 10.1016/B978-0-323-26208-8.00006-6.
- [44] W. YANG, Y. GONG et W. LI, « A Review : Electrode and Packaging Materials for Neurophysiology Recording Implants », *Frontiers in Bioengineering and Biotechnology*, t. 8, 2021, ISSN : 2296-4185.
- [45] P. KASSANOS, S. ANASTASOVA, C. M. CHEN et G.-Z. YANG, « Sensor Embodiment and Flexible Electronics », in *Implantable Sensors and Systems : From Theory to Practice*, G.-Z. YANG, éd., Cham : Springer International Publishing, 2018, p. 197-279, ISBN : 978-3-319-69748-2. DOI : 10.1007/978-3-319-69748-2_4.
- [46] B. KANEGSBURG et E. KANEGSBURG, *Handbook for Critical Cleaning : Applications, processes, and controls*. CRC Press, 2011.
- [47] P. KIELE, J. HERGESELL, M. BÜHLER, T. BORETIUS, G. SUANING et T. STIEGLITZ, « Reliability of Neural Implants—Effective Method for Cleaning and Surface Preparation of Ceramics », *Micromachines*, t. 12, 2, p. 209, fév. 2021, ISSN : 2072-666X. DOI : 10.3390/mi12020209.
- [48] L. BOWMAN et J. D. MEINDL, « The Packaging of Implantable Integrated Sensors », *IEEE Transactions on Biomedical Engineering*, t. BME-33, 2, p. 248-255, fév. 1986, ISSN : 0018-9294. DOI : 10.1109/TBME.1986.325807.

- [49] P. YEON, S. K. RAJAN, J. FALCONE et al., « Microfabrication, Coil Characterization, and Hermetic Packaging of Millimeter-Sized Free-Floating Neural Probes », *IEEE Sensors Journal*, t. 21, 12, p. 13 837-13 848, juin 2021, ISSN : 1530-437X, 1558-1748, 2379-9153. DOI : 10.1109/JSEN.2021.3068077.
- [50] A. SIEGEL, F. SAUTER-STARACE et S. LAPORTE, « Insights into the Mechanical Interaction between an Active Cranial Implant and the Skull Subjected to Moderate Impact Loadings », *Journal of the Mechanical Behavior of Biomedical Materials*, t. 126, p. 105 048, fév. 2022, ISSN : 1751-6161. DOI : 10.1016/j.jmbbm.2021.105048.
- [51] G. JIANG et D. D. ZHOU, « Technology Advances and Challenges in Hermetic Packaging for Implantable Medical Devices », in *Implantable Neural Prostheses 2 : Techniques and Engineering Approaches*, sér. Biological and Medical Physics, Biomedical Engineering, D. ZHOU et E. GREENBAUM, éd., New York, NY : Springer, 2010, p. 27-61, ISBN : 978-0-387-98120-8. DOI : 10.1007/978-0-387-98120-8_2.
- [52] W. LIU et M. PECHT, « Failure Modes and Mechanisms », in *IC Component Sockets*, John Wiley & Sons, Ltd, 2004, chap. 9, p. 138-157, ISBN : 978-0-471-64827-7. DOI : 10.1002/0471648272.ch9.
- [53] G. MUKHOPADHYAY, « Chapter 5 - Failures of construction equipment and accessories : metallurgical root-cause analysis », in *Handbook of Materials Failure Analysis*, A. S. H. MAKHLOUF et M. ALIOFKHAZRAEI, éd., Butterworth-Heinemann, jan. 2018, p. 83-106, ISBN : 978-0-08-101928-3. DOI : 10.1016/B978-0-08-101928-3.00005-7.
- [54] J. J. LICARI, *Hybrid microcircuit technology handbook : materials, processes, design, testing and production*. Elsevier, 1998.
- [55] O. C. AKGUN, K. NANBAKSH, V. GIAGKA et W. A. SERDIJN, « A Chip Integrity Monitor for Evaluating Moisture/Ion Ingress in mm-Sized Single-Chip Implants », *IEEE Transactions on Biomedical Circuits and Systems*, t. 14, 4, p. 658-670, août 2020, ISSN : 1932-4545, 1940-9990. DOI : 10.1109/TBCAS.2020.3007484.
- [56] A. INMANN et D. HODGINS, éd., *Implantable Sensor Systems for Medical Applications* (Woodhead Publishing Series in Biomaterials). Woodhead Publishing, jan. 2013, ISBN : 978-1-84569-987-1. DOI : 10.1016/B978-1-84569-987-1.50019-3.
- [57] K. NAJAFI, « Micropackaging Technologies for Integrated Microsystems : Applications to MEMS and MOEMS », in *Micromachining and Microfabrication*, J. A. YASAITIS, M. A. PEREZ-MAHER et J. M. KARAM, éd., San Jose, CA, jan. 2003, p. 1. DOI : 10.1117/12.484953.
- [58] E. GUYER, L. EISELSTEIN et P. VERGHESE, « Accelerated Testing of Active Implantable Medical Devices », in *NACE CORROSION*, NACE, 2009, NACE-09 464.

- [59] A. LEWIS, « Methods for the characterization and evaluation of drug-device combination products », in *Biocompatibility and Performance of Medical Devices*, Elsevier, 2020, p. 269-301.
- [60] K. P. OLCZAK et K. J. OTTO, « Coatings for Microneural Implants : Biological and Mechanical Considerations », in *Handbook of Neuroengineering*, N. V. THAKOR, éd., Singapore : Springer, 2020, p. 1-38, ISBN : 9789811528484. DOI : 10.1007/978-981-15-2848-4_132-1.
- [61] S. BHUNIA, S. MAJERUS et M. SAWAN, *Implantable biomedical microsystems : design principles and applications*. Elsevier, 2015.
- [62] A. ONKEN, H. SCHÜTTE, A. WULFF et al., « Predicting Corrosion Delamination Failure in Active Implantable Medical Devices : Analytical Model and Validation Strategy », *Bioengineering*, t. 9, 1, p. 10, déc. 2021, ISSN : 2306-5354. DOI : 10.3390/bioengineering9010010.
- [63] T. STIEGLITZ, « Manufacturing, assembling and packaging of miniaturized neural implants », *Microsystem Technologies*, t. 16, 5, p. 723-734, mai 2010, ISSN : 0946-7076, 1432-1858. DOI : 10.1007/s00542-009-0988-x.
- [64] T. STIEGLITZ, « Implantable Device Fabrication and Packaging », in *Handbook of Neuroengineering*, N. V. THAKOR, éd. Singapore : Springer Nature Singapore, 2023, p. 289-337, ISBN : 978-981-16-5540-1. DOI : 10.1007/978-981-16-5540-1_102. adresse : https://doi.org/10.1007/978-981-16-5540-1_102.
- [65] C. HASSLER, T. BORETIUS et T. STIEGLITZ, « Polymers for neural implants », *Journal of Polymer Science Part B : Polymer Physics*, t. 49, 1, p. 18-33, 2011, ISSN : 1099-0488. DOI : 10.1002/polb.22169.
- [66] A. A. F. ABBAS, G. PANDIARAJAN, S. IYER, C. M. GREENE, D. SANTOS et K. SRIHARI, « Impact of Conformal Coating Material on the Long-Term Reliability of Ball Grid Array Solder Joints », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, t. 10, 11, p. 1861-1867, nov. 2020, ISSN : 2156-3950, 2156-3985. DOI : 10.1109/TCPMT.2020.3027635.
- [67] G. E. LOEB, M. BAK, M. SALCMAN et E. SCHMIDT, « Parylene as a chronically stable, reproducible microelectrode insulator », *IEEE transactions on biomedical engineering*, 2, p. 121-128, 1977.
- [68] FOOD AND DRUG ADMINISTRATION (FDA OR AGENCY), « Submission and Review of Sterility Information in Premarket Notification (510(k)) Submissions for Devices Labeled as Sterile - Guidance for Industry and Food and Drug Administration Staff », U.S. Department of Health and Human Services Food and Drug Administration, Rockville, MD, USA, rapp. tech., 2016, p. 11.

- [69] S. LEROUGE et A. SIMMONS, *Sterilisation of Biomaterials and Medical Devices*. Elsevier, sept. 2012, ISBN : 978-0-85709-626-5.
- [70] W. KHAN, E. MUNTIMADUGU, M. JAFFE et A. J. DOMB, « Implantable Medical Devices », in *Focal Controlled Drug Delivery*, sér. Advances in Delivery Science and Technology, A. J. DOMB et W. KHAN, éd., Boston, MA : Springer US, 2014, p. 33-59, ISBN : 978-1-4614-9434-8. DOI : 10.1007/978-1-4614-9434-8_2.
- [71] S. MARTIN et E. DUNCAN, « Sterilisation considerations for implantable sensor systems », in *Implantable Sensor Systems for Medical Applications*, Elsevier, 2013, p. 253-278, ISBN : 978-1-84569-987-1. DOI : 10.1533/9780857096289.2.253.
- [72] K. A. ATHANASIOU, G. G. NIEDERAUER et C. M. AGRAWAL, « Sterilization, toxicity, biocompatibility and clinical applications of polylactic acid/ polyglycolic acid copolymers », *Biomaterials*, Polymer Scaffolding and Hard Tissue Engineering, t. 17, 2, p. 93-102, jan. 1996, ISSN : 0142-9612. DOI : 10.1016/0142-9612(96)85754-1.
- [73] H. P. NEVES, « 1 - Materials for implantable systems », in *Implantable Sensor Systems for Medical Applications*, sér. Woodhead Publishing Series in Biomaterials, A. INMANN et D. HODGINS, éd., Woodhead Publishing, jan. 2013, p. 3-38, ISBN : 978-1-84569-987-1. DOI : 10.1533/9780857096289.1.3.
- [74] J. McNULTY, K. KNADLE, H.-P. KLEIN et al., « Assessment of Reliability Standards for Implantable Medical Devices », in *ICEP 2015*, mars 2015.
- [75] C. KADDICK, « 15 - Mechanical testing for soft and hard tissue implants », in *Biocompatibility and Performance of Medical Devices*, sér. Woodhead Publishing Series in Biomaterials, J.-P. BOUTRAND, éd., Woodhead Publishing, jan. 2012, p. 362-380, ISBN : 978-0-85709-070-6. DOI : 10.1533/9780857096456.3.362.
- [76] F.-E. INDMESKINE, S. LAURENT, A. KOBİ, H. MARCEAU, J. BASTID et C. DOUARD, « État de l'art des contraintes et des procédés d'assemblage applicables aux composants électroniques pour application médicale et qualification de la fiabilité », in *Congrès Lambda Mu 23 « Innovations et maîtrise des risques pour un avenir durable » - 23e Congrès de Maîtrise des Risques et de Sécurité de Fonctionnement*, Institut pour la Maîtrise des Risques, oct. 2022.
- [77] S. LIMON, O. P. YADAV et H. LIAO, « A literature review on planning and analysis of accelerated testing for reliability assessment », *Quality and Reliability Engineering International*, t. 33, 8, p. 2361-2383, 2017, ISSN : 1099-1638. DOI : 10.1002/qre.2195.
- [78] L. A. ESCOBAR et W. Q. MEEKER, « A Review of Accelerated Test Models », *Statistical Science*, t. 21, 4, nov. 2006, ISSN : 0883-4237. DOI : 10.1214/088342306000000321.

- [79] D. LEPADATU, « Optimisation des procédés de mise en forme par approche couplée plans d'expériences, éléments finis et surface de réponse », thèse de doct., Université d'Angers, 2006.
- [80] M. PILLET, *Les plans d'expérience par la méthode Taguchi*. Editions d'organisation, 1997.
- [81] D. C. MONTGOMERY, *Design and Analysis of Experiments*, 10th. Hoboken, NJ : Wiley, juin 2020, ISBN : 978-1-119-72210-6.
- [82] G. VINING, « Technical Advice : Experimental Protocol and the Basic Principles of Experimental Design », *Quality Engineering*, t. 25, 3, p. 307-311, juill. 2013, ISSN : 0898-2112, 1532-4222. DOI : 10.1080/08982112.2013.789278.
- [83] C.-F. WU et M. HAMADA, *Experiments : Planning, Analysis, and Optimization* (Wiley Series in Probability and Statistics), Third. Hoboken, NJ : Wiley, 2020, ISBN : 978-1-119-47012-0 978-1-119-47015-1.
- [84] K. FANG, R.-z. LI et A. SUDJIANTO, *Design and Modeling for Computer Experiments* (Computer Science and Data Analysis Series). Boca Raton, FL : Chapman & Hall/CRC, 2006, ISBN : 978-1-58488-546-7.
- [85] N. A. HECKERT, J. J. FILLIBEN, C. M. CROARKIN et al., « Handbook 151 : NIST/SEMATECH e-Handbook of Statistical Methods », *NIST*, nov. 2002.
- [86] G. S. WASSERMAN, *Reliability Verification, Testing and Analysis in Engineering Design*. Marcel Dekker, Inc., 2003, ISBN : 978-0-8247-0475-9.
- [87] E. A. ELSAYED, *Reliability Engineering*, Third. Hoboken, NJ, USA : Wiley, 2021.
- [88] P. D. T. O'CONNOR et A. KLEYNER, *Practical Reliability Engineering*, Fifth. John Wiley & Sons, Ltd, 2012.
- [89] E. GUYER, L. EISELSTEIN et P. VERGHESE, « Accelerated Testing of Active Implantable Medical Devices », in *NACE CORROSION*, NACE, 2009.
- [90] W. NELSON, *Accelerated Testing : Statistical Models, Test Plans and Data Analysis*. Hoboken, N.J : Wiley, 2004, ISBN : 978-0-471-69736-7.
- [91] G. YANG, *Life Cycle Reliability Engineering*. Hoboken, NJ, USA : John Wiley & Sons, 2007, ISBN : 978-0-471-71529-0.
- [92] G. REN, M. N. COLLINS, J. PUNCH, E. DALTON et R. COYLE, « Chapter 5 - Pb-free solder—microstructural, material reliability, and failure relationships », in *Handbook of Materials Failure Analysis*, A. S. H. MAKHLOUF et M. ALIOFKHAZRAEI, éd., Butterworth-Heinemann, jan. 2020, p. 107-151, ISBN : 978-0-08-101937-5. DOI : 10.1016/B978-0-08-101937-5.00005-1.

- [93] S. RATH, M. GLAUN, C. EMERY et Y.-C. C. LIU, « Electrostatic discharge (ESD) as a cause of facial nerve stimulation after cochlear implantation : a case report », *Annals of Otolaryngology, Rhinology & Laryngology*, t. 131, 9, p. 1043-1047, 2022.
- [94] D. S. STEINBERG, *Vibration Analysis for Electronic Equipment*, 3rd. New York : John Wiley & Sons, 2000, ISBN : 978-0-471-37685-9.
- [95] P. LI, C. LI et W. DANG, « Accelerated reliability demonstration testing design based on reliability allocation of environmental stresses », *Quality and Reliability Engineering International*, t. 33, 7, p. 1425-1435, 2017.
- [96] C. HENDRICKS, N. WILLIARD, S. MATHEW et M. PECHT, « A failure modes, mechanisms, and effects analysis (FMMEA) of lithium-ion batteries », *Journal of Power Sources*, t. 297, p. 113-120, nov. 2015, ISSN : 0378-7753. DOI : 10.1016/j.jpowsour.2015.07.100.
- [97] A. PORTER, « Accelerated Reliability Qualification in Automotive Testing », *Quality and Reliability Engineering International*, t. 20, 2, p. 115-120, mars 2004, ISSN : 0748-8017, 1099-1638. DOI : 10.1002/qre.619.
- [98] O. P. YADAV, N. SINGH et P. S. GOEL, « Reliability demonstration test planning : A three dimensional consideration », *Reliability Engineering & System Safety*, t. 91, 8, p. 882-893, août 2006, ISSN : 0951-8320. DOI : 10.1016/j.ress.2005.09.001.
- [99] M. PECHT et A. DASGUPTA, « Physics-of-failure : an approach to reliable product development », in *IEEE 1995 International Integrated Reliability Workshop. Final Report*, 1995, p. 1-4. DOI : 10.1109/IRWS.1995.493566.
- [100] S. LIU, L. WEI et H. WANG, « Review on reliability of supercapacitors in energy storage applications », *Applied Energy*, t. 278, p. 115-1436, nov. 2020, ISSN : 0306-2619. DOI : 10.1016/j.apenergy.2020.115436.
- [101] K. MA, H. WANG et F. BLAABJERG, « New Approaches to Reliability Assessment : Using physics-of-failure for prediction and design in power electronics systems », *IEEE Power Electronics Magazine*, t. 3, 4, p. 28-41, déc. 2016, ISSN : 2329-9207, 2329-9215. DOI : 10.1109/PEL.2016.2615277.
- [102] M. J. LUVALLE, « Identifying Mechanisms That Highly Accelerated Tests Miss », *IEEE Transactions on Reliability*, t. 56, 2, p. 349-359, juin 2007, ISSN : 1558-1721. DOI : 10.1109/TR.2007.896682.
- [103] J. ZANOFF et S. EKWARO-OSIRE, « An approach that can quickly assess product reliability », *Quality and Reliability Engineering International*, t. 26, 6, p. 571-578, 2010, ISSN : 1099-1638. DOI : 10.1002/qre.1080.

- [104] J. HU, D. BARKER, A. DASGUPTA et A. ARORA, « Role of failure-mechanism identification in accelerated testing », in *Annual Reliability and Maintainability Symposium 1992 Proceedings*, 1992, p. 181-188. DOI : 10.1109/ARMS.1992.187820.
- [105] T. YANG et R. PAN, « A Novel Approach to Optimal Accelerated Life Test Planning With Interval Censoring », *Reliability, IEEE Transactions on*, t. 62, p. 527-536, juin 2013. DOI : 10.1109/TR.2013.2257053.
- [106] W.-H. CHEN, L. GAO, J. PAN, P. QIAN et Q.-C. HE, « Design of Accelerated Life Test Plans—Overview and Prospect », *Chinese Journal of Mechanical Engineering*, t. 31, 1, p. 13, déc. 2018, ISSN : 1000-9345, 2192-8258. DOI : 10.1186/s10033-018-0206-9.
- [107] M. PECHT et JIE GU, « Physics-of-failure-based prognostics for electronic products », *Transactions of the Institute of Measurement and Control*, t. 31, 3-4, p. 309-322, juin 2009, ISSN : 0142-3312, 1477-0369. DOI : 10.1177/0142331208092031.
- [108] W. NELSON, « A Bibliography of Accelerated Test Plans », *IEEE Transactions on Reliability*, t. 54, 2, p. 194-197, juin 2005, ISSN : 0018-9529. DOI : 10.1109/TR.2005.847247.
- [109] D. L. DIETRICH et T. A. MAZZUCHI, « An alternative method of analyzing multi-stress multi-level life and accelerated life tests », in *Proceedings of 1996 Annual Reliability and Maintainability Symposium*, IEEE, 1996, p. 90-96.
- [110] L. A. ESCOBAR et W. Q. MEEKER, « Planning Accelerated Life Tests With Two or More Experimental Factors », *Technometrics*, t. 37, 4, p. 411-427, nov. 1995, ISSN : 0040-1706. DOI : 10.1080/00401706.1995.10484374.
- [111] L. J. FREEMAN, R. M. MEDLIN et T. H. JOHNSON, « Challenges and new methods for designing reliability experiments », *Quality Engineering*, t. 31, 1, p. 108-121, jan. 2019, ISSN : 0898-2112, 1532-4222. DOI : 10.1080/08982112.2018.1546394.
- [112] J.-W. PARK et B.-J. YUM, « Optimal design of accelerated life tests with two stresses », *Naval Research Logistics*, t. 43, 6, p. 863-884, sept. 1996, ISSN : 0894-069X, 1520-6750. DOI : 10.1002/(SICI)1520-6750(199609)43:6<863::AID-NAV5>3.0.CO;2-2.
- [113] E. A. ELSAYED et H. ZHANG, « Design of PH-based accelerated life testing plans under multiple-stress-type », *Reliability Engineering & System Safety*, Selected Papers Presented at the Fourth International Conference on Quality and Reliability, t. 92, 3, p. 286-292, mars 2007, ISSN : 0951-8320. DOI : 10.1016/j.ress.2006.04.016.
- [114] X. ZHANG, J. YANG et X. KONG, « Design of Multi-Stress Accelerated Life Testing Plans Based on D-Optimal Experimental Design », in *Stochastic Models in Reliability Engineering*, CRC Press, 2020, ISBN : 978-0-429-33152-7.

- [115] S. Z. FATEMI, F. GUERIN et L. SAINTIS, « Development of Optimal Accelerated Test Plan », in *2012 Proceedings Annual Reliability and Maintainability Symposium*, Reno, NV, USA, jan. 2012, p. 1-6. DOI : 10.1109/RAMS.2012.6175462.
- [116] Y. ZHU et E. A. ELSAYED, « Design of accelerated life testing plans under multiple stresses », *Naval Research Logistics (NRL)*, t. 60, 6, p. 468-478, 2013, ISSN : 1520-6750. DOI : 10.1002/nav.21545.
- [117] D. R. COX et N. REID, *The theory of the design of experiments*. New York, USA : Chapman et Hall/CRC, 2000.
- [118] B. TANG, « Orthogonal Array-Based Latin Hypercubes », *Journal of the American Statistical Association*, t. 88, 424, p. 1392-1397, déc. 1993, ISSN : 0162-1459, 1537-274X. DOI : 10.1080/01621459.1993.10476423.
- [119] V. R. JOSEPH et Y. HUNG, « Orthogonal-Maximin Latin Hypercube Designs », *Statistica Sinica*, t. 18, 1, p. 171-186, 2008, ISSN : 1017-0405. JSTOR : 24308251.
- [120] F. A. C. VIANA, « A Tutorial on Latin Hypercube Design of Experiments : A Tutorial on Latin Hypercube Design of Experiments », *Quality and Reliability Engineering International*, t. 32, 5, p. 1975-1985, juill. 2016, ISSN : 07488017. DOI : 10.1002/qre.1924.
- [121] A. GIUNTA, S. WOJTKIEWICZ et M. ELDRED, « Overview of modern design of experiments methods for computational simulations », in *41st aerospace sciences meeting and exhibit*, 2003, p. 649.
- [122] B. BEACHKOFSKI et R. GRANDHI, « Improved Distributed Hypercube Sampling », in *43rd AIAA/ASME/ASCE/AHS/ASC Structures, Structural Dynamics, and Materials Conference*, Denver, Colorado, avr. 2002, ISBN : 978-1-62410-117-5. DOI : 10.2514/6.2002-1274.
- [123] *Environmental Testing Services*. (visité le 30/04/2022).
- [124] C. BYRNE, « Handbook for Robustness Validation of Automotive Electrical/Electronic Modules », ZVEI - Zentralverband Elektrotechnik- und Elektronikindustrie e. V. (German Electrical and Electronic Manufacturers' Association) Electronic Components and Systems Division, rapp. tech., 2013.
- [125] H. R. SHEA, « Effects of radiation on mems », in *Reliability, Packaging, Testing, and Characterization of MEMS/MOEMS and Nanodevices X*, SPIE, t. 7928, 2011, p. 96-108.
- [126] A. TEVEROVSKY, « Cracking Problems in Low-Voltage Chip Ceramic Capacitors », NASA Goddard Space Flight Center, rapp. tech., 2018, p. 73.
- [127] S. A. LILANI, A. YARBOROUGH, L. HARZSTARK et M. COZZOLINO, « AEC to MILSPEC Comparison », in *NEPP Workshop at NASA Goddard*, 2020.

- [128] M. WHITE et J. B. BERNSTEIN, « Microelectronics Reliability, Physics-of-Failure Based Modeling and Lifetime Evaluation », NASA Electronic Parts and Packaging (NEPP) Program Office of Safety and Mission Assurance, Jet Propulsion Laboratory Pasadena, California, rapp. tech., fév. 2008.
- [129] C. JAIS, B. WERNER et D. DAS, « Reliability Predictions - Continued Reliance on a Misleading Approach », *2013 Proceedings Annual Reliability and Maintainability Symposium (RAMS)*, 2013. DOI : 10.1109/RAMS.2013.6517751.
- [130] F. O. EHIAGWINA, T. O. ADEWUNMI, E. O. SELUWA, O. O. KEHINDE et N. S. ABUBAKAR, « A Comparative Overview of Electronic Devices Reliability Prediction Methods-Applications and Trends », *Majlesi Journal of Telecommunication Devices*, t. 5, 4, 2016, ISSN : 2322-1550.
- [131] D. DAS et A. GAONKAR, « Evaluation and Comparison of FIDES and PoF-Based EEE Part Reliability Assessment », Center for Advanced Life Cycle Engineering, University of Maryland, College Park, MD 20742, USA, Principal Investigator's Summary of Research, mai 2020, p. 49.
- [132] RMQSI KNOWLEDGE CENTER, *Failure Mode/Mechanism Distributions (FMD-2016)*. Quanterion Solutions Incorporated, 2016.
- [133] G. PELLOQUIN, T. MONTIGAUD, L. SAINTIS et F.-E. INDMESKINE, « Distribution Des Modes de Panne et Profils de Vie FIDES », in *Congrès Lambda Mu 24 « Innovations et Maîtrise Des Risques Pour Un Avenir Durable » - 24e Congrès de Maîtrise Des Risques et de Sûreté de Fonctionnement, Institut Pour La Maîtrise Des Risques*, 2024.
- [134] B. T. ABDELLATIF, « Chapter 9 - New methodology for qualification, prediction, and lifetime assessment of electronic systems », in *Handbook of Materials Failure Analysis*, A. S. H. MAKHLOUF et M. ALIOFKHAZRAEI, éd., Butterworth-Heinemann, jan. 2020, p. 225-273, ISBN : 978-0-08-101937-5. DOI : 10.1016/B978-0-08-101937-5.00009-9.
- [135] KATIELEWIS, *New Options When Failure Is Not An Option*, sept. 2021.
- [136] D. N. DONAHOE, M. PECHT, I. K. LLOYD et S. GANESAN, « Moisture induced degradation of multilayer ceramic capacitors », *Microelectronics Reliability*, t. 46, 2-4, p. 400-408, fév. 2006, ISSN : 00262714. DOI : 10.1016/j.microrel.2005.05.008.
- [137] T. ASHBURN et D. SKAMSER, « Highly Accelerated Testing of Capacitors for Medical Applications », in *Proceedings of the 5th SMTA Medical Electronics Symposium*, 2008, p. 7.

- [138] A. HERNÁNDEZ-LÓPEZ, J. AGUILAR-GARIB, S. GUILLEMET-FRITSCH et al., « Reliability of X7R Multilayer Ceramic Capacitors During High Accelerated Life Testing (HALT) », *Materials*, t. 11, 10, p. 1900, oct. 2018, ISSN : 1996-1944. DOI : 10.3390/ma11101900.
- [139] D. LIU, « Highly accelerated life stress testing (HALST) of base-metal electrode multilayer ceramic capacitors », in *Proc. CARTS*, 2013, p. 235-248.
- [140] G. G. VINING, L. J. FREEMAN et J. L. K. KENSLER, « An Overview of Designing Experiments for Reliability Data », in *Frontiers in Statistical Quality Control 11*, sér. Frontiers in Statistical Quality Control, S. KNOTH et W. SCHMID, éd., Cham : Springer International Publishing, 2015, p. 321-336, ISBN : 978-3-319-12355-4. DOI : 10.1007/978-3-319-12355-4_19.
- [141] E. M. MONROE, R. PAN, C. M. ANDERSON-COOK, D. C. MONTGOMERY et C. M. BORROR, « A generalized linear model approach to designing accelerated life test experiments », *Quality and Reliability Engineering International*, t. 27, 4, p. 595-607, juin 2011, ISSN : 07488017. DOI : 10.1002/qre.1143.
- [142] K. SEO et R. PAN, « Planning accelerated life tests with multiple sources of random effects », *Journal of Quality Technology*, t. 54, 2, p. 162-183, mars 2022, ISSN : 0022-4065, 2575-6230. DOI : 10.1080/00224065.2020.1829214.
- [143] W. Q. MEEKER et L. A. ESCOBAR, *Statistical Methods for Reliability Data* (Wiley Series in Probability and Statistics. Applied Probability and Statistics Section). New York : Wiley, 1998, ISBN : 978-0-471-14328-4.
- [144] L. J. FREEMAN et G. G. VINING, « Reliability Data Analysis for Life Test Designed Experiments with Sub-Sampling », *Quality and Reliability Engineering International*, t. 29, 4, p. 509-519, 2013, ISSN : 1099-1638. DOI : 10.1002/qre.1398.
- [145] S. LV, Z. HE et G. VINING, « Simultaneous optimization of quality and reliability characteristics through designed experiment », *Quality Engineering*, t. 29, 3, p. 344-357, juill. 2017, ISSN : 0898-2112, 1532-4222. DOI : 10.1080/08982112.2017.1294696.
- [146] G. WANG, Z. NIU, S. LV, L. QU et Z. HE, « Bootstrapping Analysis of Lifetime Data with Subsampling : Bootstrapping Analysis of Lifetime Data with Subsampling », *Quality and Reliability Engineering International*, t. 32, 5, p. 1945-1953, juill. 2016, ISSN : 07488017. DOI : 10.1002/qre.1925.
- [147] A. GRUNDLER, M. DAZER et T. HERZIG, « Statistical Power Analysis in Reliability Demonstration Testing : The Probability of Test Success », *Applied Sciences*, t. 12, 12, p. 6190, jan. 2022, ISSN : 2076-3417. DOI : 10.3390/app12126190.

- [148] S.-w. WOO, D. L. O'NEAL et M. PECHT, « Failure analysis and redesign of the evaporator tubing in a Kimchi refrigerator », *Engineering Failure Analysis*, t. 17, 2, p. 369-379, mars 2010, ISSN : 1350-6307. DOI : 10.1016/j.engfailanal.2009.08.003.
- [149] L. CONDRA et M. LINDSLEY, « Using design of experiments to improve product and process integrity », in *Proceedings of the IEEE 1991 National Aerospace and Electronics Conference NAECON 1991*, IEEE, 1991, p. 1008-1011.
- [150] L. W. CONDRA, *Reliability Improvement with Design of Experiments*. Marcel Dekker, Inc., 2001, ISBN : 978-0-8247-0527-5.
- [151] C.-T. SU, H.-C. LIN, P.-W. TENG et T. YANG, « Improving the reliability of electronic paper display using FMEA and Taguchi methods : A case study », *Microelectronics Reliability*, t. 54, 6, p. 1369-1377, juin 2014, ISSN : 0026-2714. DOI : 10.1016/j.microrel.2014.02.015.
- [152] T. I. BĂJENESCU et M. I. BĂZU, *Reliability of Electronic Components*. Berlin, Heidelberg : Springer Berlin Heidelberg, 1999, ISBN : 978-3-642-63625-7 978-3-642-58505-0. DOI : 10.1007/978-3-642-58505-0.
- [153] V. KAKKAR, « An Ultra Low Power System Architecture for Implantable Medical Devices », *IEEE Access*, t. 7, p. 111 160-111 167, 2019, ISSN : 2169-3536. DOI : 10.1109/ACCESS.2018.2799422.
- [154] J. McDONALD, S. DEAN, D. NIEWOLNY, D. GARCIA, N. CHHABRA et L. CHANG, « Integrated Circuits for Implantable Medical Devices », Freescale Semiconductor, rapp. tech., 2011.
- [155] M. S. CHAE, Z. YANG et W. LIU, « Microelectronics of recording, stimulation, and wireless telemetry for neuroprosthetics : design and optimization », *Implantable Neural Prostheses 2 : Techniques and Engineering Approaches*, p. 253-330, 2010.
- [156] C. CAMARA, P. PERIS-LOPEZ et J. E. TAPIADOR, « Security and privacy issues in implantable medical devices : A comprehensive survey », *Journal of Biomedical Informatics*, t. 55, p. 272-289, juin 2015, ISSN : 1532-0464. DOI : 10.1016/j.jbi.2015.04.007.
- [157] *iNEMI*, http://www.inemi.org/med_comp_specs. (visité le 05/09/2022).
- [158] R. W. KUEHL, « Reliability of thin-film resistors : impact of third harmonic screenings », *Microelectronics Reliability*, t. 42, 6, p. 807-813, juin 2002, ISSN : 0026-2714. DOI : 10.1016/S0026-2714(02)00012-4.
- [159] M. SCHALDACH, « Design and reliability considerations in implants », in *Proceedings of the Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, IEEE, 1988, p. 1235-1238.

- [160] D. LU et C. WONG, éd., *Materials for Advanced Packaging*. Cham : Springer International Publishing, 2017, ISBN : 978-3-319-45097-1 978-3-319-45098-8. DOI : 10.1007/978-3-319-45098-8.
- [161] J. BRUSSE et L. PANASHCHENKO, « A Screening Method Using Pulsed-Power Combined with Infrared Imaging to Detect Pattern Defects in Bulk Metal Foil or Thin Film Resistors », rapp. tech. No. GSFC-E-DAA-TN58702, 2018, p. 18.
- [162] P. L. MARTIN, *Electronic Failure Analysis Handbook : Techniques and Applications for Electronic and Electrical Packages, Components, and Assemblies*. McGraw-Hill Education, 1999, ISBN : 978-0-07-041044-2.
- [163] M. COLE, L. HEDLUND, G. HUTT et al., « Harsh environment impact on resistor reliability », in *SMTA International 2010 Conference Proceedings*, 2010.
- [164] A. ELSÉN, *11 things you need to know about resistors in pulse load applications*, avr. 2019. (visité le 30/06/2022).
- [165] J. VON DER OHE, « Pulse Load on SMD Resistors : At the Limit », VISHAY BEYSCHLAG, Application Note 28870, août 2013.
- [166] TDK, « Ferrite Shield-Type Automotive Power Inductors », TDK, Technical Report, 2018. adresse : <https://product.tdk.com/en/techlibrary/productoverview/inductors%20automotiveferrite-shirld-power.html>.
- [167] Y.-C. HSIEH, S.-Y. LIN, C.-Y. KUNG, P.-N. LEE et C.-C. WANG, « Ultra low profile power inductor integrated in wafer level package », in *2019 IEEE 21st Electronics Packaging Technology Conference (EPTC)*, IEEE, 2019, p. 175-178.
- [168] L. TOKEN ELECTRONICS INDUSTRY CO., *SMD Power Inductor Series*, 2018.
- [169] F. FAJRINA, T. SJAFRIZAL et R. ANUGRAHA, « Enhancing Thermal-Shock Reliability of a Sleeveless Power Inductor Assembly upon Reflow Soldering », in *2019 1st International Conference on Engineering and Management in Industrial System (ICOEMIS 2019)*, Atlantis Press, 2019, p. 367-372.
- [170] H.-S. CHOI, K.-D. KIM et J. S. JANG, « Design for reliability of ferrite for electronics materials », *Electronic Materials Letters*, t. 7, 1, p. 63-70, mars 2011, ISSN : 1738-8090, 2093-6788. DOI : 10.1007/s13391-011-0310-9.
- [171] CHRISTIAN LALANNE, *Vibrations aléatoires (Vibrations et chocs mécaniques)*. Hermes Science Publications, 1999, t. Tome 3, 373 p., ISBN : 2-7462-0037-6.
- [172] D. LIU, « Selection, Qualification, Inspection, and Derating of Multilayer Ceramic Capacitors with Base-Metal Electrodes », NASA NEPP FY Report, rapp. tech., 2013.
- [173] M. KEIMASI, *Flex cracking and temperature-humidity-bias effects on* reliability of multilayer ceramic capacitors*. University of Maryland, College Park, 2006.

- [174] M. COZZOLINO, « Electrical Shorting in Multilayer Ceramic Capacitors », in *Proc. CARTS Int.*, 2004, p. 57-68.
- [175] R. A. CARBONE et D. J. ROCHE, « SMT Ceramic Capacitor Failure Mechanisms, Isolation Tools, Techniques and Analysis Methods », in *International Symposium for Testing and Failure Analysis*, ASM International, t. 30842, 2000, p. 347-353.
- [176] C. TULKOFF, G. CASWELL, A. P. BAHRET, L. J. GULLO et J. DIXON, *Design for Excellence in Electronics Manufacturing*. 2021.
- [177] N. BLATTAU, C. HILLMAN et D. SOLUTIONS, « Design Guidelines for Ceramic Capacitors Attached with SAC Solder », in *Proc. IPC APEX EXPO*, 2006, p. 12.
- [178] M. KEIMASI, M. H. AZARIAN et M. PECHT, « Isothermal aging effects on flex cracking of multilayer ceramic capacitors with standard and flexible terminations », *Microelectronics Reliability*, t. 47, 12, p. 2215-2225, déc. 2007, ISSN : 00262714. DOI : 10.1016/j.microrel.2006.12.005.
- [179] J. QAZI et M. IKEDA, « Failure Analysis of Capacitors and Inductors », nov. 2019. DOI : 10.31399/asm.tb.mfadr7.t91110587.
- [180] H. WANG et F. BLAABJERG, « Reliability of Capacitors for DC-Link Applications in Power Electronic Converters—An Overview », *IEEE Transactions on Industry Applications*, t. 50, 5, p. 3569-3578, sept. 2014, ISSN : 0093-9994, 1939-9367. DOI : 10.1109/TIA.2014.2308357.
- [181] R. J. A. LITTLE et D. B. RUBIN, *Statistical Analysis with Missing Data* (Wiley Series in Probability and Statistics), 2nd. Hoboken, N.J : Wiley, 2002, ISBN : 978-0-471-18386-0.
- [182] T. MORI et S.-C. TSAI, *Taguchi methods*. ASME, Three Park Avenue New York, NY, 2011.
- [183] D. C. MONTGOMERY, *Design and Analysis of Experiments*, Eighth. Hoboken, NJ : John Wiley & Sons, Inc, 2013, ISBN : 978-1-118-14692-7.
- [184] D. C. MONTGOMERY et G. C. RUNGER, *Applied Statistics and Probability for Engineers*, 7th. Wiley, 2018.
- [185] M. A. ALAM, M. H. AZARIAN, M. OSTERMAN et M. PECHT, « Prognostics of Failures in Embedded Planar Capacitors using Model-Based and Data-Driven Approaches », *Journal of Intelligent Material Systems and Structures*, t. 22, 12, p. 1293-1304, août 2011, ISSN : 1045-389X. DOI : 10.1177/1045389X11416024.
- [186] H. PHAM, éd., *Springer Handbook of Engineering Statistics*. London : Springer, 2006, ISBN : 978-1-85233-806-0.

- [187] A. BIROLINI, *Reliability Engineering : Theory and Practice*. Berlin, Heidelberg : Springer Berlin Heidelberg, 2017, ISBN : 978-3-662-54208-8 978-3-662-54209-5. DOI : 10.1007/978-3-662-54209-5.

Titre : Évaluation et qualification de la fiabilité des composants et des procédés d'assemblages électroniques pour applications médicales

Mot clés : qualification de fiabilité, plan d'expériences, essais accélérés, composant électronique, dispositif médical implantable actif (DMIA), physique de défaillance, FIDES

Résumé : L'électronique des DMIA expose les patients à des risques en cas de défaillance d'un composant. Contrairement à l'aéronautique, où la redondance est courante, les dispositifs médicaux implantables actifs sont confrontés à des contraintes telles que la miniaturisation, qui entravent leur application. En outre, « le grade médical » des composants n'est pas normalisé, ce qui complique la qualification. L'absence de normes spécifiques et le nombre limité d'études sur les environnements des DMIA rendent difficile l'élaboration de profils de mission. Pour y remédier, une étude de l'état de l'art a défini un profil de mission intégrant les contraintes environnementales critiques pour les essais de fiabilité, car elles influencent fortement les défaillances des composants. Une méthodologie basée sur le profil de mission, la FMMEA, les plans d'expériences et les essais accélérés a été développée pour qualifier les composants CMS, y compris les résistances, les condensateurs céramiques, les inductances et les circuits intégrés. Cette méthodologie résout deux problèmes majeurs : la conception d'essais accélérés efficaces pour détecter les défauts de qualité latents et la démonstration d'une fiabilité conforme au profil de la mission. Ce travail fait partie du projet de R&D « RECOME ».

Title: Evaluation and qualification of the reliability of components and electronic assembly processes for medical applications

Keywords: reliability qualification, experimental design, accelerated testing, electronic component, active implantable medical device (AMID), failure physics, FIDES

Abstract: Electronics in AIMDs expose patients to risks in case of component failure. Unlike aeronautics, where redundancy is common, AIMDs face constraints like miniaturisation that hinder its application. Additionally, the "medical grade" of components lacks standardization, complicating qualification. The absence of specific standards and limited studies on AIMD environments makes mission profile development challenging. To address this, a state-of-the-art review defined a mission profile integrating environmental constraints critical for reliability tests, as these strongly influence component failures. A methodology based on the mission profile, FMMEA, experimental designs, and accelerated tests was developed to qualify SMD components, including resistors, ceramic capacitors, inductors, and integrated circuits. This solves two key issues: designing efficient accelerated tests to detect latent quality defects and demonstrating reliability aligned with the mission profile. This work is part of the R&D project "RECOME".