



**HAL**  
open science

# De nouvelles limites pour le compromis "résistance passante spécifique/tendue en tension" des composants unipolaires de puissance

Frédéric Morancho

► **To cite this version:**

Frédéric Morancho. De nouvelles limites pour le compromis "résistance passante spécifique/tendue en tension" des composants unipolaires de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2004. tel-00010475

**HAL Id: tel-00010475**

**<https://theses.hal.science/tel-00010475v1>**

Submitted on 7 Oct 2005

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# **HABILITATION À DIRIGER DES RECHERCHES**

*de l'Université Paul Sabatier de Toulouse*

---

Préparée au  
*Laboratoire d'Analyse et d'Architecture des Systèmes du C.N.R.S.*

par

**Frédéric MORANCHO**

Docteur en électronique de l'Université Paul Sabatier  
Maître de Conférences à l'Université Paul Sabatier

---

**DE NOUVELLES LIMITES POUR LE COMPROMIS  
"RÉSISTANCE PASSANTE SPÉCIFIQUE / TENUE EN TENSION"  
DES COMPOSANTS UNIPOLAIRES DE PUISSANCE**

---

Soutenue le 1er décembre 2004 devant le jury :

Président	G. ABLART
Rapporteurs	J-P. CHANTE J. MILLÁN
Examineurs	A. DERAM A. PEYRE-LAVIGNE C. SCHAEFFER
Directeur de recherche	J-L. SANCHEZ

Rapport LAAS N° 04649



à Pierre



## REMERCIEMENTS

Cher lecteur, chère lectrice,

Il m'étonnerait fort que le soir, à la nuit tombée, en refroidissant tes tisanes, en tailleur sur le canapé, tu relises ce manuscrit. Au moment où je te parle, je t'imagine plutôt debout à l'entrée de la spacieuse bibliothèque du LAAS, en train de lire ces remerciements, la seule chose qui t'intéresse vraiment au fond, reconnais-le ! Il est vrai que c'est un peu décevant une HDR sans remerciements : je vais donc me lancer dans cet exercice périlleux, en espérant ne pas t'oublier. Si tel était le cas, tu seras gentil(le) de ne pas m'en tenir rigueur, la liste qui va suivre n'étant pas exhaustive.

Ce manuscrit, rédigé en vue de l'obtention de l'Habilitation à Diriger des Recherches, constitue une synthèse de huit années de recherches effectuées au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS. Dans ce cadre, je remercie Messieurs Alain COSTES, Jean-Claude LAPRIE et Malik GHALLAB, Directeurs successifs du LAAS depuis mon arrivée.

Je remercie Messieurs J-P. CHANTE, Professeur à l'INSA de Lyon, J. MILLAN, Professeur au CNM de Barcelone et O. BONNAUD, Professeur à l'Université de Rennes 1, d'avoir accepté d'être rapporteurs de mon travail. Je remercie également Messieurs G. ABLART, Professeur à l'Université Paul Sabatier de Toulouse, A. DERAM, Ingénieur-Manager à Freescale Semiconducteurs, C. SCHAEFFER, Professeur à l'INP de Grenoble et A. PEYRE-LAVIGNE, Chargé de mission aux Réseaux Régionaux de Recherche Technologique de Midi-Pyrénées, d'avoir accepté de participer à mon jury.

Mes pensées les plus sincères et les plus émues vont à Pierre ROSSEL, qui fut mon directeur de thèse puis un guide précieux durant mes premières années de Maître de Conférences. Depuis 1992, année où il m'a accueilli en DEA, il m'a fait partager sa passion, son enthousiasme, son dynamisme et sa rigueur scientifique. Sans son soutien de tous les instants, je n'en serais pas là aujourd'hui. Il est à l'origine des travaux présentés ici et c'est tout naturellement que ce manuscrit lui est dédié. Bien qu'il ne soit plus parmi nous, je tenais à le remercier vivement ici car je lui dois tout.

J'ai également une pensée pour Georges CHARITAT, parti trop tôt lui aussi. Le groupe "Composants et Intégration de Puissance" a non seulement perdu deux brillants chercheurs mais surtout deux amis. Dans les moments difficiles que nous avons traversés, je tiens à remercier Jean-Louis SANCHEZ et Marise BAFLEUR, qui ont courageusement pris la relève. J'associe à ces remerciements tous les cadres scientifiques du groupe, en particulier Philippe LETURCQ et Jean JALADE, qui nous manquent eux aussi mais pour une raison bien plus réjouissante (une retraite bien méritée), Nicolas NOLHIER à qui je dois également beaucoup, bien qu'il s'en défende, Monsieur le Professeur des Universités Patrick AUSTIN, Patrick TOUNSI, fan inconditionnel de Bill Gates, Marie BREIL, ma chère collègue de bureau (merci pour "L'autre salon de thé", excellent tuyau !), Jean-Pierre LAUR, Tarnais de cœur et de conviction, Henri TRANDUC et la petite dernière, Karine ISOIRD (les filles de 1973 ont... 31 ans), qui a la lourde tâche de me supporter (dans tous les sens du terme !). Et bienvenue à nos nouveaux collègues Corinne ALONSO, Bruno ESTIBALS et Magali BRUNET : dans le groupe CIP, il y a des projets balèzes et, en plus, l'ambiance est excellente.

Je remercie également tous mes collègues du LAAS et de l'Université Paul Sabatier avec qui j'ai toujours beaucoup de plaisir à travailler et à discuter.

Le manuscrit présenté ici est le résultat d'un travail d'équipe et de collaboration intense à l'extérieur et à l'intérieur du LAAS : à ce titre, je me dois de remercier mes ex-doctorants

Moaniss ZITOUNI, Nathalie CEZAC et Stéphane ALVES, les collègues anciens ou actuels de Motorola Semiconducteurs Toulouse (récemment baptisée Freescale), I. PAGES, J-M. REYNES, L. ALLIRAND, I. DERAM et B. LOPES, ainsi que F. LANOIS de ST-Microelectronics Tours.

Merci aussi à tout le personnel des services techniques, administratifs et logistiques du LAAS pour son support efficace, notamment le service documentation-édition, chargé de la réalisation matérielle de ce mémoire, et Christian BERTY en particulier, qui, en outre, m'a fait partager son amour sans borne pour le cinéma d'Eric Rohmer.

Dans ce concert de remerciements, je n'oublie pas Isabelle NOLHIER, qui, bien qu'étant une secrétaire hors pair, efficace et dévouée, est avant tout une amie sur qui je peux compter en toutes circonstances.

À titre plus personnel, je remercie toutes les personnes du LAAS qui m'ont permis (et me permettent encore) de rester jeune dans ma tête malgré mes rides naissantes et mes tempes grisonnantes. En général, ce sont surtout les compagnes et les compagnons des pauses café et de soirées sympas (sauf pour l'un d'entre eux qui fuit quasi-systématiquement ce genre de mondanités...il se reconnaîtra !) : Nicolas M., fournisseur officiel de statistiques et d'informations en tout genre, Eric, le technologue flexible, violet ou rouge et noir selon que le ballon soit rond ou ovale, Olivier le jaunard, toujours à la recherche de son premier Bouclier de Brennus (l'espoir fait vivre !), Jean-Philippe, dont l'énergie et la capacité à communiquer ont été une sacrée leçon pour moi, Olivier C., Marc, David, Christophe, Rodolphe, Isabelle B., Sandrine, Nicolas G., Adeline, Guillaume, Ghislain, Kaïs, Philippe, Olivier P., Patrice, Sabine et, enfin, Gaëlle, incorrigible polarophile (un bon polar de Connely, le genre de trucs qui vous fait lever la nuit), et Julie, insatiable cinéphile ("Hitchcock-Truffaut, les entretiens", nous avons tant de choses en commun).

Enfin, je termine avec un petit mot pour ma famille qui m'a toujours soutenu et encouragé : ma mère, qui veut toujours qu'on rapporte les restes de la blanquette quand on rentre le dimanche soir à Ramonville, et puis mon père qui me demande : "Alors Fred ! Quand est-ce que tu soutiens ton HDR ?", mes beaux-parents, mes grands-parents, mon Pascalou ("Un jour, l'Europe parlera marseillais !") et sa Véro, et, enfin, ma Lolo (je lui parle pas des filles du LAAS, elle parle pas trop des mecs d'ATMEL, oui on évite ces sujets-là, Lolo et moi) et mon petit Clément qui me manquent souvent dans le silence de mon appartement. Que ces quelques lignes puissent leur témoigner tout mon amour.

Et merci à Vincent... ☺

Maintenant, ce document peut être posé sur une étagère entre un bouquin d'Eric Holder et un chandelier blanc Ikea...

# TABLE DES MATIÈRES

<i>LISTE DES SYMBOLES</i> .....	9
<i>INTRODUCTION GÉNÉRALE</i> .....	11
<i>CHAPITRE I : LIMITES DE PERFORMANCES DES TRANSISTORS MOS DE PUISSANCE</i>	
<i>CONVENTIONNELS : POSITION DU PROBLÈME</i> .....	15
1.1 <i>Introduction</i> .....	17
1.2 <i>Les structures MOS de puissance conventionnelles</i> .....	17
1.2.1 <i>Le transistor VDMOS</i> .....	17
1.2.1.1 <i>Structure</i> .....	17
1.2.1.2 <i>Fonctionnement à l'état passant</i> .....	18
1.2.1.2.a <i>La résistance de canal <math>R_{ch}</math></i> .....	19
1.2.1.2.b <i>La résistance d'accès <math>R_a</math></i> .....	19
1.2.1.2.c <i>La résistance de drift <math>R_d</math></i> .....	20
1.2.1.2.d <i>Les autres résistances</i> .....	20
1.2.1.2.e <i>La résistance passante spécifique <math>R_{ON.S}</math></i> .....	21
1.2.1.2.f <i>Influence respective de chacune des résistances élémentaires</i> .....	21
1.2.1.3 <i>Fonctionnement à l'état bloqué</i> .....	21
1.2.1.3.a <i>Les différentes zones de claquage</i> .....	21
1.2.1.3.b <i>Optimisation du couple "épaisseur / dopage"</i> .....	22
1.2.2 <i>Autres structures VDMOS</i> .....	23
1.2.2.1 <i>Le transistor VDMOS à tranchées</i> .....	23
1.2.2.2 <i>Les transistor VDMOS "rapides"</i> .....	24
1.2.3 <i>Le transistor LDMOS</i> .....	24
1.2.3.1 <i>Structure</i> .....	24
1.2.3.2 <i>Fonctionnement à l'état passant</i> .....	24
1.2.3.2.a <i>La résistance de canal <math>R_{ch}</math></i> .....	24
1.2.3.2.b <i>La résistance d'accès <math>R_a</math></i> .....	25
1.2.3.2.c <i>La résistance de drift <math>R_d</math></i> .....	25
1.2.3.2.d <i>Les autres résistances</i> .....	25
1.2.3.2.e <i>La résistance passante spécifique <math>R_{ON.S}</math></i> .....	25
1.2.3.3 <i>Fonctionnement à l'état bloqué</i> .....	26
1.2.4 <i>Autres structures LDMOS</i> .....	27
1.2.5 <i>Le transistor LDMOS RESURF</i> .....	27
1.3 <i>Les limites du silicium</i> .....	27
1.3.1 <i>Limite du silicium des composants MOS verticaux</i> .....	27
1.3.2 <i>Limite du silicium des composants MOS latéraux</i> .....	28
1.4 <i>Nécessité de nouvelles approches</i> .....	29
1.4.1 <i>La Superjonction</i> .....	30
1.4.1.1 <i>Principe de fonctionnement à l'état bloqué</i> .....	30
1.4.1.2 <i>Application aux transistors MOS de puissance</i> .....	31
1.4.2 <i>La U-diode</i> .....	33
1.4.3 <i>La FLI-diode</i> .....	34
1.5 <i>Les matériaux semi-conducteurs avancés</i> .....	34
1.6 <i>Conclusion</i> .....	34
<i>Références bibliographiques</i> .....	35
<i>CHAPITRE II : TRANSISTORS MOS DE PUISSANCE BASÉS SUR LE CONCEPT DE LA U-DIODE</i> .....	37
II.1 <i>Introduction</i> .....	39
II.2 <i>La U-diode</i> .....	39
II.2.1 <i>Principe</i> .....	39
II.2.2 <i>La U-diode latérale</i> .....	39
II.2.2.1 <i>Structure</i> .....	39
II.2.2.2 <i>Influence de la profondeur et la largeur de la tranchée sur la tenue en tension</i> .....	40

II.2.2.3 Terminaisons de jonction basées sur des tranchées profondes .....	41
II.2.3 La U-diode verticale.....	42
II.2.3.1 Structure .....	42
II.2.3.2 Influence de la profondeur et la largeur de la tranchée sur la tenue en tension...	42
<i>II.3 Un nouveau composant latéral de puissance : le transistor LUDMOS.....</i>	<i>43</i>
II.3.1 Transistor LUDMOS 1.....	44
II.3.1.1 Fonctionnement et performances à l'état bloqué.....	44
II.3.1.1.a Profondeur de la tranchée.....	44
II.3.1.1.b Position de la tranchée.....	44
II.3.1.2 Fonctionnement et performances à l'état passant.....	45
II.3.1.2.a Résistance d'accumulation.....	45
II.3.1.2.b Résistance de drift .....	46
II.3.1.2.c Évolution de la résistance passante spécifique en fonction de la longueur de drift.....	46
II.3.1.3 Conclusions sur la structure LUDMOS 1 .....	46
II.3.2 Transistor LUDMOS 2.....	47
II.3.2.1 Fonctionnement et performances à l'état bloqué.....	47
II.3.2.2 Fonctionnement et performances à l'état passant.....	47
II.3.3 Transistor LUDMOS 3.....	48
II.3.3.1 Fonctionnement et performances à l'état bloqué.....	48
II.3.3.2 Fonctionnement et performances à l'état passant.....	48
II.3.4 Transistor LUDMOS 4.....	48
II.3.4.1 Fonctionnement et performances à l'état bloqué.....	48
II.3.4.2 Fonctionnement et performances à l'état passant.....	48
II.3.5 Transistor LUDMOS 5.....	48
Conclusion : les meilleures structures LUDMOS .....	49
<i>II.4 Le transistor LUDMOS RESURF.....</i>	<i>49</i>
<i>II.5 Le transistor VDMOS à oxyde enterré.....</i>	<i>51</i>
II.5.1 Influence de la longueur de l'oxyde.....	51
II.5.2 Influence de la profondeur de l'oxyde.....	51
<i>II.6 Conclusion.....</i>	<i>52</i>
<i>Références bibliographiques.....</i>	<i>53</i>
<i>Nos publications scientifiques sur le sujet.....</i>	<i>54</i>
<i>CHAPITRE III : TRANSISTORS MOS DE PUISSANCE À ÎLOTS FLOTTANTS .....</i>	<i>55</i>
III.1 Introduction .....	57
III.2 La FLI-diode.....	57
III.2.1 Principe.....	57
III.2.2 Étude théorique : la FLI-diode haute tension .....	58
III.2.2.1 Contexte de l'étude.....	58
III.2.2.2 Répartition du champ électrique et du potentiel au claquage .....	58
III.2.3 Validation expérimentale : la FLI-diode basse tension .....	60
III.2.3.1 Contexte de l'étude.....	60
III.2.3.2 Conception.....	60
III.2.3.2.a Cellule centrale .....	60
III.2.3.2.b Cellule de bord.....	60
III.2.3.3 Mesures et discussion .....	62
III.3 Le transistor FLIMOS latéral .....	62
III.3.1 Contexte de l'étude.....	62
III.3.2 Transistor FLIMOS latéral à un seul îlot flottant .....	62
III.3.3 Transistor FLIMOS latéral à plusieurs îlots flottants.....	62
III.4 Le transistor FLIMOS vertical.....	64
III.4.1 Le transistor FLIMOS haute tension.....	64
III.4.1.1 Contexte de l'étude.....	64
III.4.1.2 Compromis "résistance passante spécifique / tenue en tension".....	64

III.4.1.2.a Fonctionnement à l'état bloqué .....	64
Répartition du champ électrique au claquage .....	66
Répartition du potentiel au claquage .....	66
III.4.1.2.b Fonctionnement à l'état passant.....	66
Répartition des lignes de courant .....	66
Influence du nombre des îlots sur la résistance passante spécifique.....	68
Influence du nombre des îlots sur les composantes de la résistance passante spécifique.....	68
III.4.1.2.c Limites de performances statiques.....	69
III.4.1.2.d Comparaison des limites de performances statiques des transistors conventionnels, FLIMOS et à Superjonction .....	70
III.4.1.3 Performances dynamiques .....	71
III.4.1.3.a La capacité grille-source .....	71
III.4.1.3.b La capacité grille-drain .....	71
III.4.1.3.c La capacité drain-source .....	72
III.4.1.3.d Conclusion.....	73
III.4.2 Validation expérimentale : le transistor FLIMOS basse tension pour l'électronique automobile du futur (batteries 42 Volts).....	73
III.4.2.1 Contexte de l'étude .....	73
III.4.2.2 Conception de la cellule centrale .....	73
III.4.2.2.a Principe.....	73
III.4.2.2.b Résultats des simulations 2D .....	74
III.4.2.2.c Nécessité de la simulation 3D.....	75
III.4.2.3 Conception de la cellule de bord.....	77
III.4.2.4 Mesures et discussion.....	77
III.5 La diode FLI-Schottky.....	78
III.6 Conclusion.....	79
Références bibliographiques.....	80
Nos publications scientifiques sur le sujet.....	81
CHAPITRE IV : CONCLUSION GÉNÉRALE ET ÉLÉMENTS DE PROSPECTIVES .....	83
IV.1 Bilan des travaux effectués.....	85
IV.1.1 Composants MOS de puissance latéraux .....	85
IV.1.2 Composants MOS de puissance verticaux .....	85
IV.1.3 Le silicium a encore de l'avenir ! .....	86
IV.2 Perspectives de recherche.....	86
IV.2.1 Les systèmes de puissance du futur .....	86
IV.2.2 Développement de structures de puissance avancées.....	87
IV.2.2.1 Faibles tenues en tension.....	87
IV.2.2.2 Tenues en tension "moyennes" .....	87
IV.2.2.3 Hautes tenues en tension.....	88
Références bibliographiques.....	88



## Liste des symboles

$C_{dgd}$	Capacité dynamique associée à la zone de charge d'espace
$C_{ds}$	Capacité inter-électrodes drain-source
$C_{gd}$	Capacité inter-électrodes grille-drain
$C_{gdmax}$	Valeur asymptotique de la capacité grille-drain en régime d'accumulation
$C_{gs}$	Capacité inter-électrodes grille-source
$C_{gs1}$	Capacité parasite due au débordement de la grille sur la source
$C_{gs2}$	Capacité parasite due à la présence d'oxyde épais entre grille et source
$C_{gsb}$	Capacité d'oxyde mince de la zone du canal
$E_C$	Valeur du champ critique transversal
$e_{ox}$	Epaisseur de l'oxyde mince de canal
$E_{sub}$	Epaisseur du substrat
$H$	Hauteur de la couche épitaxiée
$h_2$	Profondeur de la diffusion P
$h_{N^+}$	Profondeur de la diffusion $N^+$ de source
$I_d$	Courant de drain
$l$	Largeur d'un caisson P
$L$	Longueur du canal
$N^+$	Zone de type N fortement dopée
$N^-$	Zone de type N faiblement dopée
$N_A$	Densité de dopage de la zone du canal
$N_{Amax}$	Valeur maximale du dopage de la zone du canal
$N_D$	Densité de dopage de la couche épitaxiée
$n_i$	Densité intrinsèque des porteurs à l'équilibre thermodynamique
$N_{sub}$	Densité de dopage de la région de substrat
$q$	Charge électrique élémentaire
$Q_{SS}$	Charge d'oxyde ramenée à l'interface Si-SiO <sub>2</sub>
$r$	Distance intercellulaire
$R_a$	Résistance de la zone d'accès au drain
$R_{ch}$	Résistance de canal
$R_d$	Résistance de la zone de "drift"
$R_{N^+}$	Résistance de la diffusion $N^+$ de source
$R_{ON}$	Résistance à l'état passant du transistor MOS de puissance
$R_{sub}$	Résistance du substrat $N^+$ relié au drain
$S$	Surface active de la puce d'un transistor MOS de puissance
$T$	Température (en K)
$V_{ds}$	Tension drain-source
$V_{gs}$	Tension grille-source
$V_{gs}^*$	Tension effective de grille
$V_T$	Tension de seuil
$Z$	"Périmètre" total du canal
$\mu_n, \mu_p$	Mobilité des électrons et des trous
$\mu_{nacc}$	Mobilité des électrons dans la couche accumulée
$\mu_0$	Mobilité des porteurs dans le volume du semi-conducteur à champ faible
$\mu_{0acc}$	Mobilité des porteurs majoritaires dans la couche accumulée à champ faible
$\mu_{nsub}$	Mobilité des porteurs dans la région de substrat
$\phi_{ms}$	Différence des travaux de sortie métal/semi-conducteur
$\Phi_{DB}$	Tension de diffusion d'une diode (notée $V_j$ dans SPICE)
$\Phi_B$	Potentiel interne du substrat
$\Phi_F$	Potentiel de Fermi
$\Psi$	Potentiel transverse de réduction de la mobilité (couche inversée)
$\Lambda$	Potentiel transverse de réduction de la mobilité (couche accumulée)
$\epsilon_0$	Permittivité absolue du vide
$\epsilon_{Si}$	Permittivité relative du silicium



# **Introduction générale**

---



L'homme produit et consomme 7 trillions de kilowatts heure par an d'électricité. Dans le contexte d'un développement durable, cette énergie doit être gérée de manière plus efficace. Ceci est d'autant plus vrai que la production mondiale progresse de 2% par an.

Dans les équipements électriques industriels et grand public, la gestion de l'énergie est assurée par l'intermédiaire de "systèmes de puissance". Les domaines concernés sont nombreux : ils vont des équipements connectés sur le réseau de distribution de l'énergie électrique aux équipements autonomes portables et fixes. La domotique, les communications, le secteur médical, les sites de production industrielle et les transports sont quelques exemples de ces domaines. La gamme de puissance requise est donc très étendue et débute au niveau du Watt (téléphone portable, ...) pour terminer au MW (traction ferroviaire,...).

La volonté d'assurer une meilleure gestion de l'énergie électrique passe naturellement par l'intégration de plus en plus poussée des systèmes de l'électronique de puissance qui sont, pour le moment, majoritairement des convertisseurs statiques. L'intégration permet une amélioration des caractéristiques intrinsèques, une augmentation de la fiabilité, une diminution de la consommation, de meilleures conditions d'entretien et une diminution des coûts de production des systèmes assurant les fonctions de puissance. De plus, l'intégration permet de mettre à jour de nouvelles fonctionnalités électriques ouvrant le champ à des applications novatrices. Il faut noter que les évolutions futures, en termes d'intégration des "systèmes de puissance", ne pourront être réalisées que dans le cadre d'une approche pluridisciplinaire.

Pour l'heure, l'intégration des fonctions de l'électronique de puissance est effectuée selon une approche hybride ou monolithique. Le choix de l'une par rapport à l'autre dépend, pour une fonction identique non-intégrable monolithiquement, du niveau de puissance de l'application visée. Ce niveau évolue car il est très fortement lié aux progrès technologiques qui sont, à l'heure actuelle, importants.

L'intégration hybride peut être vue, au premier ordre, comme un assemblage de composants passifs et actifs à semi-conducteurs montés sur une embase commune et connectés électriquement entre eux.

L'intégration monolithique a, dans un premier temps, profité des progrès technologiques dédiés aux Circuits Intégrés de traitement du signal et de l'information. Les stratégies d'intégration ont suivi deux voies : le mode d'intégration fonctionnelle et les circuits SMART POWER.

L'intégration fonctionnelle est basée sur la mise en place d'interactions électriques dans le volume du cristal contrôlées par la topologie de surface. D'abord centrée sur des associations bipolaires-bipolaires, l'introduction de technologies MOS a permis, par la suite, d'augmenter les possibilités en associant des effets MOS aux interactions de type bipolaire. Cette stratégie d'intégration, particulièrement bien adaptée aux applications connectées sur le réseau de distribution de l'énergie électrique, a connu, sur la dernière décennie, une progression importante en termes de structures développées.

Les circuits intégrés SMART POWER, quant à eux, associent sur un même cristal un ou plusieurs interrupteurs MOS de puissance — en configuration verticale VDMOS ou latérale LDMOS — à des circuits de commande, de protection et de diagnostic de types logiques et analogiques — CMOS et BiCMOS —. Les problématiques sont essentiellement centrées sur les techniques d'isolation entre la partie puissance et la partie basse tension affectée au traitement des données : dans ce type de fonctions, la partie logique et analogique du circuit doit être parfaitement isolée du composant de puissance subissant des contraintes importantes en terme de courant, tension,  $di/dt$  et  $dv/dt$ . Les composants de puissance doivent en effet transiter des courants de plusieurs Ampères avec des tensions blocables en général inférieures à la centaine de Volts.

L'évolution des composants de puissance au cours des vingt dernières années est étroitement liée aux progrès des technologies microélectroniques réalisés dans le domaine des circuits intégrés. En effet, l'essor important des circuits intégrés du traitement du signal et de l'information s'est accompagné d'un important effort de recherche qui a conduit au développement de nouveaux procédés technologiques et à la réduction des dimensions.

C'est dans ce cadre que se situe le travail présenté dans ce mémoire, principalement consacré à l'amélioration des performances des composants MOS de puissance existants et à la proposition de nouvelles structures MOS.

Dans le domaine de l'électronique de puissance, les composants semi-conducteurs jouent le rôle d'interrupteurs fonctionnant entre deux états : l'état bloqué et l'état passant. Ainsi, les caractéristiques importantes de ces dispositifs sont la tension blocable, le courant passant, la chute de tension à l'état passant, le temps et les pertes de commutation. Les applications de l'électronique de puissance imposent des besoins de composants dans une gamme de tensions blocables allant de 10 V à près de 10 000 V pour un calibre en courant compris entre 10 mA et plus de 1000 A.

Les transistors bipolaires ont été, pendant de nombreuses années, les principaux composants actifs utilisés en électronique de puissance. La synergie entre les domaines de la puissance et du traitement du signal a été déclenchée par l'introduction des technologies MOS dans les dispositifs de puissance dans les années 70 : cela a permis le développement considérable des familles MOS de puissance. Par rapport aux transistors bipolaires, les transistors MOS présentent un certain nombre de propriétés intéressantes pour les applications de puissance : ils sont rapides, leur impédance d'entrée est très grande en basse fréquence et ils sont très stables thermiquement. Cette dernière propriété est très importante : c'est elle qui permet de réaliser des composants de fort calibre en courant, par la mise en parallèle d'un grand nombre de canaux MOS élémentaires intégrés dans un même cristal, sans que se posent de problèmes particuliers de répartition des courants ou d'instabilité thermique latérale. Les technologies MOS de puissance ont constitué une première rupture dans l'évolution des composants de puissance : en effet, les performances en termes de résistance à l'état passant de ces structures MOS ont été nettement améliorées par la réduction des dimensions qui a justement permis d'augmenter le nombre de cellules par unité de surface. L'IGBT, qui est actuellement l'un des dispositifs les plus utilisés en électronique de puissance, est une retombée directe de ces travaux.

Cependant, les transistors MOS sont handicapés par leur résistance à l'état passant — et donc des pertes en conduction — importante en raison de l'épaisseur de la zone volumique faiblement dopée qui doit être suffisamment grande pour supporter la tension blocable : le compromis entre la résistance à l'état passant  $R_{ON}$  et la tenue en tension  $BV_{dss}$  est le problème le plus important pour un composant MOS de puissance. Pour améliorer ce compromis, des solutions "classiques", comme la densification des cellules élémentaires (miniaturisation) ou la recherche de configurations géométriques originales de ces cellules, ont été proposées dans le passé. Ces solutions, qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont désormais plus satisfaisantes car elles se heurtent à une limitation fondamentale nommée "limite du silicium", liant la résistance passante spécifique — produit de la résistance à l'état passant  $R_{ON}$  par la surface active de la puce  $S$  — et la tenue en tension  $BV_{dss}$  des composants unipolaires de puissance à zone volumique uniformément dopée.

C'est pour cette raison que de nouvelles approches ont été proposées pour dépasser la limite du silicium qui apparaissait, depuis une vingtaine d'années, comme "infranchissable". L'idée de base était de proposer des alternatives originales à la couche semi-conductrice faiblement dopée classiquement utilisée depuis les années 70. Les principaux concepts originaux que nous avons retenus sont au nombre de trois : le premier de ces concepts est la Superjonction proposée par Fujihira en 1997 ; les deux autres, présentés respectivement en 1998 et 1999, sont issus de nos travaux de recherche au LAAS-CNRS : il s'agit de la U-diode et de la FLI-diode.

L'ensemble des travaux de recherche présentés dans ce mémoire porte sur la conception de nouvelles structures unipolaires de puissance basées sur ces deux derniers concepts. Ce document se décompose en quatre parties :

La première partie présente les structures MOS classiquement utilisées en électronique de puissance depuis la fin des années 70, c'est-à-dire les transistors VDMOS — préférentiellement utilisés en tant que composants discrets — et LDMOS — utilisés, eux, en tant que composants intégrés —, ainsi que certaines variantes de ces structures de base. Une attention particulière est portée sur les caractéristiques à l'état passant (résistance passante spécifique) et à l'état bloqué (tenue en tension) de ces composants : la "limite du silicium" est ainsi définie et évaluée. Enfin, les nouvelles approches permettant de "casser" cette limite fondamentale sont présentées.

Dans la deuxième partie, nous présentons tout d'abord les différentes configurations de diodes basées sur le concept de la U-diode. Nous montrerons que ces configurations peuvent être utilisées dans les transistors MOS de puissance latéraux et verticaux pour assurer leur tenue en tension. L'étude à l'état bloqué (tenue en tension) et à l'état passant (résistance passante) de ces transistors MOS de puissance sera ensuite présentée. Les meilleures structures seront comparées à la limite du silicium et des résultats de mesures permettront de valider le concept.

La troisième partie présente et valide le concept de la FLI-diode. Nous montrerons que ce concept peut être appliqué aux transistors MOS de puissance latéraux et verticaux, mais aussi aux diodes Schottky. L'étude à l'état bloqué (tenue en tension) et à l'état passant (résistance passante spécifique) des transistors FLIMOS sera présentée ; le cas des transistors MOS haute tension (cas a priori le plus favorable) mais aussi basse tension sera traité. Les limites de performances statiques et dynamiques des FLIMOS seront évaluées et comparées à la limite du silicium et aux limites des composants MOS à Superjonction.

La dernière partie fait le bilan des différentes structures unipolaires de puissance proposées à ce jour et donne des perspectives de recherche permettant de dégager, en fonction des applications et des gammes de tension et de courant visées, les structures ayant le plus d'avenir.

# Chapitre I

**L**imites de performances des transistors  
MOS de puissance conventionnels :  
position du problème

---



## I.1 Introduction

Grâce aux progrès réalisés dans les différentes filières technologiques depuis quelques décennies, de nombreux dispositifs à semi-conducteurs sont apparus dans le domaine des applications de puissance. Sur le marché des composants discrets et intégrés, les transistors MOS de puissance se sont imposés comme des composants majeurs : ils sont utilisés dans de nombreuses applications, notamment dans une gamme de tensions allant de 10 à 1000 Volts pour un calibre en courant allant de quelques centaines de milliampères à quelques Ampères.

Comme tous les composants de puissance, le transistor MOS de puissance joue le rôle d'interrupteur fonctionnant entre deux états :

- le premier, dit "passant" ou de "conduction", apparaît lors de l'application d'une tension de commande sur la grille, par rapport à la source, supérieure à une tension dite de seuil. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant le passage du courant de drain dont la valeur est limitée par les contraintes géométriques et technologiques de la structure ainsi que par les tensions appliquées.
- le second, dit "bloqué", apparaît lorsque la tension grille-source est inférieure à la tension de seuil ; le courant de drain ne peut alors pas circuler. La quasi-totalité de la tension appliquée sur le composant est alors supportée par la jonction drain-source du transistor. Le niveau de tension blocable requis implique donc la présence dans le cristal d'une zone dite de "drift" profonde et faiblement dopée, où pourra s'étendre la zone de charge d'espace.

En ce qui concerne les temps de commutation, ils sont étroitement liés au courant appliqué sur la grille qui devra être élevé afin de permettre à la capacité d'entrée du composant de se décharger. Plus ce courant est "fort", plus la commutation est rapide. De plus, pour bloquer le transistor, il faudra fournir le chemin le moins résistif possible au courant afin de permettre à cette même capacité de se décharger le plus rapidement possible.

L'avènement des dispositifs MOS au niveau industriel, dans le domaine de l'électronique de puissance, date du début des années 70. Le premier dispositif de puissance MOS concret a été développé à l'université de Stanford par Plummer [1] qui proposait de réaliser une zone peu dopée (zone de drift) entre le canal et le drain pour soutenir la tension et de créer le canal par une double diffusion, celle de canal puis celle de source, permettant, d'une part, l'auto-alignement canal-source, donc un contrôle précis de la longueur du canal, et, d'autre part, d'utiliser le substrat de départ pour la zone de drift. C'est le transistor DMOS, D pour double diffusé, qui est aujourd'hui encore le composant MOS de puissance de base, que ce soit en configuration verticale (VDMOS) ou latérale (LDMOS).

Les spécificités des composants de puissance, par rapport aux composants faibles signaux, sont essentiellement de deux types :

- la tenue en tension : il est bien évident que certaines utilisations des composants de puissance demandent à ceux-ci de pouvoir soutenir, généralement à l'état bloqué, des tensions très importantes,
- la résistance passante spécifique : c'est une caractéristique fondamentale de ces composants qui détermine leur puissance dissipée.

Dans ce chapitre, nous présentons tout d'abord les structures MOS classiquement utilisées en électronique de puissance depuis la fin des années 70, c'est-à-dire les transistors VDMOS — préférentiellement utilisés en tant que composants discrets — et LDMOS — utilisés, eux, en tant que composants intégrés —, ainsi que certaines variantes de ces structures de base. Une attention particulière est portée sur les caractéristiques à l'état passant (résistance passante spécifique) et à l'état bloqué (tenue en tension) de ces composants : la "limite du silicium" est ainsi définie et évaluée. Enfin, de nouvelles approches permettant de "casser" cette limite fondamentale sont présentées.

## I.2 Les structures MOS de puissance conventionnelles

### I.2.1 Le transistor VDMOS

#### I.2.1.1 Structure

La structure VDMOS utilise en général une configuration multicellulaire. Les transistors MOS élémentaires sont réalisés dans des puits P diffusés dans une couche épitaxiée N. Le principe fondamental de réalisation est basé sur le contrôle du processus de diffusion mis au point dans les technologies avancées des transistors bipolaires, ainsi que sur la technique d'auto-alignement de ces diffusions par le polysilicium de grille permettant de fixer la longueur de canal [2]. Cette technique permet ainsi de contrôler la longueur du canal jusqu'à des longueurs submicroniques. Cette technologie est de nos jours largement utilisée pour fabriquer la plupart des composants de puissance à grille MOS.

La structure VDMOS — Vertical Double diffusé MOS —, stabilisée depuis plus de vingt ans et utilisée universellement à quelques détails près, est représentée sur la Figure I.1.

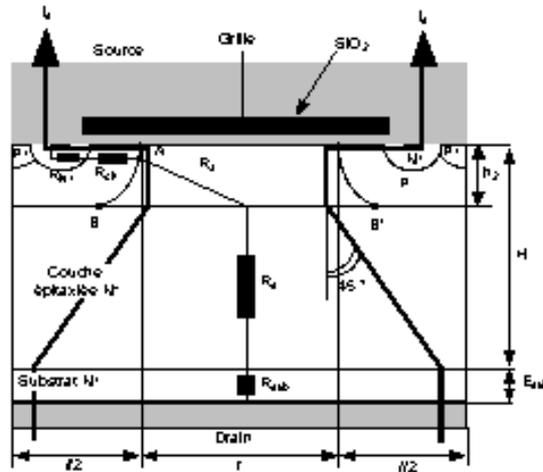


Figure I.1 : Coupe schématique d'une cellule élémentaire d'un transistor VDMOS de puissance conventionnel ; paramètres géométriques et l'alignement des principales composantes de sa résistance à l'état passant.

Les avantages du transistor VDMOS sont multiples :

- le courant drain-source est vertical (c'est-à-dire perpendiculaire au plan de la tranche) sur la majeure partie de son trajet. Cette configuration permet notamment de réduire considérablement les électrodes de surface qui apportent le courant. De plus la tenue en tension est dissociée du canal, ce qui entraîne une importante diminution du périmètre de la zone épitaxiée par rapport au périmètre du canal.
- la longueur du canal diffusé est contrôlée par la différence des avancées latérales des diffusions P et N<sup>+</sup> auto-alignées. La surface est alors plane et la reproductibilité excellente.
- la grille en silicium polycristallin est l'élément clé de l'auto-centrage des diffusions N<sup>+</sup> et P : elle peut supporter des températures élevées de l'ordre de 1100 °C (elle chauffe, mais ne fond pas), ce qui autorise la superposition des électrodes de source et de grille ; cela permet de gagner une place importante.
- le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. La taille du transistor, qui dépend du nombre de cellules mises en parallèle, n'a donc pas, a priori, de limite fondamentale : le calibre en courant souhaité peut être obtenu par une simple mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors en effet égal à la somme des courants des transistors MOS élémentaires pris séparément.
- la configuration verticale du drain de type N<sup>+</sup>N<sup>+</sup> permet d'assurer un certain calibre en tension. La tenue en tension dépend au premier ordre du dopage et de l'épaisseur de la couche épitaxiée.

Cependant, le transistor VDMOS présente également quelques inconvénients :

- les deux côtés de la tranche sont à soigner car ils sont tous les deux actifs (électrodes de contact sur les deux faces du composant).
- l'isolation monolithique est difficile à réaliser. Différentes techniques d'isolation ont été développées : nous pouvons citer l'auto-isolation [3], l'isolation par jonction [4] et l'isolation par diélectrique [4].
- l'électrode de grille en polysilicium présente une faible conductivité, même après son dopage, ce qui est extrêmement préjudiciable en régime transitoire.
- un compromis est nécessaire lorsqu'on désire accroître à la fois les calibres en tension et en courant : il existe une limitation fondamentale, communément appelée "limite du silicium", permettant de concilier une faible valeur de la résistance à l'état passant et une tenue en tension fixée pour une surface donnée.

#### I.2.1.2 Fonctionnement à l'état passant

Le transistor VDMOS, comme n'importe quel autre composant de puissance, doit être capable de présenter une faible chute de tension à l'état passant.

La résistance à l'état passant est définie selon l'expression :  $R_{ON} = \frac{V_{ds}}{I_d} \Big|_{V_{ds} \rightarrow 0}$ . Classiquement, sa valeur est déterminée pour une tension de grille de 10 Volts.

Cette résistance, schématisée sur la Figure I.1, se décompose en quatre résistances principales : la résistance  $R_{ch}$  du canal d'inversion, la résistance d'accès au drain  $R_a$  correspondant à la région située sous la grille entre deux caissons P de canal adjacents, la résistance de drift  $R_d$ , qui représente le volume de drain épitaxié, et la résistance  $R_{sub}$  de substrat  $N^+$  reliée au drain.

Dans ce paragraphe, nous allons donner les expressions analytiques de ces différentes composantes. Celles-ci se calculent, pour les plus compliquées, à partir des paramètres géométriques, technologiques et de la polarisation  $V_{gs}$ , et, pour les autres, plus simplement à partir de la formule classique de calcul de la résistance d'un barreau ( $R = \frac{\rho \cdot l}{S}$ ). Nous évaluerons également l'importance relative de chacune de ces composantes.

#### I.2.1.2.a La résistance de canal $R_{ch}$

La résistance de canal est liée à la zone d'inversion qui se développe en surface de la couche P sous la grille. Celle-ci est calculée en déterminant le rapport ( $V_{ch}/I_d$ ) lorsque  $V_{ch}$  tend vers 0,  $V_{ch}$  représentant la tension appliquée aux bornes du canal d'inversion.

La détermination de  $R_{ch}$  se fait en considérant en première approximation que le dopage dans le canal est uniforme et égal à  $N_{Amax}$ . Son expression est la suivante :

$$R_{ch} = \left( \mu_0 \cdot C_{ox} \cdot \psi \cdot \frac{Z}{L} \right)^{-1} \cdot \frac{V'_{gs} + \psi - 2\phi_F}{V_{gs} - V_T} \quad (I.1)$$

où  $V'_{gs} = V_{gs} - V_{FB} = V_{gs} + \frac{Q_{ss}}{C_{ox}} - \phi_{ms}$  et  $\Psi$ , qui est appelé "potentiel de réduction de la mobilité sous l'effet du champ électrique transversal", est un paramètre dépendant de l'épaisseur d'oxyde. Cette approximation du canal dopé uniformément est très utile car elle permet d'évaluer assez simplement l'évolution de  $R_{ch}$  en fonction de  $V_{gs}$ . Cependant, la confrontation de ce calcul analytique avec des résultats de simulations 2D [5] a mis en évidence une différence importante (écarts pouvant atteindre 40 % à  $V_{gs} = 10$  V).

Ne pouvant nous contenter de cette approximation, nous avons donc tenu compte de la non-uniformité du dopage dans le canal dans la direction source-drain. Ce profil peut être défini en première approximation par une dépendance exponentielle de la coordonnée  $x$  dans la direction drain-source :

$$N_A(x) = N_{Amax} \cdot \exp\left(\frac{x}{L} \cdot \ln\left(\frac{N_D}{N_{Amax}}\right)\right) \quad (I.2)$$

où  $N_D$  et  $N_{Amax}$  représentent respectivement la valeur extrapolée du dopage au droit du drain et la valeur maximale du dopage dans le canal.

La résistance de canal a alors pour expression "rigoureuse" [6] :

$$R_{ch} = \left( \mu_0 C_{ox} \frac{Z}{L} \right)^{-1} \cdot \left( 1 + \frac{V'_{gs} - 2\Phi_F}{\Psi} \right) \cdot \frac{\ln \left[ 1 + \frac{(V'_{gs} - 2\Phi_F) \cdot \left( \sqrt{\frac{N_D}{N_{Amax}}} - 1 \right)}{(V_{gs} - V_T) \cdot \sqrt{\frac{N_D}{N_{Amax}}}} \right]}{\ln \sqrt{\frac{N_D}{N_{Amax}}} \cdot (V'_{gs} - 2\Phi_F)} \quad (I.3)$$

#### I.2.1.2.b La résistance d'accès $R_a$

La zone d'accès correspond à la région du semi-conducteur de type  $N^-$  fonctionnant en régime accumulé dans la zone intercellulaire sous l'électrode de grille. La résistance de cette région est définie comme étant la résistance qui relie la fin du canal (point A) à la ligne BB' (Figure I.1), considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BB' est située à une distance  $h_2$  de l'interface Si-SiO<sub>2</sub> et est égale à la profondeur de jonction de la diffusion P.

La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis et sont liés à :

- la présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone  $N^-$  faiblement dopée située sous l'oxyde de grille,

- la présence de la résistance du volume de la zone N<sup>-</sup> située au-dessous de cette couche accumulée, entre deux caissons P adjacents.

Elle peut être considérée comme le produit de la résistance d'un barreau semi-conducteur de section  $Z \cdot (r/2)$ , d'épaisseur  $h_2$  et de dopage  $N_D$ , par un coefficient  $\lambda$  qui dépend des dimensions géométriques, du dopage et de la tension de grille  $V_{gs}$ . Cette résistance s'écrit [7] :

$$R_a = \frac{2 \cdot h_2}{q \cdot \mu_n \cdot N_D \cdot Z \cdot r} \cdot \lambda \quad (I.4)$$

où  $r$  est l'espace intercellulaire compris entre deux caissons P, le coefficient  $\lambda$  étant défini par :

$$\lambda = \frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}}} \cdot \frac{1}{th \left[ \frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{GS})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{GS}}} \right]} \quad (I.5)$$

où  $\Lambda$  est le potentiel de réduction de la mobilité dans la couche accumulée et où le coefficient "a" représente le rapport ( $\mu_n/\mu_{0acc}$ ) de la mobilité des porteurs dans le volume sur la mobilité à champ faible dans la couche accumulée. Les valeurs de  $\mu_n$  et  $\mu_{0acc}$  étant du même ordre de grandeur, ce coefficient est en général pris égal à l'unité.

#### I.2.1.2.c La résistance de drift $R_d$

La résistance de drift représente la contribution de la couche épitaxiée. Elle correspond à la zone de semi-conducteur N<sup>-</sup> faiblement dopée qui s'étend de l'équipotentielle BB' à la zone N<sup>+</sup> de drain. Une évaluation approximative de cette résistance consisterait à considérer simplement que c'est un barreau semi-conducteur ( $R = \frac{\rho \cdot l}{S}$ ), de résistivité  $\rho = \frac{1}{q \cdot \mu_n \cdot N_D}$ , de longueur  $(H-h_2)$  et de section  $S$  ( $S$  étant la surface d'une cellule élémentaire) :

$$R_d = \frac{H - h_2}{q \cdot \mu_n \cdot N_D \cdot S} \quad (I.6)$$

Une approche plus rigoureuse [8] consiste à considérer la défocalisation des lignes de courant sous la zone diffusée P selon un angle constant qui a pour valeur 45° (Figure I.1). Deux expressions de  $R_d$  ont ainsi été établies selon que l'épaisseur de la couche épitaxiée  $(H-h_2)$  est supérieure ou non à la demi-largeur  $l/2$  des caissons P :

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[ 1 + \frac{2(H - h_2)}{r} \right] \quad \text{si } (H-h_2) < l/2 \quad (I.7)$$

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[ \ln\left(\frac{r+l}{r}\right) + \frac{2(H - h_2) - l}{r+l} \right] \quad \text{si } (H-h_2) > l/2 \quad (I.8)$$

où  $\mu_n$  est la mobilité de la couche épitaxiée N<sup>-</sup>.

Plus récemment, d'autres auteurs [9], [10], [11], ont également établi des expressions analytiques de  $R_d$  adaptées à diverses configurations géométriques.

#### I.2.1.2.d Les autres résistances

La contribution de la région du substrat ne peut pas être négligée, surtout dans le cas des composants basse tension où les valeurs des composantes résistives déjà citées sont relativement faibles alors que les épaisseurs de substrat varient de 250 à 400  $\mu\text{m}$  environ. Ainsi, la résistance de substrat N<sup>+</sup> a pour expression :

$$R_{sub} = \frac{1}{q \cdot \mu_{nsub} \cdot N_{sub}} \cdot \frac{E_{sub}}{S} \quad (I.9)$$

où est la résistivité du substrat, qui est fonction de la mobilité et du dopage dans la couche N<sup>+</sup>,  $E_{sub}$  étant l'épaisseur de ce substrat.

La résistance  $R_{N+}$  de la couche diffusée de source est, elle, très faible et donc négligeable car l'épaisseur et la largeur de cette couche sont en général inférieures ou proches du micron.

Les autres résistances sont externes à la puce de silicium. Il s'agit des résistances des métallisations de drain et de source, des résistances des contacts de drain et de source, des résistances des fils d'interconnexion entre le boîtier et la puce et des résistances des pattes de drain et de source. Ces résistances étaient souvent négligées dans le passé. Désormais, avec l'avènement de transistors MOS à haute densité d'intégration présentant de très faibles résistances à l'état passant, leur contribution à la résistance à l'état passant  $R_{ON}$  ne peut plus être

négligée : on met en évidence ici une autre problématique qui ne sera pas abordée dans ce travail consacré uniquement à la partie “silicium” : il s’agit de l’encapsulation (“packaging”). Améliorer la résistance de la partie “silicium” est certes un défi important mais il devra s’accompagner d’une amélioration également importante de l’encapsulation, en particulier pour les composants MOS basse tension.

**I.2.1.2.e La résistance passante spécifique  $R_{ON,S}$**

Une diminution drastique de la résistance à l’état passant d’un transistor VDMOS serait, en théorie, très facile à obtenir : il suffirait d’augmenter le nombre de cellules MOS élémentaires mises en parallèle jusqu’à atteindre la résistance voulue. Cependant, le transistor conçu de la sorte présenterait une surface trop importante. Le paramètre le plus important en conduction n’est donc pas la résistance à l’état passant mais le produit de cette résistance par la surface active “ $R_{ON,S}$ ”. Ce produit est appelé “résistance passante spécifique”, terme inspiré de la littérature anglo-saxonne [12] qui l’a baptisé “specific on-resistance”. Il apparaîtrait donc plus judicieux d’exprimer les différentes résistances que nous venons d’étudier en termes de résistances spécifiques, en calculant les produits de chacune de ces résistances par la surface active  $S$  d’une cellule élémentaire. La détermination de  $S$  mais aussi de  $Z$  — périmètre de canal qui apparaît dans les expressions (I.3) de la résistance de canal et (I.4) de la résistance d’accès — ont été réalisées pour les principales géométries de cellules MOS élémentaires : hexagones, carrés alignés ou non, cercles, bandes parallèles [8], [13]. Par exemple, la surface d’une cellule carrée est  $S = (r+l)^2$  et son périmètre est :  $Z = 4.l$ .

**I.2.1.2.f Influence respective de chacune des résistances élémentaires**

Dans les expressions précédentes, les principaux paramètres d’origine géométrique,  $r$ ,  $l$  et, par conséquent,  $S$ , sont ceux sur lesquels l’action du concepteur est aisée. Toute diminution de la surface  $S$  doit entraîner corrélativement une diminution de la résistance passante spécifique. Les progrès accomplis en photolithographie, gravure et dans les procédés d’élaboration technologique permettent en effet d’agir sur ces paramètres, notamment pour réduire leur taille de façon significative et ainsi obtenir une plus grande densité d’intégration, donc une résistance passante spécifique plus faible. C’est la voie qui a été choisie par la plupart des industriels dans le domaine des MOS basse tension, que ce soit en réalisant des VDMOS à haute densité d’intégration de cellules (HD) ou des transistors MOS à tranchées à ultra haute densité d’intégration (UHD). Cependant, cette densification devient quasiment inutile pour des composants MOS moyenne et haute tensions. Le Tableau I.1 donne la part relative, en pourcentage, de chacune des composantes de la résistance passante spécifique pour des transistors basse, moyenne et haute tensions — seule la résistance du silicium est prise en compte ici —.

Composantes de $R_{ON,S}$	VDMOS 45 Volts	VDMOS 250 Volts	VDMOS 1000 Volts
$R_{ch.S}$	22,5 %	5,1 %	0,4 %
$R_a.S$	31,7 %	20,7 %	8,4 %
$R_d.S$	30,8 %	72,5 %	91,1 %
$R_{sub.S}$	15 %	1,7 %	0,1 %

Tableau I.1 : Importance relative de chacune des composantes de la résistance passante spécifique de transistors VDMOS basse, moyenne et haute tensions en tension.  $R_{ON,S}$  est mesuré à  $V_{gs} = 10$  V et  $V_{ds} = 10$  mV.

Concernant les composants moyenne et haute tensions, nous pouvons remarquer que les résistances de drift et d’accès ont le plus de poids ; ceci est lié au fait que ces résistances dépendent fortement du dopage  $N_D$  de l’épithaxie (et de l’épaisseur pour  $R_d$ ) — relations (I.4) à (I.8) — qui est d’autant plus faible que la tenue en tension est élevée. Par ailleurs, concernant les transistors VDMOS basse tension, et contrairement aux idées communément admises jusqu’à présent, la résistance de canal ne domine plus par rapport aux autres composantes, notamment par rapport aux résistances d’accès et de drift. En effet, une forte densité d’intégration des cellules conduit à une diminution du produit “ $R_{ch.S}$ ” et de la longueur  $L$  du canal mais, en contrepartie, cette densification entraîne une augmentation de l’effet de pincement des lignes de courant induit par l’extension de la zone de charge d’espace entre les caissons P (communément appelé “effet JFET”) et donc une élévation de  $R_a$ .  $R_d$  est, quant à elle, une résistance qu’on ne peut pas diminuer dans une structure VDMOS “classique” sans dégrader la tenue en tension du composant, puisque résistance de drift et tenue en tension sont étroitement liées comme nous le verrons au §I.2.1.3. Il apparaît donc d’ores et déjà que la densification des cellules MOS élémentaires n’est plus la meilleure solution pour réduire la résistance passante spécifique des transistors VDMOS basse tension puisque  $R_a$  et  $R_d$ , qui contribuent pour plus de 60% à  $R_{ON,S}$ , réagissent “négativement” ( $R_a$ ) ou ne réagissent pas ( $R_d$ ) à cette densification.

**I.2.1.3 Fonctionnement à l’état bloqué**

Une des caractéristiques principales du transistor VDMOS, comme de n’importe quel autre composant de puissance, est sa capacité à tenir une tension élevée à l’état bloqué.

À l’état bloqué, c’est-à-dire lorsque la tension grille-source est inférieure à la tension de seuil, la tension appliquée entre drain et source est soutenue principalement par la zone de charge d’espace qui apparaît dans la

région de drift (épitaxie N<sup>-</sup>). Le transistor VDMOS peut alors être assimilé à une diode P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> polarisée en inverse. De ce fait, le traitement de la tension de claquage  $BV_{ds}$  est effectué en fonction des propriétés physiques N<sup>-</sup> de la jonction P<sup>+</sup>N<sup>-</sup>. Après avoir précisé les différentes zones de claquage possibles dans le transistor VDMOS, nous nous concentrerons plus précisément sur cette jonction plane P<sup>+</sup>N<sup>-</sup> et nous donnerons les expressions "optimales" qui lient la tenue en tension aux deux paramètres, épaisseur et dopage, de la couche épitaxiée P<sup>+</sup>N<sup>-</sup>.

### I.2.1.3.a Les différentes zones de claquage

Afin d'analyser la tenue en tension du transistor VDMOS, il convient tout d'abord de préciser les zones de claquage possibles dans sa structure (Figure I.2). Il s'agit des zones latérales des dispositifs (1) où les effets de courbure de jonction sont prépondérants, des zones frontales (2) où l'extension de la charge d'espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d'oxyde de grille, ou bien de l'oxyde lui-même (4). Les problèmes liés à la tenue en tension de ces diverses zones ont été traités de manière relativement exhaustive par Gharbi [14].

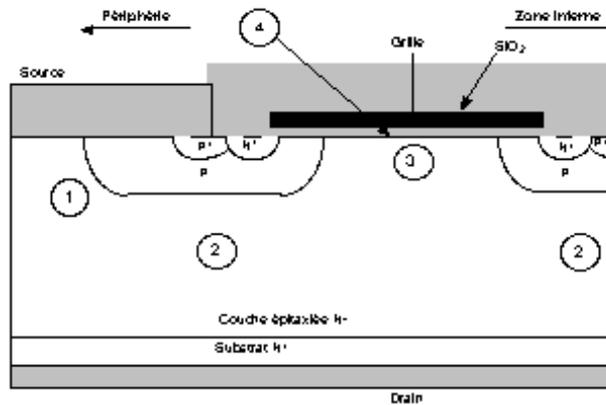


Figure I.2 : Localisation des différentes zones de claquage dans un transistor VDMOS.

Compte tenu de la structure multicellulaire des diffusions P qui constituent les caissons de canal, c'est sur les bords du dispositif (zone 1), là où la courbure de jonction est maximale, que peut se produire une limitation en tension par le phénomène de claquage par avalanche. À l'heure actuelle, de nombreuses méthodes de garde ont été proposées pour éviter cet effet latéral. La tendance consiste à minimiser les effets de surface et à accroître le rayon de courbure de la jonction afin d'atteindre la tension de claquage théorique d'une jonction plane [14], [15], [16]. En pratique, la mise en place de terminaisons adéquates (gardes par anneaux flottants, anneaux polarisés, jonctions implantées appelées aussi "terminaisons par jonction", Sipes et plaques de polysilicium résistives), dans un composant MOS de puissance, permet à celui-ci de tenir une tension  $BV_{ds}$  pouvant atteindre environ 90 % de la tension de claquage d'une jonction plane [14], [17].

La réduction de la tenue en tension résultant de la possibilité d'avalanche dans la région N<sup>-</sup> en surface sous l'oxyde de grille (zone 3) est en général liée à l'existence d'une éventuelle polarisation inverse de grille et la présence d'un "surdopage" de la zone de surface [14]. Dans le cas d'un transistor VDMOS conventionnel qui est exempt de surdopage en surface et auquel on applique, à l'état bloqué, une tension nulle entre grille et source, il apparaît que la valeur de la tension de claquage de surface est toujours supérieure à la tension d'avalanche de la jonction plane abrupte PN<sup>-</sup>. Par ailleurs, le "mécanisme d'autoblindage" de la grille exclut également tout risque de claquage diélectrique dans la zone 4 [9].

Dans ce qui suit, nous nous concentrerons donc plus précisément sur la jonction plane P<sup>+</sup>N<sup>-</sup> (zone frontale 2), en considérant que c'est elle qui impose le claquage du composant, soit parce qu'elle claque la première, soit parce qu'elle conditionne le claquage en terminaison.

### I.2.1.3.b Optimisation du couple "épaisseur / dopage"

Plusieurs auteurs ont proposé des expressions approximatives [9], [14], [18], [19] liant l'extension de la charge d'espace  $W_N$  et le dopage  $N_D$  de la couche N<sup>-</sup> à la tension de claquage  $BV_{ds}$ . Nous retiendrons plus particulièrement l'approche de Gharbi [14] : en effet, ses calculs sont apparus comme étant les plus rigoureux car ils sont notamment basés sur des expressions de coefficients d'ionisation  $\alpha_n$  et  $\alpha_p$  non égaux ; il a considéré les deux cas de figure type de la jonction PN<sup>-</sup> :

- i) la jonction plane en limitation de charge d'espace ou en perçage ; la zone de drift N<sup>-</sup> est alors complètement dépeuplée au moment du claquage (Figure I.3),

- ii) la jonction plane infinie ; cela correspond au cas où l'épaisseur de la zone de drift  $N^-$  est plus grande que l'extension de la zone de charge d'espace (Figure I.4).

Dans le cas d'une jonction en limitation de charge, il a considéré que le champ critique  $E_C$  restait identique à celui d'une jonction infinie, puis a évalué le couple "épaisseur/dopage" minimisant la résistance par surface unitaire de la zone  $N^-$ .

Ce couple s'exprime, dans ce cas par les relations suivantes :

$$W_N (cm) = 1,87 \cdot 10^{-6} \cdot BV_{dss}^{\frac{7}{6}} \quad (I.10)$$

$$N_D (cm^{-3}) = 1,85 \cdot 10^{18} \cdot BV_{dss}^{-\frac{4}{3}} \quad (I.11)$$

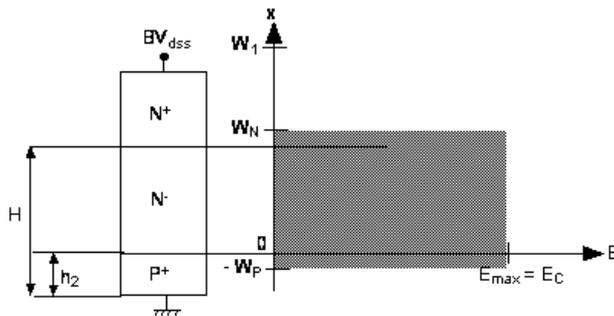


Figure I.3 : Répartition du champ électrique au claquage dans une diode  $P^+NN^-$  : jonction plane en limitation de charge d'espace.

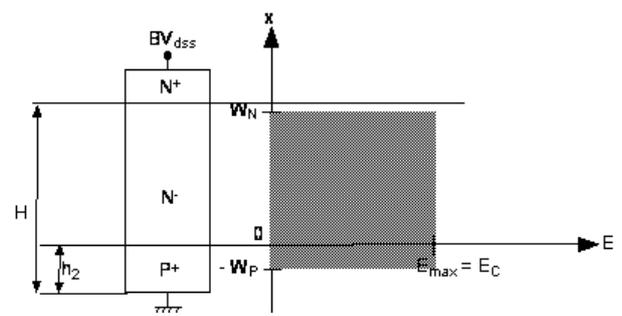


Figure I.4 : Répartition du champ électrique au claquage dans une diode  $P^+NN^-$  : jonction plane infinie.

Dans le cas d'une jonction infinie, il a obtenu les expressions suivantes :

$$W_N (cm) = 2,44 \cdot 10^{-6} \cdot BV_{dss}^{\frac{7}{6}} \quad (I.12)$$

$$N_D (cm^{-3}) = 2,16 \cdot 10^{18} \cdot BV_{dss}^{-\frac{4}{3}} \quad (I.13)$$

La résistance de drift et la tenue en tension sont donc étroitement liées car elles dépendent toutes les deux de l'épaisseur et du dopage de la couche épitaxiée. Le compromis " $R_d \cdot BV_{dss}$ " est donc un des paramètres d'importance des composants MOS de puissance ; ce compromis devient d'autant plus important que le calibre en tension augmente, c'est-à-dire au fur et à mesure que le poids de  $R_d$  augmente.

## I.2.2 Autres structures VDMOS

### I.2.2.1 Le transistor VDMOS à tranchées

Comme cela a été précisé au §I.2.1.2.f, la densification des dispositifs VDMOS de puissance conventionnels est limitée par l'effet résistif de pincement "JFET". L'émergence de composants MOS à tranchées verticales a offert des perspectives prometteuses quant à la diminution de la résistance passante spécifique (Figure I.5) [20].

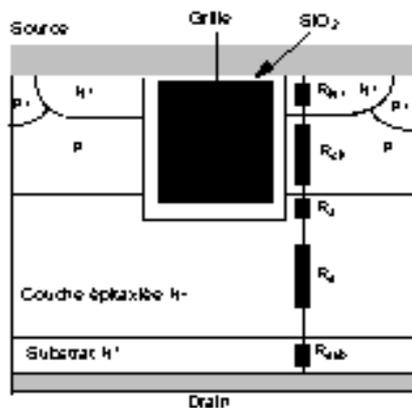


Figure I.5 : Schéma d'une cellule élémentaire d'un transistor VDMOS à tranchées avec l'indication des composantes de sa résistance à l'état passant.

En effet, par rapport au transistor VDMOS conventionnel, le transistor VDMOS à tranchées présente deux avantages extrêmement intéressants :

- une diminution significative de la résistance passante spécifique, due à la suppression de l'effet de pincement "JFET",
- une augmentation sensible de la densité d'intégration car la grille, qui est maintenant enterrée, occupe moins de place (suppression de la zone intercellulaire).

Ces deux aspects positifs ont entraîné l'apparition, sur le marché, de composants MOS de puissance basse tension présentant de très faibles résistances passantes spécifiques et de très grandes densités d'intégration. Cependant, lorsqu'il s'agit de dépasser la centaine de Volts de tenue en tension, le transistor VDMOS à tranchées est beaucoup moins intéressant : en effet, la résistance de drift est, elle, inchangée par rapport au transistor VDMOS conventionnel et la diminution de la résistance d'accès est contrebalancée par le surcoût technologique induit par la gravure RIE du silicium. Ce type de composant est donc exclusivement dédié à la basse tension.

### I.2.2.2 Les transistors VDMOS "rapides"

En régime de commutation, le transistor VDMOS présente une grande capacité parasite entre les électrodes de grille et de drain. Deux mécanismes principaux interviennent ici : l'effet "Miller" et l'accumulation d'électrons à la surface de la zone épitaxiée entre deux caissons P. Plusieurs solutions technologiques ont été proposées pour minimiser cette capacité grille-drain et donc d'augmenter la fréquence de transition  $F_T$  : une solution consiste à réaliser des transistors VDMOS à double niveau d'oxyde [21], c'est-à-dire un oxyde mince au-dessus du canal, afin de ne pas trop dégrader la résistance de canal lorsqu'on est en régime de conduction, et un oxyde épais, au-dessus de la zone d'accès, entre les deux caissons P, pour diminuer la capacité grille-drain qui, lorsqu'on est en régime d'accumulation, est égale à la capacité d'oxyde ; une autre solution a été proposée par Tardivo [22] : elle consiste à réaliser un transistor VDMOS à grille partielle en éliminant une partie de la grille située au-dessus de la zone d'accès.

## I.2.3 Le transistor LDMOS

### I.2.3.1 Structure

L'originalité du transistor LDMOS [23] par rapport aux structures verticales, provient du chemin qu'emprunte son courant. En effet, comme son nom l'indique, ce chemin est latéral. La géométrie (ou "layout") du transistor LDMOS se présente le plus souvent sous forme de bandes parallèles source-drain interdigitées. Sa résistance passante spécifique est alors inversement proportionnelle au nombre de bandes élémentaires.

La structure du transistor LDMOS à canal N (Figure I.6), est caractérisée, d'une part, par la présence d'une région de drift  $N^-$ , située entre la fin du canal d'inversion et le drain  $N^+$ , ici aussi appelée région de drift et, d'autre part, par la position de son électrode de drain sur la face supérieure de la puce. Cette structure est donc à électrodes coplanaires. La couche  $N^+$  enterrée dans la structure permet de limiter l'extension de la charge d'espace dans la région épitaxiée  $N^-$  et donc d'éviter des problèmes de perçage avec des implantations de type P nécessaires à la conception des transistors DMOS et CMOS. De plus, cette couche permet d'annuler le gain du bipolaire parasite vertical PNP, le substrat jouant le rôle de collecteur.

Malgré une limite de la densité d'intégration, liée à la présence sur une même face du silicium des trois électrodes, l'un des avantages majeurs du transistor latéral DMOS est d'être technologiquement "intégrable" avec des circuits de commande CMOS ou BiCMOS, ayant des tenues en tension différentes. Par ailleurs, cette présence des trois électrodes sur la face avant permet de réaliser des circuits multi-sorties.

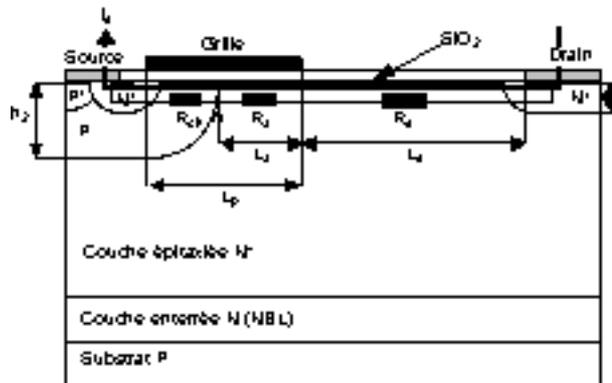


Figure I.6 : Coupe schématique d'une cellule élémentaire d'un transistor LDMOS de puissance conventionnel : paramètres géométriques et l'alignement des principales composantes de sa résistance à l'état passant.

### I.2.3.2 Fonctionnement à l'état passant

En régime de conduction, la résistance à l'état passant  $R_{ON}$  se décompose suivant trois résistances principales : la résistance de canal, la résistance d'accumulation et la résistance de drift (Figure I.6).

#### I.2.3.2.a La résistance de canal $R_{ch}$

Le canal d'inversion étant latéral comme dans le cas du transistor VDMOS, les expressions de la résistance  $R_{ch}$  sont donc identiques à celles qui ont été présentées précédemment — équations (I.1) à (I.3) —.

#### I.2.3.2.b La résistance d'accès $R_a$

La zone d'accès correspond à la région épitaxiée  $N^-$  sous l'électrode de grille. La résistance d'accès traduit l'effet de la couche d'accumulation induite par le débordement de grille à la surface de cette région : cette couche d'accumulation se forme lorsque la tension de drain est inférieure à la tension de grille.  $R_a$  dépend des données géométriques, technologiques et de la polarisation de grille selon l'expression suivante [24] :

$$R_a = \left( \mu_{0acc} \cdot C_{ox} \cdot \Lambda \cdot \frac{Z}{L_a} \cdot \frac{V'_{gs}}{\Lambda + V'_{gs}} + \frac{q \cdot \mu_n \cdot N_D \cdot Z \cdot h_2}{L_a} \right)^{-1} \quad (I.14)$$

où  $L_a$  est la longueur de la couche accumulée.

#### I.2.3.2.c La résistance de drift $R_d$

La zone de drift correspond à la zone volumique de semi-conducteur  $N^-$  située entre la couche accumulée (fin de la grille) et le drain  $N^+$ . De même que pour un transistor VDMOS, cette région est destinée principalement à gérer la tenue en tension du transistor LDMOS : plus la tension de claquage du composant est élevée, plus la résistivité et la longueur  $L_d$  de cette zone sont élevées, et, par conséquent, plus le poids de  $R_d$  devient important par rapport aux autres composantes de  $R_{ON}$ . Divers travaux [9], [24], [25] ont été menés sur l'influence des paramètres physiques qui contrôlent cette zone. Un modèle de la résistance de drift a été proposé par Pocha [26]. Son calcul analytique approché est effectué en considérant deux sources cylindriques de courant de rayons  $r_1$  et  $r_2$  situées respectivement entre la fin du canal d'inversion et le caisson  $N^+$  de drain :

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot \pi \cdot Z} \cdot \left[ \ln \left( \frac{L_d - r_1}{r_1} \right) + \ln \left( \frac{L_d - r_2}{r_2} \right) \right] \quad (I.15)$$

Pendant, dans le cas des transistors LDMOS que nous avons étudiés, les simulations bidimensionnelles montrent que les lignes de courant pénètrent peu dans le volume du matériau [27] : elles demeurent majoritairement localisées en surface. On utilise alors, pour la représentation de  $R_d$ , l'expression de la résistance d'un barreau semi-conducteur :

$$R_d = \frac{L_d}{q \cdot \mu_n \cdot N_D \cdot h \cdot Z} \quad (I.16)$$

où  $h$  est la profondeur de la région  $N^+$  de drain.

Cette relation peut constituer une estimation correcte de la résistance de drift pour de nombreux transistors LDMOS [28].

#### I.2.3.2.d Les autres résistances

Les résistances des couches diffusées  $N^+$  de source et de drain sont très faibles et donc négligeables car ce sont des couches peu épaisses et très fortement dopées. Les autres résistances sont externes à la puce de silicium : comme pour le transistor VDMOS, leur contribution à la résistance à l'état passant  $R_{ON}$  ne peut plus être négligée.

#### I.2.3.2.e La résistance passante spécifique $R_{ON,S}$

La résistance passante spécifique d'un transistor LDMOS est, en général, plus élevée que celle du transistor VDMOS équivalent — de mêmes tenue en tension et calibre en courant —. Ceci est notamment lié au fait que la tenue en tension est assurée latéralement grâce à un choix judicieux de la longueur de drift :  $L_d$  pénalise ainsi à la fois la résistance à l'état passant  $R_{ON}$  (via  $R_d$ ) et la surface  $S$  ; en effet, le composant étant coplanaire, toute augmentation de  $L_d$  entraîne évidemment une augmentation de la surface de la cellule élémentaire : un exemple d'évolution de la résistance passante spécifique en fonction de  $L_d$  est représenté sur la Figure I.7.

Lorsque  $L_d$  varie de 0 à 3,1  $\mu\text{m}$ , la résistance passante évolue de 0,16  $\text{m}\Omega \cdot \text{cm}^2$  à 1,5  $\text{m}\Omega \cdot \text{cm}^2$  ; pour  $L_d = 0 \mu\text{m}$ , le drain est "auto-aligné" avec la grille et la résistance passante correspondante est alors principalement liée à celle du canal dont la valeur est très faible. Au fur et à mesure que  $L_d$  augmente, l'allongement du trajet des

porteurs entre le canal et le drain ainsi que la défocalisation des lignes de courant dans la zone de drift entraînent l'augmentation de la résistance passante spécifique.

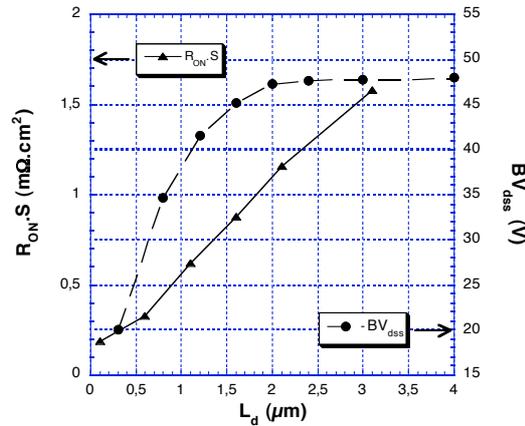


Figure I.7 : Influence de la longueur de drift ( $L_d$ ) sur la résistance passante spécifique ( $R_{ON,S}$ ) et la tenue en tension ( $BV_{dss}$ ) d'un transistor LDMOS conventionnel.

### I.2.3.3 Factuellement à l'état bloqué

La tension de claquage du transistor LDMOS dépend des propriétés physiques de la diode cylindrique PN<sup>-</sup>N<sup>+</sup> polarisée en inverse mais également de l'épaisseur de l'oxyde de grille. En effet, dans une structure telle que celle du LDMOS, la tension est supportée essentiellement par la zone N<sup>-</sup> séparant le canal de la zone de drain fortement dopée : le potentiel soutenu par le silicium sous l'oxyde de grille peut donc être relativement élevé. Le champ de claquage intrinsèque d'un oxyde parfait est d'environ 7 MV/cm pour des épaisseurs de 0,1  $\mu\text{m}$ , et atteint 10 MV/cm pour des oxydes de 0,04  $\mu\text{m}$  [29]. Ces valeurs sont toutefois à réduire pour des qualités pratiques d'oxydes, considérant les différents défauts, contaminations sodium, présence d'aluminium..., inhérents au procédé de fabrication. Une valeur raisonnable pour ce champ de claquage est de 3 à 4.10<sup>6</sup> V/cm pour des oxydes de 0,1  $\mu\text{m}$ . Il suffit alors d'un potentiel de 30 Volts à la surface du silicium pour qu'un oxyde de grille de 0,1  $\mu\text{m}$  soit en situation de claquage si la grille est polarisée à 0 Volt, ce qui est le cas lorsque le transistor est bloqué et qu'il supporte la plus haute tension sur le drain. Ceci explique que, dans la plupart des structures LDMOS, on limite au maximum l'extension de la plaque métallique de grille vers le drain, et que l'on utilise deux épaisseurs d'oxyde : une première fine pour l'oxyde de grille et une seconde plus épaisse pour l'oxyde grille-drain (cf. §I.2.4).

Dans un transistor LDMOS conventionnel, le claquage peut donc se produire dans deux régions : la zone de courbure de la région P de canal — jonction cylindrique PN<sup>-</sup> — ou la région située sous la fin de métallisation de grille, en surface du silicium dans la zone de drift si l'oxyde est trop fin. Il a été montré [30] que c'est dans une de ces deux régions que le champ électrique était le plus élevé à l'état bloqué : le claquage se produit ainsi dans la région où ce champ électrique atteint le premier sa valeur critique  $E_c$ .

La tenue en tension du transistor LDMOS dépend donc essentiellement de la distance  $L_d$  qui sépare la fin de la grille et le drain ainsi que du dopage  $N_D$  de la région N<sup>-</sup> sous l'oxyde. À tenues en tension identiques, précisons que la valeur de  $N_D$  est plus faible que dans les structures verticales car elle est limitée par le claquage par avalanche qui se produit ici au droit de la jonction cylindrique P<sup>+</sup>N<sup>-</sup> ou en surface du silicium à la fin de l'électrode de grille : typiquement, pour un transistor LDMOS 45 Volts (applications automobiles),  $N_D$  vaut environ 5.10<sup>15</sup> cm<sup>-3</sup> contre 10<sup>16</sup> cm<sup>-3</sup> pour le transistor VDMOS équivalent. Concernant la longueur de drift, la Figure I.7 montre un exemple d'évolution de la tenue en tension en fonction de  $L_d$  en technologie MOTOROLA SMARTMOS5<sup>TM</sup>, pour un dopage  $N_D$  de l'épitaxie constant. Une faible valeur de  $L_d$  entraîne une chute de la tenue en tension du transistor : ceci s'explique par le fait qu'une diminution des dimensions conduit, pour une tension donnée, à une augmentation du champ électrique dans la jonction PN et sous la plaque de champ. C'est cette augmentation du champ électrique qui "précipite" le claquage par avalanche. Le claquage, dans ce cas, correspond à celui d'une jonction abrupte PN<sup>+</sup> en limitation de charge d'espace. Lorsque  $L_d$  augmente, la tension de claquage s'améliore. Au-delà d'une certaine valeur ( $L_d = 2,1 \mu\text{m}$  dans cet exemple), la tenue en tension sature : la zone de charge d'espace a alors atteint son maximum d'extension sans être limitée par la diffusion du drain. Dans ce cas, une augmentation de la longueur de drift ne permettra guère d'améliorer la tenue en tension. Seul le pic du champ électrique présent en dessous de l'extrémité de la grille est responsable du claquage. Le claquage, dans ce cas, correspond à celui d'une jonction en non-limitation de charge d'espace.

Nous voyons donc ici aussi, comme dans le cas du transistor VDMOS, que la résistance de drift et la tenue en tension du transistor LDMOS sont étroitement liées car elles dépendent toutes les deux de la longueur  $L_d$  et

du dopage  $N_D$  de la couche épitaxiée. Le compromis " $R_d S / BV_{ds}$ " est même encore plus critique pour le transistor LDMOS puisque, d'une part, toute augmentation de  $L_d$  entraîne également une augmentation de la surface  $S$  du composant et, d'autre part, le dopage  $N_D$  de l'épitaxie est plus faible que dans le VDMOS.

### I.2.4 Autres structures LDMOS

De nombreuses variantes du LDMOS ont été proposées dans la littérature : à titre d'exemples, on peut citer le transistor LDMOS LOCOS (LOCAL Oxidation in Silicon) [31] et le transistor LDMOS à deux niveaux d'oxyde [32] : ces structures utilisent deux oxydes — un oxyde fin au niveau du canal et un oxyde épais au-dessus de la couche épitaxiée  $N^-$  —, permettant ainsi de réduire le champ électrique en surface sous la fin de la grille et donc d'améliorer la tenue en tension par rapport à une structure LDMOS "conventionnelle".

### I.2.5 Le transistor LDMOS RESURF

Parmi les nombreuses techniques disponibles pour améliorer la tenue en tension des dispositifs semi-conducteurs de puissance, la technique dite "RESURF" [33] (pour REDUCED Surface Field) est particulièrement intéressante de par sa simplicité de conception et son efficacité, tant au niveau de l'amélioration de la tension de claquage qu'au niveau de l'isolation électrique de ce composant par rapport au silicium extérieur. Cette dernière propriété fait des composants basés sur la technologie RESURF, et en particulier les transistors LDMOS, de très bons candidats pour les circuits intégrés haute tension HVIC's (High Voltage Integrated Circuits). La technique du RESURF est également attractive car elle ne modifie en rien la fabrication du transistor LDMOS ; aucune étape supplémentaire n'est nécessaire. La seule modification intervient dans l'épitaxie  $N^-$  qui est "remplacée" par deux régions  $N^-$  et  $P^-$  dans le cas d'un transistor à canal  $N$  [33] : cela peut être par exemple une épitaxie  $N^-$  sur un substrat  $P^-$  (Figure I.8) ou une diffusion  $N$  sur une épitaxie  $P^-$ .

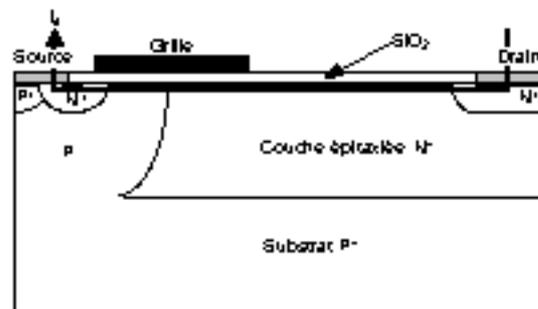


Figure I.8 : Coupe schématique d'une cellule élémentaire d'un transistor LDMOS RESURF.

Concernant le fonctionnement à l'état bloqué, rappelons que dans le cas d'un LDMOS conventionnel, la haute tension est essentiellement supportée par la jonction cylindrique  $PN^-$ . Typiquement le claquage par avalanche de ce composant se produit à cette jonction ou bien en surface du silicium, au droit de la fin de métallisation de grille sur oxyde fin. La technique RESURF est basée sur l'idée suivante : en remplaçant l'épitaxie  $N^-$  sur substrat  $N^+$  par une épitaxie  $N^-$  sur substrat  $P^-$ , et en concevant correctement les dopages et les géométries des zones actives, la polarisation inverse de cette jonction  $N^-$  (épitaxie) /  $P^-$  (substrat) fera en sorte que la couche  $N^-$  sera entièrement dépeuplée avant que la jonction  $P^-$  (canal) /  $N^-$  (épitaxie) ne voie à ses bornes une tension proche de sa tension de claquage par avalanche. Il est donc nécessaire de polariser le dos du dispositif à une tension inférieure à  $V_{ds}$  et le plus souvent ce sera la tension de polarisation de la source, soit 0 Volt, pour que la jonction  $N^-$  (épitaxie) /  $P^-$  (substrat) soit en inverse : cela peut se faire en connectant le substrat  $P^-$  à la région  $P^-$  de canal. C'est la seule contrainte supplémentaire par rapport à un LDMOS classique qui ne demande pas forcément de polarisation sur la face arrière. La haute tension est donc ici essentiellement répartie sur la jonction plane  $N^-P^-$ . On pourra donc passer d'une tension de claquage de type cylindrique de faible valeur à une tension de claquage proche de celle d'une jonction plane de valeur plus élevée.

## I.3 Les limites du silicium

Nous avons vu précédemment que la tension de claquage et la résistance à l'état passant étaient étroitement liées : en effet, la couche épitaxiée  $N^-$  a un double effet : d'une part, elle supporte la quasi-totalité de la tension drain-source à l'état bloqué et, d'autre part, elle a un effet résistif important à l'état passant (via  $R_d$ ). Le compromis entre  $R_{ON}$  et  $BV_{ds}$  est donc une des principales caractéristiques des transistors MOS de puissance.

### I.3.1 Limite du silicium des composants MOS verticaux

En supposant que toutes les autres résistances aient pu être rendues négligeables, la résistance de drift de la couche épitaxiée représente donc la résistance passante spécifique minimale que doit présenter tout transistor

MOS vertical conventionnel. Cette valeur minimale peut se calculer simplement à partir de la relation (I.6) qui est la relation classique de la résistance d'un barreau (Figure I.9-a) :

$$R_{ON} \cdot S = \frac{H - h_2}{q \cdot \mu_n \cdot N_D} \quad (I.17)$$

Plusieurs auteurs ont proposé un choix optimal du couple "épaisseur (H-h<sub>2</sub>) / dopage (N<sub>D</sub>)" pour minimiser cette résistance passante spécifique (cf. §I.2.1.3.b). Par ailleurs, la mobilité μ<sub>n</sub>, qui est liée à N<sub>D</sub>, dépend donc également de la tenue en tension ; Hu [34] a proposé la relation suivante :

$$\mu_n (cm^2 \cdot V^{-1} \cdot s^{-1}) = 7,1 \cdot 10^2 \cdot BV_{dss}^{0,1} \quad (I.18)$$

En reportant les expressions (I.10), (I.11) et (I.18) dans l'expression (I.17), on obtient la relation qui donne la résistance passante spécifique minimale en fonction de la tenue en tension :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot BV_{dss}^{2,4} \quad (I.19)$$

Cette relation définit la "limite du silicium" des composants MOS et, plus généralement, des composants unipolaires de puissance verticaux conventionnels. Lorsqu'un tel composant doit soutenir une tension donnée, sa résistance passante spécifique ne peut donc pas être plus faible que celle optimale calculée avec la relation (I.19). La "course" aux faibles résistances passantes spécifiques présente donc une limite fondamentale que ni la miniaturisation des cellules MOS élémentaires, ni l'invention de nouvelles géométries de surface, ni même l'incorporation d'une tranchée dans la région d'accès au drain ne pourront permettre de "casser".

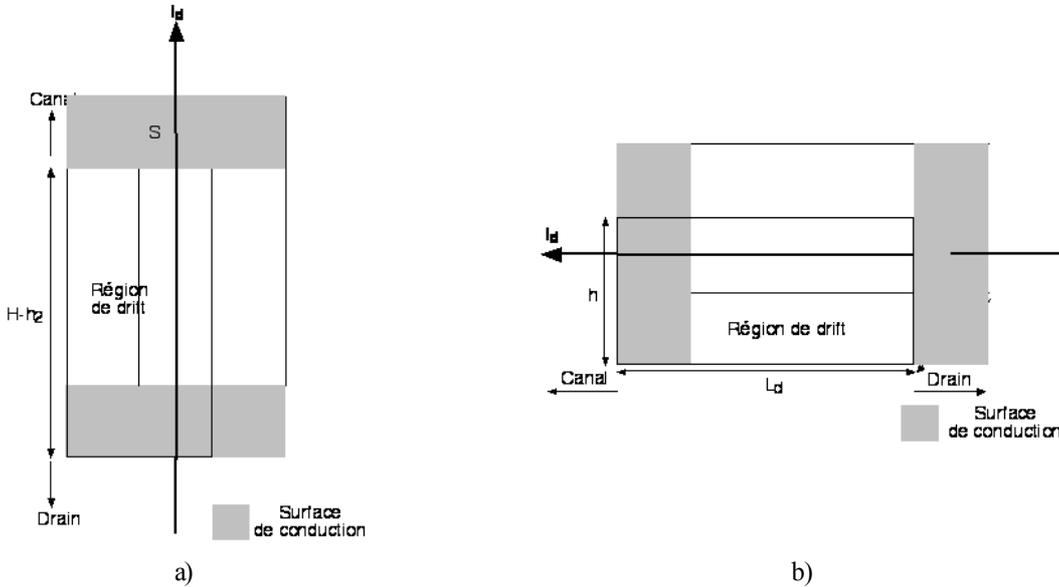


Figure I.9 : Paramètres géométriques permettant le calcul de la limite du silicium pour les transistors unipolaires : a) verticaux, b) latéraux.

### I.3.2 Limite du silicium des composants MOS latéraux

Un raisonnement analogue permet de déterminer la limite du silicium des structures MOS latérales : la différence essentielle vient du fait que la surface de conduction S<sub>C</sub> (S<sub>C</sub> = h.Z) n'est ici pas identique à la surface S de la cellule MOS élémentaire, contrairement aux transistors MOS verticaux (Figure I.9-b). En supposant que la longueur d'un transistor LDMOS élémentaire est égale à L<sub>d</sub> (approximation valable en haute tension), la surface active du composant est égale à :

$$S = L_d \cdot Z \quad (I.20)$$

Par conséquent, d'après les relations (I.16) et (I.20), la résistance passante spécifique minimale, qui est donc aussi la résistance de drift, s'écrit :

$$R_{ON} \cdot S = \frac{1}{q \cdot \mu_n \cdot N_D} \cdot \frac{L_d^2}{h} \quad (I.21)$$

et en reportant les expressions (I.10), (I.11) et (I.18) dans l'expression (I.21), on obtient la relation qui donne la résistance passante spécifique minimale en fonction de la tenue en tension :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 1,66 \cdot 10^{-14} \cdot h^{-1} \cdot BV_{dss}^{3,56} \quad (I.22)$$

Cette relation définit donc la “limite du silicium” des composants unipolaires latéraux conventionnels. Contrairement aux composants verticaux, cette limite dépend de l’épaisseur  $h$  de la couche de conduction que nous supposons égale, en première approximation, à la profondeur de la diffusion de drain — relation (I.16) —. La “course” aux faibles résistances passantes spécifiques présente donc, ici aussi, une limite fondamentale encore plus critique que pour les transistors VDMOS (Figure I.10) : en effet, la miniaturisation des cellules LDMOS élémentaires n’est pas possible puisque  $L_d$ , paramètre clé pour la tenue en tension et la résistance passante spécifique, ne peut pas être réduit. Ceci est traduit par la dépendance en  $(BV_{dss})^{3,56}$  pour les composants latéraux alors qu’elle est en  $(BV_{dss})^{2,4}$  pour les composants verticaux, dépendance particulièrement pénalisante en haute tension. Ceci explique que c’est le LDMOS RESURF qui est en général utilisé en haute tension, de préférence au LDMOS conventionnel : en effet, il a été montré [35] que la limite du silicium des composants latéraux RESURF obéissait à la relation :

$$R_{ON} \cdot S (\Omega.cm^2) = 1,02.10^{-8} \cdot BV_{dss}^{2,33} \tag{I. 23}$$

On peut remarquer que cette limite se confond pratiquement avec celle du VDMOS (Figure I.10). Anticipant sur le paragraphe I.4.1, le LDMOS RESURF est en fait une Superjonction permettant de repousser les limites du transistor LDMOS conventionnel.

En basse tension, il faut descendre vers des valeurs très basses ( $10\text{ V} < BV_{dss} < 50\text{ V}$ ) pour que les limites des LDMOS et celles du VDMOS et du LDMOS RESURF se “croisent”. Notons cependant que le calcul de la limite des composants latéraux est optimiste par rapport à la réalité puisque le simple fait d’utiliser les expressions (I.10) et (I.11) dans nos calculs suppose que le claquage dans les composants LDMOS est imposé par la jonction plane alors que, en fait, c’est la jonction cylindrique ou la fin de la plaque de champ qui imposent le claquage. Les expressions (I.10) et (I.11) surestiment donc la concentration et la longueur de drift optimales des composants latéraux. Par ailleurs, le cas de figure le plus optimiste ( $h = 2\ \mu\text{m}$ ) n’est pas le plus réaliste puisque, de manière générale, les lignes de courant dans un transistor LDMOS sont majoritairement localisées en surface dans une épaisseur inférieure au micron.

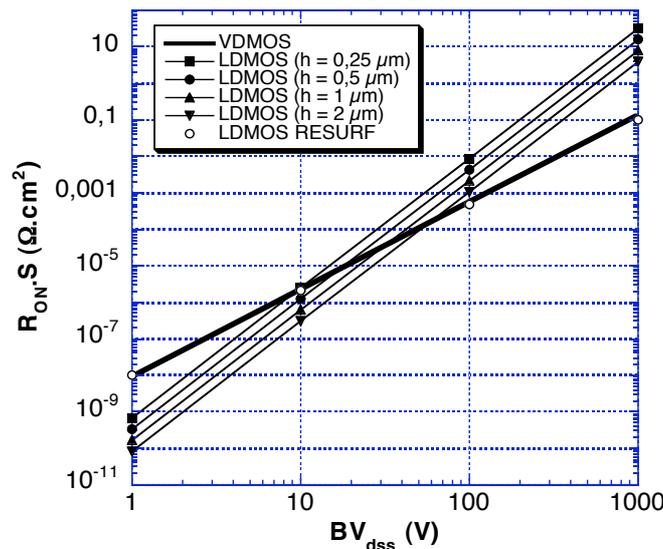


Figure I.10 : Limites du silicium des composants VDMOS, LDMOS (pour  $h$  variant de  $0,25$  à  $2\ \mu\text{m}$ ) et LDMOS RESURF.

Il apparaît donc que, aussi bien pour les composants unipolaires verticaux que latéraux, dont la tenue en tension est assurée par une couche semi-conductrice faiblement dopée, les solutions “classiques” énoncées précédemment, qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont plus satisfaisantes car elles se heurtent de toute façon à une limitation fondamentale : la limite du silicium. C’est pour cette raison que de nouvelles approches permettant de dépasser cette limite ont récemment été proposées.

#### I.4 Nécessité de nouvelles approches

En termes de compromis “ $R_{ON} \cdot S / BV_{dss}$ ”, l’année 1997 fut à notre avis un tournant décisif pour les composants de puissance unipolaires. C’est en effet cette année-là que de nouveaux concepts sont apparus pour dépasser la limite du silicium qui, depuis une vingtaine d’années, apparaissait comme “infranchissable”. L’idée de base commune à tous ces concepts était de trouver de nouveaux mécanismes physiques permettant d’assurer la tenue en tension des composants de puissance unipolaires : il fallait, en fait, proposer des alternatives originales à la couche semi-conductrice faiblement dopée classiquement utilisée depuis les années 70. Les concepts originaux que nous avons retenus sont au nombre de trois. Le premier de ces concepts est la “Superjonction”

proposée par Fujihira en 1997 [36] ; le paragraphe I.4.1 présente plus en détail le principe de fonctionnement de cette diode ainsi que son application aux composants MOS de puissance. Les deux autres concepts, présentés respectivement en 1998 et 1999, sont issus de nos travaux de recherche au LAAS/CNRS : il s'agit, pour l'un, de la U-diode [37] et, pour l'autre, de la FLI-diode [38], que nous présenterons respectivement dans les paragraphes I.4.2 et I.4.3.

### I.4.1 La Superjonction

Les transistors MOS de puissance haute tension (de 500 à 1000 Volts) ont évolué relativement lentement ces dernières années. Malgré quelques progrès obtenus, entre autres, par l'augmentation du nombre de cellules élémentaires et la technologie à tranchées, la limite du silicium était pratiquement atteinte dans cette gamme de tensions. C'est le concept de la "Superjonction" qui, le premier, a permis de dépasser cette limite [36], [39],[40]. Dans ce paragraphe, nous allons expliquer le principe de fonctionnement de cette nouvelle diode, puis présenter les structures MOS s'appuyant sur ce concept.

#### I.4.1.1 Principe de fonctionnement à l'état bloqué

Dans la Superjonction, une succession de bandes N et P remplacent la zone N<sup>-</sup> de la diode PN<sup>-</sup>N<sup>+</sup> conventionnelle (Figure I.11). À surfaces de silicium identiques, la surface de la jonction PN ainsi obtenue est alors beaucoup plus importante dans la Superjonction que dans la diode conventionnelle.

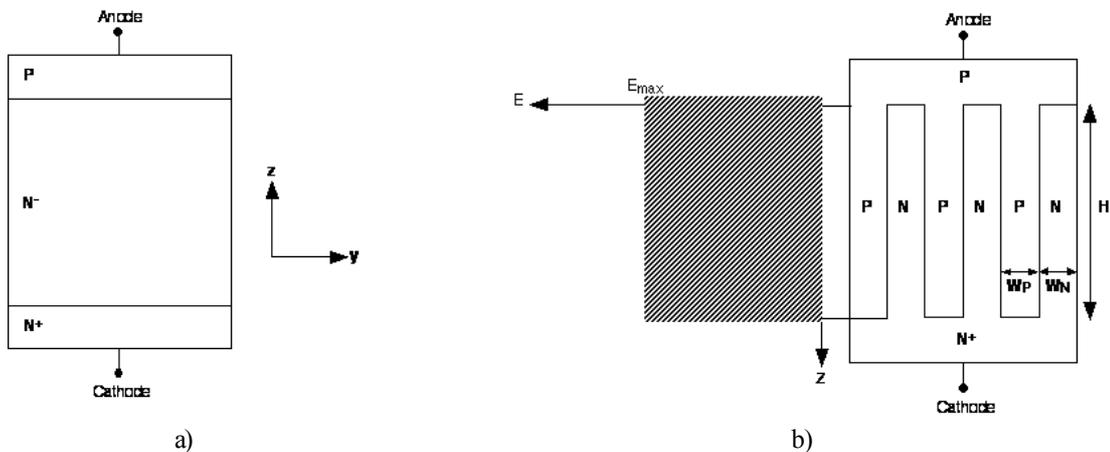


Figure I.11 : C`upe schématique de : a) une di`de PN<sup>-</sup>N<sup>+</sup> c`nventi`nnelle, b) une Superj`ncti`n.

Le principe de la Superjonction nécessite un dopage et une largeur des bandes judicieusement choisis (par exemple :  $N_A = N_D$  et  $W_N = W_P = W \ll H$ ). L'application d'une tension positive sur la cathode induit alors un phénomène en deux étapes :

- dans un premier temps, puisque  $W \ll H$ , les couches N et P se dépeuplent plus vite latéralement que verticalement : ainsi, seule la composante  $E_y$  du champ électrique augmente mais reste inférieure à la valeur du champ critique  $E_C$ .

- dans un deuxième temps, puisque le dépeuplement des bandes N et P est totale, la distribution du champ électrique dans le volume est uniforme : en effet, on peut admettre, que les régions P et N entièrement dépeuplées sont équivalentes à un diélectrique. La tension appliquée entre la cathode (c'est-à-dire le drain pour le transistor MOS) et l'anode (source) est alors proportionnelle à la profondeur H et obéit à la relation suivante :

$$V_{ds} = E_c \cdot H \tag{I.24}$$

Comme pour une diode conventionnelle, la tension de claquage  $BV_{ds}$  est atteinte lorsque le champ électrique atteint sa valeur critique ; cette tension vaut donc ici :

$$BV_{ds} = E_c \cdot H \tag{I.25}$$

La tenue en tension de la Superjonction est donc proportionnelle au champ électrique critique alors que dans la diode PN<sup>-</sup>N<sup>+</sup> conventionnelle, elle est proportionnelle à  $E_c^{-5}$  selon la relation [41] :

$$BV_{ds} = 4,49 \cdot 10^{29} \cdot E_c^{-5} \tag{I.26}$$

Notons que, de manière générale, les conditions :  $N_A = N_D$  et  $W_N = W_P$  ne sont pas obligatoires ; le bon fonctionnement de la Superjonction est assuré si :

- les bandes N et P sont complètement dépeuplées avant que le champ électrique critique ne soit atteint,

- la balance des charges entre les régions N et P est quasi-parfaite.

Quantitativement, ces deux conditions peuvent être traduites par :

$$\frac{q \cdot N_D \cdot W_N}{2 \cdot \mathcal{E}_s} = \frac{q \cdot N_A \cdot W_P}{2 \cdot \mathcal{E}_s} < E_C \quad (\text{I.27})$$

soit :

$$N_D \cdot W_N = N_A \cdot W_P \quad (\text{I.28})$$

Ces conditions sont analogues à celles qui sont nécessaires au bon fonctionnement du transistor LDMOS RESURF : la différence essentielle vient du fait que le LDMOS RESURF comprend une seule région N et une seule région P tandis que la Superjonction est constituée d'une multitude de régions N et P alternées. La Superjonction n'est rien d'autre qu'un composant "Multi RESURF" et ce nom lui est d'ailleurs attribué par certains auteurs [42].

Le principal avantage de la Superjonction est que le dopage des régions N et P peut être choisi supérieur au dopage de la région N d'une diode PN<sup>-</sup>N<sup>+</sup> conventionnelle : ici, ce n'est plus la concentration N<sub>D</sub> qui est primordiale mais la balance des charges entre les régions N et P. Appliqué aux composants de puissance unipolaires comme les transistors MOS, ce nouveau concept doit donc permettre de diminuer fortement leur résistance passante spécifique.

#### I.4.1.2 Application aux transistors MOS de puissance

L'application de la Superjonction aux composants MOS de puissance consiste simplement à remplacer la région N de drift des composants MOS conventionnels par une alternance de régions N et P.

Fujihira [36] a proposé de nouvelles structures MOS verticales et latérales utilisant ce concept (Figure I.12a et I.12b). Ce sont des transistors qui, de plus, ont des grilles enterrées (MOS à tranchées). D'autres MOS utilisant le même concept ont également été proposés (Figure I.12c et d) : citons par exemple le COOLMOS<sup>TM</sup> d'Infineon [43] — premier composant MOS à Superjonction à avoir été commercialisé — et le transistor LDMOS 3D RESURF [44].

À l'état bloqué, tous ces composants MOS fonctionnent suivant le principe énoncé précédemment (§I.4.1.1) : à V<sub>gs</sub> = 0 V, lorsqu'une tension positive est appliquée sur le drain, le MOS se comporte comme une Superjonction polarisée en inverse. Concernant les MOS verticaux, on peut remarquer que les bandes N et P ne sont pas toujours agencées de la même manière : elles peuvent par exemple soit être perpendiculaires aux doigts de drain et de source (Figure I.12-a) soit parallèles à ces doigts (Figure I.12-c) mais, physiquement, cela ne modifie en rien le fonctionnement de la Superjonction.

À l'état passant, le courant circule entre drain et source en passant par les bandes N (ce sont ici des MOS canal N) : la section de conduction est donc réduite par rapport aux transistors MOS conventionnels qui utilisent toute la surface active pour la conduction. Cependant, cet inconvénient est plus que compensé par le fort niveau de dopage de ces bandes N, de telle sorte que la résistance passante spécifique de ces nouveaux composants est très inférieure à celle des composants conventionnels équivalents : à titre d'exemple, pour une tenue en tension de 600 Volts, un transistor COOLMOS<sup>TM</sup> présente une résistance passante spécifique 5 fois plus faible que celle d'un transistor VDMOS conventionnel à zone de drift uniforme [43] : cette valeur est même inférieure à la limite du silicium des composants VDMOS.

Fujihira [36] a d'ailleurs calculé les limites de performances de ces nouveaux composants en termes de compromis "R<sub>ON,S</sub> / BV<sub>dss</sub>".

Dans le cas des structures MOS verticales, il a proposé la relation suivante :

$$R_{ON} \cdot S (\Omega \cdot \text{cm}^2) = 1,98 \cdot 10^{-1} \cdot W^{\frac{5}{4}} \cdot BV_{dss} \quad (\text{I.29})$$

Dans le cas des structures MOS latérales, il a proposé la relation suivante :

$$R_{ON} \cdot S (\Omega \cdot \text{cm}^2) = 4,08 \cdot 10^{-6} \cdot W^{\frac{17}{12}} \cdot h^{-1} \cdot BV_{dss}^2 \quad (\text{I.30})$$

La simple comparaison de ces relations avec les relations (I.19) et (I.22) — limites "conventionnelles" du silicium — montre que, dans le cas des composants MOS à Superjonction, la résistance passante spécifique minimale est directement proportionnelle à BV<sub>dss</sub> pour les structures verticales — contre (BV<sub>dss</sub>)<sup>2,4</sup> — et à BV<sub>dss</sub><sup>2</sup> pour les structures latérales — contre (BV<sub>dss</sub>)<sup>3,56</sup> —.

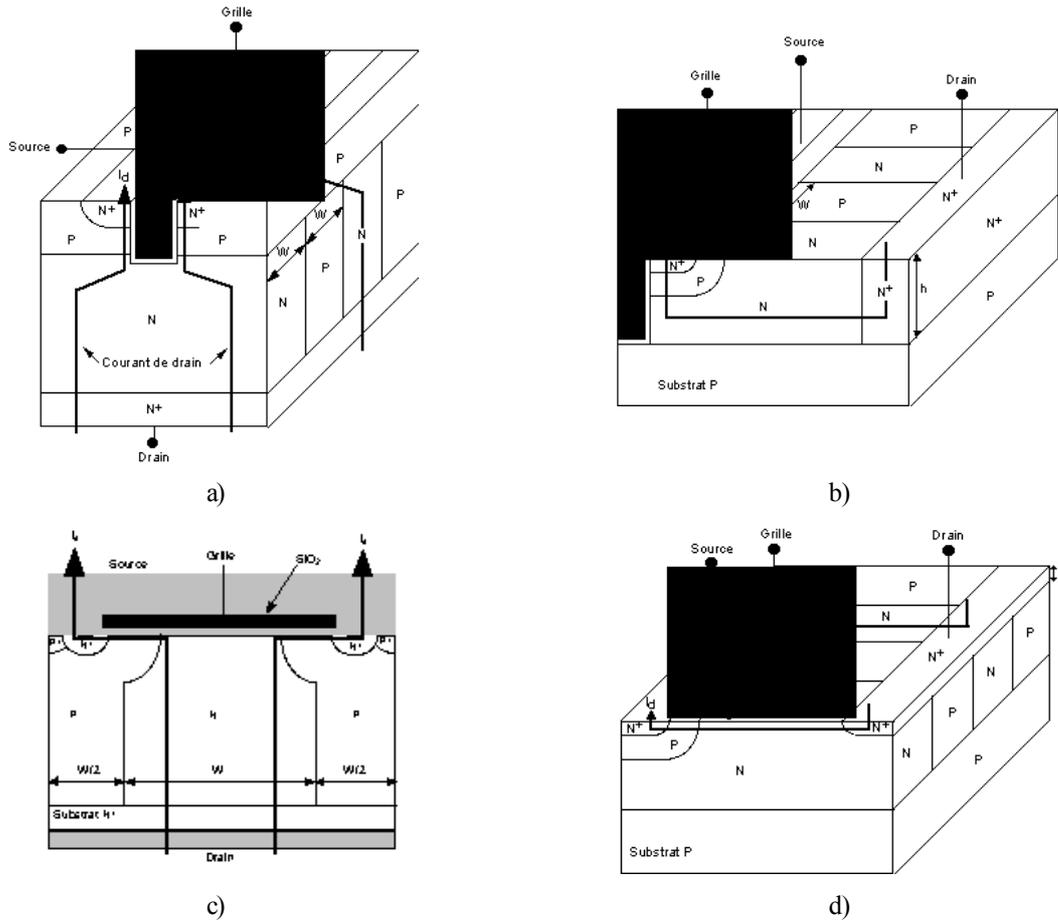


Figure I.12 : Coupes schématiques : a) d'un transistor Vertical MOS à Superjonction, b) d'un transistor latéral MOS à Superjonction, c) du COOLMOS™, d) du transistor LDMOS 3D RESURF.

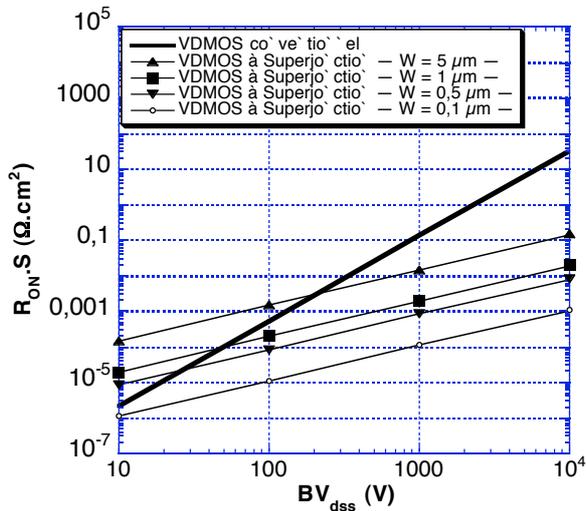


Figure I.13 : Comparaison des limites du silicium — comparés  $R_{ON.S} / BV_{dss}$  — des composants unipolaires verticaux conventionnels et à Superjonction.

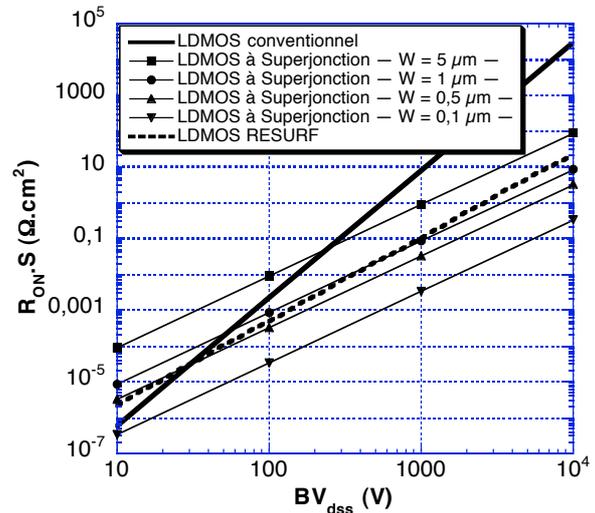


Figure I.14 : Comparaison des limites du silicium — comparés  $R_{ON.S} / BV_{dss}$  — des composants unipolaires latéraux conventionnels et à Superjonction (pour  $h = 1 \mu m$ ).

Les Figures I.13 et I.14 comparent les limites du silicium des composants MOS conventionnels et des composants MOS à Superjonction. Pour les deux types de structures (verticales et latérales), il apparaît clairement que, pour des tenues en tension élevées, les MOS à Superjonction sont supérieurs aux MOS

conventionnels. Notons cependant que, pour des tenues en tension moyennes (autour de 500 V), le LDMOS à Superjonction doit faire face à un composant relativement performant et plus simple à réaliser : le LDMOS RESURF (Figure I.14).

Pour des tenues en tension plus faibles ( $BV_{dss} < 100$  V), la comparaison est beaucoup moins flatteuse pour les MOS à Superjonction, d'autant plus qu'il faudrait alors réaliser des composants avec des bandes N et P très fines pour obtenir une amélioration économiquement "rentable". En effet, le procédé technologique de réalisation des composants à Superjonction est fort coûteux puisqu'il utilise, en général, des épitaxies multiples [45] ou des tranchées profondes [46] ; par ailleurs, le dopage des régions N et P doit être rigoureusement contrôlé pour assurer une balance des charges "quasi-parfaite". Il est alors plus judicieux d'utiliser les VDMOS et LDMOS conventionnels, qui sont beaucoup plus simples à réaliser.

En conclusion, ces nouveaux composants semblent donc destinés, pour le moment, à des applications haute tension ( $BV_{dss} > 500$  V), principalement pour des raisons de compromis entre coût technologique et gain en performances. Il fallait donc explorer d'autres "pistes" pour améliorer le compromis " $R_{ON.S} / BV_{dss}$ " des composants MOS basse tension.

### I.4.2 La U-diode

Une de ces pistes, proposée par le LAAS pour la première fois en 1998 [37], est la U-diode : l'idée de base était de remplacer la zone de drift (région N<sup>-</sup>) de la diode PN<sup>-</sup>N<sup>+</sup> par un isolant (en général un oxyde de silicium) de manière à obtenir une répartition uniforme du champ électrique à l'état bloqué (Figure I.15-a) et donc une tenue en tension améliorée par rapport au silicium. Le problème de cette structure est qu'elle ne peut évidemment pas fonctionner à l'état passant puisque le courant ne peut pas circuler entre drain (anode) et source (cathode) ! Il a donc fallu envisager une structure à oxyde "partiel" (Figure I.15-b) permettant la circulation du courant entre les deux électrodes.

L'étude des différentes configurations (latérale et verticale) de la U-diode ainsi que ses applications aux composants LDMOS et VDMOS sera développée au chapitre II.

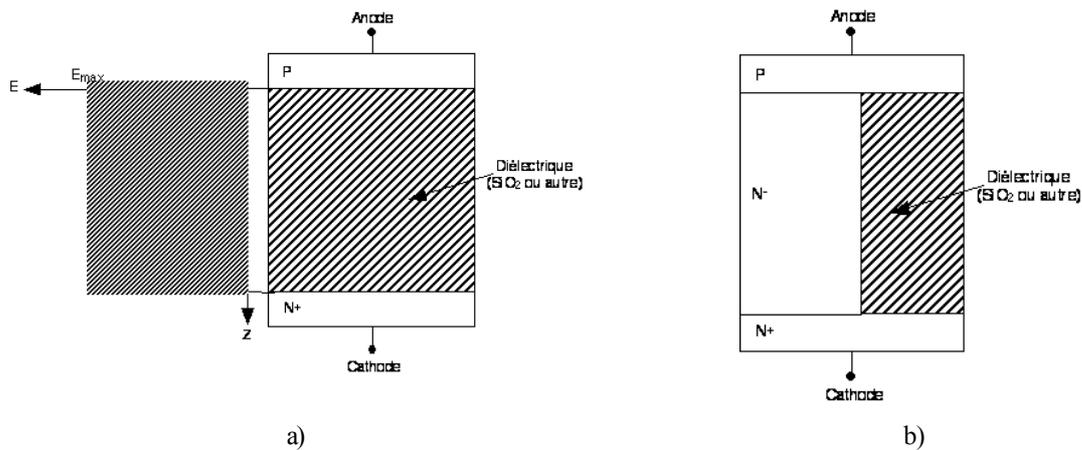


Figure I.15 : U-diode : a) "intégrale", b) partielle.

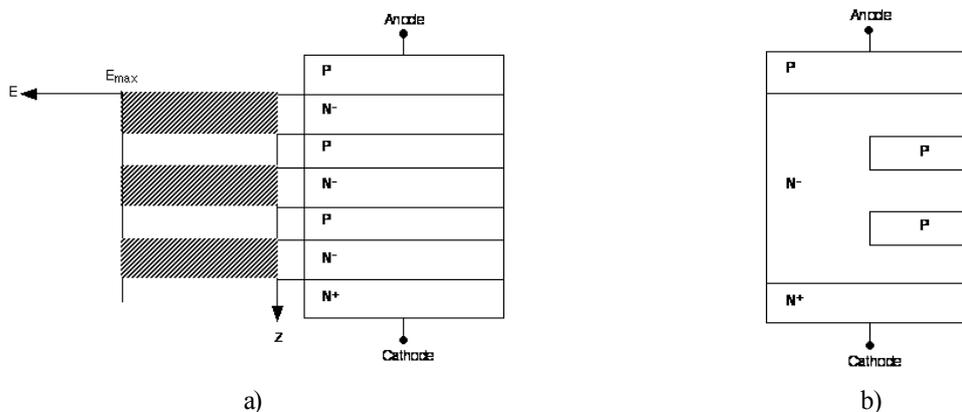


Figure I.16 : FLI-diode : a) sans ouverture des îlots flottants P, b) avec ouverture des îlots flottants P.

### I.4.3 La FLI-diode

Une autre idée, également proposée par le LAAS pour la première fois en 1999 [38], est la FLI-diode : l'idée était ici d'insérer des îlots P flottants — d'où son nom : "FLoating Island" — dans la zone de drift (région N<sup>-</sup>) de la diode PN<sup>-</sup>N<sup>+</sup>. On obtient ainsi une alternance de bandes N et P qui, contrairement à la Superjonction, sont perpendiculaires au courant d'anode. Une telle structure agit comme diviseur du champ électrique : au lieu d'avoir un seul maximum de champ à la jonction principale PN<sup>-</sup>, on obtient plusieurs maxima répartis sur chacune des jonctions PN<sup>-</sup> (Figure I.16-a). La distribution du champ électrique est donc ici "multi-triangulaire" alors qu'elle est uniforme dans la Superjonction et la U-diode. De même que la U-diode, cette structure ne peut pas fonctionner à l'état passant puisque le courant ne peut pas circuler entre drain (anode) et source (cathode). Il a donc fallu ouvrir les régions P flottantes (Figure I.16-b) pour permettre la circulation d'un courant.

L'étude des différentes configurations de la FLI-diode ainsi que ses applications aux composants LDMOS et VDMOS sera développée au chapitre III.

## I.5 Les matériaux semi-conducteurs avancés

Une autre solution permettant de dépasser les limites du silicium consiste tout simplement à changer de matériau : les matériaux semi-conducteurs à large bande représentent en effet un grand avenir pour les composants de puissance destinés à fonctionner à haute température et en haute tension [47]. Les matériaux les plus prometteurs sont le diamant et le carbure de silicium SiC [48] : toutefois, le carbure de silicium présente d'évidents avantages économiques par rapport au diamant [49]. Les principaux bénéfices apportés par le carbure de silicium par rapport au silicium sont un bon fonctionnement sur une large gamme de température, un champ critique de claquage élevé, une saturation élevée de la vitesse de dérive des électrons, une grande conductivité thermique et une grande largeur de bande interdite.

Cependant, la quasi-totalité de nos travaux de recherche a été effectuée dans le cadre des Laboratoires Communs entre le LAAS/CNRS et MOTOROLA Semiconducteurs sur des applications automobiles. Or, à l'exception de quelques applications spécifiques comme l'allumage ou les lampes HID, la majeure partie des applications automobiles requiert des tensions de claquage relativement faibles (de l'ordre de la centaine de Volts au maximum) : dans cette gamme de tensions, l'impact du champ critique élevé des matériaux en carbure de silicium est réduit. Par ailleurs, pour que les composants en carbure de silicium deviennent accessibles pour le secteur automobile, quelques problèmes critiques doivent être résolus : la densité de défauts du carbure de silicium doit être réduite, de manière à obtenir plus facilement de meilleurs rendements et réaliser de plus gros composants. De plus, des techniques de fabrication spécifiques au carbure de silicium doivent être développées. Enfin, des techniques de mise en boîtier et des boîtiers adaptés au carbure de silicium doivent être aussi entièrement développés pour s'adapter à leur grande gamme de température et assurer une durée de vie des composants acceptable.

À long terme, les composants en carbure de silicium représentent donc l'avenir de l'électronique de puissance, mais les défis à relever sont tels que, à moyen terme, les technologies MOS en silicium ont encore un rôle important à jouer.

## I.6 Conclusion

Dans ce chapitre, les structures MOS conventionnelles, aussi bien verticales (VDMOS) que latérales (LDMOS), ont été présentées. Une attention particulière a été portée sur le compromis "résistance passante spécifique / tenue en tension" qui est un point particulièrement pénalisant pour ces composants comme d'ailleurs pour tous les composants unipolaires.

Il a certes été montré qu'il était possible d'améliorer sensiblement la résistance passante spécifique (produit " $R_{ON,S}$ ") des transistors VDMOS basse tension en diminuant la surface S des cellules MOS élémentaires ; cependant, cette miniaturisation atteint actuellement ses limites car ce sont désormais les résistances d'accès  $R_a$  et de drift  $R_d$  qui dominent dans ces structures à haute densité d'intégration. Par ailleurs, cette miniaturisation n'est pas possible pour les transistors LDMOS puisque la longueur de drift  $L_d$  est le paramètre limitatif : c'est elle qui, avec la concentration  $N_D$ , fixe la tenue en tension de ces composants. Toute diminution de  $L_d$  entraînerait donc une dégradation de la tenue en tension.

Pour les composants MOS moyenne et haute tension ( $BV_{ds} > 100$  Volts), la prépondérance de la résistance de drift a été mise en évidence : toutes les autres résistances étant alors considérées comme négligeables, la résistance de drift de la couche épitaxiée N<sup>-</sup> représente donc la résistance passante spécifique minimale que doit présenter tout transistor MOS vertical pour une tenue en tension donnée. Les relations liant cette résistance passante spécifique minimale et la tenue en tension définissent les "limites du silicium" des composants unipolaires verticaux et latéraux conventionnels. Les solutions "classiques" — miniaturisation, tranchées, ... —,

qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont désormais plus satisfaisantes car elles se heurtent à cette limitation fondamentale.

De nouvelles approches permettant de dépasser cette limite ont récemment été proposées. Une de ces approches, particulièrement originale, est la Superjonction proposée pour la première fois par Fujihira en 1997 [36]. Pour notre part, nous avons proposé deux autres concepts, la U-diode en 1998 [37] et la FLI-diode en 1999 [38] : ces concepts seront développés dans les chapitres II et III qui sont en fait la synthèse de nos travaux de recherche, débutés en janvier 1997.

## Références bibliographiques

- [1] M.J. Declercq, J.D. Plummer, "Avalanche breakdown in high voltage DMOS devices". IEEE Transactions on Electron Devices, Vol. 23, pp. 1-6, 1976.
- [2] H.J. Sigg, G.D. Vendelin, T.P. Cauge, J. Kocsis, "D-MOS transistor for microwave applications", IEEE Transactions On Electron Devices, Vol. 19, n° 2, pp. 45-53, 1972.
- [3] H.W. Becke, "Approaches to isolation in high integrated circuits", Proceedings of the IEDM, pp. 724-727, 1985.
- [4] P. Givelin, "Bibliothèque compatible CMOS/DMOS de fonctions de commande et de protection pour les applications automobiles de puissance intelligente", Thèse de Doctorat de l'INSA de Toulouse, 1994.
- [5] N. Cézac, "Transistor MOS de puissance à faible résistance à l'état passant", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [6] P. Rossel, H. Martinot, M. Zamorano, "Propriétés statiques des transistors MOS de puissance à canal vertical. Cas du régime de pincement", Revue de Physique Appliquée, Vol. 13, pp. 23-28, 1978.
- [7] J-L. Sanchez, H. Tranduc, T. Phan Pham, M. Gharbi, P. Rossel, G. Charitat, B. Vertongen, "Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance", Revue de Physique Appliquée, Vol. 20, pp. 759-770, 1985.
- [8] C. Hu, M-H Chi, V. Patel, "Optimum design of power MOSFET's", IEEE Transaction on Electron Devices, Vol. 31, n° 12, pp. 1693-1700, 1984.
- [9] T.P. Pham, "Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1982.
- [10] J. Fernandez, S. Hidalgo, J. Paredes, F. Berta, J. Rebollo, J. Millan, F. Serra-Mestres, "An ON-resistance closed form for VDMOS devices", IEEE Transaction on Electron Devices, Vol. 10, n° 5, pp. 212-215, 1989.
- [11] S-D. Kim, I-J Kim, M-H Han, Y-I. Choi, "An accurate ON-resistance model for low voltage VDMOS devices", Solid-State Electronics, Vol. 38, N°2, pp. 345-350, 1995.
- [12] B.J. Baliga, "Modern Power Devices", Editions J. Wiley & Sons, 1987.
- [13] F. Morancho, "Le transistor MOS de puissance à tranchées : modélisation et limites des performances", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1996.
- [14] M. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 1000 V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier de Toulouse, 1985.
- [15] V. Boisson, "Etude de la géométrie optimale des périphéries des jonctions planar", Thèse n° ECL 85-05, Ecole Centrale de Lyon, 1985.
- [16] S.C. Sun, "Physics and technology of power MOSFET's", Thesis Ph. D, Stanford University, 1982.
- [17] W. Bueno de Moraes, "Contribucao a optimisacao da estrutura de transistors MOS de estrutura nao coplanar", Thèse de doctorat d'Etat, Université de Campinas, Sao Paulo, 1982.
- [18] B. Beydoun, "Simulation et conception des transistors MOS de puissance", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1994.
- [19] S.K. Ghandi, "Semiconductor power devices", Ed. J. Willey & Spns, New York, 1977.
- [20] D. Ueda, H. Takagi, G. Kano, "A new vertical power MOSFET structure with extremely reduced on-resistance", IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.
- [21] D. Ueda, H. Takagi, G. Kano, "A new vertical double diffused MOSFET – The self-aligned terraced-gate MOSFET", IEEE Transactions on Electron Devices, Vol. 31, n° 4, pp. 416-420, 1984.
- [22] G. Tardivo, "Le transistor D.MOS vertical en amplification haute-fréquence de puissance", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier de Toulouse, 1987.
- [23] T. Efland, C-Y. Tsai, S. Pendharkar, "Lateral thinking about power devices LD MOS", Proceedings IEDM'98, pp.679-682, 1998.
- [24] J-L. Sanchez, "Propriétés à l'état passant des transistors DMOS de puissance coplanaires et verticaux", Thèse de Docteur-Ingénieur, INSA Toulouse, 1984.
- [25] P. Granadel, "Evolution des structures des transistors M.O.S. de puissance vers le domaine des petites dimensions", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1987.
- [26] M.D. Pocha, "High voltage diffused MOS transistors", Ph. D Thesis Stanford University. Engineering, electronics and electrical, 1978.

- [27] P. Kouakou, "Etude physique des non-linéarités dans les transistors MOS de puissance radiofréquences", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1999.
- [28] D. Moncoquit, "Propriétés physiques et modélisation du transistor de puissance LDMOS", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1997.
- [29] A.S. Grove, "Physique et technologie des dispositifs à semi-conducteurs", Ed. Wiley, 1970.
- [30] M. Zitouni, "Une nouvelle structure d'interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 1999.
- [31] O.K. Know, T. Efland, W.T. Ng, S. Malhi, R. Todd, J.K. Lee, "Optimized 60 V lateral DMOS devices for VLSI power applications", Symposium on VLSI technology, 1991.
- [32] D. Lin, S.L. Tu, Y. See, P. Tam, "A novel LDMOS structure with a step gate oxide", Proceedings IEDM'95, pp. 963-966, 1995.
- [33] J.A. Appels, H.M.J. Vaes, "High voltage thin layer Devices (RESURF Devices)", 25<sup>th</sup> Int. Electron Devices Meeting (IEDM), 1979, pp. 238-241.
- [34] C. Hu, "A parametric study of power MOSFETs", Conf. Record of Power electronics specialists Conference, San Diego, 1979.
- [35] R.P. Zingg, "New benchmark for RESURF, SOI, and Super-Junction power devices", Proceedings ISPSD'01, pp. 343-346, 2001.
- [36] T. Fujihira, "Theory of semiconductor superjunctions devices", Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.
- [37] M. Zitouni, F. Morancho, P. Rossel, J. Buxo, I. Pagès, "A new lateral power MOSFET for Smart Power IC's : the trench LDMOSFET (or LUDMOSFET)", 5<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'98), Lodz (Pologne), pp. 411-414, Juin 1998.
- [38] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre-Lavigne, I. Pagès, "The FLIMOS transistor: a new vertical power device generation", 6<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99), Cracovie (Pologne), pp. 295-298, Juin 1999.
- [39] T. Fujihira, Y. Miyasaka, "Simulated superior performances of semiconductor superjunctions devices", Proceedings ISPSD'98, pp. 423-426, 1998.
- [40] A.G.M. Strollo, E. Napoli, "Analytical modeling of breakdown voltage of superjunction power devices", Proceedings ISPS'2000, pp. 113-120, 2000.
- [41] S.M. Sze and G. Gibbons, "Avalanche breakdown voltage of abrupt and linearly graded pn junctions in Ge, Si, GaAs, and GaP", Applied Physics Letters, Vol. 8, p. 111, 1966.
- [42] Y. Kawaguchi, K. Nakamura, A. Nakagawa, "Predicted electrical characteristics of 4500V Super Multi-Resurf MOSFETs", Proceedings ISPSD'99, pp. 95-98, 1999.
- [43] L. Lorenz, G. Deboy, A. Knapp, M. März, "COOLMOS<sup>TM</sup> – a new milestone in high voltage power MOSFET", Proceedings ISPSD'99, pp. 3-10, 1999.
- [44] R. Ng, F. Udrea, K. Ueno, G.A.J. Amaratunga, M. Nishiura, "Lateral unbalanced Super Junction (USJ) / 3D RESURF for high breakdown voltage on SOI", Proceedings ISPSD'01, pp. 395-398, 2001.
- [45] T. Minato, T. Nitta, A. Uenisi, M. Yano, M. Harada, S. Hine, "Which is cooler, Trench or Multi-Epitaxy ?", Proceedings ISPSD'2000, pp. 73-76, 2000.
- [46] S. Yamauchi, Y. Urakami, N. Suzuki, N. Tsuji, H. Yamaguchi, "Fabrication of high aspect ratio doping region by using trench filling of epitaxial Si growth", Proceedings ISPSD'01, pp. 363-366, 2001.
- [47] J. Kassakian, D. Perreault, "The future of electronics in automobiles", Proceedings ISPSD'01, pp. 15-19, 2001.
- [48] K. Shenai, R.S. Scott, B.J. Baliga, "Optimum semiconductors for high-power electronics", IEEE Transaction on Electron Devices, Vol. 36, n° 9, pp. 1811-1823, 1989.
- [49] M. Bhatnagar, B.J. Baliga, "Comparison of 6H-SiC, 3C-SiC and Si power devices", IEEE Transaction on Electron Devices, Vol. 40, n° 3, pp. 645-655, 1993.

# *Chapitre II*

**T**ransistors MOS de puissance basés  
sur le concept de la U-diode

---



## II.1 Introduction

Les circuits intégrés de puissance du type SMART POWER intègrent sur un même cristal du CMOS, de l'analogique BiCMOS, des mémoires non-volatiles et des interrupteurs de puissance verticaux (VDMOS) ou latéraux (LDMOS) [1]. Dans le domaine des tensions visées ( $BV < 100$  V), le transistor LDMOS est le meilleur composant, notamment en raison d'une plus faible résistance passante spécifique que le transistor VDMOS up-drain, ainsi que de sa plus grande facilité à être isolé et intégré puisque ses trois électrodes sont coplanaires. Les progrès technologiques conduisent à des règles de dessin de plus en plus réduites, permettant ainsi de diminuer la taille des composants CMOS et BiCMOS. Le gain en taille est, à ce niveau, à peu près proportionnel aux règles de dessin de ces circuits. Toutefois, cette réduction de taille est difficile à obtenir pour les interrupteurs LDMOS de puissance. En effet, il a été montré au chapitre I que, pour assurer une tenue en tension élevée, il n'était pas possible de diminuer la longueur de drift de ces transistors. La taille de la puce se trouve ainsi limitée principalement par la taille des interrupteurs de puissance et non par les règles de dessin.

À la base, le travail présenté dans ce chapitre consistait donc essentiellement à proposer des solutions nouvelles pour améliorer le compromis "tenue en tension / résistance passante spécifique" des composants de puissance LDMOS utilisés dans les circuits intégrés de puissance SMART POWER basse tension. Il a été réalisé dans le cadre de la thèse de M. Zitouni [2] mais nous montrerons aussi que les concepts proposés ont eu d'autres applications que les LDMOS : nous pensons en particulier aux transistors VDMOS et aux terminaisons de jonction.

Dans ce chapitre, nous allons tout d'abord présenter les différentes configurations de diodes basées sur le concept d'oxyde dans la zone épitaxiée. Nous montrerons que ces configurations peuvent être utilisées dans les transistors MOS de puissance latéraux et verticaux pour assurer leur tenue en tension. L'étude à l'état bloqué (tenue en tension) et à l'état passant (résistance passante) de ces transistors MOS de puissance sera ensuite présentée. Les meilleures structures seront comparées à la limite du silicium et des résultats de mesures permettront de valider le concept.

## II.2 La U-diode

### II.2.1 Principe

Dans une diode à jonction PN comme la diode PIN ( $PN^+N^+$ ) utilisée dans tous les composants de puissance conventionnels, nous avons vu que le claquage se produisait lorsque le champ électrique au niveau de la jonction PN atteignait sa valeur critique. Cette valeur dépend essentiellement du matériau utilisé et du dopage de l'épitaxie  $N^-$  ; pour le silicium, plusieurs auteurs [3], [4], [5], [6], [7], ont montré qu'elle oscillait entre  $2 \cdot 10^5$  et  $5 \cdot 10^5$   $V \cdot cm^{-1}$  pour des dopages de l'épitaxie variant entre  $10^{14}$  et  $10^{17}$   $cm^{-3}$ . Pour améliorer la tension de claquage, l'idée de base a été d'insérer de l'oxyde de silicium ( $SiO_2$ ) dans cette épitaxie puisque le champ critique de cet oxyde est environ dix fois plus grand (autour de  $3 \cdot 10^6$   $V \cdot cm^{-1}$ ) que celui du silicium. Un autre facteur d'amélioration de la tenue en tension vient du fait que la configuration du champ électrique dans un oxyde est rectangulaire alors qu'elle est triangulaire ou trapézoïdale dans le silicium (Figures I.3 et I.4).

La finalité étant d'appliquer ce nouveau concept de diode à des transistors LDMOS et VDMOS, nous proposons dans ce paragraphe deux configurations de diodes, l'une latérale, l'autre verticale, baptisées U-diodes, le "U" symbolisant la forme géométrique de l'oxyde inséré dans la zone épitaxiée faiblement dopée. Nous montrerons aussi que ce concept peut être utilisé comme terminaison de jonction.

### II.2.2 La U-diode latérale

#### II.2.2.1 Structure

Dans la U-diode latérale proposée ici (Figure II.1), la région  $N^-$  de la diode  $PN^+N^+$  conventionnelle est remplacée en surface par une tranchée d'oxyde. Cette tranchée est gravée dans la courbure de jonction P-body/ $N^-$  afin de réduire au maximum la taille de la cellule. À l'état bloqué, l'anode et la cathode de cette U-diode jouent respectivement le rôle de la source et du drain du transistor LDMOS équivalent. Pour valider ce concept, nous avons choisi la technologie des circuits intégrés SMARTMOS™ de MOTOROLA : ainsi, le dopage de la zone épitaxiée est imposé ( $N_D = 4,9 \cdot 10^{15}$   $cm^{-3}$ ) ; en outre, les simulations ont été réalisées avec la couche enterrée (NBL) et le substrat P qui n'ont a priori aucune influence sur la tenue en tension de la U-diode. Les seules variables sont donc la profondeur et la largeur de la tranchée.

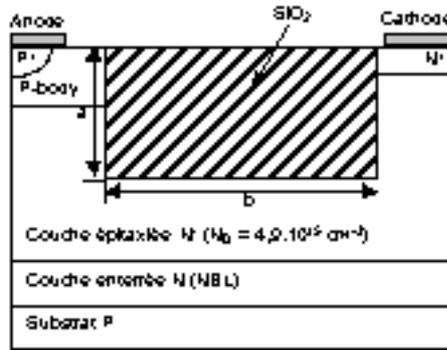


Figure II.1 : Coupe schématique de la U-diode latérale.

II.2.2.2 Influence de la profondeur et la largeur de la tranchee sur la tenue en tension

La Figure II.2 montre l'évolution de la tension de claquage de la U-diode en fonction de la profondeur "a" de la tranchee, sa largeur "b" étant prise comme paramètre. L'augmentation de la tenue en tension va de pair avec l'augmentation de "a" et "b". Les raisons de cette amélioration viennent à la fois de l'élimination de la courbure de jonction, ainsi que du fait qu'une tranchee large et profonde soutient quasiment tout le potentiel appliqué. Pour des tranchées peu larges ( $b < 0,5 \mu\text{m}$ ), cette amélioration est peu prononcée car le claquage se produit alors en limitation de charge d'espace (la distance entre anode et cathode est faible). Dans le cas de tranchées profondes et larges ( $a > 5 \mu\text{m}$  et  $b > 3 \mu\text{m}$ ), la tranchee "absorbe" les lignes de fort champ électrique : le pic de champ électrique est situé dans le coin gauche supérieur de la tranchee, à l'endroit où les lignes de potentiel sont fortement resserrées (Figure II.3) et où, par conséquent, le gradient de potentiel est le plus important. La tenue en tension atteint alors 98 V ; cette valeur n'est autre que la tension de claquage de la jonction plane P-body/N<sup>+</sup> pour  $N_D = 4,9.10^{15} \text{ cm}^{-3}$  [7]. Le claquage se produit alors dans le volume, à la jonction plane P-body/N<sup>+</sup>. Notons également que, pour atteindre la tension de claquage de la jonction plane, la profondeur de la tranchee doit avoir une valeur proche de l'extension de charge d'espace maximale de la diode plane équivalente en polarisation inverse — dans l'exemple présenté ici, cette extension est bien de  $5 \mu\text{m}$  selon l'équation (I.12) —.

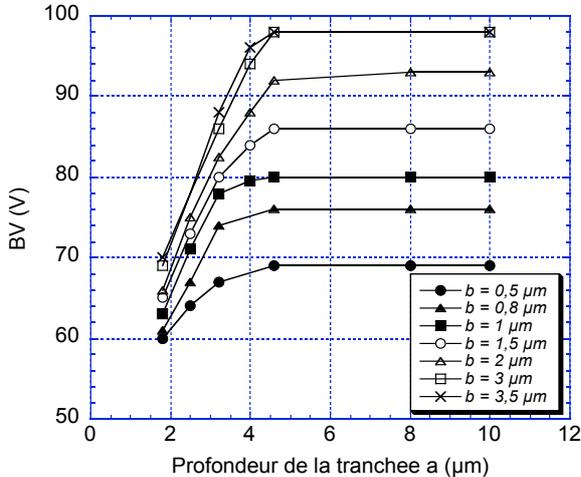


Figure II.2 : Variation de la tenue en tension de la U-diode latérale en fonction de la profondeur de la tranchee.

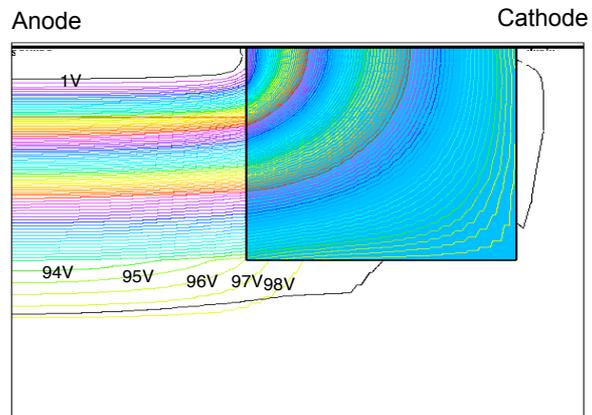


Figure II.3 : Distribution des lignes équipotentielles au claquage pour la U-diode latérale.

Ce résultat fondamental ne pourra pas être appliqué tel quel au transistor LDMOS. En effet, une tranchee large et profonde serait trop pénalisante en termes de résistance passante spécifique : pour un même dopage de la couche épitaxiée, le trajet des porteurs entre la fin du canal et le drain serait d'environ  $11 \mu\text{m}$  ( $2a + b$ ) au lieu des  $2,1 \mu\text{m}$  optimaux utilisés pour le transistor LDMOS conventionnel (§I.2.3.3) ; la résistance de drift serait alors multipliée par 5 ! Nous irions à l'encontre du but initialement recherché. Par ailleurs, dans cette configuration, le canal serait vertical, ce qui poserait des problèmes technologiques supplémentaires (par exemple, quid de la qualité de l'interface silicium/oxyde de grille au niveau du canal après gravure et du remplissage de la tranchee avec du polysilicium ?). En résumé, les transistors LDMOS basés sur le concept de la U-diode utiliseront des tranchées peu larges et peu profondes qui ne seront pas gravées dans la courbure de la jonction P-body/N<sup>+</sup>.

Par contre, ce concept peut être appliqué aux terminaisons de jonction puisqu'elles sont inactives à l'état passant. C'est ce qui a été fait dans le cadre de la thèse de D. Dragomirescu [8] pour des terminaisons de jonction adaptées aux composants verticaux haute tension.

II.2.2.3 Terminaisons de jonction basées sur des tranchées profondes

La U-diode permettant, en basse tension ( $BV < 100 \text{ V}$ ), d'atteindre le claquage de la jonction plane, il est apparu intéressant d'élargir le concept à la haute tension : D. Dragomirescu [8] a ainsi étudié l'extension directe de ce concept à des terminaisons de jonction haute tension (Figure II.4) ; la tension visée est 5000 Volts, en utilisant un dopage du substrat de  $2.10^{13} \text{ cm}^{-3}$ . La cathode est ici située sur la face arrière : physiquement, cela ne change pas le principe de fonctionnement à l'état bloqué. Les résultats de simulation ont ici aussi montré que l'augmentation de la profondeur de la tranchée conduisait à l'augmentation de la tension de claquage. Cependant, même pour des tranchées très profondes (par exemple 500  $\mu\text{m}$ ), la tension de claquage de la diode ne dépasse pas 2600 Volts, ce qui représente moins de 50% de la tenue en tension idéale. Il apparaît donc que la simple transposition de la U-diode utilisée en basse tension n'est pas suffisante pour protéger une jonction haute tension.

D'autres solutions ont alors été proposées pour obtenir une meilleure efficacité de protection : la première consiste à remplacer l'oxyde de silicium, de constante diélectrique relative égale à 3,9, par un matériau à faible constante diélectrique puisque le rapport entre le champ électrique dans le silicium,  $E_{Si}$ , et le champ électrique dans un diélectrique,  $E_{dié}$ , est l'inverse du rapport entre les permittivités respectives de ces matériaux :

$$\frac{E_{Si}}{E_{dié}} = \frac{\epsilon_{dié}}{\epsilon_{Si}} \tag{II.1}$$

Le matériau idéal est bien sûr le vide, dont la rigidité diélectrique ne pose plus de problème. Pour avoir un vide suffisant à l'intérieur de la tranchée, nous pouvons réaliser une encapsulation de la cavité par une technique disponible dans les technologies relatives aux microsystèmes : par exemple, une plaque de verre peut être collée sur le silicium. Le meilleur résultat obtenu avec cette structure est une tenue en tension de 4200 V, pour un composant ayant une tranchée de 500  $\mu\text{m}$  x 500  $\mu\text{m}$  sous vide. La longueur totale de la terminaison est dans ce cas de seulement 800  $\mu\text{m}$ , beaucoup plus petite que les terminaisons existantes dans cette gamme de tenue en tension.

La seconde solution (Figure II.5) consiste à diffuser une couche P<sup>-</sup> sur les bords de la tranchée sous vide. Cette couche va se comporter comme une extension de jonction implantée (Junction Termination Extension, JTE) verticale [9]. Ainsi, à la tension de claquage, la région P<sup>-</sup> doit être complètement dépeuplée afin d'agir comme un répartiteur de potentiel le long du côté gauche de la tranchée. Cette structure, appelée T<sup>3</sup> JTE ("Trench Termination Technique Junction Termination Extension"), permet de déplacer le point de claquage : dans la première structure (tranchée sous vide mais sans JTE), ce point se trouvait à la fin de la jonction P<sup>+</sup>N, à côté de la tranchée, tandis que dans la T<sup>3</sup> JTE, il est localisé dans la région plane de la jonction P<sup>+</sup>N. Ceci nous permet de supposer que cette structure atteindra une tension de claquage proche de la tenue en tension idéale. Par ailleurs, il est important de noter que, contrairement aux applications basse tension et au cas précédent, le matériau remplissant la tranchée n'a qu'un rôle limité dans la répartition du champ électrique ; ce rôle est entièrement dévolu au JTE. Des composants T<sup>3</sup> JTE ayant une tranchée de 150  $\mu\text{m}$  x 500  $\mu\text{m}$  ont été conçus [10] : la longueur totale de cette terminaison (700  $\mu\text{m}$ ) est beaucoup plus faible que toute autre terminaison parue dans la littérature pour cette gamme de tension de claquage. Ces composants affichaient une tension de claquage comprise entre 4600 et 4950 Volts : cela correspond à une efficacité de la technique comprise entre 92% et 99%. Notons également que cette technique peut facilement être adaptée à d'autres gammes de tenue en tension ou pour des composants fonctionnant en limitation de charge d'espace.

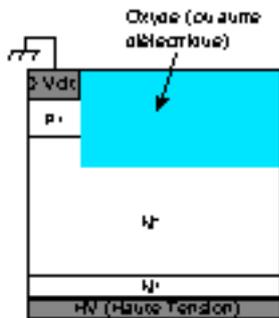


Figure II.4 : Terminaison de jonction utilisant une tranchée profonde remplie d'oxyde ou d'un autre diélectrique.

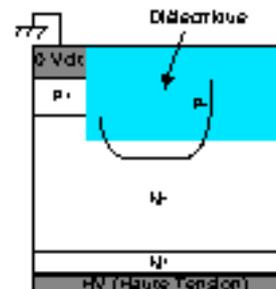


Figure II.5 : Technique de terminaison de jonction à tranchée profonde et couche P<sup>-</sup> autour de la tranchée (T<sup>3</sup> avec JTE).

### II.2.3 La U-diode verticale

#### II.2.3.1 Structure

Dans la U-diode verticale (Figure II.6), un oxyde enterré est inséré dans la région N<sup>-</sup> de la diode PN<sup>-</sup>N<sup>+</sup> conventionnelle. À l'état bloqué, l'anode et la cathode de cette U-diode jouent respectivement le rôle de la source et du drain du transistor VDMOS équivalent. Le dopage de la zone épitaxiée est constant ( $N_D = 10^{16} \text{ cm}^{-3}$ ) : ce paramètre est imposé par la technologie HDTMOS<sup>TM</sup> de MOTOROLA. Les seules variables sont donc la position, l'épaisseur et la largeur de l'oxyde enterré.

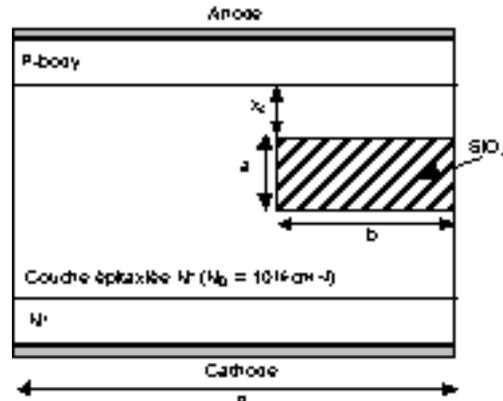


Figure II.6 : Coupe schématique de la U-diode verticale.

#### II.2.3.2 Influence de la profondeur et la largeur de la tranchée sur la tenue en tension

La Figure II.7 montre l'évolution de la tension de claquage de la U-diode en fonction de l'épaisseur "a" de la tranchée, la surface occupée par cette tranchée (en fait le rapport "b/B") étant prise comme paramètre. L'augmentation de la tenue en tension va de pair avec l'augmentation de cette surface. Il faut cependant que "b/B" soit supérieur à 60% pour qu'une amélioration soit observée : quelle que soit l'épaisseur de la tranchée, une surface plus petite n'a en effet aucun impact sur la tenue en tension et c'est la jonction plane dopée  $10^{16} \text{ cm}^{-3}$  qui claque à 56 Volts, comme prévu par la relation (I.13). Pour des surfaces plus importantes ( $b/B > 60\%$ ), la tenue en tension augmente significativement, pouvant atteindre 70 à 110 Volts selon l'épaisseur de la tranchée, c'est-à-dire des tenues en tension supérieures à celle de la jonction plane.

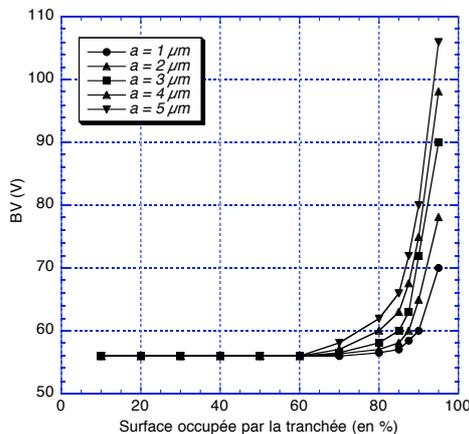


Figure II.7 : Variation de la tenue en tension de la U-diode verticale en fonction de la surface occupée par la tranchée, pour différentes épaisseurs de l'oxyde enterré.

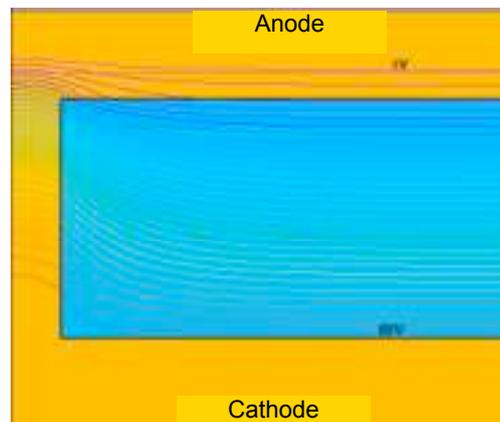


Figure II.8 : Distribution des lignes équipotentielles au claquage pour la U-diode verticale.

En fait, de la même manière que pour la U-diode latérale, la tranchée "absorbe" les lignes de fort champ électrique : le pic de champ électrique est situé dans le coin gauche supérieur de la tranchée, à l'endroit où les lignes de potentiel sont resserrées (Figure II.8) et où, par conséquent, le gradient de potentiel est le plus important.

Ce résultat fondamental ne pourra pas être appliqué tel quel au transistor VDMOS basse tension. En effet, une tranchée large serait trop pénalisante en termes de résistance passante spécifique car la section de conduction entre source et drain serait alors trop faible (5 à 35% seulement de la surface du composant). Nous irions ici

aussi à l'encontre du but initialement recherché. Un exemple de transistor VDMOS haute tension (1000 Volts) à oxyde enterré sera cependant proposé dans ce chapitre.

### II.3 Un nouveau composant latéral de puissance : le transistor LUDMOS

Dans le chapitre I, nous avons vu que la taille de la structure LDMOS conventionnelle était imposée, principalement pour des raisons de tenue en tension, par la longueur  $L_d$  de la zone de drift (Figure I.7). En outre, le champ électrique en surface, sous la fin de la grille est une zone de fort champ électrique, limitant ainsi la tenue en tension.

Initialement, c'est pour ces deux raisons que, nous inspirant des résultats théoriques de la U-diode latérale présentée au paragraphe II.2.2, nous avons eu l'idée d'insérer une tranchée d'oxyde dans la zone faiblement dopée d'un transistor LDMOS : le composant ainsi obtenu a été baptisé "LUDMOS", le U symbolisant simplement la forme géométrique "réelle" de la tranchée. Par rapport à une structure classique, les caractéristiques principales de la tranchée dans la zone de drift du LDMOS sont :

- un épîement nul de l'isolation sur la zone active,
- un oxyde de champ planarisé,
- une haute densité d'intégration,
- une complexité accrue du procédé.

Les tranchées d'oxyde utilisées seront technologiquement du même type que celles qui font office de structures d'isolation latérale entre les divers composants dans les dispositifs CMOS modernes, c'est-à-dire que ce seront des tranchées peu larges et peu profondes (quelques microns). En effet, à l'approche de la barrière du micron de longueur de grille, les règles de dessin imposées par la technologie (suivant la loi de réduction d'échelle initialement énoncée par [11]) ont rendu difficile l'utilisation plus classique du LOCOS de base. Les limitations principales étaient la présence d'un "bec d'oiseau" trop important et l'amincissement de l'oxyde de champ dans des petits espaces. Aujourd'hui, la plupart des fabricants de semi-conducteurs a en effet choisi l'isolation par tranchée peu profonde (technologie BOX) pour poursuivre l'intégration des circuits CMOS pour les technologies submicroniques [12] : IBM [13], Motorola [14], Texas Instrument [15], Micron [16], Siemens [17], Toshiba [18], mais aussi Intel, Samsung et ST Microelectronics.

Ce paragraphe présente les différentes structures LUDMOS (numérotées de 1 à 5) qui ont été proposées : cette présentation est faite chronologiquement, chaque structure (n+1) découlant en fait des constatations faites sur les structures (n) et (n-i), en termes de compromis "tenue en tension / résistance passante spécifique".

Toutes ces structures affichaient cependant des points communs. En effet, ces travaux ayant été réalisés dans le cadre du premier Laboratoire Commun LCIP entre le LAAS/CNRS et MOTOROLA Semiconducteurs, les transistors LUDMOS proposés devaient être compatibles avec la technologie SMARTMOS<sup>TM</sup> de MOTOROLA. La finalité étant de réaliser des circuits intégrés de puissance SMART POWER de nouvelle génération, la problématique se situait certes au niveau du composant de puissance mais également (et surtout) au niveau de l'intégration de ce composant. Cela signifiait en particulier que :

- le substrat de type P et la couche enterrée NBL (N Buried Layer) n'étaient pas modifiables ; ils n'avaient de toute façon aucune influence sur le comportement du composant de puissance ;
- le dopage et l'épaisseur de l'épitaxie étaient également imposés ; ceci limitait donc les possibilités d'innovation ;
- les règles de dessin, telles que les ouvertures minimales de diffusion, étaient fixées ;
- le nombre de masques était limité.

Les degrés de liberté dont nous disposions pour réaliser une étude paramétrique suffisamment "instructive" étaient les suivants :

- la taille du composant de puissance ainsi que la largeur et la profondeur de la tranchée étaient modifiables à souhait,
- par conséquent, les masques étaient également modifiables ; cette possibilité permettait également de surdoper certaines régions, comme nous allons le voir plus loin dans ce paragraphe ;
- la tranchée pouvait être remplie d'oxyde et/ou de polysilicium.

Nous allons présenter ici, de manière synthétique, les résultats théoriques les plus significatifs obtenus par simulation physique bidimensionnelle. Une analyse plus détaillée de ces résultats peut être consultée dans la thèse de M. Zitouni [2].

### II.3.1 Transistor LUDMOS 1

La première structure (LUDMOS 1, Figure II.9) découle tout simplement des limitations de base du transistor LDMOS conventionnel citées précédemment :

- afin d'éviter un champ électrique élevé à l'extrémité du polysilicium de grille, une tranchée d'oxyde est insérée sous cette région. La tranchée doit donc jouer ici le même rôle que le LOCOS dans le LDMOS LOCOS [19] évoqué au chapitre I (§1.2.4).
- cette tranchée d'oxyde est gravée dans la zone faiblement dopée (ici épitaxie N<sup>-</sup>) : elle doit donc assurer une tenue en tension plus élevée que celle assurée par le silicium seul.

#### II.3.1.1 Fonctionnement et performances à l'état bloqué

Comme cela a été montré sur la U-diode latérale (§II.2.2), la largeur et la profondeur de la tranchée ont une grande influence sur les caractéristiques du composant à l'état bloqué. Pour des considérations liées à la surface du composant et à sa résistance passante spécifique, il a été décidé de fixer la largeur de la tranchée à 0,5 μm, même si une tranchée plus large aurait permis d'assurer une meilleure tenue en tension. En effet, les applications visées étant celles de l'automobile, qui nécessitent des tenues en tension maximales de 80 Volts, il n'était pas d'actualité de travailler sur des tensions plus élevées. Nous avons donc choisi de faire varier tout d'abord la profondeur de la tranchée.

Par ailleurs, étant donné que, dans le LUDMOS 1, cette tranchée n'est gravée ni dans la courbure de la jonction P-body/N<sup>-</sup> ni dans la région N<sup>+</sup> de drain, un autre paramètre à étudier est sa position caractérisée par  $x_c$  (position par rapport à la fin du canal) et  $L_d$  (position par rapport à l'ouverture sur masque de la diffusion de drain).

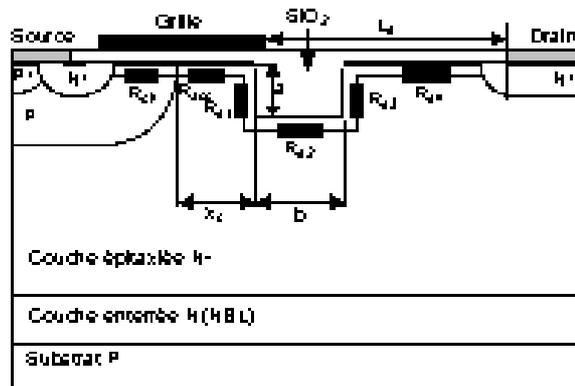


Figure II.9 : Coupe schématique du transistor LUDMOS (structure 1) et localisation des principales composantes de sa résistance à l'état passant.

#### II.3.1.1.a Profondeur de la tranchée

Nous avons limité l'étude à des tranchées peu profondes (de 0 à 3,5 μm). La Figure II.10 montre que plus la tranchée est profonde, meilleure est la tenue en tension. Pour une profondeur de 3,5 μm, le diélectrique soutient quasiment toute la tension appliquée. Lorsque la tranchée est peu profonde ( $a < 1,5 \mu\text{m}$ ), l'épaisseur de l'oxyde entre la fin de la plaque de grille et le fond de la tranchée est faible. L'oxyde n'est alors pas capable de soutenir toute la tension et les lignes équipotentielles se déforment au-delà de la tranchée dans le silicium, entre la fin de la tranchée et la diffusion de drain. La profondeur optimale de la tranchée est donc 1,5 μm puisque que la tenue en tension y est maximale (début du plateau) et que le trajet des porteurs à l'état passant sera ainsi réduit.

#### II.3.1.1.b Position de la tranchée

L'emplacement de la tranchée dans la structure LDMOS est également important : la tenue en tension varie notamment selon la position de la tranchée par rapport au canal ( $x_c$ ) et au drain ( $L_d$ ). Une tranchée éloignée du canal (fortes valeurs de  $x_c$ ) n'a aucun effet sur la tenue en tension : le composant claque alors à l'endroit où la courbure des lignes équipotentielles sera la plus prononcée, c'est-à-dire soit au niveau de la jonction cylindrique P-body/N<sup>-</sup>, soit sur le flanc gauche de la tranchée. La tenue en tension est améliorée lorsque la tranchée est proche du canal ( $x_c$  faible) : ceci est dû à une répartition plus homogène des lignes de potentiel entre la jonction P-body/N<sup>-</sup> et la tranchée, leurs courbures respectives se compensent.

Concernant la longueur de drift  $L_d$ , nous avons vu au premier chapitre (§1.2.3.3) qu'elle était, avec le dopage de la région N<sup>-</sup>, un paramètre clé pour la tenue en tension du transistor LDMOS. La Figure II.11 compare, en fonction de  $L_d$ , l'évolution de la tenue en tension d'un transistor LDMOS conventionnel et de transistors LUDMOS présentant différentes profondeurs de tranchée.

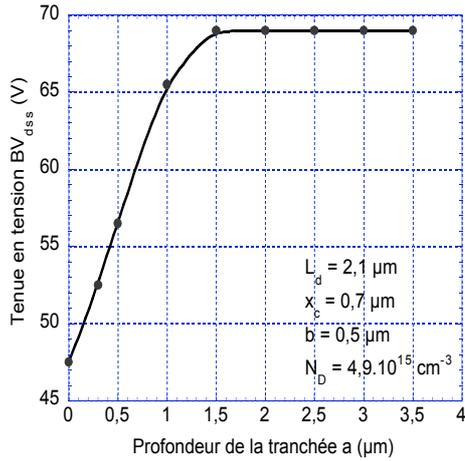


Figure II.10 : Influence de la profondeur "a" de la tranchée sur la tenue en tension du LUDMOS 1.

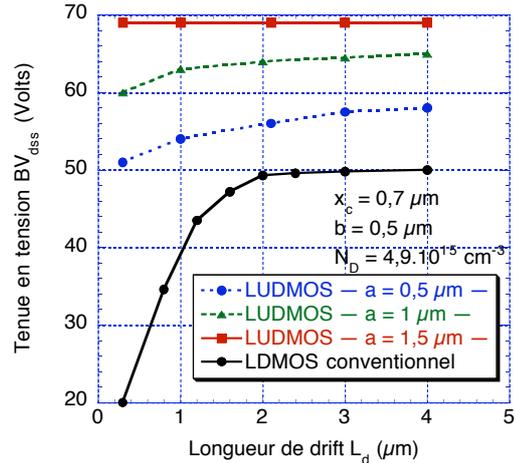


Figure II.11 : Variation de la tenue en tension en fonction de la longueur de drift pour le LDMOS conventionnel et pour le LUDMOS 1 présentant différentes profondeurs de tranchée.

Plusieurs constatations s'imposent :

- les transistors LUDMOS affichent une meilleure tenue en tension que le transistor LDMOS conventionnel, quelles que soient la profondeur de la tranchée et la longueur de drift,
- la tenue en tension du transistor LUDMOS à tranchée profonde ( $a = 1,5 \mu\text{m}$ ) est indépendante de la longueur de drift. Pour les autres LUDMOS à tranchée moins profonde, la dépendance vis-à-vis de  $L_d$  reste relativement faible. Par exemple, pour  $L_d$  variant de  $4 \mu\text{m}$  à  $0,3 \mu\text{m}$ , la tenue en tension du LDMOS conventionnel chute de 48 à 20 Volts (soit une baisse de 58%) alors que celle du transistor LUDMOS à tranchée peu profonde ( $a = 0,5 \mu\text{m}$ ) passe de 58 à 51 Volts (soit une baisse de seulement 12%).

Ceci est un résultat fondamental : la longueur de drift n'est plus le paramètre prépondérant agissant sur la tenue en tension. La tension de claquage du composant est ici principalement gouvernée par la profondeur et la position de la tranchée. La quasi-totalité du potentiel dans le transistor LUDMOS étant encaissée par l'oxyde de la tranchée, la chute de potentiel entre celle-ci et le drain est négligeable devant celle soutenue par l'oxyde : il apparaît donc possible de rapprocher le drain de la tranchée pour réduire la surface du composant sans diminuer la tenue en tension.

### II.3.1.2 Fonctionnement et performances à l'état passant

Comme précisé au chapitre I, à l'état passant, le paramètre primordial est la résistance passante spécifique qui est le produit de la résistance à l'état passant  $R_{ON}$  par la surface active du composant  $S$ . Ce paramètre est "pratique" puisqu'il est le même pour un composant dans sa globalité ou pour une simple cellule de ce même composant. Dans ce qui suit, nous raisonnerons au niveau de la cellule élémentaire.

La résistance à l'état passant du transistor LUDMOS 1 peut être décomposée suivant trois résistances : la résistance du canal  $R_{ch}$  qui reste identique à celle du LDMOS conventionnel, la résistance d'accumulation  $R_{acc}$  et la résistance de drift  $R_d$ . La Figure II.9 montre la localisation de ces résistances et leur décomposition au niveau d'une cellule élémentaire d'un transistor LUDMOS 1 :

$$R_{ON} = R_{ch} + R_{acc} + R_d \tag{II.2}$$

#### II.3.1.2.a Résistance d'accumulation

La résistance d'accumulation  $R_{acc}$  est la résistance qui relie la fin du canal d'inversion sous la grille au début de la tranchée. Cette résistance dépend essentiellement de la distance  $x_c$  entre le canal et le début de la tranchée. Une tranchée proche du canal ( $x_c$  faible) fait emprunter aux électrons un chemin très étroit à la sortie du canal ; les lignes de courant sont alors resserrées à ce niveau. Ce phénomène provoque une forte augmentation de  $R_{acc}$  et donc de la résistance passante  $R_{ON}$ . À l'inverse, une tranchée placée loin du canal ( $x_c$  élevé) entraîne la diminution de  $R_{acc}$  (et donc de  $R_{ON}$ ) car le courant n'est plus "pincé", tandis que la surface active  $S$  du composant augmente. Il fallait donc trouver la valeur optimale de  $x_c$ , résultant d'un bon compromis entre  $R_{ON}$  et  $S$ , afin d'obtenir une résistance passante spécifique  $R_{ON} \cdot S$  minimale. Pour la technologie utilisée dans ce travail, ce minimum a été obtenu pour  $x_c = 0,7 \mu\text{m}$ , cette position de la tranchée étant par ailleurs compatible avec les impératifs de tenue en tension exposés précédemment (§II.3.1.1.b).

II.3.1.2.b Résistance de drift

La résistance de drift  $R_d$  peut être décomposée en 4 résistances (Figure II.9) :

$$R_d = R_{d1} + R_{d2} + R_{d3} + R_{d4} \tag{II.3}$$

où  $R_{d1}$  est la résistance correspondant à la partie verticale gauche de la tranchée,  $R_{d2}$  la résistance de la partie inférieure latérale de cette tranchée,  $R_{d3}$  la résistance correspondant à la partie verticale droite de la tranchée et  $R_{d4}$  la résistance entre la tranchée et le drain.

La profondeur de la tranchée est le paramètre le plus pénalisant pour la résistance de drift du transistor LUDMOS : plus la tranchée est profonde, plus  $R_d$  augmente. En effet, une tranchée profonde constitue une "barrière" pour les électrons qui ne peuvent alors pas suivre une trajectoire horizontale depuis le canal jusqu'au drain ; ils sont orientés en profondeur dans l'épitaxie et leur trajet vers le drain est alors beaucoup plus long que dans le cas d'un transistor LDMOS conventionnel. À titre d'exemple, la résistance passante spécifique  $R_{ON.S}$  passe de  $1,2 \text{ m}\Omega.\text{cm}^2$  à  $3,2 \text{ m}\Omega.\text{cm}^2$ , lorsqu'on fait varier la profondeur de la tranchée de  $0 \text{ }\mu\text{m}$  (LDMOS conventionnel) à  $3 \text{ }\mu\text{m}$ . On multiplie quasiment par 3 la résistance passante spécifique, ce qui va évidemment à l'encontre du but initialement recherché.

Plus précisément, en étudiant les 4 résistances séparément,  $R_{d1}$  est la résistance la plus touchée : en effet, sur le flanc gauche de la tranchée, la chute de tension observée est importante du fait de la différence de potentiel conséquente qui existe entre la surface du transistor, polarisée à la tension de grille  $V_{gs}$ , et le bas de la tranchée. Cet effet a une conséquence directe sur  $R_{d1}$  et ce d'autant plus que la tranchée est profonde. Quand la tranchée dépasse  $1 \text{ }\mu\text{m}$  de profondeur,  $R_{d1}$  devient en fait la résistance prépondérante dans la composition de  $R_d$ . La résistance  $R_{d2}$  dépend principalement de la largeur de la tranchée. Dans notre étude, elle varie donc très peu puisque cette largeur de tranchée avait été fixée à  $0,5 \text{ }\mu\text{m}$  (§II.3.1.1.a). La résistance  $R_{d3}$  varie peu en fonction de la profondeur de la tranchée. En effet, l'absence de l'électrode de grille en surface de la zone de drift fait que les porteurs ne sont pas attirés en surface du silicium. Un tel phénomène induit une faible chute de tension sur le flanc droit de la tranchée. Enfin,  $R_{d4}$  est directement proportionnelle à la distance entre le flanc droit de la tranchée et le drain. C'est une conséquence qui est donc étonnante dans le cas de tranchées peu profondes et d'importantes longueurs de drift  $L_d$ . À l'inverse, elle est relativement faible quand la tranchée est profonde car la chute de tension entre tranchée et drain est alors très faible, quelle que soit la valeur de  $L_d$  (dans ce cas, c'est la tranchée qui soutient quasiment toute la tension appliquée entre drain et source).

II.3.1.2.c Évolution de la résistance passante spécifique en fonction de la longueur de drift

La Figure II.12 présente l'évolution, en fonction de  $L_d$ , de la résistance passante spécifique du transistor LDMOS conventionnel et du transistor LUDMOS 1 pour différentes profondeurs de la tranchée.

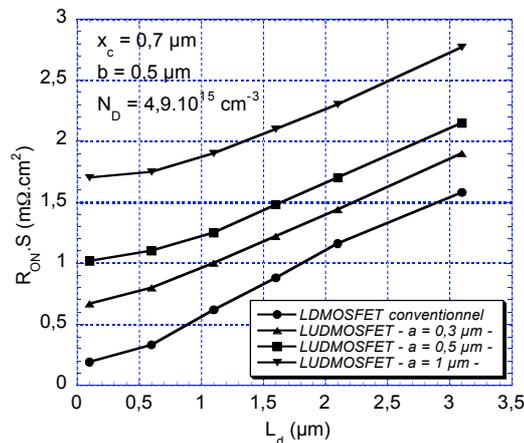


Figure II.12 : Variations de la résistance passante spécifique en fonction de la longueur de drift pour les structures LUDMOS (pour différentes profondeurs "a" de la tranchée) et pour le transistor LDMOS conventionnel.

Comme attendu, il apparaît ici clairement que la résistance passante spécifique du transistor LUDMOS 1 est très importante quelle que soit la longueur de drift. Ces résultats doivent certes tenir compte du fait que la tenue en tension est, elle, améliorée (Figure II.11) mais le compromis entre ces deux paramètres n'est pas satisfaisant : en particulier, la surface du comensant et le trajet des porteurs entre fin du canal et drain sont très grands.

II.3.1.3 Conclusions sur la structure LUDMOS 1

La structure LUDMOS 1 est une structure relativement simple à concevoir : il suffit de graver une tranchée peu large et peu profonde dans la zone épitaxiée d'un transistor LDMOS conventionnel. Les performances affichées à l'état bloqué sont très intéressantes puisque la longueur de drift n'est plus le paramètre prépondérant agissant sur la tenue en tension ; celle-ci est désormais principalement gouvernée par la profondeur de la

tranchée. Il apparaît donc possible de rapprocher le drain de la tranchée pour réduire la surface du composant sans diminuer la tenue en tension. De plus, ce "rapprochement" devrait avoir un effet bénéfique sur la résistance passante spécifique  $R_{ON.S}$ , en agissant à la fois sur  $R_{ON}$  (diminution du trajet des porteurs, suppression de la résistance  $R_{d4}$ ) et sur  $S$  (réduction de la taille de la cellule).

### II.3.2 Transistor LUDMOS 2

La structure LUDMOS 2 proposée (Figure II.13) découle des conclusions du §II.3.1 : le drain  $N^+$  est situé au droit de la tranchée. Le gain en surface par rapport au LUDMOS 1 (et par rapport à la structure LDMOS conventionnelle) est de l'ordre de 25% pour une largeur de tranchée de  $0,5 \mu m$ .

#### II.3.2.1 Fonctionnement et performances à l'état bloqué

Les mêmes simulations que celles qui sont présentées Figure II.10 et Figure II.11 pour le LUDMOS 1 donnent les mêmes résultats ; cela n'a rien de surprenant puisque la tension soutenue entre la fin de la tranchée et le drain était négligeable dans le LUDMOS 1. Les performances à l'état bloqué sont donc identiques pour les 2 structures. En outre la profondeur et la largeur de la tranchée devant être assez faibles pour ne pas pénaliser les performances à l'état passant, nous avons cherché une autre voie permettant d'améliorer la tenue en tension : la solution retenue a été d'augmenter la longueur de la grille  $L_g$ . En effet, lorsque la grille couvre la quasi-totalité de la tranchée, la courbure des lignes équipotentielles est réduite.

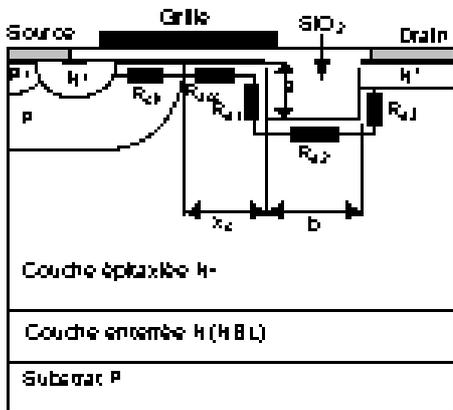


Figure II.13 : Coupe schématique du transistor LUDMOS 2 et localisation des principales composantes de sa résistance à l'état passant.

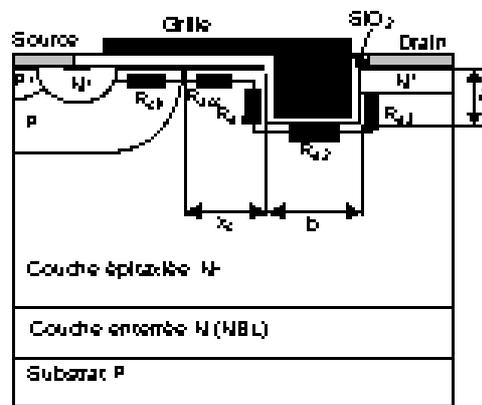


Figure II.14 : Coupe schématique du transistor LUDMOS 3 et localisation des principales composantes de sa résistance à l'état passant.

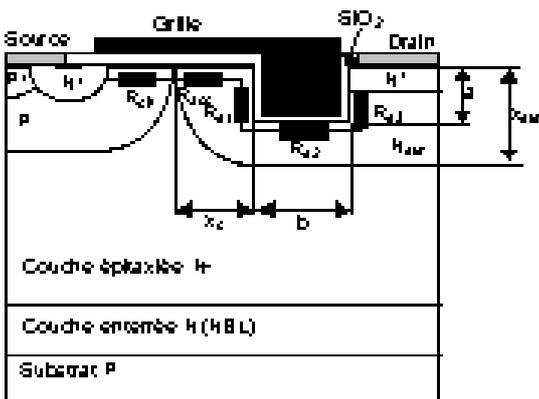


Figure II.15 : Coupe schématique du transistor LUDMOS 4 et localisation des principales composantes de sa résistance à l'état passant.

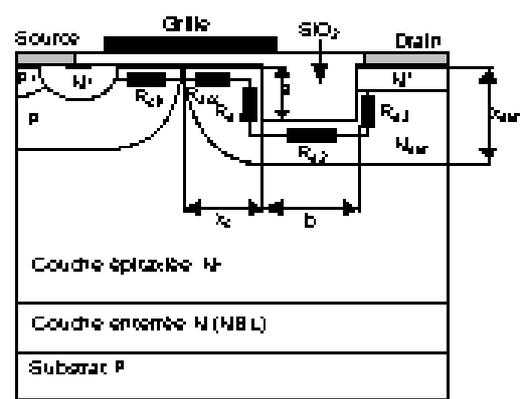


Figure II.16 : Coupe schématique du transistor LUDMOS 5 et localisation des principales composantes de sa résistance à l'état passant.

#### II.3.2.2 Fonctionnement et performances à l'état passant

Le fonctionnement à l'état passant du transistor LDMOS 2 est similaire à celui du LDMOS 1 mais le trajet des porteurs est plus court, minimisant ainsi la résistance à l'état passant  $R_{ON}$ , et la surface active  $S$  est réduite de 25% : la résistance passante spécifique  $R_{ON.S}$  est donc améliorée, mais la valeur affichée ( $1,2 m\Omega.cm^2$ ) reste similaire à celle d'un transistor LDMOS conventionnel. En faisant varier  $L_g$ , la résistance passante spécifique est

légèrement réduite (amélioration de 12%) ; ceci est dû au fait que l'extension de l'électrode de grille permet de créer une zone d'accumulation autour de la tranchée (qui est peu profonde) et donc de réduire légèrement  $R_{d1}$ ,  $R_{d2}$  et  $R_{d3}$ . Pour obtenir une diminution plus "spectaculaire" de  $R_{d1}$ ,  $R_{d2}$  et  $R_{d3}$ , et donc de la résistance passante spécifique, une solution serait de remplir la tranchée avec du polysilicium pour créer une "vraie" couche accumulée sur les flancs de cette tranchée.

### **II.3.3 Transistor LUDMOS 3**

La structure LUDMOS 3 proposée (Figure II.14) est une structure LUDMOS 2 dont la tranchée est remplie de polysilicium. Du point de vue technologique, ce remplissage nécessite une étape supplémentaire (donc un coût supplémentaire).

#### **II.3.3.1 Fonctionnement et performances à l'état bloqué**

optimale de l'oxyde au bas de la tranchée, ou, ce qui revient au même, la profondeur optimale du polysilicium dans cette tranchée  $x_{poly}$  : lorsqu'on augmente cette profondeur, le lieu de claquage bascule du flanc gauche vers le flanc droit de la tranchée. Le cas où le pic d'ionisation par impact est identique sur les deux flancs de la tranchée correspond à la valeur la plus élevée de tension de claquage : elle est obtenue pour une profondeur de polysilicium de  $0,1 \mu\text{m}$  (pour  $a = 0,5 \mu\text{m}$ ). Le polysilicium ne doit donc pas être profond dans la tranchée.

#### **II.3.3.2 Fonctionnement et performances à l'état passant**

L'électrode de grille (polysilicium) insérée dans la tranchée permet la création d'une couche accumulée en surface à la sortie du canal, mais aussi autour de la tranchée. Le chemin emprunté par les porteurs est alors moins résistif, en particulier si la profondeur du polysilicium dans la tranchée est importante : en effet, plus l'oxyde est fin, plus les résistances de la couche accumulée sont faibles. Cela est en contradiction avec les impératifs de tenue en tension (§II.3.3.1). Il apparaît qu'une valeur adéquate de  $x_{poly}$  permettant d'aboutir à un bon compromis entre la résistance passante spécifique et la tension de claquage serait une valeur comprise entre  $0,1 \mu\text{m}$  et  $0,2 \mu\text{m}$  ; cependant, outre le fait qu'une telle précision sur la profondeur est technologiquement difficile à obtenir, les valeurs de résistance passante spécifique ainsi obtenues restent équivalentes à celles du LUDMOS 2, notamment en raison de l'augmentation de la largeur de la tranchée.

### **II.3.4 Transistor LUDMOS 4**

La structure LUDMOS 4 (Figure II.15) est une structure LUDMOS 3 surdopée en surface autour de la tranchée. Le surdopage en surface doit permettre une diminution sensible de la résistance passante spécifique de la tranchée ainsi que par la jonction P-body/ $N^-$  : nous pouvons ainsi espérer qu'un surdopage judicieusement choisi ne dégrade pas trop la tenue en tension.

#### **II.3.4.1 Fonctionnement et performances à l'état bloqué**

Les deux paramètres à étudier sont la concentration en surface de la couche implantée ( $N_{sur}$ ) et la profondeur ( $x_{sur}$ ) du surdopage. De  $5.10^{15} \text{ cm}^{-3}$  à  $6.10^{16} \text{ cm}^{-3}$ , la tension de claquage reste constante pour une profondeur du surdopage inférieure à  $1,5 \mu\text{m}$ . Au-delà de  $6.10^{16} \text{ cm}^{-3}$ , elle diminue sensiblement (de  $72 \text{ V}$  à  $60 \text{ V}$ ). Cette diminution est d'autant plus accentuée que le surdopage est profond. Un surdopage en surface "raisonnable" et peu profond ( $N_{sur} < 6.10^{16} \text{ cm}^{-3}$  et  $x_{sur} < 1,5 \mu\text{m}$ ) ne pénalise donc pas la tenue en tension.

#### **II.3.4.2 Fonctionnement et performances à l'état passant**

En augmentant la concentration des porteurs en surface, on améliore forcément la conduction et donc la résistance passante spécifique. Un exemple simple comparant un LUDMOS 3 (donc sans surdopage) et un LUDMOS 4 (optimisé à l'état OFF avec  $N_{sur} = 6.10^{16} \text{ cm}^{-3}$  et  $x_{sur} = 1,5 \mu\text{m}$ ) montre que la résistance passante spécifique passe de  $1,2 \text{ m}\Omega.\text{cm}^2$  à  $0,7 \text{ m}\Omega.\text{cm}^2$ , soit une réduction de 41%. Le surdopage en surface réduit donc considérablement la résistance passante spécifique.

### **II.3.5 Transistor LUDMOS 5**

L'amélioration significative de la résistance passante apportée par le surdopage en surface implique que le remplissage de la tranchée par du polysilicium n'apparaît pas indispensable. La structure LUDMOS 5 proposée (Figure II.16) est donc une structure LUDMOS 2 (donc sans polysilicium dans la tranchée, réduisant ainsi le coût technologique) surdopée en surface autour de la tranchée.

Les propriétés statiques (états bloqué et passant) de cette structure dépendent de critères déjà présentés dans les paragraphes précédents pour les LUDMOS 2, 3 et 4. Toutes choses étant égales par ailleurs, en raison de l'absence de polysilicium dans la tranchée (oxyde épais mais pas de couche accumulée), la tenue en tension est identique à celle du LUDMOS 2 (pour un surdopage respectant les règles du §II.3.4.2) et supérieure à celle du LUDMOS 4. À l'inverse, la résistance passante spécifique est inférieure à celle du LUDMOS 2 et plus importante que celle du LUDMOS 4.

### II.3.6 Conclusion : les meilleures structures LUDMOS

Un nouveau transistor LDMOS de puissance s'appuyant sur le concept de la U-diode latérale a été proposé : il s'agit du transistor LUDMOS qui est un transistor LDMOS conventionnel dans lequel une tranchée d'oxyde a été gravée dans la zone faiblement dopée (ici épitaxie N<sup>-</sup>), sous la fin de la grille.

Concernant les propriétés à l'état bloqué (OFF), une tenue en tension optimale serait obtenue en utilisant une tranchée proche du canal, profonde, large et couverte en quasi-totalité par la grille. Toutefois, ces caractéristiques dégraderaient les performances à l'état passant (ON) : la résistance passante spécifique serait trop importante en raison du pincement des lignes de courant dans la zone d'accumulation sous la grille (tranchée proche du canal), de l'augmentation du trajet des porteurs entre le canal et le drain (tranchée profonde) et de l'augmentation de la surface active de la structure (tranchée large). C'est pourquoi plusieurs variantes de la structure LUDMOS de base ont été proposées : elles ont en commun une distance optimale du canal à la tranchée (ici  $x_c = 0,7 \mu\text{m}$ ), une faible longueur de drift (drain "collé" au flanc droit de la tranchée), une tranchée peu profonde ("a" compris entre 0,3 et 0,5  $\mu\text{m}$ ), relativement peu large ("b" compris entre 0,5 et 1,5  $\mu\text{m}$ ) et couverte dans sa quasi-totalité par du polysilicium. Les meilleures variantes de LUDMOS (LUDMOS 4 et 5) sont celles qui, en plus, utilisent également un surdopage en surface du composant autour de la tranchée, permettant ainsi d'améliorer sensiblement la résistance passante spécifique sans dégrader la tenue en tension.

La Figure II.17 fait la synthèse des meilleures structures LUDMOS en termes de compromis "résistance passante spécifique / tenue en tension". Ces résultats sont comparés à la limite du silicium "conventionnelle" (pour  $h = 0,5 \mu\text{m}$ ), à la limite du LDMOS RESURF, à des transistors LDMOS conventionnels de MOTOROLA et à des composants LDMOS de puissance de la littérature au moment de notre étude (fin 1999). On peut noter que les structures LUDMOS proposées permettent une diminution notable de la résistance passante spécifique pour la gamme des tensions comprises entre 35 et 80 Volts : les valeurs obtenues avec les transistors LUDMOS 4 (de 60 à 80 Volts) sont même en dessous de la limite du silicium, tandis que celles obtenues avec les transistors LUDMOS 5 (de 35 à 60 Volts) sont proches de cette limite. Un exemple intéressant consiste à se placer à une tenue en tension de 47 Volts (tenue en tension des composants de puissance dans les applications automobiles à batteries 12 Volts) et à comparer le transistor LDMOS conventionnel de MOTOROLA et le transistor LUDMOS 5 équivalent : la résistance passante spécifique passe de 1,2  $\text{m}\Omega\cdot\text{cm}^2$  (LDMOS conventionnel présentant un dopage de l'épitaxie égal à  $4,9\cdot 10^{15}\text{cm}^{-3}$ ) à 0,44  $\text{m}\Omega\cdot\text{cm}^2$  (LUDMOS 5 pour le même dopage de l'épitaxie), soit une amélioration de 63%. Par ailleurs, le gain en surface de silicium utilisée par la partie "puissance" dans un circuit intégré de type SMART POWER est important (25%). Les résultats obtenus montrent donc la supériorité du transistor LUDMOS par rapport à tous les autres travaux présentés auparavant, que ce soit au niveau des performances électriques ou de l'encombrement.

## II.4 Le transistor LUDMOS RESURF

La U-diode latérale précédemment proposée (§II.2.2) et les transistors LUDMOS en découlant (§II.3) présentent une tenue en tension maximale correspondant à celle de la jonction plane PN<sup>-</sup>. Par ailleurs, nous avons vu au chapitre I (§I.2.5) que la technologie RESURF permettait d'améliorer la tenue en tension des composants LDMOS conventionnels. Pour améliorer la tenue en tension des transistors LUDMOS, MOTOROLA a donc décidé de leur appliquer la technologie RESURF : il suffit de remplacer la région épitaxiée N<sup>-</sup> par deux régions N<sup>-</sup> et P<sup>-</sup> (ici une diffusion N<sub>well</sub> sur une couche épitaxiée P<sup>-</sup>) et de connecter la région P<sup>-</sup> à la région P de canal (Figure II.18).

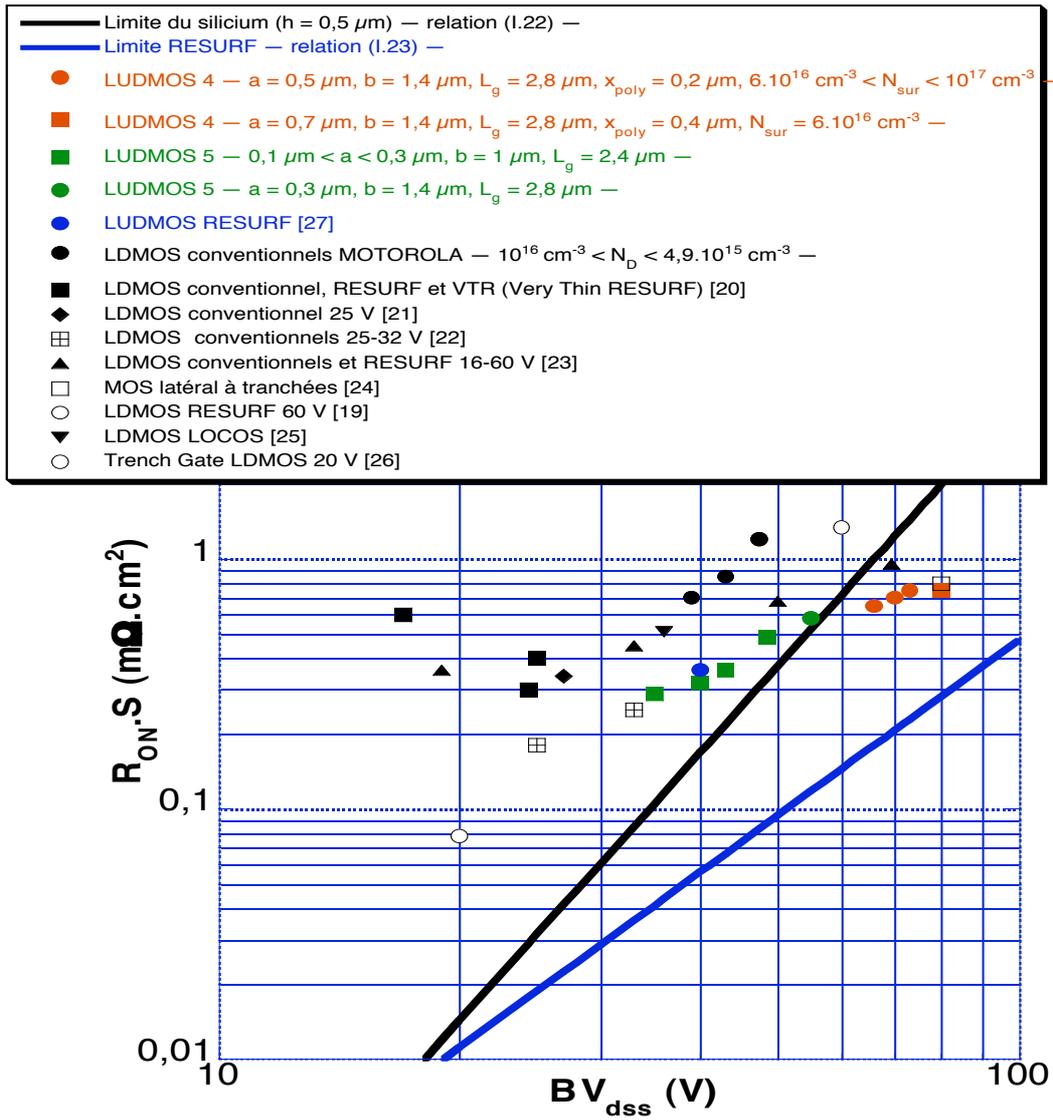


Figure II.17 : Evolution de la résistance passante spécifique  $R_{ON.S}$  en fonction de la tenue en tension  $BV_{dss}$  pour le transistor LDMOS conventionnel, pour les transistors LUDMOS 4 et 5 et pour d'autres transistors LDMOS de la littérature.

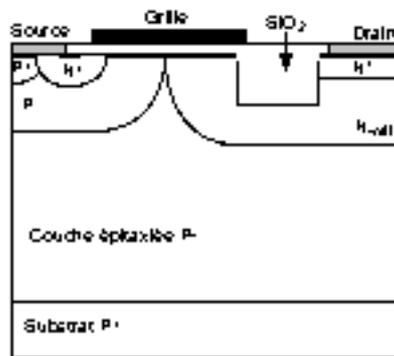


Figure II.18 : Coupe schématique du transistor LUDMOS RESURF réalisé par MOTOROLA (technologie HiPerMOS™) [27].

Le transistor LUDMOS RESURF ainsi obtenu présente une résistance passante mesurée de  $37 \text{ m}\Omega.\text{cm}^2$  pour une tenue en tension de 47 V. La Figure II.17 montre que le compromis entre  $R_{ON.S}$  et  $BV_{dss}$  est semblable au LUDMOS 5 ; notons cependant que le LUDMOS RESURF est un composant réel alors que le LUDMOS n'est qu'un composant simulé ! Ses performances statiques sont proches de la limite conventionnelle du silicium mais relativement éloignées de la limite du LDMOS RESURF : ceci est lié au fait que la résistance de canal est

relativement importante à ce faible niveau de tension ; par ailleurs, la tranchée étant uniquement remplie d'oxyde pour des raisons de coût technologique, la résistance passante spécifique n'a pas été optimisée (pas de couche accumulée le long des parois de la tranchée). Cependant, les performances sont meilleures que celles des LDMOS RESURF conventionnels [20], [21], [23] ; comme pour les composants LUDMOS "classiques", ceci est dû principalement à la réduction de la taille du composant LUDMOS RESURF par rapport au LDMOS RESURF.

### II.5 Le transistor VDMOS à oxyde enterré

Le concept de la U-diode verticale ne nous étant pas apparu intéressant pour les transistors VDMOS basse tension ( $BV_{dss} < 100$  V), il nous est apparu plus judicieux d'étudier, d'un point de vue uniquement théorique, le transistor VDMOS à oxyde enterré haute tension ( $BV_{dss}$  autour de 1000 V). Nous sommes partis d'un transistor VDMOS conventionnel 900 V (dopage  $N_D$  de l'épitaxie égal à  $2,5 \cdot 10^{14} \text{ cm}^{-3}$ ) et nous avons inséré un oxyde dans la couche épitaxiée (Figure II.19) ; nous avons ensuite étudié le compromis " $R_{ON.S}/BV_{dss}$ " en faisant varier la longueur " $l_{ox}$ " et l'épaisseur " $e$ " de cet oxyde.

#### II.5.1 Influence de la longueur de l'oxyde

La Figure II.20 représente un exemple des variations de la tenue en tension et de la résistance passante spécifique du VDMOS à oxyde enterré en fonction de la longueur de cet oxyde. Plus l'oxyde est long, meilleure est la tenue en tension, comme cela avait été également prouvé en basse tension sur la U-diode verticale (Figure II.7) ; cela se fait au détriment de la résistance passante spécifique puisque la section de conduction entre drain et source est réduite. Le cas " $l_{ox} = 0 \mu\text{m}$ " correspond au transistor VDMOS conventionnel —  $BV_{dss} = 900$  V et  $R_{ON.S} = 0,11 \Omega \cdot \text{cm}^2$  conformément à la relation (I.19) —.

Le simple examen du cas correspondant à  $l_{ox} = 15 \mu\text{m}$  montre que le VDMOS à oxyde enterré ne présente aucun intérêt (du moins dans cet exemple où l'épaisseur de l'oxyde est de  $12 \mu\text{m}$ ) par rapport au transistor VDMOS conventionnel équivalent : en effet, pour  $l_{ox} = 15 \mu\text{m}$ , la tenue en tension de ce nouveau VDMOS est de 1100 Volts pour une résistance passante spécifique de  $0,3 \text{ m}\Omega \cdot \text{cm}^2$  alors qu'un VDMOS 1100 Volts conventionnel présente une résistance passante spécifique égale à  $0,18 \text{ m}\Omega \cdot \text{cm}^2$  — toujours selon (I.19) —.

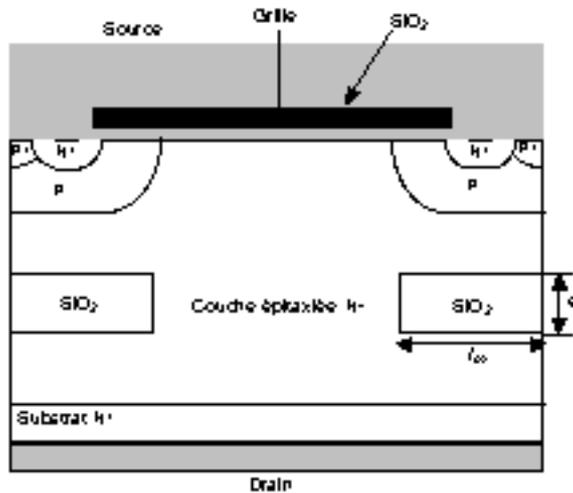


Figure II.19 : Coupe schématique du transistor VDMOS à oxyde enterré.

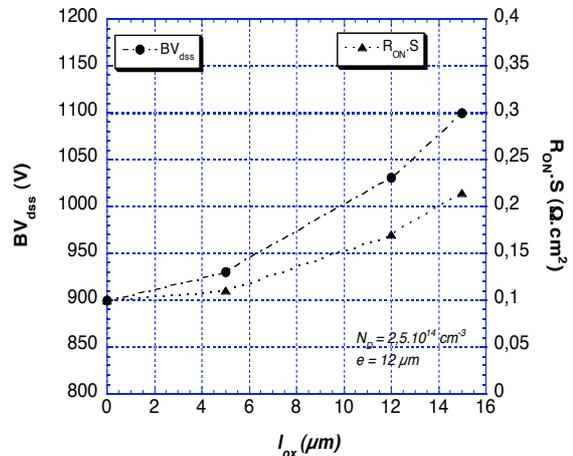


Figure II.20 : Variations de la tenue en tension et de la résistance passante spécifique du transistor VDMOS à oxyde enterré en fonction de la longueur de la tranchée.

#### II.5.2 Influence de la profondeur de l'oxyde

La Figure II.21 montre l'évolution de la tenue en tension en fonction de l'épaisseur de l'oxyde, pour une longueur d'oxyde  $l_{ox}$  de  $12 \mu\text{m}$  : la tenue en tension passe de 900 Volts (VDMOS conventionnel) à 1150 Volts (VDMOS avec un oxyde enterré de  $45 \mu\text{m}$  d'épaisseur). La tenue en tension est simplement améliorée par le fait que l'oxyde épais soutient une grande partie de la tension à la place du silicium, le champ électrique critique de l'oxyde étant en effet supérieur à celui du silicium. Notons qu'un résultat quasiment similaire pourrait être obtenu en insérant plusieurs oxydes fins équidistants les uns des autres.

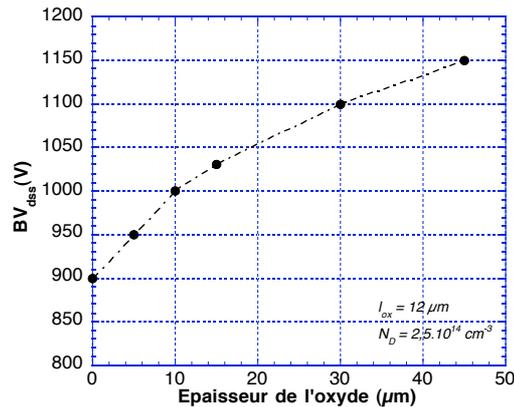


Figure II.21 : Variation de la tenue en tension du transistor VDMOS à oxyde enterré en fonction de l'épaisseur de l'oxyde.

Si on doit comparer le nouveau transistor et le transistor VDMOS conventionnel pour une tenue en tension fixée (par exemple,  $BV_{dss} = 900$  V), il est donc possible d'augmenter le dopage de l'épitaxie du VDMOS à oxyde enterré (cas où l'épaisseur est de  $45 \mu\text{m}$ ) : la résistance passante spécifique vaut alors  $0,083 \Omega \cdot \text{cm}^2$  contre  $0,110 \Omega \cdot \text{cm}^2$  pour le VDMOS conventionnel, soit une amélioration de 25%. Ceci est un résultat intéressant mais nécessitant une technologie complexe et coûteuse pour réaliser un oxyde enterré à dans le silicium. Le transistor VDMOS à oxyde enterré ne nous semble donc pas un composant d'avenir.

## II.6 Conclusion

Le concept de la U-diode a été présenté dans ce chapitre : il consiste simplement en l'introduction d'un oxyde dans la zone faiblement dopée d'une diode PN<sup>-</sup>N<sup>+</sup> latérale (U-diode latérale) ou verticale (U-diode verticale). L'objectif était d'utiliser l'oxyde pour assurer toute ou une partie de la tension blocable. La configuration du champ électrique dans un oxyde étant rectangulaire (alors qu'elle est triangulaire ou trapézoïdale dans le silicium), nous étions en droit d'attendre une amélioration sensible de la tenue en tension par rapport à des diodes conventionnelles.

L'utilisation de la U-diode latérale a effectivement permis d'atteindre une tenue en tension égale à la tenue en tension de la jonction plane alors que, dans une diode conventionnelle, c'est la jonction cylindrique (en 2D) ou sphérique (en 3D) qui claque prématurément. Ce résultat est atteint à condition d'utiliser une tranchée d'oxyde large et profonde : ce n'est pas intéressant pour les composants LDMOS de puissance dont on désire améliorer le compromis " $R_{ON,S}/BV_{dss}$ ". Cependant, ce concept peut être utilisé en tant que terminaison de jonction de composants verticaux haute tension.

Concernant la U-diode verticale, la tenue en tension obtenue est supérieure à la celle de la jonction plane à condition que l'oxyde inséré dans la zone faiblement dopée occupe plus de 60% de la surface du composant. Ici aussi, ce résultat n'apparaît donc pas intéressant pour les composants VDMOS de puissance dont on désire améliorer le compromis " $R_{ON,S}/BV_{dss}$ ".

Le concept de la U-diode latérale a été appliqué au transistor LDMOS, en se limitant aux cas de tranchées peu larges et peu profondes, comme celles qui font office de structures d'isolation latérale entre les divers composants dans les dispositifs CMOS modernes. Plusieurs structures, baptisées LUDMOS, ont été proposées. Certaines d'entre elles présentent un excellent compromis entre résistance passante spécifique et tenue en tension dans la gamme des basses tensions de claquage ( $BV_{dss} < 100$  V) ; ce compromis est proche ou même parfois meilleur que la limite du silicium des composants LDMOS conventionnels. Certes, le claquage est toujours ici un claquage "conventionnel" (claquage d'une jonction PN ou phénomène RESURF) mais la tranchée d'oxyde permet l'utilisation de la profondeur (3<sup>e</sup> dimension) pour soutenir la tension et s'affranchir ainsi de la longueur de drift, qui était une limitation fondamentale dans les composants LDMOS conventionnels. Par ailleurs, les composants LUDMOS proposés s'appuient sur des technologies existantes : ce sont donc des composants d'ores et déjà réalisables sans aucune nécessité de saut technologique majeur ; ce sont aussi et surtout des composants intégrables dans les circuits intégrés de puissance SMART POWER. Des composants LUDMOS RESURF sont d'ailleurs utilisés depuis 2001 dans la technologie HiPerMOS<sup>TM</sup> de MOTOROLA [27], [28]. D'autres équipes se sont également inspirées de nos travaux sur le LUDMOS : on peut citer notamment le Trench Gate LDMOS [26], dans lequel la tranchée est gravée dans la courbure de la jonction P-body/N<sup>-</sup>, le "Folded gate LDMOS" [29] et le TLMP — Trench Lateral Power MOSFET — [30] dans lequel la source et la grille sont enterrées dans le silicium pour augmenter la densité d'intégration. Cependant, ces structures nécessitent l'utilisation de technologies complexes et coûteuses par rapport à la technologie LUDMOS.

Notons par ailleurs que les simulations sur lesquelles s'est appuyée notre étude, étaient des simulations physiques bidimensionnelles : en effet, cette étude ayant été réalisée de 1996 à 1999, nous ne disposions alors pas d'outils 3D performants. Cela signifie que nous nous sommes limités au cas des transistors LDMOS interdigités (drain, source, grille et tranchée en forme de "doigts") : nous n'avons pas pu, par exemple, évaluer le compromis " $R_{ON.S} / BV_{dss}$ " dans le cas où les tranchées auraient été "ouvertes".

Les transistors VDMOS à oxyde enterré, inspirés de la U-diode verticale, ont également été étudiés ; une amélioration du compromis " $R_{ON.S}/BV_{dss}$ " a été observée mais elle n'a pas été jugée suffisamment significative par rapport au coût technologique supplémentaire induit par l'introduction d'un oxyde dans la zone volumique faiblement dopée.

Le concept d'oxyde dans la zone de drift semble donc réservé aux composants latéraux, c'est-à-dire en priorité aux composants de puissance intégrables. Nos travaux effectués dans ce cadre ont donc proposé des solutions innovantes qui permettent de réduire la taille de la partie "puissance" dans les circuits intégrés de puissance basse tension ( $BV_{dss} < 100$  V), tout en assurant d'excellentes performances statiques. Concernant les performances dynamiques, peu étudiées jusqu'à présent, le principal inconvénient dans les LUDMOS provient du surdopage en surface qui pénalise la capacité Miller (capacité  $C_{gd}$ ). Les LUDMOS semblent donc réservés à des applications basse fréquence ; des solutions à double niveau d'oxyde, à oxydes dissymétriques ou à grille partielle permettraient cependant d'augmenter la fréquence d'utilisation de ces composants. Enfin, pour des tensions de claquage plus élevées ( $BV_{dss} > 100$  V), le LUDMOS n'apparaît pas compétitif par rapport au LDMOS RESURF et au LDMOS à Superjonction présentés au chapitre I.

## Références bibliographiques

- [1] P.S. Robb, L.J. Sutor, "Recent advances in power integrated circuits with high level integration", Proceedings ISPSD'94, pp. 343-348, 1994.
- [2] M. Zitouni, "Une nouvelle structure d'interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS", Thèse de doctorat, Université Paul Sabatier, Toulouse, France, 1999.
- [3] W. Fulop, "Calculation of avalanche breakdown of silicon PN junction", Solid-State Electronics, Vol. 10, N°1, 1967, pp. 39-43.
- [4] S.C. Sun, "Physics and technology of power MOSFETs", Ph.D dissertation, Stanford University, Stanford, CA, USA, 1982.
- [5] S.M. Sze, "Physics of semi-conductor devices", Edition Willey & Sons, 1981.
- [6] B.J. Baliga, "Modern power devices", Krieger Publishing company, Malabar, Florida, USA, 1992.
- [7] M. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions (300 V à 1000 V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1985.
- [8] D. Dragomirescu, "Conception des terminaisons de jonctions pour des dispositifs très haute tension – Aspects statiques et dynamiques", Thèse de Doctorat, INSA, Toulouse, France, 2001.
- [9] V.A.K. Temple, W. Tantraporn, "Junction Termination Extension for Near-Ideal Breakdown Voltage in p-n junctions", IEEE Transactions on Electronic Devices Vol. 23, 8, Août 1976.
- [10] D. Dragomirescu, G. Charitat, F. Morancho, P. Rossel, "Novel concepts for high voltage junction termination techniques using very deep trenches", 22<sup>nd</sup> International Semiconductor Conference (CAS'99), Sinaia (Roumanie), pp. 67-70, Octobre 1999.
- [11] R. Dennard, F. Gaenssien, "Design of ion implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid State Circuits, Vol. 9, p. 256, Septembre 1974.
- [12] P. Sallagoity, "Etude et réalisation de structures avancées d'isolement par tranchées peu profondes pour technologies CMOS 0,25  $\mu$ m", Thèse de Doctorat, Université Joseph Fourier, Grenoble, 1997.
- [13] A. Brayant, W. Hansch, T. Mii, "Characteristics of CMOS device isolation for the ULSI age", Proceedings IEDM'94, pp. 671-674, 1994.
- [14] A.H. Perera, J.H. Lin, Y.C. Yu, M. Azrak et al, "Trench isolation for 0.45  $\mu$ m active pitch and below", Proceedings IEDM'95, pp. 679-682, 1995.
- [15] S. Nag, A. Chatterjee, K. Taylor, I. Ali, "Comparative evaluation of gap-fill dielectrics in shallow trench isolation for sub-0.25  $\mu$ m technologies", Proceedings IEDM'96, pp. 841-844, 1996.
- [16] P.C. Fazan, V.K. Mathews, "A highly manufacturable trench isolation process for deep submicronic DRAM's", Proceedings IEDM'93, pp. 57-60, 1993.
- [17] U. Schwalke, M. Kerber, "Extigate: The ultimate process architecture for sub-0,25  $\mu$ m CMOS technologies", Proceedings ESSDERC'96, pp. 317-320, 1996.
- [18] K. Ishimaru, H. Gojohbori, H. Koike, Y. Unno et al., "Trench isolation technology with 1  $\mu$ m depth n- and p-wells for a full CMOS SRAM cell with a 0.4  $\mu$ m n+/p+ spacing", Symposium on VLSI Technology 94, pp. 97-100, 1994.
- [19] O-K. Know, T. Efland, W.T. Ng, S. Malhi, R. Todd, J.K. Lee, "Optimized 60 V lateral DMOS devices for VLSI power applications", Symposium on VLSI technology, 1991.

- [20] T. Efland, C.Y. Tsai, J. Erdeljac, J. Mitros, L. Hutter, "A performance comparison between reduced surface drain 'RSD' LDMOS and resurf and conventional planar power devices rated at 20 V", Proceedings ISPSD'97, pp. 185-188, 1997.
- [21] S. Merchant, R. Baird, P. Hui, R. Thoma, J. Victory, "High performance 20-30V LDMOS transistors in a 0.65  $\mu\text{m}$ -based BiCMOS compatible process", Proceedings BCTM'97, pp. 202-205, 1997.
- [22] V. Parthasarathy, R. Zhu, W. Peterson, M. Zunino, R. Baird, "A 33 V, 0.25  $\text{m}\Omega\cdot\text{cm}^2$  n-channel LDMOS in a 0.65  $\mu\text{m}$  Smart Power technology for 20-30 V applications", Proceedings ISPSD'98, pp. 61-64, 1998.
- [23] C.Y. Tsai, T. Efland, S. Pendharkar, J. Mitros, A. Tessmer, J. Smith, J. Erdeljac, L. Hutter, "16-60 V rated LDMOS show advanced performance in a 0.72  $\mu\text{m}$  evolution BiCMOS power technology", Proceedings IEDM'97, pp. 367-370, 1997.
- [24] N. Fujishima, C.A.T. Salama, "A trench lateral power MOSFET using self-aligned trench bottom contact holes", Proceedings IEDM'97, pp. 359-362, 1997.
- [25] D. Lin, S.L. Tu, Y. See, P. Tam, "A novel LDMOS structure with a step gate oxide", Proceedings IEDM'95, pp. 963-966, 1995.
- [26] A. Nakagawa, Y. Kawaguchi, "Improved 20 V lateral trench gate power MOSFETs with very low On-resistance of 7.8  $\text{m}\Omega\cdot\text{mm}^2$ ", Proceedings ISPSD'2000, pp. 47-50, 2000.
- [27] E. De Fresart, R. De Souza, J. Morrison, P. Parris, J. Heddleson, V. Senkatesan, W. Paulson, D. Collins, G. Nivison, B. Baumert, W. Cowden, D. Blomberg, "Integration of multi-voltage analog and power devices in a 0.25 $\mu\text{m}$  CMOS + Flash memory process", Proceedings ISPSD'02, pp. 305-308, 2000.
- [28] R. Zhu, V. Parthasarathy, V. Khemka, A. Bose, "A 0.25-micron Smart Power technology optimized for wireless and consumer applications", Proceedings ISPSD'03, pp. 178-181, 2003.
- [29] S. Xu, Y. Zhu, P.-D. Foo, Y.C. Liang, J.K.O. Sin, "Folded gate LDMOS with low On-resistance and high transconductance", Proceedings ISPSD'2000, pp. 55-58, 2000.
- [30] A. Sugi, M. Sawada, S. Kajiwara, N. Fujishima, C.A.T. Salama, "A 30V class extremely low On-resistance meshed trench lateral power MOSFET", Proceedings ISPSD'02, pp. 297-300, 2002.
- [31] T. Fujihira, "Theory of semiconductor superjunction devices", Journal of Applied Physics. Vol. 36, pp. 6254-6262, 1997.

## Nos publications scientifiques sur le sujet

- [C1] D. Dragomirescu, G. Charitat, F. Morancho, P. Rossel, "Novel concepts for high voltage junction termination techniques using very deep trenches", 22<sup>nd</sup> International Semiconductor Conference (CAS'99), Sinaia (Roumanie), pp. 67-70, Octobre 1999.
- [C2] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, "A new lateral DMOSFET structure with extremely reduced On-resistance and enhanced breakdown voltage", 8<sup>th</sup> European Conference on Power Electronics and Applications (EPE'99), Lausanne (Suisse), Septembre 1999.
- [C3] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, S. Merchant, "A new lateral power MOSFET for smart power IC's: the 'LUDMOS concept'", Microelectronics Journal, Vol. 30, N°6, pp. 551-561, Juin 1999.
- [C4] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, "A new concept for the lateral DMOS transistor for Smart Power IC's", 11<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs (ISPSD'99), Toronto (Canada), pp. 73-76, Mai 1999.
- [C5] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, I. Pagès, "Une nouvelle structure d'interrupteurs pour circuits intégrés de puissance : le concept du transistor LUDMOS", Electronique de Puissance du Futur (EPF'98), Belfort, pp. 53-56, Décembre 1998.
- [C6] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, "A new device for Smart Power integrated circuits: the trench lateral DMOSFET", 21<sup>th</sup> International Semiconductor Conference (CAS'98), Sinaia (Roumanie), Vol. 1, pp. 137-140, Octobre 1998.
- [C7] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, "The LUDMOS: an advanced power device for Smart Power integrated circuits", 4<sup>th</sup> International Seminar on Power Semi-conductors (ISPS'98), Prague (République Tchèque), pp. 91-94, Septembre 1998.
- [C8] M. Zitouni, F. Morancho, H. Tranduc, P. Rossel, J. Buxo, I. Pagès, "Advanced power devices for Smart Power integrated circuits: the trench lateral DMOSFET's", XIII SB Micro, International Conference on Microelectronics and Packaging (ICMP'98), Curitiba (Brésil), pp. 403-409, Août 1998.
- [C9] M. Zitouni, F. Morancho, P. Rossel, J. Buxo, I. Pagès, "A new lateral power MOSFET for Smart Power IC's : the trench LDMOSFET (or LUDMOSFET)", 5<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'98), Lodz (Pologne), pp. 411-414, Juin 1998.
- [C10] P. Rossel, F. Morancho, I. Pagès, J. Buxo, V. Macary, "Lateral semiconductor device and method for forming a lateral semiconductor device", Brevet Motorola, FR Patent Applications N°97113832, Novembre 1997.
- [C11] D. Moncoquit, D. Farenc, P. Rossel, H. Tranduc, G. Charitat, F. Morancho, I. Pagès, J. Victory, "Design of power LDMOS transistors integrated in SmartMOS™ circuits", 7<sup>th</sup> European Conference on Power Electronics (EPE'97), Trondheim (Norvège), pp. 3015-3020, Septembre 1997.

# *Chapitre III*

## **T**ransistors MOS de puissance à îlots flottants

---



### III.1 Introduction

Dans le chapitre I, nous avons montré que les solutions “classiques”, permettant de diminuer de quelques pourcents la résistance passante spécifique des composants unipolaires conventionnels, n’étaient plus satisfaisantes car elles se heurtaient à une limitation fondamentale : la limite du silicium. C’est pour cette raison que de nouvelles approches ont été proposées : nous allons présenter ici une solution originale proposée par le LAAS pour la première fois en 1999 [1] : il s’agit du concept de la diode à îlots flottants insérés dans la zone faiblement dopée (FLI-diode) et de son application aux composants MOS (FLIMOS).

À la base, le travail présenté dans ce chapitre consistait essentiellement à utiliser le concept de la diode à îlots flottants pour améliorer le compromis “tenue en tension / résistance passante spécifique” des composants de puissance VDMOS discrets. Il a été principalement réalisé dans le cadre des thèses de N. Cézac [2], en ce qui concerne le concept, puis de S. Alves [3] pour la première réalisation technologique. Cependant, nous avons aussi étudié l’application de ce concept aux transistors LDMOS en vue de leur intégration dans les circuits de puissance intelligente du type SMART POWER.

Dans ce chapitre, nous allons tout d’abord présenter et valider le concept de la FLI-diode. Nous montrerons que ce concept peut être appliqué aux transistors MOS de puissance latéraux et verticaux, mais aussi aux diodes Schottky. L’étude à l’état bloqué (tenue en tension) et à l’état passant (résistance passante spécifique) des transistors FLIMOS sera présentée ; le cas des transistors MOS haute tension (cas a priori le plus favorable), mais aussi basse tension, sera traité. Les limites de performances statiques et dynamiques des FLIMOS seront évaluées et comparées à la limite du silicium et aux limites des composants MOS à Superjonction.

### III.2 La FLI-diode

#### III.2.1 Principe

Le concept de la FLI-diode consiste à insérer des îlots P (ou P<sup>+</sup>) flottants — d’où son nom : “**F**loating **I**slands” — dans la zone faiblement dopée (région N<sup>-</sup>) de la diode PN<sup>-</sup>N<sup>+</sup>. On obtient ainsi une alternance de bandes N<sup>-</sup> et P qui, contrairement à la Superjonction, sont perpendiculaires au courant d’anode. La tenue en tension est assurée par les zones N<sup>-</sup>, les régions P agissant uniquement comme des diviseurs de champ électrique (et donc de potentiel) : ainsi, au lieu d’avoir un seul maximum de champ à la jonction principale PN<sup>-</sup>, on obtient plusieurs maxima répartis sur chacune des jonctions PN<sup>-</sup> (Figure III.1). La distribution du champ électrique est donc ici multi-triangulaire alors qu’elle est triangulaire ou trapézoïdale dans une diode conventionnelle PN<sup>-</sup>N<sup>+</sup> (Figures I.3 et I.4) et uniforme dans la Superjonction (Figure I.11.b) et la U-diode (Figures I.15.a).

Considérons une FLI-diode comportant un seul îlot P (Figure III.1) et comparons-la à une diode conventionnelle PN<sup>-</sup>N<sup>+</sup> : pour un même dopage des zones N<sup>-</sup>, les pics de champ électrique qui apparaissent au niveau des deux jonctions PN<sup>-</sup> de la FLI-diode sont inférieurs au pic de champ de la diode conventionnelle. Lorsque cette dernière claquera (champ électrique maximal égal au champ critique de claquage E<sub>C</sub>), la FLI-diode, elle, n’aura donc toujours pas claqué ; en d’autres termes, pour un dopage des zones N<sup>-</sup> inchangé, la FLI-diode affichera une meilleure tenue en tension que la diode conventionnelle.

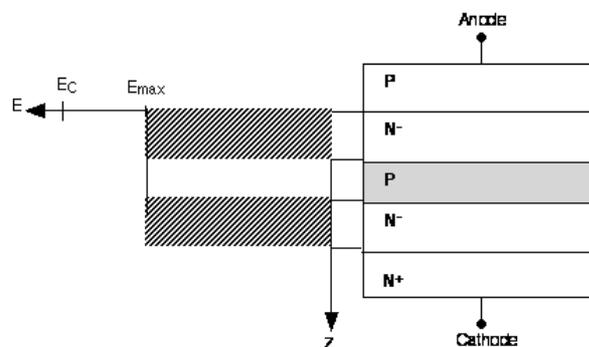


Figure III.1 : Répartition du champ électrique au claquage dans une FLI-diode comportant 1 îlot flottant P.

Une autre façon de raisonner consiste à se placer à une tenue en tension identique pour les deux diodes : dans ce cas, il est donc possible d'augmenter le dopage des régions N<sup>-</sup> de la FLI-diode. On perçoit là l'intérêt d'appliquer ce concept à des composants MOS de puissance : pour une tenue en tension donnée, on peut espérer une diminution de la résistance passante spécifique liée à l'augmentation du dopage des régions N<sup>-</sup>.

Il est bien évident que si l'on augmente le nombre d'îlots P présents dans la zone N<sup>-</sup>, le phénomène (diminution du champ électrique maximal aux jonctions) sera accentué : cela autorisera alors une augmentation conséquente du dopage des couches N<sup>-</sup>, pour une tenue en tension fixée.

### **III.2.2 Étude théorique : la FLI-diode haute tension**

#### **III.2.2.1 Contexte de l'étude**

Le concept de la FLI-diode nous est apparu de prime abord plus intéressant pour les composants MOS haute tension puisqu'ils sont les plus résistifs et que leur résistance passante dépend, pour plus de 95%, du dopage et de l'épaisseur de la région faiblement dopée (Tableau I.1). Nous nous proposons d'étudier ici différentes FLI-diodes 1000 Volts comprenant 0 à 9 îlots P, afin de confirmer l'effet "diviseur de champ électrique" de ces structures en régime bloqué.

Nous avons d'abord choisi d'étudier une diode conventionnelle PN<sup>-</sup>N<sup>+</sup> de 1000 Volts de tension de claquage en nous plaçant dans le cas où l'épaisseur de la couche N<sup>-</sup> est supérieure à l'extension de la zone de charge d'espace, c'est-à-dire en situation de "non perçage" (jonction plane infinie). Le claquage se produit donc en configuration de charge d'espace triangulaire. Pour obtenir une tenue en tension de 1000 Volts, le dopage de la couche N<sup>-</sup> a été fixé à  $1,5 \cdot 10^{14} \text{ cm}^{-3}$ . Notons que la relation (I.13) donne un dopage optimal de  $2 \cdot 10^{14} \text{ cm}^{-3}$ , valeur qui s'est avérée trop élevée pour nos simulations : ceci est dû au fait que, dans le logiciel de simulation ATLAS, le modèle utilisé pour le calcul des coefficients d'ionisation est celui de Selberherr [4] alors que la relation (I.13) correspond à la formulation de Gharbi [5]. L'épaisseur de la couche N<sup>-</sup> qui, dans le cas de figure optimal, doit être de 95  $\mu\text{m}$  — relation (I.12) —, a été surévaluée afin d'éviter tout phénomène de perçage lors de l'intégration future des îlots P : la largeur choisie est 115  $\mu\text{m}$ .

Une FLI-diode comportant un îlot P a ensuite été étudiée. L'îlot présente un dopage uniforme de  $10^{17} \text{ cm}^{-3}$ . Pour garder une même épaisseur totale de diode, sa largeur a été choisie de manière à ce que les deux régions N<sup>-</sup> puissent chacune soutenir 500 Volts. Pour cela, le dopage des couches N<sup>-</sup> est augmenté par rapport à celui de la diode conventionnelle PN<sup>-</sup>N<sup>+</sup>. La même procédure a été utilisée pour des FLI-diodes comportant 3 et 9 îlots P.

#### **III.2.2.2 Répartition du champ électrique et du potentiel au claquage**

La Figure III.2 présente les répartitions, au claquage, du potentiel et du champ électrique qui résultent de la simulation numérique bidimensionnelle des 4 diodes considérées. Le calibre en tension est bien de 1000 Volts pour chacune de ces diodes.

Concernant la diode conventionnelle, nous pouvons remarquer que le champ électrique est bien linéaire dans la zone de transition et que l'allure du potentiel est parabolique. Le claquage se produit bien en situation de non perçage. Concernant les FLI-diodes, la répartition du champ électrique est multi-triangulaire, c'est-à-dire linéaire par morceaux. Les îlots P jouent donc bien leur rôle de diviseur de champ électrique. On peut également observer que le potentiel, parabolique par morceaux, est uniquement supporté par les couches N<sup>-</sup>. En effet, on n'observe aucune chute de tension dans les îlots P, ces derniers étant en effet plus dopés que les couches N<sup>-</sup>. Les différentes structures sont également en configuration de non-perçage. Chaque jonction PN<sup>-</sup> soutient respectivement, suivant le nombre d'îlots, 500 V (pour 1 îlot), 250 V (pour 3 îlots) et 100 V (pour 9 îlots).

Néanmoins, dans le cas des FLI-diodes comportant 3 et 9 îlots, on remarque une légère inhomogénéité du champ électrique et du potentiel sur la dernière jonction. La différence de potentiel aux bornes de la dernière couche N<sup>-</sup> (côté N<sup>+</sup>) est supérieure aux autres : par conséquent, cette couche est en perçage (limitation de charge d'espace) et le champ électrique correspondant est alors plus grand que les autres. Ce phénomène limitatif nous a incité à diminuer légèrement le dopage des couches N<sup>-</sup> et à augmenter leur largeur afin d'éviter un claquage prématuré de la structure.

Le Tableau III.1 regroupe les valeurs de dopage et de largeur des couches N<sup>-</sup> que nous avons utilisées lors des simulations numériques. On peut noter que le dopage a été amélioré d'un facteur 10 entre la structure conventionnelle et la FLI-diode comportant 9 îlots P.

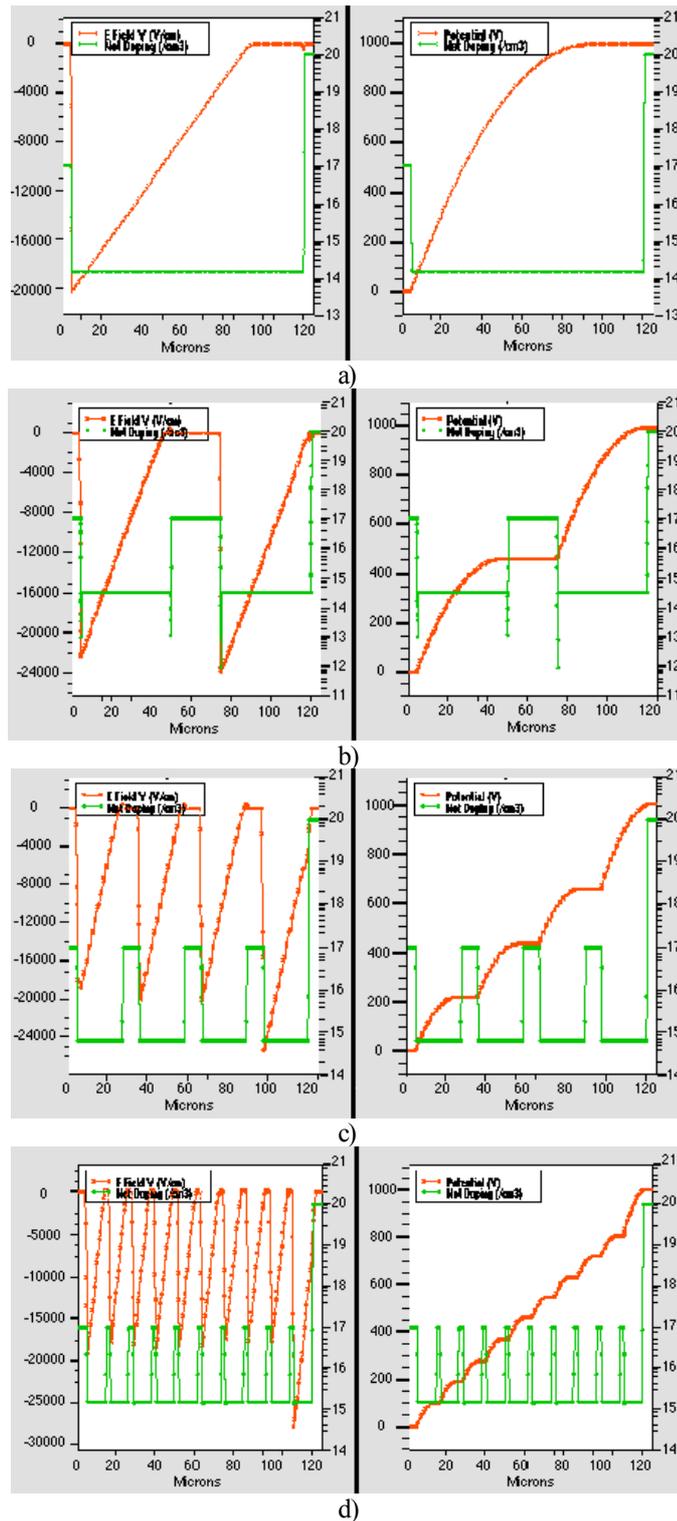


Figure III.2 : Répartition du champ électrique et du potentiel au claquage dans une diode conventionnelle PN+N\* (a), une FLI-diode comportant 1 îlot P (b), 3 îlots P (c) et 9 îlots P (d).

	Diode conventionnelle	FLI-diode 1 îlot	FLI-diode 3 îlots	FLI-diode 9 îlots
$N_D$ (cm <sup>-3</sup> )	$1,5 \cdot 10^{14}$	$3,5 \cdot 10^{14}$	$6,5 \cdot 10^{14}$	$1,5 \cdot 10^{15}$
$W_N$ (μm)	115	45	22,5	9,5

Tableau III.1 : Valeurs du dopage  $N_D$  et de l'épaisseur  $W_N$  utilisées en simulation pour une diode conventionnelle et pour les différentes FLI-diodes.

Les simulations numériques ont donc permis de vérifier le principe de la FLI-diode. Nous avons pu confirmer que l'implantation d'îlots P dans la base N<sup>-</sup> d'une diode conventionnelle P<sup>+</sup>N<sup>-</sup>N<sup>+</sup> permettait de répartir le champ électrique de façon homogène ou quasi-homogène dans toute la structure.

### **III.2.3 Validation expérimentale : la FLI-diode basse tension**

#### **III.2.3.1 Contexte de l'étude**

Nos travaux ayant été réalisés dans le cadre du second Laboratoire Commun entre le LAAS/CNRS et MOTOROLA pour les applications automobiles du futur (batteries 42 Volts), les transistors MOS devaient présenter une tenue en tension minimale de 80 Volts. Avant de concevoir ces transistors MOS, une première étape a consisté à valider le concept des îlots flottants, à démontrer la faisabilité de telles structures ainsi qu'à calibrer le procédé technologique en réalisant des FLI-diodes 80 Volts comportant un simple îlot flottant P.

#### **III.2.3.2 Conception**

Le choix d'une FLI-diode à un seul îlot flottant était dicté à la fois par les contraintes technologiques et par un souci de "simplicité" : une telle structure nécessite en effet l'utilisation de deux épitaxies, la première avant l'implantation des îlots flottants P, la seconde après cette implantation. Par ailleurs, le dopage N<sub>D</sub> de ces épitaxies étant plus élevé que celui d'une diode conventionnelle, la terminaison de la FLI-diode devait être plus complexe que les terminaisons classiques utilisées à ce niveau de tension. Enfin, il était nécessaire de ne pas multiplier le nombre de paramètres critiques qui sont, ici, l'épaisseur et le dopage de chacune des deux épitaxies et de l'îlot flottant, ainsi que la position de cet îlot par rapport à la jonction principale "P-body/épitaxie N<sup>-</sup>" dans le volume.

##### **III.2.3.2.a Cellule centrale**

La principale différence entre une diode conventionnelle et la FLI-diode consiste donc en l'introduction d'une couche enterrée P dans la région volumique N<sup>-</sup>. Les principaux paramètres de cette FLI-diode sont donnés dans le Tableau III.2 : par rapport à une diode conventionnelle PN<sup>-</sup>N<sup>+</sup>, l'épaisseur de la couche épitaxiée (en fait, la somme des épaisseurs des 2 couches épitaxiées) est inférieure — 4 µm contre 4,75 µm — alors que le dopage de ces couches épitaxiées est multiplié par 2. La tenue en tension simulée est de 97 Volts.

Les simulations 2D de la FLI-diode sous polarisation inverse confirment ce qui était attendu (Figure III.3) : le champ électrique est divisé en deux parties, ses maxima étant localisés au niveau des jonctions "P-body/épitaxie N<sup>-</sup>" et "couche enterrée P/épitaxie N<sup>-</sup>" ; la Figure III.3 montre le dopage (a), les distributions du champ électrique (b) et du potentiel (c) au claquage dans la cellule centrale de la FLI-diode. Cette structure est bien en configuration de non-perçage. On constate que le champ électrique est bien linéaire par morceaux ; l'îlot P joue donc bien son rôle de diviseur de champ électrique. On peut également observer que le potentiel, qui est parabolique par morceaux, est uniquement supporté par les couches N<sup>-</sup>, puisqu'on n'observe aucune chute de tension dans l'îlot P.

##### **III.2.3.2.b Cellule de bord**

Pour un composant de puissance, la conception d'une terminaison efficace est primordiale. Dans les composants de puissance conventionnels, le seul moyen d'action était de concevoir des dispositifs tels que le champ électrique dans la région terminale soit le plus proche possible du champ électrique dans la partie plane : les diverses solutions imaginées jusqu'à présent dans la littérature [6] permettaient donc de rapprocher au mieux la tenue en tension des jonctions cylindriques et sphériques de celles des jonctions planes. Avec les composants à îlots flottants qui utilisent, dans le volume, des niveaux de dopage plus élevés que les structures conventionnelles, ces solutions ne sont plus suffisantes. En effet, dans notre exemple, où le dopage dans le volume de la FLI-diode est de  $1,1 \cdot 10^{16} \text{ cm}^{-3}$ , ces solutions permettraient, au mieux, d'atteindre une tenue en tension de l'ordre de 53 Volts — tenue en tension de la jonction PN<sup>-</sup> plane infinie d'après la relation (I.13) —. Il fallait donc imaginer une terminaison originale permettant d'étaler le champ électrique sur une surface maximale et, si possible, dans le volume du semi-conducteur plutôt qu'en surface.

La terminaison proposée (Figure III.4) combine le principe bien connu des anneaux de garde en surface [7] et celui des îlots volumiques : deux anneaux latéraux flottants P<sup>+</sup> larges et profonds jouent le rôle de diviseur de tension le long de la surface du composant tandis que l'îlot flottant dans le volume (îlot de la "dernière" cellule centrale) joue le même rôle verticalement. L'emplacement, la profondeur et la largeur des deux anneaux P<sup>+</sup> en surface ont été optimisés afin de répartir le champ électrique entre les deux îlots en surface, l'îlot dans le volume et la jonction cylindrique principale PN<sup>-</sup>. La Figure III.5 montre d'ailleurs la distribution de ce champ électrique au claquage (simulation 2D) : on peut remarquer l'homogénéité de cette distribution puisque les quatre maxima du champ électrique sont quasiment identiques. La tenue en en tension simulée de cette cellule de bord est de 95 Volts, c'est-à-dire pratiquement la même que celle de la cellule centrale.

	Diode conventionnelle	FLI-diode Cellule centrale
Tenue en tension (V)	91	95
Épaisseur de la couche épitaxiée N <sup>-</sup> (µm)	4,75	4,00
Résistivité de la (des) couche(s) épitaxiée(s) N <sup>-</sup> (Ω.cm)	1,05	0,50
Dopage de la (des) couche(s) épitaxiée(s) (cm <sup>-3</sup> )	5,5.10 <sup>15</sup>	1,1.10 <sup>16</sup>
Concentration maximale du P flottant (cm <sup>-3</sup> )	--	10 <sup>17</sup>

Tableau III.2 : Paramètres principaux d'une diode conventionnelle et de la FLI-diode (tenue en tension minimale visée : 80 Volts).

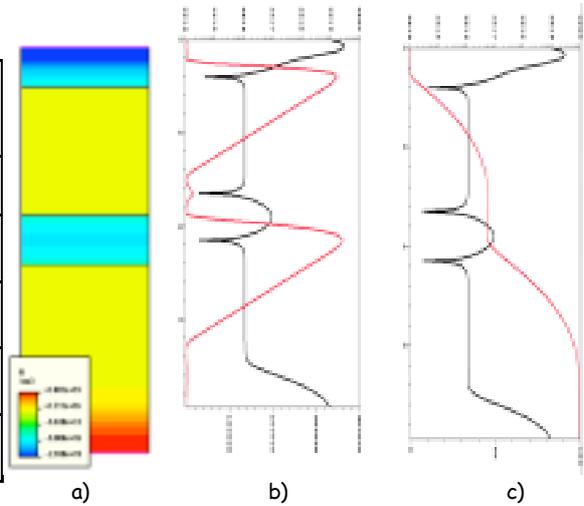


Figure III.3 : Cellule centrale d'une FLI-diode : structure et dopage (a), distributions du champ électrique (b) et du potentiel (c) au claquage.

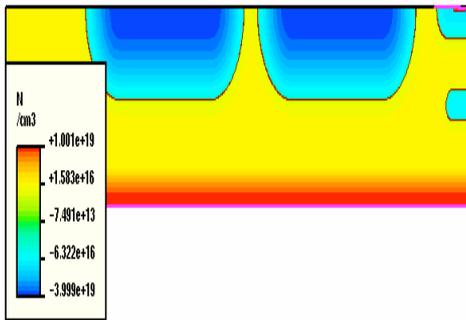


Figure III.4 : Cellule de bord (termination) de la FLI-diode.

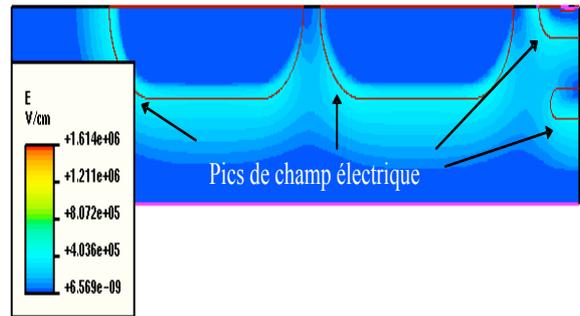


Figure III.5 : Distribution du champ électrique au claquage dans la cellule de bord de la FLI-diode.

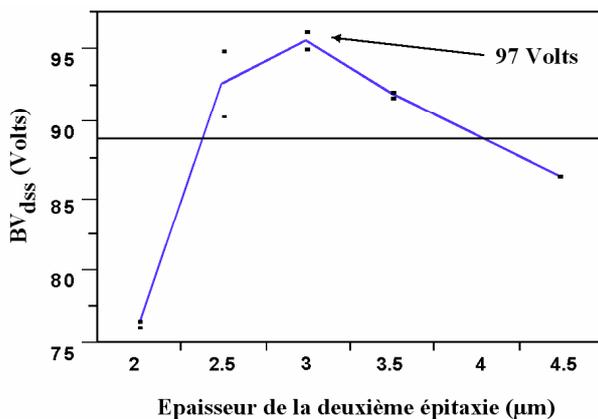


Figure III.6 : Tenue en tension mesurée de la FLI-diode en fonction de l'épaisseur de la 2<sup>e</sup> épitaxie.

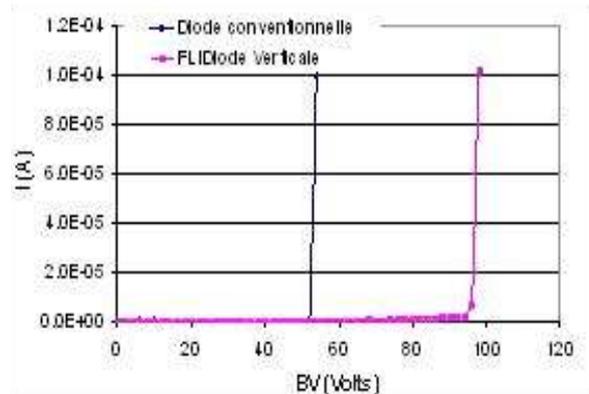


Figure III.7 : Tensions de claquage mesurées de la diode conventionnelle et de la FLI-diode Verticale pour un même dopage de la couche épitaxiée N<sup>-</sup> (1,1.10<sup>16</sup> cm<sup>-3</sup>).

### III.2.3.3 Mesures et discussion

Ces FLI-diodes ont été réalisées sur silicium : l'épaisseur de la couche enterrée P est de  $1,3 \mu\text{m}$  ; la distance séparant la jonction principale et l'îlot flottant volumique a également été fixée (autour de  $0,8 \mu\text{m}$ ) car c'est une distance critique qui fixe à la fois la tenue en tension de la cellule centrale et de la cellule de bord. La Figure III.6 montre la variation de la tenue en tension mesurée en fonction de l'épaisseur de la deuxième épitaxie ; nous avons obtenu une large fenêtre de fonctionnement pour laquelle la tenue en tension est supérieure à 80 Volts, qui est la tenue en tension minimale visée.

Ces mesures valident donc le concept des îlots flottants mais également l'efficacité de la cellule de bord. En outre, cette nouvelle diode présente une tenue en tension élevée avec un dopage de la couche épitaxiée N<sup>-</sup> de  $1,1 \cdot 10^{16} \text{ cm}^{-3}$  qui est habituellement utilisé pour des composants 50 Volts (Figure III.7).

## III.3 Le transistor FLIMOS latéral

### III.3.1 Contexte de l'étude

L'étude des FLI-diodes a montré que, pour une tenue en tension donnée, il était possible d'augmenter le dopage de la région N<sup>-</sup> : en appliquant ce concept aux composants MOS de puissance, on peut donc espérer diminuer leur résistance passante spécifique. Le nouveau transistor MOS ainsi conçu est baptisé "FLIMOS" ("Floating Islands MOS").

Appliquons ce concept au transistor LDMOS. De la même manière que pour le transistor LUDMOS, ces travaux ont été réalisés dans le cadre du Laboratoire Commun LCIP entre le LAAS/CNRS et MOTOROLA Semiconducteurs ; les transistors FLIMOS latéraux proposés devaient donc être compatibles avec les technologies de MOTOROLA. Nous avons donc respecté les mêmes principes que ceux énumérés au paragraphe II.3. Nous allons présenter ici, de manière synthétique, les résultats les plus significatifs obtenus avec des transistors FLIMOS latéraux comprenant un ou plusieurs îlots flottants entre source et drain.

### III.3.2 Transistor FLIMOS latéral à un seul îlot flottant

Un exemple simple consiste à insérer une simple couche P diffusée à mi-distance entre la fin de la grille et le drain d'un transistor LDMOS conventionnel déjà présenté au paragraphe I.2.3 (Figure III.8) ; la longueur de drift a été également augmentée ( $2,7 \mu\text{m}$  au lieu de  $2,1 \mu\text{m}$  dans la structure conventionnelle). Le reste de la structure est inchangé, en particulier le dopage de la région N<sup>-</sup> de drift ( $N_D = 5 \cdot 10^{15} \text{ cm}^{-3}$ ).

Dans le transistor FLIMOS latéral, deux pics de champ électrique apparaissent au claquage (Figure III.9) : le premier en surface sous la fin de la grille (comme dans un transistor LDMOS conventionnel), le second au niveau de la jonction "P flottant / N<sup>-</sup> drift". En optimisant la largeur ( $0,35 \mu\text{m}$  d'ouverture de masque) et la profondeur ( $0,3 \mu\text{m}$ ) de l'îlot flottant P, le transistor FLIMOS présente une tenue en tension de 70 Volts et une résistance passante spécifique de  $1,76 \text{ m}\Omega \cdot \text{cm}^2$  (contre respectivement 47 Volts et  $1,16 \text{ m}\Omega \cdot \text{cm}^2$  pour le transistor LDMOS conventionnel — cf. §I.2.3 —). Cette structure relativement simple améliore donc la tenue en tension de 69% par rapport à une structure conventionnelle. En contrepartie, la résistance passante spécifique est fortement dégradée (augmentation de 51%) : ceci est dû au fait que le trajet des porteurs entre canal et drain est plus long en raison de la présence de l'îlot et de l'augmentation de  $L_d$ .

L'avantage de cette structure est qu'elle ne nécessite aucune étape technologique supplémentaire : il suffit de modifier un masque pour la diffusion de la couche P flottante. L'inconvénient principal est que la surface du composant est augmentée et dégrade donc la résistance passante spécifique ainsi que l'encombrement. En d'autres termes, le transistor FLIMOS latéral permet d'améliorer sensiblement la tenue en tension, mais n'est pas le plus approprié pour être utilisé comme "cellule centrale" d'un transistor MOS. En outre, la tenue en tension obtenue ici (70 V) avec un simple îlot correspond seulement à 74% de la tenue en tension de la jonction plane infinie — 95 V d'après la relation (I.13) avec  $N_D = 5 \cdot 10^{15} \text{ cm}^{-3}$  —. Pour obtenir une meilleure efficacité à l'état bloqué, il faut donc utiliser soit un îlot flottant très large et très profond, soit plusieurs îlots flottants. C'est cette seconde solution, technologiquement moins coûteuse, qui a été retenue.

### III.3.3 Transistor FLIMOS latéral à plusieurs îlots flottants

Nous avons donc effectué une étude théorique en insérant plusieurs îlots flottants dans la région N<sup>-</sup> (Figure III.10). À l'état bloqué, le principe de fonctionnement d'un tel transistor est analogue à celui des anneaux de garde flottants [7] : les anneaux P doivent être judicieusement positionnés, suffisamment près de la jonction principale, pour éviter le claquage de celle-ci, mais suffisamment loin pour avoir une bonne efficacité.

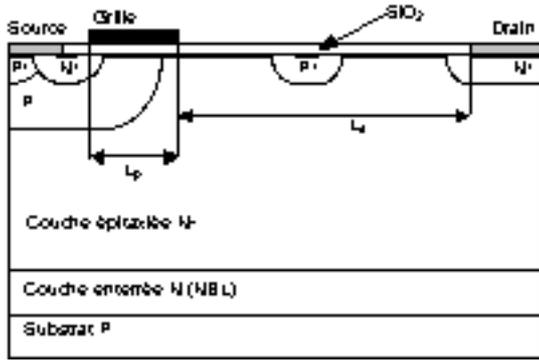


Figure III.8 : Transistor FLIMOS latéral comprenant un simple îlot P+ dans la zone de drift.

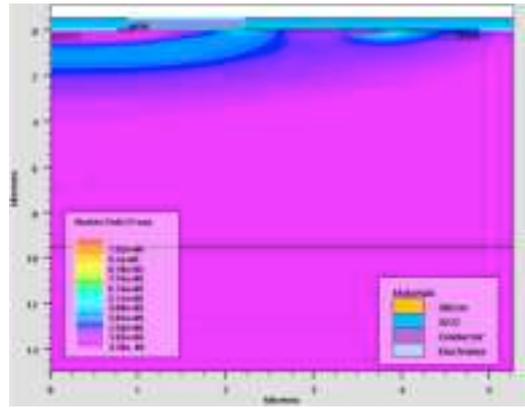


Figure III.9 : Répartition du champ électrique au claquage dans le transistor FLIMOS latéral à un îlot.

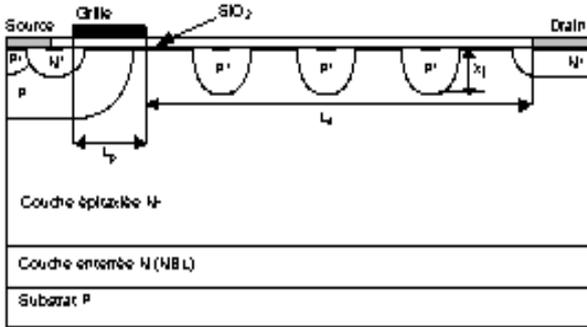


Figure III.10 : Transistor FLIMOS latéral comprenant plusieurs îlots dans la zone de drift.

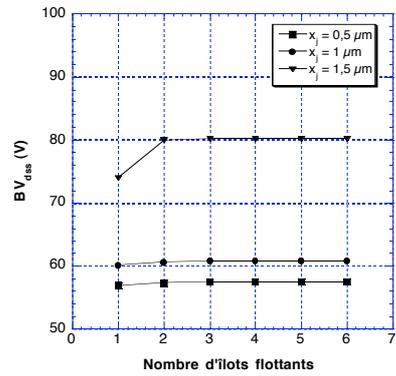


Figure III.11 : Evolution de la tenue en tension du transistor FLIMOS latéral en fonction du nombre et de la profondeur des îlots P (simulations 2D).

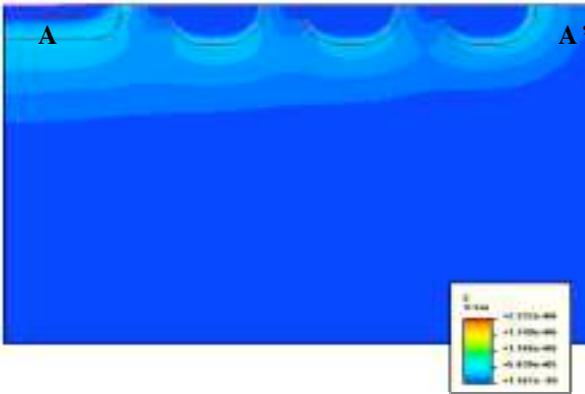


Figure III.12 : Répartition du champ électrique au claquage dans un transistor FLIMOS latéral à trois îlots.

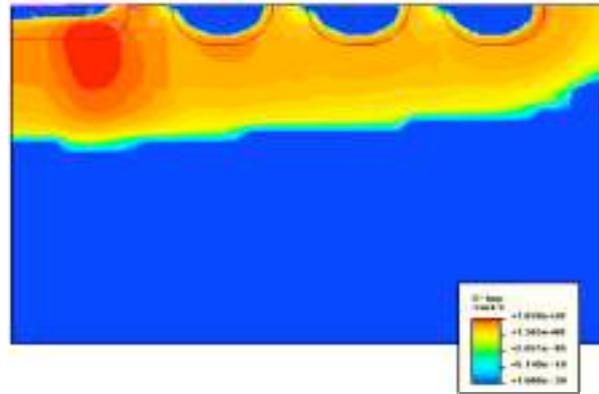


Figure III.13 : Ionisation par impact dans un transistor FLIMOS latéral à trois îlots : le claquage se produit au niveau de la jonction plane.

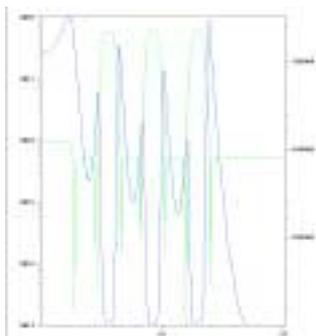


Figure III.14 : Répartition du champ électrique au claquage selon l'axe AA' (cf Figure III.12) dans un transistor FLIMOS latéral à trois îlots.

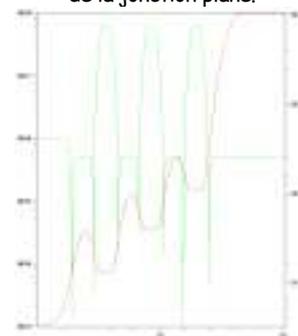


Figure III.15 : Répartition du potentiel au claquage selon l'axe AA' (cf. Figure III.12) dans un transistor FLIMOS latéral à trois îlots.

Pour concevoir de manière optimale une structure multi-îlots, il faut étudier le comportement du potentiel en fonction de plusieurs paramètres : la distance entre les îlots, leur largeur, leur nombre, leur dopage et celui de la région volumique, ainsi que la densité de charges en surface. Tous ces paramètres influencent de manière forte la répartition du champ électrique et imposent une conception relativement complexe. Dans un passé récent, une méthodologie systématique de conception a été proposée, basée sur des simulations numériques 2D de structures équivalentes avec un seul anneau, et qui permet de trouver le jeu de paramètres optimal qui minimise le nombre d'anneaux et la surface utilisée [8]. Pour notre part, et étant données nos contraintes — compatibilité avec les technologies de MOTOROLA, en particulier les dopages — notre étude paramétrique a simplement consisté à faire varier la position, le nombre et la profondeur des îlots flottants (Figure III.11) pour un dopage de la région de drift constant ( $N_D = 5.10^{15} \text{ cm}^{-3}$ ).

La Figure III.11 montre l'évolution de la tenue en tension en fonction du nombre et de la profondeur des îlots, la position de chaque îlot ayant été préalablement optimisée. En utilisant 2 îlots de  $1,5 \mu\text{m}$  de profondeur, la tenue en tension obtenue est de 80 Volts, soit 84% de la tenue en tension de la jonction plane infinie. Un nombre plus important d'îlots n'apparaît pas nécessaire puisque le gain est quasiment nul (80,2 V à partir de 3 îlots) pour une surface de composant plus importante. En revanche, des îlots plus profonds permettraient d'obtenir une efficacité accrue (supérieure à 90%) mais il n'est pas possible d'obtenir une tenue en tension supérieure à la tenue en tension de la jonction plane. La Figure III.13 montre d'ailleurs que le claquage se produit au niveau de la jonction plane ; pour le reste, comme dans la FLI-diode, le champ électrique est réparti en surface sur les différentes jonctions (Figure III.12 et Figure III.14), le potentiel étant soutenu par les régions faiblement dopées situées entre chaque îlot (Figure III.15). Pour obtenir des tenues en tension supérieures à 100% de la jonction plane infinie, il faudrait donc également répartir le champ électrique dans le volume en y insérant un ou plusieurs îlots flottants : c'est d'ailleurs l'option qui a été choisie pour réaliser la terminaison des FLI-diodes — cf §III.2.3.2.b — et des FLIMOS — cf. §0 —.

En ce qui concerne les performances à l'état passant, de telles solutions — avec ou sans îlots flottants volumiques — sont inadaptées. En effet, la surface des composants ainsi conçus et le trajet des porteurs entre drain et source sont trop importants : les résistances passantes spécifiques et l'encombrement seraient alors bien supérieurs aux solutions LUDMOS proposées au chapitre II.

En conclusion, le transistor FLIMOS latéral utilisé en tant que composant de puissance MOS n'est pas une bonne solution en ce qui concerne le compromis "résistance passante spécifique / tenue en tension". Il peut par contre être utilisé comme une terminaison efficace d'un composant MOS vertical — par exemple, le transistor FLIMOS —, en combinant les avantages des anneaux de garde flottants [7] et des îlots flottants volumiques présentés ici, pour étaler le champ électrique à la fois en surface et dans le volume.

### III.4 Le transistor FLIMOS vertical

#### III.4.1 Le transistor FLIMOS haute tension

##### III.4.1.1 Contexte de l'étude

Comme déjà précisé au §III.2.2.1, c'est dans la gamme des hautes tensions que le facteur d'amélioration sur  $R_a$  et  $R_d$ , et donc sur  $R_{ON,S}$ , doit être le plus important. C'est pour cette raison que nous avons tout d'abord songé à étudier les transistors MOS verticaux haute tension, en nous appuyant sur l'étude théorique des FLI-diodes haute tension (1000 Volts) — cf. §III.2.2 —.

Ce paragraphe est divisé en deux parties : i) une première partie est consacrée à l'étude statique des transistors FLIMOS (état bloqué, état passant, limites de performances, comparaison avec les structures "concurrentes", qu'elles soient conventionnelles ou innovantes), ii) la deuxième partie présente une étude en régime dynamique (conséquence de ce nouveau concept sur les capacités inter électrodes).

##### III.4.1.2 Compromis "résistance passante spécifique / tenue en tension"

###### III.4.1.2.a Fonctionnement à l'état bloqué

Nous appliquons le concept de la FLI-diode au transistor VDMOS : la différence principale entre la cellule d'un transistor VDMOS conventionnel et celle d'un transistor FLIMOS réside dans l'utilisation de puits flottants P dans la zone épitaxiée N<sup>-</sup> [1]. Ceux-ci sont insérés dans la région de drift, sous la région P de canal. Dans cette nouvelle configuration, la diode conventionnelle, constituée par la diffusion P de canal et par la couche épitaxiée N<sup>-</sup> qui soutient classiquement la tension appliquée, est remplacée par des zones alternativement dopées N<sup>-</sup> et P. A l'état bloqué, le transistor FLIMOS doit donc se comporter comme une FLI-diode (cf. §III.2).

La Figure III.16 présente les coupes schématiques des composants VDMOS de puissance étudiés ici : le transistor VDMOS conventionnel (a) et les transistors FLIMOS comportant respectivement 1 (b), 3 (c) et 9 (d) îlots flottants P. Hormis la présence de ces îlots dans la couche épitaxiée, les caractéristiques des transistors

FLIMOS sont identiques à celles du transistor VDMOS : tailles et géométries de cellules identiques et mêmes épaisseurs de couches notamment. Seul le dopage de la couche épitaxiée est appelé à être modifié dans les structures FLIMOS puisque nous allons comparer ces quatre transistors pour une tenue en tension donnée (900 Volts). Les valeurs de dopages et de largeurs des couches N<sup>-</sup> — par largeur, on entend “distance entre deux îlots P consécutifs” — utilisées lors des simulations bidimensionnelles sont données dans le Tableau III.3.

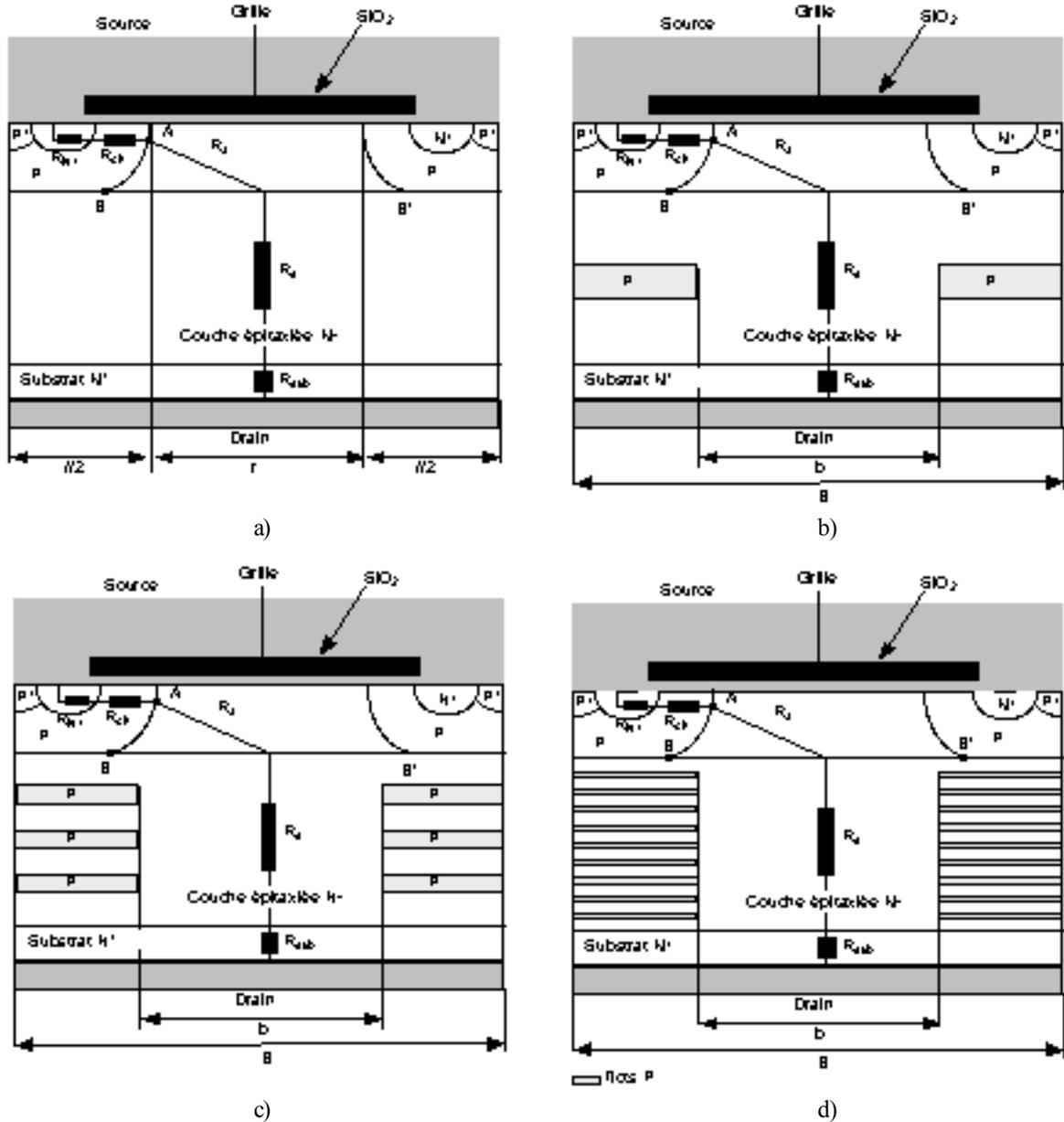


Figure III.16 : Coupes schématiques des différentes structures étudiées : cellules élémentaires d'un transistor VDMOS conventionnel (a) et de trois transistors FLIMOS (b), (c) et (d).

Valeurs numériques	VDMOS conventionnel	FLIMOS 1 îlot	FLIMOS 3 îlots	FLIMOS 9 îlots
$N_D$ (cm <sup>-3</sup> )	$1,5 \cdot 10^{14}$	$2,5 \cdot 10^{14}$	$4,5 \cdot 10^{14}$	$9 \cdot 10^{14}$
$W_N$ (μm)	115	45	22,5	9,5

Tableau III.3 : Valeurs du dopage  $N_D$  et de l'épaisseur  $W_N$  utilisées en simulation pour un transistor VDMOS conventionnel et pour les transistors FLIMOS.

Comme dans le cas des FLI-diodes, le dopage des couches  $N^-$ , qui correspond au dopage de l'épitaxie, a été augmenté avec le nombre d'îlots P. Pour une tenue en tension fixée ( $BV_{dss} = 900 \text{ V}$ ), on peut noter la multiplication du dopage d'un facteur 6 entre le VDMOS conventionnel et le FLIMOS à 9 îlots P. Ce facteur d'amélioration est inférieur à celui obtenu dans le cas des FLI-diodes (1 décade). Cela s'explique par le fait que le transistor FLIMOS, qui doit fonctionner également à l'état passant, utilise des îlots "ouverts", pour permettre le passage du courant entre drain et source. Les îlots P n'occupent donc pas toute la surface, dégradant ainsi la tenue en tension par rapport à la FLI-diode équivalente : "l'auto-blindage latéral" dans le volume entre îlots adjacents n'est alors pas suffisant. Il serait possible d'améliorer la tenue en tension en diminuant la distance latérale entre îlots, mais cela se ferait au détriment de la résistance passante spécifique : un bon compromis consiste à utiliser des îlots dont la largeur  $b$  est égale à la moitié de la largeur de la cellule B. De plus, dans nos simulations bidimensionnelles, nous sommes limités par le nombre de points de maillage : ainsi, les îlots P sont rectangulaires et présentent des angles saillants qui provoquent un claquage prématuré.

#### Répartition du champ électrique au claquage

La Figure III.17 présente, pour les trois structures FLIMOS, la répartition du champ électrique sous la diffusion P de canal sur toute la profondeur de l'épitaxie. Dans ces trois configurations, on peut observer que la tension n'est plus uniquement supportée par la jonction  $PN^-$ , comme c'est le cas dans un transistor VDMOS conventionnel, mais par les différentes zones  $N^-$ .

Les trois structures claquent en configuration de charge d'espace triangulaire. Le champ électrique maximal atteint est de l'ordre de  $2,5 \cdot 10^5 \text{ V/cm}$ . Les couches  $N^-$  se dépeuplent successivement, en partant de celle qui est adjacente à la diffusion de canal. Le champ électrique de chaque couche atteint son maximum au moment de la déplétion de la couche concernée. La tension de claquage est atteinte à la déplétion en perçage de la dernière couche.

Ces coupes unidimensionnelles laissent supposer que le champ électrique maximal est situé au niveau de la jonction principale P-canal / épitaxie  $N^-$  : en fait, l'observation des lignes de champ électrique dans le transistor FLIMOS à 9 îlots fait également apparaître de forts champs électriques de valeur identique au niveau des angles saillants des îlots P [2]. Le dopage et la largeur des bandes  $N^-$  semblent donc avoir été fixés judicieusement puisque la répartition du champ électrique dans ces trois différentes structures est quasiment homogène : les pics de champ électrique sont tous identiques et répartis entre la jonction principale (au niveau de la jonction plane) et les jonctions "secondaires" (au niveau des angles des îlots P).

#### Répartition du potentiel au claquage

La Figure III.18 présente, pour les trois structures FLIMOS, la répartition du potentiel sous la diffusion de canal pour les trois transistors FLIMOS sur toute la profondeur de l'épitaxie. Chaque îlot P joue bien le rôle de diviseur de potentiel. Nous pouvons observer que le potentiel est uniquement supporté par les couches  $N^-$ , la différence de potentiel aux bornes des îlots P étant en effet négligeable.

Dans chacune de ces structures, les jonctions PN supportent chacune une fraction de la tension appliquée. Pour 1 îlot, la tension aux bornes de chaque jonction est égale à  $\frac{BV_{dss}}{2}$  (Figure III.18.a). Pour les transistors FLIMOS à 3 et 9 îlots, elle vaut respectivement  $\frac{BV_{dss}}{4}$  (Figure III.18.b) et  $\frac{BV_{dss}}{10}$  (Figure III.18.c).

#### **III.4.1.2.b Fonctionnement à l'état passant**

Comme cela a été précisé précédemment, les îlots P ont été ouverts afin de permettre la circulation du courant entre le drain et la source : dans nos simulations, ils n'occupent en fait que 50 % de la surface totale.

#### Répartition des lignes de courant

La répartition des lignes de courant dans un transistor VDMOS conventionnel et dans les transistors FLIMOS est présentée sur la Figure III.19. Pour les FLIMOS, on peut remarquer que le courant circule principalement dans la zone intercellulaire de la cellule, entre les îlots P. Par ailleurs, l'augmentation du nombre d'îlots entraîne une diminution de la défocalisation des lignes de courant : lorsque 9 îlots sont implantés, on observe nettement la formation d'un "tube central" de courant. La section de conduction est donc fortement réduite par rapport à un transistor VDMOS conventionnel : il reste à évaluer si cette réduction est compensée par l'augmentation du dopage de la couche épitaxiée.

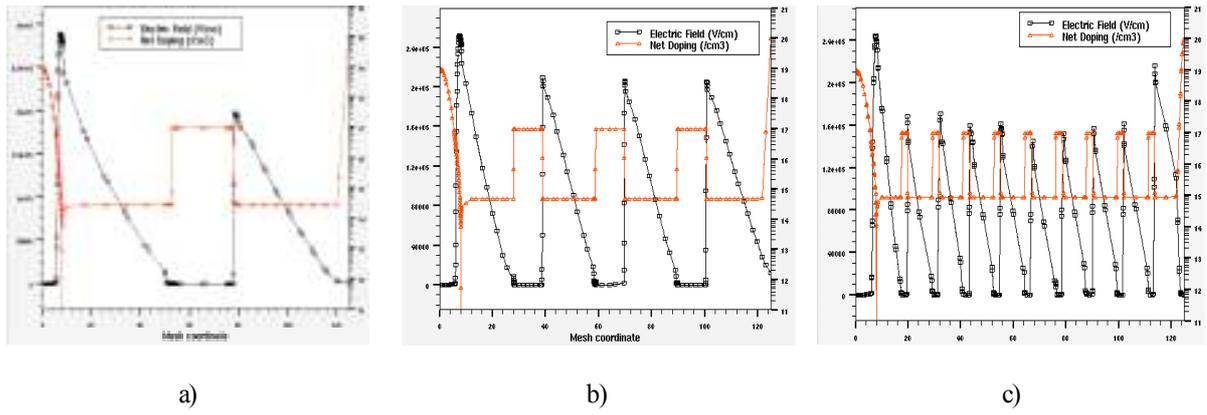


Figure III.17 : Répartition du champ électrique au claquage sous la diffusion P de canal dans un transistor FLIMOS à 1 îlot P (a), 3 îlots P (b) et 9 îlots P (c).

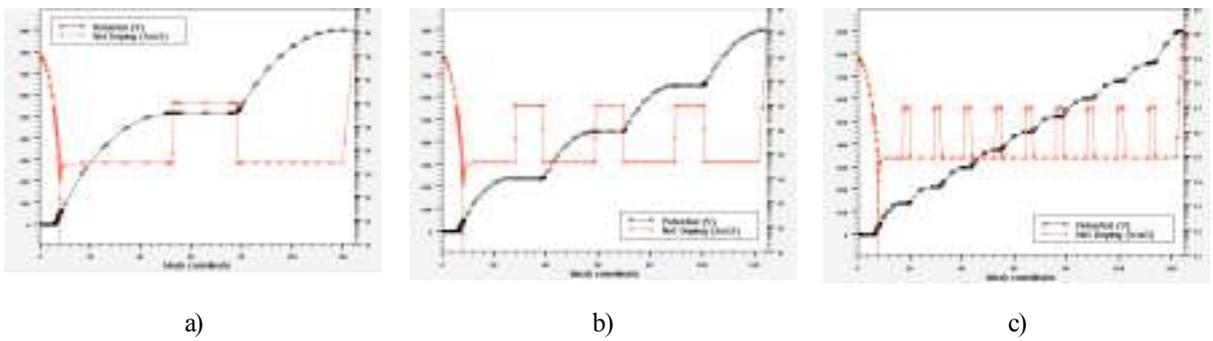


Figure III.18 : Répartition du potentiel au claquage sous la diffusion de canal dans un transistor FLIMOS à 1 îlot P (a), 3 îlots P (b) et 9 îlots P (c).

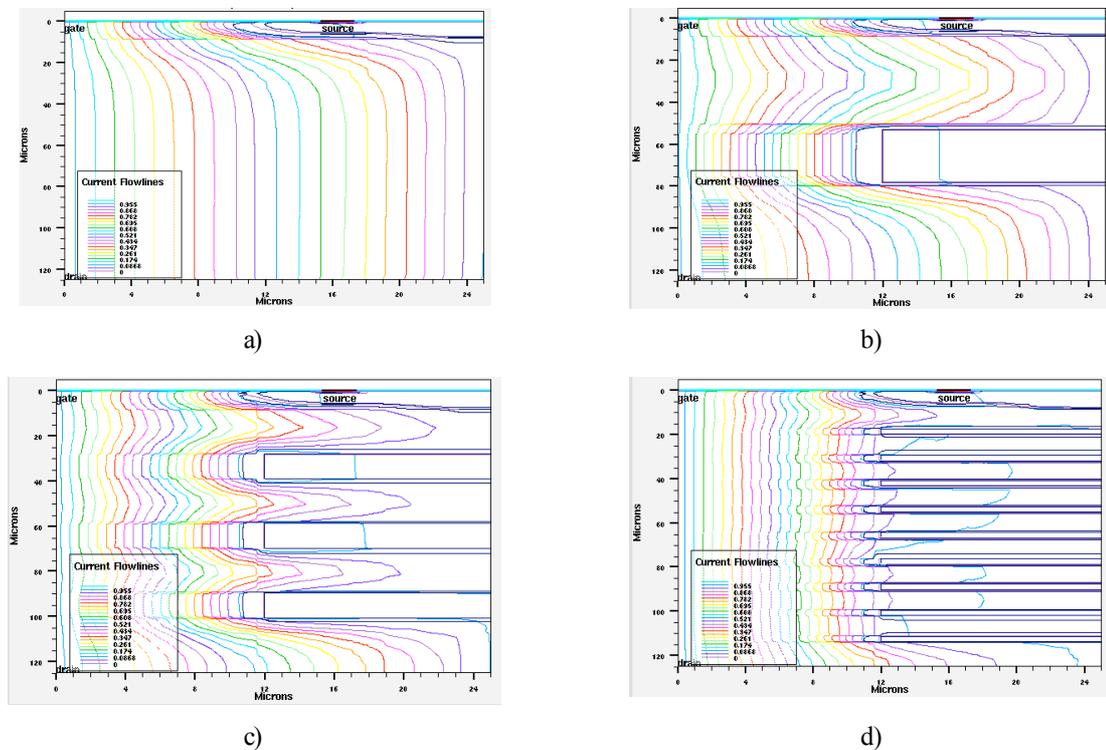


Figure III.19 : Lignes de courant dans un transistor VDMOS conventionnel (a) et dans trois transistors FLIMOS à 1 îlot (b), 3 îlots (c) et 9 îlots (d).

Influence du nombre des îlots sur la résistance passante spécifique

Les résultats de simulations bidimensionnelles présentés sur la Figure III.20 montrent l'évolution de la résistance passante spécifique (à  $V_{gs} = 10 \text{ V}$ ) en fonction du nombre d'îlots, pour un calibre en tension de 900 Volts. Signalons, comme cela a été fait lors de l'étude à l'état bloqué, que la largeur de la couche épitaxiée de la "structure de départ" (VDMOS conventionnel) n'a pas été optimisée afin d'éviter que n'apparaisse un phénomène de perçage des jonctions PN<sup>-</sup> lors de l'intégration des bandes P. Les résistances passantes spécifiques du transistor VDMOS classique et des transistors FLIMOS ne sont donc pas optimisées. Il apparaît que l'intégration des îlots permet de diminuer fortement la résistance passante spécifique : elle passe de 400  $\text{m}\Omega\cdot\text{cm}^2$  pour un VDMOS classique à 121  $\text{m}\Omega\cdot\text{cm}^2$  pour une structure FLIMOS à 9 îlots P, soit une amélioration de 70%.

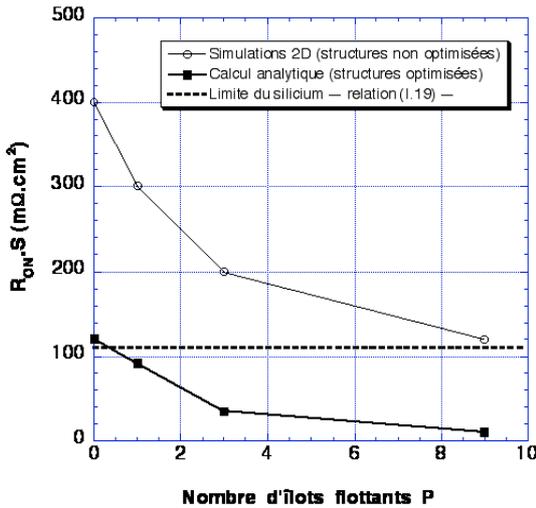


Figure III.20 : Evolution de la résistance passante spécifique des transistors FLIMOS 900 Volts, en fonction du nombre d'îlots flottants P —  $V_{gs} = 10 \text{ V}$  —.

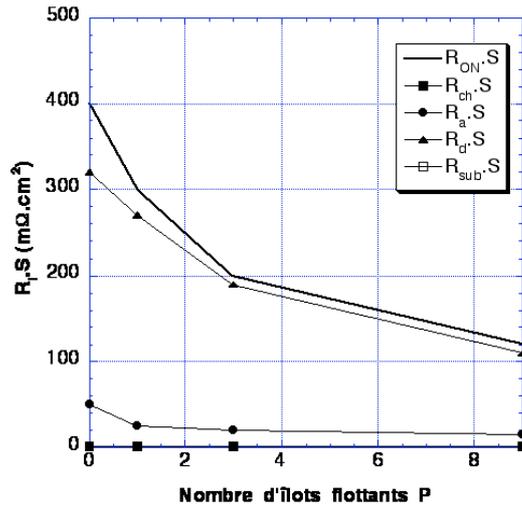


Figure III.21 : Evolution des composantes de la résistance passante spécifique des transistors FLIMOS 900 Volts en fonction du nombre d'îlots flottants P (simulations 2D).

Ne nous satisfaisant pas de ces simulations utilisant des structures non optimisées, nous avons également effectué une étude analytique en prenant les épaisseurs et dopages optimums proposés par Gharbi [5] dans le cas d'une jonction plane infinie — relations (I.12) et (I.13) —. Les résultats ainsi obtenus sont également présentés Figure III.20 : il apparaît que l'intégration d'îlots flottants P devrait permettre d'obtenir des résistances passantes spécifiques très inférieures à la limite du silicium : par exemple, un transistor FLIMOS à 1 îlot présente déjà une résistance passante spécifique 16% plus faible que la limite du silicium ; un transistor FLIMOS à 3 îlots présente une résistance passante spécifique 68% plus faible que la limite du silicium, ce qui équivaut ici à une valeur 3 fois plus petite — 35  $\text{m}\Omega\cdot\text{cm}^2$  contre 110  $\text{m}\Omega\cdot\text{cm}^2$  —.

Quelle que soit l'approche choisie (structures optimisées ou non), les résistances passantes spécifiques des transistors FLIMOS sont très inférieures à la limite conventionnelle du silicium, du moins en ce qui concerne des composants MOS haute tension (ici 900 Volts). Le concept des îlots flottants est donc un concept prometteur en termes de performances statiques (compromis " $R_{ON}\cdot S/BV_{ds}$ ").

Influence du nombre des îlots sur les composantes de la résistance passante spécifique

La Figure III.21 montre l'évolution de chaque composante de la résistance passante spécifique en fonction du nombre d'îlots flottants.

La résistance qui a le plus de poids est la résistance de drift ; ceci est évidemment lié au fait qu'en haute tension, la résistance du composant est pratiquement imposée par le matériau volumique (Tableau I.1) et, plus précisément, par l'épaisseur et le dopage de cette couche.

Notons également que la résistance d'accès diminue légèrement. Le dopage élevé dans la couche épitaxiée est une première explication. Cette diminution est également due au fait que l'effet de pincement JFET, qui apparaît dans un VDMOS classique entre les deux caissons P adjacents, est diminué par la présence d'îlots dans la couche épitaxiée. L'observation de la charge d'espace dans une structure VDMOS classique et dans un FLIMOS possédant 9 îlots a en effet permis de constater que l'extension de la zone de charge d'espace était plus profonde dans le transistor VDMOS conventionnel [2]. La présence des îlots P limite en effet son étalement dans le

transistor FLIMOS. J-L Sanchez [9] ayant démontré que la résistance  $R_{JFET}$ , liée au phénomène de quasi-saturation, dépendait fortement de la profondeur et de la largeur de la zone de charge d'espace, la diminution de la zone déplétée, constatée ici, entraîne donc une diminution de l'effet JFET et, par conséquent, du phénomène de quasi-saturation.

Les autres résistances ( $R_{ch}$  et  $R_{sub}$ ) sont évidemment constantes puisque liées à des régions qui sont identiques dans toutes les structures étudiées (canal et substrat). Elles sont de toute façon négligeables à ce niveau de tension (Tableau I.1).

### III.4.1.2.c Limites de performances statiques

Nous proposons ici une expression analytique du premier ordre traduisant les limites du compromis entre la tenue en tension et la résistance passante spécifique des transistors FLIMOS. Nous appuyant sur la relation (I.19) donnant la limite conventionnelle du silicium, il est possible d'établir le même type de relations pour le transistor FLIMOS.

La Figure III.22 présente la configuration d'un transistor FLIMOS possédant 9 îlots P ; elle fait en particulier apparaître la résistance de drift d'une cellule. On se place dans l'hypothèse où les bandes P sont très fines. Il apparaît alors des zones de drift en série semblables à la zone de drift d'un transistor VDMOS classique.

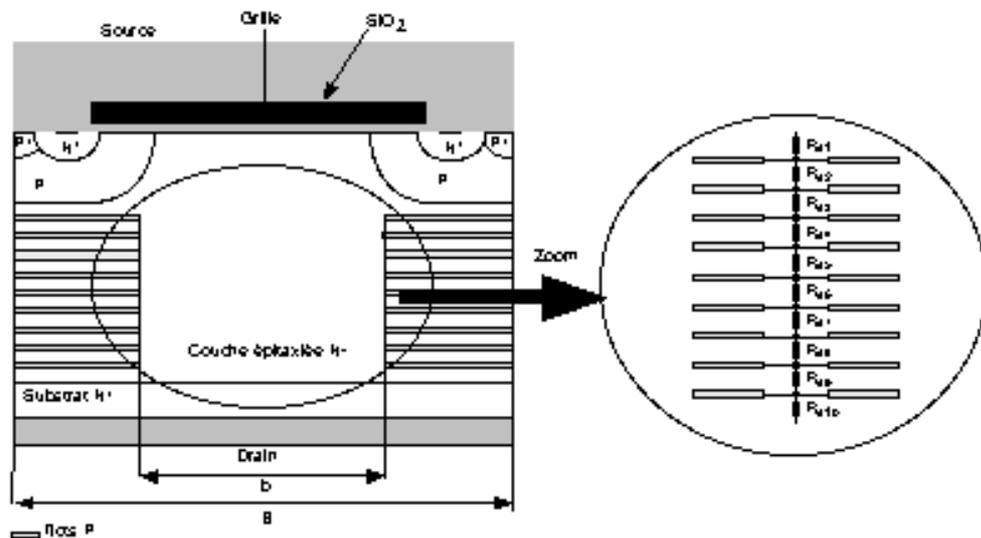


Figure III.22 : Localisation des 'n+1' (ici 10) résistances de drift d'un transistor FLIMOS à 'n' (ici 9) îlots P.

Pour une tenue en tension donnée ( $BV_{dss}$ ), la région de "drift" d'un transistor FLIMOS comprenant "n" îlots flottants entre source et drain correspond à l'association de (n+1) jonctions PN qui supportent chacune une part identique de la tenue en tension égale à  $\frac{BV_{dss}}{n+1}$ . Chacune des "mini-régions" de drift correspondantes a donc pour limite :

$$R_{di} \cdot S (\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-2,4} \quad (III.1)$$

Si, de plus, on suppose que la section de conduction d'un transistor FLIMOS est égale à 50% de la section de conduction d'un transistor VDMOS conventionnel, on obtient la "résistance spécifique idéale" de la région de drift des transistors FLIMOS en associant (n+1) régions en série :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 1,78 \cdot 10^{-8} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-1,4} \quad (III.2)$$

En toute rigueur, si la section de conduction  $S_0$  ( $S_0 = \frac{b}{B}$ ) reste un paramètre, cette "résistance spécifique idéale" est alors égale à :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot (S_0)^{-1} \cdot (BV_{dss})^{2,4} \cdot (n+1)^{-1,4} \quad (III.3)$$

Cette limite dépend donc du nombre "n" d'îlots flottants dans la structure, de sa section de conduction  $S_0$  et, bien sûr, de sa tenue en tension  $BV_{dss}$ .

III.4.1.2.d Comparaison des limites de performances statiques des transistors conventionnels, FLIMOS et à Superjonction

La Figure III.23 présente une comparaison des limites de performances pour divers composants de puissance en termes de compromis "résistance passante spécifique / tenue en tension". "n" représente le nombre d'îlots P implantés dans les transistors FLIMOS et "d" représente la largeur des bandes N et P des composants à Superjonction [10], [11].

Les composants à Superjonction présentent un meilleur compromis pour les très hautes tenues en tension ( $BV_{dss} > 1000$  Volts). Ceci était prévisible puisque la résistance passante spécifique limite de ces composants est proportionnelle à  $BV_{dss}$  — contre  $(BV_{dss})^{2,4}$  pour les composants conventionnels et les composants à îlots flottants —. En revanche, pour les basses tenues en tension ( $BV_{dss} < 100$  Volts), les composants à îlots flottants semblent plus intéressants : en effet, pour qu'ils puissent rivaliser, les composants à Superjonction devraient alors utiliser des bandes verticales P et N très fines, ce qui n'est pas technologiquement réalisable à ce jour.

Quoi qu'il en soit, si on compare les transistors FLIMOS avec les composants MOS conventionnels, il apparaît qu'ils repoussent la limite communément admise pour ces composants MOS — limite conventionnelle du silicium — : leur résistance passante spécifique est en effet inférieure, quel que soit le nombre d'îlots, à la limite du silicium des composants unipolaires à zone de drift uniforme.

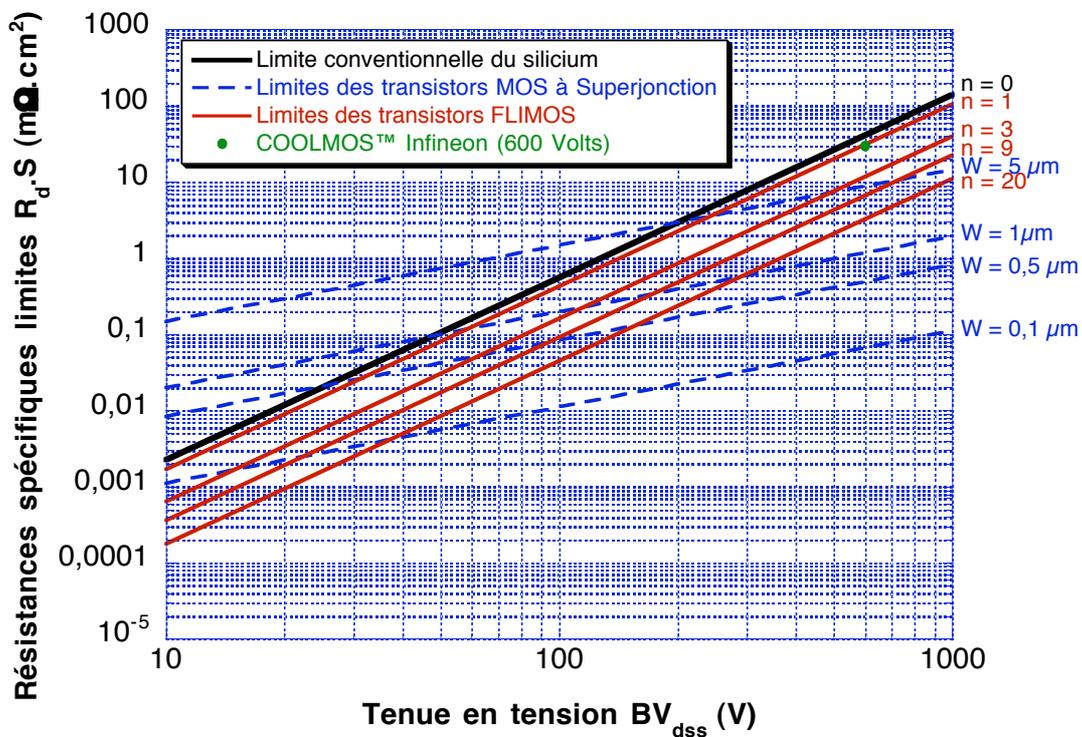


Figure III.23 : Comparaison des limites de performances pour divers types de composants de puissance (conventionnels, à Superjonction, à îlots flottants) en termes de compromis "résistance à l'état passant / tenue en tension".

Ceci est évidemment un résultat fondamental puisqu'il permet :

- d'atteindre des valeurs de résistance passante spécifique jamais rencontrées à ce jour dans une gamme des tensions inférieures à 1000 Volts. À titre d'exemple, pour une tension de claquage de 900 Volts, la résistance passante spécifique diminue de 68 % par rapport à la limite du silicium avec un transistor FLIMOS à 3 îlots, ce qui est une amélioration considérable.

- de proposer un "concurrent sérieux", dans le domaine des moyennes tensions ( $BV_{dss}$  autour de 500 Volts), aux composants à Superjonction comme le COOLMOS™ d'Infineon [12]. En effet, outre les performances statiques, deux autres paramètres sont déterminants pour comparer les deux concepts : les performances dynamiques, particulièrement importantes lorsqu'on désire utiliser ces composants dans des applications haute fréquence, et le coût de fabrication technologique. Concernant les performances dynamiques, nous y reviendrons au paragraphe III.4.1.3. Concernant le coût, les deux technologies présentent des coûts à peu près comparables, puisqu'elles utilisent des épitaxies multiples, soit pour réaliser des régions P profondes pour la Superjonction, soit pour insérer plusieurs îlots flottants P. La technologie FLIMOS devrait être moins chère si on se "contentait", par exemple, d'insérer un simple îlot flottant dans la zone de drift : c'est ce qui est proposé au paragraphe III.4.2.

### III.4.1.3 Performances dynamiques

Le comportement dynamique du transistor FLIMOS est lié aux valeurs des différentes capacités inter-électrodes de la structure. Ces capacités, représentées sur la Figure III.24, sont la capacité d'oxyde grille-source ( $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gsB}$ ), la capacité de grille-drain (qui est décomposée en deux capacités :  $C_{gdmax}$ , capacité d'oxyde et  $C_{dgd}$ , capacité de déplétion de la zone intercellulaire), ainsi que la capacité drain-source, capacités de transition ( $C_{ds1}$ ,  $C_{ds2}$ ) des jonctions PN.

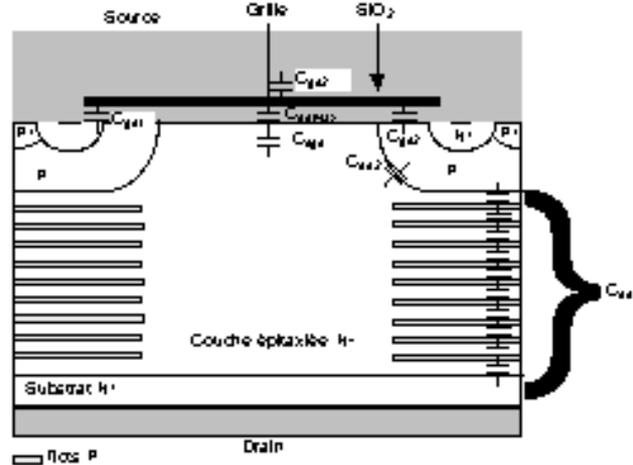


Figure III.24 : Localisation des capacités de la structure FLIMOS.

#### III.4.1.3.a La capacité grille-source

La capacité grille-source  $C_{gs}$  d'une structure FLIMOS est identique à celle d'un transistor VDMOS classique de même calibre en tension car aucune modification n'a été apportée à cet endroit de la structure : hormis l'intégration d'îlots P dans la couche épitaxiée, les deux structures sont identiques.

#### III.4.1.3.b La capacité grille-drain

Tout comme la capacité grille-drain d'un transistor VDMOS conventionnel, celle du transistor FLIMOS est physiquement une capacité MOS qui est constituée de deux composantes en série [13] :

- la première est une capacité d'oxyde de valeur constante  $C_{gdmax}$  qui est prépondérante lorsque la tension de drain est inférieure à la tension de grille. Sa valeur reste donc inchangée même si des îlots P sont intégrés.

- la seconde est constituée de la mise en série de  $C_{gdmax}$  avec la capacité  $C_{dgd}$  de la zone de déplétion sous la grille. Celle-ci n'apparaît que lorsque la tension de drain est supérieure à la tension de grille.

Dans une structure FLIMOS, la capacité  $C_{gd}$  est définie par les expressions (III.4) et (III.5). Ces expressions sont identiques à celles d'un transistor VDMOS :

$$C_{gd} = C_{gdmax} \quad \text{si } V_{dg} < 0 \quad (\text{III.4})$$

$$C_{gd} = \frac{C_{gdmax} \cdot C_{dgd}}{C_{gdmax} + C_{dgd}} \quad \text{si } V_{dg} > 0 \quad (\text{III.5})$$

La capacité de déplétion  $C_{dgd}$  s'exprime en fonction de la différence de potentiel  $\Phi_s$  qui existe aux bornes de la zone de charge d'espace dépeuplée. Afin de simplifier l'analyse, on considère que cette différence de potentiel est identique quelle que soit la structure étudiée :

$$C_{dgd} = S_1 \cdot \sqrt{\frac{q \cdot \mu_n \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot \Phi_s}} \quad (\text{III.6})$$

où  $S_1$  est la surface totale intercellulaire (recouvrement de la grille sur l'épitaxie N<sup>-</sup>).

On peut noter que la capacité de déplétion est proportionnelle à la racine carrée du dopage de l'épitaxie. Or, dans le transistor FLIMOS, l'intégration d'îlots P implique l'augmentation du dopage de l'épitaxie : cela entraînera donc une augmentation de la capacité  $C_{dgd}$ , par rapport à une structure classique, pour un même calibre en tension. Par conséquent, la valeur de la capacité  $C_{gd}$  devrait également augmenter sensiblement.

À l'aide de simulations bidimensionnelles nous avons estimé (Figure III.25) le comportement de la capacité  $C_{gd}$  en fonction de la tension de drain. Pour cela, on applique une rampe de tension sur le drain et un signal sinusoïdal sur la grille d'amplitude 15 mV et de fréquence 1 MHz. La comparaison des courbes simulées d'un transistor VDMOS conventionnel et d'un transistor FLIMOS à 9 îlots fait apparaître une différence, pour les

faibles polarisations de drain. En revanche, pour les fortes polarisations, qui correspondent aux tensions de fonctionnement "normal" du transistor, les courbes sont similaires. Malgré l'augmentation du dopage de la couche épitaxiée, la différence de potentiel aux bornes de la zone de charge d'espace, à la surface de l'épitaxie, augmente au lieu de diminuer : cela compense ainsi l'augmentation prévue de la capacité  $C_{gd}$ .

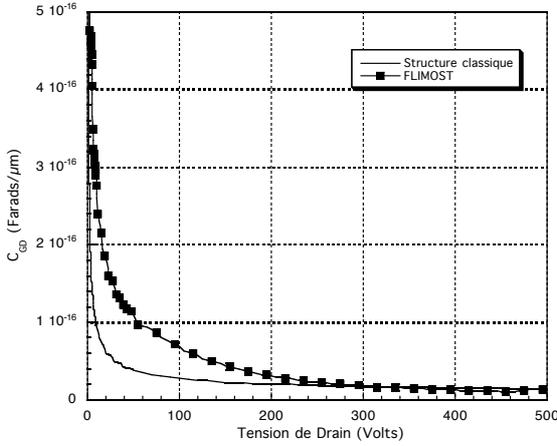


Figure III.25 : Evolution de la capacité  $C_{gd}$  en fonction de la tension de drain d'un transistor VDMOS conventionnel et d'un transistor FLIMOS à 9 îlots.

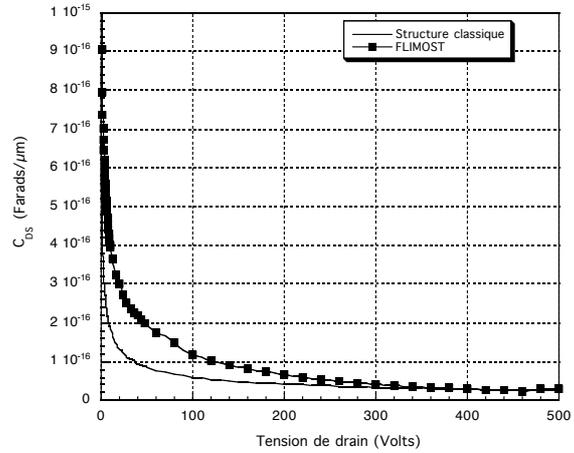


Figure III.26 : Evolution de la capacité  $C_{ds}$  en fonction de la tension de drain d'un transistor VDMOS conventionnel et d'un transistor FLIMOS à 9 îlots.

### III.4.1.3.c La capacité drain-source

La capacité drain-source d'un transistor VDMOS classique est liée à la jonction PN<sup>-</sup> qui est formée de la zone diffusée P et de l'épitaxie N<sup>-</sup>. Cette jonction est constituée d'une jonction plane ( $C_{ds1}$ ) et d'une jonction cylindrique ( $C_{ds2}$ ).

En s'appuyant sur la formulation analytique proposée par Tardivo [14], on peut remarquer que la capacité de la jonction cylindrique du transistor FLIMOS est identique à celle du transistor VDMOS : elle est intrinsèquement liée au dopage de l'épitaxie. Par conséquent, pour un même calibre en tension, l'augmentation du dopage de l'épitaxie entraînera également un accroissement de la valeur de la capacité  $C_{ds2}$ .

Pour mémoire, nous rappelons ci-dessous les expressions analytiques de la capacité  $C_{ds2}$  :

$$C_{ds2} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot Z \cdot \left(\frac{V_{ac}}{V_{ds}}\right)^{0.426} \quad \text{si } V_{ds} > V_{ac} \quad \text{(III.7)}$$

$$C_{ds2} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot Z \cdot \left(\frac{V_{ac}}{V_{ds}}\right)^{0.306} \quad \text{si } V_{ds} < V_{ac} \quad \text{(III.8)}$$

$$\text{où } Z \text{ est le "périmètre" total du canal et : } V_{ac} = \frac{q \cdot N_D \cdot r_j^2}{4 \cdot \epsilon_0 \cdot \epsilon_{si}} \quad \text{(III.9)}$$

Les îlots étant situés sous la jonction plane, nous allons analyser plus finement l'expression de la capacité  $C_{ds1}$  du transistor FLIMOS. On se place toujours dans l'hypothèse où les bandes P sont très fines et également très dopées. Il apparaît donc des zones de drift mises en série, qui sont identiques à celle d'un transistor VDMOS classique. On considère alors que la capacité  $C_{ds1}$  est constituée par la mise en série de "n+1" capacités identiques :

$$\frac{1}{C_{ds1}} = \frac{1}{C_{ds1_1}} + \dots + \frac{1}{C_{ds1_{n+1}}} \quad \text{où } n = \text{nombre d'îlots} \quad \text{(III.10)}$$

avec :

$$C_{ds1_{n+1}} = S_2 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot \frac{V_{ds}}{(n+1)}}} \quad \text{(III.11)}$$

Rappelons par exemple que, dans la structure FLIMOS à 9 îlots, le dopage a été amélioré d'un facteur 6 par rapport à la structure classique. On obtient donc :

$$C_{ds1} = \frac{C_{ds10}}{10} = S_2 \cdot \sqrt{\frac{0,6 \cdot q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot V_{ds}}} \quad \text{(III.12)}$$

où  $S_2$  est la surface totale sous la diffusion P de canal.

La capacité drain-source du transistor FLIMOS devrait donc être sensiblement plus faible que celle d'un transistor VDMOS classique de même calibre en tension.

Les évolutions, en fonction de la tension de drain, des capacités  $C_{ds}$  d'un transistor VDMOS conventionnel et d'un transistor FLIMOS à 9 îlots flottants ont également été simulées : une rampe de tension est appliquée sur le drain ainsi qu'un signal sinusoïdal sur la source d'amplitude 15 mV et de fréquence 1 MHz. La comparaison des courbes simulées d'un transistor VDMOS classique et d'un transistor FLIMOS fait apparaître une différence pour les faibles polarisations de drain. En revanche, pour les fortes polarisations, les courbes sont similaires. L'augmentation de la capacité  $C_{ds2}$ , liée à celle du dopage, semble donc être compensée par la diminution de la capacité  $C_{ds1}$ .

#### *III.4.1.3.d Conclusion*

L'étude bidimensionnelle a donc montré que les capacités  $C_{ds}$  et  $C_{gd}$  n'étaient pas dégradées dans le transistor FLIMOS par rapport à une structure VDMOS classique. Les structures FLIMOS présentent donc des performances statiques fortement améliorées (compromis "tenue en tension / résistance passante spécifique") tout en conservant des performances dynamiques proches de celles des structures VDMOS équivalentes. En outre, à surface égale, les FLIMOS sont plus rapides que les transistors MOS à Superjonction : en effet, ces derniers sont fortement pénalisés par le dopage très élevé des zones N dans le volume, qui fait augmenter sensiblement la capacité grille-drain, et par la surface totale de la jonction PN, responsable d'une hausse importante de la capacité drain-source.

### **III.4.2 Validation expérimentale : le transistor FLIMOS basse tension pour l'électronique automobile du futur (batteries 42 Volts)**

#### III.4.2.1 Contexte de l'étude

Le développement de nouvelles applications automobiles est à ce jour limité par la puissance disponible : à l'heure actuelle, nous atteignons en effet la limite des capacités des batteries 12 Volts (réseau 14 Volts). Il est donc apparu nécessaire de changer de tension nominale : différentes études [15], [16] ont été réalisées afin de définir la tension nominale optimale permettant de répondre aux futurs besoins dans l'automobile. La tension nominale de 42 Volts a été choisie en considérant les aspects sécuritaires et économiques. Ce passage du réseau 14 Volts à un réseau 42 Volts ouvre de grandes perspectives pour les applications automobiles du futur. Pour les composants semi-conducteurs, ceci implique évidemment des contraintes en tension directement liées aux contraintes sur le réseau de puissance 42 Volts : la tension de claquage minimale nécessaire pour les composants de la microélectronique est de 75 Volts à  $-40\text{ }^{\circ}\text{C}$ , soit 80 Volts à température ambiante.

Nos travaux, réalisés dans le cadre du second Laboratoire Commun entre le LAAS/CNRS et MOTOROLA, se situaient précisément dans cette optique : il s'agissait de concevoir des transistors MOS devant présenter une tenue en tension minimale de 80 Volts. A ce niveau de tension, l'utilisation de transistors VDMOS conventionnels impliquerait une hausse significative de la résistance passante spécifique — et donc des pertes en conduction — par rapport aux composants actuellement utilisés dans les réseaux 14 Volts — composants de 40 Volts de tenue en tension minimale —. C'est pourquoi le transistor FLIMOS semblait a priori une alternative intéressante, contrairement au MOS à Superjonction, théoriquement moins performant à ce niveau de tension (cf. §III.4.1.2.d). Par ailleurs, pour des raisons de coût, il fut décidé de s'en tenir à un composant comportant un îlot flottant entre source et drain — technologie double épitaxie —. Enfin, ce choix devait également permettre de valider le concept des îlots flottants sur un transistor FLIMOS. Notons également que le passage au réseau 42 Volts ne se fera pas instantanément : il est prévu une période de transition pendant laquelle il y aura des réseaux mixtes 14 / 42 Volts : des transistors FLIMOS de plus faible tenue en tension (de 35 à 80 Volts) ont donc également été conçus, même si, a priori, plus la tenue en tension est faible, moins le transistor FLIMOS sera intéressant. Les résultats présentés dans ce qui suit concernent uniquement les transistors FLIMOS 80 Volts.

#### III.4.2.2 Conception de la cellule centrale

##### *III.4.2.2.a Principe*

Le travail effectué ici consistait à comparer un transistor MOS conventionnel (VDMOS) et le nouveau composant, le transistor FLIMOS, de même tenue en tension (80 Volts) et présentant les mêmes dimensions et la même géométrie. Ici aussi, les seules différences viennent du fait que, dans chaque cellule du FLIMOS, un îlot flottant P est inséré dans la région de drift, sous la région P de canal et que la concentration de l'épitaxie est alors deux fois plus importante (Figure III.27). Par ailleurs, contrairement à la FLI-diode, les îlots sont "ouverts" pour permettre le passage du courant entre drain et source. L'objectif étant une tenue en tension minimale de 80 Volts, le rapport b/B nécessaire à un tel résultat est pris égal à 0,5, comme pour le FLIMOS haute tension (§III.4.1).

Notons que les simulations ont tout d’abord permis de réaliser une importante étude paramétrique afin de déterminer les concentrations optimales de la région N<sup>-</sup> et de l’îlot P, ainsi que la largeur et la position optimales de cet îlot. Les résultats présentés ci-dessous résultent de cette étude paramétrique : ils présentent les meilleurs résultats obtenus.

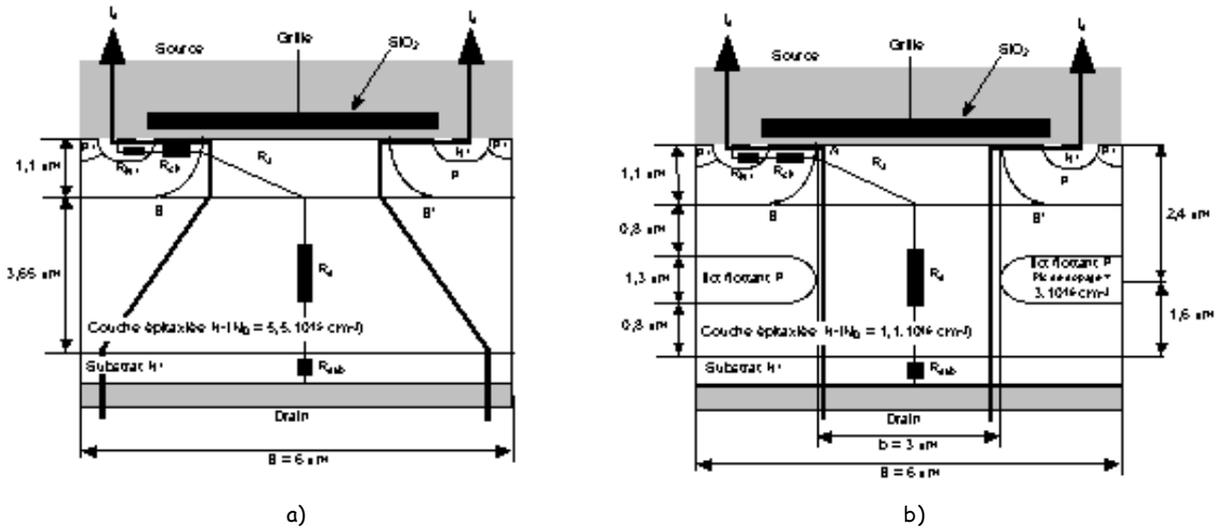


Figure III.27 : Coupes schématiques, principales dimensions et concentrations "clés" des : transistors VDMOS (a) et FLIMOS (b) optimisés pour soutenir une tension minimale de 80 Volts .

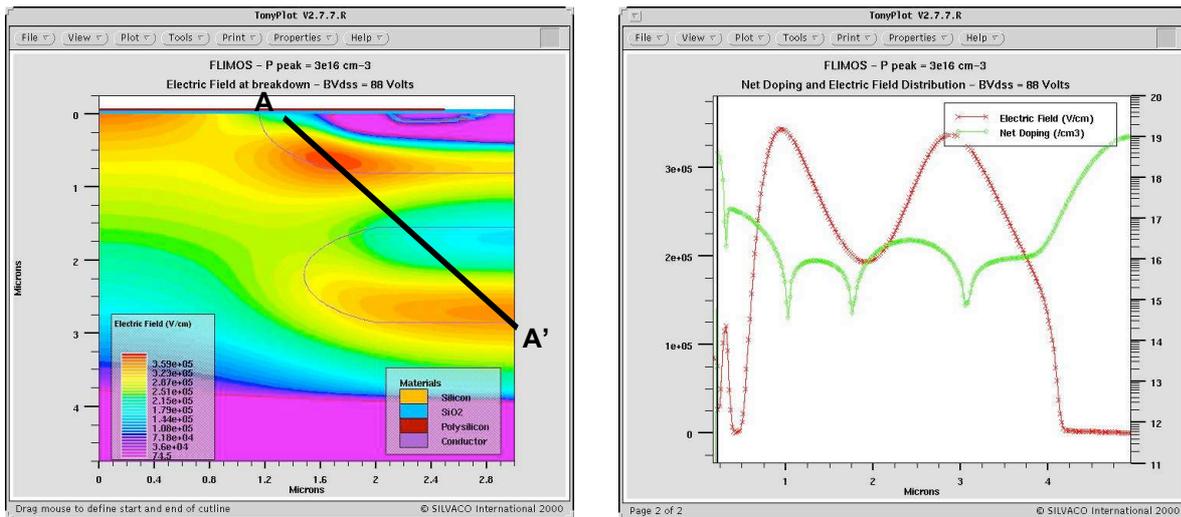


Figure III.28 : Champ électrique dans le transistor FLIMOS (simulations 2D) : a) répartition bidimensionnelle dans une demi-cellule, b) répartition unidimensionnelle selon l'axe AA'.

### III.4.2.2.b Résultats des simulations 2D

Les simulations 2D (Tableau III.4) montrent que le FLIMOS, tout comme le VDMOS, respecte théoriquement le cahier des charges en termes de tenue en tension : elle est supérieure à 80 Volts pour les deux composants. La Figure III.28.a montre que le champ électrique est maximal à la jonction principale P-body/N<sup>-</sup> : les deux pics de champ électrique ne sont effectivement pas identiques dans cet exemple (Figure III.28.b). Ceci n’est pas gênant parce que le FLIMOS a été conçu ici de telle manière que la tenue en tension ne soit pas trop sensible à la position de l’îlot flottant : dans l’exemple présenté sur la Figure III.28.a, l’îlot est visiblement un peu “éloigné” de la région P-body — région P de canal — mais un îlot placé plus haut aurait permis une répartition du champ électrique plus homogène alors qu’avec un îlot placé trop haut, le champ électrique maximal aurait été localisé au niveau de la jonction P-flottant/N<sup>-</sup>. Dans tous les cas de figure, l’étude paramétrique a montré que la structure était assurée de soutenir théoriquement plus de 80 Volts.

Par ailleurs, l’allure “non abrupte” du champ électrique dans la région P flottante (Figure III.28.b) montre que cette dernière soutient une partie de la tension, contrairement au FLIMOS haute tension : ceci s’explique simplement par les niveaux de concentration utilisés. Dans le FLIMOS 900 Volts à un îlot, la jonction P<sup>+</sup>N<sup>-</sup> était fortement dissymétrique puisque la région P flottante était dopée  $10^{17} \text{ cm}^{-3}$  et l’épitaxie dopée  $2,5 \cdot 10^{14} \text{ cm}^{-3}$ .

Dans le FLIMOS 80 Volts, elle est beaucoup moins dissymétrique puisque le pic de concentration de l'îlot flottant est de  $10^{17} \text{ cm}^{-3}$  et la concentration de l'épithaxie est de  $1,1 \cdot 10^{16} \text{ cm}^{-3}$ ; par conséquent, lorsque cette jonction est polarisée en inverse, la zone de charge d'espace s'étend également dans la région P. Ainsi, le FLIMOS, tel qu'il a été conçu ici pour être technologiquement réalisable, s'éloigne un peu du concept de départ de la FLI-diode et se rapproche de la Superjonction, où la balance des charges entre les régions N et P est quasi-parfaite — cf. §I.4.1 —.

Concernant la résistance passante spécifique, elle est améliorée de 24% avec le FLIMOS ( $77 \text{ m}\Omega \cdot \text{mm}^2$ ) par rapport au VDMOS ( $102 \text{ m}\Omega \cdot \text{mm}^2$ ). La réduction de la section de conduction  $b/B$ , paramètre pénalisant à l'état passant dans le FLIMOS par rapport au VDMOS, est donc plus que "compensée" par l'augmentation sensible du dopage de l'épithaxie — multiplié par 2 — : le Tableau III.5 montre que la résistance d'accès ( $R_{a.S}$ ) est quasiment (et logiquement) divisée par 2 — 43% de réduction — alors que la résistance de drift ( $R_{d.S}$ ), bien que pénalisée par la réduction de la section de conduction, diminue également — 28% de réduction —. Cependant, ce gain en performances nous est apparu insuffisant eu égard au coût technologique supplémentaire nécessaire à la réalisation du FLIMOS.

### III.4.2.2.c Nécessité de la simulation 3D

Faire des simulations 2D consiste en fait à simuler l'équivalent d'une structure "réelle" à bandes parallèles (Figure III.29.a). Si ce type de simulations s'avère satisfaisant lorsqu'il s'agit de simuler des structures conventionnelles pour lesquelles la zone volumique est uniformément dopée, cela n'est plus le cas pour les nouvelles structures comme le FLIMOS : en effet, les îlots flottants P sont alors également des bandes parallèles. Or, il est nécessaire d'ouvrir ces îlots afin d'augmenter la surface de conduction entre drain et source (Figure III.29.b) et, par conséquent diminuer la résistance passante spécifique. La seule possibilité de faire cela est de passer à la simulation 3D pour essayer de se rapprocher de la "réalité".

Les résultats des simulations 3D (Tableau III.4) appellent quelques commentaires.

Concernant l'état passant :

- les valeurs de résistances passantes spécifiques obtenues en 3D sont proches de celles obtenues en 2D pour les structures VDMOS et FLIMOS à bandes parallèles (Tableau III.4): c'est tout à fait logique (et rassurant !) puisque ce sont les mêmes structures qui ont été simplement simulées par deux méthodes différentes. Les différences observées sont dues aux maillages différents utilisés : le maillage est en effet plus "gros" en 3D qu'en 2D afin que les temps de simulation ne soient pas excessifs. Pour information, une simulation à l'état passant dure quelques minutes en 2D — en général, moins de 5 minutes — et quelques heures en 3D — 3 heures au maximum —.
- le FLIMOS 2 (à bandes parallèles avec îlots flottants carrés) simulé en 3D — puisqu'il n'était pas "simulable" en 2D — présente une résistance passante spécifique améliorée de 29% par rapport au transistor VDMOS équivalent —  $70 \text{ m}\Omega \cdot \text{mm}^2$  contre  $99 \text{ m}\Omega \cdot \text{mm}^2$  —. Même s'il faut rester prudent quant à la validité de ce résultat, la comparaison des deux structures au maillage et aux dimensions identiques donne une bonne tendance : le FLIMOS doit donc permettre une importante réduction de la résistance passante spécifique par rapport à une structure MOS conventionnelle. C'est un résultat important : même en basse tension ( $BV_{\text{ds}} < 100$  Volts), le FLIMOS est plus performant que le VDMOS ; ceci s'explique par le fait que, dans les transistors VDMOS haute densité, la résistance de canal ne domine plus par rapport aux autres composantes, notamment par rapport aux résistances d'accès et de drift (cf. §I.2.1.2.f). Cela est confirmé par nos simulations (Tableau III.5) : la part résistive résultant de la couche épithaxiée ( $R_{a.S} + R_{d.S}$ ) entre pour plus de 50% dans la résistance passante spécifique totale du transistor VDMOS. On voit donc ici tout l'intérêt du transistor FLIMOS (et des simulations 3D) puisqu'il autorise des réductions importantes de la résistance d'accès et de la résistance de drift — respectivement de 47% et de 36% —.

Concernant l'état bloqué, il n'a pas été possible de simuler correctement les structures FLIMOS ; deux problèmes sont apparus :

- soit la structure était grossièrement maillée afin d'effectuer des simulations rapides — ceci est une nécessité lorsqu'on désire effectuer une étude paramétrique —. Dans ce cas, les résultats obtenus sont peu précis et même souvent faux : des tenues en tension variant de 60 à 150 Volts ont été obtenues ! Nous ne pouvions donc pas nous satisfaire de telles simulations.
- soit la structure était finement maillée dans le dessein d'obtenir des résultats "réalistes" ou, du moins, à peu près comparables aux résultats des simulations 2D (Figure III.30). Dans ce cas, le temps nécessaire à une seule simulation était trop important — environ une semaine ! —. En outre, nous n'avions pas la garantie que la simulation arrive à son terme : en effet, il est fréquemment arrivé que les simulations s'arrêtent au bout de quelques jours en raison d'un manque de mémoire du calculateur. Par ailleurs, en 2D, le nombre de points de maillage était proche de  $10^4$  ( $100 \times 100$ ) : si nous avions voulu mailler en

3D aussi finement qu'en 2D, il aurait donc fallu simuler une structure comprenant  $10^6$  points (100 x 100 x 100) ! Le temps de simulation d'une telle structure serait alors de plusieurs mois !

En conclusion, les simulations 3D à l'état bloqué présentent à ce jour trop d'inconvénients pour les structures FLIMOS : le maillage doit être très fin en surface mais aussi dans le volume où est localisé l'îlot flottant, contrairement aux structures conventionnelles, dans lesquelles la zone volumique uniformément dopée nécessite peu de points de maillage. Il en résulte des temps de simulation rédhibitoires lorsqu'on désire effectuer une étude paramétrique complète : une telle étude n'est donc pas possible en 3D.

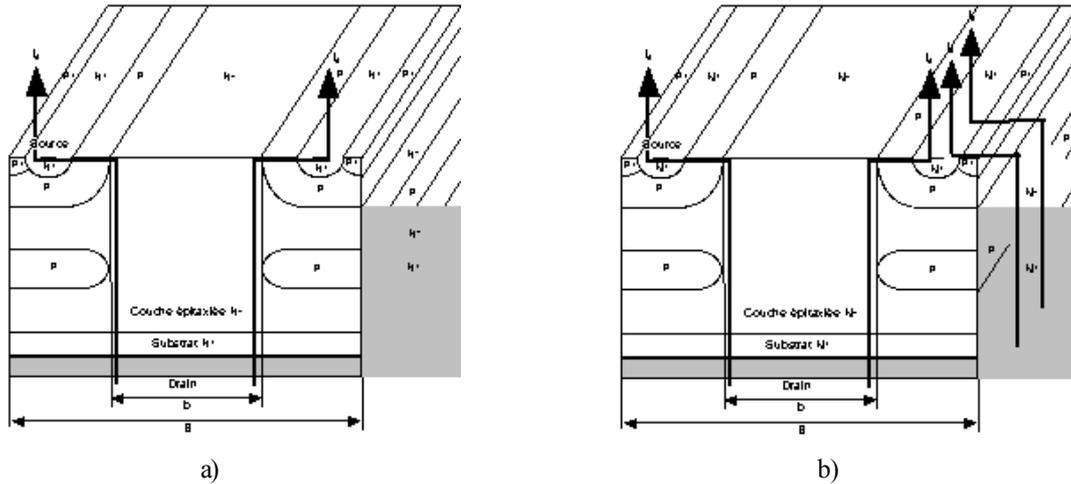


Figure III.29 : Coupes schématiques des deux transistors FLIMOS simulés : a) FLIMOS 1 (bandes parallèles avec îlots flottants en forme de bandes parallèles) et b) FLIMOS 2 (bandes parallèles avec îlots flottants carrés).

Type de transistor	Design cellulaire	$R_{ON,S}$ ( $m\Omega \cdot mm^2$ )		$BV_{dss}$ (V)	
		2D	3D	2D	3D
Transistor VDMOS	Bandes parallèles	102	99	82	80
Transistor FLIMOS	a) Bandes parallèles avec îlots flottants en forme de bandes parallèles (FLIMOS 1)	77	76	88	?
	b) Bandes parallèles avec îlots flottants carrés (FLIMOS 2)	-	70	86	?

Tableau III.4 : Comparaison des résistances passantes spécifiques et des tenues en tension des transistors VDMOS et FLIMOS (simulations 2D et 3D).

Type de transistor	Résistances spécifiques ( $m\Omega \cdot mm^2$ )					
	$R_{ch,S}$	$R_{a,S}$	$R_{d,S}$	$R_{sub,S}$	$R_{ON,S}$	
Transistor VDMOS	15	21	50	13	99	
Transistor FLIMOS	FLIMOS 1	15	12	36	13	76
	FLIMOS 2	14	11	32	13	70

Tableau III.5 : Principales composantes des résistances passantes spécifiques des transistors VDMOS et FLIMOS 80 Volts (simulations 3D).

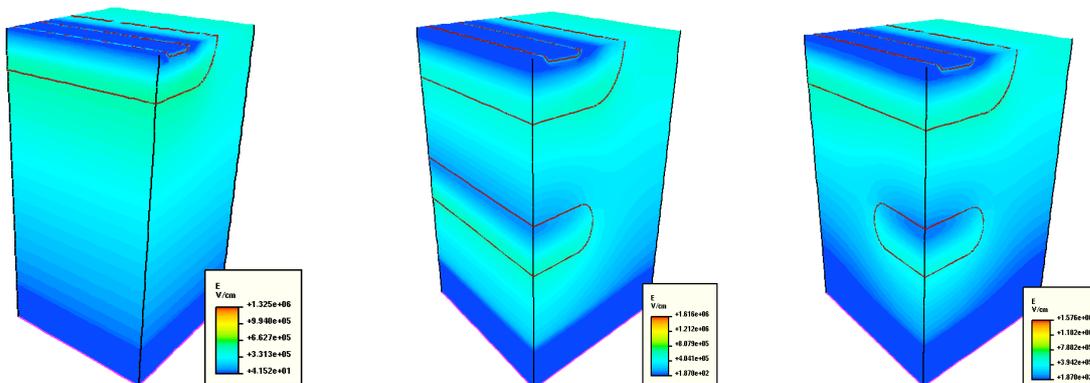


Figure III.30 : Répartition 3D du champ électrique au claquage dans les structures VDMOS, FLIMOS 1 et FLIMOS 2.

### III.4.2.3 Conception de la cellule de bord

La cellule de bord de la FLI-diode s'étant avérée efficace (cf. §III.2.3), il a été naturellement décidé de l'utiliser également pour "terminer" le transistor FLIMOS. De 35 à 80 Volts, des simulations ont montré que cette terminaison était efficace quel que soit le niveau de tension visé : elle présentait donc également l'avantage d'utiliser les mêmes masques pour tous les composants MOS à concevoir.

### III.4.2.4 Mesures et discussion

Les structures FLIMOS ont été réalisées à MOTOROLA Toulouse : les géométries de cellules finalement choisies sont inspirées de la géométrie WELLFET présentée dans le cadre de la thèse d'A. Feybesse [17]. La particularité du WELLFET est que les régions P de canal de chaque cellule MOS élémentaire sont connectées entre elles, permettant ainsi, entre autres, d'améliorer la tenue en tension en utilisant les propriétés des jonctions concaves [18], [19]. Pour des raisons de confidentialité, cette géométrie n'est pas présentée dans ce mémoire : cela importe peu à nos yeux puisque l'objectif principal est de valider ici le concept du FLIMOS, dont la particularité, par rapport à un composant VDMOS conventionnel, se situe dans le volume du composant et non en surface.

Plusieurs lots de transistors FLIMOS ont été conçus, en faisant varier des paramètres essentiels tels que les épaisseurs et les résistivités des deux épitaxies, ainsi que les largeurs, épaisseurs et doses des îlots flottants. Pour plus de détails sur cette étude paramétrique, on pourra consulter la thèse de S. Alves [3] qui sera soutenue au début de l'année 2005.

Un exemple de résultat est présenté Figure III.31 : les tenues en tension de plusieurs géométries de FLIMOS (et d'une FLI-diode) sont mesurées pour différentes épaisseurs de la seconde épitaxie ("Epi2") et pour différentes doses de l'îlot flottant ("Dose") : la meilleure tenue en tension obtenue est 73 Volts, soit 7 Volts en dessous de l'objectif minimal de 80 Volts, qui n'est donc pas atteint. C'est toutefois le meilleur résultat que nous ayons obtenu pour un FLIMOS lors de cette première réalisation technologique. Nous avons identifié les deux raisons principales justifiant cet écart :

- la première vient de la forme même de l'îlot flottant. La Figure III.32 montre que ce dernier n'est pas symétrique : la partie basse de l'îlot est plus arrondie que la partie haute qui présente des angles relativement saillants. Cette dissymétrie apparaît après la reprise de l'épithaxie (seconde épithaxie). Les angles saillants provoquent un resserrement des lignes de potentiel, donc un gradient de potentiel important et un claquage prématuré. Des simulations 2D, effectuées avec un îlot présentant la même dissymétrie, ont confirmé cette hypothèse.
- la seconde raison, liée à la première, vient de l'espacement entre les îlots flottants : cet espacement — paramètre "b" (Figure III.27.b) — est plus important que celui prévu par les simulations 2D. Nous avons surestimé les extensions latérales des îlots et, par conséquent, sous-estimé l'espace entre ces îlots. "L'auto-blindage latéral" dans le volume entre îlots adjacents n'est alors pas suffisant et le claquage intervient prématurément. Pour résoudre ce problème, il suffirait de modifier un masque dans le processus technologique, soit en augmentant l'ouverture des îlots flottants P, soit en ajoutant un petit îlot à mi-distance entre les îlots existants qui étaient trop espacés.

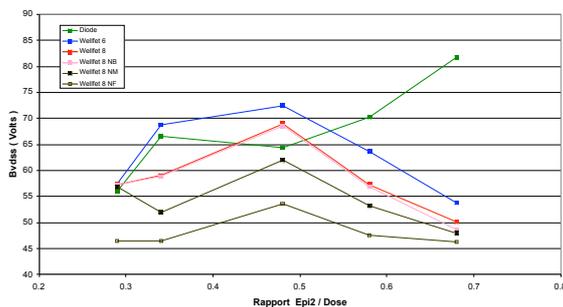


Figure III.31 : Tenues en tension mesurées pour différentes géométries du transistor FLIMOS, en fonction du rapport "épaisseur de la seconde épithaxie / dose de l'îlot flottant P".

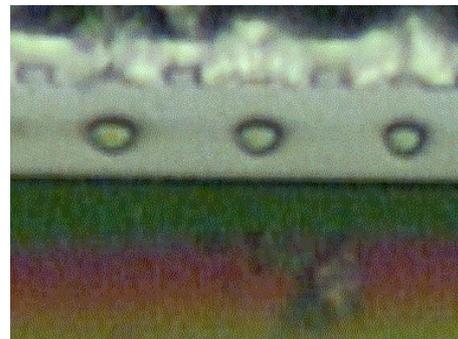


Figure III.32 : Coupe au MEB d'un transistor FLIMOS réalisé à MOTOROLA Toulouse.

Quoi qu'il en soit, bien que l'objectif des 80 Volts n'ait pas encore été atteint, le FLIMOS fonctionne de manière tout à fait satisfaisante à l'état bloqué.

Concernant l'état passant, les résistances passantes spécifiques ont été mesurées entre 55 et 65 m $\Omega$ .mm<sup>2</sup>. Ces résultats sont conformes, et même souvent inférieurs, à ce que les simulations 2D et 3D avaient prédit : ceci

peut également s'expliquer par l'espacement trop important entre les îlots flottants, qui augmente la section de conduction et réduit donc la résistance de drift par rapport aux simulations.

Le FLIMOS affiche donc des performances statiques perfectibles mais satisfaisantes ; cependant, ces résultats sont-ils intéressants par rapport au transistor VDMOS équivalent ? Un exemple simple consiste à comparer un VDMOS et un FLIMOS de même tenue en tension : en se plaçant à 73 Volts — notre "meilleur" FLIMOS à ce jour —, les résistances passantes spécifiques du VDMOS et du FLIMOS sont respectivement de 90 mΩ.mm<sup>2</sup> et 60 mΩ.mm<sup>2</sup>, soit une réduction de 33%, supérieure à ce que les simulations 2D avaient prédit.

Le transistor FLIMOS est donc validé, aussi bien qualitativement que quantitativement, du moins pour des tenues en tension supérieures à 70 Volts. Pour être plus complet, la Figure III.33 présente en basse tension (BV<sub>ds</sub> < 100 Volts) les performances statiques — compromis "R<sub>ON.S</sub>/BV<sub>ds</sub>" — des VDMOS et FLIMOS de notre étude (simulation et mesures de 35 à 80 Volts) et les compare à d'autres composants MOS de la littérature, à la limite conventionnelle du silicium et à celle des composants à un îlot flottant. On peut noter le bon positionnement du FLIMOS pour des tenues en tension supérieures à 70 Volts puisque sa résistance passante spécifique mesurée est proche de la limite du silicium : on peut donc supposer qu'en réalisant des composants de plus haute tenue en tension (BV<sub>ds</sub> > 100 Volts), le FLIMOS sera extrêmement performant et en dessous de la limite du silicium. Pour des tenues en tension plus faibles, l'écart entre VDMOS et FLIMOS se réduit puisque la résistance de drift est moins importante en très basse tension : le FLIMOS n'est alors pas intéressant.

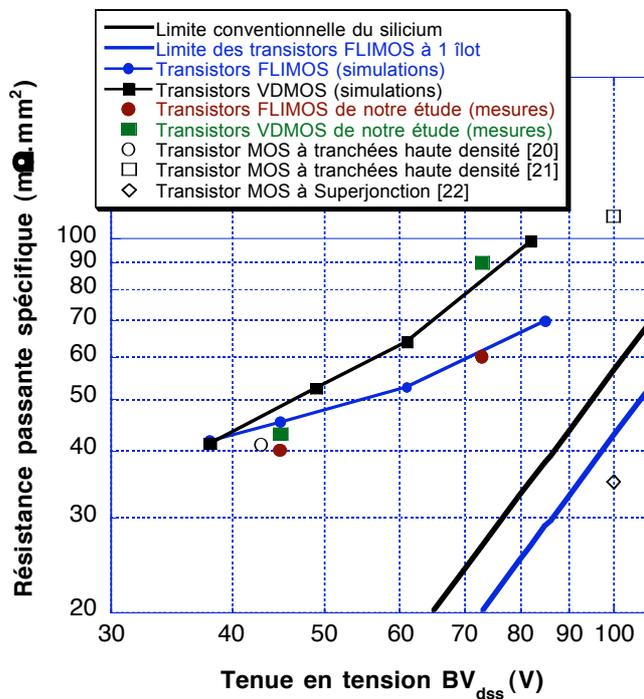


Figure III.33 : Comparaison des performances de divers composants MOS de puissance (conventionnels, à Superjonction, à îlots flottants) en termes de compromis "résistance à l'état passant / tenue en tension".

### III.5 La diode FLI-Schottky

Étant donné les résultats théoriques et expérimentaux obtenus sur les transistors FLIMOS verticaux, le concept des îlots flottants volumiques pourrait également être appliqué à d'autres composants unipolaires. Il doit permettre la réalisation de composants particulièrement performants en régime statique (chute de tension extrêmement réduite à l'état passant) par rapport aux composants existants. Nous pensons aux composants "Static Induction Transistor (SIT)" [23] destinés au contrôle des fortes puissances et à l'amplification radiofréquence de puissance, mais surtout aux diodes Schottky haute tension.

Les diodes Schottky sont constituées d'un métal ou d'un alliage métallique placé sur un semi-conducteur. Elles utilisent les propriétés rectificatrices du contact métal/semi-conducteur. Contrairement aux contacts ohmiques, les diodes Schottky utilisent des contacts métalliques ou des contacts à base d'alliage métallique permettant ainsi à la charge d'espace dépeuplée de se former du côté du semi-conducteur.

Classiquement la diode est consistée (Figure III.34) d'une région active de type N placée sur une région de même type N<sup>+</sup> fortement dopée. Le métal réalisant le contact Schottky constitue l'anode, le substrat est connecté à un métal, constituant ainsi un contact ohmique (la cathode). Comme pour un transistor MOS, la tenue en

tension soutenue en inverse (état bloqué) dépend du dopage et de l'épaisseur de la zone volumique  $N^-$ . La chute de tension à l'état passant est la somme de la chute de tension dans la charge d'espace associée à la barrière Schottky et de la chute de tension ohmique. La chute de tension ohmique dépend du dopage et de l'épaisseur de la région volumique faiblement dopée, car il n'existe pas d'effet de modulation de la conductivité. Il résulte de l'effet résistif à l'état passant une limitation pratique en valeur de dopage et, par conséquent, une limitation de la tenue en tension inverse (loi de Poisson). Cette limite en tension se situe aux environs de 100 Volts.

Pour accroître la tenue en tension, une variante appelée "Junction Barrier controlled Schottky rectifier" (JBS rectifier) a été proposée par Baliga [24]. Elle associe un contact Schottky et des zones diffusées  $P^+$  (Figure III.35). Le rôle de ces zones est de limiter le mécanisme de réduction de la barrière Schottky sous haute tension appliquée et de limiter le courant inverse de diode. La capacité en tension de ces dispositifs peut atteindre 200 Volts environ. A notre connaissance, il n'existe pas aujourd'hui de dispositif sur silicium qui, dans son principe, permette d'envisager d'accroître la tenue en tension au-dessus de cette limite des 200 Volts.

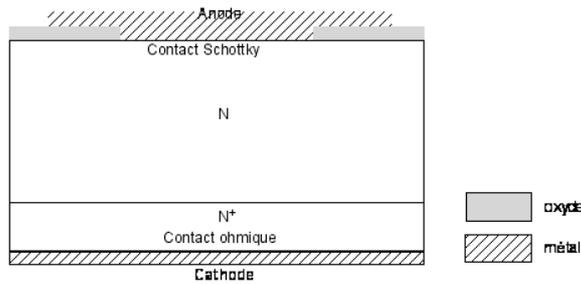


Figure III.34 : Coupe schématique d'une diode Schottky conventionnelle.

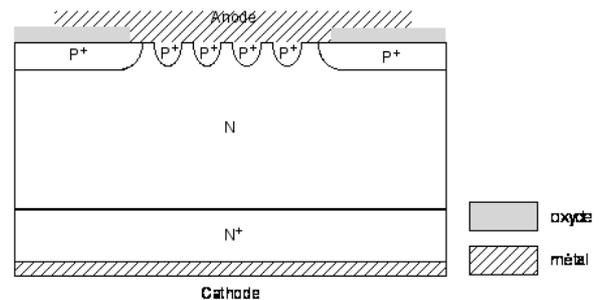


Figure III.35 : Coupe schématique d'une diode "JBS Rectifier".

La Figure III.36 représente une coupe schématique d'une diode Schottky à îlots flottants : on reconnaît la zone volumique  $N^-$  de cathode, le contact Schottky d'anode, la zone volumique semi-conductrice N dans laquelle sont inclus les îlots flottants P.

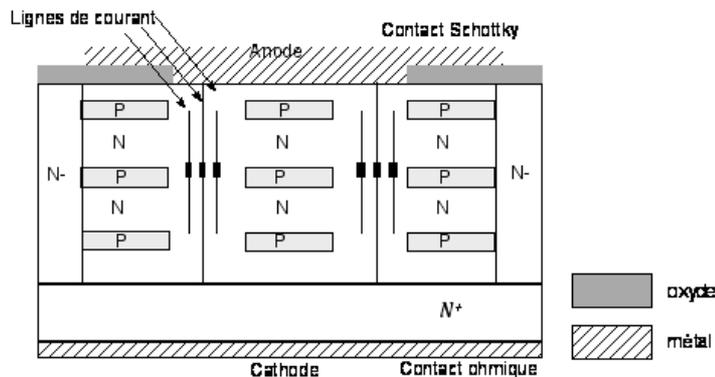


Figure III.36 : Coupe schématique d'une diode Schottky à îlots flottants.

Le principe de fonctionnement, aussi bien à l'état bloqué qu'à l'état passant, est le même que celui du transistor FLIMOS. Cependant, avant de se lancer dans un travail théorique poussé sur cette nouvelle structure, il nous est apparu plus judicieux de calibrer les outils de simulation 2D et 3D par l'étude de structures Schottky conventionnelles et TMBS ("Trench MOS Barrier Schottky") : en particulier, une bonne modélisation et compréhension des courants de fuite et du phénomène d'injection de porteurs minoritaires est nécessaire. En effet tant que ces phénomènes ne seront pas bien pris en compte par le simulateur dans les structures conventionnelles, il sera difficile de valider des simulations sur des structures plus complexes. Dans cette optique, une étude préliminaire a donc été effectuée [25].

Notons cependant que des diodes Schottky à îlots flottants 350 Volts ont déjà été réalisées avec succès [26]. Avec de tels composants, on apporterait ainsi une solution à un problème non encore résolu, celui de la diode de puissance "haute tension et très rapide".

### III.6 Conclusion

Le concept de la FLI-diode a été présenté dans ce chapitre : il consiste en l'introduction de régions flottantes P dans la zone  $N^-$  d'une diode  $PN^+N^-$ . L'objectif était d'utiliser ces régions flottantes pour étaler le champ électrique dans cette région volumique  $N^-$ .

Il a été montré, par des simulations physiques bidimensionnelles, que l'utilisation de la FLI-diode permettait d'atteindre une tenue en tension supérieure à la tenue en tension de la jonction plane et ce, quelle que soit la gamme de tensions visée. Ce résultat est atteint dès l'introduction d'un seul îlot flottant. Ce concept a été expérimentalement validé sur des FLI-diodes basse tension ( $BV_{ds} < 100$  V).

Appliqué aux transistors LDMOS de puissance dont on désire améliorer le compromis " $R_{ON.S}/BV_{ds}$ ", ce concept n'est pas apparu intéressant. En effet, les composants FLIMOS latéraux présentent des surfaces et des résistances passantes spécifiques trop importantes. Cependant, ces composants ont été utilisés en tant que terminaisons de jonction des composants FLIMOS verticaux.

En revanche, ce concept est très "prometteur" lorsqu'il est appliqué aux transistors VDMOS. En effet, les composants FLIMOS verticaux présentent des tenues en tension supérieures à la tenue en tension de la jonction plane et des résistances passantes spécifiques fortement améliorées, inférieures à la limite conventionnelle du silicium. La réalisation technologique du premier transistor FLIMOS 80 Volts pour l'électronique automobile du futur (batteries 42 Volts) a également permis la validation de ce concept lorsqu'il était appliqué aux MOS.

Le concept des îlots flottants dans la zone de drift semble donc réservé aux composants verticaux. Nos travaux effectués dans ce cadre ont donc proposé des solutions innovantes qui permettaient d'améliorer fortement le compromis " $R_{ON.S} / BV_{ds}$ ". De nouvelles limites pour le silicium peuvent donc être définies : la limite conventionnelle des composants unipolaires est désormais dépassée, aussi bien par les limites des transistors MOS à îlots flottants que par les limites des composants MOS à Superjonction. La comparaison des transistors FLIMOS avec les transistors MOS à Superjonction a montré la supériorité de ces derniers dans le domaine des hautes tenues en tension ( $BV_{ds} > 1000$  V). Cependant, pour des tensions plus faibles, les transistors FLIMOS apparaissent particulièrement compétitifs : ils sont une excellente alternative aux composants MOS conventionnels pénalisés par la limite du silicium. Par ailleurs, l'étude théorique des performances dynamiques a montré que les transistors FLIMOS ne semblaient pas être uniquement réservés à des applications basse fréquence, contrairement aux transistors MOS à Superjonction.

Ce concept peut également être appliqué à d'autres composants unipolaires : nous pensons plus particulièrement aux diodes Schottky haute tension ; on apporterait ainsi une solution à un problème non encore résolu, celui de la diode de puissance "haute tension et très rapide".

## Références bibliographiques

- [1] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre-Lavigne, I. Pagès, "The FLIMOS transistor: a new vertical power device generation", 6<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99), Cracovie (Pologne), pp. 295-298, Juin 1999.
- [2] N. Cézac, "Transistor MOS de puissance à faible résistance à l'état passant", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [3] Thèse de S. Alves, à paraître, début 2005.
- [4] S. Selberherr, "Analysis and simulation of semiconductor devices", Springer-Verlag, Wien – New York, 1984.
- [5] M. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 1000 V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier de Toulouse, 1985.
- [6] G. Charitat, "Modélisation et réalisation de composants planar haute-tension", Thèse d'état, Université Paul Sabatier, Toulouse, 1990.
- [7] Y.C. Kao, E.D. Wolley, "High-voltage planar p-n junctions", Proceedings of the IEEE, Vol. 55, n°8, Août 1967.
- [8] E. Stefanov, G. Charitat, L. Bailon, "Design methodology and simulation tool for floating ring termination technique", Solid-State Electronics, Vol. 42, n°12, Décembre 1998, p. 2251-2257.
- [9] J-L. Sanchez, "Propriétés à l'état passant des transistors DMOS de puissance coplanaires et verticaux", Thèse de Docteur-Ingénieur, INSA Toulouse, 1984.
- [10] T. Fujihira, "Theory of semiconductor superjunction devices", Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.
- [11] T. Fujihira, Y. Miyasaka, "Simulated superior performances of semiconductor superjunctions devices", Proceedings ISPSD'98, pp. 423-426, 1998.
- [12] L. Lorenz, G. Deboy, A. Knapp, M. März, "COOLMOST<sup>TM</sup> – a new milestone in high voltage power MOSFET", Proceedings ISPSD'99, pp. 3-10, 1999.
- [13] W. Bueno de Moraes, "Contribucao a optimisacao da estrutura de transistors MOS de estrutura nao coplanar", Thèse de Doctorat d'Etat, Université de Campinas, Sao Paulo, Brésil, 1982.
- [14] G. Tardivo, "Le transistor DMOS vertical en amplification haute-fréquence de puissance", Thèse de 3<sup>ème</sup> cycle, Université Paul Sabatier, Toulouse, 1987.
- [15] J. Kassakian, D. Perreault, "The future of electronics in automobiles", Proceedings ISPSD'01, pp. 15-19, 2001.
- [16] F. Kozlowski, J. Krumkey, A. Karl, "Power semiconductors and modules for 42V-applications", PowerFETs for automotives applications, INFINEON internal paper, 1999.

- [17] A. Feybesse, "Développement et optimisation par simulation de transistors MOS verticaux de puissance adaptés au secteur automobile (42V)", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2003.
- [18] H. Hakim, "Intégration de composants passifs sur silicium", Thèse de Doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [19] ISPSD'02 PA, Proceedings ISPSD'02, pp. 33-36, 2002.
- [20] J. Kim, T.M. Roh, S-G. Kim, Q.S. Song, J.G. Koo, K.S. Nam, K-I. Cho, D.S. Ma, "High-density low On-resistance MOSFETs employing oxide spacers and self-Align technique for DC/DC converter", Proceedings ISPSD'2000, pp. 381-384, 2000.
- [21] S. Sobhani, D. Kinzer, L. Ma, D. Asselanis, "High density, sub 10mOhm  $R_{dson}$  100Volt N-channel FETs for automotive applications", Proceedings ISPSD'2000, pp. 373-376, 2000.
- [22] Y. Hattori, T. Suzuki, M. Kodama, E. Hayashi, T. Uesugi, "Shallow angle implantation for extended trench gate power MOSFETs with superjunction structure", Proceedings ISPSD'01, pp. 427-430, 2001.
- [23] K. Yano, C-W. Kim, M. Kimura, A. Tanaka, S.-I. Motoyama, T. Sukegawa, "Effects of shielded-gate structure on on-resistance of the SIT with a high-purity channel region", IEEE Transactions on Electron Devices, Vol. 39, 5, pp. 1257-1260, 1992.
- [24] B.J. Baliga, "Modern Power Devices", Editions J. Wiley & Sons, 1987.
- [25] F. Lanois, F. Morancho, "Caractéristiques électriques simulées et expérimentales de composants Schottky en tranchées", Electronique de Puissance du Futur (EPF-SAAEI'04), Toulouse, pp. -, Septembre 2004.
- [26] W. Saitoh, I. Omura, K. Tokano, T. Ogura, H. Ohashi, "Ultra low On-resistance with P-buried floating layer", Proceedings ISPSD'02, pp. 33-36, 2002.

## Nos publications scientifiques sur le sujet

- [C1] F. Lanois, F. Morancho, "Caractéristiques électriques simulées et expérimentales de composants Schottky en tranchées", Electronique de Puissance du Futur (EPF-SAAEI'04), Toulouse, Septembre 2004.
- [C2] S. Alves, F. Morancho, J-M. Reynès, J. Margheritta, I. Deram, K. Isoird, "Validation expérimentale du concept des "îlots flottants" : réalisation d'une FLIDiode verticale 95 Volts", Electronique de Puissance du Futur (EPF-SAAEI'04), Toulouse, Septembre 2004.
- [C3] S. Alves, F. Morancho, J-M. Reynès, J. Margheritta, I. Deram, K. Isoird, "Experimental validation of the "Floating Islands" concept : a 95 Volts vertical breakdown voltage FLIDiode", 7<sup>th</sup> International Seminar on Power Semiconductors (ISPS'04), Prague, pp. 47-50, Septembre 2004.
- [C4] S. Alves, F. Morancho, J-M. Reynès, "Nouvelles génération de transistors FLIMOS verticaux pour les applications automobiles à batteries duales 12V/42V", 7<sup>èmes</sup> Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'2004), Marseille, Mai 2004.
- [C5] S. Alves, F. Morancho, J-M. Reynès, B. Lopes, "New generation of vertical MOSFETs for future 12 Volts / 42 Volts dual batteries in automotive applications", 10<sup>th</sup> European Conference on Power Electronics and Applications (EPE'2003), Toulouse, Septembre 2003.
- [C6] S. Alves, F. Morancho, J-M. Reynès, B. Lopes, "Vertical N-channel FLIMOSFETs for future 12 V / 42 V dual batteries automotive applications", 15<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs (ISPSD'2003), Cambridge, pp. 308-311, Avril 2003.
- [C7] F. Morancho, N. Cézac, A. Galadi, M. Zitouni, P. Rossel, A. Peyre-Lavigne, "A new generation of power lateral and vertical floating islands MOS structures", Microelectronics Journal, Vol. 32, N°5-6, pp. 509-516, Juin 2001.
- [C8] F. Morancho, N. Cézac, A. Galadi, M. Zitouni, H. Tranduc, P. Rossel, A. Peyre-Lavigne, "Les composants unipolaires à "îlots flottants" : de nouvelles limites pour le compromis "résistance à l'état passant / tenue en tension"", Electronique de Puissance du Futur (EPF'2000), Lille, pp. 189-193, Novembre 2000.
- [C9] F. Morancho, N. Cézac, A. Galadi, M. Zitouni, P. Rossel, A. Peyre-Lavigne, "New power FLIMOS structure generations", 5<sup>th</sup> International Seminar on Power Semi-conductors (ISPS'2000), Prague, pp. 91-94, Septembre 2000.
- [C10] N. Cézac, F. Morancho, P. Rossel, H. Tranduc, A. Peyre-Lavigne, I. Pagès, "A new generation of power MOSFET based on the concept of the "Floating Islands"", European Physical Journal – Applied Physics, Vol. 10, N° 3, pp. 203-209, Juin 2000.
- [C11] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre-Lavigne, I. Pagès, "A new generation of power unipolar devices: the concept of the floating islands MOS transistor (FLIMOST)", 12<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs (ISPSD'2000), Toulouse, pp. 69-72, Mai 2000.
- [C12] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre-Lavigne, I. Pagès, "A new generation of power devices based on the concept of the Floating Islands", International Conference on Microelectronics (MIEL'2000), Nis (Yougoslavie), pp. 637-640, Mai 2000.
- [C13] P. Rossel, N. Cézac, G. Charitat, J-M. Dorkel, F. Morancho, I. Pages, H. Tranduc, M. Zitouni, "Advanced concepts in smart power integrated circuits", Papier invité à l'International Conference on Microelectronics (MIEL'2000), Nis (Yougoslavie), pp. 117-124, Mai 2000.
- [C14] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre Lavigne, I. Pagès, "A new concept for the vertical power DMOS transistor", 14<sup>th</sup> International Conference on Microelectronics and Packaging (ICMP'99), Campinas (Brésil), pp. 176-179, Août 1999.

[C15] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre Lavigne, I. Pagès, “The FLIMOS transistor: a new vertical power device generation”, 6th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99), Cracovie (Pologne), pp. 295-298, Juin 1999.

# *Chapitre IV*

## **C**onclusion générale et éléments de perspectives

---



## IV.1 Bilan des travaux effectués

Le compromis entre la résistance passante spécifique et la tenue en tension a toujours été un point particulièrement pénalisant pour les structures MOS de puissance conventionnelles verticales (VDMOS) et latérales (LDMOS), comme, d'ailleurs, pour tous les composants unipolaires. Il a été montré qu'il était possible d'améliorer sensiblement la résistance passante spécifique des transistors VDMOS en diminuant la surface des cellules MOS élémentaires ; cependant, cette miniaturisation a désormais pratiquement atteint actuellement ses limites. Par ailleurs, elle n'est pas applicable aux transistors LDMOS. Nous étions donc arrivés aux limites des technologies classiques, c'est-à-dire aux "limites du silicium", ces limites étant notamment traduites par les relations liant la résistance passante spécifique minimale et la tenue en tension des composants de puissance conventionnels : il devenait donc difficile d'améliorer les performances des transistors MOS de puissance par des simples modifications de la géométrie de surface.

Il fallait donc briser ces limites en explorant de nouvelles voies : les innovations ne devaient plus se limiter à la surface mais devaient concerner le volume du composant. C'est à partir de 1997 que de nouveaux concepts sont apparus pour dépasser les limites du silicium, qui apparaissaient depuis une vingtaine d'années comme "infranchissables". Le premier de ces concepts est la Superjonction proposée par Fujihira. Les deux autres concepts sont issus de nos travaux de recherche au LAAS-CNRS : il s'agit de la U-diode et de la FLI-diode qui ont fait l'objet de ce mémoire. Ces deux diodes ont été étudiées et leur principe de fonctionnement a été appliqué aux composants MOS de puissance latéraux et verticaux avec une question principale : quelles performances statiques — compromis "résistance passante spécifique / tenue en tension" — est-on en droit d'attendre de ces nouveaux composants ?

### IV.1.1 Composants MOS de puissance latéraux

Concernant les composants facilement intégrables, c'est-à-dire essentiellement les composants MOS de puissance latéraux, le concept le plus intéressant est celui de la U-diode : plusieurs structures, nommées LUDMOS, ont été proposées. Certaines d'entre elles présentent un excellent compromis entre résistance passante spécifique et tenue en tension dans la gamme des basses tensions de claquage ( $BV_{dss} < 100 \text{ V}$ ) ; ce compromis est proche ou même parfois meilleur que la limite du silicium des composants LDMOS conventionnels. Le claquage est toujours ici un claquage "conventionnel" (claquage d'une jonction PN ou phénomène RESURF) mais la tranchée d'oxyde permet l'utilisation de la profondeur (3<sup>e</sup> dimension) pour soutenir la tension et s'affranchir ainsi de la longueur de drift, qui était une limitation fondamentale dans les composants LDMOS conventionnels : l'intégration accrue a donc consisté ici à réduire les dimensions de la partie "puissance" des circuits intégrés. Par ailleurs, les composants LUDMOS proposés s'appuient sur des technologies existantes : ce sont donc des composants d'ores et déjà réalisables sans aucune nécessité de saut technologique majeur ; ce sont aussi et surtout des composants intégrables dans les circuits intégrés de puissance Smart Power. Des composants LUDMOS RESURF sont d'ailleurs utilisés depuis 2001 dans la technologie HiPerMOS™ de MOTOROLA.

Par ailleurs, l'utilisation de la U-diode latérale a permis d'atteindre une tenue en tension égale à la tenue en tension de la jonction plane alors que, dans une diode latérale conventionnelle, c'est la jonction cylindrique ou sphérique qui claque prématurément. Ce résultat est atteint à condition d'utiliser une tranchée d'oxyde large et profonde : il peut donc être utilisé en tant que terminaison de jonction de composants verticaux haute tension.

En revanche, le concept de la FLI-diode n'est pas apparu intéressant pour les transistors LDMOS : en effet, les composants FLIMOS latéraux présentent des surfaces et des résistances passantes spécifiques trop importantes. Ces composants ont cependant été utilisés en tant que terminaisons de jonction des composants FLIMOS verticaux.

### IV.1.2 Composants MOS de puissance verticaux

Les composants MOS verticaux sont préférentiellement utilisés en tant que composants discrets bien qu'ils soient également intégrables (transistors VDMOS up-drain par exemple). Pour ces composants, c'est le concept de la FLI-diode qui est apparu le plus "prometteur". En effet, les composants FLIMOS verticaux présentent des tenues en tension supérieures à celle de la jonction plane et des résistances passantes spécifiques fortement améliorées, inférieures à la limite conventionnelle du silicium. La réalisation technologique du premier transistor FLIMOS 80 Volts pour l'électronique automobile du futur (batteries 42 Volts) a permis la validation de ce concept.

De nouvelles limites pour le silicium ont ainsi été définies : la limite conventionnelle est désormais dépassée, aussi bien par les limites des transistors MOS à îlots flottants que par celles des composants MOS à Superjonction. Ces derniers sont plus performants que les transistors FLIMOS dans le domaine des hautes tenues en tension ( $BV_{dss} > 1000 \text{ V}$ ). Pour des tensions plus faibles, les transistors FLIMOS apparaissent particulièrement compétitifs : ils sont une excellente alternative aux composants MOS conventionnels, d'autant plus qu'ils présentent des performances dynamiques similaires.

Les transistors VDMOS inspirés de la U-diode verticale (VDMOS à oxyde enterré) ont également été étudiés : la tenue en tension obtenue est supérieure à la celle de la jonction plane à condition que l’oxyde inséré dans la zone faiblement dopée occupe plus de 60% de la surface du composant. Une amélioration du compromis “ $R_{ON,S}/BV_{dss}$ ” a certes été observée mais elle n’a pas été jugée suffisamment significative par rapport au coût technologique supplémentaire induit par l’introduction d’un oxyde dans la zone faiblement dopée.

**IV.1.3 Le silicium a encore de l’avenir !**

Les solutions innovantes proposées récemment ont donc montré que le silicium avait encore de l’avenir, que ce soit par l’utilisation de tranchées dans le volume [1], [2], [3], [4],[5], de composants à îlots flottants [6], [7], [8], [9] ou de composants à Superjonction.[10], [11], [12], [13].

**IV.2 Perspectives de recherche**

Étant donné les différentes solutions proposées dans ce travail et dans la littérature, les perspectives de ce travail sont nombreuses et variées : elles peuvent concerner tous les niveaux de tension, et, par conséquent, un grand nombre d’applications de l’électronique de puissance. Par ailleurs, l’intégration en électronique numérique et analogique a évolué ces dernières années vers l’intégration de systèmes complets “System On Chip” et, plus récemment, vers les microsystèmes. L’intégration en électronique de puissance va suivre une voie identique et se fera, non plus au niveau du composant ou de la fonction, mais au niveau du système de puissance.

Nos perspectives de recherche pour les prochaines années s’inscrivent donc dans le développement de structures de puissance avancées en vue de leur intégration dans les systèmes de puissance du futur.

**IV.2.1 Les systèmes de puissance du futur**

En fonction des niveaux de puissance et des applications envisagées, l’intégration sera, comme d’habitude, monolithique ou hybride, mais de manière hétérogène en raison de la diversité des éléments à intégrer (éléments actifs, passifs, refroidisseurs, connectique,...). Ces futurs systèmes de puissance intégrés correspondront à des assemblages hétérogènes (plusieurs matériaux) et multidimensionnels (3D) de fonctions de puissance élémentaires. Ces fonctions seront constituées à partir d’éléments de puissance (fonctions de puissance et de protection intégrées, nouveaux dispositifs MOS, ...), de commande (interfaçage avec les circuits de contrôle et de commande) et de leur environnement (éléments passifs, refroidisseurs, ...). Les nouveaux procédés de fabrication et les nouvelles technologies d’assemblage (autosoudage du silicium, flip chip, associations 3D, report de puces amincies..) seront largement utilisés.

Par ailleurs, l’intégration ne doit pas être considérée comme une simple miniaturisation des fonctions discrètes mais comme l’apport de solutions innovantes. Ces solutions permettront peut-être le développement de nouvelles stratégies de gestion de l’énergie électrique grâce à des fonctionnalités innovantes. Ainsi, l’intégration sera basée sur une démarche “système” prenant en compte les besoins au niveau des applications. L’association de nouveaux matériaux avec le silicium ainsi que l’utilisation du volume du semi-conducteur sont les deux voies privilégiées afin de développer de nouvelles fonctionnalités. Ces deux orientations s’appuieront notamment sur la filière flexible développée au LAAS ces dernières années [14]. Les composants de puissance du futur comporteront donc plusieurs dispositifs actifs, des éléments passifs, des motifs complexes sur les faces avant et arrière des plaquettes et des montages spécifiques. La Figure IV.1 illustre cette évolution.

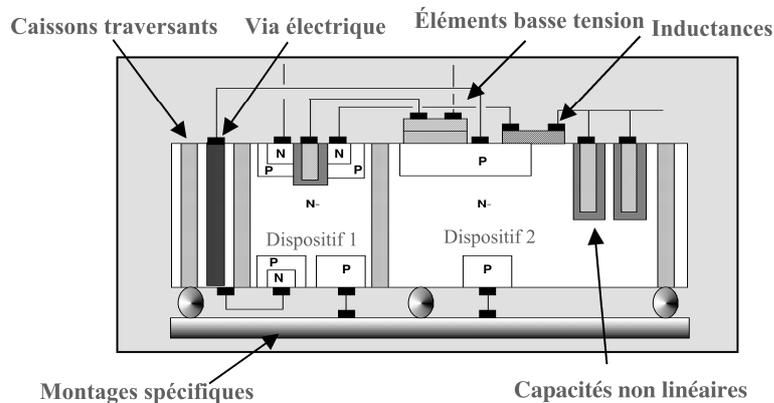


Figure IV.1 : Evolution des structures de puissance.

### IV.2.2 Développement de structures de puissance avancées

L'intégration étant désormais basée sur une démarche "système" prenant en compte les besoins au niveau des applications, c'est donc le système de puissance qui va imposer le cahier des charges pour la conception des composants de puissance. Par ailleurs, concernant cette conception, l'industrie des composants de puissance bénéficie des avancées technologiques propres à la réalisation des mémoires et des microprocesseurs avec, cependant, un certain retard (Figure IV.2). En 2000, ce retard n'était plus que d'une génération : les longueurs des canaux des transistors MOS atteignaient  $0,35 \mu\text{m}$  pour les circuits intégrés de puissance contre  $0,18 \mu\text{m}$  en électronique VLSI (Very Large Scale Integration).

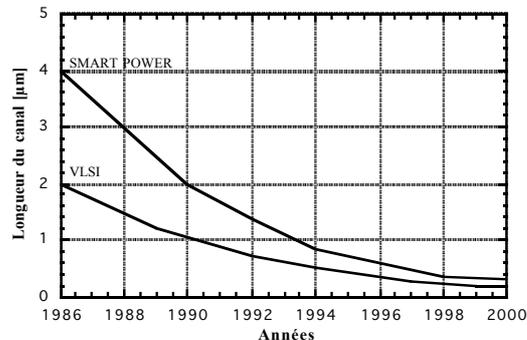


Figure IV.2 : Comparaison entre l'évolution des technologies Smart Power et VLSI.

Selon la tenue en tension visée, les solutions de développement de structures de puissance avancées ne seront évidemment pas les mêmes.

#### IV.2.2.1 Faibles tenues en tension

Pour les faibles tenues en tension ( $BV_{dss} < 40$  Volts) correspondant principalement aux circuits intégrés pour la téléphonie mobile, les technologies à tranchées semblent les plus intéressantes car elles permettront la réalisation de composants latéraux de faible dimension. Pour aller vers une intégration maximale de composants sur la même puce, nous nous proposons d'étudier, dans un projet mené en collaboration avec la société ST-Microelectronics de Crolles, la faisabilité d'intégrer en technologie CMOS sur SOI mince (épaisseurs d'oxyde inférieures à  $0,1 \mu\text{m}$ ) des composants LDMOS latéraux de tenues en tension de l'ordre de 15 Volts (ce seront donc a priori des transistors LUDMOS). Ces MOS "haute tension" nécessitent donc des oxydes épais alors qu'ils doivent être intégrés en même temps que les MOS pour fonctions digitales rapides (donc à oxyde mince). Par ailleurs, l'utilisation de films SOI minces pose les problèmes des résistances d'accès plus élevées et de l'échauffement, problèmes qui peuvent être critiques pour obtenir les performances les performances voulues. L'objectif de ce projet est de caractériser ces phénomènes dans les technologies SOI CMOS 65 nm et de proposer différentes architectures possibles d'optimisation.

#### IV.2.2.2 Tenues en tension "moyennes"

Pour les tenues en tension "moyennes" ( $40 \text{ V} < BV_{dss} < 100 \text{ V}$ ) correspondant aux applications automobiles du présent (batteries 14 Volts), du futur proche (batteries mixtes 14/42 Volts) et d'un futur plus lointain (batteries 42 Volts), une partie du travail présenté dans ce mémoire a montré l'intérêt d'utiliser le concept du transistor FLIMOS : un gain en performances statiques de 33% a été obtenu par rapport aux composants planar conventionnels (VDMOS) mais au prix d'un surcoût technologique important (double épitaxie, 3 niveaux de masque supplémentaires pour réaliser la terminaison,...). À court terme et pour cette gamme de tensions, il semble donc que le FLIMOS ne soit pas la solution la plus intéressante.

Grâce à l'utilisation de technologies fines proches de celles de l'électronique VLSI, d'autres solutions doivent être explorées, que ce soit pour réaliser des composants MOS latéraux intégrables ou des composants MOS verticaux discrets. Nous pensons aux transistors MOS à Superjonction [10] mais aussi à d'autres structures dont le principe physique de fonctionnement est quasiment analogue à celui de la Superjonction : nous pouvons citer le MOS à semi-Superjonction [16], l'OBVDMOS [17] ou le MOS Multi-RESURF [18]. Ces composants semblent a priori adaptés pour la haute tension, mais leur étude autour de 80 Volts mérite d'être effectuée. En particulier, la technologie à tranchées peut être utilisée ici, non pas pour enterrer la grille comme dans le cas du transistor VDMOS à tranchées, mais pour réaliser des puits P (et / ou des oxydes, et / ou des polysiliciums) profonds et très fins, nécessaires pour obtenir un bon compromis " $R_{ON.S} / BV_{dss}$ " à ces niveaux de tension. Il faudra également travailler sur les boîtiers dont les résistances (soudure, fils, ...) représenteront bientôt la moitié de la résistance totale du composant : il est important d'innover également dans ce domaine du "packaging" pour ne pas perdre l'avance acquise sur silicium.

Une autre préoccupation majeure est la montée en fréquence nécessaire de ces composants. En effet, une des problématiques des systèmes de puissance du futur est de concevoir des convertisseurs intégrant des composants passifs. Or ces derniers occupent à ce jour un volume trop important : ainsi, diminuer la dimension d'une inductance nécessitera une diminution de sa valeur  $L$  et, par conséquent, une augmentation de la fréquence de fonctionnement [19]. Plusieurs voies sont possibles pour répondre à cette exigence : nous pouvons diminuer la capacité de transfert  $C_{gd}$  (capacité Miller), soit en jouant sur l'épaisseur de l'oxyde intercellulaire pour diminuer la capacité de cet oxyde — transistors MOS à grille partielle ou à double niveau d'oxyde —, soit en diminuant la capacité de déplétion de cette zone intercellulaire, — par exemple en insérant des zones faiblement dopées en surface du silicium —.

Pour ces applications automobiles du futur, nous serons impliqués dans un projet qui s'effectuera dans le cadre du 3<sup>e</sup> Laboratoire Commun LISPA (Laboratoire d'Intégration de Systèmes de Puissance Avancés) entre le LAAS-CNRS et FREESCALE Semiconducteurs, suite logique du 2<sup>e</sup> Laboratoire Commun LCIP : il s'agira de concevoir des composants verticaux MOS avancés, aux performances statiques au moins égales à celles du transistor FLIMOS et aux performances dynamiques améliorées, le tout à un coût technologique réduit.

#### IV.2.2.3 Hautes tenues en tension

Pour les tenues en tension supérieures à 100 Volts, nous envisageons d'étudier, en plus des transistors MOS, les diodes Schottky. Les mêmes concepts — îlots flottants, Superjonction et "dérivés" — pouvant être appliqués aux deux types de composants, il s'agira ici de comparer les différents concepts et d'identifier, selon la tenue en tension visée, la (ou les) meilleure(s) structure(s) en termes de performances (statiques et dynamiques), faisabilité et coût de fabrication.

Concernant les diodes Schottky; on apporterait ainsi une solution à un problème non encore résolu, celui de la diode de puissance "haute tension et très rapide". Il faudra également comparer ces structures en silicium à celles en carbure de silicium (SiC) qui sont apparues dans les années 90 en haute tension (> 1000 V) et même, plus récemment, pour des tenues en tension relativement basses (300 Volts) [20].

Concernant les transistors MOS, la solution FLIMOS, dont le compromis "coût / performances" était apparu insuffisant en dessous de 100 Volts, semble être une voie intéressante pour les tenues en tension avoisinant les 500 Volts d'après nos calculs (Figure III.23) : c'est une des voies que nous comptons également explorer dans le cadre du LISPA, afin de concevoir des composants de puissance pour les circuits électroniques des voitures hybrides. Pour des tenues en tension plus élevées comme celles qui sont nécessaires à la traction ferroviaire (MOS 1200 Volts), une étude comparative des différents concepts doit être menée : c'est un des projets qui devrait être mené à bien dans le cadre du 2<sup>e</sup> Laboratoire Commun PEARL2 ("Power Electronics Associated Research Laboratory"), laboratoire qui associe industriels (ALSTOM Transport, BOOSTEC, EPSILON Ingénierie, ...) et laboratoires publics (LAAS-CNRS, LEEI, LGET, LGP, ...).

### Références bibliographiques

- [1] N. Fujishima, C.A.T. Salama, "A trench lateral power MOSFET using self-aligned trench bottom contact holes", Proceedings IEDM'97, pp. 359-362, 1997.
- [2] M. Zitouni, F. Morancho, P. Rossel, J. Buxo, I. Pagès, "A new lateral power MOSFET for Smart Power IC's : the trench LDMOSFET (or LUDMOSFET)", 5<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'98), Lodz (Pologne), pp. 411-414, Juin 1998.
- [3] A. Nakagawa, Y. Kawaguchi, "Improved 20 V lateral trench gate power MOSFETs with very low On-resistance of 7.8 m $\Omega$ .mm<sup>2</sup>", Proceedings ISPSD'2000, pp. 47-50, 2000.
- [4] E. De Fresart, R. De Souza, J. Morrison, P. Parris, J. Heddleson, V. Senkatesan, W. Paulson, D. Collins, G. Nivison, B. Baumert, W. Cowden, D. Blomberg, "Integration of multi-voltage analog and power devices in a 0.25 $\mu$ m CMOS + Flash memory process", Proceedings ISPSD'02, pp. 305-308, 2000.
- [5] A. Sugi, M. Sawada, S. Kajiwara, N. Fujishima, C.A.T. Salama, "A 30V class extremely low On-resistance meshed trench lateral power MOSFET", Proceedings ISPSD'02, pp. 297-300, 2002.
- [6] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre Lavigne, I. Pagès, "The FLIMOS transistor: a new vertical power device generation", 6<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99), Cracovie (Pologne), pp. 295-298, Juin 1999.
- [7] X.B. Chen, X. Wang, J-K.O. Sin "A novel high-voltage sustaining structure with buried oppositely doped regions", IEEE Transactions on Electron Devices, Vol. 47, n°6, pp. 1280-1285, Juin 2000.
- [8] W. Saitoh, I. Omura, K. Tokano, T. Ogura, H. Ohashi, "Ultra low On-resistance with P-buried floating layer", Proceedings ISPSD'02, pp. 33-36, 2002.
- [9] S. Alves, F. Morancho, J-M. Reynes, B. Lopes, "Vertical N-channel FLIMOSFETs for future 12 V / 42 V dual batteries automotive applications", Proceedings ISPSD'03, Cambridge, pp. 308-311.
- [10] T. Fujihira, "Theory of semiconductor superjunctions devices", Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.

- [11] L. Lorenz, G. Deboy, A. Knapp, M. März, “COOLMOS™ – a new milestone in high voltage power MOSFET”, Proceedings ISPSD’99, pp. 3-10, 1999.
- [12] Y. Kawaguchi, K. Nakamura, A. Nakagawa, “Predicted electrical characteristics of 4500V Super Multi-Resurf MOSFETs”, Proceedings ISPSD’99, pp. 95-98, 1999.
- [13] T. Minato, T. Nitta, A. Uenisi, M. Yano, M. Harada, S. Hine, “Which is cooler, Trench or Multi-Epitaxy?”, Proceedings ISPSD’2000, pp. 73-76, 2000.
- [14] E. Imbernon, “Etude et optimisation d’une filière technologiques flexible adaptée au mode d’intégration fonctionnelle”, Thèse de Doctorat de l’Université Paul Sabatier de Toulouse, 2002.
- [15] R. Ng, F. Udrea, K. Ueno, G.A.J. Amaratunga, M. Nishiura, “Lateral unbalanced Super Junction (USJ) / 3D RESURF for high breakdown voltage on SOI”, Proceedings ISPSD’01, pp. 395-398, 2001.
- [16] W. Saitoh, I. Omura, S. Aida, S. Koduki, M. Izumisawa, T. Ogura, “600V Semi-superjunction MOSFET”, Proceedings ISPSD’03, pp. 45-48.
- [17] Y.C. Liang, X. Yang, G.S. Samudra, K.P. Gan, Y. Liu, “Tunable Oxide-Bypassed VDMOS (OBVDMOS) : breaking the Silicon Limit for the second generation”, Proceedings ISPSD’02, pp. 201-204.
- [18] C. Rochefort, R. van Dalen, N. Duhayon, W. Vandervorst, “Manufacturing of high aspect-ratio p-n junctions using Vapor Phase Doping for application in multi-Resurf devices”, Proceedings ISPSD’02, pp. 237-240.
- [19] M. Darwish, “Next-generation Semiconductors for DC-to-DC converters”, Proceedings BCTM’03, pp. 15-21.
- [20] M. Shanbhag, P. Chow, “Cryogenic operation of 4H-SiC Schottky rectifiers”, Proceedings ISPSD’02, pp. 129-132.



