



HAL
open science

Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension

Cyril Buttay

► **To cite this version:**

Cyril Buttay. Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension. Sciences de l'ingénieur [physics]. INSA de Lyon, 2004. Français. NNT : . tel-00327164

HAL Id: tel-00327164

<https://theses.hal.science/tel-00327164>

Submitted on 7 Oct 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée

devant l'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir

LE GRADE DE DOCTEUR

ÉCOLE DOCTORALE : ÉLECTRONIQUE ÉLECTROTECHNIQUE AUTOMATIQUE

FORMATION DOCTORALE : GÉNIE ÉLECTRIQUE

par

Cyril BUTTAY

Ingénieur de l'INSA de Lyon

**Contribution à la conception par la simulation en électronique de puissance :
application à l'onduleur basse tension**

Soutenue le : **30 novembre 2004** devant la Commission d'examen

Jury :

M. Patrick AUSTIN, Rapporteur

M. Dominique BERGOGNE, Directeur

M. Jean-Pierre CHANTE

M. François FOREST

M. Cédric PLASSE

M. Jean-Luc SCHANEN, Rapporteur

Novembre 2003

INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

Directeur : STORCK A.

Professeurs :

AMGHAR Y.	LIRIS
AUDISIO S.	PHYSICOCHIMIE INDUSTRIELLE
BABOT D.	CONT. NON DESTR. PAR RAYONNEMENTS IONISANTS
BABOUX J.C.	GEMPPM***
BALLAND B.	PHYSIQUE DE LA MATIERE
BAPTISTE P.	PRODUCTIQUE ET INFORMATIQUE DES SYSTEMES MANUFACTURIERS
BARBIER D.	PHYSIQUE DE LA MATIERE
BASKURT A.	LIRIS
BASTIDE J.P.	LAEPSI****
BAYADA G.	MECANIQUE DES CONTACTS
BENADDA B.	LAEPSI****
BETEMPS M.	AUTOMATIQUE INDUSTRIELLE
BIENNIER F.	PRODUCTIQUE ET INFORMATIQUE DES SYSTEMES MANUFACTURIERS
BLANCHARD J.M.	LAEPSI****
BOISSE P.	LAMCOS
BOISSON C.	VIBRATIONS-ACOUSTIQUE
BOIVIN M. (Prof. émérite)	MECANIQUE DES SOLIDES
BOTTA H.	UNITE DE RECHERCHE EN GENIE CIVIL - Développement Urbain
BOTTA-ZIMMERMANN M. (Mme)	UNITE DE RECHERCHE EN GENIE CIVIL - Développement Urbain
BOULAYE G. (Prof. émérite)	INFORMATIQUE
BOYER J.C.	MECANIQUE DES SOLIDES
BRAU J.	CENTRE DE THERMIQUE DE LYON - Thermique du bâtiment
BREMOND G.	PHYSIQUE DE LA MATIERE
BRISAUD M.	GENIE ELECTRIQUE ET FERROELECTRICITE
BRUNET M.	MECANIQUE DES SOLIDES
BRUNIE L.	INGENIERIE DES SYSTEMES D'INFORMATION
BUFFIERE J-Y.	GEMPPM***
BUREAU J.C.	CEGELY*
CAMPAGNE J-P.	PRISMA
CAVAILLE J.Y.	GEMPPM***
CHAMPAGNE J-Y.	LMFA
CHANTE J.P.	CEGELY*- Composants de puissance et applications
CHOCAT B.	UNITE DE RECHERCHE EN GENIE CIVIL - Hydrologie urbaine
COMBESURE A.	MECANIQUE DES CONTACTS
COURBON	GEMPPM
COUSIN M.	UNITE DE RECHERCHE EN GENIE CIVIL - Structures
DAUMAS F. (Mme)	CENTRE DE THERMIQUE DE LYON - Energétique et Thermique
DJERAN-MAIGRE I.	UNITE DE RECHERCHE EN GENIE CIVIL
DOUTHEAU A.	CHIMIE ORGANIQUE
DUBUY-MASSARD N.	ESCHIL
DUFOUR R.	MECANIQUE DES STRUCTURES
DUPUY J.C.	PHYSIQUE DE LA MATIERE
EMPTOZ H.	RECONNAISSANCE DE FORMES ET VISION
ESNOUF C.	GEMPPM***
EYRAUD L. (Prof. émérite)	GENIE ELECTRIQUE ET FERROELECTRICITE
FANTOZZI G.	GEMPPM***
FAVREL J.	PRODUCTIQUE ET INFORMATIQUE DES SYSTEMES MANUFACTURIERS
FAYARD J.M.	BIOLOGIE FONCTIONNELLE, INSECTES ET INTERACTIONS
FAYET M. (Prof. émérite)	MECANIQUE DES SOLIDES
FAZEKAS A.	GEMPPM
FERRARIS-BESSO G.	MECANIQUE DES STRUCTURES
FLAMAND L.	MECANIQUE DES CONTACTS
FLEURY E.	CITI
FLORY A.	INGENIERIE DES SYSTEMES D'INFORMATIONS
FOUGERES R.	GEMPPM***
FOUQUET F.	GEMPPM***
FRECON L. (Prof. émérite)	REGROUPEMENT DES ENSEIGNANTS CHERCHEURS ISOLES
GERARD J.F.	INGENIERIE DES MATERIAUX POLYMERES
GERMAIN P.	LAEPSI****
GIMENEZ G.	CREATIS**
GOBIN P.F. (Prof. émérite)	GEMPPM***
GONNARD P.	GENIE ELECTRIQUE ET FERROELECTRICITE
GONTRAND M.	PHYSIQUE DE LA MATIERE
GOUTTE R. (Prof. émérite)	CREATIS**
GOUJON L.	GEMPPM***
GOURDON R.	LAEPSI****
GRANGE G. (Prof. émérite)	GENIE ELECTRIQUE ET FERROELECTRICITE
GUENIN G.	GEMPPM***
GUICHARDANT M.	BIOCHIMIE ET PHARMACOLOGIE
GUILLOT G.	PHYSIQUE DE LA MATIERE
GUINET A.	PRODUCTIQUE ET INFORMATIQUE DES SYSTEMES MANUFACTURIERS
GUYADER J.L.	VIBRATIONS-ACOUSTIQUE
GUYOMAR D.	GENIE ELECTRIQUE ET FERROELECTRICITE

Novembre 2003

HEIBIG A.
JACQUET-RICHARDET G.
JAYET Y.
JOLION J.M.
JULLIEN J.F.
JUTARD A. (Prof. émérite)
KASTNER R.
KOULOUMDJIAN J. (Prof. émérite)
LAGARDE M.
LALANNE M. (Prof. émérite)
LALLEMAND A.
LALLEMAND M. (Mme)
LAREAL P. (Prof. émérite)
LAUGIER A. (Prof. émérite)
LAUGIER C.
LAURINI R.
LEJEUNE P.
LUBRECHT A.
MASSARD N.
MAZILLE H. (Prof. émérite)
MERLE P.
MERLIN J.
MIGNOTTE A. (Mle)
MILLET J.P.
MIRAMOND M.
MOREL R. (Prof. émérite)
MOSZKOWICZ P.
NARDON P. (Prof. émérite)
NAVARRO Alain (Prof. émérite)
NELIAS D.
NIEL E.
NORMAND B.
NORTIER P.
ODET C.
OTTERBEIN M. (Prof. émérite)
PARIZET E.
PASCAULT J.P.
PAVIC G.
PECORARO S.
PELLETIER J.M.
PERA J.
PERRIAT P.
PERRIN J.
PINARD P. (Prof. émérite)
PINON J.M.
PONCET A.
POUSIN J.
PREVOT P.
PROST R.
RAYNAUD M.
REDARCE H.
RETIF J.M.
REYNOUARD J.M.
RICHARD C.
RIGAL J.F.
RIEUTORD E. (Prof. émérite)
ROBERT-BAUDOUIY J. (Mme) (Prof. émérite)
ROUBY D.
ROUX J.J.
RUBEL P.
SACADURA J.F.
SAUTEREAU H.
SCAVARDA S. (Prof. émérite)
SOUIFI A.
SOUROUILLE J.L.
THOMASSET D.
THUDEROZ C.
UBEDA S.
VELEX P.
VERMANDE P. (Prof. émérite)
VIGIER G.
VINCENT A.
VRAY D.
VUILLERMOZ P.L. (Prof. émérite)

Directeurs de recherche C.N.R.S. :
BERTHIER Y.
CONDEMINE G.

MATHEMATIQUE APPLIQUEES DE LYON
MECANIQUE DES STRUCTURES
GEMPPM***
RECONNAISSANCE DE FORMES ET VISION
UNITE DE RECHERCHE EN GENIE CIVIL - Structures
AUTOMATIQUE INDUSTRIELLE
UNITE DE RECHERCHE EN GENIE CIVIL - Géotechnique
INGENIERIE DES SYSTEMES D'INFORMATION
BIOCHIMIE ET PHARMACOLOGIE
MECANIQUE DES STRUCTURES
CENTRE DE THERMIQUE DE LYON - Energétique et thermique
CENTRE DE THERMIQUE DE LYON - Energétique et thermique
UNITE DE RECHERCHE EN GENIE CIVIL - Géotechnique
PHYSIQUE DE LA MATIERE
BIOCHIMIE ET PHARMACOLOGIE
INFORMATIQUE EN IMAGE ET SYSTEMES D'INFORMATION
UNITE MICROBIOLOGIE ET GENETIQUE
MECANIQUE DES CONTACTS
INTERACTION COLLABORATIVE TELEFORMATION TELEACTIVITE
PHYSICOCHIMIE INDUSTRIELLE
GEMPPM***
GEMPPM***
INGENIERIE, INFORMATIQUE INDUSTRIELLE
PHYSICOCHIMIE INDUSTRIELLE
UNITE DE RECHERCHE EN GENIE CIVIL - Hydrologie urbaine
MECANIQUE DES FLUIDES ET D'ACOUSTIQUES
LAEPSI****
BIOLOGIE FONCTIONNELLE, INSECTES ET INTERACTIONS
LAEPSI****
LAMCOS
AUTOMATIQUE INDUSTRIELLE
GEMPPM
DREP
CREATIS**
LAEPSI****
VIBRATIONS-ACOUSTIQUE
INGENIERIE DES MATERIAUX POLYMERES
VIBRATIONS-ACOUSTIQUE
GEMPPM
GEMPPM***
UNITE DE RECHERCHE EN GENIE CIVIL - Matériaux
GEMPPM***
INTERACTION COLLABORATIVE TELEFORMATION TELEACTIVITE
PHYSIQUE DE LA MATIERE
INGENIERIE DES SYSTEMES D'INFORMATION
PHYSIQUE DE LA MATIERE
MODELISATION MATHEMATIQUE ET CALCUL SCIENTIFIQUE
INTERACTION COLLABORATIVE TELEFORMATION TELEACTIVITE
CREATIS**
CENTRE DE THERMIQUE DE LYON - Transferts Interfaces et Matériaux
AUTOMATIQUE INDUSTRIELLE
CEGELY*
UNITE DE RECHERCHE EN GENIE CIVIL - Structures
LGEF
MECANIQUE DES SOLIDES
MECANIQUE DES FLUIDES
GENETIQUE MOLECULAIRE DES MICROORGANISMES
GEMPPM***
CENTRE DE THERMIQUE DE LYON – Thermique de l'Habitat
INGENIERIE DES SYSTEMES D'INFORMATION
CENTRE DE THERMIQUE DE LYON - Transferts Interfaces et Matériaux
INGENIERIE DES MATERIAUX POLYMERES
AUTOMATIQUE INDUSTRIELLE
PHYSIQUE DE LA MATIERE
INGENIERIE INFORMATIQUE INDUSTRIELLE
AUTOMATIQUE INDUSTRIELLE
ESCHIL – Equipe Sciences Humaines de l'Insa de Lyon
CENTRE D'INNOV. EN TELECOM ET INTEGRATION DE SERVICES
MECANIQUE DES CONTACTS
LAEPSI
GEMPPM***
GEMPPM***
CREATIS**
PHYSIQUE DE LA MATIERE

MECANIQUE DES CONTACTS
UNITE MICROBIOLOGIE ET GENETIQUE

COTTE-PATAT N. (Mme)
ESCUDIE D. (Mme)
FRANCIOSI P.
MANDRAND M.A. (Mme)
POUSIN G.
ROCHE A.
SEGUELA A.
VERGNE P.

UNITE MICROBIOLOGIE ET GENETIQUE
CENTRE DE THERMIQUE DE LYON
GEMPPM***
UNITE MICROBIOLOGIE ET GENETIQUE
BIOLOGIE ET PHARMACOLOGIE
INGENIERIE DES MATERIAUX POLYMERES
GEMPPM***
LaMcos

Directeurs de recherche I.N.R.A. :

FEBVAY G.
GRENIER S.
RAHBE Y.

BIOLOGIE FONCTIONNELLE, INSECTES ET INTERACTIONS
BIOLOGIE FONCTIONNELLE, INSECTES ET INTERACTIONS
BIOLOGIE FONCTIONNELLE, INSECTES ET INTERACTIONS

Directeurs de recherche I.N.S.E.R.M. :

KOBAYASHI T.
PRIGENT A.F. (Mme)
MAGNIN I. (Mme)

PLM
BIOLOGIE ET PHARMACOLOGIE
CREATIS**

* **CEGELY** *CENTRE DE GENIE ELECTRIQUE DE LYON*
** **CREATIS** *CENTRE DE RECHERCHE ET D'APPLICATIONS EN TRAITEMENT DE L'IMAGE ET DU SIGNAL*
*****GEMPPM** *GROUPE D'ETUDE METALLURGIE PHYSIQUE ET PHYSIQUE DES MATERIAUX*
******LAEPSI** *LABORATOIRE D'ANALYSE ENVIRONNEMENTALE DES PROCEDES ET SYSTEMES INDUSTRIELS*

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
	<u>CHIMIE DE LYON</u>	M. Denis SINOÛ Université Claude Bernard Lyon 1 Lab Synthèse Asymétrique UMR UCB/CNRS 5622 Bât 308 2 ^{ème} étage 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.44.81.83 sinou@univ-lyon1.fr
E2MC	<u>ECONOMIE, ESPACE ET MODELISATION DES COMPORTEMENTS</u>	M. Alain BONNAFOUS Université Lyon 2 14 avenue Berthelot MRASH Laboratoire d'Economie des Transports 69363 LYON Cedex 07 Tél : 04.78.69.72.76 Alain.Bonnafous@mrash.fr
E.E.A.	<u>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</u>	M. Daniel BARBIER INSA DE LYON Laboratoire Physique de la Matière Bâtiment Blaise Pascal 69621 VILLEURBANNE Cedex Tél : 04.72.43.64.43 Daniel.Barbier@insa-lyon.fr
E2M2	<u>EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION</u> http://biomserv.univ-lyon1.fr/E2M2	M. Jean-Pierre FLANDROIS UMR 5558 Biométrie et Biologie Evolutive Equipe Dynamique des Populations Bactériennes Faculté de Médecine Lyon-Sud Laboratoire de Bactériologie BP 1269600 OULLINS Tél : 04.78.86.31.50 Jean-Pierre.Flandrois@biomserv.univ-lyon1.fr
EDIIS	<u>INFORMATIQUE ET INFORMATION POUR LA SOCIETE</u> http://www.insa-lyon.fr/ediis	M. Lionel BRUNIE INSA DE LYON EDIIS Bâtiment Blaise Pascal 69621 VILLEURBANNE Cedex Tél : 04.72.43.60.55 lbrunie@if.insa-lyon.fr
EDISS	<u>INTERDISCIPLINAIRE SCIENCES-SANTE</u> http://www.ibcp.fr/ediss	M. Alain Jean COZZONE IBCP (UCBL1) 7 passage du Vercors 69367 LYON Cedex 07 Tél : 04.72.72.26.75 cozzone@ibcp.fr
	<u>MATERIAUX DE LYON</u> http://www.ec-lyon.fr/sites/edml	M. Jacques JOSEPH Ecole Centrale de Lyon Bât F7 Lab. Sciences et Techniques des Matériaux et des Surfaces 36 Avenue Guy de Collongue BP 163 69131 ECULLY Cedex Tél : 04.72.18.62.51 Jacques.Joseph@ec-lyon.fr
Math IF	<u>MATHEMATIQUES ET INFORMATIQUE FONDAMENTALE</u> http://www.ens-lyon.fr/MathIS	M. Franck WAGNER Université Claude Bernard Lyon 1 Institut Girard Desargues UMR 5028 MATHEMATIQUES Bâtiment Doyen Jean Braconnier Bureau 101 Bis, 1 ^{er} étage 69622 VILLEURBANNE Cedex Tél : 04.72.43.27.86 wagner@desargues.univ-lyon1.fr
MEGA	<u>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</u> http://www.lmfa.ec-lyon.fr/autres/MEGA/index.html	M. François SIDOROFF Ecole Centrale de Lyon Lab. Tribologie et Dynamique des Systèmes Bât G8 36 avenue Guy de Collongue BP 163 69131 ECULLY Cedex Tél : 04.72.18.62.14 Francois.Sidoroff@ec-lyon.fr

Table des matières

Remerciements	3
Introduction	5
1 Le MOSFET de puissance basse tension	13
1.1 Fonctionnement des transistors MOSFET	13
1.1.1 La structure MOS	13
1.1.2 Le MOSFET latéral	15
1.1.3 Le MOSFET vertical	17
1.1.4 Comportement statique	18
1.1.5 Comportement dynamique	21
1.1.5.1 Capacités parasites	22
1.1.5.2 Éléments inductifs	23
1.1.5.3 Diode intrinsèque	24
1.2 Spécificités des applications basse tension, fort courant	25
1.2.1 Compromis tenue en tension/résistance à l'état passant	25
1.2.1.1 Routage en bande (<i>strip MOS</i>)	27
1.2.1.2 Le UDMOS ou <i>trench</i> MOSFET	29
1.2.2 Utilisation de la diode interne dans un Onduleur	30
1.2.3 Influence de la température sur le comportement du transistor	32
1.2.3.1 Modification de la caractéristique statique	32
1.2.3.2 Modification du comportement dynamique	38
1.2.4 Limitations du boîtier	38
1.3 Modélisation	39
1.3.1 Modèle électrique	39
1.3.1.1 Modèle statique	39
1.3.1.2 Capacités	41
1.3.1.3 Diode	41
1.3.1.4 Tenue en avalanche	44
1.3.2 Modélisation électrothermique	44
1.3.2.1 Modèle thermique	45

1.3.3	Mise en œuvre du modèle Pspice	49
1.3.3.1	Les <i>ABM</i>	49
1.3.3.2	Modèle électrique	50
1.3.3.3	Les problèmes de convergence	50
1.4	Conclusion	51
2	Circuit et câblage	53
2.1	Importance de la prise en compte du câblage	54
2.1.1	Présentation de la structure	54
2.1.2	Déroulement d'un cycle de commutation	56
2.1.2.1	Fermeture du MOSFET	58
2.1.2.2	Ouverture du MOSFET	64
2.1.3	Influence du câblage	66
2.1.3.1	Formes d'ondes	66
2.1.3.2	Pertes	72
2.1.3.3	Récapitulatif	76
2.2	Modélisation du câblage	76
2.2.1	Méthodes	76
2.2.1.1	Définition de l'inductance	77
2.2.1.2	Notion d'inductance partielle	78
2.2.1.3	Extraction des paramètres d'une géométrie	80
2.2.1.4	Calcul des capacités	81
2.2.2	Outils	82
2.2.2.1	Méthodologie de description	82
2.2.2.2	Modélisation <i>Pspice</i>	83
2.3	Conclusion	85
3	Caractérisation et validation expérimentale	87
3.1	Moyens de mesure	89
3.1.1	Mesures électriques	89
3.1.1.1	Instruments de mesure utilisés	89
3.1.1.2	Conditions de mesure	90
3.1.1.3	Composant étudié	91
3.1.2	Mesures calorimétriques	92
3.2	Caractérisation	100
3.2.1	MOSFET	100
3.2.1.1	Caractéristique statique	101
3.2.1.2	Caractéristique dynamique	105
3.2.1.3	Caractéristique statique de la diode intrinsèque	112
3.2.1.4	Fonctionnement en avalanche	112
3.2.1.5	Récapitulatif des paramètres identifiés	120
3.2.2	Câblage	121

3.2.2.1	Modélisation inductive et résistive	121
3.2.2.2	Modélisation capacitive	122
3.3	Validation	123
3.3.1	Mesures calorimétriques	123
3.3.1.1	Dispositif de validation	124
3.3.1.2	Résultats	128
3.3.2	Mesures temporelles	135
3.3.3	Validation du modèle électrothermique de l'avalanche	140
3.4	Conclusion	143
4	Exploitation de l'outil de simulation	145
4.1	Minimisation des pertes	145
4.1.1	Influence du routage	145
4.1.1.1	Modélisation du câblage	148
4.1.1.2	Résultats de simulation	149
4.1.2	Choix des paramètres du <i>driver</i>	152
4.2	Mise en parallèle	159
4.2.1	Présentation de la structure	160
4.2.2	Équilibrage entre transistors	162
4.2.2.1	Équilibrage statique	162
4.2.2.2	Équilibrage dynamique	167
4.2.3	Stabilité de l'association	178
4.2.4	Comportement en régime d'avalanche	183
4.2.4.1	Modélisation	184
4.2.4.2	Résultats de simulation	186
4.3	Conclusions	188
	Conclusion générale	191
	A Modèle Pspice du MOSFET de puissance	203
	B Modèles de câblage	207
	C Moyens expérimentaux	209
C.1	Génération des signaux de commande	209
C.2	<i>Driver</i> isolé	210
C.3	<i>Porte</i> optique	211

Liste des symboles

α	Paramètre empirique du modèle de diode, page 44
β	Coefficient d'évolution de la tension d'avalanche avec la température (VK^{-1}), page 44
ϵ_{ox}	Permittivité de l'oxyde de silicium ($F.m^{-1}$), page 22
ϵ_{Si}	Permittivité du silicium ($1,04.10^{-8}F.m^{-1}$), page 14
λ	Paramètre empirique de la variation de longueur de canal (V^{-1}), page 40
μ_0	Perméabilité du vide ($4\pi.10^{-7}N.A^{-2}$), page 78
μ_{nsa}	Mobilité de surface des électrons dans une couche d'accumulation ($cm.s^{-1}.V^{-1}$), page 19
μ_{ns}	Mobilité de surface des électrons ($cm^2.s^{-1}.V^{-1}$), page 15
Φ_P	Potentiel de surface en régime d'inversion (V), page 14
Φ_{ij}	Flux magnétique à travers la surface définie par le circuit j créé par le courant parcourant le circuit i (Wb), page 77
Φ_{MS}	Potentiel Métal-Semiconducteur (V), page 14
Φ_S	Potentiel de surface (V), page 14
ρ	Densité ($g.m^{-3}$), page 46
σ	Paramètre empirique d'évolution de la tension de seuil (V^{-1}), page 41
τ_D	Coefficient de proportionnalité entre le courant de trous et la charge stockée (s), page 44
θ	Paramètre empirique de la modulation de mobilité dans le canal (V^{-1}), page 40
\vec{A}_i	Potentiel vecteur magnétique ($Wb.m^{-1}$), page 78
\vec{B}	Champ magnétique (T), page 77
A_{GD}	Surfaces de grille et de drain en regard (m^2), page 23
A_{MOS}	Surface du transistor (m^2), page 46
c	Capacité calorifique massique ($J.g^{-1}.K^{-1}$), page 46
C_{DS}	Capacité drain-source (C), page 22
C_{GDj}	Capacité grille-drain formée par la ZCE (F), page 22
C_{GD}	Capacité grille-drain (C), page 22
C_{GS}	Capacité grille-source (F), page 23
C_{iss}	Capacité d'entrée, drain et source court-circuités (F), page 23
C_{oss}	Capacité de sortie, grille et source court-circuités (F), page 23
C_{oxD}	Capacité grille-drain formée la couche d'oxyde (F), page 22
C_{oxm}	Capacité grille-métallisation de source (C), page 22

C_{oxN^+}	Capacité grille-zone N^+ (C), page 22
C_{oxP}	Capacité grille-zone P (C), page 22
C_{ox}	Capacité de l'oxyde (F), page 14
C_{rss}	Capacité de contre-réaction (F), page 23
C_{TH}	Capacité thermique ($J.K^{-1}$), page 48
D	Coefficient de diffusion ambipolaire ($cm.s^{-1}$), page 42
E	Énergie dissipée (J), page 94
$e_{Brasure}$	épaisseur de la brasure entre puce et semelle (m), page 46
$E_{commut.}$	Énergie de commutation (W), page 126
e_{Cu}	épaisseur de la semelle de cuivre (m), page 46
e_{GDj}	Épaisseur de la zone de charge d'espace formant C_{GDj} (m), page 23
e_{ox}	Épaisseur de l'oxyde de silicium (m), page 22
e_{Si}	épaisseur du pavé de silicium (m), page 46
F	Fréquence de découpage du convertisseur (Hz), page 126
h	Pas de discrétisation (m), page 48
I_D	Courant de drain (A), page 16
i_n	Courant d'électrons (A), page 43
i_p	Courant de trous (A), page 43
$I_{D,sat}$	Courant de drain en régime de saturation (A), page 16
K	Conductivité thermique ($W.m^{-1}.K^{-1}$), page 46
k	Facteur empirique, page 19
K_p	« Transconductance » du MOSFET ($A.V^{-2}$), page 34
k_{therm}	Facteur de la loi racine, page 47
Kp_{lin}	« Transconductance » en régime linéaire ($A.V^{-2}$), page 40
Kp_{sat}	« Transconductance » en régime de saturation ($A.V^{-2}$), page 40
L	Self inductance (H), page 77
L_{Cu}	épaisseur de la semelle de cuivre (m), page 46
l_{Cu}	épaisseur du de la semelle de cuivre (m), page 46
L_{Si}	épaisseur du pavé de silicium (m), page 46
l_{Si}	épaisseur du pavé de silicium (m), page 46
M_{ij}	Mutuelle inductance entre les circuits i et j (H), page 77
n	Concentration d'électrons (cm^{-3}), page 14
N_A	Dopage P (cm^{-3}), page 14
n_i	Concentration intrinsèque (cm^{-3}), page 14
P	Puissance (W), page 46
P	Puissance dissipée (W), page 47
$P_{cond.}$	Pertes en conduction (W), page 126
q	Charge électronique ($1,602.10^{-19}C$), page 14
Q_0	Charge d'interface oxyde–semiconducteur (C), page 14
Q_n	Charge participant à la conduction dans le canal d'un MOSFET (C), page 15
R_v	Résistance de la couche épitaxiée (Ω), page 19
R_a	Résistance de la zone d'accumulation située sous la grille (Ω), page 19

R_D	Résistance de drain (Ω), page 19
R_S	Résistance de source (Ω), page 19
R_{BR}	Résistance dynamique durant l'avalanche (Ω), page 44
R_{ch}	Résistance du canal (Ω), page 15
R_{JFET}	Résistance occasionnée par l'effet <i>JFET</i> parasite (Ω), page 19
R_{TH}	Résistance thermique ($K.W^{-1}$), page 48
T	Température absolue (K), page 34
T_a	Température ambiante (K), page 46
t_{doff}	Délai entre l'application de la tension de commande et l'ouverture du transistor (s), page 28
t_{don}	Délai entre l'application de la tension de commande et la fermeture du transistor (s), page 28
U_T	Unité thermodynamique, égale à $\frac{kT}{q}$ (V), page 14
V_T	Tension de seuil à V_{DS} nul (V), page 41
V_{BR0}	Tension d'avalanche à courant nul et 0°C (V), page 44
V_{BR}	Tension de claquage du transistor (V), page 20
V_{FB}	Tension de bande plate (<i>Flat Band</i>) (V), page 14
V_{GB}	Tension Bulk (substrat)–Grille (V), page 14
W	Largeur du canal (m), page 15
w_C	Extension de la zone de charge d'espace (m), page 43
W_{JFET}	Largeur de la zone de charge d'espace du <i>JFET</i> parasite (m), page 20
R_{DSon}	Résistance totale en régime linéaire (Ω), page 19
V_{th}	Tension de seuil du MOSFET (V), page 14

La lettre *s* en exposant définit une valeur *surfactive*

Puisque ces mystères me
dépassent, feignons d'en être les
organiseurs.

JEAN COCTEAU, *Les Mariés de la
tour Eiffel.*

Remerciements

Je tiens à remercier chaleureusement les personnes de *Valeo Systèmes Électriques* qui ont œuvré pour le financement de cette étude. Ne les connaissant certainement pas toutes, mes remerciements iront à Cédric PLASSE – manager recherche et développement électronique – pour sa volonté sans faille de faire coopérer l’industrie et la recherche. À charge pour lui de transmettre ma gratitude à qui de droit. . .

Les membres du jury, qui ont accepté de leur plein gré la lourde charge d’évaluer ce travail méritent également mes sincères remerciements. Veuillez accepter, messieurs patrick AUSTIN, François FOREST et Jean-Luc SCHANEN mes plus plates excuses pour la longueur du manuscrit.

Ce travail n’aurait sans doute pas pu aboutir sans le soutien de Hervé MOREL, directeur du CEGELY-INSA. Je lui serai encore longtemps reconnaissant de ses judicieux conseils. Merci également à Jean-Pierre CHANTE – directeur en second de cette thèse – de m’avoir accueilli au début de cette thèse dans son laboratoire. Dominique BERGOGNE, enfin, directeur de cette thèse, doit être remercié ici de la liberté dont il a su me laisser jouir.

Remerciements encore à toutes les personnes avec qui j’ai pu travailler ou que j’ai pu côtoyer durant ces trois années: Philippe MASSON, Gaël BLONDEL, Guillaume LACAMOIRE, Luc KOBYLANSKI, mais également toutes les personnes du pôle de recherche et développement électronique de *Valeo Systèmes Électriques*, à Créteil. Au CEGELY, mes sincères remerciements iront à tout le monde indistinctement (ce qui m’évite d’oublier qui que ce soit) pour l’accueil dont j’ai pu profiter. Bonne chance aux doctorants à venir. Bonne chance enfin à celles et ceux – dont je fais désormais partie – maintenant diplômés, qui espèrent un jour obtenir un poste.

Introduction

L'électronique dans l'automobile

Une présence de plus en plus marquée

Le développement de l'électronique dans les automobiles se fait selon deux axes distincts : d'un côté il autorise de nouvelles fonctions (ABS, système d'aide à la navigation...), et de l'autre, l'électrification d'actionneurs mécaniques (climatisation, assistance de direction...) donne une plus grande souplesse de conception. Une grande partie des actionneurs auxiliaires est désormais électrique [Lar02]. Il est ainsi possible d'obtenir une commande plus précise et plus souple qu'avec un actionneur qui tire son énergie du moteur thermique (cas des injecteurs ou de l'allumage). D'autre part, l'implantation des actionneurs électriques n'étant plus tributaire d'une liaison mécanique (courroie, axe...), elle est plus aisée.

Tous ces avantages expliquent le recours massif aux solutions électriques, ce qui fait que dès à présent le coût du système électrique d'une automobile moyenne est plus élevé que celui de sa chaîne de traction (moteur et transmission) [Kas01]. Et l'évolution prévisible [Dos01] devrait amener à accroître encore la part de l'électricité dans le coût total : cantonnée pour l'instant aux fonctions auxiliaires ou à l'assistance des fonctions principales (ABS, direction assistée...), l'électrification devrait à terme atteindre les fonctions principales elles-même. Freinage et direction entièrement électriques sont les applications les plus marquantes du concept marketing *x-by-wire* (x-par-fil, x pouvant être n'importe quelle fonction ou organe du véhicule).

Il est alors normal que les constructeurs soient très attentifs aux évolutions des systèmes électriques. Un des exemples frappants est celui du passage de la tension de bord de 12 à 42 V [Kas01]. L'augmentation de cette tension (qui est déjà passée de 6 à 12 V au cours des années 50) semble inéluctable à plus ou moins long terme afin de pouvoir satisfaire une consommation électrique de plus en plus importante, et la valeur de 42 V constitue une limite haute au-delà de laquelle certains choix techniques doivent être remis en cause (au niveau des sécurités notamment). Au départ enthousiastes, de nombreux constructeurs

sont maintenant plus circonspects, voire opposés à cette évolution devant les coûts très élevés qu'elle entraîne [Fed04].

La motorisation électrique

Les systèmes auxquels nous allons nous intéresser dans ce mémoire sont notamment destinés à l'application *alterno-démarrreur*, qui constitue le premier pas vers le véhicule hybride, à moteurs thermique et électrique.

La motorisation thermique présente sur son concurrent électrique un avantage de « poids » : la densité énergétique des carburants est plus de 200 fois supérieure à celle des batteries¹ (42500 kJ/kg pour le diesel contre 180 kJ/kg pour une batterie NiCd, et encore deux fois moins pour un accumulateur au plomb). Le stockage énergétique constitue le principal frein au développement du véhicule électrique.

Pendant, le rendement de conversion d'un moteur thermique, déjà relativement faible au point de fonctionnement optimal (environ 40 %), chute à 15 % si l'on considère un cycle de conduite complet (cycle comprenant, entre autres, accélérations, freinages et arrêt du véhicule). Sur ce point, le moteur électrique possède bien des avantages (absence de consommation au point mort, rendement de conversion électro-mécanique élevé...). D'autre part, la motorisation électrique autorise plus de souplesse dans la conception de la chaîne de traction du véhicule : on peut implanter directement la motorisation dans les roues (on supprime ainsi les organes de transmission mécanique). Il est également possible de supprimer la boîte de vitesse en utilisant un moteur capable de fournir le couple nécessaire sur une large plage de vitesses.

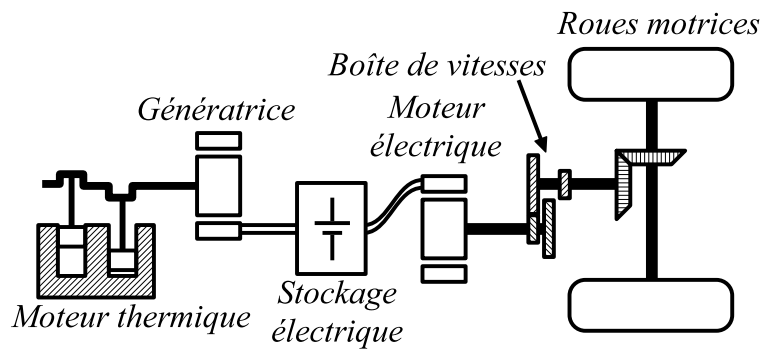
Une des voies explorées pour utiliser au mieux les moteurs thermiques et réduire leurs émissions polluantes passe donc par l'association avec un moteur électrique. Cette motorisation « hybride » permet ainsi de conjuguer la forte densité énergétique des carburants pétroliers avec la souplesse d'emploi du moteur électrique.

Architectures d'hybridation

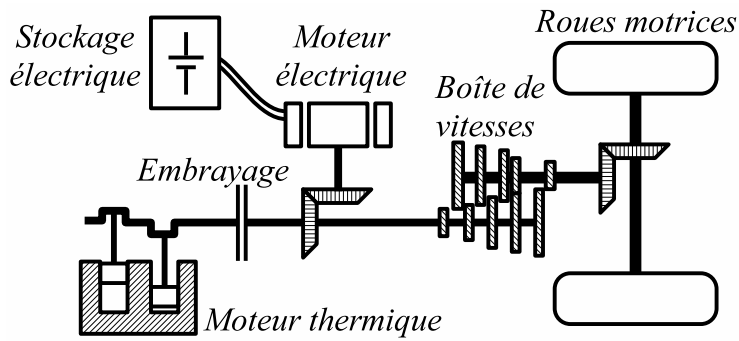
La première architecture de motorisation hybride qui peut venir à l'esprit est constituée d'un moteur thermique relié à une génératrice pour effectuer la conversion carburant/électricité, puis d'un moteur électrique assurant la conversion électromécanique. Elle est appelée hybride « série » et est représentée figure 1(a). Ses principaux avantages sont :

- le moteur thermique, découplé de l'entraînement, fonctionne à son régime optimal. Son rendement de conversion est maximal, et ses émissions polluantes minimales ;

1. Source : Mémoire de thèse de Luc KOBYLANSKI, en cours de rédaction



(a)



(b)

FIG. 1 – Principe des véhicules hybrides : hybrides « série » (a) et « parallèle » (b).

- peu de liaisons mécaniques. On peut implanter le moteur thermique et la génératrice n'importe où dans le véhicule, puisque la liaison avec le moteur électrique se fait par des câbles électriques ;
- la caractéristique couple/vitesse du moteur électrique permet de réduire le nombre de rapports voire de supprimer la boîte de vitesses. Il est alors possible de l'intégrer aux roues du véhicule.

L'amélioration du rendement du moteur thermique est cependant contrebalancée par les conversions mécanique/électrique puis électrique/mécanique. D'autre part, l'ensemble batterie-moteur électrique doit être dimensionné pour fournir la totalité de la puissance motrice.

L'hybride « parallèle » visible figure 1(b) est plus proche de la structure des véhicules thermiques actuels : le moteur thermique est relié, via un embrayage et une boîte de vitesses, aux roues motrices ; un moteur électrique (réversible) vient se connecter sur la liaison mécanique. On supprime ainsi les deux conversions électromécaniques de l'hybride série, et les deux machines peuvent travailler de concert pour produire une plus grande puissance. Lorsque la puissance requise est moindre, la machine électrique est utilisée en génératrice pour recharger les batteries.

Signalons enfin une troisième architecture, utilisée notamment par *Toyota* : elle fait appel à un train épicycloïdal qui remplace l'embrayage, la boîte de vitesses et effectue la liaison entre moteur thermique, moteur électrique et roues. Cette solution permet d'additionner les vitesses des moteurs thermique et électrique pour obtenir une variation continue du rapport de transmission.

Niveaux d'hybridation

Contrairement à l'hybridation série, dans laquelle la machine électrique doit fournir la totalité de la puissance mécanique nécessaire à la traction, l'hybridation parallèle peut se décliner en différents niveaux.

Plusieurs fonctions peuvent ainsi être assurées par la machine électrique, en fonction notamment de sa puissance [Pla01] :

Fonction *stop & go* Une seule machine électrique assure les fonctions d'alternateur et de démarreur. Le couplage mécanique de cette dernière avec le groupe de propulsion par une courroie (contrairement aux démarreurs classiques avec lesquels un pignon vient brièvement — et brutalement — engrener une couronne dentée) permet un démarrage du moteur thermique silencieux et rapide. Il devient ainsi possible d'effectuer des arrêts et redémarrage fréquents de ce dernier, en fait à chaque fois que le véhicule s'immobilise (feux rouges, bouchons ...).

Freinage récupératif Il s'agit cette fois de récupérer l'énergie cinétique du véhicule pour recharger le dispositif de stockage électrique (batterie ou con-

densateurs) au lieu de la dissiper dans les freins. Par rapport au système précédent, la gestion du stockage se complique (cyclage des batteries, surveillance de leur état de charge. . .).

Assistance électrique Un moteur thermique n'est que rarement utilisé à sa puissance maximale (uniquement durant les phases d'accélération). Une solution séduisante pour diminuer la consommation du véhicule est de faire appel à un moteur thermique sous-dimensionné, assisté par un autre organe mécanique pour fournir les pics de puissance : la machine électrique.

Traction Lorsque la puissance de la machine électrique est suffisante (supérieure à une dizaine de kilowatt environ), elle peut assurer une partie de la traction du véhicule moteur thermique éteint.

La première fonction (*stop & go*) peut être assurée par une machine électrique très proche d'un alternateur classique, sous une tension de bord de 12 V. Il n'y a donc que très peu de modifications à effectuer pour l'adapter à un véhicule. Au fur et à mesure que la puissance de la machine électrique augmente (pour réaliser les autres fonctions), il faut passer à une tension d'alimentation plus importante (42 puis 300 V) et à une intégration mécanique plus complexe (au-delà de 6 kW environ, la transmission par courroie laisse la place à une intégration de la machine électrique sur l'arbre moteur). L'élément de stockage d'énergie, une simple batterie au plomb pour le *stop & go*, évolue lui aussi pour permettre des cycles de charge rapide (freinage récupératif) ou fournir une forte puissance (traction électrique).

Nous nous intéresserons dans cette étude à l'électronique de puissance d'un alerno-démarrreur réalisant la fonction *stop & go*. Il s'agit d'un onduleur triphasé, alimenté sous 12 V. Ce convertisseur réversible permet de piloter la machine électrique (fonction démarreur) ou de redresser le courant qu'elle fournit (fonction alternateur). Il faut noter que le remplacement des diodes classiquement utilisées pour la fonction redresseur par des MOSFET (dont la chute de tension à l'état passant des modèles destinées aux applications 12 V est moindre) réalise à lui seul une part non négligeable des économies de carburant de la fonction *stop & go* (1 à 2 % sur les 10 % économisés au total en cycle urbain [Gau02, Pla01]).

Contraintes sur l'électronique de puissance

Alors que la température extérieure peut descendre jusqu'à -40 °C, la température ambiante sous le capot moteur atteint par endroits 130 °C [Kas01]. Les cyclages thermiques ainsi imposés à l'électronique s'avèrent très contraignants, d'autant que les technologies économiques utilisées en électronique de puissance y sont très sensibles : les assemblages de différents matériaux — notamment le silicium et le cuivre — de coefficients de dilatation fort différents en-

traînent des contraintes aux interfaces lors des changements de température. Ce phénomène peut mener à la casse des convertisseurs par « fatigue mécano-thermique » des assemblages.

La forte valeur de la température ambiante oblige également à un surdimensionnement des convertisseurs : Peu de composants commercialisés peuvent fonctionner de manière optimale au-delà de 175 °C (notamment les semiconducteurs silicium). En considérant une température ambiante de 130 °C, il ne reste que peu de marge pour que la température de jonction des transistors ne dépasse pas la limite.

Une autre caractéristique de l'environnement automobile est sa densité en systèmes électroniques, qui pose de nombreux problèmes de compatibilité électromagnétique (CEM). On y retrouve tous les types de pollueurs : système d'allumage — qui produit des impulsions haute tension —, actionneurs électromécaniques (relais, moteurs), systèmes de forte puissance (alternateur-démarrageur). Les victimes potentielles sont également nombreuses : capteurs, récepteurs radio, systèmes de calcul, etc. Enfin, l'environnement extérieur est appelé à changer (le but de l'automobile est de se déplacer) et peut jouer lui aussi un grand rôle (lignes haute tension, relais téléphoniques. . .) Cet ensemble nécessite donc une grande attention au respect des normes CEM, qui sont d'ailleurs spécifiques à l'environnement automobile.

Si l'on ajoute les contraintes « classiques » de l'environnement automobile (tenue au brouillard salin, aux vibrations) et, bien entendu, le coût le plus faible possible, on voit que la validation d'un convertisseur réclame un grand nombre d'essais, d'autant que la fiabilité de certains organes (freinage, direction) doit être irréprochable [Fed04].

La simulation en électronique de puissance

Une solution pour réduire le nombre de prototypes durant la phase de conception est le recours à la simulation. Cette dernière est largement utilisée en microélectronique, où les outils permettant de la mettre en œuvre sont nombreux, mais peine à s'insérer dans le processus de conception en électronique de puissance.

Plusieurs raisons peuvent expliquer cet état de fait :

Peu de modèles précis. Si l'on fait exception des modèles type éléments finis (qui réclament la description complète de la structure des composants — dopage des couches et dimensions géométriques — et des temps de calcul importants), on ne trouve quasiment pas de modèles représentant fidèlement le comportement des composants de puissance, notamment en régime de forte injection [Cha98]². De plus, même si l'on possède des

2. Il faut noter que le LAAS (toulouse), propose des modèles de nombreux composants bipo-

modèles précis, il faut procéder à l'identification de leurs paramètres avec des mesures sur les composants réels, ce qui n'est pas toujours aisé.

La raideur des simulations. L'électronique de puissance fonctionne en commutation. Les plus petites constantes de temps en simulation sont de l'ordre du pas de calcul, nécessairement faible pour décrire fidèlement les phénomènes durant la commutation (de l'ordre de la dizaine de nanosecondes). Les plus grandes constantes de temps sont au contraire liées à la durée de simulation, qui peut être très importante si l'on veut simuler des phénomènes électrothermiques par exemple (de l'ordre de plusieurs minutes). Dans un convertisseur fonctionnant à une fréquence de découpage de plusieurs kilohertz, le temps de calcul nécessaire avec un tel écart entre ces valeurs extrêmes de constantes de temps rend la simulation quasiment impossible.

L'importance des interconnexions. En électronique de puissance peut-être plus qu'ailleurs, les liaisons entre composants jouent un rôle primordial. Elles nécessitent donc une étape de modélisation à elles seules.

De nombreux travaux portent sur le premier point, et nous verrons qu'il est possible d'obtenir des résultats satisfaisants en combinant des modèles existants.

Le second point nécessite d'adapter le type de simulation au résultat recherché : une approche CEM peut se satisfaire de quelques commutations seulement, mais avec des modèles fins. La recherche de la température en régime établi doit au contraire faire appel à des modèles simplifiés qui ne représentent pas nécessairement la commutation (modèles moyens).

La modélisation des commutation est un élément de première importance, sur lequel portent de nombreuses études. Dans le cas des convertisseurs basse tension, fort courant, nous verrons que les effets inductifs doivent être modélisés correctement pour espérer obtenir des résultats exploitables.

Objectifs de l'étude

Dans ce mémoire, nous proposons une modélisation des onduleurs basse tension destinés aux applications d'alternateur. Ces convertisseurs sont alimentés sous une tension de 12 V et utilisent des transistors MOSFET comme commutateurs.

Le premier chapitre est consacré au transistor MOS. Les spécificités des composants destinés aux applications basse tension, ainsi qu'un modèle de ces transistors prenant en compte leurs différents régimes de fonctionnement sont présentés.

laire de puissance [Aus03]. Dans cette étude nous ne nous intéresserons qu'à la diode PiN et utiliserons le modèle développé au CEGELY.

Le second chapitre démontre l'importance du câblage dans le fonctionnement d'un convertisseur. Dans un second temps, les méthodologies de modélisation de câblage que nous avons utilisées sont présentées.

Le première partie du chapitre trois regroupe la caractérisation expérimentale des modèles (c'est à dire la recherche des valeurs de leurs paramètres pour lesquelles les modèles donnent des résultats les plus proches de la mesure). Dans la seconde partie, nous validons le modèle complet du convertisseur en comparant les résultats de simulation et de mesure en faisant appel à un critère exigeant : le niveau de pertes.

Enfin, le quatrième chapitre met en œuvre les modèles obtenus pour démontrer l'intérêt de la simulation dans une démarche de conception en électronique de puissance, notamment en terme d'analyse.

Chapitre 1

Le MOSFET de puissance basse tension

Le transistor MOSFET est le composant de choix pour les applications « basse tension » : Parmi tous les composants de puissance disponibles actuellement, seul l'IGBT est aussi simple à commander, mais la chute de tension à l'état passant de ce dernier (de l'ordre de 2 V) le rend inutilisable lorsque l'on travaille avec des tensions inférieures à la centaine de volts.

Dans ce chapitre, nous décrivons le fonctionnement d'un transistor MOSFET classique, puis les spécificités de ceux destinés aux applications basse tension. Enfin, nous proposons un modèle de ce composant de façon à pouvoir simuler son comportement.

1.1 Fonctionnement des transistors MOSFET

1.1.1 La structure MOS

L'empilement de trois couches métallique, isolante (oxyde) et semiconductrice constitue une structure MOS (visible figure 1.1), qui est à la base du transistor éponyme.

Cette structure ressemble fortement à celle d'une capacité plane, dont l'une des armatures métalliques serait remplacée par un semiconducteur (en l'occurrence du silicium dopé P). Nous allons nous intéresser à la répartition de la charge présente à la surface du semiconducteur suivant la polarisation appliquée entre G et B , car c'est elle qui conditionnera le fonctionnement du transistor.

Des charges sont présentes à l'interface entre l'oxyde et le semiconducteur, du fait de la rupture du réseau cristallin. D'autre part, la différence des travaux de sortie du métal et du semiconducteur est à l'origine d'un potentiel Φ_{MS} . Il en résulte que pour obtenir une densité de charges en surface du silicium égale

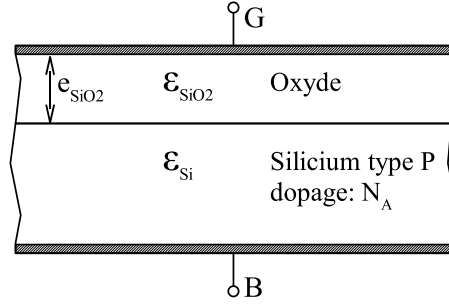


FIG. 1.1 – Structure Métal–Oxyde–Semiconducteur

à $q \cdot N_A$ (la densité de charge dans le volume) il faut appliquer une tension telle que :

$$V_{GB} = V_{FB} = \Phi_{MS} - \frac{Q_0^s}{C_{ox}^s} \quad (1.1)$$

Où Q_0^s représente la charge d'interface oxyde–semiconducteur par unité de surface et C_{ox}^s la capacité surfacique de la couche d'oxyde. La tension ainsi obtenue est nommée V_{FB} (*Flat Band*).

Pour $V_{GB} > V_{FB}$, les trous sont repoussés, leur densité en surface est plus faible que dans le volume : on passe en régime de déplétion. D'après [Mas93], la charge de déplétion (par unité de surface) vaut :

$$Q_B^s = \sqrt{2\epsilon_{Si} q N_A \Phi_S} \quad (1.2)$$

ϵ_{Si} étant la permittivité du silicium et Φ_S le potentiel le long de la zone de déplétion.

Si l'on augmente encore V_{GB} , la densité d'électrons n augmente à la surface du silicium, jusqu'à atteindre N_A : on passe en régime de faible inversion. D'après la distribution de Boltzmann, on a $n = n_i e^{\Phi_P / U_T}$, Φ_P étant la valeur de Φ_S pour laquelle on passe en régime d'inversion. Le régime de forte inversion est atteint lorsque l'on a $\Phi_S = 2\Phi_P$ (c'est à dire une charge d'espace de même valeur que lors de la déplétion, mais de signe inverse) soit :

$$\Phi_S = 2\Phi_P = 2U_T \ln\left(\frac{N_A}{n_i}\right) \quad (1.3)$$

La tension V_{GB} lorsque $\Phi_S = 2\Phi_P$ est appelée V_{th} . Elle représente la tension de seuil à partir de laquelle le transistor commencera à conduire, et vaut :

$$V_{th} = V_{FB} + 2\Phi_P + \frac{Q_B^s}{C_{ox}^s} \quad (1.4)$$

Soit, en remplaçant Q_B^s par sa valeur dans (1.2)

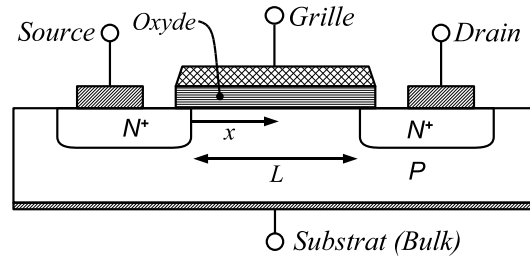
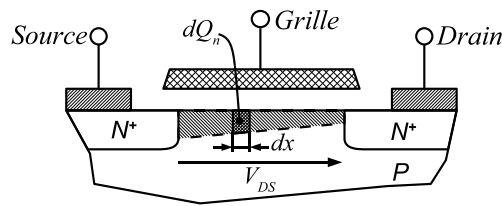


FIG. 1.2 – Principe du transistor MOSFET latéral

FIG. 1.3 – Répartition de la charge Q_n dans le canal sous l'effet d'une polarisation drain-source

$$V_{th} = V_{FB} + 2\Phi_P + \frac{\sqrt{4\epsilon_{Si} q N_A \Phi_P}}{C_{ox}^s} \quad (1.5)$$

1.1.2 Le MOSFET latéral

Il s'agit là de la structure classiquement utilisée pour les MOSFET signal. Les trois électrodes grille, drain et source sont connectées en face supérieure (voir figure 1.2), le substrat (désigné plus loin par la lettre B, pour *Bulk*) constituant une quatrième connection.

En l'absence de tension V_{DS} , on retrouve la capacité MOS telle que décrite en 1.1.1. L'application d'une tension V_{GB} positive supérieure à V_{th} entraîne l'apparition d'un canal N dans le substrat P entre source et drain dont la résistance est donnée par [Bal96] :

$$R_{ch} = \frac{L}{W \mu_{ns} Q_n} \quad (1.6)$$

Où μ_{ns} est la mobilité de surface des électrons, L la longueur du canal et W sa largeur (perpendiculaire au plan de la figure 1.2). Q_n est la charge disponible pour participer au courant de conduction.

Cependant, pour qu'un courant circule dans le canal, il faut appliquer une tension V_{DS} . La répartition de la charge dans le canal va être modifiée par le champ électrique ainsi exercé.

Un élément dx du canal (voir figure 1.3) est soumis à une différence de potentiel avec la grille égale à $V_{GS} - V_c(x)$, $V_c(x)$ étant le potentiel dans le canal avec

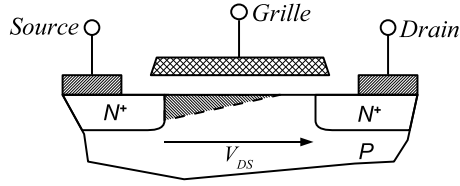


FIG. 1.4 – Pincement du canal pour une tension V_{DS} supérieure à $V_{GS} - V_{th}$

$V_c(0) = 0$ (on a donc $V_c(L) = V_{DS}$). La charge élémentaire dQ_n peut alors s'écrire :

$$dQ_n = C_{ox}^s W [V_{GS} - V_{th} - V_c(x)] dx \quad (1.7)$$

La résistance offerte par cet élément dx est alors :

$$dR = \frac{dx}{\mu_{ns} \frac{dQ_n}{dx}} \quad (1.8)$$

Et la chute de tension dV_c devient

$$dV_c = dR \cdot I_D = \frac{dx}{\mu_{ns} C_{ox}^s W [V_{GS} - V_{th} - V_c(x)]} I_D \quad (1.9)$$

Soit, en intégrant x de 0 à L (c'est à dire $V_c(x)$ de 0 à V_{DS}), on obtient la valeur du courant de drain :

$$\int_0^L I_D dx = \int_0^{V_{DS}} \mu_{ns} C_{ox}^s W [V_{GS} - V_{th} - V_c] dV_c \quad (1.10)$$

$$I_D = \frac{\mu_{ns} C_{ox}^s W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.11)$$

L'expression (1.11) n'est valable que pour un canal continu, c'est à dire $V_{GS} - V_{th} < V_{DS}$. Au delà, on observe un pincement du canal du côté drain (voir figure 1.4), et le courant n'augmente plus avec V_{DS} : le MOSFET fonctionne alors en régime de saturation. I_D sature à sa valeur maximale, pour laquelle $V_{GS} - V_{th} = V_{DS}$. (1.11) s'écrit alors :

$$I_{D,sat} = \frac{\mu_{ns} C_{ox}^s W}{2L} (V_{GS} - V_{th})^2 \quad (1.12)$$

Le comportement du MOSFET évolue donc avec la tension drain-source : pour les faibles valeurs de V_{DS} , le terme quadratique de l'équation (1.11) est négligeable, et on a une relation de la forme $I_D = R(V_{GS}) \cdot V_{DS}$ (comportement purement ohmique, modulé par V_{GS}). Lorsque V_{DS} augmente, ce terme quadratique devient de plus en plus important, jusqu'à arriver à la saturation.

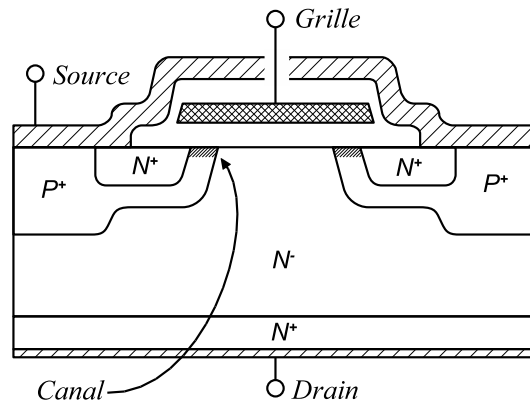


FIG. 1.5 – coupe d'une cellule de transistor VDMOS

1.1.3 Le MOSFET vertical

Les transistors MOSFET de puissance classiques sont obtenus par double diffusion sur un substrat épitaxié N^- , d'où le nom de VDMOS (Vertical Double Diffused MOS). Leur structure est très proche de celle des MOSFET latéraux présentée en 1.1.2, en gardant un canal horizontal, mais en ajoutant une couche N^- dans l'épaisseur du substrat, destinée à tenir la plus grande partie de la tension drain-source lorsque le transistor est bloqué. Les contacts de drain et de source sont alors disposés de part et d'autre du substrat. La figure 1.5 présente une cellule élémentaire d'un transistor MOSFET, étant entendu qu'un de ces transistors en comporte de quelques milliers à plusieurs millions.

La métallisation de source, qui recouvre la face supérieure du transistor, vient relier les puits N^+ de chaque cellule, mais également contacter les poches P^+ pour les polariser par rapport à la grille et donc rendre le transistor commandable. Cette connexion entre source et substrat vient également court-circuiter l'émetteur et la base du transistor NPN parasite constitué des zones N^+_{source} , P et N^-_{drain} . En l'absence de ce court-circuit, une différence de potentiel entre la poche P et la source entraînerait le verrouillage du MOSFET à l'état *on*. L'interconnexion $P^+ - N^+$ n'a cependant pas que des avantages : elle fait apparaître une diode entre drain et source, diode dont les performances ne peuvent être optimisées qu'au détriment de celles du transistor MOSFET (La réduction de la durée de vie, notamment, avantage les premières mais réduit les secondes). Notons tout de même que de nombreux travaux portent sur l'amélioration de cette diode.

Lorsque le MOSFET est bloqué, et en raison de la forte dissymétrie de dopage entre les zones P (canal) et N^- (couche épitaxiée), la zone de charge d'espace s'étendra en quasi totalité du côté N^- . Si l'on fait abstraction des problèmes liés à la périphérie du composant, le dopage et l'épaisseur de la couche

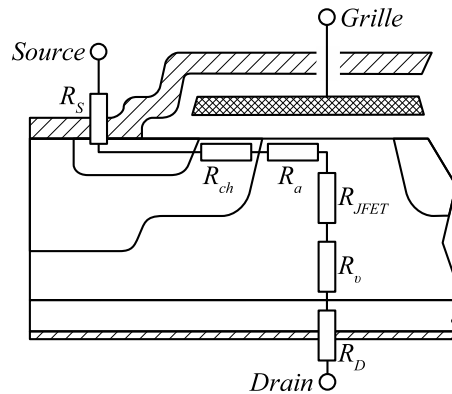


FIG. 1.6 – Localisation des différentes composantes résistives dans un MOSFET vertical

épitaxiée conditionneront donc la tenue en tension du transistor, comme toujours dans les dispositifs de l'électronique de puissance [Arn92]. Cependant, le MOSFET étant un dispositif unipolaire, aucun mécanisme de forte injection ne viendra moduler la résistivité de la couche N^- à l'état passant, résistivité elle aussi conditionnée par le dopage et l'épaisseur de la couche N^- . L'augmentation de la tenue en tension à l'état bloqué (en réduisant le dopage ou en augmentant l'épaisseur de la couche N^-) entraîne donc l'augmentation de la résistance à l'état passant. Ce compromis $R_{DS_{on}}/V_{BR}$ constitue le principal inconvénient du transistor MOSFET, et le condamne aux applications *basse tension* (inférieure à quelques centaines de volts). Au dessus, l'IGBT présente en général de plus faibles pertes en conduction.

1.1.4 Comportement statique

Tout comme pour le MOSFET latéral, le fonctionnement du MOSFET vertical en conduction peut être séparé en deux régimes : linéaire et saturé. Dans le premier, le courant est imposé par le circuit extérieur, le MOSFET se comportant comme une résistance modulée par la tension V_{GS} . Dans le second, le courant est limité par le transistor¹, et ne dépend plus que de V_{GS} (en première approximation).

Le canal, étudié sommairement en 1.1.2 n'est plus le seul à intervenir durant la conduction dans un MOSFET vertical. On peut écrire (figure 1.6) :

$$R_{DS_{on}}(V_{GS}) = R_S + R_{ch}(V_{GS}) + R_a + R_{JFET} + R_v + R_D \quad (1.13)$$

1. Dans le monde du transistor bipolaire, le régime de saturation est paradoxalement celui où le transistor n'impose plus le courant. . .

Où :

- R_S représente la résistance de source, incluant la connectique (*bondings*, métallisation, ...);
- R_{ch} est la résistance du canal, modulée par V_{GS} ;
- R_a est la résistance de la couche d'accumulation, située sous l'électrode de grille, dans la zone N^- ;
- R_{JFET} représente la résistance créée par le *JFET* parasite qui apparaît entre deux cellules adjacentes;
- R_v est la résistance de la couche épitaxiée;
- R_D est la résistance de drain, liée à la connectique et au substrat N^+ .

Certaines de ces résistances peuvent présenter une dépendance à V_{DS} , notamment R_{ch} (effet de raccourcissement du canal) et R_{JFET} . R_S et R_D ne dépendent normalement que de paramètres intrinsèques du composant, comme le dopage de ses différentes régions et sa géométrie.

R_S Cette résistance, souvent négligée pour les transistors haute tension (supérieure à 200V environ) constitue la majeure partie de la résistance de connectique. En effet, la puce de silicium est habituellement brasée au boîtier côté drain, alors que les connections de source se font par fils d'aluminium, ou *bondings*, plus résistifs, soudés sur une métallisation de quelques microns d'épaisseur.

R_D Sa valeur est classiquement beaucoup plus faible que R_S , car la puce est directement brasée sur une semelle de cuivre dont l'épaisseur atteint le millimètre dans les boîtiers plastiques courants tels que le D2PAK, le TO220... Dans le cas des transistors MOSFET basse tension, fort courant, la connectique ($R_S + R_D$) peut être à l'origine de 50% de la résistance totale.

R_a La conduction dans le canal se fait selon une direction horizontale (parallèle à la surface supérieure du composant). Pour rejoindre le contact de drain, au contraire, le courant va « descendre » dans l'épaisseur du composant. Ce changement de direction se fait dans la zone d'accumulation de la couche v située sous la grille (voir figure 1.7). Selon [Bal96], la valeur de R_a peut être calculée en la considérant comme une zone de silicium de mobilité μ_{ns_a} soumise à une différence de potentiel $V_{GS} - V_{th}$. On introduit un facteur k (de l'ordre de 0,6) pour tenir compte de l'aspect bidimensionnel du courant. Soit :

$$R_a^s = \frac{k}{\mu_{ns_a} C_{ox}^s (V_{GS} - V_{th})} \quad (1.14)$$

Cette résistance augmentant avec l'espacement inter-cellulaire, on a ici tout intérêt à resserrer les cellules.

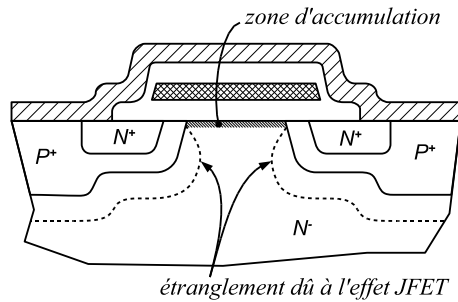


FIG. 1.7 – Mise en évidence de la zone d'accumulation et du rétrécissement de la surface active de conduction créée par le JFET parasite

R_{JFET} Les diffusions P^+ forment dans la couche N^- un transistor à effet de champ à jonction (JFET) qui va venir, sous l'effet de la tension V_{DS} — faible mais non négligeable —, moduler la section efficace de passage du courant (figure 1.7). Les besoins de tenue en tension imposant un dopage faible pour la couche N^- , la zone de charge d'espace du JFET va s'étendre rapidement [Arn92] dès que V_{DS} dépassera quelques volts :

Si l'on considère une jonction abrupte $P^+ - N^-$ perpendiculaire à la surface du silicium, la largeur de la zone de charge d'espace peut s'écrire, de la même manière que dans l'équation 1.2 :

$$W_{JFET} = \sqrt{\frac{2V_{DS}\epsilon_{Si}}{qN_v}} \quad (1.15)$$

Au contraire de la résistance R_a , on ici plutôt intérêt à écarter les cellules le plus possible pour que l'effet JFET ne pénalise pas la résistance spécifique du MOSFET.

R_v Cette composante résistive est consubstantielle au principe du MOSFET. La couche épitaxiée (v , ou N^-) a pour rôle de tenir la tension au blocage du transistor, ce qui, en fonctionnement unipolaire, se traduit par une résistivité non négligeable. C'est par ce mécanisme que le $R_{DS_{on}}$ des MOSFET augmente avec leur tenue en tension (V_{BR}). R_v constitue donc une valeur minimale théorique pour le $R_{DS_{on}}$. Selon [Bal96], cette valeur (surfactive) limite vaut :

$$R_{DS_{on},idéal}^s = 5,93 \cdot 10^{-9} V_{BR}^{2,5} [\Omega \cdot cm^{-2}] \quad (1.16)$$

Cette formule exprime la résistance d'un bloc de silicium à dopage constant (et en considérant que la mobilité y est elle aussi constante), parcouru de façon homogène par le courant. Le resserrement des lignes de courant au niveau de la zone cellulaire (voir figure 1.8) va encore causer l'augmentation de R_v [Mor97].

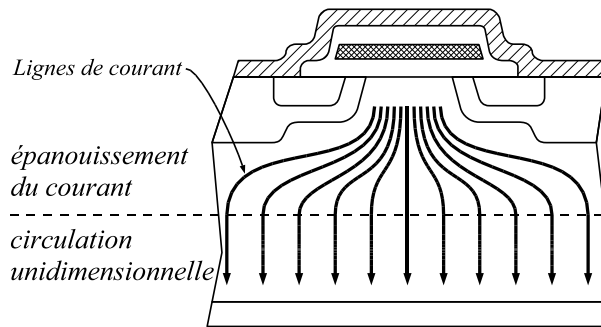


FIG. 1.8 – Épanouissement des lignes de courant au sortir de la zone cellulaire, puis circulation unidimensionnelle

R_{ch} On retrouve dans le MOSFET vertical le canal du transistor MOSFET présenté en 1.1.2. Les expressions qui gouvernent son comportement sont donc toujours valables, notamment l'équation (1.11). Si l'on fait l'hypothèse d'une faible tension V_{DS} , valable lorsque l'on est en régime purement ohmique, le terme quadratique de (1.11) peut être négligé, et on trouve alors :

$$I_D = \frac{\mu_{ns} C_{ox}^s W}{L} (V_{GS} - V_{th}) V_{DS} \quad (1.17)$$

Soit :

$$R_{ch} = \frac{L}{\mu_{ns} C_{ox}^s W (V_{GS} - V_{th})} \quad (1.18)$$

Il apparaît donc que pour réduire R_{ch} , il faut soit réduire la longueur du canal (mais il y a une valeur minimale au dessous de laquelle il y a « percement » drain-source [Mor96b]), soit augmenter la tension de commande (on a toujours intérêt à commander sous le plus fort V_{GS} possible, mais on ne peut pas dépasser 20V sans risquer d'endommager l'oxyde de grille [Arn92]), soit enfin augmenter la largeur de canal W . C'est cette dernière solution que les fabricants mettent en oeuvre en utilisant des géométries de cellules de plus en plus petites, augmentant la largeur de canal par unité de surface. On atteint de la sorte des valeurs de W de 62 m par cm^2 de silicium [Bel03] (valeur donnée en 2003 pour des transistors *STripfet* de *STMicroelectronics*).

1.1.5 Comportement dynamique

Le transistor MOSFET étant un dispositif à porteurs majoritaires, il ne souffre pas des lenteurs des composants bipolaires (recombinaisons, évacuation des charges...) [Arn92]. Par contre, la structure métal-oxyde-semiconducteur vue en 1.1.1 constitue une capacité, dont la charge va constituer le principal facteur ralentissant du transistor [Bal96].

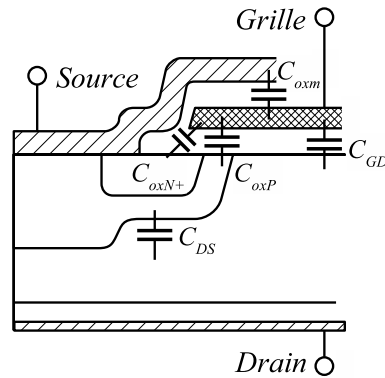


FIG. 1.9 – Effets Capacitifs

1.1.5.1 Capacités parasites

Si l'on considère la figure 1.9, on peut voir que la grille forme des capacités avec les différentes zones du MOSFET : entre grille et métallisation de source (C_{oxm}) ; entre grille et zone N^+ de source (C_{oxN^+}) ; entre grille et zone P du canal (C_{oxP}) et entre grille et drain (C_{GD}) [Alo03]. De la même manière, lorsqu'une zone de charge d'espace se développe suivant la jonction $P - N$ de la diode intrinsèque, une capacité C_{DS} apparaît, cette fois entre le drain et la source du transistor.

C_{oxm} , C_{oxP} et C_{oxN^+} peuvent être considérées comme des capacités constantes si l'on suppose que les zones de charge d'espace qui peuvent apparaître dans les régions N^+ et P ont une épaisseur faible. Leur expression est donnée par :

$$C_{oxi} = A_i \frac{\epsilon_{ox}}{e_{ox}} \quad (1.19)$$

Où A_i est la surface en regard effective des deux armatures, ϵ_{ox} la permittivité de l'oxyde et e_{ox} l'épaisseur de la couche d'oxyde (supposée constante tout autour de la grille).

La capacité C_{GD} a un comportement un peu plus complexe : lorsque le transistor est bloqué, une zone de charge d'espace se développe dans la région v sous l'effet d'une polarisation drain-source positive, jusqu'à l'occuper toute entière. En l'absence de cette polarisation, C_{GD} s'exprime par l'équation (1.19). Elle va donc montrer une forte sensibilité à V_{GD} . On peut la modéliser par deux capacités en série : l'une, variable, causée par l'extension de la zone de charge d'espace (C_{GDj}) ; l'autre, constante, formée par la couche d'oxyde (C_{oxD})

$$C_{GD} = \frac{C_{oxD} \times C_{GDj}}{C_{oxD} + C_{GDj}} \quad (1.20)$$

Selon [EO03], l'épaisseur de la zone de charge d'espace qui forme C_{GDj} est donnée par

$$e_{GDj} = \sqrt{\frac{2\epsilon_{Si} V_{GD}}{qN}} \quad (1.21)$$

Soit, en remplaçant e_{ox} et ϵ_{ox} par e_{GDj} et ϵ_{Si} dans 1.19 :

$$C_{GDj} = A_{GD} \sqrt{\frac{q\epsilon_{Si} N}{2V_{GD}}} \quad (1.22)$$

Valable pour les tensions V_{GD} positives. En dessous, C_{GD} vaut C_{oxD} .

La capacité C_{DS} est également causée par une zone de charge d'espace, qui apparaît lorsque la jonction $P^+ - N^-$ est polarisée en inverse. Une formulation plus poussée de cette capacité sera proposée dans la section sur la modélisation de la diode intrinsèque.

Dans l'étude qui nous intéresse, nous définirons trois capacités : C_{GS} — formée des trois capacités constantes C_{oxm} , C_{oxP} et C_{oxN^+} — C_{GD} et C_{DS} . D'autre part, pour des raisons de facilité de mesure, on décrit parfois ces capacités sous la forme de C_{iss} (capacité d'entrée, drain et source court-circuitées), C_{rss} (capacité de contre-réaction) et C_{oss} (capacité de sortie, grille et source court-circuitées) définies, en petits signaux, par :

$$C_{iss} = C_{GD} + C_{GS} \quad (1.23)$$

$$C_{rss} = C_{GD} \quad (1.24)$$

$$C_{oss} = C_{GD} + C_{DS} \quad (1.25)$$

Pour faire commuter un MOSFET, il faut donc charger ou décharger C_{iss} , de manière à se placer sur le point de fonctionnement désiré de la caractéristique statique.

Ces capacités parasites peuvent avoir un autre effet durant les commutations : C_{GS} et C_{GD} forment un diviseur capacitif qui peut venir charger la grille du transistor lors des commutations. Autrement dit, l'application d'un gradient de tension entre drain et source peut, via le diviseur de tension capacitif, venir modifier V_{GS} et faire commuter le MOSFET de façon incontrôlée.

1.1.5.2 Éléments inductifs

Le comportement dynamique du MOSFET est non seulement dicté par ses capacités (section 1.1.5.1), mais également par ses connexions au monde extérieur qui se révèlent inductives. L'assemblage d'une puce dans un boîtier de type *D2PAK* est visible figure 1.10. Ce type d'encapsulation est assez peu inductive (de l'ordre de la dizaine de nanohenrys entre drain et source) puisqu'il s'agit

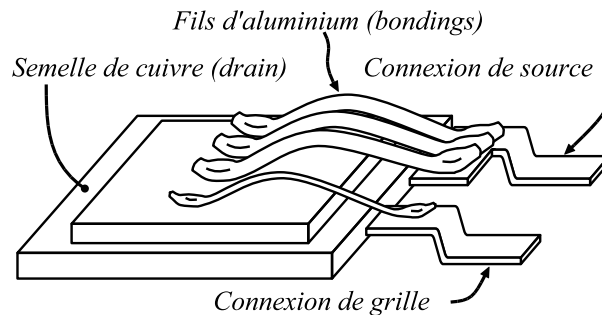


FIG. 1.10 – Mise en évidence de la connectique interne d'un boîtier de type D2PAK (les dimensions ne sont pas à l'échelle)

là d'un Composant Monté en Surface (CMS) dont les pattes sont courtes. Malgré tout, lors de commutations, les fortes vitesses de variation du de courant que supporte le circuit drain-source sont à l'origine de ddp non négligeables (de quelques centaines de millivolts à quelques volts), réparties notamment sur les *bondings*. Le circuit de grille, référencé par rapport à la source, subit donc aussi cette ddp, qui agit comme une contre-réaction sur la commande, et peut être à l'origine d'instabilités lors des commutations [Mer96].

1.1.5.3 Diode intrinsèque

La capacité C_{DS} présentée dans la figure 1.9 est la capacité de jonction de la diode intrinsèque. Cette diode, dont la présence est inévitable sous peine de se retrouver avec un transistor NPN parasite totalement incontrôlable, a longtemps été considérée comme inutilisable, et des schémas ont été proposés pour s'en affranchir [Arn92].

La situation s'est nettement améliorée, et des méthodes ont été développées pour réduire la charge recouverte lors des commutations. C'était nécessaire, car dans des applications de type onduleur, la diode intrinsèque est un composant fonctionnel à part entière [Bud97]. L'irradiation électronique permet de réduire la durée de vie des porteurs par un facteur de plus de trois [Bal96], au point que les diodes intrinsèques des MOSFET peuvent rivaliser avec des diodes PiN discrètes.

D'autres méthodes permettent d'augmenter la rapidité de la diode intrinsèque, comme un dopage d'or ou de platine. Ces solutions ont cependant un effet négatif sur le $R_{DS_{on}}$ [Arn92, Bal96] car elles réduisent la mobilité dans le canal.

Les éléments participant au comportement dynamique du MOSFET de puissance sont repris schématiquement sur la figure 1.11.

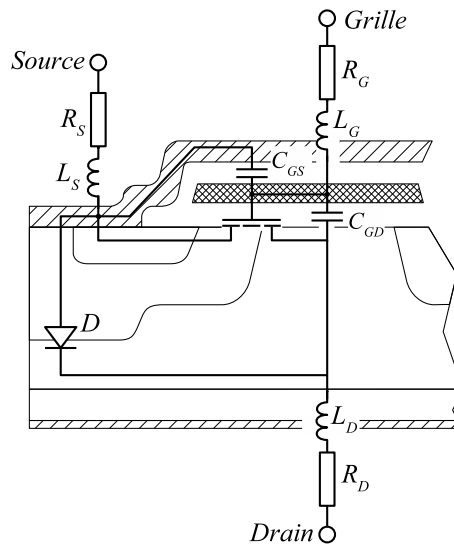


FIG. 1.11 – Modélisation à l'aide d'éléments discrets du comportement dynamique du transistor MOSFET)

1.2 Spécificités des applications basse tension, fort courant

L'étude présentée ici porte sur les MOSFET de puissance destinés aux applications automobiles. Ils se caractérisent par une faible tenue en tension (typiquement 25 V pour une utilisation sur batterie 12 V et 55 V ou 75 V pour le réseau 42V), qui leur autorise un faible R_{DSon} . En raison de la faible tension de travail, les courants mis en jeu vont rapidement devenir importants dès que la puissance commandée atteindra le kilowatt.

Le fonctionnement à forte température est un autre trait caractéristique des applications automobiles : sous le capot moteur, les composants peuvent être soumis à une température ambiante supérieure à 100°C.

1.2.1 Compromis tenue en tension/résistance à l'état passant

La figure 1.12 représente la valeur de la résistance spécifique (R_{DSon} / surface de la puce) d'un transistor MOSFET en fonction de sa tension de claquage. La limite théorique, imposée par la résistivité de la couche de tenue en tension, est tracée en pointillés [Bal96]. Cette limite correspond donc à un transistor idéal n'ayant aucune autre composante résistive que R_v (voir 1.1.4). La seconde courbe correspond à ce même transistor idéal, affublé en plus d'une résistance série de 500 $\mu\Omega$ représentant le câblage du boîtier. Les points correspondent à des valeurs disponibles en 2004 chez les fabricants.

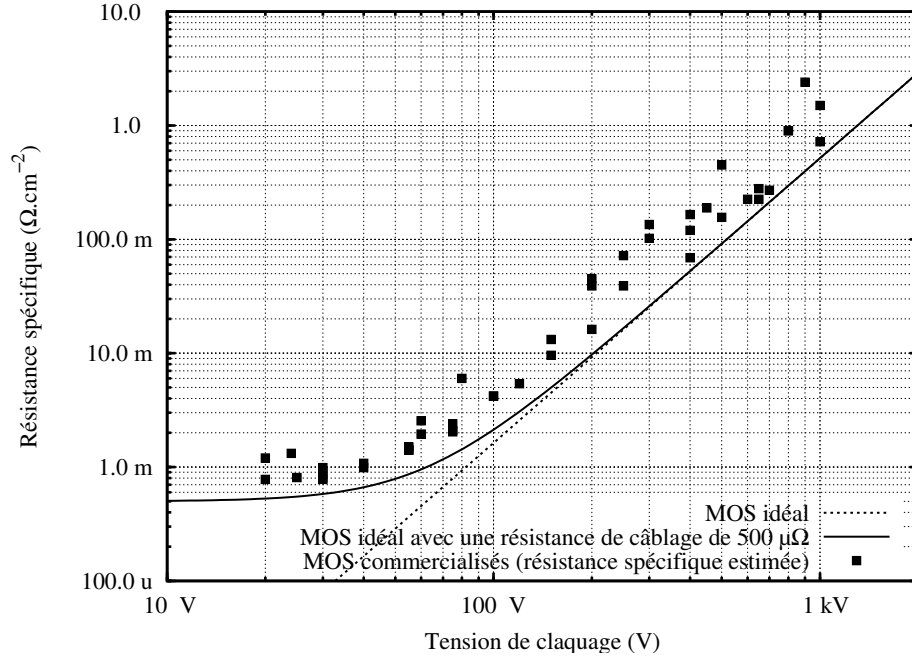
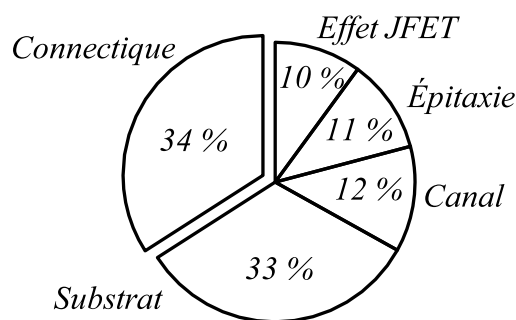


FIG. 1.12 – Tracé de la résistance spécifique d'un MOSFET de puissance en fonction de sa tenue en tension. Les points correspondent aux valeurs que nous avons estimées à partir des $R_{DS(on)}$ des MOSFET en boîtier D2PAK disponibles chez International Rectifier (www.irf.com), ST Microelectronics (www.st.com) et Infineon (www.infineon.com); en supposant une taille de puce de 30 mm^2 . La résistance du MOSFET idéal est calculée à partir de l'équation (1.16).



Source: ST Microelectronics

FIG. 1.13 – Contribution de la connectique au $R_{DS(on)}$ pour un MOSFET 30 V. Source ST Microelectronics www.st.com/stonline/prodpres/discrete/powmosft/stripfet.htm (dernière consultation 1 septembre 2004).

Il apparaît que l'influence de R_v dans le $R_{DS_{on}}$ des MOSFET est négligeable en dessous de 50 V. Sur la figure 1.13, on voit que la connectique et le substrat (dont l'épaisseur est imposée par les contraintes de tenue mécanique) représentent 67 % du $R_{DS_{on}}$. La proportion de l'épitaxie (R_v , 11 %) est plus élevée que l'on pouvait le prévoir à l'aide de la figure 1.12 car son épaisseur est plus élevée que nécessaire, pour des problèmes de réalisation [Alo01].

On peut donc en conclure que les deux tiers du $R_{DS_{on}}$ d'un MOSFET basse tension (30 V) sont causés par des éléments externes au transistor lui-même. En conséquence, aux forts courants de drain, la tension mesurée sur les terminaux du boîtier et la tension appliquée sur la puce du transistor vont être largement différentes. Il est donc primordial de tenir compte de ces résistances dans la modélisation.

De même, la chute de tension aux bornes de la résistance de source va réduire la tension grille source effectivement appliquée sur le MOSFET, modifiant son point de fonctionnement dans l'espace (I_D , V_{DS}).

1.2.1.1 Routage en bande (*strip MOS*)

L'assemblage des cellules élémentaires en un composant complet peut se faire de plusieurs manières, suivant la distribution du circuit de grille (et partant de là, les connexions de la source). La plupart des MOSFET possèdent une grille maillée (voir figure 1.14(a)), la forme des mailles variant suivant le fabricant (hexagonale, carrée, etc.). Le but de ce maillage est d'offrir la plus grande largeur de canal W possible pour une surface de silicium donnée [Alo03], ce qui, selon l'équation 1.18, permet de réduire R_{ch} .

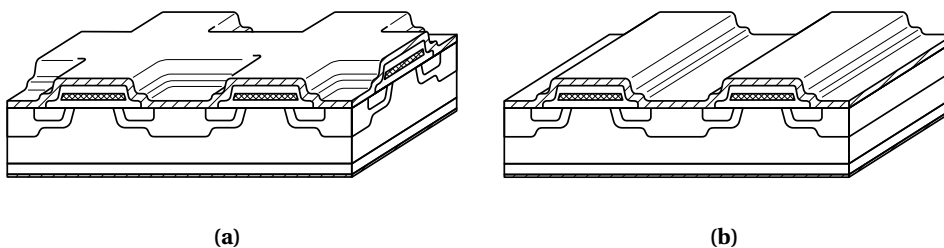


FIG. 1.14 – Deux façons de distribuer la grille dans un transistor MOSFET: (a) circuit maillé, (b) circuit « en bandes »

Un autre routage du circuit de grille est possible : le routage en bande (*strip* en anglais), visible figure 1.14(b). S'il ne permet pas en théorie d'atteindre la densité de canal d'un circuit maillé, il offre un meilleur compromis *Capacité de grille / Résistance à l'état passant*.

Les « noeuds » d'un circuit de grille maillé constituent en effet des capacités parasites non négligeables et d'autant plus dérangeantes qu'elles ne participent pas à l'établissement du canal. La charge transitant entre la commande et le transistor lors des commutations augmente avec ces capacités, conduisant soit à sur-dimensionner la commande, soit à commuter plus lentement. Plus le MOSFET devra travailler à fréquence de découpage élevée, plus ces capacités deviendront gênantes. La structure en bande permet de réduire les surfaces de grille et de drain en regard pour une même longueur de canal par rapport à un circuit maillé, ce qui contribue à la réduction de C_{GD} [Mus03].

Un autre avantage de la structure *strip* est sa robustesse. Le gain du transistor bipolaire parasite est réduit [Tsu94], ce qui augmente la CSOA (*Commutating Safe Operating Area*), c'est à dire le gradient de courant que le composant peut supporter durant une commutation. D'autre part le risque d'un mauvais contact Source-Substrat par la métallisation augmente avec le nombre de cellules. Dans une structure maillée, la densité de cellules élémentaires est plus importante que dans une structure *strip*, ce qui la rend plus sensible à ces défauts [Mur]. En l'absence de ce court-circuit entre les zones P^+ et N^+ , l'application d'un front de tension ou le passage en avalanche du transistor peuvent déclencher localement le transistor bipolaire parasite et conduire à un verrouillage puis une destruction du MOSFET. Dernier argument en faveur du routage en bande, l'absence d'angles permet de réduire le champ électrique dans l'oxyde de grille, notamment lorsque l'on utilise conjointement la structure *strip* et la technologie en tranchées (voir section 1.2.1.2) [Sob00]. Le routage en bande simplifie la réalisation, ce qui peut se traduire par une augmentation de la densité de canal, malgré une disposition qui, en théorie, ne permet pas d'atteindre la même largeur W qu'une structure maillée [Mus03].

Les transistors MOSFET à structure *strip* de certains fabricants, comme *International Rectifier*, possèdent un comportement particulier : le délai entre l'application d'un front de tension sur la grille et la commutation du transistor est différent selon qu'il s'agit d'un front montant (fermeture) ou d'un front descendant (ouverture)². Ce phénomène, peu traité dans la littérature³, semble lié à la technologie *strip*, bien que chez certains fabricants la différence entre t_{don} et t_{doff} soit moins marquée (rapport 1 à 2).

Selon [Arn92], la résistivité du silicium polycristallin qui constitue la grille est loin d'être négligeable, et lorsqu'on l'associe à la capacité d'entrée du composant, on obtient des constantes de temps de plusieurs dizaines de nanosecondes. [Bal96] identifie même la résistance interne de grille comme le principal obstacle à la montée en fréquence des MOSFET, l'utilisation de molybdène au

2. Par exemple, le transistor IRF1407 [Rec01] est annoncé avec un t_{don} de 11 ns contre un t_{doff} de 150 ns lorsque commandé à travers une résistance de 2,5 Ω .

3. Après discussion avec S. CLEMENTE, d'*International Rectifier*, il semble que les hypothèses formulées ici constituent une explication plausible du phénomène

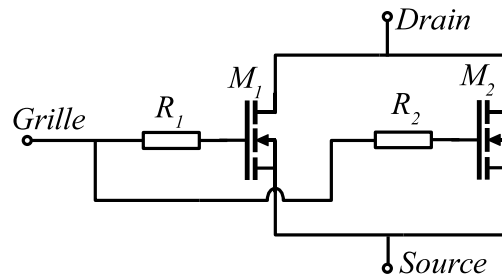


FIG. 1.15 – Modèle du déséquilibre entre délai à l'ouverture et délai à la fermeture [Lef02]. M_1 représente les cellules du transistor les mieux « irriguées » par le circuit de grille et M_2 les autres, d'où $R_1 < R_2$. Si l'on considère que M_1 et M_2 sont équivalents, $t_{d_{on}}$ correspond à la fermeture de M_1 et $t_{d_{off}}$ à l'ouverture de M_2 .

lieu de silicium polycristallin permettant de gagner une décade. Il est également possible de placer des nervures d'aluminium pour distribuer au mieux le courant de grille entre les différentes zones du MOSFET. Dans [Lef02], un schéma équivalent est proposé pour modéliser au mieux la vitesse de commutation des transistors (voir figure 1.15). Ce schéma peut également être utilisé pour modéliser l'asymétrie entre $t_{d_{on}}$ et $t_{d_{off}}$: $t_{d_{on}}$ est conditionné par la fermeture du premier des deux transistors, $t_{d_{off}}$ par l'ouverture du dernier. Si l'on considère que M_1 représente l'ensemble des cellules du transistor connectés le plus directement au circuit de grille (R_1) faible et que M_2 est au contraire formé par les cellules les moins bien « irriguées » par ce circuit (R_2 forte), il apparaît que $R_1 M_1$ conditionne le délai de fermeture du transistor ; alors que $R_2 M_2$ impose le délai à l'ouverture.

Le circuit de grille des transistors *strip*, parce qu'il est constitué de longs rubans de polysilicium au lieu de la grille des composants maillés, est intrinsèquement plus résistif. Cela permet, par le biais du mécanisme exposé figure 1.15, d'expliquer la différence entre $t_{d_{on}}$ et $t_{d_{off}}$.

1.2.1.2 Le UDMOS ou *trench* MOSFET

Nous avons vu que la résistance du canal constitue une part non négligeable du $R_{DS_{on}}$ total des MOSFET basse tension (page 26). D'après l'équation 1.18, pour réduire R_{ch} , il est nécessaire d'augmenter W . La solution classiquement adoptée [Alo03] consiste à réduire le pas cellulaire, de façon à augmenter la densité d'intégration, donc la longueur de canal par unité de surface. Malheureusement, lorsque l'écart cellulaire diminue, l'étranglement dû à l'effet JFET (équation 1.15) devient prépondérant. De nombreux travaux [Mor96b, Bal96] montrent qu'il existe un pas cellulaire optimal au dessous duquel $R_{DS_{on}}$ croît.

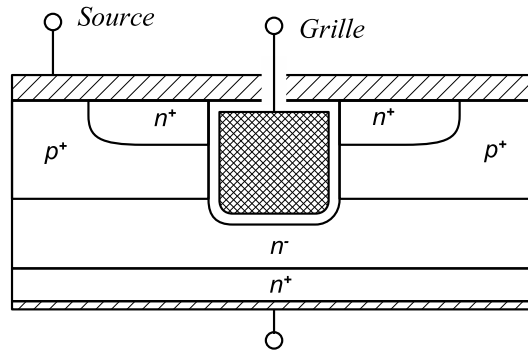


FIG. 1.16 – coupe d'une cellule de transistor MOSFET en tranchée

La structure *en tranchées*, dite aussi *trench*, *UMOS* ou à *grille enterrée*, ne souffre pas des mêmes problèmes (figure 1.16). Le canal, qui est horizontal dans un VDMOS, est ici vertical, et la zone « JFET » décrite en 1.1.4 n'existe plus. Il n'y a donc virtuellement plus de limites à l'augmentation de la densité d'intégration. [Mor96b] montre que le $R_{DS_{on}}$ des MOSFET à grille enterrée est plus faible que celui des VDMOS, et que les premiers offrent de plus grandes perspectives d'amélioration.

La réalisation de UMOS est complexe, car elle nécessite une gravure qui doit être la plus régulière possible pour ne pas nuire à la mobilité dans le canal [She92]. L'épaisseur de l'oxyde de grille doit être plus grande que dans un VDMOS et les arrêtes des tranchées doivent être arrondies sous peine de réduire la tenue en tension. Pour les mêmes raisons, la profondeur de la tranchée doit également être soigneusement contrôlée [Sob00].

De même qu'avec les VDMOS, l'assemblage des cellules élémentaires d'un MOSFET en tranchées peut se faire selon différents motifs. Les cellules carrées permettent d'obtenir une plus grande densité de canal que les cellules en bandes (voir 1.2.1.1), mais la profondeur de leur gravure est complexe à maîtriser aux intersections [Sob00]. La structure *strip* semble donc avoir la faveur de certains fabricants [Ma03].

La plus grande densité d'intégration des UMOS entraîne une capacité d'entrée C_{iss} par unité de surface plus forte que celle des VDMOS. Cependant, si l'on compare des composants ayant un $R_{DS_{on}}$ identique, les capacités des deux technologies ont des valeurs comparables [Mor96a].

1.2.2 Utilisation de la diode interne dans un Onduleur

Nous avons vu en 1.1.5.3 que des progrès importants ont été effectués sur la diode intrinsèque des MOSFET de puissance. Dans une application onduleur, la diode des interrupteurs joue un rôle important durant les temps morts entre

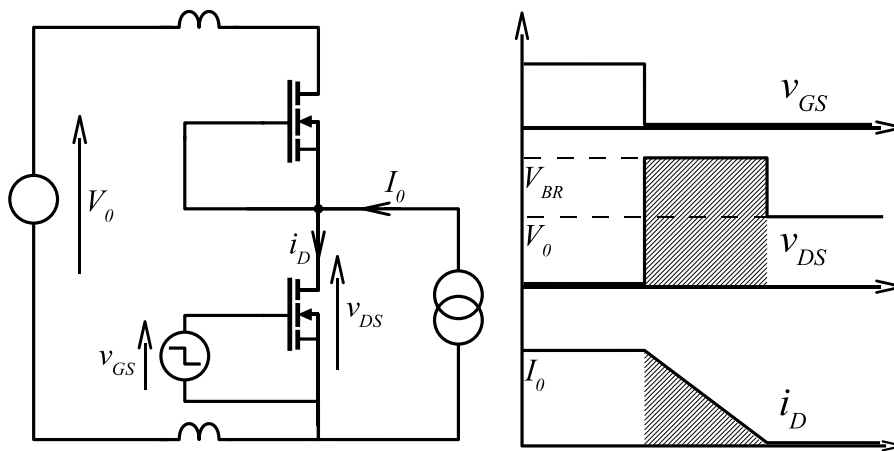


FIG. 1.17 – Les inductances parasites du bus continu limitent les variations du courant dans les différentes mailles, causant le passage en avalanche dans le transistor qui s'ouvre.

l'ouverture d'un interrupteur et la fermeture de son complémentaire. Dans les applications basse tension (12 V), les systèmes mentionnés dans [Arn92] consistant à neutraliser la diode du transistor par une seconde diode (plus rapide) placée en série, et à faire assurer la fonction redresseur par une troisième est inapplicable, car elle augmente la chute de tension à l'état passant dans l'interrupteur de 0,6 V au minimum.

La diode interne des MOSFET utilisés en onduleur basse tension est donc un composant fonctionnel du système, qui doit avoir des performances comparables à celles des diodes discrètes [Bal96].

Une autre spécificité des transistors basse tension est leur tenue au régime d'avalanche qui est un mode de fonctionnement à part entière.

En effet, les contraintes économiques imposent de réduire au maximum les capacités de découplage du bus continu. On se retrouve donc avec une liaison inductive (des câbles) reliant la batterie du véhicule et l'onduleur, ce qui correspond – à certaines échelles de temps – à l'alimenter à travers une source de courant puisque l'onduleur ne possède que peu de capacités (voir figure 1.17). Ce « manquement à la théorie des convertisseurs » se paie par un excédent d'énergie à dissiper à chaque commutation.

Un autre recours au régime d'avalanche est imposé par le cahier des charges de l'onduleur : lorsque l'alternateur débite à plein régime pour recharger la batterie, et que l'on vient accidentellement débrancher cette dernière, la tension du réseau de bord va augmenter jusqu'à détruire les équipements qui y sont connectés (figure 1.18). Pour éviter cela, il est nécessaire que les interrupteurs de l'onduleur écrètent le réseau de bord à une valeur acceptable. Utiliser les MOS-

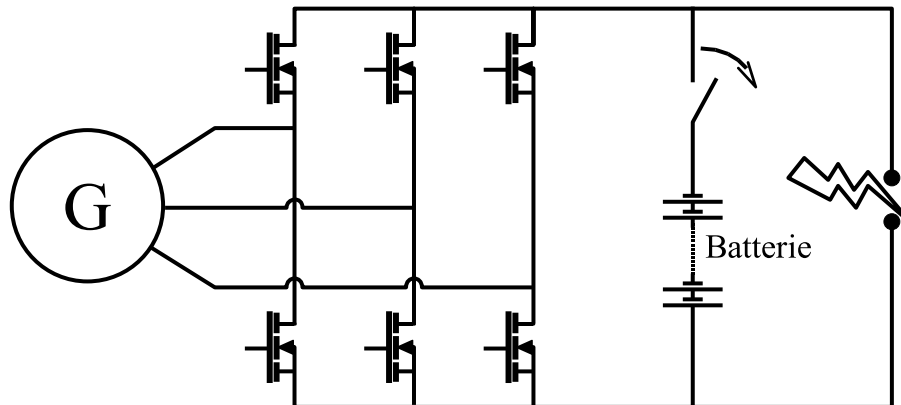


FIG. 1.18 – Lorsque l’alternateur recharge la batterie, une déconnection accidentelle de cette dernière va causer une surtension sur le réseau de bord. Le passage en régime d’avalanche des transistors de l’onduleur permet de la limiter.

FET en saturation pour réguler la tension à une valeur plus faible (et donc limiter les pertes dans les transistors) n’est pas possible en raison de leur instabilité dans ce mode (voir 1.2.3 à ce propos).

La tenue au régime d’avalanche est donc un critère primordial pour un transistor destiné au marché automobile. Ce mode qui n’était jusqu’à présent qu’accidentel [Alo03] est ici fonctionnel.

Les MOSFET basse tension se caractérisent donc par une bonne tenue à l’avalanche. Le routage du circuit de source est optimisé pour court-circuiter au mieux le transistor bipolaire parasite et éviter son déclenchement (voir 1.2.1.1). Les données des fabricants mentionnent une tenue à l’avalanche répétitive sous courant de drain nominal, uniquement limitée par des phénomènes thermiques

1.2.3 Influence de la température sur le comportement du transistor

Entre la nuit d’hiver passée dehors et le fonctionnement à plein régime par une après-midi d’été, l’électronique est soumise, sous un capot moteur, à des variations de température de l’ordre de la centaine de degrés Celsius...

Les semiconducteurs étant très sensibles à la température, il est primordial de comprendre les phénomènes qu’elle entraîne.

1.2.3.1 Modification de la caractéristique statique

Les caractéristiques statiques $I_D(V_{DS})$ d’un MOSFET 20 V — 120 A (STB210-NF02), pour plusieurs valeurs de température ambiante sont tracées figure 1.19. La figure 1.20 reprend, sur une plage de V_{DS} plus faible (correspondant au régime linéaire), les faisceaux de courbes obtenus pour deux tensions de grille. Il

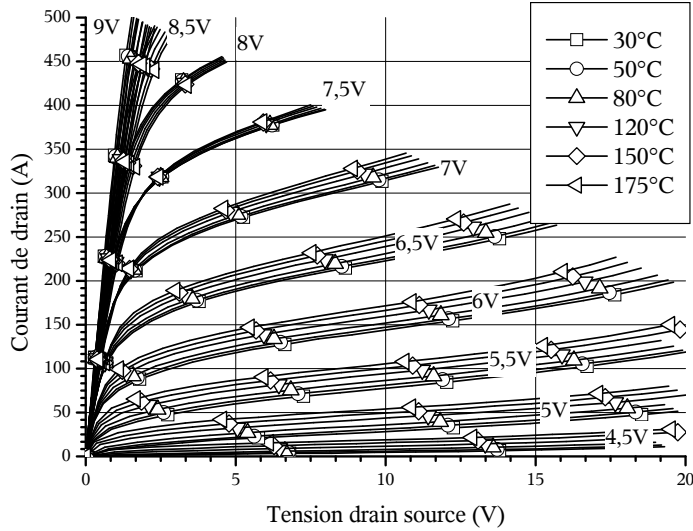


FIG. 1.19 – Caractéristique statique d'un transistor MOSFET 210NF02 en fonction de la température. En régime de saturation, le courant de drain augmente avec la température.

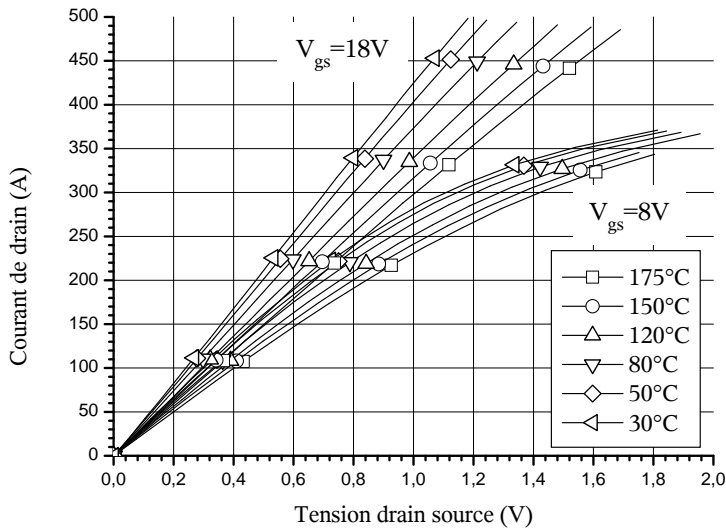


FIG. 1.20 – Caractéristique statique d'un transistor MOSFET 210NF02 en régime linéaire. Le courant de drain décroît lorsque la température augmente.

faut noter que ces caractéristiques ont été obtenues au traceur Tektronix 371A qui, malgré son fonctionnement impulsif, cause l'échauffement des composants sous test [EO03].

À partir de ces deux jeux de caractéristiques statiques, on peut voir qu'en régime linéaire le composant possède un fonctionnement stable en température (le courant de drain diminue lorsque la température augmente). En régime de saturation, au contraire, le courant augmente avec la température.

Les limites de ce fonctionnement instable dépendent du transistor utilisé, notamment de sa tension de seuil (V_{th}) et de sa transconductance⁴ (K_p).

Tension de seuil Selon [Bal96], le seul élément dépendant de la température dans l'équation (1.5) est Φ_p (donné dans l'équation (1.3)). On a en effet

$$\Phi_p = U_T \ln\left(\frac{N_A}{n_i}\right) \quad (1.26)$$

avec $U_T = kT/q$ et $n_i = 3,87 \cdot 10^{16} T^{3/2} \cdot e^{-7.02 \cdot 10^3/T}$ [Bal96] deux fonctions de la température. Il en résulte qu'aux niveaux de dopages de la zone P du canal, $\frac{\partial \Phi_p}{\partial T}$ est négatif. On a donc $\frac{\partial V_{th}}{\partial T}$ négatif également, c'est à dire que la tension de seuil des transistors MOSFET décroît lorsque la température augmente.

Transconductance Selon les équations (1.11) et (1.12), le courant de drain vaut :

$$I_D = \begin{cases} K_p \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] & \text{pour } V_{GS} - V_{th} > V_{DS} \\ \frac{K_p}{2} (V_{GS} - V_{th})^2 & \text{pour } V_{GS} - V_{th} < V_{DS} \end{cases} \quad (1.27)$$

où K_p est la transconductance du transistor et vaut

$$K_p = \frac{\mu_{ns} C_{ox}^s W}{L} \quad (1.28)$$

Les dimensions géométriques W et L ne dépendent bien entendu pas de la température, de même que C_{ox} , le seul paramètre thermosensible de K_p est donc la mobilité des électrons. Cette dernière étant décroissante lorsque la température augmente, on peut en déduire que $\frac{\partial K_p}{\partial T}$ est négatif.

4. Le terme de transconductance est ici utilisé abusivement : la transconductance d'un quadripôle, qui est la relation entre la tension d'entrée et le courant de sortie s'exprime en $A.V^{-1}$, alors que l'unité de K_p est $A.V^{-2}$. Nous utiliserons malgré tout le terme de transconductance qui exprime clairement le lien direct entre V_{GS} et I_D

Apparition d'instabilité La température ayant tendance à faire diminuer V_{th} , donc à augmenter $V_{GS} - V_{th}$, I_D devrait croître avec T . Cependant, nous avons vu que la transconductance diminue avec la température, ce qui tend à réduire I_D .

En régime de saturation, le courant de drain est donné par (1.27) et vaut :

$$I_D = \frac{K_p}{2} (V_{GS} - V_{th})^2 \quad (1.29)$$

Le transistor aura un comportement stable en température si $\frac{\partial I_D}{\partial T}$ est négatif. Dans le cas contraire, les cellules du transistor les plus chaudes vont conduire un courant de plus en plus important, menant à un emballement thermique [Con00]. Si l'on dérive (1.29) par rapport à T , on obtient :

$$\frac{\partial I_D}{\partial T} = K_p (V_{GS} - V_{th}) \frac{\partial V_{th}}{\partial T} - \frac{(V_{GS} - V_{th})^2}{2} \frac{\partial K_p}{\partial T} \quad (1.30)$$

Nous avons vu ci-dessus que $\frac{\partial V_{th}}{\partial T}$ et $\frac{\partial K_p}{\partial T}$ sont tous deux négatifs. La variation de K_p avec la température étant sensiblement celle de la mobilité des électrons, on peut écrire :

$$K_p(T) = K_{p0} \left(\frac{T}{300} \right)^{-2.4} = K'_p \cdot T^{-2.4} \quad (1.31)$$

Les transistors MOSFET basse tension, fort courant se caractérisent par une forte valeur de transconductance, c'est à dire une forte variation du courant de drain pour une faible variation de $V_{GS} - V_{th}$. Ces transistors devraient donc être plus stables que leurs équivalents haute tension, puisque le second terme de (1.30) est plus important.

Cependant, l'augmentation de la densité d'intégration des MOSFET impose l'utilisation d'oxyde de grille le plus mince possible, ce qui augmente C_{ox}^S . Afin de conserver un V_{th} suffisant (équation (1.5)), les constructeurs sont obligés d'augmenter le dopage N_A . Comme on a $N_A > n_i$, $\frac{\partial \Phi_p}{\partial T}$ augmente lorsque N_A augmente. Le premier terme de (1.30) est donc également plus important dans les MOSFET basse tension.

Dans la pratique, tous les MOSFET ont, en régime de saturation, un comportement instable ($\frac{\partial I_D}{\partial T} > 0$) en dessous d'un certain courant, puis un comportement stable au-dessus. En effet, lorsque $V_{GS} - V_{th}$ est faible, le second terme de (1.30) est négligeable.

Dans les MOSFET basse tension récents, on observe que cette valeur de courant correspondant à la « stabilisation » est très élevée. On n'a alors plus de fonctionnement stable en régime de saturation. Les constructeurs conseillent désormais de ne pas utiliser les transistors les plus récents pour un fonctionnement en saturation, mais plutôt les anciennes générations, qui possèdent une sensibilité à la tension de seuil moins marquée.

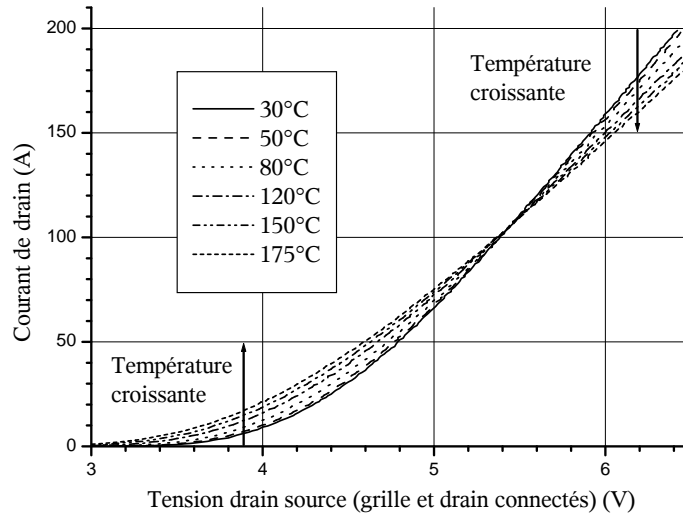


FIG. 1.21 – Évolution du courant de drain en fonction de la tension drain–source (grille et drain connectés) à différentes températures pour un MOSFET Infineon 80N03

Pour illustrer ce fait, nous avons tracé la valeur de I_D en fonction de V_{DS} , grille et drain reliés⁵ (c'est à dire le lieu des points à $V_{DS} = V_{GS}$) pour différentes températures et pour un MOSFET 30 V (SPB80N03S2L-06, 5,9 mΩ, 80 A 30 V, figure 1.21) et pour un MOSFET 20 V (STB210NF02, 120 A 20 V figure 1.22). Il apparaît que le point fixe du réseau de courbes, déjà en dehors du calibre nominal du SPB80N03S2L-06 (100 A contre 80 A) est rejeté à l'extérieur de la courbe dans le cas du STB210NF02.

Autres effets de la température La diminution de la transconductance K_p avec la température se traduit par l'augmentation de la résistance équivalente à l'état passant ($R_{DS(on)}$) du transistor :

En effet, selon (1.27), lorsque l'on se situe dans le mode de fonctionnement statique du transistor (c'est à dire en régime linéaire, à V_{DS} faible — moins d'un volt — et à V_{GS} fort — une dizaine de volts au dessus de V_{th} —) on peut écrire

$$I_D = K_p [(V_{GS} - V_{th}) V_{DS}] \quad (1.32)$$

5. Le traceur Tektronix 371A ne permettant pas d'effectuer une mesure en faisant varier V_{GS} à V_{DS} fixe pour les forts courants

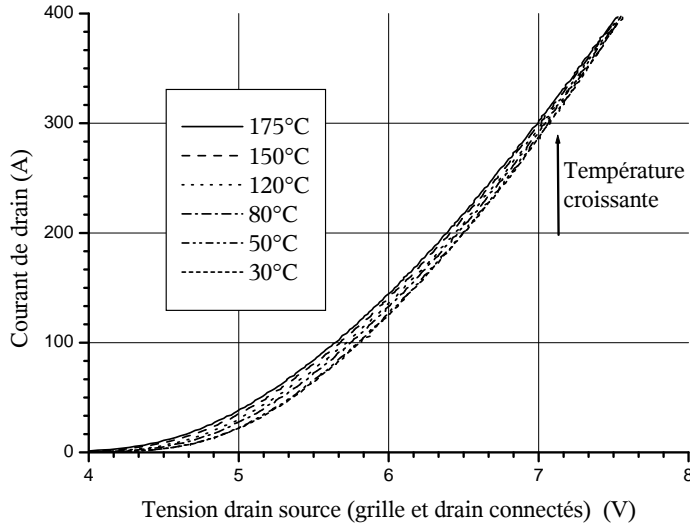


FIG. 1.22 – Évolution du courant de drain en fonction de la tension drain–source (grille et drain connectés) à différentes températures pour un MOSFET STB210-NF02

C'est à dire — en faisant l'hypothèse que $R_{DS_{on}}$ est entièrement dû à la contribution de R_{ch} (voir 1.1.2) —,

$$R_{DS_{on}} = \frac{1}{K_p (V_{GS} - V_{th})} \quad (1.33)$$

On peut donc en conclure que $R_{DS_{on}}$ évolue de la même manière que $1/K_p$ avec la température, soit :

$$R_{DS_{on}}(T) = R_{DS_{on}300K} \left(\frac{T}{300} \right)^{2.4} \quad (1.34)$$

Les autres paramètres thermo-sensibles du MOSFET sont en fait ceux de sa diode intrinsèque [Kat03] :

Le courant de fuite de la diode intrinsèque, déjà important en raison du dopage élevée de l'épitaxie (faible tenue en tension) et de la grande surface active de la diode (composant fort courant), augmente avec la température.

La chute de tension en polarisation directe est un paramètre thermosensible très utilisé pour les mesures de température à l'intérieur des transistors. Cette tension diminue linéairement avec la température lorsque la diode est parcourue par un courant faible.

La tension d'avalanche augmente avec la température de façon linéaire [Liu94].

1.2.3.2 Modification du comportement dynamique

Les caractéristiques dynamiques des transistors MOSFET ne varient pas significativement avec la température : les capacités parasites ne sont que peu modifiées. Seule la diode interne voit son courant de recouvrement augmenter, ce qui peut s'avérer dangereux.

1.2.4 Limitations du boîtier

L'encapsulation d'un composant joue plusieurs rôles : le connecter au monde extérieur, le protéger mécaniquement et électriquement (en assurant l'isolation nécessaire), et évacuer la chaleur qu'il produit. Si la fonction d'isolation ne pose pas trop de problèmes en basse tension, l'important niveau de courant rend les interconnexions et la dissipation de chaleur délicates.

Nous avons vu en 1.2.1 que la résistance de connectique était un des facteurs limitant de la diminution du $R_{DS_{on}}$. Avec les transistors de fort calibre (supérieur à 100 A), il devient même courant que les connexions soient à l'origine de 50 % du $R_{DS_{on}}$ total. Dans ces conditions, de nombreuses études portent sur la suppression des *bondings*. Certains composants basés sur une structure *flip-chip*⁶ sont d'ores et déjà disponibles [Kin04]. Le principal inconvénient de cette technologie est, pour l'instant, ses mauvaises performances en cyclage thermique (on ne trouve pas de composants qualifiés pour des régimes de température « automobiles »). C'est pour cela que certains fabricants continuent d'explorer la voie des *bondings*, en utilisant plusieurs fils de plus gros diamètre (500 μm) en parallèle [Boe02].

L'aspect « dissipation de chaleur » pose également des problèmes dans les applications automobiles. Pour des raisons économiques, les transistors sont composés d'une puce de silicium brasée sur une semelle en cuivre (comme visible sur la figure 1.10. Les différences de coefficients de dilatation entre ces deux matériaux sont à l'origine de fortes contraintes mécaniques dans les brasures [Arn92]. Ce sont ces phénomènes de fatigue mécanique qui limitent la montée en température des transistors. Il va donc être nécessaire de réduire la résistance thermique des boîtiers pour conserver une température plus basse à pertes équivalentes.

6. Il s'agit de composants montés « à l'envers », grille et source connectées au circuit imprimé par des billes d'étain, le drain étant relié par une bande de cuivre beaucoup moins résistive que les fils d'aluminium des *bondings*.

1.3 Modélisation

Le MOSFET, par sa structure cellulaire et son fonctionnement unipolaire, se prête bien à une modélisation par circuit équivalent [Aub99] (figure 1.23). Il est donc possible de modéliser séparément le comportement statique, puis de venir y ajouter les capacités C_{GD} , C_{GS} , la diode intrinsèque et les éléments de câblage.

Le modèle de chacun de ces composants est basé sur les travaux antérieurs effectués au CEGELY [Hel95, Lin94]. Quelques modifications ont cependant été apportées pour permettre une étude électrothermique durant le passage en avalanche (section 1.3.2) et pour fusionner le modèle du MOSFET et celui de la diode (suppression de la capacité C_{DS} , prise en compte du phénomène d'avalanche). La transcription de ces modèles, originellement écrits pour *PACTE*, vers le logiciel *PSPICE* est abordée en 1.3.3. L'extraction des paramètres de ces modèles à partir de mesures sur des composants sera détaillée au chapitre 3.

Par rapport aux modèles classiques, nous proposons donc une représentation reprenant tous les aspects du fonctionnement du composant : transistor, mais également diode et comportement en avalanche. En effet, selon [Bud97], pour simuler le comportement d'un MOSFET dans un onduleur il est primordial que le modèle de ce transistor fournisse une bonne approximation du fonctionnement dynamique de sa diode interne (phénomène de recouvrement à l'ouverture notamment). Le fonctionnement aux régimes extrêmes (ici l'avalanche) nécessite lui aussi des modèles précis pour pouvoir estimer les contraintes auxquelles sont soumis les composants. D'une manière générale, nous recherchons un modèle représentant précisément le comportement du transistor afin de procéder à des simulations de pertes.

1.3.1 Modèle électrique

Les équations régissant le comportement d'un MOSFET idéalisé ont été présentées en 1.1.2. Dans cette partie, nous proposons une modélisation du transistor MOSFET basée sur ces équations et sur l'ajout de paramètres empiriques permettant de prendre en compte les fonctionnements non-idéaux.

1.3.1.1 Modèle statique

Si l'on s'intéresse aux équations 1.11 et 1.12, on voit que le courant de drain s'exprime par :

$$I_D = \begin{cases} K_p \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] & \text{pour } V_{GS} - V_{th} > V_{DS} \\ \frac{K_p}{2} (V_{GS} - V_{th})^2 & \text{pour } V_{GS} - V_{th} < V_{DS} \end{cases} \quad (1.35)$$

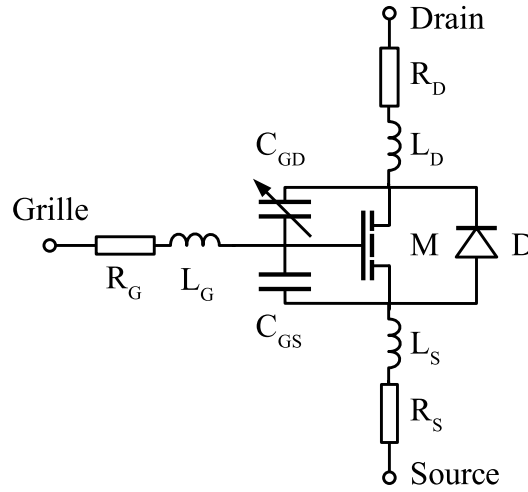


FIG. 1.23 – Schéma équivalent du transistor MOSFET de puissance décrit sous Pspice. Il faut noter que M , D et C_{GD} sont des modèles spécifiques.

où K_p vaut $\frac{\mu_{ns} C_{ox}^s W}{L}$. Il faut cependant noter que ces relations sont issues du modèle théorique présenté figure 1.2. Dans un MOSFET réel (et vertical), plusieurs autres phénomènes sont à prendre en compte.

Tout d'abord, l'application d'une tension V_{GS} est à l'origine d'un champ électrique transversal dans le canal, qui tend à réduire la mobilité. On introduit donc le paramètre θ [Mas93], et on multiplie les expressions de I_D de l'équation 1.35 par :

$$\frac{1}{1 + \theta (V_{GS} - V_{th})} \quad (1.36)$$

D'autre part, le dopage du canal, que l'on a jusqu'ici considéré comme uniforme, est en fait obtenu par diffusion ; il n'est donc pas uniforme. La transconductance K_p , dont l'expression a été obtenue en faisant l'hypothèse d'un dopage idéal va donc être modifiée, notamment en régime de saturation. Dans [Hef94], deux paramètres sont introduits pour améliorer la modélisation : $K_{p_{lin}}$ et $K_{p_{sat}}$, respectivement transconductances en régime linéaire et saturé. Les expressions de l'équation 1.35 deviennent donc :

$$I_D = \begin{cases} 0 & \text{pour } V_{GS} < V_{TH}, \\ K_{p_{lin}} \frac{(V_{GS} - V_{th}) V_{DS} - \frac{K_{p_{lin}}}{2K_{p_{sat}}} V_{DS}^2}{1 + \theta (V_{GS} - V_{th})} & \text{pour } V_{DS} \leq (V_{GS} - V_{th}) \frac{K_{p_{sat}}}{K_{p_{lin}}}, \\ K_{p_{sat}} \frac{(V_{GS} - V_{th})^2}{2[1 + \theta (V_{GS} - V_{th})]} & \text{pour } V_{DS} > (V_{GS} - V_{th}) \frac{K_{p_{sat}}}{K_{p_{lin}}} \end{cases} \quad (1.37)$$

Pour améliorer la modélisation de la tension de seuil, on introduit enfin le paramètre σ [Mas93], qui représente empiriquement l'effet de V_{DS} sur la tension de seuil par :

$$V_{th} = V_T - \sigma V_{DS} \quad (1.38)$$

Le modèle statique proposé, dit modèle à $2KP$, possède donc 5 paramètres à identifier : $K_{P_{lin}}$, $K_{P_{sat}}$, θ , V_T et σ . Ce modèle est vraisemblablement celui utilisé dans le simulateur *SABER* [Hef94]. Nous avons négligé la prise en compte des effets de canal court (paramètre λ dans le modèle SPICE level 3) après avoir vérifié qu'elle n'améliorait pas notre modèle de façon significative.

1.3.1.2 Capacités

C_{GD} est fortement variable avec la tension V_{GD} . En effet, nous avons vu en 1.1.5.1 qu'elle correspond à la mise en série d'une capacité C_{oxD} d'oxyde constante et d'une capacité de zone de charge d'espace C_{gdj} variable selon

$$C_{gdj} = \frac{\epsilon_{Si} A_{GD}}{\sqrt{\frac{2\epsilon_{Si} V_{GD}}{qN}}} \quad (1.39)$$

Si V_{GD} est négative ou nulle, il n'y a pas de ZCE, seul l'oxyde intervient. Sinon, la capacité de la ZCE vient en série avec celle de l'oxyde :

$$C_{GD} = \begin{cases} C_{oxd} & \text{pour } V_{GD} \leq 0 \\ \frac{C_{oxd} \cdot C_{gdj}}{C_{oxd} + C_{gdj}} & \text{pour } V_{GD} > 0 \end{cases} \quad (1.40)$$

C_{GS} est considérée comme constante, et sera donc modélisée par une simple capacité.

1.3.1.3 Diode

Le modèle de diode que nous présentons ici a été développé par M. Hervé MOREL au CEGELY [Mor94]. Il est plus particulièrement destiné aux diodes de puissance, dont le fonctionnement en forte injection rend cruciale la bonne prise en compte du phénomène de recouvrement, dans laquelle les charges stockées en conduction sont évacuées à l'ouverture.

L'utilisation de ce modèle est nécessaire car le phénomène de recouvrement est très mal représenté par le modèle SPICE de la jonction PN [Mas01].

La modélisation de la diode PiN que nous utiliserons est basée sur une décomposition en quatre zones distinctes (figure 1.24) : deux zones neutres, une

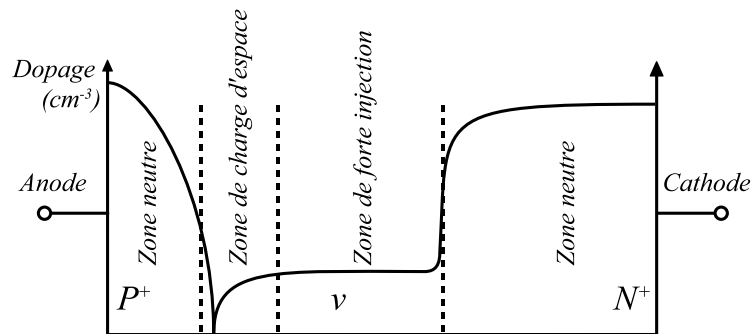


FIG. 1.24 – Profil de dopage d'une diode PiN et son découpage en quatre régions.

zone de charge d'espace et une zone de plasma (ou forte injection). En polarisation directe de la diode, la zone de charge d'espace est écrasée, et peut être négligée, alors qu'en polarisation inverse, elle s'étend sur toute la zone faiblement dopée. Le recouvrement correspond à l'évacuation des charges de la zone de plasma au cours de l'extension de la zone de charge d'espace, c'est un état transitoire dans lequel les deux zones sont présentes (figure 1.25).

Zones neutres en faible injection Elles correspondent aux zones fortement dopées de la diode (ainsi qu'à une partie de la zone épitaxiée lorsque la zone de charge d'espace ne l'occupe pas entièrement), et l'on considérera qu'elles sont toujours en régime de faible injection.

L'influence du substrat (zone du contact de cathode) est négligée. En raison de son dopage uniforme, il a un comportement ohmique [Hel95].

On retrouve dans la zone diffusée (contact d'anode) un gradient de dopage à l'origine d'un courant de diffusion qui est dans la pratique largement supérieur au courant total. Ce courant de diffusion est donc compensé par un courant de conduction. Les conditions de quasi-neutralité entraînent l'existence d'un champ électrique et d'une différence de potentiel indépendante du courant qui traverse la diode.

Zone de plasma Cette zone est en régime de forte injection, c'est à dire que la concentration de porteurs est très supérieure au dopage net. En faisant l'hypothèse de neutralité de cette zone, on peut écrire qu'en tout point on a $n = p$. On va donc rechercher une solution de l'équation de diffusion ambipolaire :

$$\frac{\partial p}{\partial t} = D \frac{\partial^2 p(x,t)}{\partial x^2} - \frac{p(x,t)}{\tau} \quad (1.41)$$

D , le coefficient de diffusion ambipolaire valant

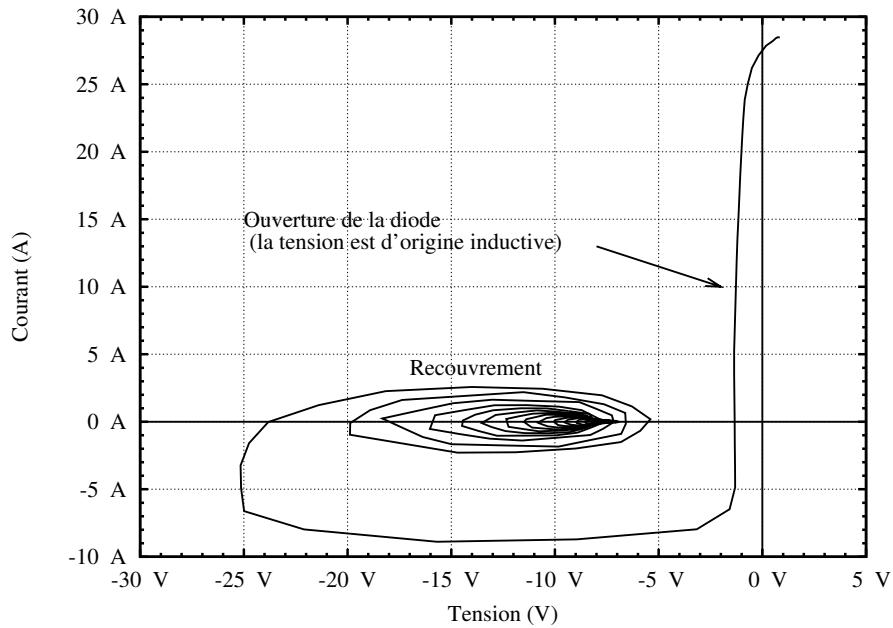


FIG. 1.25 – Commutation à l'ouverture d'une diode dans le plan I,V (simulation).

$$D = 2 \frac{\mu_n \cdot \mu_p}{\mu_n + \mu_p} U_T \quad (1.42)$$

Pour résoudre (1.41) avec les conditions aux limites associées, [Mor94] a recours à la technique d'approximation interne, permettant de transformer un problème aux limites, dépendant de l'espace et du temps en un système d'équations différentielles ne dépendant que du temps.

Il en résulte que le profil transitoire de la concentration des trous dans la zone de plasma peut être défini par deux variables d'état, x_1 et x_2 , avec une précision satisfaisante. Les équations du modèle sont données en annexe A.

Zone de charge d'espace Le courant total traversant la diode vaut $i = i_n + i_p$. i_n , le courant d'électrons à la limite entre la zone de plasma et la ZCE (courant de déplacement) est lié à l'extension de cette dernière (w_C) par :

$$i_n = \frac{d}{dt} (qN_D A w_C) \quad (1.43)$$

En remplaçant, dans (1.43), i_n par $I - i_p$, on peut écrire l'équation d'état reliant la variable externe I à la variable d'état w_C :

$$\frac{dw_C}{dt} = \frac{i_p - I}{qN_D A} \quad (1.44)$$

Le courant de trous i_p pouvant s'écrire :

$$i_p = -x_1 \frac{\tau}{\tau_D} \left(1 + \alpha \frac{w_C}{L_{ND}} \right) \quad (1.45)$$

Avec x_1 la charge stockée normalisée dans la zone de plasma, τ_D un coefficient de proportionnalité entre x_1 et le courant de trous, α un coefficient permettant de tenir compte du déplacement de la frontière entre ZCE et zone de plasma lorsque w_C varie. La longueur de Debye L_{ND} vaut $\sqrt{\frac{\epsilon U_T}{q N_D}}$.

Chute de tension aux bornes de la diode La chute de tension entre anode et cathode de la diode (variable externe V) s'exprime par :

$$V = V_{bi} - U_T \frac{w_C^2}{2} + R_{N_d} I + V_{n_0} \ln(1 + x_1 H(x_1)) \quad (1.46)$$

V_{bi} est le *built-in potential* de la diode (notamment dû aux contacts ohmiques), le terme $U_T \frac{w_C^2}{2}$ correspond à la hauteur de barrière d'une jonction abrupte dans la ZCE, $R_{N_d} I$ est la chute de tension résistive dans la zone neutre lorsque la diode n'est pas en régime de forte injection et le dernier terme est une représentation empirique de la chute de tension dans la zone de plasma (H est la fonction échelon).

1.3.1.4 Tenue en avalanche

Le phénomène d'avalanche est lié à la jonction PN de la diode intrinsèque. Il fait cependant l'objet d'une modélisation séparée, car le modèle de diode présenté ci-dessus ne le prend pas en compte. On considère que le modèle équivalent d'une diode en avalanche est une diode idéale dont la tension d'avalanche ne dépend que de la température en série avec une résistance dont la valeur ne dépend pas de la température (figure 1.26). La tension d'avalanche d'une jonction PN s'écrit alors :

$$V_{BR}(I, T) = V_{BR_0} + \beta T + R_{BR} I \quad (1.47)$$

Ce modèle fort simplifié sera justifié par les mesures effectuées au chapitre 3.

1.3.2 Modélisation électrothermique

Jusqu'ici, nous avons considéré que le système travaillait à température constante. Malheureusement, un convertisseur, aussi bon soit-il, dissipe toujours une partie de l'énergie qu'il transmet. Ces pertes génèrent un échauffement localisé dans les composants et le câblage du convertisseur. Parmi ces composants, les semiconducteurs sont très sensibles à la température, et leurs caractéristiques évoluent fortement avec elle.

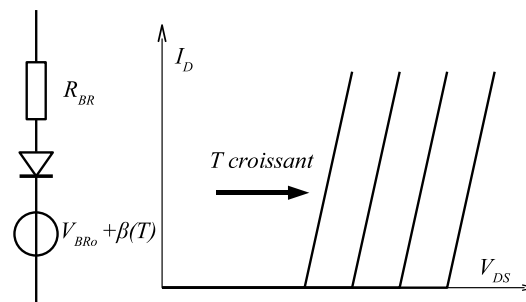


FIG. 1.26 – Modèle du transistor en avalanche

Le principe de la modélisation électrothermique est de considérer la température non comme un *paramètre d'entrée* du modèle, mais comme une *variable de port* (méthode implicite, [Dor96]), au même titre que les courants ou les tensions. Elle sera calculée durant les simulations en fonction de la puissance dissipée et des caractéristiques physiques du système (surface, épaisseur, matériau des différents composants).

La température a également un impact sur les autres composants d'un convertisseur (ici les condensateurs et les pistes de cuivre), mais il est plus faible, et la plus grande partie de la dissipation de puissance se situe dans les interrupteurs.

Nous ne nous intéresserons dans ce mémoire qu'à la modélisation électrothermique de l'avalanche. Il s'agit en effet d'un phénomène dissipant beaucoup de puissance (présence de forts courants et tensions), et qui se produit sur des durées pouvant dépasser plusieurs dizaines de microsecondes. Dans les autres cas (conduction du transistor ou de sa diode interne, ou commutation) la dissipation de puissance est suffisamment faible pour que l'on puisse négliger les variations de température à l'échelle de la période de commutation.

1.3.2.1 Modèle thermique

La structure classique d'assemblage en électronique de puissance est représentée figure 1.27. Elle est constituée d'un pavé de silicium (dont l'épaisseur est de quelques centaines de microns), brasé sur une semelle de cuivre (épaisseur comprise entre quelques centaines de microns et quelques millimètres suivant la technologie) qui joue le rôle de contact de drain et de répartiteur de chaleur. Cet assemblage est ensuite reporté sur d'autres couches (céramique, cuivre, époxy, aluminium ...).

On considère habituellement que la puissance est dissipée à la surface supérieure de la puce, et que toutes les frontières sont adiabatiques hormis la surface inférieure de la semelle de cuivre. Le flux de puissance va donc traverser les différentes strates de l'assemblage pour atteindre la surface de dissipation (radia-

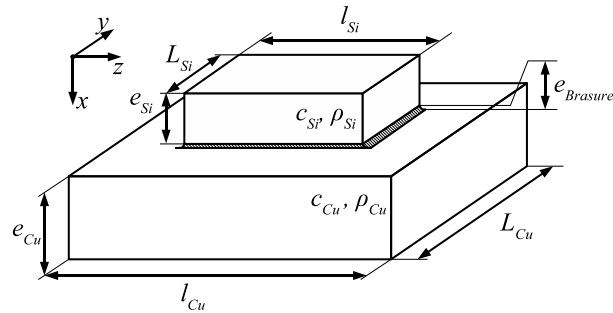


FIG. 1.27 – Structure de l'empilement puce (silicium) / brasure (alliage d'étain) / semelle du boîtier (cuivre). La figure n'est pas à l'échelle.

teur, plaque à eau...). On ne considère ici que les phénomènes de conduction thermique.

e_{Si} étant très faible devant l_{Si} et L_{Si} (typiquement 200 à 300 μm contre 4 à 6 mm), si l'on considère que la puissance dissipée est uniformément répartie à la surface de la puce, on peut faire l'hypothèse d'un flux de chaleur unidimensionnel, orienté selon l'axe x [Amm98]. L'équation de la chaleur s'écrit alors :

$$\rho c \frac{\partial T(x,t)}{\partial t} = K \frac{\partial^2 T(x,t)}{\partial x^2} \quad (1.48)$$

La résolution de cette équation pouvant se faire analytiquement ou numériquement. Les conditions aux limites associées sont :

$$A_{MOS} \cdot K \frac{\partial T}{\partial x} \Big|_{x=0} = -P(t) \quad (1.49)$$

$$T(t, x=L) = T_a \quad (1.50)$$

Avec $P(t)$ la puissance dissipée instantanée, A_{MOS} la surface de silicium et T_a la température sur la surface inférieure de la puce.

Approche analytique L'hypothèse formulée en 1.3.2.1 d'une dissipation de puissance en surface du transistor n'est pas forcément justifiable dans les composants de puissance (verticaux). Dans un VDMOS, si les zones actives (canal et jonction de la diode intrinsèque) sont très proches de la surface, leur épaisseur n'est pas nulle (de 1 à quelques microns). Cette épaisseur est de première importance pour modéliser l'élévation de température sur des échelles de temps très courtes (de l'ordre de la dizaine de μs), puisqu'elle constitue une première capacité thermique [Cle93].

D'autre part, la forme d'onde de la puissance dissipée dans le composant doit être connue pour procéder à une résolution analytique: à énergie dissi-

pée égale, deux impulsions de durée, donc d'amplitude différentes ne vont pas conduire à une même température de puce.

La prise en compte de la distribution temporelle *et* spatiale de l'énergie dissipée en une expression est cependant trop complexe pour un modèle analytique conçu pour être simple et rapide. On trouve donc dans la littérature deux types de résolutions, selon que l'auteur adopte l'hypothèse d'une énergie dissipée dans un volume infiniment mince, ou en un temps infiniment court.

Dans le premier cas, on va exprimer l'équation (1.48) dans le domaine de Laplace, de manière à obtenir une équation différentielle en x , que l'on va résoudre avec les conditions aux limites déjà proposées (température constante en $x = L$, Puissance P imposée en $x = 0$). Il ne reste alors plus qu'à remplacer P par son expression (impulsion de puissance de forme triangulaire, rectangle...) et à revenir dans le domaine temporel. De cette façon, [Gla01] exprime l'évolution de la température en fonction du temps dans une puce soumise à une impulsion de puissance triangulaire de puissance initiale P_0 et de durée t_{pulse} par :

$$\Delta T(t) = \frac{P_0 \cdot k_{therm}}{A_{MOS}} \left(\sqrt{t} - \frac{2}{3 \cdot t_{pulse}} \cdot \sqrt{t^3} \right) \quad (1.51)$$

k_{therm} est appelé *facteur de la loi racine*, et vaut $2 / (\pi c \rho K)$.

Dans le second cas, [Cle93] propose dans un premier temps de considérer que la puissance est dissipée en un temps infiniment court, dans un volume de silicium fini. La solution ainsi trouvée n'est cependant valable que pour les échelles de temps inférieures à la micro-seconde, ce qui est difficilement exploitable en électronique de puissance. Afin d'augmenter le domaine de validité de cette expression, on introduit un facteur correctif de durée d'impulsion⁷. Cela permet d'augmenter le volume efficace dans lequel la puissance est dissipée, et donc de prendre en compte les phénomènes propagatifs.

Le principal inconvénient de ces deux méthodes est leur faible domaine d'application. En effet, la puce de silicium y est considérée comme un milieu semi-infini selon l'axe x . Pour que cette hypothèse soit justifiée, il faut considérer des durées inférieures au temps de propagation de la chaleur dans le silicium, soit environ 2 à 300 μs suivant l'épaisseur de la puce. Ces méthodes permettent cependant d'établir des diagrammes d'impédance thermique transitoire tels que ceux que l'on peut trouver dans les documentations des fabricants. Leur dépendance explicite au temps les rend par contre inutilisables en simulation.

Approche numérique Les modèles proposés ici sont destinés à être utilisés dans des simulateurs « circuit », comme *SABER* ou *Pspice*. Les modèles thermiques doivent donc être exprimés d'une manière compatible avec ces logiciels,

7. Ce facteur étant donné sous forme d'abaque, nous n'avons pas repris l'expression proposée par [Cle93], et nous invitons le lecteur intéressé à se procurer le document

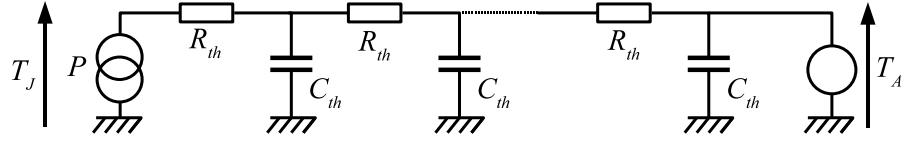


FIG. 1.28 – Réseau électrique permettant de modéliser la propagation de la chaleur

ce qui n'est pas le cas des modèles analytiques proposées en 1.3.2.1 [Amm03]. Il faut donc utiliser une autre méthode.

En conservant l'hypothèse d'un flux de chaleur unidimensionnel que nous avons formulée dans le paragraphe précédent, si l'on discrétise la puce suivant la direction de propagation (axe x sur la figure 1.27) en n points x_1 à x_n équidistants (schéma de différences finies centrées), l'équation (1.48) au point x_i s'écrit :

$$\rho c \frac{\partial T_i(t)}{\partial t} = K \frac{T_{i+1}(t) + T_{i-1}(t) - 2T_i(t)}{h^2} \quad (1.52)$$

Où T_j est la température au point j et h est le pas de discrétisation (distance entre deux points consécutifs). Cette équation peut se mettre sous la forme suivante :

$$h A_{MOS} \rho c \frac{\partial T_i(t)}{\partial t} = K A_{MOS} \frac{T_{i+1}(t) - T_i(t)}{h} - K A_{MOS} \frac{T_i(t) - T_{i-1}(t)}{h} \quad (1.53)$$

On retrouve alors le terme $\frac{h}{K A_{MOS}}$ correspondant à la résistance thermique d'un volume de silicium de surface A_{MOS} et d'épaisseur h , et $h A_{MOS} \rho c$ qui est la capacité thermique de ce même volume. Soit :

$$C_{TH} \frac{\partial T_i(t)}{\partial t} = R_{TH} (T_{i+1}(t) - T_i(t)) - R_{TH} (T_i(t) - T_{i-1}(t)) \quad (1.54)$$

Les conditions aux limites décrites en (1.50) devenant alors :

$$\frac{T_1(t) - T_2(t)}{R_{TH}} = -P(t) \quad (1.55)$$

$$T_n(t) = T_a \quad (1.56)$$

Si l'on assimile la puissance dissipée à un courant électrique, et la différence de température entre deux points à une tension, on retrouve une formulation par circuit électrique équivalent comme celui de la figure 1.28, aisément intégrable dans un simulateur *circuit*.

Dans [Amm98], il est montré que cette méthode de discrétisation n'est pas la plus efficace dans le cas d'une impulsion de puissance de courte durée : un

grand nombre de points est nécessaire pour représenter fidèlement l'élévation de température à la surface supérieure. D'autres méthodes permettent d'obtenir un réseau équivalent ayant moins de noeuds, comme celles bâties sur les éléments finis ou sur l'approximation interne [Amm99, Amm03]. Une autre voie étudiée dans [Hef94] est une discrétisation par différences finies (comme celle présentée ici), mais avec un pas h variable, plus fin en surface supérieure, et plus grossier en dessous.

La méthode présentée ici s'applique bien à une puce de silicium, dans laquelle on peut faire l'hypothèse d'une propagation unidimensionnelle de la chaleur. Dans les couches suivantes de l'empilement (semelle en cuivre, lame d'isolant, aluminium), de surface plus grande, le flux de chaleur va s'étaler [Mar04] et cette hypothèse ne sera plus valable. L'étude de la répartition de température nécessite alors des outils permettant de modéliser le système en deux voire trois dimensions [VG97].

La représentation par circuit RC peut néanmoins être utilisée, mais l'identification de ses paramètres se fera alors par des mesures.

1.3.3 Mise en œuvre du modèle Pspice

Une fois les équations du modèle écrites, il reste à les adapter au logiciel de simulation. De nombreux simulateurs sont actuellement disponibles, mais seuls quelques-uns permettent d'intégrer de nouveaux modèles. Parmi ceux-ci, citons *SABER*, *SMASH* ou *Pspice*⁸. Le langage *VHDL-AMS* constitue une solution à part, puisque si plusieurs éditeurs commencent à proposer des compilateurs, il n'existe pas encore de bibliothèques de modèles en nombre suffisant. Ce langage devrait cependant constituer à l'avenir une solution intéressante en électronique de puissance, permettant des simulations mixtes temps continu / temps discret, multi-domaines et une *portabilité* des modèles entre les différents compilateurs.

Dans la suite de ce document, nous utiliserons *PSPICE*, pour de simples raisons de disponibilité. Il ne constitue cependant pas le choix le plus adapté, puisqu'il ne permet pas — contrairement à *SABER* ou aux simulateurs basés sur *VHDL-AMS* — une description multi-domaines (électrique et thermique, par exemple) et que le codage par Analog Behavioral Model (*ABM*) nécessite plus de manipulations que les langages *MAST* (*SABER*) ou *VHDL-AMS*.

1.3.3.1 Les *ABM*

Pour introduire de nouvelles équations dans les premières versions de SPICE, deux solutions étaient disponibles : les introduire dans le code source du simu-

8. le logiciel *PACTE*, développé au CEGELY, le permet également, mais sa distribution est plus confidentielle

lateur, puis le recompiler — solution qui présente l'avantage de la rapidité d'exécution au détriment de celle de mise au point — ou réaliser l'équation en assemblant les composants (primitives) existant sous forme de schémas équivalents (par exemple en mettant une capacité en série avec une diode pour modéliser une structure MOS). Cette dernière solution, beaucoup plus simple à mettre en œuvre, nécessite parfois des acrobaties qui aboutissent à des schémas complexes.

Le logiciel *Pspice* ouvre une autre possibilité : l'écriture d'équations sous forme de schémas blocs (*ABM* ou *Analog Behavioral Models*) [Orc]. Il est notamment possible d'écrire des relations mathématiques liant la grandeur de sortie d'une source (de tension ou de courant) à des grandeurs d'entrée : par exemple, les équations du modèle statique seront représentées par une source de courant (le courant de drain) dont les grandeurs d'entrée seront les tensions v_{DS} et v_{GS} .

1.3.3.2 Modèle électrique

Le modèle complet du MOSFET reprend le découpage de la figure 1.23 (page 40). Son code est donné dans l'annexe A. Les différents éléments passifs n'appellent aucun commentaire, nous utiliserons ici les primitives *L*, *C* et *R* de *PS-PICE*. Les trois autres blocs — le modèle statique du MOSFET, la capacité non linéaire C_{GD} et la diode intrinsèque — feront au contraire l'objet d'une modélisation spécifique.

Le modèle statique du MOSFET est relativement simple à transcrire en utilisant des *ABM*, le modèle proposé en 1.3.1.1 ne posant pas de problème de continuité entre les différents cas de l'équation (1.37) qui le régit.

La capacité MOS C_{GD} (non linéaire) n'est pas modélisable par la primitive *C* (condensateur) de *Pspice*. Il faut donc réécrire l'équation

$$I_{C_{GD}} = C_{GD}(V_{GD}) \frac{dV_{GD}}{dt} \quad (1.57)$$

Le modèle de diode est plus complexe à transcrire. Les trois équations d'état nécessitent chacune un circuit électrique indépendant, et la diode en elle-même est représentée par une source de tension commandée en tension (élément *E*). Les équations du modèle de diode développé au *CEGELY* sont données dans l'annexe A (en transcription *Pspice*).

1.3.3.3 Les problèmes de convergence

Ce sont la bête noire des utilisateurs de *PSPICE* (et de nombreux simulateurs circuits) ; et la simulation de systèmes d'électronique de puissance, du fait de sa raideur (il y a une très grande amplitude de variation dans les constantes de temps, de la minute à la nanoseconde) exacerbe encore ce défaut. Il faut

donc prêter une attention toute particulière à la continuité des fonctions, notamment lors des changements d'expressions (structure IF/THEN/ELSE). Pour la même raison, il est parfois nécessaire d'imposer au simulateur un pas de calcul maximum très faible (10 ns), ce qui est pénalisant entre les commutations (où les grandeurs électriques n'évoluent que peu), mais permet de rester « dans les rails » lorsque la commutation intervient.

D'autre part, des résistances de forte valeur (typiquement 10 mégohm à 1 gigohm) — placées le plus souvent empiriquement — permettent au simulateur de se tirer d'affaire dans certains cas difficiles (lorsque le pas de calcul est faible, les variations de tension et de courant peuvent devenir énormes, pouvant causer la divergence du simulateur [Sha]. Des résistances permettent alors de contenir tension et courant dans des valeurs « raisonnables »).

1.4 Conclusion

La première partie de ce chapitre a été consacrée à la présentation de la structure « classique » des transistors MOSFET verticaux. En effectuant les simplifications nécessaires, des relations représentant le fonctionnement d'une structure idéale ont été proposées.

Dans un second temps nous avons vu les spécificités des transistors destinés à l'automobile, qui font l'objet de cette étude : leur tenue aux régimes extrêmes (forte température, avalanche répétitive...) et leur calibre (faible tension, fort courant).

Enfin, en se basant sur les deux premières parties, un modèle de ces MOSFET a été proposé. Il s'agit d'un modèle fin, qui doit permettre de simuler avec la précision nécessaire l'énergie dissipée par un onduleur. Il permet de représenter le comportement propre du transistor, de ses capacités parasite, de sa diode interne, avec une prise en compte des phénomènes électrothermiques en régime d'avalanche. Le modèle est utilisable sous *Pspice* (annexe A), ce qui a demandé l'adaptation des modèles existant au CEGELY destinés pour leur part à *PACTE*.

Dans le chapitre suivant, nous aborderons la seconde grande partie de la modélisation de la cellule de commutation d'un onduleur : le câblage.

Param. Pspice		Signification
$K_{P_{lin}}$	Kplin	Transconductance en régime linéaire
$K_{P_{sat}}$	Kpsat	Transconductance en régime de saturation
θ	THETA	Paramètre empirique de la modulation de mobilité dans le canal sous l'effet de v_{GS}
σ	SIGMA	Paramètre empirique d'évolution de la tension de seuil liée à v_{DS}
V_{T0}	VT0	Tension de seuil à $V_{DS} = 0$ et 27°C
A_{GD}	Agd	Surface en regard entre grille et drain
C_{oxd}	Coxd	Capacité d'oxyde entre grille et drain
C_{GS}	cgs	Capacité grille source
W	W	épaisseur de la couche v
A	A	Surface effective de la diode
τ_A	TauA	Durée de vie des porteurs minoritaires
τ_D	TauD	Constante de temps du courant de diffusion
α	Alpha	Facteur du courant de diffusion
N	N	Concentration dans la couche intrinsèque
V_{bi}	Vbi	Potentiel de construction de jonction
V_{n0}	Vno	Paramètre de <i>fitting</i> de la caractéristique statique de la diode
V_{BR0}	Vbr0	Tension d'avalanche à 0°C
β	beta	Coefficient d'évolution de la tension d'avalanche en fonction de la température
R_{BR}	Rbr	Résistance série en avalanche
R_G	Rg	Résistance interne de grille
R_S	Rs	Résistance interne de source
R_D	Rd	Résistance interne de drain
L_G	Lg	Inductance de grille
L_S	Ls	Inductance de source
L_D	Ld	Inductance de drain
T	T	Température exprimée en degrés Celsius pour éviter les problèmes d'initialisation de variables

TAB. 1.1 – Paramètres du modèle proposé

Chapitre 2

Circuit et câblage

L'électronique de puissance — donc de commutation — impose par nature des variations de tension et de courant très importantes. Dans ces conditions, le comportement dynamique de tous les éléments d'un système doit être pris en compte. Composants actifs (semiconducteurs) et passifs (résistances, capacités, selfs...) bien entendu, mais également le câblage, dont les pistes constituent des inductances et des capacités couplées les unes aux autres. De même, il faudra prendre en considération la connectique des composants : qu'il s'agisse des *bondings* des semiconducteurs ou des pattes des boîtiers, ces éléments ont un comportement dynamique (surtout inductif) non négligeable.

L'objet de ce chapitre est la présentation et la modélisation des interconnexions entre les composants de l'onduleur (câblage). Aux fréquences équivalentes des fronts d'onde, la connectique est loin de se comporter de façon idéale : les forts gradients de courant ($\frac{di}{dt} \approx 1 \text{ kA} \cdot \mu\text{s}^{-1}$), soumettent la moindre longueur de piste à des différences de potentiel de plusieurs volts dès que son inductance parasite dépasse le nanohenry (quelques mm, même avec une technologie peu inductive type « Substrat Métallique Isolé »).

Si les éléments parasites du câblage compliquent la tâche du concepteur, ils présentent néanmoins l'avantage d'être les seuls composants dont il a la maîtrise totale. Les composants disponibles sur catalogue ont en effet des caractéristiques figées, que l'on ne peut faire varier qu'en changeant de référence. Mis à part le cas de fabrication en très grande série, le concepteur d'un système ne dispose que de peu de degrés de liberté sur les composants qu'il choisit (et son choix se restreint fortement dès que s'ajoute la contrainte financière), alors qu'il peut agencer ces composants à sa guise. Dans de nombreux cas, le changement du routage d'un circuit en modifie les performances pour un surcoût très faible [Akh00].

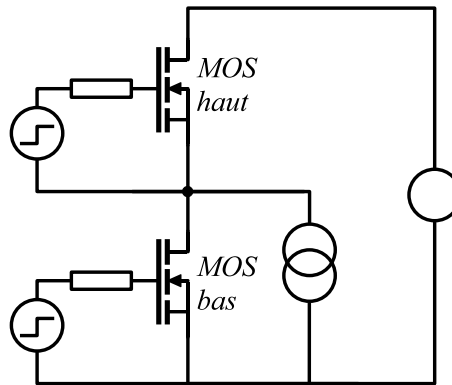


FIG. 2.1 – Représentation d'un bras d'onduleur.

2.1 Importance de la prise en compte du câblage

L'interconnexion des composants du convertisseur (ici les condensateurs et les transistors MOSFET) entre eux et avec le monde extérieur constitue ce que nous appellerons le « câblage ». Avant de voir les solutions existantes pour modéliser le comportement électrique de ce dernier, nous allons étudier son influence de manière à savoir sur quelle partie du circuit agir pour modifier telle ou telle caractéristique du système le cas échéant.

Nous ferons ici appel au modèle de transistor présenté dans le premier chapitre, et dont l'identification des paramètres sera décrite dans le chapitre 3.

2.1.1 Présentation de la structure

Un onduleur triphasé peut se réduire en première approximation à l'assemblage de trois cellules de commutation élémentaires ; chacune de ces cellules reprenant la structure présentée figure 2.1, composée de deux transistors — ou assemblage de transistors. Cette cellule réalise le lien entre une source de tension (continue dans le cas de la batterie d'un véhicule) et une source de courant (alternatif dans le cas d'un alternateur).

Si l'on remplace les transistors MOSFET par des interrupteurs, la nature des sources connectées à l'onduleur interdit certaines configurations : on ne peut pas fermer en même temps les interrupteurs haut et bas (sous peine de court-circuiter la source de tension) et on ne peut pas ouvrir les deux interrupteurs au même moment (la source de courant se trouverait alors en circuit ouvert).

Malheureusement, les commutations des transistors n'étant pas instantanées, ces deux impératifs ne peuvent pas facilement être satisfaits tous les deux par des interrupteurs commandés (on passerait nécessairement par une phase de court-circuit ou de circuit ouvert pendant un bref instant). On a donc recours aux diodes intrinsèques des MOSFET pour assurer la continuité du circuit de la

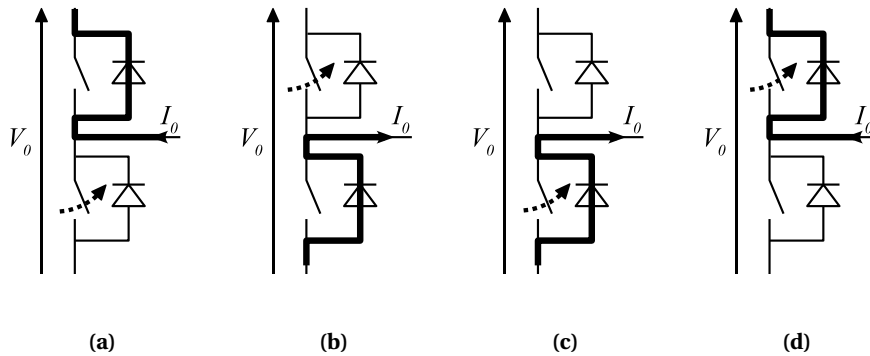


FIG. 2.2 – Les quatre configurations de commutation. La flèche indique l'ouverture d'un transistor, le trait gras le circuit du courant après la commutation. On distinguera deux cas de commutation au sens classique (commutation entre MOSFET bas et diode haute et vice versa, cas (a) et (b)) et deux cas sans effet macroscopique, où un MOSFET commute avec sa diode interne (cas (c) et (d))

source de courant lorsque les deux transistors sont bloqués. Il n'y a alors plus qu'à ménager un délai entre l'ouverture d'un transistor et la fermeture de son complémentaire (le transistor haut a le bas pour complémentaire et vice-versa) pour s'assurer que la source de tension ne sera pas court-circuitée.

Il en résulte que les commutations, dans un bras d'onduleur de tension, se font toujours entre un MOSFET et une diode. La figure 2.2 recense les quatre possibilités en fonction du sens du courant I_0 (la source de courant est alternative) et du transistor qui s'ouvre (ou se ferme). Deux cas peuvent être distingués : Le transistor commute avec sa propre diode intrinsèque ((c) et (d)) ou avec la diode de son complémentaire ((a) et (b)). Dans le premier cas, il n'y a pas de

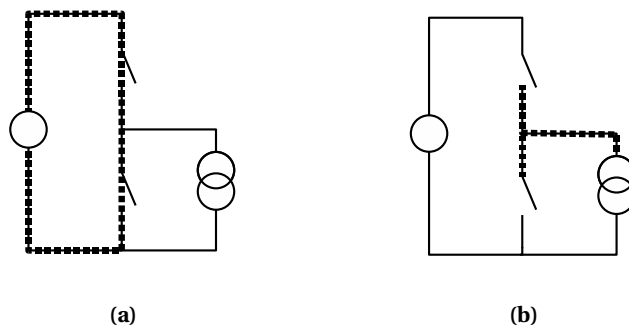


FIG. 2.3 – Boucle soumise aux variations de courant (a) et piste dont le potentiel passe de 0 V à V_0 (et inversement) lors des commutations. (b)

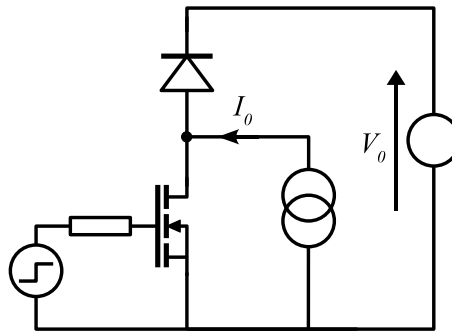


FIG. 2.4 – Modèle réduit (cellule de commutation) pour l'étude des commutations entre transistors complémentaires

changement macroscopique dans le parcours du courant (le seul changement se fait au niveau microscopique, à l'intérieur même de la structure cellulaire des MOSFET), et la tension v_{DS} évolue peu (elle passe de $R_{DS_{on}} \times I_0$ à la chute de tension aux bornes d'une jonction PN) ; vu de l'extérieur du transistor qui commute, les changements sont donc faibles, et le câblage aura une influence négligeable. Dans le second cas, au contraire, le parcours du courant change, de même que la tension aux bornes de la source de courant (figure 2.3). On observera donc dans le circuit des gradients de courant et de potentiel d'autant plus importants que les commutations sont rapides. Les éléments parasites du circuit vont alors jouer un rôle important que nous allons détailler d'abord qualitativement par l'étude des différentes phases d'une commutation, puis quantitativement à l'aide de la simulation.

Nous allons donc nous intéresser dans ce qui suit aux commutations entre transistors complémentaires (figures 2.2(a) et (b)). La symétrie de ces deux cas nous permet de n'en considérer qu'un, visible figure 2.4, avec V_0 et I_0 positifs. Il faut cependant garder en mémoire que le bras d'onduleur constitue un bloc de commutation minimal, et que nous ne pouvons le ramener à une cellule hacheur (non réversible en courant) qu'en fixant des conditions sur I_0 [Amm02].

2.1.2 Déroulement d'un cycle de commutation

De nombreux auteurs se sont attachés à décrire de façon analytique le processus de commutation d'un transistor MOSFET dans une cellule. Pour conserver des expressions aisément manipulables (le but étant alors autant d'analyser le déroulement que de le simuler), ils sont amenés à effectuer des simplifications : citons particulièrement [Cle87] (où les capacités MOS et la transconductance du transistor sont considérées comme constantes, pas de prise en compte de l'inductance de source), [Xia02] (ajout de l'inductance de source), [Jea01] (hypothèse sur la forme du courant durant la commutation).

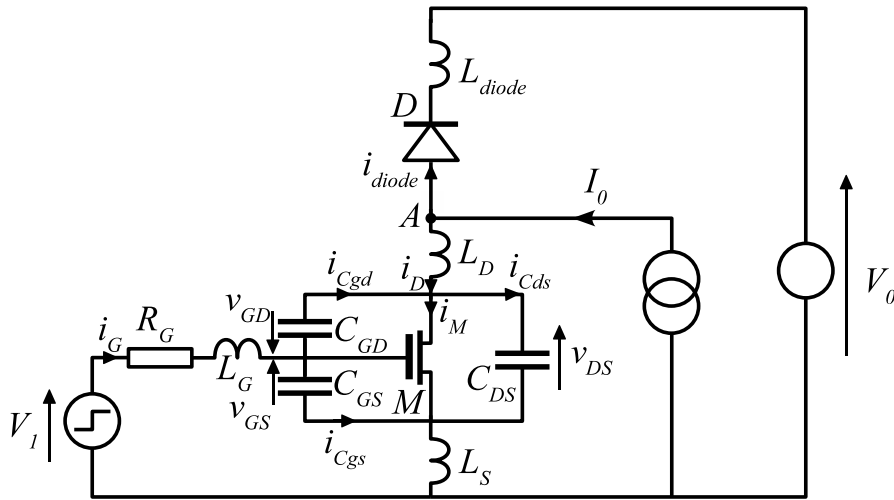


FIG. 2.5 – Modèle de la cellule de commutation (C_{GS} , C_{GD} et C_{DS} représentent les capacités du transistor).

Dans ce qui suit, nous nous attacherons à expliquer les différents phénomènes qui conditionnent le déroulement d'un cycle de commutation. Le but n'étant pas ici de le décrire précisément (les modèles fins que nous développons dans cette thèse sont là pour ça), nous nous limiterons à une description qualitative, en invitant le lecteur intéressé par l'approche analytique à se reporter aux documents cités ci-dessus. Les simulations que nous décrirons sont basées sur le modèle du transistor STB210NF02, dont les paramètres seront identifiés au chapitre 3.

La commutation en elle même peut se décomposer en plusieurs phases. Afin de les décrire, nous utiliserons le schéma de la figure 2.5, sur lequel sont représentés les éléments les plus influents.

Le transistor est éclaté pour mettre en évidence ses trois capacités non linéaires C_{GS} , C_{GD} et C_{DS} . Cette dernière représente la diode intrinsèque du MOSFET que le sens choisi pour V_0 et I_0 condamne à la polarisation inverse. Le MOSFET M ne modélise que la caractéristique statique du transistor, tantôt source de courant (régime de saturation), tantôt résistance (régime linéaire).

La diode D est la diode intrinsèque du MOSFET haut dans le bras d'onduleur. Il s'agit d'une diode rapide (voir chapitre 3), son courant de recouvrement est donc faible. Dans la configuration qui nous intéresse – commutation entre le MOSFET bas et la diode du MOSFET haut – le transistor haut ne joue que *via* sa diode intrinsèque (et les capacités C_{GS} et C_{GD} que nous assimilerons ici à la capacité de jonction de la diode).

Nous n'avons considéré ici qu'un modèle inductif du câblage. L'aspect capacitif est négligeable si l'on ne s'intéresse qu'aux formes d'ondes dans le circuit

de puissance en raison des faibles valeurs des gradients de tension. La capacité parasite du point milieu (figure 2.3(b)) — de l'ordre d'une ou deux centaines de picofarads dans le cas d'un substrat très capacitif comme le SMI — est en grande partie masquée par les capacités des transistors MOSFET (de l'ordre du nanofarad) ; et ce d'autant plus que, dans les applications automobiles, les connexions de masse passent par le châssis (il n'y a pas, comme dans les applications secteur, de différence entre *terre* et *masse*). Capacités parasites et transistor bas sont donc « en parallèle »¹.

Les résistances parasites seront également négligées, dans le sens où leur faible valeur (inférieures au milliohm la plupart du temps) ne modifiera pas les formes d'onde durant la commutation. Le chapitre 4 fournit des exemples prouvant que les résistances parasites ont une influence notable sur le fonctionnement des convertisseurs, mais celle-ci est surtout sensible durant les phases de conduction (pertes en conduction, déséquilibre statique entre transistors).

Le câblage est donc représenté sur la figure 2.5 par quatre inductances : L_G , L_S , L_D et L_{diode} représentant respectivement l'inductance du circuit de commande, le terme de couplage entre puissance et commande, et les deux inductances des circuits de puissance. Il faut noter que L_S représentant à la fois l'inductance de source et les effets de couplage entre les circuits de grille et de puissance, sa valeur peut en toute rigueur être négative. Cela correspond cependant à un cas où puissance et commande sont très fortement couplées magnétiquement, ce que nous n'avons jamais observé avec la structure et les technologies employées (circuits sur SMI, avec un effet d'écran généré par la proximité du plan de masse) où la plupart des couplages se font par impédance commune. Nous ne considérerons donc ici que des valeurs d'inductances positives.

Dans ce qui suit, L_D et L_{diode} seront représentées par L_D seule : on a en effet, au nœud A , $I_0 = i_D + i_{diode}$. I_0 étant constant, les variations de i_D et i_{diode} seront identiques au signe près. On donc $V_{L_D} + V_{L_{diode}} = (L_D + L_{diode}) \frac{di_D}{dt}$.

2.1.2.1 Fermeture du MOSFET

Nous avons représenté, figure 2.6(a), l'évolution temporelle de v_{GS} , v_{DS} et i_D lors de la fermeture du transistor M . Avant le début de cette commutation, le courant I_0 (100 A) circule dans D , et le transistor supporte une tension $v_{DS} = V_0 = 15$ V (en négligeant la chute de tension aux bornes de la diode polarisée dans le sens direct).

À l'instant t_0 , la tension de commande V_1 passe de 0 à 15 V. Tant que v_{GS} est inférieure à V_{th} , le transistor reste totalement bloqué. Le courant I_0 continue de

1. Ces simplifications ne sont bien entendu acceptables que dans le cadre d'une étude qualitative portant sur le déroulement d'une commutation. Une étude CEM, même grossière, ne pourrait s'en satisfaire...

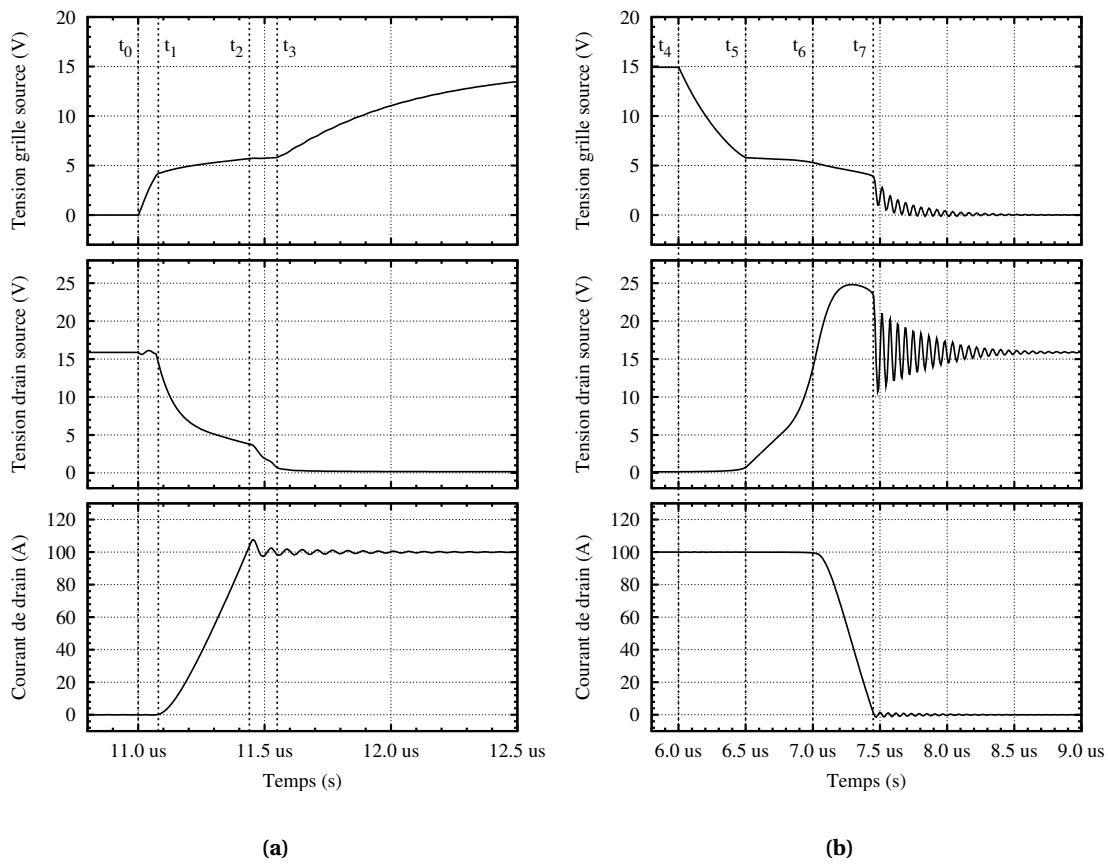


FIG. 2.6 – Formes d'ondes à la fermeture (a) et à l'ouverture (b) du transistor M obtenues directement au niveau de la puce (les inductances des bondings sont intégrées dans les inductances externes L_D , L_S et L_G). (simulations)

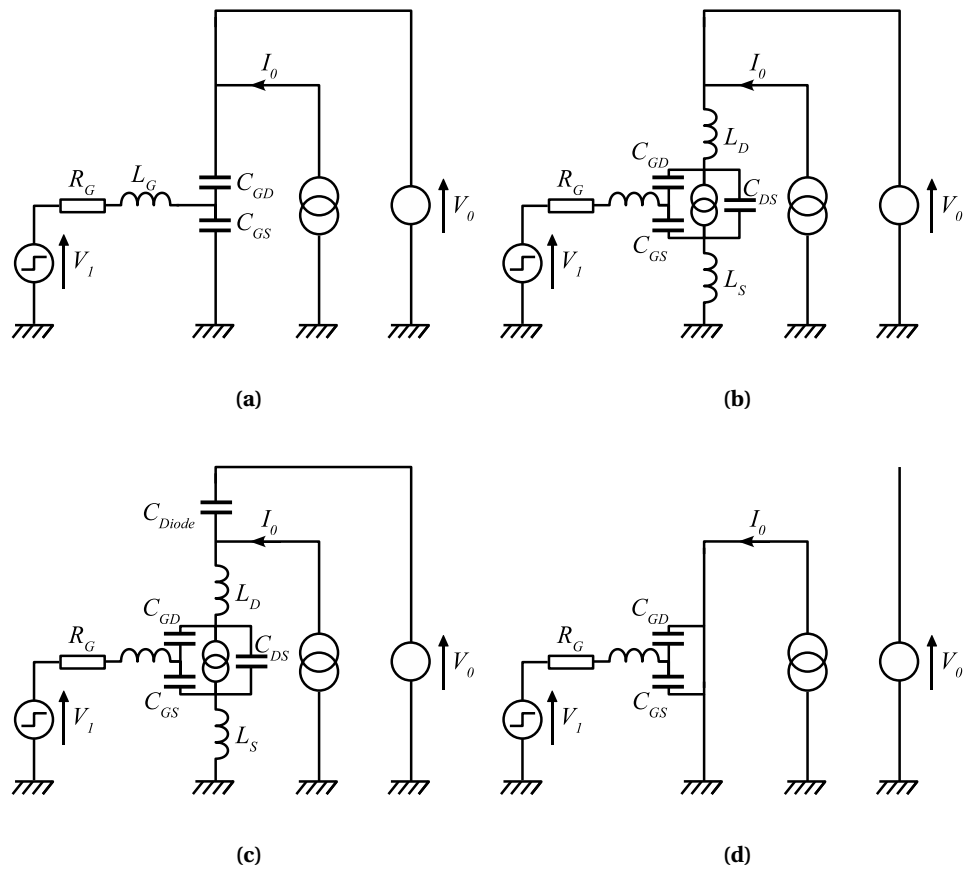


FIG. 2.7 – Schémas réduits de la cellule de la figure 2.5 où ne figurent que les éléments qui jouent un rôle durant chacune des phases de la fermeture du MOSFET. En utilisant les notations de la figure 2.6(a), le schéma (a) est utilisé de t_0 à t_1 , (b) de t_1 à t_2 , (c) de t_2 à t_3 et (d) de t_3 à t_4 .

circuler à travers la diode D , avec une chute de tension considérée comme nulle, imposant le potentiel V_0 au point A .

Un schéma réduit de la cellule est visible figure 2.7(a). Il est obtenu en supprimant du schéma de la figure 2.5 les éléments inductifs du circuit de puissance (le courant ne varie pas dans L_D et L_{diode} , et les variations du courant de grille sont négligeables dans L_S), le MOSFET M (son courant de drain est nul), la diode D (hypothèse de l'absence de chute de tension à ses bornes) et C_{DS} (la tension à ses bornes est constante, car le potentiel au point A est fixe et il n'y a pas de chute de tension dans les inductances).

De t_0 à t_1 , le circuit de commande charge les capacités d'entrée C_{GS} et C_{GD} de M , le courant i_G étant limité par R_G et L_G (choisies judicieusement pour ne pas former un circuit oscillant avec C_{GS} et C_{GD}).

À t_1 , (figure 2.6(a)) v_{GS} atteint V_{th} et le transistor commence à conduire. Il est alors dans les conditions du régime de saturation ($0 < v_{GS} - V_{th} < v_{DS}$), et fonctionne donc en source de courant (voir page 39). Tant que $I_D < I_0$, D continue à conduire, imposant V_0 au point A (figure 2.7(b), les notations sont celles de la figure 2.5).

L'augmentation de i_M due à la mise en conduction de M entraîne l'apparition d'une tension aux bornes de L_D et L_S , ce qui modifie v_{DS} :

$$v_{DS} = V_0 - (L_D + L_S) \frac{di_M}{dt} \quad (2.1)$$

Il faut noter que la tension aux bornes de L_S vient agir comme contre réaction sur la commande du transistor (v_{GS}). En effet, on a dans la maille de commande $V_1 = V_{R_G} + V_{L_G} + v_{GS} + V_{L_S}$. L'augmentation de V_{L_S} va tendre à faire baisser v_{GS} , V_{R_G} et V_{L_G} (V_1 est constant).

La diminution de v_{DS} (équation (2.1)) passe par la décharge des capacités de M , notamment C_{GD} . Le courant de grille i_G est limité par R_G et L_G . On a également $i_G = i_{C_{GD}} + i_{C_{GS}}$. L'augmentation de $i_{C_{GD}}$ implique donc la réduction de $i_{C_{GS}}$ et donc un ralentissement de la charge de C_{GS} .

Cette phase, dite de commutation en courant, se termine lorsque $i_M = I_0 + i_{RM}$, c'est à dire que le MOSFET supporte l'intégralité du courant de la source I_0 et le courant de recouvrement de la diode.

À partir de t_2 , le potentiel au point A n'est plus fixé à V_0 par la diode qui amorce son blocage.

Si l'on se réfère à la figure 2.8 (qui représente la trajectoire théorique du point de fonctionnement, pour un circuit sans éléments parasites, dans le plan (v_{DS}, i_D)), on voit que de t_2 à t_3 la tension v_{DS} diminue alors que $i_D = I_0$. Il en découle que v_{GS} reste constant (on reste sur la même courbe de la caractéristique statique, donc à v_{GS} constant).

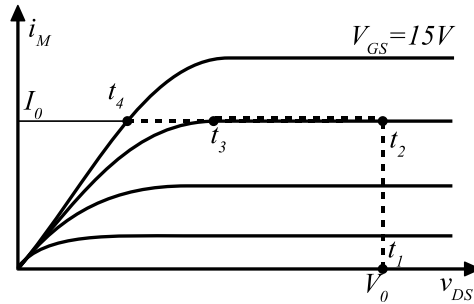


FIG. 2.8 – Lieu de la commutation dans le plan (v_{DS}, i_D) (pointillés) pour une cellule idéale sans éléments parasites de câblage. Les traits pleins représentent la caractéristique statique d'un MOSFET imaginaire.

Puisque la diminution de v_{DS} n'est limitée ni par i_D ni par v_{GD} (qui restent constants), la vitesse de cette transition est donc contrôlée par C_{GD} , C_{DS} et C_{diode} : ces capacités sont les seuls éléments du circuit qui peuvent imposer une tension une fois la commutation en courant effectuée (figure 2.7(c)). La décharge de C_{GD} et C_{DS} et la charge de C_{diode} nécessitent des courants très faibles devant I_0 . On peut en effet écrire

$$i_M = I_0 + (C_{GD} + C_{DS} + C_{diode}) \frac{dv_{DS}}{dt} \quad (2.2)$$

Si l'on considère que la somme des trois capacités (que l'on considèrera comme linéaires pour l'occasion) vaut 10 nF (valeur largement sur-dimensionnée), et que $\frac{dv_{DS}}{dt} = 100 \text{ V} \cdot \mu\text{s}^{-1}$ (valeur également sur-dimensionnée), le courant capacitif n'est que d'un ampère, soit 1 % de I_0 . La limitation du courant de décharge, et donc de la vitesse de diminution de v_{DS} n'est pas là.

Le courant de décharge de C_{GD} est en fait bridé par le circuit de commande : puisque v_{GS} reste constante durant cette phase, le courant $i_{C_{GD}}$ va passer en totalité par R_G et L_G . Comme le courant I_D est constant, aucune tension ne se développe aux bornes de L_S . Le courant $i_{C_{GD}}$ va donc tendre vers

$$i_{C_{GD}} = \frac{v_{GS} - V_1}{R_G} \quad (2.3)$$

On voit donc que plus R_G sera importante, plus le courant $i_{C_{GD}}$ sera faible, et la décharge de C_{GD} (c'est à dire phase de commutation en tension) durera longtemps.

Un fois atteint t_3 , la tension v_{GS} va pouvoir augmenter (la commutation en tension est terminée), permettant au transistor de terminer sa mise en conduction. I_D ne varie plus, v_{DS} diminue légèrement grâce à l'accroissement de v_{GS} :

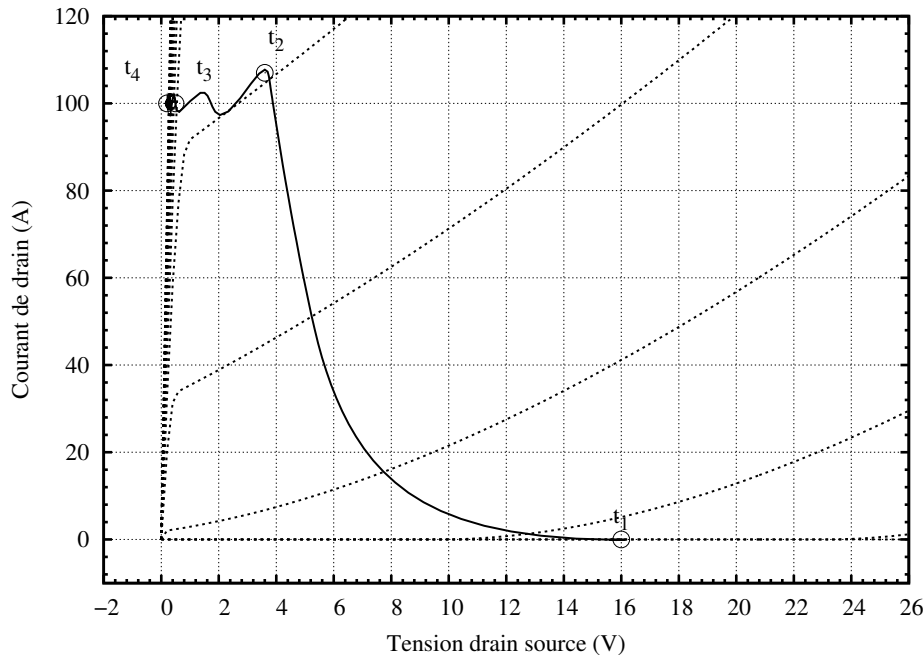


FIG. 2.9 – Lieu de la commutation dans le plan (v_{DS}, i_D) à la fermeture. Les courbes en pointillés correspondent à la caractéristique statique du transistor STB210NF02, pour v_{GS} évoluant entre 3 et 15 V par pas de 0,5 V (simulation).

on se retrouve quasiment dans les mêmes conditions qu'entre t_0 et t_1 , où puissance et commande évoluent séparément (voir figure 2.7(d)). Il faut cependant noter que dans ces deux phases, v_{GS} n'évolue pas à la même vitesse : C_{GD} , très faible lorsque $v_{DS} = 15$ V a en effet une valeur beaucoup plus importante lorsque le transistor conduit (voir chapitre 1).

Une représentation de la commutation dans le plan (v_{DS}, i_D) permet de visualiser l'effet des inductances de câblage (figure 2.9) : si on la compare à la représentation simplifiée de la figure 2.8, il est évident que la commutation en courant (entre t_1 et t_2) est largement différente. L'évolution du courant se fait à tension constante sur la figure 2.8, alors que les inductances L_S et L_D réduisent v_{DS} lorsque I_D augmente (figure 2.9).

Si l'on considère que la surface définie sur la figure 2.9 par le lieu de la commutation et les droites $I_D = 0$ et $v_{DS} = 0$ renseigne sur l'énergie de commutation (il manque bien entendu l'information temporelle), on voit que les inductances de câblage tendent à la réduire. À l'extrême, si L_S et L_D sont assez importantes (et la commutation assez rapide), on a $(L_S + L_D) \frac{di_D}{dt} = V_0$. La commutation en courant se fait alors sous tension nulle, et donc sans pertes.

2.1.2.2 Ouverture du MOSFET

Les évolutions de v_{GS} , v_{DS} et i_D durant la phase d'ouverture du transistor sont visibles figure 2.6(b) (page 59). Un découpage en quatre phases, identique à la fermeture, peut être établi. Les schémas de la figure 2.7 peuvent être utilisés, en commençant par 2.7(d) et en finissant par (a).

Lorsque, à t_4 , la tension de commande V_1 passe à 0 V, la tension v_{GS} commence à décroître. Le transistor est dans les conditions du régime linéaire ($V_{GS} - V_{th} > V_{DS}$) et peut donc être assimilé à une résistance $R_{DS_{on}}$ modulée par v_{GS} . la tension grille-source diminuant, $R_{DS_{on}}$, et par là v_{DS} , augmente (figure 2.7(d)).

À partir de t_5 , il n'est plus possible de maintenir $i_D = I_0$. En effet, on atteint le point où $I_0 = gm(v_{GS} - V_{th})$ (en considérant la transconductance du transistor comme constante). La fraction du courant I_0 en excès va donc venir charger les capacités C_{DS} , C_{GD} et C_{diode} , provoquant la phase de commutation en tension. Là encore, la charge de C_{GD} va être limitée par le circuit de commande, et la commutation se fera à v_{GS} constant : Si C_{GD} se chargeait à travers C_{GS} , v_{GS} augmenterait, ce qui tendrait à augmenter i_M et donc à réduire $i_{C_{GD}}$ (figure 2.7(c)).

Lorsque la tension au point A atteint V_0 , à l'instant t_6 , la diode commence à conduire. Le courant i_D va pouvoir commencer à décroître, limité dans ses variations par la tension qui se développe aux bornes des inductances de câblage L_S et L_D (figure 2.7(b)).

Tout comme dans la phase de commutation en courant à la fermeture, l'inductance L_S jouera un double rôle de limitation, en faisant en plus augmenter v_{GS} lorsque $\frac{di_D}{dt}$ diminue ($\frac{di_D}{dt}$ est négatif à l'ouverture).

À t_7 , la commutation en courant est terminée, $i_{diode} = I_0$. Le transistor est totalement ouvert, et v_{GS} peut évoluer vers V_1 . Les capacités C_{GD} et C_{DS} (qui ont maintenant une faible valeur, puisqu'une zone de charge d'espace s'est développée dans la couche v du MOSFET) sont libres d'osciller avec les inductances de câblage (figure 2.7(a)).

L'ouverture du MOSFET, tracée dans le plan (v_{DS}, i_D), permet d'observer l'influence des inductances de câblage (figure 2.10) : Là où elles faciliteraient la fermeture, pouvant même aller jusqu'à la commutation sans pertes, elles entraînent une surcharge de l'interrupteur à l'ouverture puisque v_{DS} dépasse 24 V quand $V_0 = 15 V$.

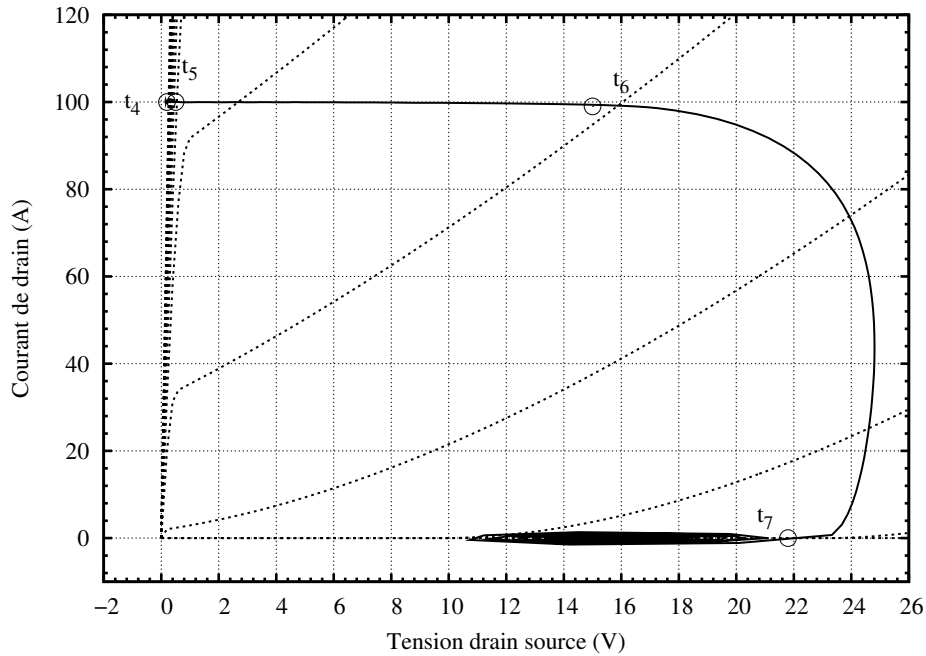


FIG. 2.10 – Lieu de la commutation dans le plan (v_{DS}, i_D) à l'ouverture. Les courbes en pointillés correspondent à la caractéristique statique du transistor, pour v_{GS} évoluant entre 3 et 15 V par pas de 0,5 V (simulation).

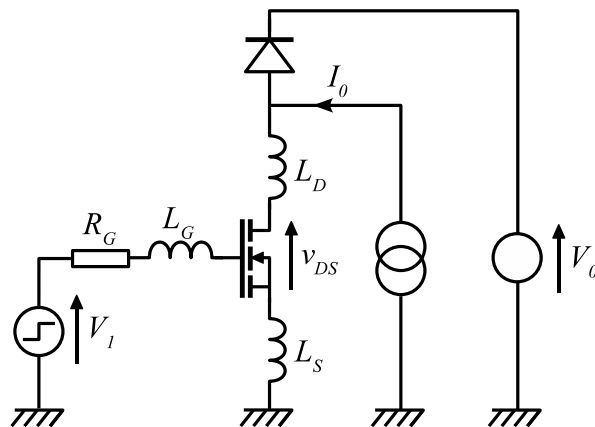


FIG. 2.11 – Schéma utilisé pour l'étude de l'influence du câblage. Les inductances L_S , L_D et L_G représentent à la fois les inductances parasites du circuit et celles du transistor (bondings).

2.1.3 Influence du câblage

Dans cette partie, nous allons procéder à des simulations de commutation, en faisant successivement varier L_D , L_S et L_G . Le modèle utilisé pour ces simulations sera celui du MOSFET STB210NF02 (120 A, 20 V) dont l'identification des paramètres est présentée au chapitre 3. Les inductances internes du modèle, représentant les inductances du boîtier du transistor, ont cependant été supprimées de manière à laisser plus de latitude dans l'analyse de sensibilité de l'inductance du circuit (les inductances de boîtier sont en série avec les trois inductances de câblage de la figure 2.11). La diode du schéma est la diode interne d'un autre STB210NF02 dont grille et source sont court-circuitées.

On peut ainsi comparer les commutations dans un circuit avec et sans inductances parasites. Il est alors possible de voir l'effet du boîtier sur la commutation.

Nous utiliserons le schéma de la figure 2.11 (avec $R_G = 2 \Omega$, $I_0 = 100 A$ et $V_0 = 15 V$) et comparerons les évolutions temporelles de v_{GS} , v_{DS} et i_D , ainsi que l'énergie dissipée durant la commutation du transistor en fonction des inductances de câblage.

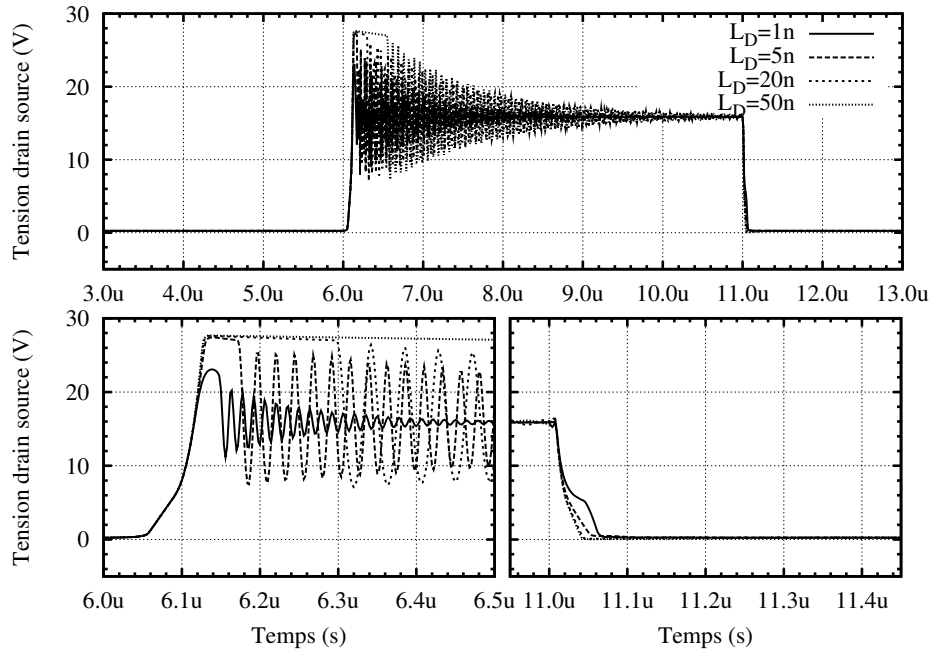
2.1.3.1 Formes d'ondes

Dans chacun des trois cas qui suivent (variation de L_D , L_S et L_G), des simulations sont effectuées en faisant varier la valeur d'une des inductances, les deux autres étant fixées à 1 nH. Cette valeur représente un minima en dessous duquel il paraît difficile de descendre en raison de la taille des transistors. La plage de variation choisie est représentative des inductances que l'on peut retrouver au sein d'une cellule de commutation sur circuit imprimé.

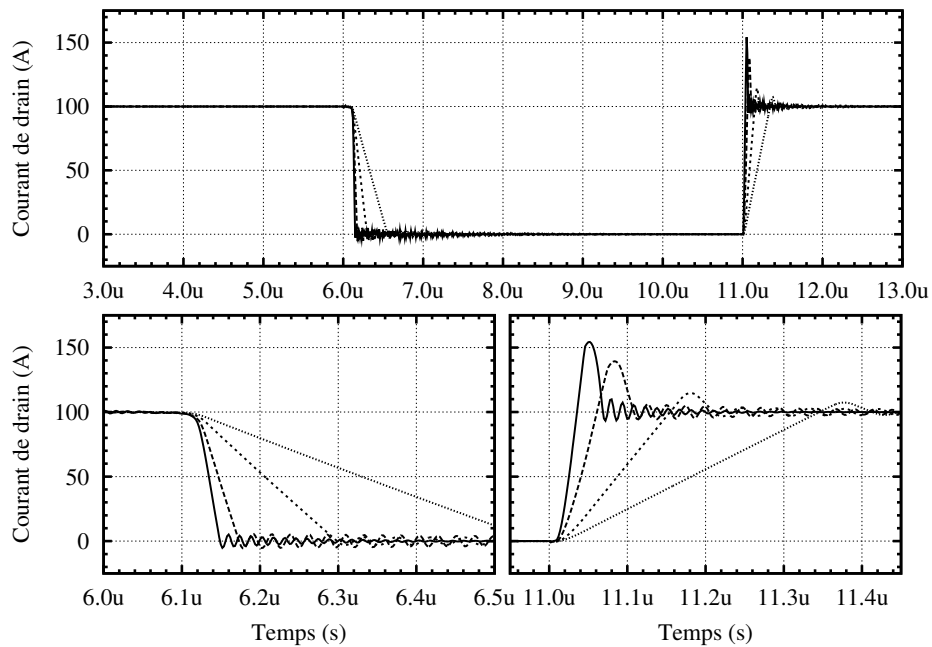
La résistance R_G , fixée à 2 Ω ne constitue pas vraiment une limite à la vitesse de commutation, comme nous le verrons par la suite. Il faut également noter que la résistance de grille interne du transistor que nous utilisons a une valeur (identifiée) de 4 Ω .

Inductance de drain À la fermeture du transistor, la tension v_{GS} s'établit très rapidement (figure 2.13, pour $t = 11 \mu s$). Le MOSFET est donc conducteur, et toute la tension V_0 se retrouve aux bornes de L_D (figure 2.12(a)), qui impose le gradient de courant de drain (figure 2.12(b)). On a ainsi $\frac{di_D}{dt} = V_0/L_D$, le gradient de courant sera d'autant plus faible que L_D est fort.

Même dans les conditions d'inductance minimale ($L_D = L_S = L_G = 1 nH$), le courant de recouvrement de la diode reste modeste, en raison d'une part de la très faible durée de vie de ses porteurs et de la faible tension inverse appliquée (15 V). À titre de comparaison, les inductances du boîtier D2PAK contenant la puce du transistor ont été estimées à 2, 4 et 10 nH pour L_D , L_S et L_G respective-



(a)



(b)

FIG. 2.12 – Influence de l'inductance de drain sur la commutation. Tension drain-source (a) et courant de drain (b) (simulation). Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

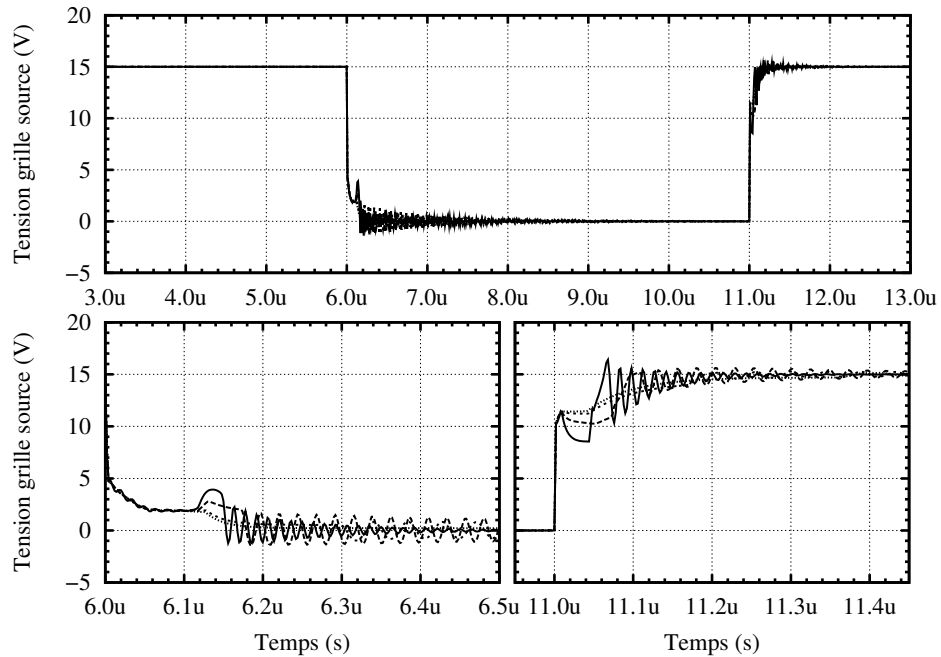


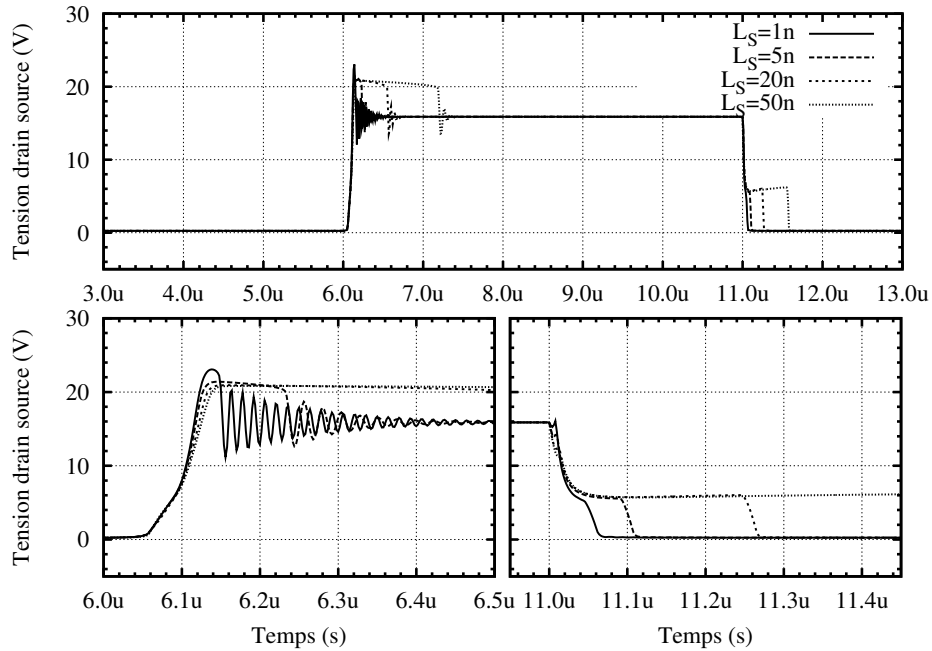
FIG. 2.13 – Influence de l'inductance de drain sur la tension v_{GS} . (simulation).

ment. Dans ces conditions, la surcharge imposée au transistor encapsulé durant sa fermeture par la diode sera encore limitée.

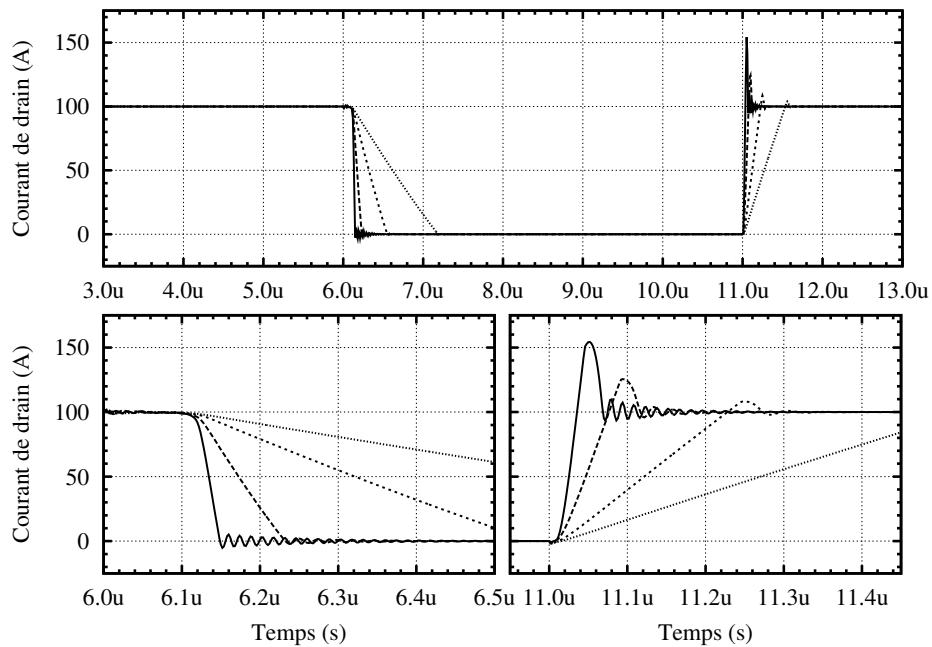
Nous avons vu en 2.1.2.2 que l'ouverture du circuit de puissance inductif cause une surtension aux bornes du transistor. Dans le cas de transistors basse tension, le régime d'avalanche est rapidement atteint (une inductance de 5 nH suffit, voir figure 2.12(a) pour $t=6 \mu\text{s}$). L'inductance L_D est alors soumise à une différence de potentiel de $V_0 - V_{BR}$ (V_{BR} est la tension d'avalanche du transistor) et va donc se décharger avec une pente constante.

L'inductance de drain a un effet ralentissant sur la commutation en courant (figure 2.12(b)). Même dans ces conditions de grande rapidité (R_G , L_S et L_G très faibles) la vitesse de commutation est donc contrôlée par le câblage.

Inductance de source Placée dans la même boucle que L_D , L_S produit les mêmes effets sur la commutation, avec en plus l'aspect de contre-réaction sur la commande : au lieu d'atteindre rapidement une tension de 15 V (figure 2.15, $t=11 \mu\text{s}$), v_{GS} s'établit à une valeur proche de la tension de seuil du transistor. Il en résulte que ce dernier est en régime de saturation, et limite le courant à la fermeture. On peut ainsi vérifier que la tension v_{DS} ne s'annule pas totalement durant la phase de fermeture (figure 2.14(a)), et que, à inductance de maille comparable, le gradient de courant à la fermeture est plus faible dans le cas de la figure 2.14(b) que dans celui de la figure 2.12(b)



(a)



(b)

FIG. 2.14 – Influence de l'inductance de source. Tension drain-source (a) et courant de drain (b) (simulation). Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

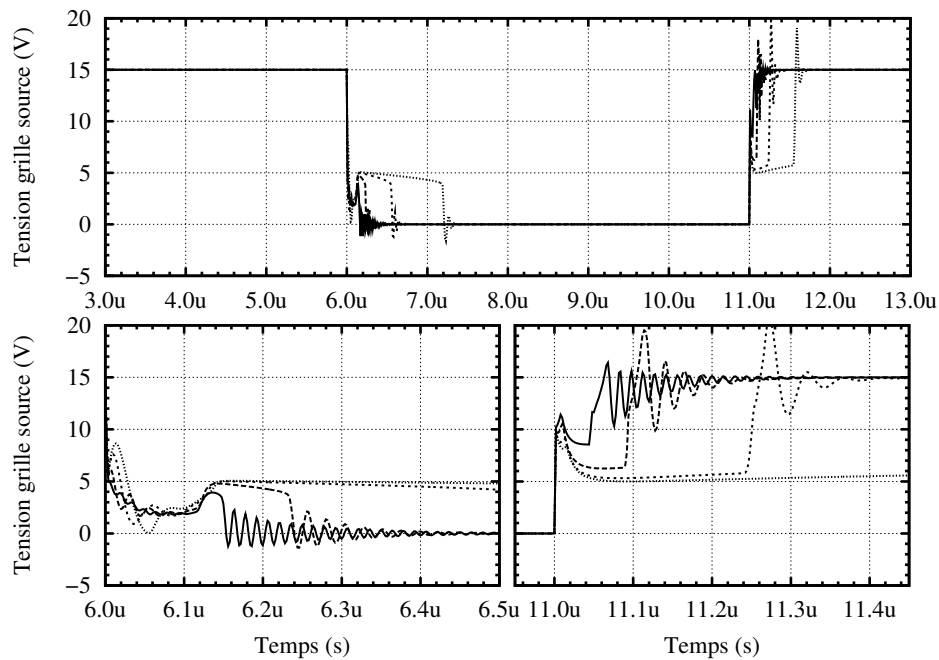
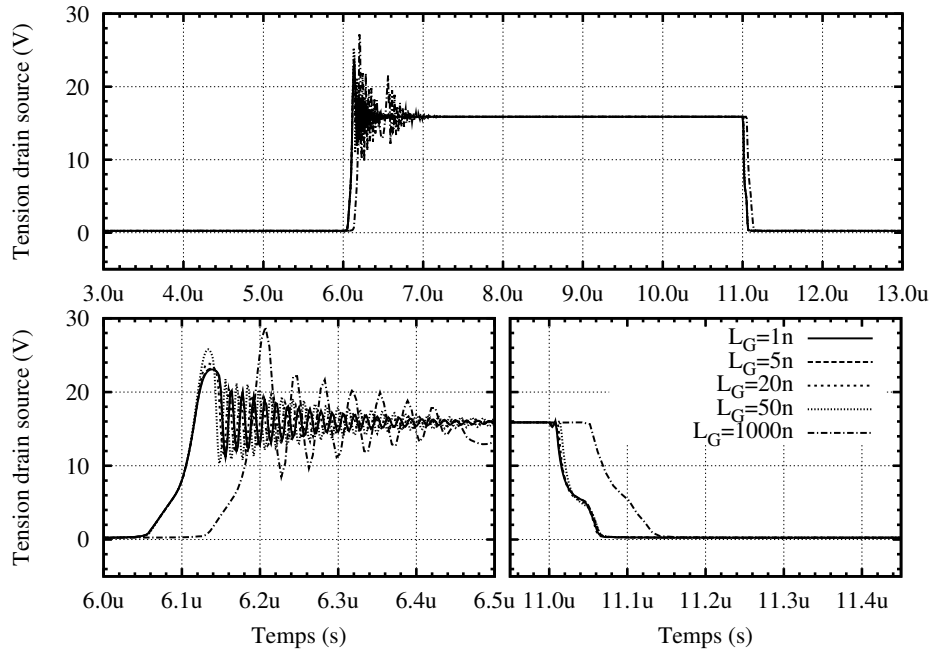


FIG. 2.15 – Influence de l'inductance de source sur la tension v_{GS} . (simulation).

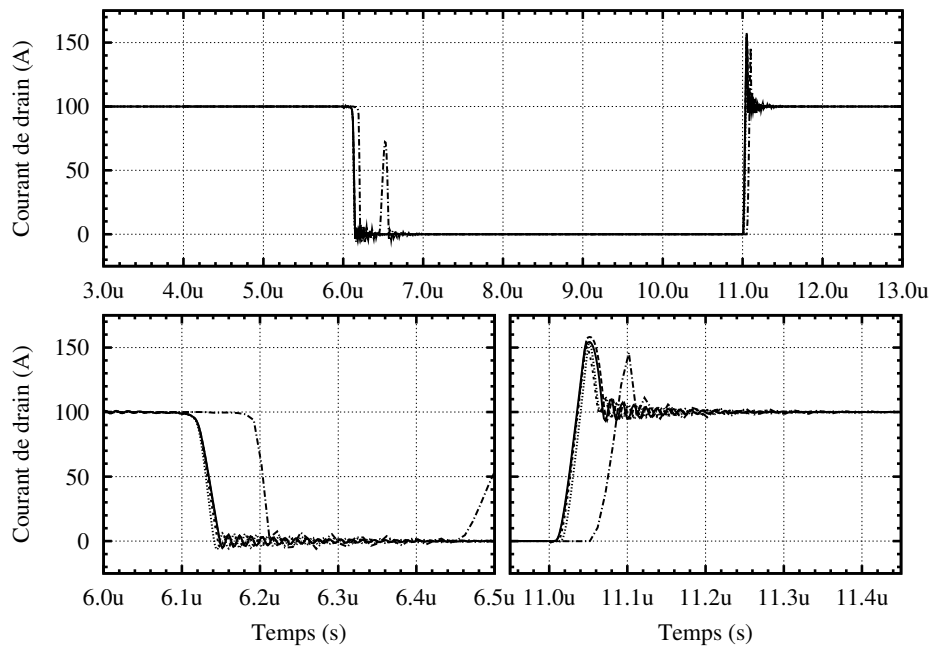
La phase d'ouverture (pour $t = 6 \mu s$ environ) se déroule de manière identique, avec un plateau (en fait une décroissance lente) sur v_{GS} (figure 2.15), commandant le transistor en régime de saturation. Le gradient de courant ainsi contrôlé n'est alors pas assez fort pour que la surtension visible sur v_{DS} cause le passage en avalanche du transistor (figure 2.14(b)).

Si, lorsque l'on fait varier L_D , la vitesse de commutation est contrôlée par l'inductance, c'est l'association transistor- L_S qui impose les gradients de courant. On voit bien sur la figure 2.14(b) que L_S a une influence sur la vitesse de commutation en courant. Mais il est visible également sur la figure 2.14(a) que le transistor est — durant les commutations — en régime de saturation, avec un courant de drain fort et une tension v_{DS} supérieure à $v_{GS} - V_{th}$ (figure 2.15) : c'est lui qui contrôle le courant dans la maille. On a un effet de contre-réaction, dans lequel la tension développée aux bornes de L_S vient agir sur v_{GS} pour ralentir le transistor. L_S joue le rôle d'un couplage entre circuits de puissance et de commande.

Enfin, nous pouvons noter que si L_S ralentit les commutations, aucune perturbation de type oscillatoire [Mer96] n'a pu être observée. Cela est vraisemblablement dû au calibre des transistors : il s'agit de IRF740 dans [Mer96], commutant 4 A sous 200 V contre des STB210NF02 commutant 100 A sous 15 V ici.



(a)



(b)

FIG. 2.16 – Influence de l'inductance de grille sur la commutation. Tension drain-source (a) et courant de drain (b) (simulation). Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

Inductance de grille L'évolution de l'inductance de grille ne modifie que très peu les formes d'onde (figure 2.16). Une légère augmentation de la vitesse de commutation peut être observée lorsque L_G croît : cette dernière tend à forcer le courant I_G lors de la commutation en courant, ce qui a pour effet de faire évoluer v_{GS} plus rapidement, et donc d'augmenter ou de réduire i_D plus vite.

Une simulation à $L_G = 1000 \text{ nH}$ (valeur extrême, que l'on a peu de chances de retrouver en réalité) est également présentée, pour mettre en évidence un des dangers d'un circuit de commande trop inductif : son oscillation avec les capacités d'entrée du MOSFET. En dessous de cette valeur de L_G très importante, aucune simulation n'a mis en évidence un comportement oscillatoire. Ce dernier dépendant de la résistance de grille, qui joue un effet amortisseur sur le circuit de commande, mais aussi de l'inductance de source qui se trouve elle aussi dans la boucle de commande, il ne peut donc être définie que sur un circuit donné, avec un transistor précis.

2.1.3.2 Pertes

Les inductances de drain et de source modifient largement la vitesse de commutation du transistor. Le ralentissement qu'elles imposent se retrouve sur l'énergie dissipée durant la commutation. Dans ce qui suit, nous ne nous intéresserons qu'aux pertes en commutation, puisque c'est sur elles qu'agissent les inductances, l'aspect résistif du câblage ayant une influence non négligeable sur les pertes en conduction qui sera étudiée en détail au chapitre 4.

Les courbes de la figure 2.17 représentent l'énergie dissipée dans le transistor en commutation (dans le circuit de la figure 2.11) lorsque L_D évolue de 1 à 200 nH , pour deux valeurs de courant I_0 (50 et 100 A). À titre indicatif, nous avons également tracé l'énergie dissipée lors des commutations dans la diode, qui reste très faible. Nous les négligerons donc dans ce qui suit. La méthodologie utilisée pour obtenir les pertes en commutation sera expliquée plus en détail au chapitre 3.

Il apparaît que l'énergie de commutation est proportionnelle à L_D . En effet, en simplifiant les formes d'ondes de la figure 2.12, on peut se ramener à la représentation de la figure 2.18. L_D tend à soulager le transistor à la fermeture en faisant chuter v_{DS} (la commutation se fait alors sans pertes). À l'ouverture, au contraire, il faut que L_D soit entièrement déchargée pour que le transistor puisse terminer sa commutation. Si l'on considère que le régime d'avalanche est atteint et que L_S est négligeable, on a

$$V_0 - V_{BR} = L_D \frac{di_D}{dt} \quad (2.4)$$

V_{BR} étant la tension d'avalanche. En se basant sur la représentation simplifiée de la figure 2.18, les pertes en commutation se résument aux pertes durant

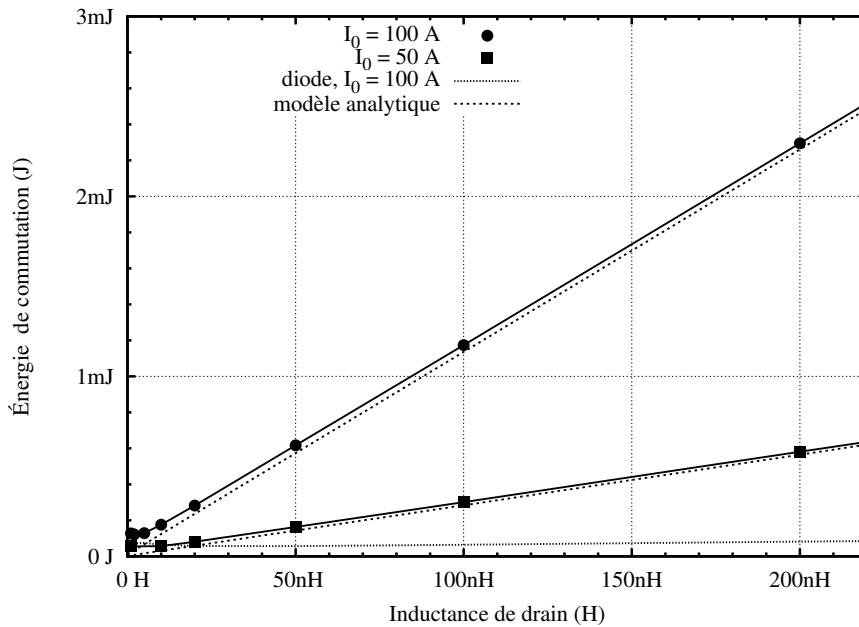


FIG. 2.17 – Évolution des pertes en commutation du transistor en fonction de son inductance de drain (simulation).

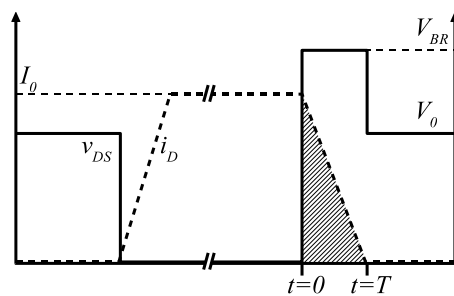


FIG. 2.18 – Représentation simplifiée des formes d'onde de puissance durant une période et mise en évidence de la dissipation d'énergie à l'ouverture. La chute de tension à l'état passant est ici négligée.

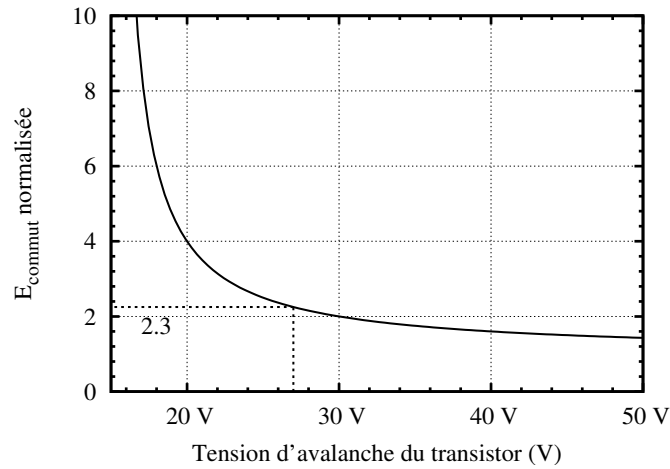


FIG. 2.19 – Évolution de l'énergie de commutation du transistor en fonction de sa tenue en tension obtenue à partir de l'expression (2.6). L'énergie est normalisée par $\frac{L_D}{2} I_0^2$.

la phase d'ouverture (puisque la fermeture se fait à v_{DS} nul, donc sans dissipation). On peut alors écrire

$$E_{commut.} = \int_0^T V_{BR} i_D(t) dt \quad (2.5)$$

avec t comme indiqué figure 2.18. En remplaçant dt dans l'équation (2.5) par son expression en (2.4), on obtient :

$$E_{commut.} = \int_{I_0}^0 V_{BR} i_D L_D \frac{di_D}{V_0 - V_{BR}} = L_D \frac{V_{BR}}{2(V_{BR} - V_0)} I_0^2 \quad (2.6)$$

Pour le transistor utilisé, $V_{BR} = 27 \text{ V}$. Le niveau de pertes obtenu à l'aide du modèle analytique $L_D \frac{27}{2(27 - V_0)} I_0^2$ a été tracé sur la figure 2.17 (en pointillés) pour les deux niveaux de courant I_0 simulés (50 et 100 A). La tension V_0 est de 15 V dans les deux cas. La bonne concordance des résultats confirme la validité des hypothèses que nous avons formulées : les pertes sont négligeables lors de la phase de fermeture, et c'est l'inductance de maille qui impose la vitesse de commutation. Il faut noter que les inductances de source et de grille sont ici négligeables (1 nH).

Pour un transistor d'une tenue en tension suffisante (c'est à dire pour $V_{BR} > V_0$), le minimum de l'équation 2.6 s'obtient lorsque V_{BR} tend vers l'infini

$$\lim_{V_{BR} \rightarrow \infty} L_D \frac{V_{BR}}{2(V_{BR} - V_0)} I_0^2 = \frac{L_D}{2} I_0^2 \quad (2.7)$$

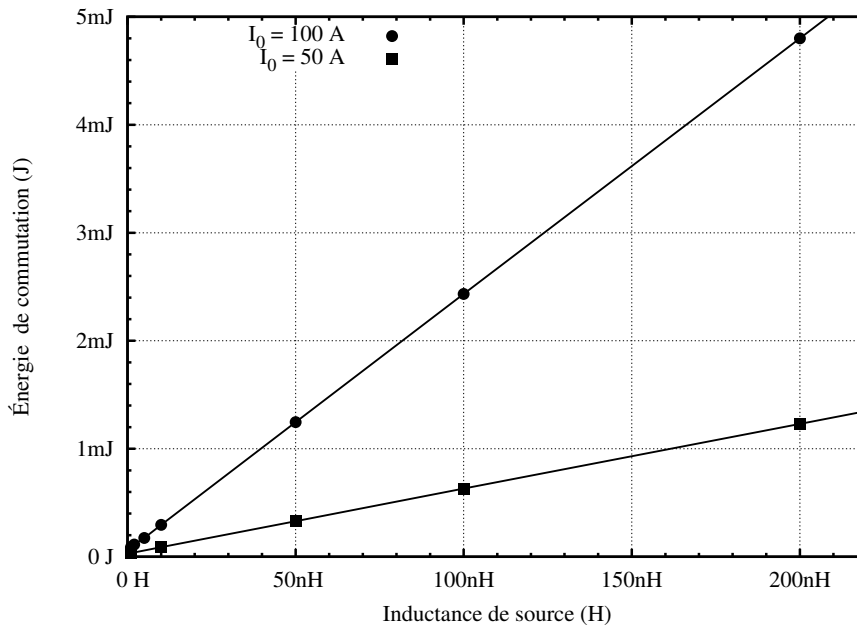


FIG. 2.20 – Évolution des pertes en commutation du transistor en fonction de son inductance de source (simulation).

Ce qui correspond à l'énergie stockée dans L_D . L'équation (2.7) montre qu'il y a un minimum à l'énergie dissipée en commutation dans le transistor correspondant à l'énergie stockée dans le câblage. Il est donc primordial de réduire l'inductance de maille pour limiter les pertes en commutation.

La courbe visible figure 2.19 représente l'énergie de commutation dissipée dans le transistor en fonction de sa tension d'avalanche (équation (2.6)), normalisée par $\frac{L_D}{2} I_0^2$. On voit qu'il est intéressant de choisir un transistor de fort V_{BR} , qui dissipera moins. Cependant, le $R_{DS(on)}$ — donc les pertes en conduction — augmente rapidement avec la tenue en tension du transistor (voir chapitre 1). D'autre part, une forte surtension à l'ouverture peut poser des problèmes CEM. Il y a donc un compromis à effectuer sur le choix du calibre en tension du transistor, entre les pertes en conduction (qui diminuent lorsque le $R_{DS(on)}$, et donc la tenue en tension, est faible), et les pertes en commutation (qui diminuent lorsque la tenue en tension du transistor augmente).

Le niveau de pertes en fonction de l'inductance de source est tracé figure 2.20. Si on le compare à la figure 2.17 (influence de l'inductance de drain), l'effet de couplage puissance–commande de l'inductance de source apparaît clairement.

	Effet à la fermeture	Effet à l'ouverture	Pertes totales
L_D	Ralentit la commutation, et soulage le transistor ce qui peut aller jusqu'à la commutation à V_{DS} nul.	Dissipation de l'énergie stockée dans L_D , surtension forte.	Croissantes avec L_D .
L_S	Ralentit la commutation, mais maintient une tension V_{DS} constante.	Ralentit la commutation, surtension.	Fortement croissantes avec L_S .
L_G	Peu d'influence tant que L_G reste dans des limites « raisonnables ».		Fortes pour L_G très grand.

TAB. 2.1 – Résumé de l'influence des inductances sur le comportement de la cellule de commutation.

2.1.3.3 Récapitulatif

Le tableau 2.1 donne un résumé de l'effet de chacune des inductances considérées sur les commutations et les pertes de la cellule.

2.2 Modélisation du câblage

Dans [Pas03], l'auteur résume l'intérêt de la modélisation du câblage par des moyens numériques en deux phrases :

« One interesting conclusion is that intuition is not always usable, when dealing with electromagnetics! »

et, plus loin

« We can conclude that layout is more important to optimize the switching performances than the IGBT device. »

Nous séparerons dans ce qui suit la modélisation du câblage en deux parties distinctes : calcul des éléments inductifs et résistifs parasites, basé sur la méthode PEEC [Rou99, Sch00], et le calcul des éléments capacitifs (moins cruciaux dans notre cas, les gradients de tension restant faibles lors des commutations) faisant appel à des expressions analytiques simples.

2.2.1 Méthodes

De nombreuses méthodes existent pour obtenir, à partir de ses données géométriques et des propriétés des matériaux qui le constituent, un modèle des éléments parasites d'un câblage. Elles peuvent être regroupées en deux grandes familles, suivant qu'elles nécessitent une discrétisation de tout l'espace ou seulement des conducteurs [Teu97]. Les premières sont utilisées lorsque l'on cherche à connaître la valeur de chaque grandeur en tout point, alors que les secondes

(dont font par exemple partie les méthodes des moments, des lignes de transmission ou PEEC) sont plus adaptées à la modélisation du câblage.

Dans ce qui suit, on s'intéressera surtout à la méthode PEEC², puisque c'est elle qui est utilisée dans le logiciel que nous avons utilisé : *InCa*. Il existe plusieurs versions de cette méthode. Citons notamment : la modélisation des éléments inductifs uniquement [Rue72], l'ajout de l'aspect capacitif [Rue74] et la prise en compte de la vitesse finie des ondes électromagnétiques [Hee92].

D'autres évolutions de la méthode PEEC sont listées dans [Teu97]. La version d'*InCa* que nous avons utilisée ne modélise que des aspects résistifs et inductifs, sans considérer les effets de propagation des ondes électromagnétiques.

Les systèmes d'électronique de puissance, en particulier leurs applications automobiles, peuvent en général être considérés comme petits devant la plus petite longueur d'onde considérée. A une fréquence de 100 MHz correspond une longueur d'onde de 3 m, largement supérieure à la plus grande longueur physique dans un ondulateur (jusqu'à 20 cm). On peut donc considérer les effets de propagation comme négligeables.

2.2.1.1 Définition de l'inductance

Nous utiliserons dans ce qui suit les formules classiques de l'électromagnétique, que l'on peut retrouver dans [Mar01].

Soient deux circuits fermés filiformes C_1 et C_2 parcourus par des courants I_1 et I_2 . Le flux magnétique Φ_{12} à travers C_2 causé par I_1 s'exprime par :

$$\Phi_{12} = \iint_{S_2} \vec{B}_1 d\vec{S}_2 \quad (2.8)$$

où B_1 est le champ magnétique créé par I_1 . Φ_{12} étant proportionnel à I_1 , on peut définir l'inductance mutuelle M_{ij} entre les circuits i et j :

$$M_{ij} = \frac{\Phi_{ij}}{I_i} \quad (2.9)$$

La self-inductance, ou inductance propre correspondant au cas particulier où $i = j$:

$$L_i = \frac{\Phi_{ii}}{I_i} \quad (2.10)$$

Par la suite on notera L_{ij} l'inductance, qu'elle soit mutuelle ($i \neq j$) ou propre ($i = j$).

Le potentiel vecteur magnétique \vec{A} permet de lier la géométrie des circuits et les valeurs d'inductance. On a par définition

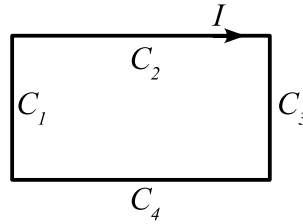


FIG. 2.21 – Circuit élémentaire pour le calcul d'inductances partielles [Sch94a]

$$\vec{B} = \overrightarrow{\text{rot}} \vec{A} \quad (2.11)$$

Le potentiel vecteur généré à une distance r par un courant I_i dans la boucle i s'exprime par :

$$\vec{A}_i = \frac{\mu_0 I_i}{4\pi} \oint_{C_i} \frac{d\vec{l}}{r} \quad (2.12)$$

Le théorème de Stokes permet alors de relier l'équation (2.8) et la circulation de \vec{A}_i le long du circuit j :

$$\iint_{S_2} \vec{B}_1 \cdot d\vec{S}_2 = \frac{\mu_0 I_1}{4\pi} \oint_{C_2} \oint_{C_1} \frac{d\vec{l}_1 \cdot d\vec{l}_2}{r_{12}} \quad (2.13)$$

Les équations (2.9) et (2.10) deviennent alors :

$$L_{12} = \frac{\mu_0}{4\pi} \oint_{C_2} \oint_{C_1} \frac{d\vec{l}_1 \cdot d\vec{l}_2}{r_{12}} \quad (2.14)$$

On vérifie ainsi que $L_{12} = L_{21}$.

Les équations ci-dessus ne sont valables que pour des circuits C_1 et C_2 filiformes, dans lesquels la densité de courant peut être considérée comme constante. Les conducteurs de section non négligeable, doivent alors être traités comme un ensemble de filaments élémentaires [Rue72].

2.2.1.2 Notion d'inductance partielle

Si la notion d'inductance s'applique à une boucle fermée, chaque portion de cette boucle contribue à l'inductance totale. En 1972, A.E RUEHLI a introduit la théorie de l'inductance partielle, à la base de la méthode PEEC, qui permet de calculer la participation de chaque élément d'un circuit à son inductance totale [Rue72].

Si l'on considère le circuit C de la figure 2.21, de forme rectangulaire, isolé dans l'espace, et composé de conducteurs filiformes on peut calculer son inductance propre en utilisant (2.14). On peut également calculer les deux circulations

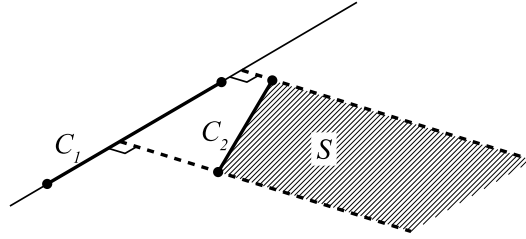


FIG. 2.22 – Mise en évidence de la surface liée à l'inductance partielle entre les conducteurs C_1 et C_2 [Rue72].

de cette équation comme étant la somme des contributions de chaque segment C_1 à C_4 :

$$L = \sum_{k=1}^4 \sum_{m=1}^4 \frac{\mu_0}{4\pi} \int_{C_k} \int_{C_m} \frac{d\vec{l}_m \cdot d\vec{l}_k}{r_{mk}} \quad (2.15)$$

C'est à dire

$$L = \sum_{k=1}^4 \sum_{m=1}^4 L_{p_{km}} \quad (2.16)$$

où $L_{p_{km}}$ représente l'inductance mutuelle entre les segments C_k et C_m . Pour $m \neq k$ il s'agit d'une inductance mutuelle partielle, et lorsque $m = k$, d'une self inductance partielle. Notons que le calcul de cette dernière pose certains problèmes et doit donc être traité spécifiquement [Rue72, Sch94a].

Cette formulation n'est pas limitée au cas d'une boucle isolée, et peut être étendue à un système plus vaste. On obtient ainsi une matrice d'inductances carrée, symétrique, dans laquelle les termes diagonaux correspondent aux self inductances partielles et les autres aux mutuelles partielles.

Le concept d'inductance partielle n'est cependant pas qu'une astuce calculatoire : on peut en effet se ramener au calcul du flux magnétique (équation (2.8)). Considérons la surface S définie par un segment C_2 , les deux normales à un segment C_1 passant par les extrémités de C_2 et un segment rejeté à l'infini (figure 2.22). Le calcul du flux créé par le courant circulant dans C_1 capté par S peut être effectué via la circulation de A_{12} sur le contour fermé C définissant S (Théorème de Stokes).

$$\Phi_{12} = \oint_C \vec{A}_{12} \cdot d\vec{l}_2 = \frac{\mu_0 I_1}{4\pi} \oint_C \int_{C_1} \frac{d\vec{l}_1 \cdot d\vec{l}_2}{r_{12}} \quad (2.17)$$

À l'infini, le potentiel vecteur s'annule ($r_{12} \rightarrow \infty$), de même que sur les deux normales à C_1 ($d\vec{l}_1 \cdot d\vec{l}_2 = 0$). Le calcul de \vec{A}_{12} se ramène donc à son évaluation sur C_2 . d'où

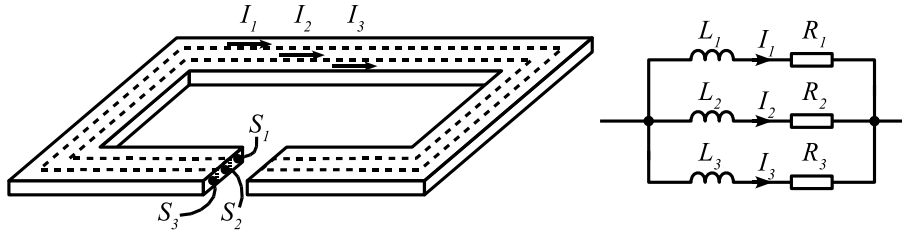


FIG. 2.23 – Division d'une boucle large en filaments élémentaires et circuit équivalent correspondant (les couplages ne sont pas représentés).

$$L_{p12} = \frac{\Phi_{12}}{I_1} = \frac{\mu_0}{4\pi} \int_{C_2} \int_{C_1} \frac{d\vec{l}_1 \cdot d\vec{l}_2}{r_{12}} \quad (2.18)$$

Correspondant à la définition de l'inductance partielle des équations (2.15) et (2.16). L'inductance partielle, comme l'inductance d'une boucle fermée, correspond donc au calcul d'un flux magnétique à travers une surface.

2.2.1.3 Extraction des paramètres d'une géométrie

Dans les calculs précédents, nous avons considéré des circuits filiformes, dans lesquels la densité de courant est uniforme. Cette hypothèse n'est pas admissible en électronique de puissance où les pistes sont le plus souvent de largeur non négligeable devant leur longueur et où les effets de peau et de proximité modifient la répartition du courant.

Il devient dès lors nécessaire de subdiviser les conducteurs en filaments élémentaires, puis d'effectuer les calculs sur chacun d'entre eux [Sch94b]. La figure 2.23 présente l'exemple de subdivision d'une boucle en trois circuits filiformes, et le circuit équivalent correspondant. Pour chacun des circuits C_i , on peut simplement calculer la valeur de R_i par

$$R_i = \frac{\rho l_i}{S_i} \quad (2.19)$$

l_i étant la longueur du circuit C_i , et ρ la résistivité du matériau de la boucle. Les valeurs des inductances partielles sont obtenues à partir de l'équation (2.18).

Il est ensuite possible de réduire le schéma de la figure 2.23 en un circuit R, L série unique pour une fréquence donnée.

Mentionnons enfin que des formulations ont été développées dans le cas de conducteurs de longueur et largeur comparables, et dans lesquels le sens du courant n'est pas connu (plaques) [Sch94a]. Elles débouchent sur une représentation « en grillage » des éléments R et L. Des méthodes de simplification de réseau permettent alors de revenir, toujours pour une fréquence fixe, à un simple circuit R, L.

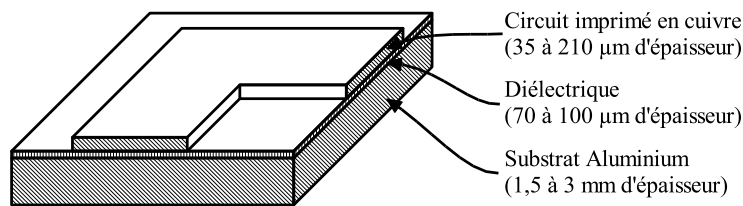


FIG. 2.24 – Structure d'un circuit sur Substrat Métallique Isolé (SMI).

2.2.1.4 Calcul des capacités

La structure des boîtiers de transistors présentée au chapitre 1 impose une dissipation de la puissance qu'ils dissipent par la semelle de cuivre. Avec l'utilisation des composants montés en surface (CMS), qui facilitent le montage automatisé des composants, cette semelle est brasée directement sur le circuit imprimé. Lorsque l'énergie à dissiper devient importante, il est alors nécessaire de remplacer le substrat époxy par un Substrat Métallique Isolé (visible figure 2.24), composé du circuit, réalisé en cuivre, d'un diélectrique le plus fin possible pour réduire la résistance thermique et d'une tôle d'aluminium qui assure la tenue mécanique et la dissipation vers un radiateur (qui se plaque sur la face inférieure de cet assemblage).

Si cette structure a l'avantage de réduire les inductances parasites (du fait de l'effet d'image apporté par le substrat métallique), les capacités entre pistes et substrat d'aluminium sont bien plus importantes qu'avec du circuit imprimé de 1,6 mm^2 d'épaisseur [Sch94a].

Cet aspect capacitif est de première importance en matière de CEM, puisqu'il offre un chemin aux perturbations de mode commun. Dans ce cadre, la modélisation des capacités parasites doit être effectuée avec soin [Mus04]. De nombreuses formulations, destinées à l'origine aux lignes micro-ruban, existent pour calculer la capacité entre une piste et un plan de masse, en tenant notamment compte des effets de bord et de l'épaisseur de la piste [Bog88]. En électronique de puissance, où les pistes sont larges et courtes (alors que les lignes micro-ruban sont filiformes), des corrections ont été proposées par [Sch94a] pour modéliser les effets de bord aux extrémités des pistes.

Dans l'étude qui nous intéresse, surtout destinée à l'étude des pertes, la précision des valeurs de capacités est moins cruciale. D'autre part, les formules développées par [Bog88] nécessitent de connaître la valeur de permittivité dans le diélectrique alors qu'elle n'est en général pas donnée par les fabricants. Enfin, dans les structures que nous étudierons, les pistes ont une forme très proche du carré, avec une surface de plusieurs cm^2 et une épaisseur de diélectrique inférieure à 100 μm . Nous avons donc négligé les effets de bords et considéré la capacité parasite comme strictement proportionnelle à la surface de la piste.

2.2.2 Outils

Plusieurs logiciels permettent de calculer les éléments parasites d'un câblage à partir de la description de sa géométrie. Deux d'entre eux sont basés sur la méthode PEEC : *FASTENRY*³, développé au Massachusetts Institute of Technology (MIT) et *InCa* conçu au Laboratoire d'Électrotechnique de Grenoble (LEG). Le second ayant largement fait ses preuves dans la modélisation des systèmes de puissance (*FASTHENRY* est plutôt destiné à la modélisation des interconnexions en microélectronique) et l'assistance de ses concepteurs étant plus facile à obtenir⁴, nous avons donc retenu *InCa*.

2.2.2.1 Méthodologie de description

Une fois la structure du câblage décrite dans *InCa*, il faut passer à une phase de maillage, destinée à définir les éléments partiels pour l'application de la méthode PEEC. Même si cette étape est moins cruciale qu'avec les méthodes basées sur une résolution différentielle des équations de Maxwell, certaines précautions doivent être observées.

Dans le cas d'une piste longiligne, aucune subdivision longitudinale n'est nécessaire si la longueur de la piste est nettement inférieure à la plus petite longueur d'onde dans le circuit ($l_{piste} \ll \lambda/10$) [Teu97]. Ce sera toujours le cas des convertisseurs étudiés dans ce mémoire. Les subdivisions transversales doivent idéalement être suffisamment fines pour prendre en compte l'effet de peau à la fréquence de résolution. L'épaisseur de peau a à la pulsation ω dans un matériau de conductivité σ s'exprime par

$$a = \sqrt{\frac{2}{\sigma \mu_0 \omega}} \quad (2.20)$$

Dans [Sch94b], l'auteur montre que la fréquence pour laquelle *InCa* effectue sa résolution n'a que relativement peu d'influence sur la valeur d'inductance calculée. Les résistances y sont plus sensibles (à cause de l'effet de peau) ; mais il faut de toutes façons effectuer le calcul pour une fréquence fixe, alors que le contenu fréquentiel des signaux présents dans un convertisseur est complexe.

Dans notre cas, nous effectuons la résolution pour une fréquence correspondant à la fréquence de découpage du convertisseur (fréquence fondamentale), avec un pas de subdivision de l'ordre du millimètre (lorsque la taille du problème en mémoire le permet).

Le cas des subdivisions dites « 2D », où le sens du courant n'est pas connu (cas des conducteurs larges et courts) est plus complexe. Il faut effectuer un

3. www.fastfieldsolvers.com, dernière consultation août 2004

4. Nous tenons à remercier les personnes du LEG ayant apporté leur soutien : J.-M. GUICHON, C. MARTIN et J.-L. SCHANEN

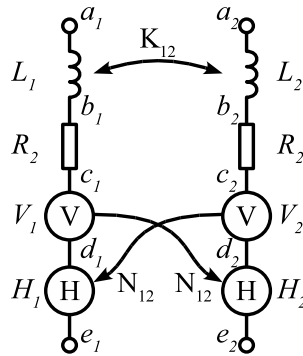


FIG. 2.25 – Modélisation de deux circuits couplés à l'aide des primitives de Pspice.

compromis sur le nombre de subdivisions afin de conserver un modèle manipulable (à la fois par le logiciel et par l'utilisateur, puisqu'il faut dans de nombreux cas effectuer manuellement les connexions entre les subdivisions de deux plaques en contact).

2.2.2.2 Modélisation Pspice

Une fois ses calculs effectués, *InCa* génère une sortie sous forme de deux matrices \mathbf{R} et $\mathbf{L}\omega$ représentant les composantes réelles et imaginaires de l'impédance de chaque circuit on a ainsi $\mathbf{Z} = \mathbf{R} + j\mathbf{L}\omega$.

\mathbf{R} correspond donc à la matrice de résistances, et \mathbf{L} à la matrice d'inductance ; leurs termes diagonaux représentant les résistance et inductance propre, et les autres les éléments mutuels⁵.

La transcription de la matrice \mathbf{L} sous forme de circuit ne pose pas de problème, puisque les mutuelles inductances sont des primitives *Pspice*. Deux circuits couplés se représenteront donc comme deux inductances L_1 et L_2 et par un élément de couplage K_{12} tel que

$$K_{12} = \frac{L_{12}}{\sqrt{L_1 L_2}} \quad (2.21)$$

Il est plus complexe de faire une représentation circuit de la matrice \mathbf{R} : les éléments mutuels résistifs n'existent pas en temps que tels sous *Pspice*. On a donc recours à une acrobatie technique, faisant appel à des sources de tension

5. Le terme de résistance mutuelle est en fait, dans des conducteurs isolés, causé par la réduction des éléments partiels à une fréquence donnée. Les effets de proximité, qui modifient la répartition du courant dans les conducteurs proches [Sch94a] causent également une variation de la résistance de ces conducteurs, puisque leur section efficace change. Il en résulte qu'à une fréquence donnée, la circulation d'un courant dans un des conducteurs va faire varier la résistance dans un autre, ce que l'on traduit par un terme de résistance mutuelle.

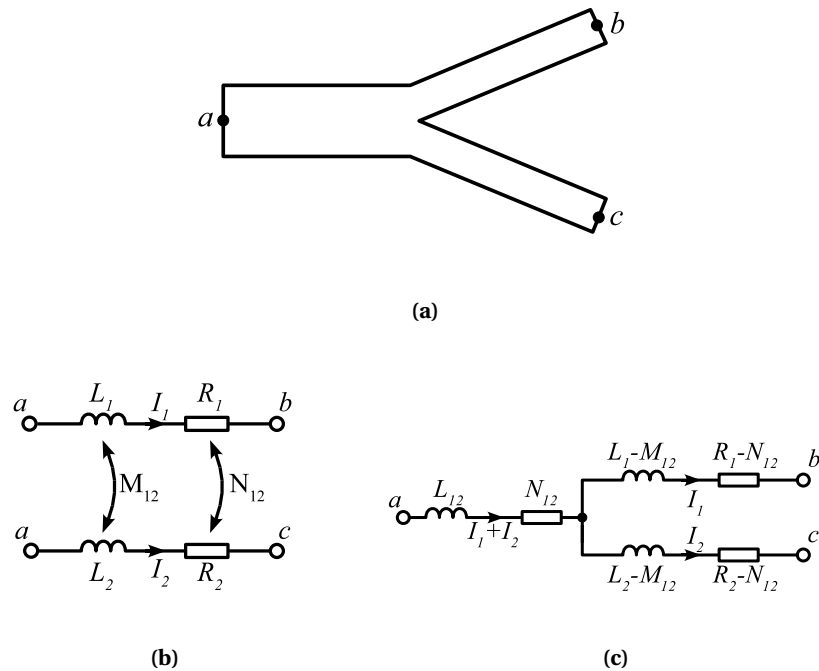


FIG. 2.26 – Cas du couplage par impédance commune : deux circuits empruntant une portion identique (a) et les modèles correspondant avec couplage (b) ou sans (c)

commandées en courant (élément H). En mesurant le courant dans les branches couplées (à l'aide d'une source V de tension 0 V), on peut ainsi écrire

$$V_{H_1} = N_{12} I_2 \quad (2.22)$$

Ce couplage n'étant pas à double sens, il convient de réaliser le même montage dans les deux branches couplées (figure 2.25).

Cette solution, adoptée par les concepteurs de *FASTHENRY* pour générer le code *Pspice* présente l'avantage d'être indépendante du circuit réel (on peut modéliser aussi bien des circuits ayant des portions communes que des circuits isolés les uns des autres). Elle est cependant lourde (plus d'éléments, plus de nœuds) et non physique : l'utilisation de sources peut mener à des non-sens comme la génération d'énergie par le câblage.

Dans la plupart des cas, les couplages résistifs sont causés par une portion de circuit commune aux pistes couplées (figure 2.26(a)). Ce type de couplage peut se représenter très simplement, sans aucun couplage par le circuit de la figure 2.26(c). Cela nécessite cependant une connaissance des interconnexions entre pistes (c'est à dire savoir que les deux pistes partagent le même point a). En l'absence d'une telle information, la solution la plus simple consiste à générer

un circuit avec des termes de couplage (figure 2.26(b)), qui ne présume pas des connexions entre les circuits. C'est alors à l'utilisateur du modèle de connecter les circuits ensemble.

Pour des raisons d'automatisation, nous avons donc fait appel à cette solution. De cette manière, un modèle *Pspice* peut être généré directement à partir des fichiers de sortie *InCa*, sans autres manipulations, réduisant du même coup les risques d'erreurs (très élevés pour peu que l'on travaille avec un modèle imposant). Il faut ensuite, lorsque l'on utilise le modèle, reconnecter les circuits (dans le cas de la figure 2.26(b), il faudra explicitement relier les deux points *a*).

2.3 Conclusion

Les interconnexions constituent un élément à part entière des convertisseurs. Leur importance a pu être mise en évidence dans la première partie de ce chapitre, avec une étude du déroulement des commutations dans une cellule MOSFET-diode puis de l'influence des différentes inductances de câblage sur les pertes.

Les méthodes permettant d'obtenir un modèle du câblage utilisable avec les outils de simulation ont ensuite été présentées. Elles reposent notamment sur un logiciel exploitant la méthode PEEC (*InCa*). Une méthode de transcription automatisée permettant de générer un *listing Pspice* a également été proposée.

La précision de la méthode PEEC dans le cadre de la modélisation des structures de l'électronique de puissance a été démontrée à de nombreuses reprises, notamment par les travaux issus du LEG [Rou99, Sch00]. Nous verrons dans le chapitre 3 qu'elle semble également satisfaisante dans notre cas.

Chapitre 3

Caractérisation et validation expérimentale

La première partie de ce chapitre présente les moyens de mesure utilisés. outre les instruments classiques (oscilloscope, sondes...), nous avons fait appel à un calorimètre (disponible au laboratoire) qui a dû être adapté aux contraintes *forts courants*.

Dans un second temps, nous décrivons les procédures de caractérisation des modèles proposés précédemment. L'accent est mis sur l'identification des paramètres du modèle de transistor, puisque cette dernière ne peut se baser que sur une approche expérimentale. En effet, les caractéristiques physiques des composants sont tenues secrètes par leurs fabricants, et les paramètres des modèles SPICE qu'ils fournissent sont en général le fruit d'une identification empirique. La plupart des modèles des MOSFET de puissance sont basés sur celui des transistors faible puissance SPICE *level 3* dont les paramètres reflètent mal la réalité physique et ne peuvent pas être utilisés pour caractériser le modèle que nous proposons.

Si la modélisation du câblage d'un point de vue inductif et résistif peut se faire de manière théorique, à l'aide d'*InCa* (la résistivité des matériaux utilisés et leur disposition géométrique est habituellement disponible), il n'en va pas de même pour l'aspect capacitif. La valeur de permittivité des diélectriques est rarement donnée par les fabricants, et il va ici aussi falloir procéder à une phase d'identification avec l'expérience.

Dans la troisième partie du chapitre, nous proposons de valider l'ensemble de la modélisation d'un système par rapport à l'expérience. Les formes d'ondes temporelles, de même que les pertes du système, obtenues en simulation et en mesure sont comparées. Un aperçu des points étudiés dans ce chapitre est donné dans le tableau 3.1.

Étape	Opération	Description
Identification	Carac. statique	Mesure de la caractéristique statique et identification automatisée des paramètres.
	Carac. dynamique	Utilisation de deux circuits de test pour identifier (manuellement) les paramètres dynamiques.
	Carac. en avalanche	Présentation d'un dispositif expérimental et d'une méthode permettant d'obtenir les paramètres électrothermiques du modèle de fonctionnement en avalanche.
Validation	Calorimétrie	Utilisation de mesures calorimétriques comme étalon de comparaison simulation / expérience pour les pertes.
	Comp. temporelles	Comparaison simulation / expérience basée sur la superposition de formes d'onde.
	Comp. en avalanche	Comparaison entre les simulations en avalanche avec modélisation de la propagation thermique dans la puce et les mesures obtenues lors de la phase d'identification.

TAB. 3.1 – *Résumé des opérations expérimentales mises en œuvre et décrites dans ce chapitre*

3.1 Moyens de mesure

Ce chapitre étant très largement basé sur une approche expérimentale, il convient tout d'abord de présenter les méthodes de mesure et les instruments employés. Nous distinguons par la suite les mesures des grandeurs électriques (statiques, temporelles et fréquentielles) des mesures calorimétriques.

3.1.1 Mesures électriques

3.1.1.1 Instruments de mesure utilisés

Sauf mention contraire, les mesures électriques temporelles exposées ici ont été réalisées à l'aide des instruments suivants :

oscilloscope Tektronix TDS7054 de bande passante 500 MHz ;

sondes de tension Tektronix P6139A , atténuatrices (rapport 10), bande passante 0–500 MHz ;

shunt aselfique T&M SDN-005 de résistance 4,901 m Ω et de bande passante 0–400 MHz ;

Les mesures d'impédance ont été effectuées à l'aide d'un pont auto-adaptatif HP4194A, équipé de sa sonde permettant des mesures jusqu'à 100 MHz [Hon00].

Pour obtenir les caractéristiques statiques $I = f(V)$ des semiconducteurs, nous avons utilisé un traceur Tektronix 371A, ainsi qu'un dispositif décrit plus loin, et permettant d'obtenir des résultats plus précis dans certains cas.

L'oscilloscope utilisé (TDS7054) est capable d'effectuer $2,5 \cdot 10^9$ échantillonnages par seconde, avec une résolution de 8 bits . Lorsque la pleine fréquence d'échantillonnage n'est pas nécessaire, nous travaillerons en mode *Hi-Res*, qui consiste à effectuer les acquisitions à fréquence maximale puis à effectuer une moyenne temporelle (entre n échantillons successifs). De cette manière la résolution des convertisseurs est améliorée sans avoir à faire d'hypothèses sur la périodicité du signal (ou la stabilité du déclenchement).

Il peut cependant être nécessaire d'effectuer un moyennage classique lorsque l'on est en présence d'un bruit non corrélé au dispositif sous test (c'est le cas, par exemple, du découpage d'une alimentation) qui n'a pu être filtré.

Dans les deux cas, la résolution obtenue évolue en \sqrt{n} , où n est le nombre d'échantillons par point. Si l'on effectue une moyenne sur 16 acquisitions, la résolution est améliorée d'un facteur 4, soit 2 bits [Amm02, Tek89].

Une autre spécificité de cet oscilloscope est la taille de sa mémoire (jusqu'à 500 000 points), permettant l'acquisition d'une période complète d'un signal tout en gardant une résolution suffisante pendant les commutations. Cela permet, lors des comparaisons avec la simulation, de valider non seulement les formes d'onde, mais aussi leur décalage temporel, puisqu'on ne synchronisera les formes d'ondes simulées et mesurées qu'en début de période.

La sonde de courant utilisée ici est un shunt aselfique [Wit02] qui présente l'intérêt, par rapport aux autres capteurs, d'une large bande passante (du continu à 400 MHz, d'une grande dynamique de mesure (de moins d'un ampère à plusieurs centaines d'ampères) [Lai02] et d'un faible encombrement (les deux terminaux de puissance sont distants de quelques millimètres).

3.1.1.2 Conditions de mesure

Les mesures temporelles que nous avons réalisées pour cette étude sont principalement destinées à la comparaison avec la simulation. Il est donc nécessaire de maîtriser l'environnement de mesure de manière à pouvoir le modéliser.

Nous avons vu dans le chapitre 2 que les conducteurs des convertisseurs sont loin de constituer des équipotentielles. Leurs inductances parasites sont à l'origine de d.d.p à leurs extrémités, et, plus grave, de couplage avec le reste du circuit, y compris de mesure.

Toutes les mesures de tensions présentées ici ont donc été réalisées en mode différentiel, à l'aide de deux sondes passives P6139. Ces deux sondes ont été associées physiquement en solidarissant leurs deux câbles sur toute leur longueur ; seules les têtes et les fils de masse des sondes sont dissociées. Cet accouplement permet de garantir que les signaux véhiculés sur les câbles des sondes sont soumis à des perturbations identiques. Dans le même ordre d'idées, il faut veiller à ce que les fils de masse suivent tous deux le plus proche chemin, et notamment qu'ils n'entourent pas un conducteur de puissance.

L'équipotentielle de mesure, à laquelle est fixée la masse de l'oscilloscope doit être la moins impédante possible, de manière à assurer au mieux sa fonction en dépit des courants induits qui la parcourent. Nous avons donc utilisé un plan de masse en tôle de cuivre, d'un mètre carré de surface, auquel sont rattachés tous les éléments du banc de mesure (oscilloscope, alimentations, sondes). Ce plan est lui-même raccordé au circuit de terre du bâtiment, pour des raisons de sécurité. Les connexions de terre de chaque appareil du banc sont également connectées sur ce plan. De cette manière, on peut se prémunir au mieux des « bruits » de découpage des différentes alimentations de l'appareillage. Enfin, le dispositif sous test est raccordé en un point au plan de masse. Si l'on effectue une mesure de courant à l'aide d'un shunt, c'est au niveau de celui-ci que se fera la connexion, sinon elle sera effectuée sur l'entrée « - » du dispositif.

La commande des transistors, qu'ils soient en haut ou en bas du bras d'onduleur, est effectuée par des modules de commande, que nous avons spécifiquement développés pour ce travail, isolés grâce à un convertisseur DC-DC intégré et une commande par fibre optique (figure 3.1). Ces modules ont une taille réduite (environ trois centimètres de côté), et peuvent être placés directement sur le dispositif à tester (voir annexe C).

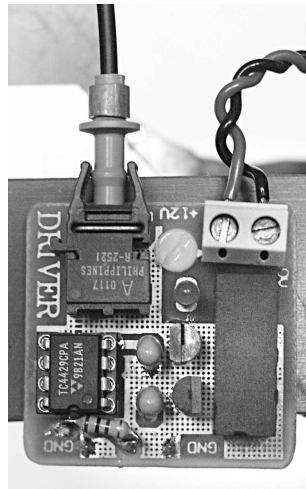


FIG. 3.1 – Photographie d'un des modules driver mettant en évidence la transmission par fibre optique (en haut à gauche) et le convertisseur DC-DC (à droite). Le connecteur de sortie est situé sous le circuit.

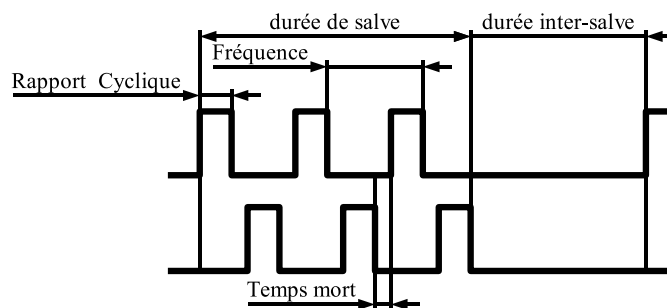


FIG. 3.2 – Paramètres de la commande optique

Nous avons également développé une carte à FPGA pour piloter les modules de commande, avec quatre sorties optiques (on peut ainsi commander un pont en H). Elle est configurée via un PC, et génère des trames telles que présentées figure 3.2. L'utilisation de salves de commandes est destinée à réduire l'autoéchauffement des composants. Période de découpage, rapport cyclique et temps mort sont réglables par pas de 25 ns (voir annexe C).

3.1.1.3 Composant étudié

La plupart des mesures effectuées ici ont été réalisées sur des convertisseurs utilisant un MOSFET fabriqué par *STMicroelectronics*, le STB210NF02. Ses principales caractéristiques sont résumées dans le tableau 3.2. Il fait appel à la technologie *StripFET*, c'est à dire qu'il possède un circuit de grille en bandes (voir

Composant	ST210NF02
Tenue en tension	20 V
Courant nominal	120 A
R_{DSon}	2,6 mΩ
Température de fonctionnement	-55 à 175°C
C_{iss}	5100 pF
C_{oss}	3500 pF
C_{rss}	800 pF
Boîtier	D2PAK

TAB. 3.2 – Résumé des caractéristiques des MOSFET étudiés

section 1.2.1.1) et une très grande densité d'intégration [She03].

3.1.2 Mesures calorimétriques

En introduction de son ouvrage « Electronique de puissance – Les fonctions de base et leurs principales applications », G. SÉGUIER écrit :

« *En électronique des courants forts*, la notion principale dans toute transformation devient celle de rendement. » [Ség01]

La mesure de rendement, et par là celle des pertes du système, est donc primordiale. Cette mesure de pertes peut se faire par manière directe, c'est à dire en mesurant l'énergie cédée sous forme de chaleur par le convertisseur à son environnement ; ou de manière indirecte, en mesurant les puissances d'entrée et de sortie.

La méthode indirecte consiste donc à mesurer les tensions et courants en entrée et en sortie du convertisseur, puis à en effectuer le produit pour calculer la puissance instantanée en entrée et en sortie :

$$P_e(t) = u_e(t)i_e(t) \quad (3.1)$$

$$P_s(t) = u_s(t)i_s(t) \quad (3.2)$$

Une intégration de ces valeurs sur une période complète permet alors de calculer la puissance P_p dissipée par le système :

$$P_p = \frac{1}{T} \int_0^T P_e(t) - P_s(t) dt \quad (3.3)$$

Il est important de noter que la présence d'éléments de stockage dans le système (capacités, inductances de pistes, ...) n'autorise ce calcul que sur un système *périodique*. L'état du système doit en effet être strictement identique aux deux bornes de l'intégrale pour qu'elle corresponde à la puissance dissipée : le premier principe de la thermodynamique s'écrit

$$\Delta u = W + Q \quad (3.4)$$

avec W le travail fourni, Q l'énergie dissipée sous forme de chaleur et u l'énergie interne. Par définition, dans un système périodique de période T , on a $u(t) = u(t + T)$. Il en résulte que, sur une période, $\Delta u = 0$, et donc $W = Q$; le travail fourni au système (calculé par l'équation (3.4)) correspond à l'énergie qu'il dissipe.

Les convertisseurs de l'électronique de puissance ont des rendements élevés, typiquement supérieurs à 90 %. Les pertes représentent donc une faible partie de la puissance convertie, ce qui ne va pas sans poser des problèmes de mesure [Xia02]. Si l'on considère une précision de mesure de courant et de tension de $\pm 2,5$ % ($\frac{\Delta U}{U} = \frac{\Delta I}{I} = 0,025$) la précision sur la mesure de puissance est

$$\frac{\Delta P}{P} = \frac{\Delta U}{U} + \frac{\Delta I}{I} = 0,05 \quad (3.5)$$

Avec un rendement de conversion de 90 % ($P_s = 0,9P_e$), l'erreur sur la mesure de puissance dissipée devient :

$$\begin{aligned} \frac{\Delta P_p}{P_p} &= \frac{\Delta(P_e) + \Delta P_s}{P_e - P_s} \\ &= \frac{0,05P_e + 0,05P_s}{(1 - 0,9)P_e} \approx 100\% \end{aligned} \quad (3.6)$$

Si les valeurs d'incertitude sont avant tout choisies ici pour les besoins de la démonstration, elles ne sont cependant pas absurdes : la résolution d'acquisition de l'oscilloscope est limitée (généralement 8 bits, que l'on peut augmenter par moyennage), les sondes de tension et de courant n'ont pas les mêmes retards et temps de montée, et elles sont soumises à un couplage électromagnétique avec le circuit sous test. Enfin, le rendement de conversion d'un onduleur est couramment plus proche de 95 % que de 90 %.

Le calcul des pertes est donc très sensible à la précision de la mesure de P_e et P_s . Malheureusement, cette mesure est loin d'être aisée [Cau92, Far93]. Durant les commutations, courant et tension évoluent très rapidement, ce qui nécessite une acquisition très rapide et précise. Les temps de réponse de chaque sonde (tension et courant) doivent être les plus proches possibles [Amm02].

Les méthodes indirectes de mesure de pertes s'avérant complexes à mettre en œuvre, nous leur avons préféré les méthodes directes (calorimétriques) [Ric04].

La calorimétrie permet de connaître l'énergie dissipée dans une enceinte adiabatique à partir de l'élévation de température du fluide qu'elle contient. Si l'on nomme C_{TH} la capacité thermique totale du contenu de l'enceinte, l'élévation de température δT (on fait l'hypothèse d'une répartition parfaite de la

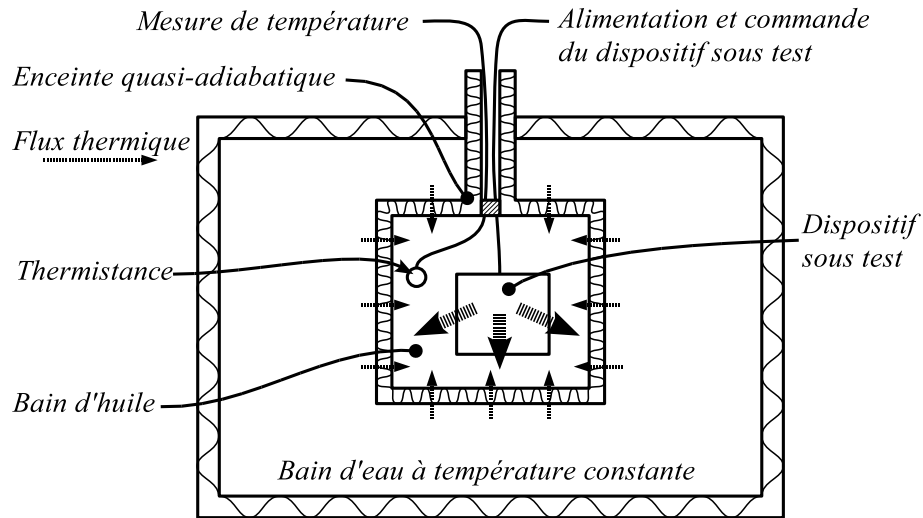


FIG. 3.3 – Schéma simplifié du calorimètre utilisé

température dans le fluide) et l'énergie dissipée E sont liées par

$$\delta T = \frac{E}{C_{TH}} \quad (3.7)$$

Il suffit alors de connaître précisément la durée pendant laquelle le système a fonctionné pour pouvoir calculer la puissance dissipée.

Le système expérimental est représenté figure 3.3. Le Dispositif Sous Test (DST) est placé dans un bain d'huile¹, qui assure la répartition de la chaleur (un système de brassage, non représenté, permet d'homogénéiser au mieux la température) tout en réalisant l'isolation électrique. Ce bain d'huile ne pouvant pas être placé dans des conditions parfaitement adiabatiques, notamment à cause du passage des câbles électriques de mesure et d'alimentation (figure 3.4), on plonge l'enceinte le contenant dans un bain d'eau à température constante. Ce faisant, on assure des conditions de fonctionnement quasi-adiabatiques, dans lesquelles le flux de chaleur passant de l'eau à l'huile est constant. En effet, si l'on néglige, en première approche, l'élévation de la température du bain d'huile durant la mesure (de l'ordre du demi-degré Celsius) devant la différence de température entre l'eau et l'huile (typiquement de l'ordre de plusieurs degrés Celsius), la puissance totale transitant entre l'eau et l'huile est constante et vaut

$$P = \frac{T_{eau} - T_{huile}}{R_{TH}} \quad (3.8)$$

1. Le fluide caloporteur utilisé est en fait de l'huile de tournesol, dont la tenue en tension est largement suffisante et l'approvisionnement aisé.

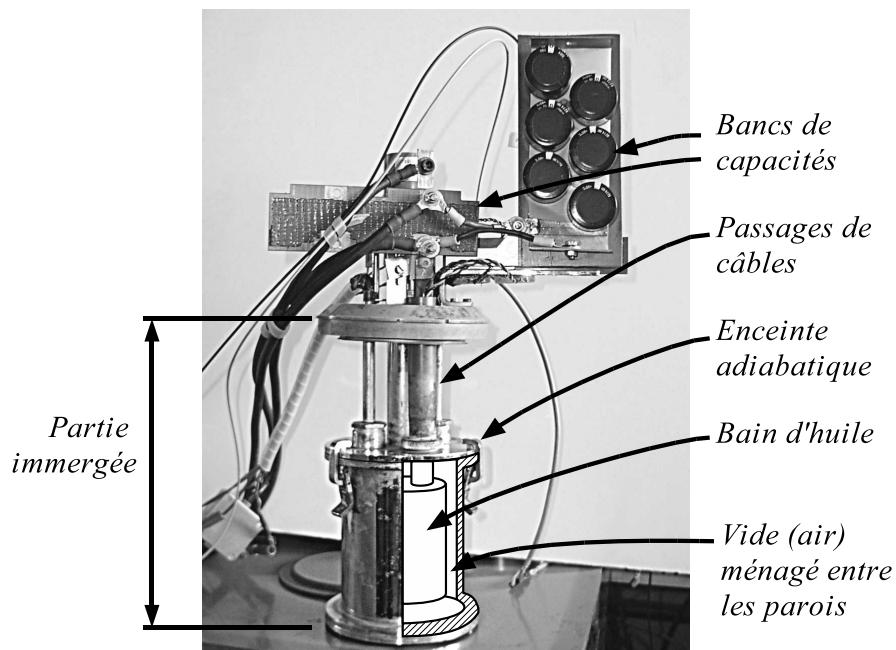


FIG. 3.4 – Photographie de la « tête » du calorimètre que l'on plonge dans le bain d'eau à température contrôlée.

Où R_{TH} ($K.W^{-1}$) est la résistance thermique de l'enceinte calorimétrique. Pour dissocier l'échauffement de l'huile lié à ce flux de fuite et celui causé par la dissipation du DST (que l'on cherche à mesurer), on va décomposer l'acquisition de température en trois phases :

1. durant la première phase le DST n'est pas commandé, l'élévation de température de l'huile n'est due qu'aux fuites de l'enceinte quasi-adiabatique ;
2. durant la seconde phase, le DST fonctionne durant un temps déterminé. Cette étape doit être assez longue pour que le contenu de l'enceinte atteigne l'équilibre (température de l'huile et du DST identiques) ;
3. la dernière phase est identique à la première, l'échauffement de l'huile n'étant à nouveau causé que par le flux de fuites.

La mesure calorimétrique débute par une phase de calibration : il est nécessaire de connaître la capacité calorifique totale de l'enceinte (constituée du DST, de l'huile, de l'agitateur, de la sonde de température...). Pour cela, on y place une résistance (non représentée sur la figure 3.3) permettant de dissiper une impulsion d'énergie calibrée. En mesurant l'élévation de température que cela entraîne, on peut calculer C_{th} à l'aide de l'équation 3.7.

Une courbe d'évolution typique de la température en fonction du temps est donnée figure 3.5. Elle a été obtenue durant une phase de calibrage durant laquelle une puissance constante est dissipée par la résistance durant un temps

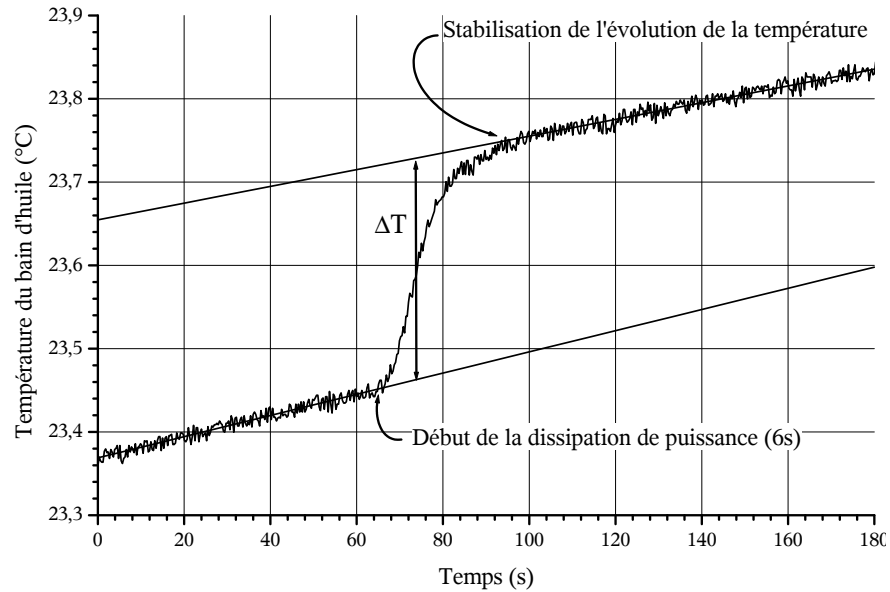


FIG. 3.5 – Évolution de la température au cours du temps lors de la phase de calibration

déterminé. Elle est constituée de trois phases : dans la première (de 0 à 60 s), la température augmente linéairement avec le temps, à cause de l'imperfection de l'isolation bain d'eau/bain d'huile. Dans la seconde (de 60 à 100 s environ), la température croît rapidement, en raison de l'énergie dissipée par la résistance de calibration, puis l'augmentation se stabilise pour arriver à la troisième phase, identique dans les causes à la première, avec une augmentation linéaire de la température.

Il faut noter que les pentes de variation de température dans les phases 1 et 3 sont légèrement différentes, en raison de l'augmentation de la température du bain d'huile. En effet, l'hypothèse d'une différence de température eau/huile constante tout au long du cycle de mesure n'est valable qu'en première approximation. Pour tenir compte de ce phénomène, on mesure ΔT entre les extrapolations linéaires des phases 1 et 3 au point d'inflexion de la courbe de température.

Les mesures proprement dites se déroulent de la même manière que la calibration, en trois phases. Il faut en effet mesurer le flux de fuite en début et en fin de chaque mesure, la différence de température eau/huile étant à chaque fois différente. Dans la pratique, on ne peut espérer faire que trois à quatre mesures successives avant que la température de l'huile ne rejoigne celle de l'eau. Il est alors nécessaire de sortir l'enceinte calorimétrique du bain thermostaté pour la plonger dans de l'eau froide.

La précision de mesure des pertes par la méthode directe est bien meilleure qu'avec la méthode indirecte (électrique). En effet, si l'on reprend l'équation (3.7), avec $C_{TH} = E_{et.}/\delta T_{et.}$ (l'indice « et. » signifie qu'il s'agit des grandeurs obtenues durant la phase d'étalonnage) et $E_{et.} = U_{et.}I_{et.}t_{et.}$, la puissance perdue par le système sous test s'écrit :

$$P = \frac{E}{t} = \frac{\delta T}{t} \frac{U_{et.}I_{et.}t_{et.}}{\delta T_{et.}} \quad (3.9)$$

avec t durée pendant laquelle le convertisseur dissipe de l'énergie. L'incertitude sur W s'écrit donc :

$$\frac{\Delta P}{P} = \frac{\Delta \delta T}{\delta T} + \frac{\Delta U_{et.}}{U_{et.}} + \frac{\Delta I_{et.}}{I_{et.}} + \frac{\Delta t_{et.}}{t_{et.}} + \frac{\Delta t}{t} + \frac{\Delta \delta T_{et.}}{\delta T_{et.}} \quad (3.10)$$

t et $t_{eq.}$ sont maîtrisés avec une précision supérieure à 1 ‰. $U_{et.}$ et $I_{et.}$ sont acquis avec une carte de résolution 16-bits, leur incertitude est donc là aussi bien inférieure à 1 ‰. En ce qui concerne les mesures de température, la conversion analogique/numérique se fait à travers un convertisseur 20 bits, mais on peut noter sur la figure 3.5 la présence d'un bruit de l'ordre de 20 m°C d'amplitude. Le nombre d'échantillons en début et fin de mesure (phases linéaires) étant fixé à 200, on peut espérer une précision de $20 \cdot 10^{-3} / \sqrt{200} = 1,4 \text{ m}^\circ\text{C}$ (hypothèse d'une distribution normale du bruit de mesure). Pour un δT de 0,5 °C, on a donc :

$$\begin{aligned} \frac{\Delta W}{W} &< 2 \times \frac{1,4 \cdot 10^{-3}}{0,5} + 4 \times 10^{-4} \\ &< 0,7 \% \end{aligned} \quad (3.11)$$

On peut ainsi espérer une précision meilleure que 1 % en utilisant le dispositif de mesure calorimétrique disponible au laboratoire.

Les mesures calorimétriques présentées dans cette étude ont toutes été réalisées sur la cellule DC-DC dont la structure du câblage est présentée figure 3.32, page 121 — une vue agrandie de la cellule et la disposition des composants est disponible figures 4.1(a) et 4.1(d), page 147. En effet, ses faibles dimensions (5 cm de côté) représentent quasiment la taille maximale qu'il est possible de faire rentrer dans le faible volume de l'enceinte du calorimètre. Cette cellule de commutation constitue un bras d'onduleur, à un transistor par interrupteur fonctionnel, avec 6 capacités céramiques (13,2 μF) sur le bus continu. Cette structure nous permet de fonctionner aussi bien en onduleur qu'en hacheur (un des deux MOSFET n'étant alors pas commandé), et donc de retrouver toutes les configurations de commutation de l'électronique de puissance.

Un banc de test a donc été construit autour du calorimètre, et son schéma est représenté figure 3.6. On y retrouve la cellule de commutation (DST), placée dans l'enceinte adiabatique en compagnie de la résistance d'étalonnage et de la

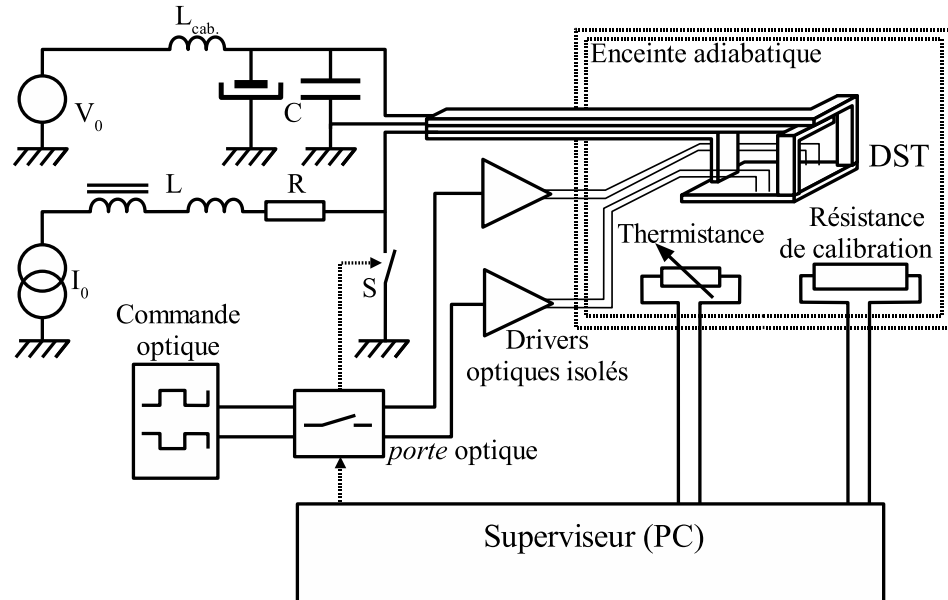


FIG. 3.6 – *Synoptique du dispositif de mesure calorimétrique*

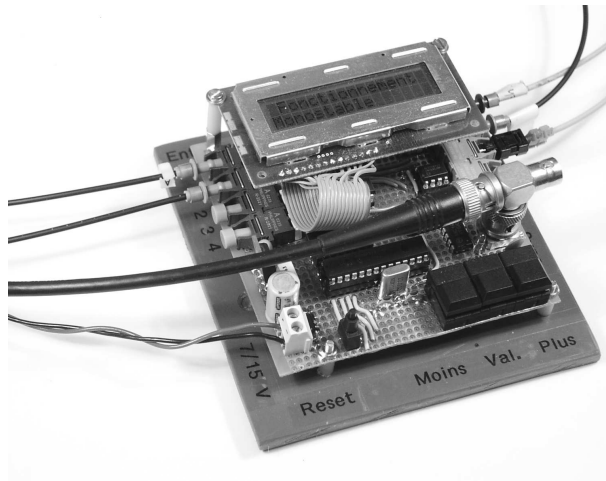


FIG. 3.7 – *Photographie de la porte optique, avec les fibres optiques d'entrée et de sortie et la commande par câble coaxial.*

thermistance de mesure. Des sources de tension (V_0) et de courant (I_0) y sont connectées selon le schéma de l'onduleur de tension. La commande optique paramétrable présentée en 3.1.1.2 pilote les transistors du DST via une *porte* (figure 3.7) et des drivers qui assurent la conversion optique/électrique. Le but de la *porte*, développée spécialement pour ce banc, est de n'autoriser le fonctionnement du dispositif sous test que pendant un temps précis (afin de pouvoir calculer la puissance dissipée par le DST à partir de la mesure d'énergie réalisée dans le calorimètre). Le reste du temps, elle commande l'interrupteur S pour court-circuiter la source de courant.

Le circuit de puissance appelle également quelques commentaires. En raison du fort calibre en courant des transistors étudiés (120 A pour le STB210-NF02), les sources V et I sont encombrantes et ne peuvent être placées qu'à plus d'un mètre du calorimètre. L'inductance parasite $L_{cab.}$ représentée sur la figure 3.6 n'est donc pas négligeable. De plus la source V (constituée en fait d'une charge active jouant le rôle de récepteur à tension constante) possède une régulation électronique dont la bande passante est forcément réduite. Pour ces deux raisons, il est nécessaire de placer, à l'entrée même du calorimètre, un banc de capacités C destinées à reproduire une source de tension idéale. Ce dernier est constitué d'un ensemble de condensateurs électrolytiques (de forte capacité) et de capacités céramiques (de forte bande passante). La connexion avec le DST se fait alors sous forme de busbarre, liaison peu inductive et dont la structure rigide peut être modélisée sous $InCa$.

De manière duale, pour obtenir une source de courant dont le fonctionnement soit idéal sur une large bande de fréquences, on vient connecter en série sur une source de courant régulée une inductance à circuit magnétique (forte valeur, mais faible bande passante) et une inductance à air (faible valeur d'inductance, mais bon comportement fréquentiel). L'interrupteur S vient court-circuiter l'ensemble lorsque le DST ne fonctionne pas. Pour stabiliser ce système, qui a tendance à osciller, une résistance de forte puissance (1600 W) est également placée en série. En effet, la source que nous utilisons est une source de tension régulée en courant : son étage de sortie est constitué de capacités, ce qui se traduit par un comportement instable lorsque l'on connecte les inductances L (figure 3.6).

L'ensemble de ce banc est piloté par un PC² qui effectue également le traitement des données et calcule directement la puissance dissipée à partir du profil de température mesuré. Une photo du banc complet est visible figure 3.8

2. Le logiciel et l'interface du PC avec le banc d'essai ont été réalisés par PASCAL BEVILACQUA.

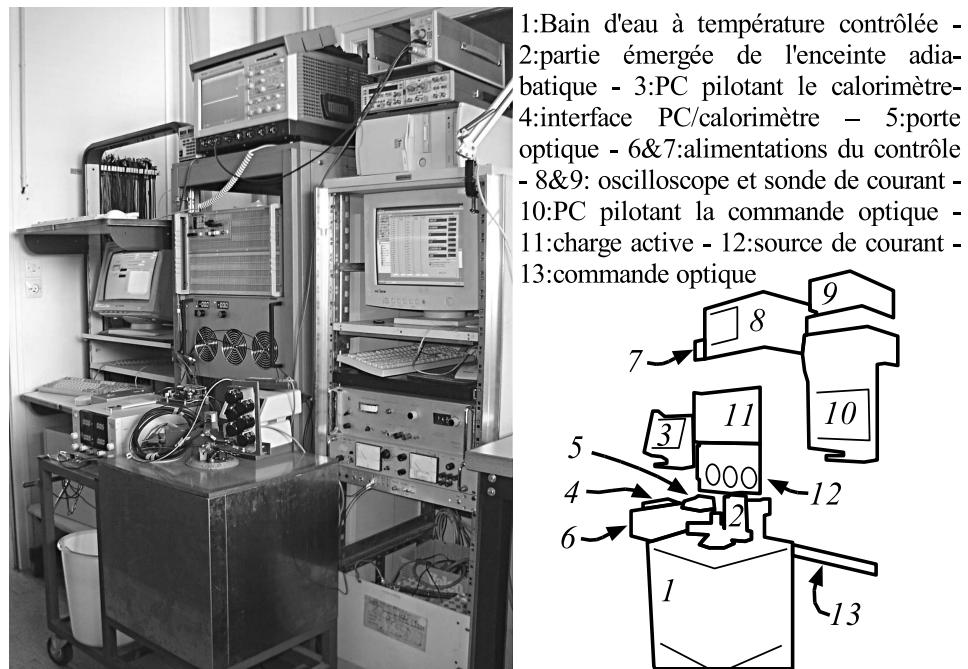


FIG. 3.8 – Photographie du banc de mesure calorimétrique. L'inductance et la résistance de lissage du courant issu de la charge sont cachées par le calorimètre.

3.2 Caractérisation

L'étape de caractérisation consiste à trouver les valeurs de leurs paramètres pour lesquels les modèles donnent les résultats les plus proches de la réalité. Dans le cas du MOSFET, elle se fait expérimentalement par identification entre simulation et mesure. Pour le câblage, elle peut se faire par calcul à partir d'une description de la géométrie du convertisseur.

3.2.1 MOSFET

Le modèle de transistor MOS proposé dans le chapitre 1 possède de nombreux paramètres, résumés dans le tableau 1.1. L'identification de ces paramètres à la mesure se fait en deux grandes étapes :

une caractérisation statique permet d'extraire les valeurs de la tension de seuil (V_T), des deux transconductances ($K_{p_{lin}}$ et $K_{p_{sat}}$) et des deux paramètres empiriques σ et θ . La caractéristique statique de la diode interne permet également de retrouver les valeurs des paramètres V_{bi} et V_{n0} ;

une caractérisation dynamique, réalisée en deux temps, permet d'identifier les paramètres des capacités C_{GS} et C_{GD} , puis de la diode intrinsèque et des inductances de câblage.

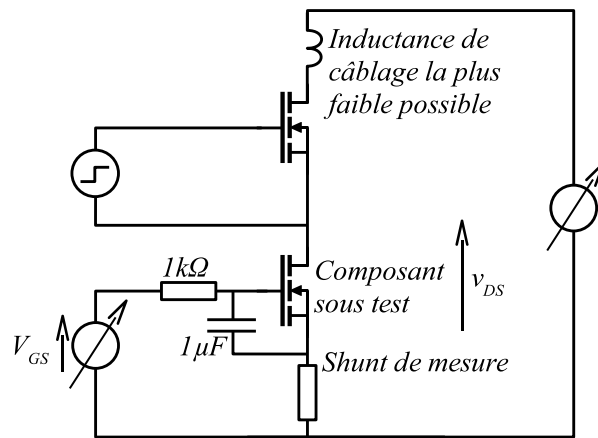


FIG. 3.9 – Dispositif de mesure de la caractéristique statique

Un dispositif spécifique permet ensuite d'effectuer la mesure des paramètres en avalanche (V_{BR} , β et R_{BR}).

3.2.1.1 Caractéristique statique

Acquisition de la caractéristique statique Elle est directement obtenue à l'aide d'un traceur *Tektronix 371A*, capable de balayer le plan U, I jusqu'à 30 V et 300 A (on peut en fait obtenir des points de mesure jusqu'à 500 A).

Les transistors étant en boîtier *CMS*, il est nécessaire d'y souder directement les fils de connexion avec le traceur, avec une attention particulière aux fils de mesure « 4-points » étant donné le faible ordre de grandeur des $R_{DS_{on}}$ mesurés (inférieurs à 3 m Ω).

Un écueil de la caractéristique statique est l'auto-échauffement du composant sous test. À un point du plan (I_D , V_{DS}) de coordonnées (100 A, 20 V) correspond une puissance dissipée instantanée de 2000 W! Dans ces conditions, la température interne du transistor augmente très rapidement, modifiant la réponse du transistor, comme vu dans la section 1.2.3. Pour limiter ce phénomène, le traceur utilisé effectue des mesures impulsionnelles. La largeur des impulsions est malgré tout parfois trop importante [EO03]. Il est alors nécessaire de faire appel au schéma de la figure 3.9.

Deux sources de tension continue réglables permettent de fixer le point de fonctionnement dans le plan (V_{GS} , V_{DS}). Le transistor placé en haut sur la figure 3.9 est commandé peu de temps (environ 10 μs) avec une occurrence lente (plusieurs centaines de ms). De cette manière, la puissance dissipée par le transistor sous test reste très faible. On limite ainsi son auto-échauffement, qui apparaît très rapidement si l'on augmente la durée de conduction (voir figure 3.10).

Cette solution permet d'adapter le dispositif de mesure au calibre du tran-

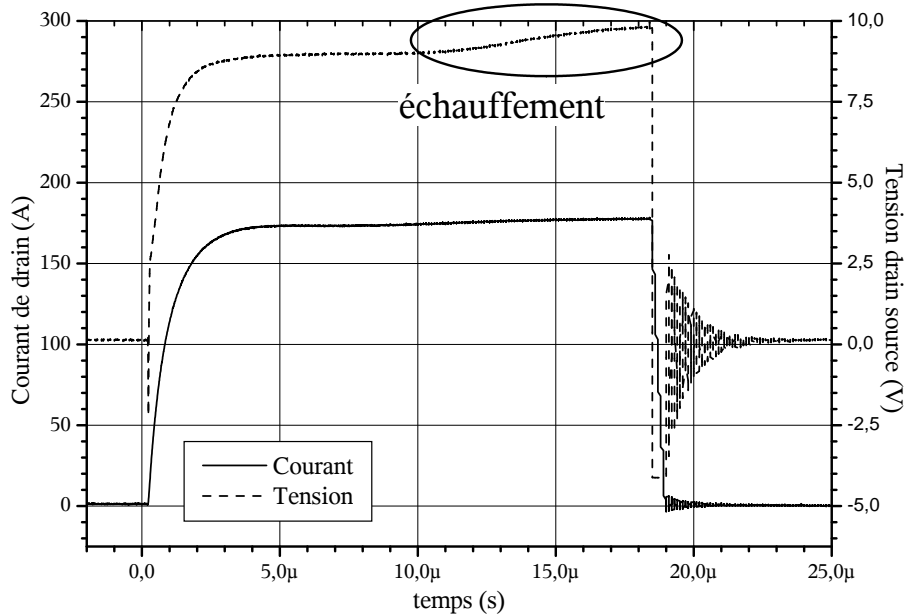


FIG. 3.10 – Mise en évidence de l'auto-échauffement. Signaux mesurés sur le transistor sous test avec le schéma de la figure 3.9.

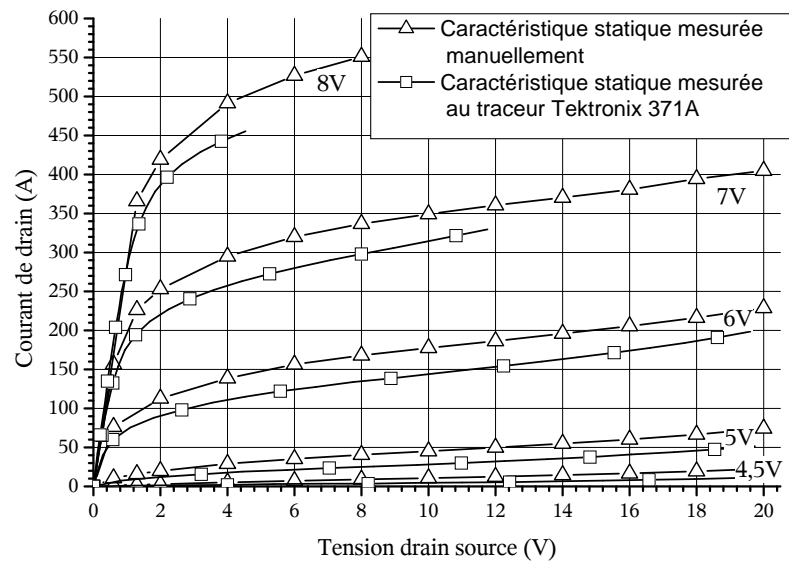


FIG. 3.11 – Comparaison entre les caractéristiques statiques mesurées avec le dispositif de la figure 3.9 et celles obtenues avec le traceur Tektronix 371A

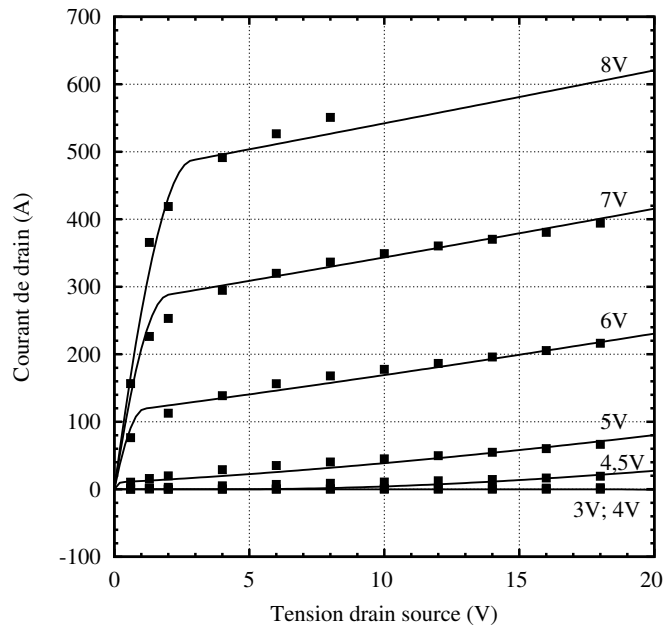


FIG. 3.12 – Comparaison entre les caractéristiques statiques mesurées (points) et identifiées (traits pleins) pour le MOSFET STB210NF02, obtenue à l'aide du dispositif de la figure 3.9.

sistor à mesurer et donc d'obtenir des résultats plus fiables qu'avec le traceur (qui est plus polyvalent). Un circuit RC placé sur la grille du transistor sous test permet de s'assurer que, durant la mesure, le courant de drain passant dans le shunt de mesure ne modifiera pas la polarisation de grille. La source de tension continue permettant de générer la tension v_{DS} est constituée d'une batterie de condensateurs céramiques (de large bande passante) de 1.2 mF et de condensateurs électrolytiques (de forte capacité volumique, mais de faible bande passante) de 80 mF. Cette source peut fournir des intensités importantes (de l'ordre du kiloampère) en un temps très court (uniquement limité par l'inductance de câblage et les $R_{DS_{on}}$ des MOSFET). Une comparaison entre les caractéristiques statiques mesurées avec notre dispositif et avec le traceur *Tektronix* est visible figure 3.11.

Extraction des paramètres du modèle statique K_{plin} , K_{Psat} , θ , σ , V_T sont identifiés en utilisant un algorithme de recuit simulé [Pre92] qui minimise l'erreur quadratique entre le jeu de courbes mesurées au traceur et les résultats du modèle correspondant (voir figure 3.12).

Cet algorithme est basé sur une analogie avec la thermodynamique³ : Lors-

3. nous invitons le lecteur intéressé par une explication plus précise à lire [Pre92] (dont ce pa-

qu'un matériau est porté à haute température, qu'il se liquéfie, ses molécules se déplacent librement entre elles. Lors du refroidissement, on assiste à un figeage (solidification) qui va dépendre du gradient de température. Si l'on effectue un refroidissement brutal (cas de l'acier trempé), on obtient un matériau correspondant à un niveau d'énergie élevé, alors qu'un refroidissement lent (acier recuit par exemple) donne un matériau dont le niveau d'énergie est minimal. Dans un cas, le système s'est figé dans l'état stable le plus proche de celui qu'il avait avant refroidissement, alors que dans l'autre, il a convergé vers l'état stable de plus faible énergie.

La probabilité p qu'un système à la température T possède une énergie E est donnée par la loi de Boltzmann $p(E) = p_0 e^{-E/kT}$. À haute température, de hauts niveaux d'énergie sont ainsi plus probables qu'à basse température, ce qui permet au système de passer d'un état à un autre sans se faire piéger par des minima locaux. Au fur et à mesure du refroidissement, les « passages » d'une vallée à une autre deviennent de moins en moins probables. Pourvu que le refroidissement soit assez lent, le système est assuré d'atteindre son niveau minimal d'énergie. Le lien avec les méthodes d'optimisation se fait en considérant la fonction coût (ici l'erreur entre les caractéristiques statiques mesurée et simulée) comme le niveau d'énergie. La probabilité que l'algorithme accepte une valeur plus mauvaise que le minimum qu'il a déjà trouvé est liée à une « température » imposée et que l'on fait doucement diminuer.

Nous avons vu que dans les MOSFET basse tension, une part non négligeable de la résistance à l'état passant réside dans la connectique, notamment les *bondings* de source (voir la figure 1.13). Cette résistance de source constitue une impédance commune aux circuits de commande et de puissance. La différence de potentiel qui y apparaît lorsque le courant de drain devient important modifie le V_{GS} appliqué sur la puce même, et donc décale le point de fonctionnement mesuré au traceur (un point mesuré à $V_{GS} = 7\text{ V}$, $V_{DS} = 4\text{ V}$ et $I_D = 300\text{ A}$ correspond en fait, pour une résistance de source de $1\text{ m}\Omega$, au point $V_{GS} = 6,7\text{ V}$, $V_{DS} = 3,7\text{ V}$ si l'on néglige la résistance de drain).

Afin de simplifier le processus d'optimisation numérique, nous avons décidé d'estimer R_S a priori (en fonction du nombre de *bondings* et de leur section) de manière à ne pas rajouter un paramètre (et donc un degré de liberté) à identifier. De la même façon, pour accélérer le calcul, nous retranchons la chute de tension dans R_S aux V_{GS} et V_{DS} mesurés. Les valeurs ainsi obtenues correspondent alors à celles effectivement appliquées sur la puce, et le courant de drain du modèle se calcule sous la forme explicite $I_D = f(V_{DS}, V_{GS})$.

La méthode d'identification automatique donne de bons résultats, visibles figure 3.12. À titre indicatif, le $R_{DS_{on}}$ obtenu pour $V_{GS} = 10\text{ V}$ avec le modèle identifié est de $2,8\text{ m}\Omega$ contre $2,6\text{ m}\Omega$ mesurés (8 % d'erreur).

ragraphe est inspiré) ainsi que les articles qui y sont cités en référence

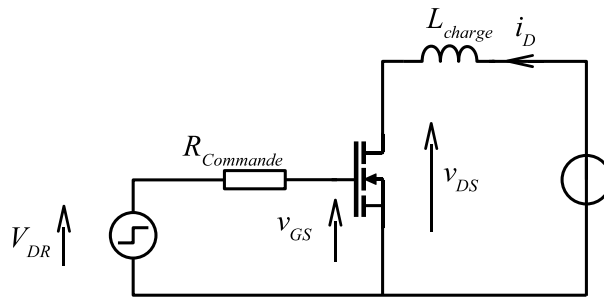


FIG. 3.13 – Dispositif d'ouverture sur circuit inductif sans roue-libre (test UIS)

3.2.1.2 Caractéristique dynamique

Notre méthode de caractérisation des paramètres dynamiques s'appuie sur des mesures temporelles en commutation. Les méthodes classiques (analyse fréquentielle avec une polarisation continue) présentent en effets plusieurs inconvénients, notamment leur grande sensibilité aux conditions de mesure, leur mise en œuvre complexe, et leur éloignement des conditions réelles d'utilisation. Les méthodes temporelles développées au CEGELY s'affranchissent de ces limitations [EO03]. Nous allons les développer plus en détail.

L'identification des paramètres dynamiques s'effectue manuellement⁴ en trois temps. Tout d'abord, on choisit des valeurs pour chacun des paramètres en se basant sur la *datasheet* fournie par le fabricant du transistor (Valeurs de C_{iss} , C_{oss} , C_{rss} notamment). Deux dispositifs expérimentaux permettent ensuite d'affiner les valeurs choisies.

Le premier de ces dispositifs est présenté figure 3.13 et sert à affiner les paramètres régissant les capacités C_{GS} et C_{GD} . Il s'agit d'une ouverture de circuit inductif sans diode de roue libre (aussi appelé UIS pour Unclamped Inductive Switching). L'intérêt est ici de travailler en commutation (donc dynamique) sans pour autant subir l'influence de la diode intrinsèque.

Les résultats de mesure et de simulation sont donnés figures 3.14, 3.15 et 3.16 pour des résistances de grille de 102, 29 et 9 Ω .

Le temps de conduction du transistor a été choisi très court (6 μs) de manière à faciliter l'identification des paramètres d'entrée du modèle : une faible erreur dans la modélisation des capacités C_{GS} , C_{GD} ou R_G se traduit par un temps de conduction modifié, et donc par un courant de drain simulé différent de la mesure. Un temps de conduction plus long aurait masqué ces erreurs.

4. Une identification automatisée est nettement plus complexe que dans le cas de la caractéristique statique, puisqu'il est nécessaire ici de comparer des formes d'onde. Cela a fait l'objet de plusieurs thèses au CEGELY, et nous renvoyons le lecteur intéressé aux thèses de Wei Mi [Mi02] et Hafsa EL-HOMARI [EO03]. Le banc d'identification automatisé basé sur ces travaux n'est malheureusement pas encore adapté au calibre des composants que nous étudions ici

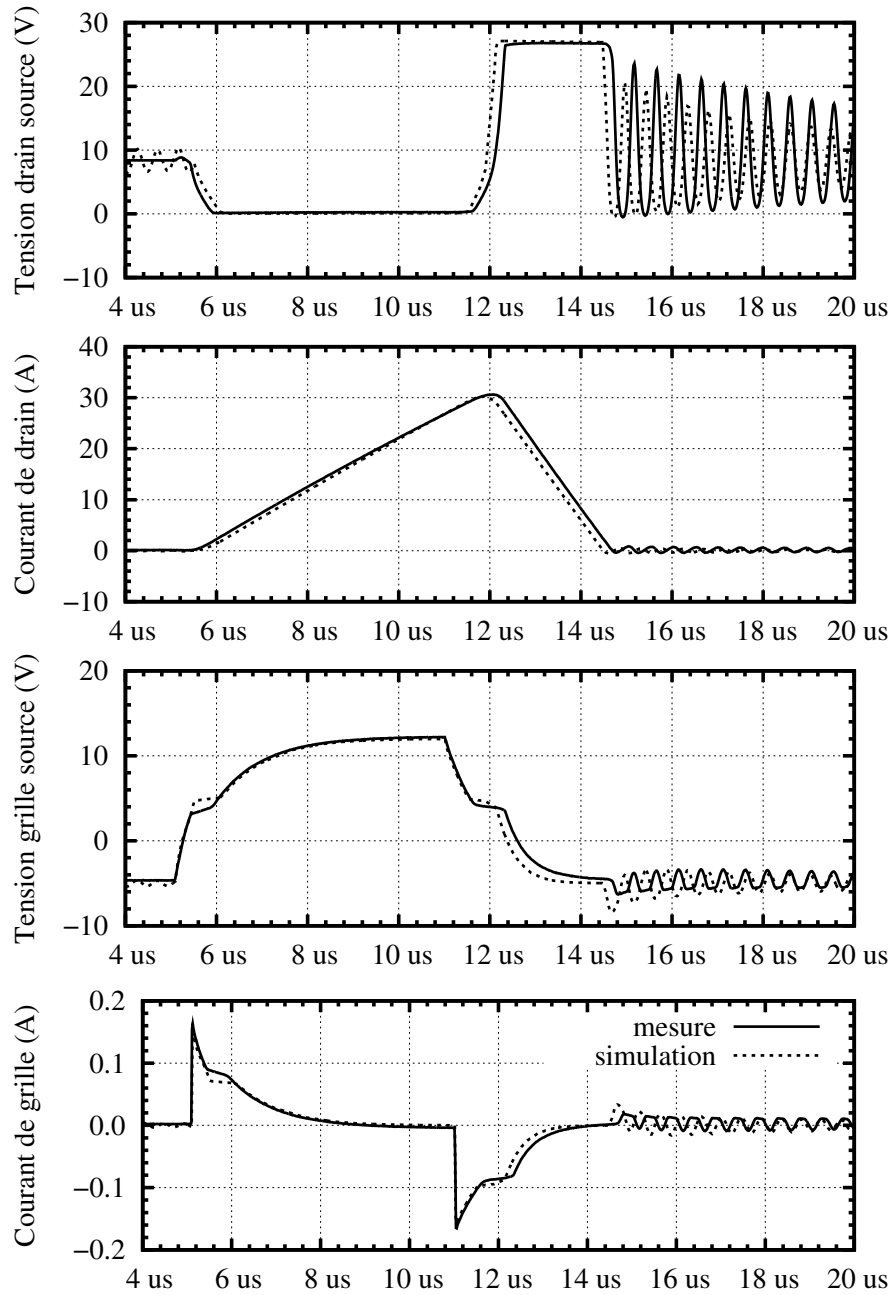


FIG. 3.14 – Comparaison des formes d'ondes sur le dispositif d'ouverture de circuit inductif mesurées et simulées pour une résistance de grille de 102Ω (transistor STB210NF02).

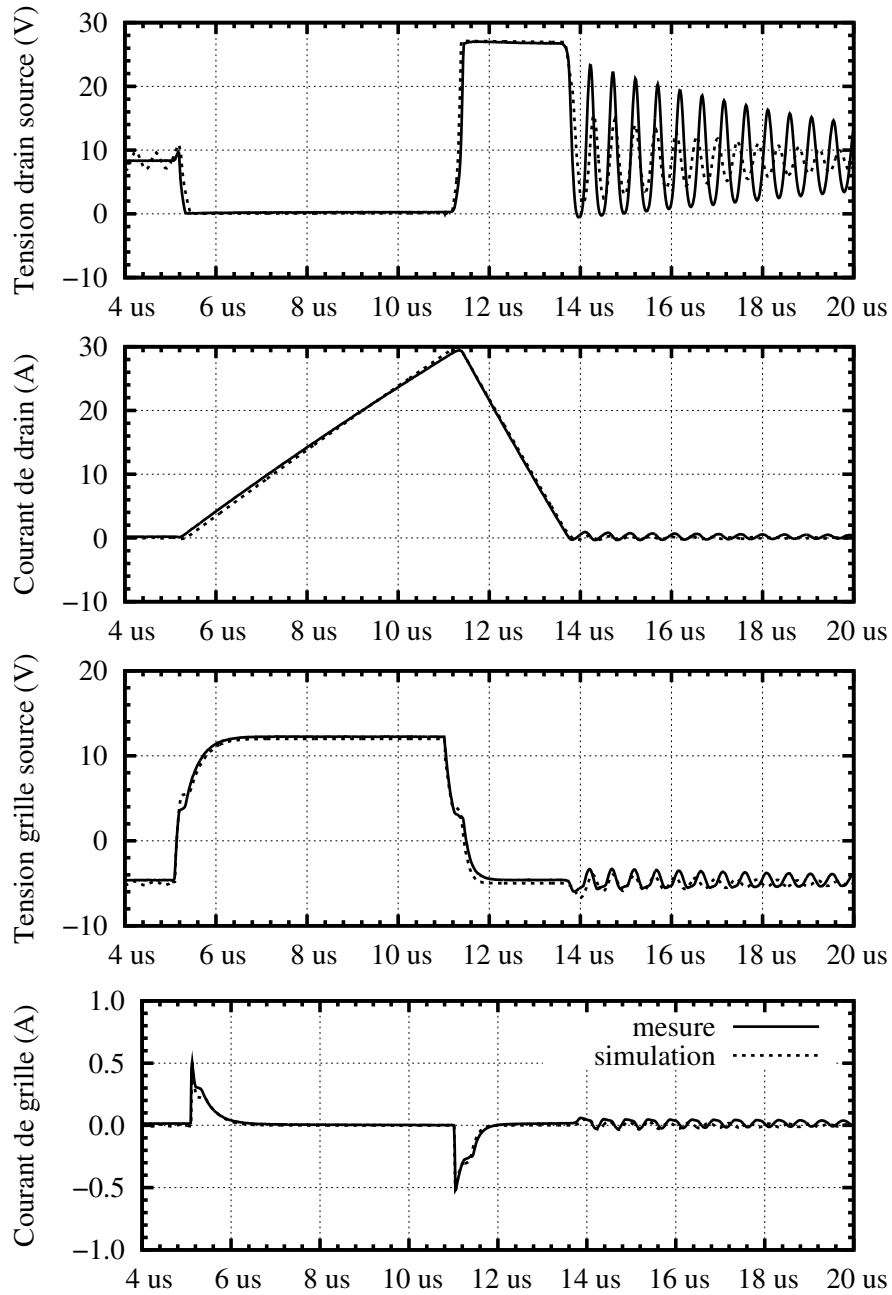


FIG. 3.15 – Comparaison des formes d'ondes sur le dispositif d'ouverture de circuit inductif mesurées et simulées pour une résistance de grille de $29\ \Omega$ (transistor STB210NF02).

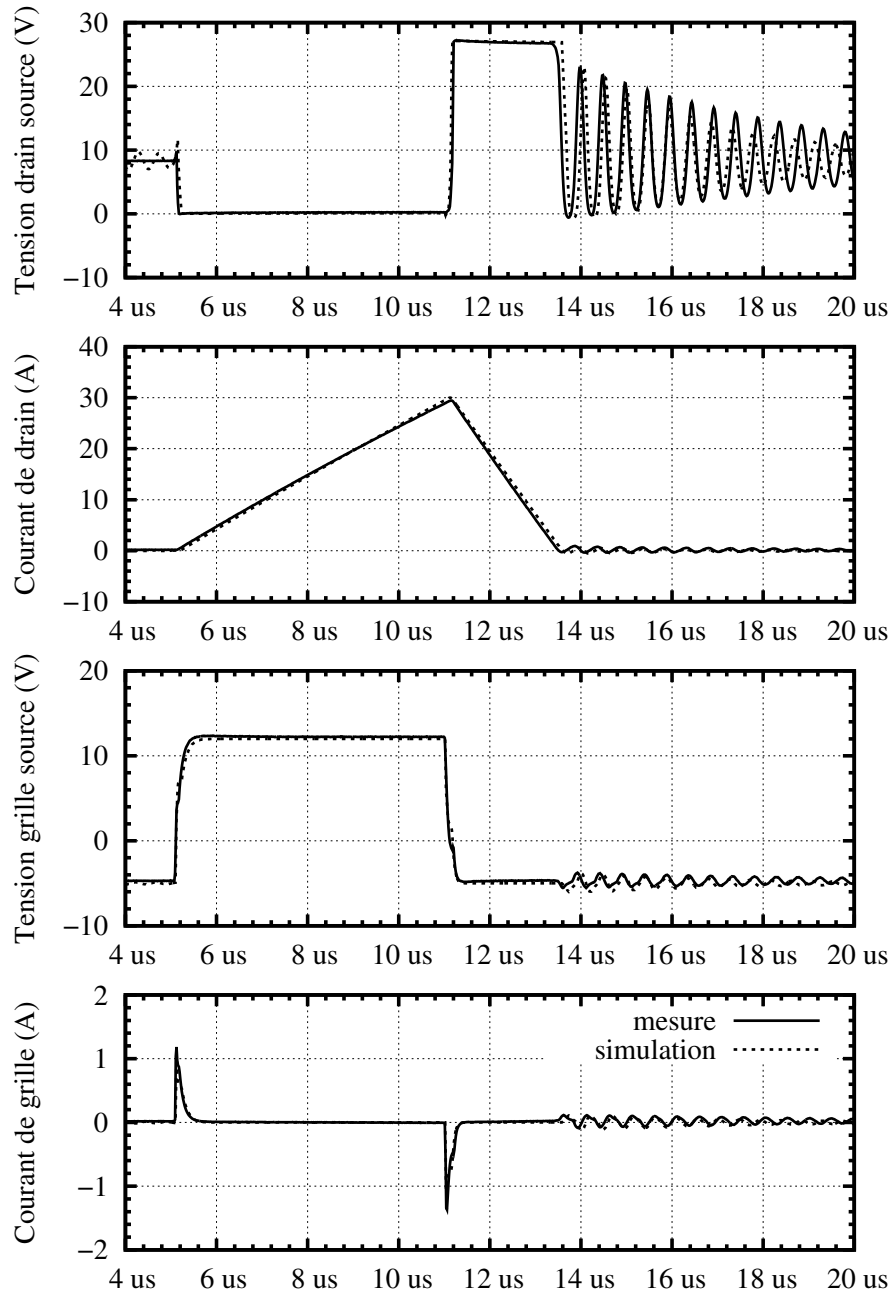


FIG. 3.16 – Comparaison des formes d'ondes sur le dispositif d'ouverture de circuit inductif mesurées et simulées pour une résistance de grille de $9\ \Omega$ (transistor STB210NF02).

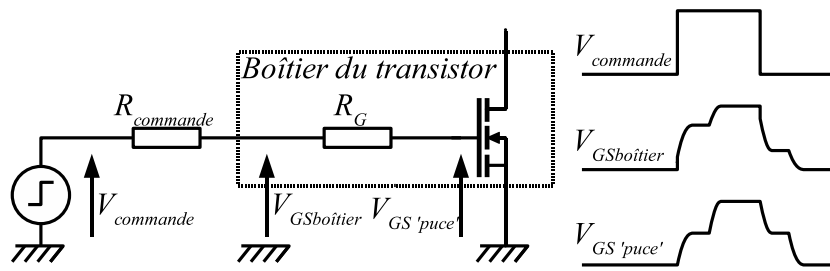


FIG. 3.17 – Effet de la résistance de grille interne (R_G) sur le décalage des tensions de « plateau miller » à l'ouverture et à la fermeture du transistor.

Certaines caractéristiques des formes d'ondes sont spécialement étudiées pour effectuer la comparaison mesure/simulation. Il s'agit :

- de la fréquence des oscillations à l'ouverture ;
- de leur amplitude ;
- de leur amortissement, bien que ce paramètre soit dans une large mesure fonction de la configuration du simulateur, notamment de la précision de simulation demandée ;
- du décalage temporel entre les deux V_{GS} , à la fermeture comme à l'ouverture ;
- des constantes de temps de V_{GS} avant et après le « plateau Miller » ;
- du décalage entre les tensions du « plateau Miller » à la fermeture et à l'ouverture (cela permet d'identifier la valeur de R_G) ;

Les trois premières caractéristiques dépendent de C_{GS} et C_{GD} , les deux suivantes sont également fonction de R_G . La dernière n'obéit qu'à R_G , puisqu'elle correspond à la tension de seuil du composant (V_T) mesurée à travers le pont de résistances formé par $R_{commande}$ et R_G (voir figures 3.17 et 3.18).

Le second dispositif est destiné à l'identification de la diode intrinsèque. Il consiste en une cellule de commutation MOSFET-diode, dans lequel la diode est constituée du transistor à identifier, grille et source étant court-circuités (voir figure 3.19). On utilise un MOSFET de même référence pour la commutation.

Le but du circuit est de forcer l'ouverture de la diode intrinsèque. Les formes d'onde obtenues, notamment les caractéristiques du courant de recouvrement, permettent alors d'identifier les paramètres de la diode interne (A , W , τ_A , τ_D , α et N).

La tension drain—source (c'est à dire cathode—anode pour la diode intrinsèque) et le courant de source (d'anode) sont tracés figures 3.20 et 3.21 pour des tensions V_D de 5 et 20 V respectivement.

Les critères d'identification sont ici la pente de décroissance et le pic de recouvrement du courant à la fermeture du MOSFET. La fréquence des oscillations

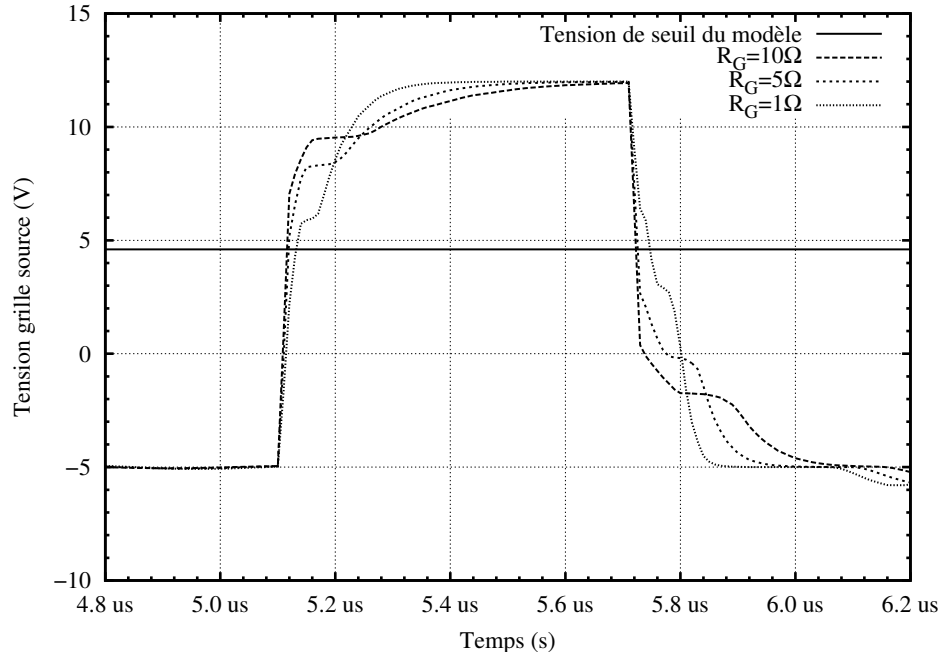


FIG. 3.18 – Influence de la résistance de grille interne (R_G) sur le décalage des tensions de « plateau miller » (tension $V_{GS_{boitier}}$) à l'ouverture et à la fermeture du transistor. Le schéma de simulation est celui de la figure 3.13, avec $R_{commande} = 5 \Omega$ et R_G évoluant entre 1 et 10Ω , mais la durée de commande a été réduite par rapport aux figures 3.14 à 3.16 pour des raisons de lisibilité.

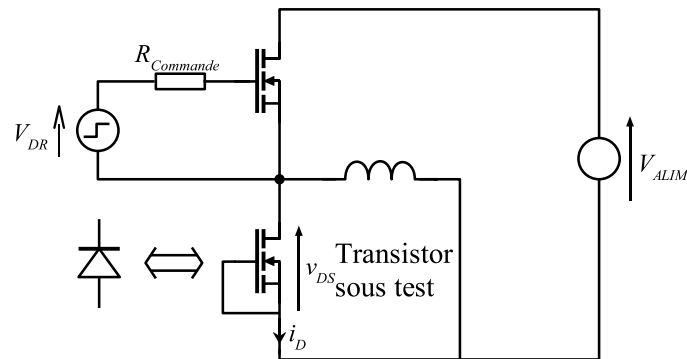


FIG. 3.19 – Dispositif de caractérisation de la diode interne du MOSFET

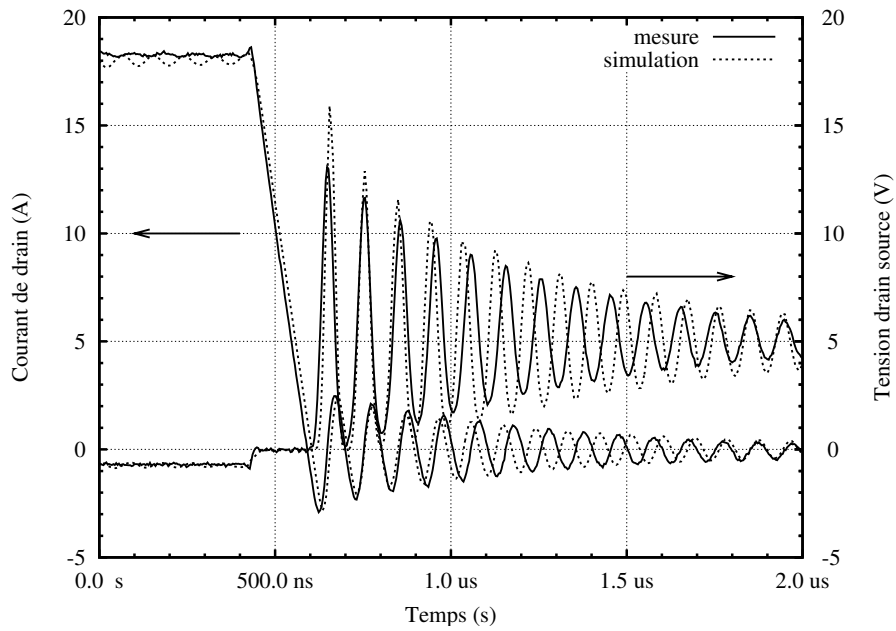


FIG. 3.20 – Comparaison des tensions anode-cathode et du courant d'anode mesurée et simulée lors de l'ouverture de la diode du STB210NF02. Tension d'alimentation de la cellule hacheur : 5 V

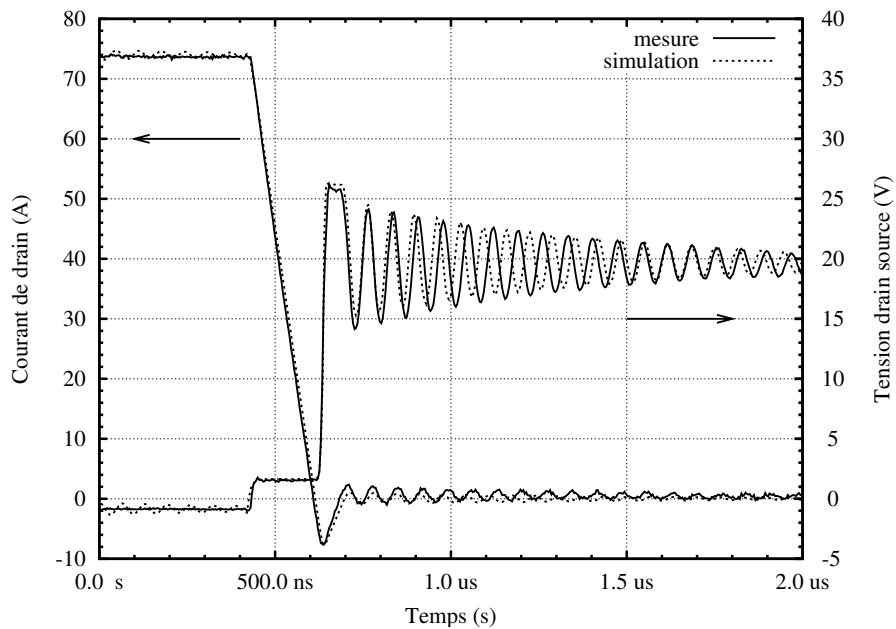


FIG. 3.21 – Comparaison des tensions anode-cathode et du courant d'anode mesurée et simulée lors de l'ouverture de la diode du STB210NF02. Tension d'alimentation de la cellule hacheur : 20 V

est également observée. Enfin, le palier visible sur V_{DS} lors de la décroissance du courant est une bonne indication des inductances de source et de drain.

Dans un premier temps, on cherche à identifier les paramètres A , W , τ_A et N . Une bonne valeur de départ pour A est la surface de la puce du transistor. W et N sont initialement estimés à partir du calibre en tension du composant. Enfin, on considère que τ_A est compris entre quelques dizaines et quelques centaines de nanosecondes. Ces quatre paramètres fixent avec une bonne précision le gradient de courant et le courant de recouvrement à la commutation. τ_D et α permettent ensuite de définir les oscillations qui suivent la commutation. A chaque étape, l'identification est faite manuellement par superposition des courbes issues de simulation et de mesure, ce qui, dans les faits, reste faisable⁵.

La réalisation de ce dispositif de test a été soignée afin de minimiser les inductances parasites du circuit. La source de tension est la même que celle qui est utilisée pour la caractéristique statique (une batterie de condensateurs chimiques épaulés en haute fréquence par 1,2 mF de condensateurs céramique), et la cellule de commutation est placée au plus près (directement réalisée sur les terminaux de la source de tension). En raison de la faible tension V_D (5 à 20 V), la moindre inductance parasite va en effet limiter la vitesse de décroissance du courant, et par là rendre les effets du recouvrement de la diode moins flagrants.

3.2.1.3 Caractéristique statique de la diode intrinsèque

Une fois les paramètres A , W , τ_A , τ_D , α et N de la diode identifiés, il reste à définir les valeurs de V_{bi} et V_{n_0} . Ces deux paramètres sont utilisés dans le calcul de la chute de tension en polarisation directe de la diode intrinsèque (équation (1.46)). Il suffit donc de procéder à une mesure statique à l'aide du traceur *Tektronix 371A*, grille et source du MOSFET étant court-circuités pour neutraliser le transistor ; puis de procéder à un ajustement de ces deux paramètres.

La comparaison entre les résultats de mesure et de simulation est tracée figure 3.22.

3.2.1.4 Fonctionnement en avalanche

Dans les sections précédentes, nous avons fait abstraction des effets électrothermiques, et les caractérisations ont été effectuées à température ambiante (en prenant toutefois les précautions nécessaires pour prévenir l'autoéchauffement des composants). Dans le cas du fonctionnement en avalanche, les niveaux de puissance dissipés dans les MOSFET sont cependant tels qu'on ne peut faire abstraction de l'évolution de la température qu'ils entraînent.

5. Dans le cas du transistor étudié – le STB210NF02 – nous avons pu vérifier que les résultats de l'identification sont cohérents avec notamment, les dimensions et dopages de la couche épitaxiée [She03]

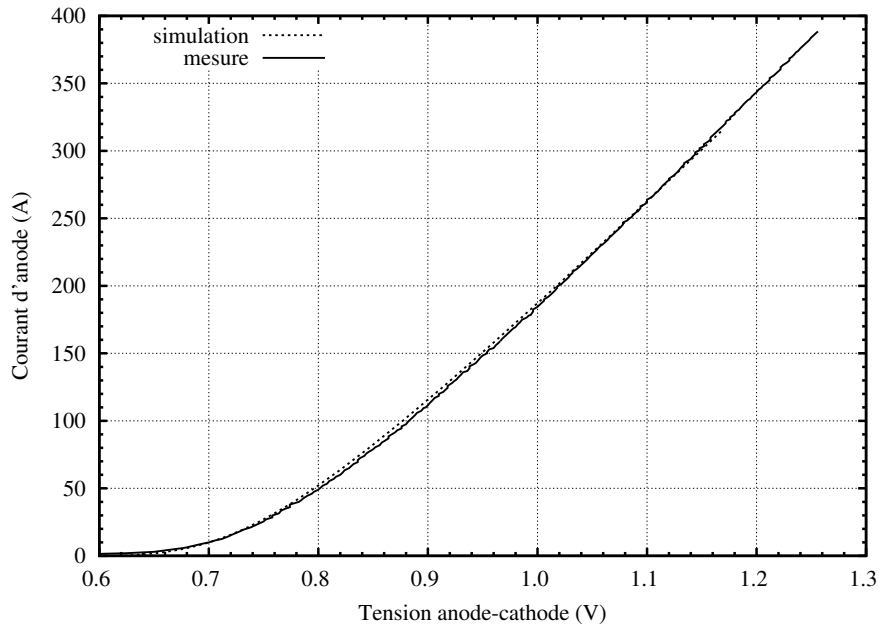


FIG. 3.22 – Identification de la caractéristique statique de la diode intrinsèque du transistor STB210NF02

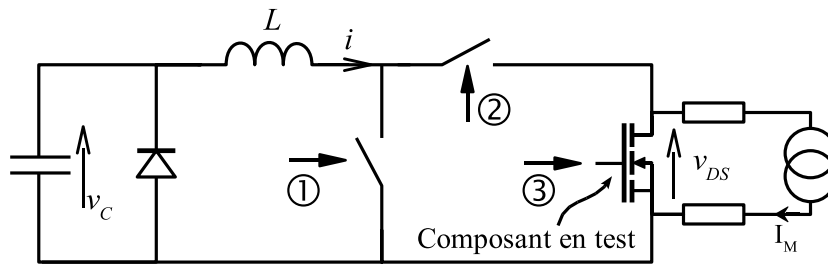


FIG. 3.23 – Dispositif de caractérisation du comportement en avalanche

Le modèle proposé en 1.3.1.4, page 44, est très simple, puisqu'il est linéaire et ne fait appel qu'à trois paramètres : $V_{BR} = V_{BR_0} + \beta T + R_{BR} I_D$. Son identification se fera donc en se plaçant (dans les conditions d'avalanche) en plusieurs points du plan (I_D, T) , et en mesurant la tension drain-source (en régime d'avalanche, on a $V_{DS} = V_{BR}$). Cela nécessite donc de connaître la température interne du transistor.

La méthode classiquement utilisée pour définir la température d'un composant est de le placer dans un flux d'air à la température voulue, de lui laisser le temps d'atteindre l'équilibre thermique, puis d'effectuer la mesure en considérant que la température de l'air et celle du silicium sont identique et que l'auto-échauffement est négligeable. Dans le cas du fonctionnement en avalanche, nous avons vu que la dernière hypothèse n'était pas acceptable en raison du niveau de puissance dissipée. La méthode que nous utilisons ici consiste non pas à imposer une température, mais plutôt à la mesurer.

Afin de pouvoir connaître la température régnant dans la puce d'un transistor MOS durant une phase de fonctionnement en avalanche, un dispositif de mesure spécifique a été construit, représenté figure 3.23. Il permet de soumettre le transistor sous test à une impulsion de courant dont la valeur initiale et la durée sont réglables, puis de mesurer la température atteinte par utilisation d'un paramètre thermo-sensible : la chute de tension aux bornes de la diode interne.

Le principe de fonctionnement est résumé par les chronogrammes de la figure 3.24. La première étape consiste à fixer le courant initial d'avalanche en chargeant les capacités à une tension donnée (phase 1). L'interrupteur ① (constitué de plusieurs MOSFET — dont le calibre en tension est plus élevé que celui du transistor sous test — en parallèle) est fermé en début de cycle, afin de décharger les capacités dans l'inductance L (phase 2). Lorsque la tension v_C s'annule, le courant i est maximum. On vient alors fermer ② (le transistor sous test étant déjà commandé), puis ouvrir ① (phase 3). À ce moment, le courant i circule en totalité dans le transistor sous test, que l'on va ouvrir afin de passer en régime d'avalanche (phase 4). À la fin de la durée choisie pour l'impulsion de courant, on vient refermer ① pour finir de décharger l'inductance, et ouvrir ② pour isoler le transistor sous test du reste du dispositif (phase 5). Un faible courant I_M (inférieur à l'ampère) va alors polariser le transistor sous test, la tension v_{DS} alors mesurée étant proportionnelle à la température de sa diode interne.

En plus du principe général, plusieurs points pratiques peuvent être notés :

- Le transistor sous test est fermé en début de cycle, pour être ouvert alors qu'il est parcouru par le courant maximum. Ce fonctionnement permet de garantir que l'inductance parasite du câblage qui le relie à ① ne provoquera pas un passage en avalanche involontaire de ce dernier lors de l'ouverture du transistor sous test.
- L'interrupteur ① est fermé juste avant l'ouverture de ② (phase 5), afin

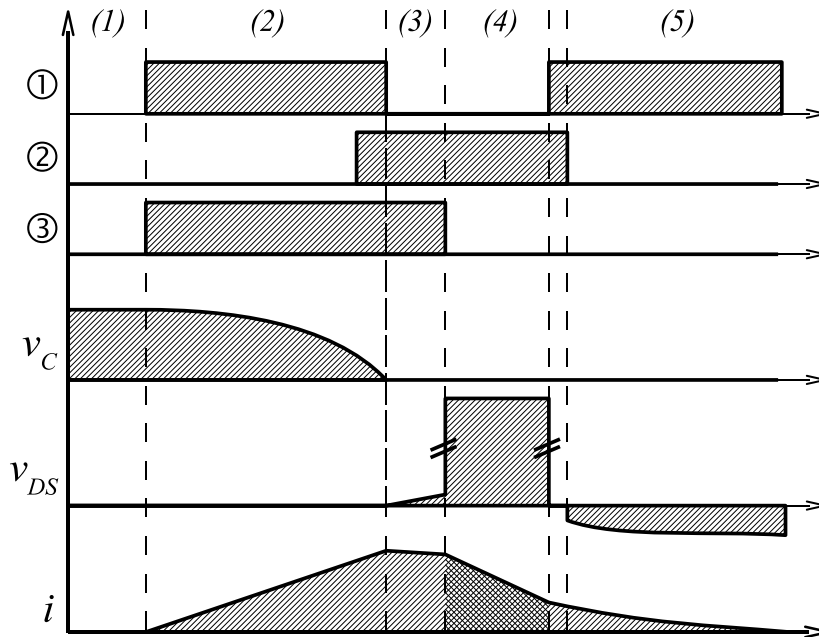


FIG. 3.24 – Chronogramme du dispositif de caractérisation du comportement en avalanche

d'imposer aux bornes du transistor sous test une tension aussi basse que possible. En effet, dès lors que ② est ouvert, v_{DS} ne peut évoluer que par la charge ou la décharge des capacités parasites du MOSFET sous test par le courant de mesure i_M . Ce dernier étant par principe très faible, on a intérêt à réduire l'excursion de v_{DS} . Lorsque ② s'ouvre au début de la phase (5), on a ainsi $v_{DS} \approx 0$.

- Le générateur de courant de mesure est découplé du circuit de puissance par deux résistances de quelques centaines d'Ohms, afin de réduire la variation de potentiel vue par la source, et par là de générer un courant le plus constant possible.
- Le courant circulant dans le MOSFET sous test est mesuré à l'aide d'un shunt T&M de 4,904 m Ω , et la tension v_{DS} lors de la mesure de température est acquise à travers un réseau d'écrêtage à diodes zener, afin d'éviter la saturation des amplificateurs d'entrée de l'oscilloscope.

Lorsque l'on effectue une série de mesures à v_C initial identique, mais en faisant varier la durée de la phase (4) (durée de l'avalanche), on peut reconstruire le profil de température durant la phase d'avalanche. Les figures 3.25 et 3.26 présentent respectivement la tension drain-source et le courant de drain mesurés en faisant croître la durée de la phase (4) par pas de 40 μs environ.

La figure 3.27 représente les tensions drain-source mesurées après chacune

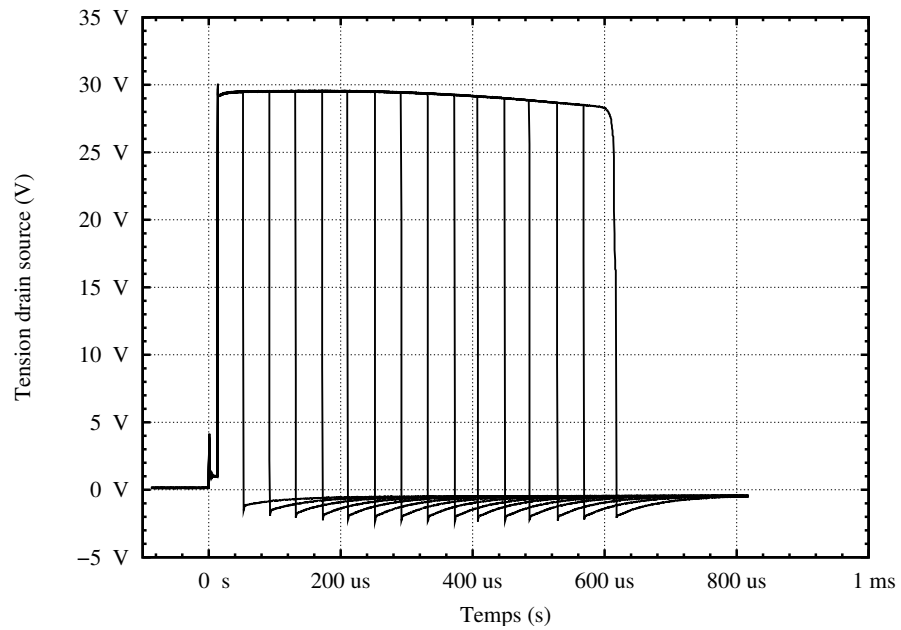


FIG. 3.25 – Tension drain source durant un fonctionnement en avalanche (MOSFET STB210NF02), pour plusieurs durées.

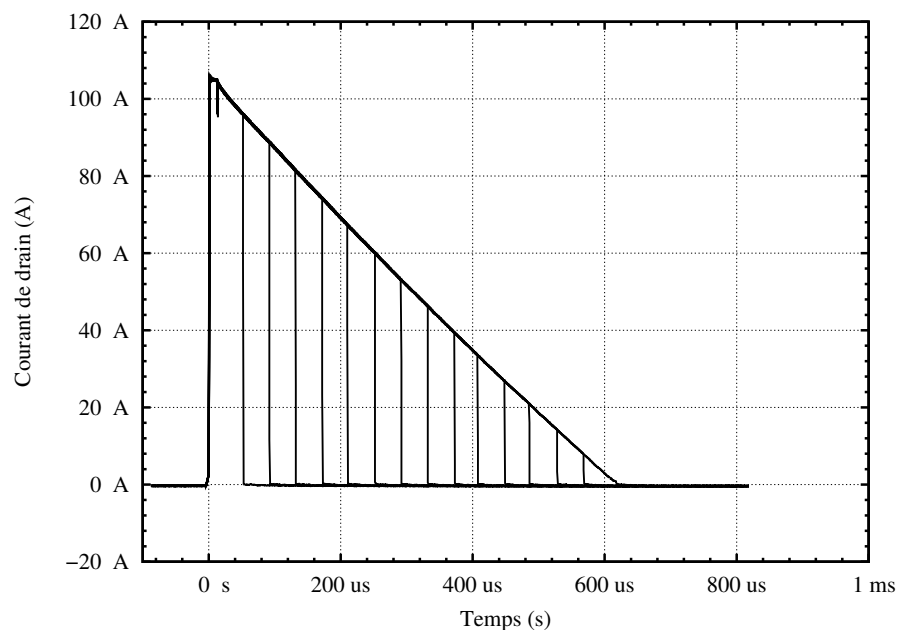


FIG. 3.26 – courant de drain durant un fonctionnement en avalanche (MOSFET STB210NF02), pour plusieurs durées.

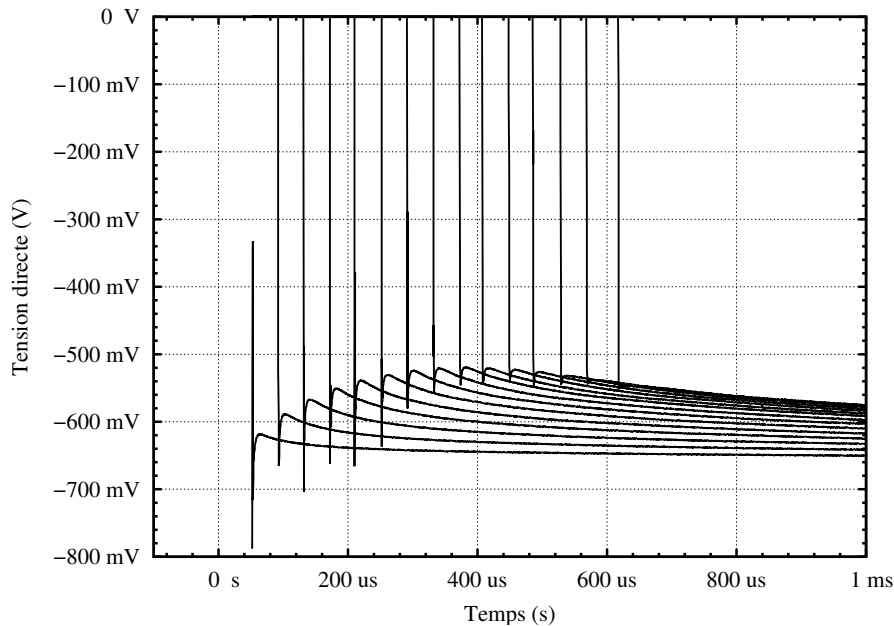


FIG. 3.27 – Chute de tension mesurée aux bornes de la diode interne à la fin de chaque impulsion, image de la température régnant dans le silicium (MOSFET STB210NF02)

des impulsions, alors que le transistor sous test est ouvert, sa diode interne polarisée dans le sens direct par la source de courant de mesure (phase (5) sur la figure 3.24). v_{DS} correspond donc à la chute de tension aux bornes de la diode intrinsèque, c'est une image de la température [Bla82].

Une phase de calibration a été effectuée pour obtenir la fonction $V_F = f(T)$. Le transistor sous test, grille et source court-circuités, diode intrinsèque polarisée par un courant de 0,6 A, a été placé dans un four à air chaud *Tempronic* pour obtenir les points tracés figure 3.28.

À partir de la figure 3.27, il est nécessaire de procéder à une extrapolation de v_{DS} pour remonter à l'instant où l'impulsion de courant cesse dans le transistor sous test. En effet, lors de cette commutation, la mesure de v_{DS} est perturbée, en raison du mauvais blindage de la self L (voir le schéma figure 3.23). Il s'agit d'une inductance à air, choisie pour son comportement proche de l'idéal (pas de saturation, bon comportement fréquentiel) mais dont l'inconvénient majeur est l'absence de noyau pouvant canaliser le champ magnétique. Nous avons pu vérifier qu'en plaçant un blindage sommaire les perturbations sur v_{DS} disparaissaient presque totalement, mais il n'a pas été conservé pour les mesures présentées ici en raison des effets de saturation qu'il fait apparaître (Le courant i ne décroît alors plus linéairement).

Une fois l'évolution de v_{DS} reconstituée, on peut obtenir simplement le pro-

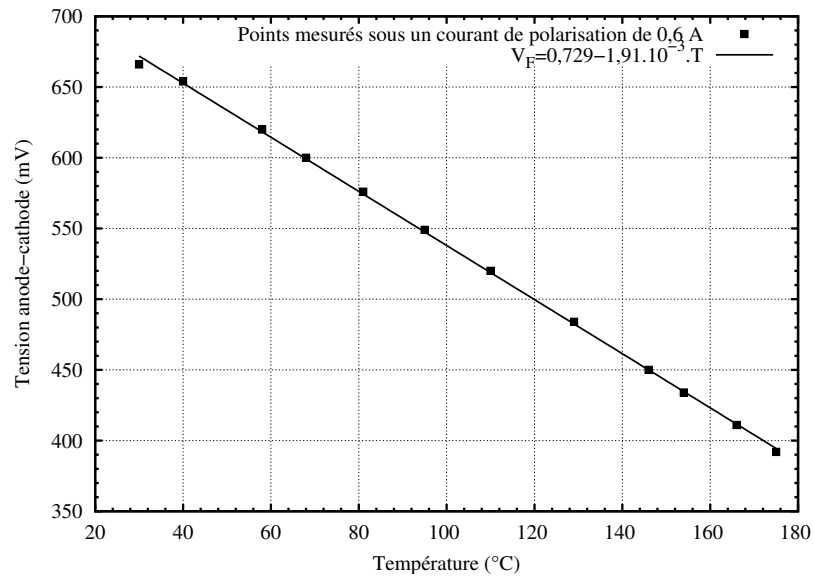


FIG. 3.28 – Courbe de calibration du paramètre thermosensible qui permet de mesurer la température régnant dans le transistor : tension entre drain et source du STB210NF02 dont la diode intrinsèque est polarisée en direct par un courant de 0.6 A, en fonction de la température.

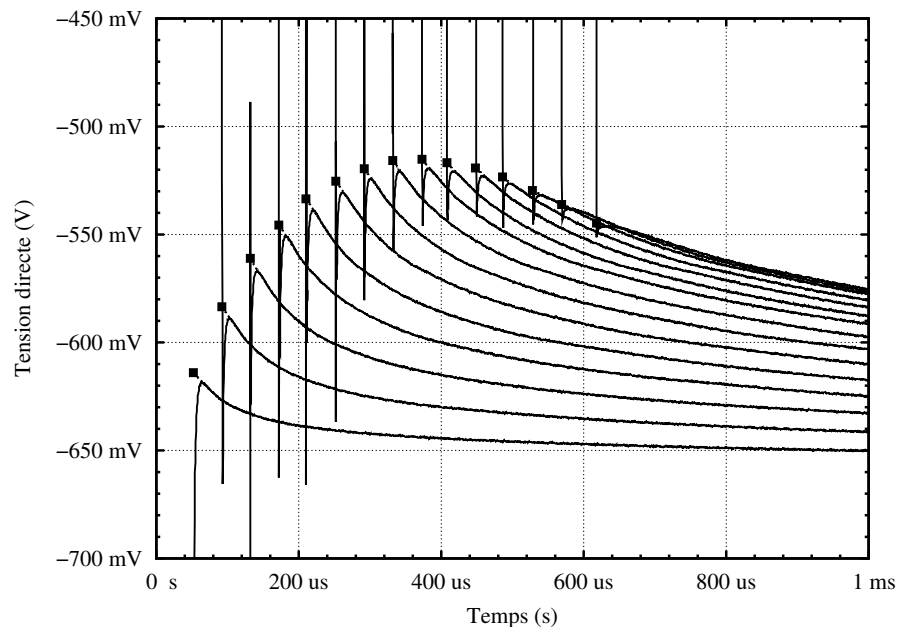


FIG. 3.29 – Extrapolation de la chute de tension v_{DS} (figure 3.27 pour compenser le temps mort entre la fin d'avalanche et le début de la mesure utile de v_{DS}).

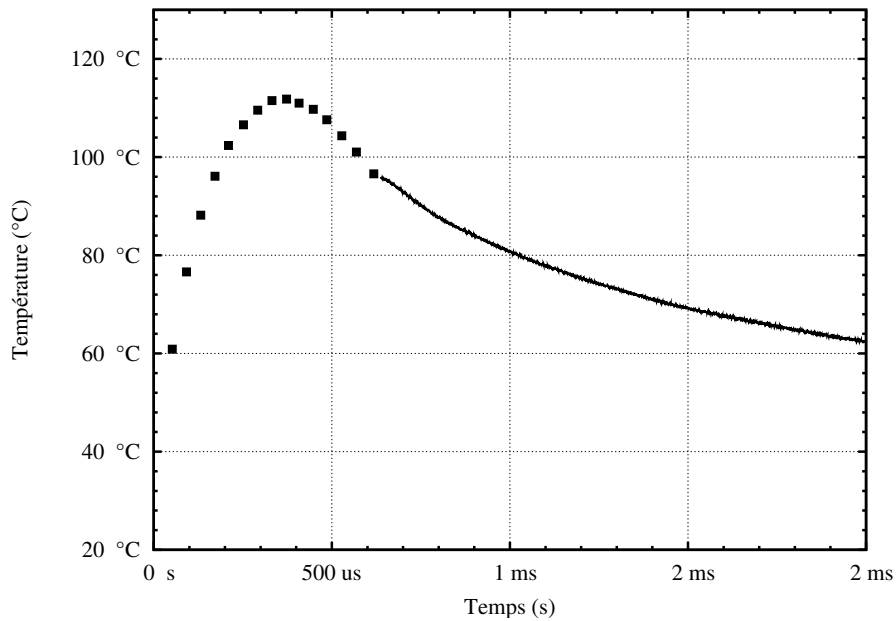


FIG. 3.30 – Évolution de la température du transistor durant l'avalanche puis lors du refroidissement (la température à $t = 0$ est de 30°C)

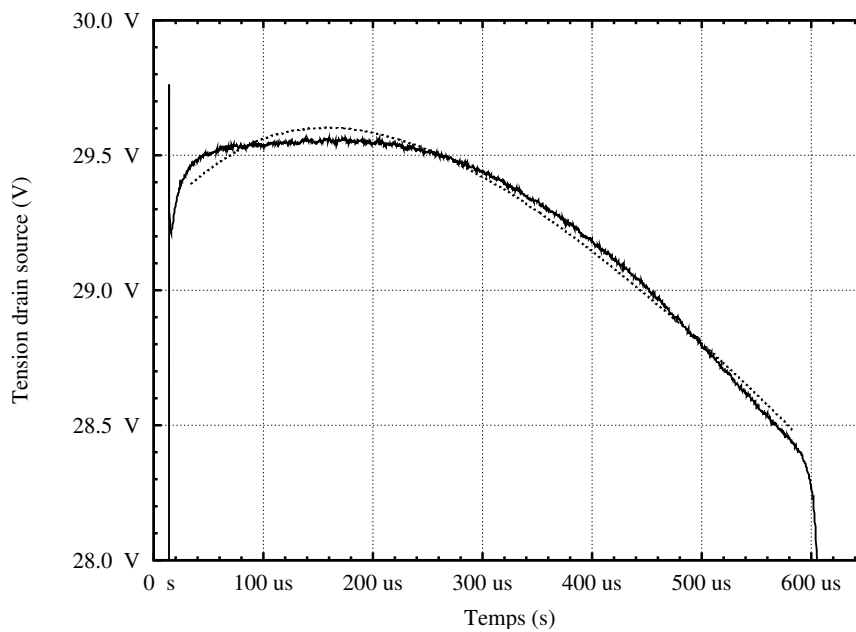


FIG. 3.31 – Comparaison entre la tension drain source mesurée durant l'avalanche et les résultats calculés en appliquant le modèle identifié ($V_{DS_{modele}} = 26,9 + 12,1 \cdot 10^{-3} I_D + 14,8 \cdot 10^{-3} T[V]$) aux courants et températures mesurés.

fil de température dans le composant pendant et après l'avalanche, en utilisant les résultats de la calibration de la diode interne (figure 3.28). Le profil ainsi obtenu est présenté figure 3.30.

On dispose donc à cette étape de la procédure de l'ensemble N de points représentant l'évolution temporelle de I_D , V_{DS} , T nécessaire à l'identification des paramètres du modèle. On recherche alors les valeurs de V_{BR_0} , β et R_{BR} permettant d'obtenir le minimum (au sens des moindres carrés) de

$$\sum_{i=1}^N (V_{DSi} - V_{BR_0} - \beta T_i - R_{BR} I_{Di})^2 \quad (3.12)$$

où V_{DSi} , T_i et I_{Di} sont les valeurs de V_{DS} , T et I_D au point i .

Pour pouvoir juger de la qualité de la modélisation ainsi obtenue, nous avons tracé sur la figure 3.31 la tension V_{DS} mesurée durant l'avalanche et la réponse du modèle correspondante. Cette dernière a été calculée à partir des valeurs de I_D et T mesurées. Les valeurs de T ont été interpolées entre les points de la figure 3.30.

Les valeurs des paramètres identifiés dans cette partie (et les précédentes) sont reprises dans le tableau 3.3 page 121.

3.2.1.5 Récapitulatif des paramètres identifiés

Nous avons résumé dans le tableau 3.3 les valeurs des paramètres obtenues durant la phase d'identification pour le transistor STB210NF02.

La phase de caractérisation statique du MOSFET a permis d'identifier les valeurs de $K_{P_{lin}}$, $K_{P_{sat}}$, θ , σ et V_T (section 3.2.1.1).

Le dispositif d'ouverture sur circuit inductif a été utilisé pour estimer les paramètres des capacités d'entrée (A_{GD} , C_{oxd} , N , C_{GS} et R_G) (section 3.2.1.2).

La cellule hacheur a permis de retrouver les paramètres du modèle de diode intrinsèque grâce aux formes d'onde à l'ouverture de celle-ci (paramètres W , A , τ_A , τ_D , α et N).

Une caractérisation statique de la diode intrinsèque a été nécessaire pour estimer V_{bi} et V_{n0} (section 3.2.1.3).

Un dispositif spécifique de mesure en avalanche a été développé pour obtenir les valeurs de V_{BR_0} , β et R_{BR} (section 3.2.1.4)

R_S , R_D et L_G ont été fixés a priori, à partir du boîtier du transistor, du nombre de *bondings* et de leur section (trois de 500 μm de diamètre dans le cas du STB210NF02). L_S et L_D ont pour leur part été affinés durant les deux phases de caractérisation dynamique.

Paramètre	Valeur numérique	Paramètre	Valeur numérique
$K_{P_{lin}}$	256 $A.V^{-2}$	$K_{P_{sat}}$	201 $A.V^{-2}$
θ	0,298	σ	0,0374
V_T	4,66 V	A_{GD}	0,25 cm^2
C_{oxd}	6 nF	C_{GS}	3,3 nF
W	1,6 μm	A	13 mm^2
τ_A	22,5 ns	τ_D	40 ns
α	0,01	N	$3.10^{16} cm^{-3}$
V_{bi}	0,63 V	V_{n0}	0,028
V_{BR_0}	26,9 V	β	14,8 $mV.K^{-1}$
R_{BR}	12,1 $m\Omega$	R_G	4 Ω
R_S	800 $\mu\Omega$	R_D	200 $\mu\Omega$
L_G	10 nH	L_S	4 nH
L_D	2 nH		

TAB. 3.3 – Paramètres du modèle de MOSFET STB210NF02

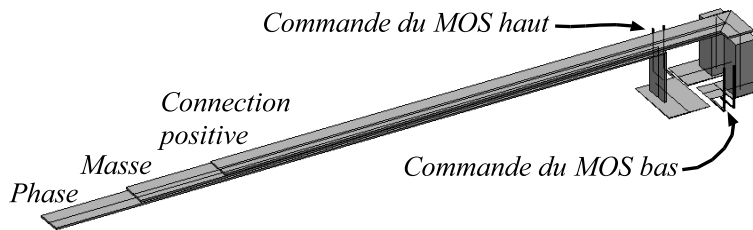


FIG. 3.32 – Représentation de la cellule de commutation décrite à l'aide d'InCa. On peut notamment y voir les longues connexions nécessaires pour relier la cellule à l'extérieur du calorimètre

3.2.2 Câblage

3.2.2.1 Modélisation inductive et résistive

L'identification du modèle de câblage n'appelle pas de commentaire supplémentaire par rapport à ce qui a été vu au chapitre 2. La cellule de commutation utilisée dans le processus de validation (dans la suite du présent chapitre) est visible figure 3.32. Elle s'insère dans le dispositif de mesure calorimétrique vu en 3.1.2 (ce qui explique la longueur des connexions). Le modèle obtenu est en annexe B.

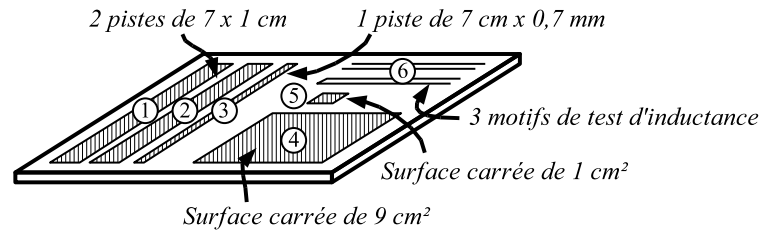


FIG. 3.33 – Motifs de test réalisés sur SMI

3.2.2.2 Modélisation capacitive

Une série de motifs de test, visible figure 3.33, a été réalisée sur un SMI. Les capacités parasites de ces différents motifs ont été mesurées au pont *HP4194A*, et les résultats sont donnés dans le tableau 3.4

Piste	Capacité mesurée	Capacité surfacique
1	493 pf	70 pf/cm ²
2	486 pf	69 pf/cm ²
3	45,9 pf	66 pf/cm ²
4	619,6 pf	69 pf/cm ²
5	74,4 pF	74 pf/cm ²

TAB. 3.4 – Valeurs de capacités mesurées au banc *HP4194*

On observe une capacité surfacique sensiblement constante, avec un maximum pour la piste 5 dont le rapport périmètre/surface est le plus grand (4 cm^{-1}). Les pistes 1, 2 et 4 ont des capacités surfaciques égales, et leurs rapports périmètre/surface sont relativement proches (respectivement $2,3 \text{ cm}^{-1}$ pour les deux premières et $1,3 \text{ cm}^{-1}$ pour la troisième).

La piste 3, malgré un rapport périmètre/surface de $3,3 \text{ cm}^{-1}$ a la capacité surfacique la plus faible, probablement causée par l'imprécision de la mesure (la capacité de la piste est la plus faible, et on ne peut guère espérer une précision de mesure meilleure que 10 %)

Il en ressort que si l'on peut voir l'influence des effets de bords sur les capacités, ceux-ci sont suffisamment faibles pour être négligés devant les imprécisions de mesure. On peut donc espérer obtenir une valeur correcte de la capacité de piste par la formule

$$C_{eq} = \frac{\epsilon_{isolant} S}{e_{isolant}} \quad (3.13)$$

Nous ne ferons donc pas appel à des formulations plus complexes de type

Wheeler-Schneider [Bog88]. De plus, ces formulations ne seront utilisées que dans le cas d'une cellule de commutation avec plan de masse (SMI) (chapitre 4). La cellule que nous avons utilisée pour la validation de la modélisation étant réalisée sur circuit imprimé simple face, aucune capacité parasite n'a été prise en compte. Il faut cependant noter que des travaux sont actuellement en cours sur la modélisation fine de ces capacités dans le cadre notamment de la prédiction des performances CEM [SAT04]

Les motifs 6, destinés aux mesures inductives, n'ont pas pu être utilisés : leur valeur d'inductance est bien en deçà de celle de l'appareillage de test...

3.3 Validation

Après avoir présenté les modèles dans les chapitres 1 et 2, puis avoir identifié les valeurs de leurs paramètres dans la première partie du présent chapitre, nous allons nous assurer de leur validité.

Les mesures présentées dans cette partie ne prétendent pas à l'exhaustivité, puisqu'elles n'ont été effectuées qu'en des points de fonctionnement bien précis (représentatifs cependant du domaine d'utilisation du convertisseur). Le calorimètre utilisé pour les mesures qui suivent réclamant de nombreuses opérations manuelles, une étude de la validité de la modélisation sur tout le domaine de tension et courant (voir [Mi02] pour ce type de validation) est difficilement envisageable.

L'intérêt est ici d'effectuer l'assemblage des différents modèles constituant la cellule de commutation, les paramètres de ces modèles ayant été identifiés par ailleurs, et de comparer « sans retouche » mesure et simulation. Il s'agit donc autant de vérifier que les modèles sont suffisamment précis que de s'assurer que la procédure d'identification est correcte.

3.3.1 Mesures calorimétriques

Nous avons vu en 3.1.2 que les méthodes indirectes de mesure de puissance (acquisition des formes d'onde de courant et de tension, puis intégration du produit sur une période) étaient très sensibles à la précision de mesure.

De la même manière, si l'on simule les pertes d'un convertisseur — ce qui correspond à utiliser une méthode indirecte puisqu'on calcule les puissances d'entrée et de sortie du convertisseur —, les résultats seront fortement conditionnés à la qualité de la modélisation. Une erreur dans les valeurs d'inductances parasites ou dans les capacités du transistor se traduisent implacablement par une vitesse de commutation différente, donc des pertes modifiées. Si la caractéristique statique du MOSFET est mal identifiée, il y aura un écart entre les pertes en conduction simulées et mesurées.

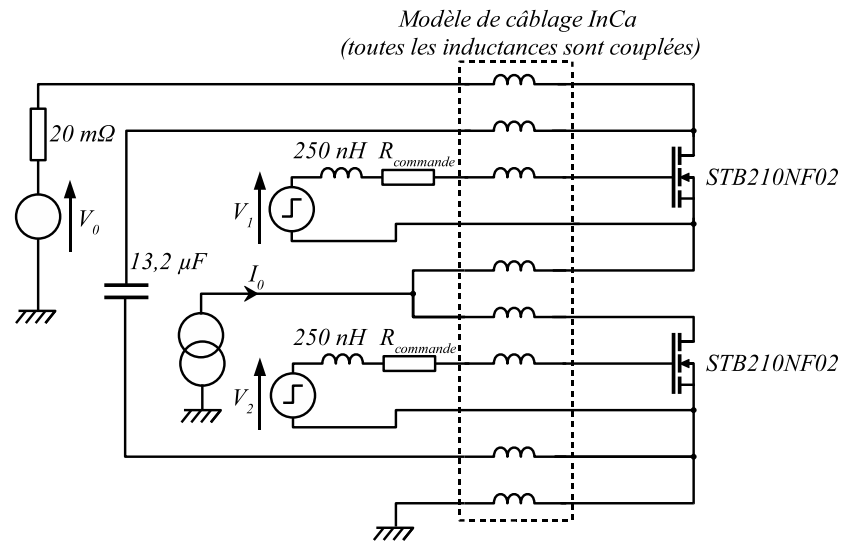


FIG. 3.34 – Schéma de simulation pour la comparaison avec les mesures calorimétriques.

Dans cette section, nous allons comparer des mesures de pertes réalisées au calorimètre (méthode de mesure directe, précise) et les résultats obtenus par simulation de la même structure (par méthode indirecte, sensible aux imprécisions). L'intérêt de cette démarche, outre sa grande sensibilité aux erreurs de modélisation qui en fait un critère de validation exigeant, est qu'elle offre un moyen de comparaison simple, numérique.

La comparaison de deux formes d'ondes, l'une simulée, l'autre mesurée est en effet souvent périlleuse, en raison du grand nombre de paramètres que cela recouvre. Pour comparer deux signaux, et donc pouvoir juger de leur degré de corrélation, [Mi02] propose de les décomposer en paramètres élémentaires (décalage temporel, fréquence, amplitude et amortissement des oscillations, pente des fronts, ...), puis de générer un facteur de mérite égal à la somme des erreurs de chacun d'eux. Cette méthode nécessite cependant un traitement des signaux de façon à en extraire les paramètres qui peut s'avérer lourd à mettre en place.

3.3.1.1 Dispositif de validation

Le dispositif de mesure est représenté figure 3.6, page 98. Il comprend un bras d'onduleur, alimenté par une source de tension V_0 et une source de courant I_0 . Pour des raisons pratiques, la source V_0 est en fait constituée d'une charge active (un récepteur) et d'un banc de capacités (une centaine de mF).

Le schéma de la figure 3.34 est le modèle correspondant utilisé en simula-

tion. Il comprend :

- les deux transistors STB210NF02 et le modèle de câblage de la cellule dont nous avons identifié les paramètres ;
- deux inductances de commande de 250 nH dont la valeur a été mesurée au pont HP4194 ;
- deux générateurs d'impulsion V_1 et V_2 supposés parfaits en série avec les résistances de commande correspondantes ;
- un condensateur considéré comme idéal, constitué en fait de six condensateurs de 2,2 μF céramiques en boîtier CMS en parallèle. Ces condensateurs sont très performants, sur une large bande de fréquences et leurs résistances et inductances série sont difficiles à mesurer du fait de leur faible valeur. Nous avons cependant vérifié que ces condensateurs ne chauffaient pas de manière notable, preuve qu'ils ne dissipent que peu d'énergie ;
- une source de courant I_0 ;
- une source de tension V_0 en série avec une résistance de 20 $m\Omega$, valeur obtenue expérimentalement.

On voit donc que seuls deux éléments supplémentaires sont issus de l'expérience : l'inductance de commande et la résistance série de V_0 . La première ne peut être simulée par InCa, puisqu'il s'agit de fil souple torsadé, mais ne peut être négligée en raison de la longueur de ce dernier (il assure la liaison entre les drivers situés à l'extérieur du calorimètre et les transistors sous test). La résistance parasite de la source de tension a été obtenue par identification sur un convertisseur en fonctionnement, de manière à avoir le même amortissement des oscillations basse fréquence en simulation et en mesure. Il faut noter que cette valeur est très imprécise et qu'elle correspond à un modèle très simplifié de l'impédance des condensateurs qui constituent V_0 .

Tous les autres éléments sont soit issus de la phase d'identification expérimentale (MOSFET) ou numérique (câblage) soit des éléments imposés, comme les sources de tension et de courant et les résistances de commande. Ces derniers constituent les paramètres sur lesquels nous allons jouer pour nous placer dans différents points de fonctionnement du convertisseur, et sont résumés dans le tableau 3.5.

Dans une cellule de commutation MOSFET-diode (type hacheur), l'énergie dissipée durant un cycle de commutation peut se décomposer comme suit [Amm02]

$$E_{tot} = P_{off}t_{off} + E_{on} + P_{on}t_{on} + E_{off} \quad (3.14)$$

où les indices « on » et « off » se réfèrent à l'état du transistor, P est le terme de pertes en conduction (lorsque le système est dans un état quasi-statique), t la

Paramètre	Valeurs		
Fréquence de découpage	20 kHz	50 kHz	100 kHz
Temps mort	400 ns	2 μs	
$R_{commande}$	2,3 Ω	100 Ω	
V_0	10 V	20 V	
I_0	30 A	70 A	

TAB. 3.5 – Paramètres de fonctionnement du bras d'onduleur pour la mesure calorimétrique

durée de cet état et E l'énergie de commutation pour passer de l'état « on » à l'état « off » ou vice versa.

Dans un bras d'onduleur, les interrupteurs haut et bas sont identiques, d'où $P_{off} = P_{on}$. Si l'on pose $E_{commut.} = E_{on} + E_{off}$, on obtient

$$E_{tot} = P_{off}(t_{off} + t_{on}) + E_{commut.} \quad (3.15)$$

La puissance dissipée se calcule alors en multipliant cette équation par la fréquence de découpage F (ou en divisant par la période $T = \frac{1}{F}$)

$$P_{tot} = P_{off} \frac{t_{off} + t_{on}}{T} + F \times E_{commut.} \quad (3.16)$$

En considérant que $t_{off} + t_{on} = T$, on peut alors écrire la puissance dissipée comme la somme d'un terme indépendant de la fréquence de découpage (pertes en conduction) et un terme qui lui est proportionnel (pertes en commutation) :

$$P_{tot.} = P_{cond.} + F \times E_{commut.} \quad (3.17)$$

En faisant travailler le convertisseur à deux fréquences de découpage F_1 et F_2 , on peut alors effectuer la décomposition :

$$\begin{cases} P_1 = P_{cond.} + F_1 \times E_{commut.} \\ P_2 = P_{cond.} + F_2 \times E_{commut.} \end{cases} \quad (3.18)$$

d'où :

$$\begin{cases} E_{commut.} = \frac{P_1 - P_2}{F_1 - F_2} \\ P_{cond.} = P_1 - F_1 \times E_{commut.} \end{cases} \quad (3.19)$$

Cette séparation commutation—conduction va nous permettre d'attribuer, le cas échéant, les différences entre mesure et simulation soit aux éléments de la caractéristique statique (si $P_{cond.simulation} \neq P_{cond.mesure}$) soit aux éléments dynamiques ($E_{commut.simulation} \neq E_{commut.mesure}$).

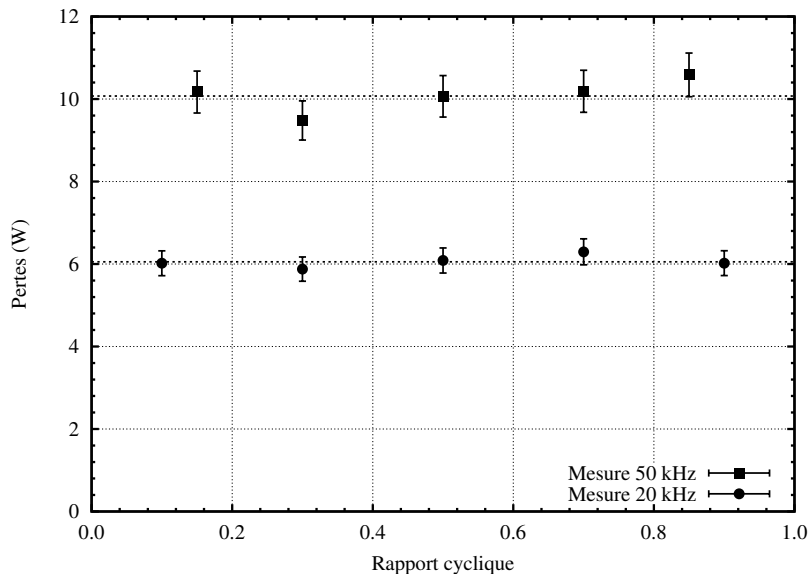


FIG. 3.35 – Évolution des pertes mesurées sur l'ensemble du convertisseur en fonction du rapport cyclique entre interrupteur haut et bas, pour un courant I_0 de 30 A, une tension V_0 de 10 V et un temps mort de 2 μ s.

Afin de vérifier que les pertes du bras d'onduleur ne dépendent pas du rapport cyclique (puisque les transistors haut et bas sont identiques), nous avons effectué les mesures de la figure 3.35.

Il faut noter que les mesures calorimétriques présentées ici sont considérées avec une précision de $\pm 5\%$. Cette valeur est liée au taux d'ondulation de la source de courant, qui est loin d'être parfaite : si on fait l'approximation que les pertes évoluent avec I_0^2 (relation estimée à partir du tableau 3.6 page 134), et d'après le taux d'ondulation de I_0 observé expérimentalement ($\Delta I_0 = \pm 2,5\%$), on obtient en effet $\Delta P_{tot} = 2\Delta I_0 = \pm 5\%$. La méthode de mesure calorimétrique en elle-même permet d'atteindre des niveaux de précision plus élevés (voir section 3.1.2), et l'on a pu vérifier la bonne reproductibilité des résultats au cours du temps.

Enfin, les résultats obtenus figure 3.35 sont meilleurs pour une fréquence de 20 kHz que pour 50 kHz (meilleure linéarité). L'hypothèse de l'indépendance des pertes vis à vis du rapport cyclique n'est en effet valable que si l'énergie de commutation reste elle aussi constante. Hors l'aspect inductif de la liaison entre le convertisseur situé dans le calorimètre et la source de tension V_0 (voir figure 3.34) entraîne l'apparition d'oscillations sur la tension appliquée sur le bras d'onduleur. Suivant le rapport cyclique choisi, la commutation se fera donc à un niveau de tension différent, ce qui entraînera une dissipation de puissance plus ou moins forte. Les oscillations s'ammortissant rapidement, ce phénomène

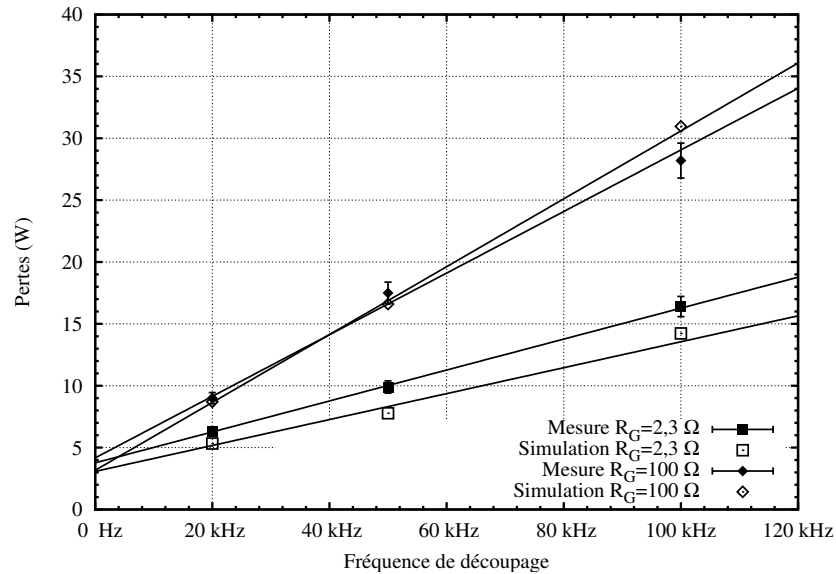


FIG. 3.36 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de $2 \mu\text{s}$, un courant I_0 de 30 A et une tension V_0 de 10 V .

est surtout sensible aux rapports cycliques extrêmes, et à haute fréquence.

3.3.1.2 Résultats

Dans cette partie, nous comparons les résultats de mesure et de simulation obtenus en faisant varier les paramètres du tableau 3.5. Une première série de courbes est présentée pour un courant I_0 de 30 A , faible en comparaison du calibre des MOSFET STB210NF02 (120 A nominaux à $25 \text{ }^\circ\text{C}$ de température jonction) ; une seconde série est ensuite proposée pour un courant de 70 A . Il est difficile de faire travailler le convertisseur à un courant supérieur dans le calorimètre, car les transistors y fonctionnent sans dispositif de dissipation thermique : pour obtenir une bonne qualité de mesure, il est nécessaire de faire dissiper au système sous test une énergie de l'ordre de 500 J . Aux niveaux de pertes les plus élevés que nous ayons mesuré durant cette étude, cela correspond à 4 secondes de fonctionnement en dissipant 120 W . Dans ces conditions, les MOSFET s'échauffent très rapidement, et nous avons pu vérifier qu'il s'agit là de leurs limites de fonctionnement.

Résultats pour $I_0 = 30 \text{ A}$ La figure 3.36 présente le niveau de puissance dissipée par le convertisseur pour un temps mort de $2 \mu\text{s}$ entre l'ouverture d'un des transistors et la fermeture de son complémentaire. On remarque une bonne concordance des pertes en conduction simulées et mesurées (qui correspondent

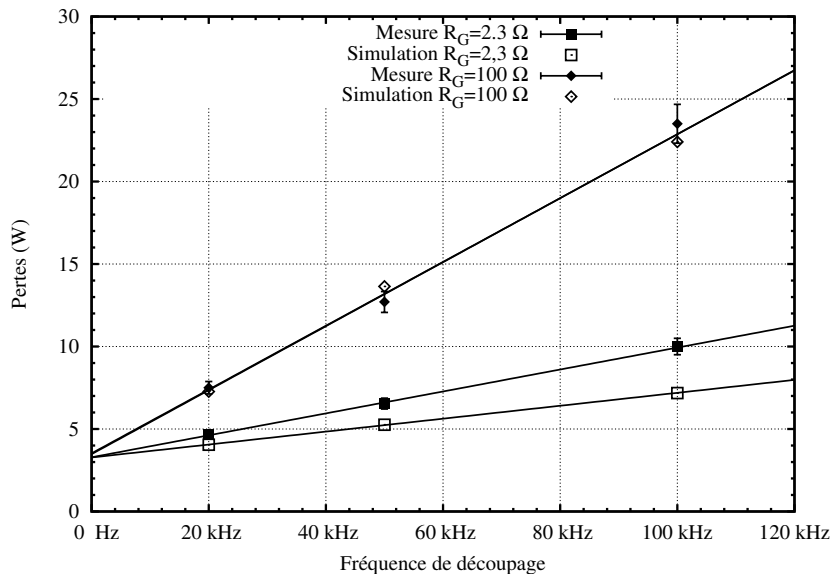


FIG. 3.37 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de 400 ns, un courant I_0 de 30 A et une tension V_0 de 10 V.

à l'ordonnée à l'origine). Les résultats obtenus sur l'énergie de commutation, représentée par la pente des droites de la figure 3.36, sont eux aussi satisfaisants.

La figure 3.37 présente le même type de relevés, obtenus cette fois pour un temps mort de 400 ns. Les pertes en commutation sont sous-estimées dans le cas d'une résistance de grille de 2,3 Ω , mais parfaitement simulées pour $R_G = 100 \Omega$. Les pertes en conduction simulées et mesurées sont très proches.

Pour vérifier la bonne modélisation de la durée de temps mort, une série de mesures (et les simulations correspondantes) a été réalisée pour une fréquence de 50 kHz et une résistance de grille de 100 Ω en faisant varier la valeur du temps mort de 25 ns à 2 μ s. Les résultats sont visibles sur la figure 3.38. Il apparaît que les courbes de simulation et de mesure sont relativement proches. On peut cependant noter un décalage d'une centaine de nanosecondes entre les deux, vraisemblablement causé par une erreur dans la tension de seuil du modèle : on retrouve un écart du même ordre sur la figure 3.14, page 106. L'augmentation des pertes aux temps morts faibles, qui correspond à un début d'apparition d'un court-circuit de bras (le transistor qui s'ouvre n'a pas encore terminé sa commutation, alors que son complémentaire est déjà fermé), apparaît en effet aux alentours de 250 ns en simulation contre 150 ns expérimentalement.

Résultats pour $I_0 = 70$ A Le même type de relevés que précédemment a été effectué avec un courant I_0 de 70 A. Les résultats sont visibles figures 3.39, 3.40, 3.41 et 3.42. On y retrouve une bonne concordance entre simulation et mesure,

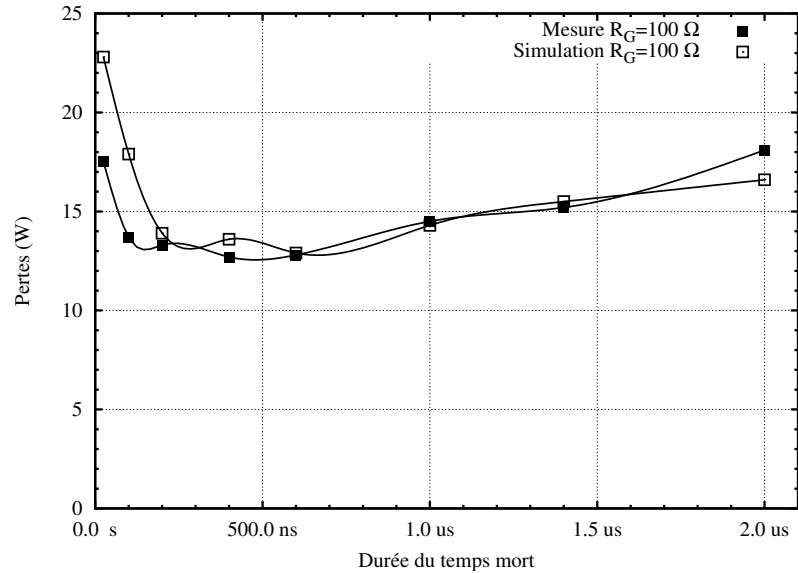


FIG. 3.38 – Evolution des pertes simulées et mesurées en fonction de la durée du temps mort pour $I_0 = 30 \text{ A}$, $R_G = 100 \Omega$ et $V_0 = 10 \text{ V}$.

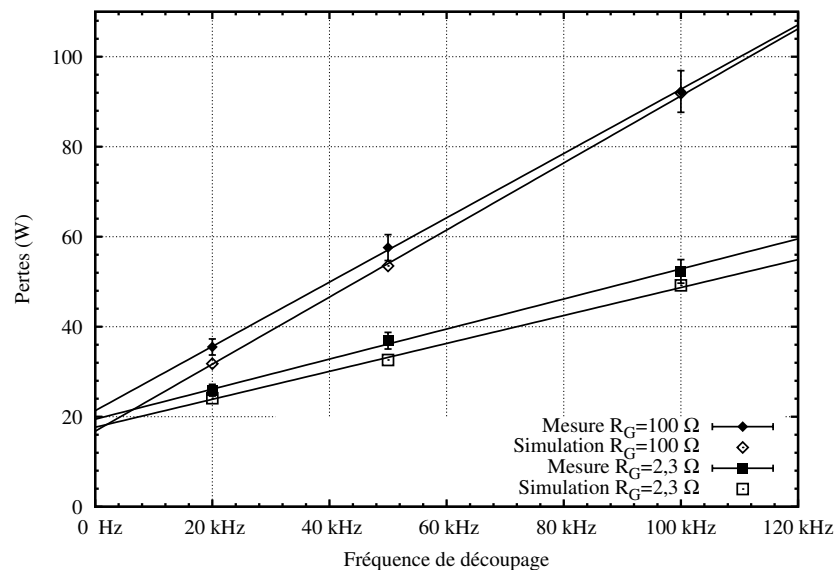


FIG. 3.39 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de $2 \mu\text{s}$, un courant I_0 de 70 A et une tension V_0 de 10 V .

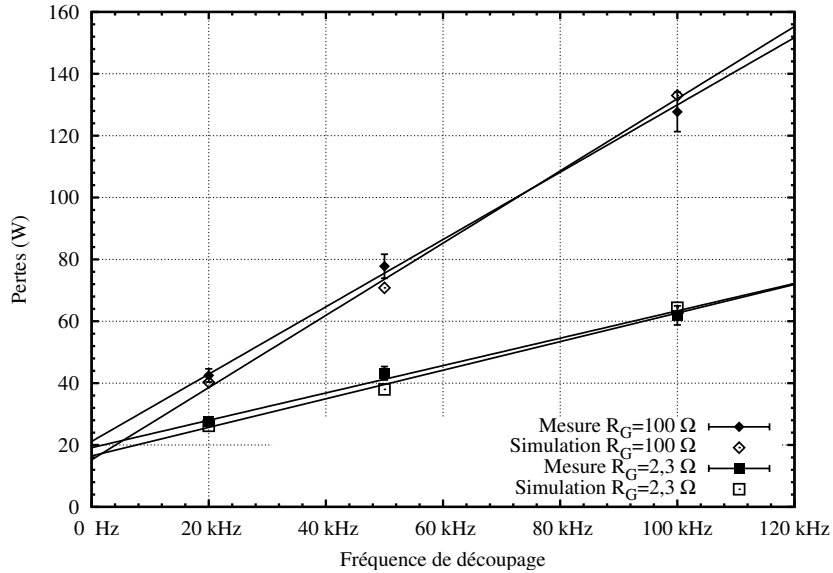


FIG. 3.40 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de $2\ \mu\text{s}$, un courant I_0 de 70 A et une tension V_0 de 20 V.

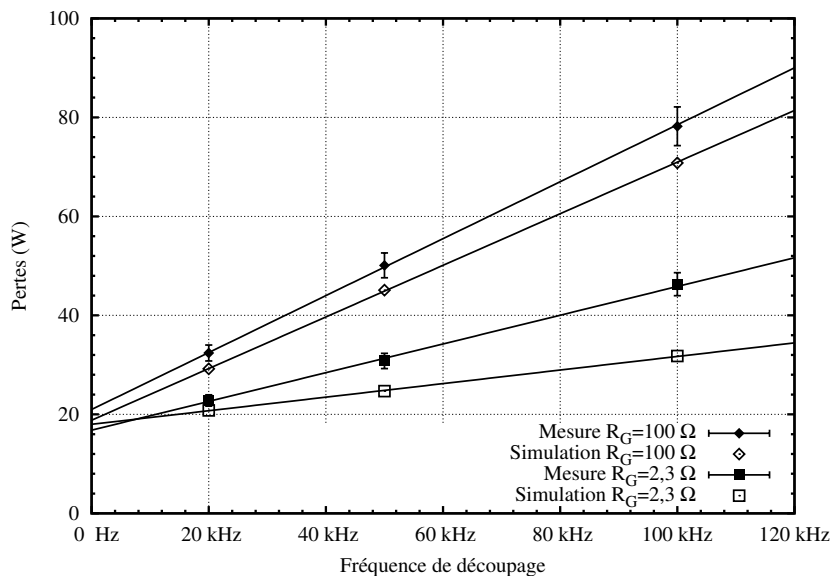


FIG. 3.41 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de 400 ns, un courant I_0 de 70 A et une tension V_0 de 10 V.

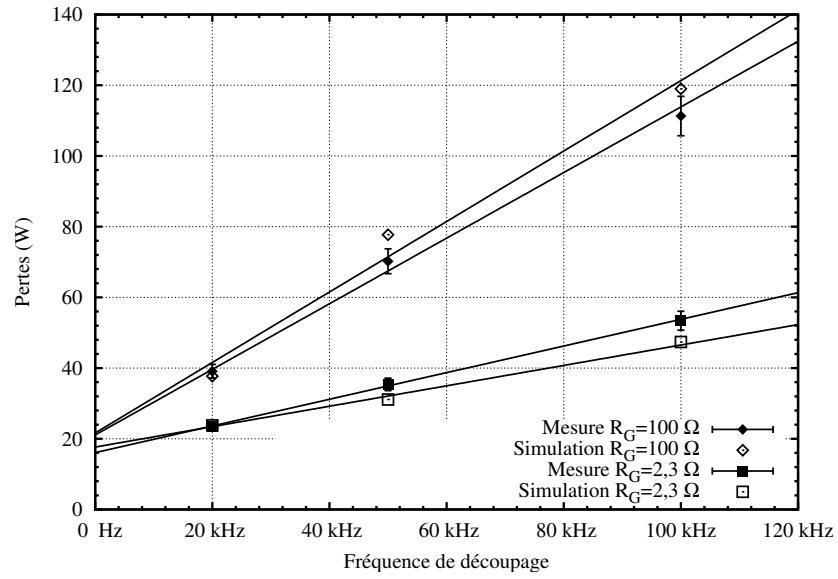


FIG. 3.42 – Pertes simulées et mesurées en fonction de la fréquence pour un temps mort de 400 ns, un courant I_0 de 70 A et une tension V_0 de 20 V.

avec un bémol pour le cas 70 A, 10 V et une résistance $R_G = 2,3 \Omega$ où les pertes en commutation sont largement sous-estimées.

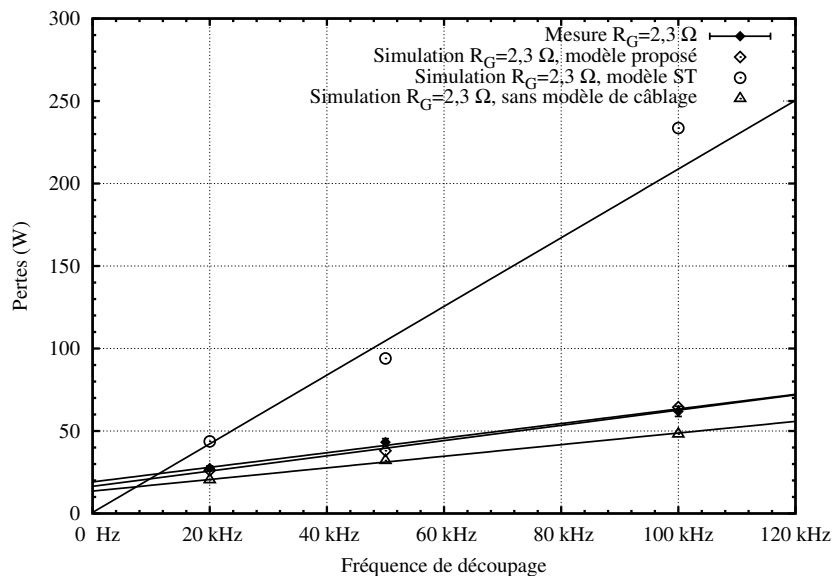


FIG. 3.43 – Pertes mesurées et simulées en utilisant trois modélisations: la modélisation que nous proposons (modèle de MOSFET et de câblage); le modèle du STB210NF02 fourni par STMicroelectronics et le modèle de câblage; le modèle de MOSFET proposé dans cette étude, mais pas de modélisation du câblage. $I_0 = 70 \text{ A}$, $V_0 = 20 \text{ V}$, $R_G = 2,3 \Omega$

Comparaison avec d'autres modèles La société *STMicroelectronics* fournit un modèle *Pspice* du MOSFET STB210NF02. Une simulation de pertes a été effectuée en l'utilisant en lieu et place du modèle identifié ici, le reste du circuit de simulation restant inchangé. Nous avons également procédé à une autre simulation, avec le modèle de MOSFET que nous proposons, mais sans le modèle de câblage. Les résultats sont visibles sur la figure 3.43.

Le modèle « ST » fournit des résultats quelques peu fantaisistes, surtout causés par sa mauvaise modélisation de la diode intrinsèque, les capacités d'entrée étant pour leur part bien modélisées.

L'absence de modèle de câblage conduit à sous-estimer les pertes, ce qui était prévisible, puisqu'il n'y a alors plus à dissiper l'énergie stockée dans le câblage. La non-prise en compte du câblage a un effet relativement faible (surtout par rapport au changement de modèle de MOSFET) car la cellule choisie est très faiblement inductive.

Récapitulatif des résultats de calorimétrie Les pertes en conduction et les énergies de commutation pour les points de fonctionnement traités en simulation et en mesure sont résumées dans le tableau 3.6. Les résultats sont cor-

	Point de fonctionnement				Mesure		Simulation	
	I_0	U_0	R_G	γ	$E_{commut.}$	$P_{cond.}$	$E_{commut.}$	$P_{cond.}$
1	30 A	10 V	2,3 Ω	2 μs	125 μJ	3,8 W	105 μJ	3,1 W
2	30 A	10 V	100 Ω	2 μs	249 μJ	4,2 W	274 μJ	3,2 W
3	30 A	10 V	2,3 Ω	400 ns	66 μJ	3,3 W	39 μJ	3,3 W
4	30 A	10 V	100 Ω	400 ns	193 μJ	3,5 W	194 μJ	3,5 W
5	70 A	10 V	2,3 Ω	2 μs	334 μJ	19,4 W	310 μJ	17,7 W
6	70 A	10 V	100 Ω	2 μs	715 μJ	21,3 W	745 μJ	16,8 W
7	70 A	10 V	2,3 Ω	400 ns	290 μJ	16,8 W	137 μJ	18,0 W
8	70 A	10 V	100 Ω	400 ns	575 μJ	21,0 W	522 μJ	18,8 W
9	70 A	20 V	2,3 Ω	2 μs	443 μJ	19,0 W	462 μJ	16,5 W
10	70 A	20 V	100 Ω	2 μs	1088 μJ	21,1 W	1167 μJ	15,0 W
11	70 A	20 V	2,3 Ω	400 ns	377 μJ	16,1 W	289 μJ	17,7 W
12	70 A	20 V	100 Ω	400 ns	928 μJ	21,1 W	997 μJ	21,6 W

TAB. 3.6 – Résultats obtenus en simulation et en mesure pour les différentes configurations de fonctionnement

	$E_{commut.}$	$P_{cond.}$
1	5 %	18 %
2	10 %	24 %
3	41 %	0 %
4	1 %	0 %
5	7 %	9 %
6	4 %	21 %
7	55 %	7 %
8	9 %	10 %
9	4 %	13 %
10	7 %	29 %
11	23 %	10 %
12	7 %	2 %

TAB. 3.7 – Valeurs absolues des erreurs correspondantes aux résultats du tableau 3.6

rects dans leur ensemble. L'estimation des pertes en conduction est imprécise en raison de l'autoéchauffement : les pertes globales, donc l'échauffement des transistors, augmente avec la fréquence ; cela influe fortement sur le $R_{DS_{on}}$ des MOSFET qui, à son tour, modifie les pertes en conduction. Cet échauffement n'a pas été mesuré, mais il peut être important, puisque nous atteignons expérimentalement des niveaux de dissipation de l'ordre de 130 W, et que nous les maintenons plusieurs secondes.

3.3.2 Mesures temporelles

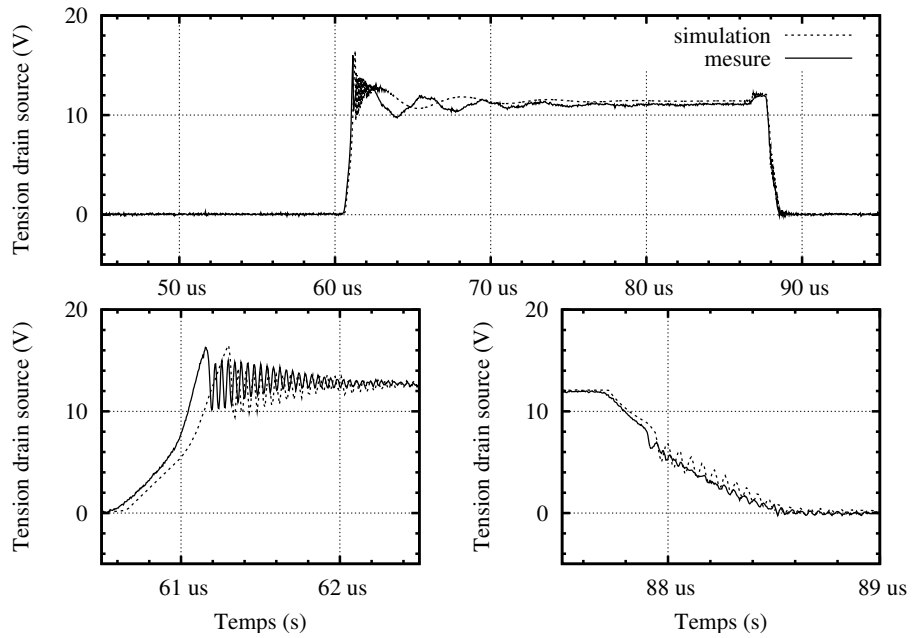
Dans la partie précédente, nous avons comparé expérience et simulation sur le critère des pertes. Afin d'avoir une représentation plus qualitative de la validité des modèles, nous proposons maintenant d'effectuer les comparaisons entre des formes d'ondes issues de la mesure et de la simulation.

Le domaine de simulation est toujours celui de la figure 3.34, et les mesures ont été effectuées sur le bras d'onduleur placé dans le support du calorimètre, de manière à rester dans les conditions des mesures calorimétriques. De la même manière, nous n'avons pas ajouté une sonde de courant qui aurait modifié profondément le modèle inductif de la cellule sous test. Les comparaisons simulation/mesure présentées ici n'ont donc été réalisées que sur les tensions drain-source et grille-source des deux transistors du bras.

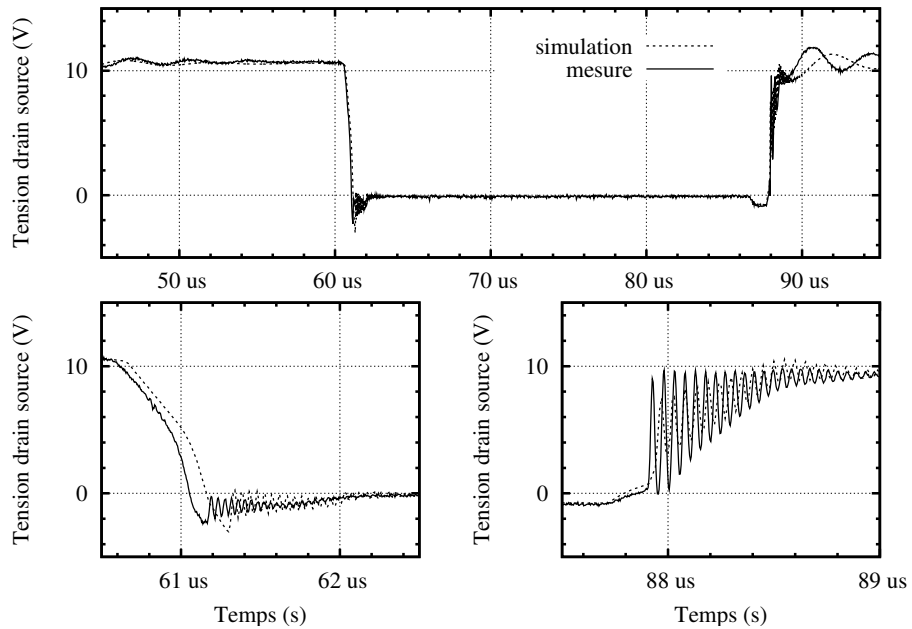
Seuls deux cas parmi ceux du tableau 3.6 sont présentés ici, afin de ne pas alourdir exagérément ce manuscrit. Il s'agit des deux configurations $I_0 = 30A$, $V_0 = 10V$, $R_G = 2,3$ et 100Ω . Le temps mort, de $1 \mu s$, est simplement choisi parce que mieux adapté aux échelles d'affichage.

Les relevés obtenus pour une résistance de grille de 100Ω sont présentés sur les figures 3.44 et 3.45. On peut y voir le léger décalage temporel (de l'ordre de la centaine de nanosecondes) entre simulation et mesure lors de l'ouverture du MOSFET bas que nous avons supposé à l'examen de la figure 3.38. La fermeture de ce dernier se fait cependant sans retard notable, ce qui se vérifie sur la figure 3.45(a). Il faut noter que le rôle du transistor bas est secondaire, puisqu'il se borne à court-circuiter sa diode interne, en raison du sens du courant I_0 .

On peut voir sur les tensions drain-source une oscillation de fréquence basse vis à vis des phénomènes transitoires liés à la commutation. Cette oscillation (de l'ordre de $250 kHz$), qui est causée par une résonance entre l'inductance parasite du busbarre connectant le convertisseur sous test à sa source de tension et les capacités placées sur le convertisseur lui-même, est mal modélisée. Les fréquences obtenues en simulation et en mesure ne coïncident en effet pas, alors que les éléments qui en sont la cause sont bien identifiés (un busbarre longiligne et des capacités céramique). Nous n'avons cependant pas tenu compte, lors de la modélisation du câblage, du dispositif de calorimétrie, qui consiste notamment en un tube de cuivre guidant le busbarre. Il est fort probable que ce tube

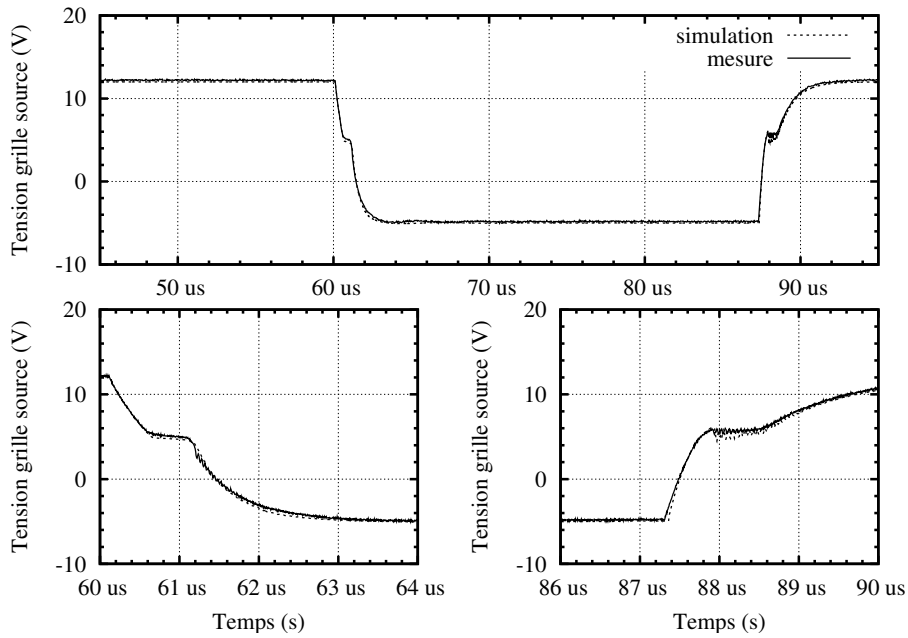


(a)

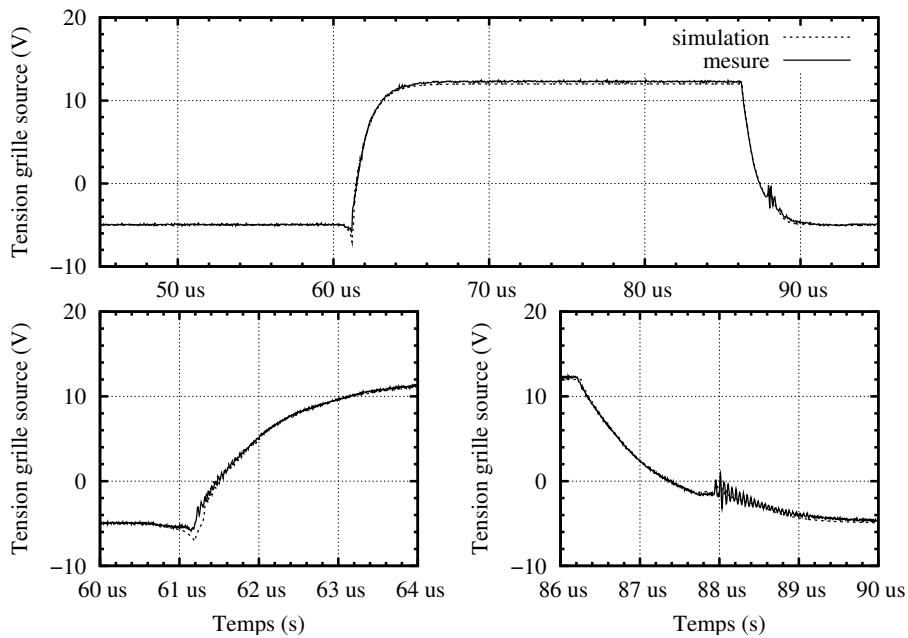


(b)

FIG. 3.44 – Tensions drain-source du MOSFET bas (a) et haut (b) mesurées et simulées, pour une résistance de grille de 100Ω . Les conditions sont celles de la figure 3.34. Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

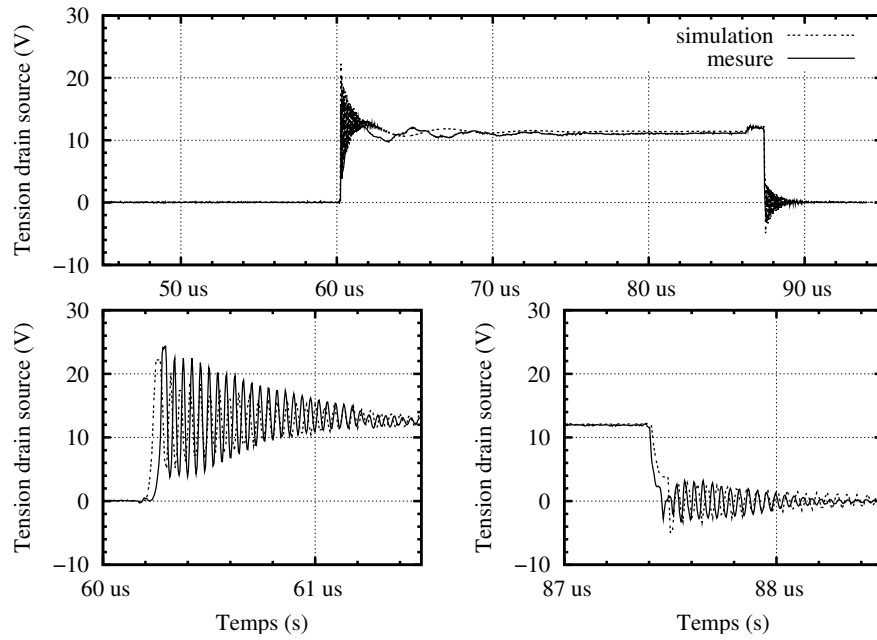


(a)

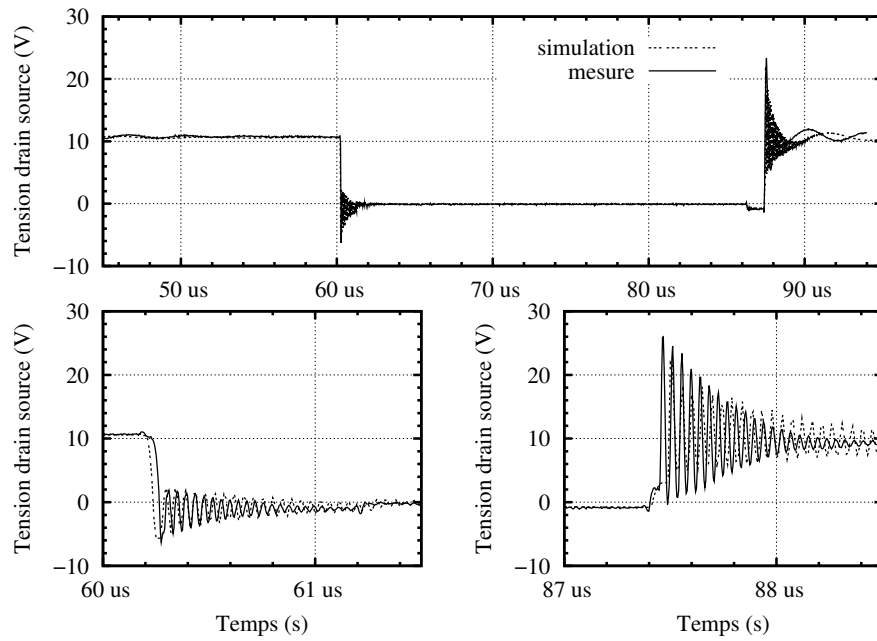


(b)

FIG. 3.45 – Tensions grille-source du MOSFET bas (a) et haut (b) mesurées et simulées, pour une résistance de grille de 100Ω . Les conditions sont celles de la figure 3.34. Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

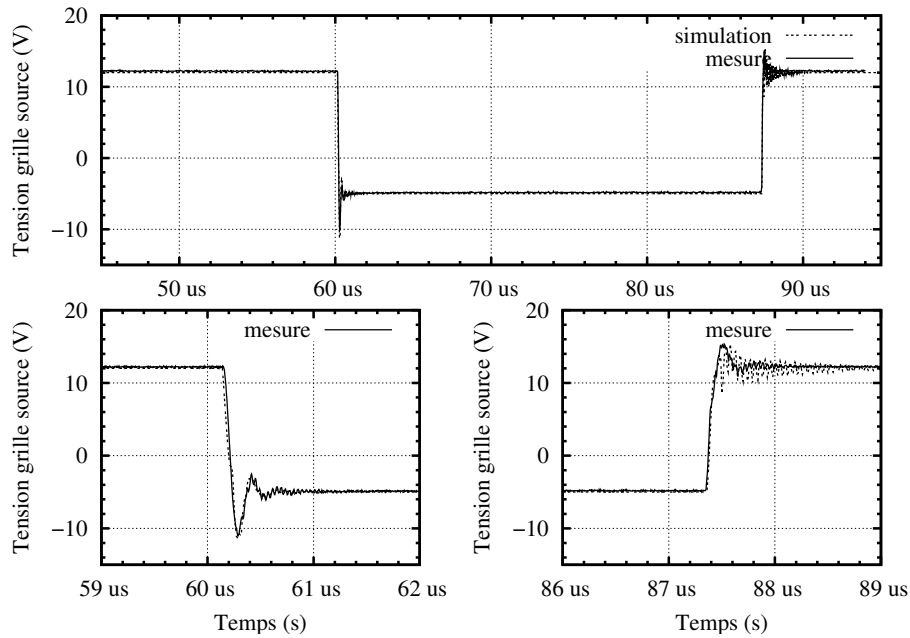


(a)

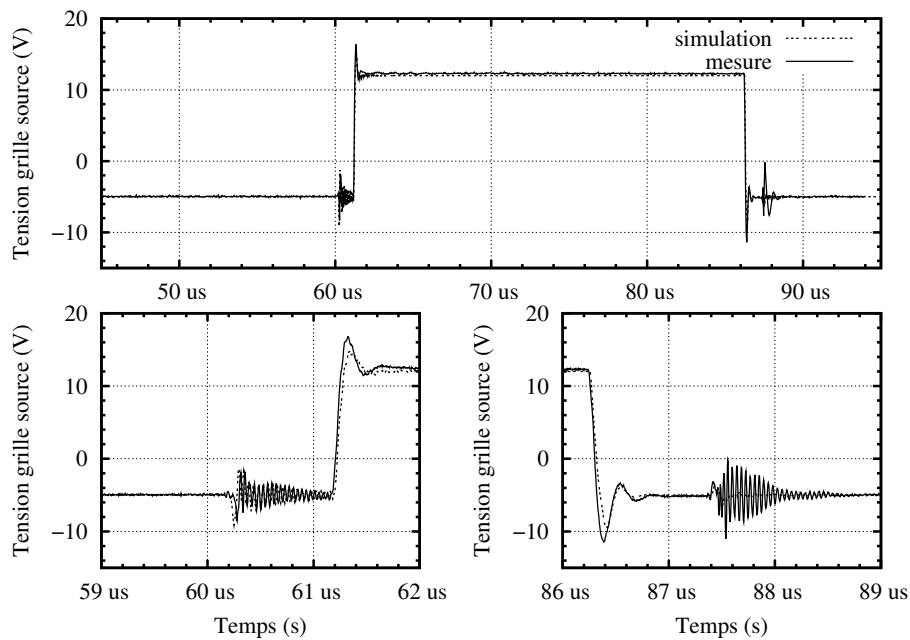


(b)

FIG. 3.46 – Tensions drain-source du MOSFET bas (a) et haut (b) mesurées et simulées, pour une résistance de grille de $2,3\ \Omega$. Les conditions sont celles de la figure 3.34. Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.



(a)



(b)

FIG. 3.47 – Tensions grille-source du MOSFET bas (a) et haut (b) mesurées et simulées, pour une résistance de grille de $2,3 \Omega$. Les conditions sont celles de la figure 3.34. Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

créé un effet de proximité, ce qui a pour effet de réduire l'inductance parasite du busbarre.

Les relevés de tension grille-source (figure 3.45) sont tout à fait satisfaisants. La très légère différence de niveau entre les plateaux « Miller » simulés et mesurés du transistor bas expliquent le décalage temporel observé figure 3.44(a).

Les figures 3.46 et 3.47 présentent le même type de résultats, obtenus pour une résistance de grille de $2,3 \Omega$. Il semble difficile, au vu de ces courbes, d'expliquer les différences entre pertes simulées et mesurées que l'on a pu constater dans le cas $R_G = 2,3 \Omega$.

3.3.3 Validation du modèle électrothermique de l'avalanche

Le schéma de la figure 3.48 est utilisé pour valider le modèle du transistor en régime d'avalanche proposé en 3.2.1.4. Il consiste en une source de courant représentant l'inductance L du dispositif présenté figure 3.23, d'une source de tension de valeur $V_{BR_0} + \beta \cdot T$ en série avec une résistance R_{BR} et une diode idéale (sans tension de seuil) qui modélisent le comportement du MOSFET durant l'avalanche ; et d'un réseau thermique formé d'une source de puissance P , d'une série de cellules R_{TH}, C_{TH} en cascade et d'une source de température T_A .

Le courant $i(t)$ reprend la forme triangulaire due à la décharge de l'inductance L (voir figure 3.26). La source P (en fait une source de courant, *Pspice* n'autorisant pas les descriptions multi-domaines physiques) génère un flux correspondant au produit instantané $v \times i$. Il n'y a en effet aucun élément de stockage dans notre modèle, le produit $v \times i$ est donc à tout instant égal à la puissance dissipée. Les éléments R_{TH} et C_{TH} sont calculés à l'aide des expressions 1.54, les valeurs de ρc , K , et A_{MOS} étant respectivement de $1,63 J.K^{-1}.cm^{-3}$, $1,54 W.cm^{-1}.K^{-1}$ (pour le silicium) et $26 mm^2$. La puce, d'une épaisseur de $280 \mu m$, est discrétisée en 100 cellules R_{TH}, C_{TH} . La température ambiante est de $30^\circ C$.

En raison des constantes de temps relativement longues mises en jeu (l'impulsion de courant dure $600 \mu s$), il est nécessaire de prendre en compte la semelle de cuivre du transistor dans la modélisation thermique. Afin de conserver l'hypothèse d'une propagation unidimensionnelle de la chaleur, cette semelle est considérée comme étant de la même surface que la puce de silicium. Un second réseau thermique, placé en série avec le précédent, modélise l'impédance thermique de l'épaisseur de cuivre ainsi ajoutée. Les valeurs de ρc_{cuivre} et K_{cuivre} sont respectivement de $3,51 J.K^{-1}.cm^{-3}$ et de $3,93 W.cm^{-1}.K^{-1}$. Les $1,3 mm$ de la semelle sont discrétisés en 30 cellules R_{TH}, C_{TH} .

Les valeurs de V_{BR_0} , R_{BR} et β sont issues de l'identification effectuée en 3.2.1.4 et sont reprises dans le tableau 3.8.

Pour obtenir les résultats de la figure 3.49, il faut cependant ajouter en parallèle à la source P une capacité thermique de l'ordre de $1,8 mJ.K^{-1}$, qui cor-

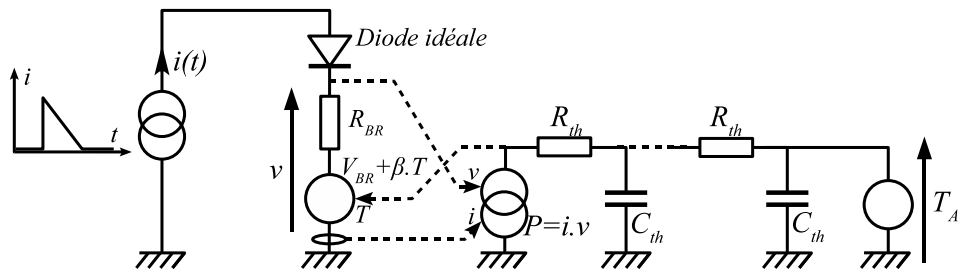


FIG. 3.48 – Schéma de simulation électrothermique de l'avalanche

	STB210NF02	IRFC2602
Surface de puce	26 mm ²	35 mm ²
Épaisseur de puce	280 μm	200 μm
V _{BR}	26,9 V	27,3 V
R _{BR}	12 mΩ	6,7 mΩ
β	14,8 mV.K ⁻¹	24,8 mV.K ⁻¹
Montage	Encapsulé (D2PAK)	Puce reportée

TAB. 3.8 – Résultats obtenus en simulation et en mesure pour les différentes configurations de fonctionnement

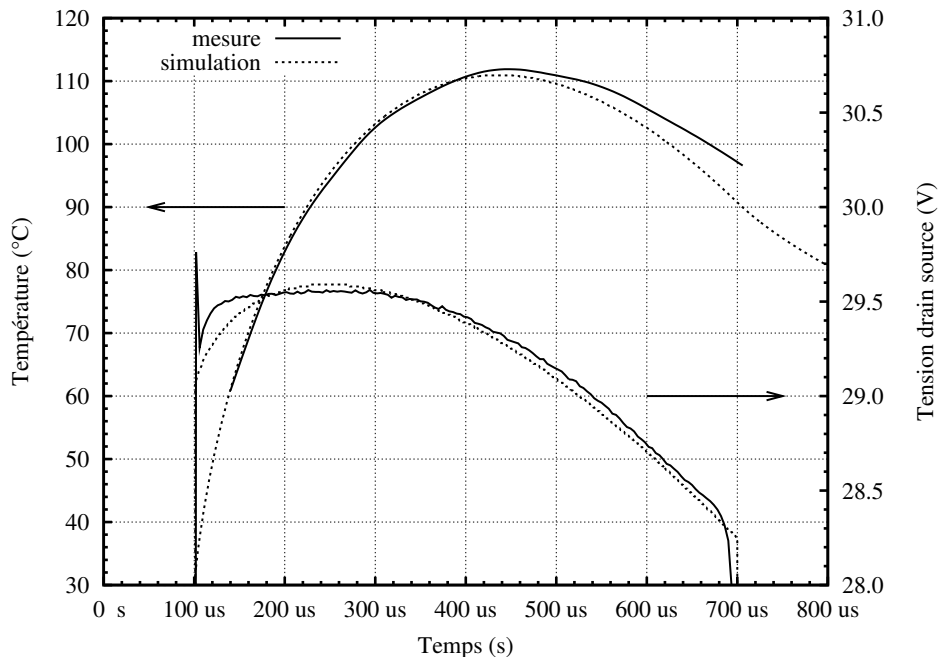


FIG. 3.49 – Profil de température et tension drain source simulés et mesurés durant l'avalanche pour un STB210NF02

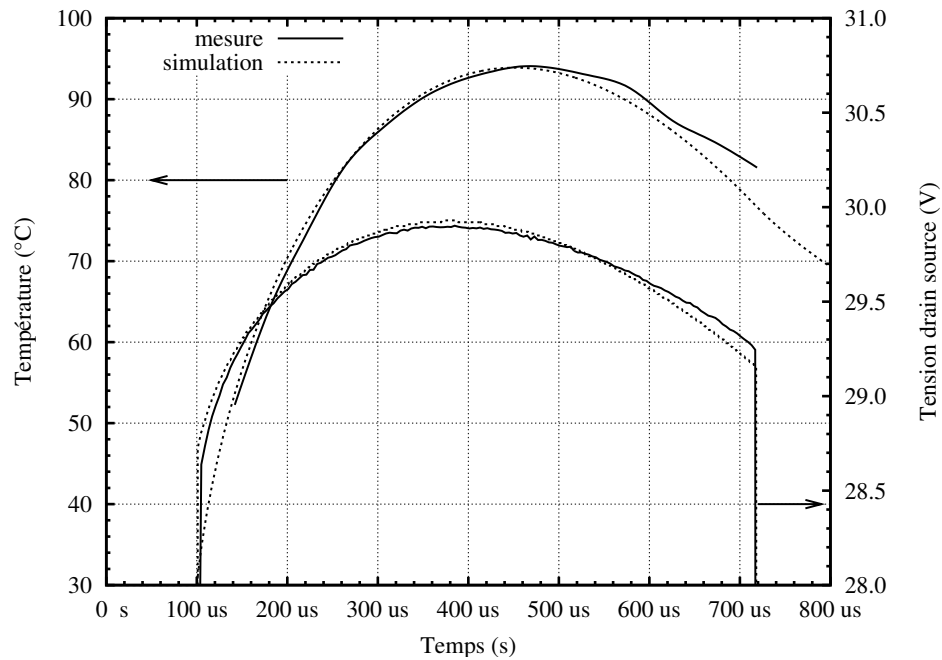


FIG. 3.50 – Profil de température et tension drain source simulés et mesurés durant l'avalanche pour un IRFC2602

respond à une épaisseur de silicium de $42 \mu\text{m}$. Si l'hypothèse d'une dissipation de puissance en surface de la puce n'est pas exacte, on peut affirmer que cette dissipation ne s'effectue certainement pas aussi profondément dans le silicium. L'épaisseur de l'épitaxie N^- du STB210NF02 est en effet de $6 \mu\text{m}$ environ [She03]. Selon [Bag98], l'encapsulation des composants (faite d'époxy) peut être à l'origine de cette augmentation de capacité thermique.

Le processus d'identification de la caractéristique en avalanche a été appliqué à un autre MOSFET (IRFC2602, d'International Rectifier), de même calibre en tension, mais de surface plus importante (35mm^2). Ce composant est monté en « report de puce », c'est à dire que la puce est directement brasée sur le circuit (ici une tôle de cuivre d' $1,2 \text{mm}$ d'épaisseur), sans encapsulation dans de l'époxy. Les caractéristiques de ce composant sont reprises dans le tableau 3.8, et les résultats de la simulation sont présentés sur la figure 3.50. Pour obtenir ces résultats, il faut ici aussi ajouter une capacité thermique en parallèle avec la source P , sensiblement égale à la capacité d'une couche de silicium de $40 \mu\text{m}$ d'épaisseur.

Il semble donc que cette capacité ne soit pas due à l'encapsulation du composant (puisque IRFC2602 n'est pas encapsulé), mais plutôt à sa métallisation (de l'ordre de $5 \mu\text{m}$ d'aluminium pour les deux transistors) et aux *bondings* (6 et 12 points de contact, avec des fils de 400 et $500 \mu\text{m}$ de diamètre pour le STB210-

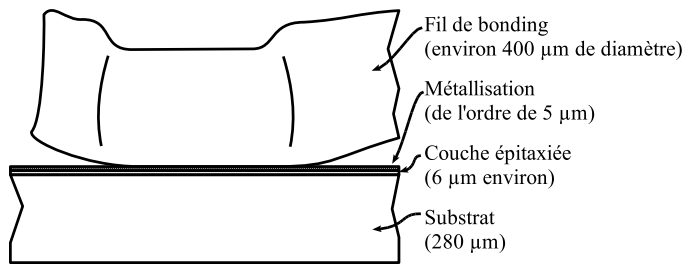


FIG. 3.51 – *Taille comparée des bondings, de la métallisation supérieur de la puce, et de la couche épitaxiée, dans laquelle se déroule le phénomène d'avalanche, et du substrat.*

NF02 et le IRFC2602 respectivement). Une représentation à l'échelle de l'assemblage bonding/silicium est visible figure 3.51. A titre indicatif, les capacités thermiques de l'aluminium et du silicium étant proches, on obtient sensiblement les mêmes valeurs de capacité thermique avec une épaisseur d'aluminium de $30\ \mu\text{m}$ et une épaisseur de silicium de $40\ \mu\text{m}$.

La modélisation unidimensionnelle proposée dans le chapitre 1 trouve donc ici ses limites, en raison de la masse de métal située en surface de la puce. Sans la correction proposée, l'erreur entre température mesurée et simulée atteint environ 15°C , pour une élévation de température de 80°C .

Il faut cependant noter qu'en raison de la forte élévation de température de la puce durant l'impulsion de courant, il serait nécessaire de tenir compte de l'évolution de la chaleur spécifique et de la conductivité thermique du silicium avec la température pour espérer améliorer la précision de modélisation.

Enfin, la modélisation de l'environnement de la puce est ici réduite à sa plus simple expression : nous ne tenons pas compte de l'influence de la brasure de la puce sur la semelle de cuivre, pas plus que de l'épanouissement du flux de chaleur dans le cuivre. Ces simplifications expliquent la divergence entre température simulée et mesurée vers la fin de l'impulsion de courant (après environ 400 à $500\ \mu\text{s}$) sur les figures 3.49 et 3.50.

3.4 Conclusion

Dans ce chapitre, nous avons caractérisé les modèles proposés dans les chapitres 1 et 2 vis à vis d'éléments réels (MOSFET et câblage d'une cellule de commutation).

L'identification du modèle de transistor fait appel à plusieurs dispositifs expérimentaux spécifiques, qui sont décrits ici, de même que les protocoles expérimentaux utilisés (instruments de mesure, critères de comparaison simulation – mesure ...).

La validation de la modélisation a été effectuée sur un bras d'onduleur, pour lequel un maximum d'éléments (transistor, câblage, commande) ont été modélisés à priori, sans effectuer de retouches une fois l'assemblage effectué (seule la résistance parasite de la source de tension a nécessité un ajustement pour « coller » aux mesures réalisées sur le convertisseur). Cette démarche permet de s'assurer de la qualité intrinsèque des modèles.

Un critère original de validation a été utilisé : il s'agit du niveau de pertes du convertisseur, qui constitue à la fois un indicateur simple (comparaison entre valeurs numériques au lieu de formes d'ondes) et précis, puisqu'il est très sensible aux erreurs de modélisation. Les mesures expérimentales réalisées à l'aide d'un calorimètre sur un bras d'onduleur réel ont ainsi servi à vérifier la qualité des résultats obtenus en simulation.

Il en ressort que la modélisation est globalement satisfaisante, puisque notre modèle améliore nettement les résultats obtenus avec le modèle du STB210NF02 fourni par *STMicroelectronics*. Le modèle électrothermique en régime d'avalanche donne également de bons résultats.

La simulation est donc tout à fait utilisable dans une démarche de conception, qui fait l'objet du chapitre suivant.

Chapitre 4

Exploitation de l'outil de simulation

Dans les chapitres précédents, nous avons proposé et validé un ensemble de modèles destinés à la simulation de convertisseurs de puissance. Nous allons maintenant procéder à l'utilisation de ces modèles. Un résumé des points étudiés dans ce chapitre est donné dans le tableau 4.1. Nous verrons ainsi l'intérêt de la simulation dans le processus de conception d'un convertisseur, puisqu'elle permet, outre des économies de temps et d'argent, d'accéder à des grandeurs difficiles voire impossibles à mesurer (répartition de courant entre les composants d'un assemblage en parallèle par exemple). Il est enfin possible de simuler des conditions « aux limites », prenant en compte les dispersions de fabrication des composants pour s'assurer de la robustesse de la conception.

4.1 Minimisation des pertes

Dans cette partie, nous allons effectuer sur la cellule de commutation utilisée au chapitre 3 un ensemble de simulations destinées à connaître l'influence de différents éléments sur ses pertes. Grâce à cette étude, il sera possible de connaître la plage de variation dans laquelle chaque paramètre peut évoluer sans affecter le rendement du convertisseur.

4.1.1 Influence du routage

Si la cellule utilisée au chapitre 3 est réalisée sur circuit imprimé (CI) simple face (pour des raisons de facilité de remplacement des composants), le modèle original dont elle est copiée est réalisé sur Substrat Métallique Isolé (SMI). Cette technologie, qui permet d'assurer la dissipation thermique des composants de puissance montés en surface, se traduit en raison de la proximité entre l'aluminium du substrat et le cuivre des pistes (une centaine de microns) par un câblage

Structure	Objet d'étude	Description
Bras d'onduleur à 1 MOSFET par interrupteur	Câblage	Mise en évidence de l'influence du câblage par l'utilisation de trois cellules de géométries différentes
	Paramètres de commande	Choix d'une ou plusieurs résistances de grille et de tensions de commande minimisant les pertes en commutation.
Bras d'onduleur à 4 MOSFET par interrupteur	Étude statique	Influence du câblage et des dispersions de caractéristique sur la répartition du courant entre transistors en parallèle d'un point de vue statique.
	Dynamique	Influence des dispersions de caractéristique sur la répartition du courant durant les commutations.
	Stabilité	Vérification de la « contrôlabilité » de MOSFET connectés en parallèle.
	Avalanche	Simulation de la répartition du courant en régime d'avalanche dans un assemblage en parallèle.

TAB. 4.1 – Résumé des études présentées dans ce chapitre

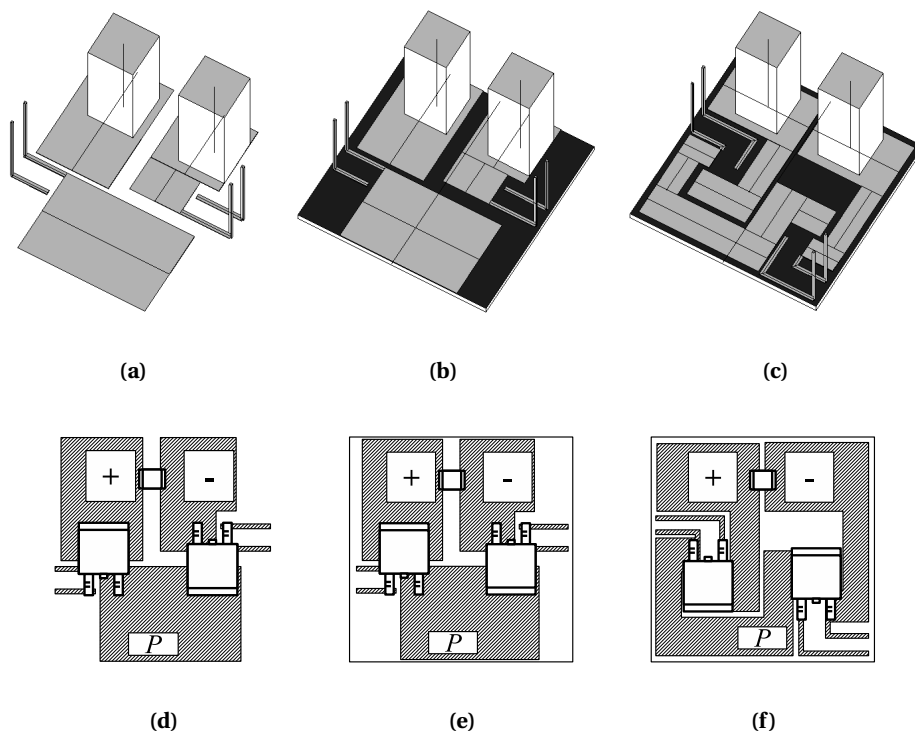


FIG. 4.1 – Les trois types de câblage étudiés : (a) la cellule réalisée sur circuit imprimé classique (sans plan de masse), (b) la cellule réalisée sur SMI et (c) la cellule au câblage modifié en technologie SMI (non réalisée). Chacune de ces cellules est équipée de deux transistors et d'un condensateur céramique.

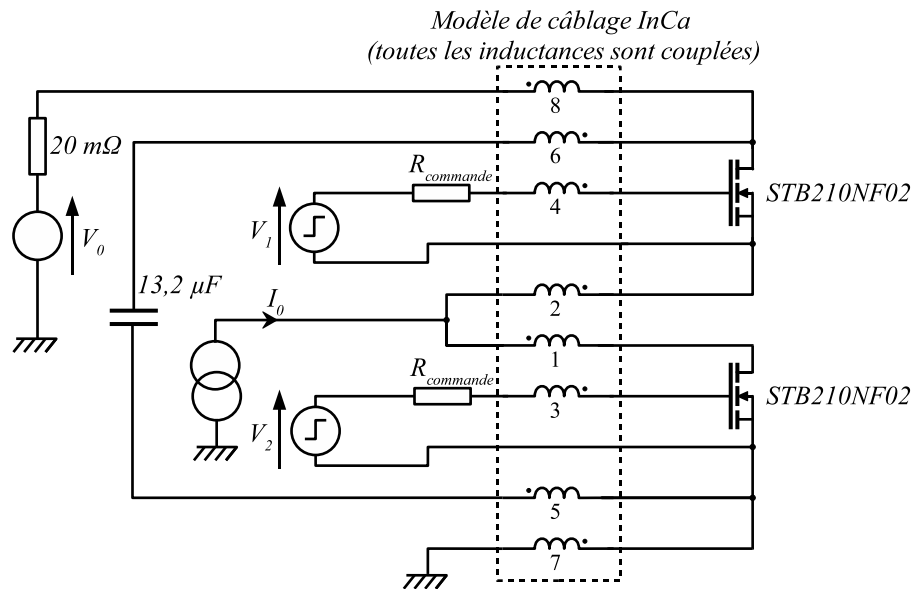


FIG. 4.2 – Schéma de simulation utilisé

faiblement inductif.

Il est donc intéressant de comparer l'influence des deux types de substrat (circuit imprimé et SMI) sur le comportement de la cellule. Trois modèles de câblage ont ainsi été réalisés : deux reprennent le routage « simple », l'un sur CI, l'autre sur SMI (figures 4.1(a) et (b)), et le troisième représente un routage « torturé », obtenu en faisant pivoter de 180° les deux transistors (figure (c)).

Le schéma de simulation (figure 4.2) est très simple, puisqu'il ne prend plus en compte le busbarre et les inductances de commande du dispositif calorimétrique. On considère en effet ici que la source de tension V_0 (ou un condensateur de forte capacité) est placée directement sur l'entrée du convertisseur. La résistance de $20\text{ m}\Omega$ en série avec la source de tension V_0 permet d'amortir rapidement les oscillations entre la source et les capacités placées sur la cellule de commutation. Le régime permanent (nécessaire au calcul des pertes) est ainsi atteint en deux périodes, ce qui accélère la simulation.

Il faut noter que sur le schéma de la figure 4.2, le couplage entre les circuits de puissance et de commande n'est pas explicite (il n'y a pas d'inductance commune à ces deux circuits). Il est en fait pris en compte dans les termes mutuels des matrices d'impédance calculées par *InCa*.

4.1.1.1 Modélisation du câblage

Les éléments parasites des trois cellules de la figure 4.1 ont été modélisés à l'aide d'*InCa*.

L'aspect résistif est quasiment identique pour les deux cellules qui possèdent le routage « simple ». A titre d'exemple, voici la matrice de résistances de celle réalisée sur circuit imprimé :

$$\begin{matrix} & 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 \\ \begin{matrix} 1 \\ 2 \\ 3 \\ 4 \\ 5 \\ 6 \\ 7 \\ 8 \end{matrix} & \left(\begin{array}{cccccccc} 0,26 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ & 0,22 & 0 & 0 & 0 & 0 & 0 & 0 \\ & & 6,6 & 0 & 0 & 0 & 0 & 0 \\ & & & 6,0 & 0 & 0 & 0 & 0 \\ & & & & 0,34 & 0 & 0 & 0 \\ & & & & & 0,29 & 0 & 0 \\ & & & & & & 0,20 & 0 \\ & & & & & & & 0,18 \end{array} \right) & m\Omega & (4.1)
 \end{matrix}$$

Par souci de simplicité, nous avons négligé les couplages résistifs inférieurs à $100 \mu\Omega$ (ce qui correspond à moins de 5 % du $R_{DS_{on}}$ des transistors utilisés). Le comportement résistif de la cellule peut être représenté par 8 résistances pures.

Dans le cas de la cellule au routage modifié, les termes résistifs sont plus importants et certains couplages ne sont plus négligeables :

$$\left(\begin{array}{cccccccc} 0,59 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ & 1,1 & 0 & 0 & 0 & 0 & 0 & 0 \\ & & 8,8 & 0 & 0 & 0 & 0 & 0 \\ & & & 8,1 & 0 & 0 & 0 & 0 \\ & & & & 1,3 & 0 & -1,1 & 0 \\ & & & & & 0,92 & 0 & -0,76 \\ & & & & & & 1,0 & 0 \\ & & & & & & & 0,85 \end{array} \right) m\Omega \quad (4.2)$$

Il s'agit là de couplages entre les pistes 8 et 6 d'une part et 7 et 5 d'autre part, causés par les larges portions de circuit communes (alimentation-transistors et capacités-transistors, voir figures 4.1 et 4.2)

Les matrices inductives sont plus complexes à comparer, en raison des nombreux termes de couplage. On remarque en effet que les termes des matrices résistives s'étalent en général sur trois à quatre décades, contre environ deux décades pour les termes inductifs. Il est donc plus difficile de négliger certains termes par rapport aux autres. Les matrices inductives n'ont pas été reprises dans ce mémoire, et leur influence sera étudiée dans les paragraphes suivants (notamment leur impact sur les pertes en commutation).

4.1.1.2 Résultats de simulation

Le schéma de la figure 4.2 a été simulé en utilisant deux valeurs de résistance de commande : 10 et 100Ω , selon la méthodologie déjà présentée dans le chapitre 3. Les résultats sont visibles figure 4.3.

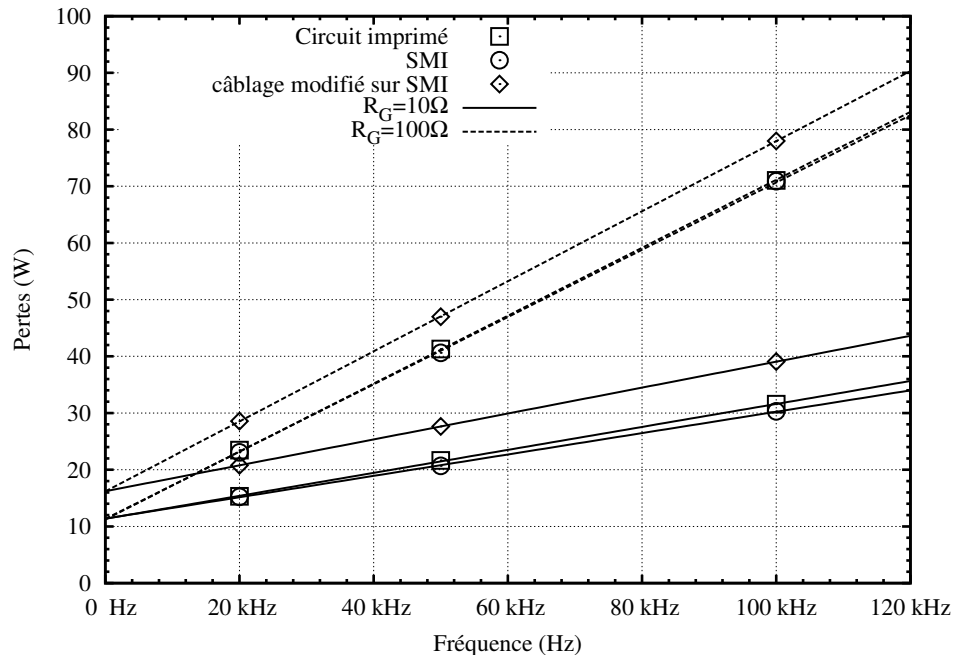


FIG. 4.3 – Évolution des pertes en fonction de la fréquence pour différentes combinaisons de résistance de commande et de substrat (simulation)

Les cellules réalisées sur SMI et circuit imprimé selon le même routage présentent des niveaux de pertes quasi-identiques, ce qui montre que l'effet du plan de masse est négligeable sur les éléments résistifs et inductifs parasites: une grande partie des inductances parasites étant située dans le boîtier de chaque transistor (6 nH), la variation des inductances de la cellule due au plan de masse passe inaperçue. Cela montre les limites de notre modélisation, dans laquelle aucun couplage entre le câblage de la cellule et celui du transistor n'est considéré. Dans notre cas, les inductances parasites ramenées par les boîtiers des transistors masquent celles du routage.

La cellule au routage « tourmenté » supporte elle aussi des pertes en commutation proches, mais ses pertes en conduction sont sensiblement plus élevées que les deux autres cellules (environ 5 W de plus). Si l'on se reporte aux figures 4.4 et 4.5, représentant respectivement les pertes dans les transistors haut et bas du bras d'onduleur, on remarque que les pertes en conduction des trois cellules y sont identiques. Le condensateur (seul autre composant de la cellule avec les transistors) étant supposé parfait, les résistances parasites du câblage sont les seules responsables des différences de pertes en conduction entre les trois cellules. On peut également remarquer que dans les trois cas, les pertes en commutation (correspondant aux pentes des droites) sont proches, et il faut se placer dans le cas d'une commutation rapide ($R_{commande} = 10\ \Omega$) pour pouvoir les dif-

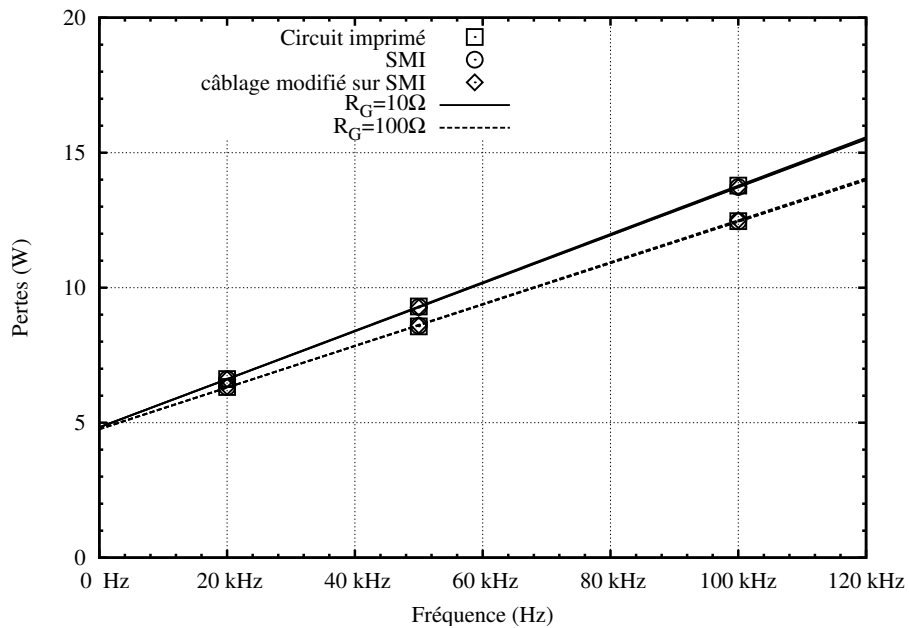


FIG. 4.4 – Évolution des pertes du MOSFET haut en fonction de la fréquence pour différentes combinaisons de résistance de commande et de substrat (figure 4.1) (simulation).

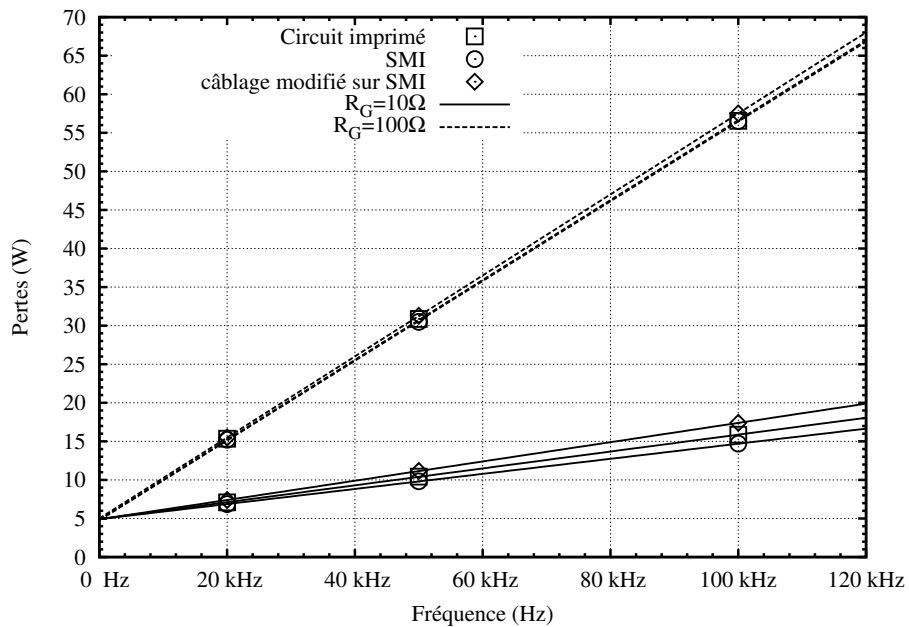


FIG. 4.5 – Évolution des pertes du MOSFET bas en fonction de la fréquence pour différentes combinaisons de résistance de commande et de substrat (figure 4.1) (simulation).

férentier : dans ces trois cas, l'aspect résistif domine.

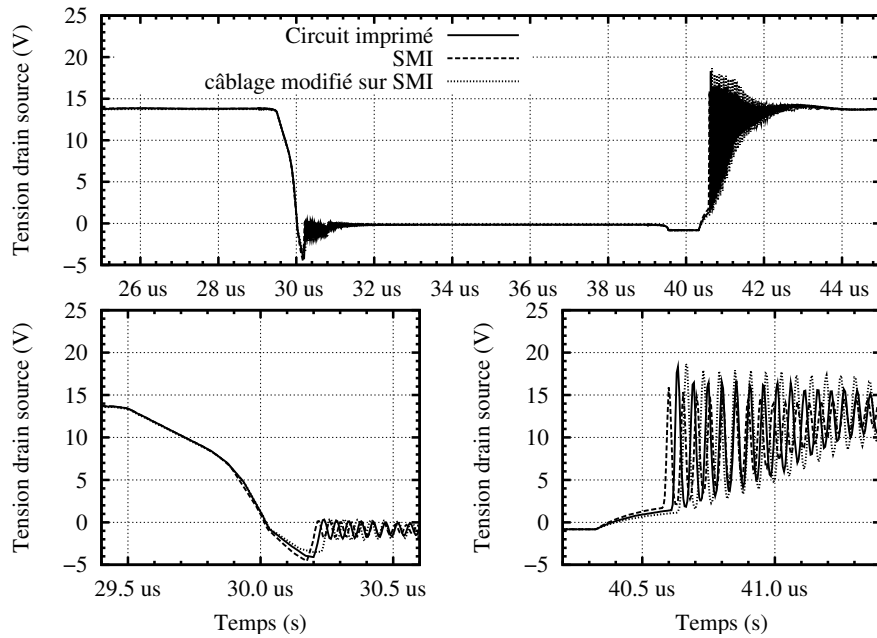
Les pertes du MOSFET haut (figure 4.4) ne dépendent pas du câblage puisque celui-ci ne fait que court-circuiter sa diode interne (dans laquelle passe le courant I_0 lorsque le MOSFET du bas n'est pas commandé). Cette commutation n'entraînant pas de modification macroscopique du passage du courant, il est normal qu'elle soit indépendante du câblage.

Les figures 4.6 à 4.9 présentent les formes d'onde temporelles correspondant aux mesures précédentes. Les différences sont à peine notables dans le cas d'une résistance de grille de 100Ω , mais il apparaît plus nettement dans le cas d'une résistance de grille de 10Ω que le circuit imprimé se place, au niveau inductif, à mi-chemin entre le SMI de même routage et le SMI au routage modifié (on peut comparer les gradients de courant de la figure 4.8 et les surtensions à l'ouverture figure 4.9(b)).

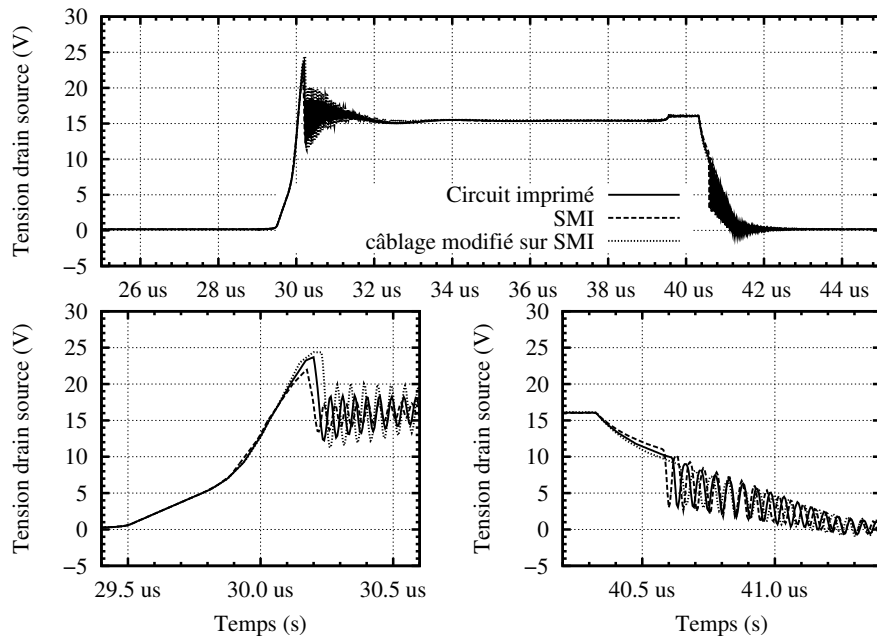
4.1.2 Choix des paramètres du *driver*

Puisque dans notre cas la marge de manœuvre offerte par le câblage pour agir sur les pertes est plutôt réduite, on peut tenter de le faire en optimisant la commande des transistors. La valeur de la résistance de grille joue un grand rôle sur les pertes, mais elle n'est pas seule : les niveaux hauts (réduisant les pertes en conduction) et bas (accélérant le blocage des transistors) de la tension de commande ou encore l'utilisation de résistances de fermeture et d'ouverture différentes peuvent également avoir une influence. Il faut noter que nous ne nous intéressons ici qu'aux *drivers* les plus courants, dont l'étage de sortie est constitué d'un *push-pull* suivi d'une résistance de grille. Ceux-ci constituent la majeure partie des *drivers* intégrés utilisés en automobile.

Résistances de fermeture et d'ouverture différentes Des simulations ont été effectuées en utilisant le schéma de la figure 4.2, dans lequel les résistances de câblage sont remplacées par le dispositif de la figure 4.10. Cela permet, suivant le sens du courant de commande, d'utiliser l'une ou l'autre des deux résistances. Les résultats obtenus sont tracés sur la figure 4.11. Dans notre cas d'une cellule faiblement inductive (nous avons utilisé la cellule réalisée sur SMI), l'optimum se trouve, en se basant sur un critère de pertes, au minimum des deux résistances. Il faudrait analyser les commutations sur l'angle de la CEM pour vérifier que les commutations rapides que l'on obtient en utilisant de faibles valeurs pour $R_{commande}$ n'entraînent pas de perturbations électromagnétiques trop importantes. Dans ce cas, un réseau de courbe du type de la figure 4.11 donne les renseignements nécessaires pour trouver le meilleur compromis entre le ralentissement de la cellule (qui augmente les pertes) et le recours au filtrage (plus coûteux).



(a)



(b)

FIG. 4.6 – Tensions drain-source des MOSFET haut (a) et bas (b), pour une résistance de grille de 100Ω et différents substrats (figure 4.1) (simulation). Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

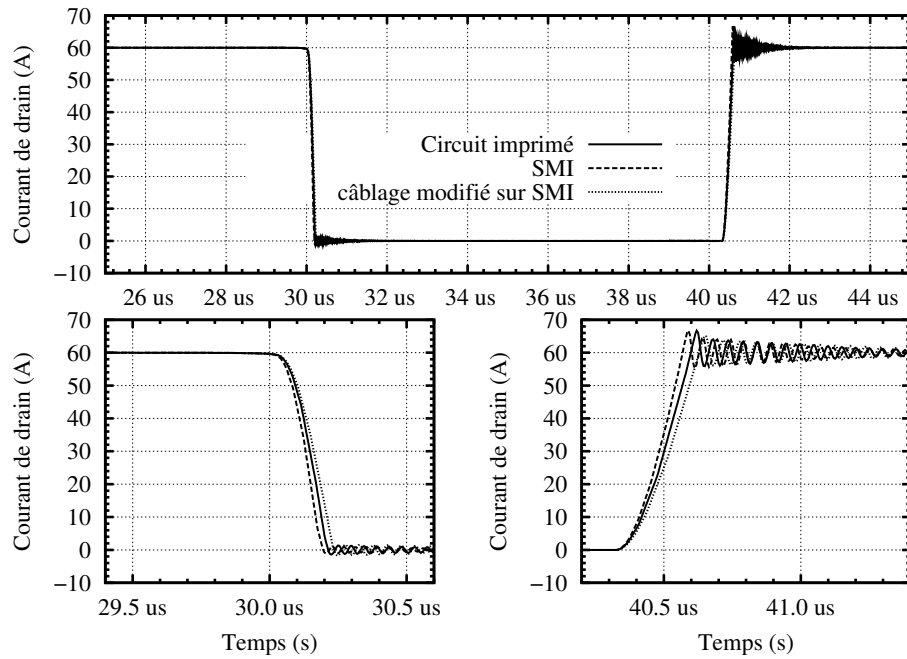


FIG. 4.7 – Courants de drain du MOSFET bas, pour une résistance de grille de $100\ \Omega$ et différents substrats (simulation).

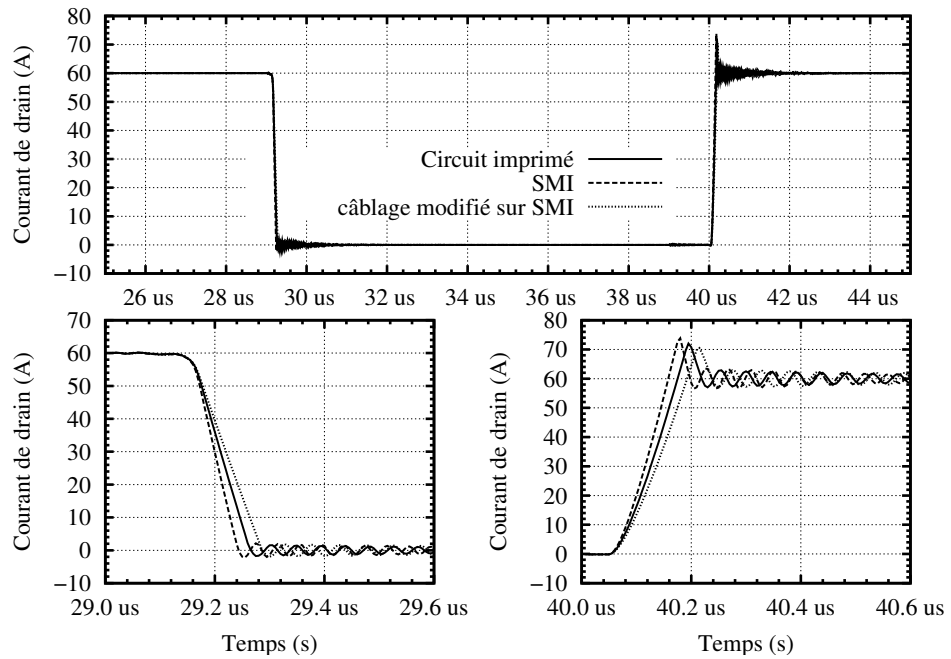
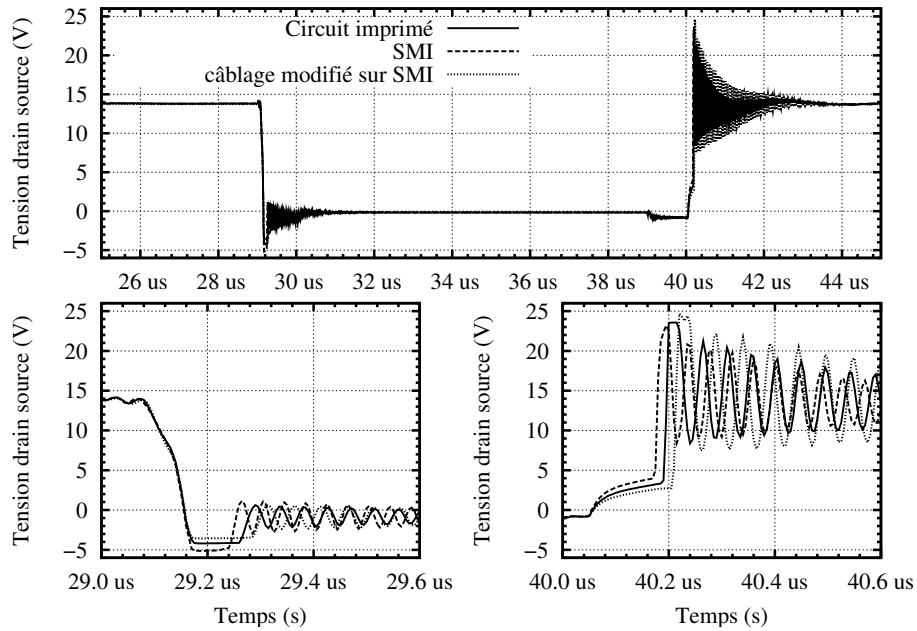
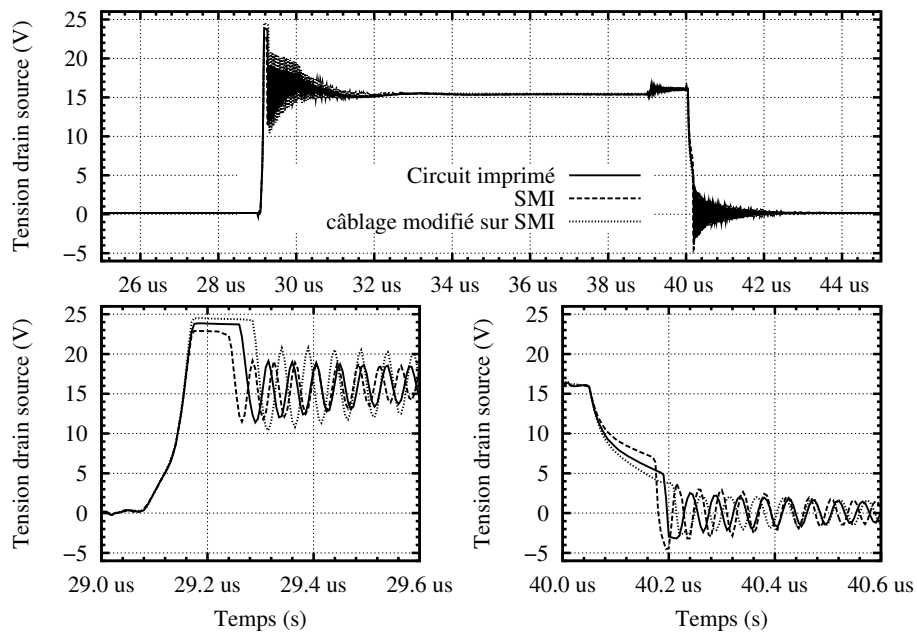


FIG. 4.8 – Courant de drain du MOSFET bas, pour une résistance de grille de $10\ \Omega$ et différents substrats (figure 4.1) (simulation).



(a)



(b)

FIG. 4.9 – Tensions drain-source des MOSFET haut (a) et bas (b), pour une résistance de grille de $10\ \Omega$ et différents substrats (figure 4.1) (simulation). Les deux petites figures placées en bas des figures (a) et (b) sont des agrandissements durant les commutations.

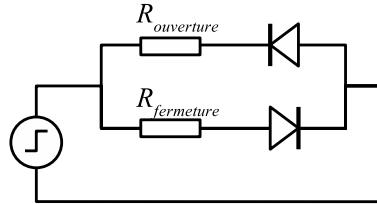


FIG. 4.10 – Schéma permettant des vitesses de commutation différentes à l'ouverture et à la fermeture des MOSFET.

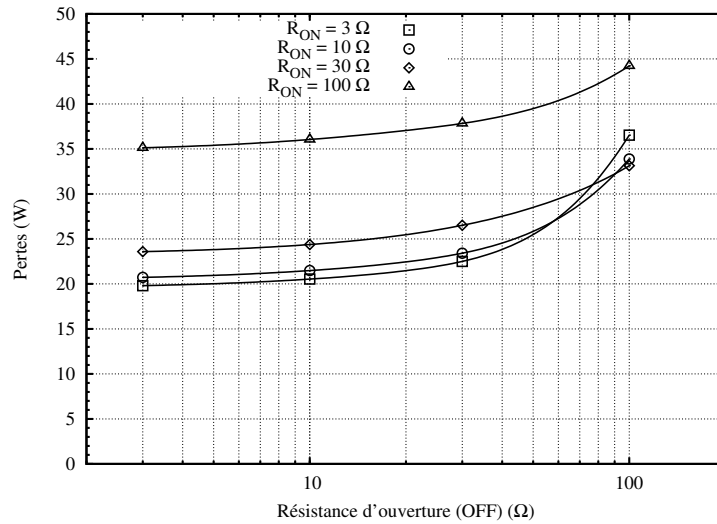


FIG. 4.11 – Évolution des pertes de la cellule en fonction des résistances de fermeture et d'ouverture utilisées (simulation).

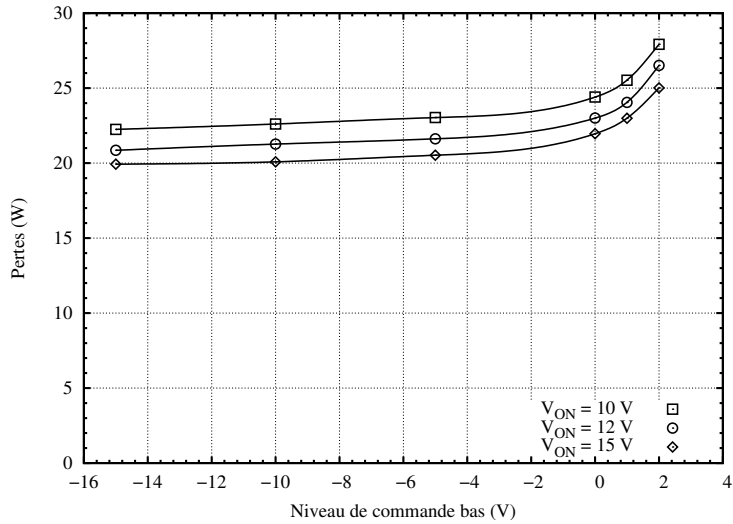


FIG. 4.12 – Évolution des pertes de la cellule de commutation en fonction des tensions de commande haute et basse, pour une résistance de commande de 10 Ω (simulation).

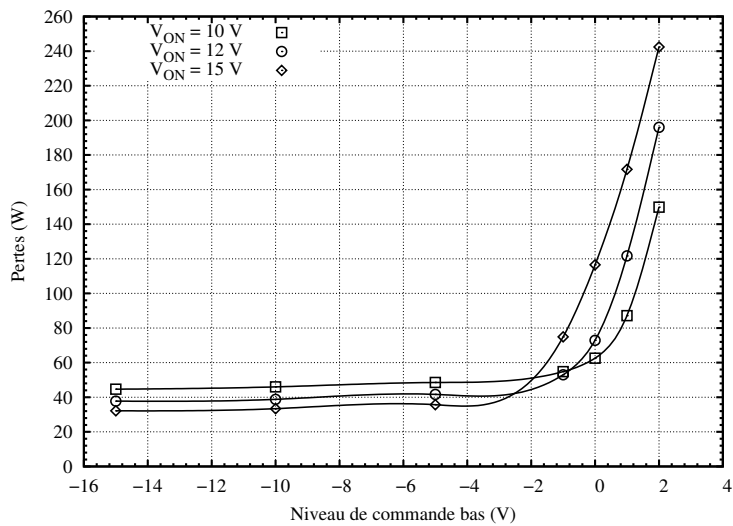


FIG. 4.13 – Évolution des pertes de la cellule de commutation en fonction des tensions de commande haute et basse, pour une résistance de commande de 100 Ω (simulation).

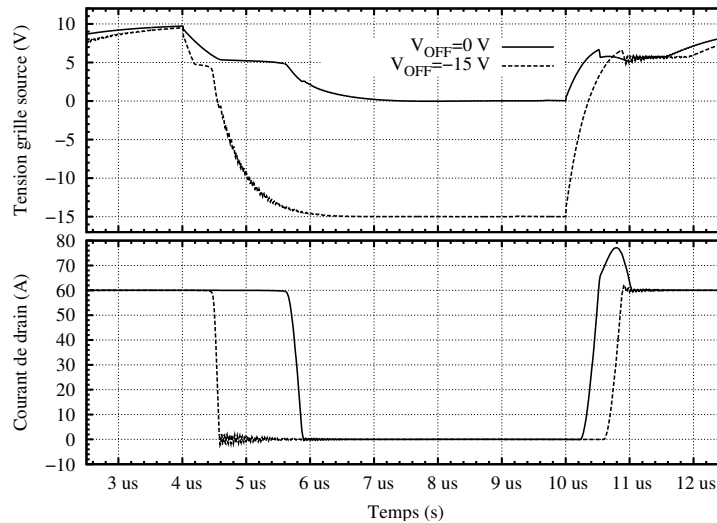


FIG. 4.14 – Tension grille source et courant de drain du MOSFET bas pour deux tensions V_{OFF} différentes (0 et -15 V), une tension V_{ON} identique (10 V) et une résistance de commande de 100 Ω (simulation). On peut remarquer que lors de l'ouverture, le plateau miller est beaucoup plus important pour $V_{OFF} = 0$ V, signe que la commutation en tension est lente. Pour $V_{OFF} = 15$ V, la période de conduction du MOSFET bas est plus faible, alors que pour 0 V, on voit apparaître à la fermeture un début de court-circuit de bras.

Influence des niveaux de tension de commande En régime linéaire, le MOSFET se comporte comme une résistance modulée par $V_{GS} - V_{th}$. On a donc tout intérêt à appliquer le V_{GS} le plus grand possible pour réduire les pertes en conduction, dans la limite de la tenue diélectrique de l'oxyde de grille. Il faut cependant noter que $R_{DS_{on}}$ tend vers une valeur limite et qu'il est rarement profitable de dépasser $V_{GS} = 15$ V.

Le blocage du transistor s'obtient pour $V_{GS} < V_{th}$. Cependant, il est nécessaire de réduire encore V_{GS} pour obtenir un blocage complet : l'échauffement du transistor fait baisser V_{th} , les courants de fuite sont importants aux alentours de la tension de seuil... De plus, la décharge des capacités d'entrée du transistor à travers $R_{commande}$ est identique (en première approche) à celle d'un réseau RC. La tension de grille va donc tendre de manière asymptotique vers la tension de commande : si celle-ci est trop proche de V_{th} , la commutation se fera trop lentement. Pour toutes ces raisons, une tension nulle voire négative doit être appliquée sur la grille lors de l'ouverture du transistor.

Les figures 4.12 et 4.13 présentent les résultats simulés pour une résistance de grille de 10 et 100 Ω respectivement. Dans les deux cas l'optimum est obtenu pour une tension de commande évoluant entre + et - 15 V, mais l'on peut voir

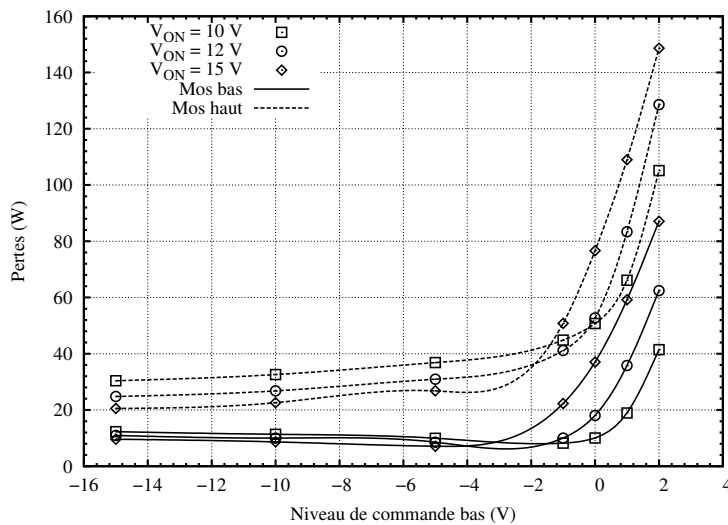


FIG. 4.15 – Évolution des pertes dans les MOSFET de la cellule de commutation en fonction des tensions de commande haute et basse, pour une résistance de commande de $100\ \Omega$

qu'une tension faiblement négative permet d'atteindre quasiment les mêmes performances.

Nous avons travaillé à temps mort constant, ce qui explique « l'envolée » des courbes de la figure 4.13 lorsque le niveau bas de la tension de commande approche de 0 V : l'ouverture des transistors se fait de plus en plus lentement (on s'approche de V_{th}), alors que la fermeture est rapide (v_{GS} , déjà proche de V_{th} n'a que peu à augmenter pour que le transistor conduise). On se retrouve alors transitoirement dans les conditions du court-circuit de bras. Cette hypothèse est confirmée par la figure 4.15 dans laquelle les pertes de chaque transistor sont dissociées. La diminution de la tension du niveau bas de commande soulage le MOSFET bas puisqu'il conduit moins longtemps (voir figure 4.14), au détriment du MOSFET haut jusqu'aux alentours de -3 V . Ensuite, les pertes des deux transistors augmentent de concert, signe qu'ils « travaillent » tous les deux en même temps.

4.2 Mise en parallèle

Le courant nominal d'un transistor MOSFET est, à tenue en tension et technologie identiques, une fonction de la surface de sa puce. L'augmentation de cette dernière semble donc être la réponse à apporter pour accroître les niveaux de courant commutés dans un convertisseur.

Cependant, les difficultés technologiques croissent elles aussi avec la surface

de silicium : le rendement de fabrication d'un *wafers* est fortement dépendant de la taille des transistors puisqu'un même défaut détruisant un transistor gâche alors une surface de silicium plus grande.

D'autre part, la brasure d'une plus grande puce sur une semelle de cuivre entraîne l'augmentation des contraintes mécaniques à l'interface avec le silicium, ces deux matériaux n'ayant pas les mêmes coefficients de dilatation. Il faut alors faire appel à des méthodes d'assemblage tolérantes aux dilatations [Arn92], comme les boîtiers *press-pack*, ou à des substrats dont le coefficient de dilatation est proche de celui du silicium (céramiques type AlN), mais dont le prix est cependant plus élevé.

Il faut alors, pour augmenter le calibre en courant d'un interrupteur, procéder à la mise en parallèle de transistors. Les avantages sont alors nombreux : des puces moins chères, puisque leur rendement de production est meilleur, une dissipation thermique simplifiée car mieux répartie, et la possibilité de faire appel à des substrats moins coûteux en raison des moindres contraintes mécaniques [Jea01].

Les transistors MOSFET ont de plus le bon goût de constituer, mis en parallèle, un assemblage stable lorsque ceux-ci sont en conduction (en régime linéaire) : l'augmentation de température de l'un d'entre eux entraîne l'augmentation de son $R_{DS_{on}}$, donc une réduction de son courant de drain, et par là de ses pertes. On ne constate donc pas l'emballement thermique des transistors bipolaires, dans lesquels le courant de collecteur augmente avec la température [Sev84].

Garantir le bon fonctionnement de cet assemblage n'est néanmoins pas trivial. Il faut vérifier que chaque transistor, nonobstant les inévitables dispersions de caractéristiques que l'on retrouve entre exemplaires de la même référence, reste dans son domaine de fonctionnement. Les couplages thermiques entre transistors peuvent avoir eux aussi une influence sur le point d'équilibre. Lors des commutations, le partage du courant doit également être assuré, en tenant ici aussi compte des dispersions de caractéristiques entre individus ; enfin, il faut veiller à ce que l'assemblage reste contrôlable, les transistors pouvant en effet constituer des oscillateurs dans certaines configurations.

Dans tous ces cas, la simulation constitue un outil précieux, puisqu'il est très difficile de mesurer le courant dans chaque transistor sans modifier profondément le câblage.

4.2.1 Présentation de la structure

Toute l'étude qui suit est basée sur un bras d'onduleur triphasé destiné à l'application *alternò-demarreur*. Chacun de ses 6 interrupteurs est constitué de 4 MOSFET STB210NF02 en parallèle. Cet onduleur est commandé en « pleine onde », c'est à dire qu'il n'effectue pas de découpage haute fréquence. De ce fait

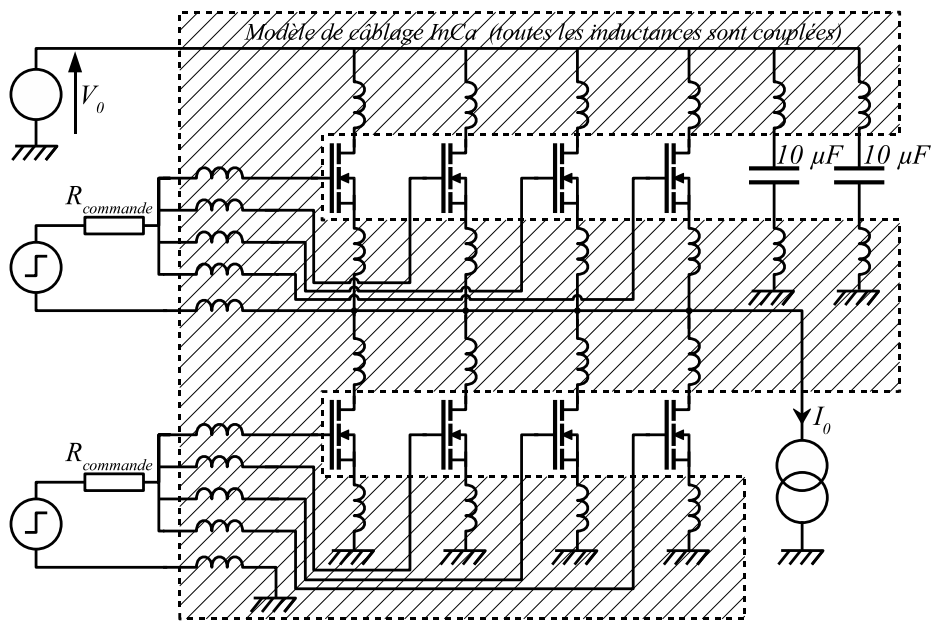


FIG. 4.16 – Schéma utilisé pour les simulations de mise en parallèle de transistors. Les résistances de câblage ne sont pas représentées dans le modèle InCa pour des raisons de clarté, mais jouent un rôle crucial sur la répartition du courant en régime statique.

(puisqu'il commute à basse fréquence, quelques centaines de hertz), et malgré sa connexion assez inductive à la batterie — qui est la source de tension continue de l'onduleur —, il ne nécessite que peu de capacités de filtrage ($20 \mu F$ par bras). Pour dissiper l'énergie stockée dans le câble de batterie, les transistors passent en avalanche lors des commutations pendant une durée relativement longue. Le modèle d'un bras de cet onduleur est visible figure 4.16

4.2.2 Équilibrage entre transistors

4.2.2.1 Équilibrage statique

Comme nous l'avons déjà mentionné, les MOSFET possèdent un comportement résistif à coefficient de température positif à l'état passant. La stabilité de leur association est donc assurée. Le but des simulations qui suivent est d'estimer l'impact du câblage et des dispersions de caractéristiques des transistors sur la répartition des courants. Il faut garder à l'esprit que dans le cas des applications basse tension, les résistances parasites du circuit — qui peuvent atteindre plusieurs dixièmes de milliohm — possèdent des valeurs non négligeables devant le $R_{DS_{on}}$ des transistors.

Influence du câblage Une simulation des courants de drain des huit transistors constituant notre bras d'onduleur est visible figure 4.17. La numérotation des MOSFETs se fait de gauche à droite comme indiqué sur la figure 4.18. Le courant total commuté I_0 est de $200 A$, et les commutations ont été volontairement ralenties afin de mettre l'accent sur la répartition statique¹. On remarque d'importantes différences entre MOSFET, notamment pour les MOSFET haut : $\Delta I_{MOS_{bas}} = 2,3 A$, $\Delta I_{MOS_{haut}} = 6 A$, soit, ramené au courant moyen de $50 A$ par transistor, un déséquilibre de 4,6 % et 12 % entre les MOSFET bas et haut respectivement (nous avons ici considéré tous les transistors comme strictement identiques).

Une croquis du bras d'onduleur, reprenant la position des trois connexions de puissance, est présenté figure 4.18. Cette structure a été modélisée à l'aide d'*InCa* dans sa totalité, mais pour des raisons de clarté (et de symétrie), nous nous restreindrons ici à l'étude de sa moitié droite. La résistance de câblage des quatre circuits de la figure 4.19 a été calculée à partir des résultats d'*InCa* sous forme de deux matrices, les résistances communes des circuits *a* et *b* d'une part et *c* et *d* d'autre part n'étant pas négligeables :

1. Le sens du courant a été pris montant pour les MOSFET bas et descendant pour les MOSFET haut, de manière à ce que les huit courants de la figure 4.17 soient positifs

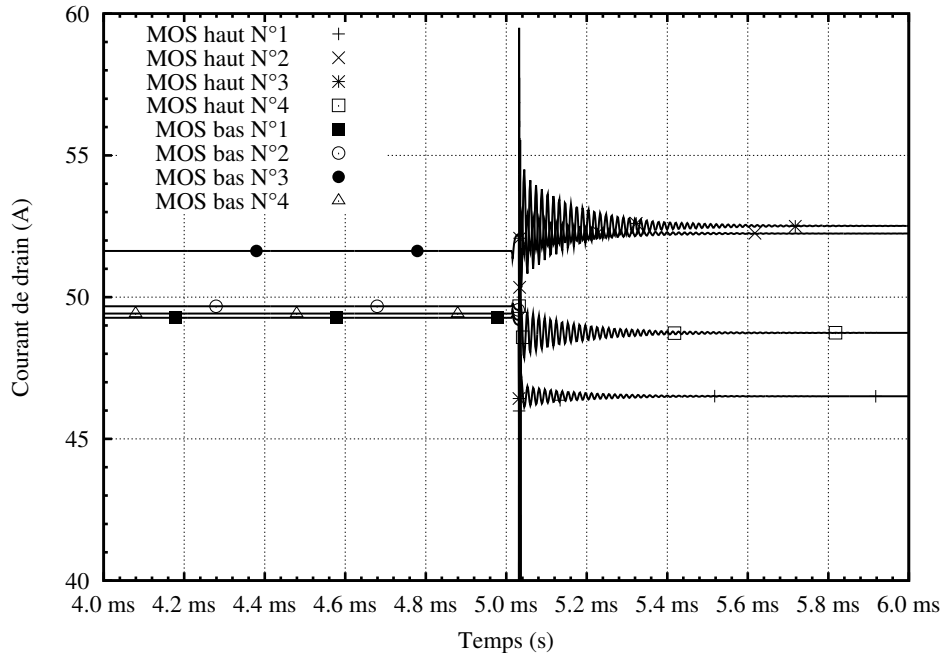


FIG. 4.17 – Courant dans chacun des MOSFET du bras d'onduleur (le signe du courant dans les MOSFET haut a été changé pour les besoins de la comparaison). Les résistances d'accès dues au câblage sont à l'origine des différences. La numérotation des transistors est celle de la figure 4.18.

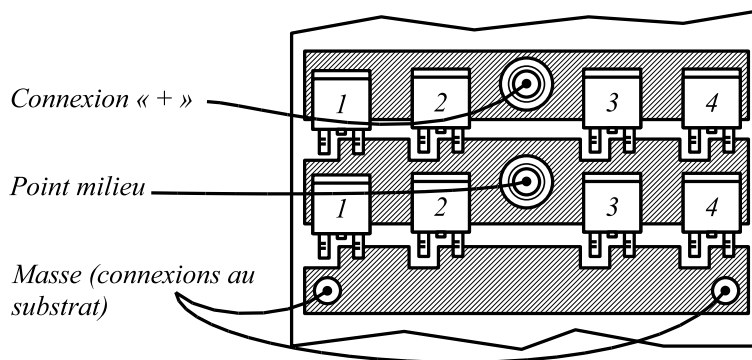


FIG. 4.18 – Disposition des connexions du bras d'onduleur modélisé (les connexions de grille ne sont pas représentées)

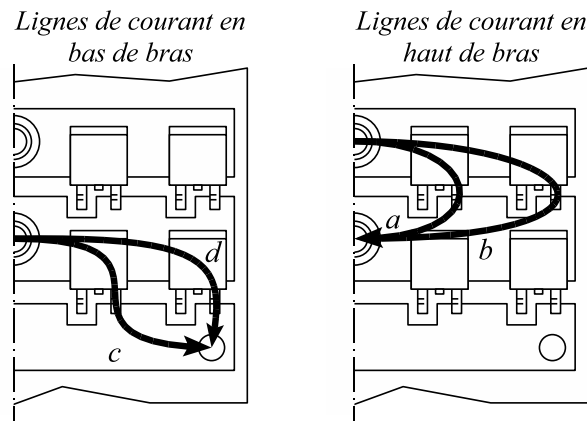


FIG. 4.19 – Circuits modélisés lors de la conduction des interrupteurs bas et haut du bras

$$\begin{array}{cc}
 & a & b \\
 a & \left(\begin{array}{cc} 0,54 \text{ m}\Omega & 0,29 \text{ m}\Omega \\ 0,29 \text{ m}\Omega & 0,79 \text{ m}\Omega \end{array} \right) & \\
 b & &
 \end{array} \quad (4.3)$$

$$\begin{array}{cc}
 & c & d \\
 c & \left(\begin{array}{cc} 0,72 \text{ m}\Omega & 0,34 \text{ m}\Omega \\ 0,34 \text{ m}\Omega & 0,70 \text{ m}\Omega \end{array} \right) & \\
 d & &
 \end{array} \quad (4.4)$$

Il apparaît que les résistances des circuits c et d (les termes diagonaux de la matrice (4.4)) sont sensiblement identiques, ce qui n'est pas le cas de celles des circuits a et b (matrice (4.3)). Cela s'explique par la position des connexions. Pour l'interrupteur haut, les deux connexions se trouvent sur l'axe de symétrie du bras, réduisant la résistance parasite du circuit a par rapport au b , alors que l'interrupteur bas possède ses deux connexions de part et d'autre des transistors, ce qui mène à deux résistances parasites sensiblement égales pour les circuits c et d (figure 4.19).

Ce bras d'onduleur n'est en fait pas totalement symétrique : la connexion de masse du côté droit du bras est en fait légèrement plus éloignée des transistors que celle du côté gauche. Cela explique les résultats de simulation de la figure 4.17, où par exemple les courants des MOSFET haut N°1 et 4 ne correspondent pas exactement. De plus, le maillage réalisé sous *InCa* est relativement grossier, ce qui peut également causer une dissymétrie dans le calcul.

Influence des dispersions de caractéristiques La tension de seuil des MOSFET étant un paramètre relativement mal maîtrisé, les fabricants donnent pour

Paramètre	Plage de variation
V_T	3,5 — 5,5 V
$R_{DS_{on}}$	2 — 3,2 mΩ

TAB. 4.2 – Variation des caractéristiques statiques des MOSFET STB210NF02 estimées d'après [For].

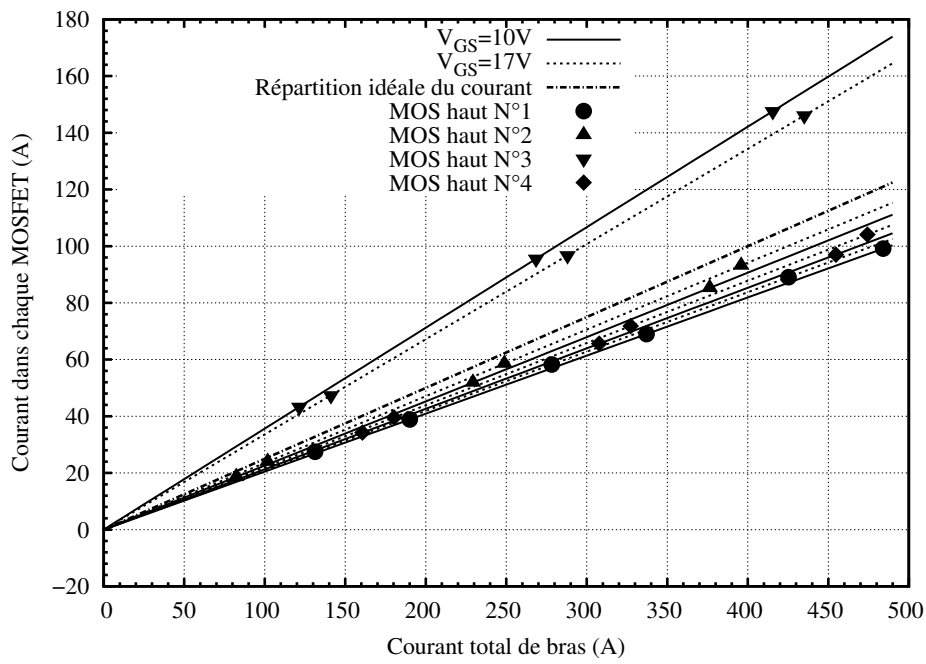


FIG. 4.20 – Courant dans chacun des interrupteurs en fonction du courant de bras total, pour deux tensions grille-source

sa valeur une fourchette assez large, de l'ordre de 2 V [For]. Le $R_{DS_{on}}$ peut varier lui aussi dans une large plage. Pour le STB210NF02, *STMicroelectronics* ne fournit pas de valeur minimale, mais une valeur typique de 2,6 mΩ et une valeur maximale de 3,2 mΩ. En considérant que la répartition des dispersions sur $R_{DS_{on}}$ est symétrique par rapport à la valeur typique, on peut estimer sa valeur minimale à 2 mΩ.

À partir de ces valeurs, reprises dans le tableau 4.2, on peut définir un pire cas pour l'équilibre statique: trois « mauvais » transistors, ayant la tension de seuil maximale et le $R_{DS_{on}}$ maximal en parallèle avec un « excellent » MOSFET, de tension de seuil basse et de $R_{DS_{on}}$ faible. Le tout en utilisant le demi bras haut de l'onduleur, ou la répartition de courant est la moins homogène (et en plaçant l'« excellent » MOSFET sur le circuit le moins résistif, de manière à accentuer les déséquilibres).

Il faut noter que $R_{DS_{on}}$ n'étant pas un paramètre de notre modèle de MOSFET, nous avons calculé les valeurs de $K_{P_{lin}}$ correspondantes, qui sont de 222 et 488 A.V⁻² pour $R_{DS_{on}} = 2$ et 3,2 mΩ respectivement. Les valeurs de R_D et R_S qui correspondent aux résistances de câblage des boîtiers des transistors sont considérées comme constantes.

Les résultats de simulation de la répartition du courant, obtenus pour une tension de grille de 10 et 17 V sont visibles figure 4.20. Le MOSFET n°3, qui a les meilleures caractéristiques, supporte tout naturellement un courant majoré. Il est cependant intéressant de remarquer que l'écart entre les courants de drain maximum et minimum est de 60 % du courant moyen (un quart du courant total) pour $V_{GS} = 10$ V contre 50 % pour $V_{GS} = 17$ V. A plus fort V_{GS} en effet, les différences de tension de seuil sont moins sensibles. Ce point est d'autant plus important que la tension de seuil a tendance à décroître avec la température, ce qui va à l'encontre de la stabilisation des transistors (V_{th} diminue, réduisant $R_{DS_{on}}$, ce qui augmente le courant de drain et, par là, l'échauffement). Une valeur de V_{GS} élevée peut donc être utile pour réduire l'effet des dispersions entre composants.

Il faut enfin noter que le cas étudié ici n'a qu'extrêmement peu de chances de se produire, puisqu'il consiste à associer les extrêmes absolus de production. Si l'on utilise des transistors issus d'un même lot, les écarts seront bien moindres [For].

Pour être complète, l'étude proposée ici aurait dû prendre en compte les interactions thermiques. Un modèle thermique complet, qui doit représenter les couplages entre transistors et les phénomènes de conduction de chaleur tridimensionnels dans le radiateur du convertisseur dépasse cependant du cadre de ce mémoire. Les résultats des tests effectués sur cet onduleur par *Valeo* ont en effet pu montrer que l'élévation de température des transistors est en grande partie liée à la position de ces derniers sur le radiateur : sa prise en compte dans

Paramètre	Plage de variation
V_T	3,5 — 5,5 V
$K_{P_{sat}}$	120 — 280 A.V ⁻²
C_{iss}	±40 %

TAB. 4.3 – Variation des caractéristiques dynamiques des MOSFET STB210NF02 estimées d'après [For].

une modélisation thermique pour des échelles de temps longues (cas de l'équilibrage statique entre transistors) est primordiale. L'environnement des transistors a également un effet sur la répartition de température. Il a ainsi été vérifié que la température des MOSFET situés sous les busbarres de puissance est plus élevée, ce qui remet en cause l'hypothèse d'une évacuation de chaleur par conduction uniquement (effets de convection non négligeables).

4.2.2.2 Équilibrage dynamique

Deux phénomènes différents peuvent être à l'origine de déséquilibres dynamiques [Alo03] :

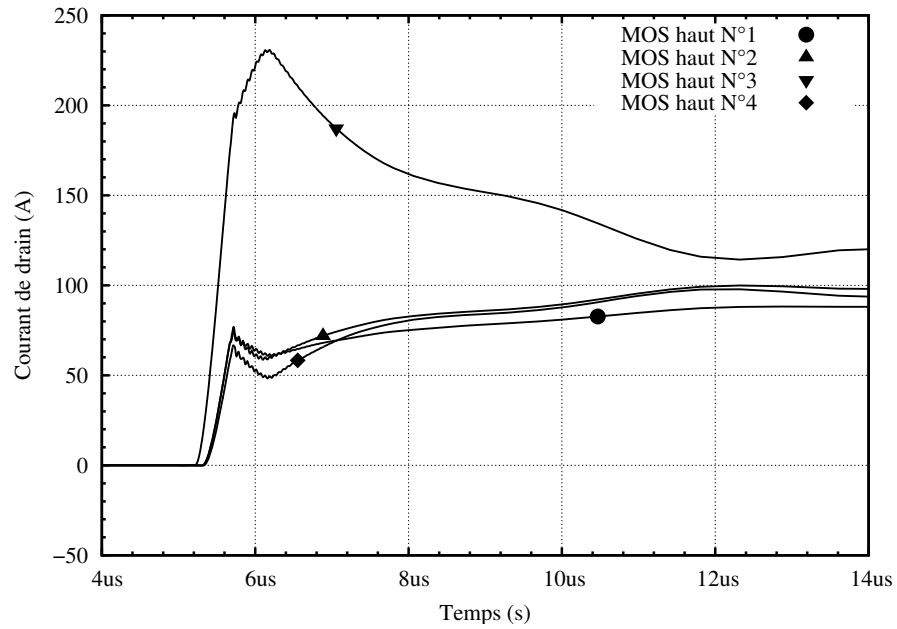
- l'existence d'un délai entre l'ouverture ou la fermeture de chaque transistor ;
- des vitesses de commutation en courant différentes entre transistors.

Comme dans le cas du déséquilibre statique, câblage et dispersions de caractéristiques entre transistors influent sur le partage du courant. Le délai de commutation entre les transistors est causé par des valeurs de tension de seuil ou de capacités d'entrée différentes, et les vitesses de montée ou de descente du courant sont imposées par la transconductance de chaque transistor (et sa tension de seuil) et par le câblage.

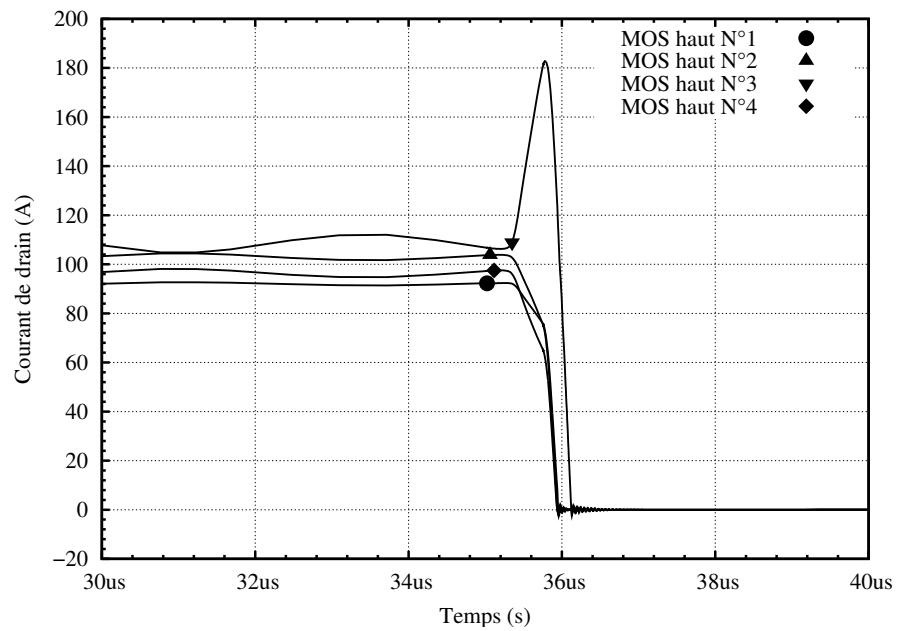
Le tableau 4.3 résume les valeurs extrêmes de dispersion que nous utiliserons dans ce qui suit. Nous n'analyserons pas l'influence d'une dispersion sur les valeurs d'inductances parasite des boîtiers de transistor, ce paramètre étant bien maîtrisé (variations inférieures à 5 % selon [Sev84]).

L'utilisation d'une seule résistance de commande pour l'ensemble ou d'une résistance de grille individuelle par transistor peut également avoir une influence.

Influence de la tension de seuil Durant la phase de commutation, les différences de tension de seuil entre les composants montés en parallèle vont entraîner des délais de mise en et hors conduction différents. Les composants de plus faible V_{th} vont se fermer les premiers et s'ouvrir en dernier.



(a)



(b)

FIG. 4.21 – Répartition des courants à la fermeture (a) et à l'ouverture (b) de l'interrupteur haut, pour une résistance de commande de 20Ω , un courant de charge de 400 A et une tension de seuil du MOSFET n°3 inférieure de 2 V à celles des autres transistors. (simulation)

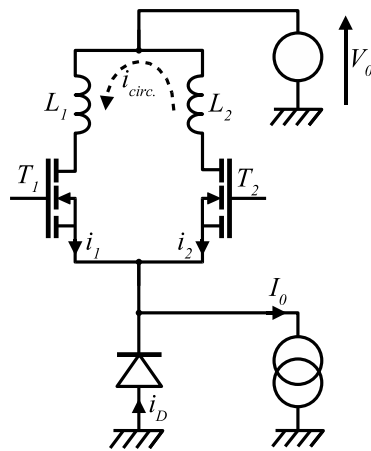


FIG. 4.22 – Courant de circulation dans une structure réduite à deux transistors en parallèle

Les figures 4.21(a) et (b) représentent les courants dans chacun des quatre MOSFET connectés en parallèle. Pour effectuer ces simulations, nous avons considéré que la source de tension du bras d'onduleur était connectée directement sur le SMI, sans inductance de câblage. Cette inductance entraîne en effet un passage en avalanche des transistors relativement long lors des commutations, avalanche qui est beaucoup plus énergétique que les phénomènes que nous étudions ici. L'étude que nous présentons constitue donc un « cas d'école » plus adapté à des convertisseurs commutant à haute fréquence, et pour lesquels la commutation doit être optimisée.

Dans les simulations des figures 4.21(a) et (b), le MOSFET n°3 possède une tension de seuil basse (3,5 V), alors que les trois autres ont au contraire un V_{th} haut (5,5 V). Comme pour l'étude statique de la section 4.2.2.1, nous avons considéré ici le pire cas possible.

Comme on pouvait le prévoir, le MOSFET n°3 supporte un fort surcourant à chacune des commutations (ouverture ou fermeture). Les trois autres transistors (parfaitement équivalents) se répartissent un courant identique (aux déséquilibres statiques près).

Il est intéressant de noter que le déséquilibre en courant à la fermeture se poursuit pendant une durée beaucoup plus longue que le simple retard entre transistors. Cela s'explique aisément grâce à la notion de courant de circulation présentée dans [Jea01] puis [Alo03]. Si l'on se réfère à la figure 4.22 — dans laquelle seuls deux transistors sont représentés, mais qui peut s'étendre, au prix cependant de moins de clarté, à un plus grand nombre — on peut exprimer le courant dans chaque transistor par

$$\begin{cases} i_1 &= \frac{I_0 - i_D}{2} + i_{circ.} \\ i_2 &= \frac{I_0 - i_D}{2} - i_{circ.} \end{cases} \quad (4.5)$$

Si l'on considère que l'on se place, durant la fermeture de l'interrupteur, après la commutation en tension (une fois la diode bloquée), on a alors $I_0 = 0$.

$$\begin{cases} i_1 &= \frac{I_0}{2} + i_{circ.} \\ i_2 &= \frac{I_0}{2} - i_{circ.} \end{cases} \quad (4.6)$$

D'où

$$i_1 = i_2 + 2i_{circ.} \quad (4.7)$$

En décidant arbitrairement que le transistor T_1 possède la tension de seuil la plus basse, on obtient $i_{circ.}$ positif (puisque T_1 supporte alors un surcourant).

La commutation en tension ayant été effectuée, les tensions drain source des transistors T_1 et T_2 , donc aux bornes des inductances L_1 et L_2 , sont très faibles ($R_{DSon} \cdot i_1$ ou $R_{DSon} \cdot i_2$). La variation du courant $i_{circ.}$ étant donnée par

$$\frac{di_{circ.}}{dt} = -\frac{v_{DS1} - v_{DS2}}{L_1 + L_2} \quad (4.8)$$

on voit que dans le cas de tensions drain source de faible valeur, l'équilibre entre i_1 et i_2 sera long à se faire (plusieurs microsecondes). Cela explique bien la durée de résorption du pic de courant visible sur la figure 4.21(a). Dans le cas de l'ouverture (figure 4.21(b)) le pic de courant est très rapide à disparaître, puisqu'il ne peut se prolonger au-delà de l'ouverture des transistors.

La figure 4.23 présente les valeurs pic du courant à la fermeture obtenues en simulation pour différentes résistances de commande (les quatre grilles des transistors sont reliées ensemble, puis connectées à la commande via une résistance unique). On peut noter qu'avec le ralentissement des commutations (lorsque $R_{commande}$ croît), le déséquilibre en courant s'amplifie. Si l'on s'intéresse à l'énergie dissipée par chaque transistor durant la totalité du cycle (durée de l'impulsion de commande: $30 \mu s$) et représentée figure 4.20, on voit que le déséquilibre peut devenir très important (avec un rapport un à six des énergies dissipées). Dans le cas d'un convertisseur travaillant à fréquence relativement élevée (plusieurs kilohertz), une simple dispersion des valeurs de tension de seuil (un peu exagérée ici), pourrait mener à la destruction des composants si la résistance de commande est mal choisie.

L'utilisation de résistances de grille individuelles pour chaque transistor ne changera rien, et nous avons pu vérifier que les valeurs de courant pic et d'énergie dissipée restaient inchangées (en fixant une résistance de grille individuelle d'une valeur quadruple de la résistance de commande unique, puisqu'on a ici quatre transistors à commander). Les capacités d'entrée des quatre transistors

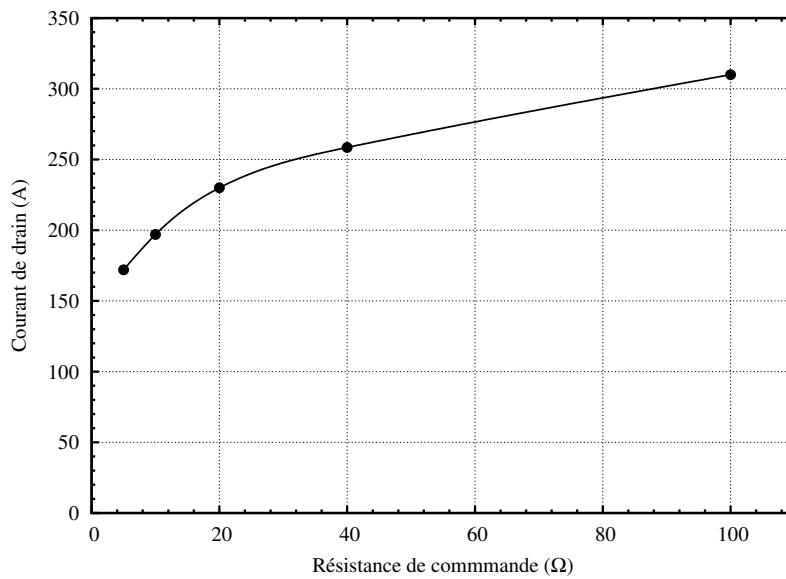


FIG. 4.23 – Évolution du surcourant dans le transistor n°3 à la fermeture de l'interrupteur haut en fonction de la résistance de commande, pour un courant de charge de 400 A, lorsque le transistor n°3 possède une tension de seuil inférieure de 2 V à celle des autres transistors (simulation).

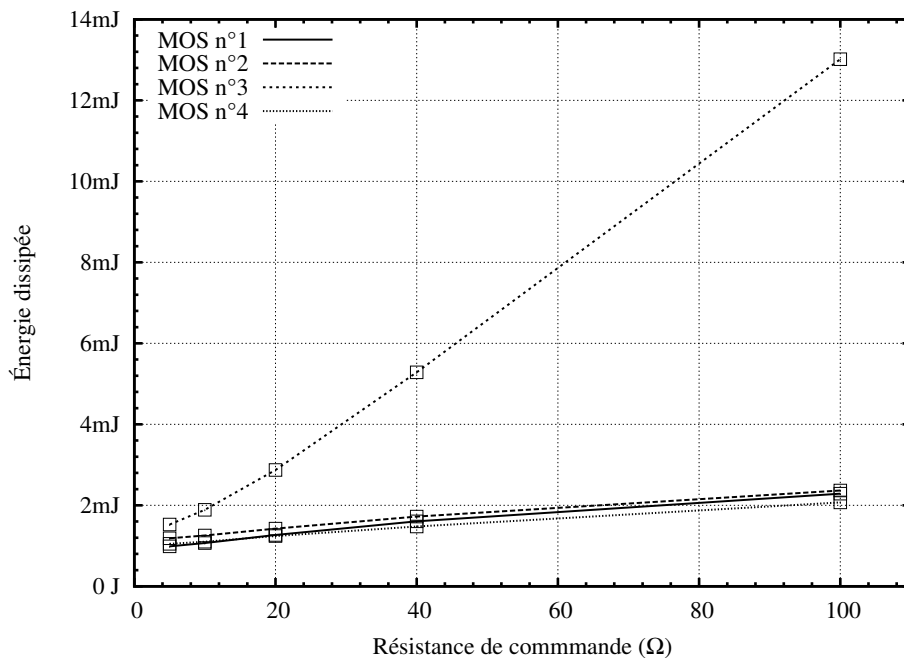


FIG. 4.24 – Énergie dissipée dans chaque transistor en fonction de la résistance de grille, dans les conditions des figures 4.21(b) et 4.21(a). (simulation)

sont en effet les mêmes, et les tensions de grille suivent la même évolution temporelle quelque soit la tension de seuil de chaque transistor.

Nous avons vu au chapitre 1, page 32, que la tension de seuil des MOSFET diminue lorsque leur température augmente. Il y a donc là un risque de divergence, puisque dans une assemblage parallèle, le transistor de plus faible tension de seuil est déjà celui qui dissipe le plus (figure 4.24 , page 171). Ici encore, une étude électrothermique complète serait nécessaire pour conclure, mais cela réclame un modèle thermique complet de l'onduleur.

Influence de la transconductance Durant la commutation en courant, les transistors fonctionnent en régime de saturation, puisque leur tension drain-source est de l'ordre de la tension d'alimentation du bras (la diode des transistors bas est passante) et que leur tension grille-source est proche de la tension de seuil. Le courant de drain est donc majoritairement contrôlé par la valeur de V_{GS} . Si l'on se reporte à l'équation (1.37) (page 40), le courant de drain en régime de saturation est donné par

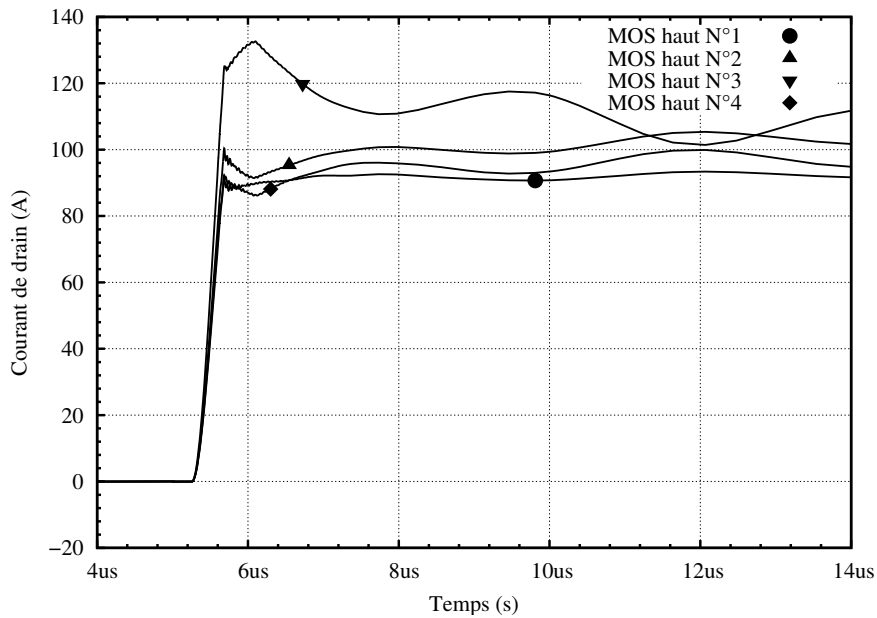
$$I_{D_{sat}} = K_{P_{sat}} \frac{(V_{GS} - V_{th})^2}{2[1 + \theta(V_{GS} - V_{th})]} \quad (4.9)$$

Une valeur de $K_{P_{sat}}$ différente suivant les transistors va donc créer un déséquilibre dans les vitesses de variation du courant de drain. Si l'on fixe les limites de dispersion de $K_{P_{sat}}$ à $\pm 40\%$ [For], on obtient, toujours pour une résistance de commande unique de $20\ \Omega$ et un courant de charge de $400\ A$, les figures 4.25(a) et 4.25(b). Il s'agit encore une fois d'un pire cas dans lequel le MOSFET de plus fort $K_{P_{sat}}$ ($280\ A.V^{-2}$) est le n°3, alors que les trois autres ont un $K_{P_{sat}}$ minimal ($120\ A.V^{-2}$).

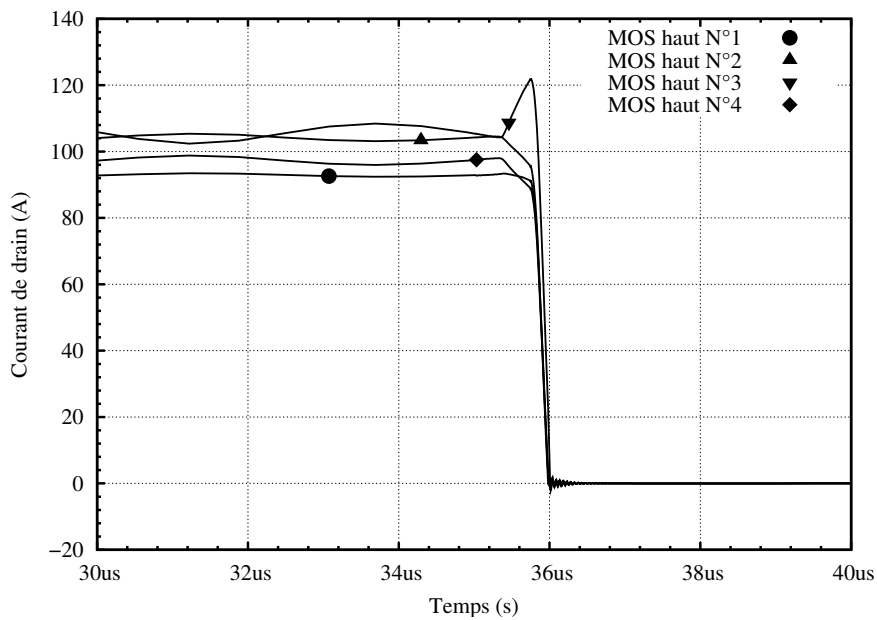
Il apparaît que le déséquilibre est beaucoup moins sévère que dans le cas d'une dispersion des valeurs de V_{th} . On retrouve les mêmes formes à l'ouverture et à la fermeture que dans le cas précédent, avec un « lent » retour à l'équilibre lors de la fermeture (figure 4.25(a)). On retrouve également lors de la fermeture une « cassure » dans la montée du courant qui se produit au moment de la commutation en tension, lorsque la somme des quatre courants de drain est alors égale à I_0 . Le transistor de plus fort $K_{P_{sat}}$ voit sa tension drain source chuter la première, entraînant l'augmentation du courant de circulation $\frac{i_{circ.}}{dt} = -\frac{v_{DS1} - v_{DS2}}{L_1 + L_2}$ (voir figure 4.22, en assimilant les trois transistors de même $K_{P_{sat}}$ à T_2).

La figure 4.26 confirme que les effets de la variation de $K_{P_{sat}}$ sont beaucoup moins importants que dans le cas précédent (variation de V_{th}).

En ce qui concerne l'aspect électrothermique, la transconductance des MOSFET, liée à la mobilité électronique (chapitre 1, page 32), diminue avec la température. Cela tend donc à stabiliser le comportement de l'assemblage de la même manière qu'en régime statique.



(a)



(b)

FIG. 4.25 – Répartition des courants à la fermeture (a) et à l'ouverture (b) de l'interrupteur haut, pour une résistance de commande de 20Ω , un courant de charge de 400 A, une transconductance $K_{P_{sat}}$ du MOSFET n°3 de $280\text{ A}\cdot\text{V}^{-2}$; celle des autres MOSFET étant de $120\text{ A}\cdot\text{V}^{-2}$ (soit respectivement +40 % et -40 % de sa valeur nominale) (simulation).

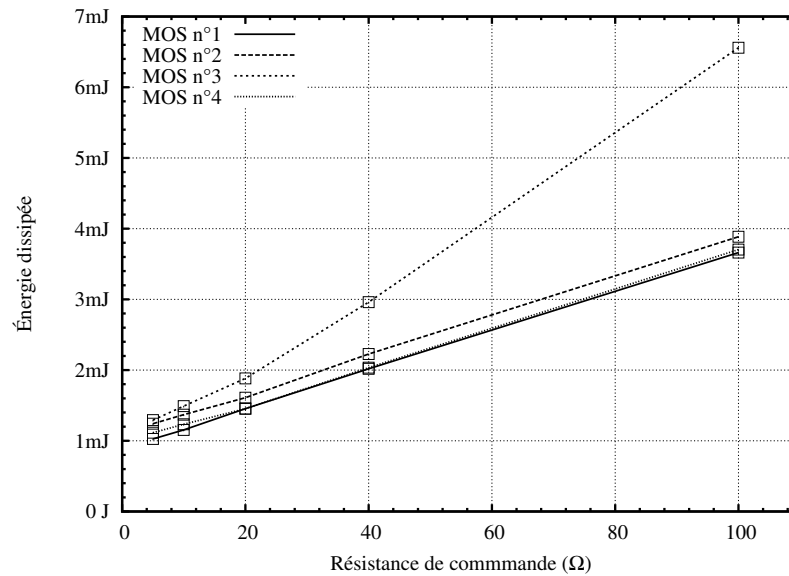


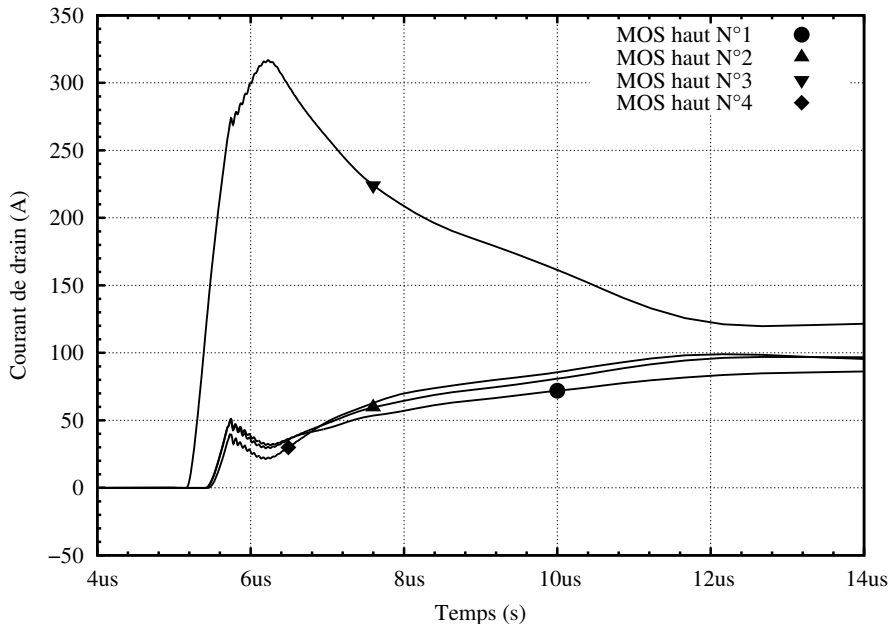
FIG. 4.26 – Énergie dissipée dans chaque transistor en fonction de la résistance de grille, dans les conditions de la figure 4.25. (simulation)

Influence des capacités d'entrée du MOSFET

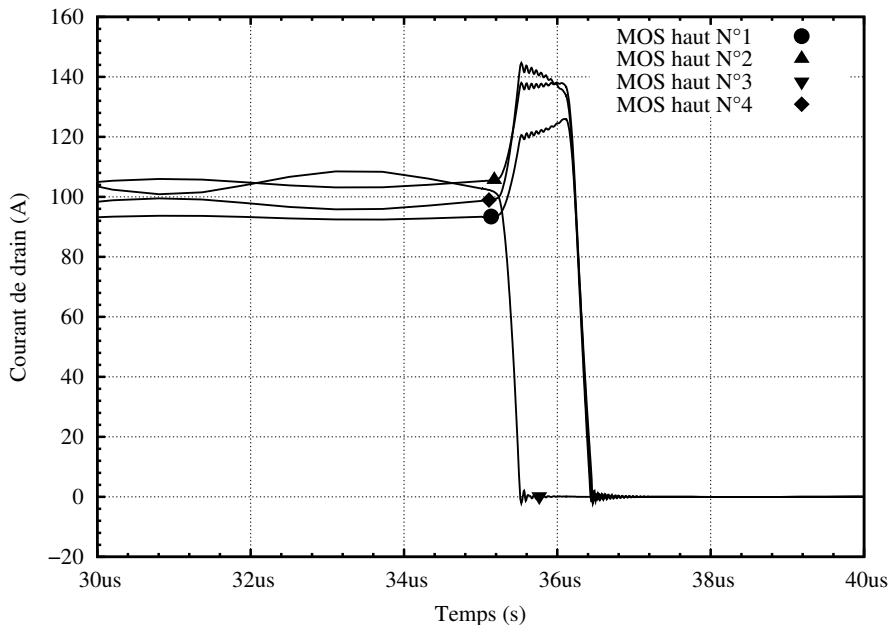
La valeur de la capacité d'entrée C_{iss} , constituée des capacités C_{GS} et C_{GD} , peut, elle aussi, varier dans d'importantes proportions. Dans [For], l'auteur considère une plage de $\pm 40\%$ autour de la valeur nominale. Nous avons considéré dans ce qui suit que C_{GS} et C_{GD} varient de façon identique. Deux modèles ont donc été utilisés, l'un avec une capacité C_{iss} minimale (utilisé pour le transistor n°3), et l'autre avec C_{iss} maximal (utilisé pour les trois autres MOSFET).

Pour que cette variation de valeur de la capacité d'entrée des transistors ait un effet, il faut que chaque transistor soit commandé par une résistance de grille différente : si les quatre grilles sont connectées ensemble, le V_{GS} de chaque transistor est le même (en première approche) et, pour peu que les autres caractéristiques des transistors soient identiques, le courant se répartit correctement durant la commutation. Si chaque transistor est commandé à travers une résistance différente, au contraire, chaque V_{GS} pourra évoluer indépendamment.

La figure 4.27 présente les résultats de simulation dans le cas de résistances de grilles individuelles de $80\ \Omega$ (correspondant en vitesse de commutation à une seule résistance de commande de $20\ \Omega$). À la fermeture, le MOSFET n°3 est plus rapide (sa capacité d'entrée est plus faible), il commute donc le premier, et supporte une importante surcharge. Il est par contre le premier à s'ouvrir, et commute donc sous tension nulle. Contrairement aux cas précédents (dispersions dans les valeurs de V_{th} ou $K_{P_{sat}}$), la surcharge ne s'exerce pas sur les mêmes transistors à l'ouverture et à la fermeture.



(a)



(b)

FIG. 4.27 – Répartition des courants entre MOSFET de l'interrupteur haut durant les commutations, à la fermeture (a) et à l'ouverture (b) pour un courant de charge de 400 A et une résistance de commande de 80 Ω par transistor, dans le cas d'un déséquilibre de C_{iss} (simulations).

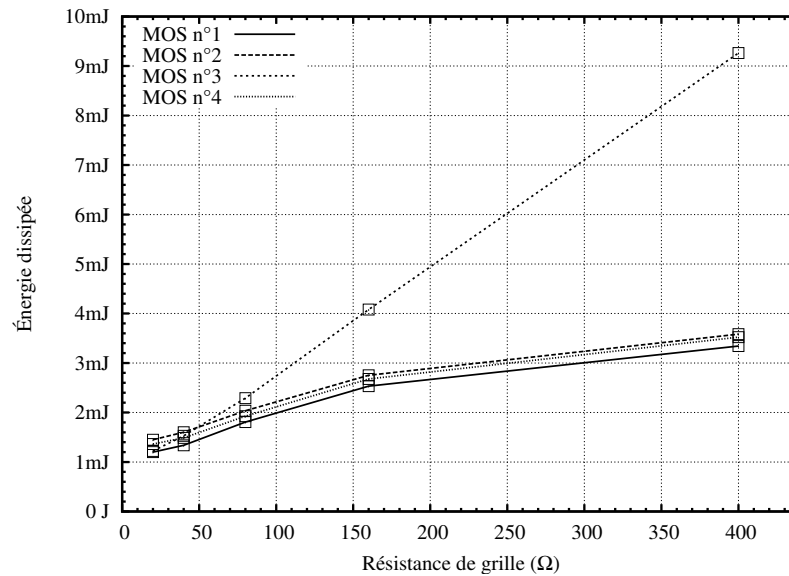


FIG. 4.28 – Énergie dissipée dans chaque transistor en fonction de la résistance de grille, dans les conditions de la figure 4.27. (simulation)

L'évolution des pertes en fonction des résistances de grille visible figure 4.28 montre cependant que si l'énergie dissipée à la fermeture et à l'ouverture se compensent à peu près jusqu'aux environs de 80 Ω , il n'en va pas de même au-delà : le MOSFET de plus faible C_{iss} se voit fortement surchargé aux fortes valeurs de R_G .

La figure 4.29 montre en outre que le surcourant supporté par le transistor n°3 est très important (il atteint même la valeur du courant total I_0), et ce, même aux plus faibles valeurs de résistances de grille. Ce fonctionnement peut poser des problèmes de fiabilité en raison des cyclages mécaniques et thermiques imposés notamment aux *bondings* des transistors.

Discussion Nous n'avons pas considéré un cas conjuguant en même temps les effets des dispersions sur V_{th} , $K_{P_{sat}}$ et C_{iss} , car il est probable que des corrélations existent entre elles : une étude statistique est nécessaire pour voir si l'on peut définir différentes populations suivant les valeurs de leurs différents paramètres.

Pour tirer des conclusions sur ce qui précède, il faudrait également connaître les effets des surcourants sur la fiabilité des transistors. Dans le cas d'un écart sur les valeurs de capacités d'entrée, par exemple, on peut avoir un surcourant important dans l'un des MOSFET sans que l'énergie qu'il dissipe ne soit plus importante que dans les autres. Il est pourtant probable que cela entraîne des contraintes mécaniques et thermiques au niveau de ses *bondings* susceptibles

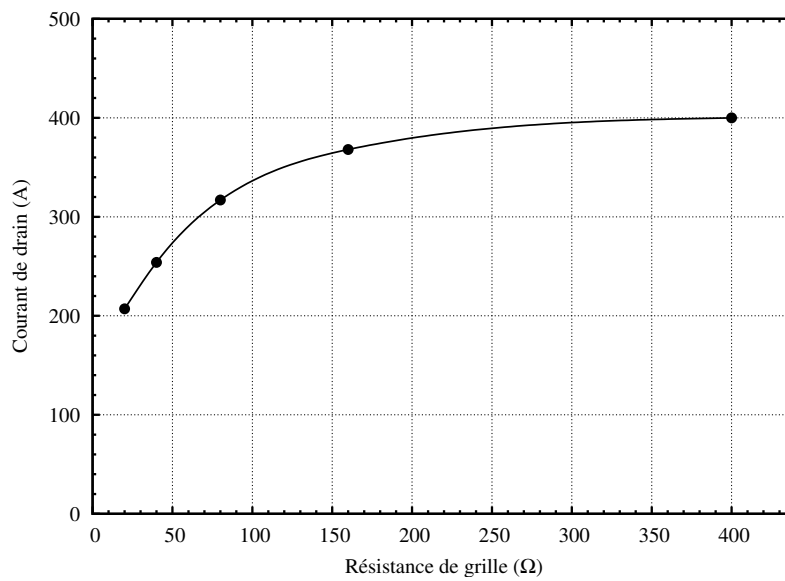


FIG. 4.29 – Évolution du surcourant dans le transistor n°3 à la fermeture de l'interrupteur haut en fonction de la résistance de grille, pour un courant de charge de 400 A, lorsque le transistor n°3 possède une capacité d'entrée C_{iss} 40 % plus faible que sa valeur nominale et que les trois autres transistors ont un C_{iss} 40 % supérieur à cette même valeur nominale (simulation, dans les conditions de la figure 4.27).

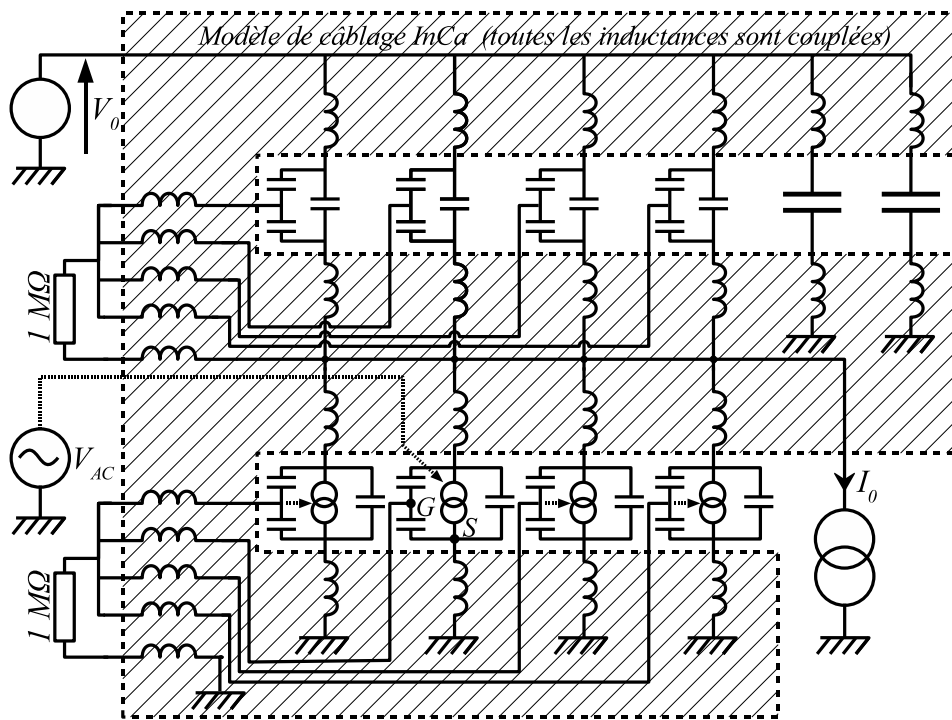


FIG. 4.32 – Modélisation petits signaux mode différentiel du circuit de la figure 4.16

le problème au modèle petits signaux de la figure 4.31 qui ne comprend qu'un transistor . Il faut alors calculer le polynôme caractéristique du système puis vérifier qu'il est stable² en utilisant un critère analytique (Routh-Hurwitz dans [Kas84])

Cette approche ne peut cependant s'appliquer qu'à des systèmes très simples. L'écriture du polynôme caractéristique du modèle de la figure 4.31 réclame déjà une ou deux pages de calcul, et son extension à un problème à quatre transistors reliés par un câblage plus complexe (avec de nombreuses inductances couplées) est difficilement envisageable.

Dans [Gia85], l'auteur propose d'utiliser un simulateur circuit pour effectuer l'étude de robustesse. Il reprend le circuit de la figure 4.31, mais « ouvre » la boucle : le courant de drain n'est alors plus commandé par la tension aux bornes de la capacité C_{GS} , mais par une source externe. On peut ainsi procéder à une étude fréquentielle, puis utiliser les critères de stabilité graphiques des systèmes en boucle ouverte (Diagrammes de Nyquist, Bode, Black...). La grandeur obser-

2. Dans ce qui suit nous utiliserons le terme d'instabilité pour décrire le comportement d'un système dont le comportement devient oscillatoire lors des commutations. En toute rigueur, on ne peut pas parler de stabilité dans un système changeant d'état, et il s'agit là d'un abus de langage, pratiqué cependant dans les publications citées dans cette section.

Paramètre	STB210NF02	MOSFET « instable »
L_G	10 nH	10 nH
R_G	4 Ω	4 $\mu\Omega$
L_D	2 nH	2 nH
R_D	1,6 m Ω	1,6 m Ω
L_S	4 nH	4 nH
R_S	1 m Ω	1 m Ω
A_{GD}	25 mm ²	2,5 mm ²
C_{oxd}	6000 pF	600 pF
C_{GS}	3300 pF	300 pF

TAB. 4.4 – Paramètres des modèles fins (grands signaux) du STB210NF02 et du MOSFET « instable »

vée est la tension aux bornes de C_{GS} .

Cette méthode est très rapide à mettre en oeuvre, puisqu'elle est applicable sous *Pspice*, en utilisant le circuit déjà décrit (notamment le modèle de câblage) et en remplaçant les modèles fins des transistors par leur équivalent petits signaux. Le schéma de la figure 4.32 propose une telle modélisation, dans laquelle le système a été ouvert au niveau du second MOSFET de l'interrupteur bas. Les transistors de l'interrupteur haut étant totalement ouverts lorsque ceux du bas sont en régime saturé, leur modèle se résume aux capacités C_{GS} , C_{DS} et C_{GD} . Pour ne pas alourdir encore le schéma, nous n'y avons pas mentionné les résistances et couplages résistifs et inductifs de connectique qui ont été pris en compte.

Huit simulations — chacune effectuée en « ouvrant » un transistor différent — sont donc nécessaires pour s'assurer de la stabilité du système. Ces simulations fréquentielles ne comportant que des éléments constants, elles sont très rapides.

On peut néanmoins douter de la validité d'une telle modélisation : les capacités MOSFET sont très loin d'être constantes, pas plus que la transconductance qui évolue avec v_{GS} (et v_{DS}). En ce qui concerne ce dernier point, nous avons simplement effectué des simulations paramétriques, pour plusieurs valeurs de transconductance.

À titre d'exemple, la figure 4.33 présente un diagramme de Nyquist sur lequel sont tracées les réponses du système de la figure 4.32 pour plusieurs valeurs de transconductance (de 1 à 100 S). Cet ensemble de courbes est très difficile à interpréter, et les grandes différences que l'on peut observer entre deux valeurs de transconductance successives tendent à montrer que le système a une réponse chaotique.

Deux courbes entourent le point critique du plan de Nyquist (-1,0), mais

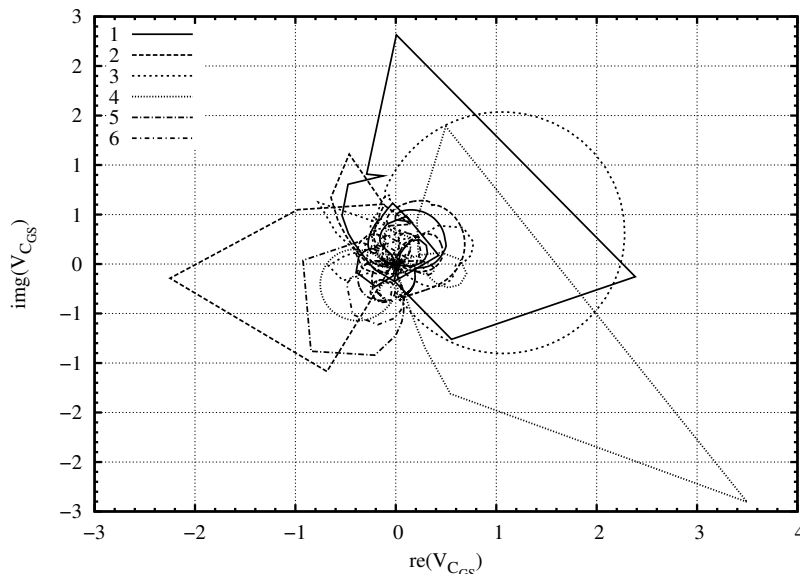


FIG. 4.33 – Diagramme de Nyquist issu de la simulation fréquentielle du schéma de la figure 4.32

on ne peut assurer qu'il s'agisse de cas réalistes. C_{iss} et transconductance dépendent tous deux de v_{DS} et v_{GS} , et les points tracés à l'aide du modèle petits signaux peuvent tout à fait correspondre à des cas impossibles.

Pour obtenir des résultats plus fiables sur la stabilité du système, nous avons préféré effectuer des simulations temporelles (donc avec les modèles fins des transistors). Le schéma de la figure 4.16 a été repris en ajoutant, en série avec la grille d'un des transistors, une source de tension délivrant des créneaux (1 V d'amplitude, durée 10 ns, 1 ns de temps de montée et de descente, et une occurrence de 1 μ s) pour exciter d'éventuels modes oscillatoires. Pour compléter le tout, le bras est commandé très lentement (environ 100 μ s de temps de montée pour la tension de commande, de manière à laisser aux oscillations le temps de s'amorcer [Gia85].

Les MOSFET STB210NF02 s'étant révélés inconditionnellement stables (il est possible de modifier la valeur de R_G de 4 $\mu\Omega$ à 4 Ω sans conséquences sur la stabilité), nous avons créé un modèle de transistor improbable, dont les caractéristiques sont résumées dans le tableau 4.4. Il correspond à un STB210NF02 dont les capacités d'entrée seraient dix fois plus faibles, et la résistance de grille quasi-nulle (l'augmentation de R_G tend à stabiliser le système).

L'utilisation de ces transistors révèle des instabilités (figures 4.34 et 4.35), qui persistent jusqu'à une valeur de R_G de 1 Ω . Au-delà, le système redevient stable.

Nous avons effectué d'autres simulations, pour des valeurs de capacité d'entrée double ou moitié de celle du STB210NF02, en faisant varier indépendam-

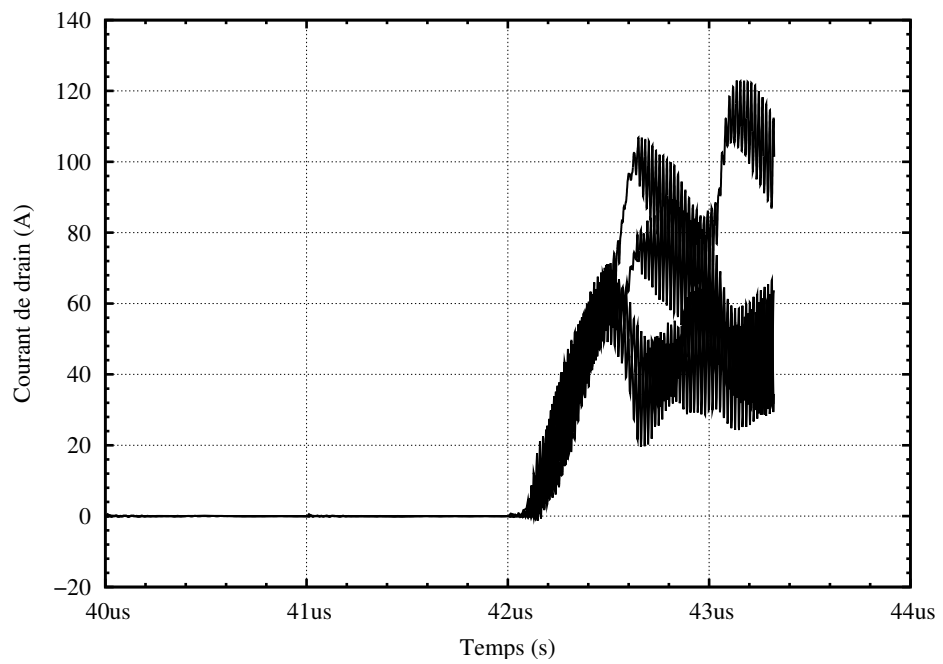


FIG. 4.34 – Simulation temporelle des courant de drain des transistors bas dans le cas d'un système instable (réalisé en utilisant le modèle fin du transistor « instable » dont les paramètres sont résumés dans le tableau 4.4) excité par des impulsions de tension sur sa grille

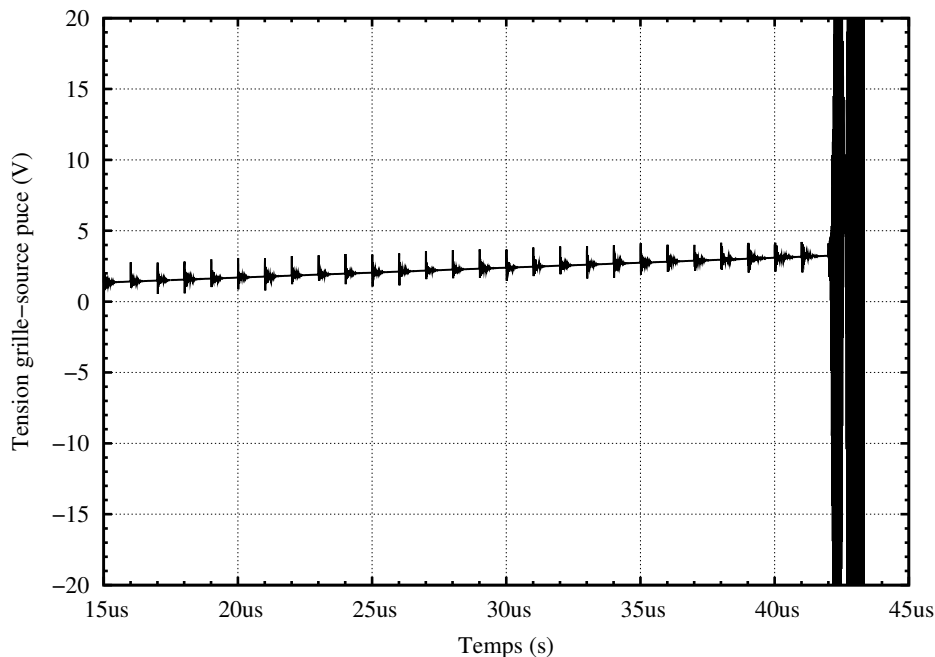


FIG. 4.35 – Tension grille source au niveau de la puce du transistor excité. Lors des oscillations, la tension simulée dépasse les 100 V d'amplitude.

ment les paramètres de C_{GS} et C_{GD} , sans mettre en évidence d'instabilité. Les inductances des boîtiers étant bien maîtrisées par les fabricants (ils annoncent une incertitude de 5 % sur leur valeur [Sev84]) nous n'avons pas effectué de simulation sur l'influence de ce paramètre.

Au vu de ces résultats, le bras d'onduleur paraît donc stable, avec de larges marges de sécurité, puisqu'il a fallu diviser les capacités d'entrée des transistors par 10 et leur résistance de grille par 4 pour pouvoir exciter un mode oscillatoire.

4.2.4 Comportement en régime d'avalanche

Dans les applications automobiles, le régime d'avalanche fait partie des modes fonctionnels d'un onduleur (voir la section 1.2.2 à ce propos). Pour des raisons économiques, on cherche à réduire les capacités de filtrage du bus continu. L'inductance de câblage entre batterie et onduleur n'est ainsi plus masquée par ces capacités (qui sont placées sur l'onduleur, au plus près des interrupteurs). La source de tension montre alors aux courtes échelles de temps un comportement inductif (voir figure 1.17, page 31), et l'énergie stockée dans le câble est dissipée à chaque commutation par le passage en avalanche des MOSFET.

L'autre mode de fonctionnement en avalanche évoqué en 1.2.2 est la décon-

nexion accidentelle de batterie alors que l'alternateur, via l'onduleur, débite un fort courant pour la charger (conditions de *load dump* [Nam04, Efl90]). L'augmentation de tension du réseau de bord qui en résulte occasionne le passage en avalanche des transistors de l'onduleur (voir figure 1.18, page 32).

Dans ces deux cas, les MOSFET doivent non seulement être dimensionnés pour absorber l'énergie stockée dans l'inductance de câblage ou le stator d'alternateur, mais également pour maintenir le réseau de bord du véhicule dans la plage de tensions autorisées. Le *load dump* pourrait en effet être traité par la mise en conduction des trois interrupteurs haut (ou bas) de l'onduleur et l'ouverture de leurs complémentaires, court-circuitant ainsi l'alternateur. Cela imposerait cependant une tension nulle sur le réseau de bord, tous les générateurs étant alors déconnectés, ce qui n'est pas autorisé. Il n'est pas non plus possible d'utiliser les MOSFET en régime de saturation pour réguler la tension, puisqu'ils sont thermiquement instables dans ce mode (voir section 1.2.3) : on ne peut donc utiliser que le régime d'avalanche pour dissiper l'énergie de *load dump*.

La tension d'avalanche des transistors est malheureusement un paramètre mal maîtrisé en fabrication, avec des tolérances de l'ordre de plusieurs volts pour des transistors de calibre 20 V. Dans une association en parallèle, le MOSFET ayant le plus faible V_{BR_0} va passer en régime d'avalanche le premier. Les phénomènes électriques (prise en compte de la résistance du chemin d'avalanche R_{BR}) et électrothermiques (paramètre β) vont ensuite tendre à équilibrer le partage du courant entre les autres transistors de l'association.

Il est donc important de prévoir les effets de la dispersion du paramètre V_{BR_0} sur cet équilibre. La simulation est ici un outil précieux pour estimer les température et courant maximaux atteints par chaque transistor en fonction des différentes valeurs de V_{BR_0} , et vérifier que l'ensemble reste dans les zones de fonctionnement garanti (SOA).

La littérature à ce sujet n'est pas très importante, les transistors MOSFET supportant un fort régime d'avalanche répétitif étant relativement récents, et le problème de leur mise en parallèle très spécifique. Citons particulièrement [Che04], qui étudie la mise en parallèle sous un aspect électrothermique uniquement (aucune dépendance entre la tension d'avalanche et le courant de drain n'y est mentionnée) et [Rei93] qui ne considère que l'aspect électrique, en se plaçant à des échelles de temps suffisamment courtes pour négliger l'aspect thermique.

4.2.4.1 Modélisation

Si l'on considère une inductance de câblage L entre onduleur et batterie de l'ordre de $2 \mu H$ (approximativement équivalente à deux longueurs d'un mètre de câble) et un courant débité de $400 A$ (cas d'un démarrage), les constantes

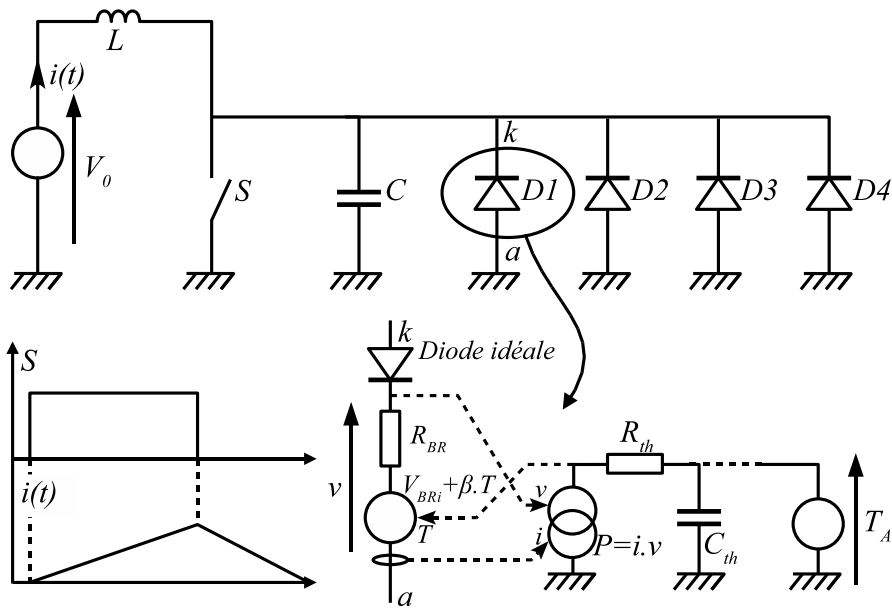


FIG. 4.36 – Schéma de simulation du passage en avalanche des quatre MOSFET formant un interrupteur élémentaire de l'onduleur.

de temps sont largement supérieures à la microseconde. Le temps nécessaire à l'annulation du courant dans l'inductance de câblage en cas d'avalanche (en considérant une tension d'avalanche V_{BR} constante égale à 24 V et une tension batterie V_0 de 14 V) est en effet de

$$\Delta t = L \frac{\Delta I}{V_{BR} - V_0} = 2 \cdot 10^{-6} \frac{400}{24 - 14} = 80 \mu s \quad (4.10)$$

On peut donc négliger les inductances parasites entre les transistors, qui sont de l'ordre de quelques nanohenrys, et qui ne jouent aucun rôle au dessus de quelques microsecondes. De la même façon, l'ordre de grandeur des résistances des chemins d'avalanche est de la dizaine de milliohms (voir chapitre 3), bien au-delà des résistances parasites du câblage.

Le schéma de simulation ainsi simplifié est présenté figure 4.36. Il utilise un interrupteur S pour charger l'inductance L ($2 \mu H$), une capacité C ($60 \mu F$) que l'on trouve sur l'onduleur réel et quatre diodes $D1$ à $D4$ modélisant le comportement en avalanche des quatre MOSFET en parallèle.

Chacune de ces diodes est modélisée par le schéma électrothermique représenté en bas à droite de la figure 4.36. Le réseau électrothermique est identique à celui utilisé dans la section 3.3.3, à savoir 100 cellules R_{TH}, C_{TH} pour modéliser la puce du transistor, plus une trentaine de cellules pour la semelle de cuivre. Une capacité thermique supplémentaire est placée en tête pour représenter la

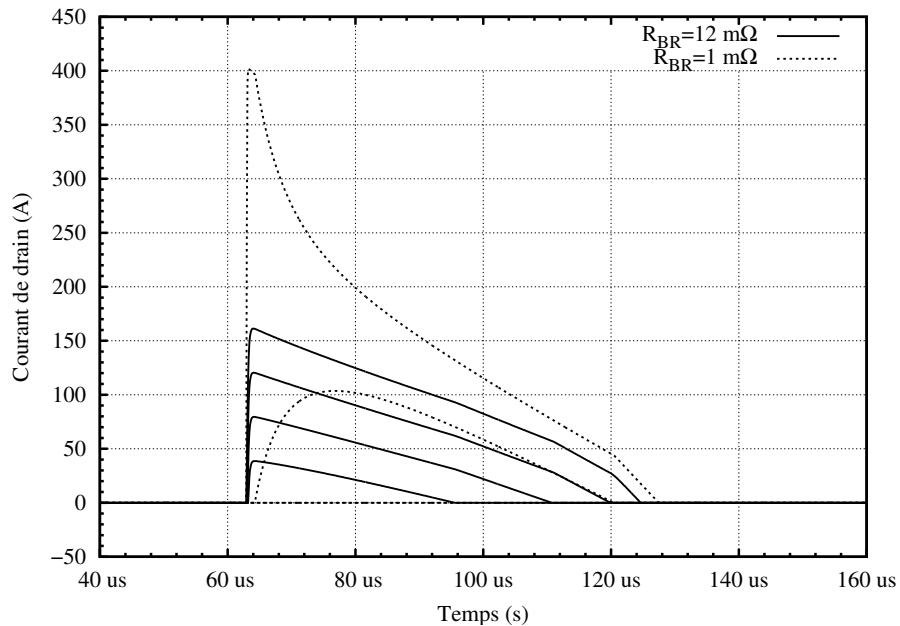


FIG. 4.37 – Évolution temporelle du courant de drain de chacun des quatre transistors en parallèle, avec prise en compte de la résistance d'avalanche ($R_{BR} = 12 \text{ m}\Omega$) ou sans ($R_{BR} = 1 \text{ m}\Omega$)(simulation).

métallisation et les connexions de la puce. Du fait des limitations déjà évoquées de cette modélisation (modélisation unidimensionnelle et non-prise en compte de l'environnement des transistors), la validité des résultats ne dépasse guère $500 \mu\text{s}$.

Les conditions modélisées par le schéma 4.36 sont représentatives du cas d'avalanche lors des commutations de l'onduleur. Dans le cas d'un *load dump*, la valeur de L est bien supérieure (puisqu'elle correspond alors au stator de l'alternateur, plus proche de $40 \mu\text{H}$) et le courant i est plus faible (de l'ordre de la centaine d'ampères) puisqu'il s'agit alors du courant fourni en mode alternateur, et non plus du courant de démarrage. Il en résulte que l'effet de R_{BR} est quasi-négligeable et que l'équilibrage ne se fait qu'électro-thermiquement.

4.2.4.2 Résultats de simulation

Les résultats de simulation obtenus en fixant une valeur de V_{BR_0} de 25,5, 26, 26,5 et 27 V pour les diode $D1$, $D2$, $D3$ et $D4$ respectivement sont présentés figures 4.38 et 4.37. Deux cas ont été étudiés. Dans le premier ($R_{BR} = 1 \text{ m}\Omega$, tracé en pointillés), on fait abstraction de la résistance du chemin d'avalanche identifiée en 3.3.3 et l'on ne considère que l'influence résistive de la connectique du transistor. Il en résulte que l'équilibrage entre les transistors se fait surtout de

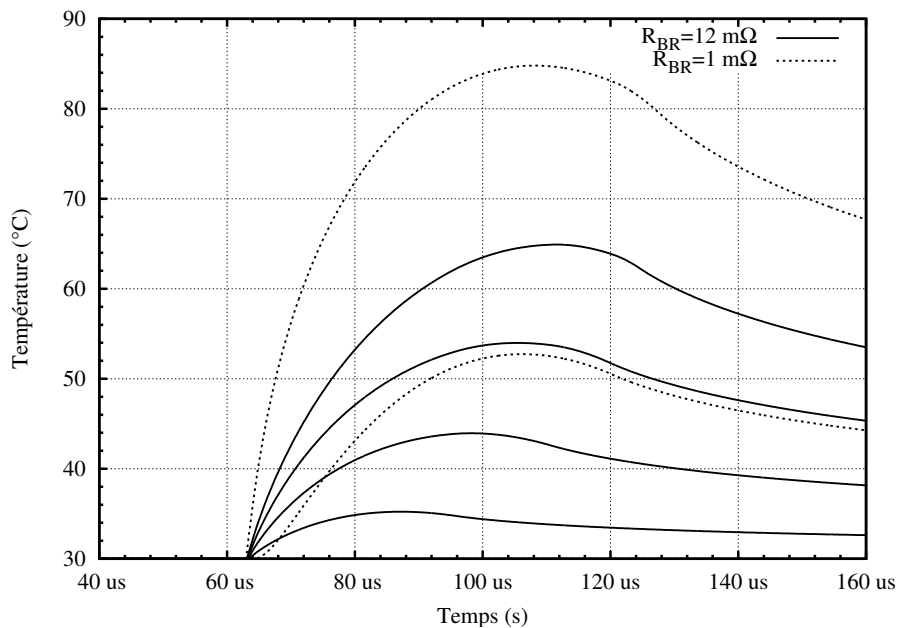


FIG. 4.38 – Évolution temporelle de la température interne de chacun des quatre transistors en parallèle, avec prise en compte de la résistance d'avalanche ($R_{BR} = 12 \text{ m}\Omega$) ou sans ($R_{BR} = 1 \text{ m}\Omega$)(simulation).

manière thermique — donc lente — et que le transistor ayant le V_{BR_0} le plus bas supporte le courant total en début d'avalanche. Par la suite, seul le second transistor de plus bas R_{BR_0} participe à la conduction.

Dans le second cas, on considère la valeur de R_{BR} qui a été identifiée au chapitre 3 ($12 \text{ m}\Omega$, traits pleins sur la figure 4.37). L'équilibrage se fait alors tant de manière électrique que thermique, et l'on peut voir que dès le début du régime d'avalanche, les quatre transistors participent à la conduction.

Les températures maximales atteintes par les transistors dans les deux cas sont également très différentes : 85°C contre 65°C pour $R_{BR} = 1$ et $12 \text{ m}\Omega$ respectivement (figure 4.38).

Un autre cas (non tracé) a été considéré : un seul transistor de $V_{BR_0} = 25 \text{ V}$ et trois à $V_{BR_0} = 27 \text{ V}$. Si l'on ne tient pas compte de R_{BR} , le premier transistor supporte l'intégralité du courant d'avalanche (avec un pic à 400 A , soit plus de trois fois son courant nominal), et sa température grimpe à 108°C (pour 30°C d'ambiante). Lorsque l'on considère la présence de R_{BR} au contraire, le courant maximal dans le transistor de plus bas V_{BR_0} est de 220 A (soit un peu moins de deux fois son courant nominal) et sa température interne ne dépasse pas 82°C .

Il apparaît donc que la non-prise en compte de R_{BR} (qui est très largement supérieure au $R_{DS_{on}}$ des MOSFET étudiés, avec $12 \text{ m}\Omega$ contre $2,6$) conduirait à

des conclusions pessimistes, et donc à un sur-dimensionnement de l'onduleur ou à un appariement de composants de même V_{BR_0} peut-être inutile.

4.3 Conclusions

Dans ce chapitre, nous avons présenté des résultats de simulations obtenus en utilisant les modèles développés auparavant. Une grande partie de ces résultats est très complexe à obtenir à travers une démarche expérimentale : séparation des pertes des transistor haut et bas d'un convertisseur, valeur de chaque courant de drain dans une association parallèle. . .

Dans la première partie du chapitre, nous avons pu étudier l'influence du câblage et des grandeurs de commande sur le rendement d'un bras d'onduleur, en utilisant des outils accessibles aux concepteurs (*Pspice* et *InCa*). La simulation peut ainsi être utilisée pour connaître les « marges de manœuvre » dont dispose le concepteur dans le choix, notamment, de la commande de grille. Il est ainsi possible de prévoir l'impact qu'aura une modification de la vitesse de commutation des transistors pour satisfaire les critères de CEM sur, par exemple, le rendement du convertisseur. Dans le cas des productions en grande série (cas des applications automobiles), il est courant que des contraintes d'ordre non électrique (méthodes de fabrication, emplacement disponible dans le compartiment moteur. . .) pèsent lourdement sur la conception du circuit. La simulation permet alors à moindre coût d'analyser l'impact de ces contraintes et d'agir, soit sur ces dernières (modification des méthodes de fabrication, déplacement du convertisseur. . .), soit sur le circuit, pour obtenir la meilleure solution globale.

Dans la seconde partie, nous nous sommes attachés à l'étude d'un bras d'onduleur composé de quatre transistors par interrupteur. Si la répartition statique des courants ne pose pas trop de problèmes (les résistances parasites du circuit créent cependant des déséquilibres non négligeables), il n'en va pas de même dès lors que l'on prend en compte les aspects dynamiques et les inévitables dispersion de caractéristiques entre transistors. Dans ces deux cas, l'expérimentation montre ses limites, et il faut faire appel à la simulation. Il devient alors possible d'analyser l'influence de chaque paramètre sur la fiabilité du convertisseur — et donc en spécifier les limites admissibles. Cette étape prend tout son sens dans le cas de l'industrie automobile, où on cherche à relâcher les tolérances de fabrication pour réduire les coûts.

Dans le cas du régime d'avalanche, la modélisation électrothermique que nous avons proposée conduit à des conclusions beaucoup moins pessimistes que le modèle classique (V_{BR} indépendant du courant). Si l'on ne tient pas compte de la résistance de chemin d'avalanche (4 à 5 fois supérieure au $R_{DS(on)}$), le courant commuté n'est supporté durant l'avalanche que par un ou deux transistors. En réalité, le comportement résistif durant l'avalanche — mis en évidence

au chapitre 3 — assure une meilleure répartition entre les quatre transistors. Pour les MOSFET étudiés, il n'y a donc vraisemblablement pas de risque que les dispersions de tenue en tension entre composants entraînent des contraintes excessives sur l'un d'eux, et une étude statistique portant sur la tenue des transistors utilisés aux régimes extrêmes, du type de [SE04], nous permettrait d'être catégoriques sur ce point. L'auteur y étudie en effet l'impact des régimes de court-circuit et d'avalanche sur la durée de vie des composants.

Conclusion générale

Le but de ce travail était de proposer des moyens fiables de simulation en électronique de puissance dans le cadre d'un onduleur basse tension.

Nous avons donc proposé un modèle de transistor MOSFET (unique interrupteur utilisable dans notre cas) capable de représenter fidèlement ses différents modes de fonctionnement dans un onduleur :

- le fonctionnement MOS proprement dit, avec la prise en compte de ses capacités non-linéaires et de sa caractéristique statique (utilisation du modèle à deux transconductances) ;
- le fonctionnement en redresseur, utilisant la diode intrinsèque des transistors MOS de puissance, représenté à l'aide du modèle de diode développé précédemment au CEGELY ;
- le fonctionnement en avalanche, avec prise en compte des phénomènes électrothermiques.

Les deux premiers points ont nécessité le transcodage sous *Pspice* de modèles développés auparavant au laboratoire et leur assemblage. La modélisation électrothermique de l'avalanche est pour sa part une contribution de ce travail de thèse.

Les moyens expérimentaux simples permettant d'obtenir les paramètres du modèle de MOSFET ont ensuite été présentés, avec une attention toute particulière accordée aux méthodes de mesure en forts courants (pour la caractéristique statique notamment). Une fois les caractéristiques statiques du transistor obtenues, deux circuits de commutation sont utilisés pour identifier les paramètres définissant le comportement dynamique du transistor et de sa diode.

Un dispositif de caractérisation original a enfin été présenté pour caractériser le fonctionnement en avalanche d'un point de vue électrothermique.

Une représentation fine du comportement d'un convertisseur ne pouvant se faire sans considérer les différents éléments parasites du câblage, nous avons utilisé un outil développé au LEG (*InCa*) pour produire une représentation inductive et résistive des interconnexions.

Pour effectuer la validation de l'ensemble, nous avons utilisé les pertes du système, qui fournissent un critère numérique précis permettant de comparer

la simulation avec des mesures réalisées dans un calorimètre. Une bonne adéquation entre mesure et simulation ne peut en effet être obtenue que grâce à une modélisation fine des commutations.

En raison du calibre spécifique des transistors (faible tension, fort courant), tous les dispositifs expérimentaux ont fait l'objet soit d'une adaptation de dispositif existant (cas du calorimètre et de son environnement) soit d'un développement spécifique (bancs d'identification statiques et dynamique, banc d'identification de la caractéristique en avalanche). Nous avons mis l'accent sur le développement de modules réutilisables sur d'autres bancs d'essais, avec la conception d'un système de commande modulaire basé sur des signaux optiques (annexe C).

Les résultats ainsi obtenus ont montré la validité de la modélisation proposée. Mesure et simulation concordent, tant quantitativement que qualitativement. La simulation semble tout à fait utilisable dans une démarche de conception.

Ce travail a fait l'objet du dernier chapitre avec d'une part la recherche du point de fonctionnement optimal d'une cellule à deux transistors par l'amélioration de la commande ; et d'autre part l'étude de la robustesse d'un bras d'onduleur composé de quatre transistors par interrupteur fonctionnel.

La simulation offre dans ces deux cas, plus qu'un gain en temps, l'accès à des résultats non mesurables expérimentalement : différentiation des pertes de chaque transistors, valeur de chaque courant de drain d'un assemblage parallèle, influence des dispersions de caractéristiques des transistors. . .

Dans le cas qui nous intéresse (onduleur à MOSFET), la simulation est donc un indispensable outil d'analyse. Cependant, dans l'optique du « prototypage virtuel » plusieurs points restent encore à approfondir pour pouvoir l'utiliser complètement :

- certaines données manquent pour pouvoir interpréter les résultats de simulation, sur le vieillissement notamment. Quel est, par exemple, le surcourant que peut supporter un transistor sans que sa fiabilité n'en soit trop affectée?
- la modélisation du câblage, qui a montré sa précision, réclame trop d'étapes manuelles complexes pour être utilisable dans une démarche itérative (pour essayer différentes topologies par exemple). Il manque une intégration d'*InCa* dans les outils de CAO mécanique ou électrique ;
- la caractérisation d'un exemplaire de transistor est faite de façon manuelle par mesure puis identification avec la simulation. L'automatisation de ce processus, à l'image de ce qui a été fait au CEGELY sur des composants de plus haute tension (mais de calibre en courant plus faible), permettrait d'accélérer le traitement pour obtenir une bibliothèque de modèles

Nous avons par contre pu vérifier l'importance des différents aspects de nos modèles : le câblage doit absolument être pris en compte dans le modèle d'onduleur, car c'est un élément clef dans la simulation du rendement. La modélisation des modes de fonctionnement « inhabituels » des transistors MOS (utilisation de la diode interne et fonctionnement en régime d'avalanche) est également primordiale dans notre cas, puisque ces modes sont largement sollicités. Enfin, la prise en compte des phénomènes électrothermiques dans les régimes extrêmes assure une modélisation correcte et donne au concepteur des outils de prévision et d'analyse ■

Bibliographie

- [Akh00] MAHDI AKHBARI, *Modèle de cellule de commutation pour les études de pertes et performances CEM*, Thèse de doctorat, Institut National Polytechnique de Grenoble, février 2000.
- [Alo01] PIERRE ALOÏSI, *Les semiconducteurs de puissance*, Ellipses, 2001.
- [Alo03] PIERRE ALOÏSI, DANIEL CHATROUX, DOMINIQUE LAFORE, JEAN-MICHEL LI, MARIE-LAURE LOCATELLI, DOMINIQUE PLANSON, BERNARD RIVET et JEAN-LUC SCHANEN, *Interrupteurs électroniques de puissance*, Lavoisier, 2003.
- [Amm98] ANIS AMMOUS, *Modélisation électrothermique de l'IGBT (Transistor Bipolaire à Grille Isolée): Application à la simulation du court-circuit*, Thèse de doctorat, INSA de Lyon, octobre 1998.
- [Amm99] ANIS AMMOUS, SAMI GHEDIRA, BRUNO ALLARD, HERVÉ MOREL et DENISE RENAULT, «Choosing a Thermal Model for Electrothermal Simulation of Power Semiconductor Devices», *IEEE Transactions on Power Electronics*, tome 14, n° 2, p. 300–307, mars 1999.
- [Amm02] KAIÇAR AMMOUS, *Contribution à la construction systématique des modèles moyens des convertisseurs de puissance*, Thèse de doctorat, INSA de Lyon, décembre 2002.
- [Amm03] ANIS AMMOUS, FAYÇAL SELLAMI, KAIÇAR AMMOUS, HERVÉ MOREL, BRUNO ALLARD et JEAN PIERRE CHANTE, «Developing an equivalent thermal model for discrete semiconductor packages», *International Journal of Thermal Sciences*, tome 42, n° 5, p. 533–539, mai 2003.
- [Arn92] JACQUES ARNOULD et PIERRE MERLE, *Dispositifs de l'électronique de puissance*, tome 1, Hermès, 1992.
- [Aub99] LAURENT AUBARD, *Modélisation des transistors MOS de puissance pour l'électronique de commutation*, Thèse de doctorat, Institut National Polytechnique de Grenoble, janvier 1999.
- [Aus03] PATRICK AUSTIN, «Contribution au développement de l'Intégration Fonctionnelle», Mémoire d'habilitation à diriger les recherches, Université Paul Sabatier, Toulouse III, 20 novembre 2003.
- [Bag98] PAULO EMILIO BAGNOLI, CLAUDIO CASAROSA, MARIO CIAMPI et ENRICO DALLAGO, «Thermal Resistance Analysis by Induced Transient (TRAIT) Method for Power Electronic Devices Thermal Characterization — Part I: Fundamentals and Theory», *IEEE Transactions on Power Electronics*, tome 13, n° 6, p. 1208–1219, novembre 1998.
- [Bal96] B. JAYANT BALIGA, *Power semiconductor devices*, PWS publishing company, 1996.

- [Bel03] G. BELVERDE, C. GUASTELLA, M. MELITO, S. MUSUMECI, R. PAGANO et A. RACITI, «Advanced Characterization of Low-Voltage Power MOSFETs in Synchronous-Rectifier Buck-Converter Applications», dans «Conference Record of the 38th IAS Annual Meeting», [IAS03], p. 1802–1809.
- [Bla82] DAVID L. BLACKBURN et DAVID W. BERNING, «Power MOSFET Temperature Measurements», dans «Proceedings of the 1982 Power Electronics Specialists Conference», p. 400–407, juin 1982.
- [Boe02] JEAN-PHILIPPE BOESCHLIN, «OptimMOS PowerBond», Application note, Infineon, juin 2002.
- [Bog88] ERIC BOGATIN, «Design Rules for Microstrip Capacitance», *IEEE Transactions on Components, Hybrids and Manufacturing Technology*, tome 11, n° 3, p. 253–259, septembre 1988.
- [Bud97] IRWAN K. BUDIARDJO, PETER O. LAURITZEN et H. ALAN MANTOOTH, «Performance Requirements for Power MOSFET Models», *IEEE Transactions on Power Electronics*, tome 12, n° 1, p. 36–45, janvier 1997.
- [Cau92] GILLES CAUFFET et JEAN-PIERRE KERADEC, «Digital Oscilloscope Measurements in High-Frequency Switching Power Electronics», *IEEE Transactions on Instrumentation and Measurement*, tome 41, n° 6, p. 856–860, décembre 1992.
- [Cha98] JEAN-PIERRE CHANTE, BRUNO ALLARD, DOMINIQUE BERGOGNE, FRANCIS CALMON, RENÉ EHLINGER, CHRISTIAN GONTRAND, MARIE-LAURE LOCATELLI, HERVÉ MOREL et DOMINIQUE PLANSON, «Les composants de puissance : état de l'art, les évolutions», *Revue Internationale de Génie Électrique*, tome 1, n° 2, p. 225–255, 1998.
- [Che04] JINGDONG CHEN, SCOTT DOWNER, ANTHONY MURRAY et DAVID DIVINS, «Analysis of Avalanche Behaviour for Paralleled MOSFETs», dans «Proceedings of the 2004 SAE conference», Detroit, Michigan, 8–11 mars 2004.
- [Cle87] S. CLEMENTE, B.R. PELLY et A. ISIDORI, «Understanding HEXFET Switching Performance», Application note of the power mosfet designer's manual, chap. 11, International Rectifier, 1987, URL www.irf.com.
- [Cle93] STEVE CLEMENTE, «Transient Thermal Response of Power Semiconductors to Short Power Pulses», *IEEE Transactions on Power Electronics*, tome 8, n° 4, p. 337–341, octobre 1993.
- [Con00] ALFIO CONSOLI, FRANCESCO GENNARO, ANTONIO TESTA, GIUSEPPE CONSENTINO, FERRUCCIO FRISINA, ROMEO LETOR et ANGELO MAGRÌ, «Thermal Instability of Low Voltage Power-MOSFET's», *IEEE Transactions on Power Electronics*, tome 15, n° 3, p. 575–581, mai 2000.
- [Dor96] J.-M. DORKEL, P. VALES, K. BELLIL, P. TOUNSI et P. LETURCQ, «la simulation électrothermique en électronique de puissance: problèmes, méthodologies et exemples», dans «Actes de la conférence électronique de puissance du futur», p. 407–412, Grenoble, France, décembre 1996.
- [Dos01] COLLECTIF DOSSIER, «Automobile: l'électronique accélère l'innovation», *Électronique internationale*, n° 448, p. 15–30, octobre 2001.
- [Efl90] T. EFLAND, M. MANTERNACH, A. MARSHALL et J. MINGS, «The Load Dump», dans «proceedings of IEEE Workshop on Electronics Applications in Transportation», p. 73–78, 1990.

- [EO03] HAFSA EL OMARI, *Extraction des paramètres des modèles du VDMOS à partir des caractéristiques en commutation – comparaison avec les approches classiques*, Thèse de doctorat, INSA de Lyon, septembre 2003.
- [Far93] E. FARJAH, J. BARBAROUX et R. PERRET, «Incertitude dans les mesures de courant : un obstacle dans la caractérisation des composants en électronique de puissance», *Journal de physique III*, n° 3, p. 1509–1523, juillet 1993.
- [Fed04] ELISABETH FEDER, «L'électronique automobile n'est plus l'eldorado annoncé», *Électronique internationale*, n° 565, p. 12, 17 juin 2004.
- [For] JAMES B. FORSYTHE, «Paralleling Of Power MOSFETs For Higher Power Output», Application note, International Rectifier, URL www.irf.com/technical-info/appnotes/para.pdf.
- [Gau02] DOMINIQUE GAUTHIER, «L'alternateur n'est pas si simple à mettre en place», *Électronique internationale*, n° 472, p. 28, avril 2002.
- [Gia85] DAVID GIANDOMENICO, DI-SON KUO et CHENMING HU, «Oscillations in Multichip Power MOSFETs», *PCIM*, p. 74–78, août 1985.
- [Gla01] M. GLAVANOVICS et H. ZITTA, «Thermal destruction testing: an indirect approach to a simple dynamic thermal model of smart power switches», dans «Proceedings of the 27th European Solid State Circuits Conference», Nuremberg, Allemagne, 18–20 septembre 2001.
- [Hee92] HANSRUEDI HEEB et ALBERT E. RUEHLI, «Three-Dimensional Interconnect Analysis Using Partial Element Equivalent Circuits», *IEEE trans. Circuits and Systems – 1: Fundamental theory and applications*, tome 39, n° 11, p. 974–982, novembre 1992.
- [Hef94] ALLAN R. JR HEFNER et DANIEL M. DIEBOLT, «An experimentally Verified IGBT model Implemented in the Saber Circuit Simulator», *IEEE Transactions on Power Electronics*, tome 9, n° 5, p. 532–542, septembre 1994.
- [Hel95] HICHEM HELALI, *Contribution à la modélisation par graphe de liens du transistor MOS de puissance*, Thèse de doctorat, INSA de Lyon, juin 1995.
- [Hon00] MAKOTO HONDA et HIROSHI HARUTA, «Impedance Measurement Handbook», Application note, Agilent technology, 2000.
- [IAS03] *Industry Applications Society Annual Meeting*, 12-16 octobre 2003.
- [Jea01] PIERRE-OLIVIER JEANNIN, *Le transistor MOSFET en commutation : Application aux associations série et parallèle des composants à grille isolée*, Thèse de doctorat, Institut National Polytechnique de Grenoble, mai 2001.
- [Kas84] JOHN G. KASSAKIAN et DAVID LAU, «An Analysis and Experimental Verification of Parasitic Oscillations in Paralleled Power MOSFET's», *IEEE Transactions on Electron Devices*, tome 31, n° 7, p. 959–963, juillet 1984.
- [Kas01] JOHN G. KASSAKIAN et DAVID J. PERREAULT, «The Future of Electronics in Automobiles», dans «Proceedings of the ISPSD'2001 Conference», p. 15–19, Osaka, Japon, mai 2001.
- [Kat03] DIMOSTHENIS C. KATSIKIS, *Thermal Characterization of Die-Attach Degradation in the Power MOSFET*, Thèse de doctorat, Virginia Polytechnic Institute, janvier 2003.
- [Kin04] DAN KINZER, «Advanced power semiconductors and ICs for DC/DC converter applications», *Microelectronics Journal*, tome 3, n° 235, p. 225–233, 2004.

- [Lai02] GEROLD LAIMER et JOHAN W. KOLAR, «Accurate Measurement of the Switching Losses of Ultra High Switching Speed CoolMOS Power Transistor / SiC Diode Combination Employed in Unity Power Factor PWM Rectifier Systems», dans «Proceedings of the 8th European Power Quality Conference», p. 71–78, 14–16 mai 2002.
- [Lar02] BERTRAND LARGY, «L'impact de l'électronique de puissance sur les organes auxiliaires», *Flux*, n° 222, p. 26–29, novembre/décembre 2002.
- [Lef02] STÉPHANE LEFEBVRE, FRANÇOIS COSTA et FRANCIS MISEREY, «Influence of the Gate Internal Impedance on Losses in a Power MOS Transistor Switching at a High Frequency un the ZVS Mode», *IEEE Transactions on Power Electronics*, tome 17, n° 1, p. 33–39, janvier 2002.
- [Lin94] CHUNG-CHIEH LIN, *Contribution à l'identification des paramètres technologiques de la diode PIN de puissance à partir des caractéristiques de commutation à l'ouverture*, Thèse de doctorat, INSA de Lyon, décembre 1994.
- [Liu94] QIANG LIU, *Étude du comportement de transistors de puissance pour l'automobile en haute température*, Thèse de doctorat, INSA de Lyon, décembre 1994.
- [Ma03] LING MA, ADAM AMALI, SIDDHARTH KIYAWAT, ASHITA MIRCHANDANI, DONALD HE, NARESH THAPAR, RITU SODHI, KYLE SPRING et DAN KINZER, «New Trench MOSFET Technology for DC-DC Converter Applications», dans «Proceedings of the ISPSD'2003 Conference», p. non paginé, avril 2003.
- [Mar01] LOUIS MARCHILDON, *Électricité et magnétisme, notes de cours*, Université du Québec à Trois-Rivières, 2001, URL www.uqtr.quebec.ca/~marchild/.
- [Mar04] GAËL MARANZANA, ISABELLE PERRY, DENIS MAILLET et STEPHANE RAËL, «Design optimization of a spreader heat sink for power electronics», *International Journal of Thermal Sciences*, tome 43, n° 1, p. 21–29, janvier 2004.
- [Mas93] GIUSEPPE MASSOBRIO et PAOLO ANTOGNETTI, *Semiconductor Device Modeling with SPICE*, McGraw-Hill, seconde édition, 1993.
- [Mas01] NOURI MASSMOUDI, DJÉBÉ M'BAÏRI, BRUNO ALLARD et HERVÉ MOREL, «On the Validity of the Standard SPICE Model of the Diode for Simulation in Power Electronics», *IEEE Transactions on industrial electronics*, tome 48, n° 4, p. 864–867, août 2001.
- [Mer96] F. MERIENNE, JAMES ROUDET et JEAN-LUC SCHANEN, «Switching Disturbance due to Source Inductance for a power MOSFET: Analysis and Solutions», dans «Proceedings of the 1996 Power Electronics Specialists Conference», tome 2, p. 1743–1747, juin 1996.
- [Mi02] WEI MI, *Extraction des paramètres et domaine de validité d'un composant de puissance*, Thèse de doctorat, INSA de Lyon, 23 juillet 2002.
- [Mor94] HERVÉ MOREL, S. H. GAMAL et JEAN-PIERRE CHANTE, «State Variable Modeling of the Power PIN Diode using an Explicit Approximation of Semiconductor Device Equations: A Novel Approach», *IEEE Transactions on Power Electronics*, tome 9, n° 1, p. 112–120, janvier 1994.
- [Mor96a] F. MORANCHO, P. ROSSEL et H. TRANDUC, «Propriétés statiques et dynamiques du transistor MOS de puissance à tranchées (UMOS) basse tension», *Journal de Physique III*, tome 6, n° 2, p. 301–322, février 1996.

- [Mor96b] FRÉDÉRIC MORANCHO, *Le transistor MOS de puissance à tranchées: modélisation et limites de performances*, Thèse de doctorat, Université Paul Sabatier de Toulouse, décembre 1996.
- [Mor97] F. MORANCHO, H. TRANDUC et P. ROSSEL, «The On-Resistance Limits of High Cell Density Power MOSFET's», dans «Proceedings of the 21th International Conference on Microelectronics», tome 1, p. 395–398, Nis, Yougoslavie, 14–17 septembre 1997.
- [Mur] ANTHONY F.J. MURRAY, TIM McDONALD, HAROLD DAVIS, JOE CAO et KYLE SPRING, «Extremely Rugged MOSFET Technology with Ultra-Low R_{DSon} Specified for A Broad Range of E_{AR} Conditions», Application note, International Rectifier, URL www.irf.com.
- [Mus03] S MUSUMECI, R. PAGANO, A. RACITI, G. BELVERDE, C. GUASTELLA et M. MELITO, «Low-Voltage MOSFETs with Improved Performances in Advanced DC-DC Converter Applications», dans «Proceedings of the 2003 European Power Electronics Conference», p. non paginé, Toulouse, France, septembre 2003.
- [Mus04] PIOTR MUSZNICKI, JEAN-LUC SCHANEN, BRUNO ALLARD et PIOTR J. CHRZAN, «Accurate modeling of layout parasitic on forecast EMI emitted from a DC-DC converter», dans «Proceedings of the 2004 Power Electronics Specialists Conference», [PES04].
- [Nam04] CHANDRA S. NAMUDURI, BALARAMA V. MURTY et MICHAEL G. REYNOLDS, «Load Dump Transient Control of a 42V Automotive Generator», dans «Proceedings of the 2004 Power Electronics Specialists Conference», [PES04], p. 389–394.
- [Orc] ORCAD, «*Pspice A/D*», User guide, Cadence.
- [Pas03] ROBERT PASTERCZYK, CHRISTIAN MARTIN et SCHANEN JEAN-LUC, «Semiconductors & power layout: new challenges for the optimization of high power converter», dans «Proceedings of the 2003 Power Electronics Specialists Conference», tome 1, p. 101–106, Acapulco, Mexico, juin 2003.
- [PES04] *Power Electronics Specialists Conference*, juin 2004.
- [Pla01] CÉDRIC PLASSE, MICHAËL CHEMIN, GUILLAUME LACAMOIRE et ECKART VON WERSTERHOLT, «L'alternatif-démarrage, du Stop & Go au groupe motopropulseur hybride», dans «Société des ingénieurs Automobile», tome 1, Versailles, France, 13–14 novembre 2001.
- [Pre92] WILLIAM H. PRESS, SAUL A. TEUKOLSKY, WILLIAM T. VETTERLING et BRIAN P. FLANNERY, *Numerical recipes in C: the art of scientific computing*, Cambridge University Press, Cambridge, deuxième édition, 1992, ISBN 0-521-43108-5.
- [Rec01] INTERNATIONAL RECTIFIER, «IRF1407S», Datasheet, octobre 2001.
- [Rei93] K. REINMUTH et H. AMANN, «The ruggedness of paralleled power MOSFETS», dans «proceedings of the 1993 EPE Conference», p. 380–384, Brighton, United Kingdom, 13–16 septembre 1993.
- [Ric04] EWEN RICHIE, JOHN K. PEDERSEN, FREDE BLAAJBERG et PETER HANSEN, «Calorimetric Measuring Systems», *IEEE Industry Applications Magazine*, tome 10, n° 3, p. 70–79, mai/juin 2004.
- [Rou99] JAMES ROUDET, JEAN-LUC SCHANEN et EDITH CLAVEL, «Importance des interconnexions en électronique de Puissance. Modélisation et caractérisation

- expérimentale», *Revue Internationale de Génie Electrique*, tome 2, n° 1, p. 55–89, 1999.
- [Rue72] ALBERT E. RUEHLI, «Inductance Calculations in a Complex Integrated Circuit Environment», *IBM. J. Research and Development*, tome 16, p. 470–481, 1972.
- [Rue74] ALBERT E. RUEHLI, «Equivalent Circuit Model for Three-Dimensional Multi-conductor Systems», *IEEE trans. on Microwaves theory and techniques*, tome MTT 22, n° 3, p. 216–221, mars 1974.
- [SAT04] SATIE, «Bilan des travaux de SATIE sur le thème « conception » du GDR ISP», dans «Rencontre des 12 et 13 mai 2004», p. 70–71, Montpellier, France, mai 2004.
- [Sch94a] JEAN-LUC SCHANEN, *Intégration de la Compatibilité ÉlectroMagnétique dans la conception de convertisseurs en Électronique de Puissance*, Thèse de doctorat, Institut National Polytechnique de Grenoble, 20 janvier 1994.
- [Sch94b] JEAN-LUC SCHANEN, CHRISTOPHE GUÉRIN, JAMES ROUDET et GÉRARD MEUNIER, «Modeling of Printed Circuit Board Loop Inductance», *IEEE Transactions on Magnetics*, tome 30, n° 5, p. 3590–3593, septembre 1994.
- [Sch00] JEAN-LUC SCHANEN, «Électronique de puissance: Au coeur de la commutation», Mémoire d'habilitation à diriger les recherches, Institut National Polytechnique de Grenoble, novembre 2000.
- [SE04] FRÉDÉRIC SAINT-EVE, *Influence des régimes extrêmes de fonctionnement sur la durée de vie des composants semi-conducteurs de puissance*, Thèse de doctorat, École normale supérieure de Cachan, 2004.
- [Sev84] RUDOLF P. SEVERNS et JACK ARMIJOS, *MOSPOWER application handbook*, Siliconix, 1984.
- [Sha] SHILPA SHARMA et TARANJIT SINGH KUKAL, «Convergence Guide», Application note, Cadence, URL www.orcad.com/.
- [She92] KRISHNA SHENAI, «Optimized Trench MOSFET Technologies for Power Devices», *IEEE Transactions on Electron Devices*, tome 39, n° 6, p. 1435–1443, 1992.
- [She03] K. SHENAI, C. CAVALLARO, S. MUSUMECI, R. PAGANO et A. RACITI, «Modeling Low-Voltage Power MOSFETs as Synchronous Rectifiers in Buck Converter Applications», dans «Conference Record of the 38th IAS Annual Meeting», [IAS03], p. 1794–1801.
- [Sob00] SAED SOBHANI, DAN KINZER, LING MA et DINO ASSELANIS, «High Density, Sub 10mOhm $R_{DS(on)}$ 100Volt N-Channel FETs for automotive Applications», dans «Proceedings of the ISPSD'2000 Conference», p. 273–276, Toulouse, France, mai 2000.
- [Ség01] GUY SÉGUIER, *Électronique de puissance—Les fonctions de base et leurs principales applications*, Dunod, 2001.
- [Tek89] TEKTRONIX, «Encyclopédie des techniques de Mesure», User guide, Tektronix France, 1989.
- [Teu97] WIM TEULINGS, *Prise en compte du câblage dans la conception et la simulation des convertisseurs de puissance: performances CEM*, Thèse de doctorat, Institut National Polytechnique de Grenoble, avril 1997.

-
- [Tsu94] ANTHONY C. TSUI, HAMZA YILMAZ, F. IUAN HSHIEH, MIKE CHANG et TIMOTHY FORTIER, «Commutating SOA Capability of Power DMOS FET's», *IEEE Transactions on Power Electronics*, tome 9, n° 2, p. 141–145, mars 1994.
- [VG97] C. VAN GODBOLD, V. ANAND SANKARAN et JERRY L. HUDGINS, «Thermal Analysis of High-Power Modules», *IEEE Transactions on Power Electronics*, , n° 1, p. 3–11, janvier 1997.
- [Wit02] JOSEPH BRANDON WITCHER, *Methodology for Switching Characterization of Power Devices and Modules*, Thèse de doctorat, Virginia Polytechnic Institute, janvier 2002.
- [Xia02] CHUCHENG XIAO, GANG CHEN et W. G. ODENDAAL, «Overview of Power Loss Measurement Techniques in Power Electronics Systems», dans «Conference Record of the 37th IAS Annual Meeting», p. 1352–1359, 13-18 octobre 2002.

Annexe A

Modèle Pspice du MOSFET de puissance

Le listing ci-dessous est le modèle complet du transistor MOS STB210NF02 utilisé pour les simulations de ce mémoire (hors simulations électrothermiques en avalanche).

```
* Transcription en listing PSPICE du modèle de mos 2KP
* et de la diode PINsv du cegely.
* Cyril BUTTAY, le 4/3/04
```

```
5 *$
  * modèle de la capacité grille drain
.SUBCKT Cgd d g

.PARAM es=1.0536p
10 .PARAM Coxd=6n
.PARAM Agd=0.25
.PARAM q=1.602E-19
.PARAM Nb=3E16
.PARAM test={Agd*SQRT((es*q*Nb)/2)}
15 E_Cgdj Cgdj 0 VALUE={test/ABS(V(d,g))}
G_Cgd d g VALUE={IF(V(d,g)<=0,Coxd,Coxd*V(Cgdj)/(Coxd+V(Cgdj)
+) ) *DDT(V(d,g))}

.ENDS
20 *$
  * modèle statique du mos
.SUBCKT Mos2KP g d s

.PARAM VT=4.66
25 .PARAM Kplin = 256
.PARAM Kpsat = 201
.PARAM THETA = 0.2975
.PARAM LAMBDA = 0
```

```

.PARAM SIGMA=0.0374
30 .FUNC Vth(Vds) {VT-SIGMA*Vds}
.FUNC Vdsat(Vds,Vgs) {Vgs-Vth(Vds)}
.FUNC Idsat(Vds,Vgs) {0.5*Kpsat*PWR(Vdsat(Vds,Vgs),2)}
.FUNC Idlin(Vds,Vgs) {Kplin*Vds*(Vdsat(Vds,Vgs)-0.5*Kplin/Kpsat*
+Vds)}
35 .FUNC Id1(Vds,Vgs) {Idsat(Vds,Vgs)/(1+THETA*Vdsat(Vds,Vgs))
+*(1+LAMBDA*Vds)}
.FUNC Id2(Vds,Vgs) {Idlin(Vds,Vgs)/(1+THETA*Vdsat(Vds,Vgs))
+*(1+LAMBDA*Vds)}
.FUNC const1(Vds,Vgs) {Vds-Kpsat/Kplin*Vdsat(Vds,Vgs)}
.FUNC Id(Vds,Vgs) {IF(Vdsat(Vds,Vgs)>0,
+IF(const1(Vds,Vgs)>0,Id1(Vds,Vgs),Id2(Vds,Vgs)),
40 +0)}
G_Gmos d s VALUE={Id(V(d,s),V(g,s))}

.ENDS

45 *$
* Modèle de diode PINSV
.SUBCKT PINsv A K

.PARAM W_param=1.6E-6
50 .PARAM A=0.000013
.PARAM TauA=22.5n
.PARAM TauD=40n
.PARAM N=3E22
.PARAM Alpha=0.01
55 .PARAM T=300
.PARAM Vbi=0.63
.PARAM Vn0=28m

.PARAM q = 1.602e-19
60 .PARAM k = 1.38e-23
.PARAM uT = {k*T/q}
.PARAM mu_n = 0.1200
.PARAM mu_p = 0.0650
.PARAM ni = 1.45e16
65 .PARAM eps = 1.05e-10
.PARAM D = {2*mu_n*mu_p/(mu_n+mu_p)*uT}
.PARAM Ld = {sqrt(D*tauA)}
.PARAM Na = 5e25
.PARAM phiD = {log(N*Na/ni/ni)}
70 .PARAM lNd = {sqrt(eps*uT/q/N)}
.PARAM Qd = {q * N * A * lNd}
.PARAM pi = 3.14159
.PARAM Cd = {pi*pi*D*tauA/W_param/W_param}
.PARAM m = {mu_n/mu_p}
75 .PARAM nD0 = {1/(q*D*A*N/Ld)}

```

```

.PARAM a1_0 = {nD0 *(1 + m*cosh(W_param/Ld)) / (m*(m+1) * sinh(W_param/Ld)
+ )}
.PARAM a2_0 = {nD0 *(1 + m*cosh(2*W_param/Ld)) / (2*m*(m+1) * sinh(W_param
+/Ld) )}
.PARAM n11 = {4*(1+Cd)/(3*Cd)}
.PARAM n12 = {-(4+Cd)*(1+Cd)/(3*Cd)}
80 .PARAM n21 = {-(4+Cd)*4/(3*Cd)}
.PARAM n22 = {(4+Cd)*(1+Cd)*4/(3*Cd)}
.PARAM tau1 = {tauA / (1+Cd)}
.PARAM ro0 = 1
.PARAM rD0 = {W_param*W_param/(q*(mu_n+mu_p)*N*Ld*A)}
85 .PARAM roNd = {W_param/lNd}
.PARAM RNd0 = {W_param/(q*mu_n*N*A)}
.PARAM tauT = 50p

.FUNC H(x_) {IF(x_>=0,1,0)}
90 E_rD rD 0 Value={rD0/(1+H(V(x1))*V(x1))}
E_recvr recvr 0 Value={ro0/(ro0+V(ro))}
E_depl depl 0 Value={V(ro)/(ro0+V(ro))}
E_ro ro 0 Value={LIMIT(EXP(500*(V(W)-1)),0,10G)}
E_RNd RNd 0 Value={V(depl)*(RNd0*H(V(W1))*V(W1))}
95 E_W1 W1 0 Value={1-V(W)/roNd}
E_ipBc ipBc 0 Value={-V(x1)*TauA/TauD*(1+Alpha*V(W))}
E_xi1 xi1 0 Value={n11*V(x1)+n12*V(x2)}
E_xi2 xi2 0 Value={n21*V(x1)+n22*V(x2)}
E_R2 r2 0 Value={a1_0*V(xi1) + a2_0*V(xi2)}
100 E_W0 W0 0 Value={SQRT(1/(1+V(r2)*H(V(r2))))}
E_Omega Omega 0 Value={0.5*PWR(V(W),2)}

* Calcul de x1
R_Rx1 0 x1 1
105 C_Cx1 0 x1 {TauA}
G_Gx1 0 x1 VALUE={V(ipBc)*V(depl)+I(E_E1)*V(recvr)}

* calcul de x2
R_Rx2 0 x2 {Tau1/TauA}
110 C_Cx2 0 x2 {TauA}
G_Gx2 0 x2 VALUE={V(ipBc)*V(depl)+I(E_E1)*V(recvr)}

* Calcul de W
R_RW 0 W 1000G
115 C_CW 0 W {Taut}
G_GW1 0 W VALUE={V(recvr)*V(W0)+V(depl)*(V(ipbc)-I(E_E1))/Qd*
+Taut}
G_GW2 W 0 VALUE={V(W)*V(recvr)}

* Calcul de U
120 R_R1 A A1 200u
E_E1 A1 K VALUE={Vbi-uT*V(Omega)+(V(RNd))*I(E_E1)+Vn0*LOG(1+V
+(x1)*H(V(x1)))}

```

```

.ENDS

125 *$
    * Modèle complet du MOSFET
    * version du 2 aout 2004

    .SUBCKT MOS_CEGELY      g      d      s
130 R_Rg      g      g1     4
    L_LG      g1     g2     10n
    R_RD      d      d1     200u
    L_LD      d1     d2     2n
    R_RS      s      s1     800u
135 L_LS      s1     s2     4n
    X_mos     g2     d2     s2     mos2KP
    X_Cgd     d2     g2     Cgd
    X_diode   s2     d2     PINsv
    C_cgs     g2     s2     3.33n
140 * modélisation de l'avalanche.
    G_BV      d2     s2     VALUE={IF (V(d2 , s2)>26.9 , (V(d2 , s2) -27) /0.012
        +,0) }
    *résistances de convergence
    R_Rc1     d2     g2     10meg
    R_Rc2     d2     s2     10meg
145 .ENDS
    *$

```

Annexe B

Modèles de câblage

Le listing ci-dessous est le modèle du bras d'onduleur utilisé dans le chapitre 3 pour effectuer les validations calorimétriques. Le « brochage » du modèle est celui de la figure 4.2, page 148.

```
.SUBCKT  cablage  1p 1m 2p 2m 3p 3m 4p 4m 5p 5m 6p 6m 7p 7m 8p 8m
  L1  8p  17  0.00000000418
  H1_2 17  25  V2  0.000076
  V1  25  33  0V
5  R1  33  8m  0.000261
  K1  L1  L2  -.27158
  K2  L1  L3  -.03073
  K3  L1  L4  -.00733
  K4  L1  L5  .12517
10  K5  L1  L6  .30203
  K6  L1  L7  .06981
  K7  L1  L8  -.14743
  L2  7p  18  0.00000000313
  H2_1 18  26  V1  0.000076
15  V2  26  34  0V
  R2  34  7m  0.000221
  K8  L2  L3  -.0566
  K9  L2  L4  .0384
  K10 L2  L5  .20343
20  K11 L2  L6  .12617
  K12 L2  L7  -.05251
  K13 L2  L8  .01668
  L3  6p  19  0.00000003183
  V3  19  27  0V
25  R3  27  6m  0.006716
  K14 L3  L4  -.0068
  K15 L3  L5  -.03209
  K17 L3  L7  .02257
  K18 L3  L8  -.01475
30  L4  5p  20  0.00000003101
  V4  20  28  0V
  R4  28  5m  0.006037
```

```

K19  L4  L5  .03327
K20  L4  L6  .03588
35   K21  L4  L7  -.01827
     K22  L4  L8  .02675
     L5  4p  21  0.00000000163
     H5_7 21  29  V7   0.000129
     V5  29  37  0V
40   R5  37  4m  0.000341
     K23  L5  L6  -.00322
     K24  L5  L7  -.16726
     K25  L5  L8  .04826
     L6  3p  22  0.00000000228
45   H6_8 22  30  V8   0.000101
     V6  30  38  0V
     R6  38  3m  0.000286
     K26  L6  L7  .04966
     K27  L6  L8  -.28929
50   L7  2p  23  0.00000001104
     H7_5 23  31  V5   0.000129
     V7  31  39  0V
     R7  39  2m  0.000205
     K28  L7  L8  -.39449
55   L8  1p  24  0.0000000117
     H8_6 24  32  V6   0.000101
     V8  32  40  0V
     R8  40  1m  0.000183
.ENDS cablage

```

Annexe C

Moyens expérimentaux

La commande des transistors MOS est faite *via* fibre optique afin de se dégager des contraintes CEM. On peut ainsi garantir que les signaux sont transmis de façon identique aux transistors situés en haut ou en bas de bras d'onduleur, sans risquer de couplage avec les circuits de puissance.

Durant cette thèse, un ensemble de composants a été développé pour simplifier l'utilisation des signaux optiques. Une carte d'interface PC/signaux optiques¹, un ensemble de drivers isolés et un système de *porte* ont ainsi été créés.

C.1 Génération des signaux de commande

Le schéma de principe de la carte est visible figure C.1. Elle est construite autour d'un FPGA *Altera* de la famille *FLEX10K*, cadencé à 40 *MHz*.

Le fonctionnement fait appel à une machine d'états, dont chacune des transitions est validée par la comparaison entre un compteur et l'un des cinq registres contenant les caractéristiques des formes d'ondes à produire (fréquence, durée de la salve, durée du temps mort entre l'ouverture d'un transistor et la fermeture de son complémentaire, rapport cyclique et délai entre l'envoi de deux salves successives).

Trois registres ont une longueur de 16 bits (fréquence, durée de salve, rapport cyclique) et deux de 8 bits (temps mort et durée entre salves). Il est ainsi possible de reconstituer une large palette de signaux avec les caractéristiques suivantes :

- une fréquence comprise entre 300 *Hz* et plusieurs *MHz* ;
- durée de salve comprise entre 0 et 420 *ms* (avec possibilité de découpage permanent) ;
- temps mort allant de 25 *ns* à 6300 *ns* ;

1. Dont la partie matérielle a été construite par PASCAL BEVILACQUA.

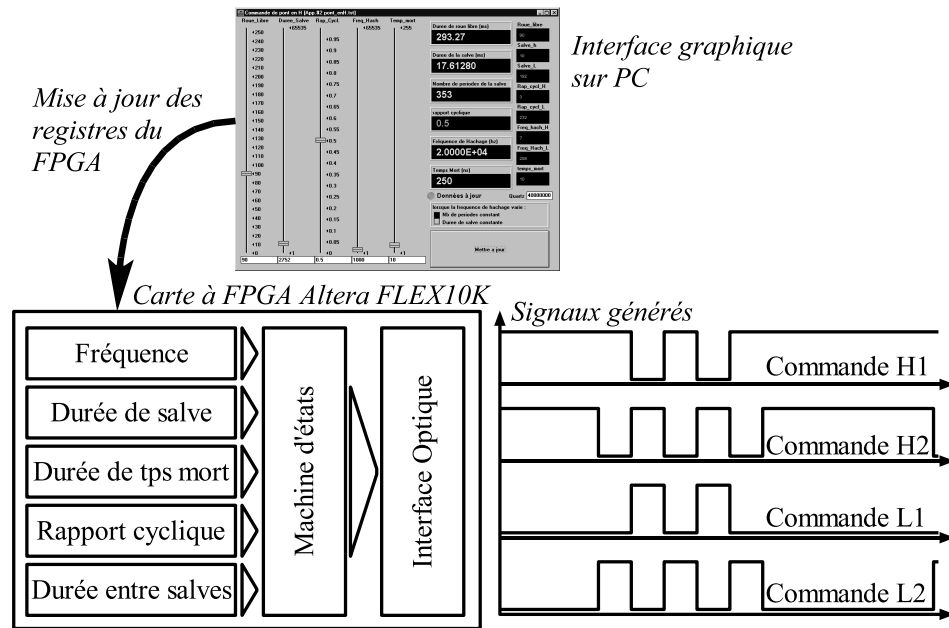


FIG. C.1 – Fonctionnement de la carte d'interface PC/fibre optique

- rapport cyclique de 0 à 100 % ;
- délai entre salve compris entre 0 et 800 ms

La carte étant prévue pour piloter un pont en H dont l'un des transistors bas est instrumenté par un shunt, elle dispose de 4 sorties, avec la particularité, entre les salves, de commander la fermeture des 2 transistors haut afin de court-circuiter la charge du pont sans que le shunt de mesure ne s'échauffe.

Un programme *TESTPOINT* sur PC *Windows 95* constitue l'interface utilisateur graphique de cette carte. Il utilise les sorties numériques d'une carte *DAS16* pour mettre à jour les registres de la carte FPGA, permettant ainsi la modification « à la volée » des signaux de commande : des mécanismes sont présents dans le programme du FPGA pour ne mettre à jour la machine d'états que lorsque tous les registres ont été rechargés.

C.2 Driver isolé

Des modules *drivers* (un par interrupteur à commander) permettent d'effectuer la conversion des signaux optiques en commande électrique. Leur schéma est présenté figure C.2. Ils sont notamment constitués d'un convertisseur DC-DC intégré, le *NM1215S*, fabriqué par *C&D Technologies*, qui réalise l'isolation entre une alimentation 12 V commune à tous les drivers et le transistor à commander. Il n'y a alors aucune différence dans la commande d'un interrupteur de

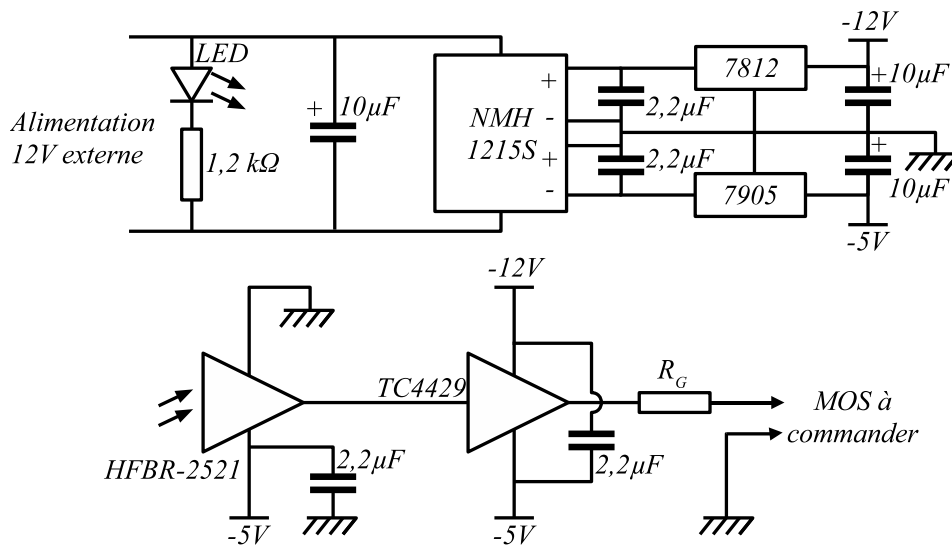


FIG. C.2 – Fonctionnement de la carte d'interface PC/fibre optique

haut ou de bas de bras. La capacité parasite de ces convertisseurs est inférieure à 10 pF , c'est à dire négligeable devant les capacités ramenées par les transistors ou le substrat.

Le convertisseur DC-DC n'étant pas équipé d'une régulation de tension de sortie interne, deux régulateurs linéaires s'en chargent de façon à alimenter le circuit en $+12\text{ V} / -5\text{ V}$. Les capacités non polarisées sont des condensateurs céramiques CMS, les autres sont en technologie tantale.

Le récepteur optique HFBR-2521 et le driver TC4429 disposent de capacités de découplage placées au plus près. Le circuit driver possède une faible impédance de sortie ($2,3\ \Omega$, valeur vérifiée), qu'une résistance R_G optionnelle peut augmenter.

C.3 Porte optique

Il est nécessaire, dans le cadre des mesures calorimétriques, de commander le système sous test pendant une durée précise. Cette tâche est effectuée par un dispositif autonome dont le schéma de principe est présenté figure C.3. Ce système permet de recopier ses quatre entrées sur ses quatre sorties pendant une durée (ou un nombre d'événements sur son entrée n°4) définie. Le reste du temps, chacune des sorties prend un état par défaut (configurable).

La carte s'articule autour d'un microcontrôleur MICROCHIP PIC 18F242 auquel sont confiées les fonctions d'interface utilisateur (via un afficheur LCD et trois touches), d'autorisation de la recopie des entrées et de la présélection des sorties. C'est également lui qui joue le rôle d'horloge temps réel ou de compteur

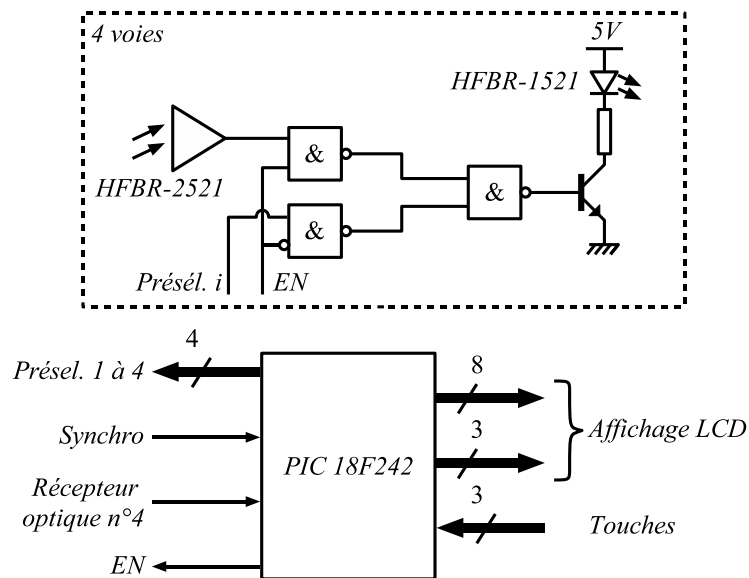


FIG. C.3 – Schéma de principe de la carte porte pour mesure calorimétrique.

d'évènements sur la voie 4.

La recopie des entrées optiques sur les sorties se fait à travers un réseau de portes logiques, de façon à garantir un bon fonctionnement à haute vitesse (les signaux d'entrée ne sont pas synchronisés sur l'horloge du microcontrôleur, il leur faut donc un traitement asynchrone).

Les caractéristiques de la carte sont les suivantes

- ± 1 impulsion en fonctionnement compteur lorsque la fréquence d'entrée est comprise entre 0 et 800 kHz ;
- moins de 1 % d'erreur en fonctionnement monostable ;
- en fonctionnement monostable, la durée peut aller de 1 à 65635 ms ;
- en fonctionnement compteur, de 1 à 65535 évènements.

FOLIO ADMINISTRATIF

THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : Buttay (avec précision du nom de jeune fille, le cas échéant)	DATE de SOUTENANCE : 30 novembre 2004
Prénoms : Cyril	
TITRE : Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension	
NATURE : Doctorat	Numéro d'ordre :
Ecole doctorale :	
Spécialité :	
Cote B.I.U. - Lyon :	et bis CLASSE :
<p>RESUME : L'électronique de puissance prend une place croissante dans le domaine automobile, avec notamment l'apparition de systèmes de motorisation mixte thermique-électrique (véhicules hybrides). Dans cette optique, les outils de conception des convertisseurs basse tension doivent être suffisamment précis pour réduire les phases de prototypage, mais également pour analyser la robustesse d'un convertisseur face aux inévitables dispersions d'une fabrication en grande série.</p> <p>Dans la première partie, nous proposons un modèle de MOSFET valide dans les différentes phases de fonctionnement rencontrées dans un onduleur (commutation du transistor, de sa diode interne, et fonctionnement en avalanche notamment). La nécessité de modélisation du câblage est ensuite démontrée, puis nous présentons la méthode de modélisation, reposant sur l'utilisation du logiciel InCa.</p> <p>La seconde partie de cette thèse, qui repose principalement sur une démarche expérimentale, permet d'identifier les paramètres du modèle de MOSFET puis de valider la modélisation complète du convertisseur vis-à-vis de mesures. Pour cela, nous avons choisi un critère de comparaison très sensible aux erreurs de modélisation : le niveau de pertes du convertisseur. La mesure de ces pertes est effectuée par calorimétrie.</p> <p>Nous en concluons que la modélisation proposée atteint une précision satisfaisante pour pouvoir être exploitée dans une démarche de conception, ce qui fait l'objet de la dernière partie de cette thèse. La simulation est alors utilisée pour étudier l'influence du câblage et de la commande sur les pertes d'un bras d'onduleur, puis pour étudier la répartition du courant entre transistors d'un assemblage en parallèle en tenant compte de leurs dispersions de caractéristiques. Une telle étude ne pourrait que très difficilement être effectuée de façon expérimentale (elle nécessiterait la modification du circuit pour insérer les instruments de mesure), ce qui montre l'intérêt de la conception assistée par ordinateur en tant qu'outil d'analyse.</p>	
MOTS-CLES : électronique de puissance, automobile, basse tension, modélisation, simulation, calorimétrie.	
Laboratoire (s) de recherches : CEGELY et département Recherche et développement Valeo Systèmes électriques	
Directeur de thèse: Dominique Bergogne	
Président de jury :	
Composition du jury :	Patrick AUSTIN (LAAS, Toulouse) Dominique BERGOGNE (CEGELY, Lyon) Jean-Pierre Chante (CEGELY, Lyon) François Forest (LEM, Montpellier) Cédric Plasse (Valeo systèmes électriques, Créteil) Jean-Luc SCHANEN (LEG, Grenoble)