



**HAL**  
open science

# INTERFACE ANALOGIQUE NUMÉRIQUE POUR LES TÉLÉCOMMUNICATIONS MODÉLISATIONS ET CONCEPTIONS FLEXIBLES

Patricia Desgreys

► **To cite this version:**

Patricia Desgreys. INTERFACE ANALOGIQUE NUMÉRIQUE POUR LES TÉLÉCOMMUNICATIONS MODÉLISATIONS ET CONCEPTIONS FLEXIBLES. Micro et nanotechnologies/Microélectronique. Université Pierre et Marie Curie - Paris VI, 2010. tel-00565342

**HAL Id: tel-00565342**

**<https://theses.hal.science/tel-00565342v1>**

Submitted on 11 Feb 2011

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# INTERFACE ANALOGIQUE NUMERIQUE POUR LES TELECOMMUNICATIONS MODELISATIONS ET CONCEPTIONS FLEXIBLES

*Patricia Desgreys*

---

**Habilitation à diriger des Recherches**

**Spécialité : Electronique**

Soutenue le 30 septembre 2010 devant le jury composé de :

Pascal Fouillat	Laboratoire de l'Intégration du Matériau au Système (IMS)	Rapporteur
Alain Vachoux	Ecole Polytechnique Fédérale de Lausanne (EPFL)	Rapporteur
Ian O'Connor	Institut des Nanotechnologies de Lyon (INL)	Rapporteur
Maher Kayal	Ecole Polytechnique Fédérale de Lausanne (EPFL)	Examineur
Rachid Bouchakour	Institut Matériaux Microélectronique Nanosciences (IM2NP)	Examineur
Patrice Gamand	NXP Semiconductors (NXP)	Examineur
Patrick Garda	Université Pierre et Marie Curie (UPMC)	Examineur
Patrick Loumeau	Télécom ParisTech (ENST)	Examineur



# Sommaire

Résumé des recherches.....	7
Avant – propos.....	11
Curriculum Vitae.....	13
<b>Synthèse des activités de recherche .....</b>	<b>17</b>
A. La technique des courants commutés (1996-2002) .....	21
1 CNA algorithmique à courants commutés.....	21
2 Comparaison SI/SC .....	25
B. Modélisation comportementale mixte et multi domaine (2002-2006). .....	27
1 Modélisation de circuits mixtes .....	27
2 Modélisation d'un système multi domaine.....	29
2.1 Objectifs du projet SHAMAN .....	29
2.2 Synthèse des travaux de Télécom ParisTech en modélisation.....	30
3 Méthodologie de modélisation multi domaine .....	32
3.1 Principe du prototypage virtuel fonctionnel.....	32
3.2 Résultats du FVP dans le projet Shaman.....	33
4 Méthodes et outils pour la conception des SoC-AMS.....	35
C. Technologies émergentes (depuis 2004) .....	38
1 Nanoélectronique.....	38
1.1 NANOSYS .....	39
1.2 NANO-RF.....	41
1.3 Résultats obtenus .....	43
2 CAN à supraconducteurs .....	43
2.1 Contexte scientifique.....	43
2.2 Synthèse des travaux réalisés à Télécom ParisTech .....	45
D. Conception de systèmes pour la Radio Logicielle (depuis 2004).....	53

1	Echantillonnage RF .....	53
1.1	Contexte scientifique .....	53
1.2	Conception d'un récepteur reconfigurable à échantillonnage RF .....	53
2	Echantillonnage non uniforme.....	58
2.1	Contexte scientifique .....	58
2.2	ENU appliqué à la numérisation des signaux radio multistandard .....	59
3	Boucle à verrouillage de phase .....	67
3.1	Contexte scientifique .....	67
3.2	Synthèse des travaux de la thèse.....	68
E.	Perspectives de recherche .....	79
1	Contexte et challenges .....	79
1.1	L'évolution de la technologie.....	79
1.2	L'évolution des besoins en modélisation.....	80
1.3	L'évolution vers la radio cognitive.....	82
1.4	L'évolution de l'industrie électronique en Europe.....	82
2	Plan de recherche du groupe SIAM.....	83
3	Mes nouveaux projets .....	84
3.1	PANAMA .....	84
3.2	Collaboration avec NXP .....	85
3.3	SOPHIE.....	85
4	Projet de croissance .....	86
F.	Bibliographie .....	90
<b>Annexe A : Synthèse des activités d'enseignement .....</b>		<b>97</b>
A.	Enseignement à Télécom ParisTech (depuis 2000). .....	100
1	Formation d'ingénieur .....	100
1.1	Electronique des Systèmes d'Acquisition (ESA).....	100
1.2	Base de l'Electronique Radiofréquences (BER) .....	101
1.3	Intégration de Systèmes Electroniques pour les Radiocommunications.....	102
1.4	MicroElectronique (MIEL) .....	103
1.5	Parcours Electronique Radiofréquence .....	104
2	Formation master .....	104
2.1	Master Sciences et Technologies de Paris VI .....	104
2.2	Master of Science in Digital Radio .....	106
3	Volume des enseignements classiques .....	107
4	Encadrements de stages et de projets .....	107
4.1	Projets matériels et projets découvertes .....	108
4.2	Projets de Master .....	108
4.3	Projets de fin d'études ingénieur orientés recherche.....	108
4.4	Stages de recherche de Master 2 .....	109
B.	Expertise en enseignement .....	110

1	Formations niveau expert .....	110
1.1	Cours conférences invitées .....	110
1.2	Formation continue .....	110
1.3	Formation de formateurs .....	110
2	Commission des Programmes .....	111
3	Perspectives .....	112
3.1	Contexte de la planète électronique .....	112
3.2	Conséquences sur le métier d'ingénieur en électronique .....	113
3.3	Evolution souhaitable de nos enseignements en électronique .....	114
3.4	Comment attirer les élèves vers les formations en électronique ? .....	114
C.	Bibliographie .....	116
1	Polycopiés de cours .....	116
2	Publications .....	116
3	Stages, mémoires et projets encadrés .....	116
3.1	Projets enseignement .....	116
3.2	Stages de recherche .....	117
4	Formation niveau expert .....	118
<b>Annexe B : Bilan des activités de recherche.....</b>		<b>121</b>
1	Production scientifique .....	124
2	Encadrements.....	125
2.1	Thèses soutenues .....	125
2.2	Thèses en cours .....	126
2.3	Post-doctorats .....	126
2.4	Stages de recherche .....	126
3	Collaborations et contrats .....	128
3.1	Projets internes .....	128
3.2	Projets de coopération .....	128
3.3	Contrats industriels.....	129
3.4	Contrats nationaux.....	130
3.5	Contrats européens .....	131
4	Animation de la recherche .....	131
4.1	Animation de la recherche au sein du groupe SIAM de Télécom ParisTech .	131
4.2	Activités d'animation au sein de la communauté.....	131
5	Evaluation de travaux de recherche .....	132
5.1	Participation à des jurys de thèse .....	132
5.2	Relecture d'articles pour journaux et conférences scientifiques.....	133
Annexe C : Liste des Publications .....		135
Annexe D : Sélection de Publications .....		139



## Résumé des recherches

Mes activités de recherche se situent à l'interface entre le développement des technologies et le traitement du signal, elles concernent la conception et l'intégration des systèmes analogiques et mixtes pour l'acquisition des signaux physiques et les premières étapes du traitement. Le domaine d'application des systèmes conçus est essentiellement les télécommunications. L'objectif général est de poursuivre l'augmentation des capacités des systèmes : une plus grande bande traitée avec une bonne résolution pour augmenter le débit des communications, en tirant profit de l'évolution des technologies CMOS avancées ou des technologies émergentes qui proposent un élément de traitement élémentaire toujours plus rapide. **Les axes de recherche développés pour cet objectif portent sur l'innovation architecturale**, au niveau système ou au niveau circuit, **et la modélisation comportementale multi niveaux multi domaines** pour gérer la conception et la simulation de systèmes électroniques de plus en plus complexes. Mes thèmes de recherche et leur lien chronologique sont résumés sur le schéma de la figure 1.

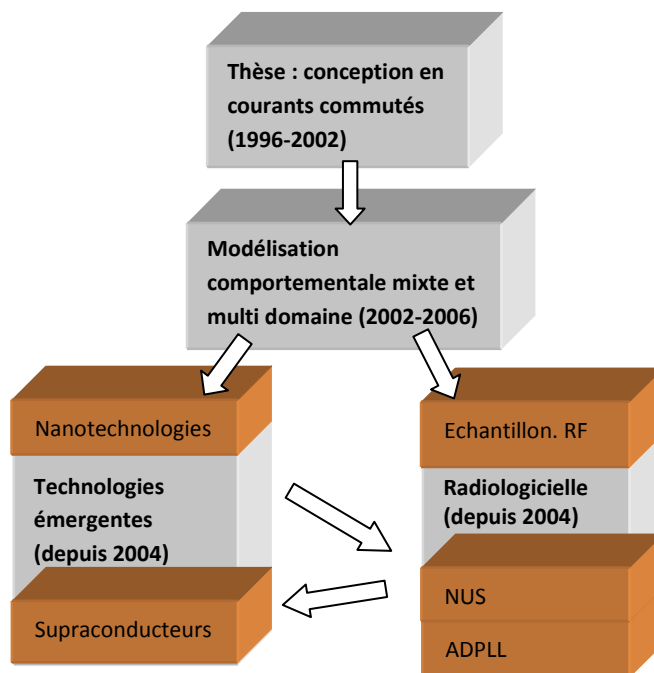


Figure 1. Synthèse des thèmes de recherche



Mes travaux ont d'abord porté sur l'exploration et l'amélioration des possibilités de **la technique des courants commutés (SI)** pour concevoir des circuits sous une faible tension d'alimentation. Pour capitaliser les études analytiques menées sur les circuits SI et les transformer en outils de simulation et d'aide à la conception, j'ai élargi mes activités par un premier axe majeur de recherche portant sur **la modélisation comportementale mixte et multi domaine**. Au-delà du simple outil de modélisation et de simulation que je continue d'utiliser, j'ai étudié les nouvelles méthodologies de modélisation et de conception induites par l'arrivée de nouveaux langages de simulation mixte comme le VHDL-AMS. L'intérêt principal est de remonter par simulation des contraintes technologiques au niveau système pour orienter la conception dès les premières étapes.

Forte de mon expertise en modélisation et constatant les limitations grandissantes des technologies CMOS avancées en terme de dissipation d'énergie et de dispersion, j'ai choisi d'explorer dans un second volet des mes recherche **les technologies émergentes** ou du moins quelques alternatives prometteuses pour remplacer ou compléter les technologies CMOS. Un premier objectif scientifique a concerné le développement d'un modèle compact de transistor à nanotube de carbone et son utilisation pour la conception RF. Un second objectif concerne la conception d'un CAN à supraconducteurs avec modélisation compacte de l'élément de base : la jonction Josephson.

La modélisation comportementale conduit à une simplification et une réduction des équations du dispositif par rapport à la description physique ou à une addition d'équations par rapport à la description fonctionnelle idéale. Dans tous les cas, elle requiert une très bonne connaissance de la technologie et de la conception qui va utiliser ce modèle. Pour être efficace, elle doit se confronter aux résultats expérimentaux dont je ne dispose pas pour l'instant ni sur les nanotubes ni sur les supraconducteurs.

J'ai donc, dans la suite de mes travaux de thèse et en m'inscrivant dans un thème majeur existant dans mon groupe de recherche, approfondi des activités en **conception pour la Radio Logicielle** enrichie de modélisation comportementale et implémentée physiquement en technologies CMOS avancées. Un premier objectif scientifique concerne la conception de récepteurs multistandards avec la mise en œuvre de deux techniques pour la réduction des contraintes sur le récepteur et l'augmentation de sa flexibilité : l'échantillonnage RF et l'échantillonnage non uniforme. Un second objectif depuis 2006 concerne la modélisation et la conception portable des boucles à verrouillage de phase entièrement numériques.

L'originalité de ma démarche est donc de **mener en parallèle et de façon complémentaire des activités en modélisation et en conception**.

Les réalisations effectuées dans le domaine de la modélisation sont : simulation mixte analogique/numérique, simulation hybride multi technologique (surtout composants optoélectroniques), méthodologie associée, modèles compacts de nouveaux composants pour l'électronique, avec un apport dans la remontée de contraintes (ou modèles) physiques dans des simulations circuit ou système.

Les réalisations effectuées dans le domaine de la conception adressent les thèmes : co-conception optimisée du récepteur RF, échantillonnage RF, apport du NUS, portabilité des architectures, allègement des contraintes de la partie analogique par plus de traitements numériques.

Cette stratégie de recherche présente l'avantage d'offrir une vue globale qui rend efficace les développements (en particulier la modélisation pour la conception) et permet d'être un chaînon d'innovation entre les technologues et les systémiers ce qui me paraît un rôle fondamental pour la recherche en systèmes analogiques et mixtes.

Les points forts de cette démarche sont :

- En modélisation, de pouvoir remonter des contraintes technologiques bas niveau dans des modèles haut niveau pour la simulation des systèmes.
- En conception, d'innover sur les architectures en connaissant précisément l'incidence (le gain possible et faisabilité) sur chaque circuit élémentaire qui compose l'architecture.

Cette démarche s'appuie sur de nombreuses coopérations dans des projets ou des contrats.



## **Avant-propos**

Ce mémoire est rédigé en vue de l'obtention du diplôme d'Habilitation à diriger des Recherches. A cette fin, il est essentiellement constitué d'une présentation de mes activités passées en recherche et en enseignement pour démontrer à la fois l'étendue et la qualité des travaux menés. Il présente en outre des perspectives de recherche à la fois ambitieuses et réalistes que je souhaite activement mettre en œuvre.

Tous ces travaux sont le résultat de collaborations, de partenariats académiques et industriels et ont en grande majorité été réalisés au sein de l'équipe SIAM (Systèmes Intégrés Analogiques et Mixtes) de Télécom ParisTech.

L'organisation du mémoire est la suivante :

- Le chapitre principal présente une synthèse de mes activités de recherche en résumant les actions menées et les résultats obtenus pour chaque thématique et en montrant les articulations. Puis, les perspectives sont présentées dans leur contexte.
- Une première annexe A est dédiée à mes activités d'enseignement : synthèse, bilan et perspectives.
- Une deuxième annexe B est dédiée au bilan quantitatif des travaux de recherche comprenant les encadrements, les contrats, l'animation et le rayonnement.

Puis, sont disponibles en annexe C et D, la liste de mes publications ainsi que le contenu de quelques papiers exemplaires.



**PATRICIA DESGREYS**

**MAITRE DE CONFERENCES**

« Systèmes Intégrés Analogiques et Mixtes »  
Département Communications et Electronique  
TELECOM PARISTECH

---

## ETAT CIVIL

---

Nom : DESGREYS née RIFFAUD

Prénom : Patricia

Née le 25/02/72 à Bordeaux

Nationalité : Française

Mariée, 3 enfants nés en 2000, 2003 et 2008.

Adresse personnelle : le Bougainville  
14, rue de La Véga  
75 012 Paris  
☎ : 01 43 45 50 28  
06 11 72 54 74

Adresse professionnelle : **Institut TELECOM – Télécom Paristech – LTCI, UMR CNRS 5141**  
Département COMELEC  
46, rue Barrault  
75 634 Paris Cedex 13  
☎ : 01 45 81 72 58  
Fax : 01 45 80 40 36  
Mél : patricia.desgreys@telecom-paristech.fr

---

## FORMATION INITIALE

---

1996 à 1999	<b>THESE</b> au Laboratoire de Microélectronique IMS, CNRS UMR5218, Université Bordeaux I
1992 à 1996	<b>ECOLE NORMALE SUPERIEURE DE CACHAN</b> Département EEA (Electronique, Electrotechnique, Automatique) Section Physique Appliquée
95-96	DEA Electronique, option Télécoms, Université de Bordeaux I
94-95	<b>Agrégation de Physique Appliquée</b>
93-94	Maîtrise EEA      Université de Paris Sud (Orsay)
92-93	Licence EEA      Université de Paris Sud (Orsay)

---

## EXPERIENCE PROFESSIONNELLE

---

depuis 2000	MAITRE DE CONFERENCES A TELECOM PARISTECH Département Communications et Electronique Systèmes Intégrés Analogiques et Mixtes
1999-2000	ATER à l'Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications de Bordeaux, Talence.
1996-1999	Allocataire de Recherche et Monitrice à l'ENSEIRB, Talence.
1995-1996	Vacataire à l'Université Bordeaux 1, Talence.

---

## PROFIL RESUME

---

Enseignement : volume total de 1150h répartis sur 15 années d'expérience professionnelle

Recherche : 14 années d'expérience en réalisation et direction de travaux de recherche, activités contractuelles, publications et rayonnement.

---

## ACTIVITES D'ENSEIGNEMENT ACTUELLES

---

- Responsabilités :

Coordination du module Electronique des Systèmes d'Acquisition depuis 2008  
Membre de la Commission des Programmes de Télécom ParisTech depuis 2008

- Enseignements pour un volume d'environ 100h/an :

**1<sup>ère</sup> année :** Cours sur les transformées de Laplace et Z  
Travaux dirigés et travaux pratiques du module ESA

**2<sup>ème</sup> année et 3<sup>ème</sup> année :**  
Base d'Electronique pour les Radiofréquences  
Cours et travaux dirigés sur les convertisseurs  
Travaux pratiques sur la simulation d'un frontal de réception

Intégration de Systèmes Electroniques pour les Radiocommunications  
Cours et travaux pratiques sur le langage VHDL-AMS  
Cours sur les techniques de traitement du signal analogique

MIcroELectronique et nanoélectronique  
Cours et TD sur les montages de base de la microélectronique  
Cours-conférence sur les nanotechnologies

Modules du MASTER Sciences et Technologies de Paris VI  
Master of Science in Digital Radio de Telecom ParisTech

- Encadrement de projets en électronique : 1 à 2 par an

---

## ACTIVITES DE RECHERCHE

---

- Responsabilités :

Co direction ou co encadrement de 7 thèses de doctorat dont 4 soutenues

Co encadrement de 2 post-doctorats

Direction de 10 stages de recherche

- Principaux thèmes de recherche:

**Interface RF reconfigurable pour la radio logicielle**

**Méthodes et outils de conception des systèmes mixtes et multi-domaines**

**Intégration système des nanocomposants**

- Point forts :

Thèmes de recherche complémentaires :

- conception de circuits de traitement de l'information profitant de l'évolution technologique → recherche sur les techniques, les circuits, les architectures,
- mise en place de méthodologies de conception pour augmenter la réutilisation des connaissances et des savoir-faire.

Expertise dans la modélisation comportementale avec le langage VHDL-AMS.

Nombreuses collaborations.

---

## ACTIVITES CONTRACTUELLES

---

- Contribution dans un projet européen CATRENE (2009-2012)
- Coordination d'un projet industriel avec NXP (2008-2009)
- Contribution dans 3 projets nationaux :
  - un projet ANR RNRT (2007-2010)
  - un projet CNRS ACI (2004-2007)
  - un projet CNRS AS (2002-2004)
- Coordination d'un projet national RMNT (2002-2004)
- Contribution dans 4 projets de coopération :
  - 2 CMCU avec Sup'COM Tunis (2006-2008) et ENIS Sfax (2003-2005)
  - 2 CNRS avec Université de Sétif (2004-2005) et ENIS Sfax (2002-2003)
- Coordination d'un projet Institut TELECOM – Carnot (2007)
- Coordination d'un projet européen TEMPUS-GFMA (2004-2007)

---

## PUBLICATIONS

---

- 1 chapitre de livre
- 10 articles en revue
- 32 articles dans des conférences internationales
- 18 articles dans des conférences nationales
- 3 rapports internes



- Indices Harzing's Publish or Perish : h-index : 5, g-index : 7

---

## **RAYONNEMENT**

---

- Examinatrice de 5 thèses.
- Rapporteur de revues et de conférences internationales.
- Animatrice des séminaires du groupe d'enseignement et de recherche SIAM depuis septembre 2002.
- Contribution à plusieurs actions d'animation de la recherche :
  - Animatrice d'une thématique « Méthodes et outils de conception AMS & RF » au sein du GDR SOC-SIP depuis 2007.
  - Participation à la thématique « modélisation des systèmes hétérogènes » du GIS eSys depuis 2008.
- Membre IEEE depuis 2000.

---

## **LANGUES VIVANTES**

---

- Français
- Anglais
- Espagnol (bases)

**SYNTHESE DES ACTIVITES DE  
RECHERCHE**



## Introduction

Mes activités de recherche débutées en 1996 par une thèse de doctorat au laboratoire IMS de l'Université Bordeaux I sont dans le domaine de la microélectronique. A l'interface entre le développement des technologies et le traitement du signal, elles concernent la conception et l'intégration des systèmes analogiques et mixtes pour l'acquisition des signaux physiques et les premières étapes du traitement. Le domaine d'application des systèmes conçus est essentiellement les télécommunications. L'objectif général est de poursuivre l'augmentation des capacités des systèmes : une plus grande bande traitée avec une bonne résolution et une consommation maîtrisée pour augmenter le débit des communications, en tirant profit de l'évolution des technologies CMOS avancées ou des technologies émergentes qui proposent un élément de traitement élémentaire – transistor ou autre – toujours plus rapide. **Les travaux développés** pour cet objectif **portent sur l'innovation architecturale**, au niveau système ou au niveau circuit, **et la modélisation comportementale multi niveaux multi domaines** pour gérer la conception et la simulation de systèmes électroniques de plus en plus complexes.

Dans l'ordre chronologique, mes travaux ont d'abord porté entre 1996 et 2002 sur l'exploration et l'amélioration des possibilités de **la technique des courants commutés (SI)** pour concevoir des circuits sous une faible tension d'alimentation. Entre temps, j'ai rejoint le groupe de recherche Systèmes Intégrés Analogiques et Mixtes (SIAM) de Télécom ParisTech en 2000.

Pour capitaliser les études analytiques menées sur les circuits SI et les transformer en outils de simulation et d'aide à la conception, j'ai élargi mes activités par un premier axe majeur de recherche portant sur **la modélisation comportementale mixte et multi domaine** de 2002 à 2006. Au-delà du simple outil de modélisation et de simulation que je continue d'utiliser, j'ai étudié les nouvelles méthodologies de modélisation et de conception induites par l'arrivée de nouveaux langages de simulation mixte comme le VHDL-AMS. L'intérêt principal est de remonter par simulation des contraintes bas niveau – technologiques – au niveau système pour orienter la conception dès les premières étapes.

Forte de mon expertise en modélisation et constatant les limitations grandissantes des technologies CMOS avancées en terme de dissipation d'énergie et de dispersion, j'ai choisi d'explorer dans un second volet des mes recherche **les technologies émergentes** ou du moins quelques alternatives prometteuses pour remplacer ou compléter les technologies CMOS. Un premier travail de 2004 à 2007 a concerné le développement d'un modèle compact de transistor à nanotube de carbone et son utilisation pour la conception RF. Un second travail de

2007 à 2010 concerne la conception d'un CAN à supraconducteurs avec modélisation compacte de l'élément de base : la jonction Josephson.

La modélisation comportementale conduit à une simplification et une réduction des équations du dispositif par rapport à la description physique ou à une addition d'équations par rapport à la description fonctionnelle idéale. Dans tous les cas, elle requiert une très bonne connaissance de la technologie et de la conception qui va utiliser ce modèle. Pour être efficace, elle doit se confronter aux résultats expérimentaux dont je ne dispose pas pour l'instant ni sur les nanotubes ni sur les supraconducteurs.

J'ai donc, dans la suite de mes travaux de thèse et en m'inscrivant dans un thème majeur existant dans mon groupe de recherche, approfondi des activités en **conception pour la Radio Logicielle** enrichie de modélisation comportementale et implémentée physiquement en technologies CMOS avancées. Un premier travail depuis 2004 concerne la conception de récepteurs multistandards avec la mise en œuvre de deux techniques pour la réduction des contraintes – de la surface, de la consommation – sur le récepteur et l'augmentation de sa flexibilité : l'échantillonnage RF et l'échantillonnage non uniforme. Un second travail depuis 2006 concerne la modélisation et la conception portable des boucles à verrouillage de phase entièrement numériques.

Dans ce mémoire, je présente une synthèse de ces 4 thèmes de recherche :

- A. La technique des courants commutés (1996-2002)
- B. Modélisation comportementale mixte et multi domaine (2002-2006)
- C. Technologies émergentes (depuis 2004)
- D. Conception pour la radio logicielle (depuis 2004)

Puis, la partie E présente les perspectives de mes travaux de recherche.

## A. La technique des courants commutés (1996-2002)

Mes travaux de recherche en microélectronique ont débuté en 1996 dans un contexte de forte miniaturisation des technologies CMOS ( $<0,8\mu\text{m}$ ), de réduction de la tension d'alimentation ( $<3\text{V}$ ) et d'un intérêt très fort pour l'intégration tout CMOS pour une conception moins couteuse (par rapport aux technologies bipolaires). Il fallait désormais adapter les conceptions analogiques aux technologies numériques pour réduire la surface et le coût des circuits analogiques.

Dans ce contexte de réduction forte des tensions d'alimentation, les structures classiques ne pouvaient plus fonctionner et des innovations ont été recherchées soit en mode tension soit en mode courant pour continuer à accroître les performances des circuits sous une faible tension d'alimentation.

D'autre part, le traitement du signal en temps échantillonné connaissait un très grand succès depuis le début des années 70 avec la technique des capacités commutées (SC) qui bénéficie de la réalisation avantageuse des capacités en technologie CMOS (plus petites et plus précises que les résistances) et qui offre un degré de reconfigurabilité via la tension d'échantillonnage. Au début des années 90, dans la recherche d'une alternative au mode tension et à la technique des capacités commutées, une technique a été particulièrement étudiée : la technique des courants commutés (SI). Théoriquement, la technique SI était très prometteuse mais certaines limitations existaient. Il est alors apparu nécessaire d'approfondir la connaissance de la technique SI, de proposer des solutions de minimisation des limitations et de réaliser un circuit démonstratif.

Ce fut l'objet de mon travail de thèse de 1996 à 1999 intitulé « Etude du phénomène d'injection de charges dans les cellules à courants commutés pour la réalisation d'un circuit de compensation optimisé. Application à la conception d'un convertisseur numérique analogique algorithmique ».

### 1 CNA ALGORITHMIQUE A COURANTS COMMUTES

Le travail présenté dans cette thèse a conduit à la **réalisation d'un nouveau circuit de compensation de l'erreur d'injection de charges** dont les dimensions sont optimisées pour minimiser la consommation, la surface occupée et le niveau de bruit. De plus, le choix de l'interrupteur reliant la grille du transistor mémoire a été étudié en détail pour atteindre le meilleur compromis précision rapidité.

L'utilisation de cette cellule 'autocompensée' pour la **conception d'un convertisseur numérique analogique** a conduit à un circuit mixte fabriqué dans une technologie CMOS standard dont les principales qualités sont les suivantes :

- Faible tension d'alimentation : 3.3 V
- Faible consommation : 50 mW

- Faible surface occupée : 0.5 mm<sup>2</sup>
- Résolution programmable

La fréquence maximale d'horloge et la précision résultent d'un compromis. Nous avons choisi de réaliser un convertisseur 10bits – 10MHz ; mais l'une ou l'autre des caractéristiques peut être privilégiée au détriment de l'autre.

Une première étude fournit une vue d'ensemble des cellules mémoire à courants commutés. Parmi les principales sources d'erreur, l'effet de la conductance non nulle du transistor mémoire est efficacement éliminé grâce à l'emploi de la structure cascode ou cascode régulé ou par les cellules type grille à la masse. La contribution majeure de l'erreur est alors due au phénomène d'injection de charges. Les méthodes de compensation ont été classées en deux grandes familles selon leur mode d'action.

Les méthodes amont réduisent l'impact du phénomène sur le courant mémorisé dans le transistor principal grâce à :

- l'augmentation de la capacité de mémorisation,
- la minimisation de la transconductance du transistor mémoire,
- la réduction de la quantité de charges injectées en utilisant un interrupteur de taille minimale, l'interrupteur fantôme ou un interrupteur CMOS.

Les méthodes aval compensent l'erreur produite dans le transistor principal grâce à :

- la réplication et la soustraction de l'erreur,
- le multi échantillonnage de l'erreur.

La description des méthodes de compensation 'aval' de l'erreur d'injection de charges montre que la technique de réplication amène à une erreur résultante faible et dépendante du courant d'entrée tandis que le multi échantillonnage aboutit plutôt à un offset. Les méthodes combinant les deux techniques sont alors les plus efficaces.

Cependant, l'évaluation des avantages et des inconvénients de chaque méthode nécessite une étude approfondie que nous avons réalisée pour une cellule basée sur la réplication.

En conclusion, nous avons retenu la structure cascode régulé pour sa grande efficacité à éliminer l'effet de la conductance non nulle. L'étape suivante est alors d'évaluer les méthodes amont de réduction de l'erreur d'injection de charges.

Dans un second volet, le modèle développé est un véritable outil d'analyse et de décision pour choisir, en fonction de l'erreur générée sur la tension mémorisée, l'interrupteur qui relie la grille du transistor mémoire. Les résultats des calculs sont en accord avec les résultats de simulation et l'utilisation du programme MAPLE s'avère plus aisée et plus rapide. Les interrupteurs les plus efficaces pour la réduction de l'erreur d'injection de charges et leurs conditions d'utilisation ont alors été déterminés :

- L'interrupteur CMOS constitué par la mise en parallèle d'un nMOS et d'un pMOS de mêmes dimensions doit être commandé par des signaux en opposition de phase.

- L'interrupteur fantôme dont la largeur effective est égale à la moitié de celle de l'interrupteur principal est commandé en retard au moment de l'échantillonnage de l'information.
- La combinaison des deux types d'interrupteurs (CMOS plus fantôme) nécessite de respecter l'ensemble des conditions propres à l'utilisation de chacun.

Dans ces conditions, l'interrupteur combiné est le plus performant de tous. Cependant, sa mise en œuvre est complexe. Le choix entre les interrupteurs CMOS et fantôme dépend de la durée du front de commutation. L'avantage revient à l'emploi d'un transistor fantôme que si la durée de commutation est très courte.

Finalement, nous avons retenu que l'interrupteur CMOS, de mise en œuvre aisée, permet quelque soit la durée du temps de commutation d'annuler la plus grande partie de l'erreur.

Les critères généraux que nous avons retenus pour le dimensionnement de la cellule mémoire de base sont :

- Faible surface occupée
- Faible consommation
- Faible niveau de bruit
- Bon compromis précision rapidité

La traduction analytique de ces critères conduit à la détermination de la dynamique d'entrée optimale et au calcul des dimensions de tous les transistors de la cellule y compris les interrupteurs. Les données nécessaires sont la plage de variation du courant d'entrée, la tension d'alimentation et les paramètres technologiques. Comme ce dimensionnement s'appuie sur un modèle simple des transistors MOS, un ajustement est nécessaire lors de la simulation.

L'étude du comportement dynamique de la cellule montre que le choix de l'interrupteur reliant la grille du transistor mémoire ne se résume pas à prendre un nMOS de taille minimale. Parmi les trois types d'interrupteurs testés, l'interrupteur pMOS est le plus favorable à la fréquence maximale de fonctionnement tandis que l'utilisation d'un interrupteur CMOS permet de privilégier la précision.

A la suite de ces études préliminaires, nous avons été en mesure de proposer un **nouveau circuit de réduction de l'erreur d'injection de charges**, basé sur la technique de la réplication ; il est dimensionné et analysé selon les critères exposés dans le paragraphe précédent. **Les performances obtenues avec cette cellule autocompensée [1] montrent une grande amélioration de la précision et de la linéarité par rapport à l'état de l'art.** En revanche, la surface occupée, la consommation et la fréquence maximale de fonctionnement sont dégradées par un facteur trois.

Deux cellules mémoires performantes et comparables sont obtenues. Partant d'une cellule simple dont le comportement dynamique est optimisé, deux possibilités sont envisagées pour améliorer la précision : augmenter la capacité de mémorisation ou utiliser la structure autocompensée. La première solution permet d'obtenir une fréquence maximale de fonctionnement de 30 MHz pour un taux de distorsion harmonique de 67 dB. La seconde



conduit à une fréquence maximale de 24 MHz pour un taux de distorsion harmonique de 71dB. L'avantage revient donc à la cellule autocompensée qui en outre réduit plus efficacement l'erreur d'offset.

Ensuite, une présentation des principaux éléments de caractérisation et de test des convertisseurs numériques analogiques est effectuée. Les avantages de l'architecture algorithmique par rapport aux CNA classiques en échelle sont liés au faible nombre de composants utilisés : une faible surface occupée, une faible consommation, une grande précision et une résolution programmable.

Nous proposons alors un large éventail de possibilités pour réaliser un CNA algorithmique dans la technique des courants commutés. Les architectures qui traitent le bit de poids le plus faible en premier sont sensibles à la dispersion des paramètres des transistors (à cause de la division par deux). Tandis que les architectures qui traitent le bit de poids le plus fort en premier sont sensibles à l'imprécision de recopie des cellules (car l'erreur est multipliée par deux).

En conclusion, pour le choix de la structure que nous avons implémenté, nous avons privilégié les caractéristiques faible surface occupée, faible consommation et fréquence maximale de fonctionnement élevée. Dans ces conditions, l'architecture LSB simple conversion a été retenue.

Enfin, **la réalisation d'un CNA algorithmique avec des cellules autocompensées est présentée [2]**. Les performances simulées du circuit sont reprises dans le tableau ci dessous

Technologie	0.8 $\mu\text{m}$ CMOS
Résolution N	Programmable
Résolution maximale	11 bits
Tension d'alimentation	3,3 V
Puissance dissipée	50 mW
Fréquence maximale de fonctionnement	12,5 MHz
Dynamique du courant de sortie	1024 $\mu\text{A}$
INL (pour N=10 bits)	0.2 LSB
Surface occupée	0.5 $\text{mm}^2$

**Tableau 1 Caractéristiques simulées du CNA réalisé**

La surface occupée et la puissance consommée sont avantageusement faibles. La précision et la fréquence maximale de fonctionnement sont positionnées à des valeurs intermédiaires (10 bits – 10 MHz). Ce convertisseur est donc adapté pour des applications faible tension d'alimentation et faible consommation :

- Circuit à entrée série LSB en premier
- Résolution programmable
- Domaine des audiofréquences

## 2 COMPARAISON SI/SC

Les résultats de la thèse ont montré que le compromis précision-rapidité réalisé pour le convertisseur 10bits – 10MHz ne conduit pas à une performance aussi élevée que les réalisations en technique SC. Cependant, la puissance dissipée par la technique SI est très faible.

J'ai rejoint en 2000 l'équipe SIAM de Télécom ParisTech spécialiste des conceptions en capacités commutées et qui s'intéressait également aux possibilités des courants commutés. A mon arrivée, j'ai participé à l'encadrement de la thèse d'Elizabeth de Lira Mendès intitulée « Cellule mémoire à courants commutés – Application à la conception de modulateurs sigma delta ». Ces travaux ont mené à la réalisation d'un modulateur en technologie 0,6  $\mu\text{m}$  CMOS, fonctionnant sous 2,5V, avec une fréquence d'échantillonnage de 768 kHz, une résolution de 10 bits et une consommation de 7,5 mW pour une surface de 1.024 mm<sup>2</sup>. Là encore, l'utilisation de la technique SI aboutit à des performances moyennes pour une très faible consommation.

Nous avons donc décidé d'établir une **comparaison claire des deux techniques en termes de facteur de mérite et ceci en tenant compte de l'évolution des technologies CMOS**. L'objectif de l'étude « Impact des nouvelles technologies numériques sur les performances des circuits SC et SI » est de déterminer les performances théoriques de trois circuits échantillonneurs-bloqueurs (SC ou SI) et d'évaluer l'incidence des technologies largement submicroniques sur l'évolution de ces performances [3].

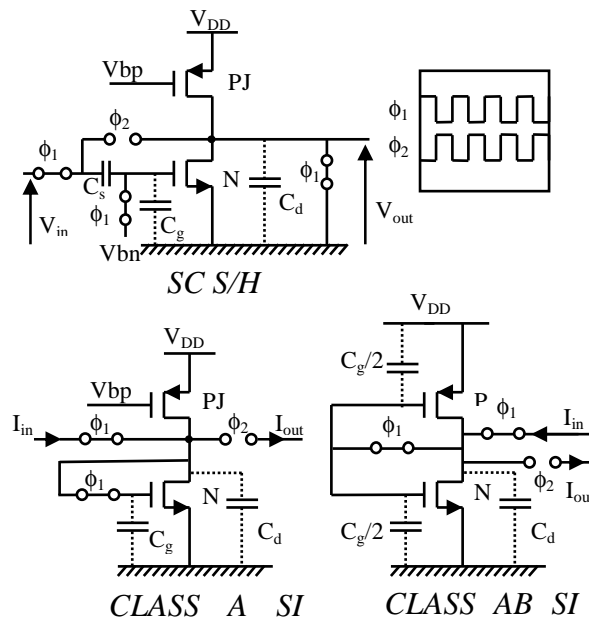


Figure 1 Trois circuits échantillonneurs-bloqueurs

La première partie présente les trois circuits simples (Figure 1) réalisant la fonction d'échantillonnage blocage qui sont les circuits de référence de l'étude, puis les performances statiques sont évaluées. Les modèles utilisés pour réaliser les calculs théoriques supposent que les transistors fonctionnent en forte inversion. Dans la seconde partie, les performances dynamiques sont évaluées grâce au calcul d'un facteur de mérite combinant précision, vitesse et consommation. Puis, comme l'hypothèse de fonctionnement en forte inversion devient difficile à réaliser avec les très faibles tensions d'alimentation, la dernière partie développe le calcul du SNR pour une cellule mémoire SI en classe A fonctionnant en faible inversion.

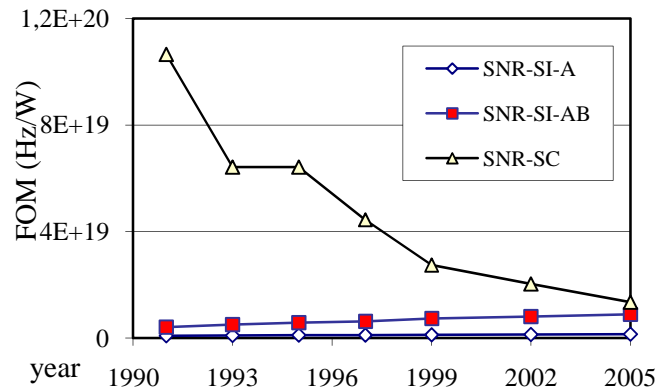


Figure 2 Facteur de mérite des circuits S/H ( $V_0=200\text{mV}$ )

En 2002, nous avons été parmi les premiers à établir que les circuits SI étaient moins performants que les circuits SC [3]. Mais, leurs performances étaient moins sensibles à la baisse des tensions d'alimentation. Donc, au regard de l'étude de trois circuits très simples, on pouvait conclure que la cellule SI-AB serait bientôt plus performante que la cellule SC. La réalité est différente puisque dans les applications très haute performance (e.g. les télécommunications), la technique SC offre toujours une bonne résolution et une grande rapidité grâce à la mise en œuvre d'amplificateurs très performants. La conception de ces amplificateurs est un véritable défi avec les nouvelles technologies numériques et l'inconvénient pourrait être une augmentation de la consommation. D'un autre côté, la technique SI demeure avantageuse pour des applications (e.g. les circuits de traitement du signal pour capteurs) nécessitant une très faible consommation, une très faible surface occupée et un faible coût et pour lesquelles le compromis résolution vitesse de la technique SI est suffisant.

## **B. Modélisation comportementale mixte et multi domaine (2002-2006).**

Au cours des études des cellules et des circuits SC et SI, nous avons développé des équations analytiques pour prédire les comportements en vitesse, en précision et en consommation.

En s'appuyant sur les modèles établis pour le phénomène d'injection de charges et pour le comportement dynamique des cellules, nous avons envisagé d'effectuer la modélisation comportementale des cellules. L'objectif est la réalisation d'une bibliothèque des différentes cellules dans le langage VHDL-AMS pour la simulation des circuits mixtes.

Ainsi a débuté un second axe important de mes activités de recherche en modélisation comportementale mixte et multi domaine avec le langage VHDL-AMS.

Pour la simulation des circuits analogiques, deux niveaux étaient envisagés, le niveau fonctionnel en MATLAB et le niveau physique avec Eldo. Cependant avec l'augmentation de la complexité des circuits, les temps de simulation au niveau transistor sont devenus prohibitifs et la conception des systèmes a nécessité la mise en œuvre de modèles comportementaux précis et efficaces en temps de simulation. La possibilité de créer de tels modèles pour les circuits analogiques et mixtes a été facilitée par la standardisation du langage VHDL-AMS en 1999. De là, de nombreux modèles d'amplificateurs opérationnels ont été conçus.

Il y avait un vrai challenge de recherche à créer des modèles comportementaux pour les circuits mixtes et multi domaines ainsi qu'une méthodologie de modélisation appropriée à ces nouveaux outils. Le gain étant pour le concepteur de systèmes de disposer de modèles fiables et rapides pour réduire le temps de développement.

### **1 MODELISATION DE CIRCUITS MIXTES**

Le développement de modèles comportementaux pour les circuits mixtes est basé sur la connaissance des circuits et une analyse des phénomènes physiques pour obtenir des modèles prédictifs. La validation est de préférence effectuée par comparaison avec des résultats de mesure. Et on obtient ainsi un outil pour la conception d'un circuit identique avec des performances différentes et/ou avec la génération technologique suivante.

Nous avons développé un **modèle de modulateur sigma delta passe haut en VHDL-AMS [4]** qui inclut les différents bruits : bruit de jitter, bruit thermique, bruit en  $1/f$  et bruit de l'amplificateur. Il inclut également la plupart des non idéalités d'un modulateur passe-haut à capacités commutées comme le gain fini, la bande passante, le slew-rate et la saturation de l'amplificateur, l'offset et l'hystérésis du comparateur et la dispersion sur les capacités.

Le modèle a été validé par comparaison avec les résultats de mesure et on obtient ainsi un outil performant qui permet de déterminer des valeurs maximales de bruit de jitter, de bruit de l'interrupteur et de bruit de l'amplificateur opérationnel pour une performance requise du modulateur et ceci sans une simulation circuit consommatrice en temps.

Nous avons également développé un modèle de PLL optoélectronique. La conception des PLL doit répondre à la demande toujours croissante en débit d'information élevé. Pour des communications sur fibres optiques envisageables à plusieurs dizaines de gigahertz par voie, les PLL classiques sont limitées par la rapidité du comparateur de phase. Une solution innovante consiste alors à mêler des éléments optiques et des éléments électriques pour réaliser des PLL très rapides et bien adaptées au traitement optique des signaux. Un prototype de PLL optoélectronique avait été développé au laboratoire, la boucle schématisée sur la Figure 3 emploie le mélange à quatre ondes dans un amplificateur à semi-conducteur (SOA) en guise de comparateur de phase. Ce système fonctionne autour de 10 Gbps et les résultats expérimentaux valident les résultats théoriques obtenus par une première étape de modélisation.

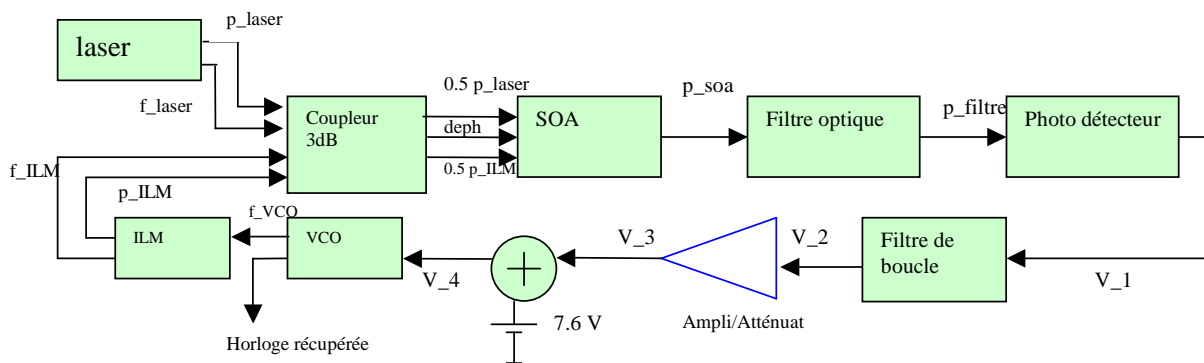


Figure 3 Schéma bloc d'un prototype de PLL optoélectronique

L'objectif de notre contribution fut de développer un modèle comportemental plus complet et de mettre en œuvre une simulation dédiée de la PLL optoélectronique afin d'améliorer sa conception. Pour atteindre cet objectif, le langage de description matériel VHDL-AMS est utilisé. Il permet de décrire et de simuler les systèmes multi-technologiques et il permet la multi-abstraction des modèles : des modèles plus ou moins détaillés (fonctionnels, comportementaux, ou physiques) peuvent être mis en œuvre dans un même système.

Les paramètres importants pour jauger la performance d'une PLL utilisée pour la récupération d'horloge sont : la gigue sur le signal de sortie, les plages de verrouillage et de capture et l'agilité (vitesse d'accrochage). Un premier modèle a permis de retrouver les principales caractéristiques de la PLL; puis nous avons proposé un modèle plus fin de deux composants, un ILM (Integrated Laser Modulator), et un VCO hautes fréquences (autour de 10 GHz), prenant en compte le bruit de gigue, et nous avons caractérisé l'influence de ces bruits sur les performances du système [5].

Nous avons également utilisé notre modèle en VHDL-AMS pour concevoir un amplificateur contrôlé en gain qui permet d'étendre la plage de capture de la PLL et de la maintenir constante quelque soit la puissance optique incidente [6].

## 2 MODELISATION D'UN SYSTEME MULTI DOMAINE

Nous avons participé à un projet RMNT de 2002 à 2004 sur la Simulation Hybride pour Applications Multi-domaines Analogiques et Numériques (SHAMAN). **Ce projet a été cité en exemple de rupture de méthode de conception dans le livre blanc du RMNT. Et les principaux résultats du projet ont été publiés dans une revue IEEE [7].**

Dans le cadre de ce projet, j'ai codirigé la thèse de Mohammed Karray intitulée « Contribution à la modélisation hiérarchique de systèmes opto-électroniques à base de VHDL-AMS ».

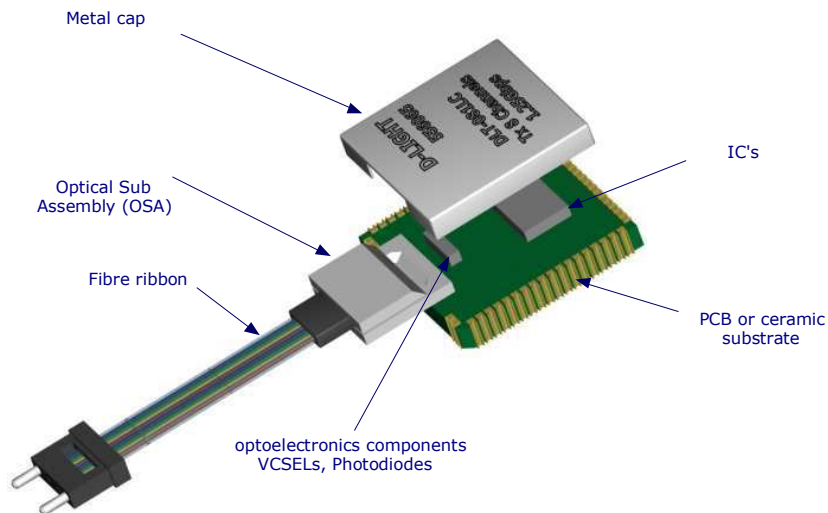
### 2.1 Objectifs du projet SHAMAN

Dans un contexte où la mise au point d'un microsystème ne relève plus seulement du domaine de l'électronique, mais intègre également des composants optiques ou optoélectroniques dans un assemblage complexe, le projet SHAMAN a été motivé par le besoin qu'ont les fabricants de ce type de modules, d'outils de simulation leur permettant d'intégrer les multiples effets influant sur les performances de l'ensemble : optiques, électriques, mécaniques et thermiques.

Ce projet avait pour objectif de développer une bibliothèque de modèles de composants optoélectroniques en VHDL-AMS (IEEE 1076.1), l'extension analogique du langage VHDL. Ce langage est particulièrement bien adapté à la simulation de problèmes multi-domaines, mais n'a pas encore ou peu été exploré pour le type d'application citée plus haut. Associés, les modèles permettront la simulation de modules optoélectroniques complexes, tels les MOEMS (Micro-Opto-Electro-Mechanical Systems), en intégrant un maximum de contraintes appartenant à des domaines différents, ainsi que leurs interactions. L'utilisation d'un standard garantit la possibilité d'implémenter les modèles dans tout simulateur compatible VHDL-AMS.

En particulier dans ce projet, nous nous intéressons à un module de type POM (Parallel Optical Module) fourni par l'un des partenaires, qui nous servira de démonstrateur (Figure 4). Il est utilisé pour des applications de type communication optique courte distance. Ce démonstrateur s'inscrit dans un contexte où la réduction du cycle de conception est un élément prédominant dans l'attaque d'un marché.

Un autre objectif du projet est de définir une méthodologie associée à l'écriture des modèles VHDL-AMS. Cette partie du travail fera l'objet d'une présentation spécifique dans la partie 3.



**Figure 4 Module optoélectronique incluant un assemblage optique, électronique et la mise en boîtier.**

## 2.2 Synthèse des travaux de Télécom ParisTech en modélisation

Les travaux de modélisation en VHDL-AMS comprennent plusieurs composants : driver, VCSEL, fibre optique, photodiode, amplificateur, des couplages : VCSEL-fibre et fibre-photodiode et des interactions multi domaines : optoélectronique, thermoélectrique, thermo optique, thermomécanique et mécano optique.

Les modèles en VHDL-AMS ont été développés, grâce à un dialogue permanent avec l'ensemble des partenaires, pour répondre aux trois critères suivants :

- Un détail de description et de prise en compte des interactions assez fin pour observer en simulation les comportements mesurés. Ces comportements mesurés sont ceux de plus grand intérêt pour le développeur du module et non l'ensemble des comportements observables.
- Un temps de simulation réduit grâce à une simplification des modèles à chaque fois que cela est possible.
- La faisabilité de l'implémentation effective des modèles en VHDL-AMS.

### *Driver :*

Ainsi, pour l'étage de commande des diodes Laser, la modélisation au niveau transistors a été retenue pour tenir compte des variations des caractéristiques physiques du transistor avec la température (effet thermoélectrique). Une simplification consiste à ne décrire que la paire différentielle au niveau transistor car son effet est prépondérant. Enfin, la description au niveau transistor bas niveau est faisable en VHDL-AMS.

### *VCSEL [8] :*

Pour les VCSELs, un grand nombre d'études préliminaires ont amené à retenir les équations d'évolution pour une description détaillée. Une simplification consiste à ne décrire qu'un seul

mode d'émission transverse car le résultat en puissance totale émise est identique pour un ou plusieurs modes. Les équations d'évolution, différentielles et non linéaires, sont écrites directement en VHDL-AMS et leur résolution rend compte aussi bien du comportement statique que dynamique des VCSELs.

Concernant l'auto échauffement et l'échauffement mutuel dans la barrette de VCSELs, seules les températures des jonctions influent sur le comportement optoélectronique des VCSELs et la résolution de l'équation de la chaleur adaptée à la géométrie de la barrette montrent que l'échauffement mutuel s'effectue par la surface du substrat. Donc l'hypothèse simplificatrice des tubes de chaleur peut-être utilisée. De plus, un réseau de résistances et de capacités thermiques est particulièrement bien adapté à l'implémentation en VHDL-AMS.

#### *Photodiode :*

Pour la photodiode, nous avons opté pour une modélisation de plus haut niveau avec un modèle dont les paramètres sont déductibles des données constructeur. Le schéma électrique classique de la photodiode peut-être utilisé. La photodiode idéale est modélisée par une source de courant proportionnelle à la puissance optique incidente. Les autres composants du schéma représentent les éléments parasites du modèle. Les variations thermiques du courant d'obscurité et de la sensibilité sont également prises en compte.

#### *Amplificateur de transimpédance :*

La nécessité d'un comportement réaliste, en particulier en ce qui concerne la bande passante, nous amène à simuler l'architecture à transistors de ce composant. Ainsi, les variations des caractéristiques des transistors avec la température sont prises en compte.

#### *Technologies de report et d'assemblage :*

Certains modèles diffèrent en fonction des technologies de report et d'assemblage utilisées. Ce sont les connexions de la puce vers les plots d'entrée sortie du module, les échanges thermiques dans le réseau complet et les couplages thermomécaniques.

#### *Réseau thermique du module complet [9] :*

Un réseau thermique du module complet est proposé pour rendre compte des échanges thermiques (auto-échauffement et échauffement mutuel). C'est principalement la partie émission (driver+VCSEL) qui participe à l'échange thermique et à l'échauffement ; donc, seuls ces éléments sont connectés thermiquement à l'ensemble de la structure (couvercle, substrat, PCB). Les composants de la partie réception (photodiode et amplificateur TA) sont sensibles à la température, mais ne participent pas à l'échange thermique. Du point de vue modélisation, un réseau de résistances et de capacités thermiques rend compte des échanges thermiques de la barrette de VCSELs et des drivers avec leur environnement tandis que la température ambiante est un paramètre d'entrée des modèles du récepteur.



### 3 METHODOLOGIE DE MODELISATION MULTI DOMAINE

#### 3.1 Principe du prototypage virtuel fonctionnel

Dans le cadre du projet SHAMAN, nous avons mis en place un nouveau flot de conception basé sur le prototypage virtuel et que nous avons appelé le *Prototypage Virtuel Fonctionnel (FVP)* [10], [11].

Ce nouveau flot de conception est utile pour tous les systèmes complexes multi domaines où les interactions entre divers domaines physiques (électrique, optique, mécanique, thermique) doivent être pris en compte dès les premières étapes de la conception.

Avec la mise en place du FVP, le système est étudié grâce à des modèles descriptifs ou prédictifs de ses sous-systèmes ou circuits et une modélisation de son environnement représentant les conditions de fonctionnement normales. Des choix technologiques, des dimensionnements, des modes de fonctionnement peuvent être testés et comparés. Les performances peuvent être simulées et optimisées. La validation du système est effectuée par une simulation globale au lieu de fabriquer plusieurs prototypes. Grâce au FVP, un seul prototype physique est fabriqué juste du premier coup et un temps précieux est gagné sur le temps de conception.

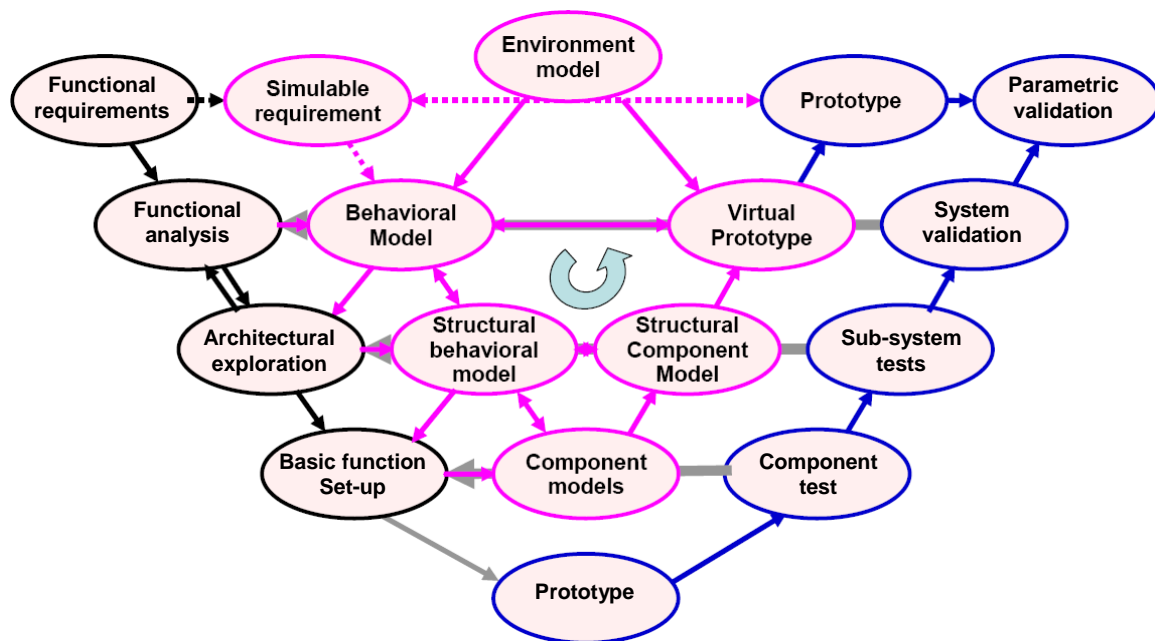


Figure 5 Le cycle de prototypage virtuel (FVP) à l'intérieur du cycle classique

Le principal objectif du flot de conception FVP est de renforcer chaque étape de la conception par un modèle et une simulation. Chaque étape est comparée à la précédente ou à son équivalent comportemental.

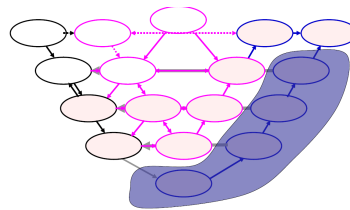
Les étapes du cycle de modélisation FVP sont :

- une description comportementale et haut niveau du système global dont une étape importante consiste à traduire les spécifications du système, provenant de la définition du projet, en caractéristiques simulables.
- des étapes structurelles de modélisation système : l'analyse structurelle permet d'établir les interactions entre les composants internes du système indépendamment de leur description comportementale ou physique.
- une description physique bas niveau des composants : lorsqu'une modélisation prédictive précise est nécessaire pour un composant, il peut être nécessaire de comprendre les mécanismes internes et la physique du composant pour extraire les équations qui régissent le fonctionnement et rendre possible la simulation des effets parasites.

Ainsi mis en œuvre, le flot de conception de la Figure 5 permet de réduire les coûts de conception grâce à :

- la minimisation des risques grâce à la sécurisation du processus de conception
- la réduction des délais grâce à l'approche « juste par conception »
- l'organisation de la réutilisation de conceptions validées

Avec le progrès des outils de simulation et des procédures de modélisation, l'objectif est d'éviter le chemin classique de validation montante montrée sur la Figure 6.



**Figure 6 étapes de validation supprimées grâce au FVP**

Nous espérons également guider des choix technologiques de bas niveau grâce à des simulations du système en tenant compte des conditions de fonctionnement et de l'environnement. Dans la mise en œuvre du FVP, l'utilisation d'un langage multi-domaines facilite la modélisation des interactions.

Le cycle de conception FVP a été mis en œuvre dans un vrai projet industriel dans le cadre du projet SHAMAN.

### 3.2 Résultats du FVP dans le projet Shaman

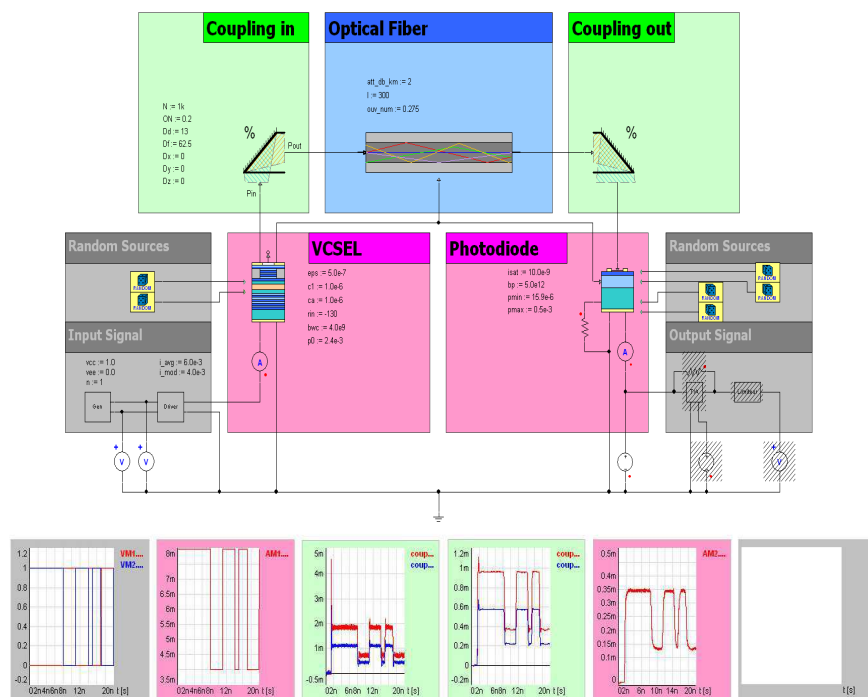
Nous avons **appliqué cette méthodologie au module optique parallèle du projet Shaman** en développant tout d'abord un modèle purement descriptif du système complet [12]. Ce modèle constitue une référence pour valider les simulations suivantes à plus bas niveau de description, il est très rapide à simuler et reproduit très bien le fonctionnement

standard du module dans le respect des spécifications de l'OIF (Optical Interconnect Forum). Il peut être utilisé pour des simulations système de plus haut niveau.

Nous avons ensuite découpé le système en plusieurs composants tout en identifiant les interactions multi domaines. Chaque composant est modélisé à un niveau comportemental en intégrant toutes les interactions significatives. Pour faciliter la réutilisation des modèles, les paramètres génériques externes ne sont pas des paramètres physiques mais ceux fournis dans les données constructeur ou obtenus par des mesures simples.

Pour la diode laser VCSEL très sensible à l'échauffement, le modèle développé pour le projet SHAMAN et implémenté en VHDL-AMS contient 90 lignes et 23 paramètres génériques [8]. Il inclut le comportement optoélectronique régi par les équations de conservation des électrons et des photons ; l'échauffement et l'auto-échauffement est simulé grâce à un réseau thermique équivalent pour la barrette de VCSELs ; et un module spécifique du modèle calcule les paramètres optiques internes à partir des données constructeur. Comme cette modélisation est complète et bas niveau, elle permet plusieurs utilisations :

- Concevoir ou améliorer une diode VCSEL spécifique,
- Simuler cette diode avec un bon compromis précision du modèle et rapidité de simulation,
- Inclure cette diode dans le prototype virtuel d'un module optoélectronique.



**Figure 7 Simulation d'un canal complet du module optique parallèle sous Simplorer.**

Une fois la méthode déroulée, nous disposons d'une bibliothèque de modèles en VHDL-AMS qui permettent de décrire soit une partie soit tout le système. Alors il est possible

d'assembler les différentes briques et de valider un prototype virtuel. Le concept clé pour l'intérêt de ce développement est la réutilisabilité qui est favorisée par l'emploi d'un langage standardisé (VHDL-AMS), une utilisation intensive des paramètres constructeur, une documentation complète et systématique, un nommage conventionnel et des outils d'implémentation adaptés comme le logiciel Simplorer de la société Ansoft.

Ce prototype virtuel a été utilisé pour tester les contraintes thermomécaniques avec un nouveau positionnement des cylindres. En effet, l'efficacité des couplages entre la diode VCSEL et la fibre optique et entre la fibre et la photodiode est pilotée par des contraintes thermomécaniques. Grâce à des simulations VHDL-AMS, nous avons démontré que les contraintes (tolérances de positionnement) sur la fabrication des parties mécaniques pouvaient être relâchées sans perte de performance car la déformation des parties mécaniques due aux effets thermiques dans le POM est très faible.

L'objectif principal était de concevoir la génération suivante du POM, en élevant le débit de 1.25 Gbits/s par canal à 10 Gbits/s par canal, sans fabriquer de nombreux prototypes physiques. Avec notre banc de prototypage virtuel, de nouveaux composants ont pu être testés dans leur environnement jusqu'à obtenir les performances visées et ainsi, la conception avait une forte probabilité de fonctionner du premier coup.

#### **4 METHODES ET OUTILS POUR LA CONCEPTION DES SoC-AMS**

En parallèle du projet SHAMAN, j'ai participé activement à la réflexion sur les méthodes et les outils pour la conception des SoC-AMS dans le cadre de l'Action Spécifique SoC-AMS du CNRS qui s'est déroulée en 2002-2004.

Voici un résumé des conclusions que nous avons eu sur le *flot de conception AMS* :

Le flot de conception AMS repose sur une synthèse descendante et une réalisation physique ascendante, mettant en œuvre des outils de plusieurs environnements :

- des simulateurs systèmes. Comme il n'existe pas encore de langage de spécification abouti, les concepteurs utilisent une large variété de langages de haut niveau,
- des simulateurs électriques traditionnels de circuits analogiques, peu d'avancées pour les circuits mixtes,
- le dimensionnement électrique est essentiellement manuel. Des outils récents proposent des phases d'optimisation pour le choix des topologies et le dimensionnement des composants de base,
- des outils de dessin des masques, dont l'utilisation est encore généralement manuelle. Quelques outils récents proposent une aide à la migration technologique,
- d'autres outils d'aide à la conception permettent de modéliser, de caractériser, de vérifier, d'extraire les blocs analogiques et d'analyser des bruits du substrat. Les degrés d'utilisation des outils existants sont variables.

Donc, **il n'existe pas un environnement de conception complet et homogène et les outils existants présentent des marges d'automatisation conséquentes**. Certaines phases de la conception sont susceptibles de gagner en automatisation. Il s'agit en particulier de :

- la migration des circuits pour une même technologie avec des spécifications différentes, ou même pour des procédés de fabrication différents : du point de vue schéma et dessin des masques,
- la création de modèles comportementaux basés sur des équations paramétrables dont les paramètres représenteront les spécifications de conception des schémas transistors correspondants,
- la caractérisation de circuits avec une méthodologie standardisée,
- la synthèse analogique pour le dimensionnement d'une topologie pré-définie,
- la génération du dessin des masques pour le placement, le routage et la génération de matrices de composants sensibles ayant des contraintes d'appariement.

Les objectifs d'une automatisation accrue et d'une homogénéisation du flot de conception AMS sont :

- la réduction du temps de conception des blocs analogiques utilisés dans les SoCs,
- l'amélioration des performances et de la qualité des circuits par des optimisations et caractérisations systématiques,
- la réutilisation des blocs AMS et l'échange d'IP AMS.

Les **principaux verrous** sont liés à :

- la criticité de la conception analogique avec une hiérarchie mal définie (système, blocs, cellule) et un manque de standardisation des méthodologies employées,
- La prise en compte des interactions (couplages entre les différents blocs, bruits, compatibilité électromagnétique).

De cette phase importante de mon activité sur la modélisation, les méthodes et les outils au service de la conception électronique et mixte, il m'est apparu qu'elle est indissociable d'une bonne connaissance des circuits, des systèmes et des enjeux de la conception.

Depuis 8 années et mes premiers circuits en CMOS 0.8  $\mu\text{m}$ , la course à la miniaturisation n'a pas connu de ralentissement et en 2004, les technologies disponibles sont largement submicroniques (90 nm). Mais alors que jusqu'à présent, cette diminution de la largeur de la grille s'est toujours accompagnée d'une augmentation de la vitesse et d'une diminution de la consommation, les premiers signes de limitations dues à l'extrême petitesse apparaissent :

- La difficulté technique à réaliser des transistors de plus en plus petits et l'augmentation forte de la dispersion montre qu'il y a une limite en-dessous de laquelle les circuits ne seront plus fonctionnels.

- Il n'est plus possible de baisser la tension d'alimentation des circuits comme nous le faisons jusqu'à présent et descendre en dessous de 1V paraît un challenge très difficile.
- Avec la réduction de l'épaisseur de l'oxyde de grille, les courants de fuite explosent et la dissipation de puissance sur la puce devient également un enjeu.

Dans ce contexte, nous nous sommes intéressés aux matériaux alternatifs aux technologies silicium pour l'électronique du futur. Pour les deux technologies que nous avons étudiées : les transistors à nanotubes de carbone et les jonctions supraconductrices, il n'existait pas de modèles dédiés pour la conception microélectronique. Nous avons donc abordé ces technologies sous deux angles : le développement de modèles compacts pour la conception de circuits électroniques et les possibilités d'utilisation pour les circuits radiofréquences.

## C. Technologies émergentes (depuis 2004)

### 1 NANOÉLECTRONIQUE

Les avantages justifiant le développement de l'électronique moléculaire sont essentiellement les suivants :

- Les nano-objets utilisés sont intrinsèquement de taille nanométrique, ce qui paraît pouvoir répondre naturellement au problème de la miniaturisation et aux difficultés prévisibles du CMOS à l'échelle de 10nm et moins.
- Au delà de la miniaturisation, l'électronique moléculaire est le domaine naturel d'utilisation des techniques d'autoassemblage. La feuille de route nanoélectronique établie par l'IST dans le cadre du 5<sup>ème</sup> programme cadre européen considère que l'autoassemblage (ou les stratégies bottom-up plus généralement) est la seule voie raisonnable pour la fabrication de circuits ultra-denses mettant en jeu des milliards de nano-objets. Le développement de l'autoassemblage est également identifié comme l'une des voies de réduction des coûts de production de circuits les plus prometteuses, comparée aux prévisions réservées émises pour le CMOS.
- Enfin, l'électronique moléculaire, basée sur des objets quantiques, est un champ parfait pour tester et développer de nouveaux paradigmes d'architecture, qui pourraient s'avérer efficaces en termes de gestion de la complexité (incluant tolérance aux défauts, auto-réparation, auto-organisation, ..) et surtout du coût énergétique de calcul.

Le contexte international général de l'électronique moléculaire peut se résumer en disant qu'après une période, ayant débuté aux alentours de 1997, dévolue essentiellement à la réalisation de composants individuels, une évolution naturelle, parallèle à la poursuite des recherches sur composants isolés, a lieu pour intégrer ces composants en circuits et systèmes. Deux grands types d'applications semblent plus prometteurs :

- Des composants moléculaires à deux terminaux, fonctionnant comme des diodes bistables, peuvent être intégrés dans des mémoires moléculaires très denses ouvrant de nouvelles possibilités architecturales [13] ;
- Des nanotubes de carbones dont le comportement est proche d'un conducteur quantique idéal dans lequel les électrons se déplacent selon une seule dimension peuvent être utilisés pour former des transistors à effet de champs à haute performance et haute densité offrant une alternative attractive aux technologies CMOS [14]. Ils sont également des candidats sérieux pour les interconnexions courtes dans les SOC grâce à leur faible capacité d'interconnexion [15].

Dans ce contexte, nous avons participé à deux projets sur les nanotechnologies dont nous présentons les principaux objectifs et les résultats que nous avons obtenus. Les compétences

mises en œuvre dans ces projets sont essentiellement la modélisation compacte d'objets nouveaux à partir des équations et du comportement physique dans un langage dédié à la conception de circuits électroniques (VHDL-AMS).

## 1.1 NANOSYS

### *Description du projet :*

Les nanotechnologies font l'objet d'un intense effort de développement. Leur adoption par l'industrie de l'électronique doit passer par une évaluation des architectures les exploitant. A court terme, cette introduction se fera en complément des technologies CMOS standard. A plus long terme, des architectures nouvelles alternatives aux architectures classiques seront sûrement nécessaires. Le projet NANOSYS (ACI-CNRS) se proposait d'étudier l'introduction des nanocomposants de l'Electronique Moléculaire dans les technologies CMOS pour réaliser des fonctions de traitement de l'information. Il s'est concentré sur l'exploration des architectures qui devront être mises en œuvre pour exploiter ces nouvelles technologies. Avant de faire une démarche quelconque de conception ascendante ou descendante, il est nécessaire de faire le lien entre la démarche expérimentale des concepteurs de composants et la démarche conceptuelle des concepteurs d'architectures. Le lien était clairement manquant en 2004 et ce projet se proposait de l'établir. Ce projet pluridisciplinaire a été initié au sein de l'Action Spécifique « Nouvelles technologies dans les systèmes sur puce (SOC-NT) » et il regroupait des équipes du CNRS, du CEA, du LETI, de l'INRIA et de plusieurs Universités.

### *Modélisation compacte de transistors à nanotube de carbone :*

Notre contribution dans le projet a porté sur la **modélisation compacte du transistor à nanotube de carbone (CNTFET) dans le langage VHDL-AMS**. Nous avons travaillé sur cette tâche en collaboration avec des équipes des universités de Bordeaux et de Strasbourg.

Les conditions de validité du modèle développé sont les suivantes :

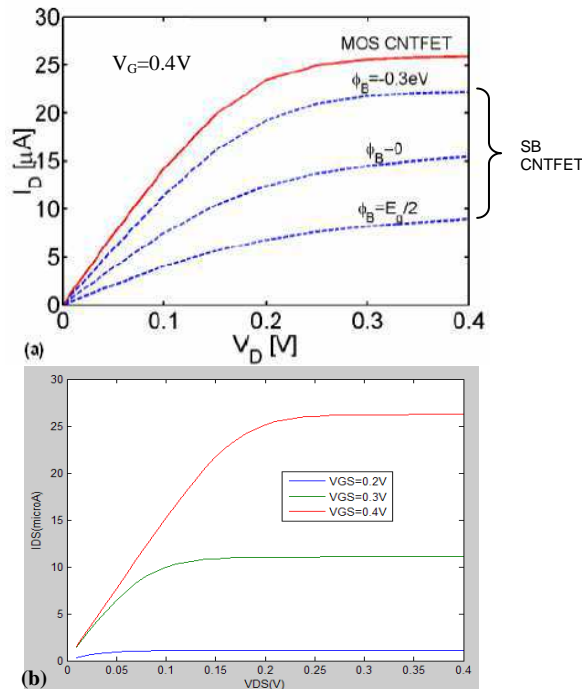
- le transport est balistique 1D dans le nanotube ( $L < 15\text{nm}$ )
- les contacts sont réalisés en nanotubes dopés pour un meilleur rapport  $I_{\text{on}}/I_{\text{off}}$ .

Nous avons implémenté les équations d'un modèle compact existant [16] en MATLAB et VHDL-AMS et étendu sa gamme d'utilisation à toute valeur du diamètre comprise entre 1 et 5 nm. Nous pouvons ainsi effectuer rapidement des simulations pour plusieurs valeurs du diamètre et envisager l'étude de l'impact de la dispersion sur les premières architectures à CNTFET. Notre modèle a été validé par comparaison avec les courbes issues des simulateurs physiques pour le même composant (Figure 8).

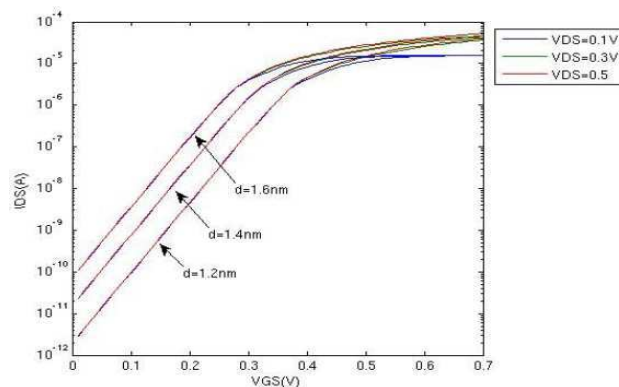
Lors de la réalisation pratique des CNTFETs, il existe une grande dispersion sur les valeurs des diamètres obtenus. Par exemple, pour un diamètre visé de 1,4 nm, nous obtenons une collection de nanotubes entre 1.2 et 1.6 nm. **Nous avons caractérisé la dispersion sur**



les caractéristiques principales du CNTFET induite par la disparité sur la valeur du diamètre [17]. Les courants à l'état on et off correspondent respectivement à  $V_{GS}=0.7V$  et  $V_{GS}=0.1V$ , la pente inverse sous le seuil S est la pente inverse minimale observée.



**Figure 8** Courant  $I_{DS}$  en fonction de  $V_{DS}$  pour  $d=1nm$ ,  $h=2nm$  et  $\epsilon_{ox}=25$  (a) Résultats d'une simulation physique (b) Résultats du simulateur MATLAB



**Figure 9** Courant  $I_{DS}$  en fonction de  $V_{GS}$  pour  $d=1.2nm$ ,  $1.4nm$  et  $1.6nm$ ,  $h=3nm$  et  $\epsilon_{ox}=25$ .

D'après les résultats de la Figure 9, on constate que la pente sous le seuil n'est pas modifiée par une variation du diamètre. Par contre, les niveaux de courant changent : le Tableau 2 montre une dispersion limitée sur le courant  $I_{on}$  d'environ 10% ; par contre le rapport  $I_{on}/I_{off}$  est très sensible à la dispersion sur le diamètre avec un facteur 30 entre la valeur minimale et la valeur maximale.

Diamètre	1.2nm	1.4nm	1.6nm
Courant $I_{on}$	37 $\mu$ A	42 $\mu$ A	45 $\mu$ A
Rapport $I_{on}/I_{off}$	379.10 <sup>3</sup>	55.10 <sup>3</sup>	12.10 <sup>3</sup>

**Tableau 2 Performances observées pour plusieurs valeurs de diamètre pour  $V_{DS}=0.3V$ .**

Un compromis doit être réalisé entre les différentes performances voulues : un diamètre petit favorise un courant faible à l'état off et un grand rapport  $I_{on}/I_{off}$  tandis qu'un grand diamètre favorise un fort courant à l'état on. Et il est cependant difficile de contrôler le diamètre du nanotube lors de sa fabrication afin d'obtenir la valeur optimale de 1.4nm.

En conclusion, la modélisation compacte du CNTFET balistique à source et drain en nanotube dopé est intéressante car elle correspond au transistor à nanotube le plus performant. Le modèle basé sur l'intégration d'un potentiel de surface est déjà exploitable pourvu que sa plage de validité soit bien définie. En particulier, le modèle est valable pour les faibles tensions  $V_G$  appliquées afin de ne pas peupler les sous-bandes d'énergie supérieures à 0.5eV. Nous avons intégré dans notre implémentation du modèle un module de calcul automatique des paramètres  $\alpha_0$ ,  $\alpha_1$  et  $\alpha_2$  dépendant du diamètre du nanotube afin d'étudier l'influence des dispersions sur les performances du CNTFET. Cependant, les limites de notre modèle étaient les suivantes :

- Les performances obtenues avec le modèle compact correspondent à une limite supérieure des possibilités du CNTFET totalement balistique. En particulier, le modèle compact ne tient pas compte de la longueur du nanotube.
- Le comportement dynamique n'est pas modélisé

Nous avons prolongé notre travail par l'étude des potentialités haute fréquence du CNFFET pour la réalisation de fonction RF.

## 1.2 NANO-RF

### *Description du projet :*

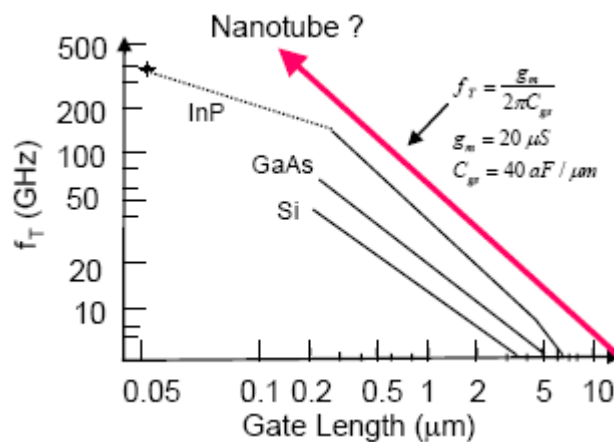
A Télécom ParisTech, le groupe SIAM possède une expertise en conception de circuits pour les télécoms en technologies CMOS. Pour intégrer les composants de l'électronique moléculaire dans nos futures conceptions ultra rapides, le premier verrou pour l'intégration mixte concerne la mise en place de modèles de nanocomposants réalistes et utilisables pour la conception. Nous avons développé pour le projet NANOSYS un programme innovant pour la simulation des caractéristiques statiques des transistors à nanotubes de carbone permettant en particulier l'étude de l'impact de la dispersion sur les performances du CNFET n+-i-n+ balistique [17].

Nos objectifs avec le projet NANO-RF étaient d'améliorer le modèle : extension du domaine de validité du modèle statique et ajout du comportement dynamique, d'étudier l'influence de la dispersion sur des architectures analogiques et mixtes. A moyen terme, nous souhaitons proposer une architecture innovante intégrant des nanotubes de carbone permettant de mettre en évidence les apports (densité d'intégration, rapidité, faible consommation) de cette technologie.

Le but était d'étudier l'apport des nanotubes de carbone dans les technologies CMOS pour réaliser des fonctions de traitement de l'information analogique et mixte.

### **Verrou : Modélisation RF et nouvelle approche architecturale**

Alors qu'un grand nombre de travaux présentent les performances statiques du CNFET, les performances AC commencent juste à être étudiées. Les premiers modèles théoriques du comportement AC du transistor à nanotube prédisent une fréquence de coupure de l'ordre du Téra Hertz.



**Figure 10 Evolution prévue des fréquences de coupure [18]**

Cependant, dans les circuits physiques, avec des contacts de source et de drain fabriqués par lithographie, des capacités parasites s'ajoutent et abaissent la fréquence de coupure. Les premiers résultats de mesure des performances HF des CNFETs montraient des fréquences de coupure ( $f_T$ ) de quelques GHz [19].

Une étude et une modélisation des performances dynamiques des transistors à nanotubes de carbone fourniraient donc des conclusions très utiles pour envisager leur intégration dans une application circuits intégrés pour les télécoms. D'autre part, l'exploitation de structures moléculaires (en particulier, les CNFET) pour la réalisation de fonctions analogiques est en 2006 inexplorée. Nous souhaitons déterminer la faisabilité et au-delà l'intérêt de l'emploi de ces structures pour la réalisation de fonctions analogiques et mixtes, la possibilité de réaliser des interfaces analogique-numériques étant plus particulièrement abordée. On s'intéresserait à modéliser de telles fonctions à partir des modèles de nanocomposants créés et à évaluer les performances potentielles par rapport au MOS.

### 1.3 Résultats obtenus

Dans le projet NANO-RF qui s'est déroulé sur une année en 2007, deux actions principales ont été développées. Premièrement, **nous avons amélioré notre modèle de simulation afin de tenir compte des effets dynamiques et des effets non balistiques**. Pour le comportement dynamique, nous avons mis en application l'approche quasi-statique qui est basée sur les équations statiques pour la détermination des charges et du courant de transport et l'effet non balistique a été introduit par l'intermédiaire d'un nouveau calcul théorique permettant la simulation du transport des porteurs dans des transistors à nanotubes de carbone en incluant la dispersion électron-phonon [20].

Deuxièmement, **nous avons proposé un nouveau composant "transistor à effet de champ Multidoigts Multitubes" (MMFET) qui doit augmenter la vitesse des transistors à nanotubes dans des applications à haute fréquence**. Dans l'architecture proposée, l'utilisation d'un faisceau de nanotubes en parallèle comme canal de transistor associée à une géométrie multidoigt pour produire un seul transistor, réduit de manière significative la capacité parasite par tube et améliore, de ce fait, la performance à haute fréquence.

De plus, nous avons examiné deux aspects importants pour la future utilisation du MMFET: l'impact de la dispersion sur ses performances et la comparaison avec le transistor MOSFET réalisé en technologie récente.

Finalement en 2007 et à partir de l'étude NANO-RF, nous concluons que :

- L'utilisation d'une lithographie classique pour la connexion des nanotubes amène aux mêmes limitations qu'en CMOS. Il faudrait étudier la possibilité d'utiliser des connexions métalliques en nanotubes pour vraiment atteindre les très hautes fréquences.
- Les résultats de simulation doivent être confrontés à une validation expérimentale.

Ensuite, nous nous sommes intéressés à une autre technologie concurrente des nanotechnologies (électronique moléculaire) pour les très hautes vitesses de fonctionnement : la technologie supraconductrice.

## 2 CANA SUPRACONDUCTEURS

### 2.1 Contexte scientifique

Le travail présenté dans cette partie correspond à un projet ANR télécom (HyperSCAN-ANR/06 TCOM 023) qui s'est déroulé sur 3 ans de mars 2007 à février 2010. Les partenaires du consortium HyperSCAN sont : CEA/INAC (leader), CEA-LETI/DPTS, Thalès Alenia Space, ID3 semiconductors, Université de Savoie/LAHC, TELECOM ParisTech. Au sein de

Télécom Paristech, ont travaillé sur ce projet 2 permanents Patrick Loumeau et Patricia Desgreys, un post doc Rachid Guelaz et 2 stagiaires Mariem Slimani et Hèla Gassara.

Notre démarche dans ce projet est d'explorer les possibilités d'une technologie en rupture avec le CMOS, la supraconductivité, pour concevoir les convertisseurs très large bande nécessaire à la radio logicielle.

La logique RSFQ (Rapid Single Flux Quantum) est une logique très faible consommation et très rapide bénéficiant des avantages de la supraconductivité ; elle est considérée comme la meilleure alternative au CMOS dans la feuille de route de l'ITRS pour le fonctionnement des circuits logiques aux plus hautes fréquences (i. e. pour une fréquence d'horloge sub-THz ou >200 GHz). Les opérateurs et les industriels en télécommunications poussent vers les avantages uniques d'une radio purement numérique. Dans le projet HyperSCAN, Thalès Alenia Space est motivé par la perspective du satellite reconfigurable. Cependant, lorsqu'il s'agit de numériser directement des signaux faibles hyperfréquences propagés en espace libre, la Conversion Analogique Numérique (CAN) à base de semi-conducteurs introduit des limitations trop importantes concernant la résolution et la bande. De plus, les inconvénients introduits par l'alternative coûteuse qui consiste à abaisser à fréquence par mixage et amplifier avec une grande bande passante, empêche de mettre en œuvre la pleine flexibilité de la Software Defined Radio (SDR). La meilleure solution réside donc dans la conception d'un CAN RSFQ comme ciblé notamment par la société Hypres.

### Résumé

Le projet HyperSCAN est organisé pour valider un circuit CAN supraconducteur de 2\*8 bits et 500 MHz de bande. Les spécifications du

Tableau 3 sont fournies par Thalès Alenia Space afin de réaliser une communication spatiale efficace à 30 GHz de fréquence porteuse à partir de plusieurs CANs en parallèle.

Fréquence d'échantillonnage	> 100GHz
Dynamique	2x8 bits (sorties I et Q)
Largeur de bande Bw	500MHz
Impédances d'E/S	50Ω
Sensibilité d'entrée	< 10μV

**Tableau 3 Spécifications et performances visées pour le CAN.**

Le CEA/INAC développe une technologie de jonction Josephson auto-shuntée, basée sur le matériau supraconducteur nitrure de niobium NbN, bien adapté pour implémenter des circuits RSFQ à très haute fréquence (200 GHz de fréquence de fonctionnement) et avec une température critique de 9K (ce qui permet de relâcher les contraintes sur le système de cryogénie par rapport aux circuits à 4K en Nb). Un avantage supplémentaire est que cette technologie au nitrure est transférable sur la plateforme CMOS du Leti/DPTS.

La conception, l'optimisation par simulation, l'implémentation layout, la fabrication et le test fonctionnel de portes RSFQ et du circuit HyperSCAN complet ont été visés par la distribution des tâches entre les partenaires sur les 3 années du programme.

Télécom ParisTech est en charge de définir l'architecture de CAN RSFQ appropriée pour respecter les spécifications, minimiser la complexité (nombre de jonctions) et bénéficier autant que possible des avantages de la technologie du CEA/Inac. Cette tâche est accomplie grâce à des modélisations et des simulations multi niveaux, depuis une description fonctionnelle jusqu'à une description physique incluant les limitations.

### **Innovations/ objectifs**

Les résultats attendus du projet sont de démontrer la faisabilité en fonderie d'un CAN RSFQ pour valider une technologie supraconductrice pour les circuits analogiques et numériques aux fréquences sub-THz pour les télécommunications spatiales de demain ou des applications en imagerie. Plus généralement les avantages des SoC intelligents dédié à la SDR, des DSPs et des routeurs haut-débit en supraconducteur NbN sont mis en évidence.

HyperSCAN cible 4 objectifs:

- 1) Stabiliser une plateforme européenne dédiée aux circuits analogiques et numériques haute fréquence RSFQ,
- 2) Dépasser les limitations en performances prévues pour les CANs semi-conducteurs,
- 3) Evaluer l'impact de la technologie supraconductrice dans les applications spatiales satellite,
- 4) Obtenir une connaissance valable en électronique sub-THz qui pourra être utile pour d'autres applications (comme les imageurs à haute résolution spatiale, temporelle et énergétique).

## *2.2 Synthèse des travaux réalisés à Télécom ParisTech*

### **1 ère phase : Choix et conception d'un modulateur sigma delta passe bande [21]**

Un des objectifs du projet HyperSCAN est de démontrer l'intérêt de la technologie supraconductrice RSFQ en réalisant un CAN destiné à la radio numérique haute fréquence (porteuse à 30 GHz).

L'avantage intrinsèque de la logique RSFQ que nous souhaitons mettre à profit pour la conception du convertisseur est la très grande fréquence de fonctionnement (200 GHz) pour une bande à numériser de 500 MHz.

L'architecture de CAN qui bénéficie pleinement d'un taux élevé de sur échantillonnage est le modulateur sigma delta passe bande qui est donc l'architecture retenue pour HyperSCAN. De plus, comme le taux de sur échantillonnage est potentiellement très élevé, nous avons étudié un modulateur passe bande d'ordre minimal qui présente l'avantage de la simplicité et de la stabilité.

La question est : est-ce que l'architecture de CAN sigma delta passe bande d'ordre 2 permet d'atteindre les spécifications du projet HyperScan ?

Pour y répondre, nous avons proposé une méthodologie de conception Top-Down partant du CAN sigma delta passe bande fonctionnel idéal et en intégrant progressivement la technologie RSFQ et le détail de son comportement.

### Choix du VHDL-AMS

Pour supporter les étapes de modélisation et de simulation nécessaires à la mise en œuvre de la conception Top-Down, le langage de description matérielle VHDL-AMS a été retenu car :

- Il permet de décrire toutes les étapes, du haut niveau fonctionnel jusqu'à la modélisation du bruit, au lieu d'utiliser plusieurs outils (par exemple Matlab pour le niveau fonctionnel et JSIM pour le niveau jonctions).
- Support de la multi abstraction : les blocs pourront être simulés avec des niveaux de description différents.
- Parmi les langages de sa catégorie, il offre l'avantage d'être un standard IEEE depuis 1999 ce qui permet aux conceptions d'être indépendantes de l'outil et facilement échangeables, réutilisables. Cet avantage a favorisé l'essor de l'emploi du langage VHDL-AMS depuis 2000. La récente actualisation du standard (2007) démontre l'intérêt et la vivacité du langage.

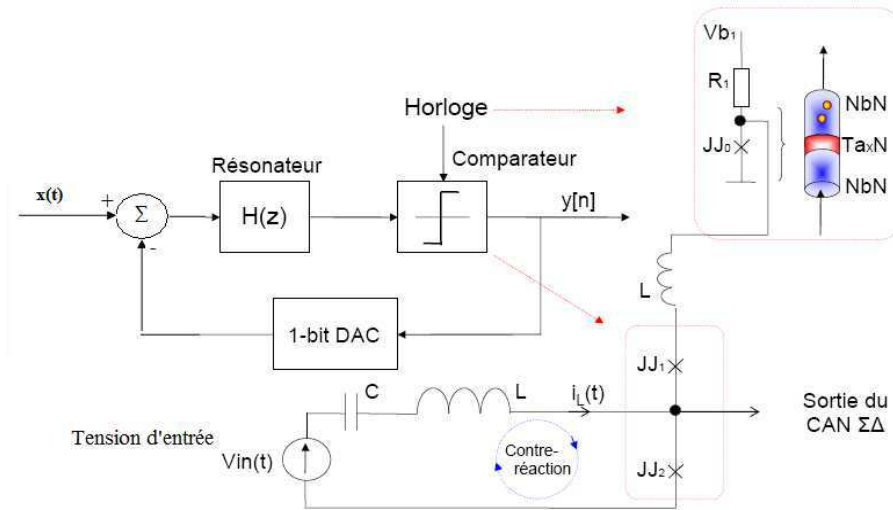
### Développement des modèles

Différents niveaux de modélisation ont été développés :

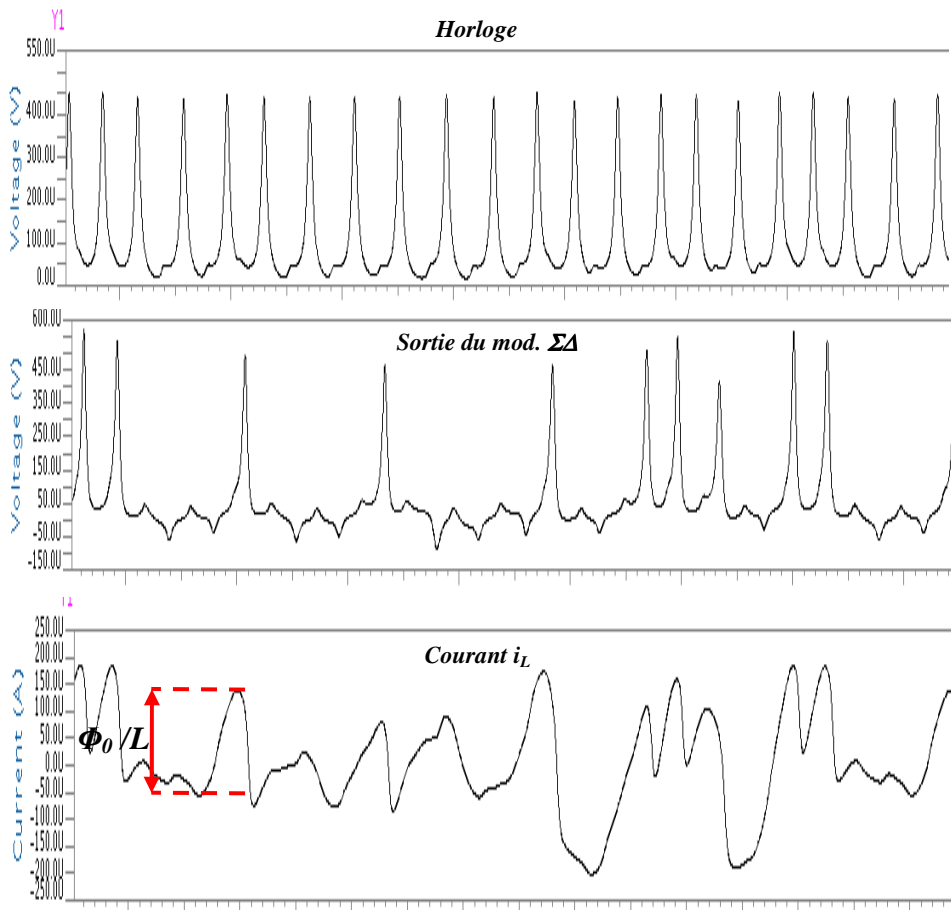
- Architecture idéale avec les spécifications du projet HyperScan
- 2 modèles de CAN  $\Sigma\Delta$  passe bande basés sur les hypothèses de fonctionnement des jonctions Josephson
- Modélisation d'une structure avec le modèle compact de la jonction Josephson et une méthodologie associée à la conception de l'architecture du CAN

Chaque étape de modélisation vise à se rapprocher du comportement réel de la structure en intégrant les paramètres réels de la technologie et en respectant les spécifications et les performances visées du CAN (Tableau 3).

Nous avons décrit dans une première partie l'aspect de l'architecture idéale classique sigma-delta passe bande avec sa modélisation sous le langage de description comportementale VHDL-AMS. Nous avons décrit les étapes successives de modélisation, jusqu'à la **proposition d'une structure fonctionnelle d'un CAN sigma delta passe bande en technologie RSFQ**. Le résultat de l'implémentation d'un modulateur sigma delta passe bande avec des jonctions supraconductrices est montrée dans la **Figure 11**.



**Figure 11** Modulateur sigma delta passe-bande à base de jonctions supraconductrices



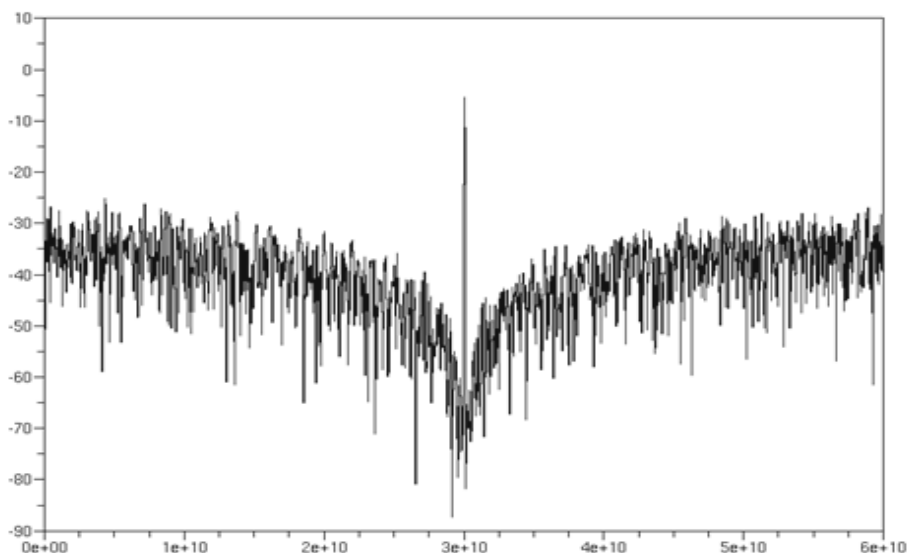
**Figure 12** Evolution des signaux dans le modulateur supraconducteur avec une horloge à 120GHz.



En technologie RSFQ, la présence d'une impulsion représente l'état logique « 1 » et son absence est l'état binaire « 0 ». La Figure 12 présente l'allure simulée des impulsions d'horloge fournies par JJ0 polarisée à courant constant, de la sortie du modulateur sigma-delta aux bornes de la jonction JJ2 et du courant  $i_L$  dans le résonateur.

L'emploi d'un comparateur SFQ (constitué de JJ1 et JJ2) induit un comportement remarquable pour le modulateur supraconducteur, à savoir que la contre réaction se produit de manière combinée dans le même élément. En effet, l'apparition d'une impulsion proche d'un Dirac aux bornes de JJ2 provoque par intégration dans le résonateur un saut de type échelon sur le courant  $i_L$ . Comme l'aire des impulsions aux bornes des jonctions est toujours égale à  $\Phi_0$ , la décroissance sur le courant est toujours égale à  $\Phi_0/L$  est ceci constitue le -1 de la contre réaction caractéristique du modulateur sigma delta.

Au final, la Figure 13 présente le spectre obtenu en sortie du modulateur en interprétant la présence d'un pic par un 1 et son absence par un -1 : on retrouve bien le signal d'entrée autour de 30 GHz et la mise en forme du bruit caractéristique de la modulation sigma delta.



**Figure 13 Spectre en sortie du modulateur**

### **Dimensionnement de l'architecture**

Pour les conceptions analogiques, il existe toujours un gap important entre la simulation d'une fonction et le dimensionnement des composants élémentaires nécessaires à sa réalisation. Il existe peu d'outils de dimensionnement automatique et cette étape repose sur le savoir-faire des concepteurs analogiciens (aidés par de nombreux outils d'analyse, de simulation et d'optimisation). Pour la technologie supraconductrice RSFQ, nous disposons des paramètres technologiques (plage de valeurs accessibles pour les composants élémentaires).

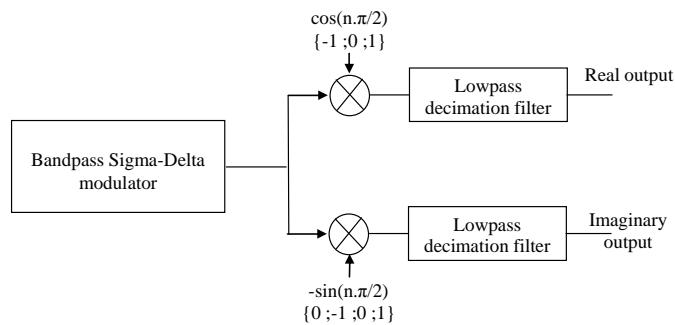
De là, une méthodologie innovante de dimensionnement a été développée dédiée à notre architecture. Elle permet de franchir les différentes phases de modélisation du CAN jusqu'au choix des valeurs nominales de la structure à implémenter.

Finalement, en partenariat avec l'Université de Savoie, nous proposons une structure du modulateur sigma delta passe bande dimensionnée avec les valeurs de la technologie NbN de l'INAC et suivant une procédure que nous avons mise en place. Le SNR est de 54 dB avec une modélisation qui tient compte de la forme réelle des impulsions et de l'influence des commutations du comparateur sur l'horloge (gigue due au fonctionnement interne des jonctions Josephson).

Il reste à tester la robustesse de cette architecture vis-à-vis des autres sources de bruit.

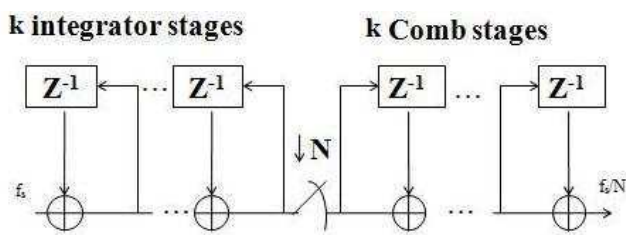
**2<sup>ème</sup> phase : Choix et conception d'un filtre de décimation dédié au modulateur sigma delta développé [22]**

Le filtre de décimation permet, à la fois, d'éliminer le bruit de quantification rejeté par le modulateur hors de la bande utile, et assure la conversion de la trame mono-bit à la sortie du modulateur opérant à une fréquence très élevée, en une trame multi-bit à la fréquence de Nyquist. Vu que les filtres passe-bas en bande de base sont plus simples à concevoir et à réaliser que les filtres passe-bande RF, nous adoptons le schéma de la Figure 14 proposé par [23] et qui consiste à introduire deux mixeurs numériques en quadrature pour ramener le signal utile en bande de base sur les voies I et Q avant filtrage.

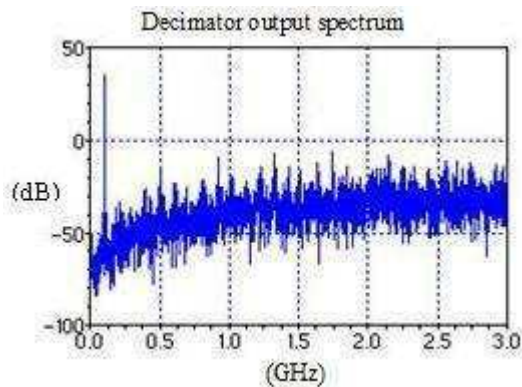


**Figure 14 Convertisseur analogique numérique basé sur le modulateur sigma delta passe bande.**

Les résultats de notre étude sont présentés dans [22]. En résumé, nous avons implémenté une structure de filtre en peigne montré sur la Figure 15. Les paramètres clés de ce filtre sont l'ordre du filtre  $k$  et le facteur de décimation  $N$  qui sont déterminés pour satisfaire les contraintes de filtrage anti-repliement qui dépendent du modulateur utilisé et de la résolution nécessaire en sortie.



**Figure 15 Architecture en peigne d'un filtre de décimation en sinc**



**Figure 16** Le spectre à la sortie du décimateur CIC.

La Figure 16 montre le spectre de la sortie du filtre de décimation obtenu grâce à la simulation de la structure complète de la Figure 14 décrite en VHDL. Nous avons obtenu un SNR de 57.8 dB. La structure atteint donc la résolution de 8 bits qui correspond à la spécification visée pour une application spatiale. Nous avons implémenté les cellules élémentaires (XOR, ADDER, Delay) nécessaires à la réalisation de ce filtre en technologie RSFQ. Ces premières cellules fonctionnent correctement. Il reste à combiner ces fonctions pour réaliser le filtre complet en technologie supraconductrice.

L'équipe du projet HyperSCAN a réalisé la conception en logique RSFQ d'un modulateur passe-bande et un filtre de décimation passe-bas. Il reste donc à concevoir une tête analytique supraconductrice qui garantit la démodulation en quadrature de la sortie du modulateur. Ce composant intermédiaire assure la liaison avec le filtre décimateur numérique passe-bas et donne lieu à un CAN passe-bande fonctionnel à l'aide des jonctions Josephson. La conception de ce composant fait l'objet de la suite des travaux de notre projet.

### **3<sup>ème</sup> phase : Conception et implémentation d'une tête analytique pour un Convertisseur Analogique Numérique Sigma-Delta passe-bande en technologie supraconductrice RSFQ [24]**

Nous proposons de concevoir, de modéliser et d'implémenter un mélangeur I/Q pour le CAN HyperSCAN en logique RSFQ. La fonctionnalité visée est représentée sur la Figure 17. Comme la fréquence de la porteuse est égale à  $\frac{1}{4}$  de la fréquence d'échantillonnage, le mélangeur est simplement ici une succession de multiplication par 1 et -1 sur la voie I des échantillons pairs et sur la voie Q des échantillons impairs. En logique RSFQ, la multiplication par 1 revient à transmettre l'information en sortie sans modification tandis que la multiplication par -1 nécessite l'inversion de la donnée binaire.

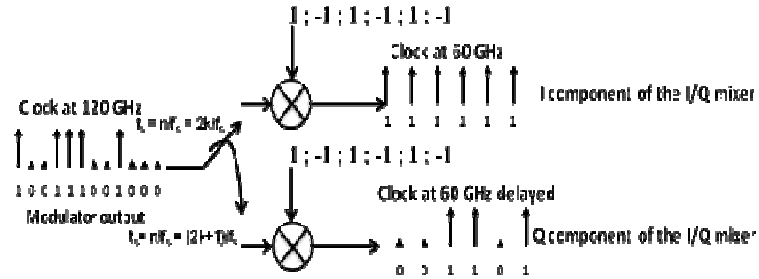


Figure 17 Fonction réalisée par le mélangeur I/Q supraconducteur.

La conception de cette tête analytique a été menée conduisant à la mise en œuvre d’une dizaine de portes élémentaires RSFQ issues de la littérature [25] et le dimensionnement et l’assemblage complet a été réalisé. Le circuit comporte au final 76 jonctions Josephson et 75 inductances. Une simulation du circuit complet (modulateur + tête analytique) en VHDL-AMS utilisant le modèle le plus proche de la physique développé pour les jonctions, montre un bon fonctionnement de l’ensemble. Les spectres en sortie du modulateur et du mélangeur sont montrés sur la Figure 18 pour une fréquence d’échantillonnage de 60 GHz.

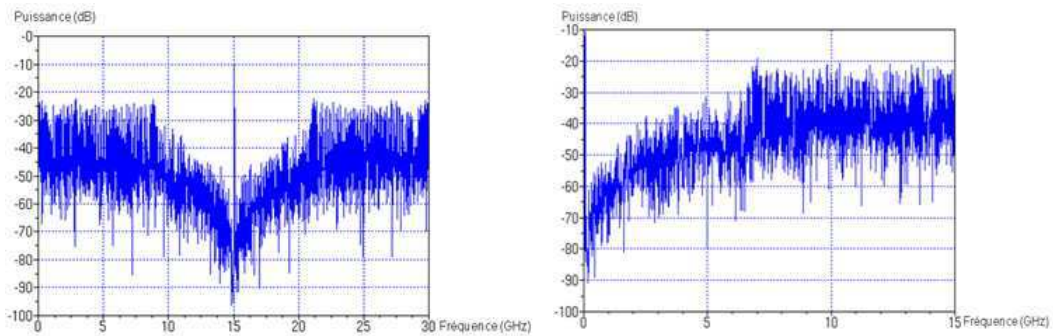


Figure 18 Spectres de sortie du modulateur et du mélangeur implémentés en supraconducteurs ( $f_s=60\text{GHz}$ )

Télécom Paristech a achevé avec cette 3<sup>ème</sup> phase son travail prévu dans HyperSCAN mais le projet continue actuellement. Le projet HyperScan a obtenu un prolongement jusqu’à la fin de l’année 2010 et devrait maintenant essayer de réaliser physiquement le convertisseur ou certains blocs pour valider l’architecture et vérifier les résultats de simulation. La technologie supraconductrice introduit une équation supplémentaire sur le flux dans les boucles supraconductrices et mériterait que l’on recherche des architectures originales exploitant au mieux ses possibilités au lieu de concevoir ‘comme en CMOS’. Nous regardons actuellement les possibilités d’innovation architecturale pour la CAN sigma delta passe-bande.

L’activité que je viens de présenter sur l’étude des possibilités des technologies émergentes a présenté le principal avantage d’être très stimulante dans la découverte de nouveaux composants, de leur modélisation et de leur mise en œuvre dans des architectures

très performantes ; cependant l'inconvénient majeur est que généralement la technologie est en cours de développement est qu'il est très difficile d'obtenir des réalisations physiques pour confronter la théorie et la simulation aux mesures. Pour innover sur les architectures et tester de nouvelles idées de conception, il m'a semblé indispensable de conserver une activité en technologie CMOS pour la conception des convertisseurs et plus largement des architectures de récepteurs pour la radio logicielle ; ce thème de recherche prépondérant dans mon activité actuelle est développé partie D.

## **D. Conception de systèmes pour la Radio Logicielle (depuis 2004)**

La notion de radio logicielle, pour un terminal, consiste en la possibilité de l'adapter dynamiquement à de nouvelles normes par chargement de logiciel. Ceci impose des éléments reconfigurables au niveau réseau, au niveau système électronique et au niveau circuit ; nos travaux dans ce domaine s'inscrivent dans le cadre d'un projet interne de l'Institut TELECOM intitulé « Radio Logicielle » et sont pilotés par le professeur Patrick Loumeau.

### **1 ECHANTILLONNAGE RF**

#### *1.1 Contexte scientifique*

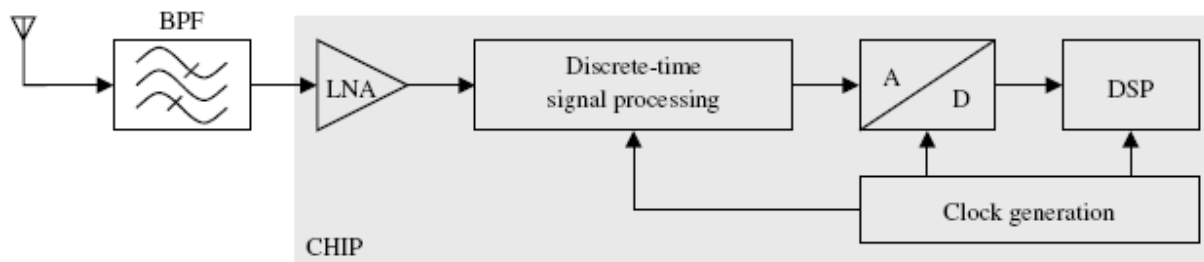
En 2004, un projet de recherche a démarré entre notre laboratoire CNRS/LTCI et le centre de conception STMicroelectronics R&D de Crolles. Ceci s'est concrétisé par le financement commun d'une bourse CNRS de type BDI. Cette thèse a débuté en novembre 2004 pour une durée de 3 ans. L'axe de recherche proposé est « architecture et réalisation d'un récepteur cellulaire multi-modes, multi-bandes reconfigurable SDR ».

Dans l'idée de la radio logicielle, la réception radio numérique doit permettre de rapprocher le plus possible de l'antenne l'opération de conversion analogique numérique. Ainsi on peut intégrer un maximum de fonctions de traitement de signal et baisser les coûts de fabrication des récepteurs. Il est intéressant d'étudier les solutions permettant de convertir le signal analogique en numérique en tenant compte des performances de la chaîne de réception radio. De plus, les solutions futures devront être compatibles avec l'ensemble des normes existantes. C'est ce que l'on appelle « Software Defined Radio (SDR) ». Le but de cette recherche est de trouver et valider différentes solutions originales de passage de l'information analogique RF à l'information numérique en bande de base. Pour cela plusieurs pistes doivent être suivies. Grâce à l'évolution technologique très favorable, notamment en vitesse, il peut être envisagé de sous-échantillonner le signal RF. Puis l'utilisation de la modulation Sigma-Delta et du filtrage numérique associé doit permettre de restituer une information numérique fiable. Les spécifications en linéarité, dynamique, bande passante et consommation seront les principales données à respecter. On s'attache, de plus, à développer une méthode d'optimisation de l'ensemble du récepteur pour réaliser une répartition efficace des contraintes sur chaque élément de la chaîne.

#### *1.2 Conception d'un récepteur reconfigurable à échantillonnage RF*

Le travail, présenté dans la thèse d'Anis Latiri [26], a conduit principalement à **concevoir un récepteur reconfigurable à échantillonnage RF à temps discret en technologie CMOS [27]**. L'architecture du récepteur est reconfigurable pour deux mode GSM et 802.11g. Dans cette architecture, **nous avons innové sur la conception d'un filtre anti-repliement du second ordre à temps discret [28]**. La répartition des contraintes sur les différents éléments du récepteur a été menée grâce à une étude au niveau système et une analyse du bruit a été effectuée.

Les architectures de récepteurs radio les plus utilisées dans les systèmes de communication sans fil actuels sont : récepteur superhétérodyne, récepteur à conversion direct, récepteur à faible IF. Les avantages de ces architectures sont étudiés en termes de performance, intégrabilité, reconfigurabilité et adéquation pour le multistandard. Nous avons étudié ensuite le concept de SDR ainsi que les contraintes qu'elle impose sur le frontal RF. Comme la première étape vers la SDR est l'architecture multistandards, nous retenons finalement les architectures les mieux adaptées à la réception multistandards. Nous concluons que l'architecture à échantillonnage RF (Figure 19) est une des architectures les plus prometteuses et nous nous baserons donc sur cette solution pour construire notre récepteur multistandards.



**Figure 19. Architecture de récepteur à échantillonnage RF.**

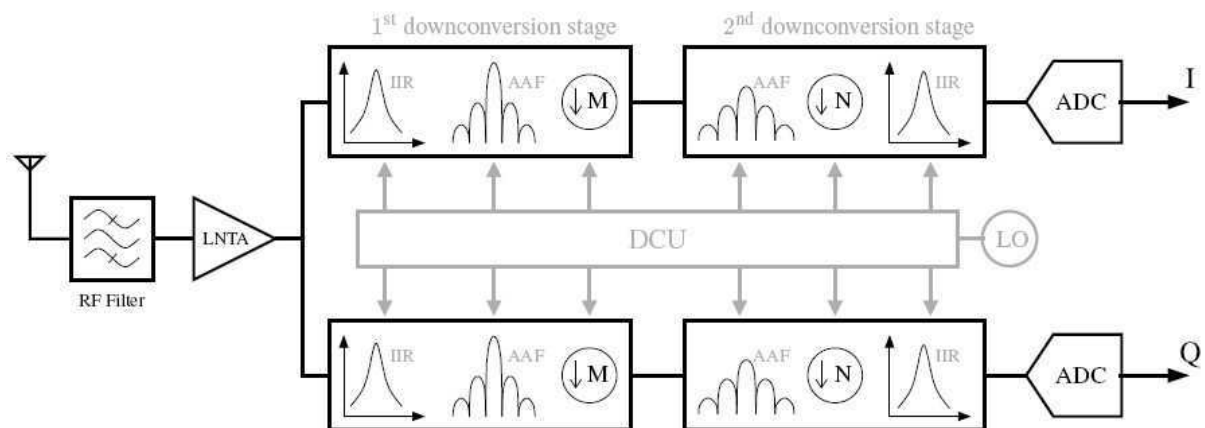
L'état de l'art concernant le récepteur à échantillonnage RF montre :

- **l'échantillonnage passe-bande** : également appelé sous échantillonnage, il permet de numériser des signaux bande étroite à la fréquence RF ou à une fréquence intermédiaire sans une augmentation importante du taux d'échantillonnage. Ce concept rend possible la réalisation de récepteur plus flexible et permet la définition de nombreuses fonctions radio par logiciel. Cependant, ce même concept possède des limitations comme le repliement du bruit et des interférents et le jitter d'ouverture.
- **l'échantillonnage de charge (charge sampling)** : également une technique très utilisée dans les récepteurs à échantillonnage RF.

- **les limitations des réalisations en 2004** : la plupart des réalisations, bien que tournées vers les applications multistandard et même vers la SDR, supportent un seul standard de communication [29, 30] ou deux standards avec quasiment les mêmes spécifications [31]. La plupart des filtres anti-alias d'ordre élevé implémenté utilisent un élément actif [32] ce qui induit une forte consommation.

**Avec notre architecture, nous proposons d'améliorer principalement ces deux points : réaliser une architecture multistandard en supportant les standards GSM900 et 802.11g et augmenter la réjection des alias par filtrage du second ordre entièrement passif.**

Nous avons commencé et détaillé la conception au niveau système d'une architecture de récepteur à échantillonnage RF. Cependant, les performances du récepteur dépendent étroitement de différents paramètres circuit ce qui impose une connaissance de la topologie des circuits même au niveau système.

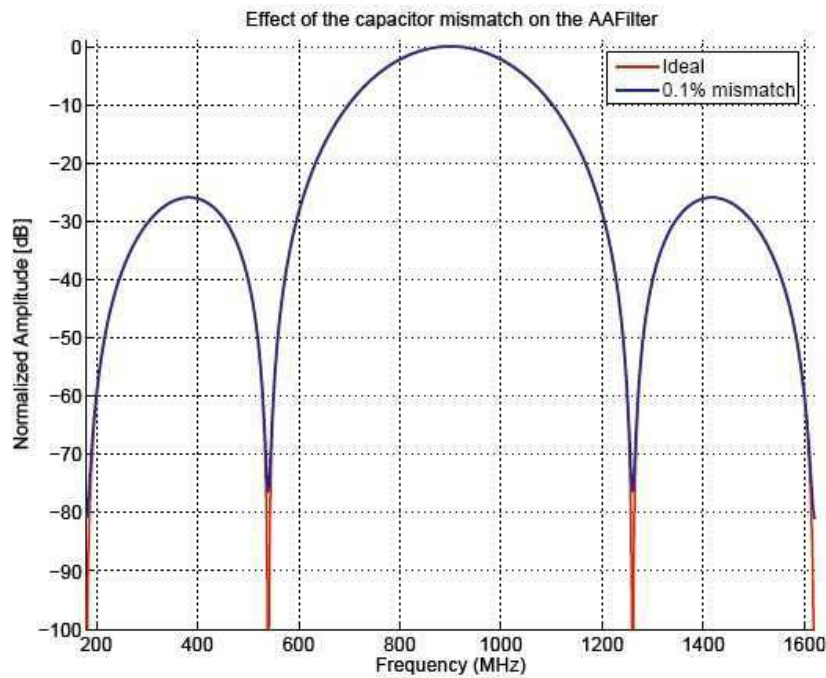


**Figure 20 Architecture proposée pour le récepteur multistandard**

Les standards de communication visés sont le GSM900 et le 802.11g. Le schéma bloc du récepteur est présenté sur la Figure 20 et un plan de fréquences a été proposé pour chaque mode. Nous avons détaillé la conception du filtre anti-alias du second ordre avec l'explication du calcul des coefficients du FIR. La réjection des repliements dans le mode GSM est présenté sur la Figure 21. En tenant compte de la dispersion, la réjection est simulée à 75 dB soit la moitié de la réjection théorique. Ce niveau de réjection reste supérieur à celui obtenu avec un premier ordre.

La reconfigurabilité et les mécanismes de contrôle pour changer de mode de communication sont également proposés. Et finalement, la conception du système RF est détaillée avec une attention particulière sur les contraintes de filtrage et sur l'analyse en gain/bruit.



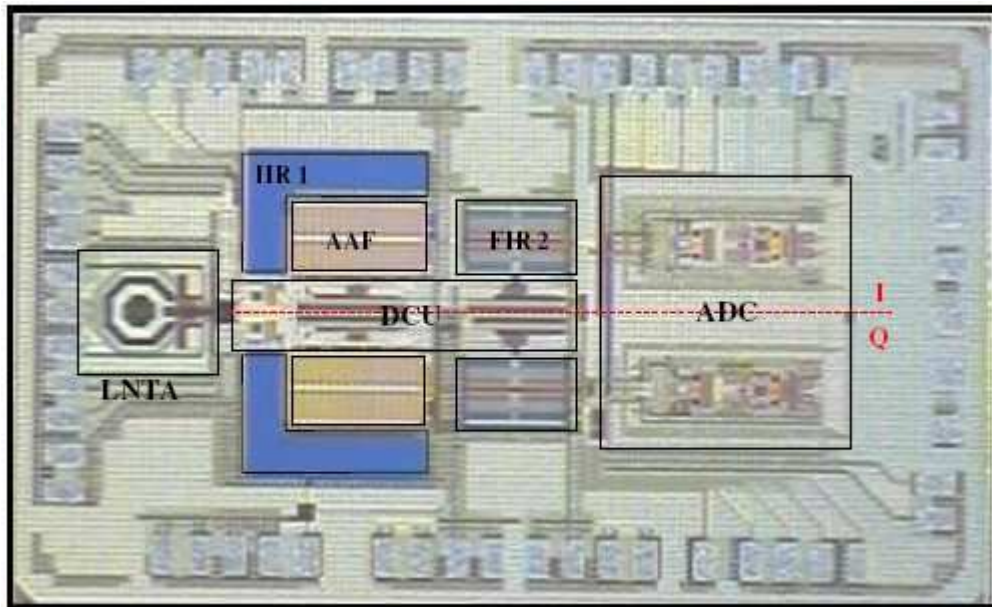


**Figure 21 Réponse du filtre anti repliement passif du second ordre dans le cas du GSM.**

Nous avons réalisé alors la conception fine du circuit, le dimensionnement des transistors et des capacités de l'ensemble du frontal de réception. Le récepteur est implémenté en technologie CMOS 90 nm de STMicroelectronics. Une méthodologie hiérarchique ascendante est utilisée pour la conception du filtre anti-repliement qui est la partie la plus innovante de la conception. Cette méthodologie permet de réduire à la fois la complexité et le temps de conception de cet étage. Le traitement du signal analogique est considérablement affecté par les capacités parasites et la dispersion, rendant nécessaires la mise en œuvre de techniques de compensation du gradient et une optimisation des opérations de placement et routage.

La conception des étages du DTASP (Discrete Time Analog Signal Processing) dans le cas d'une architecture entièrement générique et reconfigurable pourrait s'avérer trop complexe et même infaisable avec les circuits proposés actuellement. Dans ce cas, une solution envisageable pourrait consister à utiliser un réseau programmable de cellules de coefficients (pour le traitement analogique) associé à un noyau FPGA (pour la génération des horloges).

Le circuit physique est implémenté en technologie CMOS 90 nm de STMicroelectronics. Une photographie est proposée Figure 22. La surface active occupe  $0.91 \text{ mm}^2$  et la puce complète occupe  $2.5 \text{ mm}^2$ .



**Figure 22 Photographie de la puce du récepteur à temps discret proposé.**

Pour les tests, nous avons utilisé une carte d'évaluation conçue pour la génération précédente du circuit. Quelques premières mesures prouvent le fonctionnement correct du circuit.

- La reconfigurabilité du récepteur est validée puisque différents comportements et fonctions de filtrage sont observés en commutant des modes GSM à 802.11g.
- Le gain du récepteur est pratiquement constant dans la plage de fréquences [500MHz – 1050MHz] qui correspond à la bande passante du LNTA. Le gain mesuré dans le mode GSM est plus faible qu'attendu (en comparaison avec les résultats de simulation) à cause probablement de capacités parasites plus élevées que celle fournies par les extracteurs post-layout.
- La réponse mesurée des filtres IIR pour le mode GSM montre un accord avec à la fois les simulations système et les simulations électriques. La réjection du premier filtre IIR est cependant moins prononcée que prévu.

Pour une évaluation précise des performances, il faudrait concevoir une carte de test dédiée. De plus, l'évaluation du filtre anti repliement n'a pas pu être menée avec une bonne précision à cause de la bande étroite du LNTA implémenté.

Bien que nous n'ayons pas eu le temps de tester entièrement notre prototype, la réalisation d'un circuit prouve la faisabilité d'un récepteur à échantillonnage RF avec une grande composante de traitement du signal analogique à base de transferts de charges (charge sampling) entièrement reconfigurable.

Les éléments développés dans ce travail sont:

- Méthode de conception d'un récepteur à échantillonnage RF multistandard à partir des normes visées et simulation système
- Méthodologie de conception de traitements analogiques avec la technique du 'charge sampling'
- Conception d'un filtre anti repliement du second ordre passif et reconfigurable
- Prise en compte des limitations liées aux dispersions
- Optimisation du layout

Ces travaux seront poursuivis et réutilisés car le traitement analogique à transfert de charges qui consomme peu d'énergie et qui est reconfigurable est très bien adapté pour la radio logicielle particulièrement dans les téléphones mobiles où il y a des contraintes de consommation. En parallèle, nous avons exploré une autre voie pour supprimer le filtre anti repliement couteux et peu reconfigurable qui se trouve être le premier étage d'une chaîne de numérisation du signal RF. Il s'agit de l'Echantillonnage Non Uniforme dont les principaux résultats sont présentés dans partie suivante.

## **2 ECHANTILLONNAGE NON UNIFORME**

### *2.1 Contexte scientifique*

L'équipe SIAM de Télécom ParisTech collabore sur des activités de recherche et d'enseignement avec les enseignants-chercheurs de l'équipe CIRTA'COM (Circuits et Techniques Avancées pour les systèmes de Communications) de SUP'COM Tunis depuis plus d'une dizaine d'années sur le thème de la Radio Logicielle. L'équipe CIRTA'COM est complémentaire à la notre sur des aspects de traitement numérique. En 2005, nous avons démarré une thèse en cotutelle financé par une bourse tunisienne et un complément de Télécom ParisTech et supporté par un projet de recherche CMCU.

L'axe de recherche de recherche proposé est « Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard ».

L'objectif de la radio multistandard doit être obtenu tout en réduisant les contraintes sur les différents circuits d'émetteur/récepteur. Dans le sens de la réception, l'implémentation de la SDR (Software Defined Radio) nécessite un étage frontal multistandard et un étage en bande de base programmable par logiciel. Différentes architectures de réception SDR multistandard ont été proposées dans des travaux antérieurs. Les contributions obtenues ont concerné la topologie du récepteur (low-IF ou homodyne) et les modes de transposition de fréquence par des mélangeurs analogiques ou par échantillonnage des signaux RF. Toutes ces solutions antérieures se basent sur l'échantillonnage uniforme. Dans le but de chercher à améliorer les performances des récepteurs SDR multistandard en termes d'amélioration de l'intégrabilité et de la réduction de la consommation d'énergie, nous proposons l'exploration puis la définition

d'une nouvelle solution de réception SDR multistandard basée sur l'échantillonnage non uniforme ENU au niveau de l'étage de numérisation des signaux radio.

## 2.2 *ENU appliqué à la numérisation des signaux radio multistandard*

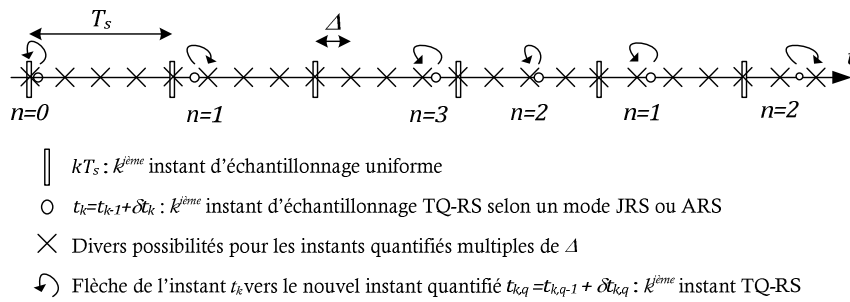
Le travail, présenté dans la thèse de Manel Ben Romdhane [33], a conduit principalement à **concevoir un récepteur à échantillonnage non uniforme pour la numérisation des signaux multistandard** [34].

Un état de l'art sur la numérisation des signaux radio dans un contexte de radio logicielle a été effectué. Après la définition d'une architecture radio de réception multistandard, une étude est développée pour la mise en évidence des apports possibles, au niveau de l'étage de numérisation, pour un fonctionnement multistandard. Notre intérêt se porte sur le mode d'échantillonnage qui représente l'opération principale de numérisation des signaux radio. Par rapport aux travaux antérieurs, utilisant l'échantillonnage uniforme ou régulier ou périodique, nous explorons l'apport de l'échantillonnage non uniforme où les instants d'échantillonnage sont pris irrégulièrement sur l'axe des temps [35]. Les études bibliographique et théorique nous ont fait comprendre que la technique d'échantillonnage non uniforme peut s'avérer sans repliement spectral, auquel cas, nous pourrions penser éliminer le filtre anti-repliement. Mais, ce résultat n'est atteint que sous la condition de stationnarité qui consiste en la génération d'une séquence aléatoire selon un processus ponctuellement stationnaire [36]. Néanmoins, **les travaux antérieurs n'ont pas apporté des réponses précises sur les conditions de validité de cette propriété en tenant compte des caractéristiques des signaux radio multistandard.**

C'est pour répondre à cette problématique que nous étudions en détail la théorie de l'échantillonnage non uniforme. Notre objectif est de reprendre et de compléter certains éléments justificatifs pour l'utilisation de l'échantillonnage aléatoire, le choix du mode d'échantillonnage et celui de la distribution permettant de garantir la propriété d'anti-repliement spectral.

Nous présentons deux principaux schémas théoriques d'échantillonnage : l'échantillonnage aléatoire appelé JRS (Jittered Random Sampling) et l'échantillonnage aléatoire cumulatif ARS (Additive Random Sampling), puis nous présentons un schéma plus réaliste pour l'implémentation pratique : l'échantillonnage aléatoire à temps quantifié TQ-RS (Time-Quantized Random Sampling) qui est appliqué soit au mode JRS soit au mode ARS. La Figure 23 illustre que dans le mode TQ-RS, l'axe des temps est quantifié : la période moyenne d'échantillonnage  $T_S$  est divisée en  $q_T$  intervalles de largeur  $\Delta$ .

Puis, dans le cas d'une implémentation matérielle numérique synchrone, il est avantageux de définir les modes TQ-JPRS et TQ-APRS qui représentent respectivement les modes TQ-JRS et TQ-ARS en remplaçant le mode d'échantillonnage aléatoire par un mode d'échantillonnage pseudo-aléatoire (PRS, Pseudo-Random Sampling).


**Figure 23 Description du mode TQ-RS pour  $q_T=4$ .**

Les instants d'échantillonnage sont tirés aléatoirement selon une distribution uniforme ou gaussienne. Nous avons montré que dans le cas d'un échantillonnage réel, la valeur maximale du paramètre statistique  $\sigma/T_s$  où  $\sigma$  est l'écart type de la distribution choisie, est 0.2887. Dans le cas d'un mode d'échantillonnage quantifié, nous avons montré que cette valeur d'aléas est atteinte lorsque  $q_T$  tend vers l'infini mais une valeur très proche est atteinte dès  $q_T=16$  (0.2881).

Puis nous avons approfondi un développement mathématique dans le but de justifier analytiquement l'intérêt de l'échantillonnage non uniforme à travers l'établissement des conditions de stationnarité pour les différentes séquences d'échantillonnage aléatoire étudiées. Le Tableau 4 résume les différentes possibilités d'échantillonnage aléatoire avec les caractéristiques les plus importantes pour le choix du mode d'échantillonnage aléatoire, de la distribution et de son paramètre statistique.

Mode	$t_k$	$E[t_k]$	$Var[t_k]$	Distribution	$\sigma/T_s$	Fonction caractéristique
JRS	$t_k = kT_s + \tau_k$	$kT_s$	$\sigma^2$	Uniforme	= 0.2887	$\Phi_1(f)$
ARS	$t_k = t_{k-1} + \tau_k$	$kT_s$	$k\sigma^2$	Uniforme Gaussienne	$\leq 0.2887$	$\Phi_1(f)$
TQ-RS	$\delta t_k = t_k - t_{k-1}$ $\delta t_{k,q} = n\Delta$ si $(n - 1/2)\Delta < \delta t_k \leq (n + 1/2)\Delta$	$kT_s$	Selon JRS ou ARS			$\Phi_{1,q}(f)$

**Tableau 4 Différentes possibilités de modes d'échantillonnage et de distribution.**

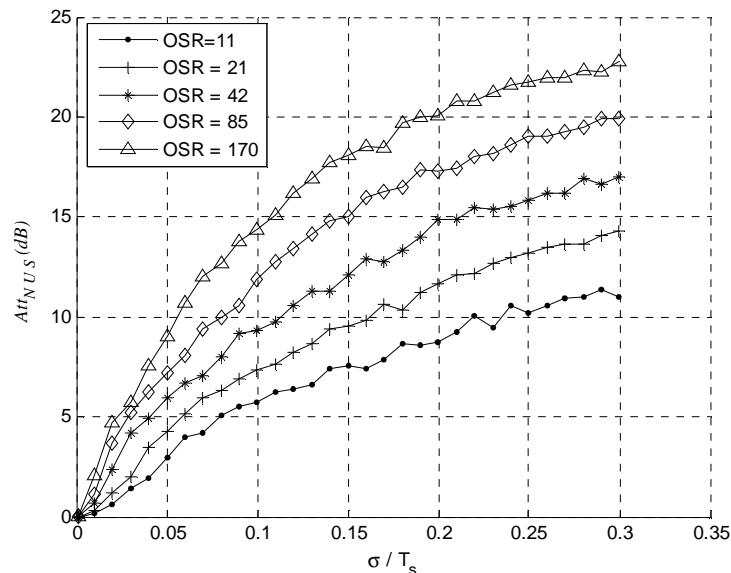
En utilisant la condition de stationnarité, Bilinskis a démontré l'avantage de l'échantillonnage non uniforme qui n'est autre que l'anti-repliement spectral [36]. Dans nos travaux, nous avons généralisé cette démonstration à tous les types de signaux reçus. Par ailleurs, nous nous sommes aussi intéressés aux travaux de Wojtiuk qui a déterminé les densités spectrales de puissance (PSD, Power Spectral Density) d'un signal aléatoire échantillonné aléatoirement [37]. Nous complétons par la détermination des formulations

**analytiques des densités spectrales d'énergie (ESD, Energy Spectral Density) de l'échantillonnage aléatoire d'un signal déterministe,** qui ne contient que le signal utile.

A l'issue des formulations analytiques développées dans le cadre de ce travail nous concluons :

- L'anti-repliement spectral n'est obtenu que lorsque la condition de stationnarité de la densité de probabilité d'échantillonnage ponctuelle est satisfaite. En effet, il est nécessaire que la somme des densités de probabilité des instants d'échantillonnage tende vers la fréquence moyenne d'échantillonnage.
- Le mode ARS est le mode d'échantillonnage aléatoire le plus adéquat indépendamment de la distribution utilisée étant donnée le théorème de l'anti-repliement spectral. Nous retiendrons aussi que le mode ARS vient éliminer complètement le repliement spectral mais introduit un bruit large bande.

Ces résultats ont été démontrés dans le cas d'échantillonnage aléatoire d'un signal déterministe.



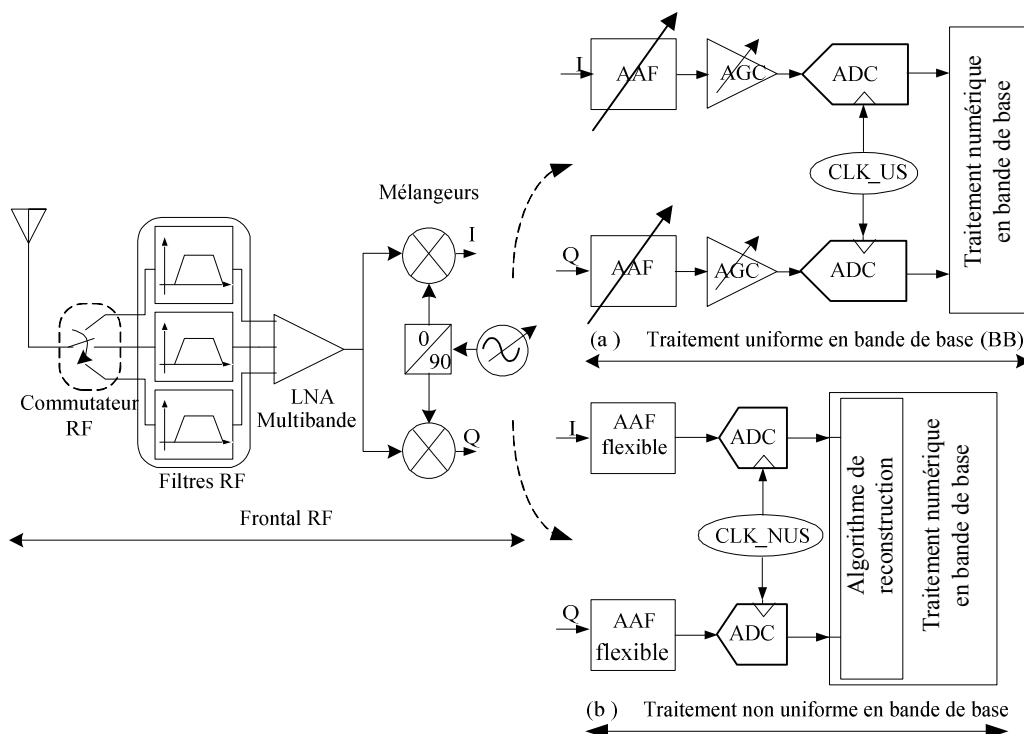
**Figure 24 Représentation de l'atténuation en fonction du rapport  $\sigma/T_s$  pour plusieurs OSR.**

Enfin, une méthode d'analyse spectrale est proposée. Cette méthode a été établie après une étude des méthodes existantes pour l'approximation du spectre adaptée aux modes d'échantillonnage aléatoire. L'objectif de cette méthode est de permettre l'évaluation quantitative de l'anti-repliement spectral et par conséquent guider le choix du mode d'échantillonnage, de la distribution associée et de ses caractéristiques statistiques. En appliquant cette méthode d'analyse spectrale, nous avons calculé par exemple l'atténuation  $Att_{NUS}$  de l'échantillonnage non uniforme selon le mode ARS et pour une distribution gaussienne de moyenne  $T_s$  et de variance  $\sigma^2$ . Nous obtenons l'abaque de la Figure 24 pour le choix du paramètre statistique et du rapport de sur-échantillonnage (OSR) qui est utilisé pour la génération de l'horloge d'échantillonnage non uniforme ainsi que pour l'acquisition des

échantillons. Cette courbe est obtenue en appliquant cette horloge à un signal déterministe notamment un signal sinusoïdal.

Nous concluons que le meilleur choix est l'utilisation d'un mode ARS avec une distribution gaussienne de paramètre statistique  $\sigma/T_S=0.2887$  ou un mode JRS avec une distribution uniforme sur  $[-0.5T_S, 0.5T_S]$  de paramètre  $\sigma/T_S=0.2887$ . L'un de ces modes permet d'atténuer les répliques aux fréquences multiples de la fréquence moyenne d'échantillonnage de  $23 \text{ dB}$ . Ce résultat justifie bien l'apport en terme de réduction des contraintes sur les différents blocs liés à l'étage de numérisation des signaux radio et en particulier le filtre anti-repliement et le convertisseur analogique numérique.

De là, nous souhaitons vérifier les performances théoriques d'anti-repliement spectral en appliquant les techniques d'échantillonnage non uniforme à l'étage de numérisation d'un récepteur SDR multistandard. Dans ce cadre, le mode d'échantillonnage non uniforme à temps quantifié est utilisé pour contrôler l'étage ADC. Les études et le développement proposé ont permis **d'apporter des améliorations significatives, par rapport à l'état de l'art, concernant la réduction des contraintes sur l'ADC et le filtre anti-repliement**. Cependant, le remplacement de l'échantillonnage uniforme par l'échantillonnage non uniforme et donc la différence entre les architectures de la Figure 25 (a) et de la Figure 25 (b) nécessite l'utilisation d'un algorithme de reconstruction dans le domaine du traitement numérique pour récupérer le signal échantillonné uniformément. Cet algorithme peut être implanté en numérique dans l'étage DSP.



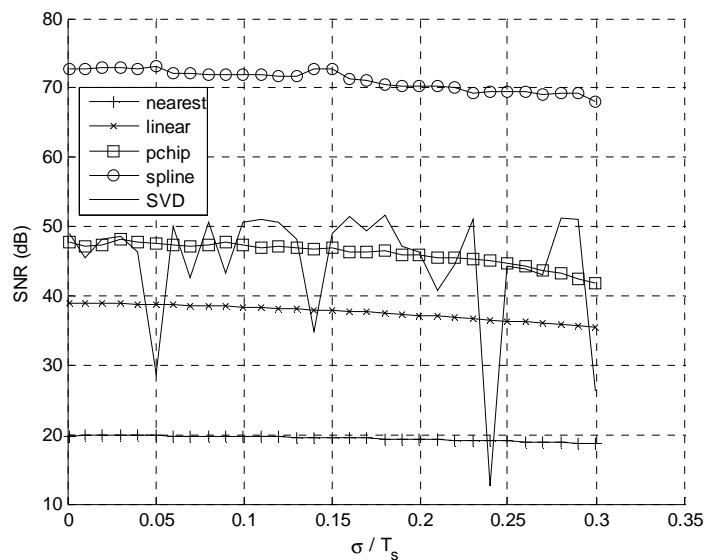
**Figure 25 Architecture du récepteur multistandard homodyne pour l'UMTS et l'IEEE802.11a et low-IF pour le GSM (fréquence intermédiaire à 100 kHz)**  
**(a) Contrôle uniforme de l'ADC (b) Contrôle non uniforme de l'ADC.**

Un dimensionnement détaillé de cette architecture est présenté dans [38] pour montrer un des gains possibles : la réduction de l'ordre du filtre anti-repliement (AAF) lorsque les deux architectures fonctionnent avec le même taux de sur-échantillonnage (OSR). Les résultats du dimensionnement repris dans Tableau 5 montrent que le récepteur NUS nécessite un AAF d'ordre 4 tandis que l'équivalent US nécessite un AAF d'ordre 6. Ce travail illustre la possibilité de simplifier la partie analogique (ordre de l'AAF) tout en augmentant le traitement numérique (filtre de reconstruction) grâce à l'utilisation du NUS.

	GSM		UMTS		802.11a	
	US	NUS	US	NUS	US	NUS
OSR	440		15		3	
$f_s$ (MHz)	88		57.6		83	
$f_t$ (MHz)	79.7		49.3		74.7	
$N_{bl}$ (dBm)	-23	-23	-44	-44	-30	-30
$Att_{NUS}$ (dB)	-	26.43	-	11.76	-	4.77
$A_{min}$ (dB)	85	58.56	51.8	40	58.8	51.8
AAF order	6	4	5	4	5	4

**Tableau 5 Spécifications d'un récepteur GSM/UMTS/WiFi – Dimensionnement de 2 architectures à sur-échantillonnage : une classique US et une employant le NUS.**

L'étape suivante est d'étudier la reconstruction du signal échantillonné non uniformément [39]. Grâce à la définition d'une métrologie d'évaluation de la reconstruction du signal radio, le TRD (Total Reconstruction Distortion), des tests par simulation sont effectués pour les algorithmes de reconstruction suivants : l'interpolation de Lagrange, l'interpolation de Newton, l'interpolation du plus proche voisin, l'interpolation linéaire, l'interpolation PCHIP et l'interpolation Spline cubique. La méthode de reconstruction matricielle SVD a également été évaluée concernant la métrique SNR. Les résultats concernant le SNR sont reportés sur Figure 26.



**Figure 26 SNR en fonction de  $\sigma < T_s$  pour quelques algorithmes d'interpolation et pour la reconstruction SVD ( $q_T = 8$ ).**



Le Tableau 6 résume les performances de quelques méthodes d'interpolation en termes de SNR, TRD et complexité de calcul. Plus le TRD est faible, plus l'algorithme de reconstruction est performant. Le Tableau 6 montre ainsi que le meilleur algorithme est le Spline cubique avec un TRD égal à -26.73 dB. La valeur du SNR pour l'algorithme du Spline cubique en temps réel est proche de celui exigé par le récepteur multistandard proposé qui est de 74 dB. En contrepartie, la reconstruction par interpolation Spline cubique requiert une complexité triple par rapport à celle d'une reconstruction par interpolation linéaire reconnue pour sa faible complexité de calcul.

<b>Interpolation</b>	<b>Nearest</b>	<b>Linear</b>	<b>Spline</b>
<i>Total Reconstruction Distortion TRD (dB)</i>	-18.630	-20.725	-26.734
<i>Signal-to-Noise Ratio SNR (dB)</i>	44.15	48.9857	71.036
Complexité (cycles DSP)	995872	1061478	3001902

**Tableau 6 Performances des méthodes d'interpolation pour la conversion analogique numérique contrôlée par le NUS.**

Après la conception et le dimensionnement du récepteur multistandard intégrant un ADC à échantillonnage non uniforme, nous nous intéressons à la **proposition d'un nouveau circuit de générateur non uniforme** et à l'optimisation de son implémentation matérielle. Et **une plate-forme de test est réalisée** pour permettre la validation expérimentale de la solution originale proposée pour la numérisation des signaux radio à base de l'échantillonnage non uniforme

Le générateur d'horloge non uniforme capable de commander le convertisseur analogique numérique doit satisfaire, à la fois, la précision requise pour garantir l'anti-repliement spectral et les contraintes des applications de radiocommunications telles que la réduction de la surface et la diminution de la consommation de puissance. La sortie de ce circuit de génération d'horloge non uniforme doit atteindre une certaine fréquence moyenne d'échantillonnage indispensable pour satisfaire les spécifications de conception de l'architecture du récepteur multistandard. Les générateurs existants dans la littérature permettent de générer une horloge non uniforme. Cependant, la possibilité d'appliquer l'horloge non uniforme générée par chaque type de générateur au convertisseur analogique numérique est limitée : imprécision, utilisation de composants discrets, nécessité de concevoir un TDC (Time to Digital Converter) pour retrouver les instants d'échantillonnage. Pour remédier à ces limitations, **le générateur non uniforme que nous proposons dans ce travail de recherche repose directement sur la considération d'instant d'échantillonnage quantifiés au préalable selon le mode TQ-JPRS.**

Le schéma synoptique du circuit proposé PSS (Pseudo-random Signal Sampler) est reporté sur la **Figure 27**. Le PSS comporte un compteur de Gray qui délivre un code réfléchi

sur  $m$  bits, une fonction combinatoire pour la génération des phases, un LFSR (Linear Feedback Shift Register) et un multiplexeur. Le LFSR est contrôlé par la phase  $\Phi_0$  et génère une séquence pseudo-aléatoire  $L_{m-1} \dots L_1 L_0$ . Le multiplexeur MUX  $q_T : 1$  fonctionne comme un sélectionneur combinatoire. En effet, ce circuit permet de choisir la phase  $\Phi_i$  adressée par le nombre pseudo-aléatoire  $i$  généré par le LFSR à chaque période de  $\Phi_0$ . A chaque phase  $\Phi_i$  sélectionnée, correspond un temps d'échantillonnage non uniforme. Une bascule est ajoutée au niveau de la sortie du PSS afin d'éliminer les éventuels pics indésirables (glitches).

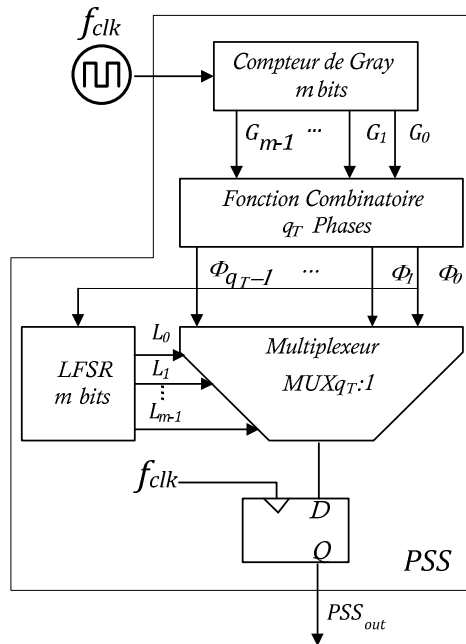


Figure 27 Schéma synoptique du PSS

La sortie du PSS est présentée par la **Figure 28**. A chaque valeur générée par le LFSR  $(i)_{d\acute{e}cimale} = (L_{m-1} \dots L_1 L_0)_{binaire}$ , correspond une phase  $\Phi_i$ . En sélectionnant une phase donnée, nous recopions le signal qui la caractérise. L'horloge  $PSS_{out}$  est donc la concaténation de parties correspondantes à différentes phases.

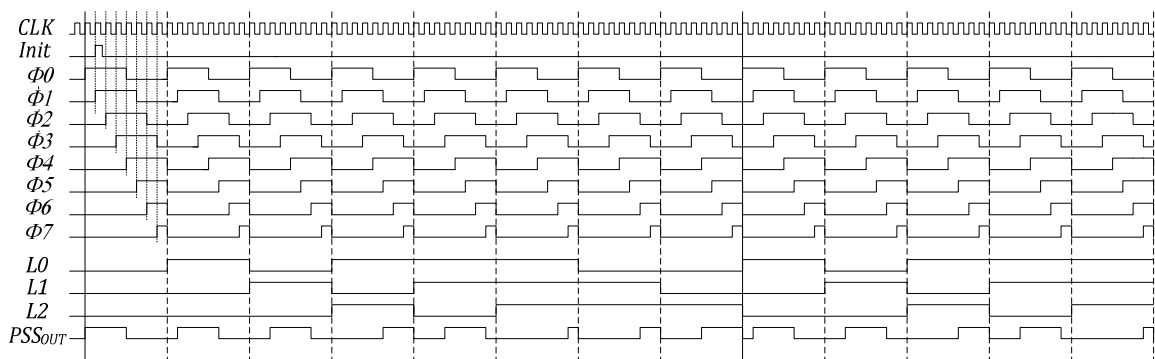


Figure 28 Horloge non uniforme générée par le PSS pour  $q_T=8$ .

Le circuit conçu du PSS a été implanté d'abord sur cible FPGA puis sur cible ASIC. Les résultats d'implantation sur FPGA en considérant, par exemple, une fréquence moyenne à 16.6 MHz ont montré une consommation de puissance de 4.6 mW et 9.89 mW respectivement aux fréquences 132.8 MHz, 265.6 MHz pour  $q_T$  égal à 8 et 16. Par contre dans le cas  $q_T$  égal à 32, il a été observé que la fréquence maximale 420 MHz du FPGA EP2C35F672C6 ne permet pas d'atteindre la fréquence 531.2 MHz. C'est pour cette raison que l'implantation sur cible ASIC a été envisagée.

Le circuit PSS sur cible ASIC génère une fréquence moyenne de l'horloge non uniforme égale à 200 MHz au maximum pour une quantification temporelle  $q_T$  égale à 16, valeur qui satisfait largement le dimensionnement du récepteur SDR multistandard. Ce circuit PSS implanté en technologie CMOS 65 nm n'occupe que 470 ( $\mu\text{m}$ )<sup>2</sup> et ne consomme qu'une puissance de 1.5  $\mu\text{W}$  à 286  $\mu\text{W}$  pour des fréquences moyennes générées entre 1 MHz et 200 MHz. **Ces résultats obtenus particulièrement en termes de surface et de fréquence moyenne maximale montrent que le PSS proposé obtient de meilleures performances que les circuits de l'état de l'art.**

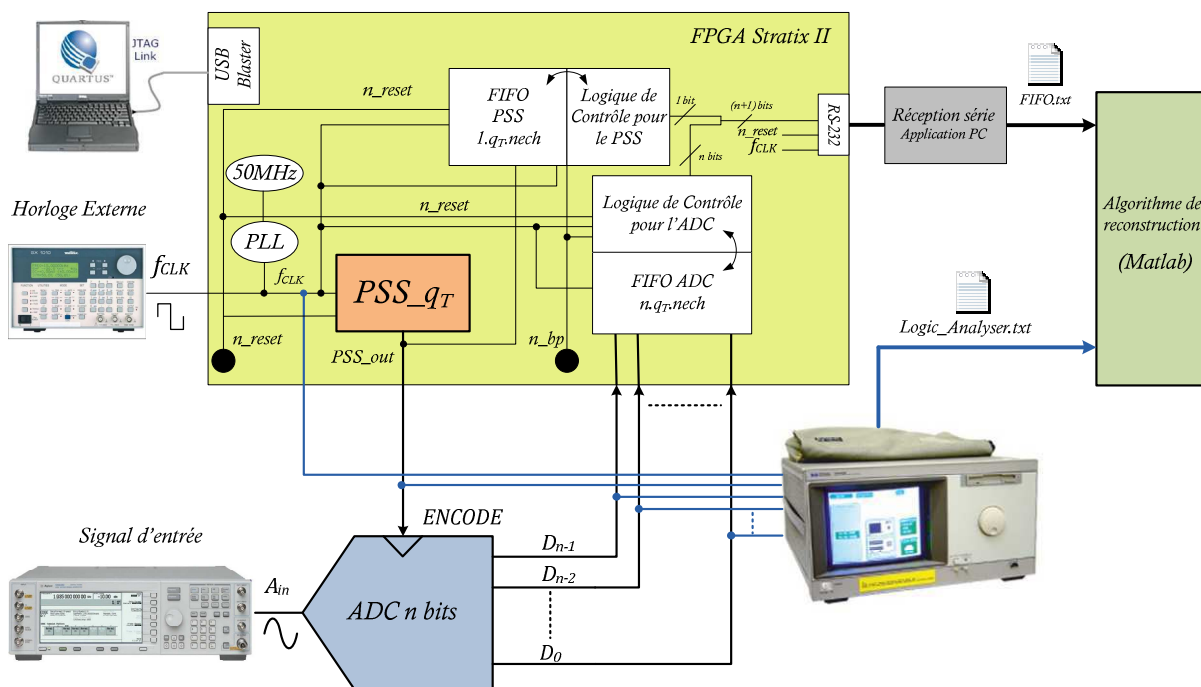


Figure 29 Schéma synoptique de la plate-forme de test.

La validation expérimentale de l'étage de numérisation proposé a nécessité la mise en œuvre d'une plate-forme de test (Figure 29) composée d'un composant FPGA sur lequel est synthétisé le code VHDL du générateur PSS et de la méthode d'acquisition par FIFO, d'un convertisseur analogique numérique ADC contrôlé par le signal en sortie du PSS, d'un générateur de signaux arbitraires pour l'entrée sinusoïdale du convertisseur, d'un analyseur logique ainsi que d'un PC pour l'acquisition par FIFO mais aussi pour le traitement de données. Les résultats des tests expérimentaux en termes de consommation du circuit correspondent bien aux résultats théoriques. En effet, dans le cas du sur-échantillonnage, la

puissance augmente linéairement avec le facteur de sur-échantillonnage. Une diminution de la consommation de puissance est mesurée en passant de l'échantillonnage uniforme à l'échantillonnage non uniforme à la même fréquence d'échantillonnage. Cependant, les résultats expérimentaux ont montré jusque là qu'il n'est pas convenable d'utiliser un ADC type pipeline du marché car il y a un bloc de correction de l'horloge qui fausse nos résultats. De nouveaux résultats expérimentaux sont en cours d'extraction avec un ADC type full-flash.

A l'issue des résultats encourageants obtenus tout au long de ce travail de recherche, nous pouvons conclure que l'échantillonnage non uniforme peut être appliqué aux récepteurs multistandard soit pour la conversion de données, soit pour la conversion de fréquence. Les études menées et résultats présentés, dans le cadre de la thèse de Manel Ben Romdhane, ont permis de **mettre en évidence à la fois au niveau analytique et au niveau pratique l'apport de l'application de l'échantillonnage non uniforme à la numérisation des signaux radio multistandard dans le cas d'une architecture homodyne.**

En parallèle avec les travaux sur les architectures globales de récepteur multistandard que je viens de détailler, je me suis intéressée à une fonction particulièrement utile dans l'objectif de la radio logicielle.

- La synthèse de fréquence RF large bande, faible bruit

Le travail développé sur cette fonction m'a permis de mettre en œuvre les compétences acquises dans les volets « Modélisation comportementale mixte » et « conception pour le récepteur radio logicielle » et réalise un exemple de synthèse de mes activités de recherche.

### **3 BOUCLE A VERROUILLAGE DE PHASE**

#### *3.1 Contexte scientifique*

Le travail présenté dans cette partie correspond à la thèse de Wissam Altabban [40] qui s'est déroulée à Telecom ParisTech, dans le département COMELEC, du 01/12/06 au 04/12/09, sous la responsabilité d'Hervé Petit et de moi-même. Ce travail de recherche s'inscrit dans le projet structurant Radio-Logicielle du groupe **Systèmes Intégrés Analogiques et Mixtes**.

Le sujet est la modélisation et la conception portable des boucles à verrouillage de phase entièrement numériques (ADPLL).

Clés de tout système électronique devant opérer à des fréquences déterminées, les boucles à verrouillage de phase constituent une des fonctions sensibles de toute électronique embarquée. En vue d'en permettre la programmation, la boucle à verrouillage de phase traditionnelle peut être avantageusement remplacée par une boucle opérant essentiellement dans le domaine numérique (All Digital Phase Locked Loop ou ADPLL) où la phase est

discrétisée et dont l'élément central est un oscillateur RF contrôlé numériquement (DCO). **Notre approche vise à améliorer la pureté spectrale d'une boucle numérique grâce à un modèle très précis du bruit de phase de l'oscillateur.** Sa mise en œuvre est basée sur le développement de modèles comportementaux en langage de simulation mixte VHDL-AMS permettant d'accélérer la conception de ce type de boucle à verrouillage de phase.

#### **Financement / partenariat :**

L'obtention d'un financement sur abondement Carnot pour la thèse de Wissam Altabban nous a permis de mettre en œuvre nos idées en méthodologies de modélisation des circuits mixtes appliquée à un domaine en pleine effervescence : la synthèse de signaux RF. L'introduction de l'ADPLL est récente (2004) et nous ne disposions pas au début de la thèse de modélisation comportementale pour cette fonction. Notre idée a été d'intégrer dans nos modèles des relations entre la technologie et les performances clés (notamment le bruit), afin de faciliter la conception de boucles à haute pureté spectrale, et en favoriser la portabilité.

Au bout d'un an de travail, nous avons eu l'occasion de présenter nos travaux à NXP en décembre 2007. NXP a souhaité s'associer à ce travail en proposant la fonte du composant et en finançant un programme de travail commun sur 12 mois. Au cours de ce programme, NXP a accueilli Wissam Altabban pendant 4 mois en 2008 et lui a donné accès à sa technologie CMOS 65 nm pour la réalisation du circuit. La conception a été orientée vers une application TV d'intérêt commun pour NXP et Telecom ParisTech.

#### **Principaux résultats :**

Nous avons appliqué nos modèles à la conception d'une ADPLL en technologie CMOS 65 nm dans le cadre d'applications TV en développant une conception portable, minimisant le bruit de phase, la surface et la consommation. Le circuit a été réalisé en partenariat avec NXP avec des innovations sur deux blocs : l'oscillateur commandé en numérique (DCO) et le convertisseur temps numérique (TDC). L'originalité de l'approche s'est concrétisée par la publication de 6 articles dont 1 en revue internationale [41], un autre article revue est en cours d'écriture.

### 3.2 *Synthèse des travaux de la thèse*

Le premier volet de nos recherches sur le sujet ont porté sur la **modélisation comportementale d'une ADPLL pour les applications radio** autour de 2GHz comme le GSM et le Bluetooth avec l'intégration d'un modèle très précis pour le bruit de phase du DCO. Nous modélisons l'ADPLL représentée sur la Figure 30 [42]. Cette boucle contient un oscillateur contrôlé numériquement DCO, deux accumulateurs de phase dont un pour la phase de la référence (FREF) et le deuxième pour la phase variable (CKV). Elle contient aussi un comparateur de phases numériques, un filtre numérique et un TDC. Cette boucle est conçue

pour les applications GSM et Bluetooth et son bruit de phase est égal à  $-124 \text{ dBc/Hz}@600\text{kHz}$  de la fréquence de porteuse (2.4GHz).

Les équations permettant de modéliser le fonctionnement des accumulateurs de phase et du détecteur de phase sont reportées dans le Tableau 7. La phase variable  $\theta_v$  est une accumulation du nombre 1 à chaque front montant (ou descendant) du signal CKV. La phase de la référence est une accumulation du rapport entre la période de référence  $T_R$  et la période variable  $T_v$ , connu à priori comme le FCW, à chaque front montant (ou descendant) du signal référence.

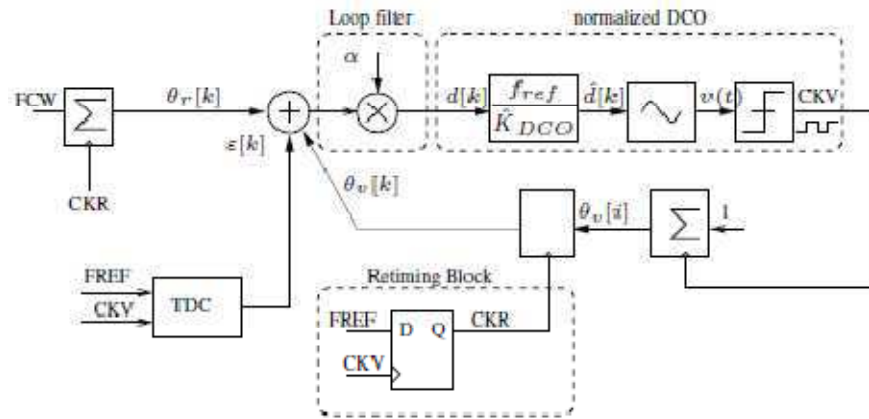


Figure 30 la boucle à verrouillage de phase numérique de [42].

Phase variable $\theta_v$	$\theta_v = \sum_{l=1}^i l$
Phase de référence $\theta_r$	$\theta_r = \sum_{l=1}^k FCW$
Erreur de phase $\phi_E$	$\phi_E[k] = \theta_r[k] - \theta_v[k]$

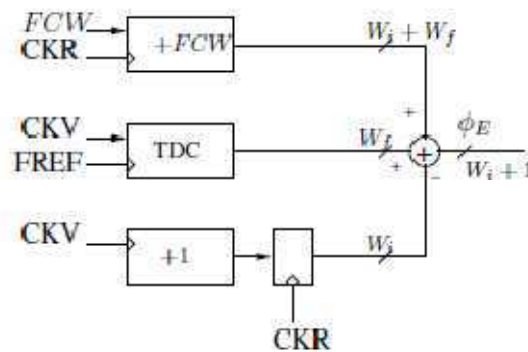
Tableau 7 Détection de phase entièrement numérique

Les deux points délicats à prendre en compte dans l'implémentation effective de ces équations sont la synchronisation des horloges et la saturation des registres.

*Synchronisation des horloges* : Les instants de calcul de  $\theta_r$  et de  $\theta_v$  ne sont pas identiques ; on choisit donc de les synchroniser en les calculant au front de CKV qui correspond à FREF échantillonné par CKV. Ainsi au front de CKV,  $\theta_v$  vaut un nombre entier tandis que  $\theta_r$  est la somme d'un nombre entier de FCW et du décalage entre le front de FREF et celui de CKV. Le décalage entre ces deux fronts est noté  $\epsilon$  et il est plus petit que la période  $T_v$  de CKV.

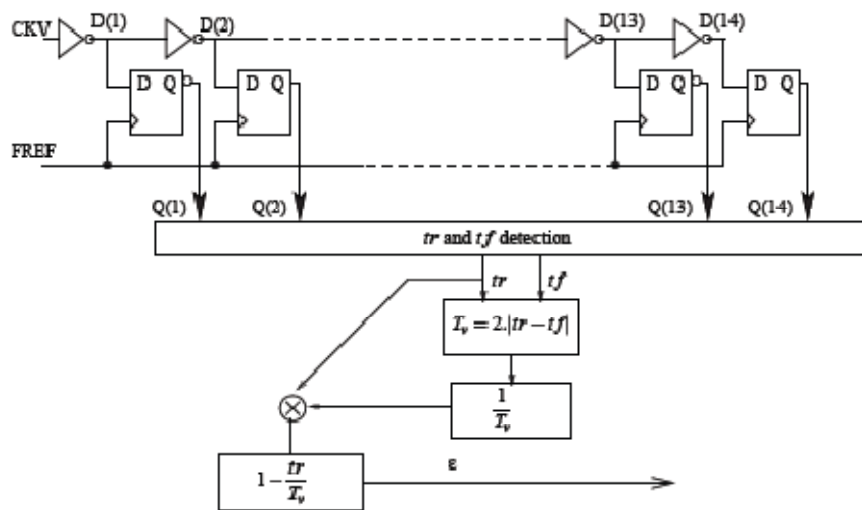
*Saturation des registres* : Une accumulation infinie dans les registres n'est pas possible car la taille des registres est finie. Les valeurs de  $\theta_r$  et de  $\theta_v$  sont donc calculées modulo la taille des registres.

Finalement si la partie entière de FCW est codée sur  $W_i$  bits et la partie fractionnaire sur  $W_f$  bits, le schéma bloc du détecteur de phase est donné sur la Figure 31. Les valeurs de  $W_i$  et de  $W_f$  sont calculées pour adresser correctement la bande de l'application (bluetooth) avec une bonne résolution.



**Figure 31** Schéma bloc du détecteur de phase.

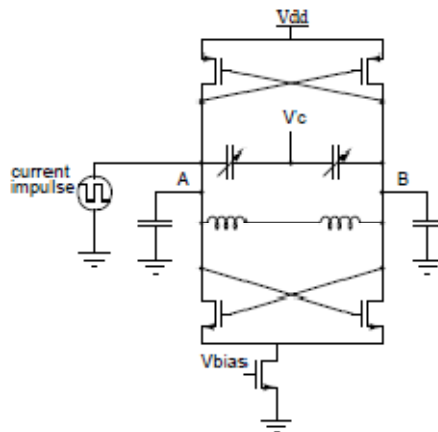
Pour le modèle du convertisseur temps numérique (TDC), nous avons considéré une architecture particulière montrée sur la Figure 32. Le TDC est composé d'une ligne de retard faite d'inverseurs qui produit un certain nombre d'horloges retardées  $D(i)$  égale au nombre d'inverseurs  $L$ . Ces horloges sont des images retardées de  $CKV$ . Le mot numérique  $Q(i)$  est la valeur de  $D(i)$  échantillonnée au front montant de  $FREF$ . A partir du mot numérique  $Q(i)$ , on déduit les positions des fronts montant et descendant de  $CKV$  par rapport au front montant de  $FREF$ . Ainsi, la période  $T_v$  et le décalage  $\epsilon$  peuvent être calculés. La résolution de ces calculs est le temps de traversée d'un inverseur ( $t_d = 30ps$  pour la technologie considérée).



**Figure 32** Architecture du TDC.

La résolution du TDC considéré est égale à  $t_d$  et cette résolution se traduit par un bruit de phase dans le spectre du signal oscillant de l'ADPLL. Ce bruit peut être modélisé par un bruit blanc de distribution Gaussienne et de variance  $t_d^2/12$ .

Puis, le **modèle comportemental temporel du DCO incluant un modèle précis de bruit de phase, constitue la part la plus significative du travail de modélisation réalisé.** Une méthodologie a été développée à partir d'un oscillateur LC classique (voir Figure 33) mais elle est généralisable pour tous les oscillateurs.



**Figure 33 Architecture de l'oscillateur LC.**

La fréquence de sortie de l'oscillateur dépend linéairement du mot numérique d'entrée sur une large plage de fréquence :

$$f_{out} = f_c + \Delta f = f_c + K_{DCO} \hat{d}[k]$$

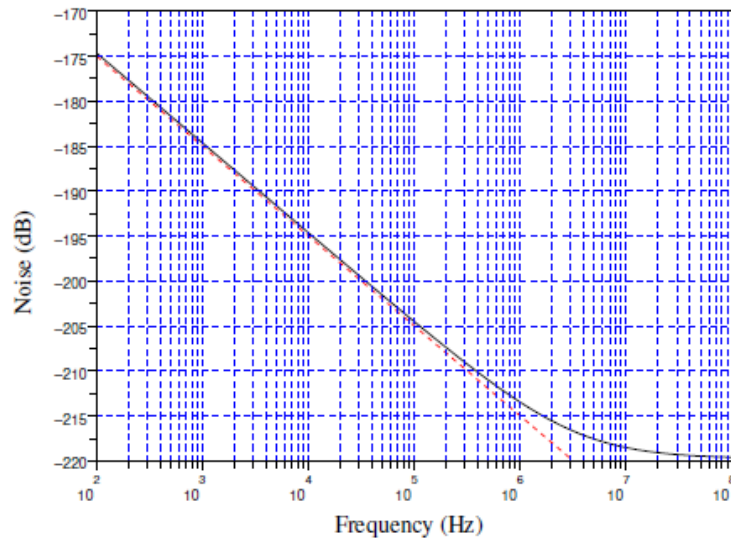
Où  $f_c$  est la fréquence centrale,  $K_{DCO}$  est le gain du DCO et c'est par définition le changement  $\delta f$  de la fréquence  $f_{out}$  pour un changement du mot numérique égale à 1 LSB. De là, le signal en sortie de l'oscillateur est donné par :

$$v(t) = A \cos \left( \int_0^t (2\pi f_{out} dt) + \varphi(t) \right)$$

La modélisation et le calcul du bruit de phase  $\varphi(t)$  s'appuie sur le modèle linéaire variant en temps (LTV) d'Hajimiri [43]. La mise en œuvre de cette méthode requière plusieurs étapes :

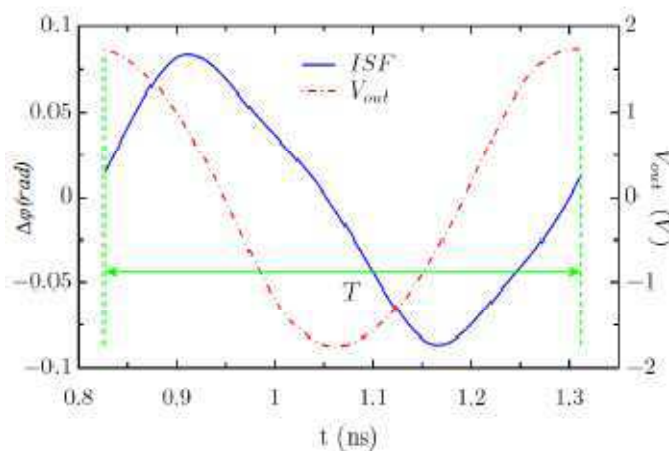
- **La génération des sources de bruits** (blanc et en 1/f) produits par les composants internes à l'oscillateur. Nous avons développé nos propres modèles de bruit en VHDL-AMS pour produire un bruit temporel dont le spectre est identique au résultat du simulateur Spectre. Dans la Figure 34, les deux régions de bruit, en 1/f et le bruit blanc sont mis en évidence. Le point  $\omega_{1/f}$  est repéré à 3 MHz.





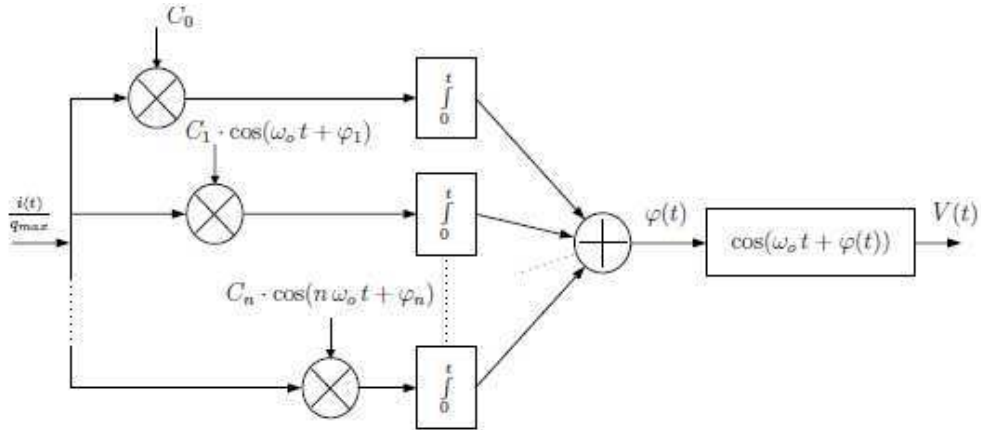
**Figure 34** Les sources de bruit dans l'oscillateur LC (simulation sous Spectre)

- **La détermination de la fonction de sensibilité impulsionnelle (ISF)** pour l'oscillateur considéré. Alors que plusieurs méthodes approximatives de détermination de l'ISF sont présentées dans la littérature [43], nous avons mis en œuvre et automatisé la méthode la plus exacte. Elle consiste à injecter une impulsion  $i(t)$  à un instant  $\tau$  de la période  $T$  et de simuler l'oscillateur pendant quelques périodes après la période de l'injection. En calculant la déviation  $\Delta t$  de l'instant de passage par zéro, on peut en déduire le déphasage  $\Delta\phi = 2\pi\Delta t/T$ , produit par l'injection. Puis on change l'instant d'injection  $\tau$  afin de déterminer l'ISF sur une période complète. Les résultats de la simulation sont reportés sur la Figure 35. On observe dans cette figure que la fonction ISF atteint son maximum quand le signal oscillant passe par zéro. Cette méthode de détermination de l'ISF est très utile dans le développement du modèle du DCO avec le bruit de phase.



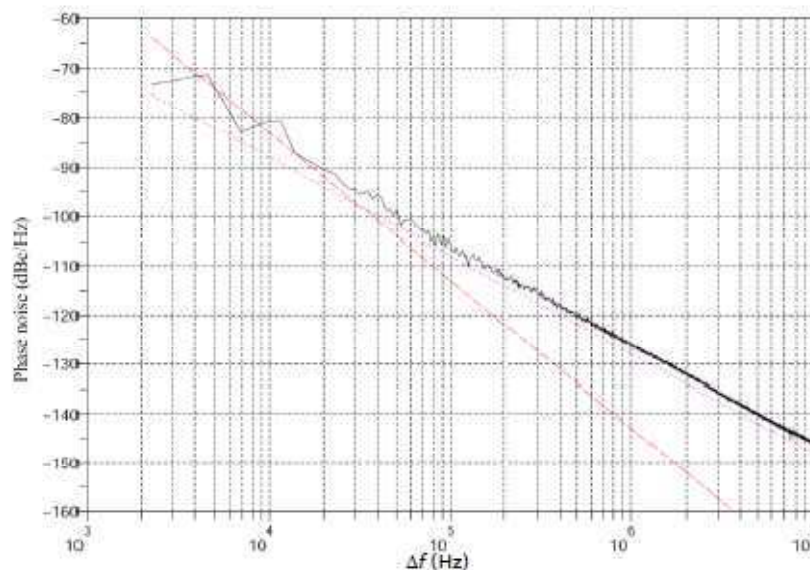
**Figure 35** La fonction ISF en fonction de l'instant d'injection.

- **Le calcul de  $\varphi(t)$ .** Puis comme la fonction ISF est périodique, on peut la décomposer en série de Fourier en ne retenant que les premiers termes les plus significatifs de la décomposition. Finalement, un schéma bloc du modèle est montré dans la Figure 36 dans lequel  $i(t)$  est le courant d'injection sur le nœud de sortie de l'oscillateur,  $q_{\max}$  est la charge maximale qui se déplace à cause de l'injection et  $C_0, C_1, \dots, C_n$  sont les coefficients de la décomposition en série de Fourier de la fonction ISF.



**Figure 36** Le modèle du bruit du DCO.

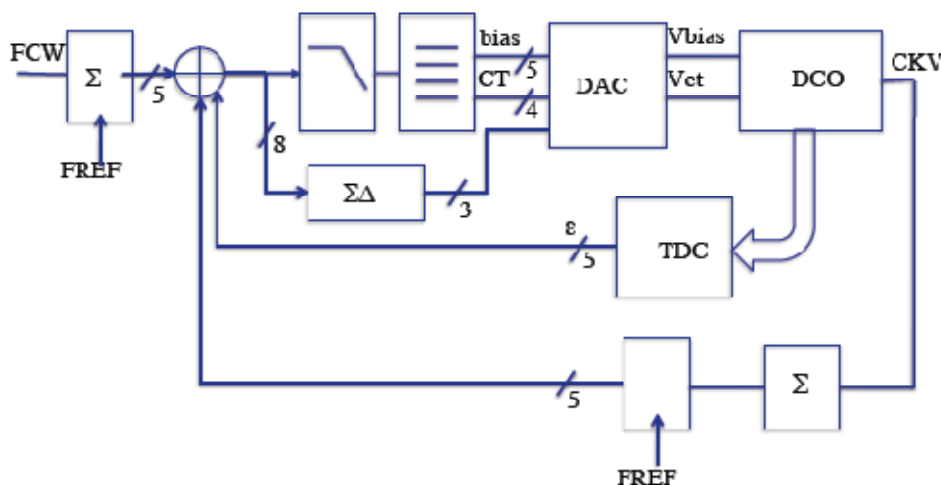
A partir de ce schéma bloc, nous avons implémenté le modèle du DCO en VHDL-AMS et nous avons simulé le bruit de phase en sortie du DCO. Le résultat est montré sur la Figure 37. Nous retrouvons que le comportement en sortie du bruit de phase est en  $1/f^2$  si la source de bruit à l'entrée est un générateur de bruit blanc. Par contre, si la source de bruit a une densité spectrale en  $1/f$ , la sortie est un bruit de phase en  $1/f^3$ . De plus nous notons le déplacement du point  $\omega_{1/f^3}$  de 3 MHz à 30 kHz. Le modèle LTV est le seul à prédire correctement le déplacement de ce point.



**Figure 37** Densité spectrale de puissance du bruit de phase en sortie du DCO (simulation sous VHDL-AMS).

Donc, nous disposons d'un modèle comportemental de l'ADPLL complet avec le modèle LTV de bruit de phase de l'oscillateur. Les coefficients de Fourier de l'ISF sont des paramètres génériques du modèle. Le bruit de quantification du TDC est aussi traité. Le modèle est portable pour une autre application et une autre technologie car il est générique. L'utilisation du VHDL-AMS apporte aussi une plus grande rapidité de la simulation par rapport aux simulateurs électriques et donc une possibilité d'intégrer ce modèle dans un système plus complexe comme les récepteurs radiofréquences.

Le second apport significatif porte sur la **conception de l'ADPLL pour des applications TV**. La boucle conçue, Figure 38, contient un oscillateur en anneau contrôlé numériquement, un comparateur de phase numérique, un compteur numérique pour déterminer la phase variable du signal RF, un accumulateur du mot FCW pour déterminer la phase de la référence, un tableau de valeurs mémorisées (LUT) où on trouve les mots numériques de contrôle (bias et CT), et le TDC. La boucle est divisée en deux parties. La première partie fonctionne à la fréquence de la référence comme le comparateur de phase. Cette partie est programmée sur un FPGA. La deuxième partie fonctionne à la fréquence radio comme l'oscillateur. Cette partie est réalisée en technologie CMOS 65nm.



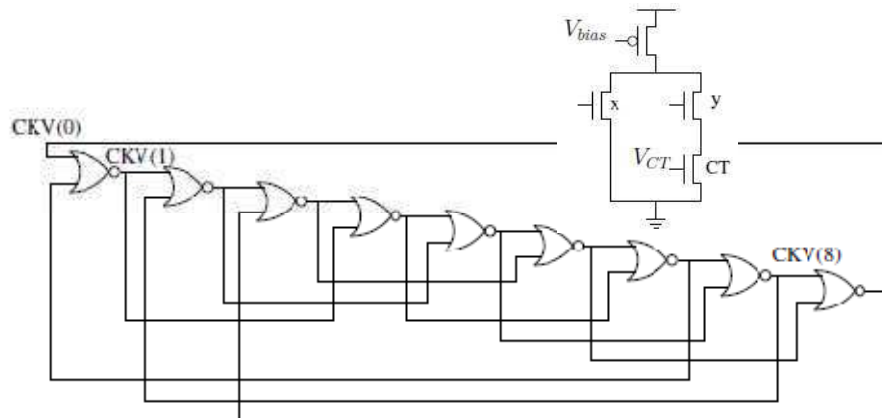
**Figure 38 Architecture de l'ADPLL conçue pour les applications TV.**

Les contributions principales dans cette partie du travail sont la conception d'un DCO en anneaux interpolateur et la fusion des architectures du DCO et du TDC.

### Conception de l'oscillateur :

L'oscillateur choisi est un oscillateur en anneaux interpolateur dont l'architecture est montrée sur la Figure 39. La cellule de base de l'anneau est un port NOR à deux entrées. Ce type d'oscillateur permet d'augmenter la plage de fréquence couverte par l'oscillateur et d'augmenter aussi sa fréquence centrale tout en maîtrisant la consommation avec la tension  $V_{bias}$ . Grâce à la tension  $V_{CT}$ , on peut régler l'interpolation entre les deux fréquences des deux anneaux, une fréquence qui résulte du chemin direct et une deuxième fréquence qui est

produit par la somme des signaux des anneaux plus courts, ainsi on peut élargir la plage de fréquence de l'anneau.



**Figure 39** Un oscillateur interpolateur (9,7) en anneau à cellule NOR à 2 entrées.

Nous avons dimensionné l'oscillateur pour obtenir la performance qui est plus difficilement réalisable avec un oscillateur en anneaux : un faible bruit de phase. Dans **notre stratégie de dimensionnement**, on adopte la fonction ISF pour optimiser les dimensions des transistors pour un minimum de bruit de phase. Les variables de la conception sont les dimensions des transistors ( $W$ ,  $L$ ), ce qui fait 8 dimensions par étage dans l'anneau. La détermination de l'ISF permet d'évaluer la sensibilité de l'oscillateur à l'injection du bruit en deux étapes :

1. La variation de l'ISF en fonction de  $L$  pour une valeur fixe de  $W_p/W_n$ .
2. La variation de l'ISF en fonction de  $W_p/W_n$  pour une valeur fixe de  $L$ .

L'oscillateur est conçu en CMOS 65nm et la fonction ISF est déterminée automatiquement en utilisant une procédure sous Scilab qui lance le simulateur Spectre. La conclusion de l'étude 1 est que l'ISF diminue lorsque  $L$  augmente avec un optimum pour  $L=250\text{nm}$  car pour de plus grandes valeurs de  $L$ , le gain sur l'ISF n'est plus significatif. La symétrie du signal oscillant (temps de montée et temps de descente) est un indice d'amélioration du bruit de phase [44]. Cette propriété dépend du rapport  $W_p/W_n$ . On détermine grâce à l'étude 2 le rapport  $W_p/W_n$  qui diminue l'ISF et améliore le bruit de phase. La valeur de l'ISF est réduite pour un rapport égal à 3. Puis pour  $W_p/W_n > 3$  la puissance consommée augmente sans améliorer le bruit de phase de façon significative.

L'oscillateur ainsi dimensionné est caractérisé en simulation avec Spectre. Les principales performances sont résumées dans le Tableau 8. Ces performances sont en adéquation avec le gabarit recherché pour une application TV.

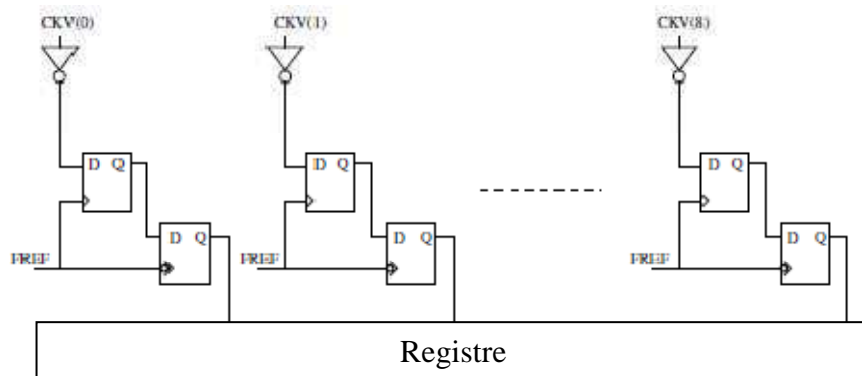
Technologie	CMOS 65nm
Tension d'alimentation	1,2 V
Plage de fréquence	400MHz - 800MHz
Bruit de phase à 462MHz	-120dBc/Hz @5MHz
Puissance consommée	1.92 mW

**Tableau 8 Performances simulées du DCO.**

### Architecture fusionnée du TDC et du DCO [45] :

Nous avons proposé **une idée originale pour la conception du TDC, à savoir utiliser directement les états de l'anneau du DCO pour mesurer le retard entre les signaux CKV et FREF**. Le TDC résultant est compact, très économe en consommation et possède une résolution égale à  $1/18$  de la période d'oscillation. Le principe de fonctionnement du TDC est de relever l'état de l'anneau et de le stocker dans un registre en utilisant des bascules synchronisées aux fronts montants de FREF comme montre la

Figure 40. A partir de chaque état on peut déterminer la position du front qui se propage sur la chaîne à l'arrivée d'un front montant de FREF. Quand un front montant ou descendant se propage sur la chaîne, le signal  $S(0)$  est égal à '1' ou '0' respectivement, et la valeur de  $\varepsilon$  varie de  $9 t_d$  à  $17 t_d$  ou de  $0$  à  $8t_d$  respectivement selon la position des fronts. La correspondance, entre l'état de l'anneau et la valeur de  $\varepsilon$ , est effectuée par un circuit de décodage numérique (combinatoire).



**Figure 40 Schéma bloc du TDC.**

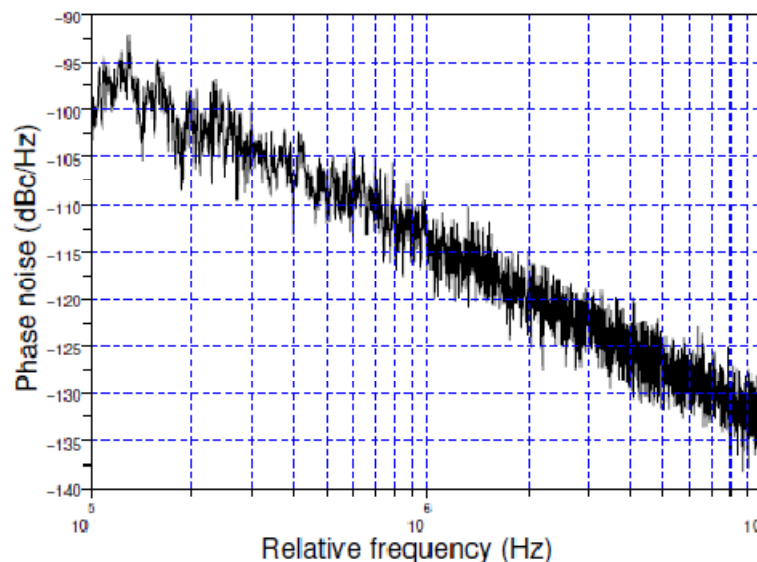
Le bruit de phase du TDC peut être modélisé par un bruit blanc de distribution Gaussienne et de variance  $t_d^2/12$ . Le bruit de phase est obtenu en divisant la variance par la période instantanée de CKV et en multipliant par  $2\pi$ . Le bruit de phase est distribué uniformément sur le spectre de DC jusqu'à la fréquence de la référence  $f_{FREF}$ . La densité spectrale unilatérale du bruit de phase du TDC est donc donnée par l'équation suivante :

$$L = \frac{(2\pi)^2}{12} \left( \frac{t_d}{T_{CKV}} \right)^2 \frac{1}{f_{REF}}$$

Dans le cas de notre TDC, la résolution est liée à la période instantanée de CKV,  $t_d = T_{CKV}/18$ . La fréquence d'oscillation est égale à 500 MHz et la fréquence de la référence est égale à 26 MHz. En substituant dans l'équation précédente, on trouve la densité spectrale unilatérale du bruit de phase de ce TDC, soit -94dBc/Hz. Le bruit de phase peut être amélioré en augmentant la fréquence de la référence. Comme ce bruit est filtré passe-bas par la boucle de l'ADPLL, sa composante en sortie de l'oscillateur est inférieure à -120dBc/Hz @ 5MHz de la porteuse.

Le cœur analogique et RF du circuit : DACs de commande de l'oscillateur, DCO, bascules du TDC et accumulateur de phase de CKV, a été fondu en technologie CMOS 65nm. Il occupe une surface de  $28*39 \mu\text{m}^2$ . Des tests ont été effectués sur ce circuit intégré en boucle ouverte. Comme le compteur de phase de CKV ne fonctionnait pas correctement, nous n'avons pas pu tester la boucle fermée.

Les résultats les plus intéressants concernent le DCO. La fréquence maximale obtenue est égale à 500MHz. La variation de la fréquence de CKV en fonction des codes bias et CT a été mesurée et la plage de fréquence obtenue est de 100MHz à 500MHz ce qui est assez différent de celle obtenue par simulation (400MHz à 800MHz). Nous attribuons cette différence aux tensions de contrôles ( $V_{bias}$  et  $V_{CT}$ ) qui ne sont pas suffisantes pour générer la bonne plage de fréquences. Le bruit de phase de CKV en boucle ouverte est mesuré pour toute la plage de 100kHz à 10MHz de la porteuse. Cette mesure est illustrée dans la Figure 41 lorsque la fréquence de la porteuse est égale à 420MHz. Il atteint -120dBc/Hz à 5MHz. Par ailleurs, l'amplitude du signal en sortie (1 V crête à crête) et la consommation de puissance (1,2 mW) sont conformes aux résultats de simulation.



**Figure 41** Mesure du bruit de phase sur CKV pour  $f_{CKV} = 420\text{MHz}$ .

Finalement, le DCO est caractérisé par le calcul de son facteur de mérite (FoM) selon la formule classique :

$$FoM = 10\log\left(\left(\frac{f_0}{\Delta f}\right)^2 \frac{1}{L\{\Delta f\}P}\right)$$

Où P est la puissance consommée par l'oscillateur seul. Selon cette équation, le FoM de notre DCO est égal à 160. Cette valeur est légèrement supérieure à l'état de l'art des autres oscillateurs reporté sur le Tableau 9. Pour une même plage de fréquence, notre DCO améliore le bruit de phase et la consommation de puissance.

Réf.	TR (GHz)	L ( $\Delta f$ ) (dBc/Hz)	$\Delta f$ (MHz)	FoM	Puis. cons. (mW)	Tech.
[46] - 2002	9.8 - 11.5	-98	2	153	75	0.5 $\mu\text{m}$
[47] - 2003	0.1 - 3.5	-106	4	152	16	0.18 $\mu\text{m}$
[48] - 2004	3.1 - 6.3	-101.4	1	155	157	0.18 $\mu\text{m}$
[49] - 2008	0.5 - 8	-112	1	137	11.2	65 nm (SOI)
[50] - 2009	1.7 - 5.5	-120.2	4	162	81	0.18 $\mu\text{m}$
<b>Ce DCO</b>	<b>0.1 – 0.5</b>	<b>-120</b>	<b>5</b>	<b>160</b>	<b>1.2</b>	<b>65 nm</b>

**Tableau 9 Comparaison de performances mesurées d'oscillateurs en anneaux.**

Ce travail est un premier pas dans la modélisation et la conception des ADPLL pour les applications RF. Comme perspectives, on propose de tester les performances de la boucle fermée pour valider les performances de la boucle en termes de bruit de phase et de consommation de puissance. On propose également d'améliorer les DAC qui génèrent les tensions de contrôle du DCO au niveau architecture et dimensionnement. On propose aussi d'implémenter un modulateur  $\Sigma\Delta$  pour améliorer la résolution de la boucle. Finalement, une implémentation de la boucle complète sur un circuit intégré est intéressante à cause de la surface réduite de la conception.

## E. Perspectives de recherche

Je vais dans cette partie développer mes perspectives de recherche en reprenant tout d'abord quelques éléments du contexte et des nouveaux challenges, puis en présentant le plan de recherche du groupe SIAM. En troisième point, je présenterai mes nouveaux projets de recherche pour les 3 prochaines années. Je finirai par une perspective d'évolution du groupe.

### 1 CONTEXTE ET CHALLENGES

Mes orientations en recherche sont en fortes interactions avec une planète électronique qui évolue de plus en plus vite.

#### 1.1 *L'évolution de la technologie*

La course à la miniaturisation des technologies CMOS avancées se poursuit car nous observons toujours que cette miniaturisation est bonne pour :

- la rapidité des systèmes car la fréquence de transition des transistors MOS augmente ce qui permet de travailler à des fréquences plus élevées.
- La performance car les systèmes sont de plus en plus intelligents pour une même surface et une même consommation.
- La diminution du prix des composants s'ils sont produits pour une consommation de masse.
- Et aussi pour le marketing car, par exemple, une capacité mémoire qui augmente tous les 2-3 ans aide à convaincre les consommateurs qu'ils doivent changer leur ordinateur.

Les technologies CMOS sont donc aujourd'hui largement submicroniques et nous réalisons actuellement des circuits en 65nm. Demain des circuits seront produits en 45 ou 22nm. J'ai déjà évoqué certaines des limitations très importantes qui apparaissent pour la mise en œuvre de ces technologies à la fin de la partie B. Cependant les gains de la miniaturisation sont tels que jusqu'à présent les difficultés sont surmontées avec :

- une augmentation du coût et de la complexité (options) de la technologie : par exemple, pour pallier au problème de la consommation, les transistors sont spécialisés et lorsque la vitesse n'est pas nécessaire, la consommation peut-être réduite en utilisant un autre type de transistor.
- une innovation sur les circuits et les architectures : par exemple, pour pallier à la dégradation de la précision des circuits analogiques, les innovations portent



essentiellement sur l'allégement des parties analogiques et des méthodes de calibration/correction numériques.

- des opportunités d'amélioration de la dissipation au niveau de l'intégration système 3D et du packaging.

Les challenges de recherche pour la poursuite de la miniaturisation des systèmes électroniques sont :

- Mettre au point des composants MOS spécifiquement faible consommation
- Maîtriser l'intégration 3D (avec la thermique) et le packaging
- Evaluer et réduire la consommation au niveau système
- Fiabiliser les architectures et les circuits
- Travailler sur les technologies alternatives au CMOS

## 1.2 *L'évolution des besoins en modélisation*

### **Modélisation circuit dans l'environnement SoC/SiP**

Les besoins en matière de simulation des technologies RF et analogique/mixte pour les communications sans fil comprennent non seulement les substrats à base de silicium, mais également des composés III-V et certains dispositifs hétérogènes au-delà du MOSFET. Pour simuler des fréquences allant jusqu'à 100 GHz et au-delà, avec des niveaux toujours accrus d'intégration, sont à prendre en compte la diaphonie entre les blocs du circuit, le bruit et l'isolation du signal. Ces exigences, à leur tour, accroissent le besoin de simulation couplée composant/circuit/systèmes pour les Systems-on-Chip (SoC) et les Systems-in-Package (SiP).

Les outils de modélisation et de simulation sont déjà très présents dans le monde de la micro/nano électronique et ils sont utilisés tous les jours avec une efficacité croissante. Cependant le rapport ITRS préconise certaines actions générales nécessaires pour que la modélisation et la simulation puissent répondre aux nouveaux besoins et de cette manière fournir les prestations prévues à l'industrie des semi-conducteurs :

- Augmenter les efforts inter-disciplines afin de capitaliser sur l'ensemble des expertises des différents domaines.
- Mobiliser des ressources pour des actions de recherche à moyen et long terme définies en partenariat entre les industriels et les institutions académiques
- Développer des modules de modélisation et de simulation standardisés, avec des interfaces indépendantes du fournisseur pour favoriser les échanges entre les partenaires industriels et académiques
- Fournir les modules aux équipementiers non seulement avec une description basique, mais aussi avec un outil de simulation approprié (ou au moins un modèle avec des paramètres bien établis) pour décrire ce matériel et processus.
- Améliorer les méthodes d'évaluation des gains en temps de conception et en coût induits par la mise en œuvre des outils de modélisation et de simulation.

Sur le plan technique, il y a un fort besoin d'outils de modélisation et de simulation mieux reliés entre eux pour déterminer les interactions imprévues d'une étape de conception à une autre.

### **Modélisation des systèmes hétérogènes**

Les études de marché de l'électronique embarquée montrent une très nette augmentation de la complexité des systèmes fournis. Les équipements embarquent de plus en plus de fonctionnalités et la liste des applications proposées par un seul et même équipement ne cesse de croître. Cette croissance constante et la diversité des applications poussent les architectes à intégrer de plus en plus d'unités de calculs sur une même puce. Ainsi, les systèmes deviennent multiprocesseurs mais également hétérogènes. Les fonctions logicielles et matérielles y sont ainsi mélangées, mais également les fonctions numériques et analogiques.

De surcroît, la prise en compte de nouvelles contraintes utilisateurs telles que la gestion de la consommation impose aux nouveaux systèmes plus de modularité. Ils doivent ainsi pouvoir d'adapter aux besoins de l'utilisateur de manière à pouvoir mettre en sommeil les parties inutilisées et ainsi économiser l'énergie et donc maximiser l'autonomie du système. Toujours dans un souci d'économie d'énergie, ces nouveaux systèmes intègrent maintenant la prise en compte de variables extérieures. Le mode de fonctionnement d'un système dépendra donc de l'environnement dans lequel il se trouve. A titre d'exemple, la puissance d'émission d'un système de communication dépendra de l'état du spectre fréquentiel dans lequel doit communiquer le système (voir partie suivante sur la radio cognitive).

Les systèmes produits deviennent donc mixtes et complexes, ce qui impose de nouvelles contraintes aux architectes et développeurs :

- **Prédictibilité des systèmes** : Alors qu'il était relativement aisé de prédire le comportement d'un système monoprocesseur, prédire le comportement d'un système hétérogène à multiprocesseurs devient impossible. La simulation reste le seul moyen d'analyser le comportement global de l'équipement et ainsi valider son fonctionnement dans divers scénarios et modes de fonctionnement.
- **Optimisation** : L'optimisation doit maintenant se faire au niveau du système global. Il faut pouvoir tester et valider plusieurs politiques de réduction de la consommation, et vérifier son impact sur le système global.
- **Prospection** : Les nouvelles contraintes de réalisation citées précédemment rendent impossible ou extrêmement coûteuse la prospection de plusieurs architectures pour un système donné. Le dimensionnement d'architectures doit en effet maintenant prendre en compte des contraintes purement fonctionnelles (empreinte mémoire, puissance des processeurs, etc.) mais également des contraintes physiques telles que la consommation, la dissipation thermique (dimensionnement des systèmes de refroidissement) ou les contraintes de réalisation (placement des composants).

### 1.3 *L'évolution vers la radio cognitive*

Le domaine d'application des circuits auxquels je m'intéresse est essentiellement celui des radiocommunications. Or le nouveau challenge pour une utilisation optimisée des ressources radio est la mise en place de la Radio Cognitive.

Avec la prolifération des appareils sans fil, le spectre de fréquence disponible pour communiquer est devenu rare et onéreux. Le spectre réglementé est surchargé mais tous les canaux ne sont pas utilisés tout le temps d'où la recherche d'une nouvelle technologie qui permettrait à l'élément communicant d'identifier le spectre disponible et d'adapter son utilisation du spectre en fonction.

La Radio cognitive attire les industriels du domaine, les instances de régulation (ETSI, IEEE) et les institutions académiques car elle promet une utilisation du spectre très efficace et un accroissement des capacités des systèmes grâce à :

- Une exploitation duale du spectre par un usage opportuniste de celui-ci en plus de l'exploitation classique.
- Un appareil portable connaissant son environnement hétérogène (contexte radio et contexte applicatif) et qui peut adapter dynamiquement ses paramètres pour atteindre la bonne fonctionnalité de façon optimum.

La mise en œuvre de la radio cognitive présente de nombreux challenges à tous les niveaux : aspects système, contrôle et pilotage de la connaissance de l'environnement, sécurité. Pour la partie interface radio reconfigurable, les difficultés proviennent de :

- La largeur du spectre couvert : la radio cognitive (RC) doit être capable de scruter et de communiquer dans une plage de 10MHz à 10GHz.
- La non connaissance à priori des interférents, les systèmes RC doivent tolérer divers interférents pouvant apparaître dans ces bandes.

Les challenges au niveau circuit incluent l'amplification large bande, l'intermodulation du aux harmoniques de l'oscillateur local (LO), la synthèse LO multi-décade et la détection du spectre avec l'aide de fonction analogiques et RF dans un récepteur [51]. La performance de la détection est limitée par celle du CAN : plus la bande à détecter est large, plus la fréquence d'échantillonnage et la dynamique du CAN doivent être élevées. Une solution de CAN très large bande, rapide et précise pour la radio cognitive est déjà en cours d'étude dans le groupe SIAM [52].

### 1.4 *L'évolution de l'industrie électronique en Europe*

Nos développements de circuits se font en phase avec l'industrie électronique et très souvent en partenariat avec elle. Pour la fonderie de nos circuits, nous avons accès aux technologies de STM Crolles via le CMP (Chip Multi Project). Et pour la recherche, nous échangeons avec les centres de R&D. Or nous constatons la raréfaction des fonderies en technologie avancée et des unités de recherche en technologie en Europe et la concentration

des centres de R&D si bien que nos interlocuteurs et partenaires industriels sont de moins en moins nombreux. Les équipes restantes sont excellentes mais sont dans une logique de rationalisation et ne peuvent plus se permettre de recherche à long terme.

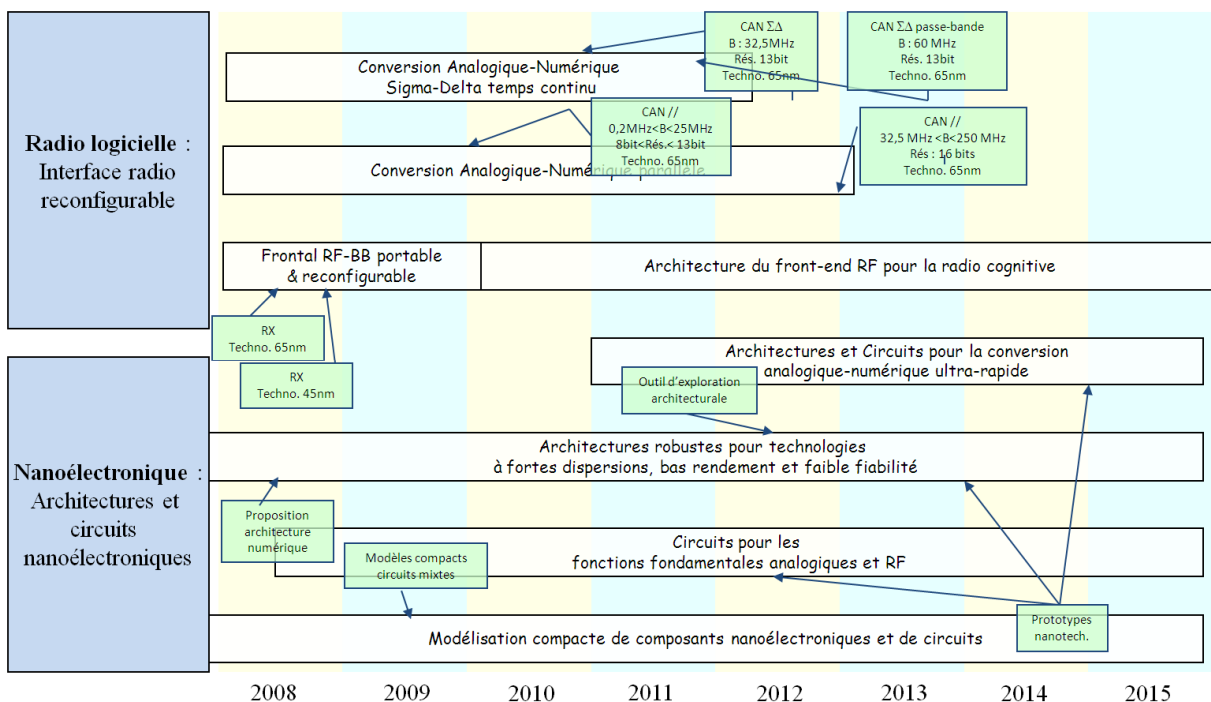
Ce contexte n'est pas mobilisateur pour les étudiants (élèves ou doctorants) et n'est pas très rassurant pour notre activité. Néanmoins, nous avons encore de belles opportunités de collaboration qui s'ouvrent lorsque l'industriel veut nous faire participer à son activité de recherche. Nous discutons actuellement de la formation d'un laboratoire commun entre notre groupe SIAM et NXP Caen sur les activités de CAN large bande pour les stations de base.

## 2 PLAN DE RECHERCHE DU GROUPE SIAM

Aujourd'hui le groupe SIAM est composé de 6 permanents :

- 5 enseignants-chercheurs : Patrick Loumeau (coordinateur, HDR, professeur), Jean-François Naviner (HDR), Van Tam Nguyen (docteur), Hervé Petit (docteur) et moi-même
- 1 ingénieur de recherche : Hussein Fakhoury

Le groupe compte également 1 ou 2 post doctorants, 7 à 10 doctorants et 1 à 3 stagiaires, ce qui établit l'effectif total du groupe entre 15 et 20 personnes.



**Figure 42 Plan de recherche du groupe Systèmes Intégrés Analogiques et Mixtes.**

Nous avons défini un plan de recherche permettant une meilleure lisibilité de notre action et présentant nos principaux objectifs de recherche. La version actuelle de ce plan de recherche est présentée dans la Figure 42. Deux axes principaux sont mis en évidence :

- La radio logicielle ou plus précisément l'interface radio reconfigurable (SDR) nécessaire pour la radio logicielle et demain pour la radio cognitive.
- La nanoélectronique ou plus précisément les architectures et les circuits nanoélectroniques : promesses et challenges.

Sur l'axe de la radio logicielle, on trouve en 2008 des travaux sur les récepteurs reconfigurables pour terminaux mobiles [53] qui sont un prolongement des travaux sur l'échantillonnage RF (II-D-1). Puis nos objectifs sont présentés : il s'agit de poursuivre dans la Conversion Analogique Numérique (CAN) large bande et les architectures du front-end RF pour la radio cognitive. Pour la technologie, nous privilégions toujours les technologies CMOS avancées pour les gains de performances. Pour les architectures, nous étudions plusieurs alternatives prometteuses pour les applications large bande : la CAN sigma-delta à temps continu [54], la CAN parallèle [55] [56] et la CAN  $\Sigma\Delta$  passe-bande [57].

Sur l'axe des nanotechnologies, on trouve les travaux sur l'évaluation des possibilités de nouvelles technologies pour la réalisation de fonctions analogiques et radiofréquences (II-C) et la définition d'architectures fiables en technologies à l'échelle nanométriques [58]. La fiabilité est devenue un critère de performance pour les circuits nanoélectroniques : elle doit être spécifiée, évaluée, contrôlée et elle implique des compromis avec la consommation, la surface. Notre objectif est donc de poursuivre dans la conception d'architectures fiabilisées, ceci grâce à la modélisation des mécanismes de dégradation, la création d'outil d'exploration architectural et le développement d'une méthodologie de synthèse de frontal de radiocommunications fiabilisé [59].

### **3 MES NOUVEAUX PROJETS**

Mes nouveaux projets qui démarrent en 2010 ou qui sont en cours de montage ou d'évaluation s'inscrivent dans le plan de recherche du groupe SIAM. Le thème modélisation comportementale est un axe de recherche transverse important aussi bien dans la conception pour la radio cognitive que dans l'étude et la fiabilisation des circuits nanoélectroniques.

#### *3.1 PANAMA*

L'objectif global et les partenaires du projet PANAMA (Power Amplifiers and Antennas for Mobile Applications) sont présentés dans la partie A-3.5. Ce projet nous offre l'opportunité de travailler sur la CAN large bande dans le contexte de la linéarisation des PAs dans les stations de base multimode. L'enjeu est de récupérer une bande extrêmement large (jusqu'à 100MHz et plus) en sortie du PA pour analyser la distorsion et apporter une correction en amont du PA. Pour que la correction soit efficace, il est nécessaire que la linéarité du convertisseur soit élevée en rapport avec la linéarité finale visée pour le PA.

Pour parvenir à innover sur une architecture de CAN répondant aux objectifs, nous allons mener une étude sur la boucle complète de linéarisation dans le frontal d'émission multimode : de la partie RF aux algorithmes numériques de calcul de la correction. De cette analyse, nous déduirons une possibilité d'innovation d'architecture qui sera démontrée par sa conception et sa réalisation effective dans une technologie CMOS récente.

L'architecture qui semble prometteuse pour ce projet est le CAN sigma-delta passe bande temps continu.

### 3.2 *Collaboration avec NXP*

L'intérêt de travailler avec un industriel de la microélectronique tel que NXP est de faire avancer nos recherches dans un contexte applicatif, d'avoir accès à leur technologie et à leur savoir-faire pratique, et de bénéficier si nécessaire de leurs importants moyens de test. Nous souhaitons donc collaborer avec NXP sur la majorité de nos activités futures sur la conversion large bande.

Nous démarrons une thèse Cifre sur la conception d'un CAN hautes performances (16 bits à 500 MS/s) pour les récepteurs des stations de base. Après une première phase d'étude bibliographique, l'architecture retenue est une architecture pipeline à entrelacement temporel. Plusieurs voies d'innovation pourront être explorées pour cette architecture : méthodes de calibration, réduction de la dispersion sur les horloges, reconfigurabilité.

NXP a participé à la spécification d'un autre de nos projets sur la conversion large bande : un convertisseur sigma delta passe bas en temps continu réalisé en technologie CMOS 65nm. Pour ce circuit, nous visons un facteur de mérite au-delà de l'état de l'art actuel.

D'autres possibilités de projets sont en cours de discussion sur la CAN sigma-delta passe bande temps continu ou d'autres architectures à définir.

### 3.3 *SOPHIE*

Pour conserver les deux axes, conception et modélisation, qui sont complémentaires dans ma stratégie de recherche, j'ai participé au montage d'un projet sur la modélisation et la simulation de systèmes embarqués hétérogènes avec estimation précoce de la consommation. L'acronyme du projet est SOPHIE (Simulation Of Power-aware Heterogeneous IPs for Embedded AMS).

C'est un projet de plateforme ANR destiné à doter les entreprises et les laboratoires de micro-électronique ou ayant de fortes interactions avec ce domaine d'un environnement de conception complet permettant de modéliser et de simuler des systèmes hétérogènes complexes à haut niveau d'abstraction, avec un fort accent sur l'estimation précoce de leur consommation énergétique. Il rassemble 6 partenaires industriels et 10 partenaires académiques. La plus grande partie du projet consiste à développer une bibliothèque libre de droits de modèles de simulation multi-disciplines (numérique, analogique, RF, mécanique,

chimique, optique, biologique, etc.) en SystemC/SoCLib/SystemC-AMS. Cette bibliothèque, ainsi que les outils associés, pourront être utilisés par les grands groupes industriels, les PME et les laboratoires de recherche pour modéliser et simuler des applications représentatives, pour créer des spécifications exécutables de systèmes, pour en faire l'exploration architecturale grâce au prototypage virtuel, et enfin pour procéder à leur validation fonctionnelle et non fonctionnelle, en prenant par exemple en considération un budget énergétique réduit.

Dans ce projet, notre équipe est responsable des modèles dont elle maîtrise bien la conception : CAN sigma-delta, oscillateur, ADPLL, échantillonneur ou dont elle l'a déjà une expérience de modélisation : générateur de bruit. Ce projet s'appuie sur les acquis en modélisation obtenus lors de travaux précédents en VHDL-AMS (partie B) mais amène de nouveaux challenges très importants avec une mise en œuvre pertinente de SystemC-AMS comme langage de modélisation de systèmes analogiques et mixtes et une modélisation de la consommation indépendamment de la technologie.

Ce projet a été soumis à l'appel à projets ANR-ARPEGE le 22/02/2010 et il est actuellement en cours d'évaluation.

#### **4 PROJET DE CROISSANCE**

Le marché de la nanoélectronique est international et les demandes de projets de recherche en technologie nanoélectronique sont en forte croissance, aussi bien en Europe qu'ailleurs au Canada et aux États-Unis. La tendance actuelle du marché démontre que la production de masse s'effectue de plus en plus en Asie. En revanche, la conception et l'innovation technologique pour des nouveaux produits et services tendent à se raffiner de ce côté-ci de la planète, ce qui est très prometteur pour les projets de conception en nanoélectronique.

Nous souhaitons continuer à innover avec les technologies CMOS avancés. Cela pose des difficultés techniques précédemment détaillées. Pour faire aboutir des projets ambitieux, il est plus que jamais nécessaire :

- d'être nombreux et complémentaires pour capitaliser un savoir-faire sur la réalisation des circuits
- de disposer des logiciels adéquats
- de disposer de grandes puissances de calcul pour les simulations et les vérifications
- et de pouvoir tester nos circuits avec des générateurs et appareils de mesure performants.

D'autre part, le prix du  $\text{mm}^2$  de circuits intégrés a explosé avec les dernières technologies : 10k€ pour le CMOS 65nm, 15k€ pour le CMOS 45nm. Ils peuvent être financés par des projets de recherche ou des partenariats avec des industriels mais il est de plus en plus difficile de disposer d'un budget non fléché pour tester des idées plus amont.

En conséquence, nous souhaitons créer un centre de conception en technologie avancée où nous pouvons accueillir et former des experts polyvalents, créatifs et réactifs dans un centre de conception à la hauteur de ces ambitions. Ce centre permettra de s'adapter aux prochains défis du secteur de la nanoélectronique afin de produire des applications inédites.

Pour cela, nous avons un plan de croissance quantitatif en permanents, ingénieurs de recherche, post docs et doctorants. Nous souhaitons investir dans des stations de conception, des logiciels et des moyens de test afin de doubler notre production de prototypes intégrés testés avec succès. La qualité sera mise en évidence par la croissance de la communication de nos travaux via les meilleures conférences ou revues du domaine (meilleure maîtrise du cycle de conception et de l'usage des outils) et par un nombre accru de brevets.

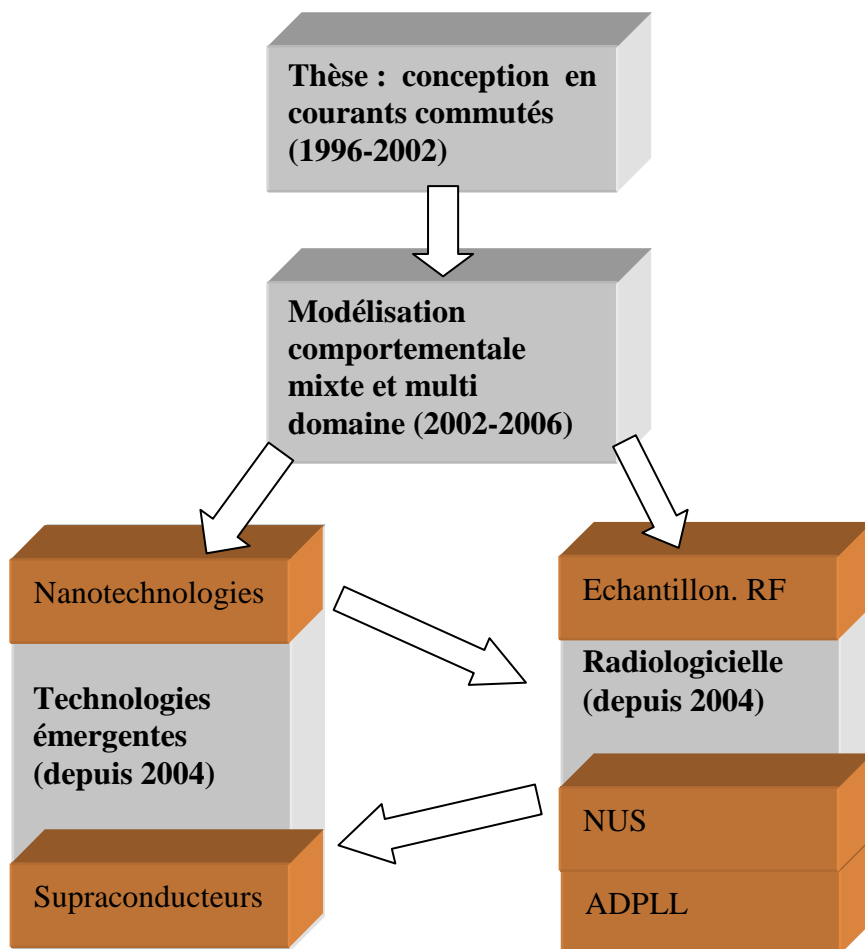
Finalement, l'atteinte de ces objectifs aura pour conséquence une meilleure visibilité internationale renforçant notre attractivité auprès de partenaires industriels et académiques dans le cadre de projets nationaux ou européens. Cette implication contractuelle renforcée dans des projets dont la finalité comporte le plus souvent une intégration matérielle sera rendue possible par notre capacité à mettre en œuvre rapidement et efficacement toutes les ressources de conception de systèmes électroniques mixtes adaptées aux technologies les plus récentes.

Nous atteindrons notre objectif grâce à un soutien de notre tutelle, l'Institut Télécom, grâce à nos projets de recherche et grâce à notre nouveau partenariat très prometteur avec NXP.



## Conclusion

Mes thèmes de recherche et leur lien chronologique sont résumés sur le schéma de la Figure 43.



**Figure 43 Synthèse des thèmes de recherche**

Il apparaît que la première phase dans la continuité de la thèse est consacrée à la conception. Suivent 4 années de recherche en modélisation et méthodologie associée. Ces deux premières phases exclusives étaient nécessaires pour acquérir un certain niveau d'expertise. Puis depuis 2004, le graphe montre que j'essaie de mener de front les deux sujets

modélisation et conception en effectuant des allers-retours entre les études sur les nouvelles technologies et les études sur la conception en CMOS.

L'originalité de ma démarche est donc de **mener en parallèle et de façon complémentaire des activités en modélisation et en conception.**

Les réalisations effectuées dans le domaine de la modélisation sont : simulation mixte analogique/numérique, simulation hybride multi technologique (surtout composants optoélectroniques), méthodologie associée, modèles compacts de nouveaux composants pour l'électronique, avec un apport dans la remontée de contraintes (ou modèles) physiques dans des simulations circuit ou système.

Les réalisations effectuées dans le domaine de la conception adressent les thèmes : co-conception optimisée du récepteur RF, échantillonnage RF, apport du NUS, portabilité des architectures, allègement des contraintes de la partie analogique par plus de traitements numériques.

Cette stratégie de recherche présente l'avantage d'offrir une vue globale qui rend efficace les développements (en particulier la modélisation pour la conception) et permet d'être un chaînon d'innovation entre les technologues et les systémiers ce qui me paraît un rôle fondamental pour la recherche en systèmes analogiques et mixtes.

Les points forts de cette démarche sont :

- En modélisation, de pouvoir remonter des contraintes technologiques bas niveau dans des modèles haut niveau pour la simulation des systèmes.
- En conception, d'innover sur les architectures en connaissant précisément l'incidence (le gain possible et faisabilité) sur chaque circuit élémentaire qui compose l'architecture.

Cette démarche résulte de choix partagés avec mon groupe de recherche et s'appuie sur de nombreuses coopérations dans des projets ou des contrats.

L'objectif principal de mes futures recherches est de poursuivre l'amélioration des systèmes AMS et RF qui constituent l'interface entre l'antenne et le traitement numérique du signal RF. Pour répondre aux défis des télécommunications de demain et offrir un plus grand débit pour une consommation maîtrisée, l'enjeu en conception sera de développer une approche système pour continuer à innover dans la conception et d'augmenter la reconfigurabilité. Pour les outils, il faut modéliser et simuler des systèmes complexes à haut niveau d'abstraction : des composants logiciels et matériels, ces derniers pouvant être numériques, analogiques ou radiofréquences.

Et pour créer les conditions les plus favorables de réussite de notre projet, nous avons l'ambition de créer un pôle d'excellence en conception en technologie avancée.

## F. Bibliographie

- [1] P. RIFFAUD, G. TOURNEUR, E. GARNIER, et P. ROUX, “Charge injection error reduction circuit for switched-current systems”, *Electronics Letters*, vol. 33, no. 20, pp. 1689-1691, Sept. 1997.
- [2] P. RIFFAUD-DESGREYS, E. GARNIER, P. ROUX, et P. MARCHEGAY, “A New Structure of Algorithmic DAC in Switched-Current Technique”, *IEE Int. Conf. on Advanced A/D and D/A Conversion Techniques and their Applications*, Glasgow, UK, 26-28 Juil. 1999.
- [3] P. DESGREYS, A. TAUVEL and P. LOUMEAU, “SC and SI Techniques Performances Faced with Technological Advances”, in *Proc. IEEE Int. Conf. Electronics, Circuits and Systems*, Dubrovnik, Sept. 2002.
- [4] V.T. NGUYEN, P. DESGREYS, P. LOUMEAU et J.F. NAVINER, « Noise Analysis in High-Pass  $\Delta\Sigma$  modulator », *IEEE IMTC06*, Sorrento, Italie, Avril 2006.
- [5] S. PEYCHET, P. DESGREYS et C. WARE, « Simulation of jitter in an optoelectronic PLL with VHDL-AMS », *DCIS05*, Lisbonne, Portugal, Nov. 2005.
- [6] S. PEYCHET, P. DESGREYS et C. WARE, « Optoelectronic PLL simulation and optimization with VHDL-AMS », *IEEE Int. Conf. on Industrial Technology ICIT-04*, Hammamet, Tunisie, Déc. 2004.
- [7] Z. TOFFANO, M. PEZ, P. DESGREYS, Y. HERVÉ *et al.* , “Multilevel Behavioral Simulation of VCSEL-based Optoelectronic Modules”, *IEEE Journal of Selected Topics in Quantum Electronics*, Vol. 9, No. 3, pp. 949-960, mai-juin 2003.
- [8] P. DESGREYS, M. KARRAY, J-J. CHARLOT and Y. HERVÉ, “Opto-Electro-Thermal Model of a VCSEL array using VHDL-AMS”, in *Proc. IEEE Int. Workshop on Behavioral, Modeling and Simulation*, Santa Rosa, CA, Oct. 2002.
- [9] M. KARRAY, P. DESGREYS et J-J. CHARLOT, “Electro-Thermal Model Of An Optical Transmitter”, *IEEE Int. Conf. on Industrial Technology ICIT-03*, Maribor, Slovénie, Déc. 2003.
- [10] P. DESGREYS, M. KARRAY, S. SNAIDERO, Y. HERVÉ et J. OUDINOT, “SoC modelling for virtual prototyping with VHDL-AMS”, *FDL'04*, Lille, Sept. 2004.

- [11] Y. HERVÉ and P. DESGREYS, ““Functional Virtual Prototyping” Design Flow and VHDL-AMS”, *FDL06*, Darmstadt, Germany, Sept. 2006.
- [12] Y. HERVÉ and P. DESGREYS, “ Behavioral model of Parallel Optical Modules”, in *Proc. IEEE Int. Workshop on Behavioral, Modeling and Simulation*, Santa Rosa, CA, Oct. 2002.
- [13] D. P. NACKASHI, C. J. AMSINCK, N. H. DiSPIGNA and P. D. FRANZON, “Molecular Electronic Latches and Memories”, *IEEE Conf. on Nanotechnology*, Nagoya, Japan, July 2005.
- [14] W.Y. LEE, C.Y. LAI, C.H. WENG, Z.Y. JUANG, K.C. LEOU, K.S. CHANG-LIAO and C.H. TSAI, “Electrical Characteristics of CNT-FETs with Symmetric Field-Effect-Free-on Source and Drain”, *IEEE Conf. on Emerging Technologies - Nanoelectronics*, pp. 392-395, January 2006.
- [15] A. NAEEMI and J.D. MEINDL, “Monolayer Metallic Nanotube Interconnects: Promising Candidates for Short Local Interconnects”, *IEEE Electron Device Letters*, vol. 26, no. 8, august 2005.
- [16] A. RAYCHOWDHURY, S. MUKHOPADHYAY et K. ROY, "A circuit-compatible model of ballistic carbon nanotube field effect transistors", *IEEE Trans. on Computer-Aided Design of ICS*, vol. 23, n°10, Oct. 2004
- [17] P. DESGREYS, J. GOMES DA SILVA and D. ROBERT, «Dispersion Impact on Ballistic CNTFET N+-I-N+ Performances», *ENS06*, Paris, Déc. 2006.
- [18] P. J. BURKE, “AC Performance of Nanoelectronics: Towards a THz Nanotube Transistor”, *Solid State Electronics*, vol. 40, pp. 1981-1986, 2004.
- [19] J. M. BETHOUX, H. HAPPY, G. DAMBRINE, V. DERYCKE, M. GOFFMAN and J.P. BOURGOIN, “An 8-GHz ft Carbon Nanotube Field-Effect Transistor for Gigahertz Range Applications”, *IEEE Electron Device Letters*, vol. 27, no. 8, august 2006.
- [20] S.D. HAMIEH, P. DESGREYS and J.F. NAVINER, “Scattering effects on the performance of carbon nanotube field effect transistor in a compact model”, *The European Physical Journal B*, DOI: 10.1140/epjb/e2009-00434-6, Dec. 2009.
- [21] R. GUELAZ, P. DESGREYS and P. LOUMEAU, “Wide-Band Sigma–Delta ADC Design in Superconducting Technology”, in *Languages for Embedded Systems and their Applications*, DOI: 10.1007/978-1-4020-9714-0, Springer publishing, chap. 7, pp.101-112, 2009.

- [22] M. SLIMANI, R. GUELAZ, P. DESGREYS and P. LOUMEAU, “Decimation filter design for RSFQ  $\Sigma\Delta$  converter”, *IEEE NEWCAS-TAISA09*, Toulouse, July 2009.
- [23] R. SCHREIER and W. M. SNELGROVE, “Decimation for bandpass sigma-delta analog-to-digital conversion,” *IEEE Int. Symp. On Circuits and Systems*, vol. 3, pp. 1801-1804, New Orleans, May 1990.
- [24] H. GASSARA, R. GUELAZ, P. DESGREYS, P. LOUMEAU and P. FEBVRE, “Design of an I/Q Mixer for Bandpass  $\Delta\Sigma$  ADC in Superconducting Technology”, *Euroflux2009 international conference*, Avignon, September 2009.
- [25] K.K. LIKHAREV and V.K. SEMENOV, “RSFQ logic/ Memory family: a new Josephson Junction Technology for sub-Terahertz-Clock-frequency Digital Systems”, *IEEE transactions on applied superconductivity*, vol. 1, no 1, March 1991.
- [26] Mohamed Anis LATIRI, “Architecture et conception de récepteur reconfigurable à échantillonnage RF pour les applications multistandard”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Juillet 2008.
- [27] A. LATIRI, L. JOET, P. DESGREYS and P. LOUMEAU, « A Reconfigurable RF Sampling Receiver for Multistandard », *Comptes Rendus Physique "Towards reconfigurable and cognitive communications"*, DOI : 10.1016/j.crhy.2006.07.007, vol. 7, n° 7, pp.785-793, Sept. 2006.
- [28] A. LATIRI, L. JOET, P. DESGREYS and P. LOUMEAU, “Passive second-order anti-aliasing filter for RF sampling based receivers”, *IEE Electronics Letters*, vol. 43, no. 1, Jan. 2007.
- [29] A. A. ABIDI, “The path to the software-defined radio receiver”, *Solid-State Circuits, IEEE Journal of*, 42(5):954–966, 2007.
- [30] L. JOET, A. DEZZANI, F. MONTAUDON, F. BADETS *et al*, “Advanced ‘fs/2’ discrete-time gsm receiver in 90-nm cmos”, *In Proc. IEEE Asian Solid-State Circuits Conference ASSCC 2006*, pages 371–374, Nov. 2006.
- [31] K. MUHAMMAD, Y.-C. HO, Jr. MAYHUGH, T.L., C.-M. HUNG *et al*, “The first fully integrated quadband gsm/gprs receiver in a 90-nm digital cmos process”, *Solid-State Circuits, IEEE Journal of*, 41(8):1772–1783, Aug. 2006.
- [32] S. KARVONEN, T.A.D. RILEY, and J. KOSTAMOVAARA, “Charge-domain fir sampler with programmable filtering coefficients”, *Circuits and Systems II: Express Briefs*,

*IEEE Transactions on* [see also *Circuits and Systems II: Analog and Digital Signal Processing*, *IEEE Transactions on*], 53(3):192–196, March 2006.

- [33] Manel BEN ROMDHANE, “Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard”, Doctorat en Technologies de l’information et des Communications, co-tutelle entre l’Ecole Supérieure des Communications de Tunis et l’Ecole Nationale Supérieure des Télécommunications de Paris, Février 2009.
- [34] C. REBAI, M. BEN-ROMDHANE, P. DESGREYS, P. LOUMEAU and A. GHAZEL, “Pseudorandom signal sampler for relaxed design of multistandard radio receiver”, *Microelectronics Journal*, DOI: 10.1016/j.mejo.2009.01.010, vol. 40, pp.991-999, June 2009.
- [35] Y. ARTYUKH, I. BILINSKIS, E. BOOLE, A. RYBAKOV and V. VEDIN, “Wideband RF Signal Digitizing for High Purity Spectral Analysis”, *The 2005 International Workshop on Spectral methods and Multirate Signal Processing*, June 2005.
- [36] I. BILINSKIS and A. MIKELSONS, “Randomized Signal Processing”, *Prentice Hall*, 1992, ISBN 0137510748.
- [37] J.J. WOJTIUK, “Randomized Sampling for Radio Design”, PhD Thesis, University of South Australia, School of Electrical and Information Engineering, March 2000.
- [38] M. BEN-ROMDHANE, C. REBAI, P. DESGREYS, A. GHAZEL and P. LOUMEAU, “Flexible Baseband Analog Front-end for NUS based Multistandard Receiver”, *IEEE NEWCAS-TAISA09*, Toulouse, July 2009.
- [39] M. BEN-ROMDHANE, C. REBAI, K. GRATI, A. GHAZEL, G. HECHMI, P. DESGREYS and P. LOUMEAU, “Non-Uniform Sampled Signal Reconstruction for Multistandard WiMAX/WiFi Receiver”, *IEEE Int. Conf. on Signal Processing and Communications ICSPC07*, Dubaï, United Arab Emirates, Nov. 2007
- [40] Wissam ALTABBAN, “Conception portable d’une ADPLL pour des applications TV”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Décembre 2009.
- [41] W. ALTABBAN, P. DESGREYS and H. PETIT, “Behavioral Model of LC VCO with LTV Phase Noise in VHDL-AMS”, *Transactions on Systems, Signals and Devices*, Shaker publishing, vol. 3, no. 4, pp. 445-468, Dec. 2008.
- [42] R. B. STASZEWSKI, K. MUHAMMAD, D. LEIPOLD, C.-M. HUNG *et al*, “All-digital TX frequency synthesizer and discrete-time receiver for bluetooth radio in 130-nm

CMOS”, *IEEE Journal of Solid-State Circuits*, 39(12):2278-2291, Dec. 2004.

- [43] A. HAJIMIRI and T. H. LEE, “A general theory of phase noise in electrical oscillators”, *IEEE Journal of Solid-State Circuits*, 33(2):179-194, feb 1998.
- [44] D. HAM and A. HAJIMIRI, “Concepts and methods in optimization of integrated LC VCOs”, *IEEE Journal of Solid-State Circuits*, 36(6):896-909, June 2001.
- [45] W. ALTABBAN, P. DESGREYS, H. PETIT, K. BEN KALAIA and L. ROLLAND DU ROSCOAT, “Merged Digitally Controlled Oscillator and Time to Digital Converter for TV band ADPLL”, *IEEE International Symposium on Circuits and Systems ISCAS'10*, Paris, June 2010.
- [46] J. D. VAN DER TANG, D. KASPERKOVITZ and A. VAN ROERMUND, “A 9.8-11.5-GHz quadrature ring oscillator for optical receivers,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 3, pp. 438–442, Mar 2002.
- [47] M. GROZING, B. PHILLIP and M. BERROTH, “CMOS ring oscillator with quadrature outputs and 100 MHz to 3.5 GHz tuning range,” *Proceedings of the 29<sup>th</sup> European Solid-State Circuits Conference, ESSCIRC '03*, pp. 679–682, Sept. 2003,.
- [48] Y. A. EKEN and J. P. UYEMURA, “The design of a 14 GHz I/Q ring oscillator in 0.18  $\mu\text{m}$  CMOS,” *Proceedings IEEE International Symposium on Circuits and Systems ISCAS'04*, vol. 4, pp. IV–133–6, May 2004.
- [49] J. TIerno, A. RYLYAKOV and D. FRIEDMAN, “A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 1, pp. 42–51, Jan. 2008.
- [50] O. NIZHNIK, R. K. POKHAREL, H. KANAYA and K. YOSHIDA, “Low Noise Wide Tuning Range Quadrature Ring Oscillator for Multi-Standard Transceiver”, *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 7, pp.470–472, July 2009.
- [51] B. Razavi, “Challenges in the Design of Cognitive Radios”, *IEEE Custom Integrated Circuits Conference CICC'09*, pp. 391-398, San Jose, CA, Sept. 2009.
- [52] A. Gruget, M. Roger, V. T. Nguyen, C. Lelandais-Perrault, P. Bénabès and P. Loumeau, “Wide-band multipath A to D converter for Cognitive Radio applications”, *IEEE IMWS on RF Front-ends for Software Defined and Cognitive Radio Solutions*, pp. 1-4, Aveiro, Portugal, Feb. 2010.
- [53] Rayan Mina, “Etude des architectures échantillonnées de réception radio en

technologies CMOS submicroniques avancées”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Décembre 2008.

- [54] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, “A 20-mW 640-MHz CMOS Continuous-Time  $\Sigma\Delta$  ADC with 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB”, IEEE Journal of Solid-State Circuits, vol. 41, no. 12, pp. 2641-2649, Dec. 2006.
- [55] H. Fakhoury, C. Jabbour, H. Khushk, V. T. Nguyen and P. Loumeau, “A 65nm CMOS EDGE/UMTS/WLAN Tri-Mode Four-Channel Time-Interleaved  $\Sigma\Delta$  ADC”, Joint Conference IEEE NEWCAS - TAISA'09, Toulouse, France, Juin 2009.
- [56] S. M. Louwsma, A. J. M. van Tuijl, M. Vertregt and B. Nauta, “A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13  $\mu\text{m}$  CMOS”, IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 778-786, April 2008.
- [57] J. Ryckaert, J. Borremans, B. Verbruggen, L. Bos, C. Armiento, J. Craninckx and G. Van der Plas, “[A 2.4 GHz Low-Power Sixth-Order RF Bandpass  \$\Delta\Sigma\$  Converter in CMOS](#)”, IEEE Journal of Solid-State Circuits, vol. 44, no. 11, pp. 2873-2880, Nov. 2009.
- [58] Denis Teixeira Franco, “ Fiabilité du Signal des Circuits Logiques Combinatoires sous Fautes Simultanées Multiples”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Novembre 2008.
- [59] P. M. Ferreira, H. Petit and J.-F. Naviner, “AMS and RF Design for Reliability Methodology”, IEEE International Symposium on Circuits and Systems ISCAS'10, Paris, June 2010.





# **ANNEXE A**

## **SYNTHESE DES ACTIVITES D'ENSEIGNEMENT**



## Introduction

Mes activités d'enseignement portent essentiellement sur la microélectronique et depuis peu sur la nanoélectronique pour les systèmes d'acquisition de l'information. Mon spectre d'enseignement est assez large (du composant au système en passant par les outils et les méthodes) dans un domaine limité mais essentiel : les fonctions analogiques et mixtes des chaînes de radiocommunications.

Depuis l'obtention de l'agrégation de physique appliquée en 1995, j'ai toujours conservé un volume conséquent d'enseignement par goût et par aptitude : c'est une activité faite d'échanges mutuellement enrichissants avec les étudiants. Mes premiers enseignements ont consisté en des vacances d'informatique (20h de langage C) à l'université de Bordeaux I en 1995-96, puis j'ai obtenu un poste de monitrice à l'ENSEIRB (Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications de Bordeaux) en 1996-99 durant lequel j'ai accompli 3X 96h de travaux pratiques en première année en physique et en électronique. Au cours de ces trois années, j'ai bénéficié d'une formation complémentaire auprès du CIES (Centre d'Initiation à l'Enseignement Supérieur) sur la pédagogie et sur la communication orale. En 1999-00, j'ai continué sur un demi-poste d'ATER à l'ENSEIRB avec 144h de travaux pratiques et plus de responsabilités : proposition de nouveaux énoncés, gestion de la salle.

Je vais détailler à présent les enseignements que je délivre depuis octobre 2000 à Télécom Paristech en formation initiale du cycle d'ingénieur et en formation master. Ces enseignements occupent une grande partie de mon temps (40%), ils ne sont pas répétitifs (peu de séances identiques) et ils sont souvent renouvelés (tous les 2 ou 3 ans) à l'occasion de réformes imposées par la direction de la formation initiale ou par notre propre volonté de s'adapter en permanence au contexte (l'évolution des connaissances, ce que recherche les entreprises, ce que recherche les étudiants).

Ce chapitre a pour objectif de montrer les contenus résumés et les volumes de mes enseignements en soulignant les créations et les renouvellements.

---

# A. Enseignement à Télécom ParisTech (depuis 2000).

## 1 FORMATION D'INGENIEUR

Mes enseignements en formation initiale pour les élèves ingénieurs à Télécom ParisTech se sont mis en place progressivement sur 2000-2002.

Je vais décrire pour chaque module un bref historique, le contenu actuel de l'enseignement et les volumes globaux, ainsi que mon implication personnelle.

### 1.1 *Electronique des Systèmes d'Acquisition (ESA)*

Le module ESA est un **module de tronc commun de 1<sup>ère</sup> année** du cycle d'ingénieur. Historiquement ce module s'appelait Electronique Analogique Intégrée (jusqu'en 2007) et il constituait une base de connaissance en électronique analogique avec une construction 'bottom up' de l'enseignement : transistors, montages élémentaires, amplificateurs opérationnels, circuits à capacités commutées, filtres et convertisseurs. Ce module était autrefois suivi de dominantes et d'options qui permettaient de poursuivre vers les systèmes radiofréquences.

Avec la réforme des enseignements de 2<sup>ème</sup> et 3<sup>ème</sup> année et la mise en place du cycle optionnel unifié (COU) en 2001, l'organisation du module EAI s'est révélée ne plus être pertinente. En effet, depuis 2001, les étudiants de 2<sup>ème</sup> et 3<sup>ème</sup> année sont libres de choisir leurs modules d'enseignement parmi un catalogue de 80 modules avec deux conséquences :

- l'affaiblissement de la notion de progressivité des enseignements sur les 3 années
- un nombre moins important d'étudiants en électronique (en 2<sup>ème</sup> et 3<sup>ème</sup> année) au profit selon les perspectives d'emploi, des enseignements d'informatique/réseaux ou de mathématiques financières.

De plus au fil des ans, la place consacrée à l'électronique dans le tronc commun de 1<sup>ère</sup> année a diminué. Nous avons donc transformé cet enseignement en 2007 pour Electronique des Systèmes d'Acquisition.

**Contenu actuel :** <http://perso.telecom-paristech.fr/~desgreys/enseignement/elec101/>

En résumé, nous avons recentré le module sur une approche 'systèmes électroniques', quelles sont les fonctions indispensables dans les interfaces analogiques numériques et description en termes de fonctionnalité et de performances de ces fonctions analogiques et mixtes : échantillonnage/blocage, amplification, filtrage et conversion.

Pour chaque fonction, nous effectuons un cours, un TD et un TP.

Les points forts de cet enseignement sont le développement d'un exemple filé de système d'acquisition tout au long du module (modem ADSL) et une forte proportion de TP (45%) qui sont généralement appréciés des élèves.

**Etudiants concernés** : les 120 élèves admis en 1<sup>ère</sup> année + 20 élèves admis en 2<sup>nde</sup> année dont les bases en électronique sont jugées insuffisantes en fonction de leur cursus antérieur.

**Volume total** : 33 h dont une majorité en groupe (avec 6 groupes d'élèves)

**Nombre d'intervenants** : 5

**Implication personnelle** : je coordonne ce module depuis septembre 2008 avec deux occurrences, en T1 pour les 2<sup>ème</sup> année AST (admis sur titre) et en T2-T3 pour les 1<sup>ère</sup> année. De nombreuses tâches sont liées à cette coordination :

- Administration : emploi du temps, gestion des absences, contrôles, notes, rattrapages.
- Animation : site, mise à jour, passage en anglais des enseignements en 2009.
- participation aux conseils d'année, commissions préparatoires du comité de l'enseignement, réunions d'affectation des AST dans les modules de BCI

J'enseigne pour ce module les transformées de Laplace et en Z en amphi, puis j'encadre 1 groupe de première année et partiellement le groupe de 2<sup>ème</sup> année pour un volume annuel total de 39 heures.

### 1.2 *Base de l'Electronique Radiofréquences (BER)*

Le module BER est un **module du cycle optionnel unifié de niveau 1**, c'est-à-dire qu'il n'a pas de prérequis en dehors des enseignements de tronc commun ; en revanche, il est un prérequis de certains modules de niveau 2.

A sa création en 2001, ce module de 30h était rattaché au module ISER décrit dans la partie suivante, le tout formant un enseignement complet de 90h sur l'électronique RF et mixte des systèmes de radiocommunications. Pour augmenter la flexibilité des enseignements, ré accentuer la progressivité des enseignements entre la 2<sup>ème</sup> et la 3<sup>ème</sup> année et permettre à d'autres enseignements de niveau 2 de bénéficier des bases d'un enseignement en électronique RF, le module BER a été créé en 2006.

#### **Contenu actuel :**

L'objectif de ce module est de présenter les concepts, les architectures et les composants de base pour le frontal d'émission réception RF. Les fonctions analogiques indispensables sont identifiées et étudiées en détail : filtrage, amplification, synthèse de fréquence et conversion A/N et N/A.

A l'issue de cet enseignement, l'étudiant connaît les principaux blocs de l'électronique RF, leur mode de fonctionnement, leurs principales limitations (distorsion, bruit) et leurs impacts sur les performances d'une chaîne RF.

De plus, il sait mettre en œuvre les fonctions PLL, filtrage et conversion dans un contexte plus large de traitement analogique et mixte de l'information.

Les points forts de cet enseignement sont de commencer par une vue système des architectures RF et des contraintes de dimensionnement et de proposer des travaux pratiques sur la simulation d'un frontal de réception complet [3].

**Etudiants concernés :** 20 élèves de 2<sup>ème</sup> ou 3<sup>ème</sup> année + nos doctorants en formation doctorale.

**Volume total :** 30 h effectué avec un groupe d'élèves

**Nombre d'intervenants :** 5

**Implication personnelle :** J'ai coordonné ce module de 2001 à 2007 avec deux occurrences en P2 et P3. Dans le cycle COU, l'année est divisée en 2 semestres comprenant chacun 2 périodes, soit un total de 4 périodes : P1, P2, P3 et P4.

Comme nous ne dépassons que rarement la vingtaine d'inscrits dans ce module année après année et que nous pouvons accueillir jusqu'à 24 élèves par occurrence, nous avons décidé, à la rentrée 2009, de réduire à une seule occurrence en P2.

J'enseigne pour ce module la conversion analogique numérique et numérique analogique et j'encadre le TP sur la simulation d'un frontal de réception pour un volume annuel total de 7,5 heures en 2009-2010 (et 15 heures par an de 2001 à 2008).

### 1.3 *Intégration de Systèmes Electroniques pour les Radiocommunications (ISER)*

Le module ISER est un **module du cycle optionnel unifié de niveau 2**. Cela correspond au niveau d'expertise le plus élevé proposé aux étudiants. Les modules prérequis pour suivre cet enseignement sont BER et Communications Radiofréquences.

L'historique du module ISER est identique à celui de BER et depuis 2006, le module ISER comprend 60h sur la partie avancée de l'électronique des systèmes de radiocommunications.

#### **Contenu actuel :**

L'objectif de ce module est de présenter les systèmes de radiocommunications, les architectures et la conception RF avec une approche 'top down'.

A l'issue de cet enseignement, l'étudiant est capable de :

- analyser et/ou choisir une architecture matérielle d'émission réception RF ;
- déterminer le cahier des charges des éléments en bande de base d'une chaîne RF à partir de spécifications globales ;
- choisir les architectures des fonctions de conversion et filtrage analogique et numérique à partir d'un cahier des charges ;

- modéliser à un niveau comportemental la partie bande de base d'un système RF.

Les points forts de cet enseignement sont des études de cas concrets qui visent à placer les connaissances dans leur contexte industriel d'application. Les méthodes présentées s'appliquent de façon plus large à la conception de systèmes électroniques intégrés mixtes (analogiques et numériques).

**Etudiants concernés :** 10 élèves de 2<sup>ème</sup> ou 3<sup>ème</sup> année + nos doctorants en formation doctorale

**Volume total :** 60 h effectué avec un groupe d'élèves

**Nombre d'intervenants :** 11 (dont 5 intervenants extérieurs)

**Implication personnelle :**

J'enseigne pour ce module le langage de modélisation VHDL-AMS pour un volume total annuel de 12h (dont 6h de TP).

#### 1.4 *MicroElectronique (MIEL)*

Le module MIEL est un **module du cycle optionnel unifié de niveau 2**. Cela correspond au niveau d'expertise le plus élevé proposé aux étudiants en conception microélectronique. Les modules prérequis pour suivre cet enseignement sont BER et Théorie et architectures du calcul matériel.

A sa création en 2001, ce module de 45h n'avait pas de prérequis et formait les étudiants à la conception de circuits élémentaires analogiques et numériques. Pour ré accentuer la progressivité des enseignements entre la 2<sup>ème</sup> et la 3<sup>ème</sup> année, le module a évolué en 2006 en un enseignement de niveau 2 de 60h : il s'est alors enrichi de projets de conception plus avancés avec une intégration des blocs élémentaires dans un circuit plus complexe (CAN pipeline), un renforcement de la formation en modélisation et simulation électrique et une ouverture vers les nanotechnologies.

**Contenu actuel :**

L'objectif de cet enseignement est d'acquérir savoir et savoir faire pour la conception, la caractérisation et la synthèse de cellule de traitement d'information analogique et/ou numérique, au niveau transistor. Il aborde les aspects technologiques de l'intégration CMOS sur Silicium, le traitement de signal radiofréquences et les solutions d'avenir alternatives au transistor MOS.

Il est composé de trois modules:

- ETC: Environnement Technologique CMOS
- CBA: Conception de Bibliothèques Analogiques
- CBN: Conception de Bibliothèques Numériques



Le module ETC définit l'environnement technologique ainsi que les outils de conception. Il aborde les aspects propres aux circuits mixtes et RF.

Les modules CBA et CBN traitent de la conception de cellules de base pour le traitement des signaux analogiques et numériques.

Les points forts de cet enseignement sont de comporter une forte proportion de travaux pratiques et de projets (35h) qui sollicitent une bonne autonomie des élèves.

**Etudiants concernés :** 10 élèves de 2<sup>ème</sup> ou 3<sup>ème</sup> année + nos doctorants en formation doctorale

**Volume total :** 60 h effectué avec un groupe d'élèves

**Nombre d'intervenants :** 6 (dont 1 intervenant extérieur)

### **Implication personnelle :**

J'enseigne dans la partie ETC la modélisation de composants CMOS et l'introduction aux nanotechnologies et dans la partie CBA l'analyse des cellules élémentaires pour un volume total annuel de 6h.

## *1.5 Parcours Electronique Radiofréquence*

Les modules de spécialité ISER et MIEL forment un parcours en **Electronique Radiofréquence** qui permet à l'élève de se prévaloir d'une formation pointue dans le domaine. Il existe une trentaine de parcours proposés à Télécom ParisTech et pour éviter que les élèves ne choisissent que des modules de niveau 1, le choix d'au moins un parcours est demandé à l'entrée dans le COU depuis l'année 2009.

## **2 FORMATION MASTER**

### *2.1 Master Sciences et Technologies de Paris VI*

En parallèle de mes enseignements en formation ingénieur, je contribue aux enseignements du Master sciences et technologies de Paris VI.

Historiquement, mes interventions appartenaient aux différents DEA/DESS de Paris VI ou de Télécom ParisTech abordant l'implémentation de circuits mixtes. En 2004, nous avons accompagné la réforme LMD qui a conduit à la constitution d'un seul Master Sciences et Technologies avec entre autres les mentions Sciences De l'Ingénieur (SDI) et Informatique. A cette occasion plusieurs modules ont été créés s'inscrivant dans des spécialités.

#### a) Implémentation de Systèmes Numériques (ISN)

Ainsi, dans la spécialité **Systèmes Communicants**, de la mention SDI, qui est cohabilitée avec Télécom ParisTech, un nouveau module plus transversal Intégration des Systèmes Numériques a été conçu.

**Contenu actuel :**

Cette Unité d'Enseignement (UE) vise à l'apprentissage des méthodes et techniques pour la mise en œuvre matérielle de systèmes de communications numériques ou mixtes. La dominante thématique de cette UE est le terminal mobile de communications. Les concepts introduits sont applicables ou transposables à d'autres systèmes de communications, filaires ou sans fil, mais également à d'autres domaines pour lesquels la mise en œuvre conjointe d'électronique radiofréquence, analogique et numérique est nécessaire.

L'objectif majeur consiste à donner à l'étudiant les éléments permettant d'analyser et/ou de choisir une architecture matérielle d'un système électronique complexe en fonction des caractéristiques normatives réelles (GSM, UMTS, etc.), des spécificités d'une application et des potentialités technologiques. L'UE a aussi pour objectif de fournir à l'étudiant un éclairage sur l'évolution des systèmes matériels de communications numériques, en particulier vers la radio-logicielle, les enjeux à court et moyen terme.

**Etudiants concernés :** 30 élèves de M2

**Volume total :** 30 h effectué avec un ou deux groupes d'élèves.

**Nombre d'intervenants :** 6

**Implication personnelle :**

J'enseigne un cours sur quelques fonctions du frontal de réception RF (oscillateurs RF, PLLS, synthèse de fréquence et amplificateurs de puissance) et un TP sur la simulation d'un frontal de réception complet [3] développé spécialement pour ISN. La principale innovation est d'effectuer pas à pas la simulation d'une chaîne complète de réception RF. Les modèles de simulation sont développés avec le logiciel libre Scilab. En prenant comme exemple un récepteur à conversion directe pour la norme UMTS, les étudiants analysent l'évolution d'un signal RF dans la chaîne de réception. Les blocs étudiés sont le filtre de bande, l'amplificateur faible bruit, le mélangeur et le filtre anti-repliement qui effectue également le filtrage canal. Ainsi, l'étudiant peut voir comment les différents interférents (adjacents et bloqueurs) sont éliminés par les opérations de filtrage, mais aussi comment les différents composants de la chaîne peuvent détériorer la qualité de la liaison à cause d'une non-linéarité ou d'un facteur de bruit trop important.

Au final, le volume total annuel de mes interventions dans ISN est 7,5h.

b) Conception d'Interfaces Analogiques/numériques pour les télécoms (CIACOM)

La spécialité Architecture et Conception de Systèmes Intégrés a pour objectif de former des spécialistes de la conception de circuits et systèmes électroniques intégrés qui sont au cœur de la plupart des équipements (automobile, télécommunications, jeux, électroménager, etc.). Les concepteurs de ces systèmes doivent posséder une double compétence en informatique et en électronique. Cette spécialité est donc proposée aux étudiants des deux mentions « Informatique » et « Sciences De l'Ingénieur ».

Dans la spécialité ACSI, j'interviens dans le module conception CIACOM qui traite des circuits d'interface analogique numérique pour les télécommunications. L'application cible est la réception des signaux en radiocommunications numériques qui impose l'utilisation des CAN les plus performants en vitesse, résolution et consommation. Les applications visées et les illustrations de ce cours, sont liées aux communications mobiles de 3ème génération, UMTS, aux communications très large bande (Ultra Wide Band) et au thème plus futuriste de la radio logicielle (Software Defined Radio).

Ce module comporte une forte proportion de Travaux Pratiques (16h).

**Etudiants concernés** : 20 élèves de M2

**Volume total** : 30 h effectué avec un groupe d'élèves.

**Nombre d'intervenants** : 5

**Implication personnelle** :

J'enseigne une introduction aux spécificités pour la modélisation analogique et mixte du langage VHDL-AMS avec un TP d'application pour un volume total annuel de 4h.

## 2.2 *Master of Science in Digital Radio*

Je participe également à une formation de haut niveau en sciences de l'ingénieur, bâtie sur le modèle standard international des Masters of Science. Elles s'adressent aux étudiants étrangers de très bon niveau. Le Master of Science comporte 120 crédits ECTS. Les cours comportent 80% de matières scientifiques et techniques, 20% étant consacrés aux sciences économiques et de gestion ainsi qu'aux enseignements culturels. La pédagogie donne une place importante aux projets et au stage de 4-6 mois en entreprise ou en laboratoire de recherche. Ces formations permettent ainsi d'acquérir des compétences théoriques et pratiques de haut niveau, et préparent à la vie professionnelle.

Le Master of Science in Digital Radio est habilité Diplôme National De Master (DNM) depuis février 2008.

**Contenu actuel** : [http://www.paristech.fr/fichiers/etudier/R\\_NUM\\_FR2.pdf](http://www.paristech.fr/fichiers/etudier/R_NUM_FR2.pdf)

Le programme du Master Radio Numérique vise à l'acquisition par les étudiants des connaissances méthodologiques, techniques et scientifiques avancées en radiocommunications et à la mise en pratique de ces connaissances par l'analyse, la conception et la mise en œuvre de frontaux de radiocommunications. De nombreux facteurs doivent être conjointement pris en compte pour aboutir à des solutions innovantes et efficaces. Ainsi, la conception d'un système de communications RF requiert des compétences en physique des semi-conducteurs, propagation, antennes, micro et nanoélectronique mais aussi en traitement du signal, communications numériques et une vision plus globale en termes de système et de fonctionnalité.

**Implication personnelle :**

Les étudiants étrangers qui suivent le Master Radio Numérique sont intégrés dans les modules d'enseignement : ESA, BER, ISER, MIEL. Ces étudiants ajoutent un travail supplémentaire de gestion de la diversité des origines des élèves et ont parfois besoin de compléments d'information.

En 2009-2010, nous avons décidé de leur enseigner l'ensemble de nos cours en anglais ce qui a représenté une grande charge de travail.

**3 VOLUME DES ENSEIGNEMENTS CLASSIQUES**

Le bilan quantitatif annuel de mes enseignements traditionnels (cours, TD, TP) à Télécom ParisTech est montré sur le Tableau A. 1 pour l'année scolaire 2008/2009. J'ai conservé à peu près ce volume annuel d'enseignement sur la période 2001-2009, et un peu moins la première année (2000-2001) soit un volume total d'environ 700h à Télécom ParisTech et 1150h d'enseignement depuis le début de ma carrière d'enseignante.

Module	Cours (h)	TD (h)	TP (h)
ESA	10,5	7,5	21
BER	6	3	6
ISER	6		6
MIEL	4,5	1,5	
ISN	1,5		6
CIACOM			4
TOTAL	28,5	12	43

**Tableau A. 1 Bilan des activités traditionnelles d'enseignement en 2008/2009**

J'ai donc à Télécom ParisTech un **volume d'enseignements classiques d'environ 100h/an équivalent TD/TP** soit un demi-service d'un poste d'enseignant chercheur à l'université. Cette liberté me permet de m'investir dans l'encadrement de stages et de projets comme décrit dans la partie A-4, de proposer et d'intervenir dans des sessions de formation continue et de participer aux réflexions sur l'évolution des enseignements ce que je détaille dans la partie B.

**4 ENCADREMENTS DE STAGES ET DE PROJETS**

Aux activités précédemment décrites d'enseignement classique (cours, TD, TP et coordination de modules d'enseignement), s'ajoutent une part importante et plus difficilement quantifiable d'encadrements de stages et de projets.

Je vais décrire brièvement les encadrements de projets qui sont inclus dans la formation initiale d'ingénieur ainsi que les stages de fin d'études ingénieur et les stages de Master 2.

#### 4.1 *Projets matériels et projets découvertes*

Dans l'organisation actuelle de nos enseignements, les étudiants de 1<sup>ère</sup> année ont trois semaines bloquées pour des projets : un projet matériel, un projet logiciel et un projet pluridisciplinaire ou de synthèse.

Les projets matériels permettent aux étudiants d'élaborer un dispositif électronique réalisant une fonction de traitement de l'information. Cette étude doit aboutir soit à une maquette matérielle, soit à une description et une simulation logicielles du dispositif matériel.

À travers des projets pluridisciplinaires dont les sujets sont proposés par les enseignants chercheurs de Télécom ParisTech, les étudiants vont avoir l'occasion sur une semaine intégralement consacrée à cette activité, de découvrir des thèmes importants du domaine des technologies de l'information et de la communication. Ils sont ainsi amenés se familiariser un peu mieux avec l'Ecole, ce qu'on y enseigne, ce qui constitue les thématiques de recherche, les métiers auxquels elle prépare. Le projet est aussi une occasion d'introduire de nouvelles méthodologies de travail (recherche documentaire, travail en équipe, soutenance publique,...)

Je participe chaque année aux projets matériels et/ou aux projets pluridisciplinaires également appelés projets découvertes.

#### 4.2 *Projets de Master*

Nous proposons à nos élèves ingénieur d'enrichir leur parcours de formation par un module de projet qui équivaut à un module d'enseignement du COU de niveau 2. Les sujets sont proposés par les enseignants mais peuvent également être amené par un élève en vue de préparer son stage en entreprise.

D'autre part, l'école offre deux types de Master : les mastères spécialisés et les Master of Science pour lesquels nous pouvons proposer des projets.

Au cours de ces projets, il s'agit de réaliser un développement (étude, conception, programme) avec une initiation aux problématiques de la recherche. Ainsi, ces projets peuvent parfois conduire à un travail original et à une publication.

#### 4.3 *Projets de fin d'études ingénieur orientés recherche*

Nous encadrons régulièrement des projets de fin d'études pour les étudiants de deux grandes écoles de Tunis : Sup'Com et l'Ecole Polytechnique de Tunis. Pour ces projets d'une durée de 4 mois, nous proposons un véritable travail de recherche et nous obtenons souvent des résultats d'un niveau équivalent à ceux d'un stage de Master 2.

#### 4.4 *Stages de recherche de Master 2*

Une autre catégorie de stage sont les stages de recherche master 2 qui sont de véritables travaux de recherche pré doctorale. Les étudiants doivent apporter sur une durée le plus souvent comprise entre 4 et 6 mois, une contribution personnelle sur un aspect spécifique d'un sujet de recherche de l'équipe. Ces stages de Master 2 conduisent généralement à une contribution originale et à une publication.

La partie C-3 liste l'ensemble des projets ou des stages encadrés.

## **B. Expertise en enseignement**

### **1 FORMATIONS NIVEAU EXPERT**

#### *1.1 Cours conférences invités*

Dès mon arrivée à Télécom ParisTech, j'ai développé une expertise dans le langage de description matériel mixte VHDL-AMS à la fois pour les besoins de la formation des étudiants et comme axe de recherche.

En 2003, j'ai été conviée à donner un cours conférence sur mes travaux de recherche sur la modélisation et la simulation d'un module optique parallèle [24]. Dans ce cours, il était intéressant de montrer comment le VHDL-AMS permet de simuler des comportements physiques et multi domaines (optique, électronique) avec une écriture directe des équations différentielles non linéaires et une terminologie dédiée.

En 2005, j'ai participé à une formation labellisée IEEE pour les doctorants et les chercheurs de l'Université Catholique de Louvain (UCL) [25]. L'objectif de cette formation sur le langage VHDL-AMS et ses applications était de montrer les possibilités du langage pour la simulation mixte, la multi abstraction, et le multi domaine qui en font un outil puissant pour par exemple les systèmes MEMS, de télécommunication et mécatroniques. Après une introduction aux éléments essentiels du VHDL-AMS, le cours d'une durée de 4 jours était essentiellement dédié aux travaux pratiques : modélisation et simulation de cas concrets multidisciplinaires.

#### *1.2 Formation continue*

Dans le cadre des formations tout au long de la vie proposées par Télécom ParisTech, j'ai participé à deux sessions de formation continue en 2004 [26] [27] sur la carte à puce sans contact. Mon intervention portait sur l'interface physique des cartes à puce sans contact, la télé alimentation et la communication par modulation du coefficient de réflexion.

D'autre part, je propose depuis 2006 une formation sur le langage VHDL-AMS et ses applications industrielles référencée au catalogue de Télécom ParisTech.

#### *1.3 Formation de formateurs*

J'ai participé en tant que coordinatrice pour Télécom ParisTech à un projet de formation de formateurs en microélectronique par le GAFM décrit ci-dessous. Cette action visait à accompagner la construction et la mise en route d'une salle blanche au CDTA (Centre de

Développement des Technologies Avancées) de Baba Hassen (Alger). L'objectif était de développer une formation de haut niveau en microélectronique sur l'ensemble du territoire algérien en favorisant des coopérations effectives avec des experts européens.

- GFMA : projet européen TEMPUS-MEDA CD\_JEP-31157-2003

objet	<b>Groupe pour la Formation en Microélectronique en Algérie .</b>
Partenaires	ESIEE (coordinateur), INPG, ISEP, LAAS, Universités de Tours, de Nantes, de Perpignan et de Rennes I, Algérie : CDTA Alger, Polytech'Alger, ENS de Kouba, ENSET et USTO d'Oran, Universités de Jijel, de Constantine, de Batna, de Boumerdès, de Ouargla, de Sidi bel Abbès et de Tlemcen, autres pays européens : Universités de Lodz (PL), d'Athènes (GR), de Barcelone (ES), Catholique de Louvain (BE).
dates	2004-2007, 3 ans
Financement de	Missions d'enseignement et de coordination

Dans ce cadre, j'ai donné deux cours-séminaires de formation aux enseignants-chercheurs algériens sur le langage VHDL-AMS pour la simulation des systèmes mixtes et multi domaines, un cours de base [28] et un cours d'approfondissement [29].

Les objectifs étaient que les participants maîtrisent ce langage de simulation et soient sensibilisés à ses atouts pour la conception de systèmes microélectroniques. En outre, une préparation spécifique a été menée pour souligner l'intérêt pédagogique du VHDL-AMS, qui permet de simuler et d'illustrer des comportements de circuits ou de systèmes, et les thèmes de recherche qui pouvaient être développés autour de VHDL-AMS.

Ces stages ont été suivis par un grand nombre de participants d'origine hétérogène (mécaniciens, informaticiens, électroniciens) et chacun aura pu trouver une utilisation du VHDL-AMS dans son domaine d'expertise.

## 2 COMMISSION DES PROGRAMMES

Je représente mon département Communications et Electronique à la Commission des Programmes (CP) de Télécom ParisTech depuis septembre 2008.

Cette commission a pour objet de réfléchir à l'organisation et au contenu des enseignements de formation initiale à Télécom ParisTech. Cette réflexion aboutit généralement à des propositions de modifications mineures ou majeures des enseignements qui sont ensuite actées par le comité de direction. Elle constitue également un organe de communication entre le directeur de l'enseignement et les enseignants chercheurs et entre les enseignants des différents départements de l'école.



Elle se réunit une fois par mois pendant deux heures. Chaque réunion nécessite un travail de préparation et parfois quelques réunions supplémentaires ad hoc pour préparer les propositions.

En 2008/2009, j'ai participé activement à deux modifications :

- Réorganisation et allègement des enseignements du cycle d'harmonisation pour les élèves admis sur titre en 2<sup>nd</sup>e année.
- Amélioration de la lisibilité et de la faisabilité des parcours thématiques pour les élèves en contrepartie de l'obligation de s'inscrire dans au moins 1 parcours.

En 2009/2010, je participe à la réflexion sur la réforme de la première année qui est d'une grande ampleur. Ce projet tente de répondre à la question : quels sont les concepts que doivent maîtriser un ingénieur Télécom à la fin de sa scolarité ?

Plusieurs actions ont été mises en place pour alimenter la réflexion :

- Un test global sur les acquis des élèves en fin de 1<sup>ère</sup> année : que retiennent-ils vraiment ?
- Des séminaires sur les grands domaines de l'école où sont intervenus des spécialistes reconnus.
- Des rencontres avec d'autres écoles offrant des formations similaires en France, en Europe et aux Etats Unis.

Un groupe de travail indépendant de la CP en charge de ce projet spécifique a fait des propositions qui sont en cours de validation pour une mise en œuvre à la rentrée 2011.

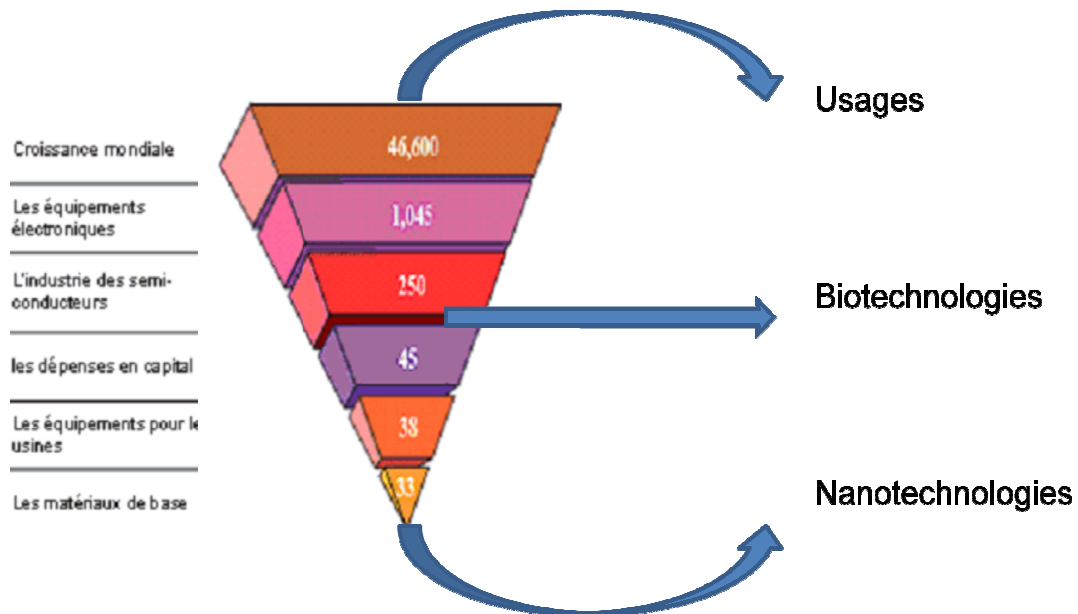
Je propose dans la partie suivante 'perspectives' une synthèse des éléments de réflexion que j'ai récoltés pour les enseignements en électronique.

### **3 PERSPECTIVES**

#### *3.1 Contexte de la planète électronique*

Dans nos domaines, les centres de compétences se déplacent et cela va très vite. Il y a une grande concentration d'acteurs (délocalisation) car les investissements sont de plus en plus lourds pour générer des systèmes de plus en plus complexes.

L'électronique est depuis longtemps un secteur à très fort pouvoir de levier, selon un schéma de pyramide inversée repris sur la Figure A. 1. Le point de départ du succès de l'électronique est la remarquable loi de Moore. Ceci a pour conséquence que la vision traditionnelle du secteur est une vision bottom-up : l'augmentation de la capacité d'intégration entraîne de nouveaux usages.



**Figure A. 1** Pyramide inversé du PIB : des matériaux de base de l'électronique au PIB mondial en 2006 (Source : Medea +).

Or maintenant, la pyramide s'étend vers le haut avec la couche usage, elle s'étend vers le bas avec la couche nanotechnologies, mais également vers les cotés avec l'interaction avec d'autres domaines (biotechnologies).

Quels seront les moteurs de l'évolution de l'électronique dans le monde de demain ?

Nous allons passer d'une vision bottom-up à une vision top-down. Dans le futur, ce sont les marchés, les besoins émergents, les enjeux sociétaux (énergie, sécurité,...) qui contribueront à déterminer l'évolution de la filière électronique. Par exemple, face à un mode virtuel de plus en plus riche, de nouveaux systèmes électroniques sont à inventer pour ancrer le monde numérique dans le monde physique. Egalement, les nouvelles technologies à l'horizon vont fertiliser et changer les métiers de l'électronique.

Les futurs systèmes électroniques concerneront trois grands champs applicatifs : les énergies renouvelables, les applications biomédicales et les technologies pour un environnement intelligent. Dans le domaine des télécommunications, l'enjeu sociétal visé est l'individu mobile, communiquant en toutes circonstances, en tous lieux, sans contrainte des technologies avec ses préférences toujours accessibles. Et le téléphone mobile devient un outil nomade capable de remplir les fonctions pour lesquelles nous transportions avant plusieurs objets : appareil photo, lecteur audio, clé électronique, télévision, console de jeux, porte monnaie électronique...

### 3.2 Conséquences sur le métier d'ingénieur en électronique

La tendance est, comme dans d'autres domaines en Europe, de produire du 'sur mesure' plutôt que des produits de masse. Les challenges de l'ingénieur 'concepteur de systèmes' sont de travailler avec :

- Une logique d'assemblage innovante et maîtrisée
- Une implication accrue de l'utilisateur
- Une équipe au sein de l'entreprise
- Des partenaires à l'extérieur de l'entreprise

Le métier d'ingénieur en électronique devient celui d'architecte pluridisciplinaire.

### 3.3 *Evolution souhaitable de nos enseignements en électronique*

Au sein de Télécom ParisTech, nous formons des ingénieurs TELECOM avec des compétences en électronique.

Nous avons été sensibilisé grâce à des journées d'échanges avec des industriels du domaine au fait qu'il est nécessaire que les élèves est une meilleure connaissance du contexte de la planète électronique.

En particulier, le point de départ du développement d'équipements électroniques est une compréhension très fine de l'usage que va en faire le client.

Puis, un ingénieur en électronique est un architecte des systèmes électroniques ayant des compétences en technologies et capable d'assembler (d'intégrer) les modules d'une solution. Pour cela, il faut renforcer son apprentissage de la gestion de la complexité :

- Dans une approche top-down
- Avec l'expression et la satisfaction de contraintes
- Et une aptitude à partitionner logiciel/matériel, analogique/numérique...

### 3.4 *Comment attirer les élèves vers les formations en électronique ?*

Il existe un énorme décalage entre le métier d'ingénieur en électronique et la perception qu'en ont les élèves. L'électronique apparaît comme un domaine pointu, difficile et qui risque de les enfermer dans un secteur qui n'a pas forcément d'avenir.

Pour changer cette perception et inciter les élèves à suivre des modules d'électronique, nous proposons :

- De renforcer le contact des élèves avec les entreprises le plus tôt possible en première année.
- D'augmenter la visibilité du hard par rapport au soft.
- De promouvoir les métiers TIC dans les lycées
- De renforcer également les présentations des enseignants vers les élèves sur nos projets de recherche, nos partenariats avec les industriels, la visite de nos laboratoires.

Ces nouveaux éléments seront pris en compte dans la réforme du tronc commun de 1<sup>ère</sup> année qui se prépare actuellement pour la rentrée 2011.

## Conclusion

Ce chapitre présente un bilan quantitatif et qualitatif de mes activités d'enseignement. Le volume total est de 1150h d'enseignements répartis sur 15 années d'expérience professionnelle. Actuellement, j'interviens principalement dans les trois années de formation initiale d'ingénieurs à Télécom ParisTech et dans les différents masters cohabilités. Et une part importante de mon travail d'enseignement est constituée de l'encadrement de projets.

De plus, je participe à l'organisation des enseignements principalement avec responsabilité de modules et la participation à la commission des programmes.

Dans la dernière partie du chapitre, des éléments de réflexion sont apportés sur le devenir de nos enseignements en électronique. Nous avons l'ambition de mettre en œuvre les adaptations nécessaires de nos enseignements pour converser un enseignement dynamique et attrayant. Dès le mois d'avril 2010, nous avons innové, à mon initiative, pour présenter nos activités de recherche aux élèves de première année avec un retour très positifs de leur part.

Ma réflexion sur l'enseignement est d'autant plus aisée et naturelle que les thèmes que j'enseigne sont très proches de mes thèmes de recherche.

## C. Bibliographie

### 1 POLYCOPIES DE COURS

- [1] J.-F. NAVINER, P. DESGREYS, P. LOUMEAU, H. PETIT, J. PROVOST et V. T. NGUYEN, « Electronique Analogique Intégrée », Polycopié de cours, Ecole Nationale Supérieure des Télécommunications, Paris, France, 1998-2007
- [2] J.-F. NAVINER, P. DESGREYS, P. LOUMEAU, H. PETIT et V. T. NGUYEN, « Electronique des Systèmes d'Acquisition », Polycopié de cours, Ecole Nationale Supérieure des Télécommunications, Paris, France, 2007-2010.

### 2 PUBLICATIONS

- [3] E. COLIN, P. DESGREYS et H. PETIT, « Simulation d'un Frontal de Réception RF », CETSIS05, Nancy, Oct. 2005.

### 3 STAGES, MEMOIRES ET PROJETS ENCADRES

#### 3.1 *Projets enseignement*

- [4] Serge KOLELAS, « Conception d'une PLL pour la synthèse RF », Projet du Mastère Spécialisé Dispositifs et Techniques de Communication (DTC), Paris, 2010. Encadrant : Patricia Desgreys.
- [5] Sai Pramod Reddy BATHENA, « Modelling of Time to Digital Converter in VHDL-AMS and Study of Performance Parameters », Projet du MSc Digital Radio, Paris, 2009. Encadrants : Patricia Desgreys, Hervé Petit.
- [6] T. KAHN, M. HERNANDEZ, C. HUNEAU, M. DIAGNE, A. BELLACHEHAB, « Nanotechnologies », Projet Découverte, Paris, 2008. Encadrants : Patricia Desgreys, Didier Erasme, Jean-Claude Bouley.
- [7] David ARMAND, « Les amplificateurs faible bruit pour les récepteurs à échantillonnage direct », Module de Projet, Paris, 2006. Encadrants : Patricia Desgreys, Patrick Loumeau.

- [8] Hanta Mirana RAZANAJAO, « Caractérisation des CAN à approximations successives », Module de Projet, Paris, 2006. Encadrants : Patricia Desgreys, Jean-François Naviner.
- [9] Gomes DA SILVA JEFFERSON, « Jonctions Josephson et logique RSFQ », Module de Projet, Paris, 2006. Encadrant : Patricia Desgreys.
- [10] Alain Christophe BON, « Modélisation compacte d'un transistor à nanotube de carbone », Module de Projet, Paris, 2006. Encadrant : Patricia Desgreys.
- [11] Gomes DA SILVA JEFFERSON, « Modélisation compacte d'un transistor à nanotube de carbone », Module de Projet, Paris, 2005. Encadrant : Patricia Desgreys.
- [12] J. HOFFMANN and C. LUENGO, « VHDL-AMS model of a Second Order Sigma Delta Converter », Module de Projet, Paris, 2004. Encadrants : Patricia Desgreys, Hervé Petit.
- [13] « Interface physique de communication pour carte à puce sans contact », Projet Matériel, Paris, plusieurs occurrences sur 2001-2005. Encadrant : Patricia Desgreys.

### 3.2 *Stages de recherche*

- [14] Hèla GASSARA, « Conception et implémentation d'une architecture parallèle à entrelacement temporel pour le CAN Sigma-Delta passe-bande supraconducteur », Stage du Mastère en systèmes électroniques et réseaux de communication de l'Ecole Polytechnique de Tunis, Paris, 2009. Encadrants : Patricia Desgreys, Patrick Loumeau.
- [15] Hèla GASSARA, « Conception et implémentation d'une tête analytique pour un Convertisseur Analogique Numérique Sigma-Delta passe-bande en technologie RSFQ », Projet de Fin d'Etudes de l'Ecole Polytechnique de Tunis, Paris, 2009. Encadrants : Patricia Desgreys, Patrick Loumeau, Adel Ghazel (Sup'Com).
- [16] Mariem SLIMANI, « Conception d'un filtre de décimation pour un CAN  $\Sigma\Delta$  en supraconducteur », Stage du Mastère en systèmes électroniques et réseaux de communication de l'Ecole Polytechnique de Tunis, Paris, 2008. Encadrants : Patricia Desgreys, Patrick Loumeau, Abdelaziz Samet (INSAT/EPT).
- [17] Wissam ALTABBAN, « Caractérisation d'un oscillateur pour applications RF », Stage du Master 2 ESCO-SEM de l'Université de Paris VI, Paris, 2006. Encadrants : Patricia Desgreys, Hervé Petit.

- [18] Dorothee ROBERT, « Simulation d'un circuit à nanotubes de carbone », Stage du Magistère en Electronique, Electrotechnique et Automatique de l'ENS de Cachan, Paris, 2006. Encadrant : Patricia Desgreys.
- [19] Dorothee ROBERT, « Simulation d'un circuit à nanotubes de carbone », Travail d'Etude et de Recherche de Master 1 de l'ENS de Cachan, Paris, 2006. Encadrant : Patricia Desgreys.
- [20] Manel BEN ROMDHANE, « Caractérisation de l'effet de bruit de phase sur les récepteurs à échantillonnage RF », Stage du Master 2 ESCO-STN de l'Université de Paris VI, Paris, 2005. Encadrants : Patricia Desgreys, Patrick Loumeau.
- [21] Sébastien PEYCHET, « Modélisation d'une PLL optoélectronique en VHDL-AMS – Etude du bruit », Stage du DEA STN de Télécom Paris, Paris, 2004. Encadrants : Patricia Desgreys, Cédric Ware.
- [22] Sompasong SOMSAVADDY, « Performances des circuits SC/SI avec le modèle EKV », Stage du DEA ASIM de l'Université de Paris VI, Paris, 2003. Encadrants : Patricia Desgreys, Patrick Loumeau.
- [23] Antoine TAUVEL, « Evolution des circuits SC et SI avec les nouvelles technologies », Stage du DEA STN de Télécom Paris, Paris, 2001. Encadrants : Patricia Desgreys, Patrick Loumeau.

#### **4 FORMATION NIVEAU EXPERT**

- [24] Patricia DESGREYS « Modélisation VHDL-AMS des composants optoélectroniques d'un module optique parallèle », Séminaire invité à l'Université Catholique de Louvain, Louvain - la - Neuve, 10 Avril 2003.
- [25] P. DESGREYS, Y. HERVÉ et A. VACHOUX « VHDL-AMS : a hardware description language for analog and mixed-signal systems », Course of IEEE EDS/CAS student branch chapter of the Université Catholique de Louvain, Louvain - la - Neuve, 17-20 Jan. 2005.
- [26] J. LEROUX LES JARDINS, P. DESGREYS et P. HOOGVORT « Panorama sur les cartes à puces sans contact », Formation ad hoc pour GIE CB, Paris, 17 Mars 2004.
- [27] J. LEROUX LES JARDINS, P. DESGREYS et P. HOOGVORT « Monde des cartes sans contact », Formation ad hoc pour GIE CB, Paris, 23 Sept. 2004.

- [28] P. DESGREYS et Y. HERVE « Le langage VHDL-AMS pour la simulation des systèmes mixtes et multidomains », Cours-Séminaire de Formation GAFM/LMD Microélectronique, CDTA d'Alger, 14-19 Mai 2005.
- [29] P. DESGREYS et Y. HERVE « Le langage VHDL-AMS : approfondissement », Cours-Séminaire de Formation GAFM/LMD Microélectronique, Université de Sétif, Algérie, 1-4 octobre 2005.





# **ANNEXE B**

## **BILAN DES ACTIVITES DE RECHERCHE**



## Introduction

Ce chapitre présente un bilan quantitatif de mes activités liées à mon métier de chercheur depuis une douzaine d'année. L'ensemble des études menées est présenté en détail dans le chapitre principal du mémoire. Ce bilan succinct est découpé en 5 types d'action.

En premier lieu, la production scientifique est répertoriée en termes de publications en revues et en conférences. Puis, les encadrements de travaux de recherche sont cités.

Les collaborations et contrats qui sont apparus tout au long de la présentation de mes activités de recherche dans le mémoire sont repris en fonction de leur type.

Dans la partie 4, je présente quelques activités d'animation de la recherche autre que les encadrements de post-doctorats, thèses, stages et projets. Le volet administratif de mes activités concernant l'enseignement est inclus dans l'annexe A.

Enfin, les activités d'expertise et de rayonnement sont présentées dans la partie 5.

## 1 PRODUCTION SCIENTIFIQUE

La liste des publications dont je suis co-auteur fait l'objet de l'annexe C. Je n'apparais pas en premier auteur depuis que je suis encadrante car pour encourager leur investissement, je préfère que les doctorants ou les stagiaires apparaissent comme premier auteur des publications. Un bilan quantitatif de mes publications est fourni dans le Tableau B. 1.

Revue internationale/ Chapitre de livre	10
Revue nationale	1
Conférences internationales	32
Conférences nationales	18
Rapports internes	3

**Tableau B. 1 Nombre de publications par catégorie**

Chaque sujet détaillé dans le mémoire s'est traduit par plusieurs publications dont une sélection représentative est :

1. **La technique des courants commutés (1996-2002)** : P. Riffaud, G. Tourneur, E. Garnier, et P. Roux, "Charge injection error reduction circuit for switched-current systems", *IEE Electronics Letters*, vol. 33, no. 20, pp. 1689-1691, Sept. 1997.
2. **Modélisation comportementale mixte et multi domaine (2002-2006)** : Z. Toffano, M. Pez, P. Desgreys, Y. Hervé et al. , "Multilevel Behavioral Simulation of VCSEL-based Optoelectronic Modules", *IEEE Journal of Selected Topics in Quantum Electronics*, DOI : 10.1109/JSTQE.2003.818348 , Vol. 9, No. 3, pp. 949-960, June 2003.
3. **Technologies émergentes (depuis 2004)**
  - a. **Nanoélectronique** : S.D. Hamieh, P. Desgreys and J.F. Naviner, "Scattering effects on the performance of carbon nanotube field effect transistor in a compact model", *The European Physical Journal B*, DOI: 10.1140/epjb/e2009-00434-6, Dec. 2009.
  - b. **CAN à supraconducteurs** : R. Guelaz, P. Desgreys and P. Loumeau, "Wide-Band Sigma-Delta ADC Design in Superconducting Technology", in *Languages for Embedded Systems and their Applications*, DOI: 10.1007/978-1-4020-9714-0, Springer publishing, chap. 7, pp.101-112, 2009.
4. **Conception de systèmes pour la Radio Logicielle (depuis 2004)**

- a. **Echantillonnage RF** : A. Latiri, L. Joet, P. Desgreys and P. Loumeau, “Passive second-order anti-aliasing filter for RF sampling based receivers”, *IEE Electronics Letters*, vol. 43, no. 1, Jan. 2007.
- b. **Echantillonnage Non Uniforme** : C. Rebai, M. Ben-Romdhane, P. Desgreys, P. Loumeau and A. Ghazel, “Pseudorandom signal sampler for relaxed design of multistandard radio receiver”, *Microelectronics Journal*, DOI: 10.1016/j.mejo.2009.01.010, vol. 40, pp.991-999, June 2009.
- c. **Boucle à verrouillage de phase (depuis 2006)** : W. Altabban, P. Desgreys and H. Petit, “Behavioral Model of LC VCO with LTV Phase Noise in VHDL-AMS”, *Transactions on Systems, Signals and Devices*, ISBN: 978-3-8322-7801-4, Shaker publishing, vol. 3, no. 4, pp. 445-468, Dec. 2008.

L'intégralité de certains articles est proposée dans l'annexe D (1, 2, 3a et 4a).

## 2 ENCADREMENTS

### 2.1 Thèses soutenues

Pour les thèses, j'apparais toujours comme co-encadrante avec un pourcentage qui correspond au travail effectivement réalisé ; cependant administrativement, j'ai été co-directrice de la thèse [4], directrice de la thèse [1] et je suis actuellement co-directrice de la thèse [5].

- [1] Wissam ALTABBAN, “Conception portable d'une ADPLL pour des applications TV”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Décembre 2009. Encadrants : Patricia Desgreys (50%), Hervé Petit (50%).
- [2] Manel BEN ROMDHANE, “Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard”, Doctorat en Technologies de l'information et des Communications, co-tutelle entre l'Ecole Supérieure des Communications de Tunis et l'Ecole Nationale Supérieure des Télécommunications de Paris, Février 2009. Encadrants : Patrick Loumeau (25%), Adel Ghazel (25%), Patricia Desgreys (25%), Chiheb Rebai (25%).
- [3] Mohamed Anis LATIRI, “Architecture et conception de récepteur reconfigurable à échantillonnage RF pour les applications multistandard”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Juillet 2008. Encadrants : Patrick loumeau (50%), Patricia Desgreys (50%).
- [4] Mohamed KARRAY, « Contribution à la modélisation hiérarchique de systèmes opto-

électroniques à base de VHDL-AMS », Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Décembre 2004. Encadrants : Jean-Jacques Charlot (50%), Patricia Desgreys (50%).

## 2.2 *Thèses en cours*

- [5] Germain PHAM, “Architecture et conception d’un CAN hautes performances pour la linéarisation des amplificateurs de puissance”, Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, 2010-2013. Encadrants : Patrick loumeau (50%), Patricia Desgreys (50%).
  
- [6] Fatima GHANEM, “Conception d’un CAN hautes performances pour Station de Base”, Doctorat en Electronique et Communications, co-tutelle entre l’Ecole Nationale Supérieure des Télécommunications de Paris et l’ESIEE, 2009-2012. Encadrants : Patrick Loumeau (25%), Corinne Berland (25%), Patricia Desgreys (25%), Olivier Vénard (25%).
  
- [7] Asma MAALEJ, “Contribution sur Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard”, Doctorat en Technologies de l’information et des Communications, co-tutelle entre l’Ecole Supérieure des Communications de Tunis et l’Ecole Nationale Supérieure des Télécommunications de Paris, 2008-2011. Encadrants : Patrick Loumeau (25%), Adel Ghazel (25%), Patricia Desgreys (25%), Chiheb Rebai (25%).

## 2.3 *Post-doctorats*

- [8] Rachid GUELAZ, “Conception d’un CAN sigma-delta passe-bande à supraconducteurs”, Post-Doctorat dans le cadre du projet ANR HyperSCAN, Ecole Nationale Supérieure des Télécommunications, 2007-2009. Encadrants : Patricia Desgreys (50%), Patrick Loumeau (50%), durée : 18 mois.
  
- [9] Salah Dablan HAMIEH, “Circuits RF à nanotubes intégrés”, Post-Doctorat dans le cadre du projet incitatif de l’Institut Télécom NANO-RF, Ecole Nationale Supérieure des Télécommunications, 2007-2008. Encadrants : Patricia Desgreys (70%), Jean-François Naviner (30%), durée : 9 mois.

## 2.4 *Stages de recherche*

Les stages de recherche correspondent pour la grande majorité à des stages de MASTER 2 recherche. J’y ajoute quelques projets de fin d’études ingénieur et stages de

MASTER 1 au cours desquels un véritable travail de recherche a été effectué. Tous ces stages, à une ou deux exceptions près, ont abouti à une publication.

- [10] Hèla GASSARA, « Conception et implémentation d'une architecture parallèle à entrelacement temporel pour le CAN Sigma-Delta passe-bande supraconducteur », Stage du Mastère en systèmes électroniques et réseaux de communication de l'Ecole Polytechnique de Tunis, Paris, 2009. Encadrants : Patricia Desgreys, Patrick Loumeau.
- [11] Hèla GASSARA, « Conception et implémentation d'une tête analytique pour un Convertisseur Analogique Numérique Sigma-Delta passe-bande en technologie RSFQ », Projet de Fin d'Etudes de l'Ecole Polytechnique de Tunis, Paris, 2009. Encadrants : Patricia Desgreys, Patrick Loumeau, Adel Ghazel (Sup'Com).
- [12] Mariem SLIMANI, « Conception d'un filtre de décimation pour un CAN  $\Sigma\Delta$  en supraconducteur », Stage du Mastère en systèmes électroniques et réseaux de communication de l'Ecole Polytechnique de Tunis, Paris, 2008. Encadrants : Patricia Desgreys, Patrick Loumeau, Abdelaziz Samet (INSAT/EPT).
- [13] Wissam ALTABBAN, « Caractérisation d'un oscillateur pour applications RF », Stage du Master 2 ESCO-SEM de l'Université de Paris VI, Paris, 2006. Encadrants : Patricia Desgreys, Hervé Petit.
- [14] Dorothee ROBERT, « Simulation d'un circuit à nanotubes de carbone », Stage du Magistère en Electronique, Electrotechnique et Automatique de l'ENS de Cachan, Paris, 2006. Encadrant : Patricia Desgreys.
- [15] Dorothee ROBERT, « Simulation d'un circuit à nanotubes de carbone », Travail d'Etude et de Recherche de Master 1 de l'ENS de Cachan, Paris, 2006. Encadrant : Patricia Desgreys.
- [16] Manel BEN ROMDHANE, « Caractérisation de l'effet de bruit de phase sur les récepteurs à échantillonnage RF », Stage du Master 2 ESCO-STN de l'Université de Paris VI, Paris, 2005. Encadrants : Patricia Desgreys, Patrick Loumeau.
- [17] Sébastien PEYCHET, « Modélisation d'une PLL optoélectronique en VHDL-AMS – Etude du bruit », Stage du DEA STN de Télécom Paris, Paris, 2004. Encadrants : Patricia Desgreys, Cédric Ware.
- [18] Sompasong SOMSAVADDY, « Performances des circuits SC/SI avec le modèle EKV », Stage du DEA ASIM de l'Université de Paris VI, Paris, 2003. Encadrants : Patricia Desgreys, Patrick Loumeau.



- [19] Antoine TAUVEL, « Evolution des circuits SC et SI avec les nouvelles technologies », Stage du DEA STN de Télécom Paris, Paris, 2001. Encadrants : Patricia Desgreys, Patrick Loumeau.

### 3 COLLABORATIONS ET CONTRATS

#### 3.1 Projets internes

Notre tutelle, l'Institut Télécom, pilote la recherche dans l'ensemble de ses écoles par un certain nombre d'appels à projet ouverts aux enseignant-chercheurs des écoles. Les montants ainsi redistribués sont en croissance et proviennent essentiellement de l'abondement Carnot, subvention versée par l'état pour récompenser la hausse de nos contrats industriels. L'Institut finance des thèses, des post-docs, des sabbatiques de chercheurs étrangers, des projets futur et rupture (anciennement projets incitatifs) et des plateformes. L'objectif est de préparer l'avenir en finançant des travaux 'amont'.

J'ai bénéficié de 2 financements de l'Institut Télécom :

- 1 financement de thèse sur abondement Carnot [1] qui a permis de mettre en œuvre nos idées en méthodologies de modélisation des circuits mixtes appliquée à un domaine en pleine effervescence : la synthèse de signaux RF. Ce projet est décrit dans la partie D-3 du mémoire.
- 1 projet incitatif : NANO-RF, « Circuits RF à nanotubes intégrés » décrit dans la partie C-1.2 du mémoire, qui a permis le financement d'un post-doctorant [9] et l'évaluation de l'intérêt des technologies à base de nanotubes de carbone pour la réalisation de fonctions analogiques ou RF.

#### 3.2 Projets de coopération

Nous participons à des projets de coopération entre institutions académiques : une française et une étrangère. Ces projets sont de 2 types : soit ils financent uniquement des missions sur 1 an (DGRST avec la Tunisie ou DEF avec l'Algérie) pour prendre des contacts et initier une collaboration, soit ils financent en plus des séjours de travail et des bourses de thèse sur 3 ou 4 ans (CMCU avec la Tunisie ou CAPES-COFECUB avec le Brésil) et ils permettent alors un réel travail en commun (dont thèses en cotutelle).

Voici les projets de coopération auxquels j'ai participé :

- CMCU 06G1125

objet	<b>Récepteurs radiofréquences reconfigurables pour les applications de type Radio Logicielle.</b>
Partenaires	Sup'Com : Ecole Supérieure des Communications de Tunis, IMS-

	Université de bordeaux I
dates	2006-2008, 3 ans
Financement de	Missions de coopération, bourses de thèse [2], séjours de travail

- CMCU 03G1112

objet	<b>Conception et modélisation comportementale des interfaces RF pour les applications radio-mobiles multistandards.</b>
Partenaires	ENIS : Ecole Nationale d'Ingénieur de Sfax, Université de Strasbourg
dates	2003-2005, 3 ans
Financement de	Missions de coopération, séjours de travail

- CNRS/DEF n°17958

objet	<b>Conception des Systèmes Multi-technologiques et Mixtes : application aux systèmes opto-thermo-électroniques pour les télécommunications.</b>
Partenaire	Laboratoire d'opto-électronique et composants de Sétif, Algérie
dates	2004-2005
Financement de	Missions de coopération

- CNRS/DGRST n°13911

Objet	<b>Développement d'un utilitaire de simulation pour la conception de circuits à courants commutés à base de VHDL-AMS.</b>
Partenaire	ENIS : Ecole Nationale d'Ingénieur de Sfax
dates	2002-2003
Financement de	Missions de coopération

### 3.3 Contrats industriels

- NXP : prestation d'encadrement de thèse

Objet	<b>Conception d'une ADPLL.</b>
Partenaire	NXP Semiconductors France
dates	2008-2009, 1 an
Financement de	Stage de conception de 4 mois, fonderie d'un circuit en CMOS 65nm

Au cours de la thèse [1], nous avons collaboré avec NXP qui a financé un programme de travail commun sur 12 mois. Au cours de ce programme, NXP a accueilli Wissam Altabban pendant 4 mois en 2008 et lui a donné accès à sa technologie CMOS 65 nm pour la réalisation d'un circuit. Ce projet est décrit dans la partie D-3 du mémoire.

## 3.4 Contrats nationaux

- HyperSCAN : projet ANR Télécom

Objet	<b>Circuit Hyperfréquences Supraconducteur de Conversion Analogique Numérique porté en plateforme 200mm.</b>
Partenaires	CEA-INAC (Institut Nanosciences et Cryogénie) (coordinateur), CEA-LETI, Thalès Alenia Space, id3 semiconductors, LAHC-Université de Savoie
dates	2007-2010, 3 ans
Financement de	Réunions, missions, 18 mois de Post-doctorat, 4 stages

Grâce à ce projet, nous avons exploré les possibilités d'une technologie en rupture avec le CMOS, la supraconductivité, pour concevoir les convertisseurs très large bande nécessaire à la radio logicielle (voir C-2.1 du mémoire).

- NANOSYS : ACI (Action Concertée Incitative) du programme national Nanosciences

Objet	<b>Architectures pour l'intégration des nanocomposants moléculaires.</b>
Partenaires	IEF (Institut d'Electronique Fondamentale) Paris XI (coordinateur), CEA-LEM, CEA-LIST, INL, LIP6, IEMN, CEA-LETI, IMS, TIMA, InESS, LIRMM, INRIA, CEMES-CNRS, SUPAERO
dates	2004-2007, 3 ans
Financement de	Réunions, missions

Notre contribution dans le projet a porté sur la modélisation compacte du transistor à nanotube de carbone (CNTFET) dans le langage VHDL-AMS. Nous avons travaillé sur cette tâche en collaboration avec des équipes des universités de Bordeaux (IMS) et de Strasbourg (InESS) (voir C-1.1 du mémoire).

- SHAMAN : projet RMNT (Réseau Micro-Nano-Technologies)

Objet	<b>Simulation Hybride pour Applications Multidomaines Analogiques et Numériques.</b>
Partenaires	Ipsis (coordinateur), Thalès, Supaéro, Supélec, InESS-Université de Strasbourg, Mentor Graphics
dates	2002-2004, 2 ans
Financement de	Réunions, missions, 1 ingénieur doctorant [4]

Ce projet avait pour objectif de développer une bibliothèque de modèles de composants optoélectroniques en VHDL-AMS et de définir une méthodologie associée à l'écriture des modèles. Notre contribution est présentée dans la thèse [4] et synthétisée dans la partie B-2 du mémoire.

### 3.5 Contrats européens

- PANAMA : projet européen CATRENE

Objet	<b>Power Amplifiers and Antennas for Mobile Applications.</b>
Partenaires	NXP (F et NL) (coordinateur), STM (F et B), THALES, MC <sup>2</sup> , AMCAD Engineering, ESIEE PARIS, CEA-LETI, IMS, Belgique : Agilent, OMP NV, BVBA, KUL, Hollande : TU Delft, TNO, Espagne :EUT, Gige, UPC
dates	2009-2012, 3 ans
Financement de	Réunions, missions, 1 doctorant [5]

Le projet PANAMA est un projet très large qui couvre un grand nombre de technologies et d'applications dont l'objectif commun est d'augmenter l'efficacité des amplificateurs de puissance (PA) grâce à une approche système pour leur conception. Nous entamons un travail sur les récepteurs pour les stations de base cellulaires pour un fonctionnement en multi-mode 3G/4G. Dans ce récepteur, notre objectif est de concevoir un CAN reconfigurable qui puisse en parallèle améliorer l'efficacité de la voie d'émission.

## 4 ANIMATION DE LA RECHERCHE

### 4.1 Animation de la recherche au sein du groupe SIAM de Télécom ParisTech

Depuis 2003, je suis animatrice des séminaires de recherche du groupe SIAM. Deux fois par mois en moyenne, un membre du groupe présente son travail de recherche aux autres membres et nous en discutons ensuite. Ces échanges ont plusieurs résultats positifs : ils constituent un entraînement à la présentation pour les stagiaires et doctorants débutants, ils permettent à l'ensemble du groupe de bénéficier des connaissances développées et de la discussion peuvent naître de nouvelles idées à approfondir sur le sujet traité. Nous avons aussi des présentations de professeurs invités de passage ou en séjour de recherche chez nous.

### 4.2 Activités d'animation au sein de la communauté

- eSys : Groupement d'Intérêt Scientifique

Objet	<b>Groupement pour l'Electronique des Systèmes en Région Parisienne</b>
Partenaires	ESIEE, ISEP, Supélec, l'Université Paris XI, l'Université Paris VI, CNRS
dates	depuis 2008

Au niveau régional, nous avons créé le GIS eSys en octobre 2008. Les membres fondateurs sont l'ESIEE, l'ISEP, Supélec, Télécom ParisTech, l'Université Paris XI, l'Université Paris VI et le CNRS chacune dans leur composante « Electronique des Systèmes » : conception en électronique mixte et microsystemes. Notre objectif principal est

de fédérer des équipes de taille « moyenne » aux compétences voisines mais complémentaires pour offrir à l'enseignement et à la recherche dans ce domaine une visibilité et une masse critique suffisante.

Concrètement, nous partageons nos expériences d'enseignement et de recherche, nous établissons ensemble (et par thème) une stratégie de recherche, nous affichons nos centres de compétences et nous rencontrons des industriels pour générer des projets. Je participe aux réunions du thème « modélisation des systèmes hétérogènes ».

Au niveau national, je suis impliquée dans l'animation des groupes de réflexion du CNRS. J'ai d'abord travaillé au sein de l'action spécifique SoC-AMS qui comprenait plusieurs sous-projets. Pour le SP3 « Méthodes et Outils pour la conception des SoC-AMS », j'ai coproduit un rapport sur le flot de conception AMS.

Puis depuis 2007, j'anime avec Yann Deval, la thématique « AMS&RF » du GdR SoC-SiP. Nous organisons en moyenne deux journées thématiques par an et nous organisons notre partie du colloque national annuel du GdR (sélection de papiers et venue de conférenciers).

- « AMS&RF » : Thématique du GdR SoC-SiP du CNRS

Objet	<b>Animation large et sans frontière de la communauté des chercheurs et ingénieurs travaillant dans le domaine : Conception, méthodes et outils de conception AMS &amp; RF</b>
Partenaires	ensemble de la communauté nationale
dates	depuis 2007
Financement de	Réunions d'animation, organisation du colloque

- SoC-AMS : Action spécifique du CNRS

Objet	<b>Systèmes sur puce – systèmes analogiques et mixtes</b>
Partenaires	LIP6-Université Paris VI (coordinateur), IEF, IETR, INT, IMS, LAAS, LE2I, LEI, INL, LIRMM, LIS, ST Microelectronics, TIMA, IEMN, ISEP, Motorola, InESS, Supélec, Supaéro, ESIEE, U. Brest, U. Nice, IRCOM, LEST, LISA-CPE Lyon
dates	2002-2004, 2 ans
Financement de	Réunions d'animation

- Au niveau international, je suis **membre de la société IEEE** depuis l'an 2000 et je suis les travaux du groupe de normalisation du VHDL-AMS IEEE P1076.1.

## 5 EVALUATION DE TRAVAUX DE RECHERCHE

### 5.1 Participation à des jurys de thèse

- [20] Foudil DADOUCHE, « Modélisation et Simulation, en VHDL-AMS, de Capteurs d'Images CMOS », Doctorat en Electronique, Université Paris VI, Décembre 2007. Directeur : Patrick Garda.
- [21] Nesrine KSENTINI, "Contribution au développement d'un outil de synthèse analogique. Application aux systèmes à courants commutés", Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Novembre 2007. Directeurs : Jean-Jacques Charlot et Nouri Masmoudi.
- [22] Nicolas L'HOSTIS, "Techniques et méthodes de conception basse consommation en technologie SOI", Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Juin 2007. Directeur : Amara Amara .
- [23] Antoine JALABERT, "Architecture de mémoire haute densité à base d'électronique moléculaire tolérante à un très grand nombre de défauts", Doctorat en Electronique et Communications, Ecole Nationale Supérieure des Télécommunications, Novembre 2006. Directeur : Amara Amara.
- [24] Sébastien SNAIDERO, « Modélisation multidisciplinaire VHDL-AMS de systèmes complexes : vers le Prototypage Virtuel », Doctorat en Microélectronique, Université Louis Pasteur Strasbourg I, Décembre 2004. Directeur : Yannick Hervé.

## 5.2 *Relecture d'articles pour journaux et conférences scientifiques*

Chaque année depuis 2004, je suis sollicitée pour effectuer la revue d'articles de journaux ou de conférences. Voici la liste des journaux et des conférences pour lesquels j'ai déjà œuvré :

*Journaux* : IEEE TCAS, Microelectronics Journal, Sensors Journal

*Conférences* : ISCAS, NEWCAS, ICECS, TAISA

## **Conclusion**

Ce chapitre présente un bilan quantitatif de mes activités de recherche. Il montre un très bon niveau de publications, l'encadrement de 4 thèses soutenues, 2 post doctorats et 10 stages de recherche, de nombreuses collaborations dans des projets nationaux et internationaux, la réalisation de contrats industriels et une implication significative dans l'animation de la recherche au niveau national.

Pour l'avenir, 3 thèses sont en cours et les perspectives de recherche ont été énoncées clairement dans le contexte actuel de la microélectronique dans le chapitre principal du mémoire.

## Annexe C : Liste des Publications

### C.1 Revues internationales avec comité de lecture et chapitre de livre

- [10] A. Maalej, M. Ben-Romdhane, C. Rebai, P. Desgreys, P. Loumeau and A. Ghazel, “Pseudorandom Direct Sampler for Non-Uniform Sub-sampling Architecture in a Multistandard Receiver”, *Journal of Computer*, accepted in Dec. 2009.
- [9] S.D. Hamieh, P. Desgreys and J.F. Naviner, “Scattering effects on the performance of carbon nanotube field effect transistor in a compact model”, *The European Physical Journal B*, DOI: 10.1140/epjb/e2009-00434-6, Dec. 2009.
- [8] C. Rebai, M. Ben-Romdhane, P. Desgreys, P. Loumeau and A. Ghazel, “Pseudorandom signal sampler for relaxed design of multistandard radio receiver”, *Microelectronics Journal*, DOI: 10.1016/j.mejo.2009.01.010, vol. 40, pp.991-999, June 2009.
- [7] R. Guelaz, P. Desgreys and P. Loumeau, “Wide-Band Sigma-Delta ADC Design in Superconducting Technology”, in *Languages for Embedded Systems and their Applications*, DOI: 10.1007/978-1-4020-9714-0, Springer publishing, chap. 7, pp.101-112, 2009.
- [6] W. Altabban, P. Desgreys and H. Petit, “Behavioral Model of LC VCO with LTV Phase Noise in VHDL-AMS”, *Transactions on Systems, Signals and Devices*, ISBN: 978-3-8322-7801-4, Shaker publishing, vol. 3, no. 4, pp. 445-468, Dec. 2008.
- [5] A. Latiri, L. Joet, P. Desgreys and P. Loumeau, “Passive second-order anti-aliasing filter for RF sampling based receivers”, *IEE Electronics Letters*, vol. 43, no. 1, Jan. 2007.
- [4] A. Latiri, L. Joet, P. Desgreys and P. Loumeau, « A Reconfigurable RF Sampling Receiver for Multistandard », *Comptes Rendus Physique "Towards reconfigurable and cognitive communications"*, DOI : 10.1016/j.crhy.2006.07.007, vol. 7, n° 7, pp.785-793, Sept. 2006.
- [3] Z. Toffano, M. Pez, P. Desgreys, Y. Hervé et al. , “Multilevel Behavioral Simulation of VCSEL-based Optoelectronic Modules”, *IEEE Journal of Selected Topics in Quantum Electronics*, DOI : 10.1109/JSTQE.2003.818348 , Vol. 9, No. 3, pp. 949-960, June 2003.
- [2] P. Loumeau, J.-F. Naviner, H. Petit, L. Naviner et P. Desgreys, “Analog to Digital Conversion: Technical Aspects”, *Annales des Télécommunications*, pp. 338, May 2002
- [1] P. Riffaud, G. Tourneur, E. Garnier, et P. Roux, “Charge injection error reduction circuit for switched-current systems”, *IEE Electronics Letters*, vol. 33, no. 20, pp. 1689-1691, Sept. 1997.

### C.2 Revue nationale sans comité de lecture



- [1] C. Le Brun, M. Pez; P. Desgreys, Z. Toffano, Y. Hervé, J-C. Mollier et J. Oudinot, “SHAMAN, une approche multidisciplinaire pour la conception de modules d’interconnexion optique”, Revue de l’Electricité et de l’Electronique, no. 9, Oct. 2002.

### C.3 Conférences internationales avec actes et comité de lecture

- [32] W. Altabban, P. Desgreys, H. Petit, K. Ben Kalaia and L. Rolland du Roscoat, “Merged Digitally Controlled Oscillator and Time to Digital Converter for TV band ADPLL”, IEEE International Symposium on Circuits and Systems ISCAS2010, Paris, June 2010.
- [31] A. Maalej, M. Ben-Romdhane, P. Desgreys, P. Loumeau, C. Rebai, and A. Ghazel, « Data Acquisition Test Platform for Non Uniformly Controlled ADC », IEEE DTIS2010, Hammamet, Tunisia, March 2010.
- [30] H. Gassara, P. Desgreys, P. Loumeau and P. Febvre, “Design of an I/Q Mixer for Bandpass  $\Delta\Sigma$  ADC in Superconducting Technology”, Euroflux2009 international conference, Avignon, September 2009
- [29] M. Ben-Romdhane, C. Rebai, P. Desgreys, A. Ghazel and P. Loumeau, “Flexible Baseband Analog Front-end for NUS based Multistandard Receiver”, IEEE NEWCAS-TAISA09, Toulouse, July 2009.
- [28] M. Slimani, R. Guelaz, P. Desgreys and P. Loumeau, “Decimation filter design for RSFQ  $\Sigma\Delta$  converter”, IEEE NEWCAS-TAISA09, Toulouse, July 2009.
- [27] J-C Villegier, S. Bouat, D. Renaud, P. Cavalier, L. Maingault, R. Setzu, V. Michal, R. Espiau de Lamaëstre, C. Socquet-Clerc, P. Desgreys, R. Guelaz and P. Loumeau, “NbN Integrated SFQ Electronics Combined with Photonics on Silicon”, Superconducting SFQ VLSI Workshop SSV 09, Fukuoka, Japan, June 2009.
- [26] R. Guelaz, P. Desgreys and P. Loumeau, “Superconducting Circuits Design Tool: Application to High Frequency Sigma Delta AD”, University Booth at DATE09, Nice, April 2009.
- [25] M. Ben-Romdhane, C. Rebaï, A. Ghazel, P. Desgreys et P. Loumeau, « Low Power Data Conversion based on Non Uniform Sampling for Multistandard Receiver », IEEE DTIS2009, Cairo, Egypt, April 2009.
- [24] M. Ben-Romdhane, C. Rebai, A. Ghazel, P. Desgreys and P. Loumeau, “Pseudorandomly Controlled ADC Characterization towards Multistandard Receiver”, Proc. IEEE Int. Conf. on Sensors, Circuits and Instrumentation Systems SSD’09, Djerba, Tunisia, March 2009.
- [23] R. Guelaz, P. Desgreys, P. Loumeau and P. Febvre, “RSFQ comparator behaviour modelling for sigma-delta bandpass ADC”, DCIS08, Grenoble, Nov. 2008.
- [22] R. Guelaz, P. Desgreys and P. Loumeau, “A sigma-delta bandpass ADC modelling in superconducting RSFQ technology with VHDL-AMS”, FDL08, Stuttgart, Germany, Sept. 2008.
- [21] M. Ben-Romdhane, C. Rebaï, A. Ghazel, P. Desgreys et P. Loumeau, « Pseudorandom Clock Signal Generation for Data Conversion in a Multistandard Receiver », IEEE DTIS2008, Tozeur, Tunisie, March 2008.
- [20] M. Ben-Romdhane, C. Rebai, K. Grati, A. Ghazel, G. Hechmi, P. Desgreys and P. Loumeau, «Non-Uniform Sampled Signal Reconstruction for Multistandard WiMAX/WiFi Receiver», IEEE Int. Conf. on Signal Processing and Communications ICSPC07, Dubaï, United Arab Emirates, Nov. 2007.
- [19] W. Altabban, P. Desgreys and H. Petit, “Time dependent phase noise model for LC VCO using VHDL-AMS”, IEEE Int. Conf. on Sensors, Circuits and Instrumentation Systems SSD’07, Hammamet, Tunisia, March 2007.

- [18] P. Desgreys, J. Gomes Da Silva and D. Robert, «Dispersion Impact on Ballistic CNTFET N+-I-N+ Performances», ENS06, Paris, Déc. 2006.
- [17] Y. Hervé and P. Desgreys, « “Functional Virtual Prototyping” Design Flow and VHDL-AMS », FDL06, Darmstadt, Germany, Sept. 2006.
- [16] M. Ben-Romdhane, C. Rebaï, A. Ghazel, P. Desgreys et P. Loumeau, « Non-Uniform Sampling Schemes for IF Sampling Radio Receiver », IEEE DTIS, Tunis, Tunisie, Sept. 2006.
- [15] V.T. Nguyen, P. Desgreys, P. Loumeau et J.F. Naviner, « Noise Analysis in High-Pass  $\Delta\Sigma$  modulator », IEEE IMTC06, Sorrento, Italie, April 2006.
- [14] S. Peychet, P. Desgreys et C. Ware, « Simulation of jitter in an optoelectronic PLL with VHDL-AMS », DCIS05, Lisbonne, Portugal, Nov. 2005.
- [13] S. Peychet, P. Desgreys et C. Ware, « Optoelectronic PLL simulation and optimization with VHDL-AMS », IEEE Int. Conf. on Industrial Technology ICIT-04, Hammamet, Tunisie, Déc. 2004.
- [12] M. Karray, J-J. Charlot, P. Desgreys et M. Pez, « VHDL-AMS model of a VCSEL emission module with thermal effects », BMAS04, San José, CA, Oct. 2004.
- [11] P. Desgreys, M. Karray, S. Snaidero, Y. Hervé et J. Oudinot, “SoC modelling for virtual prototyping with VHDL-AMS”, FDL’04, Lille, Sept. 2004.
- [10] M. Karray, P. Desgreys et J-J. Charlot, “Electro-Thermal Model Of An Optical Transmitter”, IEEE Int. Conf. on Industrial Technology ICIT-03, Maribor, Slovenia, Déc. 2003.
- [9] M. Karray, P. Desgreys and J-J. Charlot, “VHDL-AMS Modeling of VCSEL including noise”, in Proc. IEEE Int. Workshop on Behavioral, Modeling and Simulation, San Jose, CA, Oct. 2003.
- [8] M. Karray, P. Desgreys et J-J. Charlot, “VHDL-AMS Photoreceiver Model”, IWSOC, Calgary, Canada, Juil. 2003.
- [7] Y. Hervé and P. Desgreys, “ Behavioral model of Parallel Optical Modules”, in Proc. IEEE Int. Workshop on Behavioral, Modeling and Simulation, Santa Rosa, CA, Oct. 2002.
- [6] P. Desgreys, M. Karray, J-J. Charlot and Y. Hervé, “Opto-Electro-Thermal Model of a VCSEL array using VHDL-AMS”, in Proc. IEEE Int. Workshop on Behavioral, Modeling and Simulation, Santa Rosa, CA, Oct. 2002.
- [5] P. Desgreys, A. Tauvel and P. Loumeau, “SC and SI Techniques Performances Faced with Technological Advances”, in Proc. IEEE Int. Conf. Electronics, Circuits and Systems, Dubrovnik, Sept. 2002.
- [4] P. Desgreys and P. Loumeau, “Evolution of SI Circuit Performances with Technological Advances”, in Proc. IEEE Int. Conf. Electronics, Circuits and Systems, Malta, Sept. 2001.
- [3] P. Riffaud-Desgreys, E. Garnier, P. Roux, et P. Marchegay, “A New Structure of Algorithmic DAC in Switched-Current Technique”, IEE Int. Conf. on Advanced A/D and D/A Conversion Techniques and their Applications, Glasgow, UK, 26-28 Juil. 1999.
- [2] M. Loulou, P. Riffaud-Desgreys, Ph. Marchegay, et E. Garnier, “A clock-feedthrough compensated switched current integrator”, IEEE Int. Conf. On Electronics, Circuits and Systems, ICECS 98, Lisbon, Sept. 1998.
- [1] P. Riffaud-Desgreys, E. Garnier, P. Roux, M. Loulou, et J. Tomas, “A Switched-Current Algorithmic DA Converter”, IEEE Int. Workshop on Design of Mixed-Mode Integrated Circuits and Applications, Guanajuato, Mexico, 27-29 Juillet 1998.

#### **C.4 Conférences nationales avec comité de lecture**

- [18] P. Desgreys, R. Guelaz and P. Loumeau, "Band-Pass Sigma-Delta ADC Design in RSFQ Technology", 6ème journées « Dispositifs supraconducteurs » Journées SUPRA 2009, Fréjus, Mai 2009.
- [17] W. Altabban, P. Desgreys and H. Petit, "Modèle Comportemental de ADPLL en VHDL-AMS", Colloque du GDR SoC-SiP, Paris, June 2008.
- [16] R. Guelaz, P. Desgreys and P. Loumeau, "RSFQ comparator modelling for superconducting sigma-delta bandpass ADC", Colloque du GDR SoC-SiP, Paris, June 2008.
- [15] W. Altabban, P. Desgreys and H. Petit, «Implémentation et simulation d'un modèle LTV du bruit de phase dans un VCO», TAISA07, Lyon, Oct. 2007.
- [14] M. Ben-Romdhane, P. Desgreys, P. Loumeau, C. Rebai and A. Ghazel, «Intérêt et Applications de l'Echantillonnage Non-Uniforme pour les Récepteurs Radio Multistandard », TAISA07, Lyon, Oct. 2007.
- [13] W. Altabban, P. Desgreys and H. Petit, "Modélisation Comportementale d'une ADPLL en VHDL-AMS", Colloque du GDR SoC-SiP, Paris, June 2007.
- [12] M. Ben-Romdhane, P. Desgreys, P. Loumeau, C. Rebai, K. Grati and A. Ghazel, "Vers les Convertisseurs Analogiques Numériques à Echantillonnage Non-Uniforme", Colloque du GDR SoC-SiP, Paris, June 2007.
- [11] A. Latiri, P. Desgreys and P. Loumeau, "A Reconfigurable GSM-WIFI Radio Receiver Based on RF Sampling", Colloque du GDR SoC-SiP, Paris, June 2007.
- [10] P. Desgreys, J. Gomes Da Silva and D. Robert, « Impact de la dispersion sur les performances du CNTFET n+-i-n+ balistique », TAISA06, Strasbourg, Oct. 2006.
- [9] A. Latiri, L. Joet, P. Desgreys et P. Loumeau, « Récepteur à échantillonnage RF reconfigurable pour applications multistandards », Journées scientifiques de l'URSI, Paris, Mars 2006.
- [8] A. Latiri, M. Ben Romdhane, P. Desgreys et P. Loumeau, « Impact du bruit de phase sur les performances de l'échantillonnage RF », TAISA05, Marseille, Oct. 2005.
- [7] A. Gholami, Z. Toffano, A. Destrez, P. Desgreys et M. Karray, « Modélisation multi-technologique de modules optoélectroniques VCSEL pour communications courte distance et haut débit », JNOG04, Paris, Oct 2004.
- [6] S. Peychet, P. Desgreys et C. Ware, "Etude du jitter dans une PLL optoélectronique avec VHDL-AMS », TAISA04, Lausanne, Suisse, Oct. 2004.
- [5] M. Karray, P. Desgreys, J-J. Charlot, S. Snaidero et Y. Hervé, "Modèle VHDL-AMS d'un module optoélectronique : photorécepteur", JSF'03, Tozeur, Déc. 2003.
- [4] P. Desgreys, Z. Toffano, M. Karray, et J-J. Charlot, "Modèle Multi domaine et Générique sur les Données Constructeur d'une Barrette de VCSELs", JSF'03, Tozeur, Déc. 2003.
- [3] P. Desgreys, M. Karray, J-J. Charlot et Y. Hervé, "Modèle thermo-opto-électrique d'une diode VCSEL en VHDL-AMS.", Colloque TAISA'02, Paris, Sept. 2002.
- [2] P. Desgreys, A. Tauvel et P. Loumeau, "Impact des nouvelles technologies numériques sur les performances des circuits SC et SI.", Colloque TAISA'02, Paris, Sept. 2002.
- [1] P. Desgreys et P. Loumeau, "Impact de l'évolution technologique sur la conception SI.", Colloque TAISA'01, Bordeaux, Sept. 2001.

## **Annexe D : Sélection de publications**

1. **La technique des courants commutés (1996-2002)** : P. Riffaud, G. Tourneur, E. Garnier, et P. Roux, “Charge injection error reduction circuit for switched-current systems”, *IEE Electronics Letters*, vol. 33, no. 20, pp. 1689-1691, Sept. 1997.
2. **Modélisation comportementale mixte et multi domaine (2002-2006)** : Z. Toffano, M. Pez, P. Desgreys, Y. Hervé *et al.* , “Multilevel Behavioral Simulation of VCSEL-based Optoelectronic Modules”, *IEEE Journal of Selected Topics in Quantum Electronics*, DOI : 10.1109/JSTQE.2003.818348 , Vol. 9, No. 3, pp. 949-960, June 2003.
3. **Technologies émergentes (depuis 2004)** : S.D. Hamieh, P. Desgreys and J.F. Naviner, “Scattering effects on the performance of carbon nanotube field effect transistor in a compact model”, *The European Physical Journal B*, DOI: 10.1140/epjb/e2009-00434-6, Dec. 2009.
4. **Conception de systèmes pour la Radio Logicielle (depuis 2004)** : A. Latiri, L. Joet, P. Desgreys and P. Loumeau, “Passive second-order anti-aliasing filter for RF sampling based receivers”, *IEE Electronics Letters*, vol. 43, no. 1, Jan. 2007.

square of the applied voltage the signal is measured (see Fig. 2) at the second harmonic (50kHz).

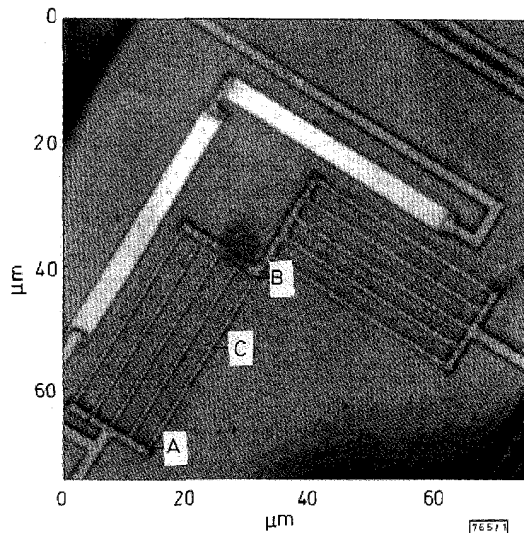


Fig. 1 Optical image of sample

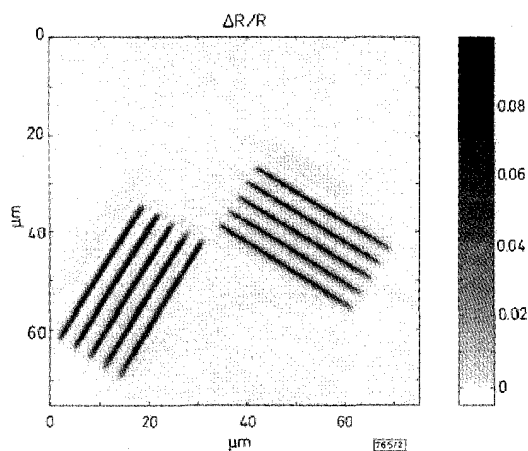


Fig. 2 Second harmonic temperature field  
Joule heating

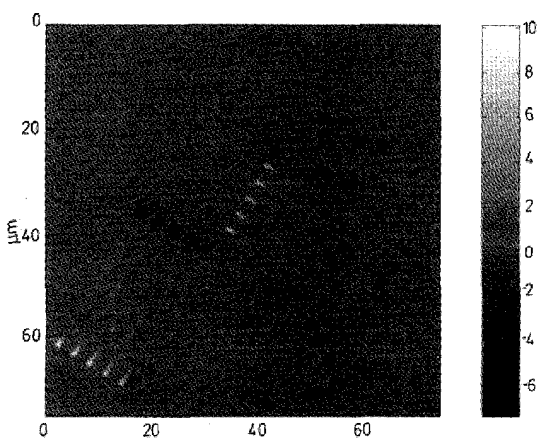


Fig. 3 First harmonic temperature field  
Peltier heating

In addition to this Joule heating, a Peltier thermoionic effect occurs at ohmic contacts when current flows. We can see clearly in Fig. 3 heating at points marked A and cooling at points marked B as current flows from A to B (see Fig. 1).

Fig. 4 shows the two signals against applied voltage at points marked A and C on the sample (see Fig. 1). This confirms the linear and quadratic dependencies for the Peltier and Joule source terms, respectively.

Conclusion: This new setup now offers the possibility to obtain a

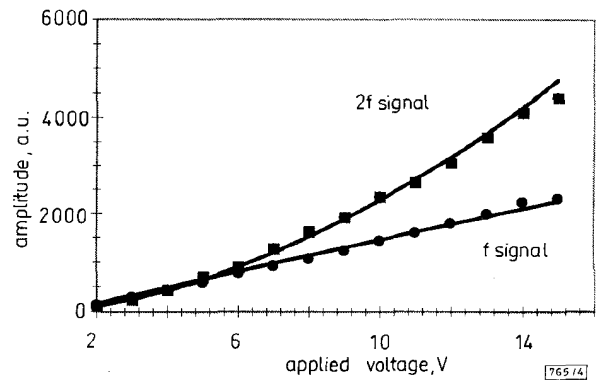


Fig. 4 First and second harmonic signals against applied voltage

full image in one acquisition (< 2min), thus considerably reducing the measurement time. The multichannel approach permits high frequency detection which is a crucial factor in obtaining good thermal spatial resolution.

© IEE 1997

29 July 1997

Electronics Letters Online No: 19971133

B.C. Forget, S. Grauby and D. Fournier (Université P.&M. Curie, UPR A0005 CNRS, ESPCI, 10 rue Vauquelin, 75231 Paris cedex 05, France)

P. Gleyzes and A.C. Boccarda (Laboratoire d'Optique, UPR A0005 du CNRS, ESPCI, 10 rue Vauquelin, 75231 Paris cedex 05, France)

#### References

- 1 OPSAL, J., ROSENCWAIG, A., and WILENBORG, D.L.: 'Thermal-wave detection of thin film thickness measurements with laser beam deflection', *Appl. Opt.*, 1983, **22**, (20), pp. 3169-3176
- 2 PLAMANN, K., FOURNIER, D., FORGET, B.C., and BOCCARA, A.C.: 'Microscopic measurement of the local heat conduction in polycrystalline diamond films', *Diam. Rel. Mater.*, 1996, **5**, pp. 699-705
- 3 FORGET, B.C., BARBEREAU, I., FOURNIER, D., TULI, S., and BHATTACHARYYA, A.B.: 'Electronic diffusivity measurement in silicon by photothermal microscopy', *Appl. Phys. Lett.*, 1996, **69**, (8), pp. 1107-1109
- 4 MANSANARES, A.M., ROGER, J.P., FOURNIER, D., and BOCCARA, A.C.: 'Temperature field determination of InGaAsP/InP lasers by photothermal microscopy: Evidence for weak nonradiative processes at the facets', *Appl. Phys. Lett.*, 1994, **64**, (1), pp. 4-6
- 5 CLAEYS, W., DILHAIRE, S., QUINTARD, V., LEWIS, D., PHAN, T., and AUCOUTURIER, J.L.: 'Interferences of peltier thermal waves produced in ohmic contacts upon integrated circuits', *J. Phys IV*, 1994, **4**, pp. 195-198 (Suppl. C7)
- 6 BOCCARA, A.C., CHARBOMMIER, F., FOURNIER, D., and GLEYZES, P.: 'Method and device for multichannel analog detection'. French patent FR 90.08255 (and international extensions), 1990
- 7 GLEYZES, P., GUERNET, F., and BOCCARA, A.C.: 'Profilométrie picométrique. ii. l'approche multi-détecteur et la détection synchrone multiplexée', *J. Opt. (Paris)*, 1995, **26**, (6), pp. 251-265

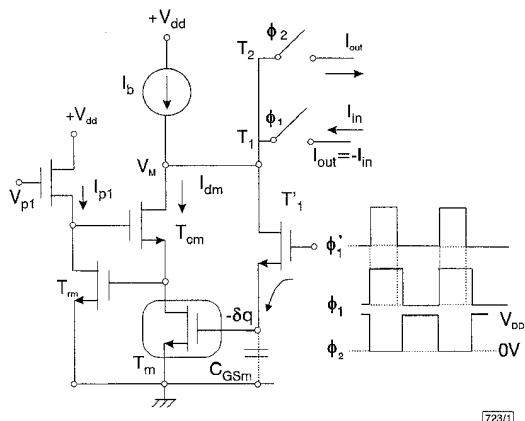
#### Charge injection error reduction circuit for switched-current systems

P. Riffaud, G. Tourneur, E. Garnier and P. Roux

Indexing terms: Switched current circuits, Integrated memory circuits

The authors propose a novel circuit for reducing the charge injection error based on the technique of current source replication, applied to a second generation memory cell. Using the proposed circuit, offset error, linear gain error, and total harmonic distortion are significantly reduced to the detriment of the occupied die area and the power dissipation, which are multiplied by a factor of three.

**Introduction:** The many advantages offered by the switched-current (SI) technique make designers interested in the improvement of its basic cell. Hence, the schematic diagram shown in Fig. 1 presents a second generation SI memory cell. The regulated cascode configuration is used for the memory transistor  $T_m$  in order to cancel the effect of channel length modulation [1]. During its two operation phases, the memorising cell samples and holds the input current.



**Fig. 1 Regulated cascode SI current memory cell**  
 $(W/L)_m = 15/5$ ,  $(W/L)_{cm} = 4/0.8$ ,  $(W/L)_{m'} = 14/0.8$

However, in practice, the memorised current is different from the input current because of the non-ideal operating of NMOS switch  $T'_1$ . When  $T'_1$  is opening, an negative extra charge  $-\delta q$  is injected to the gate source capacitance  $C_{GSm}$  of  $T_m$ . The most significant effect at the origin of this injection is channel charge redistribution [2]. The extra charge causes a drop in  $V_{GSm}$  by  $\delta V = \delta q / C_{GSm}$ . Therefore, the resulting drain current of the memory becomes  $I_{dm} - \delta I_m$ , where  $\delta I_m$  is the error current due to the charge injection. According to a MOS basic model in the saturation zone, the usual equations yield  $\delta I_m$  in eqn. 1:

$$\delta I_m = K_m \delta V [2(V_{GSm} - V_T) - \delta V] \quad (1)$$

with  $K_m = (\mu C_{ox}/2)(W/L)_m$ . Finally,  $I_{out} = -I_m + \delta I_m$ .

To solve this problem, various methods for cancelling the charge injection effect have been proposed such as the dummy transistor, the differential structure [3], or the technique of current source replication [2]. However, these methods have shown their limits, notably the last one because it uses a first generation memory cell. In the new circuit proposed in this Letter, the current cancellation technique is then applied to a second generation memory cell with the significant advantage of being, at first-order, insensitive to device mismatching.

**Proposed reduction circuit:** The proposed reduction circuit combines:

- (i) a second generation SI memory cell in which the memory transistor  $T_m$  doubles in size;
- (ii) another transistor  $T_3$ , identical to  $T_1$  and  $T_2$ ;
- (iii) a current mirror providing a copy of  $I_3$ ,  $I_2$ , which is injected at the drain of the memory transistor  $T_m$ .

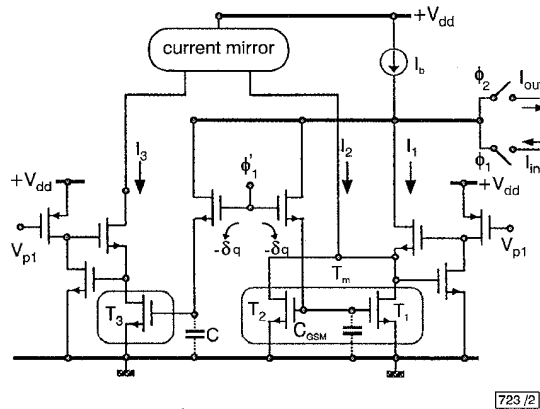
During phase 1, the currents  $I_b$  and  $I_m$  enter the cell, implying that  $I_1 = I_b + I_m$ . Since their gates are connected together, the transistors  $T_1$ ,  $T_2$  and  $T_3$  sink the same current. Then, from  $I_1 + I_2 = 2I_3$  and  $I_2 = I_3$ , it results that the currents  $I_1$ ,  $I_2$  and  $I_3$  are all set to  $I_b + I_m$ . The two switches controlled by  $\phi'_1$  operate in the same conditions during phase 1, and inject when opening the same negative extra charge  $-\delta q$  to the gate source capacitances,  $C_{GSm}$  of  $T_m$  and  $C$  of  $T_3$ . These extra charges cause a drop in  $V_{GSm}$  by  $\delta V = \delta q / C_{GSm}$  and in  $V_{GS3}$  by  $\delta V_3$  equal to  $2\delta V$  since  $C_{GS3} = 2C$ . Applying eqn. 1, the error current is then

$$\delta I_1 = \delta I_m - \delta I_2 = K_m \delta V^2 \quad (2)$$

And, finally  $I_{out} = -I_m + \delta I_1$ .

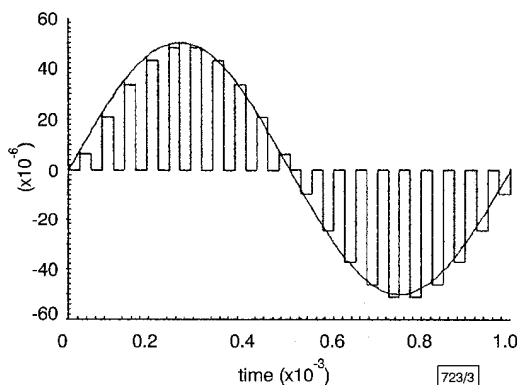
The residual error still depends on the input current because the injected charge  $\delta q$  varies with the value of  $T_m$  gate voltage. However, the largest part of the current error, which is first-order signal dependent, is cancelled.

**Simulation results:** The operation of both the second generation SI memory cell presented in Fig. 1 and the reduction circuit proposed in Fig. 2 are simulated with a SpectreS application program, in a Cadence environment. This program uses the level 3 MOS transistor model for a 0.8  $\mu\text{m}$  standard CMOS process.

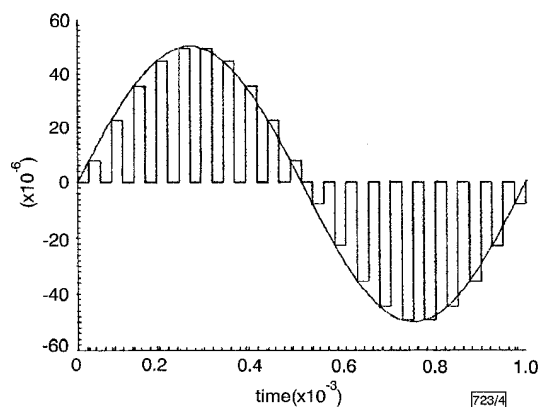


**Fig. 2 Proposed reduction circuit**

The supply voltage is set to 3.3V and the biased currents  $I_b$  and  $I_{P1}$ , respectively, are set to 100 and 3  $\mu\text{A}$ . The clock input is a 0 to 3.3V pulse. The frequency of the input signal is 1kHz and that of the clock pulse is 20kHz, since only static behaviour is considered.



**Fig. 3 Sinewave sampling with basic memory cell**



**Fig. 4 Sinewave sampling with proposed reduction circuit**

The curves, presented in Figs. 3 and 4, show the output currents obtained by sampling a 5  $\mu\text{A}$  amplitude input sinewave. As predicted, the charge injection error is quite reduced by using the proposed circuit.

**Table 1: Comparative Table of results**

Feature	Basic memory cell	Proposed circuit
Offset error	1.7 $\mu\text{A}$	24 nA
Linear gain error	0.28%	0.01%
THD	0.175%	0.038%
Power dissipation	100 $\mu\text{A}$	300 $\mu\text{A}$
Occupied die area	153 $\mu\text{m}^2$	440 $\mu\text{m}^2$

The main features of the two circuits are summarised in Table 1.

The offset error is divided by 70, the linear gain error by 20 and the total harmonic distortion is reduced by 13dB.

**Conclusion:** Thus, the comparative Table of results shows that a significant improvement in accuracy and linearity is obtained when the proposed circuit is used. These improvements convey drawbacks: the occupied die area and the power dissipation are multiplied by three. However, it is worthwhile to use the proposed circuit for applications requiring high accuracy memory cell.

© IEE 1997

25 July 1997

Electronics Letters Online No: 19971172

P. Riffaud, G. Tourneur, E. Garnier and P. Roux (Laboratoire d'Etudes de l'Integration des Composants et Systemes Electroniques, Université de Bordeaux I, 351 cours de la Libération, F-33405 Talence Cedex, France)

Corresponding author: E. Garnier

## References

- TOUMAZOU, C., HUGHES, J.B., and PATTULO, D.M.: 'Regulated cascode switched-current memory cell', *Electron. Lett.*, 1990, **26**, (5), pp. 303-305
- SONG, M., LEE, Y., and KIM, W.: 'A clock-feedthrough reduction circuit for switched-current systems', *IEEE J. Solid-State Circuits*, 1993, **28**, (2), pp. 133-137
- CHA, H.W., and WATANABE, K.: 'A clock-feedthrough and offset compensated fully-differential switched-current circuit', *IEICE Trans. Fundam.*, 1995, **E78-A**, (11), pp. 1531-1533

## High-speed divide-by-4/5 counter for a dual-modulus prescaler

Ching-Yuan Yang, Guang-Kaai Dehng and Shen-Iuan Liu

*Indexing terms: Dividing circuits, CMOS integrated circuits*

A new high-speed divide-by-4/5 counter is developed. Based on this divide-by-4/5 counter, a 3V 2M ~1.1GHz dual-modulus divide-by-128/129 prescaler fabricated with 0.6µm CMOS technology is presented. Its maximum operating frequency of 1.11GHz with power consumption of 19.2mW has been measured at a 3V supply voltage. In addition, for a power supply of 1.5V, the circuit consumed 2.67mW at a maximum input frequency of 520MHz.

**Introduction:** In the world of modern communication, a frequency synthesiser with a high frequency prescaler is an important building block. New techniques offering higher integration density, lower power consumption, and high-speed capability are developed to achieve a high-speed CMOS prescaler. Some circuits, using advanced processes and/or special circuit techniques, are proposed to realise the high-speed dual-modulus prescalers. [1] Among them, the true single phase circuit technique [2] has resulted in many complex CMOS circuits operating at clock frequencies of several hundred MHz [3], and some CMOS circuits operating at > 1GHz [4, 5] in the last few years. In this Letter, a new architecture of a dual-modulus prescaler is presented and fabricated with 0.6µm CMOS technology. Experimental results are given to demonstrate its performance.

**Circuit description:** Most divide-by-128/129 dual-modulus prescalers [4, 5] consist of a synchronous divide-by-4/5 counter as the first (high-frequency) stage, followed by a chain of toggle flip-flops (TFFs), which forms an asynchronous divide-by-32 counter as the second (low-frequency) stage. The operating speed of prescalers is mainly limited by that of the divide-by-4/5 counter. Unlike the conventional architecture of the divide-by-4/5 counter, our approach is to preprocess the clock signal and to cascade the divide-by-two stages as shown in Fig. 1. There is a clock pre-

processor (CP) and also two TFFs in the proposed circuit. The clock preprocessor consists of a 'half transparent' (HT) register [6] in the front, and a domino CMOS logic [7] in the rear. The HT register in its register mode (with a '0' input) is extremely fast; nearly one inverter delay is required. In its transparent mode (with a '1' input), the inverse data directly returns to the input of the precharged stage (becoming '0') so that the output signal is allowed to delay a period of the input signal. If *MC* is set to '0', then *MCx* is always '1', and this domino gate is used as the buffer stage of the two-stage inverter and directly transports the signal to the next stage (TFF). The state in the HT register is not effected since its input *CKx* is the inverse of clock signal 'in'. In this situation, the output frequency equals *fin*/4, where *fin* is the frequency of the input signal 'in'.

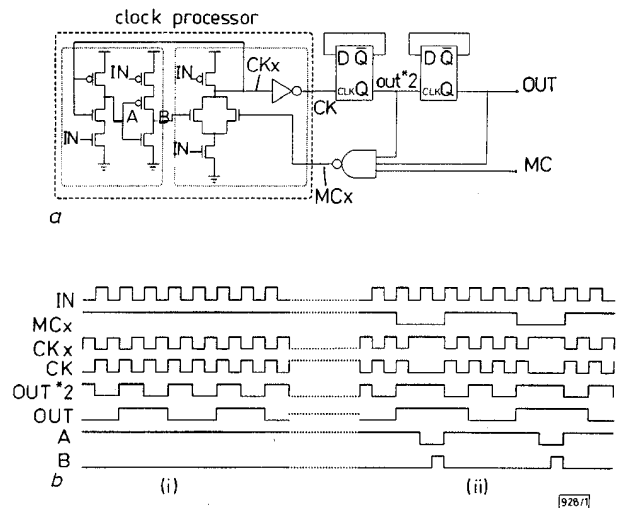


Fig. 1 Schematic diagram of circuit of divide-by-4/5 and corresponding timing diagram

- Circuit
- Timing diagram
  - waveforms on divided-by-4 circuit ( $mc = 0$ )
  - waveforms on divided-by-5 circuit ( $mc = 1$ )

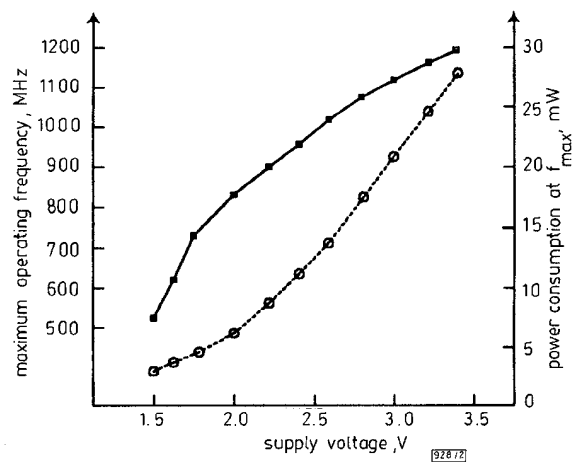


Fig. 2 Measured maximum operating frequency and power consumption of divide-by-128/129 circuit against power supply voltage

- maximum operating frequency
- - - power consumption

If *MC* is set to '1', the NAND gate forces *MCx* to be '1' or '0', depending on the nodes *OUT\*2* and *OUT*; then, divide-by-5 operation can be obtained. When the control signal *MCx* is '1', the CP acts just as a buffer and the output frequency equals one-fourth of the input frequency. However, when *MCx* is '0' (i.e. the outputs of these two TFFs are '1'), the *N*-logic block in the domino gate is forced to turn off. This causes the domino gate to hold the pre-charge state (i.e. *CKx* is '1'), although the signal 'in' is changed to '1'. Observe that node 'A' is changed to '0' through the *N*-C<sup>2</sup>MOS stage of the HT register. In the next half period of 'in' (which becomes '0'), node 'B' in the *P*-C<sup>2</sup>MOS stage of the HT register is precharged to 1. At this time (node 'B' becoming '1'), it will not

# Multilevel Behavioral Simulation of VCSEL-Based Optoelectronic Modules

Zeno Toffano, *Member, IEEE*, Mathias Pez, Patricia Desgreys, *Member, IEEE*, Yannick Hervé, *Member, IEEE*, Christine Le Brun, Jean-Claude Mollier, *Member, IEEE*, Gaële Barbary, Jean-Jacques Charlot, *Member, IEEE*, Stéphanie Constant, Alain Destrez, Mohammed Karray, Morgane Marec, Angélique Rissons, and Sébastien Snaidero

**Abstract**—The assembly within a single optoelectronic interconnect module of different components, including vertical-cavity semiconductor lasers and photodiode arrays, optical fibers, and electronics implying electrical, optical, mechanical, and thermal interactions, introduces new constraints in the conception phase and necessitates a new and different approach for modeling and simulation. A promising solution, when conceiving optoelectronic microelectromechanical systems, is obtained by simulation with the multilevel language VHDL-AMS based on system component parameters and standards.

**Index Terms**—Behavioral modeling, optical interconnections, optoelectronic devices, vertical-cavity semiconductor laser (VCSEL) arrays, VHDL-AMS.

## I. INTRODUCTION

OPTOELECTRONIC complex modules integrate electronics and optical components within a single system. This points out the need for suitable computer-aided design (CAD) tools, able to simulate in different domains such as electronics, optics, temperature effects, mechanics, and their interactions.

During the last ten years, the development of new low-cost optoelectronic components, such as vertical-cavity semiconductor lasers (VCSELs), has demonstrated that optics can be considered a solution for high-capacity applications in short distance communications defined also as optical interconnects [1]. Components are available, but the question is at what time will optical interconnects be sufficiently performing and their production cost fall low enough to replace copper cabling. For short distance applications, up to 300-m parallel optical links using VCSEL and photodiode arrays coupled to multimode

Manuscript received December 18, 2002; revised May 28, 2003. This work was supported in part by the Simulation Hybride pour Applications Multi-domaines Analogiques et Numériques (SHAMAN) project under the label Réseau pour les Micro et NanoTechnologies (RMNT), French Ministry of Research and Technology.

Z. Toffano and A. Destrez are with Service Radio, Supelec, École Supérieure d'Électricité, F-91192 Gif Cedex, France (e-mail: zeno.toffano@supelec.fr).

M. Pez and G. Barbary are with THALES Research & Technology, 91404 Orsay Cedex, France.

P. Desgreys, J.-J. Charlot, and M. Karray are with ENST Laboratoire Traitement et Communication de l'Information (LTCI), 75634 Paris Cedex 13, France.

Y. Hervé and S. Snaidero are with CNRS-PHASE1 Pôle API, 67400 Illkirch, France.

C. Le Brun and M. Marec are with IPSIS Immeuble Lutétium, F-35510 Cesson Sévigné, France.

J.-C. Mollier, S. Constant, and A. Rissons are with ENSAE, 31055 Toulouse Cedex 4, France.

Digital Object Identifier 10.1109/JSTQE.2003.818348

TABLE I  
SHORT-RANGE OPTICAL INTERCONNECT MODULE PARAMETERS

Parameters	Symbol	Unit	Value	Notes
Number of Channels	$N_{ch}$	-	12	
Supply Voltage	$V_{cc}$	V	3.3	
Operating Temperature	$T$	°C	-40/+85	Range
Data Rate	$B$	Gbps	1 – 10	Range
Bit Error Rate	$BER$		$< 10^{-12}$	Full speed

fiber ribbons are the best solution resulting in aggregate data rates exceeding 10 Gb/s.

Optical interconnects are successfully used in local area networks (LANs) and in electronic backplane connections; this is also encouraged by new datacom standards such as GigaEthernet IEEE802.3ae, Very Short Range (VSR) from the Optical Internetworking Forum (OIF), Fiber Channel, and Infiniband [2]. The goals of these standards are cooperation among telecom industry participants including equipment manufacturers, telecom service providers, and end users in order to promote global development of optical internetworking products and promote nationwide and worldwide compatibility and interoperability. Actual proposed technical solutions present stringent constraints such as extended temperature range, a problem for integration and dynamic performances, low volume, and low consumption. This is necessary for general telecommunications applications but also in other fields such as space, defense, aeronautics, and automotive fields. General optoelectronic interconnect module standard specifications are presented in Table I.

## II. SIMULATION OF OPTOELECTRONIC MODULES

### A. Simulation Goals in the SHAMAN Project

Simulation of complex optoelectronic modules, in these applications, containing complete transmission chains is of great interest. However, the complexity of such advanced optoelectronic datacom systems is greatly increased compared to conventional electrical interconnects. Effects such as thermal, electrical, and mechanical interactions have to be taken into account from the beginning of the development. This requires reliable modeling.

Spice thermal models have been developed for single VCSELs [3], but when considering components in the form of arrays, global models have to be taken into account using a multilevel approach [4].



The high integration level of optoelectronic modules using components such as VCSEL and photodiode arrays, optical fibers, connectors, and associated electronic circuits leads to strong electrical, optical, thermal, and mechanical interactions. It is, thus, mandatory to use a multidomain simulation tool taking into account these cross interactions.

Physical models necessary for a reliable and not-time-consuming simulation of the optoelectronic modules must be based on available component parameters. We define them as system parameters; these are found in component manufacturer data sheets or are based on measurements made with standard end-user equipment such as for example power meters, wavelength-meters, optical reflectometers, modern oscilloscopes including eye diagram analysis, error detectors, optical and electrical spectral analyzers, etc.

Commonly in the relatively new optoelectronic field, simulation models use extensively internal physical component parameters that are very difficult to obtain or to measure especially for nonmanufacturing and nonresearch developers and users. This fact leads to low versatility simulation tools and at the end to a limited diffusion of new optoelectronic technologies when compared to microelectronics technologies which dispose of powerful CAD tools based on standard and realistic parameters.

Models developed from the Simulation Hybride analogique Mixte pour Applications Numériques (SHAMAN) project parallel optoelectronic demonstrator modules are dedicated to end-users such as the telecom and datacom equipment manufacturers and communications and signal processing designers.

Very accurate physical or mathematical modeling with large amount of internal material parameters and specific optoelectronic, thermal, or mechanical know-how is not suitable for a large diffusion of these models among communities which operate principally at the system level. Therefore, one of the main objectives of the SHAMAN project is to develop and evaluate reliable physical models and define as exhaustive as possible system parameter lists. Not-too-consuming simulation times are mandatory for such complex optoelectronic modules because there is no necessity to completely focus on accurate physical component models in optical, mechanical thermal, or electrical domains, but a more challenging issue is to develop reliable behavioral models with correct simulation time.

The figures extracted from our physical models, such as power and wavelength variations or eye diagrams, are also intended to match the standard specifications for optical interconnects recommended by IEEE802.3ae and VSR.

A large diffusion of these behavioral models implies the use of largely spread simulation software, SPICE, devoted to analog simulation has not been created for such complex systems and therefore is not optimized for such applications. The approbation of the analog extension of the IEEE-1076 VHDL world largely used language for digital and logical description and simulations; the so-called VHDL-AMS high level open language specified by the extension IEEE1076.1-1999 [2], [6] has been specifically designed for multidimensional component and system description and simulations. SHAMAN models are based on this language.

To validate our models, we implement them first in an optical link simulation software, COMSIS [5], and compare them with tests on our demonstrator optoelectronic modules.

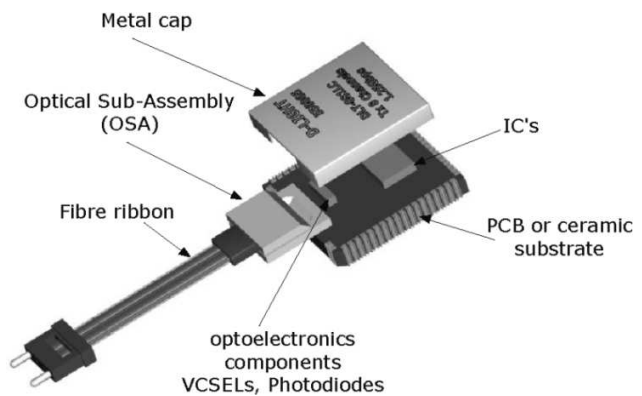


Fig. 1. Optoelectronic module including optical subassembly, electronics and packaging, and connectorized 12-fiber ribbon.

Secondly, time-validated models are implemented using VHDL-AMS. This leads to an integrated tool using the capabilities of this multidisciplinary language in order to develop a library of models which will allow us to simulate micro-optomechanical systems (MOEMS) within a multiconstraint environment. Since the library of models will be standard based, it will be possible to implement it in any VHDL-AMS simulator. VHDL-AMS is appropriate to describe and simulate mixed technology systems with terminal definition.

### B. Prototype Optoelectronic Modules

Demonstrator optoelectronic prototype modules developed for this project [7] use passive optical alignment in order to reduce fabrication costs and to free assembly constraints; a module example is shown in Fig. 1.

The combination of classical pick-and-place machine and flip-chip processes with silicon micro-machining allows the integration of multichannel optical interconnect modules in a very thin and small package ( $15 \times 15 \times 4$  mm). Small packages are required for severe environment applications such as space, defense, automotive, or avionics applications, where the ratio of performances over volume must be as high as possible because overall equipment size and weight is directly proportional to the maximum payload. EMI and EMC are also of great importance for high-speed operation in such environments necessitating careful design.

Optoelectronic modules include principally three functions.

- 1) Optical subassembly in charge of the passive coupling of optical fibers with nonthermally controlled optoelectronic components, VCSEL, and p-i-n photodiodes. Careful design flip-chip processes and realization lead to accurate positioning.
- 2) Electronic transmitter drivers, detector amplifiers, and limiters.
- 3) Final packaging elements, which are chosen to be the same for the emitting and receiving modules. A flip-chip process with silicon micro-machining allows the integration of multichannel optical interconnect modules in a very thin and small package.

Such integration implies we should take into account the design level cross correlation between the previous functions and

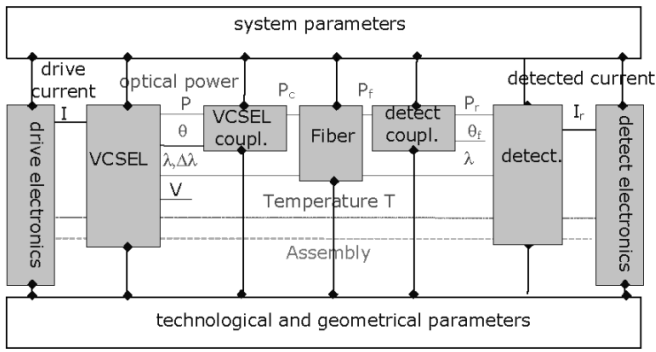


Fig. 2. Diagram of a general optoelectronic module including component models with multilevel inputs, outputs, and system parameters.

components very early in the design flow in order to increase performances and decrease the design steps and final cost.

The essential characteristics of the optical interconnect modules considered here are given in Table I. Actual realized prototype modules have an aggregated data rate of  $12 \times 1.25$  Gb/s. The design and simulation is undertaken on new prototypes in order to achieve aggregated data rates of  $12 \times 10$  Gb/s.

Components used in an optoelectronic module are as follows.

- 1) *Optoelectronic components*: VCSELs and photodiodes.
- 2) *Optical components*: multimode optical fibers and optical connections.
- 3) *Electronic components*: drivers for VCSELs and amplifiers/limiters for photodiodes.
- 4) *Positioning, assembly and report systems*: such as flip-chip, bonding and different substrates.

In Fig. 2, we show the general assembled diagram of a general optoelectronic module including different component models. This diagram shows the multilevel input and output signals, which belong to the four domains: optical, electrical, thermal, and mechanical. We use system parameters for the specific component models and consider technological and geometrical constraints.

This diagram architecture will be used at the VHDL-AMS programming level. Models are described on a generic component basis in order to make them independent from specific manufacturer technology.

### III. VCSEL SOURCES

VCSELs are commonly accepted optical sources for parallel short distance optical communication systems, because of their high integration possibilities and relative low cost. The specified optoelectronic modules described here are composed of non-thermally stabilized GaAs quantum-well VCSEL arrays, emitting in the 850-nm wavelength window. Other wavelength windows such as 1300 and 1550 nm can be easily adapted in the framework of our models.

The most relevant system parameters used for an optical interconnect VCSEL array transmitter are shown in Table II; they will be used either as inputs or as parameters for our simulation models.

The VCSEL submodel, part of the general model, is shown in Fig. 2, with its inputs and outputs. It includes also assembly techniques that play an important role in heat transfer between

TABLE II  
VCSEL TRANSMITTER SYSTEM PARAMETERS

Parameters	Symb.	Unit	Typ. Values	Note	Conditions
Supply Current	$I$	mA	24	Max	
Output Optical Power	$P_{opt}$	dBm	-3	Typ	$I, T$
Beam Divergence	$\theta_z$	°	25	Typ	$I, T$
Slope Efficiency	$\eta_{L,T}$	W/A	0.4	Typ	$T$
Peak wavelength	$\lambda$	nm	850	Typ	$I, T$
Total Spectral Width	$\Delta\lambda$	nm	0.5	Max	$I$
$\lambda$ Temp. Coefficient	$\delta\lambda/\delta T$	nm/°C	0.06	Typ	
FM modul. or chirp	$\delta v/\delta I$	MHz/mA	200	Typ	$I, T, f$
Operating Voltage	$V$	V	1.9	Typ	$I, T$
Bias Current	$I$	mA	4	Max	
Dynamic Resist ( $dV/dI$ )	$R_s$	$\Omega$	40	Typ	$T$
Threshold Current	$I_{th}$	mA	2	Typ	$T$
Modulation Bandwidth	$f_{3dB}$	GHz	10	Max	$I, T$
Damping factor	$\xi$	-	1/2	Typ	$I, T$
Rel. Intensity Noise	$RIN$	dB/Hz	-115	Max	$I, T, f$
Rise/Fall (20%-80%)	$t_r, t_f$	ps	250	Max	$I, T$
Random Jitter	$J_{rms}$	ps	60	Max	$I, T, f$

components and the rest of the module. VCSEL arrays have thermal coupling among different laser chips, due to self- and cross heating. Temperature variations and optical coupling are considered global effects.

#### A. VCSEL Model

For system purposes, the most relevant VCSEL output characteristics are the static optical power versus injection current, the  $LI$  curve, and the pulse response. The total VCSEL output power has almost linear behavior above the threshold current  $I_{th}$ , as shown in Fig. 5.

VCSEL mode structure affects static figures such as optical output beam profile and polarization and optical spectrum structure, as we will discuss. It also affects the frequency response of the relative intensity noise (RIN), mostly at low frequency [10], [11]. At our simulation level we will not consider detailed RIN structure; transmitted RIN will be added to the other noise sources at the receiver level, as we will describe in Section V. Also, as quoted by several authors [11], the value of the relaxation frequency  $f_R$  is proportional to the square root of the total photon number in the active layer, irrespective of the number of excited transverse modes and thus of spatial hole burning (SHB).

In order to get the optical output power response to an input current pulse we solve the semiconductor laser single-mode rate equations [3], [8], as function of total photon and carrier numbers  $S$  and  $N$  given in the following:

$$\frac{dS}{dt} = G_N(N - N_t)(1 - \epsilon_n S)S - \frac{S}{\tau_p} + \beta_{sp} \frac{N}{\tau_n} \quad (1)$$

$$\frac{dN}{dt} = \frac{I}{e} - G_N(N - N_t)(1 - \epsilon_n S)S - \frac{N}{\tau_n}. \quad (2)$$

Rate equation parameters are defined in Table III.

Rate equations are expressed in function of the number of carriers  $N$  and photons  $S$ , not of concentrations, as was introduced by Agrawal [3], [8]; this leads to symmetrical gain expressions needing fewer parameters such as the confinement factor, the cavity volume, and group index.

TABLE III  
VCSEL SYSTEM PHYSICAL PARAMETERS CONVERSION

Rate Eq	Name	Typ. value	Conversion towards syst. parameters	Needed system parameter	Needed Physic. param.
$G_N$	Differential gain	$5 \cdot 10^4$ $s^{-1}$	$G_N \approx [(e \cdot \eta_{LI}) / P_0] \cdot (2\pi f_R)^2$	Slope $\eta_{LI}$ Power $P_0$ Res. freq. $f_R$	
$\tau_p$	Photon lifetime	$2 \cdot 10^{-12}$ s	$\tau_p \approx (\eta_{LI} \cdot \epsilon \cdot \lambda \cdot n_{gr}) / (hC^2 \alpha_m)$	Slope $\eta_{LI}$ Wavelength $\lambda$	Cavity loss $\alpha_m$
$\tau_n$	Carrier lifetime	$1 \cdot 10^{-9}$ s	$\tau_n \approx (e / I_{th}) \cdot [n_{sp} / (G_N)]$	Thresh curr. $I_{th}$ Those of $G_N$ and $\tau_p$	Inver. factor $n_{sp}$
$\beta_{sp}$	Spont. emission fraction	$5 \cdot 10^{-5}$	$\beta_{sp} \approx (e / I_{th}) \cdot (n_{sp} / \tau_p)$	Thresh curr. $I_{th}$ Those of $\tau_p$ and $\tau_n$	Inver. factor $n_{sp}$
$\epsilon_n$	norm. gain compress factor	$10^{-6}$	$\epsilon_n \approx G_N \cdot \gamma \cdot (2\pi f_R)^{-2}$	Res. freq. $f_R$ Damping $\gamma$ Those of $G_N$	

Our original approach here is to use exclusively system parameters and some internal default parameters. These parameters are obtained essentially from the  $LI$  curve giving the slope  $\eta_{LI}$  and the threshold current  $I_{th}$  and from the AM modulation response giving the resonance frequency  $f_R$  and bandpass  $f_3$  dB and the oscillation damping factor  $\xi$ . The rate equations are used as behavioral semiconductor laser equations and the aim is not to extract internal laser parameters but to fit as best as possible to laser data sheet and standard measurements.

The bilinear dependence on carriers  $N$  minus transparency carrier number  $N_t$  and photons  $S$  is used for the gain term  $G_N(N - N_t)S$ , which corresponds to a first-order expansion of the usual logarithmic carrier dependence in quantum wells. This approximation is valid when considering operation above threshold where carrier variations are small [8] because of carrier clamping. The gain term is also proportional to the total photon number  $S$  because at our approximation SHB effects are integrated as discussed above.

The resolution of these equations gives the temporal behavior of the optical power  $P(t)$ . Thus, a digital current input will result in the corresponding digital optical power output. This is shown in Fig. 3.

For wavelength dynamic variations, chirp, a third equation on phase, is necessary. The relevant parameter is the optical phase-amplitude Henry's factor  $\alpha_H$ , which is rarely available from manufacturers.  $\alpha_H$  can be derived from chirp measurements  $\delta\nu/\delta I$  function of modulation frequency  $f_m$ . Chirp is not very relevant in datacom short distance applications and we will not consider it in our further discussion even though it could be very easily implemented in the models.

### B. VCSEL Equivalent Circuit

A combination of the linear laser rate equations and the Kirchoff's equations give an equivalent small-signal circuit of the VCSEL active zone shown in Fig. 4, which will be useful for the description of the input interface from drive electronics to VCSEL. This circuit model gives a conversion

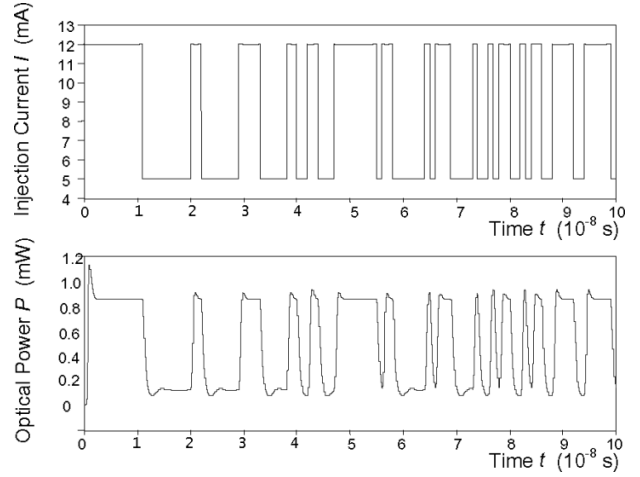


Fig. 3. Simulation results of the optical power using COMSIS Software by resolution of the rate equations for a VCSEL with digital input injection current.

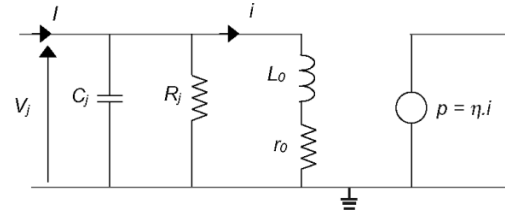


Fig. 4. VCSEL active zone equivalent electrical circuit. Inputs are laser injection current  $I$  and junction voltage  $V_j$ .

between electrical parameters and its physical counterparts; the corresponding relations are as follows:

$$C_j = e^2 \frac{N}{k_B T} \quad \frac{1}{R_j C_j} = G_N S + \frac{1}{\tau_n} \quad r_o = \frac{\epsilon_n}{G_N C_j}$$

$$L_o = \frac{1}{\omega_r^2 C_j} \quad \omega_r^2 = \frac{G_N S}{\tau_p} \quad (3)$$

Electrical variables are the injection current  $I$  and the junction voltage  $V_j$ .

### C. VCSEL System to Physical Parameter Conversion

Parameters defined in the rate equations are physical internal parameters. Usually general default values are used when specific laser values are not available, and this leads to nonreliable and nondedicated simulations. In order to get the maximum information from an available component, in our case a VCSEL, we want to convert system parameters available from the data sheet or from standard measurement equipment into physical parameters.

We use the static behavior derived from the approximated steady-state solutions of the rate equations. We consider general semiconductor laser behavior, that is, linear power behavior  $P_0 = \eta_{LI}(I_0 - I_{th})$  and carrier clamping above laser threshold current  $I_{th}$ . Threshold current  $I_{th}$  and slope efficiency  $\eta_{LI}$  are available system parameters. In combination with the diode voltage  $V$ , we get the differential quantum efficiency  $\eta_d \approx \eta_{LI}/V$ . A VCSEL emission is made from the top facet so that the output power coupling coefficient  $\eta_c$  is approximately equal to the differential quantum efficiency  $\eta_c \approx \eta_d$  [3]. At

threshold, we consider that optical power is negligible, and these considerations lead to the following:

$$\begin{aligned} \frac{N_{\text{th}}}{\tau_n} &= \frac{I_{\text{th}}}{e} \quad \text{for } I_0 = I_{\text{th}} \text{ and for } I_0 \geq I_{\text{th}} \\ N_0 &= N_{\text{th}} \text{ and } G_N (N_{\text{th}} - N_t) S_0 = \frac{S_0}{\tau_p} = \frac{I_0 - I_{\text{th}}}{e} \\ P_0 &= \eta_{LI} (I_0 - I_{\text{th}}) = \eta_c \frac{hc S_0}{\lambda_0 \tau_p} \end{aligned}$$

with

$$\eta_c \approx \eta_d \approx \frac{\eta_{LI}}{V}. \quad (4)$$

From the VCSEL dynamic AM optical power response, which is also commonly available, we can extract the resonance frequency  $f_R$  and the resonance damping factor  $\xi$  these parameters are bias dependent function of the injection current  $I_0$ . Generally, on a system level one specifies modulation bandwidth  $f_3$  dB. In semiconductor lasers, because of resonance, it is easier to extract peak resonance frequency  $f_R$ ; for system use we can consider that the bandwidth limit should fall below the resonance frequency in order to avoid ringing. Another useful system parameter is the well-known  $K$  factor which is the slope of the damping coefficient  $\gamma = 2\xi \cdot \omega_R$  versus  $f_R^2$ . For  $\omega_R = 2\pi f_R$  and  $\gamma$  we get the following conversion relations derived from the rate equations [21]:

$$\begin{aligned} \omega_R^2 &= G_N \frac{(I_0 - I_{\text{th}})}{e} \quad K = 4 \cdot \pi^2 \left( \tau_p + \frac{n}{G_N} \right) \\ \gamma &= \gamma_0 + \left( \tau_p + \frac{\varepsilon_n}{G_N} \right) \omega_R^2 \quad \gamma_0 \approx \frac{1}{\tau_n}. \end{aligned} \quad (5)$$

System parameters related to the laser noise characteristics are threshold current  $I_{\text{th}}$ , RIN spectra, and unmodulated mode linewidth  $\Delta\nu_0$ , also known as the Schawlow–Townes linewidth. RIN and  $\Delta\nu_0$  are bias dependent. RIN is sometimes available from manufacturers at one value for a specific bias current and modulation frequency; RIN spectra are rarely available and are difficult to measure due to very low noise levels. Mode linewidth  $\Delta\nu_0$  is difficult to measure because it necessitates mode separation and a very high-resolution optical spectrum analyzer, most of the time only total spectral width  $\Delta\lambda$ , including all spatial modes and laser under modulation is available.

From known RIN and  $\Delta\nu_0$ , it is possible to estimate the spontaneous emission rate  $R_{\text{sp}}$  and the inversion factor  $n_{\text{sp}}$  above threshold and relate them to rate equation parameters

$$\begin{aligned} \Delta\nu_0 &= \frac{R_{\text{sp}}(1 + \alpha^2)}{4\pi S_0} \quad \text{RIN}(\omega = \omega_R) = 2 \frac{R_{\text{sp}}}{S_0} \frac{1}{\gamma^2} \\ R_{\text{sp}} &=_{\text{sp}} \frac{N_{\text{th}}}{\tau_n} = \frac{n_{\text{sp}}}{\tau_p} \quad n_{\text{sp}} = \frac{N_{\text{th}}}{N_{\text{th}} - N_t}. \end{aligned} \quad (6)$$

By using (4)–(6), we can extract the rate equation parameters defined in Table III. Equations used for the physical parameter conversion shown in the fourth column of Table III are not unique, so parameter redundancy can be obtained using more than one relation. An internal parameter useful for the determination of the photon lifetime  $\tau_p$  is the Bragg facet mirror

losses coefficient  $\alpha_m = -(2L_{\text{eff}})^{-1} \ln(R_t R_b)$ , where  $R_t$  and  $R_b$  are the top and bottom mirror reflectivity and  $L_{\text{eff}}$  the effective cavity length. Typically,  $\alpha_m = 30 \text{ cm}^{-1}$  [4], [22]. The inversion factor  $n_{\text{sp}}$  is also very useful it can be obtained from RIN or  $\Delta\nu_0$ ; if not available, the default value generally admitted is  $n_{\text{sp}} \approx 2$  [11].

#### D. VCSEL Temperature Behavior

Temperature dependence of rate equation parameters can be evaluated, which necessitates supplementary system parameters such as wavelength  $\lambda$  and voltage  $V$  and their temperature variations. Temperature variation affects VCSELs by changing threshold current  $I_{\text{th}}(T)$  and in a minor way the slope efficiency  $\eta_{LI}(T)$ , leading to optical power temperature dependence

$$P(T) = \eta_{LI}(T) \cdot [I - I_{\text{th}}(T)]. \quad (7)$$

Wavelength  $\lambda(T)$  and voltage  $V(T)$  dependence with temperature  $T$  are included in the model for higher precision in order to express effects on differential laser gain  $G_N(T)$  and carrier number  $N(T)$ .

VCSEL diode voltage can be expressed as  $V = V_j + R_s I$ , where  $V_j$  is the junction voltage and  $R_s$  the series resistance given by the slope of  $V(I)$ .  $R_s$  is considered temperature independent in our approximation [4]. Thus, the temperature dependence of  $V$  is mainly determined by dependence of  $V_j$  and of current  $I$ . Relative variations of  $V_j$  depend on carrier number  $N$  and on gap energy  $E_g$  [12]. Considering that for a VCSEL  $(V - E_g)$  is much greater than the thermal excitation energy  $(k_B T/e)$ , we express the relative variations of carrier number  $N$  with temperature

$$\frac{1}{N} \frac{\delta N}{\delta T} = \frac{1}{V_j - E_g} \cdot \left( \frac{\delta V_j}{\delta T} - \frac{\delta E_g}{\delta T} \right)$$

with

$$\begin{aligned} \delta V_j(T) &= V(T) - R_s I(T) \\ \delta I(T) &\approx -\delta I_{\text{th}}(T) \\ E_g(T) &\approx E_{g0} - \frac{\alpha \cdot T^2}{T + \beta}. \end{aligned} \quad (8)$$

We consider 850-nm GaAs VCSELs, with  $E_{g0} = 1.519 \text{ eV}$ ,  $\alpha = 5.405 \cdot 10^{-4} \text{ eV} \cdot \text{K}^{-1}$ , and  $\beta = 204 \text{ K}$  [12].

Gain is temperature dependent through  $N(T)$ , given in (8), and also through the wavelength  $\lambda(T)$ . We express the relative differential gain variations  $\delta G_N$  with temperature [4]

$$\frac{1}{G_N} \frac{\delta G_N}{\delta T} \approx \frac{-4\lambda \cdot \delta \lambda}{\Delta \lambda^2 \delta T}. \quad (9)$$

$\delta G_N$  depends also on spectral width  $\Delta\lambda$  considered temperature independent at this approximation level.

Measurements of optical power  $P$ , voltage  $V$ , and wavelength  $\lambda$  function of injection current  $I$  and temperature  $T$  are available data from VCSEL manufacturers and can thus be used for parameter determination. Typical variations for optical power  $P$  and diode voltage  $V$  measured on a VCSEL array are given in Fig. 5.

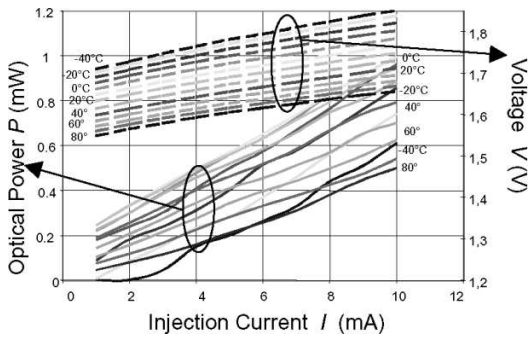


Fig. 5. VCSEL power  $P$  and voltage  $V$  variation as function of injection current  $I$  for different temperatures  $T$ , measured for a VCSEL of an array in an optoelectronic module.

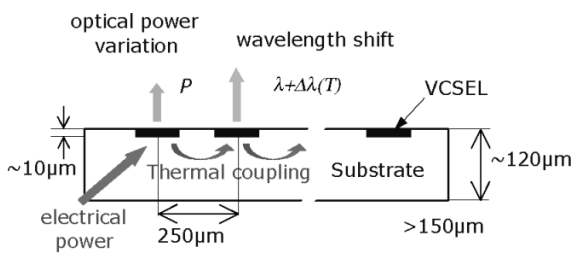


Fig. 6. Thermal coupling in a VCSEL array showing its influence on optical power variations and on wavelength shift.

### E. VCSEL Array Temperature Modeling

In VCSEL arrays, mutual and self-heating can induce optical output power and wavelength variations. The principle of thermal coupling in a VCSEL array is shown in Fig. 6.

In order to obtain the temperature distribution on the array diodes we have used analytical Joyce–Dixon solutions for the heat equation [13]–[16], adapted to the geometry of our VCSEL with GaAs substrate material thermal conductivity  $k_T = 40 \text{ W} \cdot \text{K} \cdot \text{m}^{-1}$ . The result is illustrated in Fig. 7, showing the temperature rise  $\Delta T(x, y, z)$  due to VCSEL heating. Adjacent lasers contribute, in our configuration, up to some degrees of temperature. The active zone temperature can be high in a VCSEL, up to  $100^\circ\text{C}$  or more, due principally to self-heating. The detail of temperature increase in the active zone is not shown in Fig. 7.

To simulate thermal effects in the VCSEL array model, a thermal terminal must be defined with two associated parameters: the diode temperature  $T$  and the power dissipated by the junction  $P_{th}$ . Thermal exchanges between the diode and its environment and between bulk, the inner cavity, and the neighboring diodes, through thermal resistance  $R_{th}$ , are represented in Fig. 8. Thermal time constants are introduced in the model through thermal capacitance  $C_{th}$  [17].

Temperature exchanges are located inside the module, due to high thermal resistance. Resins and FR-4 limit the temperature propagation to the outside of the module.

### F. VCSEL Mode Structure and Output Beam Profile

For actual VCSELs, one observes typically one, two, or three transverse modes. In a circular surface VCSEL the mode structure corresponds to the  $LP_{tm}$  modes analog to those observed in

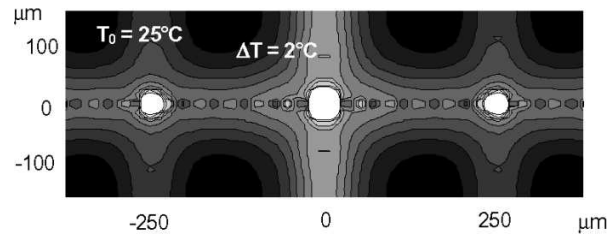


Fig. 7. Temperature increase distribution in the bulk near the top of a VCSEL array calculated from analytical solutions. Central VCSEL emits at the double of the power as the adjacent ones. Isothermal curves correspond to an increase of  $\Delta T = 2^\circ\text{C}$ .

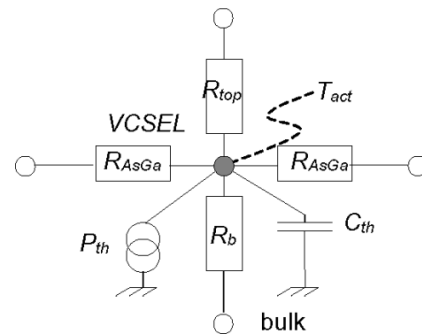


Fig. 8. VCSEL diode equivalent circuit for thermal behavior in the array.

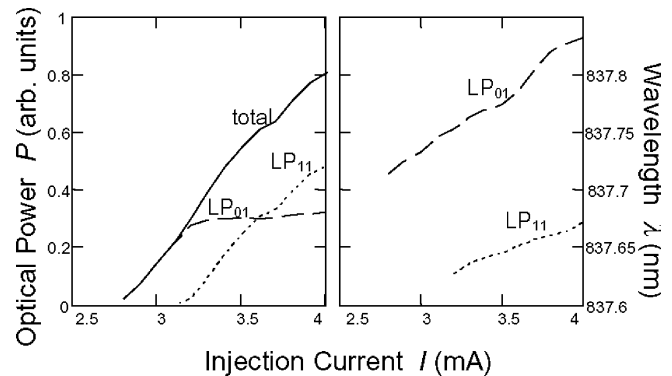


Fig. 9. Power and wavelength of transverse modes measured with a commercial optical spectrum analyzer, showing two mode structure and global behavior.

step-index optical fibers [3], [9], [11]. The variable mode structure, as we have discussed, does not change global characteristics such as the  $LI$  curve  $P(I)$  and bandwidth  $f_{3\text{dB}}$ . In Fig. 9 are shown the first two modes  $LP_{01}$ , fundamental mode, and  $LP_{11}$ , as function of the injection current  $I$ . Wavelength evolution of these modes is also shown. These curves give the relative weight  $P_i/P_{tot}$  of each mode compared to the total power.

Due to the mode structure, a VCSEL will have different beam profiles [11], [18] as a function of the injection current. A bell-shaped profile corresponds to the fundamental mode and an annular, or donut, profile corresponds to higher order modes. Annular profiles couple principally high-order modes in multimode fibers, which can diminish modal dispersion and thus increase bandwidth on short fiber lengths, as is the case in our application. In general, a superposition of bell-shaped and annular beams must be considered.

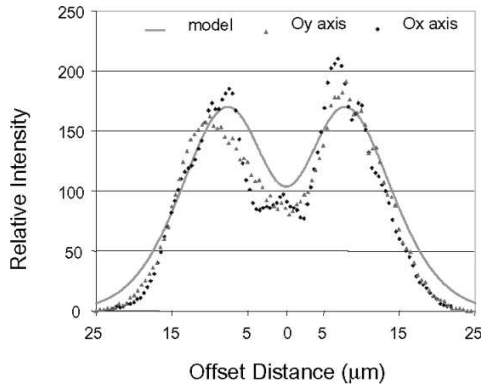


Fig. 10. Near-field annular beam profile along two orthogonal axes. Comparison with two Gaussian profile model.

We seek a model that can be adapted to different coupling distances  $z$ . Spatial multimode profiles can be approximated by using different Gaussian profiles [19]

$$I_i(r, z) = I_{0i} \exp\left(\frac{-2r^2}{w_i(z)^2}\right)$$

$$w_i(z) = w_{0i} \sqrt{1 + \left(\frac{\lambda z}{\pi w_{0i}^2}\right)^2}$$

$$w_{0i} = \frac{\lambda}{\pi \theta_{di}} \quad I_{0i} = P_i \frac{2}{\pi w_{0i}^2}. \quad (10)$$

A simple, but satisfying, approximation consists of the superposition of two different Gaussian profiles  $I_{\text{prof}}(r, z) = |I_1(r, z) + e^{j\phi} I_2(r, z)|$ , where the single profiles are expressed according to (10).  $I_{0i}$  is the maximum intensity at the optical axis related to the emitted mode power  $P_i$ ,  $r$  is the radial coordinate, and  $w_i$  the beam waist which is a function of wavelength  $\lambda$  and of beam divergence  $\theta_d$ . This approximation can fit bell-shape, annular, and intermediate profiles [19]. Experimental measured profiles compared to the superposition of Gaussian profiles are shown in Fig. 10.

#### IV. OPTICAL COUPLING AND FIBERS

Because we consider multimode fibers, parameters such as modal coupling and numerical aperture have to be considered. Our model is composed of two parts in order to distinguish fiber temporal and spectral transmission specific effects such as attenuation, modal, and chromatic dispersion, from the coupling effects due to the geometry and the injection conditions in and from the fiber. These two submodels are shown in the general diagram of Fig. 2.

The fiber input–output characteristics are taken into account in the fiber-coupling submodel. In the case of a Gaussian profile the coupled optical power from a VCSEL into a fiber  $P_c$  is expressed as a function of the distance  $z$  to the VCSEL as is in

$$P_c(z) = P_s A_c \left[ 1 - \exp\left(\frac{-2r_c}{w(z)^2}\right) \right]$$

$$A_c = 1 \text{ if } \sin\left(\frac{\theta_d}{2}\right) < NA$$

$$A_c = \left(\frac{NA}{\sin\left(\frac{\theta_d}{2}\right)}\right)^2 \text{ if } \sin\left(\frac{\theta_d}{2}\right). \quad (11)$$

TABLE IV  
MULTIMODE FIBER AND COUPLING MODEL PARAMETERS

Parameters	Symbol	Unit	Value	Note
Fiber Attenuation	$A$	dB/km	3-7	Range
Fiber Length	$L$	m	300	Max
Fiber core index	$n_c$	-	1.5	
Fiber core radius	$r_c$	$\mu\text{m}$	25	
Numerical Aperture	$NA$	-	0.2	Typ
Intramodal Dispersion	$D$	ps/(nm.km)	-46	Typ
Source linewidth	$\Delta\lambda$	nm	0.5	Max
Source Power	$P_s$	mW	0.5	Typ
Source beam diverg.	$\theta_d$	$^\circ$	14	Max
VCSEL fiber distance	$z$	$\mu\text{m}$	50	Typ

Fiber parameters are given in Table IV.

Power attenuation  $A$  can be directly obtained by fiber manufacturer data and can be integrated in the model as a function of fiber propagation distance  $L$ , giving the fiber output power  $P_f$ , according to

$$P_f = A \cdot L \cdot P_c. \quad (12)$$

Dispersion effects are considered a limitation on the transmission bandwidth  $\Delta f_f$ . For a Gaussian fiber transmission transfer function which is justified with multimode fibers we can express  $\Delta f_f \approx 0.2/\sigma_T$ , where  $\sigma_T$  is the total temporal pulse spreading in the fiber of length  $L$ . Its expression as function of modal  $\sigma_m$  and intramodal  $\sigma_D$  pulse time dispersion is as follows:

$$\sigma_T = \sqrt{\sigma_m^2 + \sigma_D^2}$$

$$\sigma_m = \frac{L \cdot (NA)^4}{8 \cdot n_c^3 \cdot c} \quad \sigma_D \approx L \cdot \Delta\lambda \cdot D \quad (13)$$

with  $\Delta\lambda$  the total source linewidth.

#### V. DETECTORS

P-I-N photodiode arrays do not present significant self-heating; their performances are mainly influenced by surrounding temperature  $T$  and optical coupling efficiency on the detector sensitive area. Photodiode model parameters are shown in Table V.

As shown in Fig. 2, detector submodel inputs are the optical receiver input power  $P_r$ , the temperature  $T$ , and assembly constraints. Parameters are affected by manufacturer technology. The electrical output corresponds to the detected receiver current  $I_r$  which is proportional to  $P_r$  through the responsivity  $R_d$  as expressed in

$$I_r = R_d \cdot P_r. \quad (14)$$

Three phenomena limit photodiode dynamic behavior: carrier diffusion, carrier drift, and junction capacity  $C_j$ .  $C_j$  can be calculated from charge value in depleted zone, for example using a SPICE model. An optical characteristic time constant  $\tau_{\text{opt}}$  is derived from the receiver bandwidth  $\Delta f_r$ , provided by manufacturers, from  $C_j$  and  $R_{\text{eq}}$ , given in

$$\tau_d = R_{\text{eq}} C_d = 0.35 \cdot \Delta f_r^{-1}$$

$$\tau_{\text{RC}} = R_{\text{eq}} C_j \quad \tau_{\text{opt}} \approx \tau_d - \tau_{\text{RC}}. \quad (15)$$

TABLE V  
PHOTODIODE MODEL PARAMETERS

Parameters	Symbol	Unit	Value	Note
Wavelength	$\lambda$	nm	850	Typ
Responsivity	$R_d$	A/W	0.5	Typ
Reverse Voltage	$V_{\bar{a}}$	V	-5	Max
Dark Current	$I_D$	$\mu$ A	5	Max
Photodiode Capacitance	$C_d$	pF	0.5	Max
Rise/Fall Time	$t_r/t_f$	ps	100	Max
Receiver bandwidth	$\Delta f_r$	GHz	4	Min

Then, the following is introduced in order to model photodiode dynamic behavior:

$$I_r + \frac{\tau_{\text{opt}}}{2.2} \frac{dI_r}{dt} = R_d \cdot P_r. \quad (16)$$

In a p-i-n photodiode, temperature effects are principally observed in responsivity  $R_d$  through wavelength  $\lambda(T)$  and in dark current  $I_D(T)$  through the gap energy  $E_g(T)$  [see (8)]. Relative responsivity and dark current variations are given in (17). Gap energy as function of temperature  $E_g(T)$  is in (8), and

$$\begin{aligned} \frac{\delta R_d}{R_d} &\approx \frac{\delta \lambda(T)}{\lambda} \\ \frac{\delta I_D}{I_D} &\approx \frac{E_g(T)}{k_B T} \frac{\delta T}{T}. \end{aligned} \quad (17)$$

Noise at the detector level consists of quantum noise, which is a function of the received optical power level  $P_r$ , and dark noise is a function of the dark current  $I_D$ . Detector electronics leads to thermal noise through an equivalent input circuit resistance  $R_{\text{eq}}$  and defines in conjunction with the photodiode capacity  $C_d$  the bandwidth  $\Delta f_r = (2\pi \cdot R_{\text{eq}} \cdot C_d)^{-1}$ . Noise contributions to the detected current, including filtered source RIN noise, are given in the following and depend on temperature  $T$  through expressions given above in (17):

$$\begin{aligned} i_q^2 &= 2eR_dP_r\Delta f_r & i_D^2 &= 2eI_D\Delta f_r \\ i_T^2 &= \frac{4kT}{R_{\text{eq}}}\Delta f_r & i_{\text{RIN}}^2 &= R_d^2P_r^2\text{RIN} \cdot \Delta f_r \\ i_n^2 &= i_q^2 + i_D^2 + i_T^2 + i_{\text{RIN}}^2. \end{aligned} \quad (18)$$

## VI. ELECTRONICS AND ASSEMBLY TECHNIQUES

### A. Electronics

Electronic elements, based on MOS integrated technology, are simulated on a system basis. A more detailed simulation can be considered for certain specific functions such as the digital input and output circuits and the optoelectronic analog drivers. The different electronic elements and the optical submodules are assembled on an integrated circuit board and packaged to form the complete module. The same basic structure is used for both the emitter and the receiver.

The source driver circuit for each VCSEL in the array is composed of two stages: an input buffer designed for electrical communication standards and an analog stage for the conversion to

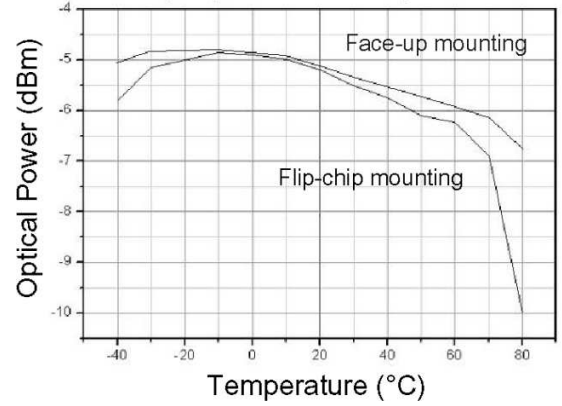


Fig. 11. Hybridization process and temperature influence on the optical output power of a VCSEL array module.

injection laser current. The optoelectronic driver circuit is assembled with the optical input coupling stage.

The electronic receiver circuit includes the function of amplification, through a transimpedance amplifier, and signal re-shaping, through a limiter stage, of the detected current issued from the array photodiodes. The optoelectronic receiver circuit is assembled with the optical output coupling stage.

### B. Assembly Techniques

Report and assembly techniques have to be taken into account globally for the entire optoelectronic module and not for individual components. Fabrication tolerances are taken into account and their influence on optical coupling is considered. Thermal dilatation parameters are considered as they are linked to the coupling efficiency of the optical components.

The main assembly and report techniques that have been explored are: classical hybridization process, brasure or gluing, using face up wire bonding and flip-chip hybridization process using tin-lead solder bumps. Hybridization process is the less stressing one when regarding thermal effects. The silicon layer acts as a good heatsink due to its low thermal resistivity toward the GaAs VCSEL.

Flip-chip technology allows passive alignment techniques, but has higher thermal resistivity, with a nonhomogeneous heat extraction due to the geometrical aspect and the localization of the bond pads. Optical power measurements over the  $-40$  °C to  $+85$  °C temperature range show differential results lower than 2 dB at extreme temperatures  $-40$  °C and  $85$  °C. Results are shown in Fig. 11.

The first thermal simulations and validation measurements have shown that internal module temperature range is reduced from the outside one and remains quite stable. More precise and in-condition tests are still ongoing.

## VII. TESTS AND VHDL-AMS IMPLEMENTATION

### A. General Considerations

Simulation of different physical effects interacting at the same time is a difficult task. The classical method is to express the different models in a common language using analogies. This is done currently in SPICE, where all effects are expressed

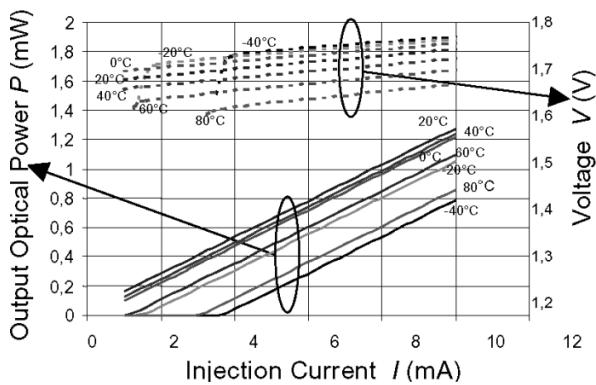


Fig. 12. VCSEL Power  $P$  and voltage  $V$  variation as function of injection current  $I$  for different temperatures  $T$  calculated by the VHDL-AMS model.

in SPICE-like electrical models. This is not a straightforward procedure leading to accumulated errors, scale factors must be adapted and modified for each new model.

VHDL was designed to support many tasks in the design process of digital integrated circuit and systems [6]. Its extension, VHDL-AMS, allows us to design analog parts of the systems.

Behavioral models of our optoelectronic module components are implemented in the VHDL-AMS language. The result is a single complete model that can be used for every kind of simulation. Parameters are generic, inputs and connections to the model are defined in a special VHDL-AMS file called test-bench. The real interest is that the same complete model is used whatever the simulation.

### B. Static VCSEL VHDL-AMS Optothermal Simulation

Because thermal time constants are much greater than VCSEL and photodiode time constants, if complete dynamic optoelectronic and thermal behavior are tested in the same simulation, simulation time can be prohibitive. It is more time efficient to test first static optoelectronic behavior in conjunction with dynamic thermal behavior. An electro-optothermal model of the VCSEL is implemented in the VHDL-AMS language, and static simulation is done for several junction temperatures. Resulting output optical powers and diode voltages as a function of injection current are reported in Fig. 12. Emitted optical power is maximal for  $T = 20^\circ\text{C}$ , whereas diode voltage always decreases with temperature. These results match measurements shown in Fig. 5.

VHDL-AMS simulation results for a five VCSEL array are shown in Fig. 13. The complete VCSEL model including all the equations and the thermal schematics presented in Fig. 8 is instanced five times for this simulation. At  $t = 0$ , five current steps are applied to the array, input currents are 1 mA in diode 1 and 5.5 mA in diode 2 and 4 and 10 mA in diode 3. Inner cavity and bulk are maintained at  $25^\circ\text{C}$  and junction temperatures are initialized at  $25^\circ\text{C}$ . The curves represent, on the left, optical and thermal powers created by the input currents. The central VCSEL (number 3) emits at the double of power as the adjacent ones. On the right temperatures are reported. They stabilize after 2 ms because input currents are constant, the increases

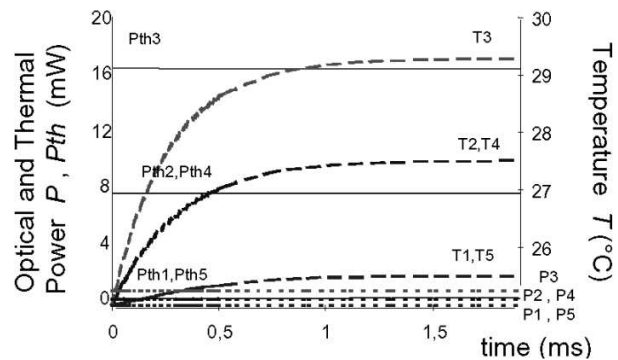


Fig. 13. VHDL-AMS simulation results for a five-VCSEL array showing temperature, optical, and thermal power on typical thermal time constants.

are limited because array environment is maintained at  $25^\circ\text{C}$ . However, final values result from both mutual and self-heating.

### C. Component Test Procedures

Electrical measurement results and the manufacturer data sheet will be sufficient for physical tests. Depending on different component modeling levels there can be specific component tests.

Static tests are undertaken on VCSEL arrays for optical power  $P$  as function of injection current  $I$ , temperature  $T$ , and diode voltage swing  $V$ . Static tests will permit us to define and extract characteristic component parameters over a large operating temperature range. Mode structure can be obtained with optical spectrum analysis and by the measurement of optical radiation pattern.

Dynamic tests on VCSELs are undertaken on modulation bandwidth, resonance characteristics, extinction ratio, temporal behavior of the optical signal, and jitter. Coupling between VCSEL arrays and fiber ribbon and fiber ribbon and photodiode array are also tested.

### D. Module Global Performance: Eye Diagram

A global behavioral test will be obtained by the eye diagram, simulated and measured as shown in Figs. 14 and 15. Eye diagram measurements at the transmitter and the receiver level permit a system validation of a great number of communication performance criteria. These are principally:

- 1) noise and noise margin;
- 2) sample time and its margin;
- 3) jitter and skew;
- 4) bit error estimation (BER);
- 5) extinction ratio.

The communication standards from where tests are issued are IEEE802.3ae (10 Gb/s), STM8/OC24 (1.25 Gb/s), 10G Fiber channel (10 Gb/s), and VSR.

According to standards, the required transmitter pulse shape characteristics are specified in the form of a mask of the transmitter eye diagram as shown in Fig. 14. The typical mask consists of an hexagonal window and two forbidden bands, which define a standard BER. Normalized times of zero and one on the unit interval scale are to be determined by the eye-crossing means measured at the average value of the optical eye pattern.



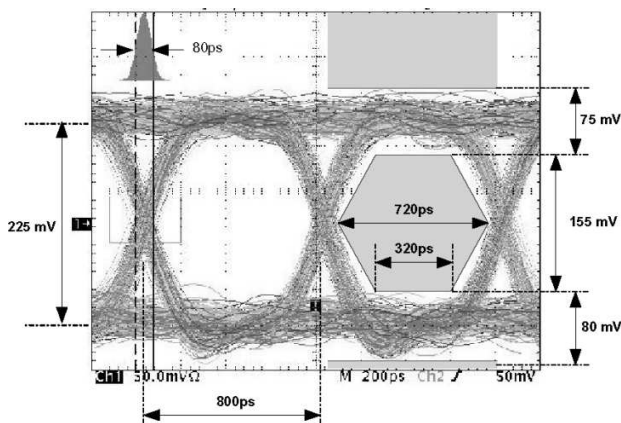


Fig. 14. Eye diagram at 1.25 Gb/s of an optoelectronic module, with hexagonal mask according to datacom standards.

The normative requirement for receivers is stressed receiver sensitivity. Stressed sensitivity is measured with a conditioned input signal where both vertical eye closure and jitter have been added. Receivers must operate with BER less than  $10^{-12}$  when tested with a conditioned input signal that combines vertical eye closure and jitter.

It is beyond the scope of this paper to discuss standard specifications, but we want to emphasize that these standards aim to give a general test procedure for these complex systems. The eye diagram characteristics lead to the  $Q$  factor, obtained from the vertical eye closure, and to jitter, enabling us to determine in the end the BER of the entire system.

Modern dedicated measurement equipment delivers adapted stressed input signals and analyze eye diagrams by the means of a digitizing oscilloscope with special software enabling the detailed analysis of noise statistics. Power noise can be separated from jitter, and different jitter components can be evaluated. The advantage of this method is to get almost real-time results well adapted to low-cost high-speed datacom optoelectronic module performance analysis.

#### E. Module Global Performance: VHDL-AMS Simulation

The validation process in the simulation of the entire optoelectronic module model is done by the means of a testbench. The input is a random digital signal under stressed standard specification. At the output, we obtain the eye diagram of the receiver signal as shown in Fig. 15.

This eye diagram corresponds to the worst case design of an actual parallel optical module. The input signal bit type is directly processed including skew and jitter. Then, after this preprocessing, it is associated to calculated parameters. These parameters are modified by rise and fall times, noise, and bandwidth. Noise is generated by a random local quantity and multiplied by its amplitude calculated at the receiver level. In order to correctly drive the simulator, we must manage the noise by a clock-driven process [20].

If a generic parameter is used directly to drive the value of an output, the model is considered a formal and executable specification. In this work, each parameter of the specification is used as a generic parameter. The simulation results are directly driven by these values.

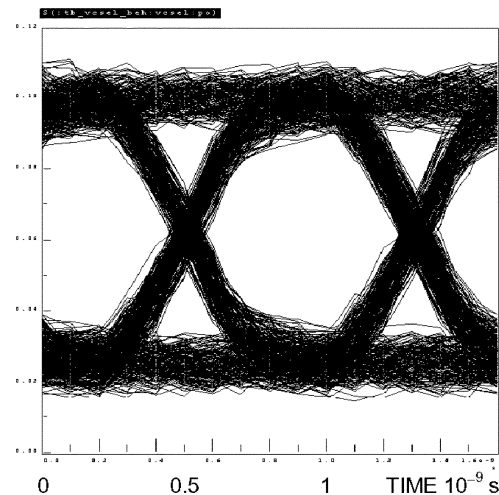


Fig. 15. Eye-diagram of the VCSEL module (VSR1 1.25 Gb/s) using the VHDL-AMS model.

#### VIII. CONCLUSION

In the framework of the SHAMAN project, we propose models of different components of optoelectronic emitter and receiver modules for short-range optical parallel communications. Models use system parameters available from manufacturers or measurements, thus allowing a more reliable simulation and transposition to components from different manufacturers. Tests are made on an original optoelectronic module prototype according to recent optical communication high-bit-rate short-range communication standards.

Developed models are used as the building blocks for the multilevel VHDL-AMS programming. The main advantages of these VHDL-AMS optoelectronic based models is to combine electrical, thermal, and optoelectronic effects, with the possibility to switch from behavioral to physical model implementation depending on the simulation requirements (time, accuracy, etc.). Mechanical and thermomechanical effects and output fiber coupling are also taken into account. All these effects are taken into account in the same model, thus introducing a new virtual prototyping methodology with the goal to enhance productivity of MOEMS.

Multidomain designers, as optoelectronic module manufacturers, should be interested in VHDL-AMS behavioral modeling. These kinds of models allow us to manage worst case design in virtual prototyping. The development of complex component libraries, such as components integrated in a MOEMS, will considerably facilitate the task of design and circuit engineers and will allow us to increase the efficiency of their work by reducing the number of iterative loops in the design and increasing the overall system performances, reducing, therefore, the time-to-market which is a manufacturer's key issue.

#### ACKNOWLEDGMENT

The authors would like to thank Dr. Jean Oudinot from Mentor Graphics, France, for his technical advice and for supporting the RMNT SHAMAN project.

## REFERENCES

- [1] N. Savage, "Linking with light," *IEEE Spectrum*, pp. 32–36, Aug. 2002.
  - [2] Gigabit Datacommunication Standards Internet Links. [Online]. Available: <http://standards.ieee.org/getieee802/download/802.3ae-2002.pdf>, <http://www.oiforum.com/public/impagreements.html#VSRI>
  - [3] P. V. Mena, J. J. Morikuni, S. M. Kang, A. V. Harton, and K. W. Wyatt, "A comprehensive circuit-level model of vertical-cavity surface-emitting lasers," *J. Lightwave Technol.*, vol. 17, pp. 2612–2632, May 1999.
  - [4] F. Mieyeville, G. Jacquemod, F. Gaffiot, and M. Belleville, "A behavior opto-electrothermal VCSEL model for simulation of optical links," *Sens. Actuators A, Phys.*, vol. 88, pp. 209–219, 2001.
  - [5] C. Le Brun, E. Guillard, and J. Citerne, "Communication systems interactive software (COMSIS): Modeling of components and its application to the simulation of optical communication systems," *Appl. Opt.—IP*, vol. 37, pp. 6059–6065, Sept. 1998.
  - [6] Y. Hervé, *VHDL-AMS: Applications et Enjeux Industriels*, Dunod, Ed. Paris, France: Collection Sciences-sup, 2002.
  - [7] M. Pez, C. Claudepierre, J.-P. Ghesquiers, T. Dean, A. Thurm, and S. Paineau, "Low cost packaging and assembly techniques for high speed optical interconnects," in *Proc. IPACK'01 The Pacific Rim/ASME*, Kauai, HI, July 8–13, 2001, IPACK2001-15 667.
  - [8] G. P. Agrawal and G. R. Gray, "Intensity and phase noise in microcavity surface emitting semiconductor laser," *Appl. Phys. Lett.*, vol. 59, pp. 399–401, July 1991.
  - [9] Z. Toffano, *Optoélectronique, Composants Photoniques et Fibers Optiques*. Paris, France: Editions Ellipses, 2001, ch. V, pp. 178–197.
  - [10] T. T. Bich-Ha and J. C. Mollier, "Noise equivalent circuit of a two-mode semiconductor laser with the contribution of both the linear and the non-linear gain," *IEEE J. Select. Topics Quantum Electron.*, vol. 3, no. 2, pp. 304–308, 1997.
  - [11] L. G. Zei, S. Ebers, J.-R. Kropp, and K. Petermann, "Noise performance of multimode VCSEL's," *J. Lightwave Technol.*, vol. 19, pp. 884–892, June 2001.
  - [12] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 1981, p. 15.
  - [13] W. B. Joyce and R. W. Dixon, "Thermal resistance of heterostructure lasers," *J. Appl. Phys.*, vol. 46, pp. 855–862, 1975.
  - [14] W. Nakwaski, "Thermal model of laser diode array," *Electron. Lett.*, vol. 22, pp. 1169–1170, 1986.
  - [15] Z. Toffano, A. Destrez, H. Gueguin, S. Menez, and A. Talneau, "Thermal and spectral analysis of WDM laser diode arrays," in *5th Optical Fiber Measurement Conf.*, Nantes, France, Sept. 22–24, 1999, pp. 186–189.
  - [16] A. Rissons, J. C. Mollier, Z. Toffano, A. Destrez, and M. Pez, "Thermal and optoelectronic model of VCSEL arrays for short range communication," presented at the Optoelectronics 2003 Photonics West, San Jose, CA, Jan. 25–31, 2003, Paper 4994-13.
  - [17] P. Desgreys, M. Karray, J.-J. Charlot, and Y. Hervé, "Opto-electrothermal model of a VCSEL array using VHDL-AMS," presented at the IEEE Int. Workshop Behavioral Modeling and Simulation (BMAS'02), Santa Rosa, CA, Oct. 6–8, 2002.
  - [18] L. Plouzenec, L. J. Sargent, P. J. Heard, I. H. White, R. V. Penty, M. R. T. Tan, S. W. Corzine, and S. Y. Wang, "Gaussian beam profile and single transverse mode emission from previously multi-mode gain guided VCSEL using nove etch," in *Proc. Photonics West*, San Jose, CA, 2000.
  - [19] Y. G. Zhao, Y. S. Huang, L. T. Zhang, and W. X. Chen, "Far-field and beam characteristics of vertical-cavity top-surface-emitting lasers," *Appl. Phys. Lett.*, vol. 69, no. 13, pp. 1829–1829, 1996.
  - [20] Y. Hervé and P. Desgreys, "Behavioral model of parallel optical modules," in *Proc. 2002 IEEE Int. Workshop Behavioral Modeling and Simulation (BMAS'02)*, Santa Rosa, CA, Oct. 6–8, 2002.
  - [21] M. Jungo, F. M. d. Sopra, D. Ermi, and W. Baechtold, "Scaling effects on vertical-cavity surface-emitting lasers static and dynamic behavior," *J. Appl. Phys.*, vol. 91, no. 9, pp. 5550–5557, 2002.
  - [22] C. Wilmsen, H. Temkin, and L. A. Coldren, *Vertical Cavity Surface Emitting Lasers, Design, Fabrication, Characterization and Applications*. Cambridge, U.K.: Cambridge Univ. Press, 1999.
- Zeno Toffano** (M'90) received the Ph.D. degree in solid-state physics from Université Orsay, Orsay, France, in 1985 and the post-graduate degree in electronics from Supélec, France.
- Since 1987, he has been with the Optoelectronics Laboratory, Supélec, Gif, France. Currently, he is working on models and characterizations of semiconductor lasers for optical communications and on quantum effects in communications. He also lectures on optoelectronics and quantum physics at Supélec.
- Mathias Pez** received the Diplôme d'Ingénieur degree in telecommunications from E.S.M.E.-Sudria, Paris, France, in 1994, and the M.S. degree from de Supaéro/ENSAE, Toulouse, France, in 1995.
- From 2001 to 2002, he managed the research on optical interconnects at Thales Research & Technology, Orsay, and founded the spin-off "D-Lightsys" in 2003 from the previous lab activities.
- Patricia Desgreys** (M'00) received the Ph.D. degree in electronics from the University of Bordeaux I, France, in 1999.
- She is an Associate Professor in the Analogue and Mixed Integrated Systems Group, at the Communications and Electronics Department of Telecom, Paris. She is in charge of research on design and modeling of IC for telecommunications and has co-authored more than ten technical publications in international reviews and congresses.
- Yannick Hervé** (M'02) received the Agrégation degree in electrical sciences from Ecole Normale Supérieure in 1985 and the Ph.D. degree in computer science and electronics in 1988.
- He is an Associate Professor at the University Louis Pasteur, Strasbourg, France. His research interests include the field of VHDL-AMS virtual prototyping within the Department of Complex Systems Modeling and Simulation at the PHASE-CNRS-UPR292 Laboratory, Strasbourg.
- Christine Le Brun** received the Ph.D. degree in electronics in 1999 from the Institut National des Sciences Appliquées, Rennes, France, in the field of optical telecommunications.
- She manages the SHAMAN project.
- Jean-Claude Mollier** (M'97) received the Ph.D. degree in physical sciences.
- He is a Professor at ENSAE, Toulouse, France. He is in charge of the S.E.P.T. Département at Supaero. He manages the M.O.S.E. research group where he currently works on the optical generation of microwave signals and on modeling and characterization of optoelectronic components.
- Dr. Mollier founded the club Optique et Microondes within the Société Française d'Optique (SFO) in 1996.
- Gaële Barbary** received the Diplôme d'Ingénieur degree in telecommunications from ESME-Sudria, Paris, France, in 2000 and the M.S. degree in telecommunications systems and technology in 2001 from Ecole Nationale Supérieure des Télécommunications, France.
- She joined the optical interconnect laboratory of Thales, France, as a Research Engineer. Presently, she is engaged in the design of highly integrated and low-power consumption optoelectronic modules for datacommunications.
- Jean-Jacques Charlot** (M'86) received the doctorat d'Etat es Sciences Physiques degree from the Université Paris XI in 1973 and the Ph.D. degree in electronics in 1967.
- He is a Professor at Ecole Nationale Supérieure des Télécommunications, Paris, France. He is in charge of the scientific relations at the Electronics Department. He lectures at Stanford University, Stanford, CA. He specializes on the modeling and characterization of electronic components, in VHDL-AMS behavioral programming and in the development of multitechnological systems.
- Stéphanie Constant** received the Diplôme d'Ingénieur degree in physics from the National Institute of Applied Sciences, France, in 1997 and the Ph.D. degree from the Optoelectronic Devices and Materials group at the University of Surrey, U.K.
- She worked as a Production/Device Engineer at Siemens, Newcastle, U.K., for one year. She is currently working as a postdoc at Supaéro/ENSAE, Toulouse, France.

**Alain Destrez** received the M.S. degree in physics in 1981 from Université de Reims, France, and the Diplôme d'Ingénieur degree in high-speed electronics engineering from École Supérieure d'Électricité, Supélec, Gif, France, in 1983.

Since 1983, he has been with Service Radioélectricité et Électronique of Supélec, Gif-sur-Yvette, France, where he works within the Optoelectronics Laboratory. He is in charge of fiber-optics transmissions lectures.

Dr. Destrez is member of the Société Française d'Optique (SFO).

**Mohammed Karray** received the Diplôme d'Ingénieur degree from "Ecole Nationale des Ingénieurs de Sfax," Tunisia, in 2000. He is currently working toward the Ph.D. degree in "communication et électronique" at "Ecole Nationale Supérieure des Télécommunications" Paris, France.

His current research interests include modeling and simulated optoelectronic devices, within the SHAMAN Project.

**Morgane Marec** received the Diplôme d'Ingénieur degree from Sup'Optique, Orsay, France, in 2000.

She is working at IPSIS as a Specialist of optical component modeling and programming. She manages the SHAMAN project.

**Angélique Rissons** received the M.S. degree in electronics, electrotechnics and automatic from the University of Reims, France, in 1999 and the Post Graduate Diploma in microwave and optic telecom from Supaero/ENSAE, Toulouse, France in 2000. She is currently working toward the Ph.D. degree at the same institution.

Her research interests include the modeling and characterization of VCSEL.

**Sébastien Snaidero** received the M.S. degree in 2002 from Université Louis Pasteur, University of Strasbourg, France. He is currently working toward the Ph.D. degree.

He is presently working on VHDL-AMS virtual prototyping for the SHAMAN Project.

# Scattering effects on the performance of carbon nanotube field effect transistor in a compact model

S.D. Hamieh<sup>a</sup>, P. Desgreys, and J.F. Naviner

Institut TELECOM, TELECOM Paristhech, LTCI CNRS, 46 rue Barrault, 75013 Paris, France

Received 18 July 2009 / Received in final form 2 November 2009

Published online 17 December 2009 – © EDP Sciences, Società Italiana di Fisica, Springer-Verlag 2009

**Abstract.** Carbon nanotube field-effect transistors (CNTFET) are being extensively studied as possible successors to CMOS. Device simulators have been developed to estimate their performance in sub-10-nm and device structures have been fabricated. In this work, a new compact model of single-walled semiconducting CNTFET is proposed implementing the calculation of energy conduction sub-band minima and the treatment of scattering effects through energy shift in CNTFET. The developed model has been used to simulate I-V characteristics using VHDL-AMS simulator.

**PACS.** 73.63.Fg Nanotubes – 87.85.Rs Nanotechnologies-applications

## 1 Introduction

Carbon nanotubes belong to the fullerenes family and are sheets of graphite rolled in the shape of a tube. Depending on the direction in which the nanotubes are rolled (chirality), they can be either metallic or semiconducting [1]. Semiconducting nanotubes have been used in high-performance transistors where the channel is the nanotube itself. Since the first demonstration of carbon nanotube field-effect transistors (CNTFET) in 1998 [2,3], there has been an immense research concerning the electrical properties and the physical understanding of CNTFET [1,4,5]. The manufacturing of CNTFET processes progress continually: one of the most advanced is the Chemical Vapor Deposition technique (CVD). The CNTFET can be characterized by: high carrier mobility, low leakage current, important on state current relatively to the applied voltages and low inverse subthreshold slope. These properties allow us to consider the design of high-speed and high performances electronic circuits. High-performance CNTFET operating close to the ballistic limit has been reported in [6–8]. However, ballistic limit is an approximation which ignore scattering effects that are not necessarily small effects. For example, in reference [9], at high field the mobility is dramatically reduced by phonon scattering, leading to saturation behavior. Therefore, a device simulator based on dissipative quantum transport that rigorously treats the effects of phonon scattering will be essential for the proper assessment of CNTFET characteristics, and to gain a deeper understanding of carrier transport at nanoscale. There have been many theoretical

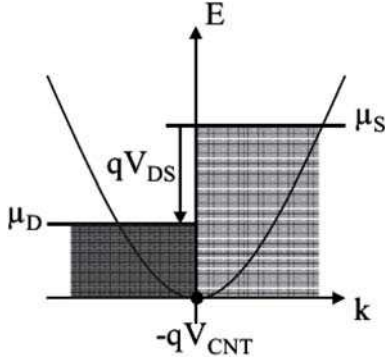
studies on the calculation of carrier scattering rates and mobilities in CNTFET using semiclassical transport simulation and the non-equilibrium Green's function (NEGF) formalism [10–12]. The NEGF has been used to treat the effects of phonon scattering in CNT Schottky barrier transistors [13,14]. It has also been successfully used to investigate the impact of phonon scattering, in the CNTFET with doped source and drain contacts (MOSFETs like CNTFET). However, from a circuit designer's point of view, circuit simulation and evaluation using CNTFET are challenging because most of the developed models are numerical, involving self-consistent equations which take too much time to be solved and circuit solvers like SPICE are not able to handle. In this paper, based on the original MOSFET-like CNTFET compact model that has been proposed for ballistic transport in references [16–18], we will develop a new compact model that take into account the calculation of energy conduction sub-band minima and the treatment of dissipative quantum transport in the CNTFET through energy shift calculations.

This paper is organized as follow. In Section 2, the new compact model is presented. The results of our model using VHDL-AMS simulator are shown and discussed in Section 3. The conclusions are summarized in Section 4.

## 2 Approach

A simple model for ballistic CNTFET is described in [19,20]. For details about this model we refer the reader to [16]. In this model, the gate voltage  $V_{gs}$  induces charge in the CNTFET channel  $Q_{\text{cnt}}$ . It also modulates the top

<sup>a</sup> e-mail: hamiehs@yahoo.fr



**Fig. 1.** Energy versus wave-number  $E-k$  diagram. The source and drain Fermi level have been shown by  $\mu_S$  and  $\mu_D$ .

of the energy band between the source and the drain by an amount  $V_{\text{cnt}}$ . As the source-drain barrier is lowered, current flows between the source and the drain. The electrons coming from the source fill  $+k$  states and the electrons coming from the drain fill up the  $-k$  states. The control potential  $V_{\text{cnt}}$  is computed self consistently using:

$$V_{\text{cnt}} = \frac{LC_I V_{gi} + C_{SE} V_{si} + C_{DE} V_{di} - Q_{\text{cnt}}}{LC_I + C_{DE} + C_{SE}}, \quad (1)$$

where  $V_{gi}$ ,  $V_{si}$ , and  $V_{di}$  are the intrinsic gate, source and drain potential respectively.  $C_{SE}$ ,  $C_{DE}$  are the contact capacitance of the source and drain,  $C_I$ , is the gate oxide capacitance (see Tab. 1),  $Q_{\text{cnt}}$  depends on the number of carriers in the channel  $n_{\text{cnt}}$  which is the sum of the energy sub-band contributions and  $L$  is the nanotube length (see Fig. 1). The drain current equation is derived from the Landauer formula which describes ballistic transport with ideal contacts<sup>1</sup>.

$$I = \frac{4ek_B T}{h} \sum_p \left[ \ln\left(1 + \exp\left(\frac{-V_{si} - \Delta_p + V_{\text{cnt}}}{k_B T}\right)\right) - \ln\left(1 + \exp\left(\frac{-V_{di} - \Delta_p + V_{\text{cnt}}}{k_B T}\right)\right) \right], \quad (2)$$

where  $\Delta_p$  is the minima of the  $p$ th energy subband. The sub-bands minima can be calculated using zone folding method of the graphene electron dispersion

$$\epsilon_\nu(\mathbf{k}) = \epsilon_{\text{graphene}}\left(|\mathbf{k}| \frac{\mathbf{K}_2}{|\mathbf{K}_2|} + \nu \mathbf{K}_1\right), \quad (3)$$

with

$$\nu = -\left(\frac{N}{2} + 1\right), \dots, \frac{N}{2},$$

and

$$-\frac{\pi}{|\mathbf{T}|} < |\mathbf{k}| < \frac{\pi}{|\mathbf{T}|},$$

where  $|\mathbf{T}|$ , is the unit vector for the carbon nanotube (CNT),  $N$  is the number of hexagons in CNT unit cell,  $\mathbf{K}_1$  and  $\mathbf{K}_2$  define the CNT reciprocal unit cell [21].

<sup>1</sup> A common feature of CNTFETs fabricated to date is the presence of a Schottky barrier at the nanotube-metal junctions. These energy barriers severely limit transistor conductance in the ON state, due to the non-ideal electrical contacts of source and drain electrodes

**Table 1.** CNTFET parameters (see text for discussion about the used values of the parameters).

Parameter	name	value	Unit
$n$	Helicity parameter	19	
$m$	Helicity parameter	0	
$d$	Diameter	$1.49 \times 10^{-9}$	m
$T$	Temperature	300	K
$R_d$	Drain contact resistance	$17 \times 10^3$	$\Omega$
$R_s$	Source contact resistance	$23 \times 10^3$	$\Omega$
$R_g$	Gate contact resistance	10	$\Omega$
$L$	Nanotube length	$100 \times 10^{-9}$	m
$V_{FB}$	Flat band potential	$-40 \times 10^{-3}$	V
$C_I$	Gate oxide capacitance	$100 \times 10^{-12}$	F/m
$C_{DE}$	Drain capacitance	$0.1 \times 10^{-18}$	F
$C_{SE}$	Source capacitance	$0.1 \times 10^{-18}$	F

## Phonon effect

The effect of phonon scattering on the device characteristics of CNTFET is explored by including the energy shift due to the phonon scattering [22] and ignoring the effect of the imaginary part of the self energy which we believe that have a minor effect on the  $I-V$  characteristics for small biases [23,24]. This approximation is similar to Rayleigh-Schrödinger perturbation theory or the on shell perturbation theory. In this approach, when evaluating the retarded self energy  $\Sigma_{\text{ret}}(k, E)$  the energy  $E$  is set equal to the on shell energy  $\epsilon_k$ , so the self-energy is just a function of one variable  $k$  or equivalently,  $\epsilon_k$ . Note that Rayleigh-Schrödinger perturbation theory as Brillouin-Wigner Perturbation Theory [22] is valid when the imaginary part of the self-energy is zero. We know that the particle properties are actually described by spectral function [22]:

$$A(k, \omega) = -2\text{Im} \left[ \frac{1}{\omega - \epsilon_k + \mu - \Sigma_{\text{ret}}(k, \omega)} \right]. \quad (4)$$

If the imaginary part of the retarded Self-energy is zero, then we replace it by an infinitesimal value  $-i\delta$ , and the spectral function just becomes a delta function:

$$A(k, \omega) = 2\pi Z(k) \delta(\omega - \epsilon_k + \mu - \text{Re}[\Sigma_{\text{ret}}(k, \omega)]), \quad (5)$$

within this approximation:

$$Z(k) = \left| 1 - \frac{\partial}{\partial \omega} \text{Re}[\Sigma_{\text{ret}}(k, \omega)] \right|_{\omega = \epsilon_k - \mu + \text{Re}[\Sigma_{\text{ret}}(k, \omega)]}^{-1} = 1.$$

Therefore, the momentum distribution  $n_k$  read:

$$n_k = \int_{-\infty}^{\infty} \frac{d\omega}{2\pi} n_\omega A(k, \omega) = \frac{1}{e^{\beta(\epsilon_k + \text{Re}[\Sigma_{\text{ret}}(k)] - \mu)} + 1}, \quad (6)$$

and the energy spectrum  $E_k$  of a particle of momentum  $k$  is

$$E_k = \epsilon_k + \Sigma, \quad (7)$$

**Table 2.** Phonon branches that effectively couple to electron and used in our model for (19,0) CNTFET with  $d = 1.5$  nm, and  $E_g = 0.56$  eV.

Phonon mode	$\hbar\omega_0$	$D_0$
Intra longitudinal optical	190 meV	$8.19 \times 10^{-3}$ eV <sup>2</sup>
Inter longitudinal optical/transversal acoustic (TA)	180 meV	$16.26 \times 10^{-3}$ eV <sup>2</sup>

where  $\Sigma = \text{Re}[\Sigma_{\text{ret}}(\mathbf{k}, \omega)] = \Sigma_{\text{ret}}(\mathbf{k})$ ,  $\epsilon_k = \frac{(\hbar k)^2}{2m_e}$  and  $m_e$  is the effective mass. For a single electron in the conduction band and for one phonon exchange we have

$$\Sigma = \text{Re} \sum_{q\mu} |M_{kq}^\mu|^2 \left[ \frac{n_{-q} + 1}{\epsilon_k - \epsilon_{k+q} - \hbar\omega_{-q\mu} - i\delta} + \frac{n_q}{\epsilon_k - \epsilon_{k+q} + \hbar\omega_{q\mu} - i\delta} \right], \quad (8)$$

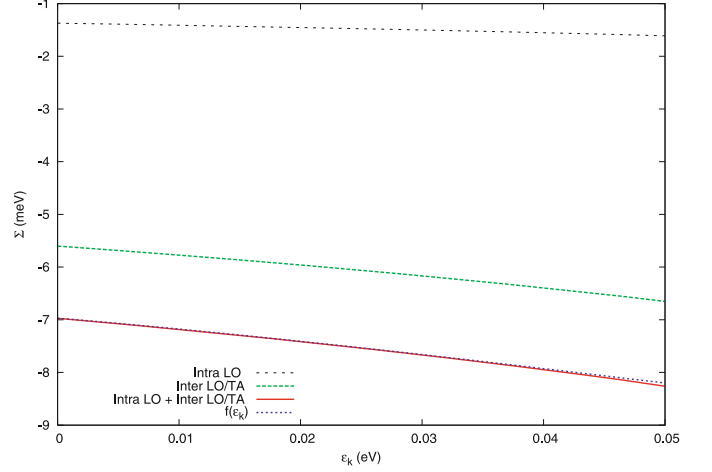
where  $n_q$  is the Bose Einstein distribution,  $M_{kq}^\mu$  is the electron-phonon coupling and  $\mu = 1 \dots 6$  is the phonon band index. Each indices  $k$  and  $q$  label both the continuous wave vector along the tube axis and the discrete circumferential wave vector. It is found in references [23,24], based on electron-phonon coupling calculations, that only a few phonon modes are effectively coupled to the electrons. For out of zone-center modes only the Longitudinal Optical, Longitudinal Acoustic, and radial breathing mode (RBM) have sufficient coupling, whereas, from zone-boundary modes only the Longitudinal Optical/Transversal Acoustic mode has significant coupling. Furthermore, in references [23,24], at large gate biases the mainly effect on the  $I - V$  characteristic is due mainly to inter-Longitudinal Optical/Transversal Acoustic and intra-Longitudinal Optical modes scattering, which reduce the current by 16% from the ballistic level at  $V_{gs} = 0.7$  V. Thus in our model we include only inter-Longitudinal Optical/Transversal Acoustic and intra-Longitudinal Optical modes. In this case we can assume that the coupling strength and the dispersion relation are constant in the CNT Brillouin zone [23,24]. Table 2 shows the phonon branches and their corresponding coupling strengths and energies. Also, in our approach, we take only the first electrons subband in evaluation of the energy shift. Under these assumptions and for  $\epsilon_k < \hbar\omega_0$  we have

$$\Sigma = \frac{-D_0 \Delta z \sqrt{2m_e c^2}}{2\pi \hbar c} \left( \frac{(n_q + 1) \tan^{-1} x_-}{\sqrt{\hbar\omega_0 - \epsilon_k}} + \frac{n_q \log \left| \frac{1-x_+}{1+x_+} \right|}{2\sqrt{\hbar\omega_0 + \epsilon_k}} \right) \Bigg|_{\frac{-\pi}{3a_{cc}}}^{\frac{\pi}{3a_{cc}}}, \quad (9)$$

with

$$x_{\pm} = \frac{\hbar c(k + q)}{\sqrt{2m_e c^2 (\hbar\omega_0 \pm \epsilon_k)}},$$

$D_0$  is the coupling constant shown in Table 2,  $a_{cc} = 0.142$  nm is the carbon-carbon length in graphene, and  $\Delta z = \frac{3a_{cc}}{4}$  is the average distance between two ring in the nanotube, [23,24].



**Fig. 2.** (Color online) Intra longitudinal optical (190 meV), Inter longitudinal optical/transversal acoustic (180 meV), and all modes together contribution to the real part of the Self energy. Also, shown in this figure the fitting function.

In Figure 2 we show, at  $T = 300$  K, the intra longitudinal optical, Inter longitudinal optical/Transversal Acoustic, and all modes together contribution to the real part of the self energy as function of  $\epsilon_k$ . Also, shown in this figure the polynomial fitting function  $f(\epsilon_k) = -0.007 - 0.02\epsilon_k - 0.253\epsilon_k^2 + 6.248\epsilon_k^3 - 117.3\epsilon_k^4 + 919.43\epsilon_k^5$ . Note that, this approximation of the self energy is chirality,  $(m, n)$ , dependent but does not dependent on the conditions of use. Here, we will limit the calculation to the first order in  $\epsilon_k$  as we will consider only cases with small biases. clearly, higher order in  $\epsilon_k$  can have effects at large biases. Thus, in our case the energy correction due to phonon scattering can be written at this form

$$E_k = \epsilon_k + \Sigma = E_0 + \alpha\epsilon_k,$$

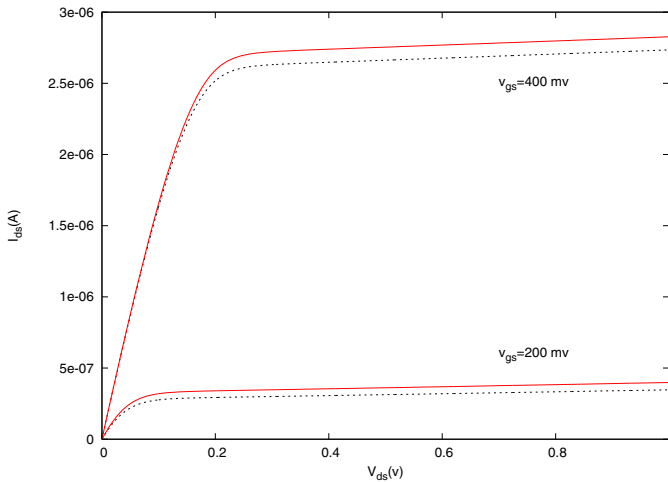
where  $E_0 = -0.007$  eV and  $\alpha = 0.98$ . This new dispersion relation will be used when evaluating equations (1) and (2) for counting the scattering effects that due to the real part of the self energy.

### 3 Results and discussion

#### VHDL-AMS implementation

The MOSFET-like CNTFET compact model introduced in last section including the improvements mentioned above is implemented with VHDL-AMS simulation tool.





**Fig. 3.** (Color online)  $I_{ds}$ - $V_{ds}$  for  $V_{gs} = 0.4V$  and  $V_{gs} = 0.2V$  and for the (19,0) CNTFET, dotted black curves under ballistic transport, and solid red curves with scattering (all modes together).

The main quantities used in the model are the control potential  $V_{cnt}$ , the sub-bands energy level  $\Delta p$  and the source (drain) Fermi level  $\mu_{S(D)}$ . A maximum of 12 intrinsic parameters are necessary as input of this model: the chirality vector  $(n, m)$ , the diameter, the flatband voltage  $V_{FB}$ , the contact resistances  $(R_s, R_d, R_g)$ , the contact drain (source) capacitance  $C_{DE}$  ( $C_{SE}$ )<sup>2</sup> and the gate oxide capacitance per unit length  $C_I$ . The value of  $C_I$  can be calculated from  $C_I = \frac{2\pi\epsilon_0\epsilon_{ox}}{(2h+d)/d}$  for a nanotube surrounded by a coaxial gate, both separated by an oxide of thickness  $h$  with permittivity  $\epsilon_{ox}$ . The device parameters used in the simulation for the  $I - V$  characteristics are summarized in Table 1.

The treatment of phonon scattering is performed as explained in the last section using the Rayleigh-Schrödinger perturbation theory. Here, we study the effects of phonon scattering on CNTFET characteristics using a (19,0) tube as a representative case. The results are compared to those with ballistic transport. Figure 3 compares the  $I_{ds}$ - $V_{ds}$  results for the (19,0) CNTFET under ballistic transport and that with scattering. As we expected the effect of the real part of the self-energy in phonon scattering have no appreciable effect on the device ON-current for large bias: for  $V_{gs} = 0.4 V$ , the ON-current is increased by less than 4%. For small bias however the effect is more pronounced as can be seen in Figure 3 the device ON-current is increased by 14% for  $V_{gs} = 0.2 V$ . Note that, the results is very sensitive to the used parameters. For example a change of the nanotube length to less than or equal 10 nm may play a significant role, also the effective mass can have an appreciable effect on the current. Furthermore, the imaginary part of the self-energy, that we ignore here, is expected to play a major role for large biases as it is found in [23,24].

<sup>2</sup> The values of the parameters shown in Table 1 are estimated under the assumption that the compact model results for  $I - V$  characteristics should be compatible with the results of the model based on Boltzmann transport equation.

The inclusion of the imaginary part in our model can be done through the spectral function. We will leave such investigation for future studies. In this paper we have been interested only on the feasibility of including scattering effects in a simple compact model which can be used in circuit solvers like VHDL-AMS.

## 4 Conclusion

This paper presents a novel circuit-compatible modeling technique for non ballistic CNT transistors. The description of the approximation to simulate transport of carriers in carbon nanotube transistors with the account of electron-phonon scattering in the Rayleigh-Schrödinger perturbation theory is introduced. This model can be easily extended to incorporate all phonon branches including the RBM and LA modes. The developed model is simple and makes circuit simulations possible.  $I - V$  characteristics are simulated and results have been presented to validate the use of such a simplified model for circuit simulations in the CNTFET domain. Further work is needed to include the role of the imaginary part of the self-energy and higher order in the perturbation in the simple model. We hope to address some of this issues in the near future.

The authors would like to thank the support of this work by the Institut TELECOM under NanoRF project.

## References

1. P.L. McEuen, M.S. Fuhrer, H. Park, IEEE Trans. Nanotechnol. **1**, 7885 (2002)
2. S.J. Tans, A.R.M. Verschueren, C. Dekker, Nature **393**, 49 (1998)
3. R. Martel, T. Schmidt, H.R. Shea, T. Hertel, Ph. Avouris, Appl. Phys. Lett. **73**, 2447 (1998)
4. M.P. Anantram, F. Leonard, Rep. Prog. Phys. **69**, 507 (2006)
5. S. Wind, J. Appenzeller, Ph. Avouris, Appl. Phys. Lett. **80**, 38173819 (2002)
6. A. Javey, J. Guo, Q. Wang, M. Lundstrom, H. Dai, Nature **424**, 654 (2003)
7. A. Javey et al., Nano Lett. **4**, 1319 (2004)
8. Y.-M. Lin, J. Appenzeller, Z. Chen, Z.-G. Cgen, H.-M. Cheng, Ph. Avouris, IEEE Electron Device Lett. **26**, 823 (2005)
9. Z. Yao, C.L. Kane, C. Dekker, Phys. Rev. Lett. **84**, 2941 (2000)
10. S. Datta, *Quantum Transport: Atom to Transistor* (Cambridge University press, 2005)
11. R. Lake, G. Klimeck, R.C. Bowen, D. Jovanovic, J. Appl. Phys. **81**, 7845 (1997)
12. M.P. Anantram, M.S. Lundstrom, D.E. Nikonov, *Modeling of Nanoscale Devices*, available at <http://arxiv.org/abs/cond-mat/0610247>
13. J. Guo, J. Appl. Phys. **98**, 063519 (2005)
14. M. Pourfath, H. Kosina, S. Selberherr, J. Phys.: Conf. Ser. **38**, 29 (2006)

15. A. Rahman, J. Guo, S. Datta, M.S. Lundstrom, IEEE Trans. Electron Devices **50**, 18531864 (2003)
16. A. Raychowdhury, S. Mukhopadhyay, K. Roy, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems **23**, 1411 (2004)
17. C. Maneux, J. Goguet, S. Fregonese, T. Zimmer, H. Cazin d'Honinchtun, S. Galdin-Retailleau, *Analysis of CNTFET physical compact model*, Design and Test of Integrated Systems in Nanoscale Technology (2006)
18. P. Desgreys, J.G. Da Silva, D. Robert, *Dispersion impact on ballistic cntfet n+-i-n+ performances*, ENS'06 Paris, France, 14-15 December 2006
19. J. Guo, S. Datta, M. Lundstrom, *A Numerical Study of Scaling Issues for Schottky Barrier Carbon Nanotube Transistors*, e-print [[arXiv:cond-mat/0306199](https://arxiv.org/abs/cond-mat/0306199)] 199 (2003)
20. J. Guo, M. Lundstrom, S. Datta, Appl. Phys. Lett. **80**, 17 (2002)
21. R. Saito, G. Dresselhaus, M.S. Dresselhaus, *Physical Properties of Carbon Nanotubes* (Imperial College Press, London, 1998)
22. G.D. Mahan, *Many-Particle Physics*, 2nd Edn. (Plenum, New York, 1990)
23. S.O. Koswatta, S. Hasan, M.S. Lundstrom, M.P. Anantram, D.E. Nikonov, Non-equilibrium Green's function treatment of phonon scattering in carbon nanotube transistors, e-print [[arXiv:cond-mat/0702496](https://arxiv.org/abs/cond-mat/0702496)]
24. J. Guo, M. Lundstrom, Appl. Phys. Lett. **86**, 193103 (2005)



# Passive second-order anti-aliasing filter for RF sampling based receivers

A. Latiri, L. Joet, P. Desgreys and P. Loumeau

A second-order FIR anti-aliasing filter for RF sampling receivers is presented. The principle and circuit implementation are detailed for a GSM 900 receiver. The achieved alias rejection is sufficient to meet the specifications without any RF preselect filters.

**Introduction:** Bandpass sampling has been widely used in recent works on software radio receivers [1, 2]. A reconfigurable receiver can be achieved by subsampling the signal at the RF band and then performing discrete time signal processing techniques prior to A/D conversion. This scheme, however, requires an anti-alias filter to prevent unwanted interferers to fold on top of the desired signal. Windowed charge sampling techniques can be used in this case to realise an inherent filtering operation [3]. For stringent communication standards such as GSM, more than 100 dB of alias rejection are required and can be achieved only by using high-order filters. Works on such anti-alias filters have been reported recently. In [4], a sinc<sup>2</sup> filter was designed by cascading two  $G_m$ -C integrators. A complex bandpass third-order sinc-type FIR filter was implemented in [5] using a current-mode active switch network. In this Letter, we propose a second-order sinc-type FIR filter using only one transistor and a set of passive matched capacitor arrays, for low power, high speed and high accuracy operation. Circuit implementation is based on an optimised integration scheme for minimum die area.

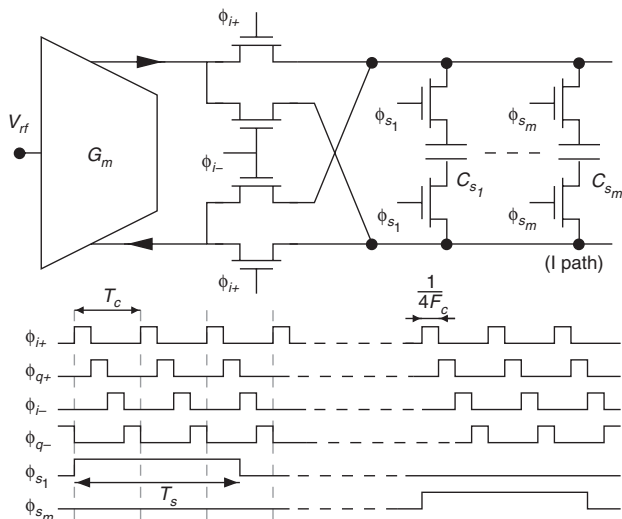


Fig. 1 Charge sampler with first-order FIR filtering

**Filter principle:** The principle of the proposed filter will be derived from the study of a charge-domain sampler with a first-order FIR filtering function (Fig. 1). The RF input signal is converted into current through a  $G_m$  transconductance and integrated on a capacitor  $C_s$  during one sampling period  $T_s = 1/F_s$ . In each quadrature path, the current is integrated alternately in a positive then a negative direction at a rate equal to twice the channel frequency  $F_c$ . The signal is here downconverted to an intermediate frequency  $F_{IF} = F_s/2$  by setting the sampling period to  $T_s = (N + 1/2)/F_c$ , where  $N$  is an integer number. In this case, the transfer function of the resulting complex FIR filtering can be written as:

$$H(z) = \frac{G_m}{C_s} \cdot \frac{\sin(\pi f T_i)}{\pi f} \cdot \sum_{k=0}^{4N+1} j^k z^{-k} \Big|_{z=e^{j2\pi f T_i}}$$

where  $T_i = 1/(4 \cdot F_c)$  is the length of each integration period and is also equal to the sampling period of the FIR filter. Let the channel frequency  $F_c = 900$  MHz (GSM) and the subsampling ratio  $N = 2$ . The total number of integration intervals during  $T_s$  is thus equal to  $L = 4N + 2 = 10$  and the FIR filter coefficients vector is given by:

$$\alpha^1 = [+1 \quad +j \quad -1 \quad -j \quad +1 \quad +j \quad -1 \quad -j \quad +1]$$

The performed alias rejection can be estimated here to  $-70$  dB, which is insufficient in the GSM case without any RF prefilters. Moving to a second-order FIR filter will ideally solve the problem, as its theoretical rejection is twice the rejection of the first-order filter.

**Second-order FIR filter:** The second-order FIR filter coefficients are obtained by squaring (or self-convolving) the  $\alpha_1$  vector, which gives:

$$\alpha^2 = \begin{matrix} 1 & 2 & & & L & L+1 & & & 2L-1 \\ (+1 & +2j & -3 & \dots & +10j & -9 & \dots & +3 & +2j & -1) \end{matrix}$$

Unlike  $\alpha_1$ , the coefficients of  $\alpha_2$  are not unitary and thus cannot be implemented with a fixed  $G_m$  and a single capacitor  $C_s$ . A weighting technique based on capacitance ratios will be employed here to obtain the  $\alpha_2$  coefficients with a high accuracy. Fig. 2 shows an array of switched capacitors used to form a coefficient  $\alpha_k^2$ . The array is composed of  $L$  unit capacitors which first sample the input current all together during an integration interval  $T_i$ . Then, to form the  $k$ th tap coefficient  $\alpha_k$ , only  $k$  capacitors are selected and connected to the output. In this way, only a fraction  $|\alpha_k| = k/L$  of the initial integrated charge will be used. The sign and complex nature of each coefficient  $\alpha_k$  will be defined next, when connecting the capacitor array to the output (direct or inverted connection, real or imaginary path). The total integration time, which corresponds to the length of vector  $\alpha_2$ , is now almost equal to  $2T_s$ . A time-interleaved structure is thus required to keep the same  $F_s$  sampling rate as for the first-order filter. Counting also for charge read out and reset times, three integration paths will be finally implemented. The tap coefficients of the three parallel paths are shown in Fig. 3. Interesting to note is the  $L$ -complementarity between the coefficients of any two of the three parallel paths. A single capacitor array can therefore be used to form two complementary coefficients at the same time. When using a capacitor array to form an  $\alpha_k$  coefficient, it is possible to form the  $\alpha_{L-k}$  complementary coefficient by simply collecting the charge on the remaining  $L-k$  capacitors (Fig. 2). This optimised scheme can save up to 50% of the total required area.

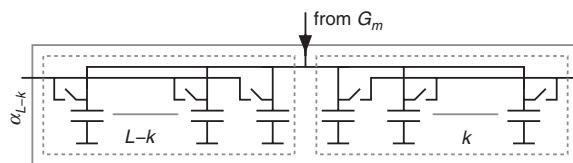


Fig. 2 Implementation of tap coefficient using switched capacitors array

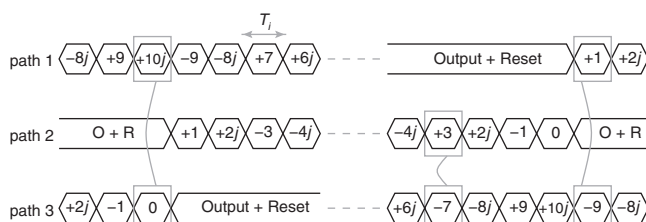


Fig. 3 Tap coefficients for three parallel integration paths

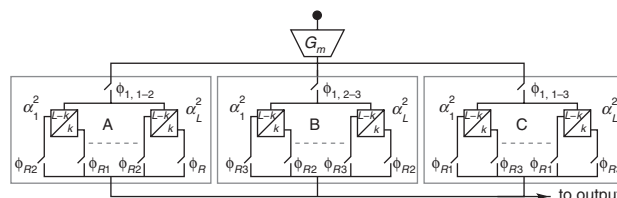


Fig. 4 Simplified schematic of second-order FIR sampler

**Circuit implementation:** The proposed second-order FIR sampler is presented in Fig. 4. The circuit is composed of three distinct banks of  $L$  capacitor arrays and is arranged in a specific way to emulate three parallel integration paths with the same sampling rate  $F_s$ . As the impulse response of the filter is  $2T_s$  long, each output sample will require the combination of two banks. At the same time, each bank will contribute for two consecutive output samples ( $L$ -complementarity). The time-interleaved sampling operation is better described in Fig. 5.

During  $[(k-1)T_s, kT_s]$ , the input current is integrated into bank B. A first half of the unit cells from bank A combine with half unit cells from bank C to create the output sample  $s_2$  and are reset afterwards. The second half of unit capacitors from bank A is kept for the next phase. During  $[kT_s, (k+1)T_s]$ , the current is integrated into bank C. Half of the unit capacitors from B combine with the previously saved capacitors from A to create the output sample  $s_3$ . The capacitors are then reset and a new cycle starts again.

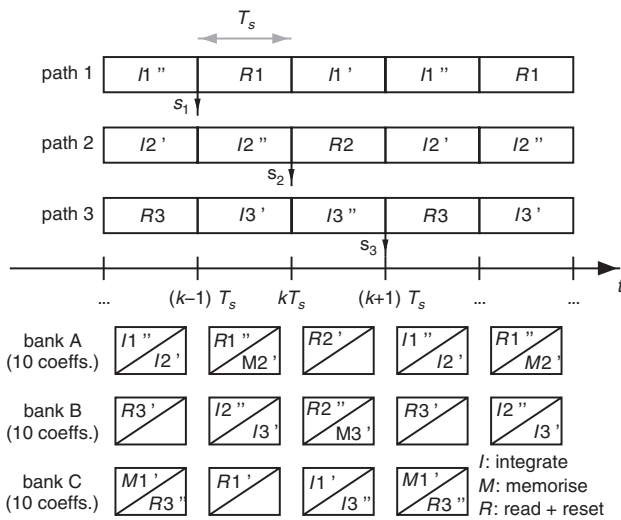


Fig. 5 Timing diagram for time-interleaved FIR sampling operation

**Conclusion:** A second-order anti-aliasing filter for RF sampling based receivers is presented. In contrast to previous works, the proposed solution required only one active component. An optimised implementation scheme saved up to 50% of the required circuitry. The

high coefficient accuracy (required for good quality notches) should normally be achieved thanks to the precise capacitance ratios offered by current CMOS technologies. This will ensure an alias rejection on circuit close to the theoretical value of 140 dB and will allow meeting the specifications for the presented GSM example without any RF preselect filter. The topology of the proposed second-order FIR filter can be easily adjusted to any other available communication standard.

© The Institution of Engineering and Technology 2007  
27 October 2006

Electronics Letters online no: 20073341  
doi: 10.1049/el:20073341

A. Latiri, P. Desgreys and P. Loumeau (*Ecole Nationale Supérieure des Telecommunications de Paris (ENST Paris), 46 rue Barrault, 75013 Paris, France*)

E-mail: Anis.Latiri@enst.fr

L. Joet (*STMicroelectronics Crolles R&D, 850 rue Jean Monnet, 38926 Crolles Cedex, France*)

## References

- 1 Bagheri, R., Mirzaei, A., Chehrizi, S., Lee, M., Kihemar, M., Tang, W., and Abidi, A.: 'An 800 MHz to 5 GHz software-defined radio receiver in 90 nm CMOS'. ISSCC Dig. Tech. Pprs, February 2006, pp. 1932–1941
- 2 Muhammad, K., *et al.*: 'A discrete time quad-band GSM/GPRS receiver in a 90 nm digital CMOS process'. Proc. IEEE Custom Integrated Circuits Conf., September 2005, pp. 809–812
- 3 Yuan, J.: 'A charge sampling mixer with embedded filter function for wireless applications'. Int. Conf. on Microwave and Millimeter-wave Technology, September 2000, pp. 315–318
- 4 Mirzaei, A., Bagheri, R., Chehrizi, S., and Abidi, A.A.: 'A second-order anti-aliasing prefilter for an SDR receiver'. Proc. IEEE Custom Integrated Circuits Conf., September 2005, pp. 629–632
- 5 Karvonen, S., and Kostamoara, J.: 'Charge-domain FIR sampler with programmable filtering coefficients'. IEEE Int. Symp. on Circuits and Systems, May 2005, Vol. 5, pp. 4425–4428