



**HAL**  
open science

# Oscillateurs asynchrones en anneau : de la théorie à la pratique

Oussama El Issati El Issati

► **To cite this version:**

Oussama El Issati El Issati. Oscillateurs asynchrones en anneau : de la théorie à la pratique. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2011. Français. NNT : 2011GRENT081 . tel-00683174

**HAL Id: tel-00683174**

**<https://theses.hal.science/tel-00683174>**

Submitted on 28 Mar 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE**

Spécialité : **Micro et Nano Electronique**

Arrêté ministériel : 7 août 2006

Présentée par

**Oussama EL ISSATI**

Thèse dirigée par **Laurent FESQUET**

Codirigée par **Sébastien RIEUBON**

Préparée au sein du Laboratoire ‘‘Technique de l'Informatique et de la Microélectronique pour l'Architecture de systèmes intégrés (TIMA)’’ et la société ST-ERICSSON Grenoble.

dans l'École Doctorale Electronique, Electrotechnique, Automatique & Traitement du Signal

### *Oscillateurs Asynchrones en Anneau : de la Théorie à la Pratique*

Thèse soutenue publiquement le **12/09/2011**,  
devant le jury composé de :

**M. Guy CATHEBRAS**

Professeur, Université Montpellier II, Président

**M. Gilles JACQUEMOD**

Professeur, Université de Nice-Sophia Antipolis, Rapporteur

**M. Christian PIGUET**

Professeur, EPFL, Suisse, Rapporteur

**M. Laurent FESQUET**

MdC-HDR, Grenoble INP, Directeur de thèse

**M. Sébastien RIEUBON**

Ingénieur, ST-ERICSSON, Co-encadrant industriel





# Oscillateurs Asynchrones en Anneau : de la Théorie à la Pratique

Sous la direction de Dr. Laurent Fesquet

Oussama EL ISSATI

Le 12 Septembre 2011

Grenoble

France

**ISBN : 978-2-84813-175-7**



*A la mémoire de mon père  
A ma chère Maman  
A mes frères et Sœurs  
A mes beaux-frères et mes belles-sœurs  
A mes nièces et neveux  
A ma douce épouse Hanan*



---

# Remerciements

---

Enfin ! Voici enfin le moment tant attendu de la fin de rédaction où il ne me reste plus qu'à remercier les personnes qui m'ont aidé pendant cette thèse.

Alors tout d'abord, merci à Dominique Borrione et à la société ST-Ericsson pour m'avoir accueilli dans leurs établissements

Toute ma gratitude est adressée à Laurent Fesquet, mon directeur de thèse, maître de conférences à l'Institut Polytechnique de Grenoble, pour m'avoir accueilli lors de mon stage d'ingénieur et de m'avoir donnée l'occasion de faire cette thèse. Merci infiniment pour les efforts que tu as faits pour pouvoir commencer cette thèse (ce n'était pas évident !). Merci de m'avoir tant appris, m'avoir laissé chercher, m'avoir soutenu, et m'avoir corrigé ce manuscrit. Merci pour la confiance que tu m'as accordé, tes encouragements, et ton soutien sur le plan professionnel et personnel.

Je remercie vivement mon co-encadrant Sébastien Rieubon, Ingénieur Chef de projets à ST-Ericsson Grenoble, pour sa disponibilité, ses conseils, son humour et pour m'avoir donné mes premières armes en analogique RF. Je te remercie d'avoir accepté de m'encadrer dans un contexte très particulier. Merci beaucoup pour ta confiance, tes encouragements, et ton soutien.

J'aimerais aussi remercier Thierry Divel qui, sans ses efforts, le démarrage de cette thèse aurait été très délicat.

Un merci tout aussi grand à Christian Piguet et à Gilles Jacquemaud pour avoir accepté d'être les rapporteurs de cette thèse, et à Guy Cathebras pour avoir accepté de présider le jury.

Un grand merci à mes collègues de ST-Ericsson : Philippe, Sébastien D., Sidy, Cyril, Caroline, Stéphane, Bruno, Laurent, et Julien.

Un énorme merci à tous mes collègues, et anciens collègues, de TIMA :

Gilles Sicard, Maître de conférences à l'Université Joseph Fourier et Katell Morin-Allory, Maître de conférences à Grenoble INP.

Eslam et Hatem, Merci pour les longues discussions. Vous vous rappelez de notre voyage aux USA, c'était formidable en votre compagnie, bien qu'ils nous ont bloqué trois heures à l'aéroport ;-)

Un grand Merci à Laila, Hawra, Livier, Hakim, Frank, Florent, Alexandre, Khaled, Cédric, Taha, Saeed, Florent, Franck, Rodrigo, Gregory, David, Sophie. Ça restera un grand plaisir d'avoir travaillé à vos côtés.

Je remercie notre futur ophtalmologue Nazih, mon meilleur ami. On est resté très proche malgré les 3000 km qui nous ont séparés, Merci pour tout. Je remercie également mes chers amis Firas, Youssef, Nabil, Faouzi, Ali, Mohamed-Ridha et Mohamed El Habib.

Le plus grand des Mercis à ma famille de m'avoir toujours soutenu :

Je remercie particulièrement ma mère pour son soutien, et ses encouragements. C'est grâce à elle que je suis arrivé au bout de mon rêve de doctorat.

Je remercie ma sœur Fatima et mon beau-frère Abdelaziz de m'avoir toujours considéré comme un membre de la petite famille et pour leurs encouragements et leur soutien contenu durant les dix ans que j'ai passé en France.

Un grand merci à mes frères, sœurs, beaux-frères et belles-sœurs. Sans vos encouragements et soutien je ne serai jamais arrivé là.

Pour terminer, je tiens à remercier du fond du cœur mon épouse Hanan, mon docteur personnel, pour son amour, son soutien, pour tous les moments chaleureux qu'elle m'apporte au quotidien.

Encore une fois merci à tous.

Oussama EL ISSATI





---

# Résumé

---

Les oscillateurs sont des blocs qui figurent dans presque tous les circuits. En effet, ils sont utilisés pour générer les signaux de synchronisation (les horloges), les signaux modulés et démodulés ou récupérer des signaux noyés dans du bruit (détection synchrone). Les caractéristiques de ces oscillateurs dépendent de l'application. Dans le cas des boucles à verrouillage de phase (PLL), il existe de fortes exigences en matière de stabilité et de bruit de phase. En outre, face aux avancées des technologies nanométriques, il est également nécessaire de prendre en compte les effets liés à la variabilité des procédés de fabrication. Aujourd'hui, de nombreuses études sont menées sur les oscillateurs asynchrones en anneau qui présentent des caractéristiques bien adaptées à la gestion de la variabilité et qui offrent une structure appropriée pour limiter le bruit de phase. A ce titre, les anneaux asynchrones sont considérés comme une solution prometteuse pour générer des horloges.

Cette thèse étudie les avantages et les potentiels offerts par les oscillateurs asynchrones en anneau. Deux applications principales ont été identifiées. D'une part, ces oscillateurs sont une solution prometteuse pour la génération d'horloges polyphasées à haute fréquence et à faible bruit de phase. D'autre part, ils constituent une alternative simple, dans une certaine mesure aux oscillateurs plus conventionnels et aux DLLs, car ils sont programmables en fréquence numériquement et sont susceptibles de fournir les fonctionnalités d'arrêt de type *gated clock* de façon native. Plusieurs oscillateurs ont été conçus, implémentés, fabriqués en technologie CMOS 65 nm de STMicroelectronics et, finalement, caractérisés sous pointes. Ces travaux ont notamment permis de démontrer la pertinence de ces oscillateurs, qui constituent une alternative sérieuse aux très classiques oscillateurs en anneau à base d'inverseurs.



---

# *Abstract*

---

Oscillators are essential building blocks in many applications. For instance, they are basic blocks in almost all designs: they are part of PLLs, clock recovery systems and frequency synthesizers. The design of a low phase-noise multi-phase clock circuitry is especially crucial when a large number of phases is required. There are plenty of works covering the design of multiphase clocks. High frequency oscillators can be implemented using ring structures, relaxation circuits or LC circuits. Ring architectures can easily provide multiple clocks with a small die size. With the advanced nanometric technologies, it is also required to deal with the process variability, stability and phase noise. Today many studies are oriented to Self-Timed Ring (STR) oscillators which present well-suited characteristics for managing process variability and offering an appropriate structure to limit the phase noise. Therefore, self-timed rings are considered as promising solution for generating clocks.

This thesis studies the benefits and potential offered by Self-Timed Ring oscillators. Two main applications have been identified. On the one hand, these oscillators are a promising solution for the generation of high-frequency multi-phase low phase noise clocks. On the other hand, they are a simple alternative to some extent to the conventional oscillators and DLLs, because they are digitally programmable. Several oscillators have been designed, implemented, manufactured in 65 nm CMOS technology from STMicroelectronics, and characterized. This work has demonstrated the relevance of these oscillators, which are a serious alternative to the conventional ring oscillators based on inverters.



# Table des Matières

---

<i>Remerciments</i> .....	<i>i</i>
<i>Résumé</i> .....	v
<i>Abstract</i> .....	vii
<i>Table des Matières</i> .....	ix
<i>Listes des Figures et Tableaux</i> .....	xv
<i>Introduction Générale</i> .....	1
<i>Partie I : Contexte et l'état de l'art</i> .....	5
<i>Chapitre 1 : Les Oscillateurs dans le Domaine des Radiocommunications</i> .....	7
1. Introduction .....	7
2. Les oscillateurs dans le domaine des radiocommunications.....	8
2.1. Modalisation des oscillateurs .....	8
2.2. Les types d'oscillateurs.....	10
2.2.1. Les oscillateurs à quartz (XO) .....	10
2.2.2. Les oscillateurs à résonateur LC .....	11
2.2.3. Les oscillateurs à relaxation.....	12
2.2.4. Les oscillateurs en anneau .....	13
3. Bruit de phase dans les oscillateurs.....	14
3.1. Principe de génération du bruit dans les oscillateurs .....	15
3.2. Bruit dans les semi-conducteurs .....	16
3.3. Sources de bruit.....	16
3.3.1. Bruit de diffusion .....	16
3.3.2. Bruit en excès.....	17
3.3.3. Bruit de jonction des semi-conducteurs.....	17
3.4. Le bruit de phase dans les oscillateurs .....	18
3.5. Le modèle de Leeson. ....	19
3.6. La théorie de Lee-Hajimiri.....	20
3.7. Le facteur de mérite. ....	23
4. Conclusion.....	23

<i>Chapitre 2 : La conception asynchrone</i> .....	23
1. Introduction .....	25
2. Les concepts de base de la conception asynchrone.....	26
2.1. Le mode de fonctionnement asynchrone .....	26
2.2. Le principe de base : un contrôle local .....	27
2.3. Protocoles de communications .....	27
2.4. Implémentation du protocole : La porte de Muller .....	29
2.4.1. La porte de Muller ou “C-element” .....	29
2.4.2. La porte de Muller asymétrique.....	30
3. Classification des circuits asynchrones .....	30
3.1. Circuits insensibles aux délais (Delay Insensitive).....	31
3.2. Circuits quasi insensibles aux délais (Quasi Delay Insentitive) .....	31
3.3. Circuits indépendants de la vitesse (Speed Independent) .....	32
3.4. Micropipeline.....	32
3.5. Circuits de Huffman.....	33
4. Propriétés des circuits asynchrones.....	33
4.1. Calcul en temps minimum .....	33
4.2. Un pipeline "élastique" .....	34
4.3. Modularité.....	34
4.4. L'absence de l'horloge .....	34
4.5. Migration.....	35
5. Circuits asynchrones et systèmes radiofréquences .....	36
5.1. Faible consommation .....	36
5.2. Faible rayonnement électromagnétique .....	37
5.3. Faible bruit. ....	38
5.4. Réutilisation. ....	39
6. Conclusion.....	39
 <i>Partie II : L'Architecture et l'implémentation des Oscillateurs en Anneau</i> <i>Asynchrones</i> .....	 41
 <i>Chapitre 3 : Architecture et Modélisation des Oscillateurs en Anneau</i> <i>Asynchrones</i> .....	 43
1. Introduction .....	43
2. Architecture d'un oscillateur en anneau asynchrone .....	44
2.1. La porte de Muller .....	44
2.2. La connectivité de l'anneau asynchrone .....	44
2.3. Le principe de fonctionnement .....	45
2.3.1. Les jetons et les bulles .....	45
2.3.2. Règles de propagation.....	46
2.3.3. Les modes de propagation .....	46

3. Modélisation des anneaux asynchrones .....	46
3.1. Les Effets de Charlie et de ‘‘Drafting’’ .....	47
3.1.1. L'effet de Charlie .....	47
3.1.2. L'effet de drafting.....	47
3.2. Le modèle de Charlie 3D .....	48
3.3. L'importance de la prise en compte des effets Charlie et « Drafting » .....	51
3.4. Calcul de la période d'oscillation dans les anneaux asynchrones.....	52
3.5. La puissance consommée.....	57
3.6. La robustesse aux variations.....	58
4. Validations.....	60
5. Conclusion.....	61

#### *Chapitre 4 : Les différentes implémentations de la porte de Muller.....63*

1. Introduction .....	63
2. Les différentes implémentations de la porte de Muller.....	64
2.1. L'implémentation dynamique.....	64
2.2. L'implémentation « weak feedback ».....	65
2.3. L'implémentation conventionnelle .....	66
2.4. L'implémentation symétrique.....	66
2.5. Les implémentations différentielles.....	67
3. Conception de l'étage de l'oscillateur asynchrone.....	69
3.1. Utilisation de la méthode de l'effort logique.....	69
3.1.1. Présentation de la méthode de l'effort logique .....	69
3.1.2. Application de la méthode à l'étage de l'oscillateur.....	70
3.2. Dimensionnement par simulations électriques .....	73
3.3. Fréquence optimale d'oscillation.....	74
3.4. Comparaison des différentes implémentations.....	76
3.4.1. Fréquence vs. Consommation.....	76
3.4.2. L'étage modifié de l'oscillateur en anneau asynchrone.....	77
3.4.3. Le bruit de phase.....	78
4. Conclusions .....	80

#### *Partie III : Applications.....81*

#### *Chapitre 5 : Génération d'horloges polyphases à haute fréquence et à faible bruit de phase.....83*

1. Introduction .....	83
2. Les oscillateurs polyphases.....	84
3. Les phases dans les oscillateurs en anneau .....	86
3.1. Les phases dans les oscillateurs à base d'inverseurs .....	86
3.2. Les phases dans les oscillateurs en anneau asynchrones .....	86
3.3. Les règles de conceptions d'un oscillateur polyphasé à base d'anneau asynchrones.....	86

3.4.	Comparaisons avec d'autres topologies.....	87
3.5.	Implémentations et simulations .....	89
4.	Le bruit de phase .....	91
4.1.	Duplication du nombre d'étages .....	91
4.2.	La symétrie entre les fronts.....	93
5.	Génération des signaux en quadrature de phase .....	95
6.	Largeur de la bande de fréquence. ....	97
7.	Flot de conception pour les oscillateurs en anneau asynchrones.....	98
8.	Conclusion.....	101

*Chapitre 6 : Conception d'un Oscillateur Programmable et Arrêtable basé sur un Anneau Asynchrone.....103*

1.	Introduction .....	103
2.	L'architecture de l'oscillateur programmable.....	105
2.1.	Première solution : contrôle des jetons et des bulles .....	105
2.2.	Deuxième solution : contrôle du nombre d'étages .....	106
2.3.	Troisième solution : la solution hybride .....	107
3.	L'oscillateur Programmable et Arrêtable.....	108
3.1.	Le protocole de communication entre de processeur et le PSO.....	108
3.2.	L'unité de contrôle.....	110
3.3.	Mode1: Changement de Fréquence .....	111
3.4.	Mode2 : la mise en pause de l'oscillateur .....	112
3.5.	Simulation numérique du PSO.....	113
4.	Résultats d'implémentation.....	114
4.1.	Les performances des différentes solutions .....	114
4.2.	Fréquence vs. Tension d'alimentation .....	116
4.3.	La sensibilité aux variations de processus .....	117
5.	Conclusion.....	118

*Chapitre 7 : Validation sur Silicium en Technologie STCMOS065..... 121*

1.	Introduction .....	121
2.	L'architecture de TestChip.....	122
2.1.	Interface d'entrée .....	122
2.2.	Le cœur du testchip : les oscillateurs en anneau asynchrones .....	124
2.3.	L'interface de sortie .....	127
2.4.	Les alimentations, entrées et sorties.....	127
2.5.	Layout et Circuit .....	127
3.	Les mesures expérimentales .....	128
3.1.	L'environnement de mesure .....	128
3.2.	Les mesures expérimentales .....	129
3.2.1.	Les oscillateurs OSC_2T_1B, OSC_4T_2B et OSC_8T_4B.....	129
3.2.2.	L'oscillateur OSC_2T_2B. ....	130

---

3.2.3.	Les oscillateurs OSC_2T_3B et OSC_2T_3B_DYN .....	131
3.2.4.	L'oscillateur OSC_21_PROG_SET_REST.....	133
3.2.5.	L'oscillateur OSC_21_PROG_SERIE.....	135
3.2.6.	L'oscillateur OSC_21_INV .....	136
4.	Conclusion.....	137
	<i>Conclusion</i> .....	139
	<i>Références</i> .....	143
	<i>Publications de l'auteur</i> .....	149



## *Listes des Figures et Tableaux*

Figure 1-1: La boucle fermée d'un oscillateur.....	8
Figure 1-2 : La boucle ouverte d'un oscillateur.....	9
Figure 1-3: Structure de l'oscillateur à quartz .....	10
Figure 1-4 : Modélisation du quartz par un circuit de RLC.....	11
Figure 1-5 : Structure de l'oscillateur LC .....	11
Figure 1-6 : Structure de l'oscillateur à relaxation .....	12
Figure 1-7 : Structure de l'oscillateur en anneaux .....	13
Figure 1-8 : Structure de l'oscillateur en anneau différentiel .....	14
Figure 1-9 : Les bandes Tx et Rx du GSM.....	15
Figure 1-10 : Brouillage du signal par le bruit de phase.....	15
Figure 1-11 : Le bruit dans le transistor.....	16
Figure 1-12 : Brouillage du signal par le bruit de phase.....	18
Figure 1-13 : Forme du bruit de phase d'un oscillateur.....	19
Figure 1-14 : Conséquences d'un pic sur la sortie du l'oscillateur (a) pendant la transition (b) pendant que la sortie est saturée à VDD ou GND.....	21
Figure 2-1: Structure de base d'un circuit asynchrone .....	27
Figure 2-2 : Le protocole 2 Phases .....	28
Figure 2-3 : Le protocole 4 Phases .....	28
Figure 2-4: Le symbole, la table de vérité, et l'implémentation de la porte de Muller .....	30
Figure 2-5: Le symbole, la table de vérité, et l'implémentation de la porte de Muller asymétrique [REZ 04].....	30
Figure 2-6 : Les classes des circuits asynchrones.....	31
Figure 2-7 : Le modèle des circuits micropipelines.....	32
Figure 2-8 : Consommation en courant et spectres correspondants, des versions synchrone et asynchrone du 80c51.....	37
Figure 3-1 : La porte de Muller.....	44
Figure 3-2 : L'Anneau Asynchrone .....	45
Figure 3-3 : Bulle et Jeton dans l'anneau asynchrone .....	45
Figure 3-4 : Les modes "régulier" et "rafale" .....	46
Figure 3-5 : Chronogramme de l'étage.....	49
Figure 3-6 : Le diagramme de Charlie 2D .....	49
Figure 3-7 : Le Drafting .....	50
Figure 3-8 : Le diagramme de Charlie 3D .....	50
Figure 3-9 : Résultats sans l'effet de Charlie.....	51
Figure 3-10 : Résultats avec l'effet de Charlie. ....	52
Figure 3-11 : Graphes d'états d'un anneau asynchrone de 5 étages et 2 jetons.....	53

Figure 3-12 : Le diagramme de Charlie statique .....	54
Figure 3-13 : Charlie(R) diagram .....	56
Figure 3-14 : Le diagramme de Charlie(R) en échelle logarithmique .....	56
Figure 3-15 : Le diagramme de Charlie pour différentes valeur de $D_{charlie}$ .....	59
Figure 3-16 : La dérivée de Charlie(s) pour différentes valeur de $D_{charlie}$ .....	59
Figure 4-1 : L'implémentation dynamique de la porte de Muller .....	65
Figure 4-2: L'implémentation Weak feedback .....	66
Figure 4-3: L'implémentation conventionnelle .....	67
Figure 4-4: L'implémentation symétrique .....	67
Figure 4-5: Une implémentation en logique différentielle .....	68
Figure 4-6: L'étage dynamique de l'oscillateur asynchrone.....	71
Figure 4-7 : La fréquence d'oscillation en fonction de (U1, U2) en 3D.....	74
Figure 4-8 : La fréquence d'oscillation en fonction de (U1, U2) en 2D.....	74
Figure 4-9 : La consommation dynamique vs. Fréquence.....	76
Figure 4-10 : L'oscillateur en anneau asynchrone modifié .....	77
Figure 4-11 : La consommation dynamique Vs. Fréquence pour les anneaux modifiés.....	78
Figure 4-12 : Le facteur de mérite en fonction de la largeur $w_n$ .....	79
Figure 4-13 : Le bruit de Phase en fonction de la fréquence d'oscillation .....	79
Figure 5-1: Comparaison entres les oscillateurs asynchrones et à base d'inverseurs.....	89
Figure 5-2: 41 phases générées par l'oscillateur asynchrone à 41 étages à 6.02 GHz. ....	90
Figure 5-3 : Le bruit de phase dans les oscillateurs asynchrones 2T/1B, 4T/2B, 8T/4B et un oscillateur à base d'inverseurs. ....	92
Figure 5-4 : Les formes d'onde approximative et de l'ISF.....	93
Figure 5-5 : FOM, la fréquence et la consommation de puissance Vs. $\gamma = \omega_p / \omega_n$ .....	94
Figure 5-6 : Les sorties en quadrature de phase de l'oscillateur 2T/2B.....	95
Figure 5-7 : Le bruit de phase de l'oscillateur 2T/2B en dBc/Hz.....	96
Figure 5-8 : La fréquence en fonction de la tension d'alimentation .....	98
Figure 5-9 : Le flot de conception des oscillateurs en anneau asynchrones .....	100
Figure 6-1 : L'architecture de l'oscillateur programmable.....	105
Figure 6-2 : Le protocole de communication entre de processeur et le PSO.....	108
Figure 6-3 : L'oscillateur Programmable et Arrêtable.....	109
Figure 6-4 : L'unité de contrôle .....	110
Figure 6-5 : Les chronogrammes du PSO.....	113
Figure 6-6 : Analog Results of the PSO.....	116
Figure 6-7 : La fréquence de sortie du PSTR Vs. Tension d'alimentation.....	117
Figure 6-8 : Les variations du procesus du PSTR (a) Inter-Die (b) Intra-Die. ....	117
Figure 7-1 : L'architecture du TestChip .....	122
Figure 7-2 : Le protocole JTAG en écriture.....	123
Figure 7-3 : L'activation d'oscillateur 2T/1B par le protocole JTAG.....	124
Figure 7-4 : L'architecture de l'oscillateur OSC_21_PROG_SERIE.....	126
Figure 7-5 : L'injection de 12 jetons en série .....	126
Figure 7-6 : Layout et photo du Circuit .....	128
Figure 7-7 : L'environnement de mesure.....	129
Figure 7-8 : Le bruit de phase dans les oscillateurs OSC_2T_1B et OSC_8T_4B .....	130
Figure 7-9 : Le bruit de phase dans les oscillateurs OSC_2T_2B .....	131

Figure 7-10 : Le bruit de phase dans l'oscillateur OSC_2T_3B.....	132
Figure 7-11 : Le bruit de phase dans l'oscillateur OSC_2T_3B_DYN.....	133
Figure 7-12 : Quatre phases de la configuration 20T/1B (1).....	134
Figure 7-13 : Quatre phases de la configuration 20T/1B (2).....	135
Figure 7-14 : Le bruit de phase dans l'oscillateur OSC_21_INV.....	137
Tableau 3-1 : Les paramètres temporels de l'étage .....	60
Tableau 3-2 : Résultats de simulations .....	60
Tableau 4-1: Les principaux paramètres de la méthode de l'effort logique .....	69
Tableau 4-2: Les valeurs d'U1 et U2 de la fréquence optimale .....	75
Tableau 4-3: La fréquence et la consommation pour différentes config. ....	77
Tableau 4-4 : Comparaison entre les quatre implémentations.....	80
Tableau 5-1 : Fréquence et nombre de Phase pour différentes configurations (Drr=21.3ps and Dff=38.2ps) .....	88
Tableau 5-2 : Oscillateurs en anneau asynchrones avec le meme rapport Jetons/bulles (Dff = 32.4ps et Drr = 42.4ps) .....	90
Tableau 5- 3: Les performances des oscillateurs asynchrones à R=2.....	92
Tableau 5- 4 : comparaison avec des precedents travaux .....	97
Tableau 6-1: Résultats des différentes solutions de programmation .....	114
Tableau 7-1 : Les performances des oscillateurs OSC_2T_1B, OSC_4T_2B et OSC_8T_4B .....	130
Tableau 7-2 : Les performances de l'oscillateur OSC_2T_2B.....	131
Tableau 7-3 : Les performances des oscillateurs OSC_2T_3B et OSC_2T_3B_DYN.....	132
Tableau 7-4 : Les performances de l'oscillateur OSC_21_PROG_SET_RESET .....	134
Tableau 7-5 : Les performances de l'oscillateur OSC_21_PROG_SERIE .....	136
Tableau 7-6 : Les performances de l'oscillateur OSC_21_INV .....	136



---

# *Introduction Générale*

---

Les oscillateurs et particulièrement les oscillateurs contrôlés (VCO) en tension sont des blocs de base dans la majorité des circuits intégrés. En effet, ils sont utilisés pour générer le signal de synchronisation, l'horloge, moduler et démoduler des signaux ou récupérer des signaux dans le bruit. Les caractéristiques de l'oscillateur dépendent de l'application ; dans le cas des boucles à verrouillage de phase (PLL) de fortes exigences en matière de stabilité et de bruit de phase sont nécessaires au bon fonctionnement. En outre, face aux avancées dans les technologies déca-nanométriques, il est également nécessaire de faire face à la variabilité des procédés de fabrication. Aujourd'hui, de nombreuses études sont axées sur les oscillateurs basés sur les anneaux asynchrones [EBE 98] [WIN01] [ZEB 05] [HAM 08], qui présentent des caractéristiques bien adaptées pour la gestion de la variabilité et qui offrent une structure appropriée pour limiter le bruit de phase. Par conséquent, les anneaux asynchrones sont considérés aujourd'hui comme une solution prometteuse pour générer des horloges.

Les oscillateurs sont des éléments essentiels dans de nombreuses applications. Ils font partie des PLL, des systèmes de *Clock recovery* et des synthétiseurs de fréquence. La conception d'horloges polyphasées à faible bruit de phase est cruciale surtout quand un grand nombre de phases est nécessaire. Il y a beaucoup de travaux portant sur la conception d'horloges polyphasées [SUN 01] [LEE 97] [MAN 94]. Les oscillateurs à haute fréquence peuvent être implémentés en utilisant des structures en anneau, des circuits de relaxation ou des circuits LC. Les architectures en anneau peuvent facilement fournir des horloges polyphasées avec une surface très petite. Par ailleurs, l'utilisation d'un oscillateur LC présente beaucoup d'inconvénients pour ces applications (surface, sensibilité aux rayonnements, pollutions EM...)

Les circuits asynchrones constituent une classe de circuits, dont le contrôle ou le séquencement est assuré par d'autres méthodes que le recours à un signal périodique

distribué global. C'est le cas des circuits synchrones. Cette distinction entre circuits synchrones et asynchrones n'existait pas aux balbutiements de la conception numérique. Toutefois, la conception synchrone - plus simple - s'est rapidement imposée face à la conception asynchrone pour répondre aux défis de l'intégration et aux besoins de calcul croissants.

Le premier chapitre rappelle quelques éléments de théorie sur les oscillateurs. Suivi d'un tour d'horizon des principales architectures d'oscillateurs utilisées. Ensuite, les différentes sources de bruit susceptibles de générer le bruit de phase sont présentées ainsi que les deux principales approches de modélisation de la conversion de ces bruits en bruit de phase à savoir les modèles de *Leeson* et *Hajimiri-Lee*.

La technologie asynchrone semble être une alternative à l'approche synchrone en général et dans le domaine des radiocommunications en particulier du fait de son comportement peu bruyant. Le chapitre 2 présente les concepts de base, les propriétés et les avantages de la technologie asynchrone ainsi que l'adéquation entre les propriétés de cette technologie et les besoins dans le domaine des radiocommunications.

Dans le chapitre 3, nous présentons l'architecture des oscillateurs en anneau asynchrones, leur mode de fonctionnement et les propriétés qui les caractérisent. Nous proposons également une formule qui nous permet de calculer la fréquence d'oscillation en fonction des paramètres temporels de l'étage sans passer par la simulation.

Etant donné que la porte de Muller est le composant principal de l'anneau asynchrone, il nous est apparu indispensable de l'étudier afin de choisir l'implémentation la plus intéressante selon l'application et le cahier de charge. Dans le chapitre 4 nous présentons les différentes implémentations de la porte de Muller, une comparaison en termes de consommation, fréquence et bruit de phase est faite. Ces portes sont aussi étudiées afin de trouver les règles de conception permettant d'obtenir des cellules optimisées en termes de vitesse et de bruit de phase en appliquant le modèle de l'effort logique d'une part et en effectuant des simulations d'autre part.

Le Chapitre 5 propose une méthodologie pour générer des horloges à haute fréquence polyphasées basée sur l'oscillateur en anneau asynchrone. Nous verrons aussi comment on peut générer des signaux en quadrature de phases simplement avec un anneau composé de quatre étages. Nous expliquons comment la configurabilité peut être utilisée pour réduire le bruit de phase en doublant simplement le nombre d'étages sans aucun changement dans la structure de l'étage et en gardant la même fréquence d'oscillation. Nous

proposons ensuite un flot de conception pour concevoir un oscillateur polyphasé à haute fréquence et à faible bruit de phase.

L'un des principaux avantages des oscillateurs en anneau asynchrone est sa configurabilité ; avec le même nombre d'étages on peut fonctionner à différentes fréquences d'oscillation en changeant le nombre de jetons et de bulles qui circulent dans l'anneau, contrairement aux anneaux basés sur des inverseurs qui ont une fréquence fixe. Dans ce chapitre nous exploitons cette caractéristique très intéressante des oscillateurs en anneau asynchrone pour concevoir un oscillateur programmable et interruptible basé sur ce type d'oscillateur. Grâce au protocole poignée de main, cet oscillateur communique avec le processeur synchrone pour assurer une commutation correcte d'une fréquence à l'autre. L'oscillateur est aussi conçu pour éviter la présence de *glitches* et la génération de périodes d'horloge tronquées

Enfin, le chapitre 7 valide expérimentalement l'étude théorique développée dans les chapitres précédents. Nous avons réalisé un circuit de test (TestChip) qui embarque plusieurs types d'anneaux asynchrones en technologie CMOS065 de STMicroelectronics.

Cette thèse a été réalisée dans le cadre d'une convention CIFRE, encadrée par la société ST-ERICSSON à Grenoble et le laboratoire de recherche TIMA de Grenoble. Cette collaboration a permis le transfert de connaissances sur la conception asynchrone qui est l'un des domaines d'expertise du groupe CIS du laboratoire TIMA vers l'industrie, et notamment à la RF BU de ST-ERICSSON. Cette thèse a donc permis l'introduction d'un nouveau type d'oscillateur dans l'industrie, jusqu'alors peu connu dans l'industrie et qui constitue une alternative très sérieuse aux oscillateurs en anneau classiques à base d'inverseurs.



# *Partie 1.*

## *Contexte et l'état de l'art :* *de l'asynchrone aux systèmes radiofréquences*

---



# *Chapitre 1.*

## *Les Oscillateurs dans le Domaine des Radiocommunications*

---

### **I. Introduction**

Dans l'industrie du semi-conducteur, on peut constater une tendance nette à l'utilisation de liens série haut débit entre les émetteurs-récepteurs RF et les circuits de traitement numérique du signal en bande de base. Ce type de lien nécessite souvent la génération d'une horloge haute fréquence présentant des performances de plus en plus élevées en termes de gigue et de bruit de phase. Ces performances semblent incompatibles avec les architectures classiques d'oscillateurs en anneaux. Par ailleurs, l'utilisation d'un oscillateur LC présente beaucoup d'inconvénients pour ces applications (surface, sensibilité aux rayonnements et aux pollutions électromagnétiques ...).

Les oscillateurs et notamment les oscillateurs contrôlés en tension (VCO) sont des blocs de base dans presque tous les blocs. En effet, ils sont utilisés pour générer les signaux de synchronisation (les horloges), pour moduler et démoduler les signaux ou détecter des signaux noyés dans du bruit. Les caractéristiques de l'oscillateur dépendent de l'application. Pour les applications radiofréquences, des exigences en matière de stabilité, de bruit de phase sont nécessaires pour un bon fonctionnement.

Ce premier chapitre rappelle quelques éléments de théorie des oscillateurs. Ensuite un tour d'horizon des principales architectures d'oscillateurs utilisés en radiocommunication est effectué. Enfin, les différentes sources de bruit susceptibles de

générer le bruit de phase ainsi que les deux principales approches de modélisation de la conversion de ces bruits en bruit de phase (à savoir Leeson et Hajimiri-Lee) sont présentées.

## 2. Les oscillateurs dans le domaine des radiocommunications

Un oscillateur est un circuit générant un signal périodique à fréquence constante ou variable. Dans ce dernier cas, on parle souvent d'oscillateur contrôlé en tension. Comme tous les systèmes oscillants, les oscillateurs (électriques) transforment une énergie à la fréquence nulle en une énergie à la fréquence du résonateur. Ainsi, il est possible de déterminer de façon assez générique dans quelles conditions le dispositif oscillera et si toutefois les oscillations sont susceptibles de démarrer.

### 2.1. Modélisation des oscillateurs

On modélise souvent un oscillateur par le système bouclé représenté sur la Figure 1-1. Il est composé d'une partie active du circuit (l'élément de gain) et d'un élément passif (le résonateur) bouclé par une contre-réaction positive qui réinjecte une partie du signal de la sortie à l'entrée [FOU 00] [MIR 04].

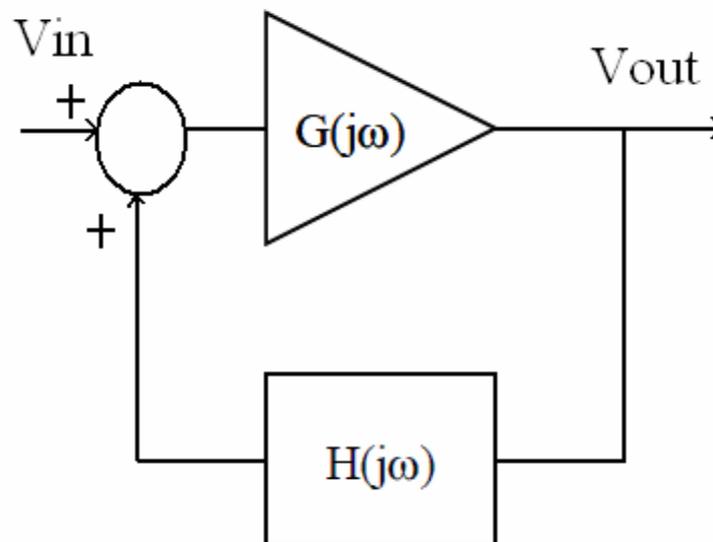


Figure 1-1: La boucle fermée d'un oscillateur

La fonction de transfert est donnée par l'équation suivante :

$$A(j\omega) = \frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{G(j\omega)}{1 - G(j\omega) \cdot H(j\omega)} \quad (1-1)$$

où  $A(j\omega)$  est le gain en boucle fermée,  $G(j\omega)$  le gain en boucle ouverte de l'amplificateur et  $H(j\omega)$  est la fonction de transfert de réseau de rétroaction.

Pour déterminer les conditions d'oscillation. On va étudier le système en boucle ouverte. Le schéma de la boucle ouverte est présenté Figure 1-2.

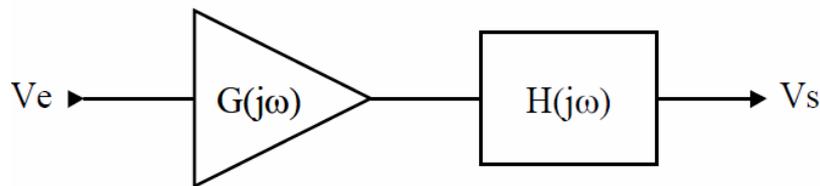


Figure 1-2 : La boucle ouverte d'un oscillateur

La fonction de transfert en boucle ouverte est :

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = G(j\omega) \cdot H(j\omega) \quad (1-2)$$

Pour que le système oscille en régime établi, il faut que  $V_{out}(j\omega) = V_{in}(j\omega)$ . Il faut donc que  $G(j\omega) \cdot H(j\omega) = 1$ . Cela revient donc à satisfaire les conditions suivantes appelées critères de Barkhausen.

$$\begin{cases} |G(j\omega) \cdot H(j\omega)| = 1 \\ \text{Arg}\{G(j\omega) \cdot H(j\omega)\} = 0[2k\pi] \quad k \in N \end{cases} \quad (1-3)$$

Les oscillations peuvent démarrer si le gain de la partie active  $G(j\omega)$  est supérieur au gain de la fonction de transfert du résonateur  $H(j\omega)$  et croître indéfiniment en théorie. Ce phénomène se traduit par  $|G(j\omega) \cdot H(j\omega)| > 1$ . Le démarrage des oscillations nécessite en pratique un transfert d'énergie entre les différents éléments du circuit. Or celui-ci est originellement dans un puits de stabilité et c'est donc le bruit intrinsèque des composants qui déséquilibre le dispositif. Le bruit est ensuite amplifié par le gain de la boucle et l'oscillation peut alors démarrer.

Grâce à un schéma petit signal du circuit, on peut déterminer le gain (minimal) utile à l'entretien des oscillations. Il suffit ensuite de concevoir un circuit d'entretien avec un gain légèrement supérieur à cette valeur pour démarrer les oscillations. Dans la pratique, il est préférable de dimensionner la partie active de l'oscillateur afin d'obtenir un gain au moins trois fois supérieur au gain minimal pour assurer le démarrage afin de compenser les non-linéarités présentes dans le circuit, [MIR 04].

## 2.2. Les types d'oscillateurs

### 2.2.I. Les oscillateurs à quartz (XO)

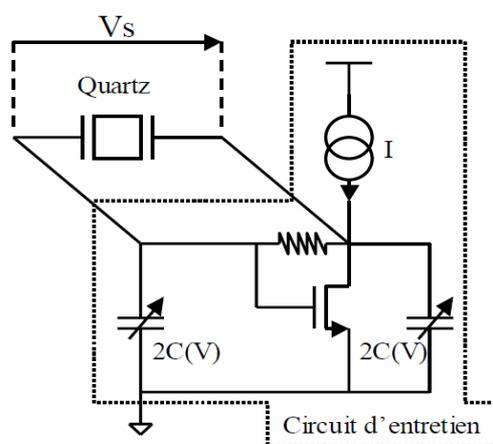


Figure 1-3: Structure de l'oscillateur à quartz

Les XOs sont des oscillateurs utilisant un quartz comme circuit résonnant. Ils utilisent les propriétés vibratoires du cristal de quartz pour générer les oscillations. L'avantage de ces oscillateurs est la très grande stabilité du montage pour un faible coût. Le facteur de qualité des résonateurs à quartz est beaucoup plus élevé (au moins cent fois) que celui des résonateurs LC utilisant des éléments discrets. Les XOs ont la particularité d'être très précis en fréquence dans le temps et en température : quelques hertz de précision à plusieurs dizaines de mégahertz de fréquence de fonctionnement soit quelques ppm (parties par million). Ce qui implique une très faible excursion en fréquence qui ne dépasse pas 0.3% de la fréquence centrale d'oscillation. Ce qui lui fait perdre tout intérêt pour une application n'utilisant pas une fréquence unique. Cependant cette stabilité en fréquence rend les oscillateurs XOs très utilisés comme horloge de référence (dans les montres par exemple), en sus de leur très faible bruit de phase puisque ce dernier doit être inférieur à celui des circuits qu'ils cadencent. Ces deux points rendent ce type d'oscillateur incontournable lorsqu'il s'agit de concevoir, par exemple, une fréquence de référence pour des PLLs (Phase Locked Loop) [VIT 88] [MIR 04].

La Figure 1-3 représente le schéma classique de l'oscillateur à quartz. Le circuit d'entretien a pour but de fournir de l'énergie afin de compenser les pertes mécaniques (principalement les frottements) du quartz.

On modélise le quartz par un circuit RLC équivalent présenté dans la Figure 1-4 :

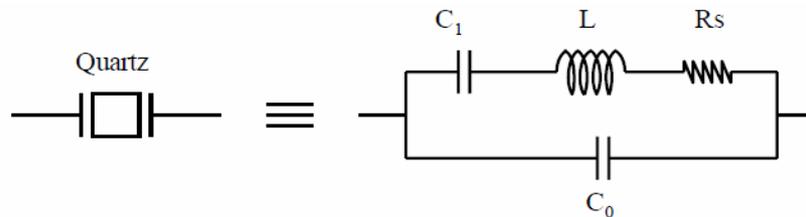


Figure 1-4 : Modélisation du quartz par un circuit de RLC

La fréquence de résonance correspondant à la Figure 1-3 est :

$$F_{osc} = \frac{1}{\sqrt{\frac{C_0 \cdot C(V)}{C_0 + C(V)} \cdot L}} \tag{1-4}$$

### 2.2.2. Les oscillateurs à résonateur LC

Les oscillateurs LC possèdent le même principe de fonctionnement que les oscillateurs à quartz. Ils se basent sur la fréquence de résonance d'un filtre LC. Il s'agit toujours de compenser les pertes résistives du circuit résonant (LC). La compensation de ces pertes est assurée par le circuit actif constitué par une réaction positive. Cette compensation est représentée par une conductance négative -G dont la valeur minimale est fournie par l'équation 1-5. La Figure 1-5 présente la structure générale de l'oscillateur à résonateur LC.

$$G = (R_L + R_C) \cdot (2\pi \cdot F_0 \cdot C^2) \tag{1-5}$$

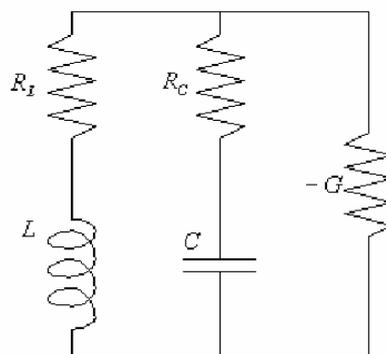


Figure 1-5 : Structure de l'oscillateur LC

Il existe plusieurs types d'oscillateurs LC, la différence entre ces types est la structure du circuit actif (simple ou différentiel) et la structure du résonateur (simple ou différentiel et simple ou double paire croisée).

L'avantage des oscillateurs LC est leur faible bruit de phase et leur faible gigue à haute fréquence. En revanche, leur surface est très grande du fait qu'ils contiennent une inductance. De plus, ces oscillateurs consomment beaucoup d'énergie et ont une plage d'utilisation relativement petite. Malgré ces inconvénients, les oscillateurs LC demeurent les oscillateurs les plus utilisés dans les applications de radiocommunication du fait de leur faible bruit de phase.

### 2.2.3. Les oscillateurs à relaxation

Ce sont des systèmes qui évoluent alternativement entre deux états d'énergie grâce à une source extérieure d'énergie. On les appelle ainsi en raison du retour périodique du système vers un état de plus faible énergie. La période du signal dépend des intensités utilisées par certains éléments. L'énergie s'accumule, puis s'évacue au moyen d'un même réservoir (un condensateur par exemple). En plus de ce réservoir, l'oscillateur nécessite un dispositif déclenchant le "remplissage" et la "vidange" du réservoir. Un oscillateur à relaxation est réalisé à partir de capacités (variables ou non), de comparateurs à hystérésis et au minimum deux sources de courant comme représenté dans Figure 1-6. [DUF 08]

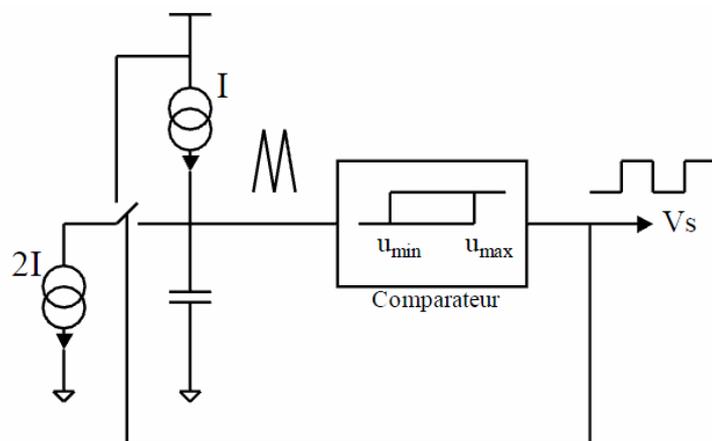


Figure 1-6 : Structure de l'oscillateur à relaxation

Le fonctionnement de cet oscillateur consiste en la charge et la décharge d'une capacité. Une source de courant charge la capacité dont la tension aux bornes augmente. Le comparateur détecte le dépassement du seuil programmé et commande la décharge de la capacité. La tension baisse jusqu'au seuil inférieur, le comparateur ordonne la recharge de la capacité et ainsi de suite.

La fréquence d'oscillation dépend de la valeur de la capacité, du courant et de la différence entre les tensions du seuil du comparateur. On peut l'exprimer par la formule suivante :

$$F_{osc} = \frac{I}{2 \cdot C \cdot (u_{max} - u_{min})} \quad (1-6)$$

On peut jouer sur la valeur des trois paramètres cités précédemment pour modifier la fréquence d'oscillation. Mais il est courant d'ajuster la fréquence en modifiant le courant des sources. Les oscillateurs à relaxation présentent un bruit de phase relativement important par rapport aux oscillateurs LC. De plus, la fréquence d'opération maximale possible est assez faible (quelques centaines de Mégahertz). Ce type d'oscillateur est, entre autres, utilisé comme oscillateur local fournissant une fréquence intermédiaire dans une chaîne de modulation/démodulation. [MIR 04]

#### 2.2.4. Les oscillateurs en anneau

Ce type de structure est basé sur N cellules (des inverseurs principalement) connectées en anneau. La période des oscillations est égale à  $T_{osc} = 2 \cdot N \cdot \tau$  où N est le nombre d'étages dans l'anneau et  $\tau$  est le délai de la cellule.

Il existe principalement deux structures d'oscillateurs en anneau. La première consiste à cascader les inverseurs CMOS comme le montre la Figure 1-7. Dans ce cas, le nombre d'étages N doit être impair.

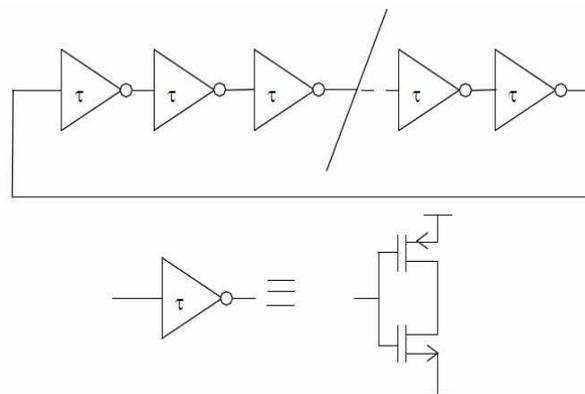


Figure 1-7 : Structure de l'oscillateur en anneau

Le déphasage entre les signaux de sortie de chaque étage est égal à  $\Delta\Phi = 2\pi/N$ . Plus on a besoin de phases de sortie, plus on ajoute d'inverseurs. En augmentant le nombre d'étages, on diminue la fréquence maximale de l'oscillateur.

La deuxième structure dite différentielle basée également sur le principe de mise en cascade de N cellules (N pair ou impair ici) de retard avec une inversion dans la boucle comme le montre le schéma de la Figure 1-8.

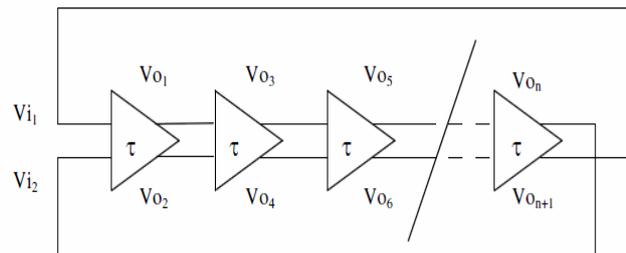


Figure 1-8 : Structure de l'oscillateur en anneau différentiel

Ce type d'oscillateur est surtout utilisé dans des applications numériques en tant qu'horloge de cadencement ou pour des applications qui nécessitent beaucoup de phases. Leur restriction d'utilisation est principalement due à des performances en bruit de phase très inférieures aux exigences des standards de communications sans fil. Cependant leur surface sur silicium est très faible.

### 3. Bruit de phase dans les oscillateurs

Le bruit dans les oscillateurs et, plus précisément, le bruit de phase est le paramètre le plus important à prendre en considération dans la conception des oscillateurs. Afin de mieux comprendre l'importance que peuvent avoir les performances en bruit d'un oscillateur, il est nécessaire de connaître quelques points sur les radiocommunications. L'espace des bandes de fréquence est découpé et attribué à plusieurs standards de communication. Beaucoup de standards subdivisent leur propre espace en deux bandes : l'une pour l'émission (Tx), l'autre pour la réception (Rx). Chaque bande est subdivisée en canaux qui sont attribués à un ou plusieurs utilisateurs.

On va prendre comme exemple le standard GSM (Extended Global System for Mobile Communications) pour mieux comprendre l'importance de ce paramètre. Dans le GSM, la bande d'émission Tx est située dans l'intervalle [880 MHz - 915 MHz] et la bande

de réception Rx est située dans l'intervalle [925 MHz - 960 MHz] et les canaux sont larges de 200 kHz comme l'illustre la Figure 1-9 [RED 95].

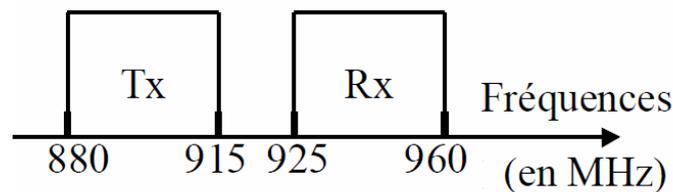


Figure 1-9 : Les bandes Tx et Rx du GSM

Un niveau de bruit de phase élevé dans une bande peut perturber les communications situées sur une bande adjacente. Dans notre exemple (EGSM), le bruit de phase à 11 MHz d'offset de la porteuse du signal émis dans le dernier canal de la bande d'émission Tx (915 MHz), va se retrouver dans la bande de réception Rx (915+11 = 926 MHz). Il va donc brouiller le signal de réception qui est généralement plus faible que le niveau à l'émission depuis le téléphone (Figure 1-10) [MIR 04].

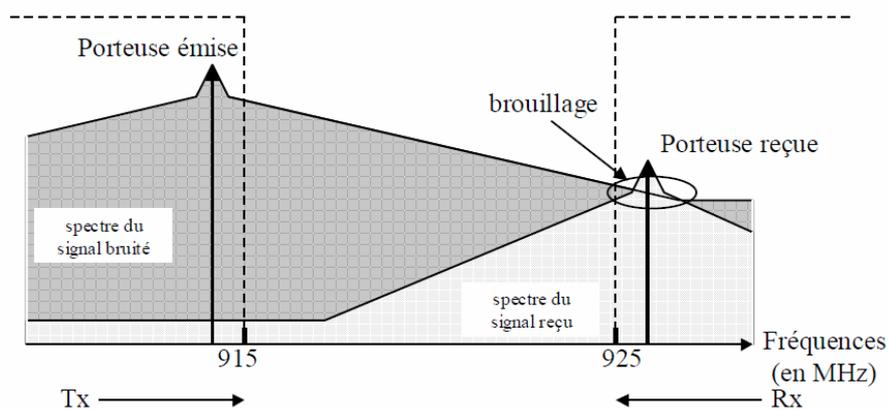


Figure 1-10 : Brouillage du signal par le bruit de phase

### 3.1. Principe de génération du bruit dans les oscillateurs

Le bruit des oscillateurs naît du bruit électronique des composants le constituant. Le bruit de phase est un phénomène dû à la conversion des différentes sources de bruit dans les semi-conducteurs autour de la fréquence porteuse générant ainsi une modulation de phase. La conséquence est la variation aléatoire de la fréquence du signal de sortie de l'oscillateur. Dans le cas des radiocommunications, une injection de bruit se retrouve sur l'ensemble de la chaîne de traitement du signal.

### 3.2. Bruit dans les semi-conducteurs

Il existe à l'intérieur des circuits électroniques de nombreux phénomènes aléatoires. Les incertitudes qui entourent le circuit font aussi intervenir des composantes extérieures au montage telles que les perturbations dans le substrat. L'ensemble de ces événements rend la réduction du bruit dans un circuit particulièrement complexe et nécessite d'y consacrer une large partie du temps destiné à la conception. [LEE 98]

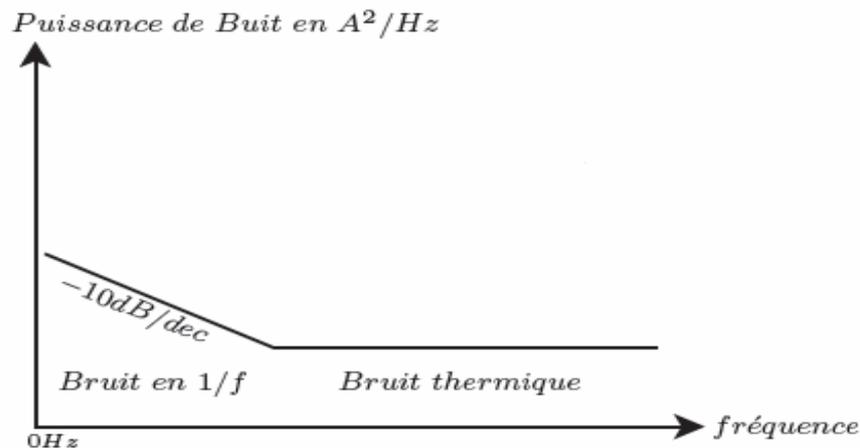


Figure 1-11 : Le bruit dans le transistor

Le bruit dans le transistor MOS se décompose en deux contributions principales : le bruit thermique et le bruit de *flicker* (ou bruit en  $1/f$ ) comme le montre la Figure 1-11. Le bruit thermique est responsable du plancher du bruit en hautes fréquences tandis que le bruit de *flicker* se traduit par une remontée de bruit en basses fréquences. La sous section suivante détaillera les différentes sources de bruit dans le MOS [LAG 05] [COR 04].

### 3.3. Sources de bruit

#### 3.3.I. Bruit de diffusion

Le bruit de diffusion dans un composant est lié aux propriétés intrinsèques du substrat. Il est causé par les interactions entre les électrons circulant dans le circuit et le réseau cristallin du semi-conducteur. On peut dénombrer trois types de bruit de diffusion :

- **Le bruit thermique** : il s'agit d'un bruit blanc. Il est provoqué par les collisions des porteurs de charge. Sa densité spectrale de puissance est constante quelle que soit la fréquence à laquelle le circuit fonctionne. Ce bruit définit le plancher de bruit. Dans les

transistors MOS, il existe deux sources de bruit thermique. L'une est entre le drain et la source tandis que l'autre est entre la grille et la source.

- **Le bruit quantique** : ce bruit est également lié à la physique du semi-conducteur mais n'intervient que pour une gamme de fréquence très élevée.

- **Le bruit d'électrons chauds** : il est généré en fonction des conditions de fonctionnement du semi-conducteur. Le phénomène qui entre en action est une variation de la mobilité des électrons et du coefficient de diffusion sous l'effet d'un champ électrique.

### 3.3.2. Bruit en excès

Le nom de ce type de bruit vient du fait qu'il s'ajoute au bruit se trouvant naturellement dans les semi-conducteurs et qui est prévisible physiquement. On peut lister trois sortes de bruit en excès : le bruit de scintillation (ou bruit de « flicker »), le bruit de génération – recombinaison et le bruit en créneau (RTS Random Telegraph Signals).

- **Le bruit de scintillation** : appelé aussi bruit de « flicker » ou bruit en  $1/f$ . Ses origines sont difficilement explicables mais le phénomène peut être quantifié. En l'absence d'une théorie permettant de modéliser ce bruit, l'équation décrivant le bruit de scintillation contient toujours un paramètre empirique. Il a ainsi été reconnu que la raison de la présence de ce bruit est une variation de la conductivité du matériau. Pour décrire cette variation, il existe deux hypothèses : Mc Worthen explique la présence du bruit en  $1/f$  par la variation du nombre de porteurs tandis que Hooge l'explique par un changement de la mobilité.
- **Le bruit de génération – recombinaison** : il traduit les phénomènes physiques au niveau du semi-conducteur qui génèrent un bruit de par leur impact sur le nombre de porteurs. La cause de ce bruit a pour origine soit la génération – recombinaison de paires d'électrons – trou, soit la libération et le piégeage de porteurs.
- **Le bruit en créneau ou RTS** : il tire son nom de la forme d'onde dont il est la cause et qui ressemble à des signaux carrés bruités dont la fréquence varie. Il porte également les noms de « burst noise » et de bruit de pop-corn. L'origine de ce bruit est également difficile à identifier et l'hypothèse généralement retenue est qu'il s'agit d'une contamination du semi-conducteur par des ions métalliques.

### 3.3.3. Bruit de jonction des semi-conducteurs

Il existe deux types de bruit de jonction : le bruit de grenaille et le bruit d'avalanche.

- **Le bruit de grenaille** (« shot noise ») : il a été décrit par Schottky en 1918 ; son nom provient du bruit que fait la grenaille (« buckshot ») en tombant sur le sol. Son origine est liée à la traversée d'une barrière de potentiel par des porteurs de charges.
- **Le bruit d'avalanche** : il est causé par la rupture des liaisons atomiques lorsqu'un trop fort champ électrique est appliqué au niveau d'une jonction polarisée en inverse. Ce bruit est caractéristique de l'effet Zener, et sa densité spectrale de puissance est semblable à celle du bruit de grenaille multipliée par un facteur multiplicatif compris entre 1 et 10.

### 3.4. Le bruit de phase dans les oscillateurs

Le bruit de phase se manifeste par des fluctuations aléatoires de la période du signal de sortie de l'oscillateur. Ces fluctuations sont dues à différentes sources de bruit étalant une densité spectrale de puissance  $DSP(f)$  autour de la fréquence porteuse  $f_0$ . Le bruit de phase est généralement exprimé en bande latérale unique (en anglais SSB : Single Sided Band) ramené dans une bande de mesure de 1 Hz. Cette grandeur notée  $L$  s'exprime par le rapport entre la puissance dans une bande latérale de bruit de phase et la puissance de la porteuse du signal :

$$L(f_m, B) = 10 \log \left( \frac{P_n}{P_0} \right) \quad \text{avec} \quad P_n = \int_{f_0 + f_m - \frac{B}{2}}^{f_0 + f_m + \frac{B}{2}} DSP(f) df \quad (1-7)$$

La puissance du bruit dans une bande de fréquence  $B$  à la distance  $f_m$  de la porteuse.  $P_0$  désigne la puissance de la porteuse. Étant donné que  $L(f_m)$  s'exprime en puissance par rapport à la porteuse par bande de fréquence, son unité est en dBc/Hz (Figure 1-12). Le bruit de phase en bande latérale unique  $L$  est défini en dBc/Hz lorsque la puissance  $P_n$  est déterminée sur une bande de largeur 1 Hz [HOU 06].

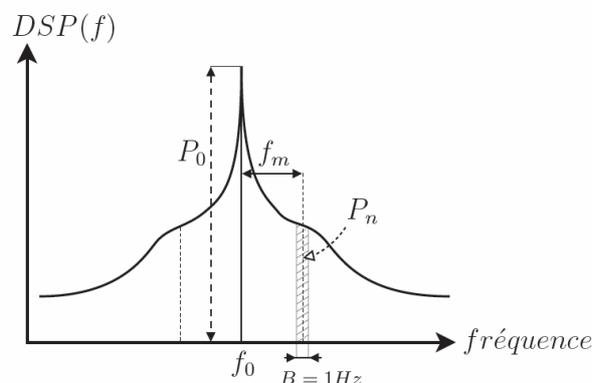


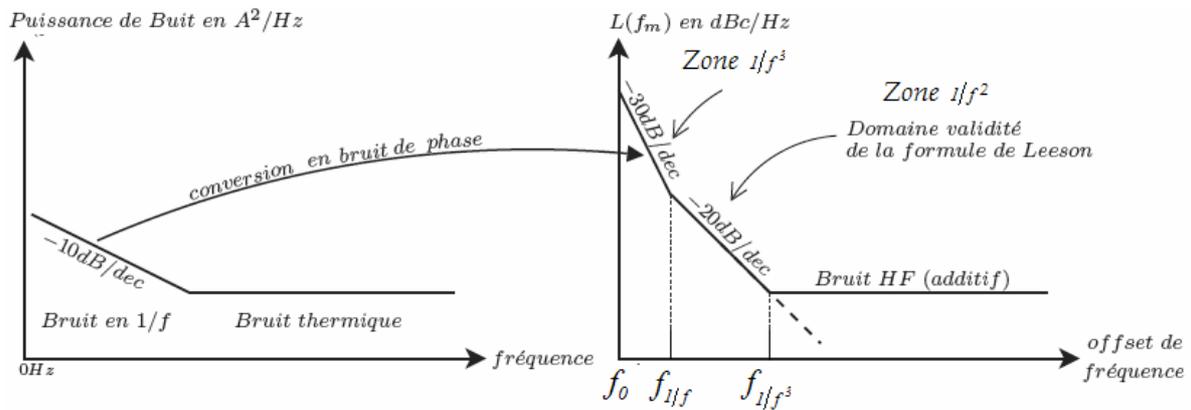
Figure 1-12 : Brouillage du signal par le bruit de phase

### 3.5. Le modèle de Leeson.

Le modèle de Leeson (du nom de son créateur D. B. Leeson) est un modèle linéaire de prédiction du bruit de phase défini par l'équation suivante [LEES 66] :

$$L(f_{off}) = 10 \times \log \left[ \frac{1}{2} \left[ 1 + \left( \frac{f_0}{2Qf_{off}} \right)^2 \left( 1 + \frac{f_c}{f_{off}} \right) \left( \frac{FkT_0}{P_{diss}} \right) \right] \right] \quad (1-8)$$

- $Q$  : Facteur de qualité en charge
- $f_0$  : Fréquence d'oscillation.
- $f_{off}$  : Fréquence de l'offset
- $f_c$  : Fréquence de coupure
- $F$  : Facteur de bruit
- $k$  : La constant de Boltzmann.
- $T_0$  : Température (290K).
- $P_{diss}$  : Puissance consommé



(a) Le bruit dans le transistor

(b) Le bruit dans l'oscillateur

Figure 1-13 : Forme du bruit de phase d'un oscillateur

Le phénomène de conversion de ce bruit d'amplitude en bruit de phase est complexe et a différentes origines. La zone  $1/f^3$  traduit la conversion du bruit en  $1/f$ . La zone en  $1/f^2$  dénote la conversion du bruit blanc par l'oscillateur (Figure 1-13). Dans la zone du bruit plancher (ou bruit thermique), on considère que les effets de la conversion n'interviennent plus [HOU 06] [COR 04] avec :

$$f_{1/f^3} = f_0 / 2Q_{ch} \quad (1-9)$$

Le facteur de qualité a plusieurs définitions. La définition la plus générale est  $2\pi$  fois le ratio de l'énergie stockée et de l'énergie dissipée par cycle [RAZ 96].

$$Q = 2\pi \frac{\text{Energie Stockée}}{\text{Energie Dissipée par Cycle}} \quad (1-10)$$

ou aussi

$$Q = \frac{\omega_0}{2} \frac{d\varphi}{d\omega} \quad (1-11)$$

L'approximation pour un système linéaire faite par B.RAZAVI dans [RAZ 96], on peut calculer le facteur de qualité en boucle ouverte par la formule suivante :

$$Q = \frac{\omega_0}{2} \sqrt{\left(\frac{dA}{d\omega}\right)^2 + \left(\frac{d\varphi}{d\omega}\right)^2} \quad \text{avec} \quad H(j\omega) = A(\omega) \exp(j\varphi(\omega)) \quad (1-12)$$

Avec  $A$ ,  $\varphi$  and  $\omega_0$  est l'amplitude, la phase et pulsation du signal.

### 3.6. La théorie de Lee-Hajimiri

Ce modèle, qui a été très souvent employé, présente l'inconvénient d'avoir un facteur semi-empirique  $F$  qui n'est pas déterminé analytiquement et qu'il faut donc mesurer ou simuler [LEE 00] [HAJ 98]. On ne peut ainsi pas prévoir ses variations lorsque l'on modifie le montage. Il est important de noter que le bruit de phase d'un oscillateur dépend de l'instant auquel intervient la perturbation selon Hajimiri [HAJ 99].

On peut donc écrire la sortie d'un oscillateur sous la forme :

$$V_{out}(t) = A(t) \cdot f(\omega_0 t + \varphi(t)) \quad (1-13)$$

avec  $f$  qui est une fonction  $2\pi$ -périodique,  $\varphi(t)$  et  $A(t)$  représentant les variations de phase et d'amplitude dues au bruit.

Pour caractériser le bruit de phase de l'oscillateur, on utilise la fonction  $\Gamma$  de sensibilité impulsionnelle *ISF* (Impulse sensitivity function en anglais) développée par Hajimiri [HAJ 98] [HAJ 99]. Elle s'appuie sur le fait que la réponse de l'oscillateur dépend de l'instant auquel est appliquée la perturbation. La dépendance de l'ISF au temps pourrait être remarquée en considérant les deux cas extrêmes (Figure 1-14) :

- Quant une impulsion est injectée pendant la transition, elle provoque un décalage de phase large (Figure 1-14.b) .
- Quant une impulsion est injectée pendant que la sortie est saturée à  $VDD$  ou  $GND$ , cette impulsion a un effet minimal sur la phase de l'oscillateur (Figure 1-14.a).

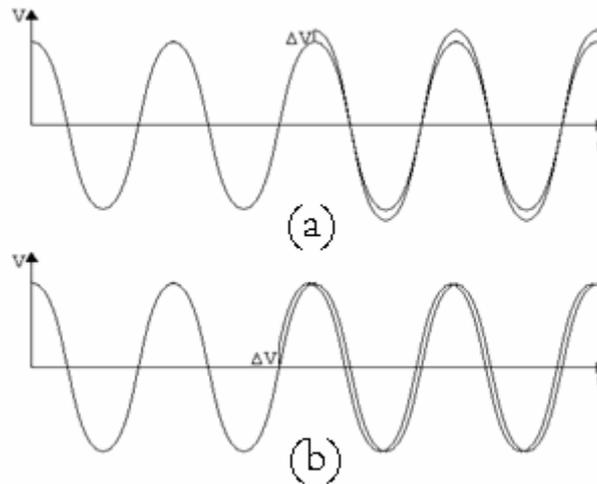


Figure 1-14 : Conséquences d'un pic sur la sortie de l'oscillateur (a) pendant la transition (b) pendant que la sortie est saturée à VDD ou GND

Plus la valeur de  $\Gamma$  est grande, plus le circuit est sensible à une perturbation. Comme cette fonction est liée à la tension d'oscillation, elle est périodique et peut donc s'écrire sous la forme d'une série de Fourier:

$$\Gamma(\omega_0\tau) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cdot \cos(n\omega_0\tau + \theta_n) \quad (1-14)$$

On peut par la suite exprimer la réponse impulsionnelle d'un oscillateur à partir de cette fonction :

$$h_\phi(t, \tau) = \frac{\Gamma(\omega_0\tau)}{q_{max}} u(t - \tau) \quad (1-15)$$

Avec  $q_{max} = C \cdot V_{max}$  qui représente la charge maximale et la fonction  $u$  qui est la fonction échelon appliquée à l'instant  $\tau$ .

On en déduit la phase  $\phi(t)$  :

$$\phi(t) = \int_{-\infty}^{+\infty} h_\phi(t, \tau) i(\tau) d\tau = \int_{-\infty}^t \frac{\Gamma(\omega_0\tau)}{q_{max}} i(\tau) d\tau \quad (1-16)$$

où  $i(\tau)$  représente le courant injecté par la source de bruit.

Le bruit de phase en  $1/f^2$  est causé par la conversion du bruit blanc (bruit thermique) et il peut être modélisé par l'équation suivante :

$$L\{\omega_{off}\} = 10 \log \left( \frac{\Gamma_{rms}^2}{q_{max}^2} \cdot \frac{\overline{i_n^2}/\Delta f}{2 \cdot \omega_{off}^2} \right) \quad (1-17)$$

où  $\overline{i_n^2}/\Delta f$  représente la densité spectrale de la puissance de la somme des sources du bruit blanc,  $q_{max}$  la charge maximale au nœud du circuit telle que  $q_{max} = C_{eq} V_{max}$  (avec  $C_{eq}$  est la capacité équivalente et  $V_{max}$  est la dynamique maximale en tension au nœud considéré) et  $\Gamma_{rms}$  la valeur efficace de la fonction de sensibilité impulsionnelle donnée par l'équation suivante :

$$\Gamma_{rms}^2 = \frac{I}{2\pi} \int_0^{2\pi} \Gamma(x) \cdot dx \quad (1-18)$$

Le bruit en  $1/f^3$  est issu de la conversion subie par le bruit en  $1/f$ . Ce bruit de phase est obtenu à l'aide de la composante continue de la fonction  $\Gamma$  (ISF) qui dépend de la symétrie du montage. Une bonne symétrie sur les fronts montants et descendants permet de réduire cette contribution en bruit de phase. La fréquence à partir de laquelle ce bruit n'est plus dominant est définie par l'équation (1-19) :

$$\omega_{1/f^3} = \omega_{1/f} \cdot \frac{I}{2} \left( \frac{c_0}{\Gamma_{rms}} \right)^2 \quad \text{avec} \quad c_0 = \Gamma_{dc} = \frac{I}{\pi} \int_0^{2\pi} \Gamma(x) \cdot dx \quad (1-19)$$

où  $c_0$  est la composante continue de la décomposition en série de Fourier de  $\Gamma$ .

A partir des équations (1-17), (1-18) et (1-19), on obtient alors l'équation suivante pour le bruit de phase dans cette région (en  $1/f^2$ ) :

$$L\{\omega_{off}\} = 10 \log \left( \frac{c_0^2}{q_{max}^2} \cdot \frac{\overline{i_n^2}/\Delta f}{8 \cdot \omega_{off}^2} \cdot \frac{\omega_{1/f}}{\omega_{off}} \right) \quad (1-20)$$

Le modèle de *Hajimiri-Lee* est plus précis que le modèle de *Leeson*, mais il est plus difficile à mettre en œuvre. La fonction ISF ainsi que les différentes sources de bruit sont difficiles à déterminer. La fonction ISF peut être déterminée par simulations temporelles. Il faut cependant simuler l'impact d'une impulsion de courant sur le signal en tout point du circuit.

### 3.7. Le facteur de mérite.

Le facteur de mérite est un paramètre très important pour comparer les performances en bruit de phase dans les oscillateurs. Le bruit de phase dans les oscillateurs dépend de la fréquence d'oscillation et de la consommation. Il permet de comparer les oscillateurs en normalisant le bruit de phase par rapport à la fréquence d'oscillation et à la puissance consommée. Il se calcule à l'aide de l'équation (1-21). Plus la valeur absolue du facteur de mérite est forte (plus sa valeur en dB est négative), plus l'oscillateur est stable en fréquence [BUN 01].

$$FOM = L(f_{off}) - 20 \log \left( \frac{f_0}{f_{off}} \right) + 10 \log \left( \frac{P_{diss}}{1mW} \right) \quad (1-21)$$

## 4. Conclusion

Ce chapitre fait, dans un premier temps, un tour d'horizon des architectures des oscillateurs les plus fréquemment utilisés en microélectronique. Aujourd'hui dans le domaine des radiocommunications, on cherche à concevoir des oscillateurs qui sont très stables en fréquence, qui consomment peu et ont une surface très faible. Toutes ces caractéristiques sont très difficiles à obtenir avec un même circuit. L'oscillateur qui permet d'obtenir aisément un bruit de phase répondant aux exigences des standards de radiocommunication est l'oscillateur utilisant un résonateur LC. Cependant, l'utilisation d'un oscillateur LC présente beaucoup d'inconvénients pour ces applications; principalement son coût en surface, sa consommation importante et sa sensibilité aux rayonnements électromagnétiques. Les oscillateurs en anneaux classiques présentent l'avantage d'avoir une surface de silicium très faible et consomment beaucoup moins que les oscillateurs LC. Cependant leurs performances en bruit de phase sont très inférieures à l'exigence des standards de communications sans fil.

Dans une deuxième partie, les deux théories les plus répandues modélisant le bruit de phase sont présentées (Hajimiri-Lee et Leeson). La fonction  $\Gamma$  (ISF) proposée par Hajimiri et Lee permet d'identifier les zones et les instants sensibles au bruit. Elle permet une bonne modélisation du bruit de phase mais reste difficile à mettre en œuvre (à cause de son coefficient empirique  $F$ ) contrairement au modèle de Leeson, qui est plus simple et plus limité.

Ces théories nous permettent de définir des pistes de recherche pour améliorer les performances des circuits. La théorie de Leeson nous suggère deux axes principaux afin d'améliorer les performances en bruit des oscillateurs :

- augmenter la puissance consommée, c'est-à-dire accroître la taille des transistors,
- augmenter le facteur de qualité du circuit  $Q$ , ce qui revient à réduire les pertes résistives dans le résonateur en améliorant la qualité des composants passifs (en particulier l'inductance). Dans les structures en anneau, on peut également améliorer le facteur de qualité en symétrisant les fronts montants et descendants.

Le modèle de Hajimiri-Lee nous démontre que l'instant d'injection du bruit est un point important dans l'amélioration du bruit de phase dans les oscillateurs. Un bruit injecté pendant la transition provoque un important décalage de phase. Par conséquent, réduire le temps de commutation minimisera le bruit de phase. De plus, la fonction ISF nous donne une information sur l'importance de la symétrie des fronts montants et des fronts descendants. Plus ces fronts sont symétriques, plus les performances en bruit de phase pourront être améliorées (équation (1-19)). Au final, cela revient à améliorer le facteur de qualité.

La technologie asynchrone semble être alternative à l'approche synchrone en général et dans le domaine de radiocommunication en particulier. Le chapitre 2 présente les concepts de base, les propriétés et les avantages de la technologie asynchrone ainsi que l'adéquation entre les propriétés de cette technologie et les besoins dans le domaine des radiocommunications.

# Chapitre 2.

## *La conception asynchrone*

*Une alternative prometteuse pour la conception des circuits RF*

---

### I. Introduction

Les circuits asynchrones constituent une classe de circuits, dont le contrôle ou le séquençage est assuré par d'autres méthodes que le recours à un signal périodique distribué global. C'est le cas des circuits synchrones. Cette distinction entre les circuits synchrones et asynchrones n'existait pas encore quand la conception numérique a commencé. Très vite le style conception synchrone - plus simple - s'est imposé face au style asynchrone pour répondre aux défis d'intégrations et aux besoins du calcul croissant.

L'étude des circuits asynchrones a commencé dans les années 1950 par D. E. Muller et W. S. Bartky de l'Université d'Illinois [MUL 59]. Il a été le premier à avoir proposé un protocole de communication qui associe un signal de validité aux données. D.A. Huffman a également été un contributeur important en travaillant sur le « *switching theory* ». Il a été le premier à concevoir des machines d'états asynchrones [HUF 54].

En 1966, W.A. Clark de l'université de Washington à St Louis a lancé le projet «*the Macromodule Project*», démontrant les avantages de la conception asynchrone pour la conception de machines spécialisées par simple assemblage de blocs fonctionnels [CLA 67]. Dans les années 70, C.L. Seitz a proposé l'utilisation de «*m-net*» qui est un formalisme très proche des réseaux de Petri [SEI 70] pour modéliser le fonctionnement des circuits

asynchrones. Il est à l'origine de la construction du premier calculateur «flot de données» fonctionnel [DAV 78].

Enfin en 1989, le célèbre article d'Ivan E. Sutherland «Micropipelines», [SUT 89], a largement contribué à l'intérêt croissant pour la conception des circuits asynchrones. Depuis, les travaux sur la conception et la réalisation des circuits et systèmes asynchrones ne cessent de s'intensifier.

La technologie asynchrone semble être une alternative à l'approche synchrone en général et dans le domaine des radiocommunications en particulier. Ce chapitre présente les concepts de base, les propriétés et les avantages de la technologie asynchrone ainsi que l'adéquation entre les propriétés de cette technologie et les besoins dans le domaine des radiocommunications. Ce chapitre est largement inspiré du rapport technique du laboratoire TIMA de Marc Renaudin [REN 00].

## 2. Les concepts de base de la conception asynchrone

La conception de la plupart des circuits intégrés logiques est facilitée par deux hypothèses fondamentales : les signaux manipulés sont binaires et le temps est discrétisé. La binarisation des signaux permet une implantation électrique simple et offre un cadre de conception maîtrisé grâce à l'algèbre de Boole. La discrétisation du temps permet quant à elle de s'affranchir des problèmes de rétroactions et/ou boucles combinatoires, ainsi que des fluctuations électriques transitoires. Cependant, un système fonctionnant sans ces hypothèses peut obtenir de meilleurs résultats. Les circuits asynchrones conservent un codage discret des signaux mais ne font pas l'hypothèse que le temps est discrétisé. Ils définissent ainsi une classe de circuits beaucoup plus large car leur contrôle peut être assuré par tout autre moyen alternatif à l'horloge unique des circuits synchrones.

### 2.1. Le mode de fonctionnement asynchrone

« Asynchrone » signifie qu'il n'existe pas de relation temporelle *a priori* entre des événements. Dans un système intégré, ces événements sont des événements au sens large (contrôle ou données) implantés par des signaux électriques. Il faut donc définir ce qu'est un signal « asynchrone ».

Dans les systèmes synchrones, le signal de l'horloge joue le rôle d'un actionneur global. Tous les éléments du système évoluent ensemble lors d'un front d'horloge,

l'exécution de tous les éléments est donc synchronisée. Ce mécanisme de synchronisation globale introduit une contrainte temporelle globale : tous les éléments du système doivent respecter un temps d'exécution maximum imposé par la fréquence de l'horloge.

Dans les circuits asynchrones, cette contrainte temporelle globale est supprimée. Les éléments sont contrôlés et activés par la présence de données à leurs entrées. Le fonctionnement de ce type de circuits est similaire à celui des systèmes «flot de données». La Figure 2-1 représente la structure de base d'un circuit asynchrone : les éléments qui partagent de l'information sont connectés entre eux par un canal de communication. Ici, contrairement aux systèmes synchrones, la communication entre les différents éléments n'est pas contrôlée par un signal externe mais par un protocole de communication implémenté dans chaque élément. L'évolution globale du système est le résultat de l'évolution conjointe et éventuellement concurrente des différents éléments qui le composent.

## 2.2. Le principe de base : un contrôle local

Le point fondamental du mode de fonctionnement asynchrone est que le transfert d'information est géré localement. Les opérateurs connectés se synchronisent en échangeant des informations indépendamment des autres opérateurs auxquels ils ne sont pas connectés. Toute action de communication doit être acquittée par le récepteur afin que l'émetteur puisse émettre à nouveau. Cela est assuré par des communications dites à poignée de mains ou de type requête-acquittement (Figure 2-1).

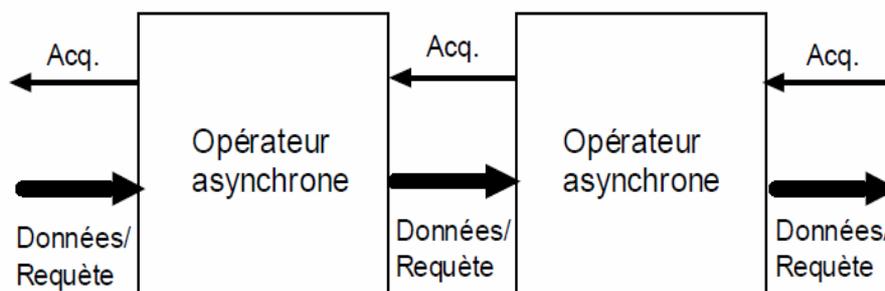


Figure 2-1: Structure de base d'un circuit asynchrone

## 2.3. Protocoles de communications

Pour réaliser les échanges, deux protocoles de communication sont utilisés : le protocole 2 phases "Half-handshake" (NRZ ou sans retour à zéro), et le protocole 4 phases

"Full-handshake" (RZ ou retour à zéro). Dans ces protocoles tout changement d'un signal par l'émetteur est acquitté par un changement d'un signal du récepteur et vice-versa. C'est ce qui permet d'assurer l'insensibilité aux temps de traitement.

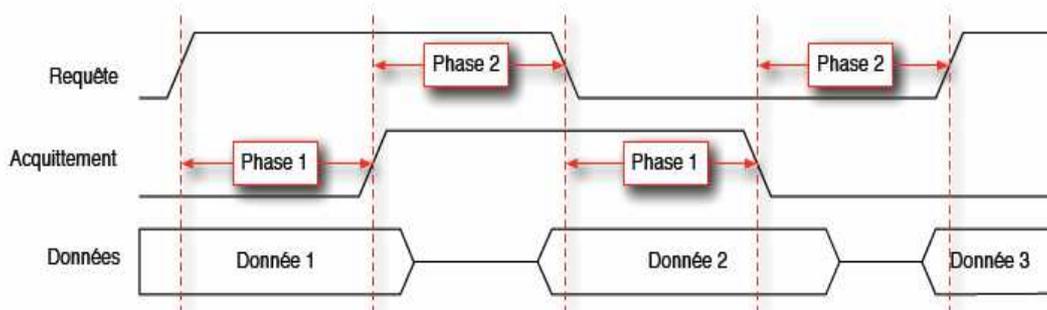


Figure 2-2 : Le protocole 2 Phases

- Phase 1 : c'est la phase active du récepteur qui détecte la présence de nouvelles données, effectue le traitement et génère le signal d'acquittement.
- Phase 2 : c'est la phase active de l'émetteur qui détecte le signal d'acquittement et émet les nouvelles données si elles sont disponibles.

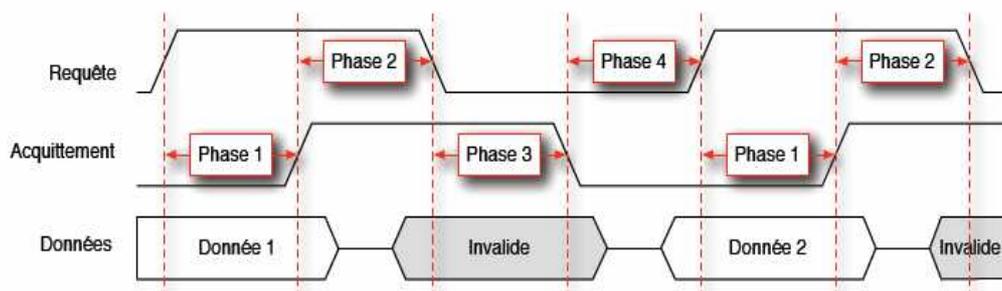


Figure 2-3 : Le protocole 4 Phases

- Phase 1 : c'est la première phase active du récepteur qui détecte la présence de nouvelles données, effectue le traitement et génère le signal d'acquittement.
- Phase 2 : c'est la première phase active de l'émetteur qui détecte le signal d'acquittement et émet des données invalides (retour à zéro).
- Phase 3 : c'est la deuxième phase active du récepteur qui détecte le passage des données dans l'état invalide et place le signal d'acquittement dans l'état initial (retour à zéro).

- Phase 4 : c'est la deuxième phase active de l'émetteur, qui détecte le retour à zéro de l'acquittement. Il est alors prêt à émettre de nouvelles données.

Le protocole quatre phases requiert deux fois plus de transitions que le protocole deux phases. Il est a priori plus lent et consomme plus d'énergie. Toutefois, les techniques d'optimisation du pipeline permettent de s'affranchir de la pénalité apparente des phases de retour à zéro. Le protocole quatre phases a ainsi permis jusqu'à aujourd'hui la réalisation de circuits VLSI plus rapides que ceux utilisant le protocole deux phases.

En ce qui concerne la consommation, le protocole deux phases nécessite un matériel plus important que le protocole quatre phases car il nécessite de détecter des transitions et non pas des niveaux. Le nombre plus faible de transitions dans un protocole deux phases est donc souvent compensé par la complexité du matériel, et la consommation est souvent comparable à des réalisations utilisant un protocole quatre phases.

En conclusion, le protocole quatre phases est majoritairement utilisé pour implémenter les parties internes d'un circuit intégré. Par contre, lorsque les signaux doivent transiter *via* des éléments possédant une latence élevée, comme les plots par exemple, le recours à un protocole deux phases est généralement préféré [REN 98].

## 2.4. Implémentation du protocole : La porte de Muller

### 2.4.1. La porte de Muller ou "C-element"

Pour implémenter les protocoles de communication des circuits asynchrones, les portes logiques élémentaires ne suffisent pas. La porte qui respecte le mieux ce mode de fonctionnement est la porte de Muller.

La porte de Muller est un élément de base pour la conception des circuits et systèmes asynchrones. Elle est aussi appelée "Rendez-vous" ou "C-element" [MUL 65] [SUT 89]. Lorsque ses entrées ont un même niveau logique, elle recopie ce niveau sur sa sortie. Lorsque les niveaux de ses entrées sont différents, elle utilise sa mémoire interne pour maintenir le niveau précédent en sortie. La table de vérité d'une cellule de Muller à deux entrées est montrée dans la Figure 2-4.

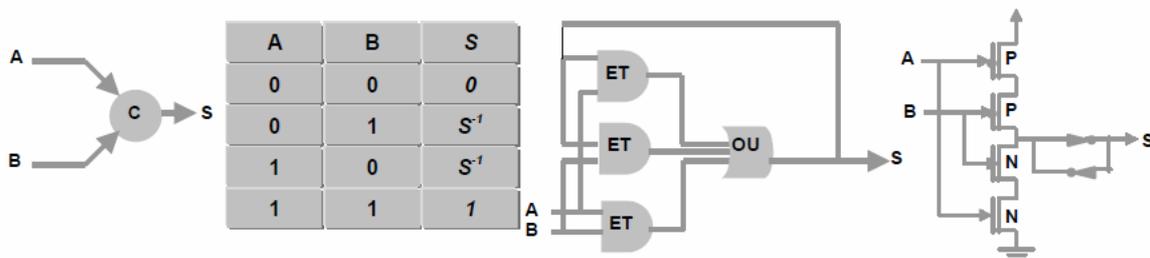


Figure 2-4: Le symbole, la table de vérité, et l'implémentation de la porte de Muller

### 2.4.2. La porte de Muller asymétrique

Il existe d'autres variantes de la porte de Muller telle que la porte de Muller généralisée [MAR 86]. C'est une porte dans laquelle les signaux qui font monter la sortie à un peuvent être distincts de ceux qui font descendre les signaux à zéro. La porte de Muller alors est dite asymétrique et son fonctionnement est explicité dans la Figure 2-5 [REZ 04].

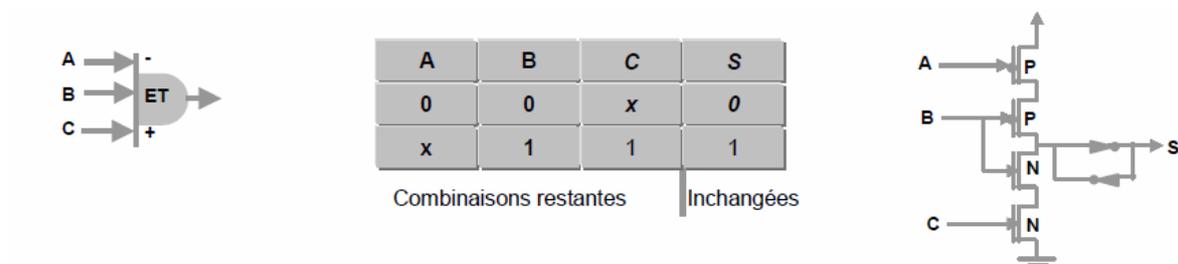


Figure 2-5: Le symbole, la table de vérité, et l'implémentation de la porte de Muller asymétrique [REZ 04]

Une étude plus détaillée de la porte de Muller et de ses différentes implémentations sera présentée dans le chapitre 4.

## 3. Classification des circuits asynchrones

Nous définissons brièvement la terminologie classiquement utilisée pour qualifier les circuits asynchrones. Les circuits asynchrones sont classés en fonction de leurs hypothèses temporelles. La Figure 2-6 présente la terminologie habituellement utilisée pour classer les circuits asynchrones [REN 00]. Plus le nombre d'hypothèses temporelles est élevé (contraintes sur les délais relâchés), plus simple sera le circuit. Cependant, dans ce dernier cas, le circuit sera moins robuste.

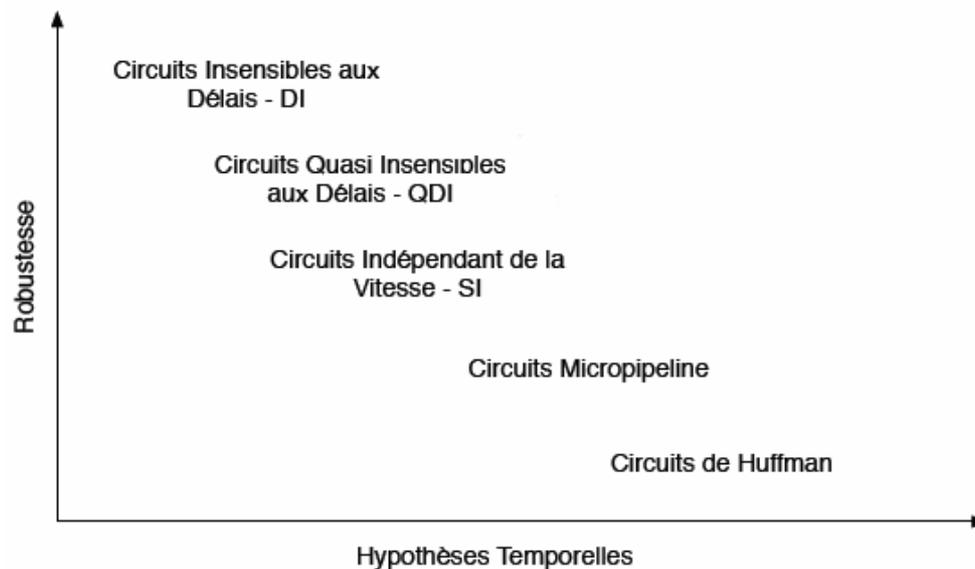


Figure 2-6 : Les classes des circuits asynchrones

### 3.1. Circuits insensibles aux délais (Delay Insensitive)

Les circuits insensibles aux délais, ou “Delay Insensitive” utilisent un mode de fonctionnement purement asynchrone. Aucune hypothèse temporelle n'est introduite, c'est à dire qu'ils sont fonctionnellement corrects indépendamment des délais introduits par les fils et les éléments logiques. Les circuits classés “DI” sont donc très robustes vis-à-vis des variations de température, de tension ou des procédés de fabrication. En effet, il n'y a pas de contraintes temporelles et leurs exécutions ne sont pas entravées par une baisse de tension par exemple. Ce modèle impose néanmoins de fortes contraintes de réalisation.

### 3.2. Circuits quasi insensibles aux délais (Quasi Delay Insensitive)

Les circuits quasi insensibles aux délais ou “Quasi Delay Insensitive” adoptent le même modèle que les circuits insensibles aux délais en ajoutant une hypothèse temporelle faible dite « hypothèse de la fourche isochrone ». Une fourche est un fil qui connecte un émetteur unique à deux récepteurs. La fourche est qualifiée d'isochrone si les délais entre l'émetteur et les deux récepteurs sont identiques. Cette hypothèse a des conséquences importantes sur le modèle et les réalisations possibles. Elle permet de simplifier grandement la conception, notamment le problème de l'utilisation des portes logiques à une seule sortie car si les fourches sont isochrones on peut se permettre de ne tester qu'une branche d'une fourche en supposant que le signal s'est propagé de la même façon dans l'autre branche. Il est à noter que dans un circuit QDI, toutes les fourches n'ont pas besoin d'être isochrones. Il

s'agit dans la pratique d'une hypothèse faible n'engendrant que peu de contraintes. Cela explique que ce type de circuits soit très intéressant : les circuits sont en effet très robustes et aisément implémentables.

### 3.3. Circuits indépendants de la vitesse (Speed Independent)

Les circuits indépendants de la vitesse se basent aussi sur le même modèle que les précédentes classes en ajoutant l'hypothèse que les délais dans les fils sont négligeables. Autrement dit, toutes les fourches sont isochrones. Cette classe de circuit est souvent considérée comme équivalente aux circuits "QDI".

### 3.4. Micropipeline

Les circuits de Micropipeline ont été introduits par Ivan Sutherland [SUT 89]. Les circuits de cette classe sont composés d'une partie contrôle insensible aux délais qui commandent des chemins de données identiques à ceux rencontrés dans les circuits synchrones. La structure de base de cette classe de circuits est le contrôle d'une queue de type FIFO. Elle se compose d'éléments identiques connectés tête-bêche.

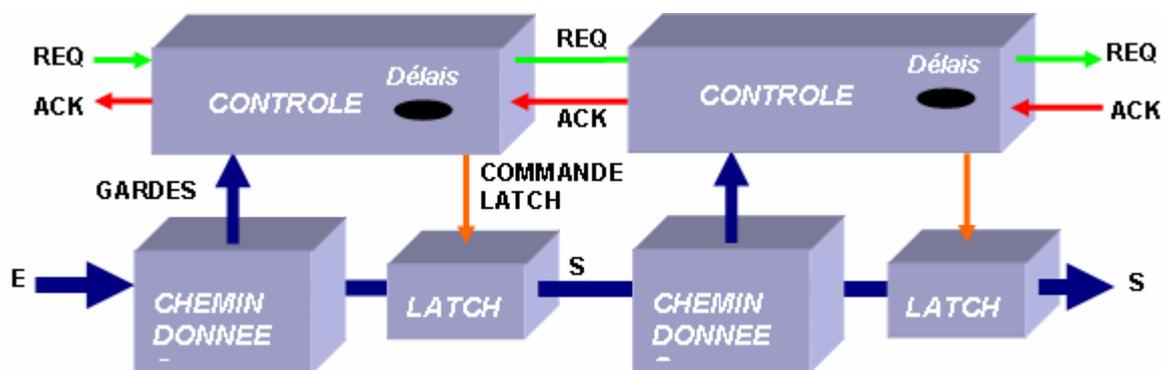


Figure 2-7 : Le modèle des circuits micropipelines

Le circuit réagit à des transitions de signaux et non pas à des états (protocole deux phases). On parle également d'une logique d'événements, chaque transition étant associée à un événement. Ainsi, si on suppose tous les signaux à zéro initialement, une transition positive sur REQ provoque une transition positive sur ACK qui se propage également à l'étage suivant. Le deuxième étage produit une transition positive qui, d'une part, se propage à l'étage suivant mais qui, d'autre part, revient au premier étage l'autorisant à traiter une

transition négative cette fois. Les transitions de signaux se propagent donc dans la structure tant qu'elles ne rencontrent pas une cellule "occupée".

### 3.5. Circuits de Huffman

Les circuits de Huffman utilisent un modèle de délais identique aux circuits synchrones. C'est la classe la moins robuste. Ils supposent que les délais dans tous les éléments du circuit et les connexions sont bornés et de valeurs connues. Les hypothèses temporelles sont donc du même ordre que pour la conception de circuits synchrones, la différence étant qu'ils ne disposent pas d'une synchronisation globale. Ici, les synchronisations sont toutes locales.

## 4. Propriétés des circuits asynchrones

### 4.1. Calcul en temps minimum

Une première conséquence très importante du fonctionnement flot de données des circuits asynchrones est qu'un opérateur peut évaluer une fonction en un temps variable, compris entre une borne inférieure et une borne supérieure. Ce temps correspond en fait au temps nécessaire à l'écoulement des données des entrées vers les sorties. En fonction des données elles-mêmes, le chemin emprunté peut varier et donc le temps de propagation. Cette notion est à rapprocher directement du paramètre de latence, caractéristique d'un opérateur asynchrone. Etant donné que par définition, l'opérateur implémente une signalisation de ses communications, les données sont utilisables immédiatement à la sortie d'un opérateur.

Les caractéristiques de vitesse d'un circuit varient en fonction de paramètres qui influencent le fonctionnement des dispositifs élémentaires, telles que les variations des paramètres technologiques, la température ou la tension d'alimentation. Le fonctionnement flot de données des circuits asynchrones les rend très robustes vis-à-vis de ces variations. La fin du traitement est détectée et signalée au niveau de chaque cellule. Les variations de vitesse induites par des modifications des propriétés physiques n'altèrent donc pas le comportement fonctionnel. C'est pour cette raison que les circuits asynchrones sont très robustes.

## 4.2. Un pipeline "élastique"

Dans le pipeline synchrone, c'est l'occurrence d'un front d'horloge sur tous les registres du pipeline qui provoque le déplacement des données. L'horloge impose donc une synchronisation forte des données entre elles. Une fois entrées dans le pipeline, deux données sont toujours séparées du même nombre d'étages.

En asynchrone, la technique du pipeline s'applique également, mais le nombre de données présentes dans le pipeline peut varier. En effet, les registres de pipeline se comportent comme une pile de type "FIFO", c'est à dire que les données progressent dans le pipeline aussi longtemps qu'elles ne rencontrent pas de ressource occupée, et ceci indépendamment des données qui les suivent. Nous verrons que cela peut être exploité au profit de la vitesse et de la consommation.

## 4.3. Modularité

La localité du contrôle et l'utilisation par tous les opérateurs d'un protocole de communication bien spécifié font que les circuits et systèmes asynchrones sont très modulaires. Il est en effet très facile de construire une fonction complexe en connectant des modules préexistants comme il est possible d'assembler des légos pour faire une construction. Cette modularité permet également la conception de parties séparées d'un circuit par différentes équipes de concepteurs. Si de plus, le contrôle des modules ne fait aucune hypothèse temporelle, alors il n'est même plus nécessaire de contraindre les phases de placement et routage (si ce n'est pour des questions de vitesse).

Ces propriétés sont particulièrement intéressantes lorsqu'on souhaite favoriser la réutilisation de blocs dans une entreprise, ou d'un point de vue plus général l'échange de propriétés intellectuelles (IPs).

## 4.4. L'absence de l'horloge

Un avantage très souvent cité comme prépondérant des circuits asynchrones est la suppression des problèmes liés à la manipulation de l'horloge. Cela tient au fait que les potentialités offertes par les technologies modernes permettent la conception de circuits de plus en plus complexes et de plus en plus rapides. La conception des circuits d'horloges est devenue une question de tout premier plan puisqu'ils peuvent limiter les performances des circuits synchrones. Les techniques et les outils de la conception des circuits à horloge

évoluent avec les technologies pour caractériser de plus en plus précisément les instants d'arrivée de l'horloge sur les bascules d'un circuit.

Les circuits asynchrones n'utilisent pas d'horloge globale. Les éléments de synchronisation ou contrôle sont distribués dans l'ensemble du circuit et leur conception est ainsi beaucoup plus facile à maîtriser. De plus, pour certains circuits asynchrones, le fonctionnement est indépendant des retards qui peuvent être introduits sur les lignes de contrôle. Le problème de "gigue" des horloges (clock skew) est donc inexistant. L'optimisation de la vitesse de fonctionnement d'un circuit asynchrone porte donc sur l'optimisation des cellules fonctionnelles elles-mêmes et n'est pas contrainte par la conception d'un mécanisme d'horloge séparé. La synchronisation globale, fonctionnelle et temporelle, introduite par l'horloge est remplacée par une synchronisation locale atemporelle qui garantit uniquement le traitement séquentiel d'événements.

Une conséquence de cette distribution du contrôle dans toute la structure du circuit est que les problèmes de pics de consommation sont inexistantes. En effet, l'activité électrique d'un circuit asynchrone est mieux répartie dans le temps que celle d'un circuit synchrone. Il n'existe pas d'instant prédéfini pour activer un opérateur comme c'est le cas aux fronts de l'horloge. C'est un artefact uniquement introduit par la synchronisation globale des circuits à horloge. La consommation dans les lignes du circuit est donc bien mieux répartie dans le temps ce qui limite considérablement le bruit dans les lignes d'alimentation.

## 4.5. Migration

Les technologies évoluent rapidement, l'industrie est confrontée à des problèmes de migration de circuits. On peut aussi définir la migration technologique d'une façon plus large en y intégrant les changements de styles de conception (*full custom*, précaractérisé, prédiffusé) ou bien encore les changements d'architectures dans une fonction.

Les circuits asynchrones se prêtent facilement à ces différentes migrations technologiques et les rendent de ce fait plus attractifs. Rappelons que le comportement fonctionnel d'un circuit asynchrone est indépendant de la réalisation des cellules qui le constituent pourvu que le protocole de communication soit respecté. Ainsi, au niveau le plus bas il est possible de modifier l'implémentation ou la technologie des cellules sans modifier la fonction.

## 5. Circuits asynchrones et systèmes radiofréquences

Dans l'industrie du semi-conducteur, on peut constater une tendance nette à l'utilisation de liens série haut débit entre les émetteurs-récepteurs RF et les circuits de traitement numérique du signal en bande de base. Ce type de lien nécessite souvent la génération d'une horloge haute fréquence présentant des performances de plus en plus élevées en termes de bruit, de faible consommation, de faibles rayonnements EM et de robustesse aux pollutions EM. Les systèmes asynchrones semblent être une alternative sérieuse dans ce domaine car ils présentent des propriétés intéressantes pour la conception des systèmes radiofréquences.

### 5.1. Faible consommation

Plusieurs propriétés des circuits asynchrones contribuent à la réduction de la consommation :

**L'absence de l'horloge** : L'énergie dissipée par le système de distribution des horloges n'existe pas dans les circuits asynchrones. Dans les circuits rapides, la consommation de l'horloge et des éléments de mémorisation peut représenter jusqu'à 50% de la consommation du circuit.

**La mise en veille** : Le mode de fonctionnement asynchrone offre de façon naturelle la fonctionnalité de mise en veille. Un circuit qui ne reçoit aucune donnée ne consomme pas. Des techniques similaires dans le principe ont été développées pour les circuits synchrones (arrêt des horloges dans certaines parties du circuit ou « gated clock »).

**L'absence d'aléas** : Dans les circuits numériques, une part de la consommation provient des transitions inutiles liées à la présence d'aléas dans les blocs logiques combinatoires. En synchrone, ces aléas ne sont pas gênants fonctionnellement car ils doivent avoir disparus à l'arrivée du prochain front d'horloge, cependant ils représentent une consommation relativement importante. La conception des circuits asynchrones suppose qu'il n'y ait aucun aléa afin d'obtenir des circuits corrects fonctionnellement. La part de consommation due à ces aléas est donc supprimée.

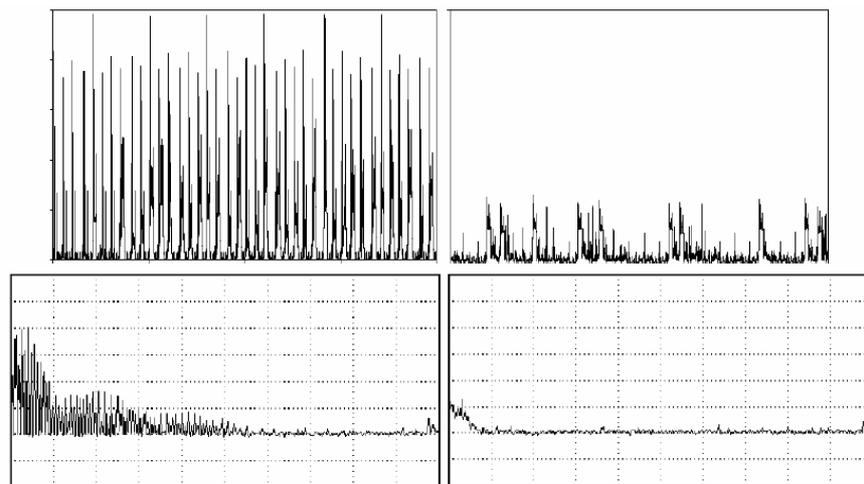
**Adaptation aux conditions de fonctionnement** : Une autre propriété intéressante des circuits asynchrones pour la faible consommation est leur robustesse et leur adaptation aux conditions de fonctionnement. Comme la puissance varie avec le carré de la tension, il est aisé de réduire la tension d'alimentation pour limiter la puissance consommée.

L'aptitude des circuits asynchrones à être fonctionnels indépendamment des temps de traversée des opérateurs élémentaires, permet de réduire la tension d'alimentation avec un matériel minimum (en synchrone il faut adapter la fréquence de l'horloge à la tension). Il est possible aussi de faire varier dynamiquement la tension de l'alimentation du circuit pour réduire la consommation.

Nous l'avons vu les circuits asynchrones ne consomment que s'ils effectuent un traitement et seules les parties impliquées dans le traitement consomment.

## 5.2. Faible rayonnement électromagnétique

Une autre source de bruit provient des radiations électromagnétiques émises par les circuits à horloge. Ces dernières peuvent bruyter les blocs radio-fréquences du système. Par ailleurs, dans les technologies avancées et à venir, les harmoniques de l'horloge atteignent plusieurs GHz, voire plusieurs dizaines de GHz. A ces fréquences, les pistes du circuit lui-même sont de véritables antennes. De ce fait, la puissance du rayonnement électromagnétique sera un paramètre de plus en plus important à l'avenir.



(a) Synchrone

(b) Asynchrone

Figure 2-8 : Consommation en courant et spectres correspondants, des versions synchrone et asynchrone du 80c51

Une conséquence de la faible consommation des circuits asynchrones est que la puissance des ondes électromagnétiques émises est plus faible que celle de leurs homologues synchrones. L'émission d'ondes électromagnétiques produites dans les circuits intégrés synchrones brouille souvent les réceptions RF si aucune contre-mesure n'est prise. La solution communément adoptée est de confier la réception à un circuit intégré spécifique

de faible complexité et peu rayonnant. De plus, ce dernier peut parfois stopper l'horloge des autres circuits pendant les phases de réception des messages. Il réactive ensuite l'horloge pour l'exploitation des données reçues (traitement, affichage). La Figure 2-8 décrit les spectres du courant (mesuré) des versions synchrones et asynchrones du microcontrôleur 80C51 conçu par Philips [GAG 89].

### 5.3. Faible bruit.

Une autre conséquence très importante de la répartition de la consommation en courant pour la conception des systèmes intégrés, en particulier pour les applications radiofréquences, est le faible bruit généré par les circuits asynchrones dans les alimentations et le substrat. L'évolution des technologies va conduire à la conception de systèmes intégrés, associant le "front-end" analogique radiofréquence et les traitements numériques sans avoir forcément recours à une fréquence intermédiaire. Ainsi, un système numérique fonctionnant à un, voire quelques Giga hertz constituera une source de bruit très importante pour les parties analogiques radiofréquences. Les circuits asynchrones représentent une alternative sérieuse car ils offrent la possibilité de concevoir un système numérique de traitement sous contrainte de limitation du bruit. On peut en effet concevoir un circuit asynchrone en se fixant comme objectif de limiter le maximum de courant consommé, ou de limiter la dérivée de la courbe de courant. En contrôlant l'activité électrique du circuit numérique à l'aide des signaux de contrôle locaux, dits de "handshake", on peut très tôt lors de la conception (choix de l'architecture et de l'implémentation logique) prendre en compte le critère "bruit", tout en préservant un haut niveau des performances. C'est, une nouvelle fois, la nature distribuée du contrôle des circuits asynchrones qui offre cette facilité.

Un problème de conception qui devient de plus en plus aigu et qui est très lié à la technologie concerne l'interaction entre blocs d'un même système intégré. Un bloc numérique peut générer du bruit sur la tension d'alimentation ou des courants dans le substrat. Même avec l'utilisation de différents caissons, ce bruit peut avoir un effet sur les caractéristiques des blocs analogiques voisins.

En raison de l'absence de l'horloge, les circuits asynchrones sont moins bruyants que les circuits synchrones. La puissance d'émission dépend de l'intensité et de la forme du courant consommé dans le circuit. L'horloge module le courant et crée des pics dans le spectre du courant situés à des fréquences multiples de la fréquence de l'horloge (harmoniques). Les variations de tension induites par ces appels de courant sont proportionnelles à la dérivée du courant. On comprend alors aisément que la distribution de

la consommation électrique dans le temps joue en faveur de la réduction du bruit généré dans les alimentations et réduit le rayonnement électromagnétique. Cette caractéristique importante des circuits asynchrones est due à l'absence de l'horloge, mais aussi à la variation des temps de calcul en fonction des données. En effet, même si un programme possède une périodicité dans son exécution, le temps de traitement variera d'une exécution à une autre limitant ainsi la puissance du bruit généré.

#### 5.4. Réutilisation.

Avec l'évolution des technologies, les délais dans les interconnexions sont devenus non négligeables vis-à-vis des délais dans les portes. Les échanges inter-blocs, supportés par des bus de communication "longs", ne pourront se faire à la fréquence interne des blocs. Il faudra alors avoir recours à des techniques et protocoles de synchronisation capables de garantir des échanges fiables entre des blocs contrôlés par des horloges différentes avec une pénalité minimale. La conception de telles interfaces entre des blocs synchrones est du domaine des circuits asynchrones. C'est le concept du circuit globalement asynchrone-localement synchrone (GALS).

L'adoption de ce modèle d'architecture GALS aura tendance à s'accroître avec l'utilisation de plus en plus systématique de blocs IPs conçus par des équipes et/ou sociétés différentes. La conception des systèmes intégrés fera de plus en plus appel à l'association de blocs d'origines et de natures différentes, adoptant des conventions de synchronisation interne et des protocoles de communication différents : processeurs, microcontrôleurs, DSP, mémoires de types divers, codeur/décodeur vidéo et audio, modem, émetteur/récepteur radiofréquences, interface standard de communication "off-chip" (PCI, I2C, USB...).

## 6. Conclusion

Nous avons vu dans ce chapitre les propriétés de la logique asynchrone et son adéquation avec le domaine radiofréquence. Le style de conception asynchrone ne requiert pas de connaissance *a priori* sur les temps de propagation dans les éléments des circuits. Nous avons vu que cette logique demeure fonctionnelle quels que soient les temps de propagation. Les réalisations résultantes sont alors très robustes vis-à-vis des variations des procédés de fabrication et de l'environnement. L'implémentation asynchrone libère le concepteur de l'approche "pire cas" des circuits synchrones, qui consiste à toujours dimensionner le circuit par rapport au temps de propagation le plus long. Nous avons vu que

les bénéfices d'une distribution du contrôle apparaissent au niveau de la conception des architectures des systèmes complexes, mais aussi au niveau de la conception des systèmes intégrés mixtes analogiques/numériques pour limiter le bruit généré par les pics de courant. Ce paramètre est primordial pour les applications radiofréquences. Le concepteur de systèmes et d'architectures tirera par ailleurs parti de la modularité et de la composabilité des circuits asynchrones pour concevoir au plus vite des applications toujours plus complexes. L'utilisation (ou réutilisation) de blocs (IP) est ainsi grandement facilitée.

## *Partie II.*

# *L'Architecture et l'implémentation des Oscillateurs en Anneau Asynchrones.*

---



# *Chapitre 3.*

## *Architecture et Modélisation des Oscillateurs en Anneau Asynchrones.*

---

### **I. Introduction**

Les oscillateurs et particulièrement les oscillateurs contrôlés (VCO) en tension sont des blocs de base dans presque toutes les IPs. En effet, ils sont utilisés pour générer les signaux de synchronisation, pour moduler et démoduler les signaux ou les récupérer dans du bruit. Les caractéristiques des oscillateurs dépendent des applications ; dans le cas de boucles à verrouillage de phase (PLL) des fortes exigences en matière de stabilité et de bruit de phase sont nécessaires pour un bon fonctionnement. En outre, face aux avancées dans les technologies decananométriques, il est également utile de faire face à la variabilité des procédés de fabrication. Aujourd'hui, de nombreuses études sont axées sur les oscillateurs basés sur les anneaux asynchrones qui présentent des caractéristiques bien adaptées pour la gestion de la variabilité des procédés et qui offrent de surcroît une structure appropriée pour limiter le bruit de phase. Par conséquent, les anneaux asynchrones sont considérés comme une solution prometteuse pour générer des horloges.

Dans ce chapitre, nous présenterons l'architecture des oscillateurs en anneau asynchrones, leur mode de fonctionnement et les propriétés qui les caractérisent. Nous proposons également une formule qui permet de calculer la fréquence d'oscillation en fonction des paramètres temporels de l'étage sans passer par la simulation.

## 2. Architecture d'un oscillateur en anneau asynchrone

L'oscillateur en anneau asynchrone ou anneau auto-séquence (Self-Timed Rings en Anglais) est composé principalement de portes de Muller qui sont utilisées très largement dans les circuits et systèmes asynchrones.

### 2.1. La porte de Muller

La porte de Muller a été introduite par D.E. Muller [MUL 59], elle est appelée aussi "C-element". La porte de Muller a deux entrées A et B et une sortie C. Quand les deux entrées sont à 0 (1), la sortie passe à 0 (1), sinon la sortie conserve sa valeur initiale.

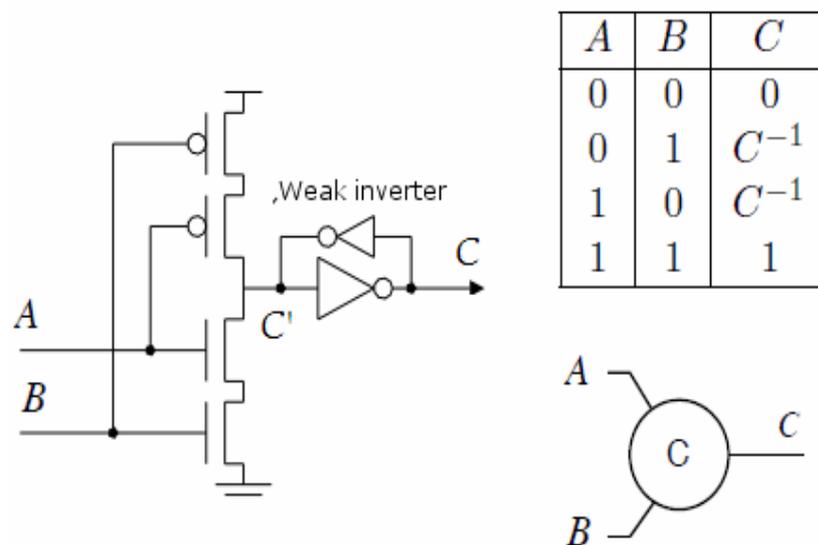


Figure 3-1 : La porte de Muller

### 2.2. La connectivité de l'anneau asynchrone

Il existe plusieurs implémentations CMOS des portes de Muller. La *Figure 3-1* en présente une implémentation weak feed-back. Les différentes implémentations de cette porte sont détaillées dans le chapitre IV.

Chaque étage de cet anneau est composé d'une porte Muller et d'un inverseur comme le montre la figure 3-2. Pour chaque étage, l'entrée reliée à l'étage précédent est marquée F (Forward) et l'entrée reliée à l'étage suivant est marquée R (Reverse), la sortie de l'étage est marquée par C.

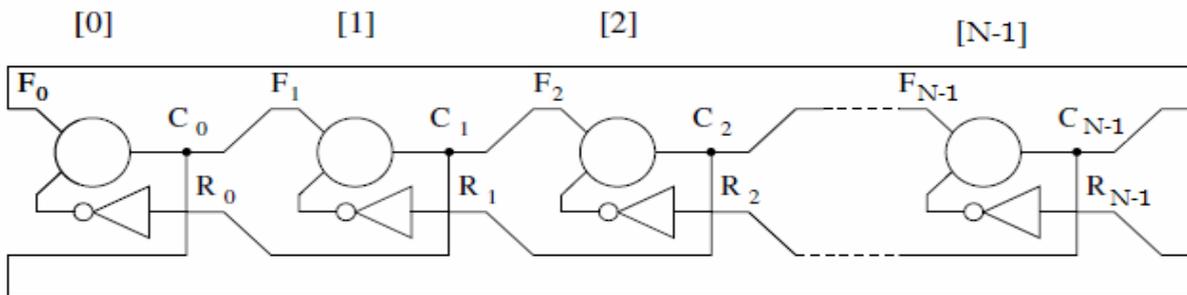


Figure 3-2 : L'Anneau Asynchrone

## 2.3. Le principe de fonctionnement

### 2.3.I. Les jetons et les bulles

Dans de nombreuses applications des anneaux asynchrones, les jetons et les bulles sont utilisés pour véhiculer les données. Le nombre invariable de jetons garantit que les données ne sont ni perdues ni multipliées. Dans notre cas, on définit qu'un étage  $i$  contient un jeton (Token) si la sortie  $C_i$  est différente de la sortie de l'étage suivant  $C_{i+1}$ , et qu'un étage  $i$  contient une bulle si la sortie  $C_i$  est égale à la sortie de l'étage suivant  $C_{i+1}$ .

$$\text{Etage}_i \subset \text{Jeton} \Leftrightarrow C_i \neq C_{i+1} \quad (3-1)$$

$$\text{Etage}_i \subset \text{Bulle} \Leftrightarrow C_i = C_{i+1} \quad (3-2)$$

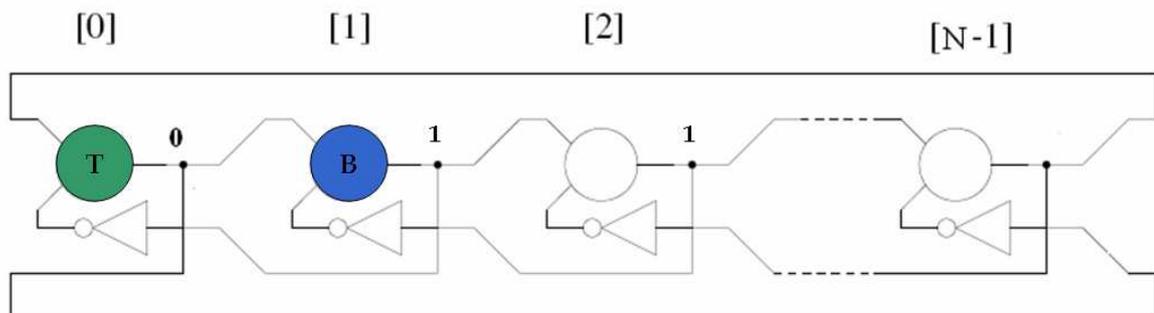


Figure 3-3 : Bulle et Jeton dans l'anneau asynchrone

A partir de ces propriétés, on peut conclure que le nombre de jetons est toujours pair. On note :

- $N$  est le nombre d'étages ( $N \geq 3$ )
- $N_T$  est le nombre de jetons ( $N_T \% 2 = 0$ )

- $N_B$  est le nombre de bulles ( $N_B \geq 1$ )
- $N = N_T + N_B$

### 2.3.2. Règles de propagation

Si un jeton est présent dans un étage, il passe à l'étage suivant, si et seulement si, l'étage suivant contient une bulle. On peut traduire cette règle par :

$$\text{Etage}_i \begin{array}{c} \xrightarrow{\text{Jeton}} \\ \xleftarrow{\text{Bulle}} \end{array} \text{Etage}_{i+1} \Leftrightarrow C_i \neq C_{i+1} = C_{i+2} \quad (3-3)$$

La propagation d'un jeton de l'étage  $i$  à l'étage  $i+1$  provoque une transition à l'étage  $i+1$ , ainsi que la bulle située à l'étage  $i+1$  à l'instant  $n$  prend la place du jeton à l'instant  $n+1$ , donc la propagation d'un jeton de l'étage  $i$  à l'étage  $i+1$  est équivalente à la propagation d'une bulle de l'étage  $i+1$  à l'étage  $i$ .

### 2.3.3. Les modes de propagation

La taille de l'anneau et le nombre de jetons y circulant peuvent conduire à deux comportements oscillants différents : "régulier" (evenly spaced) ou "rafale" (burst). Le mode "régulier" correspond à une propagation régulière des jetons et le mode "rafale" à une propagation en rafale des jetons, tels que représentés sur la figure 3-4. Deux effets principaux ont été identifiés comme étant responsables du comportement de l'anneau, l'effet de Charlie [EBE 98] et [ZEB 05] et l'effet de "Drafting" [WIN01] [WIN 02] et [FAI 04] qu'on va traiter dans le paragraphe suivant.

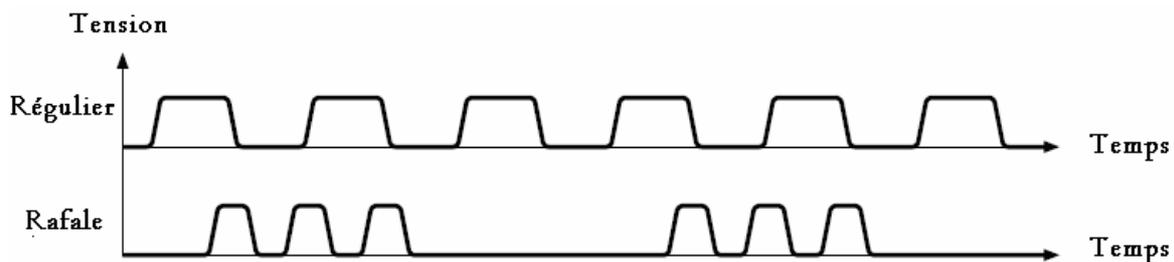


Figure 3-4 : Les modes "régulier" et "rafale"

## 3. Modélisation des anneaux asynchrones

Pour optimiser les performances des anneaux asynchrones, il est indispensable de pouvoir prédire, caractériser, voire contrôler ces modes de propagation. *Jo Ebergen*

[EBE 98] a développé un modèle pour prédire les performances des micropipelines. Ce modèle a été complété et étendu par A. Winstanley et al. [WIN01] par l'introduction du modèle de Charlie 3D. Ce modèle représente le temps de propagation d'une cellule de Muller en fonction du temps qui sépare les événements sur les entrées et du temps écoulé depuis la dernière commutation. Il permet ainsi de prendre en compte deux phénomènes importants des portes de Muller : l'effet «Charlie» et l'effet «Drafting» [HAM 09].

### 3.1. Les Effets de Charlie et de “Drafting”

#### 3.1.1. L'effet de Charlie

L'effet de Charlie en référence à *Charles E. Molnar* est défini par la dépendance du délai de la porte de Muller aux instants de changement d'état des entrées ou plus précisément au temps de séparation entre les entrées : plus les événements en entrées sont proches, plus le délai de propagation est long. Considérons la porte de Muller de la figure 3-1, l'effet de Charlie est expliqué en prenant en compte les réseaux NMOS et PMOS de la porte de Muller et l'impact des instants d'arrivée des événements aux entrées de l'étage sur la commutation des transistors NMOS et PMOS. Afin de mieux comprendre ce phénomène, nous proposons de prendre un exemple ; Considérons que la sortie C commute de 1 vers 0 suite à un événement sur l'entrée A. Dans le cas où A arrive longtemps après B, les transistors PMOS et NMOS contrôlés par B ont déjà changé d'état et ils sont donc pour l'un complètement bloqué, et pour l'autre complètement passant. Le temps nécessaire à la transition de l'entrée A pour se propager au nœud interne C' correspond donc uniquement au temps de blocage et de saturation des transistors contrôlés par A. Par contre, dans le cas où A arrive juste après B, le processus de blocage et de saturation des transistors contrôlés par B n'est pas achevé. Cela engendre alors un délai plus important pour que la transition sur A se propage au nœud interne C', et finalement un délai de propagation global plus grand.

L'effet de Charlie peut être résumé par le phénomène suivant : plus les événements en entrée sont proches, plus le temps de propagation est long, ce qui provoque l'espacement des jetons dans l'anneau.

#### 3.1.2. L'effet de drafting

De même, on constate un impact du temps écoulé entre deux commutations successives (des sorties) sur le délai de propagation : plus ce temps est court, plus le délai de propagation est court. Ce phénomène est appelé l'effet de «drafting» par analogie au

phénomène d'aspiration qui se produit quand deux voitures se suivent de très près. Cet effet, qui apparaît sur l'étage de sortie de la porte de Muller, est dû à la capacité présente à la sortie C : quand deux commutations se succèdent très rapidement, la sortie n'a pas assez de temps pour atteindre VDD ou GND avant de commuter à nouveau. Cela engendre un temps de propagation plus court.

L'effet de « drafting » peut être résumé par le phénomène suivant : plus les transitions successives en sortie sont proches, plus le temps de propagation est court, ce qui provoque le regroupement des jetons. On obtient alors une propagation en mode rafale.

### 3.2. Le modèle de Charlie 3D

Le modèle de Charlie 3D représente le temps écoulé entre l'instant moyen d'arrivée des entrées  $t_{\text{moy}}$  et l'instant de commutation de l'étage  $t_c$  en fonction de deux variables  $s$  et  $y$  (Figure 3-5).

- $s$  est le temps de séparation entre les entrées.

$$s = \frac{t_F - t_R}{2} \quad (3-4)$$

- $y$  est le temps entre la dernière commutation de la sortie de l'étage et l'instant moyen d'arrivée des événements sur les entrées.

$$y = \frac{t_R + t_f}{2} - t_{c-l} = t_{\text{moy}} - t_{c-l} \quad (3-5)$$

- $D_f$  ( $D_r$ ) est le délai de propagation direct (inverse)
- $D_{ff}$  ( $D_{rr}$ ) est le délai de propagation statique direct (inverse). Il correspond au délai de l'étage entre l'entrée F (R) et la sortie C quand l'entrée F (R) commute longtemps après l'entrée R (F).
- $D_{\text{charlie}}$  est l'amplitude de l'effet Charlie.
- $A$  est la durée de l'effet « drafting »
- $B$  est l'amplitude de l'effet « drafting »

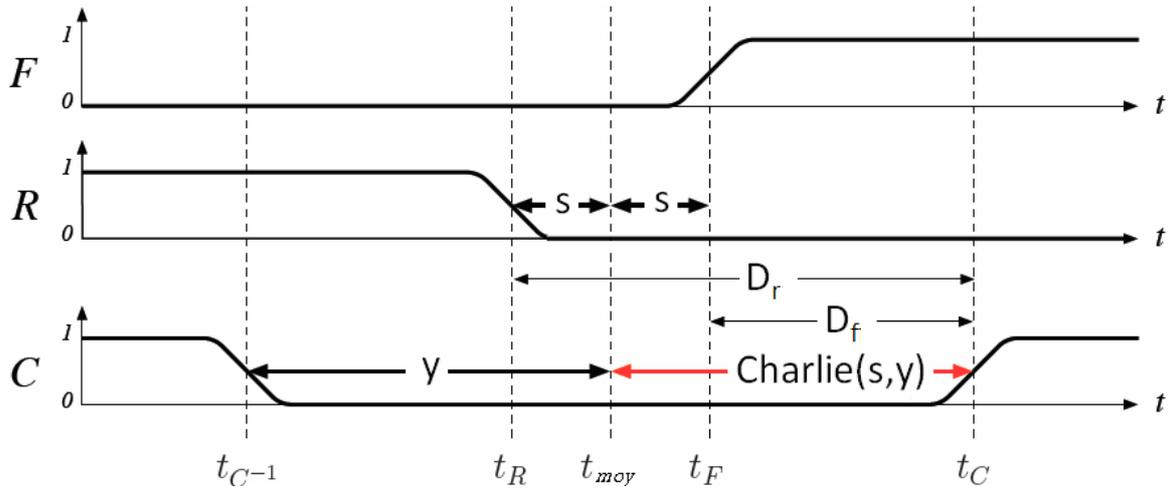


Figure 3-5 : Chronogramme de l'étage

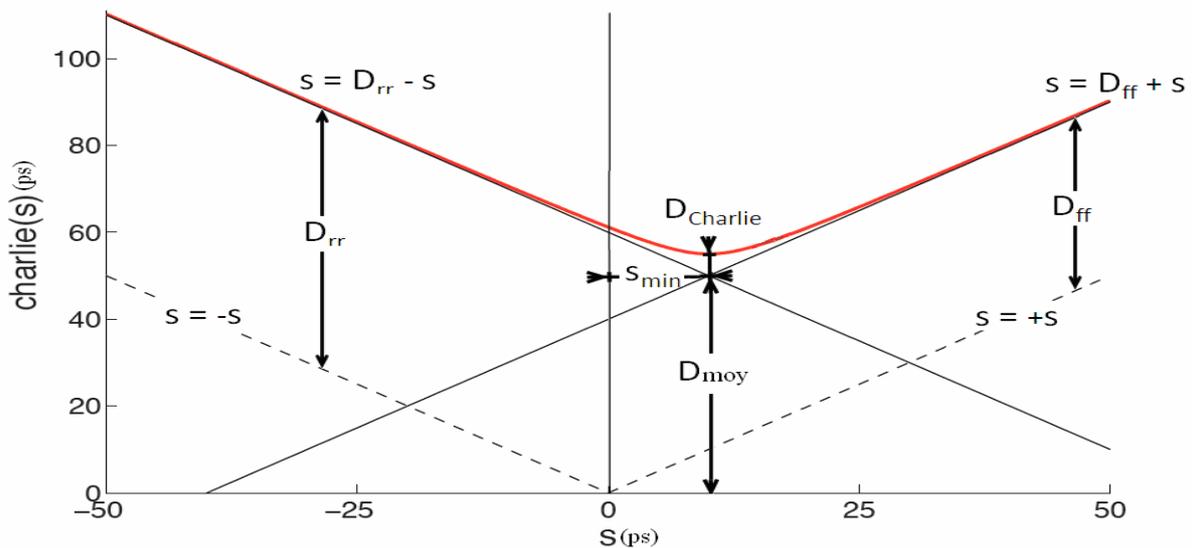


Figure 3-6 : Le diagramme de Charlie 2D

Le diagramme de Charlie 2D est le diagramme qui ne prend en compte que l'effet de Charlie et donc il représente le temps écoulé entre l'instant moyen d'arrivée des entrées  $t_{moy}$  et l'instant de commutation de l'étage  $t_C$  en fonction seulement de la variable  $s$ , on considérant que  $y$  est constant.

$$Charlie(s) = D_{moy} + \sqrt{(D_{Charlie}^2 + (s - s_{min})^2)} \quad (3-6)$$

avec  $D_{moy} = \frac{D_{rr} + D_{ff}}{2}$  et  $s_{min} = \frac{D_{rr} - D_{ff}}{2}$

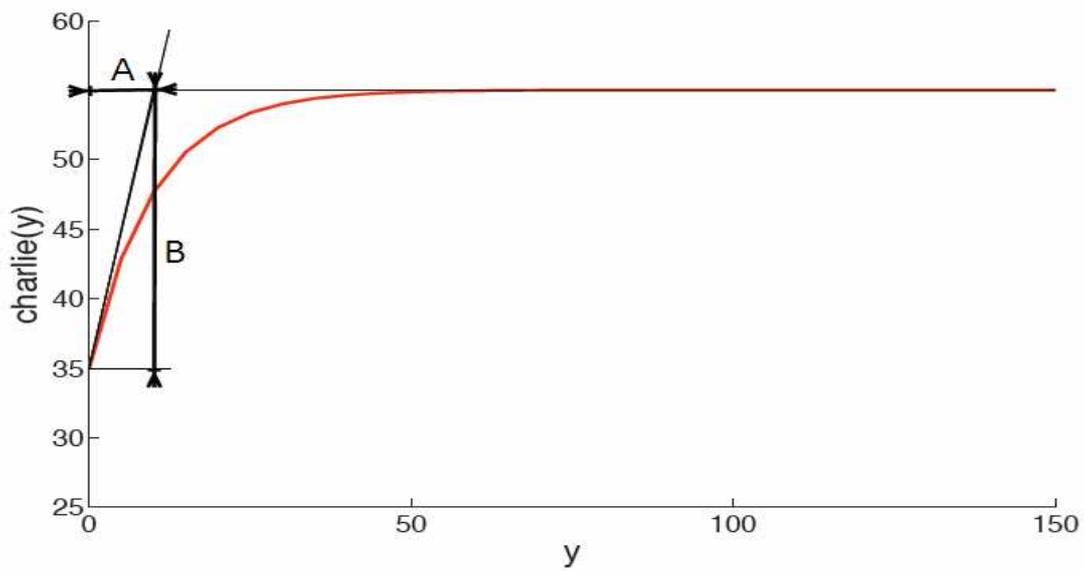


Figure 3-7 : Le Drafting

$$\text{Charlie}(y) = B e^{\frac{y}{A}} \quad (3-7)$$

Ces deux effets peuvent être représentés par le diagramme suivant, appelé diagramme de Charlie 3D.

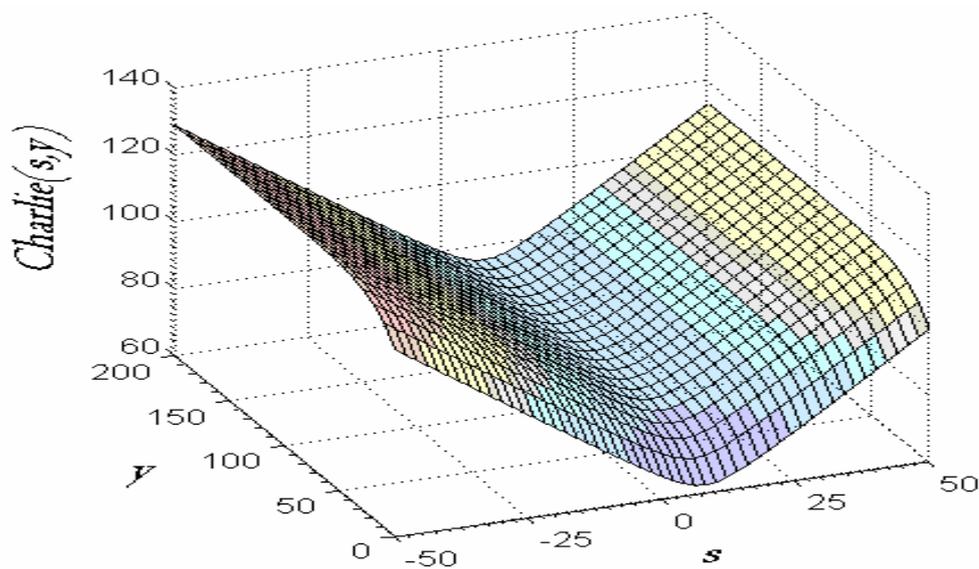


Figure 3-8 : Le diagramme de Charlie 3D

$$Charlie(s, y) = \underbrace{D_{mean} + \sqrt{(D_{Charlie}^2 + (s - s_{min})^2)}}_{Charlie} - \underbrace{Be^{-\frac{y}{A}}}_{Drafting} \quad (3-8)$$

Finalement l'instant de commutation peut être calculé par la formule suivante :

$$t_c = \frac{t_R + t_F}{2} + Charlie(s, y) \quad (3-9)$$

### 3.3. L'importance de la prise en compte des effets Charlie et « drafting »

Sans la modélisation des effets Charlie et « drafting » et par la simulation du même anneau asynchrone avec le même nombre de jetons et de bulles, mais avec deux distributions spatiales différentes, la simulation numérique (un modèle VHDL par exemple) montre deux états d'équilibres différents. Alors que, la simulation analogique donne exactement la même forme d'onde à l'état d'équilibre dans les deux cas. Une explication de ce comportement incorrect de la simulation numérique est l'absence des effets de Charlie et de « drafting » dans le modèle. Pour confirmer cette explication, nous simulons un anneau asynchrone avec 11 étages sans prendre en considération les effets de Charlie et de « drafting » dans un premier temps. Nous avons initialisé l'anneau par la configuration Jetons/Bulles suivante : "TTTTBBBBBBB". L'état d'équilibre de sortie est un mode « burst », alors que l'anneau est initialisé avec "TBBBBTTBBBT", l'état d'équilibre de sortie devient « evenly spaced ». Ceci conclût à tort que la distribution spatiale initiale des jetons/bulles pourrait affecter le mode d'oscillation, ce qui n'est pas vrai. Ces résultats de simulation sont présentés dans la figure 3-9.

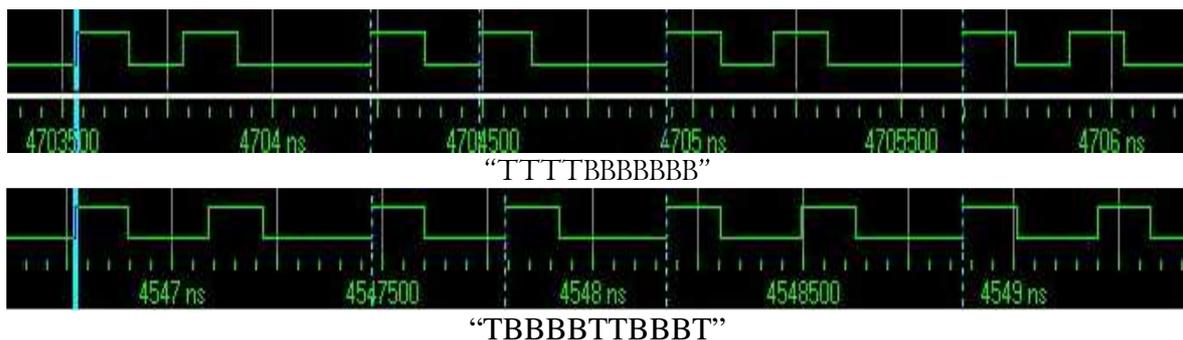


Figure 3-9 : Résultats sans l'effet de Charlie.

On a réalisé les mêmes simulations en utilisant un modèle de la porte de Muller qui prend en considération les effets de Charlie et de « drafting ». La Figure 3-10 montre

qu'ils donnent un comportement identique et que les deux sont en mode « evenly spaced » comme prévu, par les simulations analogiques.

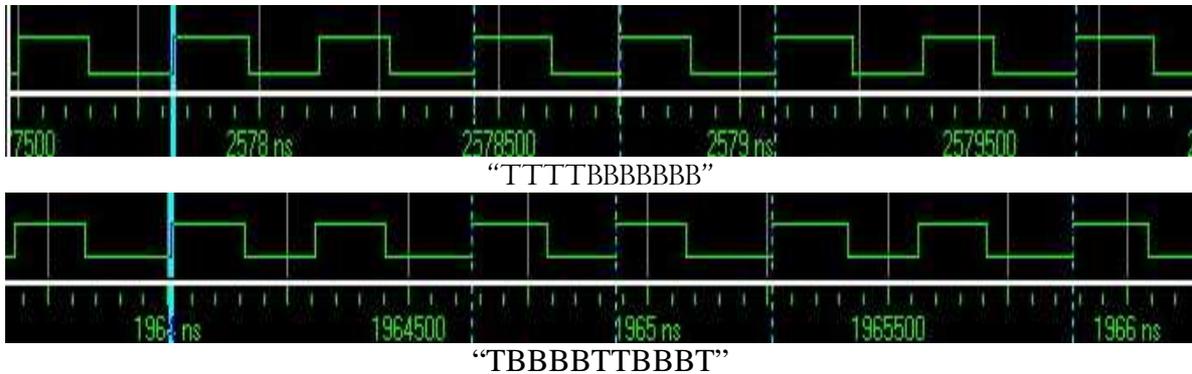


Figure 3-10 : Résultats avec l'effet de Charlie.

L'inclusion de l'effet Charlie dans le modèle numérique est obligatoire pour avoir un comportement correct de l'anneau. Comme les phases de conception et d'analyse ont besoin de nombreuses simulations, notre modèle numérique nous permet d'économiser beaucoup de temps par rapport aux simulations analogiques.

### 3.4. Calcul de la période d'oscillation dans les anneaux asynchrones.

Dans cette section, nous proposons une méthode pour calculer la période d'oscillation de l'anneau asynchrone. Cette nouvelle méthode nous permet d'estimer la période d'oscillation en fonction des paramètres temporels de l'étage et le nombre de jetons et de bulles que contient l'anneau.

Dans [HAM 08] [HAM 09] un modèle comportemental de l'anneau asynchrone a été proposé. Ce modèle comportemental offre des perspectives intéressantes en ce qui concerne l'information temporelle. Dans ce modèle, on a besoin de calculer le « temps de séparation entre les entrées s ». Pour se faire, on utilise un graphe d'états (Figure 3-11) pour capturer l'évolution temporelle de l'anneau. Cela semble un peu complexe si l'objectif est l'estimation de la fréquence d'oscillation. La période d'oscillation avec ce modèle est calculée avec la formule suivante.

$$T = 4 \times \text{Charlie} \left( \frac{(N_B - N_T) \times T}{4 \times N}, \frac{T}{4} \right) \quad (3-10)$$

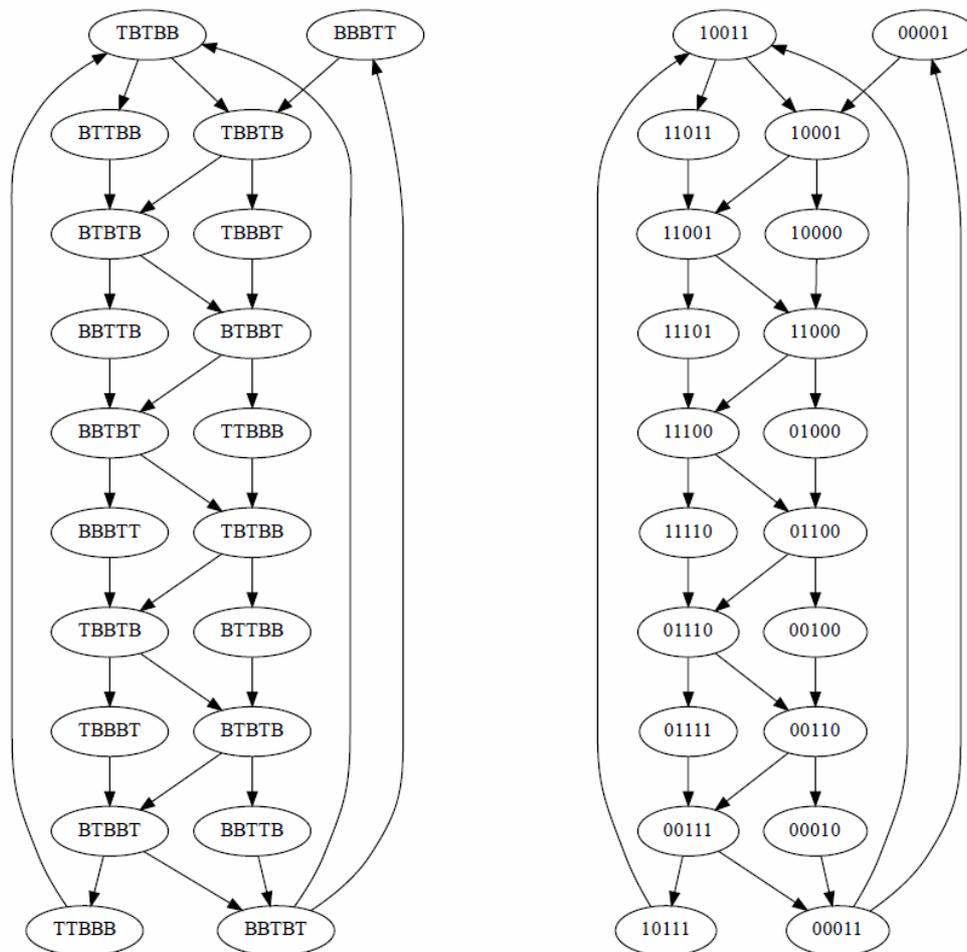


Figure 3-11 : Graphes d'états d'un anneau asynchrone de 5 étages et 2 jetons

Par conséquent, il nous a semblé très utile de trouver une relation simple entre le temps de séparation  $s$  et le nombre de bulles  $N_B$  et de jetons  $N_T$ .

Dans [FAI 06], les auteurs donnent une relation entre la période, le retard et le temps de séparation. Avec notre terminologie, nous pouvons exprimer cette relation par :

$$T = 4 \times D + 4 \times |s| = 4 \times (D + |s|) = 4 \times \text{Charlie}(s, y) \quad (3-11)$$

avec  $D = \text{Charlie}(s, y) - |s|$  le délai de l'étage.

Dans [WIN 01] les auteurs ont montré qu'on peut faire l'approximation  $y = \text{Charlie}(s, y)$ . Donc on peut exprimer la période d'oscillation par :

$$T = 4 \times \left( \underbrace{\text{Charlie}(s, y)}_{\text{Charlie}} = \underbrace{D_{\text{moy}} + \sqrt{D_{\text{Charlie}}^2 + (s - s_{\text{min}})^2}}_{\text{Charlie}} - \underbrace{Be \frac{\text{Charlie}(s, y)}{A}}_{\text{Drafting}} \right) \quad (3-12)$$

La valeur de  $\text{Charlie}(s, y)$  est toujours très grande par rapport à la valeur de  $A$ . Donc la valeur de  $\underbrace{Be \frac{\text{Charlie}(s, y)}{A}}_{\text{Drafting}}$  est très petite et négligeable devant  $\underbrace{D_{\text{moy}} + \sqrt{D_{\text{Charlie}}^2 + (s - s_{\text{min}})^2}}_{\text{Charlie}}$ .  
Donc pour le calcul de la période d'oscillation on peut se baser sur le modèle de Charlie 2D.

La période de l'anneau asynchrone dépend du ratio  $R = \frac{N_T}{N_B}$ . Pour un même ratio  $R$ , on a la même fréquence d'oscillation quelque soit le nombre d'étages de l'anneau. C'est pour cette raison que nous pensons qu'il existe une relation directe entre  $s$  et  $R$ .

Pour estimer la valeur de  $s$ , on utilise le diagramme de Charlie statique (asymptotique) Figure 3-12.

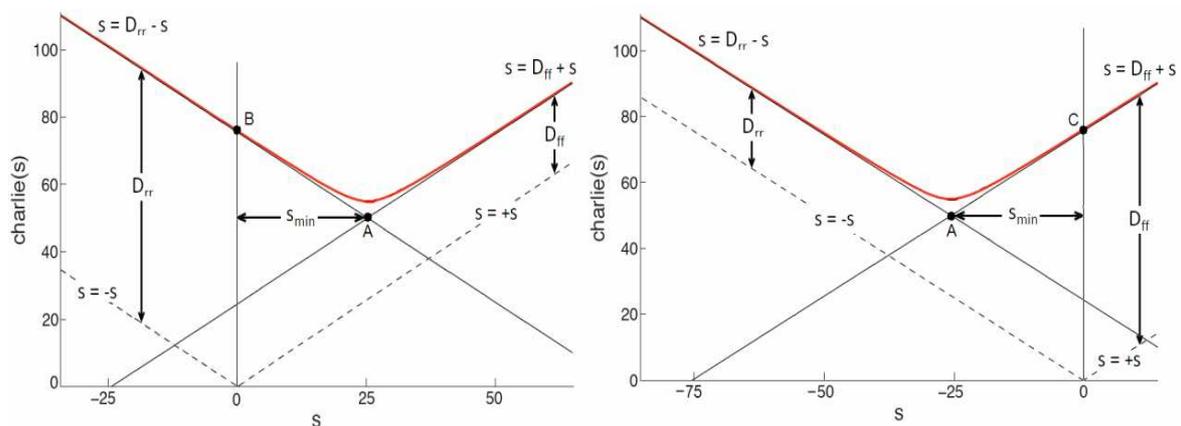


Figure 3-12 : Le diagramme de Charlie statique

Le point A de la figure 3-12 correspond au lieu où l'anneau oscille à sa fréquence maximale, et on sait qu'au point A :

$$R = \frac{N_T}{N_B} = \frac{D_{ff}}{D_{rr}} \quad \text{et} \quad s = s_{\text{min}} = \frac{D_{rr} - D_{ff}}{2} \quad (3-13)$$

Au niveau des points B/C de la même figure on sait que :

$$R = \frac{N_T}{N_B} = 1 \quad \text{et} \quad s = 0 \quad (3-14)$$

L'anneau asynchrone fonctionne sur la demi droite [AB] ([AC]) quand  $\frac{N_T}{N_B} \geq \frac{D_{ff}}{D_{rr}} \left( \frac{N_T}{N_B} \leq \frac{D_{ff}}{D_{rr}} \right)$ .

**Définition :** On dit que l'anneau est limité en jetons si l'anneau fonctionne dans la région  $\frac{N_T}{N_B} \geq \frac{D_{ff}}{D_{rr}}$  ( $s \leq s_{\min}$ ) et qu'il est limité en bulles lorsqu'il fonctionne dans la région

$$\frac{N_T}{N_B} \leq \frac{D_{ff}}{D_{rr}} \quad (s \geq s_{\min}).$$

A partir de l'équation (3-13) et en divisant par  $D_{rr}$  :

$$\frac{2s}{D_{rr}} = \frac{D_{rr} - D_{ff}}{D_{rr}} \quad \rightarrow \quad s = \frac{D_{rr}}{2} (1 - R) \quad (3-15)$$

Cette équation est vraie au point A. Si on montre que l'équation (3-15) est vraie pour le point B, on peut supposer que cette équation est vraie en tout point de la demi-droite [AB]. Au point B,  $s=0$ . En remplaçant  $R=1$  dans (3-15), on a  $s=0$  ce qui est vrai. Donc on peut supposer que l'équation (3-15) est vraie pour toute la demi-droite AB.

$$\text{Si} \quad R = \frac{N_T}{N_B} \geq \frac{D_{ff}}{D_{rr}} \quad s = \frac{D_{rr}}{2} (1 - R) \quad (3-15.a)$$

Par le même raisonnement, à partir de l'équation (3-13) et en divisant  $s$  par  $D_{ff}$ , On peut montrer que :

$$\text{Si} \quad R = \frac{N_T}{N_B} \leq \frac{D_{ff}}{D_{rr}} \quad s = \frac{D_{ff}}{2} \left( \frac{1}{R} - 1 \right) \quad (3-15.b)$$

Ces deux équations nous permettent de calculer  $s$  sans passer par le modèle comportemental. Par conséquent, on peut introduire une nouvelle fonction appelée Charlie(R), qui exprime la valeur de la fonction de Charlie en fonction du ratio R. Cette équation peut être obtenue en remplaçant  $s$ , de (3-15) dans (3-8). Le résultat est montré dans l'équation. (3-16.a)

$$\text{Si} \quad \frac{N_T}{N_B} \geq \frac{D_{ff}}{D_{rr}} \quad \text{Charlie} (R) = D_{\text{moy}} + \sqrt{\left( D_{\text{Charlie}}^2 + \left( \frac{D_{rr}}{2} \left( R - \frac{D_{ff}}{D_{rr}} \right) \right)^2 \right)} \quad (3-16.a)$$

$$\text{Si } \frac{N_T}{N_B} \leq \frac{D_{ff}}{D_{rr}} \quad \text{Charlie}(R) = D_{moy} + \sqrt{\left( D_{Charlie}^2 + \left( \frac{D_{ff}}{2} \left( \frac{1}{R} - \frac{D_{rr}}{D_{ff}} \right) \right)^2 \right)} \quad (3-16.b)$$

Pour montrer la précision de cette équation, nous avons comparé les valeurs extraites des simulations numériques (le modèle VHDL) qui sont basées sur Charlie(s) avec celles de l'équation Charlie(R). La figure suivante montre que les deux courbes sont identiques avec une erreur qui ne dépasse pas 1%.

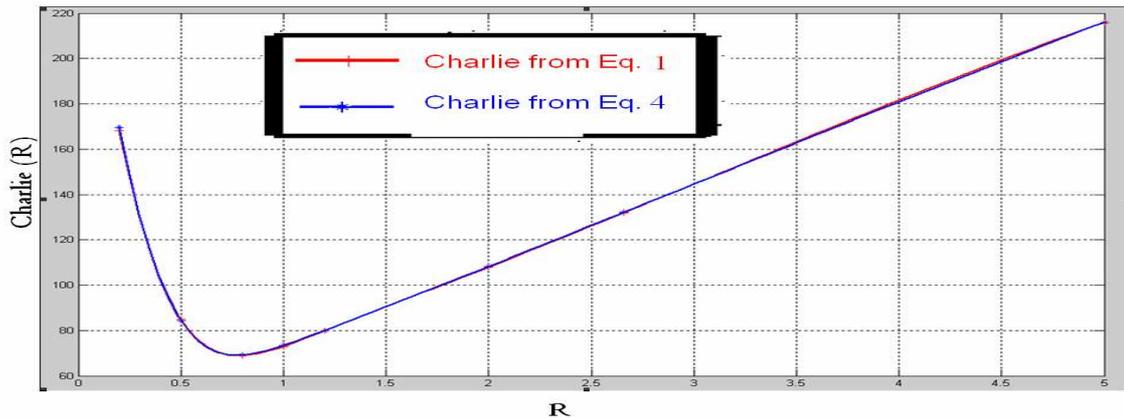


Figure 3-13 : Charlie(R) diagram

Pour montrer la symétrie entre  $\frac{N_T}{N_B}$  et  $\frac{N_B}{N_T}$  et pour respecter l'analogie avec *Charlie(s)*, nous proposons de tracer *Charlie(R)* en échelle semi-logarithmique.

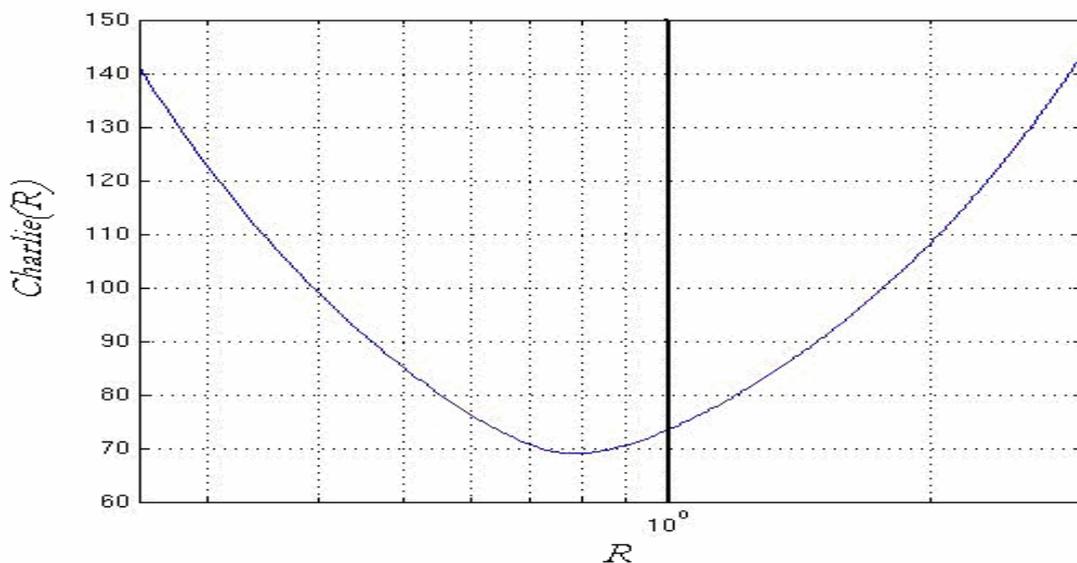


Figure 3-14 : Le diagramme de Charlie(R) en échelle logarithmique

Le diagramme de *Charlie* ( $R$ ) permet de se faire une idée claire de la fréquence d'oscillation en fonction du nombre de Jetons et de Bulles dans l'anneau. Pour les concepteurs, il est plus facile d'interpréter le diagramme de *Charlie*( $R$ ) avec le paramètre  $R$  que le diagramme *Charlie*( $s$ ) avec le paramètre  $s$ .

Dans le cas où l'oscillation est en mode « rafale »,  $s$  n'a pas la même valeur pour tous les étages. La valeur calculée par l'équation est la valeur moyenne.

Si on néglige la valeur de  $D_{\text{Charlie}}$ . On peut exprimer la fréquence d'oscillation par l'équation suivante :

$$F_{\text{osc}} = \frac{1}{2 \cdot D \cdot (R+1)} \quad (3-17)$$

$$(D, R) = \begin{cases} (D_{rr}, N_T/N_B) & \text{si } D_{ff}/D_{rr} \geq N_T/N_B \\ (D_{ff}, N_B/N_T) & \text{si } D_{ff}/D_{rr} \leq N_T/N_B \end{cases}$$

Cette approximation nous permet de calculer la fréquence d'oscillation rapidement en fonction du délai de la porte et du nombre de jetons qui circulent dans l'anneau.

A partir de cette équation, on en déduit que la fréquence d'oscillation dépend de la configuration jetons/bulles et non pas du nombre d'étages comme c'est le cas pour les oscillateurs en anneau à base d'inverseurs. Ainsi le même oscillateur peut avoir plusieurs fréquences d'oscillation en changeant simplement le nombre de jetons dans l'anneau. La fréquence maximale est atteinte quand :  $D_{ff}/D_{rr} = N_T/N_B$ . Elle est égale à

$$F_{\text{osc}} = \frac{1}{2 \cdot (D_{rr} + D_{ff})} \quad (3-18)$$

### 3.5. La puissance consommée

La puissance consommée dans les oscillateurs asynchrones dépend du nombre de jetons et de bulles qui circulent dans l'anneau. Si on se trouve dans la région où l'anneau est limité en jetons (limité en bulles) la consommation dépendra du nombre de bulles (jetons) dans l'anneau.

$$\text{Si } \frac{N_T}{N_B} \geq \frac{D_{ff}}{D_{rr}} \quad P = N_B \times P_B \quad (3-19.a)$$

$$\text{Si } \frac{N_T}{N_B} \leq \frac{D_{ff}}{D_{rr}} \quad P = N_T \times P_T \quad (3-19.b)$$

où P est la puissance consommée dynamiquement de l'anneau et  $P_B$  ( $P_T$ ) est la puissance consommée équivalente à un jeton (une bulle).

### 3.6. La robustesse aux variations.

Dans [HAM 08], les auteurs ont étudié la robustesse des anneaux asynchrones aux variations des procédés de fabrication d'une manière statistique en appliquant des variations aléatoires de type gaussienne aux paramètres du modèle de Charlie 3D. Ils ont conclu que lorsqu'on fonctionne dans la vallée du diagramme de Charlie, c'est-à-dire quand l'effet de Charlie est maximal on augmente la robustesse de l'oscillateur. Nous proposons de le montrer d'une manière analytique en se basant sur la dérivée du diagramme de Charlie.

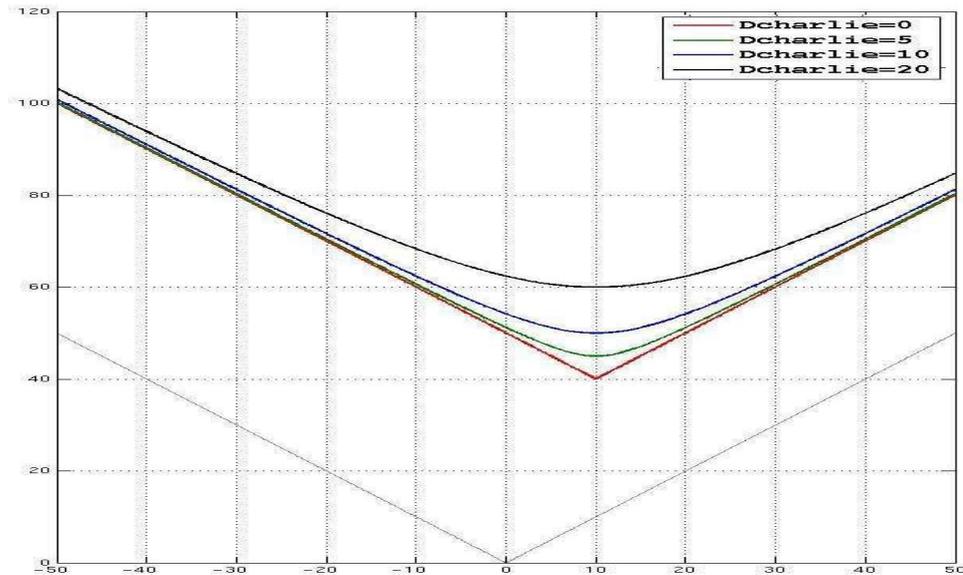
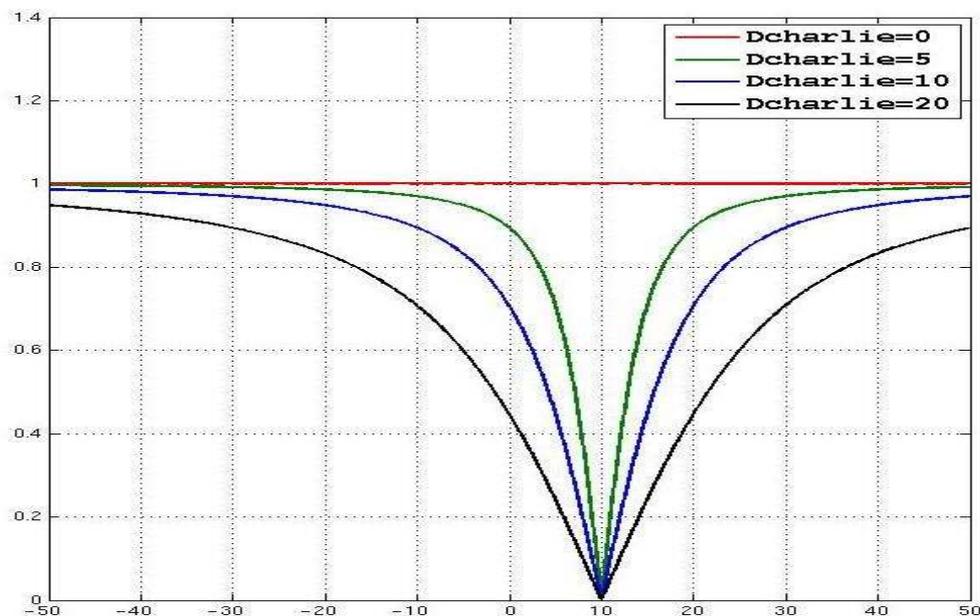
Selon le modèle de Charlie à deux dimensions (3-6), on peut écrire :

$$\frac{T}{4} = \text{Charlie}(s) = D_{moy} + \sqrt{(D_{Charlie}^2 + (s - s_{min})^2)} \quad (3-19.b)$$

La dérivée de cette équation nous permettra d'étudier la robustesse aux variations dans les anneaux asynchrones.

$$\frac{d\text{Charlie}(s)}{ds} = \frac{(s - s_{min})}{D_{moy} + \sqrt{(D_{Charlie}^2 + (s - s_{min})^2)}} \quad (3-19.b)$$

$$\lim_{s \rightarrow \pm\infty} \left| \frac{d\text{Charlie}(s)}{ds} \right| \rightarrow 1 \quad \text{et} \quad \lim_{s \rightarrow s_{min}} \left| \frac{d\text{Charlie}(s)}{ds} \right| \rightarrow 0$$

Figure 3-15 : Le diagramme de Charlie pour différentes valeurs de  $D_{\text{charlie}}$ Figure 3-16 : La valeur absolue de la dérivée de Charlie(s) pour différentes valeurs de  $D_{\text{charlie}}$ 

On voit l'importance de l'effet Charlie pour corriger les erreurs dues aux étages précédent et suivant un étage (dans le cas où on fonctionne dans la vallée du diagramme de Charlie ( $s \rightarrow s_{\min}$ )). Dans le cas d'une erreur dans le délai de l'étage  $i+1$ , cela modifiera la valeur de  $s$  à l'étage  $i$ , et donc la valeur de Charlie(s). En se situant dans la vallée du diagramme de Charlie, cette modification de la valeur de  $s$  sera corrigée par l'étage  $i$  grâce à l'effet de Charlie et minimisera l'effet de cette erreur dans l'anneau.

La figure 3-16 montre que, plus la valeur  $D_{\text{charlie}}$  est importante, plus l'intervalle de robustesse est large. L'effet Charlie permet donc de minimiser les variations de la période.

## 4. Validations

Nous avons conçu trois anneaux asynchrones à cinq, dix et onze étages, en utilisant la technologie CMOS 65nm de STMicroelectronics, en utilisant notre librairie TAL (TIMA Asynchronous Library) et les librairies standards de STMicroelectronics pour l'implémentation physique. Nous avons utilisé l'outil Eldo de "Mentor Graphics" sous l'environnement de *Cadence* pour la simulation des différentes configurations possibles de ces anneaux. Les résultats de simulations sont dans le Tableau 3-2:

Les paramètres temporels de l'étage utilisé sont montrés dans le Tableau 3-1

Tableau 3-1 : Les paramètres temporels de l'étage

$D_{\text{fr}}(\text{ps})$	$D_{\text{rr}}(\text{ps})$	$D_{\text{charlie}}(\text{ps})$
48	57	5

Tableau 3-2 : Résultats de simulations

Cas	Nombre d'étages	$N_T/N_B$	$R=N_T/N_B$	Fréquence (simulation électrique) MHz	Fréquence (Model) MHz	Consommation dynamique ( $\mu\text{W}$ )	Mode d'Oscillation	Rapport Cyclique
A	11	10T/1B	10	796	797	136	Régulier	50%
B	11	8T/3B	2.66	2417	2386	410	Régulier	50%
C	11	6T/5B	1.2	3908	3914	682	Régulier	50%
D	11	4T/7B	0.57	3802	3737	634	Rafale	NC
E	11	2T/9B	0.2	1879	1891	320	Régulier	20%
F	10	8T/2B	4	1751	1752	272	Régulier	50%
G	10	6T/4B	1.5	3441	3476	546	Régulier	50%
H	10	4T/6B	0.67	4143	4064	638	Régulier	50%
I	10	2T/8B	0.25	2082	2081	320	Régulier	22%
J	5	4T/1B	4	1747	1752	136	Régulier	50%
K	5	2T/3B	0.67	4133	4064	320	Régulier	50%

Les simulations montrent qu'avec le même rapport  $R$ , on obtient la même fréquence d'oscillation quelque soit le nombre d'étages (Cas F et J) et qu'avec le même nombre de Bulles(Jeton) si on est limité en bulles (limité en Jetons), la puissance consommée est identique quelque soit le nombre d'étages de l'anneau (cas A et J & E et I). De plus pour un même nombre d'étages, l'anneau peut être configuré facilement en contrôlant le nombre de jetons et de bulles, contrairement aux oscillateurs à inverseurs pour lesquels la fréquence est fixe et la puissance consommée dépend du nombre d'étages.

Le Tableau 3-2 montre que le modèle de calcul de la fréquence d'oscillation présenté dans ce chapitre est très précis, avec une erreur de précision qui ne dépasse pas les 2% si l'on compare aux simulations électriques.

## 5. Conclusion

Dans ce chapitre nous avons présenté l'architecture de l'oscillateur en anneau asynchrone et son principe de fonctionnement. Nous avons présenté un modèle qui intègre les effets de *Charlie* et de *drafting* qui sont des effets analogiques qui caractérisent la porte de Muller. Une méthode analytique pour calculer la fréquence d'oscillation des oscillateurs asynchrones est proposée. Cette méthode est très efficace et très précise. Elle nous permet de calculer la fréquence en fonction des paramètres temporels de la porte de Muller et du nombre de jetons et de bulles qui circulent dans l'anneau. L'importance des effets de *Charlie* et de *drafting* est discutée. L'inclusion de ces deux paramètres permet d'avoir des simulations numériques précises qui nous font gagner beaucoup de temps comparativement à une simulation analogique. En outre, nous avons identifié le point de fonctionnement qui présente des caractéristiques qui limitent les variations de la période d'oscillation et qui augmentent la robustesse de l'oscillateur face aux variations des procédés de fabrication. Finalement la configurabilité de ces oscillateurs est montrée. Avec un même oscillateur, plusieurs fréquences d'oscillation peuvent être obtenues. La fréquence d'oscillation ne dépend pas ici du nombre d'étages de l'anneau mais simplement de sa configuration initiale jetons/bulles.

Les caractéristiques de programmation de la fréquence, de robustesse, de stabilité en fréquence de ces oscillateurs semblent très appropriées pour limiter le bruit de phase (comme nous le détaillerons par la suite) et donc pour constituer des circuits générateur d'horloges hautes fréquences et haute résolution (cf. Chapitre 5). Il est à noter que sa configurabilité naturelle en fera aussi un bon candidat pour les applications de type DFVS (cf. Chapitre 6)



---

# Chapitre 4.

## *Les différentes implémentations de la porte de Muller*

---

### I. Introduction

Comme nous l'avons déjà évoqué dans les chapitres précédents, la porte de Muller est un composant très utilisé pour la conception de circuits et systèmes asynchrones. Elle nous sert notamment à implémenter les protocoles de communication asynchrones. Elle a été introduite par D.E. Muller [MUL 59], elle est appelée aussi "*C-element*". Elle réalise un rendez-vous entre deux signaux. La valeur des entrées est copiée sur la sortie lorsque celles-ci sont identiques. Si les entrées sont différentes, la sortie conserve la dernière valeur mémorisée.

Comme la porte de Muller est le composant principal de l'anneau asynchrone, il nous a paru indispensable de l'étudier finement afin de choisir l'implémentation la plus adéquate pour notre application. Dans ce chapitre nous présentons les différentes implémentations de la porte de Muller avec des comparaisons de consommation, de fréquence et de bruit de phase. Ces portes ont aussi été étudiées dans le but de trouver les règles de conception permettant d'avoir des cellules optimisées en vitesse et en bruit de phase. Pour cela, nous sommes partis du modèle dit « de l'effort logique » introduit par [SUT 99] et nous avons affiné notre technique par des simulations réalisées avec la technologie CMOS 65 nm de STMicroelectronics. Nous introduisons aussi une nouvelle

structure d'étage de notre oscillateur qui est composé uniquement d'une porte de Muller possédant deux sorties complémentaires. Cet oscillateur modifié nous permet notamment d'améliorer les performances de l'oscillateur asynchrone en vitesse et en consommation.

## 2. Les différentes implémentations de la porte de Muller.

Dans la littérature, il existe trois implémentations statiques différentes de la porte de Muller. L'implémentation conventionnelle par Sutherland [SUT 89], la symétrique par Van Berkel [BER 94] et la Weak-feedback par Martin [MAR 89] en sus de l'implémentation dynamique.

Une comparaison entre ces implémentations en termes de vitesse et de consommation de la porte de Muller a été réalisée par Shams et al. [SHA 97][SHA 98] en effectuant des simulations spice (en utilisant une technologie BiCMOS 0.8 $\mu$ m fonctionnant sous 3.0 V et dont les inverseurs ont un fan-out de 3). Dans [PIG98], les implémentations CMOS sont générées à partir de graphes de transition de signaux. Plusieurs implémentations de la porte de Muller ont été conçues et comparées en termes de vitesse et de consommation. D'autres implémentations différentielles ont été proposées et citées dans [SHA 98] [PIG 98], elles ne sont pas concernées par cette étude car leurs performances sont insuffisantes pour nos applications.

Ces travaux ont conclu que l'implémentation dynamique de la porte de Muller est probablement la meilleure, que la statique est une très bonne alternative, que la conventionnelle est un cran en dessous et que la *weak feedback* est sûrement la moins appropriée. Dans le cadre de notre travail, et après l'optimisation de ces cellules, nous avons comparé ces implémentations en terme de consommation, de fréquence et de bruit de phase (dans le cas particulier de l'oscillateur en anneau asynchrone) en utilisant la technologie CMOS 65 nm de STMicroelectronics. Ces résultats ont été publiés dans la conférence PATMOS'2010 [ELI 10a].

### 2.1. L'implémentation dynamique

L'implémentation dynamique est présentée dans la figure 4-1, elle est constituée de deux transistors PMOS et de deux transistors NMOS montés en série. Cette structure sert également de base lors de l'implémentation des versions statiques de la porte de Muller. Les versions statiques de cette porte ont en plus un dispositif de mémorisation de la valeur en sortie.

Dans les implémentations statiques, il existe donc deux types de transistors : ceux qui contribuent à la commutation de la sortie (les transistors de basculement ou « switchers »), et ceux qui permettent de conserver la valeur de l'état de sortie lorsque les valeurs des entrées sont différentes (les transistors de maintien ou « keepers »). Les transistors de maintien ne sont pas actifs lors des commutations mais contribuent à la contre-réaction pour maintenir l'état de la sortie quand les valeurs des entrées sont différentes. Ils sont donc les plus petits possible afin de réduire leur effet capacitif.

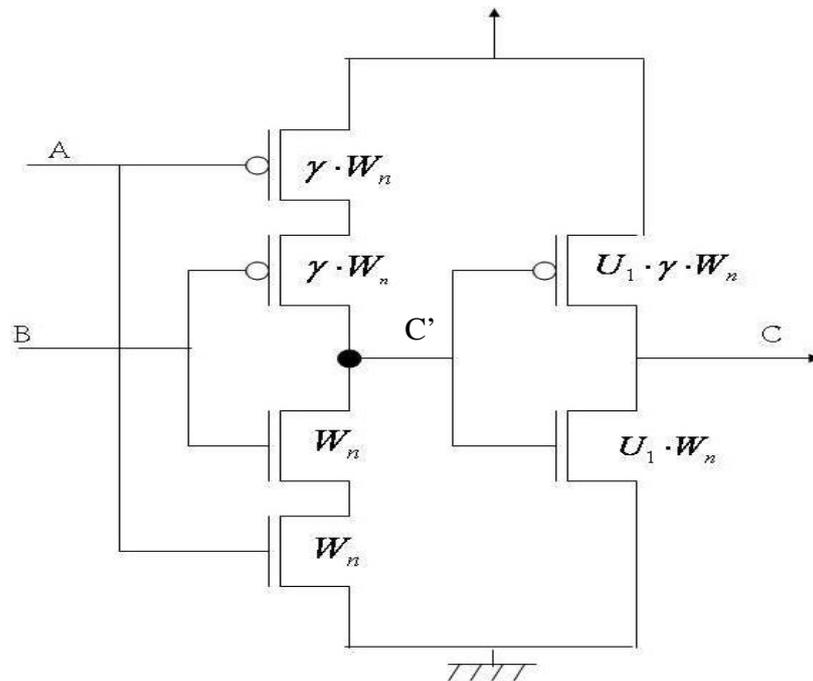


Figure 4-1 : L'implémentation dynamique de la porte de Muller

## 2.2. L'implémentation « weak feedback »

L'implémentation « weak feedback » de la porte de Muller est illustrée dans la figure 4-2. Cette implémentation est composée de transistors de basculement identiques à l'implémentation dynamique, en plus d'un inverseur utilisé en contre-réaction (N4 and P4) pour maintenir l'état de la sortie dans le cas où les entrées sont différentes. Cette implémentation génère un conflit sur le noeud marqué d'un point noir lors de la commutation de la sortie. En effet, le réseau de transistors P et N impose un potentiel qui est différent de celui qui est imposé par l'inverseur de contre-réaction.

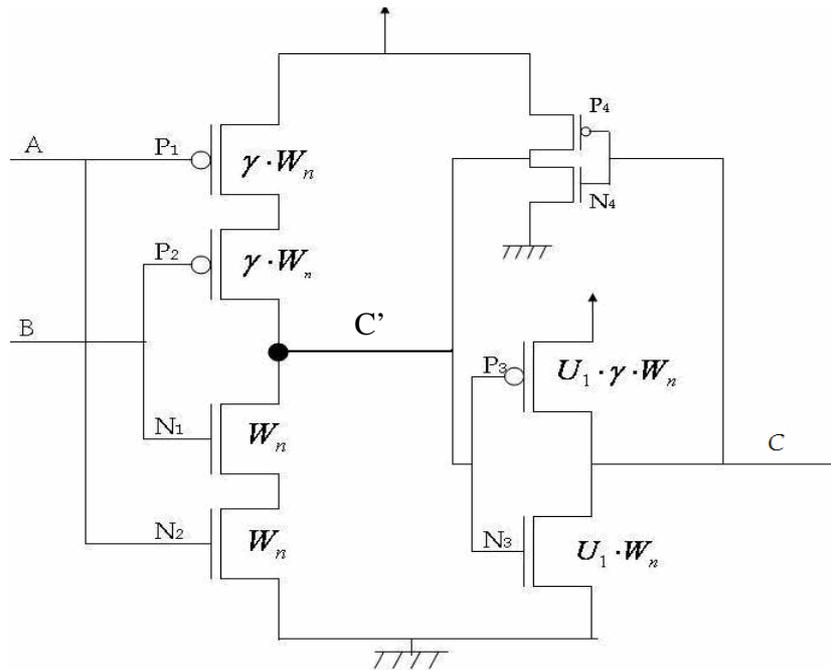


Figure 4-2: L'implémentation Weak feedback

### 2.3. L'implémentation conventionnelle

Pour résoudre ce problème I. Sutherland a proposé l'implémentation dite « conventionnelle » (cf. figure 4-3). La structure weak-feedback a donc été complétée avec quatre transistors supplémentaires (N5, N6, P5 et P6) pour déconnecter l'inverseur de contre-réaction quand les entrées ont des tensions identiques. Les transistors N4, N5, N6, P4, P5 and P6 sont dimensionnés à la taille minimale permise par la technologie pour minimiser leurs effets capacitifs.

### 2.4. L'implémentation symétrique

La porte de Muller introduite par Van Berkel illustrée dans la figure 4-4 est légèrement différente des précédentes. Le réseau de transistors en entrée est divisé en deux parties identiques. Les transistors de maintien sont numérotés N6 et P6 sur la figure 4-4. Il est à noter que les transistors de basculement (P1, P2, P3, P4, N1, N2, N3 et N4) sont aussi impliqués dans le maintien de l'état de sortie. De ce point de vue, cette implémentation est différente de celles vue précédemment où les transistors de basculement n'intervenaient pas dans le maintien de l'état de sortie.

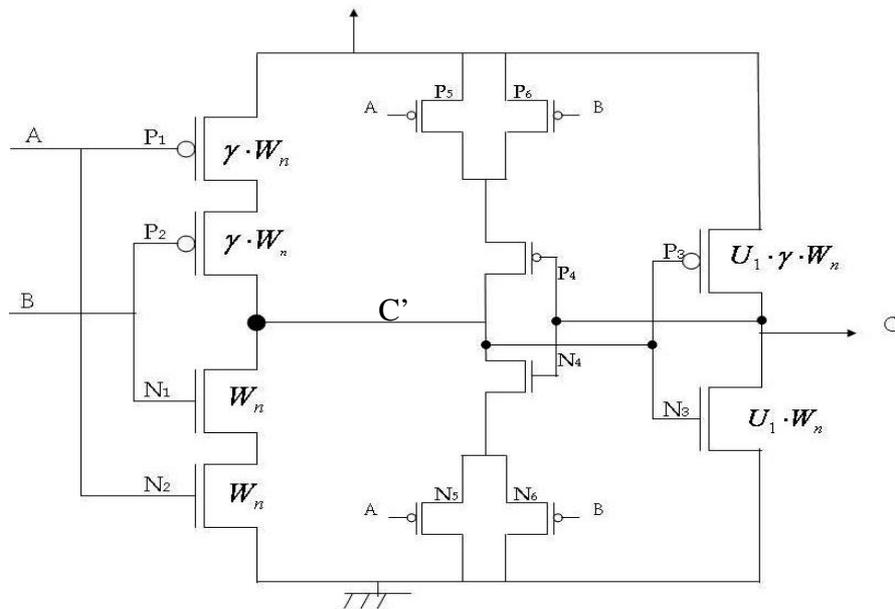


Figure 4-3: L'implémentation conventionnelle

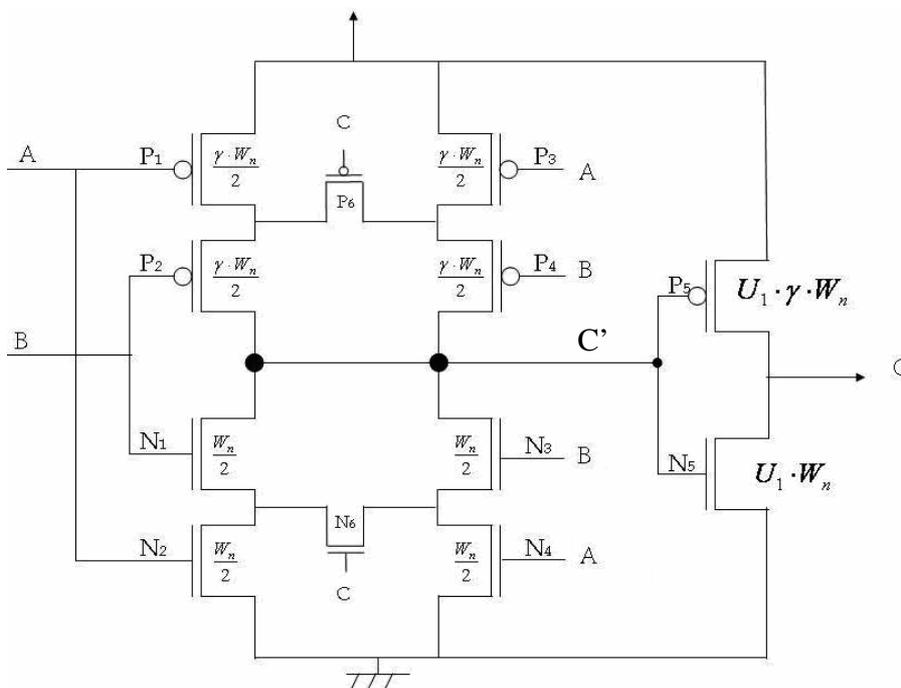


Figure 4-4: L'implémentation symétrique

## 2.5. Les implémentations différentielles

Les structures statiques de la porte de Muller sont construites autour d'un point mémoire statique formé de deux inverseurs tête bêche. Dans une telle structure, à

l'exception des instants de basculement, les niveaux logiques des deux noeuds C et C' sont toujours opposés. Cette caractéristique permet de concevoir à moindre coût des circuits asynchrones à logique différentielle.

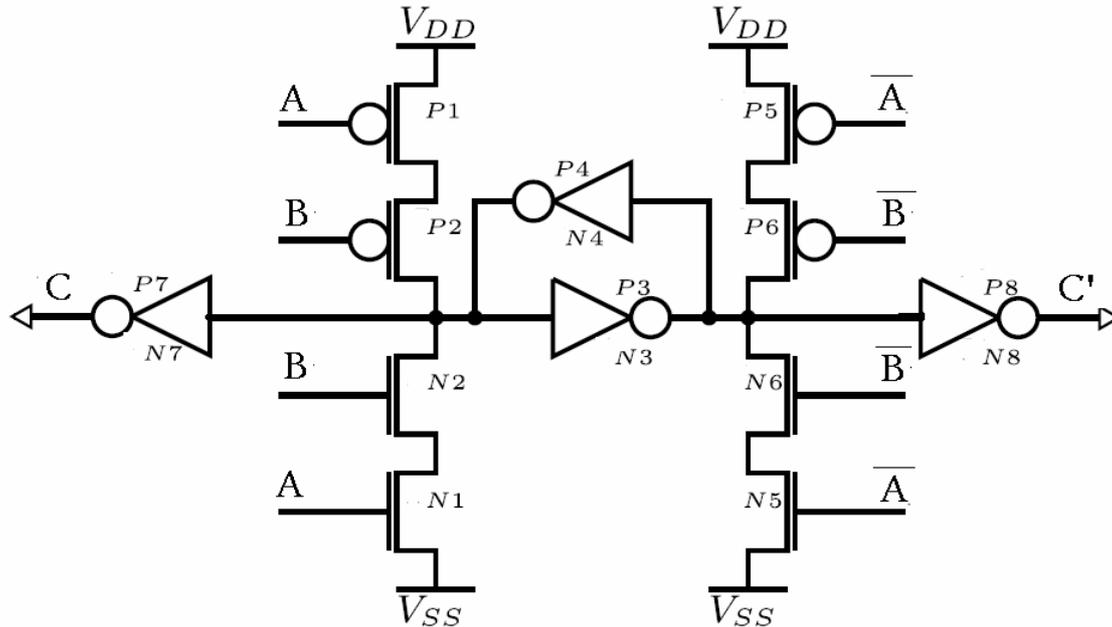


Figure 4-5: Une implémentation en logique différentielle

La figure 4-5 représente une des implémentations proposées en logique différentielle. Les potentiels  $\bar{A}$  et  $\bar{B}$  représentent le fil "négatif", ils forment une paire différentielle avec le fil "positif" associé A et B. Pour éviter que les inverseurs soient surdimensionnés pour apporter la sortance nécessaire à la porte, cette structure comprend deux inverseurs supplémentaires pour émettre les signaux de sortie, le dimensionnement du point mémoire et des étages d'entrée est donc beaucoup moins contraints par la sortance et peut se faire à de très faibles largeurs de transistors.

Dans notre étude, on va se contenter d'étudier et de comparer les quatre premières implémentations (non différentielles). Les implémentations différentielles ont un délai plus grand et une consommation plus importante. De plus, leur dimensionnement est assez difficile à cause du problème de décalage entre les deux rails positif et négatif [SHA 97]. Les premières simulations que nous avons effectuées lors cette étude ont confirmé que ces structures ne sont pas intéressantes pour notre application.

### 3. Conception de l'étage de l'oscillateur asynchrone.

#### 3.1. Utilisation de la méthode de l'effort logique.

La première étape est de trouver une méthode efficace pour concevoir les portes de Muller ou plus précisément pour concevoir l'étage de l'anneau asynchrone composé de la porte de Muller et d'un inverseur. Pour cela, nous avons appliqué le modèle de l'effort logique introduit par I. Sutherland et al. [SUT 99].

##### 3.1.1. Présentation de la méthode de l'effort logique

L'effort logique est une méthode simple permettant d'évaluer le délai d'un circuit CMOS et de calculer un dimensionnement grossier mais raisonnable des transistors. Le modèle a été conçu pour optimiser un chemin logique en vitesse. Or, nous faisons l'hypothèse que l'optimisation de l'étage en vitesse impliquera une optimisation en termes de bruit de phase. Ce point sera vérifié par la suite. Ce paragraphe présente les paramètres utilisés par cette méthode ainsi que les étapes de dimensionnement associées. Les principaux paramètres de cette méthode sont présentés dans le tableau 4-1.

Tableau 4-1: Les principaux paramètres de la méthode de l'effort logique

Le terme	L'expression pour un étage	L'expression pour un chemin
L'effort logique	$g$	$G = \prod g_i$
L'effort électrique	$h = C_{out} / C_{in}$	$H = C_{out-path} / C_{in-path}$
L'effort de branchement	$b_i = C_{Total} / C_{Utile}$	$B = \prod b_i$
L'effort	$f = gh$	$F = GBH$
L'effort de l'étage	$\hat{f} = F^{1/N}$	

**L'effort logique  $g$**  donne une indication sur combien de fois une porte produit moins de courant en sortie qu'un inverseur de base (pour la même capacité en entrée). On exprime l'effort logique d'un chemin par  $G = \prod g_i$ .  $g$  est l'effort logique de l'étage.

**L'effort électrique  $h$**  décrit l'environnement électrique de la porte logique et comment il affecte les performances et la taille des transistors de la porte (cela revient à déterminer la sortance ou *fan-out* en anglais). La sortance est ici exprimée en termes de capacité et non en nombre de portes équivalentes. L'effort logique est exprimé par la formule  $h = C_{out} / C_{in}$  pour un étage et par  $H = C_{out-path} / C_{in-path}$  pour un chemin avec :

- $C_{out}$  ( $C_{out-path}$ ) est la capacité de la charge en sortie de la porte (sans les capacités parasites internes). Le terme est au numérateur car plus la charge en sortie est grande plus le délai pour la charger est grand (hypothèse : charge d'un condensateur par un courant constant).

- $C_{in}$  ( $C_{in-path}$ ) est la capacité d'entrée de la porte (fonction de la taille des transistors reliés aux entrées). Le terme est au dénominateur car, en supposant les transistors de longueur minimale, le courant dans le transistor dépend linéairement de sa largeur (donc de sa capacité pour L donné).

**L'effort de branchement**  $b$  d'une porte est introduit pour tenir compte du *fanout* interne d'une porte qui n'est pas uniquement sur le chemin considéré (non reliée à la sortie). Il est exprimé par  $b_i = C_{Total}/C_{Utile}$  pour un étage et  $B = \prod b_i$  pour un chemin.

Le délai sur tout le chemin est minimal quand tous les étages supportent le même effort  $\hat{f} = g_i h_i = F^{1/N}$  avec  $F$  l'effort sur tout le chemin :  $F = GBH$ . Alors On peut dimensionner les étages en appliquant :

$$g_i h_i = F^{1/N} \quad \text{soit} \quad \frac{C_{in,i}}{C_{out,i}} = \frac{g_i}{\hat{f}} \quad (4-1)$$

### 3.1.2. Application de la méthode à l'étage de l'oscillateur

Ici on applique la méthode de l'effort logique afin d'obtenir une règle de dimensionnement de l'étage dans le but d'avoir l'étage le plus rapide possible. La méthode est appliquée sur la structure dynamique, mais on estime que les résultats seront valables pour les quatre structures car les transistors de maintien sont de tailles suffisamment petites par rapport aux transistors de basculement pour qu'on puisse négliger leur effet.

Dans la structure de l'anneau asynchrone, la sortie de chaque étage est reliée à l'entrée  $F$  de l'étage suivant et l'entrée  $R$  de l'étage précédent. Donc chaque étage est chargé par :

$$C_{out} = C_R + C_F \quad (4-2)$$

$$C_F = (1 + \gamma)W_n \quad (4-3)$$

et

$$C_R = U_2 \times (1 + \gamma)W_n \quad (4-4)$$

La capacité de sortie de l'étage est

$$C_{out} = (U_2 + 1) \times (1 + \gamma) W_n \tag{4-5}$$

où  $C_F$ ,  $C_R$  et  $C_{out}$  sont respectivement les capacités des entrées F, R et la sortie de l'étage.  $\gamma$  est le ratio de la largeur des transistors PMOS sur la largeur des transistors NMOS  $\gamma = w_p/w_n$ .  $U_1$  et  $U_2$  sont les rapports entre la largeur du transistor NMOS de l'arbre principal de la porte et les largeurs des transistors NMOS des inverseurs de sortie et d'entrée (figure 4-6).

On commencera par l'étude du chemin  $R \rightarrow C$ , ce chemin est composé de trois sous-étages, l'inverseur d'entrée, l'arbre principal de la porte de Muller et l'inverseur de sortie.

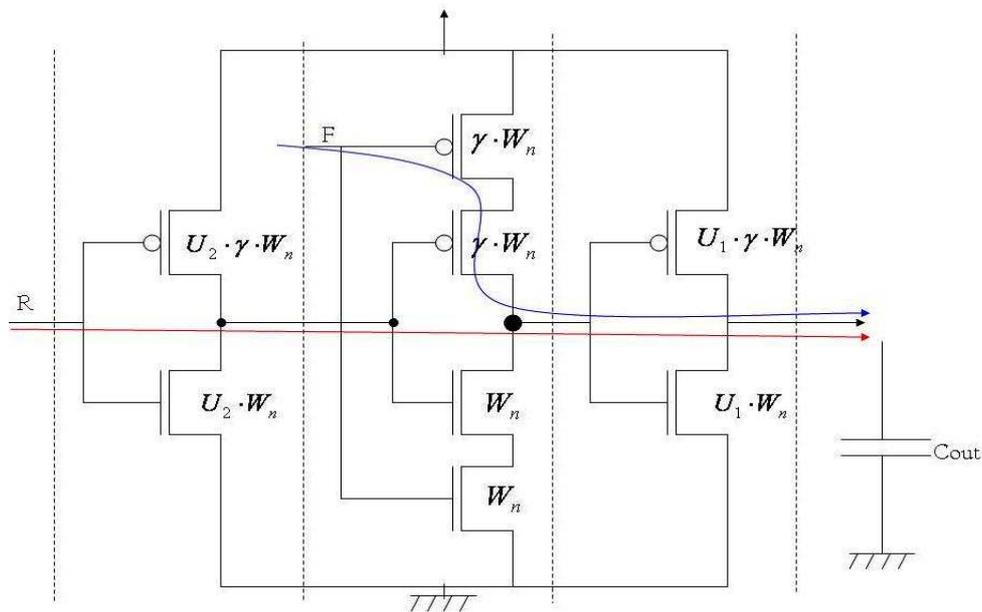


Figure 4-6: L'étage dynamique de l'oscillateur asynchrone

L'effort logique de l'étage  $H_{R \rightarrow C} = \frac{C_{out}}{C_{in}} = \frac{C_R + C_F}{C_R} = 1 + \frac{C_F}{C_R} = 1 + \frac{1}{U_2}$  (4-6)

L'effort de branchement  $B = \sum b_i = 1 \times 1 \times 1 = 1$  (4-7)

L'effort logique  $G = \sum g_i = 1 \times 2 \times 1 = 2$  (4-8)

L'effort du chemin  $R \rightarrow C$   $F = G \times B \times H = 2 \times \left(1 + \frac{1}{U_2}\right)$  (4-9)

L'effort de l'étage pour avoir le délai minimum est :

$$\hat{f} = F^{1/N} = \left(2 + \frac{2}{U_2}\right)^{1/3} \quad (4-10)$$

On sait, selon le modèle, que pour avoir le délai minimum il faut respecter la relation suivante  $\frac{C_{in}}{C_{out}} = \frac{g_i}{\hat{f}}$ . En appliquant cette règle sur notre circuit, on trouve :

$$\frac{C_{in_1}}{C_{out}} = \frac{1}{\left(2 + \frac{2}{U_2}\right)^{1/3}} = \frac{(1+\gamma) \cdot U_1}{(U_2+1) \times (1+\gamma)} = \frac{U_1}{1+U_2} \quad (4-11)$$

$$\frac{C_{in_2}}{C_{in_1}} = \frac{2}{\left(2 + \frac{2}{U_2}\right)^{1/3}} = \frac{(1+\gamma)}{(1+\gamma) \cdot U_1} = \frac{1}{U_1} \quad (4-12)$$

$$\frac{C_{in}}{C_{in_2}} = \frac{1}{\left(2 + \frac{2}{U_2}\right)^{1/3}} = \frac{(1+\gamma) \cdot U_2}{(1+\gamma)} = U_2 \quad (4-13)$$

avec  $C_{in}$ ,  $C_{in_1}$  et  $C_{in_2}$  respectivement les capacités d'entrée de l'inverseur d'entrée, de l'arbre principal de la porte de Muller et de l'inverseur de sortie.

A partir de l'équation (4-13) on trouve que  $U_2=0.56$ , et à partir des équations (4-11) et (4-12) on trouve que  $U_1=0.89$ .

Nous allons suivre les mêmes étapes pour le chemin  $F \rightarrow C$  qui est composé de deux sous-étages ; l'arbre principal de la porte de Muller et l'inverseur de sortie.

L'effort logique de l'étage  $H_{F \rightarrow C} = \frac{C_{out}}{C_{in}} = \frac{C_R + C_F}{C_F} = 1 + \frac{C_R}{C_F} = 1 + U_2 \quad (4-14)$

L'effort de branchement  $B = \sum b_i = 1 \times 1 = 1 \quad (4-15)$

L'effort logique  $G = \sum g_i = 1 \times 2 = 2 \quad (4-16)$

L'effort du chemin  $F \rightarrow C$   $F = G \times B \times H = 2 \times (1 + U_2) \quad (4-17)$

L'effort de l'étage pour avoir le minimum délai est :

$$\hat{f} = F^{1/N} = (2 + 2 \cdot U_2)^{1/2} \quad (4-18)$$

$$\frac{C_{in_1}}{C_{out}} = \frac{1}{(2 + 2 \cdot U_2)^{1/2}} = \frac{(1 + \gamma) \cdot U_1}{(U_2 + 1) \times (1 + \gamma)} = \frac{U_1}{1 + U_2} \quad (4-19)$$

$$\frac{C_{in_2}}{C_{in_1}} = \frac{2}{(2 + 2 \cdot U_2)^{1/2}} = \frac{(1 + \gamma)}{(1 + \gamma) \cdot U_1} = \frac{1}{U_1} \quad (4-20)$$

On trouve que  $U_1=0.89$  et  $U_2=0.56$  sont des solutions à ces deux équations ((4-19) et (4-20)).

### 3.2. Dimensionnement par simulations électriques

Afin de comparer les résultats de ce modèle, on a réalisé des simulations sous Cadence avec la technologie CMOS065 de STMicroelectronics à l'aide de l'outil ICAlyste de Mentor Graphics qui se base sur des simulations Eldo RF.

Le but étant de trouver les règles de dimensionnement pour avoir la porte de Muller ou plus précisément l'étage de l'anneau le plus optimisé en termes de vitesse, de consommation et de bruit de phase. Nous avons simulé quelques exemples d'anneaux avec les différentes implémentations de la porte de Muller et nous avons comparé les performances des quatre implémentations présentées au début de ce chapitre.

Nous avons réalisé un balayage des valeurs des paramètres  $U_1$  et  $U_2$ , et pour chaque valeur du couple  $(U_1, U_2)$  nous extrayons la fréquence, le bruit de phase, le FOM et une estimation de la surface pour une consommation donnée. Nous avons effectué ces simulations pour différentes configurations Jetons/Bulles et pour les quatre implémentations de la porte de Muller à différentes valeurs de  $\gamma = \omega_p / \omega_n$  et à différents niveaux de consommation. Pour chaque configuration nous cherchons la valeur du couple  $(U_1, U_2)$  afin d'avoir l'étage le plus rapide.

Par la suite, nous avons comparé les différentes implémentations de la porte de Muller entre elles avec les valeurs de  $U_1$  et  $U_2$  optimales en termes de vitesse.

### 3.3. Fréquence optimale d'oscillation

Les Figures 4-7 et 4-8 présentent le résultat des simulations de la fréquence en fonction des paramètres  $U_1$  et  $U_2$ . On remarque qu'il existe un point optimum en vitesse. Le tableau 4-2 présente ce point optimum pour différentes combinaisons Jetons/Bulles.

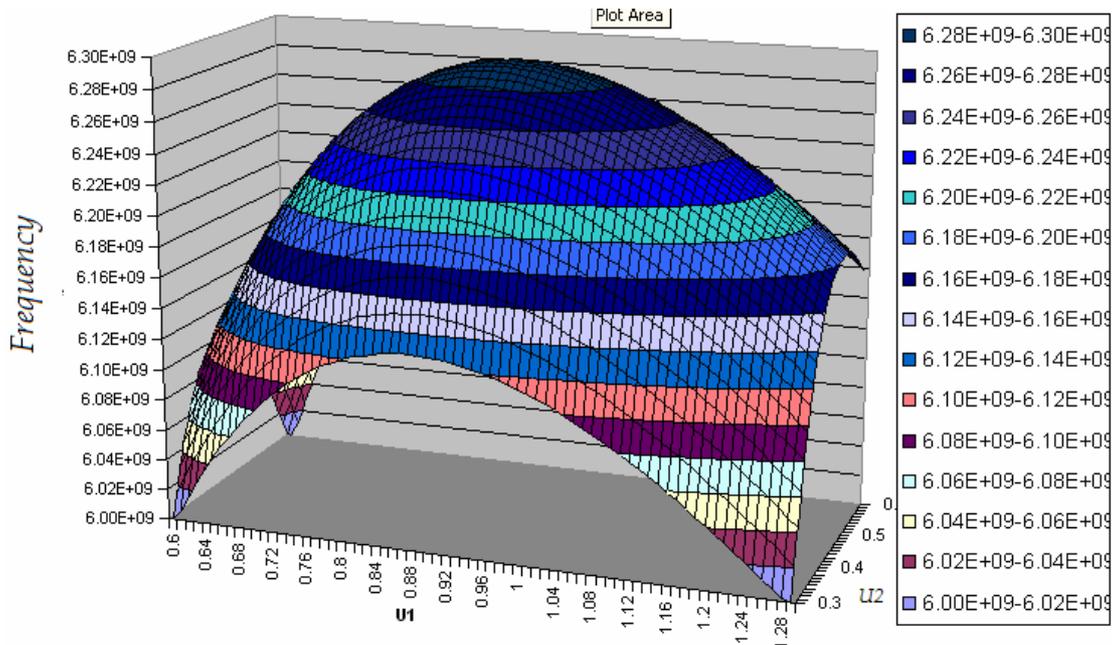


Figure 4-7 : La fréquence d'oscillation en fonction de ( $U_1$ ,  $U_2$ ) en 3D

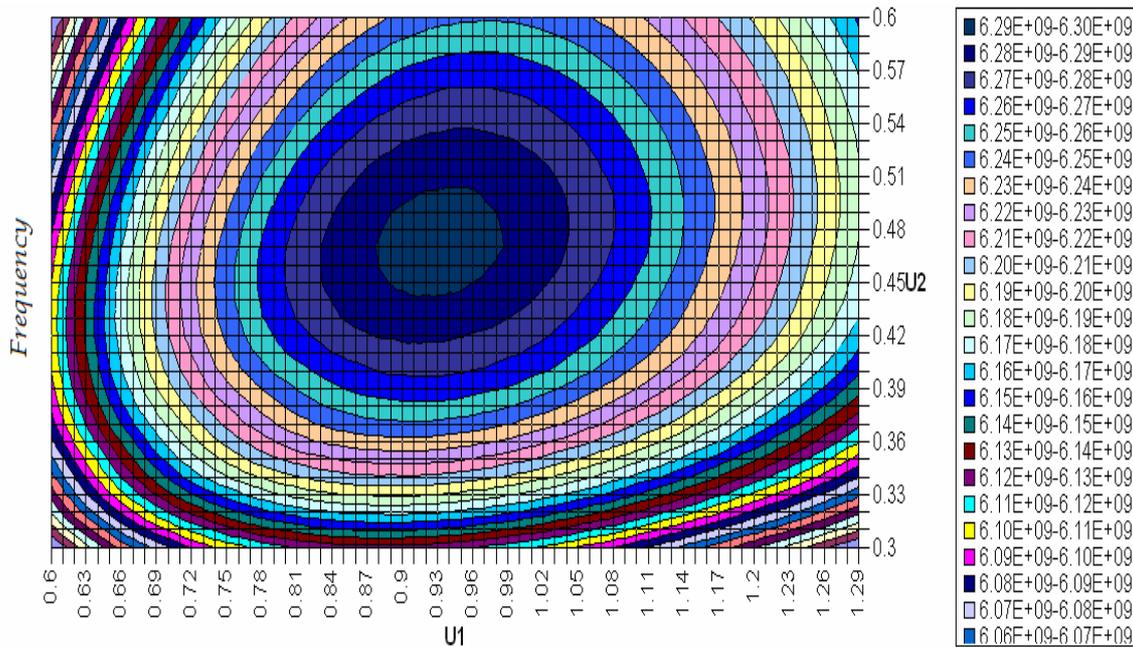


Figure 4-8 : La fréquence d'oscillation en fonction de ( $U_1$ ,  $U_2$ ) en 2D

Tableau 4-2: Les valeurs d' $U_1$  et  $U_2$  de la fréquence optimale

Anneaux	Freq. optimale	
	$U_1$	$U_2$
3 étages 1B/2T	1	0.9
4 étages 2B/2T	1	0.9
5 étages 1B/4T	1	0.9
5 étages 3B/2T	0.9	0.5

On remarque que le point optimum en vitesse dans les trois premiers cas est  $(U_1, U_2) = (1, 0.9)$ . Pour la configuration 3B/2T, le point optimal est localisé à  $(U_1, U_2) = (0.9, 0.5)$ . C'est la seule configuration qui corresponde aux résultats obtenus par la méthode de l'effort logique.

Dans les cas 1B/2T, 2B/2T et 1B/4T le point de fonctionnement se situe dans la partie limitée en bulles du diagramme de Charlie ( $D_{rr} \geq D_{ff}$ ). Donc seul le délai  $D_{rr}$  intervient dans le calcul de la fréquence d'oscillation. L'optimisation se fait sur un seul chemin  $D_{rr}$ . L'égalité  $N_T/N_B = D_{ff}/D_{rr}$  qui correspond à la fréquence maximale ne peut être atteinte car elle exige d'avoir un  $D_{ff} \geq D_{rr}$  ce qui est impossible avec la structure proposée. Dans ce cas, l'algorithme cherche à optimiser le chemin  $R \rightarrow C$  en prenant en compte l'entrée F comme une capacité car  $D_{ff}$  ne participe pas au fonctionnement de l'oscillateur et donc au calcul de la fréquence d'oscillation. Cela explique les différences avec les valeurs obtenues par la méthode de l'effort logique.

Dans le cas 3B/2T, l'égalité  $N_T/N_B = D_{ff}/D_{rr}$  (fréquence maximale) est facilement atteignable et l'optimisation s'effectue sur les deux chemins  $R \rightarrow C$  et  $F \rightarrow C$ , ce qui explique la validité des résultats obtenus par la méthode de l'effort logique.

Nous avons effectué les mêmes simulations pour les quatre implémentations, les résultats sont identiques. Nous remarquons aussi que le point optimum en vitesse correspond toujours au point optimum en FOM, ce qui confirme notre hypothèse de départ. Par conséquent, une optimisation en vitesse de l'étage nous permettra aussi de réduire le bruit de phase de l'oscillateur. De plus, ce point optimum se situe toujours dans une zone où la surface est très réduite.

### 3.4. Comparaison des différentes implémentations.

#### 3.4.1. Fréquence vs. Consommation

La figure 4-9 représente la fréquence en fonction de puissance dynamique consommée par l'oscillateur dans le cas optimal pour les quatre implémentations de la porte de Muller. Nous avons choisi une configuration de cinq étages avec 2 jetons et 3 bulles. La consommation dynamique de puissance est calculée avec un  $w_n$  qui varie de  $0.12 \mu\text{m}$  et  $3 \mu\text{m}$ .

Nous avons effectué cette simulation pour différentes configurations et pour différentes valeurs de  $\gamma = w_p/w_n$ . Les conclusions sont identiques quelle que soit la configuration et la valeur de  $\gamma$  : L'implémentation dynamique est le meilleur choix pour les applications rapides à basse consommation. L'implémentation symétrique est le meilleur compromis entre la basse consommation, la haute fréquence et la robustesse de fonctionnement du circuit. Les implémentations conventionnelle et "weak feedback" nous permettent d'osciller à des fréquences plus basses avec une surface réduite.

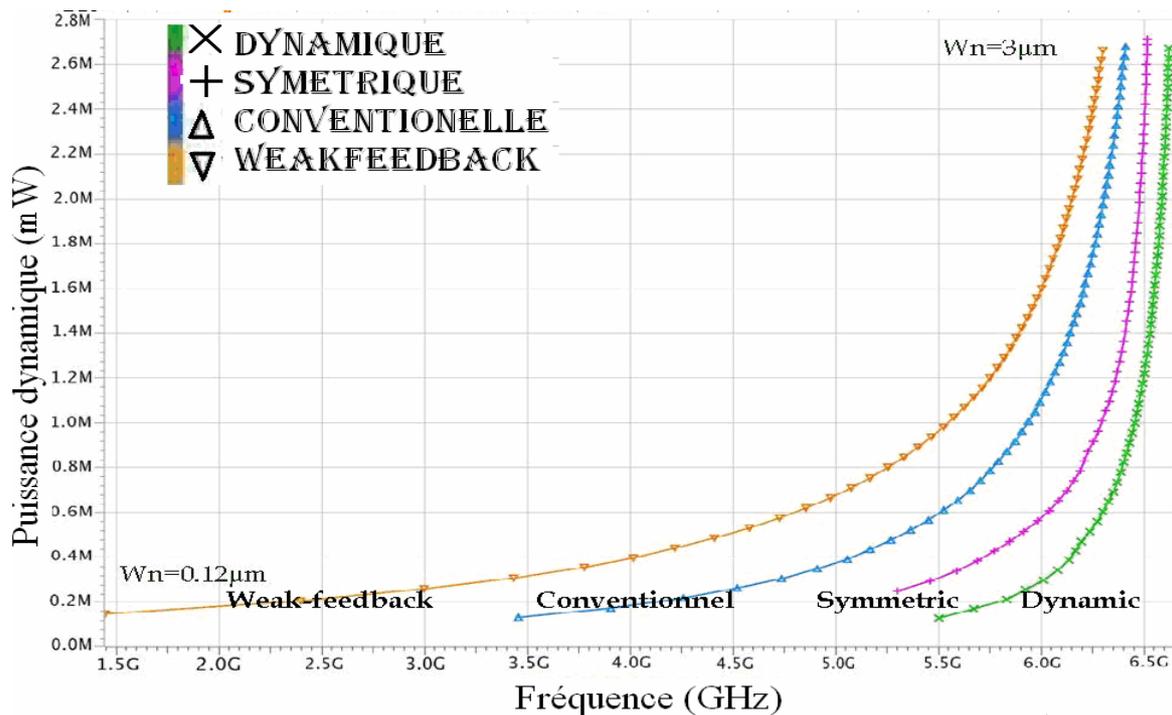


Figure 4-9 : La consommation dynamique vs. Fréquence

La fréquence maximale qu'on peut atteindre avec cette structure des oscillateurs asynchrones en anneau est de 6.6 GHz environ avec l'implémentation dynamique en utilisant la technologie CMOS 65 nm de STMicroelectronics.

Dans le but d'améliorer les performances des oscillateurs asynchrones en anneau, nous proposons un étage modifié. L'étage modifié est simplement la porte de Muller sans l'inverseur à l'entrée R et avec des sorties complémentaires C et C'.

### 3.4.2. L'étage modifié de l'oscillateur en anneau asynchrone

La figure 4-10 représente la structure de l'oscillateur en anneau asynchrone modifié que nous proposons. Pour chaque étage, la sortie C est reliée à l'entrée F de l'étage suivant et la sortie complémentaire C' est connectée à l'entrée R de l'étage précédent.

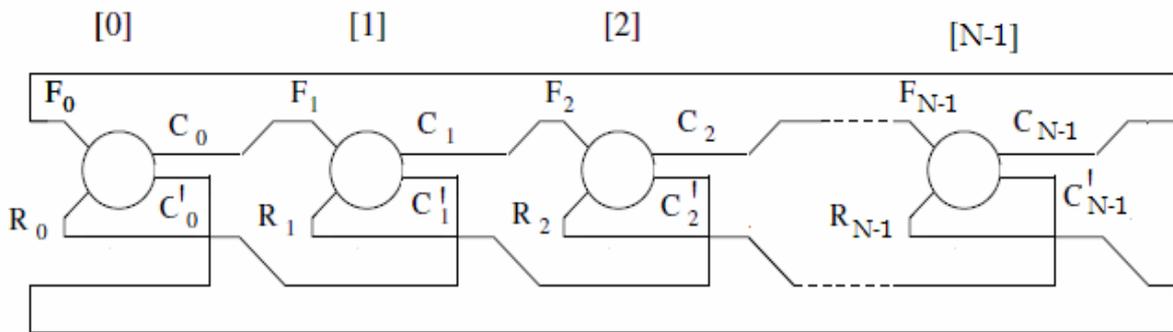


Figure 4-10 : L'oscillateur en anneau asynchrone modifié

Cette nouvelle structure nous permet d'augmenter la fréquence d'oscillation maximale de 25% et de réduire la consommation de puissance de 55% à la fréquence maximale et de 30% par jeton ou bulle. Avec cette structure modifiée nous atteignons la fréquence maximale de 8.3 GHz avec l'implémentation symétrique en CMOS065. (Voir tableau 4-3)

Tableau 4-3: La fréquence et la consommation pour différentes config.

Config.	Modifié 2T/1B	Classique 2T/3B	Modifié 2T/3B
Freq.(GHz)	7.9	6.4	6.1
Conso. ( $\mu$ W)	398	892	698

La figure 4-9 représente la consommation de puissance en fonction de la fréquence en utilisant l'étage modifié. Les résultats de comparaison sont très proches des résultats obtenus précédemment. La principale différence est que les performances de l'implémentation dynamique sont très proches de l'implémentation dynamique voire meilleures quand  $\omega_n$  est assez large. Cette amélioration est due à la structure particulière de l'implémentation symétrique dont l'arbre principal est divisé en deux parties. En effet, pour l'implémentation dynamique, les transistors NMOS and PMOS atteignent leur délai de

saturation plus tôt que les transistors de l'implémentation symétrique, et pour un  $w_n$  large l'effet des transistors du maintien devient négligeable. En plus, l'implémentation symétrique assure un comportement correct de la porte de Muller à basse fréquence.

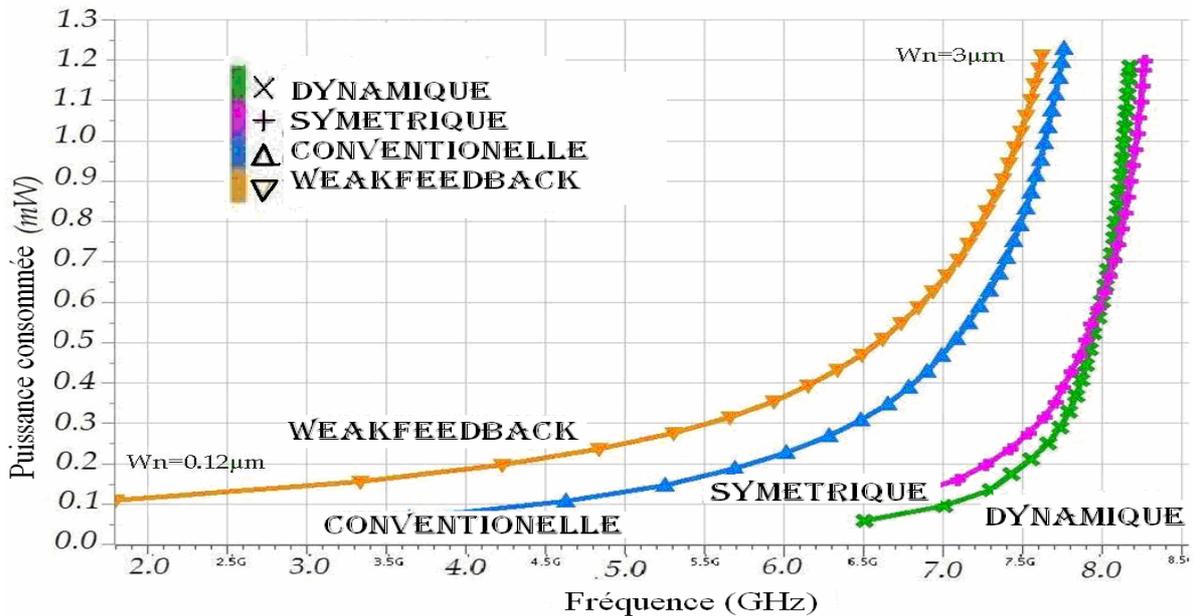


Figure 4-11 : La consommation dynamique Vs. Fréquence pour les anneaux modifiés

Comme on peut remarquer à partir des figures 4-9 et 4-11, l'implémentation "weak feedback" dispose d'une plage de fréquence très large à l'opposé des implémentations symétrique et dynamique qui disposent d'une plage réduite de fréquence. En outre, l'implémentation "weak feedback" nous permet d'atteindre des fréquences basses à faible coût grâce à une surface réduite.

### 3.4.3. Le bruit de phase

La figure 4-12 montre le facteur de mérite (FOM) en fonction de la largeur  $w_n$ . Cette figure montre que les performances en termes de bruit de phase de l'implémentation "weak feedback" sont mauvaises par rapport aux autres implémentations. On note également que l'implémentation conventionnelle a un bruit de phase plus faible dans la majorité des cas.

On peut remarquer aussi à partir de la figure 4-11, qui présente une comparaison en termes de bruit de phase, que pour une fréquence donnée, la performance en bruit de phase est meilleure en utilisant une implémentation conventionnelle plutôt qu'une implémentation "weak feedback" bien que cette dernière consomme plus de puissance (normalement plus on consomme plus on améliore la performance en bruit de phase).

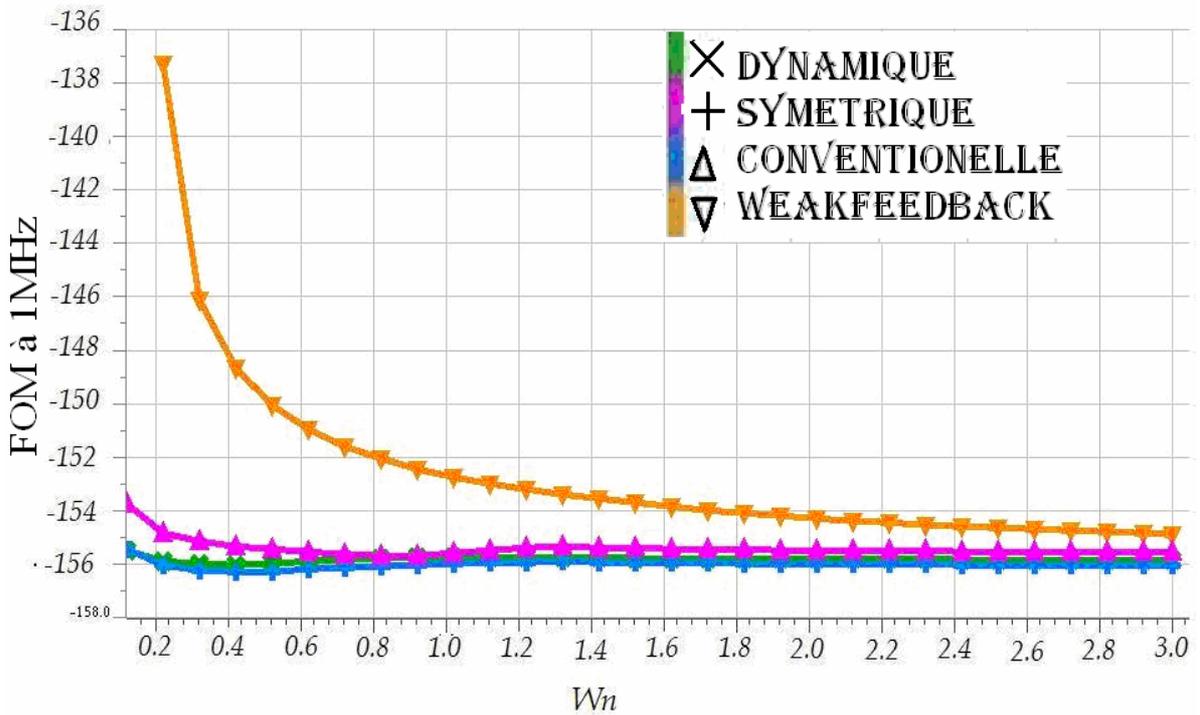


Figure 4-12 : Le facteur de mérite en fonction de la largeur  $w_n$

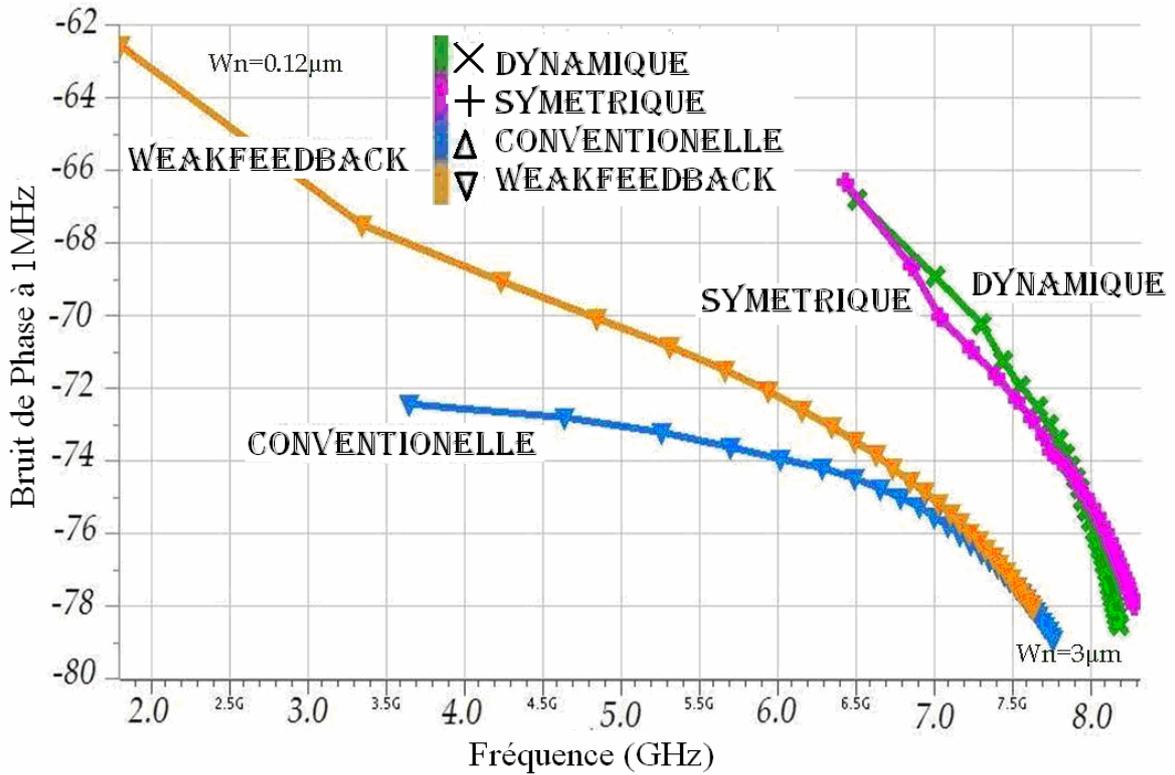


Figure 4-13 : Le bruit de Phase en fonction de la fréquence d'oscillation

## 4. Conclusions

Dans ce chapitre, une comparaison des différentes implémentations de la porte de Muller en termes de vitesse, de consommation, de puissance et de bruit de phase a été faite. Nous avons utilisé dans un premier temps la méthode de l'effort logique afin de déterminer les règles de dimensionnement des étages. Nous avons ensuite effectué des simulations électriques pour confirmer ces résultats théoriques. Cela nous permet de conclure que la méthode de l'effort logique est un bon point de départ pour commencer la conception, mais elle n'est pas suffisante dans le cas des oscillateurs en anneau asynchrones. Les règles de dimensionnement dépendent aussi de la configuration initiale des oscillateurs (en termes de jetons et de bulles), donc les simulations électriques sont nécessaires pour optimiser les performances.

Les comparaisons faites nous permettent de conclure que l'implémentation symétrique est un bon compromis entre la basse consommation et le comportement correct de la porte de Muller. Pour les applications à hautes fréquences, les implémentations dynamique et symétrique sont les meilleures candidates. Les implémentations conventionnelle et "weak feedback" nous permettent en revanche d'accéder à des fréquences plus basses avec un faible coût en surface. Pour les applications à faible bruit, on recommande fortement d'éviter l'utilisation de l'implémentation "weak feedback" et ici l'implémentation conventionnelle semble être le bon choix. Nous avons aussi proposé un étage modifié de l'anneau, Composé seulement par une porte de Muller avec une sortie complémentaire C', qui nous permet d'augmenter la fréquence maximale de 30% et de réduire la consommation de puissance de 55% à la fréquence maximale. Le tableau 4-4. présente une comparaison sommaire entre les différentes implémentations. On note que cette comparaison est valable aussi bien pour les étages classiques que les étages modifiés.

Tableau 4-4 : Comparaison entre les quatre implémentations

	Fréquence	Conso.	Bruit de phase	FOM	Plage de fréquence
<i>Dynamique</i>	Haute	Faible	Haut	Faible	Courte
<i>Symétrique</i>	Haute	Faible	Haut	Faible	Courte
<i>Conventionnelle</i>	Moyenne	Moyenne	Faible	Faible	Moyenne
<i>Weak feed-back</i>	Faible	Importante	Moyen	Haut	Large

*Partie III.*

*Applications.*

---



# Chapitre 5.

## *Génération d'horloges polyphases à haute fréquence et à faible bruit de phase.*

---

### I. Introduction

Les oscillateurs sont des éléments essentiels dans de nombreuses applications. Ils font partie intégrante des PLL, des systèmes dits de “Clock recovery” et des synthétiseurs de fréquence. La conception d'horloges polyphasées à faible bruit de phase est cruciale surtout quand un grand nombre de phases est nécessaire. Il y a beaucoup de travaux dans la littérature portant sur la conception d'horloges polyphasées. Les oscillateurs à haute fréquence peuvent être implémentés en utilisant des structures en anneau, des circuits de relaxation ou des circuits LC. Il est à noter que les architectures en anneau sont intéressantes car elles peuvent facilement fournir des horloges polyphases avec une surface très réduite.

Ce chapitre propose une méthodologie pour générer des horloges polyphasées à haute fréquence basée sur un oscillateur en anneau asynchrone. Nous verrons aussi comment on peut générer des signaux en quadrature de phases simplement avec un anneau composé de quatre étages. Nous expliquerons comment la configurabilité des oscillateurs asynchrones peut être utilisée pour réduire le bruit de phase simplement en doublant le nombre d'étapes sans modification de la structure de l'étage et en gardant une même fréquence d'oscillation. Nous proposons ensuite un flot de conception pour concevoir un oscillateur polyphase à haute fréquence et à faible bruit de phase. Ce travail a été publié dans VLSI-Soc'10 [ELI 10b] et ICM'10 [ELI 10c].

Dans ce travail nous avons utilisé la technologie CMOS065nm de STMicroelectronics en utilisant la librairie TAL "TIMA Asynchronous Library" et les librairies standards de STMicroelectronics pour l'implémentation physique. Nous avons utilisé le flot de conception "Cadence". Le bruit de phase est simulé avec l'outil SSTNOISE du simulateur Eldo RF de Mentor Graphics.

## 2. Les oscillateurs polyphasés.

De nombreuses applications nécessitent une horloge à haute fréquence disposant de plusieurs phases équidistantes en sortie. On parle dans ce cas de la résolution de l'oscillateur qui est le pas de temps entre deux phases équidistantes généré par l'oscillateur. Les oscillateurs en anneau à base d'inverseurs sont très souvent utilisés pour produire ce genre de signaux. Le problème principal auquel nous sommes confrontés avec les oscillateurs à base d'inverseurs pour générer les horloges polyphasées est la dégradation en  $1/x$  de la fréquence quand un nombre de phases important est nécessaire. La fréquence produite par les oscillateurs en anneau à base d'inverseur est déterminée par le nombre d'étages dans l'anneau et le délai de l'étage. De plus, leur résolution est limitée au délai de l'étage. La seule façon pour obtenir plus de phases est d'ajouter plus d'étages, ce qui diminue la fréquence maximale et n'améliore pas la résolution du système. Par conséquent, les oscillateurs en anneau à base d'inverseurs ne peuvent pas être utilisés dans les applications nécessitant des horloges à haute fréquence et à haute résolution.

Un exemple d'application, qui ne peut pas utiliser d'oscillateur en anneau à base d'inverseurs, est le générateur de signaux à haute précision utilisés pour la vérification fonctionnelle de circuit intégré monolithique [GAS 90]. Lors du test des circuits intégrés numériques, le délai de résolution qui est nécessaire pour avoir des mesures précises est souvent plus petit que le délai d'une porte du dispositif sous test. Cette résolution fine peut être obtenue seulement avec des oscillateurs en anneau en utilisant une technologie de circuits intégrés plus rapide que pour le dispositif sous test.

Le principal problème dans l'utilisation des oscillateurs à base d'inverseurs est la baisse de fréquence lorsqu'un nombre considérable de phases est nécessaire. De multiples techniques architecturales ont été proposées pour augmenter la fréquence maximale des oscillateurs en anneau à base d'inverseurs avec des sorties polyphasées. Certaines de ces techniques incluent l'utilisation de boucles de rétroaction [SUN 99] [SUN 01], de méthodes d'interpolation des sorties [SUG 97], de boucles de rétroaction multiples [JEO 99], d'inverseurs à retard négatifs [LEE 97] et d'oscillateurs couplés [MAN 94]. Cependant,

toutes ces techniques nécessitent une calibration soignée pour arriver à une haute précision et leur résolution demeure limitée. La modification de l'architecture augmente la fréquence d'oscillation, mais le bruit de phase et la gigue sont également des considérations importantes. Les oscillateurs en anneau ont souvent recours à des étages de gain analogique, mais la polarisation des transistors en conduction continue augmente leur contribution au bruit total [EKE 04].

Un cas particulier des oscillateurs polyphasés sont les oscillateurs qui génèrent des signaux en quadrature de phase. La complexité de ces systèmes montre clairement que les architectures d'émetteurs/récepteurs radiofréquences utilisent systématiquement des générateurs de fréquence en quadrature de phase aussi bien en émission qu'en réception et l'importance de la précision du déphasage de  $90^\circ$  sur les performances des systèmes [COR 04]. La génération de signaux en quadrature de phase nécessite un anneau à base d'inverseurs avec un nombre pair d'étages. Or, comme nous avons vu dans le premier chapitre, cela n'est malheureusement pas possible avec la structure standard de ces oscillateurs. Pour cela il faut utiliser des structures différentielles de type CML "Current Mode Logic" [HAJ 99] ou des boucles de rétroaction [SUN 99].

Avec les technologies nanométriques, il est nécessaire de faire face à la variabilité des procédés de fabrication, à la stabilité dans le temps et au bruit de phase. Aujourd'hui, de nombreuses études sont menées sur les oscillateurs en anneau asynchrones qui présentent des caractéristiques bien adaptées pour la gestion de la variabilité des processus en offrant une structure appropriée pour limiter le bruit de phase. Par conséquent, les oscillateurs en anneau asynchrones sont considérés comme une solution prometteuse pour générer des horloges. S. Fairbanks et S. Moore dans [FAI 04] ont introduit l'idée d'exploiter des oscillateurs en anneau asynchrones pour générer des signaux de synchronisation à haute résolution. Leur robustesse vis-à-vis de la variabilité par rapport aux anneaux à base d'inverseurs est prouvée dans [HAM 08]. Comme nous l'avons vu dans le chapitre 3, la fréquence d'oscillation des oscillateurs en anneau asynchrone ne dépend pas seulement du nombre d'étages, mais aussi du nombre de jetons et de bulles. Ils peuvent être facilement configurés pour changer leur fréquence. Le contrôle de la fréquence s'obtient en modifiant l'initialisation des anneaux, ce qui est impossible à réaliser avec des anneaux à base d'inverseurs qui, eux, ne sont pas programmables.

### 3. Les phases dans les oscillateurs en anneau

#### 3.1. Les phases dans les oscillateurs à base d'inverseurs

Le nombre de phases et la fréquence d'oscillation dans les oscillateurs à base d'inverseurs dépendent du nombre d'inverseurs. La fréquence est exprimée par la formule (5-1).

$$F_{\text{OSC-INV}} = \frac{1}{2 \cdot D_{\text{inv}} \cdot N} \quad (5-1)$$

où  $D_{\text{inv}}$  est le délai de l'inverseur et  $N$  est le nombre d'étages dans l'anneau.

Le nombre de phases équidistantes différentes est égal au nombre d'étages  $N$ . la fréquence d'oscillation est inversement proportionnelle au nombre d'étages et le nombre de phases est directement lié au nombre d'étages. Plus le nombre de sorties polyphasées est important, plus la fréquence est réduite. Les solutions proposées pour augmenter la fréquence sont vraiment limitées dans le cas d'un nombre important de sorties polyphasées [SUN 01] [LEE 97] [MAN 94].

#### 3.2. Les phases dans les oscillateurs en anneau asynchrones

Dans le cas des oscillateurs en anneau asynchrones, la fréquence d'oscillation ne dépend pas du nombre d'étages dans l'anneau, mais dépend du rapport jetons/bulles. La fréquence est fixée par le rapport  $N_T/N_B$ . On notera  $N_{\text{min}}$  le nombre minimum d'étages qui satisfait ce rapport. Le nombre de phases différentes  $N_{\text{ph}}$  est égale à  $N_{\text{min}}$ . La résolution temporelle est égale à  $T_{\text{ph}} = \frac{T}{N_{\text{ph}}}$ .  $T$  est la période de l'oscillateur.

#### 3.3. Les règles de conception d'un oscillateur polyphasé à base d'anneaux asynchrones

Les anneaux asynchrones offrent des caractéristiques très intéressantes. La résolution temporelle n'est pas limitée au temps de propagation des cellules. Il n'y a donc pas de relation directe entre le nombre de phases et la fréquence d'oscillation. Avoir une haute fréquence avec une résolution fine est tout à fait possible avec les anneaux

asynchrones. Pour avoir des sorties polyphasées avec une haute fréquence d'oscillation, on doit respecter les deux conditions suivantes :

- Choisir un rapport  $N_T/N_B$  le plus proche possible de  $D_{ff}/D_{rr}$  pour atteindre la fréquence la plus élevée possible.
- Ce rapport doit être irréductible pour avoir  $N_{Ph} = N_{min} = N$ .

On rappelle que le nombre de jetons est toujours pair et donc un rapport  $N_T/N_B=10/2$  est donc considéré comme irréductible. On garde donc ici le plus grand nombre pair.

Exemples :

- Un anneau de 9 étages avec 4T/5B produit 9 phases équidistantes car  $N_{min} = N_{Ph} = 9$ .
- Un anneau de 10 étages avec 6T/4B produit 10 phases équidistantes car  $N_{min} = N_{Ph} = 10$ .
- Un anneau de 10 étages avec 4T/6B produit 5 phases équidistantes car  $N_{min} = N_{Ph} = 5$ .

Le tableau 5-1 présente la fréquence d'oscillation et le nombre des sorties polyphasées produites par différents anneaux asynchrones. Nous avons choisi pour ces exemples les étages modifiés présentés dans le Chapitre 4 et simulés en utilisant la technologie CMOS 65nm de STMicroelectronics. Nous avons choisi à chaque fois le rapport  $N_T/N_B$  le plus proche de  $D_{ff}/D_{rr}$ . Ce tableau nous montre qu'on peut atteindre une haute fréquence avec un nombre important de sorties polyphasées. Par exemple, avec un anneau de 41 étages on peut atteindre la fréquence de 7,19 GHz avec 41 sorties polyphasées soit une résolution de 3,4ps !

### 3.4. Comparaisons avec d'autres topologies

Afin de montrer l'efficacité de notre oscillateur, nous avons fait une comparaison avec les deux principales méthodes proposées pour améliorer la fréquence dans les anneaux basés sur inverseurs ; les solutions de Sun et al. [SUN 01] et Lee et al. [LEE 97]. Nous comparons la fréquence d'oscillation maximale atteignable en fonction du nombre de phases produites par les oscillateurs en anneau asynchrones classiques et modifiés, les anneaux à base d'inverseurs et les solutions de *Sun et al.* et *Lee et al.*

Notez que les résultats de *Sun et al.* et *Lee et al.* n'ont pas été simulés mais ont été estimés en fonction de l'amélioration en pourcentage rapporté dans les références [SUN 01] et [LEE 97] par rapport à l'anneau basé sur des inverseurs. Seuls les oscillateurs en anneaux

asynchrones et les oscillateurs basés sur des inverseurs classiques ont été simulés. La topologie de *Sun et al.* est basée sur l'utilisation des étages à base d'inverseurs et une technique d'interpolation servant à construire des boucles de rétroaction rapide dans une chaîne longue. Le gain en fréquence avec cette topologie est d'environ 70% par rapport à un anneau à base d'inverseur classique. *Lee et al.* utilisent la technique des inverseurs à retards négatifs, la vitesse a été améliorée de 50% par rapport à un anneau à base d'inverseurs.

Tableau 5-1 : Fréquence et nombre de Phase pour différentes configurations ( $D_{rr}=21.3ps$  and  $D_{ff}=38.2ps$ )

Nombre d'étages	Nombre de Jetons	Nombre de Bulles	Nombre de phases	Fréquence (GHz)
3	2	1	3	4.32
4	2	2	4	6.31
5	2	3	5	4.64
6	2	4	6	7.02
7	4	3	7	6.95
8	6	2	8	5.75
9	4	5	9	5.69
10	6	4	10	7.10
11	6	5	11	5.81
13	6	7	13	5.89
14	6	8	14	5.50
15	8	7	15	6.71
16	10	6	16	7.18
17	10	7	17	7.05
18	10	8	18	6.83
19	12	7	19	7.18
31	18	13	31	7.01
41	24	17	41	7.19

Comme le montre la figure 5-1, les anneaux à base d'inverseurs peuvent atteindre des fréquences plus élevées lorsqu'un faible nombre de phases est demandé. Cependant, quand un grand nombre de phases est ciblé, les anneaux à base d'inverseurs perdent leur avantage. Cette comparaison montre que l'utilisation des anneaux asynchrones pour générer des horloges polyphasées à haute fréquence est le meilleur choix quand un grand nombre de phases est nécessaire. La résolution des oscillateurs en anneau asynchrones est l'un des principaux avantages. En effet, il est possible d'augmenter le nombre de phases tout en conservant une même fréquence d'oscillation(ou du moins une fréquence proche). Cela conduit à une amélioration de la résolution de ces oscillateurs polyphasés. Par exemple, en utilisant 31 étages (comme le montre tableau 5-1), on produit une fréquence d'oscillation de 7,01 GHz avec 31 phases et une résolution de 4,6 ps. En augmentant le nombre d'étages à

41, nous atteignons une fréquence légèrement plus élevée avec 41 phases régulièrement espacées et donc avec une meilleure résolution (3,4ps). Ce résultat n'est évidemment pas réalisable avec des anneaux à base d'inverseurs. Leur résolution reste toujours déterminée par le retard de l'étage.

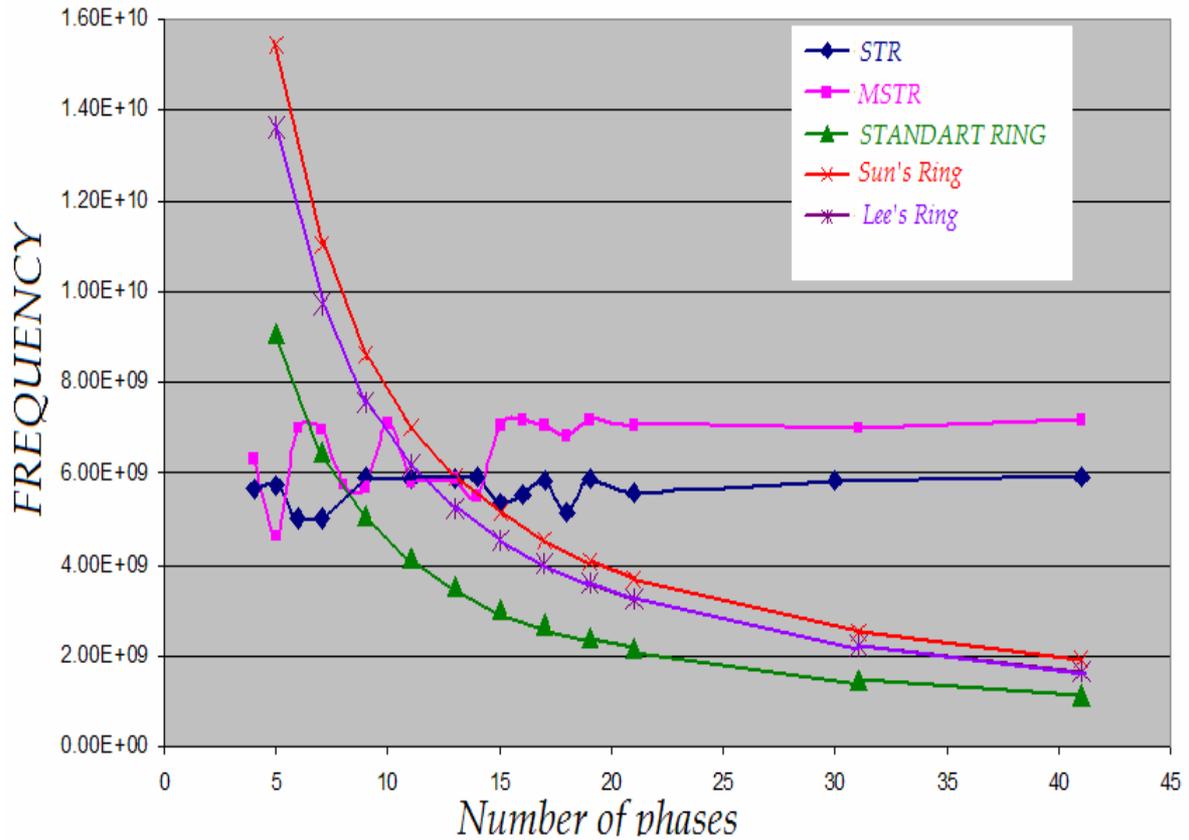


Figure 5-1: Comparaison entre les oscillateurs asynchrones et à base d'inverseurs

### 3.5. Implémentations et simulations

Le tableau 5-2 présente les performances de trois oscillateurs en anneau asynchrones polyphasés. Les paramètres temporels des étages utilisés sont  $D_{ff} = 32,4ps$  et  $D_{rr} = 42,4ps$  en utilisant des étages classiques. Nous avons conçu ces trois oscillateurs en respectant les règles énoncées dans le paragraphe 3.2 pour atteindre la fréquence maximale avec un nombre maximum de sorties polyphasées équidistantes, nous avons donc choisi des configurations jetons/bulles respectant  $N_T/N_B \approx D_{ff}/D_{rr}$  et telles que  $N_T/N_B$  soit irréductible.

Tableau 5-2 : Oscillateurs en anneau asynchrones avec le meme rapport Jetons/bulles ( $D_{ff} = 32.4\text{ps}$  et  $D_{rr} = 42.4\text{ps}$ )

Nombre d'étages	T/B	Fréqu. (GHz)	Comso. (mW)	N° de phases	Résolution (ps)	Bruit de phase à 1 MHz (dBc/Hz)
9	4/5	6.41	1.94	9	17.3	-82.9
21	10/11	6.16	4.47	21	7.7	-87.6
41	20/21	6.02	8.62	41	4	-90.7

L'anneau à 9-étages oscille avec une fréquence plus élevée que les deux autres parce que son ratio  $N_T/N_B$  est plus proche de  $D_{ff}/D_{rr}$ . Notez que la fréquence d'oscillation est totalement indépendante de la taille de l'anneau; pour d'autres paramètres temporels des étages, la fréquence d'oscillation à 41-étages peut être plus grande que celles de l'anneau à 9 étages. La figure 5-2 montre les résultats générés par l'oscillateur à 41-étages.

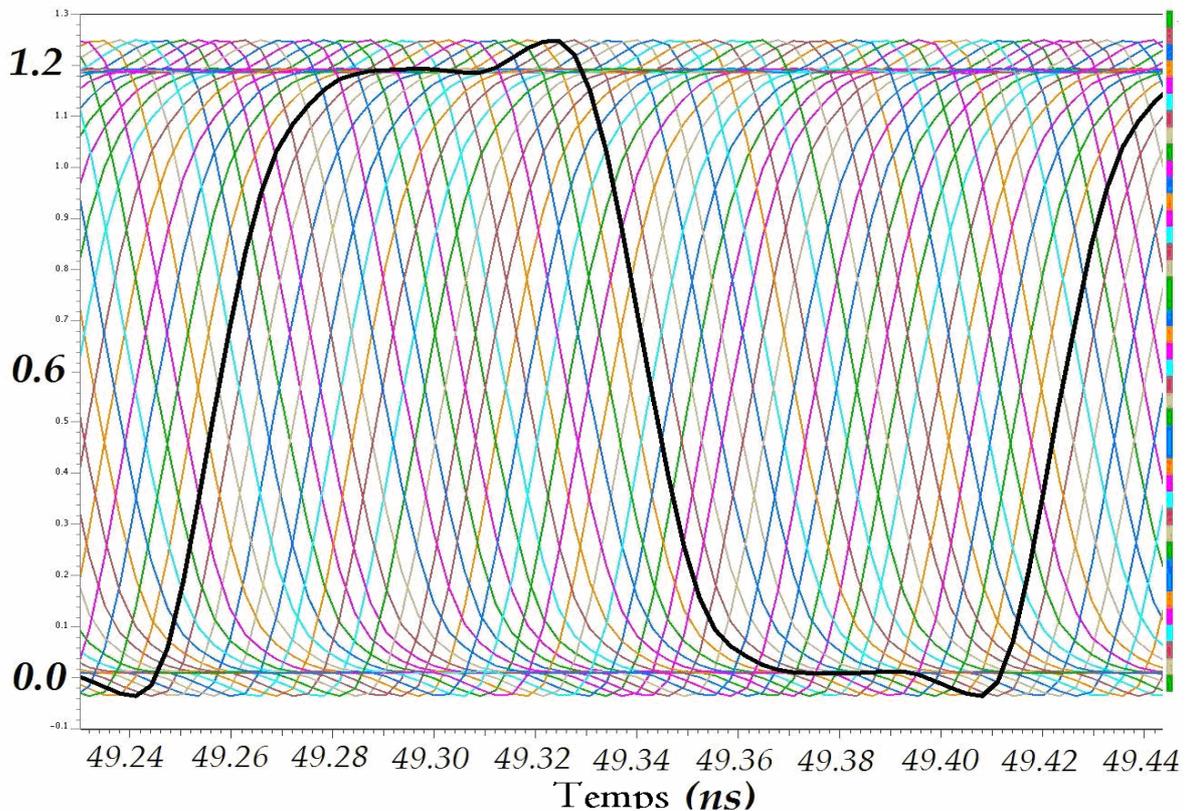


Figure 5-2: 41 phases générées par l'oscillateur asynchrone à 41 étages à 6.02 GHz.

Le tableau 5-2 montre qu'en plus de l'amélioration de la résolution obtenue en augmentant le nombre d'étages, nous avons également amélioré le bruit de phase. On a amélioré le bruit de phase de -7,8 dBc/Hz en passant de 9 étages à 41 étages. A première vue, cela peut paraître aberrant ; comment peut-on améliorer le bruit de phase en ajoutant du

matériel ? Intuitivement on dirait plutôt le contraire ! C'est ce qui est expliqué dans le paragraphe suivant.

## 4. Le bruit de phase

### 4.1. Duplication du nombre d'étages

Nous avons vu dans la Section 3 du Chapitre 1. que le bruit de phase dans les oscillateurs peut être modalisé par l'équation de Leeson (5-2)

$$L(f_m) = 10 \times \log \left( \frac{1}{2} \left[ 1 + \left( \frac{f_0}{2Qf_{\text{off}}} \right)^2 \left( 1 + \frac{f_c}{f_{\text{off}}} \right) \left( \frac{FkT_0}{P_{\text{diss}}} \right) \right] \right) \quad (5-2)$$

Q : Facteur de qualité en charge

$f_0$  : Fréquence d'oscillation.

$f_{\text{off}}$  : Fréquence de l'offset

$f_c$  : Fréquence de coupure

F : Facteur de bruit

k : La constante de Boltzmann.

$T_0$  : Température (290K).

$P_{\text{diss}}$  : Puissance consommée

Nos simulations nous ont montré qu'en doublant le nombre d'étages on améliore le bruit de phase de 3dBc/Hz. Selon l'équation de Leeson, il existe deux solutions pour améliorer le bruit de phase dans les oscillateurs : en améliorant le facteur de charge Q ou en augmentant la puissance  $P_{\text{diss}}$ . Le bruit de phase est inversement proportionnel à la puissance. On peut donc améliorer le bruit de 3dB en doublant la puissance consommée (fréquence et facteur de qualité restant inchangés). Les oscillateurs en anneaux asynchrones, qui ont le même rapport  $N_T/N_B$ , ont une même fréquence d'oscillation, une même forme d'onde en sortie et donc un même facteur de qualité Q. Selon Razavi [RAZ 96], le facteur de qualité peut être exprimé par l'équation suivante :

$$Q = \frac{\omega_0}{2} \sqrt{\left( \frac{dA}{d\omega} \right)^2 + \left( \frac{d\phi}{d\omega} \right)^2} \quad (5-3)$$

Avec A,  $\phi$  and  $\omega_0$  est l'amplitude, la phase et pulsation du signal.

Pour les oscillateurs en anneau à base d'inverseurs, la seule façon d'augmenter la consommation de puissance est d'augmenter la largeur des transistors  $w_n$ , ce qui implique un changement dans la fréquence d'oscillation. Au contraire, nous pouvons augmenter la consommation d'énergie dans les STR tout en conservant la même fréquence d'oscillation,

ce qui est réalisable en augmentant le nombre d'étages tout en maintenant constant le rapport jetons/Bulles. Cette propriété est très intéressante dans les oscillateurs en anneau asynchrones car elle nous permet d'avoir un degré de liberté supplémentaire au cours de la phase de conception.

Tableau 5-3: Les performances des oscillateurs asynchrones à  $R=2$

Nombre d'étages	T/B	Freq. (GHz)	Conso. (mW)	Bruit de phase à 1MHz (dBc/Hz)	Bruit de phase à 10MHz (dBc/Hz)
3	2T/1B	3.95	0.454	-82.97	-109.07
6	4T/2B	3.95	0.908	-85.98	-112.08
9	6T/3B	3.95	1.369	-87.74	-113.84
12	8T/4B	3.95	1.817	-88.99	-115.09
15	10T/5B	3.95	2.272	-89.96	-116.06
18	12T/6B	3.95	2.726	-90.75	-116.85
24	16T/8B	3.95	3.635	-92	-118.1

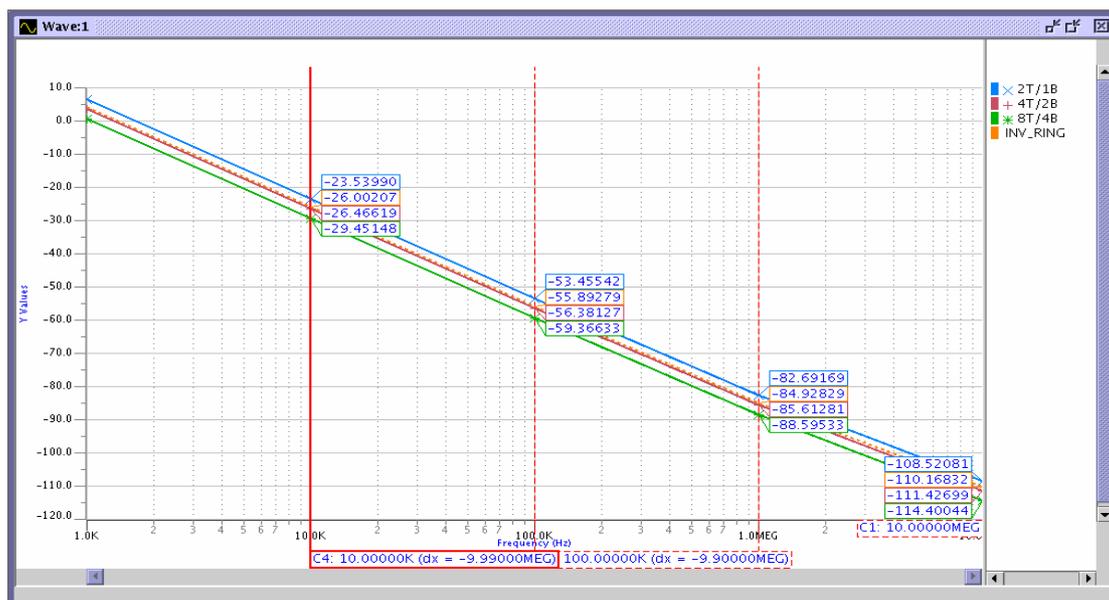


Figure 5-3 : Le bruit de phase dans les oscillateurs asynchrones 2T/1B, 4T/2B, 8T/4B et un oscillateur à base d'inverseurs.

Le tableau 5-3 et la figure 5-3 présentent les performances des oscillateurs en anneau asynchrones avec un rapport  $N_T/N_B=2$ . Ces oscillateurs oscillent à la même fréquence. Le bruit de phase est réduit de 3 dB lorsque le nombre d'étages est doublé, ce qui

confirme notre analyse. Bien sûr, nous ne pouvons pas avoir un bruit de phase nul avec un nombre très important d'étages due au plancher de bruit imposé par le bruit thermique HF.

La figure 5-3 présente les résultats de la simulation des oscillateurs asynchrones 2T/1B, 4T/2B, 8T/4B. Nous avons simulé à titre de comparaison aussi un oscillateur en anneau à base d'inverseurs avec la même fréquence environ (13 étages, 4.17Ghz, 546  $\mu$ A) que les oscillateurs asynchrones. On remarque qu'il se situe dans le même ordre de grandeur en termes de bruit de phase que les oscillateurs asynchrones. On note l'amélioration de 3dBc/Hz du bruit de phase quand on double le nombre d'étages, ce qui est irréalisable avec les oscillateurs à base d'inverseurs.

## 4.2. La symétrie entre les fronts

Pour deux oscillateurs avec des largeurs différentes  $w_n$  (largeur du canal NMOS) qui oscillent à la même fréquence et consomment la même quantité d'énergie, l'anneau qui a le plus grand  $w_n$  sera meilleur en termes de bruit de phase. Cela est dû au fait qu'une plus grande largeur  $w_n$  se traduit par des transitions plus rapides. Ceci peut être expliqué par la fonction de sensibilité impulsionnelle ISF introduite par Hajimiri [HAJ 99] et présentée dans le Chapitre 1. qui représente la sensibilité du signal à la perturbation.

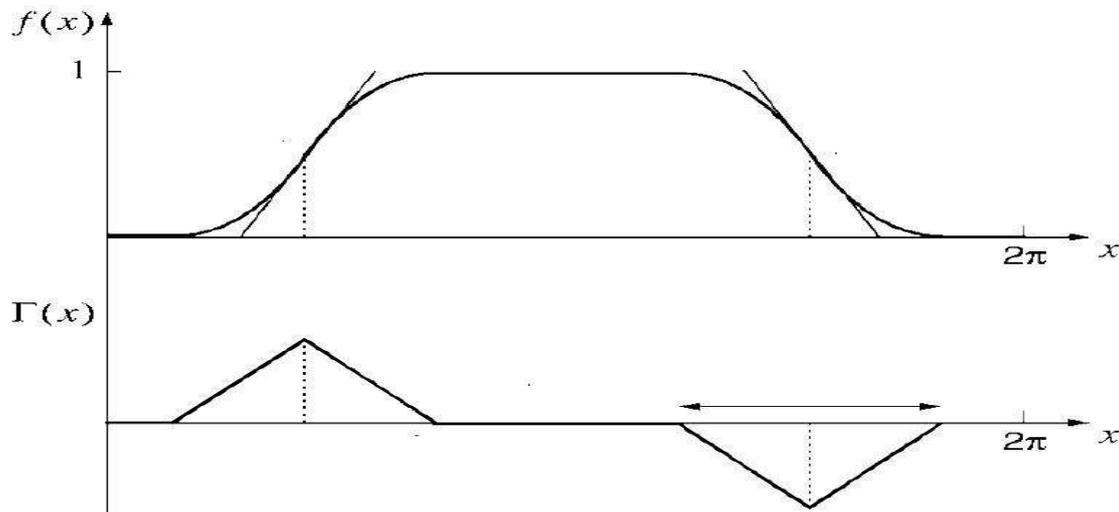


Figure 5-4 : Les formes d'onde approximative et de l'ISF

Un autre point très important est la symétrie entre les fronts montants et descendants ; A. Hajimiri dans [HAJ 99] montre que la valeur de la fréquence de coupure  $f_c$  est liée à la symétrie des fronts.

$$f_C = f_{1/f} \cdot \frac{\Gamma_{dc}^2}{\Gamma_{rms}^2} \quad (5-4)$$

avec  $f_{1/f}$  la fréquence de coupure du bruit 1/f,  $\Gamma_{dc}^2$  et  $\Gamma_{rms}^2$  les valeurs DC et RMS de l'ISF.

On peut remarquer à partir de la Figure 5-4 et de l'équation (5-4) que plus les fronts sont symétriques plus la fréquence de coupure  $f_C$  tend vers le zéro (on annule la valeur DC de l'ISF). Par conséquent, la symétrie entre les fronts permet de réduire le bruit de phase.

La figure 5-5 montre les résultats de simulations du facteur de mérite (FOM) de la fréquence d'oscillation et de la puissance consommée en fonction de la valeur du rapport des largeurs PMOS/NMOS  $\gamma = w_p / w_n$ . Nous pouvons remarquer que le FOM est amélioré quand on augmente la valeur de  $\gamma = w_p / w_n$ . Il atteint sa valeur optimale quand les fronts sont symétriques ( $2 \leq \gamma \leq 3$ ). Pour des applications basse consommation et haute fréquence un rapport de  $1.2 \leq \gamma \leq 1.6$  sera un meilleur compromis.

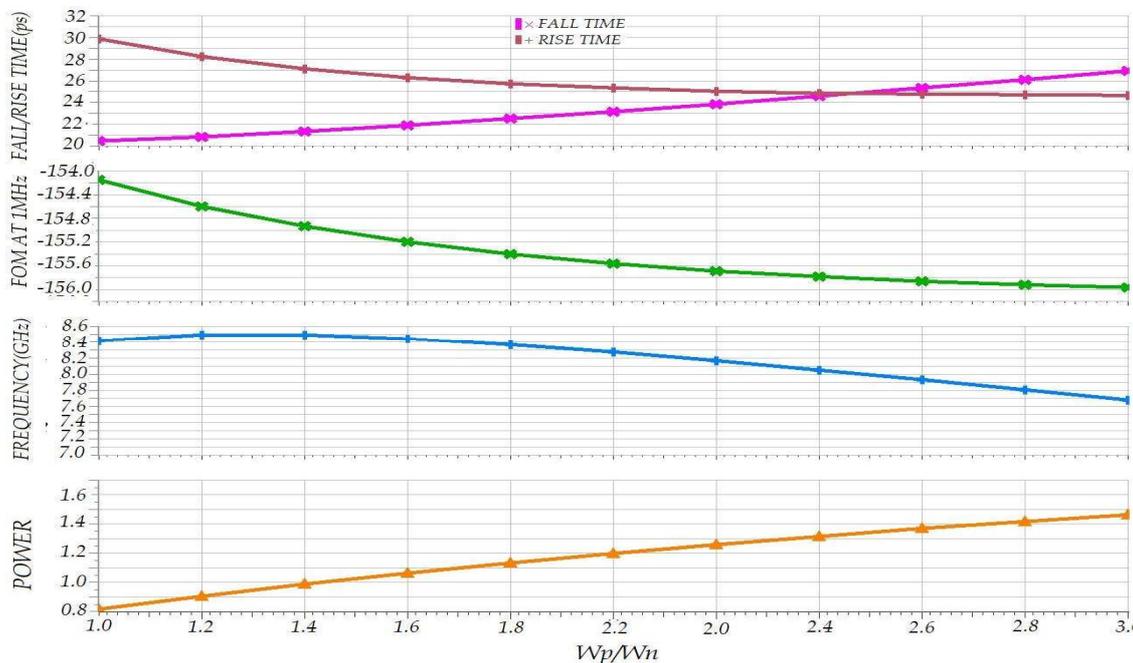


Figure 5-5 : FOM, la fréquence et la consommation de puissance Vs.  $\gamma = w_p / w_n$

On rappelle que le facteur de mérite (FOM) est un paramètre qui permet de comparer les oscillateurs en normalisant le bruit de phase par rapport à la fréquence d'oscillation et à la puissance consommée. Il se calcule à l'aide de l'équation (5-5).

$$\text{FOM} = L(f_{\text{off}}) - 20 \log\left(\frac{f_0}{f_{\text{off}}}\right) + 10 \log\left(\frac{P_{\text{diss}}}{1\text{mW}}\right) \quad (5-5)$$

## 5. Génération des signaux en quadrature de phase

Les architectures d'émetteurs/récepteurs radiofréquences utilisent systématiquement des générateurs de fréquence en quadrature de phase aussi bien en émission qu'en réception. La génération de signaux en quadrature de phase nécessite un nombre d'anneau à base d'inverseurs avec un nombre pair d'étages. Cela n'est malheureusement pas possible avec la structure standard de ces oscillateurs. De nombreux travaux traitent de ce sujet [SUN 99] [UEM 04] [GRO 03] [TU 04] et [NIZ 09]. Une comparaison des performances est faite à la fin du paragraphe.

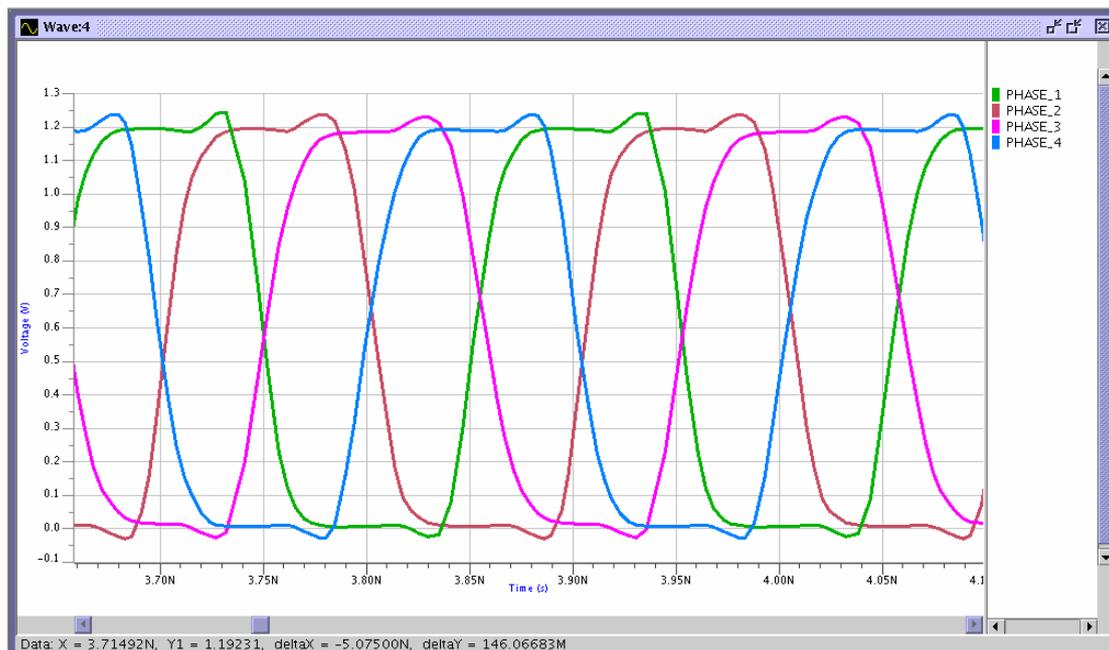


Figure 5-6 : Les sorties en quadrature de phase de l'oscillateur 2T/2B

L'architecture des oscillateurs en anneau asynchrones nous permet de générer les phases en quadrature simplement par un oscillateur de quatre étages avec deux bulles est

deux jetons. D'ailleurs elle est la seule configuration possible avec cet anneau. On peut aussi avoir des phases en quadrature avec des anneaux multiples de quatre en respectant les règles citées dans le paragraphe 3. La figure 5-6 montre les résultats de simulation d'un anneau asynchrone à quatre étages. On remarque un déphasage de  $90^\circ$  entre les signaux.

Cet oscillateur a été conçu en utilisant l'implémentation conventionnelle. La fréquence d'oscillation est de 5 GHz avec un bruit de phase de -98 dBc/Hz à 4MHz d'offset et une consommation de 620  $\mu$ A. Le bruit de phase est réduit de 3dB à chaque fois que l'on double le nombre d'étages. Nous obtenons un facteur de mérite de -162 dBc/Hz. La figure 5-7 présente l'allure du bruit de phase pour cet oscillateur.

Nous avons effectué une comparaison des performances de cet oscillateur avec les performances des oscillateurs publiés [UEM 04] [GRO 03] [TU 04] et [NIZ 09]. Ces oscillateurs présentés dans ces publications sont des oscillateurs en anneaux qui génèrent des phases en quadrature en technologie 0.18  $\mu$ m dans des gammes de fréquence comparable. Le tableau 5-4 résume cette comparaison.

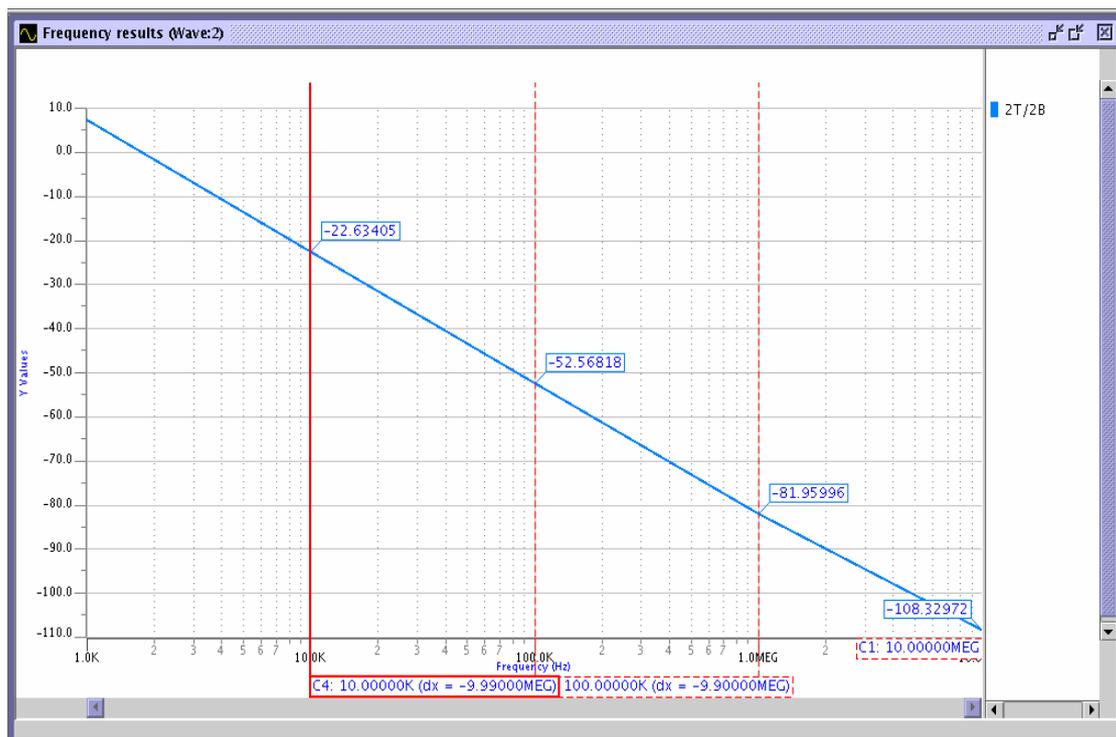


Figure 5-7 : Le bruit de phase de l'oscillateur 2T/2B en dBc/Hz.

Le tableau 5-4 montre que les oscillateurs en anneau asynchrones sont une alternative très sérieuse pour la conception des oscillateurs polyphasés à faible bruit de phase. Le FOM de notre oscillateur est de -162 dBc/Hz ce qui est largement meilleur que la plupart des cas présentés dans ce tableau. Le bruit de phase peut être amélioré par la duplication du nombre d'étages en gardant la même valeur du FOM.

Tableau 5-4 : comparaison avec des précédents travaux

Ref.	Techno.	Freq. Max (GHz)	Conso. (mW)	F <sub>off</sub> (MHz)	Bruit de phase (dBc/Hz)	FOM (dBc)
[UEM 04]	0.18 $\mu$ m	6.3	175	1	-101.4	-155.4
[GRO 03]	0.18 $\mu$ m	3.5	16	4	-106	-152.7
[TU 04]	0.18 $\mu$ m	5.2	17	1	-90.1	-148.9
[NIZ 09]	0.18 $\mu$ m	5.5	81	4	-116.06	-162.2
Notre travail 4 étages (2T/2B)	65 nm	5	0.62	4	-98	-162
Notre travail 16 étages (8T/8B)	65 nm	5	2.5	4	-104	-162

## 6. Largeur de la bande de fréquence.

Une autre caractéristique très recherchée dans les oscillateurs principalement pour la conception des oscillateurs contrôlée en tension VCO est la largeur de la bande de fréquence [NGU 10] [GRO 03]. L'oscillateur en anneau asynchrone pourra ici tirer parti de sa configurabilité. On peut par exemple imaginer un VCO avec un réglage « gros gain » en changeant l'initialisation et le réglage « grain fin » en utilisant les techniques de contrôle de tension ou de courant classiques. Si on prend l'exemple d'un oscillateur en anneau asynchrone à 5 étages, deux configurations sont possible : 2T/3B et 4T/1B. Avec configuration 2T/3B on peut atteindre la fréquence maximale possible et la configuration 4T/1B nous permet d'avoir une fréquence divisée par deux environ. Nous avons simulé cet exemple qui produit cinq phases équidistance déphasées de 72°. Nous avons fait varier la tension d'alimentation de 0.6V à 1.3V. Les résultats obtenus sont présentés sur la figure 5-8

La fréquence varie linéairement en fonction de la tension d'alimentation, ce qui est préférable pour un oscillateur contrôlé en tension (VCO). De plus, le passage d'une configuration à une autre nous permet d'élargir la bande de fréquence.

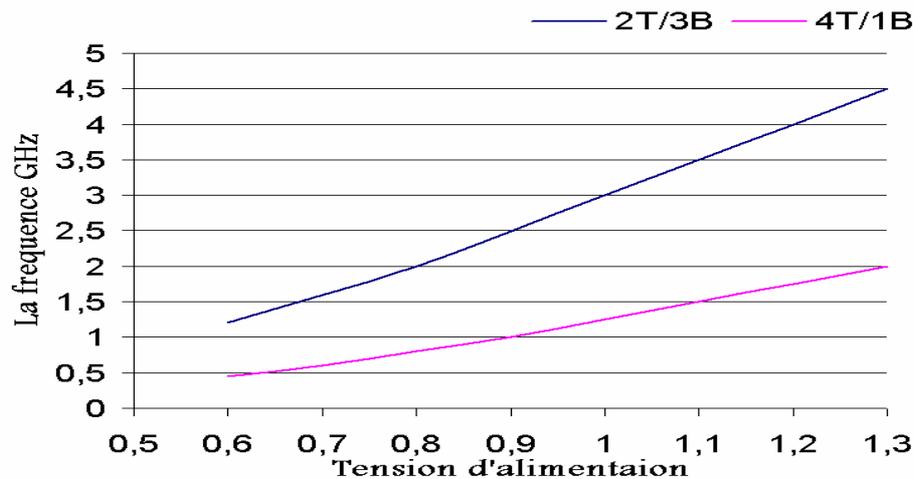


Figure 5-8 : La fréquence en fonction de la tension d'alimentation

## 7. Flot de conception pour les oscillateurs en anneau asynchrones.

La figure 5-9 présente une proposition de flot de conception pour la conception d'un oscillateur en anneau asynchrone. Selon le cahier des charges et grâce à la formule (3-1) et selon les paramètres temporels  $D_{ff}$  et  $D_{rr}$ , nous pouvons décider d'une architecture préliminaire (nombre d'étages, de jetons et de bulles, l'implémentation de l'étage) qui nous permet d'atteindre la fréquence voulue. On commencera par les largeurs de transistors petites et un  $\gamma = \omega_p / \omega_n$  optimisé en vitesse et en consommation de puissance ( $1.2 \leq \gamma \leq 1.6$  en technologie CMOS065nm). On prendra soin de respecter les règles de dimensionnement énoncées au chapitre 4. Les largeurs des transistors peuvent être ajustées pour un réglage fin de la fréquence. Dans le cas où l'on vise la conception d'oscillateurs polyphasés, le rapport jetons/bulles doit être irréductible et le plus proche possible du rapport  $D_{ff} / D_{rr}$ . Dans le cas des oscillateurs en quadrature de phase une condition s'ajoute : le nombre d'étages doit être un multiple de quatre. A partir de ce stade, nous pouvons commencer l'optimisation du bruit de phase si la valeur ciblée n'est pas atteinte. Deux solutions sont alors possibles :

- La première solution consiste à réduire le bruit de phase de 3 dB en doublant le nombre d'étages et en maintenant le rapport jetons/Bulles constant. Le principal avantage de cette approche est que la fréquence d'oscillation ne change pas.
- La deuxième solution consiste à augmenter la largeur des transistors et/ou à optimiser le rapport de  $\omega_p / \omega_n$  en termes de FOM. Cela peut impliquer une modification de la fréquence susceptible de nous amener à reconsidérer

l'architecture de l'oscillateur. Il faut aussi tenir compte du budget permis en consommation.

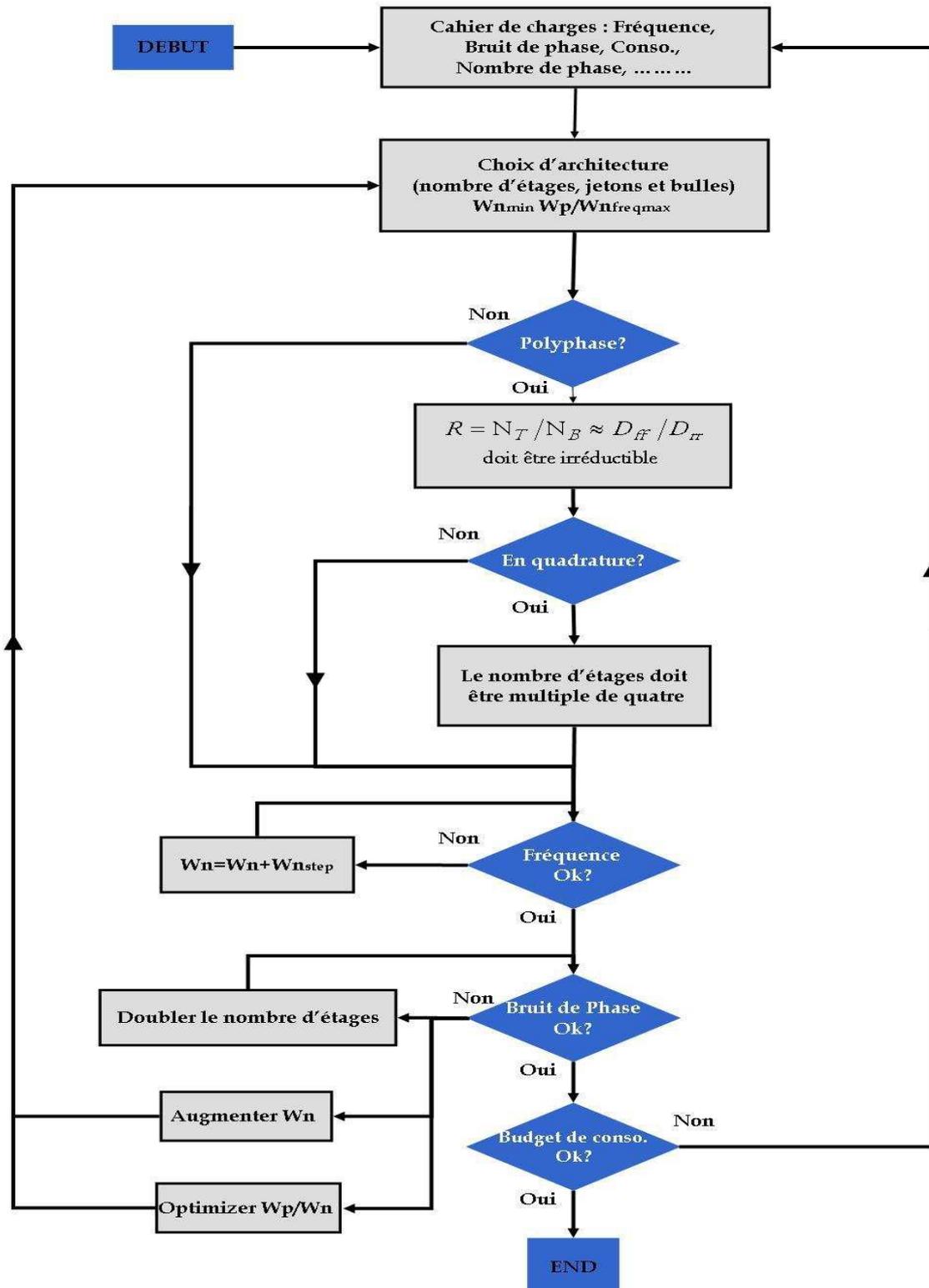


Figure 5-9 : Le flot de conception des oscillateurs en anneau asynchrones

## 8. Conclusion

Dans ce chapitre, nous avons présenté une nouvelle topologie d'oscillateurs basée sur des anneaux asynchrones pour la génération de signaux polyphasés utilisables dans de nombreuses applications. La résolution temporelle des oscillateurs en anneau asynchrones n'est pas limitée au délai de l'étage. Nous avons montré comment ces oscillateurs peuvent produire des oscillations à haute fréquence avec un nombre important de sorties polyphasées. Une comparaison avec un oscillateur en anneau à base d'inverseurs ainsi qu'avec des topologies permettant d'améliorer la fréquence maximale d'oscillation montre d'une manière très claire l'avantage des oscillateurs en anneau asynchrones quand un nombre important de phases est nécessaire. Nous avons vu que les oscillateurs en anneau asynchrones peuvent être aussi utilisés pour générer des signaux en quadrature de phase qui sont systématiquement utilisés dans les émetteurs/récepteurs radiofréquences. Une comparaison avec d'autres travaux montre l'efficacité de notre méthode.

Nous avons montré aussi dans ce chapitre comment on peut réduire le bruit de phase dans les oscillateurs en anneau asynchrones avec une technique très simple qui est la duplication du nombre d'étages. Cette caractéristique offre à ce type d'oscillateur un degré de liberté supplémentaire pour la conception d'oscillateurs à faible bruit de phase. De plus, ces oscillateurs sont configurables ce qui peut être utilisé dans un but d'extension de la bande de fréquence, caractéristique très recherchée pour la conception d'oscillateurs contrôlés en tension. Enfin, nous avons conclu ce chapitre par la proposition d'un flot de conception pour la conception des oscillateurs en anneau asynchrones.

Ces résultats sont confirmés par les mesures sur silicium du testchip que nous avons fabriqué en technologie CMOS 65nm de STMicroelectronics et qui sont présentés au chapitre 7.



# Chapitre 6.

## Conception d'un Oscillateur Programmable et Arrêtable basé sur un Anneau Asynchrone

---

### I. Introduction

Avec les récentes avancées dans les technologies nanométriques, les performances des systèmes intégrés après la fabrication ne sont plus totalement prévisibles. En effet, les variations des procédés de fabrication deviennent vraiment sensibles même à l'échelle d'une puce. Cela implique l'étude de stratégies de gestion globale robuste afin de respecter les contraintes énergétiques. Par conséquent, l'estimation et la gestion des performances sont aujourd'hui des points essentiels dans les systèmes intégrés. Des solutions de gestion dynamique de la fréquence et de la tension (Dynamic Voltage and Frequency Scaling "DVFS") doivent être considérées. Elles ont été explorées et ont montré de substantielles économies d'énergie [NOW 02]. La consommation de puissance moyenne  $P_{ave}$  et l'énergie consommée  $E$  des microprocesseurs CMOS peuvent être définies par [CHA 95]:

$$P_{ave} \propto K \cdot f \cdot V_{dd}^2 \quad (6-1)$$

$$E \propto C \cdot V_{dd}^2 \quad (6-2)$$

où  $K$  est une constante,  $f$  est la fréquence de l'horloge et  $V_{dd}$  est la tension d'alimentation. Les équations (6-1) et (6-2) montrent que la réduction de la fréquence ou de la tension d'alimentation implique la réduction de l'énergie et de la puissance consommée.

Cette réduction est quadratique en fonction de la tension d'alimentation et linéaire en fonction de la fréquence de l'horloge.

En conséquence, la gestion dynamique de tension (DVS) peut être utilisée pour gérer efficacement la consommation d'énergie dans les systèmes sur puce (SoC). La tension d'alimentation peut être réduite si l'activité diminue. Cependant, ceci réduit la vitesse du système et implique l'utilisation d'une technique de gestion dynamique de fréquence (DFS) pour conserver un comportement correct au système. L'ajout des techniques de gestion dynamique de la fréquence et de la tension se traduit par une économie de la puissance et de l'énergie. L'application de la gestion "DFS" à un système nécessite l'utilisation d'une source pour générer des horloges réglables. Par exemple, ces horloges peuvent être générées par des oscillateurs contrôlés en tension (VCO) qui font partie des boucles à verrouillage de phase (PLL). Toutefois, les VCO ont un rayon d'action limité et un temps de stabilisation nécessaire lors du changement de la fréquence [BOY 06]. Une autre solution consiste à utiliser un diviseur d'horloge standard, mais cette solution est très limitée en nombre et pas de fréquences, car la fréquence est divisée par des nombres entiers [STO 03]. En outre, ils donnent un pas de temps régulier qui implique un pas de fréquence irrégulier.

Comme nous avons vu dans les chapitres précédents, l'un des principaux avantages des oscillateurs en anneau asynchrones est leur configurabilité. Avec un même nombre d'étages donné, on peut fonctionner à différentes fréquences d'oscillation en changeant simplement le nombre de jetons et de bulles qui circulent dans l'anneau. Au contraire, l'anneau basé sur les inverseurs a une fréquence fixe [FAI 04]. Dans ce chapitre nous allons exploiter cette caractéristique des oscillateurs en anneau asynchrones pour concevoir un oscillateur programmable et arrêtable. Grâce à un protocole poignée de main, cet oscillateur communique avec le processeur afin d'assurer une commutation correcte d'une fréquence à une autre. L'oscillateur est conçu afin d'éviter la présence de *glitches* et de périodes d'horloge tronquées.

Dans ce chapitre, nous allons présenter l'architecture d'un oscillateur programmable basé sur un anneau asynchrone ainsi que les résultats obtenus en simulation. Cet oscillateur est implémenté en technologie CMOS 45nm de STMicroelectronics. Ce travail a fait l'objet d'une publication à la conférence ASYNC 2009 [YAH 09].

## 2. L'architecture de l'oscillateur programmable.

Comme nous avons expliqué dans les chapitres précédents, les oscillateurs en anneau asynchrones présentent des avantages de différents points de vue ; la génération des signaux de haute résolution, la robustesse aux variations des procédés de fabrication et la configurabilité. En conséquence notre oscillateur programmable sera basé sur l'oscillateur en anneau asynchrone. Dans la suite, nous le nommerons PSTR (Programmable Self-Timed Ring). L'architecture du PSTR est représentée dans la Figure 6-1.

Il existe de nombreuses façons de contrôler la fréquence d'un anneau asynchrone. Dans ce chapitre, trois architectures sont décrites.

### 2.1. Première solution : contrôle des jetons et des bulles

Cette solution est basée sur le changement du nombre de jetons et de bulles qui circulent dans l'anneau. Nous avons conçu des portes de Muller avec des signaux de remise à zéro RESET et mise à un SET (Figure 6-1). En utilisant cette porte, nous pouvons insérer dynamiquement des jetons et des bulles dans l'oscillateur asynchrone. Cette architecture est similaire à celle de la figure (3-2) du chapitre 3 sauf qu'elle est basée sur des portes de Muller avec les signaux d'initialisation SET/RESET.

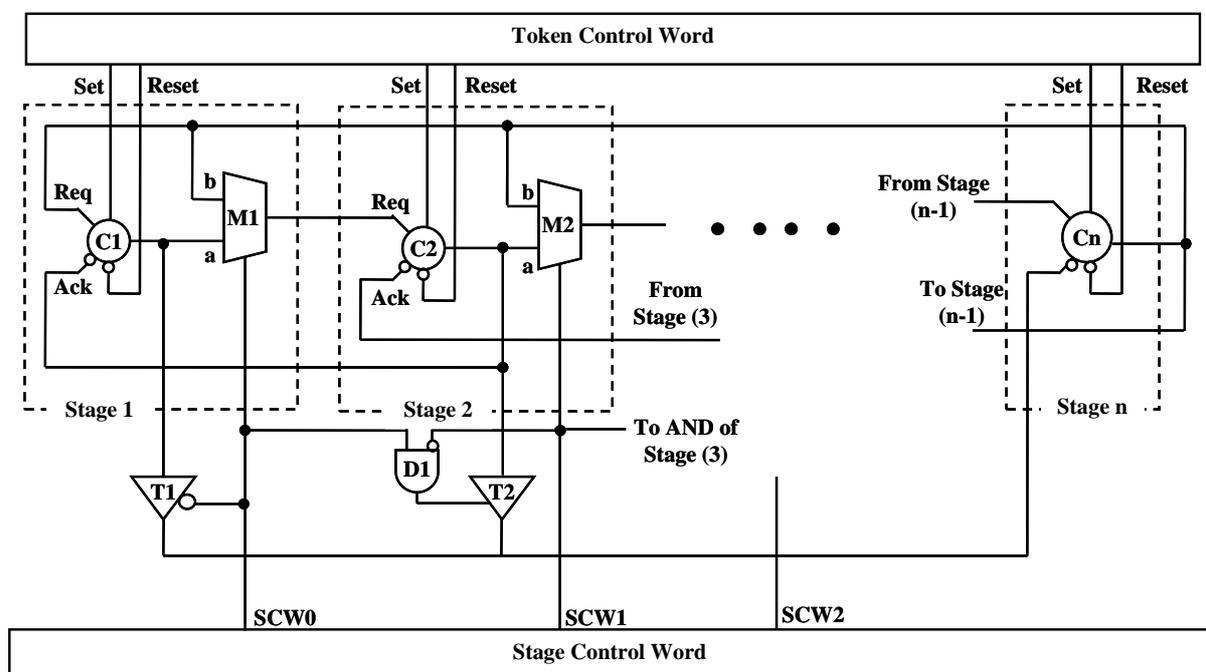


Figure 6-1 : L'architecture de l'oscillateur programmable

Si on prend l'exemple d'un anneau à cinq étages  $N=5$ , nous pouvons insérer la configuration "BTTT" en contrôlant les signaux SET et RESET des étages, donc les étages sont initialement charger à "11010". Cette configuration produit la fréquence minimale de cet anneau. Si on change les signaux SET/RESET de l'anneau pour initialiser les étages par "11110", ce qui revient à la configuration "BBBTT", cet anneau oscillera à la fréquence maximale. Cet exemple montre comment la fréquence de l'anneau peut être contrôlée par le changement du nombre de jetons et de bulles avec les signaux d'initialisation.

L'utilisation de cette solution, permet à l'oscillateur d'atteindre des fréquences élevées. En revanche, l'utilisation d'un nombre d'étages fixe limite le nombre de fréquences d'oscillation possible avec un pas de fréquence assez grossier. Si on prend comme exemple un anneau à douze étages  $N=12$ , le nombre de fréquences d'oscillation possible est de cinq. Si l'objectif est d'obtenir des pas de fréquence plus fins, nous proposons la deuxième solution.

## 2.2. Deuxième solution : contrôle du nombre d'étages

Dans cette solution, non seulement le nombre de jetons et de bulles est contrôlable, mais aussi le nombre d'étages. La figure 6-1 montre l'architecture de notre oscillateur programmable en anneau asynchrone. Il est composé d'étages quasi-identiques "STG" basés sur des portes de Muller avec des signaux d'initialisation SET/RESET. L'initialisation de l'anneau est contrôlée par un mot de contrôle des jetons et de bulles appelé "TCW" (Token Control Word). Il s'agit de définir le nombre de jetons et de bulles qui circulent dans l'anneau. Par le biais de "TCW", la fréquence de l'anneau peut être programmée. Pour être en mesure de modifier le nombre d'étages, un multiplexeur "Mux" est placé après chaque étage. Ces multiplexeurs sont contrôlés par le mot de contrôle "SCW" (Stage Control Word). SCW contrôle le nombre d'étages de l'anneau. Si l'étage est activé, le bit équivalent dans le mot SCW est mis à zéro. Nous précisons que le signal de requête "Req" correspond à l'entrée F de l'étage et le signal d'acquiescement "Ack" correspond à l'entrée R de l'étage.

Dans la figure 6-1, on suppose que tous les étages sont activés. Cela signifie que tous les bits de SCW sont à zéro. Ce qui implique que tous les multiplexeurs sélectionnent l'entrée "a" qui est reliée à l'étage précédent (STG1 est connecté à STG2, STG2 est connecté à STG3 etc...). En ce qui concerne le dernier étage STGn, son signal d'acquiescement est connecté par un *buffer* trois états "T1" (Three-state buffer) à la sortie du premier étage STG1. Ainsi l'anneau est fermé et peut fonctionner correctement.

Maintenant, supposons que l'étage STG1 doit être enlevé. Pour cela le bit SCW0 est réglé sur "1" et les autres bits sont à zéros. Deux choses sont à faire; d'une part, le signal de requête "Req" du deuxième étage STG2 doit être relié à la sortie du dernier étage STGn. D'autre part le signal d'acquittement "Ack" du dernier étage STGn doit être connecté à la sortie de l'étage STG2. Comme le bit SCW0 est à "1", le multiplexeur Mux1 connectera l'entrée "b" à la sortie. Cela relie la sortie du dernier étage STGn au signal de requête "Req" de l'étage STG2. De plus, SCW0 va positionner T1 dans l'état haute impédance. La sortie de la porte ET "D1" produit un "1", ce qui active le *buffer* T2 et relie la sortie de l'étage STG2 au signal d'acquittement de l'étage STGn. Selon ce scénario, l'anneau contient N-1 étages. Par le biais des mots TCW et SCW, l'oscillateur en anneau asynchrone programmable de la figure 6-1 peut être programmé dynamiquement pour avoir un nombre d'étages modifiable allant de N à 3 (il faut 3 étages minimum pour obtenir un oscillateur), et une configuration jetons/bulles quelconque.

Concernant le délai des étages de l'anneau, notre conception est très modulaire et équilibrée. Le délai direct Dff de l'étage comprend le délai de la porte de Muller et du multiplexeur. Le délai inverse Drr de l'étage comprend le délai de la porte de Muller et de l'inverseur. Seul le dernier étage STGn a un délai Drr légèrement plus grand, cette différence de délai est due au *buffer* trois états T1. Cela n'affecte pas le comportement de notre oscillateur. L'ensemble des portes ET des autres *buffers* trois états ne contribuent pas aux délais car ils ne sont utilisés que lors de la phase de programmation. Cette structure nous permet d'avoir un anneau asynchrone avec un nombre important de fréquences. Plus de détails sur la conception et les performances obtenues sont présentés dans le paragraphe suivant. Avec cette solution, le PSTR donne des pas de fréquences plus fins que la première solution. En revanche, la fréquence maximale atteinte est réduite, de même que la puissance consommée est supérieure à la première solution.

### 2.3. Troisième solution : la solution hybride

L'ajout d'un nombre limité de Multiplexeurs donne une troisième solution qui est une solution hybride entre la première et la deuxième. Par exemple, pour un anneau de douze étages N=12, deux multiplexeurs peuvent être ajoutés, l'un après l'étage STG12 et l'autre après l'étage STG6. Cela donne un PSTR avec les configurations possibles avec 12, 11 et 5 étages. Ce compromis donne de bons résultats sur tous les plans : en fréquence, en puissance et en surface. Cette solution pourra donc être retenue pour répondre efficacement à un besoin spécifique.

### 3. L'oscillateur Programmable et Arrêtable.

L'oscillateur programmable et arrêtable PSO (Programmable-Stoppable Oscillator) exploite l'oscillateur programmable PSTR proposé au paragraphe précédent. L'objectif principal de notre conception est de fournir un protocole de communication entre le processeur et notre PSO de sorte que:

- Le processeur puisse arrêter et reprogrammer la sortie du PSO
- L'horloge puisse être arrêtée lors de la commutation d'une fréquence à une autre et que la période d'arrêt soit contrôlée par le processeur.
- Le démarrage et l'arrêt de l'horloge soient effectués sans périodes tronquées et sans *glitches*.

#### 3.1. Le protocole de communication entre de processeur et le PSO

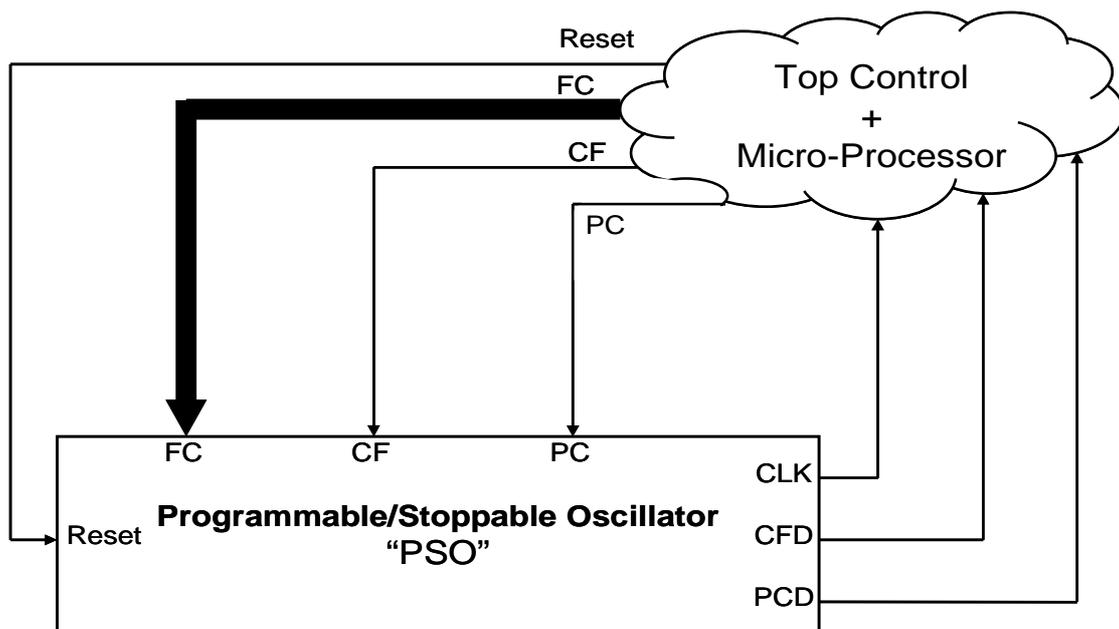


Figure 6-2 : Le protocole de communication entre de processeur et le PSO

La Figure 6-2 montre les connexions entre le processeur et notre oscillateur programmable et arrêtable PSO. Le PSO reçoit deux commandes de la part du processeur. Le signal Changement de Fréquence "CF" (Change Frequency) qui met le PSO en mode de Changement de fréquence (Mode 1). Dans ce mode, on utilise le code de la fréquence "FC" (Frequency Code) pour programmer le PSTR par la fréquence requise. Le signal "PC" (Pause Clock) sert à arrêter les oscillations à la sortie du PSO. L'activation de ce

signal met le PSO en mode d'arrêt (Mode 2). L'horloge de sortie est arrêtée jusqu'à ce qu'elle soit relâchée lors de la reprise de l'oscillation, la fréquence demeure dans ce cas inchangée.

Le protocole de communication est le suivant. En Mode1, le processeur envoie le signal CF (mise à 1) et FC est réglé sur le code approprié à la fréquence requise. Lorsque le PSO est prêt à changer la fréquence, il arrête l'horloge et désactive (mise à 0) le signal qui informe le processeur que le changement de fréquence est fait "CFD" (Change Frequency Done). L'horloge est arrêtée jusqu'à ce que le signal CF soit désactivé par le processeur. Lorsque le signal CF est désactivé, l'horloge est relâchée avec la nouvelle fréquence et le signal CFD bascule à l'état haut pour informer le processeur que le changement de fréquence est fait. Avec un scénario similaire en Mode2, le processeur active le signal PC pour la mise en arrêt de l'horloge. Le PSO arrête l'horloge et désactive le signal qui informe le processeur que l'arrêt de l'horloge est fait "PCD" (Pause Clock Done). Chaque fois que le processeur désactive la commande PC, le PSO active le signal PCD et continue d'envoyer la sortie de l'horloge avec la même fréquence d'oscillation qu'avant l'arrêt.

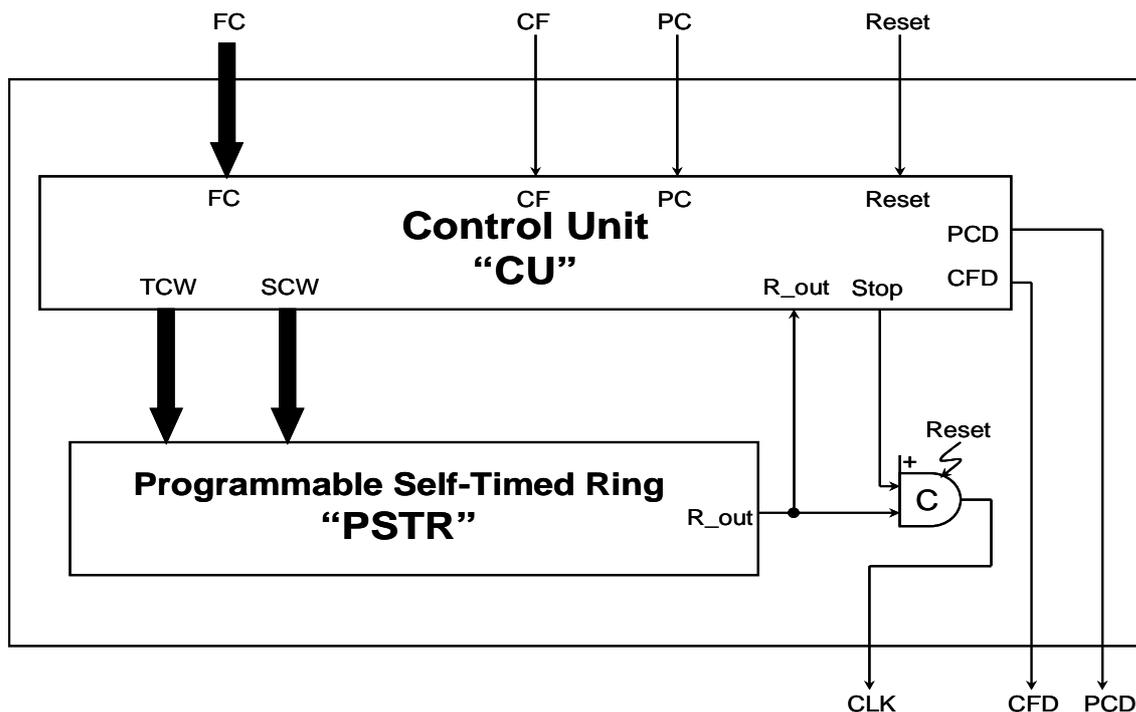


Figure 6-3 : L'oscillateur Programmable et Arrêté

Par le biais de ce protocole de communication entre le processeur et le PSO, le processeur a un contrôle total sur la période d'arrêt entre deux fréquences d'oscillation

différentes. De cette façon, différentes applications peuvent être appliquées sur le processeur, (rééchelonnement des tâches, DVS, reconfiguration HW ...), sans que l'on est à se soucier du temps nécessaire à ces opérations.

Dans la figure 6-3, les détails de la conception du PSO sont présentés. Le PSO est composé d'une unité de contrôle, "CU" (Control Unit) et du PSTR. L'unité de contrôle fournit les codes TCW et le SCW qui déterminent respectivement la configuration jetons/bulles et le nombre d'étages. La CU est cadencée par la sortie de la PSTR "R\_Out". La sortie du PSO "Clk" qui est envoyée au processeur est la sortie de la porte de Muller dissymétrique "C1". La sortie "Stop" du CU contrôle si R\_Out est connectée à Clk ou non. Lorsque le signal *Stop* est activé (état haut), la sortie R\_Out est reliée à Clk. Quand il est désactivé (état bas), tout changement de R\_Out, y compris les périodes tronquées ou qui contiennent des *glitches* sont filtrés par la porte Muller. La figure 6-3 montre les détails de l'unité de contrôle.

### 3.2. L'unité de contrôle

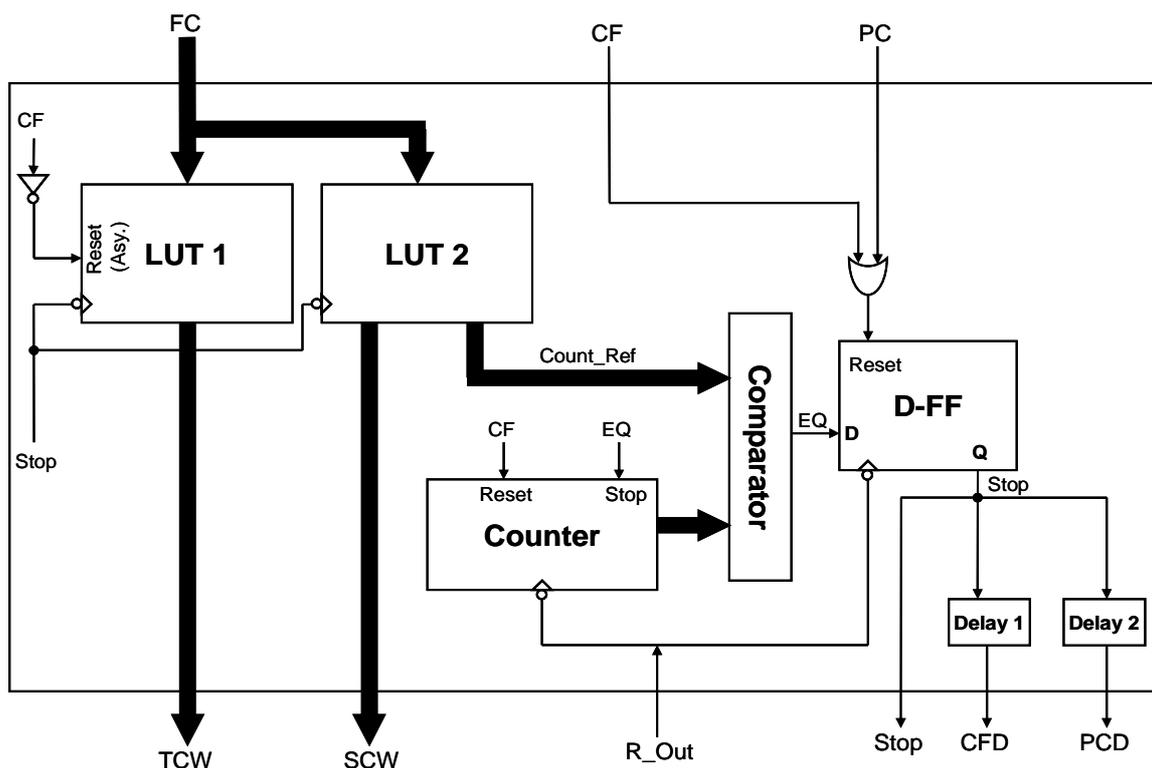


Figure 6-4 : L'unité de contrôle

La Figure 6-4 montre les détails de la conception de l'unité de contrôle. Dans les deux tables de correspondance LUT1 et LUT2 (Look Up Table), les codes des différentes fréquences qui correspondent aux codes TCW et SCW sont stockés respectivement. Dans la LUT2, il y a aussi une autre valeur stockée pour chaque fréquence. C'est le nombre de coups d'horloges nécessaires pour que le PSTR est atteint son état d'équilibre. Nous avons appelé cette sortie "Count\_Ref". Count\_Ref et la sortie de compteur binaire "Counter" sont comparés avec le bloc "Comparator". Le compteur est cadencé par R\_Out pour compter les périodes de la phase de transition. La sortie du comparateur passe à 1 (EQ=1) quand la sortie du compteur et la sortie Count\_Ref sont égales. La sortie du comparateur EQ reliée à l'entrée d'une bascule D "D-FF" (D Flip Flop) est cadencé par la sortie du PSTR R\_Out. La sortie de la D-FF est le signal "Stop". Ce signal est retardé par deux délais Delay1 et Delay2 avant d'être envoyé au processeur en tant que CFD et PCD respectivement. Durant le fonctionnement normal, les signaux CF et PC sont à zéro. Le signal Stop est à un, ce qui implique que R\_Out et Clk sont reliés par le porte de Muller C1. Le processeur peut émettre l'une des deux commandes : CF pour passer en Mode1 et PC pour passer en Mode2

### 3.3. ModeI: Changement de Fréquence

Dans ce mode le processeur active le signal CF et envoie le code approprié sur FC. Au prochain front négatif de la sortie R\_Out, les sorties de la bascule D-FF et du compteur sont mises à zéros. Cela désactive le signal Stop et isole R\_Out de Clk. En outre, les tables de correspondances LUT1 et LUT2 envoient les nouveaux codes TCW et SCW pour programmer le PSTR avec la nouvelle fréquence. La LUT2 envoie aussi la nouvelle valeur Cout\_Ref. Le délai Delay1 retarde le signal Stop d'un temps équivalent au temps d'accès aux tables de correspondances (LUTs) plus le temps nécessaire à la programmation du PSTR. Cela garantit que le signal CFD ne sera pas désactivé avant que le PSTR soit correctement programmé. Quand CFD est désactivé, le processeur désactive le signal CF quand il est prêt à recevoir la nouvelle Clk. Quand CF est désactivé, la LUT1 reçoit le signal Reset. Cela force TCW à zéro et permet au PSTR de commencer à l'osciller. Le compteur compte alors le nombre de périodes de R\_Out. Quand R\_Out est égale à Cout\_Ref, la sortie du comparateur EQ passe à 1 et le compteur s'arrête de compter. Au prochain front négatif de la sortie R\_Out, le signal Stop passe à 1. Cela active la porte de Muller C1 et relie R\_Out à Clk. Le PSO revient alors à son fonctionnement normal et la sortie du PSTR est reliée au processeur.

### 3.4. Mode2 : la mise en pause de l'oscillateur

Dans ce mode, le processeur active le signal PC pour demander la mise en pause de la sortie Clk. La bascule D-FF reçoit un signal Reset. Au prochain front négatif de la sortie R\_Out, le signal Stop est mis à zéro et isole le signal Clk de R\_Out qui reste bloqué à zéro. Le délai Delay2 retarde alors le signal Stop d'une durée égale au retard de la porte de Muller C1 (Figure 6-4). Ensuite, le signal PCD est envoyé au processeur pour l'informer que l'horloge Clk est arrêtée. Lorsque le processeur décide de la redémarrer, il désactive le signal PC. Au prochain front négatif de la sortie R\_Out, la bascule D-FF reçoit le signal EQ à nouveau qui est toujours à 1 car la sortie du compteur et Count\_Ref sont toujours égales. Il en résulte la mise à zéro du signal Stop qui reconnecte R\_Out à Clk. Ainsi, on désactive alors l'arrêt du PSO qui revient alors à son fonctionnement normal (la sortie du PSTR est reliée à nouveau au processeur).

La principale différence entre les modes Mode1 et Mode2, est que dans le mode2 les codes TCW et SCW restent inchangés. Cela implique que les tables de correspondances LUT1 et LUT2 ne sont pas sollicitées et permet au processeur de mettre en pause et de redémarrer le PSO à une cadence plus élevée que celle nécessaire à la programmation et la reprogrammation du PSO. Pour le mode1, le délai minimum entre deux requêtes sur le signal CF doit être plus long que le temps d'accès aux tables de correspondances augmenté du temps de programmation. En revanche, le temps minimum entre deux requêtes sur le signal PC est égal à la somme des délais de la porte OU, de la bascule D-FF et de la porte de Muller C1. Cette durée est inférieure à une période d'horloge du PSTR à la fréquence maximale. Bien que la taille de l'anneau puisse être importante, le surcoût matériel de l'unité de contrôle est très limité par rapport à la taille de l'oscillateur. Pour chaque étage ajouté, LUT1 aura deux bits de plus et LUT2 aura un bit de plus.

L'oscillateur programmable et arrêtable PSO est implémenté avec la technologie CMOS 45nm de STMicroelectronics, les détails d'implémentation sont présentés dans le paragraphe suivant. Les informations sur les délais sont extraites de l'implémentation physique et insérées dans notre modèle VHDL. En utilisant le flot de conception numérique, on peut rapidement réaliser plusieurs simulations. Grâce à l'inclusion des effets Charlie et Drafting dans le modèle numérique, nous avons obtenu des résultats précis, très proches des résultats de simulations analogiques. La figure 6-5 montre un exemple où le PSO est sollicité pour passer d'une fréquence basse à une fréquence haute et ensuite d'arrêter l'horloge de sortie durant quelques cycles.

### 3.5. Simulation numérique du PSO

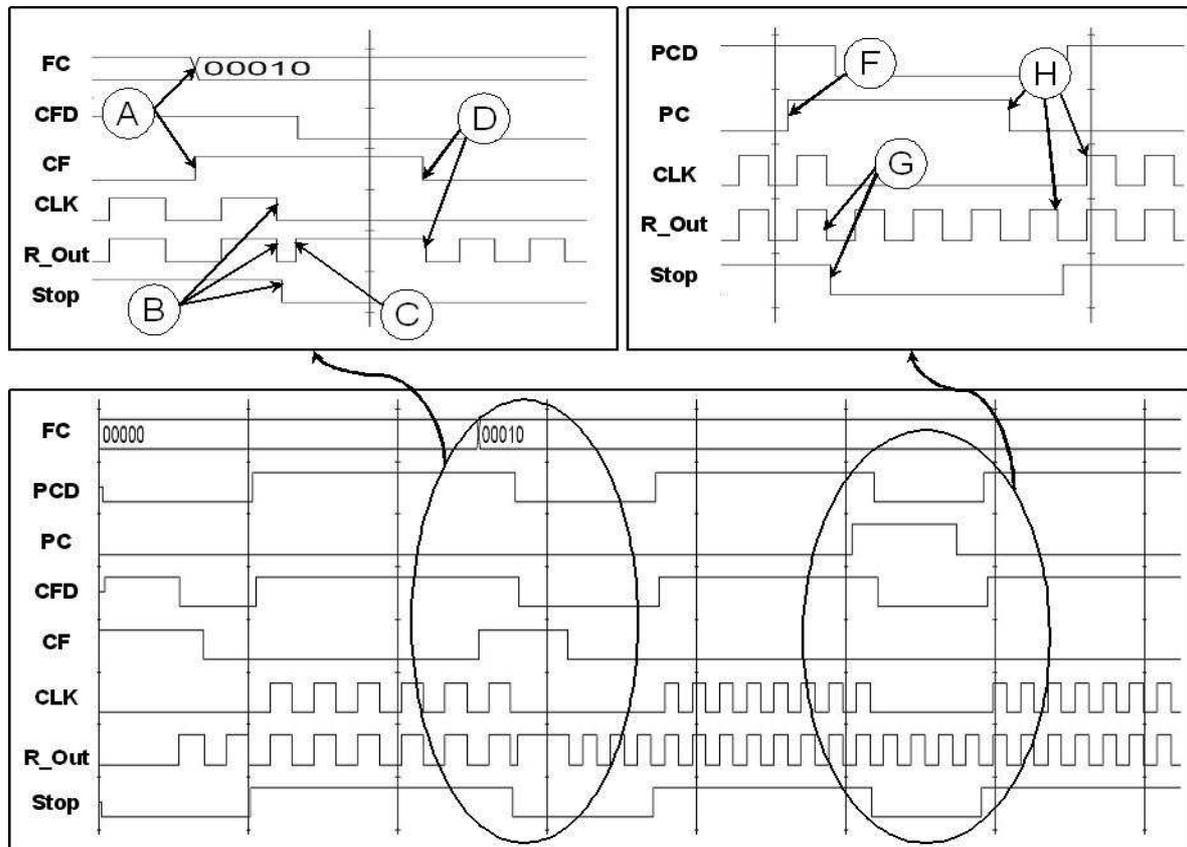


Figure 6-5 : Les chronogrammes du PSO

Dans la figure 6-5, au point A, le signal CF est activé et le nouveau code FC est envoyé. Rien ne se passe jusqu'au prochain front négatif de R\_Out (point B). Après ce front descendant, le signal Stop est désactivé. Au point C, il est clair que R\_Out a une horloge tronquée en raison de la nouvelle configuration. Toutefois, cette horloge tronquée n'apparaît jamais sur la sortie Clk. CF est désactivé au point D, R\_Out commence alors à osciller avec la nouvelle fréquence et le compteur commence à compter le nombre de périodes transitoires. D'autre part, au point F, le signal PC est envoyé. Au front négatif suivant, le signal Stop est désactivé et la sortie Clk est bloquée à zéro (point G). Veuillez noter que R\_Out continue à osciller avec la même fréquence. Au point H, le signal PC est désactivé. Au prochain front négatif de R\_Out, la sortie du comparateur passe à un (EQ =1) et force le signal Stop à un. Par conséquent, la sortie Clk oscillera au prochain front positif de R\_Out. La conception a été testée avec de nombreux scénarios, en particulier le protocole de communication entre le processeur et le PSO. Tous les tests montrent un comportement et un fonctionnement correct.

## 4. Résultats d'implémentation

L'oscillateur programmable et arrêtable PSO présenté dans les paragraphes 2 et 3 de ce chapitre est implémenté en technologie CMOS 45nm de STMicroelectronics. Nous avons utilisé notre bibliothèque TAL "TIMA Asynchronous Library" ainsi que les bibliothèques standards de STMicroelectronics pour l'implémentation physique. Le flot de conception CADENCE pour les simulations, le "layout" et les simulations post "layout".

Nous avons utilisé des portes de Muller de type « conventionnel » avec des signaux de mise à zéro et mise à un (SET et RESET). Le circuit complet de l'anneau avec 11 étages comme montré sur la figure 6-1 est implémenté et testé. La porte de Muller du dernier étage STGn, doit être dimensionnée de sorte à avoir une sortante suffisante pour piloter tous les multiplexeurs des N étages.

### 4.1. Les performances des différentes solutions

Comme nous l'avons expliqué dans le paragraphe 2, nous avons trois stratégies de programmation pour contrôler la fréquence de l'oscillateur basé sur l'anneau asynchrone PSTR. Le tableau 6-1 résume les performances de chaque stratégie. Pour une comparaison équitable en termes de puissance consommée, toutes les stratégies sont testées avec 11 étages. Ainsi, les fréquences de fonctionnement des trois stratégies sont très proches en raison de la dépendance au délai Drr, qui est pratiquement égal pour les trois stratégies.

Tableau 6-1: Résultats des différentes solutions de programmation

	Solution 1	Solution 2	Solution 3
Plage de Fréquence	500MHz – 3GHz	400MHz–1.7 GHz	450MHz–2GHz
No. de Fréquences	5	13	9
Taille du Pas	Irrégulier	100 MHz	Irrégulier
La Consommation de Puissance Statique	8.7 nW	37.5 nW	15.94 nW
La Consommation de Puissance Dynamique	63.68 $\mu$ W	145 $\mu$ W	82.3 $\mu$ W

Dans la **Solution 1**, un anneau de 11 étages est conçu. Sa fréquence de sortie est contrôlée par le changement du nombre de jetons et de bulles dans l'anneau par le mot TCW. Sa fréquence d'oscillation maximale est de 3 GHz. Le nombre de fréquences possibles est limité, en raison de sa taille, et les pas de fréquence sont irréguliers (de 300 à 700 MHz). Cette stratégie est celle qui consomme le moins de puissance dynamique et statique car elle utilise moins de matériel que les autres solutions.

Dans la **Solution 2**, Un anneau avec 11 étages est conçu. Sa fréquence de sortie est contrôlée par le changement du nombre de jetons, de bulles et du nombre d'étages de l'anneau par les mots TCW et SCW. Il offre un pas de fréquence plus fin et régulier (100 MHz environ) et, En revanche, la fréquence maximale est plus basse car des délais sont ajoutés par les multiplexeurs. En raison du matériel supplémentaire, cette stratégie consomme plus de puissance dynamique et statique.

Enfin, la **Solution 3** est une solution hybride des deux premières solutions. Nous avons conçu un oscillateur à 12 étages, deux multiplexeurs ont été ajoutés afin d'utiliser l'oscillateur avec 12, 11 et 5 étages. La Solution 3 est un compromis entre la stratégie 1 (pas de multiplexeur, un nombre limité de fréquences et une puissance consommée minimale), et la stratégie 2 (un multiplexeur par étage, un nombre important de fréquences et une puissance consommée plus élevée).

Dans le cas de la Solution 2, il y a 25 configurations de fréquences différentes possibles avec TCW et SCW, mais on obtient seulement 13 fréquences. Cela est dû à deux raisons. La première est que certaines fréquences sont obtenues avec des configurations différentes. Par exemple, pour 10 étages avec  $N_T/N_B=4/6$ , nous obtenons la même fréquence qu'avec 5 étages avec  $N_T/N_B = 2/3$ , soit 1,4 GHz. Cela est dû à la proportionnalité de la fréquence de sortie du PSTR au ratio  $N_T/N_B$ . La deuxième raison est que certaines configurations produisent une oscillation en mode rafale (*burst*). Nous avons obtenu avec cette stratégie 10 fréquences avec un rapport cyclique de 50% et 3 avec un rapport cyclique de 30%. Un rapport cyclique de 50% est obligatoire uniquement pour les applications qui utilisent les deux fronts [BUI 06]. En conclusion, nous avons trois stratégies différentes de contrôle de la fréquence que nous pouvons choisir selon l'application.

La Figure 6-6 présente le changement de la sortie d'une fréquence basse à une fréquence haute par le changement de TCW/SCW. Nous avons obtenu la fréquence basse avec la configuration 10T/1B et la fréquence haute avec la configuration 6T/5B.

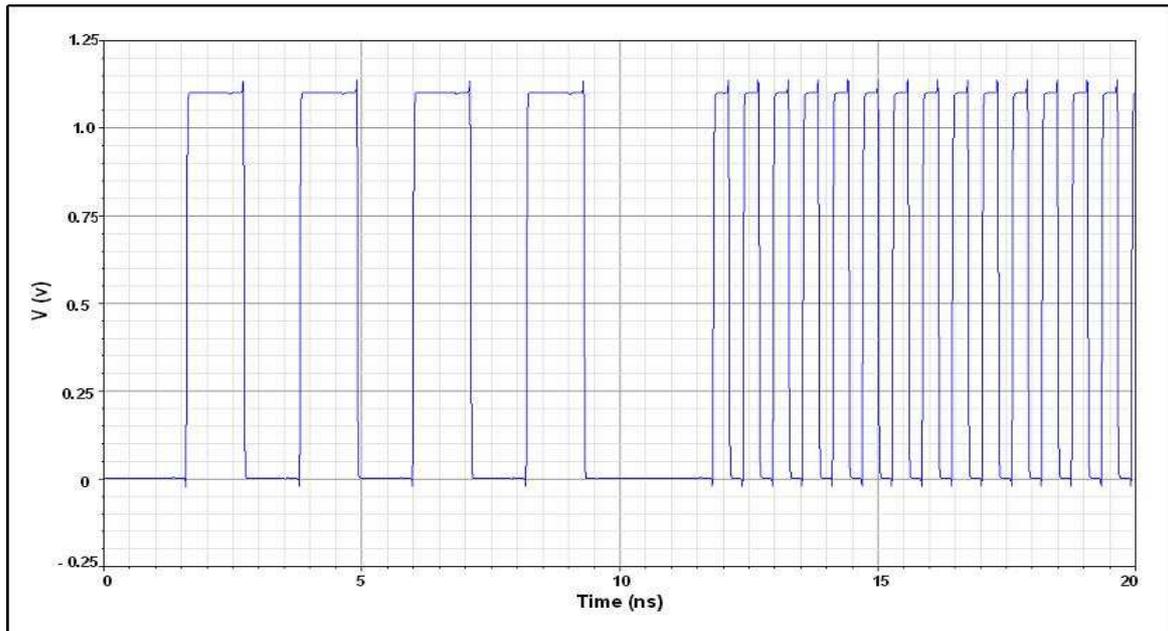


Figure 6-6 : Exemple de changement de fréquence du PSO

## 4.2. Fréquence vs. Tension d'alimentation

La caractéristique du PSTR en fonction de sa tension d'alimentation est un élément très intéressant. De manière générale, la vitesse des circuits asynchrones, y compris les anneaux asynchrones, peut être contrôlée naturellement par la tension d'alimentation. Notre implémentation du PSTR utilisant la Solution1 est examinée en fonction du changement de la tension d'alimentation. Les résultats sont présentés sur la figure 6-7. Le PSTR est configuré de sorte qu'il oscille avec sa fréquence maximale. Sa tension d'alimentation passe de zéro à 1.1V. L'anneau n'oscille plus sous 0.5V. Entre 0,8V et 1.1V, le changement de la fréquence en fonction de la tension est linéaire. Cette linéarité, nous permet d'utiliser la tension pour générer davantage de fréquences et/ou pour un réglage fin de la fréquence d'oscillation. Cependant, nous n'avons pas complètement inclus cette fonction dans notre implémentation. Il faudrait en effet inclure des travaux sur les régulateurs de tension et les translateurs de niveau pour ajouter cette fonctionnalité.

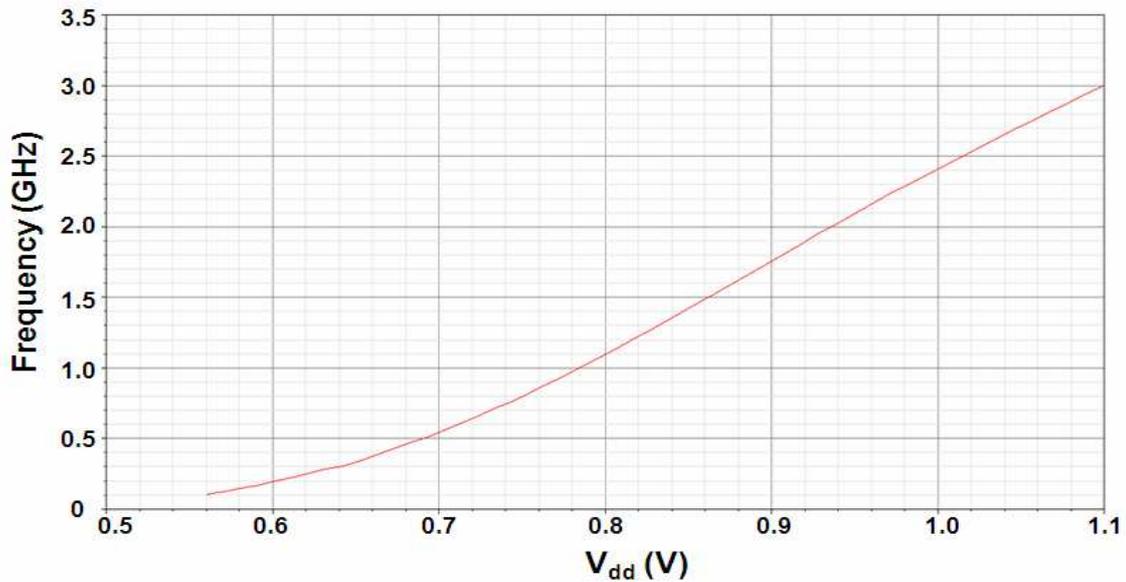


Figure 6-7 : La fréquence de sortie du PSTR Vs. Tension d'alimentation.

### 4.3. La sensibilité aux variations de processus

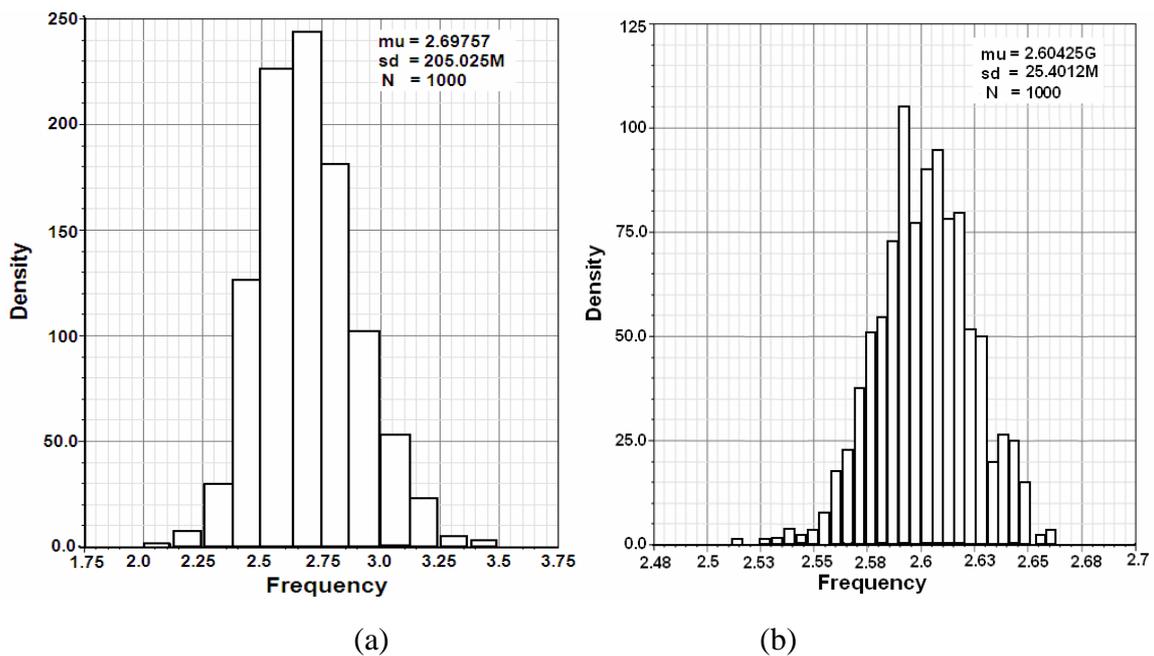


Figure 6-8 : Les variations du procesus du PSTR (a) Inter-Die (b) Intra-Die.

Afin de mesurer l'effet de la variabilité des procédés de fabrication sur l'implémentation proposée, une simulation de Monte-Carlo (1000 itérations) de la Solution1 avec 12 étages utilisant la configuration 6T/6B a été réalisée. Comme le montre la figure 6-

8.a, pour la variabilité Inter-Die (ou Die-to-Die), nous obtenons une fréquence moyenne de 2,7 GHz, et un écart type de 205 MHz. Ce qui donne un effet de variabilité du procédé sur la période d'horloge de 7,6%. Pour variabilité Intra-Die (Within-Die), les résultats de simulation nous donnent une fréquence moyenne de 2,6 GHz et un écart type de 25 MHz, ce qui signifie un effet de variabilité de processus sur la période d'horloge de 1% (Figure 6-8.b)

## 5. Conclusion

Ce chapitre aborde le problème de la conception d'un oscillateur programmable et arrêtable ciblant des applications qui ont besoin de fréquences compris entre 3 GHz à 400 MHz. L'oscillateur asynchrone est choisi comme le noyau de l'oscillateur en raison de ses nombreux avantages (la configurabilité, la précision, la robustesse contre la variabilité des processus ...).

En utilisant trois stratégies différentes, la programmation de l'oscillateur en asynchrone est présentée. Les stratégies proposées sont des solutions architecturales simples. Ces stratégies montrent une grande efficacité et flexibilité pour changer la fréquence de l'anneau. Basé sur un oscillateur en anneau asynchrone programmable, l'oscillateur programmable et arrêtable a été conçu et implémenté. Un protocole de communication efficace entre le processeur et l'oscillateur est utilisé pour assurer une commutation correcte d'une fréquence à une autre. L'oscillateur est conçu en prenant en compte les problèmes de *glitches* et des horloges tronquées en sortie. Les architectures proposées ont été implémentées en utilisant la technologie CMOS 45nm de STMicroelectronics. Pour chaque stratégie, nous avons évalué la vitesse, la consommation et la sensibilité aux variations des procédés de fabrication. L'implémentation présente une large plage de fréquences avec des pas de fréquence réguliers. En utilisant une simulation de Monte-Carlo avec 1000 itérations, notre implémentation montre une variabilité Intra-Die de moins de 1% et environ 7,5% de variabilité inter-Die sur la période de l'horloge. La caractéristique du PSTR en fonction de sa tension d'alimentation est aussi étudiée. La variation de la fréquence est linéaire par rapport à la tension d'alimentation.

Ce travail montre comment les oscillateurs en anneau asynchrones peuvent être efficacement utilisés pour l'implémentation d'un oscillateur programmable et arrêtable. Le circuit implémenté donne des résultats très satisfaisants en termes de vitesse, de puissance consommée, de variabilité, de régularité du pas de fréquence et de la largeur de la bande de

fréquence. A notre connaissance, ce circuit est la première implémentation réalisée d'un oscillateur programmable basé sur un anneau asynchrone.



# Chapitre 7.

## *TestChip : Validation sur Silicium en Technologie STCMOS065*

---

### I. Introduction

Nous avons réalisé un circuit de test en technologie CMOS065 de STMicroelectronics qui embarque plusieurs types d'anneaux asynchrones dans le but de valider sur silicium le fonctionnement et les performances des oscillateurs en anneau asynchrones. On souhaite montrer principalement les points suivants :

- Generation de différentes fréquences d'oscillation par configuration du nombre de jetons et de bulles injectés dans l'anneau pendant la phase d'initialisation par deux méthodes de programmation : en utilisant les portes de Muller avec des signaux de SET/RESET (Solution 1 du chapitre 6) et par injection de jetons en série.
- L'amélioration du bruit de phase de 3dB lorsqu'on double le nombre d'étages et que l'on conserve la même fréquence d'oscillation.
- Montrer qu'on peut obtenir des sorties polyphasées équidistantes et indépendantes des délais des portes.

Le testchip a été caractérisé sous pointes dans le laboratoire RF de STMicroelectronics Crolles.

## 2. L'architecture de TestChip

La figure 7-1 montre l'architecture du TestChip. Il est composé d'une interface d'entrée (SIO) pour la programmation et la sélection des oscillateurs, un bloc qui contient plusieurs oscillateurs et une interface de sortie pour sortir les signaux RF.

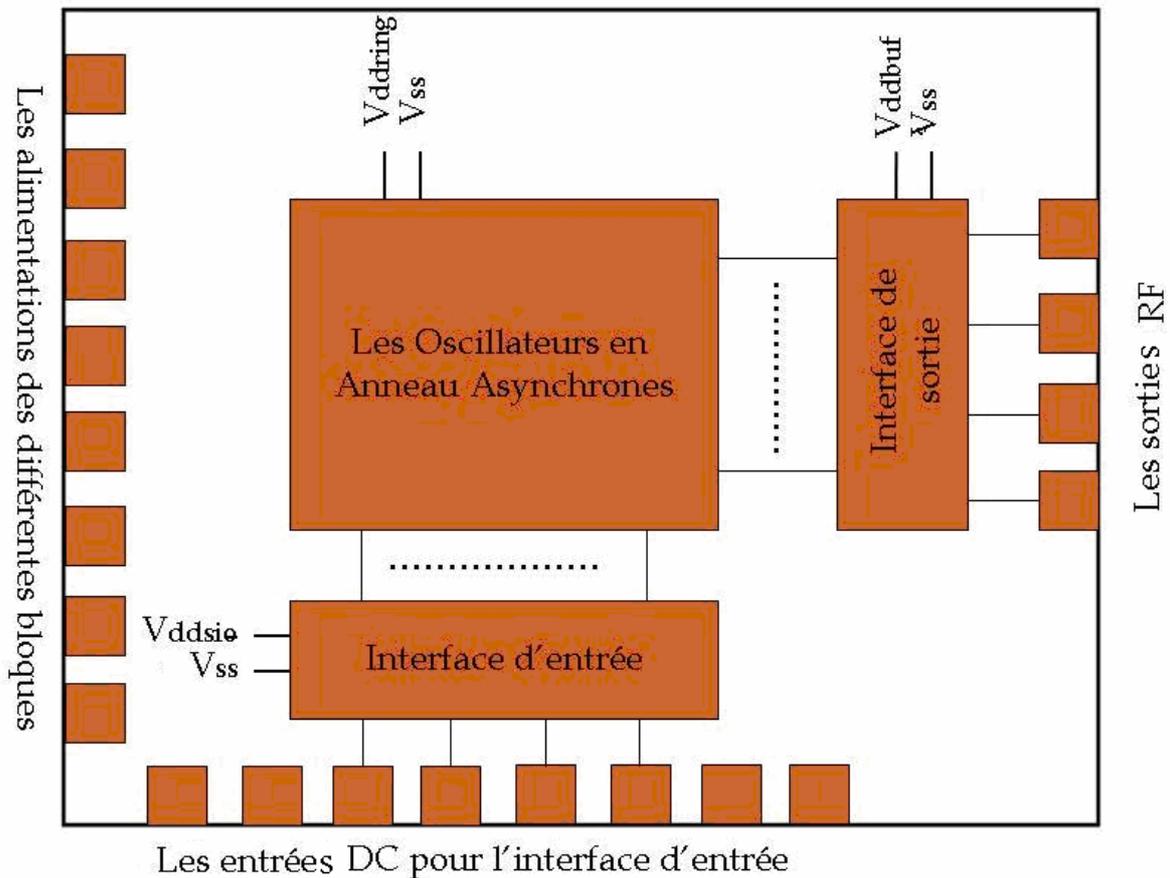


Figure 7-1 : L'architecture du TestChip

### 2.1. Interface d'entrée

L'interface d'entrée utilise un protocole JTAG (Joint Test Action Group) de la norme IEEE 1149.1 intitulé « Standard Test Access Port and Boundary-Scan Architecture ». Le bus JTAG est un bus série synchrone composé des cinq signaux de contrôle suivants (Figure 7-2):

- TMS, (Test Mode Select) Signal d'activation de la communication JTAG,

- TCK, (Test Clock) Horloge,
- TDI, (Test Data Input) Entrée des données,
- TDO, (Test Data Output) Sortie des données,
- TRST, (Test ReSeT) Réinitialisation. Ce signal optionnel est actif au niveau bas.

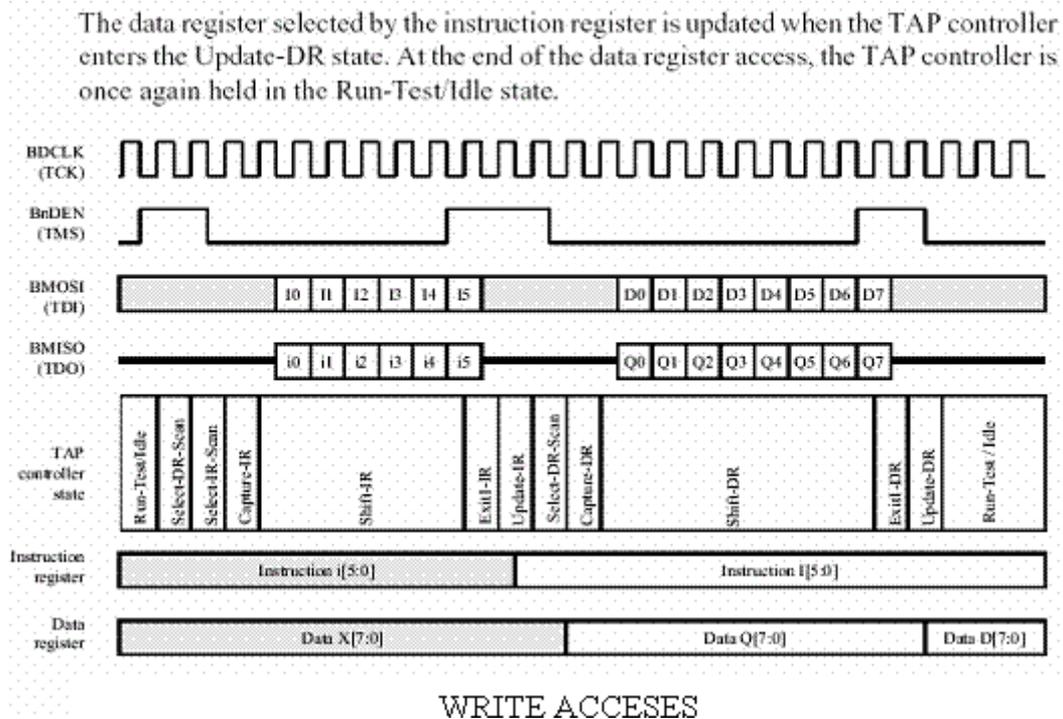


Figure 7-2 : Le protocole JTAG en écriture

Cette interface consiste à donner un accès auxiliaire aux broches d'entrée-sortie des composants fortement intégrés. Chaque broche d'entrée-sortie n'est pas connectée directement à l'intérieur du composant, mais à travers une « cellule JTAG » permettant de la piloter indépendamment de sa fonction initiale. Dans notre cas, nous avons utilisé ce protocole pour piloter les entrées des composants (oscillateurs et interfaces de sortie) qui sont de l'ordre de la centaine.

La Figure 7-3 montre les résultats de simulation pour activer un oscillateur (2T/1B) en utilisant la sortie JTAG. Selon le Protocole (Figure 7-2), nous avons programmé les signaux TMS et TDI par les codes d'adresse (IR) et données (DR) appropriés à l'activation de la sortie JTAG qui active l'oscillateur 2T/1B.

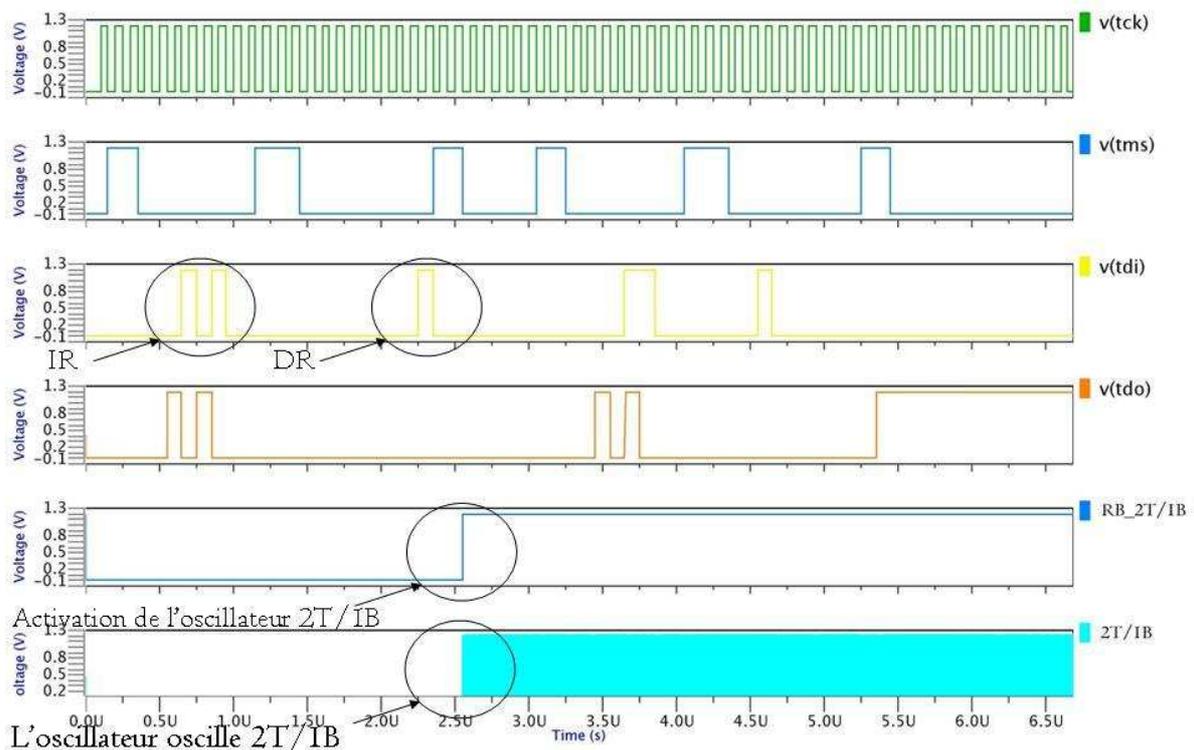


Figure 7-3 : L'activation d'oscillateur 2T/1B par le protocole JTAG

## 2.2. Le cœur du testchip : les oscillateurs en anneau asynchrones

Afin de valider le fonctionnement et les performances des oscillateurs en anneau asynchrones. Le cœur de ce testchip contient neuf oscillateurs en anneau asynchrones et un oscillateur à base d'inverseurs :

**OSC\_2T\_1B** : Un oscillateur en anneau asynchrone à trois étages qui contient deux jetons et une bulle préprogrammés en utilisant deux étages avec un signal RESET et un étage avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_4T\_2B** : Un oscillateur en anneau asynchrone à six étages qui contient quatre jetons et deux bulles préprogrammés en utilisant quatre étages avec un signal RESET et deux étages avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_8T\_4B** : Un oscillateur en anneau asynchrone à douze étages qui contient huit jetons et quatre bulles préprogrammés en utilisant huit étages avec un signal RESET et

quatre étages avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_2T\_3B** : Un oscillateur en anneau asynchrone à cinq étages qui contient deux jetons et trois bulles préprogrammés en utilisant trois étages avec un signal RESET et deux étages avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_2T\_3B\_DYN** : Un oscillateur en anneau asynchrone à cinq étages qui contient deux jetons et trois bulles préprogrammés en utilisant trois étages avec un signal RESET et deux étages avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_2T\_2B** : Un oscillateur en anneau asynchrone à quatre étages qui contient deux jetons et deux bulles préprogrammés en utilisant deux étages avec un signal RESET et deux étages avec un signal SET exploitant l'implémentation conventionnelle de la porte de Muller.

**OSC\_2T\_1B\_MOD** : Un oscillateur en anneau asynchrone à trois étages modifiés qui contient deux jetons et une bulle préprogrammés en utilisant deux étages avec un signal RESET et un étage avec un signal SET exploitant l'implémentation dynamique de la porte de Muller modifiée.

**OSC\_21\_PROG\_SET\_REST** : Un oscillateur en anneau asynchrone à vingt et un étages utilisant des étages conventionnels avec les signaux SET et RESET. Cet oscillateur a quatre sorties. Il comporte quatre blocs de multiplexeurs qui permettent de sélectionner quatre phases de l'oscillateur parmi les vingt et une phases de l'oscillateur. Les vingt et une phases peuvent provenir de n'importe quelle sortie. On peut donc faire sortir la même phase sur les quatre sorties simultanément. Cela nous sera utile pour calibrer l'appareil de mesure lors de la mesure du déphasage.

**OSC\_21\_PROG\_SERIE** : Un oscillateur en anneau asynchrone à vingt et un étages utilisant des étages conventionnels avec le signal RESET. Le premier et le dernier étage contiennent chacun un multiplexeur pour l'ouverture de l'anneau utilisée pour la programmation série.

Initialement l'anneau est ouvert après avoir initialisé tous les étages à 0 avec le signal RB. La phase de configuration consiste à injecter le nombre voulu de jetons dans l'anneau. En utilisant l'entrée CONFIG. L'injection d'un jeton correspond à une transition.

Les deux premières transitions se propagent jusqu'aux étages 21 et 20 qui mémorisent les valeurs 1 et 0 respectivement. Ces deux transitions successives créent deux jetons qui s'empilent dans les étages 21 et 20. Si de nouvelles transitions sont générées sur l'entrée CONFIG, alors, de nouveaux jetons sont créés et s'empilent progressivement sur les jetons déjà présents. Ainsi, en contrôlant le nombre de transitions du signal CONFIG, on contrôle le nombre de jetons dans l'anneau. Une fois configuré avec le nombre de jetons voulu, l'oscillateur peut être démarré en positionnant OPEN à 0 pour fermer l'anneau [HAM 09].

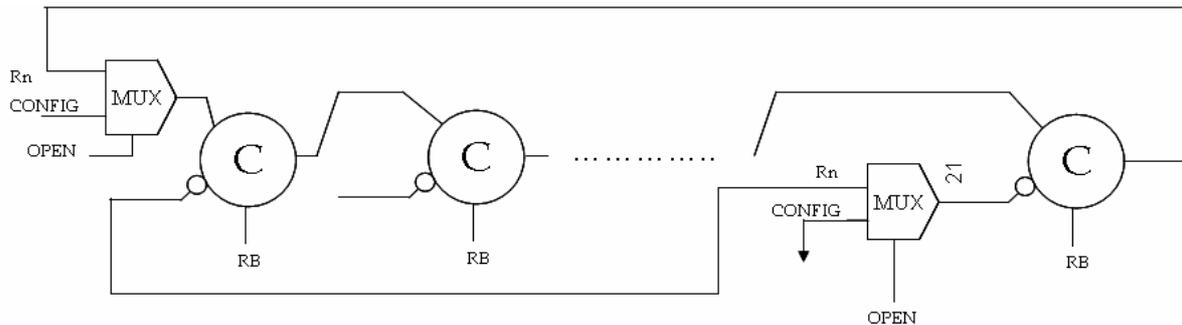


Figure 7-4 : L'architecture de l'oscillateur OSC\_21\_PROG\_SERIE

La figure 7-5 représente le chronogramme de la phase de configuration pendant laquelle 12 jetons sont injectés dans l'anneau.

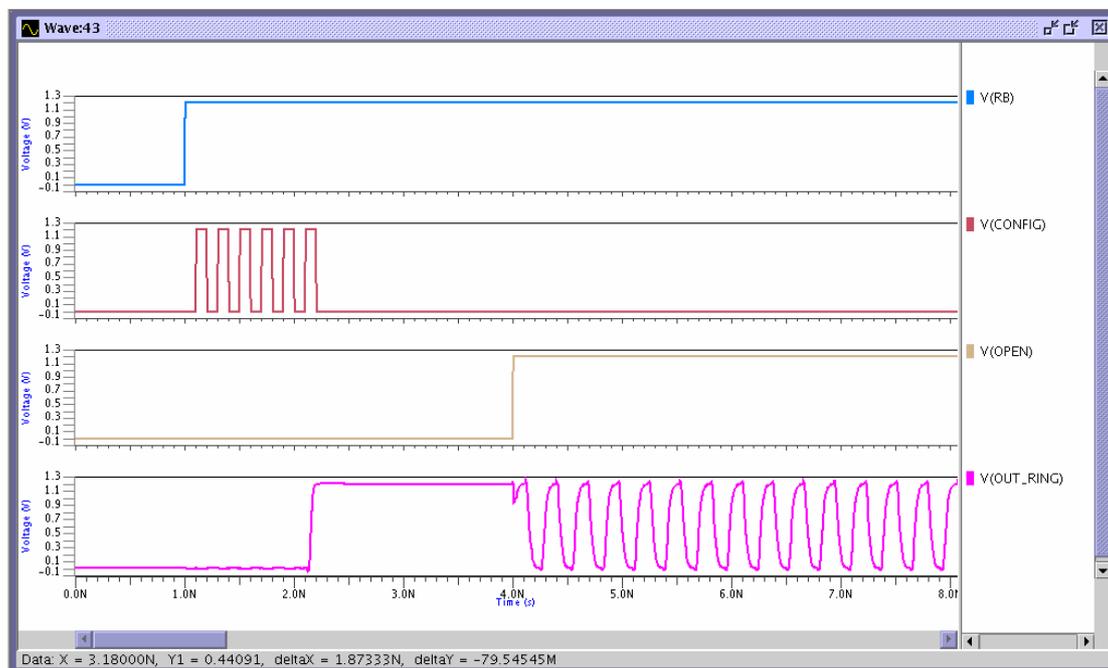


Figure 7-5 : L'injection de 12 jetons en série

**OSC\_21\_INV** : Un oscillateur à base d'inverseurs à vingt et un étages.

A noter que toutes les entrées comportent des protections CDM et un buffer est ajouté à la sortie de chaque oscillateur.

### 2.3. L'interface de sortie

L'interface de sortie permet de sélectionner la sortie (ou les sorties) de l'oscillateur (des oscillateurs) vers quatre sorties RF. Nous pouvons sortir n'importe quelle sortie de l'oscillateur sur n'importe quelle sortie RF. Cette interface contient aussi un diviseur de fréquence par deux et des buffers de sortie pourront être chargé par une d'impédance 50 ohms.

### 2.4. Les alimentations, entrées et sorties

Le circuit comporte onze entrées/sorties DC. Six entrées servent à l'alimentation et la mise à la masse des trois blocs du circuit (VDDSI0, VSSSI0, VDDRING, VSSRING, VDDBUF, VSSBUF). Les cinq autres entrées/sorties sont les signaux de l'interface JTAG (TMS, TCK, TDI, TDO, TRST) qui permettent de sélectionner et programmer les oscillateurs. Par ailleurs, le circuit présente six sorties RF de type GSG (Ground-Signal-Ground). Quatre plots de sortie sont sur le côté droit du circuit (OUT1, OUT2, OUT3, OUT4) et deux sont en haut du circuit (OUT3BIS et OUT4BIS). Ils constituent une duplication des sorties OUT3 et OUT4. Cette duplication a pour but de faciliter la mesure de déphasage entre quatre signaux car l'environnement de mesure ne permet de traiter que deux signaux RF à la fois de chaque côté.

### 2.5. Layout et Circuit

La figure 7-6 montre le *layout* et la photo du circuit. La surface globale est définie par la couronne de plots (*pad-limited*). La dimension de la couronne de plots est de 1.7×1.7 pour une surface totale de 2.9mm<sup>2</sup>.

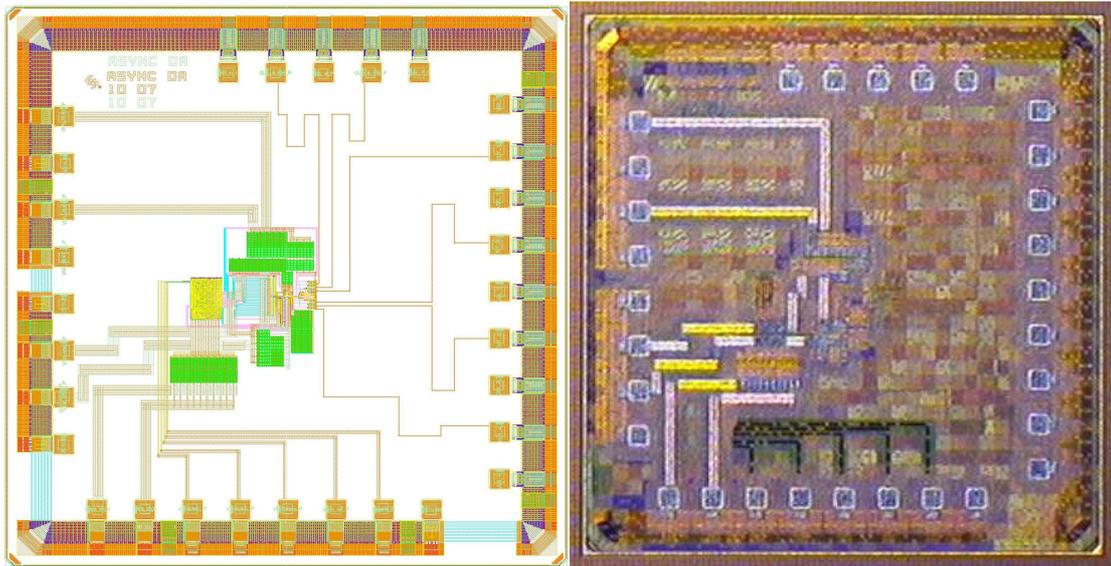


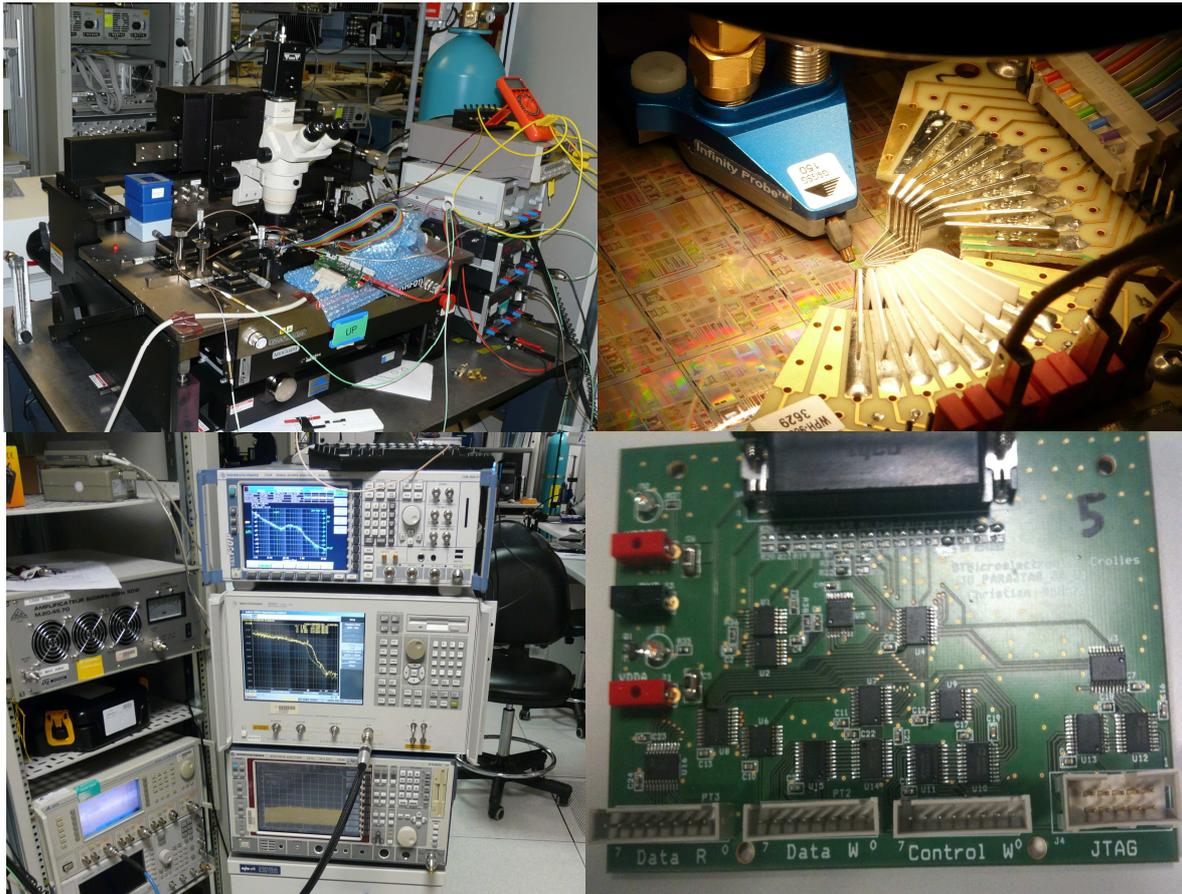
Figure 7-6 : Layout et photo du Circuit

### 3. Les mesures expérimentales

La mesure de performance en bruit de phase et le déphasage des oscillateurs en anneau est une mesure délicate à effectuer. Elle nécessite des appareils de mesures particulièrement performants. Nous avons réalisé ces mesures expérimentales dans le laboratoire RF de STMicroelectronics à Crolles qui dispose de ce type de matériel. Le circuit a été caractérisé sous pointes.

#### 3.1. L'environnement de mesure

L'environnement de mesures comprend un "wafer prober" (Figure 7-7.a et Figure 7-7.b) pour le test sous pointe du circuit directement sur le wafer, une alimentation stabilisée, un analyseur de spectre, un appareil de mesure de bruit de phase, un oscilloscope 16GHz et un ampèremètre (Figure 7-7.c). La programmation de la partie JTAG est gérée depuis un PC à travers un programme Labview et une carte d'interface branchée au port parallèle.



(a) “wafer prober”

(b) le circuit sous pointes

(c) une partie des appareils de mesure

(d) Carte d’interface JTAG

Figure 7-7 : L’environnement de mesure

## 3.2. Les mesures expérimentales

### 3.2.1. Les oscillateurs OSC\_2T\_1B, OSC\_4T\_2B et OSC\_8T\_4B.

Nous avons mesuré les performances en bruit de phase des oscillateurs OSC\_2T\_1B, OSC\_4T\_2B et OSC\_8T\_4B. Le résumé des performances est présenté dans le tableau 7-1. On remarque l’amélioration du bruit de phase en doublant le nombre d’étages dans l’anneau tout en gardant la même fréquence d’oscillation. On constate que le bruit de phase de l’oscillateur OSC\_8T\_4B à 1MHz de fréquence d’offset est amélioré de 2,84dB par rapport à OSC\_4T\_2B et de 7,19dB par rapport à OSC\_2T\_1B. Nous avons annoncé dans le chapitre 5 une amélioration de 3dB en doublant le nombre d’étages. Ici, nous avons obtenu une amélioration de 4,35dB en passant de trois étages à six étages et une amélioration de 2,84 en passant de six étages à douze étages. Cette différence peut être due à la précision des appareils de mesure ou au buffers de sortie qui sont identiques pour les

trois oscillateurs ce qui explique que la consommation de puissance des oscillateurs OSC\_4T\_2B et OSC\_8T\_4B n'est pas exactement le double et le quadruple de l'oscillateur OSC\_2T\_1B.

Tableau 7-1 : Les performances des oscillateurs OSC\_2T\_1B, OSC\_4T\_2B et OSC\_8T\_4B

L'oscillateur	Fréq. (GHz)	Conso. (mA)	Bruit de phase à 1 MHz (Hz)	Bruit de phase à 10 MHz (dBc/Hz)
<b>OSC_2T_1B</b>	2,00	180	-83,32	-108,95
<b>OSC_4T_2B</b>	2,00	340	-87,67	-111,53
<b>OSC_8T_4B</b>	2,00	600	-90,51	-114,73

La figure 7-8 montre l'allure du bruit de phase des oscillateurs OSC\_2T\_1B et OSC\_8T\_4B entre 1KHz et 30MHz de fréquence d'offset. On remarque une différence de 6dB environ entre ces deux oscillateurs ce qui est conforme à ce que nous avons annoncé dans le chapitre 5.



Figure 7-8 : Le bruit de phase dans les oscillateurs OSC\_2T\_1B et OSC\_8T\_4B

### 3.2.2. L'oscillateur OSC\_2T\_2B.

Nous avons mesuré les performances de l'oscillateur OSC\_2T\_2B. Ces performances sont présentées dans le Tableau 7-2. Les performances en bruit de phase de cet oscillateur sont très attractives. Le bruit de phase à 1MHz et à 10MHz d'offset est

respectivement -86,05 dBc/Hz et -110,34 dBc/Hz pour une fréquence de 5GHz et une consommation de courant de 800µA, ce qui donne un excellent facteur de mérite (-160,20dB à 1MHz et -164.49dB à 10MHz). Ces performances montrent que les oscillateurs en anneau asynchrones sont une alternative très sérieuse aux oscillateurs à inverseurs (cf. comparaison du paragraphe 5 du chapitre 5). La Figure 7-9 montre l’allure du bruit de phase de cet oscillateur entre 1kHz et 30MHz de fréquence d’offset.

Tableau 7-2 : Les performances de l’oscillateur OSC\_2T\_2B

L’oscillateur	Freq. (GHz)	Conso. (µA)	Bruit de phase (dBc/Hz)		Facteur de mérite (dB)	
			à 1MHz	à 10 MHz	à 1MHz	à 10 MHz
<b>OSC_2T_2B</b>	5.00	800	-86.05	-110.34	-160,20	-164.49

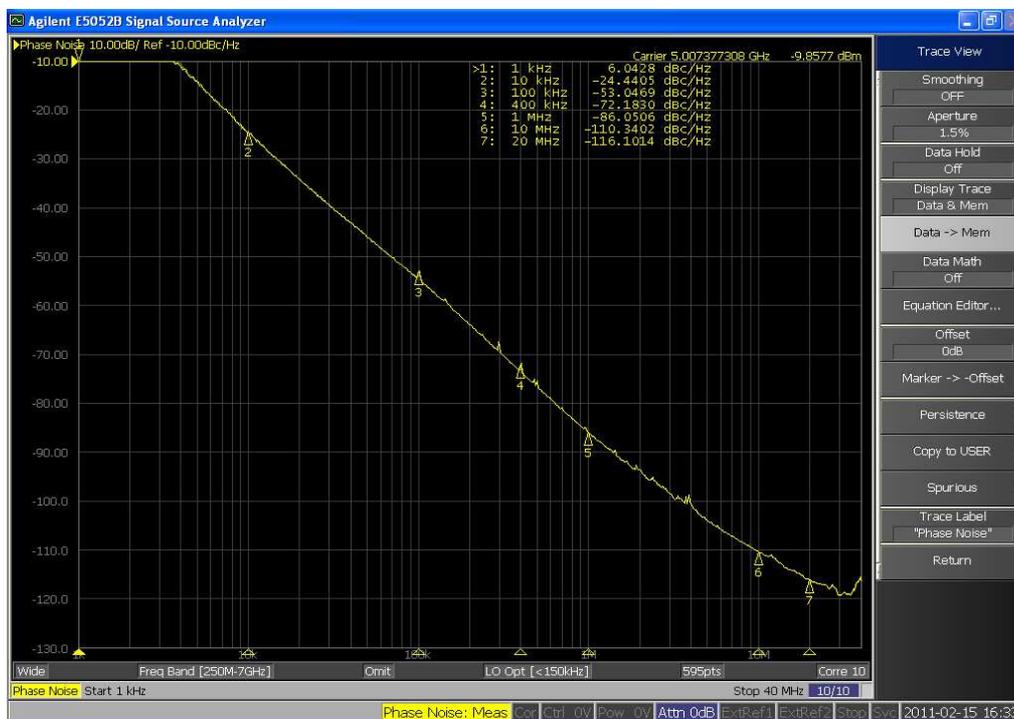


Figure 7-9 : Le bruit de phase dans les oscillateurs OSC\_2T\_2B

### 3.2.3. Les oscillateurs OSC\_2T\_3B et OSC\_2T\_3B\_DYN

Les performances des oscillateurs OSC\_2T\_3B et OSC\_2T\_3B\_DYN sont présentées dans le Tableau 7-3. On remarque que les performances en bruit de phase de l’oscillateur OSC\_2T\_3B\_DYN composé des cellules de Muller dynamiques a un bruit de phase meilleur par rapport à l’oscillateur OSC\_2T\_3B composé des cellules conventionnelles de la porte de Muller avec une consommation quasi-identique. Dans le

chapitre 4, nous avons montré que les performances en bruit de phase (comparaison en termes de FOM) de l'implémentation conventionnelle sont quasi-identiques. Ici **OSC\_2T\_3B\_DYN** basé sur l'implémentation dynamique présente un FOM meilleur que l'oscillateur **OSC\_2T\_3B** basé sur l'implémentation conventionnelle. L'oscillateur **OSC\_2T\_3B** est composé des mêmes étages que nous avons utilisés dans les oscillateurs précédents. Nous avons vu, dans le Chapitre 4, que l'optimisation de l'étage dépend de la configuration, et que le point optimal de la configuration 2T/3B est différent des autres configurations. Etant donné que les étages utilisés ne sont pas dimensionnés de telle sorte à optimiser les performances de la configuration 2T/3B, et que les cellules dynamiques utilisées dans l'oscillateur **OSC\_2T\_3B\_DYN** sont dimensionnées et optimisées spécialement pour cette configuration, nous pouvons expliquer les résultats du Tableau 7-3. Les figures 7-10 et 7-11 présentent l'allure du bruit de phase de ces oscillateurs entre 1kHz et 30MHz de fréquence d'offset.

Tableau 7-3 : Les performances des oscillateurs OSC\_2T\_3B et OSC\_2T\_3B\_DYN

L'oscillateur	Fréq. (GHz)	Conso. ( $\mu$ A)	Bruit de phase à 1 MHz (dBc/Hz)	FOM à 1 MHz (dB)
<b>OSC_2T_3B</b>	3.5	833	-81	-152,69
<b>OSC_2T_3B_DYN</b>	4,5	800	-81,36	-155,93

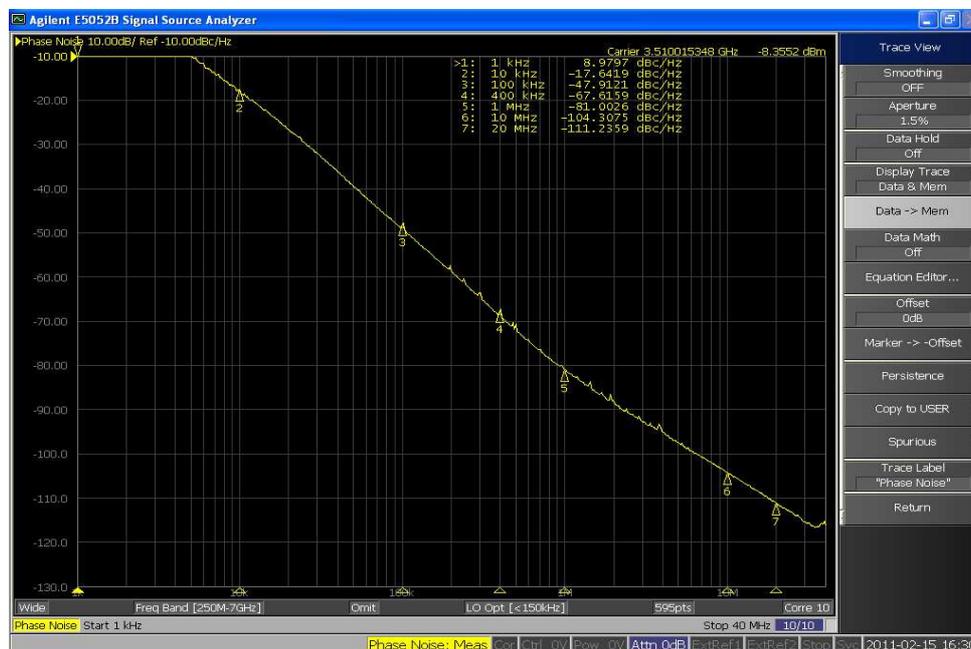


Figure 7-10 : Le bruit de phase dans l'oscillateur OSC\_2T\_3B



Figure 7-11 : Le bruit de phase dans l'oscillateur OSC\_2T\_3B\_DYN

### 3.2.4. L'oscillateur OSC\_2I\_PROG\_SET\_REST

Nous avons mesuré la fréquence et le courant consommé pour toutes les configurations possibles de l'oscillateur OSC\_2I\_PROG\_SET\_REST. Le tableau 7-4 montre les résultats. Selon la configuration initiale des signaux SET et RESET des étages pendant la phase de configuration, dix fréquences différentes allant de 273 MHz à 1700 Mhz peuvent être générées à la sortie de l'oscillateur. Cet oscillateur contient un bloc de multiplieurs qui peut sélectionner quatre sorties parmi les vingt et une sorties de l'oscillateur, ce qui explique la consommation assez élevée en courant.

Dans cet oscillateur il existe des configurations qui peuvent générer des sorties polyphasées ; 20T/1B et 10T/11B par exemple qui peuvent générer vingt et une phases. Dans le but de mesurer le déphasage entre les sorties successives nous avons programmé le bloc de multiplexage pour sélectionner quatre sorties successives. Il est très difficile de mesurer le déphasage avec précision sur des signaux à haute fréquence avec les appareils de mesure qui existent. Pour cette raison, nous avons mesuré le déphasage de quatre phases successives en utilisant la configuration 20T/1B. Les figures 7-12 et 9-13 montrent les résultats de mesure. On remarque que les quatre phases successives sont déphasées de 17 degrés. Ce qui correspond exactement au résultat attendu théoriquement ( $360^\circ/21\text{phases}=17.14^\circ$ ).

Tableau 7-4 : Les performances de l'oscillateur OSC\_21\_PROG\_SET\_RESET

La configuration T/B	La fréquence (MHz)	La consommation en courant (mA)
20T/1B	273	1.2
18T/3B	690	2.62
16T/5B	1090	4,06
14T/7B	1480	5,23
12T/9B	1700	5,93
10T/11B	1680	5,90
8T/13B	1670	5,90
6T/15B	1360	4,88
4T/17B	Rafale (456/1440)	3,85
2T/19B	505	2,01



Figure 7-12 : Quatre phases de la configuration 20T/1B (1)

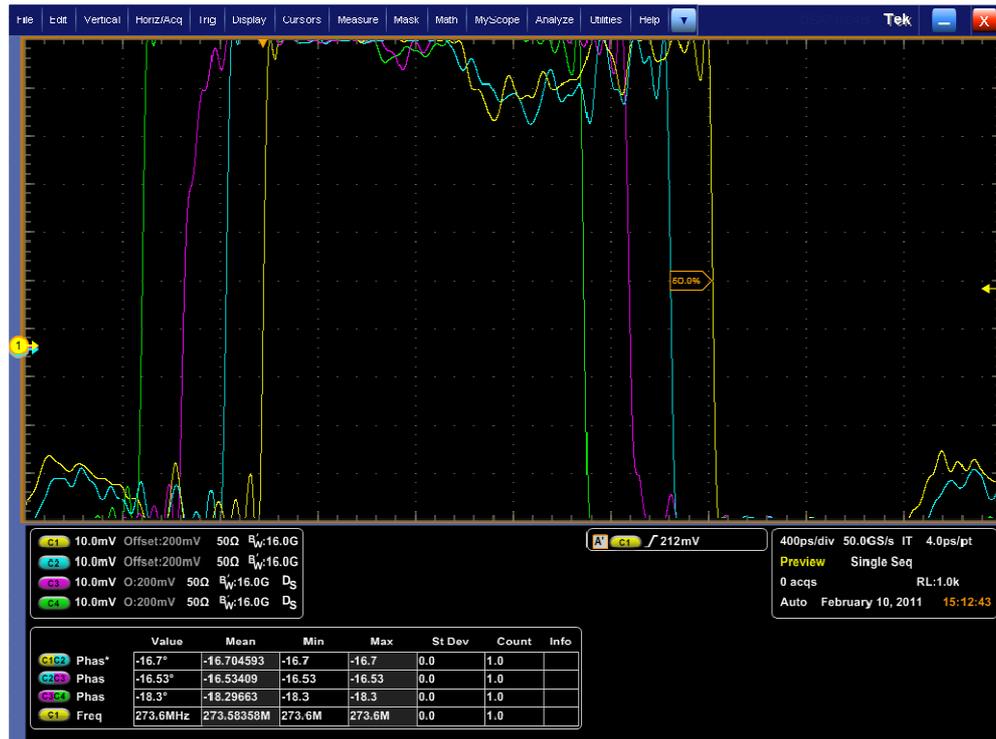


Figure 7-13 : Quatre phases de la configuration 20T/1B (2)

### 3.2.5. L'oscillateur OSC\_21\_PROG\_SERIE

Nous avons mesuré la fréquence et le courant consommé pour toutes les configurations possibles de l'oscillateur OSC\_21\_PROG\_SERIE. Le tableau 7-5 montre les résultats. Comme nous l'avons vu dans le paragraphe précédent, cet oscillateur est composé d'étages avec seulement des signaux de remise à zéro RESET. L'initialisation se fait par l'injection des jetons en série.

Cet oscillateur est censé être plus rapide que le précédent, du fait qu'il contient des étages plus petits (sans signal SET). Ce que nous pouvons vérifier on comparant les configurations 2T/19B et 20T/1B des oscillateurs OSC\_21\_PROG\_SERIE et OSC\_21\_PROG\_RB\_SET. A partir du Tableau 7-5, on remarque qu'on obtient la même fréquence d'oscillation pour les configurations 14T/7B, 12T/9B, 10T/11B, 8T/13B et 6T/15B. Ce résultat est dû au phénomène du « Bottleneck » : La vitesse de l'anneau est limitée par le délai de l'étage le plus lent [GIL 09]. Dans cet oscillateur les étages ne sont pas identiques. Le premier est le dernier étage sont différents des autres étages (ils contiennent des multiplexeurs). La vitesse des étages est limitée par le délai  $D_{ff}$  du premier étage et le délai  $D_{tr}$  du dernier étage.

Tableau 7-5 : Les performances de l'oscillateur OSC\_21\_PROG\_SERIE

La configuration T/B	La fréquence (MHz)	La consommation en courant ( $\mu$ A)
20T/1B	307	260
18T/3B	Rafale (1320/620)	557
16T/5B	1260	857
14T/7B	1510	992
12T/9B	1510	987
10T/11B	1510	980
8T/13B	1510	972
6T/15B	1510	968
4T/17B	Rafale (1070/1530)	824
2T/19B	637	470

### 3.2.6. L'oscillateur OSC\_21\_INV

Le tableau 7-6 présente les performances de l'oscillateur OSC\_21\_INV. Cet oscillateur basé sur des cellules « inverseur » oscille à une fréquence de 1.75GHz avec une consommation de courant de 208  $\mu$ A. La Figure 7-14 présente le bruit de phase mesuré.

Tableau 7-6 : Les performances de l'oscillateur OSC\_21\_INV

L'oscillateur	Freq. (GHz)	Conso. (mA)	Bruit de phase (dBc/Hz)		Facteur de mérite (dB)	
			à 1MHz	à 10 MHz	à 1MHz	à 10 MHz
<b>OSC_21_INV</b>	1.75	208	-87.88	-111.69	-158.71	-162.52

Les performances en bruit de phase de cet oscillateur sont du même ordre de grandeur que l'oscillateur en anneau asynchrone présenté précédemment. En revanche, l'amélioration de ces performances n'est pas facile et nécessite un réglage minutieux. Dans les oscillateurs en anneau asynchrone nous pouvons améliorer le bruit de phase simplement en doublant le nombre d'étages, tout en gardant la même fréquence d'oscillation.

De plus, cet oscillateur contient 21 cellules inverseurs pour fournir 21 sorties polyphasées. On remarque que la fréquence d'oscillation est de 1.75 GHz. Ce qui n'est pas

le cas des oscillateurs en anneaux asynchrones où le nombre de sorties polyphasées est indépendant du nombre d'étages.



Figure 7-14 : Le bruit de phase dans l'oscillateur OSC\_21\_INV

## 4. Conclusion

Ce chapitre, qui conclut ce manuscrit, présente les résultats des mesures réalisées sur le circuit de test qui embarque plusieurs types d'anneaux asynchrones en technologie CMOS065 de STMicroelectronics. Ces validations expérimentales confirment les avantages des oscillateurs en anneau asynchrones. Nous avons vu qu'il est possible de générer différentes fréquences d'oscillation par configuration du nombre de jetons et de bulles injectés dans l'anneau pendant la phase d'initialisation, par deux méthodes de programmation : en utilisant des portes de Muller avec des signaux de SET/RESET ou par injection de jetons en série. Nous avons pu vérifier que les performances en bruit de phase s'améliorent de 3dB en doublant le nombre d'étages tout en conservant la même fréquence d'oscillation. Nous avons montré également qu'on peut avoir des sorties polyphasées équidistantes indépendantes des délais de propagation dans la porte de Muller. Les résultats de ce chapitre montrent que les oscillateurs en anneau asynchrones, très peu connus dans le

monde de l'industrie, sont une alternative très sérieuse aux oscillateurs en anneau classiques à base d'inverseurs.

---

# *Conclusion*

---

Les travaux de thèse présentés dans ce manuscrit se sont focalisés sur les avantages et les potentiels offerts les oscillateurs en anneau asynchrones. Cette conclusion synthétise les éléments clés et les principales contributions de cette thèse.

Dans la première partie de ce manuscrit, nous avons montré l'adéquation entre les systèmes de radiocommunication et la conception asynchrone. Dans le premier chapitre, nous avons effectué un tour d'horizon des architectures d'oscillateurs les plus fréquemment utilisés en microélectronique. Aujourd'hui, on cherche à concevoir des oscillateurs qui sont très stables en fréquence, qui consomment peu et qui ont une surface très faible. Toutes ces caractéristiques sont très difficiles à obtenir avec un même circuit. Les oscillateurs permettant d'obtenir un bruit de phase répondant aux exigences des standards de radiocommunication utilisent un résonateur LC. Cependant, l'utilisation d'oscillateurs LC présente beaucoup d'inconvénients : principalement un coût en surface élevé, une consommation importante et une sensibilité aux rayonnements électromagnétiques. A l'opposé, les oscillateurs en anneaux classiques présentent l'avantage d'avoir une surface de silicium très faible et consomment beaucoup moins que les oscillateurs LC. Cependant leurs performances en bruit de phase sont très inférieures aux exigences des standards de communications sans fil.

La technologie asynchrone semble être une alternative à l'approche synchrone en général et dans le domaine des radiocommunications en particulier. Dans le chapitre 2, nous avons présenté les concepts de base, les propriétés et les avantages de la technologie asynchrone ainsi que sa bonne adéquation entre les propriétés de cette technologie et les besoins en radiocommunication.

Dans ce chapitre 3, nous avons détaillé l'architecture des oscillateurs en anneau asynchrones et leurs principes de fonctionnement. Nous avons présenté un modèle qui

intègre les effets de *Charlie* et de *drafting* qui sont des effets analogiques qui caractérisent les portes de Muller. Une méthode analytique pour calculer la fréquence des oscillateurs asynchrones est également proposée. Cette méthode s'est avérée très efficace et très précise. Elle nous permet de calculer la fréquence en fonction des paramètres temporels de la porte de Muller et du nombre de jetons et de bulles qui circulent dans l'anneau. L'importance relative des effets de *Charlie* et de *drafting* est discutée. L'inclusion de ces deux paramètres permet d'avoir des simulations numériques précises qui nous font gagner beaucoup de temps comparativement aux simulations analogiques. En outre, nous avons identifié les points de fonctionnement qui présentent des caractéristiques limitant les variations de la période d'oscillation et augmentant la robustesse de l'oscillateur face aux variations des procédés de fabrication. Finalement, la configurabilité de ces oscillateurs est démontrée. Avec un même oscillateur, il est possible d'obtenir plusieurs fréquences d'oscillation. Enfin, il est important de noter que la fréquence d'oscillation ne dépend pas seulement du nombre d'étages de l'anneau mais surtout de sa configuration jetons/bulles initiale.

L'élément de base des oscillateurs en anneau asynchrones étant la porte de Muller, le chapitre 4 s'est donc focalisé sur une étude comparative des différentes implémentations de la porte de Muller en termes de vitesse, de consommation, de puissance et de bruit de phase. Nous avons utilisé dans un premier temps la méthode de l'effort logique afin de déterminer les règles de dimensionnement des étages. Nous avons ensuite effectué des simulations électriques pour confirmer ces résultats théoriques. Cela nous permet de conclure que la méthode de l'effort logique est un bon point de départ pour commencer la conception, mais qu'elle n'est pas suffisante dans le cas des oscillateurs en anneau asynchrones. Les règles de dimensionnement dépendant aussi de la configuration initiale des oscillateurs (en termes de jetons et de bulles), des simulations électriques sont nécessaires pour optimiser les performances.

Les caractéristiques de programmation de la fréquence, de robustesse, de stabilité en fréquence de ces oscillateurs semblent très appropriées pour limiter le bruit de phase et donc pour constituer des circuits générateur d'horloges haute fréquence. Sa configurabilité naturelle en fera aussi un bon candidat pour les applications de type DFVS.

Dans le chapitre 5, nous avons présenté une nouvelle topologie d'oscillateurs basée sur des anneaux asynchrones pour la génération de signaux polyphasés utilisables dans de nombreuses applications. La résolution temporelle des oscillateurs en anneau asynchrones n'est pas limitée au délai de l'étage. Nous avons montré comment ces oscillateurs peuvent produire des oscillations à haute fréquence avec un nombre important de sorties polyphasées. Une comparaison avec un oscillateur en anneau à base d'inverseurs ainsi

qu'avec des topologies permettant d'améliorer la fréquence maximale d'oscillation montre d'une manière très claire l'avantage des oscillateurs en anneau asynchrones quand un nombre important de phases est nécessaire. Nous avons vu que les oscillateurs en anneau asynchrones peuvent être aussi utilisés pour générer des signaux en quadrature de phase qui sont systématiquement utilisés dans les émetteurs et les récepteurs radiofréquences. Une comparaison avec d'autres travaux montre l'efficacité de notre méthode. Nous avons montré aussi dans ce chapitre comment on peut réduire le bruit de phase dans les oscillateurs en anneau asynchrones avec une technique très simple utilisant la duplication du nombre des étages. Cette caractéristique offre à ce type d'oscillateur un degré de liberté supplémentaire lors de la conception d'oscillateurs à faible bruit de phase. De plus, ces oscillateurs sont configurables ce qui peut être utilisé dans un but d'extension du domaine de fréquence exploitable, caractéristique très recherchée pour la conception d'oscillateurs contrôlés en tension. Enfin, nous avons conclu ce chapitre par une proposition de flot de conception pour les oscillateurs en anneau asynchrones.

Dans le chapitre 6, la configurabilité naturelle des oscillateurs en anneau asynchrones a permis de concevoir un oscillateur programmable et arrêtable ciblant des applications qui ont besoin de fréquences comprises entre 3 GHz à 400 MHz. L'oscillateur asynchrone est choisi comme noyau de cet oscillateur en raison de ses nombreux avantages dont la configurabilité, la précision, et la robustesse aux variabilités des procédés de fabrication. Trois stratégies différentes de programmation de l'oscillateur asynchrone, reposant sur des solutions architecturales simples, sont présentées. Ces stratégies démontrent une agilité et efficacité lors du changement de fréquence de l'oscillateur en anneau asynchrone. Cet oscillateur programmable et arrêtable a été conçu et implémenté. Un protocole de communication efficace entre processeur et oscillateur est utilisé pour assurer une commutation fonctionnellement correcte entre deux fréquences. Les architectures proposées ont été implémentées en utilisant la technologie CMOS 45nm de STMicroelectronics. Pour chaque stratégie, nous avons évalué la vitesse, la consommation et la sensibilité aux variations des procédés de fabrication. L'implémentation présente une large plage de fréquences avec des pas de fréquence réguliers. Ce travail montre comment les oscillateurs en anneau asynchrones peuvent être efficacement utilisés pour l'implémentation d'oscillateurs programmables et arrêtables. Le circuit implémenté donne des résultats très satisfaisants en termes de vitesse, de puissance consommée, de variabilité, de régularité du pas de fréquence et de la largeur de la bande de fréquence. A notre connaissance, ce circuit est la première implémentation réalisée d'un oscillateur programmable basé sur un anneau asynchrone.

Le chapitre 7 conclut le manuscrit et présente les résultats des mesures réalisées sur un circuit de test qui embarque plusieurs types d'anneaux asynchrones en technologie CMOS065 de STMicroelectronics. Ces validations expérimentales confirment les avantages des oscillateurs en anneau asynchrones. Nous avons vu qu'il est possible de générer différentes fréquences d'oscillation par configuration du nombre de jetons et de bulles injectés dans l'anneau pendant la phase d'initialisation, par deux méthodes de programmation : en utilisant des portes de Muller avec des signaux de SET/RESET ou par injection de jetons en série. Nous avons pu vérifier que les performances en bruit de phase s'améliorent de 3dB en doublant le nombre d'étages tout en conservant la même fréquence d'oscillation, ce qui est conforme à la théorie. Enfin, nous avons montré qu'il est possible de concevoir des oscillateurs avec des sorties polyphasées équidistantes indépendantes des délais de propagation dans les portes.

Au final, les résultats de cette thèse montrent que les oscillateurs en anneau asynchrones, très peu connus dans le monde de l'industrie, sont une alternative très sérieuse aux oscillateurs en anneau classiques à base d'inverseurs. Cette thèse a été réalisée dans le cadre d'une convention CIFRE, encadrée par la société ST-ERICSSON à Grenoble et le laboratoire de recherche TIMA de Grenoble. Cette collaboration a permis le transfert de connaissances sur la conception asynchrone qui est l'un des domaines d'expertise du groupe CIS du laboratoire TIMA vers l'industrie, et notamment à la RF BU de ST-ERICSSON. Cette thèse a donc permis l'introduction d'un nouveau type d'oscillateur dans l'industrie !

---

# Références

---

- [BER 94] K. v. Berkel, R. Burgess, J. Kessels, A. Peeters, M. Roncken, and F.Schalijs, “A fully-asynchronous low-power error corrector for the DCC player,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 1429–1439, Dec. 1994.
- [BOY 06] F.R. Boyer, H.G. Epassa and Y. Savaria, “Embedded power-aware cycle by cycle variable speed processor”, *Computers and Digital Techniques, IEE Proceedings -3 July 2006*, Vol. 153, Issue 4, pp. 283 – 290.
- [BUI 06] H. T. Bui, Y. Savaria, “High speed differential pulse-width control loop based on frequency-to-voltage converters”, *Proceedings of the 16th ACM Great Lakes symposium on VLSI, May 2006*, pp. 53-56.
- [BUN 01] R. L. Bunch, « A Fully Monolithic 2.5GHz LC Voltage Controlled Oscillator in 0.35mm CMOS Technology », Master of Science in Electrical Engineering, Virginia Polytechnic Institute and State University, pp 1-7 & 53-72, April 2001.
- [CHA 95] A. P. Chandrakasan and R. W. Brodersen. “Minimizing power consumption in digital CMOS circuits”, *IEEE*, April 1995, Vol. 83, pp. 498 - 523.
- [COR 04] D. Cordeau ; « Etude comportementale et conceptions d’oscillateurs intégrés polyphases accordables en fréquence en technologie Si et SiGe pour les radiocommunications », Thèse de doctorat, Université de Poitiers, 2004
- [EKE 04] Y. a. Eken and J. P. Uyemura, “A 5.9-GHz voltage-controlled ring oscillator in 0.18- $\mu$ m CMOS,” *IEEE J. Solid-States Circuits*, vol. 39, no. 1, pp. 230–233, Jan. 2004.
- [EBE 98] Ebergen J., Fairbanks S., and Sutherland I.: ‘Predicting performance of micropipelines using Charlie diagrams’, in *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, ASYNC98*, pp. 238–246, 1998.
- [ELI 09] O. Elissati, E. Yahya, L. Fesquet, S. Rieubon, “Oscillation Period and Power Consumption in Configurable Self-Timed Ring Oscillators” *IEEE NEWCAS-TIASA’2009*, June 28th to July 1st, 2009, Toulouse, France.
- [ELI 10a] O. Elissati, E. Yahya, S. Rieubon, L. Fesquet “Optimizing and Comparing CMOS Implementations of the C-element in 65nm technology: Self-Timed

- Ring Case“, PATMOS’2010, September 7-10, 2010, Grenoble, France. pp 137-149
- [ELI 10b] O. Elissati, E. Yahya, S. Rieubon, L. Fesquet “High-Speed High-Resolution Low-Phase Noise Oscillator using Self-Timed Rings ”, IEEE/IFIP VLSI-SOC’2010, September 27-29, 2010, Madrid, Spain.
- [ELI 10c] O. Elissati, E. Yahya, S. Rieubon, L. Fesquet, “A novel High-Speed Multi-phase Oscillator Using Self-Timed Rings” IEEE International Conference on Microelectronics, IEEE ICM’2010, December 19-22, 2010, Cairo, Egypte. [4]
- [FLA 04] K. Flautner, D. Flynn, D. Roberts, D. Patel, “An Energy Efficient SoC with Dynamic Voltage Scaling”, DATE, IEEE, February 2004, Vol. 3, pp. 324 - 327.
- [MUL 07] R. Mullins and S. Moore, “Demystifying Data-Driven and Pausible Clocking Schemes”, ASYNC’07, Berkeley, California, USA, IEEE, March 2007, pp. 175–185 .
- [COR 04] D. Cordeau ; « Etude comportementale et conceptions d’oscillateurs intégrés polyphases accordables en fréquence en technologie Si et SiGe pour les radiocommunications », Thèse de doctorat, Université de Poitiers, 2004
- [CLA 67] W. A. Clark. Macromodular computer systems. In AFIPS ’67 (Spring) : Proceedings of the April 18-20, 1967, spring joint computer conference, pages 335–336, New York, NY, USA, 1967. ACM.
- [DAV 78] A. L. Davis. The architecture and system method of ddm1: A recursively structured data driven machine. In ISCA ’78: Proceedings of the 5th annual symposium on Computer architecture, pages 210–215, New York, NY, USA, 1978. ACM.
- [DUF 08] Roger Duffait, Expériences de physique CAPES de sciences physiques, 2008 Éditeur : Breal, ISBN : 978-2-7495-0838-2, pp 166.
- [FAI 04] Fairbanks S. and Moore S.: ‘Analog micropipeline rings for high precision timing’, ASYNC’04, CRETE, Greece, IEEE, pp. 41–50, 2004.
- [FOU 00] Emeric de Foucauld, "Conception et réalisation d’oscillateurs accordables en fréquence en technologie SiGe pour les radio-téléphones", Thèse de Doctorat de l’Université de Limoges, N° ordre : 2-2000.
- [GAG 89] VAN GAGELDONK H., VAN BERKEL K., PEETERS A., BAUMANN D., GLOOR D., STEGMANN G., « An asynchronous low-power 80C51 microcontroller », Proc. of the Int. Symp. on Advanced Research in Async. Circuits and Systems, 1998, IEEE, p. 96-107.
- [GAS 90] J. Gasbarro, and M. Horowitz, “A Single-Chip, Functional Tester for VLSI Circuits,” ISSCC 1990 Dig. Tech. Papers, pp. 84-85, Feb. 1990.
- [GIL 09] G. GILL, M. Singh “Bottleneck Analysis and Alleviation in Pipelined Systems: A Fast Hierarchical Approach”. ASYNC 2009, Chapel Hil, 2009, pp.

- [GRO 03] M. Grozing, B. Philip, and M. Berroth, "CMOS ring oscillator with quadrature outputs and 100 MHz to 3.5 GHz tuning range," in Proc. 29th Eur. Solid-State Circuits Conf. (ESSCIRC), Sep. 2003, pp. 697–682.
- [HAJ 98] Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," IEEE J. Solid-State Circuits, vol. 33, pp. 179–194, Feb.1998.
- [HAJ 99] Ali Hajimiri, Sotirios Limotyakis and Thoma H.Lee, "Jitter and Phase Noise in Ring Oscillators" IEEE J. Solid-State Circuits, vol. 34,NO 6, June1999.
- [HAM 08] Hamon J., Fesquet L., Miscopein B. and Renaudin M.: 'High-Level Time-Accurate Model for the Design of Self-Timed Ring Oscillators', ASYNC'08, Newcastle, UK, IEEE, pp. 29 – 38, 2008.
- [HAM 09] J. Hamon 'Oscillateurs et architectures asynchrones pour le traitement des signaux radio impulsionnelle UWB', Thèse de doctorat de Grenoble-INP, Octobre 2008, ISBN : 978-2-84813-138-2.
- [HOU 06] Marc Houdebine, "Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences". Thèse de Doctorat de l'INP Grenoble, 2006
- [HUF 54] D.A. Huffman, , The Synthesis of Sequential Switching Circuits J. Journal of the Franklin Institute, Vol. 257 J. No. 3 and 4, (March and. April 1954) pp. 161-190 and 275-303
- [IEE 90] IEEE Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary-Scan Architecture
- [JEO 99] D.-Y. Jeong, S.-H. Chai, W.-C. Song, and G.-H. Cho, "CMOS current-controlled oscillators using multiple-feedback loop architectures", IEEE ISSCC 1997, Anag Tech, pp 491-493, Feb. 1997;
- [LAG 05] Thierry LAGUTERE, "Conceptions et modélisations d'oscillateurs et de leurs boucles à verrouillage de phase associées pour des applications de radiocommunications mobiles professionnelles", Université de Poitiers, 2005
- [LEE 98] T. H. Lee ; « The Design of CMOS Radio-Frequency Integrated Circuits », Cambridge University Press, pp 243-256, 1998
- [LEE 66] D. B. Leeson, "A simple model of feedback oscillator noise spectrum" in Proc. IEEE, vol. 54, Feb. 1966, pp. 329–330.
- [LEE 00] Thomas H. Lee and Ali Hajimiri, "Oscillator Phase Noise: A Tutorial", IEEE Journal of Solid-State Circuits, vol. 35, No. 3, pp. 326-336, March 2000.
- [LEE 97] S.-J. Lee, B. Kim, and K. Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed-delay scheme," IEEE J. Solid-State Circuits, pp. 289-292, Feb. 1997.
- [MAN 94] Maneatis, J.G. and Horowitz, M.A., "Precise delay generation using coupled oscillators", IEEE Journal of Solid-State Circuits, Volume: 28, Issue:12, 1994 pp1273-1282.

- [MAR 86] A. J. Martin, compiling communicating processes into delay-insensitive VLSI circuits. *Distributed Computing*, 1(4): 226-234, 1986.
- [MAR 89] A. J. Martin, "Formal progress transformations for VLSI circuit synthesis," in *Formal Development of Programs and Proofs* E. W. Dijkstra, Ed. Reading, MA: Addison-Wesley, 1989, pp. 59–80.
- [MIR 04] Julien MIRA, "Conception d'oscillateurs contrôlés en tension dans la gamme 2 GHz - 10 GHz, intégrés sur silicium et analyse des mécanismes à l'origine du bruit de phase", Thèse de Doctorat de l'Université Bordeaux 1, N° d'ordre : 2897.
- [MUL 59] D.E. Muller and W.S. Bartky, "A Theory of Asynchronous Circuits," *Proc. Int'l Symp. Theory of Switching, Part 1*, Harvard Univ. Press, 1959, pp. 204–243
- [MUL 65] R.E. Muller, "Sequential circuits", Chapter 10, *Switching theory*, Vol 2, N.Y. Wiley, 1965
- [NIZ 09] Pokharel, R.K.; Nizhnik, O.; Tomar, A.; Lingala, S.; Kanaya, H.; Yoshida, K.; "Low Noise Wide Tuning Range Quadrature Ring Oscillator for Multi-Standard Transceiver" *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*, 28-29 Sept. 2009 pp. 172 – 175
- [NGU 10] M. H. Nguyen ; C. K. Pham "A wide frequency range and adjustable duty cycle CMOS ring voltage controlled oscillator" *Third International Conference on Communications and Electronics (ICCE)*, 2010,11-13 Aug. 2010, pp : 107-109
- [NOW 02] K. Nowka et al., "A 0.9V to 1.95V dynamic voltage-scalable and frequency-scalable 32b PowerPC processor" *ISSCC Dig, Tech. Papers*, February 2002, pp. 340 - 341.
- [PIG 98] Piguet, C., Zhand, J.: *Electrical Design of Dynamic and Static Speed Independent CMOS Circuits from Signal Transition Graphs*. In: *PATMOS 1998*, pp. 357–366 (1998)
- [RAZ 96] B. Razavi, *A Study of Phase Noise in CMOS Oscillators*, *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 3, March, 1996
- [RED 95] Siegmund M. Redl, Matthias K. Weber, Malcolm W. Oliphant (March 1995): "An Introduction to GSM", Artech House, ISBN 978-0890067857
- [REN 00] M. Renaudin. avec la participation de J.B. Rigaud. *Etat de l'art sur la conception des circuits asynchrones: perspectives pour l'intégration des systèmes complexes*. Technical report, TIMA Laboratory, Janvier 2000.
- [REN 98] M. Renaudin, P. Vivet, F. Robin, "ASPRO-216 : a standard-cell Q.D.I. 16-bit RISC asynchronous microprocessor", *Proc. of the Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems*, 1998, IEEE, p. 22-31.

- [REZ 04] A. Rezzag, “synthèse logique de Circuits Asynchrones Micropipeline”, thèse de doctorat, INPG, 2004.
- [SEI 70] C. L. Seitz. Asynchronous machines exhibiting concurrency. ACM, New York, NY, USA, 1970.
- [SHA 97] M. Shams, J. C. Ebergen, and M. I. Elmasry, “Optimizing CMOS implementations of C-element,” in Proc. Int. Conf. Comput. Design (ICCD), Oct. 1997, pp. 700–705
- [SHA 98] M. Shams, J. C. Ebergen, M. I. Elmasry, “Modeling, Optimization, and Comparison of Single-Rail CMOS Implementations of the C-Element”, to appear in IEEE Trans. on VLSI Systems, 1998.
- [STO 03] M. Stork, “Digital building block for frequency synthesizer and fractional phase locked loops”, SympoTIC, IEEE, October 2003, pp. 126 - 129.
- [SUG 97] Y. Sugimoto and T. Ueno, “The design of a 1 V, 1 GHz CMOS VCO circuit with in-phase and quadrature-phase outputs,” in Proc. Int. Symp. Circuits and Systems, vol. 1, Hong Kong, 1997, pp. 269–272.
- [SUN 99] L. Sun, T. Kwasniewski, and K. Iniewski, “A quadrature output voltage controlled ring oscillator based on three-stage subfeedback loops,” in Proc. Int. Symp. Circuits and Systems, vol. 2, Orlando, FL, 1999, pp. 176–179.
- [SUN 01] L. Sun, et al., “A 1.25-GHz 0.35- $\mu$ m Monolithic CMOS PLL Based on a Multiphase Ring Oscillator,” IEEE J. Solid-State Circuits, pp. 910-916, June, 2001.
- [SUT 89] I. E. Sutherland, “Micropipelines,” Commun. ACM, vol. 32, pp.720–738, June 1989.
- [SUT 99] I. Sutherland, B. Sproull, and D. Harris, Logical Effort: Designing Fast CMOS Circuits. San Fransisco, CA: Morgan Kaufmann, 1999.
- [UEM 04] J. P. Uemura and Y. A. Eken, “The design of a 14 GHz I/Q ring oscillator in 0.18  $\mu$ m CMOS,” in Proc. Int. Symp. Circuits Syst. (ISCAS’04), May 2004, vol. 4, pp. 133–136.
- [VIT 88] Eric A. Vittoz, Marc G. R. Degrauwe and Serge Bitz, "High-Performance Crystal Oscillator Circuits: Theory and Application", IEEE Journal of Solid-State Circuits, vol. 23, No. 3, pp. 774-783, June 1988.\$
- [WIN01] Winstanley A. and Greenstreet M.: ‘Temporal properties of self-timed rings’, in Proc. 11th Advanced Research Working Conference on Correct Hardware Design and verification Methods (CHARME), 2001.
- [WIN 02] Winstanley A., Garivier A., and Greenstreet M.: ‘An event pacing experiment’, in Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, ASYNC 02, pp. 47–56, 2002.
- [YAH 09] E. Yahya, O. Elissati, H. Zakaria, L. Fesquet, M. Renaudin, “Programmable/Stopable Oscillator Based on Self-Timed Rings”.

- ASYNC '09. 15th IEEE Symposium on, May 17-20, Chapel Hill, USA, pp 3-12.
- [ZEB 05] Zebilis V. and Sotiriou C.: 'Controlling event spacing in self-timed rings', ASYNC'05, New York, USA, IEEE, pp. 109 – 115, 2005.

---

# *Publications de l'auteur*

---

- **Chapitres de Livres.**

- [1] **O. Elissati**, S. Rieubon, E. Yahya, L. Fesquet “Self-Timed Rings: A Promising Alternative for Generating Multiphase High-Speed Low-Phase Noise Clocks”, invited book chapter for VLSI-SOC’2010 book of select papers, Springer (To be published by the end of 2011).

- **Conférences internationales avec actes**

- [6] **O. Elissati**, S. Rieubon, L. Fesquet, ‘Ring oscillator: The Asynchronous Alternative’ 10th Edition of Faible Tension Faible Consommation, FTFC’2011, May 30-June 1, 2011 Marrakech, Morocco.
- [5] **O. Elissati**, E. Yahya, S. Rieubon, L. Fesquet, ‘A novel High-Speed Multi-phase Oscillator Using Self-Timed Rings’ IEEE International Conference on Microelectronics, IEEE ICM’2010, December 19-22, 2010, Cairo, Egypte. (Acceptance rate 42%)
- [4] **O. Elissati**, E. Yahya, S. Rieubon, L. Fesquet “High-Speed High-Resolution Low-Phase Noise Oscillator using Self-Timed Rings ”, IEEE/IFIP VLSI-SOC’2010, September 27-29, 2010, Madrid, Spain. (Acceptance rate 29%)
- [3] **O. Elissati**, E. Yahya, S. Rieubon, L. Fesquet “Optimizing and Comparing CMOS Implementations of the C-element in 65nm technology: Self-Timed Ring Case“, PATMOS’2010, September 7-10, 2010, Grenoble, France.
- [2] E. Yahya, **O. Elissati**, H. Zakaria, L. Fesquet, M. Renaudin, “Programmable/Stoppage Oscillator Based on Self-Timed Rings” IEEE ASYNC’2009, May 17-20, 2009, UNC Chapel Hill, USA. (Acceptance rate 42%)
- [1] **O. Elissati**, E. Yahya, L. Fesquet, S. Rieubon, “Oscillation Period and Power Consumption in Configurable Self-Timed Ring Oscillators” IEEE NEWCAS-TIASA’2009, June 28th to July 1st, 2009, Toulouse, France.

- **Conférences internationales sans actes**

- [1] O. Elissati, S. Rieubon, E. Yahya L. Fesquet, “Self-Timed Rings: A Promising Alternative for Generating Multiphase High-Speed Low-Phase Noise Clocks”, Ph.D forum (Poster Session) of IEEE/IFIP VLSI-SOC'2010, September 27-29, 2010, Madrid, Spain. (Invited by the Program Committee)



# Oscillateurs Asynchrones en Anneau : de la Théorie à la Pratique

Les oscillateurs sont des blocs qui figurent dans presque tous les circuits. En effet, ils sont utilisés pour générer les signaux de synchronisation (les horloges), les signaux modulés et démodulés ou récupérer des signaux noyés dans du bruit (détection synchrone). Les caractéristiques de ces oscillateurs dépendent de l'application. Dans le cas des boucles à verrouillage de phase (PLL), il existe de fortes exigences en matière de stabilité et de bruit de phase. En outre, face aux avancées des technologies nanométriques, il est également nécessaire de prendre en compte les effets liés à la variabilité des procédés de fabrication. Aujourd'hui, de nombreuses études sont menées sur les oscillateurs asynchrones en anneau qui présentent des caractéristiques bien adaptées à la gestion de la variabilité et qui offrent une structure appropriée pour limiter le bruit de phase. A ce titre, les anneaux asynchrones sont considérés comme une solution prometteuse pour générer des horloges.

Cette thèse étudie les avantages et les potentiels offerts par les oscillateurs asynchrones en anneau. Deux applications principales ont été identifiées. D'une part, ces oscillateurs sont une solution prometteuse pour la génération d'horloges polyphasées à haute fréquence et à faible bruit de phase. D'autre part, ils constituent une alternative simple, dans une certaine mesure aux oscillateurs plus conventionnels et aux DLLs, car ils sont programmables en fréquence numériquement et sont susceptibles de fournir les fonctionnalités d'arrêt de type *gated clock* de façon native. Plusieurs oscillateurs ont été conçus, implémentés, fabriqués en technologie CMOS 65 nm de STMicroelectronics et, finalement, caractérisés sous pointes. Ces travaux ont notamment permis de démontrer la pertinence de ces oscillateurs, qui constituent une alternative sérieuse aux très classiques oscillateurs en anneau à base d'inverseurs.

---

## Self-Timed Ring Oscillators: from theory to practice

Oscillators are essential building blocks in many applications. For instance, they are basic blocks in almost all designs: they are part of PLLs, clock recovery systems and frequency synthesizers. The design of a low phase-noise multi-phase clock circuitry is especially crucial when a large number of phases is required. There are plenty of works covering the design of multiphase clocks. High frequency oscillators can be implemented using ring structures, relaxation circuits or LC circuits. Ring architectures can easily provide multiple clocks with a small die size. With the advanced nanometric technologies, it is also required to deal with the process variability, stability and phase noise. Today many studies are oriented to Self-Timed Ring (STR) oscillators which present well-suited characteristics for managing process variability and offering an appropriate structure to limit the phase noise. Therefore, self-timed rings are considered as promising solution for generating clocks.

This thesis studies the benefits and potential offered by Self-Timed Ring oscillators. Two main applications have been identified. On the one hand, these oscillators are a promising solution for the generation of high-frequency multi-phase low phase noise clocks. On the other hand, they are a simple alternative to some extent to the conventional oscillators and DLLs, because they are digitally programmable. Several oscillators have been designed, implemented, manufactured in 65 nm CMOS technology from STMicroelectronics, and characterized. This work has demonstrated the relevance of these oscillators, which are a serious alternative to the conventional ring oscillators based on inverters.

---

**Thèse préparée au laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs)**

**ISBN : 978-2-84813-175-7**