



Développement d'un outil de prédiction du comportement d'un circuit intégré sous impact laser en technologie CMOS

Catherine Godlewski

► To cite this version:

Catherine Godlewski. Développement d'un outil de prédiction du comportement d'un circuit intégré sous impact laser en technologie CMOS. Autre. Université Sciences et Technologies - Bordeaux I, 2013. Français. NNT : 2013BOR15209 . tel-00958998

HAL Id: tel-00958998

<https://theses.hal.science/tel-00958998>

Submitted on 13 Mar 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre :



THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ BORDEAUX 1

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUE ET DE L'INGÉNIEUR

Par **Catherine GODLEWSKI**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : **ELECTRONIQUE**

Développement d'un outil de prédiction du comportement d'un circuit intégré sous impact laser en technologie CMOS

Directeur de recherche : Pascal FOUILLAT

Soutenue le : 09 Décembre 2013

Devant la commission d'examen formée de :

M. RENOVELL, Michel
M. PORTAL, Jean-Michel
M. FOUILLAT, Pascal
M. POUGET, Vincent
M. LEWIS, Dean
M. LISART, Mathieu

Directeur de recherche CNRS
Professeur Université Marseille
Professeur Université Bordeaux 1
Chargé de recherche IMS-CNRS
Professeur Université Bordeaux 1
Ingénieur STMicroelectronics

Rapporteur et Président du Jury
Rapporteur
Directeur de recherche
Co-directeur de recherche
Co-directeur de recherche
Examineur

Résumé de la thèse

Ce travail porte sur l'analyse et l'étude du comportement de circuits intégrés en technologie CMOS soumis à un impact laser. **Une méthodologie d'implémentation d'un impact laser** a été développée et améliorée. Ainsi, elle est applicable à n'importe quelle description électrique d'un circuit CMOS, qu'il soit digital ou analogique. Ce procédé est conçu pour permettre aux concepteurs de circuits intégrés pouvant être soumis à des attaques laser, de tester leur circuit en simulation avant leur fabrication et de démontrer leur robustesse.

Notre étude s'est focalisée sur le développement d'un **outil de simulation intégrant un modèle électrique de l'impact laser sur les transistors MOS** afin de reproduire de façon qualitative le comportement du circuit face à un impact laser (attaque semi-invasive en face arrière du circuit), et ce quelques soient ses propriétés physiques.

Une première partie d'état de l'art est consacrée à la synthèse des différentes attaques sur circuits sécurisées que l'on peut rencontrer dans le domaine de la microélectronique, telles que les attaques semi-invasives, non invasives ou invasives par exemple. Une seconde partie théorique dédiée à l'interaction laser-silicium au niveau physique nous permet d'étudier les différents acteurs mis en jeu (propriétés physiques du laser – puissance, diamètre et profil du faisceau), avant de les importer comme paramètres dans le domaine électrique.

Cette étude se poursuit alors par l'élaboration d'un modèle électrique et d'une méthodologie de simulation dont le but est de permettre de reproduire le comportement de n'importe quel circuit impacté par un laser. Le flot de modélisation passe ainsi en revue l'ensemble des paramètres contrôlables en entrée, qu'il s'agisse des propriétés physiques du laser, traduites dans le domaine électrique, ou encore de la réalité géométrique du circuit impacté, quel que soit sa complexité. Par ailleurs, la flexibilité de cette approche permet de s'adapter à toute évolution du modèle de l'impact laser en lui-même. Il est ainsi possible de simuler un impact intégrant ou non tout ou partie des phénomènes parasites déclenchés par le photocourant. Enfin, il couvre aussi bien des analyses de comportement dans le domaine statique, que dans celui temporel, où la durée d'impulsion du laser prend toute son importance.

Afin de démontrer la cohérence de cette méthodologie face à nos attentes théoriques, le comportement de transistors NMOS, PMOS et un inverseur CMOS ont été étudiés au niveau simulation. Cette étude préliminaire nous a permis de calibrer et de valider notre modèle et sa méthodologie d'utilisation avec la théorie attendue : création d'un photocourant proportionnel au potentiel appliqué sur la jonction de drain et couplé au potentiel photoélectrique ainsi qu'à la surface impactée, déclenchement des bipolaires parasites latéraux, etc.... L'analyse sur un inverseur CMOS bufferisé ou non nous donne encore plus d'informations quant aux analyses dynamiques ou statiques : un impact sur un état statique (0 ou 1) ne peut entraîner que des fautes fonctionnelles, alors qu'un impact sur une transition ralentit ou accélère le signal en sortie, au risque de générer une faute fonctionnelle.

Enfin, l'étude de différents circuits complexes sur silicium face à plusieurs types de faisceau laser nous a permis de confronter notre méthodologie à la mesure. Une chaîne d'inverseurs, une bascule de type D, et un circuit de verrouillage ont ainsi été impactés. Les résultats observés en simulation sont cohérents avec la mesure, notamment du point de vue comportemental et fonctionnel. Bien plus, cet outil de prédiction macroscopique nous permet d'analyser dans le détail les mécanismes sous-jacents à la création de fautes observées, afin de comprendre les faiblesses du circuit ou celles de son implémentation layout. Des parades peuvent alors être testées.

Ce travail final valide ainsi l'outil développé ainsi que sa méthodologie d'implémentation : ce « flot d'intégration » pourrait permettre aux concepteurs d'anticiper ou prédire le comportement d'un circuit face à un impact laser, afin de trouver des solutions de contremesures et de rendre ainsi plus robustes leurs circuits face aux attaques laser.

MOTS CLÉS : Interaction laser-silicium, laser, modélisation électrique, flot d'intégration, méthodologie, fautes fonctionnelles, fautes comportementales, CMOS, prédiction du comportement, photocourant, potentiel photoélectrique

À ma famille, et à Nicolas.

Sans eux, je ne serai pas ce que je suis aujourd'hui.

Remerciements

Les travaux présentés dans ce manuscrit s'inscrivent dans le cadre d'une convention CIFRE entre la société STMicroelectronics et le laboratoire IMS à Bordeaux, de 2006 à 2009 puis de 2009 à 2013.

Tout d'abord, je tiens à remercier grandement Monsieur Pascal Fouillat ainsi que Monsieur Vincent Pouget de m'avoir accordé leur confiance tout au long de ce projet. Ce travail de longue haleine n'aurait jamais abouti sans leur soutien.

Je remercie tout particulièrement Monsieur Mathieu Lisart, mon tuteur industriel au sein de la division SmartCard de la société STMicroelectronics, de m'avoir encadré, et soutenu pendant ces trois années. Ses conseils et son expertise m'ont permis d'arriver à ces résultats scientifiques.

J'exprime toute ma gratitude à Monsieur Jean-Michel Portal et Monsieur Michel Renovell qui ont pris le temps de lire le manuscrit et d'en faire chacun un rapport complet et détaillé. Je suis touchée et honorée qu'ils aient accepté d'examiner ce travail en qualité de rapporteurs de mon manuscrit de thèse.

Ma respectueuse reconnaissance s'adresse également à Monsieur Dean Lewis, Directeur de l'Université de Bordeaux I, qui m'a accordé le privilège de prendre part à mon jury de soutenance de thèse.

Je suis sincèrement reconnaissante envers Monsieur Sami Ajram, Docteur et Directeur de la société SL3J Systems d'avoir cru en moi ; et de m'avoir donné les armes techniques nécessaires pour défendre mes idées.

Que l'ensemble des membres de la division SmartCards ainsi que le personnel de la société STMicroelectronics trouvent ici ma gratitude pour leur support et leur sympathie. Plus particulièrement, un grand merci à Monsieur Bruno Nicolas pour m'avoir épaulé techniquement lors des expérimentations.

Enfin, je souhaite partager ce cri de victoire avec celui qui partage ma vie aujourd'hui. Son soutien moral et technique m'aura permis de conclure ce projet de longue haleine.

TABLE DES MATIÈRES

RESUME DE LA THESE	2
REMERCIEMENTS.....	6
TABLE DES MATIÈRES	8
INTRODUCTION GENERALE	14
CHAPITRE I : CONTEXTE ET ETAT DE L'ART	16
1 Contexte.....	16
1.1 Applications sécurisées et circuits intégrés	16
1.2 Test et attaques sur les circuits et systèmes sécurisés.....	18
1.2.1 Attaque physique sur carte à puce	19
1.2.1.1 Attaque invasive ou intrusive.....	19
1.2.1.2 Attaque non-invasive ou non-intrusive	19
1.2.1.3 Attaque semi-invasive.....	20
1.2.2 Attaque logique sur carte à puce.....	21
1.2.3 Résumé schématique des différentes attaques	21
1.2.4 Les moyens de protection contre les attaques recensées	22
1.2.4.1 Protection contre les attaques invasives	22
1.2.4.2 Protection contre les attaques non invasives	23
1.2.4.3 Protection contre les attaques semi-invasives	24
2 État de l'art de l'interaction laser silicium	27
2.1 Les principes de test par injection laser	27
2.1.1 Les différentes stimulations.....	28
2.1.1.1 Les techniques OBIC et LIVA.....	28
2.1.1.2 Les techniques OBIRCH, TIVA et SEI	30
2.1.1.3 La technique « XIVA ».....	31
2.2 Interaction laser semi-conducteur en régime photoélectrique	31
2.2.1 Mécanismes physiques mis en jeu lors d'une interaction laser semi-conducteur	32
2.2.1.1 Cas des lasers continus.....	32
2.2.1.2 Cas des lasers impulsionnels.....	38
2.2.2 Limite du modèle physique appliqué au silicium	42
2.3 Des mécanismes à la modélisation électrique : ordres de grandeur utilisés	42
2.3.1 Le diamètre du faisceau laser	43

2.3.2	Le profil du faisceau.....	44
2.3.3	La durée d'impulsion.....	44
2.3.4	La longueur d'onde.....	45
2.3.5	La puissance laser.....	45
3	Conclusion.....	47
CHAPITRE II : METHODOLOGIE DE MODELISATION		48
1	Modélisation au niveau électrique : concepts	48
1.1	Modèle compact ou modèle de transistors MOS impacté	49
1.2	Le laser	50
1.3	L'impact laser semi-conducteur	51
2	Modélisation électrique de l'interaction photoélectrique laser semi-conducteur	52
2.1	Introduction à la modélisation	52
2.2	Etat de l'art des modèles existants.....	52
2.3	Limitations des modèles existants	55
2.4	Nouveau modèle électrique du premier ordre	56
2.4.1	Introduction aux éléments parasites au sein des structures CMOS	56
2.4.1.1	Exemples de stress induisant l'intervention d'éléments parasites.....	57
2.4.2	Les phénomènes parasites amorcés via l'impact laser.....	58
2.4.2.1	Mécanisme d'amorçage du transistor latéral parasite	58
2.4.2.2	Phénomène de SEL (Single Event Latchup)	60
2.4.3	Paramètres des bipolaires parasites au niveau du modèle	63
2.5	Description du modèle complet et application	63
2.5.1	Le modèle du transistor NMOS.....	64
2.5.1.1	Modèle du photocourant	64
2.5.2	Le modèle du transistor PMOS	77
2.5.2.1	Modèle des photocourants	77
2.5.2.2	Méthodologie de répartition des photocourants.....	80
2.5.2.3	Eléments parasites et modèle du transistor PMOS.....	81
2.5.3	Modèle de l'inverseur.....	85
2.5.3.1	Modèle des photocourants	85
2.5.3.2	Eléments parasites.....	86
2.5.4	Généralisation à n transistors.....	88
3	Conclusion.....	91
CHAPITRE III : COHERENCE DU MODELE & OUTIL DE PREDICTION		92
1	Structures simples illuminées – Validation de la cohérence du modèle	92
1.1	Comportement d'un transistor NMOS impacté par notre modèle laser	93

1.1.1	Méthodologie et flot de simulation sur un transistor NMOS	95
1.1.1.1	Contexte	95
1.1.1.2	Extraction géométrique du layout des transistors impactés	96
1.1.1.3	Programme et génération de la netlist électrique à simuler	98
1.1.1.4	Fichier de contrôle et paramètres d'entrées du laser	99
1.1.2	Cohérence des résultats de simulation sur le transistor NMOS	101
1.1.2.1	Attentes théoriques	102
1.1.2.2	Résultats pour un transistor NMOS constitué d'un doigt de $10\mu\text{m}/0,18\mu\text{m}$	102
1.1.2.3	Résultats pour un transistor NMOS constitué d'un doigt de $0,28\mu\text{m}/0,18\mu\text{m}$	113
1.1.2.4	Variation de la dimension du faisceau	117
1.1.2.5	Influence du layout dans l'extraction des paramètres et simplification	120
1.1.3	Validation de la cohérence du modèle sur le transistor NMOS	123
1.2	Comportement d'un transistor PMOS impacté par notre modèle laser	123
1.2.1	Méthodologie et flot de simulation sur un transistor PMOS	125
1.2.1.1	Contexte	125
1.2.1.2	Extraction géométrique du layout des transistors impactés	125
1.2.1.3	Programme et génération de la netlist à simuler	127
1.2.1.4	Fichier de contrôle et paramètres d'entrée du laser	129
1.2.2	Cohérence des résultats de simulation sur le transistor PMOS	130
1.2.3	Validation de la cohérence du modèle sur le transistor PMOS	136
1.3	Conclusion sur la validité du modèle sur des structures simples	137
2	L'inverseur – Prédiction par la simulation des comportements possibles	138
2.1	Rappels théoriques sur les caractéristiques statiques et dynamiques d'un inverseur CMOS	138
2.1.1	Analyse statique	139
2.1.2	Analyse dynamique	140
2.2	Comportement d'un inverseur dont seul le NMOS est impacté	141
2.2.1	Extraction géométrique du layout des transistors impactés	142
2.2.2	Schéma équivalent et netlist électrique à simuler	143
2.2.3	Conséquences de l'impact laser sur les caractéristiques statiques	144
2.2.4	Conséquences de l'impact laser sur les caractéristiques dynamiques	149
2.2.4.1	Impact laser sur un niveau stable à « 1 »	150
2.2.4.2	Impact laser sur un niveau stable à « 0 »	152
2.2.4.3	Impact laser durant une transition montante de « 0 » vers « 1 »	152
2.2.4.4	Impact laser durant une transition descendante de « 1 » vers « 0 »	156
2.3	Comportement d'un inverseur dont seul le PMOS est impacté	160
2.3.1	Extraction géométrique du layout des transistors impactés	161
2.3.2	Schéma équivalent et Netlist électrique à simuler	161
2.3.3	Conséquences de l'impact laser sur les caractéristiques statiques	163

2.3.4	Conséquences de l'impact laser sur les caractéristiques dynamiques.....	167
2.3.4.1	Impact laser sur un niveau stable à « 0 »	167
2.3.4.2	Impact laser sur un niveau stable à « 1 »	169
2.3.4.3	Impact laser durant une transition descendante de « 1 » vers « 0 »	169
2.3.4.4	Impact laser durant une transition montante de « 0 » vers « 1 »	174
2.4	Comportement d'un inverseur dont le NMOS et le PMOS sont impactés	178
2.4.1	Extraction géométrique du layout des transistors impactés	179
2.4.2	Schéma équivalent et Netlist électrique à simuler	179
2.4.3	Conséquences de l'impact laser sur les caractéristiques statiques	180
2.4.4	Conséquences de l'impact laser sur les caractéristiques dynamiques.....	184
2.4.4.1	Impact laser sur un niveau stable à « 0 » et à « 1 »	184
2.4.4.2	Impact laser durant une transition montante de « 0 » vers « 1 »	186
2.4.4.3	Impact laser durant une transition descendante de « 1 » vers « 0 »	188
2.5	Prédiction du comportement d'un inverseur impacté.....	191
3	Influence du profil du faisceau laser sur une chaîne d'inverseur [GOD09]	192
3.1	Influence of laser intensity distribution	192
3.2	Simulation results	193
3.2.1	Nanosecond pulses	194
3.2.2	Picosecond pulses	197
4	Conclusion.....	199
CHAPITRE IV: CONFRONTATION DU MODELE AUX MESURES		200
1	Introduction	200
2	Principe et méthodologie de corrélation.....	202
3	Etude sur des chaînes d'inverseur CMOS	204
3.1	Présentation de la puce de test.....	204
3.2	Présentation des chaînes d'inverseurs	204
3.2.1	Description de la chaîne BASE_ENC	205
3.2.2	Description de la chaîne MAX_P	206
3.2.3	Description de la chaîne MAX_N	207
3.3	Résultats de mesure	207
3.3.1	Etude avec le laser de diamètre 5µm.....	207
3.3.1.1	Résultats de mesure pour la chaîne BASE_ENC	208
3.3.2	Etude avec le laser de diamètre 70µm.....	209
3.3.2.1	Résultats de mesure pour la chaîne BASE_ENC	210
3.3.2.2	Résultats de mesure pour la chaîne MAX_P	210
3.3.2.3	Résultats de mesure pour la chaîne MAX_N	211
3.4	Confrontation avec les simulations.....	212

3.4.1	Etude avec le laser de diamètre 5µm.....	213
3.4.1.1	La simulation de la chaîne BASE_ENC	214
3.4.1.2	Conclusion	221
3.4.2	Etude avec le laser de diamètre 70µm.....	221
3.4.2.1	La chaîne BASE_ENC.....	222
3.4.2.2	La chaîne MAX_N.....	223
3.4.2.3	La chaîne MAX_P	225
3.5	Synthèse des résultats et conclusion.....	226
4	Etude sur des éléments mémoires	228
4.1	Bascule de type Flip-Flop.....	228
4.1.1	Principe de fonctionnement de la bascule Flip-Flop	228
4.1.2	Impact laser et résultats de mesures.....	229
4.1.3	Schématique et layout.....	233
4.1.4	Etude de l'impact laser sur la géométrie.....	235
4.1.5	Résultats en simulation vs mesures	236
4.1.6	Conclusion.....	239
4.2	BusKeeper	240
4.2.1	Schématique et layout.....	240
4.2.2	Comportement d'un BusKeeper sous impact laser.....	242
4.2.2.1	Résultats de mesure.....	242
4.2.2.2	Résultats de simulation	243
4.2.3	Confrontation et analyse.....	245
	CONCLUSION GENERALE	247
	REFERENCES BIBLIOGRAPHIQUES.....	249
	ANNEXES.....	256
1	Les bancs de test	256
1.1	Laboratoire DSA STMicroelectronics Rousset	256
1.2	Plateforme Atlas Laboratoire IMS Bordeaux I [DOU08]	260
2	Etude des faisceaux lasers 5µm et 70µm et Cartographie en courant.....	264
3	Etude de la planéité d'un circuit intégré.....	267
4	Etude des caractéristiques des transistors bipolaires	270
4.1	Bipolaire NPN	270
4.2	Bipolaire PNP	275
5	Le modèle électrique développé sous ELDO Mentor Graphics.....	276
5.1	Script Perl utilisé pour l'implémentation du modèle	276
5.2	Exemple de netlist de simulation impactée par le laser	282

5.2.1	Impact sur un transistor de type NMOS	282
5.2.2	Impact sur un transistor de type PMOS	284
TABLE DES FIGURES.....		286

Introduction générale

Alors que les circuits micro-électroniques font maintenant partie de notre vie de tous les jours, alors que notre quotidien repose de plus en plus sur leur fiabilité, il est devenu inimaginable de ne pas prendre en compte durant leur conception des mesures nous permettant de garantir leur bon fonctionnement. Prédire le comportement du silicium est devenu essentiel, d'autant plus que les coûts conséquents d'une erreur ou d'une faiblesse découvertes a posteriori, peuvent devenir dramatiques, tant au point de vue industriel (coût de fabrication, impact sur l'image...) que du point de vue utilisateur (mal fonction sans conséquence des biens de consommation, défaillances plus critiques (électronique embarquée dans l'automobile, dans l'aviation, la sûreté nucléaire...)). Des outils se développent et se perfectionnent pour simuler et prédire le comportement électrique en fonctionnement de circuits intégrés de plus en plus complexes, pour évaluer leur durée de vie lorsque soumis à des stress en tension, en courant, en température, pour déterminer leur susceptibilité ou leur robustesse à des contraintes CEM...

Ce besoin de prédiction est encore plus marqué aujourd'hui dans le domaine de la conception de produits sécurisés tels que les circuits intégrés destinés aux cartes à puces, où la moindre fuite ou signature peut devenir une faille dans la sécurité du produit.

Cette thèse s'est principalement scindée en deux parties :

- L'analyse et l'étude du comportement des circuits intégrés soumis à un impact laser.
- Le développement d'un outil de simulation intégrant un modèle électrique de l'impact laser sur les transistors CMOS afin de reproduire de façon qualitative le comportement du circuit face à un impact laser, et ce quelque soit ses propriétés physiques.

Ainsi, pour permettre aux concepteurs de circuits intégrés pouvant être soumis à des attaques laser, de démontrer la robustesse de leur circuit et de les tester en simulation avant leur fabrication, nous avons mis en place, basé sur un modèle électrique, développé et amélioré durant cette thèse, une méthodologie d'implémentation d'un impact laser au sein de n'importe quelle description électrique d'un circuit, qu'il soit digital ou analogique.

De par le contexte même dans lequel cette thèse a été suivie, le premier chapitre est consacré dans un premier temps, aux circuits sécurisés, ainsi qu'aux différentes attaques que l'on peut rencontrer dans le domaine de la microélectronique. Par la suite, une partie théorique est dédiée à l'interaction laser-silicium au niveau physique, afin d'en explorer tous les aspects qui nous ont permis de mettre en place le cœur même de cette thèse.

Le second chapitre, quant à lui, s'oriente vers la méthodologie de modélisation et d'implémentation de la simulation d'un impact laser au sein d'un circuit intégré. Les différentes interactions mises en jeu lors d'un impact laser-silicium y sont présentées, et reproduites au niveau électrique.

Le chapitre suivant, utilisant la méthodologie préalablement développée, permet de démontrer la cohérence de ce modèle face à nos attentes théoriques. De simples structures élémentaires serviront de support à cette analyse, des transistors NMOS et PMOS à l'inverseur CMOS.

Le dernier chapitre va beaucoup plus loin puisqu'il va nous permettre de confronter notre méthodologie à la mesure. Il montrera comment l'outil que nous avons développé peut permettre d'anticiper le comportement d'un circuit face à un impact laser, et donc permettre aux concepteurs de tester en avance de phase leurs systèmes afin de trouver des solutions de contremesures et de rendre plus robustes leurs circuits face aux attaques laser.

Chapitre I : Contexte

et état de l'art

1 Contexte

1.1 Applications sécurisées et circuits intégrés

Aujourd'hui, les circuits intégrés font partie intégrante de notre société. Ils sont devenus au fil du temps, quasiment indispensables. Ainsi, utilisés dans les cartes à puce, ils ont progressivement remplacé la carte magnétique. L'aspect sécuritaire est arrivé petit à petit sur le marché afin de sauvegarder et protéger certains contenus sensibles contre de possibles piratages [TUA07][REN04].

Ces systèmes sécurisés se retrouvent sous l'appellation de carte à puce ou « smartcard » en anglais. Ils sont généralement utilisés comme moyen d'identification personnelle tel que la carte d'identité, le badge d'entrée, la carte d'assurance maladie, ou encore la carte SIM des téléphones portables, ou bien alors comme carte de paiement (carte bancaire, porte-monnaie électronique), ou enfin comme moyens de preuve d'abonnement à des services prépayés (carte de transport...)

Cette sécurité peut être décrite de plusieurs façons, dépendant de l'application visée. La principale contrainte de sécurité est la confidentialité des données sensibles: le but est de garantir que les données protégées ne soient lisibles que par un certain nombre d'individus bien définis; pour toutes autres personnes, elles doivent demeurer inaccessibles ou inintelligibles. De même, le besoin d'échange de données confidentielles entre deux personnes, pose le problème de l'authenticité des données ou de leur provenance réelle. Ceci nécessite des mécanismes de signature de documents fiables. Cette signature a pour but d'authentifier à la fois les messages et leur auteur, de telle sorte qu'un vol de signature puisse être détecté ou décelé. Les exemples les plus courants de ce type d'applications se retrouvent dans les domaines de la banque, du contrôle d'accès et de la télévision à la demande.

Les cartes à puce embarquent un système complet capable de réaliser les transactions nécessaires pour nous authentifier et transmettre les données confidentielles nécessaires à l'application associée [WIT02].

D'un point de vue historique, le premier circuit sécurisé n'était au début qu'une simple puce mémoire qui pouvait stocker une valeur.

Au rythme des capacités nouvelles, offertes avec l'évolution des technologies silicium, de nouvelles fonctionnalités et solutions sécurisées sont embarquées, ajoutant à la complexité des applications carte à puce [SCH99].

Elles se composent principalement:

- d'un processeur qui effectue les calculs et gère l'accès aux différentes ressources grâce à un logiciel interne dédié à son fonctionnement
- d'une zone mémoire qui stocke un maximum d'informations personnelles. Les cartes actuelles ont une capacité pouvant atteindre plusieurs mégaoctets.
- d'un bloc qui est dédié au codage des informations. Pour éviter les problèmes de sécurité, l'organisme émetteur de la carte va la personnaliser lui-même. Pour une carte bancaire, il entre dans la puce puis code les références bancaires du propriétaire ainsi que son identité et ses coordonnées.
- d'un système électronique, une interface qui permet de lire et d'écrire des données ainsi que de contrôler l'alimentation du dispositif, par contact ou ondes radiofréquences.

Le circuit intégré contient aussi des parties analogiques et des capteurs pour protéger la puce d'éventuelles attaques, et à plus haut niveau, comporte du logiciel embarqué, basé sur des « systèmes d'exploitation » sécurisés (Secure OS), des machines virtuelles, des pare-feux (firewalls), et autres applications spécifiques.

La puce peut être accessible :

- soit par contact avec des électrodes de cuivre : l'interface entre les contacts ou électrodes de la puce et ceux du lecteur est le circuit imprimé doré très mince appelé micromodule. Il est divisé en huit parties, chacune ayant un rôle précis permettant l'échange des données entre la puce et le lecteur. La puce est quant à elle sous ces contacts ; elle est donc cachée.
- soit sans contact : par radio fréquence à courte ou moyenne portée, via une antenne interne dont les spires sont moulées dans l'épaisseur de la carte.

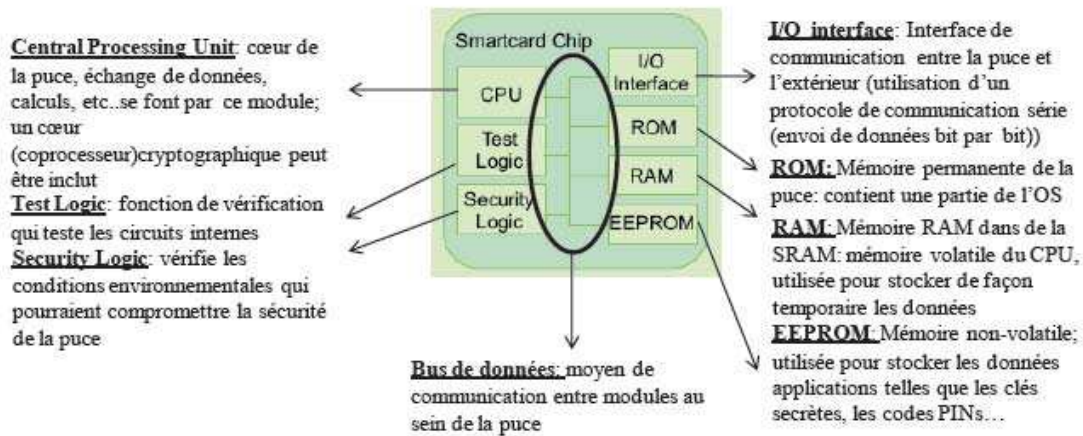


Figure 1 : Architecture de base d'une carte à puce actuelle

Au regard de l'augmentation incessante des applications ayant recours à la carte à puce, il est devenu primordiale pour les développeurs d'inventer et concevoir des produits sécurisés de plus en plus robustes face à l'augmentation des attaques de pirates (hackers) ayant pour but de connaître et voler les données confidentielles stockées sur chacune de ces puces.

Dans la suite de ce chapitre, nous ferons un état de l'art des différents types d'attaques recensés actuellement.

1.2 Test et attaques sur les circuits et systèmes sécurisés

Dans ce sous-chapitre, nous dissociérons les notions d'attaque et de tests. Alors que l'attaque a pour but d'accéder sans autorisation à des données confidentielles, le test lui, a pour but de l'anticiper, afin de mettre en place des solutions de protection dites contremesures. L'objectif principal de cette section est de connaître tous les types d'attaques existants aujourd'hui. L'intérêt de connaître cette classification est d'avoir une meilleure vision des moyens qui doivent être mis en œuvre pour s'immuniser contre ces attaques.

Dans l'état de l'art actuel, plusieurs classifications des attaques contre les cartes à puce ont été proposées. Dans cette thèse, nous en retiendrons une qui est souvent référencée dans les publications ou les thèses. Cette classification propose deux grandes familles d'attaques : les attaques physiques et les attaques logicielles. A la fin de cette section, nous mettrons en avant, pour chacune des attaques citées, leurs différents moyens de contremesures qui ont été testés et prouvés.

1.2.1 Attaque physique sur carte à puce

Par définition, on appelle attaque physique, toute attaque menée sur la puce en tant que composant matériel électronique. Ces attaques supposent une connaissance approfondie de l'architecture d'une carte à puce. Les attaques physiques sont rangées en trois sous-catégories :

- Invasives ou intrusives
- Non invasives ou non-intrusives
- Semi-invasives

1.2.1.1 Attaque invasive ou intrusive

Le premier type d'attaque dite invasive a pour résultat final de détruire la puce. Ce sont des attaques menées directement sur le composant électronique. Elles supposent de posséder un matériel lourd et spécifique. En général, elles ne permettent pas de pouvoir réutiliser la puce. Ce sont des attaques de type « analyse de construction » (Reverse Engineering) visant à démonter la puce pièce par pièce, à étudier sa structure interne, afin d'en comprendre l'architecture, d'en déduire le fonctionnement, voire d'en faire une copie par reconstruction. En effet, cette attaque doit permettre de définir la localisation précise de tous les transistors et interconnexions de la puce. Concrètement, la technique par « effeuillage » permet d'éliminer une par une dans l'ordre inverse toutes les couches du processus de fabrication qui sont ainsi cartographiées. Finalement, toutes les informations collectées sont rassemblées et permettent de reconstruire entièrement le dessin des masques de fabrication (layout) ou de créer des listes d'interconnexions (netlist) pour la simulation.

1.2.1.2 Attaque non-invasive ou non-intrusive

Le second type d'attaque dite non-invasive, ne va s'intéresser qu'à des paramètres externes à la puce liés à son fonctionnement. Ces attaques étant moins coûteuses que la première, sont donc plus répandues. Elles sont de même plus pernicieuses car elles n'altèrent en rien le fonctionnement de la carte et ne permettent donc pas à son détenteur de soupçonner l'existence même de l'attaque. De façon plus explicite, les attaques non-invasives exploitent les canaux cachés du microprocesseur. Dans ce type d'attaque, on va mesurer un paramètre physique extérieur de la puce pendant son activité. L'intégrité physique de la puce n'est donc pas touchée. Ce paramètre physique peut-être le temps de calcul, le courant (consommation de

la puce) ou le champ électromagnétique émis par la puce. Ces attaques sont typiquement des attaques à clair connu, c'est-à-dire que l'attaquant va soumettre au chiffrement de la puce un ensemble de messages bien choisis. Pendant que la puce chiffrera ces messages, l'attaquant relèvera les données du paramètre physique mesuré. Une fois ces paramètres récupérés, l'attaquant par analyse directe des données ou par analyse statistique pourra en déduire des données sur la clé [HAG03].

Dans ces attaques, on retrouve la « Timing Attack », qui exploite le temps d'exécution d'une puce, la SPA (Simple Power Analysis) et la DPA (Differential Power Analysis) qui mesurent le courant consommé par la puce pendant son activité, et enfin la SEMA (Simple Electro Magnetic Analysis) et la DEMA (Differential Electro Magnetic Analysis) qui exploitent le rayonnement électromagnétique dû à l'effet produit par le courant passant dans les circuits de la puce. Dans les attaques SPA et SEMA, l'analyse des données est directe alors qu'elle est statistique pour les DPA et DEMA [BAR04].

1.2.1.3 Attaque semi-invasive

La dernière sous-catégorie d'attaque représente les attaques semi-invasives. C'est une nouvelle classe d'attaques publiées pour la première fois en 2002 quand furent introduites les attaques par perturbation lumineuse [SKO03]. L'attaque que propose Skorobogatov utilise un simple flash d'appareil photo pour modifier la valeur d'une cellule mémoire.

Ce type d'attaque oblige l'attaquant, dans la majorité des cas, à enlever la puce de son boîtier plastique. Contrairement aux attaques invasives, la couche de passivation reste intacte puisque ces attaques ne nécessitent pas de contacts physiques directs sur la puce.

L'attaque la plus connue est « l'attaque par injection de fautes ». Elle consiste à générer de façon intentionnelle des fautes dans le circuit en cours de fonctionnement et à comparer les résultats normaux avec les résultats fautés. Ces fautes peuvent être générées par plusieurs éléments : les flashes lumineux, qui permettent de modifier une partie du système, (Ces attaques ciblent principalement les technologies EPROM, EEPROM ou Flash) et les faisceaux laser. Dans les deux cas, des micro-courants sont créés par effet photoélectrique, ce qui permet de modifier le contenu des cellules mémoires irradiées. Le faisceau laser, plus sophistiqué, permet grâce à son pouvoir de focalisation très élevé, d'atteindre des zones beaucoup mieux ciblées dans des circuits de très haute densité (SRAM). L'attaquant peut ainsi obtenir un certain nombre de données confidentielles par analyse de la réponse électrique du circuit à ce type d'excitation [LEV04].

1.2.2 Attaque logique sur carte à puce

Ce type d'attaque exploite les failles algorithmiques permettant à l'attaquant de contourner les protections mises en place. Il existe deux grandes familles d'attaques logicielles :

- La première concerne le code PIN. En théorie, le code PIN ne peut être tenté que 3 fois après quoi la carte se bloque. Pour que ce dispositif de sécurité fonctionne correctement il faut disposer d'un compteur que l'on incrémente avant la demande de code PIN. Si tel n'est pas le cas, cela signifie que la carte demande le code PIN, teste s'il est correct ou non et incrémente ensuite le compteur. La faille exploitable dans le deuxième cas est que l'attaquant peut tenter son code PIN, attendre la réponse de la carte et la retirer juste avant l'incrémementation s'il est erroné, permettant ainsi à l'attaquant de tenter éventuellement les 10000 codes possibles (10000 s'il n'a pas de chance). Ce type d'attaque n'est évidemment pas possible chez un commerçant mais devient tout-à-fait réalisable dans certains automates revendeurs de cassettes vidéo ou même aux billetteries automatiques si la carte n'est pas avalée comme dans un distributeur automatique de billets.
- La deuxième attaque logique présentée ici est celle de la datation. Il existe des attaques dites de « re-jeu » qui consistent à exécuter plusieurs fois la même action par une application qui ne l'a a priori autorisée qu'une seule fois. Prenons l'exemple d'un individu qui cherche à effectuer un virement d'un compte A vers un compte B. Si un attaquant intercepte un message électronique permettant de créditer son propre compte il peut a priori renvoyer ce message n fois à la banque de la victime pour récupérer son argent. La faille exploitée est liée au problème de la datation et à la mise en place d'un compteur permettant de ne réaliser qu'une et une seule fois le virement.

1.2.3 Résumé schématique des différentes attaques

Un schéma recensant les différentes attaques énoncées ci-dessous est proposé par l'auteur de ce manuscrit afin d'avoir une meilleure visibilité du contexte :

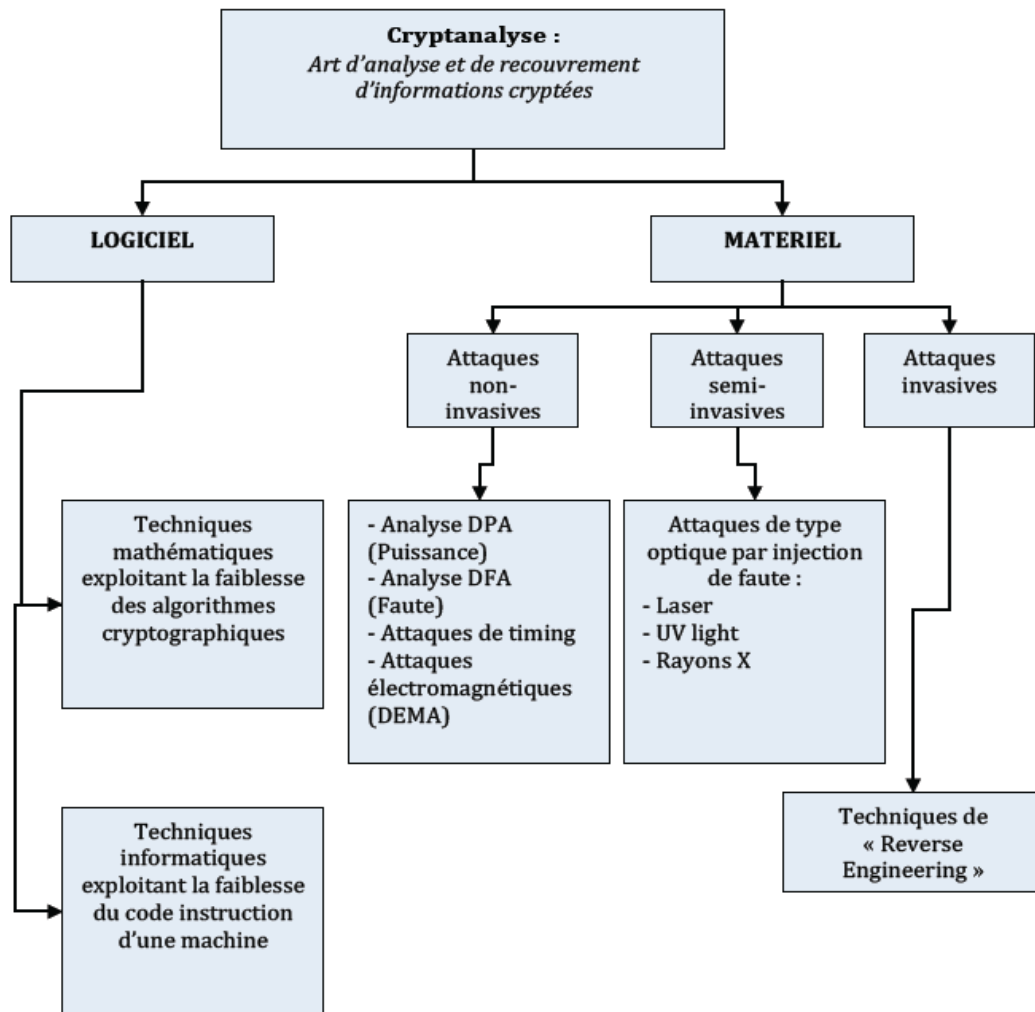


Figure 2 : **Classification proposée des différents types d'attaques possibles pouvant déstabiliser la sécurité d'une carte à puce**

Afin de pouvoir sécuriser les produits ou les cartes à puce face aux attaques énoncées précédemment, plusieurs moyens de contremesure ont été développés.

1.2.4 Les moyens de protection contre les attaques recensées

1.2.4.1 Protection contre les attaques invasives

Pour se prémunir des attaques invasives, la solution consiste à détecter l'attaque pour bloquer dans un premier temps l'activité de la puce puis dans un deuxième temps envisager le suicide logique de la puce après cette attaque afin qu'aucune donnée ne soit transmise. Deux solutions sont principalement adoptées aujourd'hui : l'une physique et l'autre logique. Une

solution physique consiste à placer la puce sous des couches de métal sur lesquels on place des détecteurs d'activité anormale. Ceux-ci sont sensibles à la température, aux UV, aux rayons X et communique à la puce toute opération suspecte. C'est alors que la puce se bloquera voire provoquera sa mort logique. Une solution logique pour éviter les attaques invasives est d'introduire régulièrement dans les calculs des contrôles d'intégrité permettant de s'assurer que les données n'aient pas été modifiées par l'extérieur. Cette technique est également utilisée pour se prémunir des attaques par injection de fautes (DFA).

1.2.4.2 Protection contre les attaques non invasives

Les attaques non-invasives consistent essentiellement à déterminer l'activité de la puce pour en déduire des informations secrètes. Cela passe par l'analyse de paramètres physiques, tels que le temps d'exécution, le courant, le champ magnétique, qui s'avèrent être de réels canaux d'informations. Les contre-mesures à ce type d'attaques vont donc consister soit à brouiller l'information qui passe par ces canaux, soit à atténuer ou éliminer le signal émis. Pour brouiller l'information l'encarteur possède plusieurs techniques qui dans leur résultat se ressemblent :

- **le chiffrement interne des bus et des mémoires :**

Chiffrer les bus et les mémoires signifie que les données ne transitent jamais en clair même à l'intérieur de la puce. Par conséquent, toute attaque par analyse d'activité sera vaine dans la mesure où l'attaquant ne récupérera que des données chiffrées. Il existe une technique dans le même esprit que cette dernière qui consiste à appliquer pseudo-aléatoirement un masque binaire permettant de chiffrer ces mêmes données. L'idée est de se rapprocher du principe du « One Time Pad », sans la contrainte d'échange de clés grandes, en générant du « pseudo-aléa » à partir d'une clé courte.

- **la génération d'activité aléatoire :**

Générer de l'activité aléatoire, c'est introduire des opérations leurres et aléatoires que la puce effectuera en parallèle pour induire l'attaquant en erreur. Ce brouillage est donc algorithmique. En pratique, la puce effectue des calculs aléatoires en parallèle et cache donc les opérations réellement effectuées dans le cadre cryptographique.

Reste enfin les techniques qui visent à atténuer le signal émis par la puce dans ces canaux parallèles: celles-ci reposent sur le hardware et l'encarteur va pour cela essentiellement chercher à minimiser la consommation de la puce, de sorte que les attaques par analyse de courant ou de champs magnétique soient plus difficilement réalisables. L'encarteur peut également réduire la taille des composants et dispose des couches de métal pour protéger la puce.

1.2.4.3 Protection contre les attaques semi-invasives

Les protections contre les attaques semi-invasives sont de nature très diverses. Elles ont pour objectif soit de détecter l'attaque, soit de la rendre inefficace, et peuvent être mises en place à tous niveaux entre le matériel et l'application. Les applications matérielles sont au nombre de trois grands groupes : certaines visent à rendre inefficace les différentes méthodes d'injection ou d'induction de fautes au sein du circuit, d'autres essaient de détecter ou de corriger les fautes logiques ou temporelles induites par l'attaque, et les dernières sont basées sur des modifications de l'algorithme afin de rendre l'analyse plus complexe [KOM99].

Le schéma suivant montre un flot possible utilisé par les concepteurs pour se protéger contre les attaques semi-invasives. Il dissocie l'optique des circuits sûrs de l'optique sécuritaire. En ce qui concerne la première dissociation, les concepteurs veulent garantir le bon fonctionnement global du circuit sous attaque laser. Un bloc de détection est mis en place pour détecter la faute induite par l'injection laser, et permet de corriger l'erreur afin de ne pas perturber le bon déroulement logique du circuit. En revanche, en terme sécuritaire, la correction de l'erreur est optionnelle puisque l'objectif premier est de ne pas permettre au pirate d'extraire des informations confidentielles du circuit, quitte à effacer totalement les données critiques, et ce afin de préserver l'intégrité des données ; la réinitialisation complète de l'unité de calcul ou du système complet est aussi envisagée.

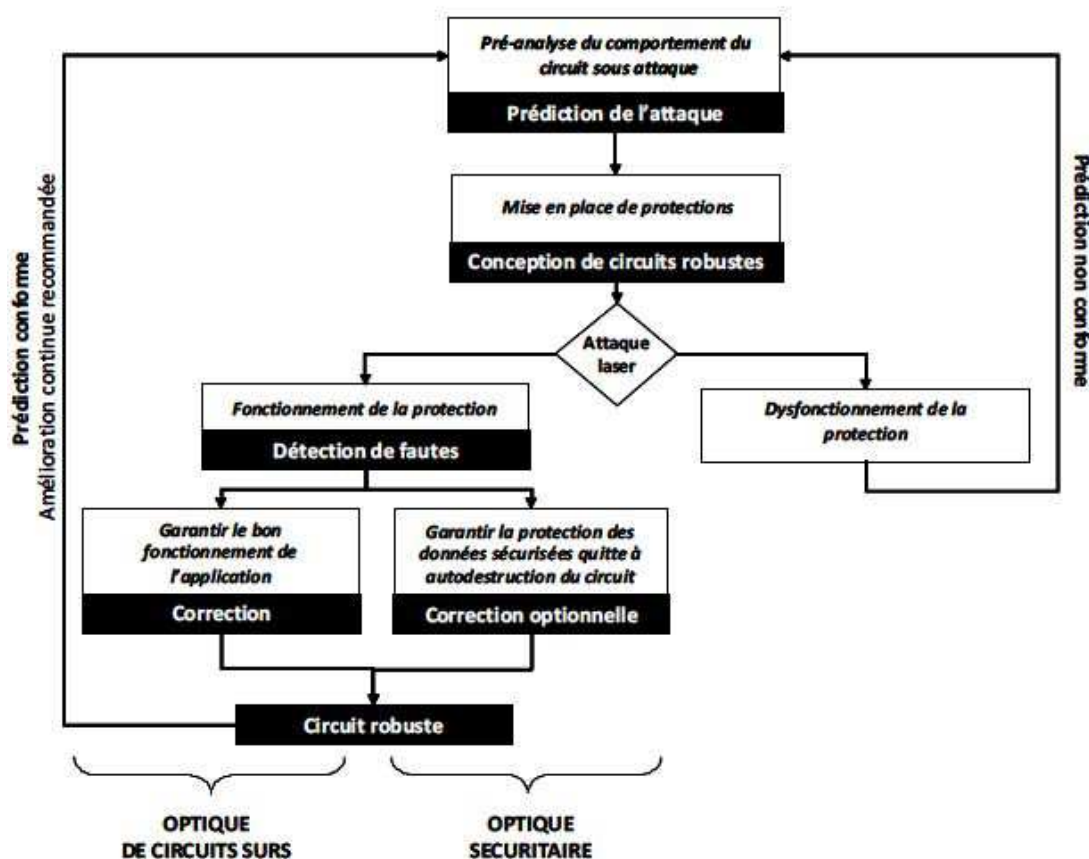


Figure 3 : Flot utilisé par les concepteurs en vue d'une protection contre les attaques semi-invasives

Une des premières solutions pour se protéger des attaques semi invasives ou attaques par fautes est tout d'abord de s'assurer que les techniques d'injection de ces fautes sont inefficaces ou plus difficiles à mettre en place. Ces techniques essayent de protéger le circuit dans son intégralité. Elles se répartissent en deux catégories de protection: actives ou passives.

- Les protections actives ont pour but de savoir qu'une attaque est en cours.
- Ce sont des protections dynamiques. En général, elles sont basées sur des capteurs positionnés au sein du circuit permettant de détecter toute modification anormale du fonctionnement du système. Des bornes/limites sont prédéfinies lors de la conception d'un circuit robuste. Si une modification anormale s'opère (cela peut être un changement de température, ou encore la modification de l'intégrité des signaux de contrôle et d'alimentation), et que les paramètres de référence sortent des bornes définies au

préalable, alors une attaque est détectée et un signal est envoyé à un bloc décisionnel (bloc de correction) pour appliquer la réaction adéquate.

- Les protections passives ont pour but de rendre l'injection de fautes plus difficile sans pour autant savoir qu'une attaque est en cours.
- Ce sont plutôt des protections dites statiques. Elles sont principalement basées sur la mise en place de boucliers tout autour du circuit, permettant l'atténuation de l'effet de tous les moyens d'induction optiques ou électromagnétiques.

Malgré ces deux types de protections, il est possible de contourner le problème en attaquant en face arrière (dans le cas d'une protection passive) ou bien en utilisant des moyens d'injection plus puissants et précis afin de contourner et d'éviter des détecteurs de lumière et générer des fautes (dans le cas d'une protection active). Afin de se protéger des attaques semi-invasives, une contre mesure efficace a été mise au point [KAR02] : la redondance. Elle s'inspire des techniques largement utilisées dans le spatial ou l'avionique pour durcir les circuits intégrés aux phénomènes de radiation ionisante, ou tout simplement pour prévenir une défaillance du système électronique. Celle-ci peut-être de trois types : matérielle, temporelle ou d'information, ou toute combinaison de ces trois types. En plus de ces techniques, il est possible de réaliser des calculs de vérification tels que le chiffrement d'une donnée puis du déchiffrement du résultat pour détecter les injections de fautes.

2 État de l'art de l'interaction laser silicium

Le laser peut être utilisé comme un moyen d'attaque semi-invasif sur les cartes à puce [SKO03] [WIL03]. C'est un outil permettant d'injecter des fautes au sein du circuit. Il est de même ipso facto utilisé pour tester les circuits par injection de fautes.

Nous verrons donc dans la partie suivante, comment les propriétés physiques du laser peuvent influencer sur les propriétés du circuit intégré, et nous détaillerons les différentes méthodes de test utilisées dans la recherche et l'industrie.

2.1 Les principes de test par injection laser

Avec une puissance de plusieurs centaines de mW, le balayage par laser sur circuit intégré, peut stimuler une altération du signal électrique aussi bien par effet photo-thermique, que par effet photoélectrique localisés au sein du chemin du signal.

Etant donné que le comportement du circuit électrique peut être altéré de multiples façons, plusieurs techniques ont été développées, basées sur le principe de la stimulation laser. Le tableau suivant donne une vue globale des différentes abréviations communes utilisées dans les stimulations laser des circuits statiques et dynamiques.

L'effet de stimulation sur un signal électrique qui peut être lu/vu/extrait via les terminaux du circuit intégré, se traduit par un de changement de résistivité, ou par la génération d'une tension thermoélectrique, ou encore par la génération d'un photocourant [DOU05].

Longueur d'onde	Effet	Technique	Analyse du circuit
1300 nm	TLS Thermal Laser Stimulation	OBIRCH Optical Beam Induced Resistivity Change	Identification des zones à forte résistance
		TIVA Thermally Induced Voltage Alteration	
		RIL Resistive Interconnect Localization	Vecteurs de test: Identification des zones à haute sensibilité pass-fail (Variation Shmoo)
		SDL Soft Defect Localizations	
		SEI Seebeck (Thermoelectric) Effect Imaging	Identification des interfaces matérielles sensibles
1064 nm	PLS Photoelectric Laser Stimulation, TLS parasite	OBIC Optical Beam Induced Current	Localisation des jonctions PN – Région de charges d'espace. Lecture des signaux sensibles et des états logiques
		LIVA Light Induced Voltage Alteration	
		LADA Laser Assisted Device Alteration	
		Dynamic LS	Train de signaux au sein du IC: Variation de délai comme effet parasite
		OBIRCH, SEI	

Figure 4 : Tableau recensant les différentes techniques de test utilisées actuellement [DOU08]

Dans la partie suivante, nous allons détailler les différentes stimulations existantes (photoélectrique et photo-thermique). Nous reprendrons la classification du tableau ci-dessus.

2.1.1 Les différentes stimulations

2.1.1.1 Les techniques OBIC et LIVA

OBIC (« Optical Beam Induced Current) et LIVA (Light Induced Voltage Alteration) sont des techniques dites de stimulation photoélectrique laser. La première est une technique d'analyse semi-conducteur qui utilise un faisceau laser continu afin d'induire un photocourant au sein des zones actives du composant, lequel sera analysé pour générer des images représentant les propriétés du composant. La technique OBIC scanne à l'aide d'un faisceau laser continu la surface du composant[ESS07]. Dans le cas le plus général de « l'absorption un photon » (Single Photon Absorption ou SPA), un photon d'énergie supérieure au bandgap du semi-conducteur (1.2 eV pour le silicium) fait passer un électron de la bande de valence vers la bande de conduction où il peut se déplacer sous l'influence des champs électriques appliqués au composant. La création de porteurs liée à l'excitation du faisceau sur le semi-conducteur induit donc un photocourant qui peut être collecté et utilisé pour de l'imagerie.

Les variations de courant induites par le faisceau laser pendant le balayage (scanning) sont converties en variations de contraste pour former une image OBIC.

Une des limitations de cette technique OBIC est de transmettre une lumière quasi-uniforme sur la surface avant du composant. Cette transmission non-uniforme de lumière est causée par la présence de plusieurs niveaux de métallisation. Une solution est de réaliser une image OBIC par illumination de la face arrière du circuit intégré pour atteindre les zones actives du composant à travers le substrat.

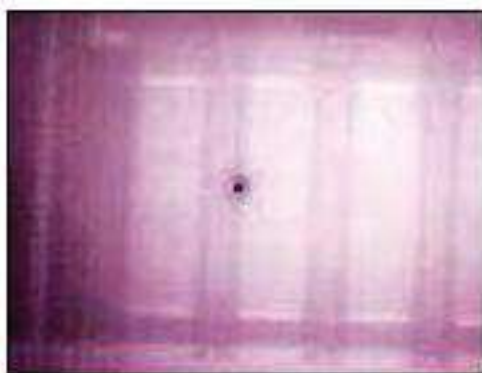


Figure 5 : **Image OBIC d'une jonction PN [DOU08]**

La figure ci-dessus représente une image OBIC d'une jonction PN avec un centre de recombinaison bloquant la formation d'un photocourant et révélant donc un défaut structural. La résolution spatiale d'une image OBIC en face arrière du composant est cependant limitée par le compromis entre la capacité à transmettre les photons (faisceau laser) à travers le substrat et en même temps, à permettre au faisceau d'être absorbé par le semi-conducteur afin de générer des paires électrons-trous conduisant à un photocourant mesurable. L'échelle de longueur d'onde ne permet pas une résolution assez précise pour l'analyse des circuits intégrés comprenant des éléments submicroniques [DOU08].

Cette limitation du « single-photon » dans l'analyse OBIC en face arrière a été comblée par la maîtrise de la technique de « l'absorption deux photons » ou « two-photon absorption » (TPA), laquelle implique deux photons arrivant en même temps sur le semi-conducteur afin de libérer l'électron de la bande de valence. Ces deux photons doivent avoir des énergies plus faibles que le Bandgap du semi-conducteur mais supérieure à la moitié du Bandgap, et surtout être générés simultanément, ce qui nécessitent une puissance du faisceau nettement supérieure pour accroître la probabilité d'occurrence du phénomène [BRI07][GODO04][RAM03].

« L'absorption deux photons » est une forme non linéaire de l'absorption standard, avec une génération de porteurs dépendant du carré de l'intensité lumineuse.

La technique LIVA est de même une technique d'analyse utilisant le laser comme source pour induire des changements de tension dans le composant, durant le balayage du faisceau laser sur la surface. Le circuit sous test est polarisé en mode statique par une source de courant constante. L'objectif est donc de mesurer les variations de tension aux bornes de la source de courant constante pendant le balayage du faisceau sur le circuit intégré

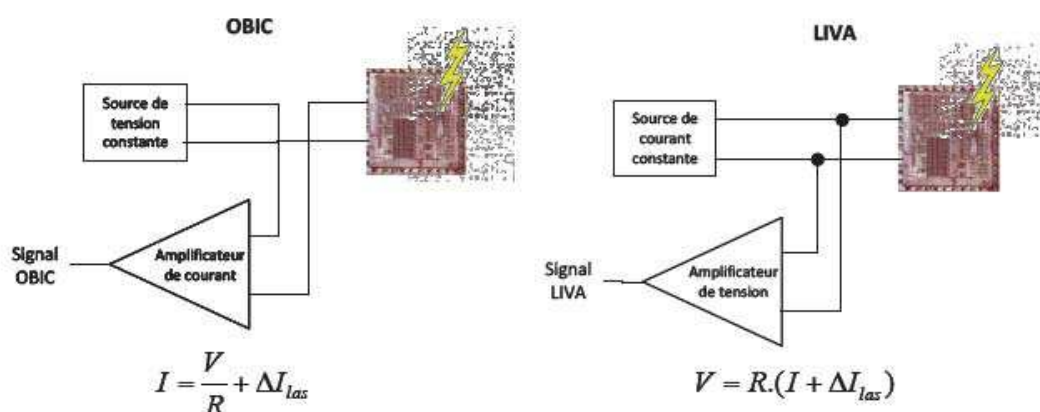


Figure 6 : **Représentation électrique des techniques OBIC et LIVA proposée par [DOU08]**

Ces deux techniques sont principalement utilisées aujourd'hui dans l'analyse des défauts.

2.1.1.2 Les techniques OBIRCH, TIVA et SEI

Ces techniques sont basées sur la stimulation thermique par laser. Ces techniques d'imagerie utilisent un faisceau laser pour produire une variation thermique au sein du circuit intégré.

En ce qui concerne la technique OBIRCH, la stimulation laser révèle des différences de caractéristiques thermiques lorsque les éléments conducteurs impactés contiennent des défauts. L'échauffement local d'une surface défectueuse comme une ligne de métal provoque un changement de résistance qui peut être détecté en contrôlant le courant d'entrée. Quand ce changement de courant est détecté, la position du laser est repérée sur l'image du circuit. Nous ne nous étendons pas sur les autres techniques TIVA et SEI dans ce manuscrit.

2.1.1.3 La technique « XIVA »

Une nouvelle technique combinant la technique OBIC, LIVA, SEI ainsi que TIVA a été développée et décrite par [FAL01] en 2001. Il s'agit de la technique XIVA utilisée pour la location de défauts : Le circuit sous test est polarisé en mode statique par une source de tension constante, tout en maintenant la détection de courant de façon constante. La tension de polarisation est dans cette configuration, un signal à basse fréquence, alors que la détection de courant constant est un signal à haute fréquence. Le signal « XIVA » apparaît lorsque le laser scanne une zone avec défauts.



De ces techniques optiques lasers vus précédemment découlent deux types de mécanismes de stimulation laser : la stimulation laser thermique et la stimulation laser photoélectrique.

La première est basée sur l'échauffement localisé d'éléments conducteurs du circuit sous test. Elle va induire des mécanismes modifiant les paramètres électriques du circuit. (Variation de résistance d'une piste métallique ou création d'une force électromotrice au niveau d'une piste coupée.)

La seconde, utilisée tout au long de cette thèse est la stimulation laser photoélectrique. Elle consiste à générer des paires électrons-trous à proximité des zones actives du circuit. Ces charges sont collectées créant ainsi un photocourant dans le circuit. Ce photocourant permet de relever des informations par mesure directe, ou en mesurant son effet sur le circuit. Ces effets peuvent être de type logique, ou paramétrique. (Influence sur l'état logique du circuit ou bien influence sur le courant de consommation du circuit).

2.2 Interaction laser semi-conducteur en régime photoélectrique

Cette partie constitue une approche théorique de l'interaction laser semi-conducteur. Il est nécessaire d'étudier les phénomènes physiques mis en jeu lors de l'interaction laser silicium, en régime photoélectrique. Les principaux acteurs physiques agissants lors d'une interaction laser-silicium sont décrits ci-après.

2.2.1 Mécanismes physiques mis en jeu lors d'une interaction laser semi-conducteur

La stimulation photoélectrique laser est accessible avec des lasers continus (mode statique) comme impulsionnels. Afin d'étendre au maximum notre domaine de connaissance, nous détaillons les lasers continus et les lasers impulsionnels induisant donc des courants transitoires dans le circuit sous test.

Quelles que soient les applications utilisées avec des lasers, la base des phénomènes physiques mis en jeu est l'interaction du rayonnement électromagnétique du laser avec la matière. Nous allons dans cette partie expliciter les mécanismes qui régissent l'interaction laser-matière et la façon dont l'énergie apportée est absorbée.

2.2.1.1 Cas des lasers continus

Nous allons rapidement rappeler le formalisme complexe utilisé pour modéliser la propagation d'une onde plane (faisceau à profil uniforme) dans un milieu absorbant. Le cas du faisceau gaussien sera abordé.

- **Le rayonnement électromagnétique**

Les mécanismes d'interaction diffèrent selon la gamme de fréquence du rayonnement électromagnétique considéré. En effet, le spectre des fréquences s'étend des rayonnements de très faibles énergies ou très basses fréquences (ondes radio), à ceux de très fortes énergies (haute fréquence) (rayons gamma), en passant par les micro-ondes, l'infrarouge, le visible, l'ultraviolet et les rayons X.

Les rayonnements émis par les lasers vont généralement de l'infrarouge à l'ultraviolet.

L'énergie du photon dépend de sa fréquence, ν (Hz), et donc de sa longueur d'onde, λ (nm).

Le quantum d'énergie, E_p , s'exprimant à l'aide de la constante de Planck h , et de la célérité de la lumière, c , est donné par :

$$E_p = h \cdot \nu = \frac{h \cdot c}{\lambda}$$

Avec $h \cdot c = 1,2398 \cdot 10^3$

Dans l'infrarouge (IR), l'énergie d'un photon varie entre $3 \cdot 10^{-3}$ eV et 1 eV environ.

- **Propagation d'une onde plane dans un milieu**

Une onde électromagnétique est qualifiée de plane lorsque ses coordonnées spatiales ne dépendent que d'un seul paramètre. Selon la théorie établie de Maxwell, une onde électromagnétique est caractérisée par son champ électrique E et son champ magnétique. Lorsque l'onde se propage selon l'axe z , dans un milieu d'indice complexe n^* , la résolution des équations de Maxwell donne l'expression suivante du champ électrique :

$$\vec{E} = \vec{E}_0 \cdot \exp \left[i \cdot \omega \cdot \left(t - \frac{n^*}{c} \cdot z \right) \right]$$

avec

ω : la pulsation ($\omega = \frac{2 \cdot \pi \cdot c}{\lambda}$)

c : la vitesse de propagation de l'onde électromagnétique

λ : la longueur d'onde

t : le temps.

L'indice de réfraction complexe $n^* = n - ik$ (n est l'indice de réfraction et k le coefficient d'extinction) est relié à la permittivité électrique, ϵ , la perméabilité magnétique, μ , et la conductivité électrique, σ , du milieu, de la façon suivante :

$$(n^*)^2 = n^2 - k^2 - ink = \epsilon' - i\epsilon'' = \mu \cdot \epsilon \cdot c_0^2 - i \cdot \sigma \cdot \mu \cdot \frac{c_0}{\omega}$$

Le coefficient d'extinction ou d'atténuation d'un milieu, permet de mesurer la perte d'énergie d'un rayonnement traversant ce dernier. Analogue au coefficient d'absorption, il prend aussi en compte, en plus de l'absorbance, les effets dus à la diffusion et la luminescence. [IUPAC97]

Lorsqu'un faisceau d'énergie électromagnétique, d'intensité (flux d'énergie), I_0 , pénètre dans le milieu, la variation de l'intensité transmise, $I(z)$, en fonction de la distance z , dépend du coefficient d'absorption α du milieu. L'intensité décroît selon la loi de Beer-Lambert :

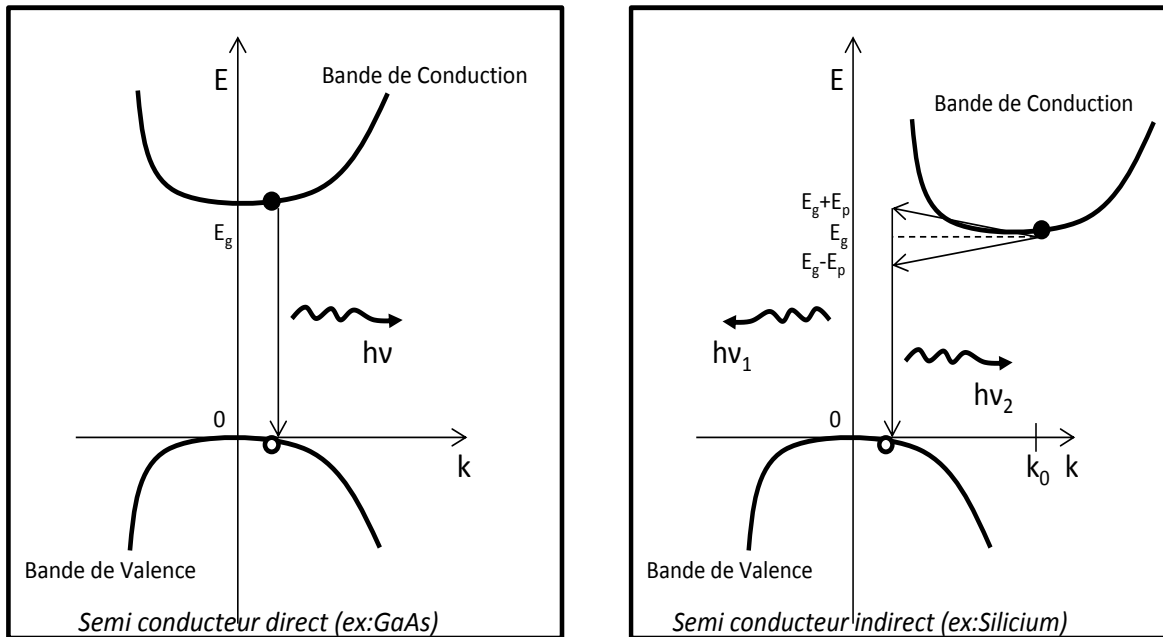
$$I(z) = I_0 \cdot \exp(-\alpha z)$$

Avec $\alpha = 2 \cdot \omega \cdot \frac{k}{c}$

- **Taux d'absorption**

Les semi-conducteurs peuvent être classifiés sous deux types : matériau à gap direct et matériau à gap indirect.

Les diagrammes des bandes d'énergie pour les deux types de matériau sont illustrés ci-après :



(a) Transition d'un électron en gap direct

(b) Transition d'un électron en gap indirect, E_p étant l'énergie du phonon

Figure 7 : **Diagramme d'état dans l'espace d'un semi-conducteur à gap direct (a) et indirect (b)**

Dans le cas d'un gap direct, le point le plus bas dans la bande de conduction apparaît à la même valeur de k (vecteur d'onde) comme étant le plus haut point de la bande de valence. Une transition optique directe est dessinées verticalement avec un changement non significatif de k (vecteur d'onde), dû au fait que le photon absorbé a un très faible vecteur d'onde.

Par exemple, si l'on considère le matériau GaAs qui a un Bandgap direct, où le minimum de la bande de conduction est au-dessus du maximum de la bande de valence, aucun phonon n'est nécessaire pour la conservation du moment quand un électron transite du minimum de la bande de conduction vers le maximum de la bande de valence (par recombinaison avec un trou), et quand un photon ayant pour énergie E_g est émis. La fréquence seuil ν pour une absorption directe détermine l'énergie de Bandgap ($E = h\nu$)

En revanche, le silicium ayant un Bandgap indirect, un phonon est nécessaire pour la conservation du moment, dans le but de permettre la transition radiative d'un électron, du minimum de la bande de conduction vers le maximum de la bande de Valence. Cela est dû au fait que les bords de la bande de conduction sont largement séparés dans l'espace k. L'énergie seuil pour ce type de procédé est plus élevée que le réel Bandgap. Un phonon doit être « consommé » ou créé quand un photon avec une énergie approximativement égale à E_g est émis. L'énergie du photon a pour valeur égale à :

$$E = h\nu = \frac{h \cdot c}{\lambda} = E_g \pm E_p$$

L'énergie d'un photon peut-être transférée vers un électron de la bande de valence d'un semi-conducteur, électron qui peut être porté vers la bande de conduction, quand l'énergie du photon est supérieure à l'énergie de Bandgap E_g (=1.12 eV pour le silicium).

Durant ce procédé de transition, le photon est absorbé et une paire électron-trou est générée. Cependant, les photons ayant une énergie inférieurs à E_g , ne seront pas absorbés, et le semi-conducteur devient « transparent » pour des faisceaux lumineux ayant une longueur d'onde égale à :

$$\lambda_c = \frac{h \cdot c_0}{E_g}$$

La notion de coefficient d'absorption communément appelé α est très importante ; en effet, l'absorption des photons produit des paires de porteurs et génère ainsi un photocourant, dont la valeur dépend de ce coefficient. Il détermine aussi la profondeur de pénétration $\frac{1}{\alpha}$ du faisceau lumineux au sein du semi-conducteur, suivant la loi de Lambert-Beer :

$$I(\bar{y}) = I_0 \exp(-\alpha \bar{y})$$

Avec $\bar{y}$ étant la longueur du trajet optique, I_0 l'intensité de la lumière incidente et I l'intensité de la lumière sortante.

La courbe suivante représente la variation du coefficient d'absorption du silicium ainsi que la profondeur d'absorption dans le matériau, en fonction de la longueur d'onde du faisceau lumineux.

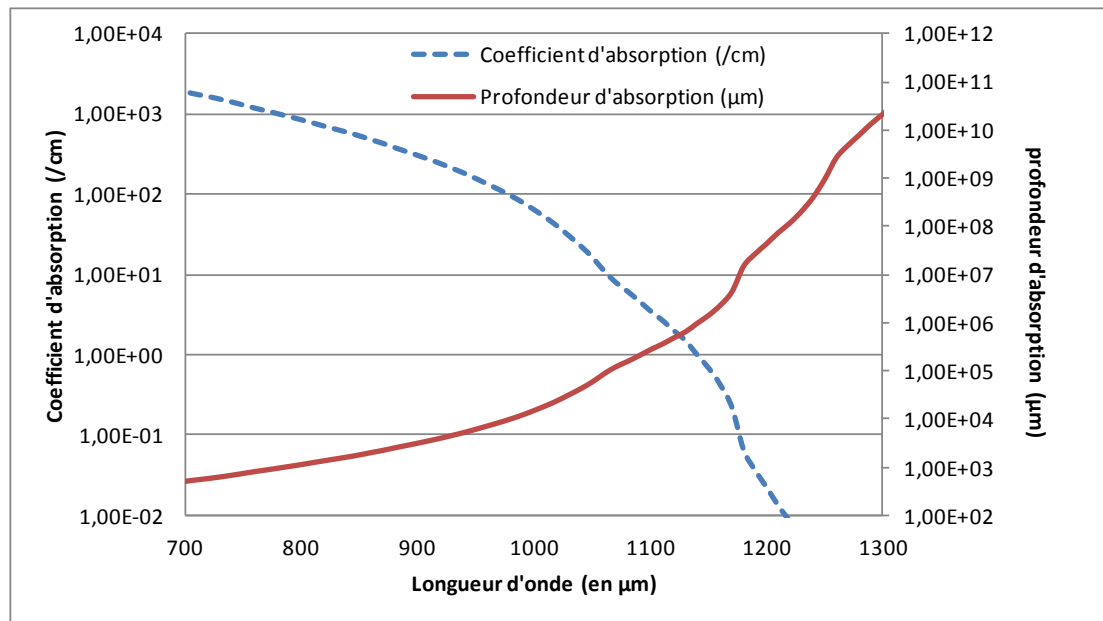


Figure 8 : Coefficient d'absorption et de la profondeur de pénétration en fonction de la longueur d'onde [GRE95]

- **Taux de génération**

L'absorption inter-bandes se traduit dans les équations de continuité du semi-conducteur par un taux de génération de paires électron-trou. D'après [POU00], le taux de génération en un point du milieu est égal aux taux de disparition des photons en ce point. Dans le cas d'une onde plane, le taux de disparition des photons est égal à l'opposé de la variation du flux de photons.

Donc le taux de génération peut s'exprimer avec l'équation suivante :

$$G_{op}(z) = \alpha \cdot \Phi_{op}(z) = \frac{\alpha}{E_\gamma} \cdot I_{op}(z)$$

avec Φ_{op} le flux de photons associé à l'onde électromagnétique, $E_\gamma = \hbar \cdot \omega$ l'énergie d'un photon de l'onde à la pulsation ω , et I_{op} l'intensité de l'onde plane.

- **Faisceau gaussien**

Le rayonnement issu d'un laser peut être considéré comme gaussien. Pourquoi considérer des ondes gaussiennes plutôt que planes ou sphériques ? Car ces ondes simples obligent à considérer le phénomène de diffraction [ROU95] en raison de leur extension infinie

dans les directions transverses à la propagation. Ce phénomène peut s'avérer incompatible avec l'effet laser d'où la prise en compte d'un effet gaussien.

Cette onde, comme l'onde plane, est solution de l'équation d'onde. Elle a pour expression la formule suivante :

$$E(r, z) = A(z) \cdot \exp\left(-i \cdot \frac{k \cdot r^2}{2 \cdot R(z)}\right) \cdot \exp\left(\frac{-r}{2 \cdot w^2(z)}\right) \text{ 2eme facteur non homogène}$$

$A(z)$ représente l'amplitude complexe du champ suivant l'axe des z . Dans cette expression, les variations du champ E suivant la coordonnée radiale r sont contenues dans les termes en exponentiel.

- Le terme en $\exp\left(\frac{-r}{2 \cdot w^2(z)}\right)$ justifie le caractère gaussien du faisceau. Pour une distance fixée z , l'amplitude du champ diminue d'un facteur $\frac{1}{e^2}$ à une distance $r=w(z)$ de l'axe optique. Le rayon $w(z)$ est donc une mesure de l'extension radiale du faisceau.
- Le faisceau gaussien est ici caractérisé par des fronts d'ondes de rayon de courbure $R(z)$.

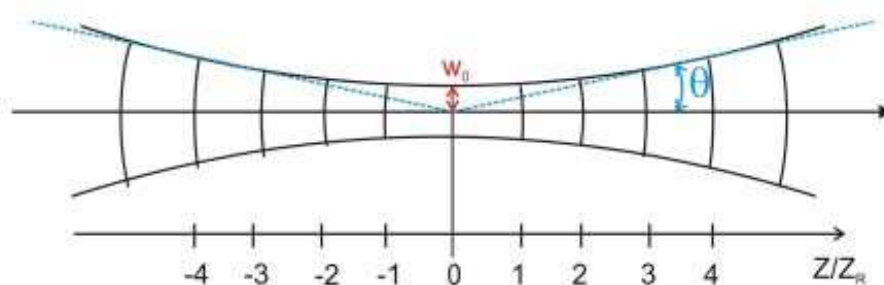


Figure 9 : **Représentation d'un faisceau gaussien**

Si on se base sur la figure ci-dessus, pour z nul, on peut définir un rayon de ceinture ou col de faisceau w_0 qui représente la valeur minimale du rayon $w(z)$. Ce paramètre est primordial, puisqu'il permet d'exprimer les caractéristiques suivantes du rayon de courbure du front d'onde du faisceau. Sa valeur est une fonction de la position tel que:

$$R(z) = z \cdot \left[1 + \left(\frac{z_R}{z}\right)^2\right]$$

Si on pose : $z_R = \frac{\pi \cdot w_0^2}{\lambda}$, on peut écrire

$$R(z) = z. \left[1 + \left(\frac{\pi. w_0^2}{\lambda. z} \right)^2 \right]$$

De même le rayon $w(z)$ peut s'écrire :

$$w(z) = w_0. \sqrt{1 + \left(\frac{\lambda. z}{\pi. w_0^2} \right)^2}$$

La longueur de Rayleigh z_R représente donc une mesure de la divergence du faisceau. En effet, plus cette grandeur sera petite, plus le faisceau sera divergent. Cette divergence, comme il est montré sur la figure, peut se mesurer par le comportement asymptotique du rayon $w(Z)$.

Lorsque $Z \gg z_R$, le rayon s'approche d'une ligne droite et devient : $w(z) = w_0. \frac{z}{z_R}$

Ainsi, la divergence du faisceau est donnée par : $\tan \theta \ll \theta = \frac{w_0}{z_R} = \frac{\lambda}{\pi. w_0}$

Enfin, un modèle de l'intensité du faisceau gaussien dans le silicium, d'après [ALD03] est donné par :

$$I_2(r, z) = I_0. \frac{w_0^2}{w_{si}(z)^2} \cdot \exp\left(-\frac{2r^2}{w_{si}(z)^2}\right) \cdot \exp(-\alpha z)$$

Maintenant, il reste à établir la distribution spatiale du taux de génération de paires électron-trou induit par le faisceau gaussien. D'après [ALD03], en admettant que la présence de porteurs libres se traduit par une diminution globale de l'efficacité de photo-génération η , on obtient l'expression du taux de génération gaussien :

$$G(r, z) = \eta. \alpha. \frac{I_0}{E_g} \cdot \frac{w_0^2}{w_{si}(z)^2} \cdot \exp\left(-\frac{2r^2}{w_{si}(z)^2}\right) \cdot \exp(-\alpha z)$$

2.2.1.2 Cas des lasers impulsionnels

La stimulation photoélectrique pour un laser impulsionnel est basée sur la création de photo-courants transitoires, dans le circuit intégré. Ils sont issus de la génération de paires électrons-trous induites par le faisceau laser dans le semi-conducteur.

- **Taux de génération**

Cette génération de porteurs excédentaires se caractérise par un taux de génération G qui peut être modélisé de la façon suivante en paires.cm⁻³.s⁻¹ :

$$G(r, t, z) = \frac{2 \cdot \alpha \cdot E_0}{E_{ph} \cdot \pi^{3/2} \cdot w_0^2 \cdot \tau} \cdot \exp\left(-\frac{2r^2}{w_0^2}\right) \cdot \exp\left(-\frac{(t - t_i)^2}{\tau^2}\right) \cdot \exp(-\alpha z)$$

où α est le coefficient d'absorption, E_{ph} l'énergie du photon, w_0 le rayon au col du faisceau, E_0 l'énergie par impulsion, τ la durée de l'impulsion laser, et t_i l'instant d'arrivée de l'impulsion.

- **Coefficient d'absorption**

La longueur d'onde est l'un des paramètres les plus importants dans l'expression du taux de génération puisqu'on le retrouve dans plusieurs termes.

On le retrouve aussi de façon implicite dans le coefficient d'absorption α . La longueur d'onde définit le processus d'absorption. Les photons sont absorbés au cours de leur propagation dans le silicium selon au moins deux processus dont l'absorption un photon et l'absorption deux photons.

- **Energie du laser**

L'énergie E_0 , quant à elle, traduit la quantité de paires électron/trou générée dans le silicium. Il est important de générer suffisamment de paires pour perturber le fonctionnement du circuit mais de ne pas en générer trop dans le cas où il existe un risque de détérioration du circuit, par échauffement essentiellement. Cela se fait par le contrôle de l'énergie laser transmise au circuit. Pour les diodes laser il suffit de contrôler le courant d'alimentation pour ajuster l'énergie. Les autres types de sources laser (laser déclenché et laser à blocage de modes), ce sera notre cas, délivrent une énergie constante. Dans ce cas le réglage doit se faire par l'insertion de composants optiques sur le trajet du faisceau.

- **Taille du faisceau laser**

Le faisceau laser est considéré comme une onde gaussienne. Par conséquent, la structure radiale du taux de génération est du même type. Afin de réduire au maximum la taille du faisceau laser, on le focalise par le biais d'objectifs adaptés à la gamme de longueurs d'onde que délivre le laser. On définit le col du faisceau w_0 au point de focalisation comme étant la demi largeur de la gaussienne à $\frac{1}{e^2}$ et la taille du spot comme le double de celui-ci. La taille minimale que l'on puisse obtenir par l'expérimentation est approximativement de $1\mu m$. Il est important de comparer cette taille de spot laser par rapport à celle des structures actuelles et futures. En effet, comme le montre la figure ci-après, il y a quelques années le faisceau

laser n'affectait qu'un seul transistor à la fois. Aujourd'hui, le laser perturbe plusieurs transistors à la fois et ce nombre va augmenter dans les années à venir de façon critique au même rythme que l'évolution des nœuds technologiques [ITRS].

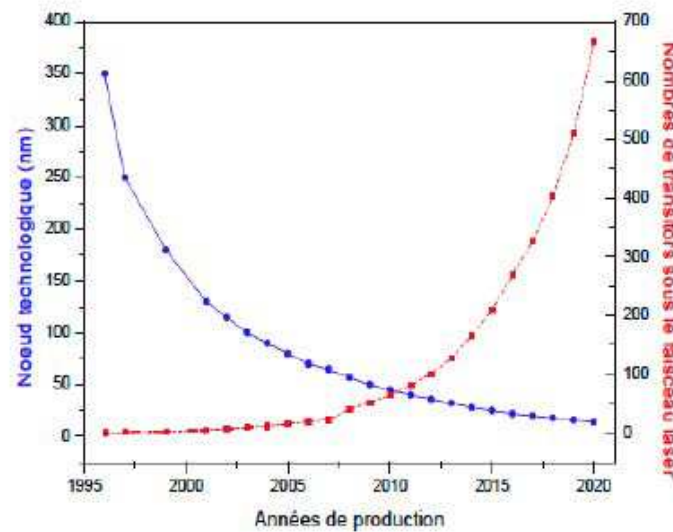


Figure 10 : Evolution dans le temps du nombre de transistors impactés par le laser pour une technologie donnée[ITRS][DOU08]

- **Durée d'impulsion**

La forme temporelle du taux de génération est elle aussi gaussienne. On définit la durée d'impulsion τ comme étant la demi largeur à $\frac{1}{e}$ de la gaussienne. De plus, nous contrôlons l'instant d'arrivée de l'impulsion sur le circuit par le terme t_i , c'est à dire que le maximum du taux de génération sera atteint à cet instant. La durée d'impulsion définit la résolution temporelle de la technique d'analyse. En effet, si nous voulons perturber ou sonder le circuit durant un temps prédéfini tel qu'un seul cycle d'horloge, plus la durée d'impulsion sera courte plus nous pourrons tester des circuits rapides fonctionnant à plusieurs gigahertz. Avec une durée d'impulsion de 1ps, il est théoriquement possible de tester des circuits fonctionnant à 1THz [DOU08] et tenter même avec des lasers ayant une durée d'impulsion de l'ordre de la femto seconde [LIN97]. De plus, selon la durée d'impulsion laser qui peut être négligeable ou comparable à la durée de collection des charges, la réponse du circuit intégré peut être très différente. Ainsi, l'utilisation de durées d'impulsions laser brèves peut être un avantage pour certains cas d'analyse du fait de cette différence.

Cependant, la durée d'impulsion conditionne principalement le prix d'achat de la source laser. Plus la durée d'impulsion est courte, plus la source laser est chère. Outre le prix, l'entretien, la durée de vie, la complexité de pilotage sont des paramètres essentiels qui conditionnent le choix d'une source laser. Il existe un large panel de sources laser impulsionnelles couvrant des durées de 10 femto-secondes à plusieurs centaines de nanosecondes.

- **Principe du photocourant**

Le principe de création du photocourant est expliqué un peu plus haut dans ce chapitre. Les paires électron-trou générées dans le silicium subissent trois phénomènes concurrents : la dérive sous l'action d'un champ électrique, la diffusion et la recombinaison. Si ce dernier phénomène prédomine, aucune perturbation électrique ne sera induite. Pour induire une perturbation électrique, il faut séparer ces paires avant leur recombinaison, les charges pourront alors être collectées et donner naissance à un photocourant [ALL87].

- **Mécanismes de collection de charges :**

La collection des charges générées par le faisceau laser se classe selon deux processus : Processus de dérive : Les paires générées dans un champ électrique, tel celui présent dans la zone de charge d'espace d'une jonction, seront quasi immédiatement séparées. Ces charges séparées seront collectées et contribueront à la création du photocourant. Ce processus de collection est très rapide (quelques picosecondes).

Processus de diffusion suivi de dérive : Les paires produites dans une zone dans laquelle il n'y a pas de champ électrique vont tout d'abord diffuser dans le substrat. Cette diffusion est provoquée par la présence d'un gradient de concentration dans la densité de porteurs. Les porteurs ont alors naturellement tendance à fuir les zones de fortes densités.

Cette diffusion est dite ambipolaire car l'électron et le trou diffusent ensemble dans la même direction. Cette diffusion peut se produire sur une distance de plusieurs micromètres, voire beaucoup plus en fonction du dopage dans le substrat. Lorsque les paires atteignent enfin la jonction de collection, elles sont séparées et collectées pour générer le photocourant. Ce processus de diffusion-collection est bien plus long (plusieurs centaines de nanosecondes). De plus, seul un certain nombre de paires parviendront au voisinage de la jonction collectrice, donc l'amplitude du photocourant induit sera bien plus faible que par le processus de dérive.

2.2.2 Limite du modèle physique appliqué au silicium

Malgré la connaissance des mécanismes gouvernant l'absorption d'un rayonnement électromagnétique par un solide parfait, il n'est pas simple de prévoir de façon analytique ou expérimentale [GEI90] le coefficient d'absorption d'un faisceau laser par un matériau. Ceci en raison de l'influence des défauts présents à la surface du matériau, mais aussi en raison de l'interaction entre le faisceau laser et le plasma. En effet, il est difficile de quantifier l'influence de la formation du plasma sur le transfert d'énergie entre le faisceau laser et le matériau.

Face à ces difficultés, la modélisation physique s'est avérée très compliquée pour l'étude des effets induits par le laser sur des structures CMOS. De plus, la modélisation au niveau physique devient difficile pour des systèmes qui se trouvent être de plus en plus complexes. Pour ces raisons, nous sommes passés au niveau électrique, ce qui permet d'étudier, analyser et comprendre de façon plus empirique l'effet du laser sur ces structures particulièrement complexes. Au premier ordre, le photocourant induit par le laser est modélisé de façon électrique, et cette source de courant est injectée à différents nœuds électriques pour en analyser son effet. Ainsi, il est possible de voir l'effet des perturbations au niveau des transistors mais aussi sur la fonction globale du circuit.

2.3 Des mécanismes à la modélisation électrique : ordres de grandeur utilisés

Avant de détailler la méthodologie et la modélisation appliquée, il est utile de décrire les ordres des grandeurs utilisés. En effet, l'état de l'art de ces derniers est d'abord un moyen d'évaluer la faisabilité de cette étude. Les ordres de grandeur des objets et des outils manipulés durant cette thèse, ne doivent pas être des points bloquants pour la mener à bien.

Nous faisons la différence ici entre les mécanismes physiques mis en jeu lors d'une interaction laser-silicium (décrits dans le chapitre I 2-2-1) et les ordres de grandeurs translatables au niveau électrique, et auxquels il sera fait référence pour expliquer le flot de méthodologie utilisé.

Nous détaillerons donc les paramètres laser utilisés dans notre modélisation versus les paramètres technologiques qui seront impactés.

Une courbe expérimentale présentée ci-dessous illustre une partie des propriétés physiques liées au laser que nous utiliserons et qui seront paramétrés dans notre modélisation électrique: la puissance laser retranscrite en photocourant et la durée de l'impact laser sur la structure.

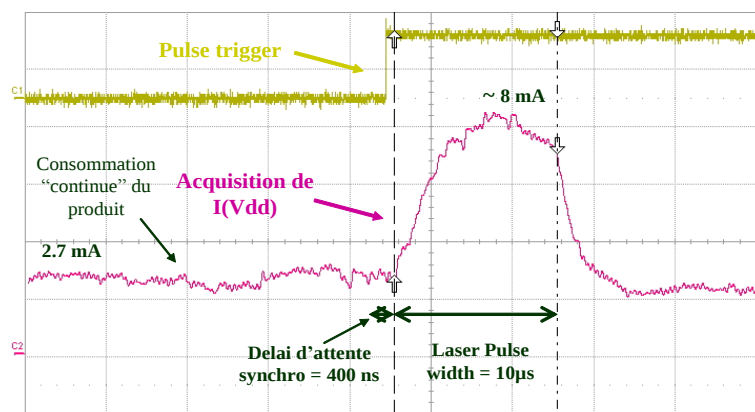


Figure 11 : Exemple de résultat de mesure sur une chaîne d'inverseur CMOS :Analyse du courant d'alimentation

Le laser a quelques paramètres significatifs et importants, ayant de l'influence sur les modifications physiques et technologiques des structures CMOS.

2.3.1 Le diamètre du faisceau laser

Le diamètre du faisceau laser a une forte influence. En effet, en fonction de la taille, le nombre de transistors MOS impactés sera différent, et l'effet sur les états logiques ou temporels des structures CMOS sera différent. Les diamètres sur lesquels nous avons travaillé varient entre 5 μm et 70 μm. [CAN09] a travaillé de même avec un laser ayant pour diamètre 1 μm.

Le faisceau laser est considéré comme une onde gaussienne. Afin de réduire au maximum la taille du faisceau laser, on le focalise par le biais d'objectifs adaptés à la gamme de longueurs d'onde que délivre le laser. On définit le col du faisceau w_0 au point de focalisation comme étant la demi largeur de la gaussienne à $1/e^2$ et la taille du spot comme le double de celui-ci. La taille minimale que l'on puisse obtenir expérimentalement est approximativement de 1 μm. Il est important de comparer cette taille de faisceau laser par rapport à celles de structures actuelles et futures.

A titre d'exemple, un faisceau de diamètre de $10\mu\text{m}$, impactera environ quatre inverseurs sur une technologie actuelle de longueur $0,18\mu\text{m}$, voire plus si on inclut le phénomène de diffusion des charges.(voir figure ci-dessous)

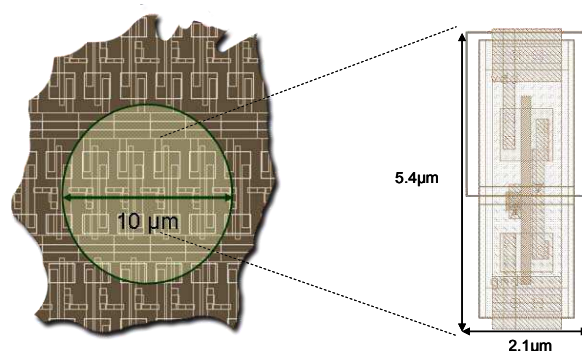


Figure 12 : **Chaîne d'inverseurs CMOS impactée: Pour un diamètre de $10\mu\text{m}$, dans une technologie $0,18\mu\text{m}$, 4 inverseurs CMOS sont illuminés**

2.3.2 Le profil du faisceau

Une autre caractéristique concerne le profil du faisceau. Nous verrons plus loin dans ce manuscrit l'impact de ce profil vis-à-vis du diamètre du faisceau sur des structures simples impactées.

2.3.3 La durée d'impulsion

Elle définit la résolution temporelle de la technique d'analyse. Plus la durée d'impulsion sera courte, plus il sera facile de tester des circuits rapides pouvant même atteindre plusieurs gigahertz. Le cas idéal est qu'avec une durée d'impulsion de 1ps, nous pouvons tester des circuits fonctionnant à 1THz. Selon la durée d'impulsion, les mécanismes de collection de charges sont différents. Ainsi, l'utilisation de durées d'impulsions laser brèves peut être un avantage pour certains cas d'analyse du fait de cette différence. Cependant, la durée d'impulsion conditionne principalement le prix d'achat de la source laser. Plus la durée d'impulsion est courte et plus la source laser est chère. Outre le prix, l'entretien, la durée de vie, la complexité de pilotage sont des paramètres essentiels qui conditionnent le

choix d'une source laser. Il existe un large panel de sources laser impulsionnelles couvrant des durées de 10fs à plusieurs centaines de nanosecondes.

2.3.4 La longueur d'onde

De même, mais non exploré, l'impact de la longueur d'onde est conséquent sur le comportement des structures CMOS. En effet, la longueur d'onde du laser (nous avons travaillé avec des longueurs d'onde dans le domaine de l'infrarouge), a des conséquences, non seulement sur le coefficient d'absorption, mais aussi sur la longueur de pénétration. [POU00][GRE95]

2.3.5 La puissance laser

Cette dernière caractéristique, la plus difficile à modéliser, est la puissance laser. Dans [PER05] nous pouvons ici parler de densité de puissance, laquelle est donnée par le ratio entre la puissance laser et la taille du faisceau. Pour des ordres de grandeur, toujours dans [PER05] la densité de puissance peut être classée de la façon suivante :

- Avec une haute densité de puissance, le seuil d'ablation matériel est atteint.
- Avec une densité de puissance juste en dessous de cette dernière, des effets de température/réchauffement sont exhibés. Ces effets sont suffisants pour créer des dommages physiques. A cause de ces probables dommages physiques, il est très difficile de localiser ou d'isoler l'impact de l'effet photoélectrique. D'un autre côté, la capacité à induire du stress thermique peut être utilisée pour des études de fiabilité.
- Avec une densité moyenne de puissance, des photocourants peuvent être induits, lesquels peuvent être utilisés pour des caractérisations de fautes sur des circuits intégrés au niveau des jonctions. Un courant photoélectrique peut déclencher des structures parasites intrinsèques et inhérentes à la technologie CMOS, telles des bipolaires, voire même impacter les caractéristiques de charge d'un buffer entre deux portes logiques jusqu'à introduire des erreurs digitales.
- A plus faible densité de puissance, les valeurs de photocourants ne sont plus suffisantes pour déclencher les effets vus précédemment, mais ils modifient légèrement le comportement des transistors durant l'illumination laser. Au sein des portes CMOS

illuminées, la propagation du signal peut être retardée ou accélérée. Cela permet de préciser la localisation des défauts pour l'analyse de fautes.

- A très faible densité de puissance, le laser induit très peu de perturbation. Dans ce cas-là, il peut être utilisé en mode sonde : le laser au travers de sa capacité à induire des perturbations reproductibles (injection de photocourant par exemple) peut servir comme outil de diagnostic. Les effets induits par celui-ci peuvent servir à déterminer l'état précédent l'impact laser.

3 Conclusion

Les composants cryptographiques et sécuritaires telles que les cartes à puce, sont conçus pour protéger des contenus sensibles contre les « hackers » qui essayent d'extraire les données confidentielles de la puce. Toutefois, ces systèmes sécuritaires ne sont pas à l'abri de nouvelles attaques et il est impératif de les étudier et d'en étudier les conséquences physiques et électriques.

Après un état de l'art sur les différents types d'attaque que l'on peut rencontrer actuellement, nous avons détaillé les différentes techniques de test par injection laser, qui sont aujourd'hui utilisées dans l'industrie de la microélectronique, en tant que techniques d'analyse optique.

Une introduction aux mécanismes d'interaction laser- matière a été présentée : lorsque la lumière interagit avec la matière, elle se comporte comme si elle était composée de « grains » infimes, les photons. De masse nulle et neutre en terme de charge électrique, ces derniers interagissent avec la matière par le biais de l'interaction électromagnétique. L'efficacité de cette interaction entre le faisceau laser et la matière (dans notre cas le semi-conducteur) est donc conditionnée par l'ajustement de la longueur d'onde du faisceau laser aux caractéristiques optiques du milieu avec lequel il doit interagir. Un autre facteur conduisant à l'échauffement localisé du semi-conducteur, et résultant de l'absorption du faisceau laser, est la durée d'impulsion. Dans ce chapitre, nous avons distingué deux types de lasers : ceux dits continus (durée de l'impulsion supérieure à une microseconde) et ceux dits pulsés (durée de l'impulsion inférieure à une microseconde).

Le chapitre II suivant démontrera comment nous sommes passés de la modélisation physique à la modélisation électrique d'un impact laser sur un circuit intégré. Il présentera l'étude des modèles électriques existants, avant de détailler plus amplement notre modèle ainsi que son algorithme, travaux que nous avons développés durant cette thèse.

Chapitre II : Méthodologie de modélisation

1 Modélisation au niveau électrique : concepts

L'objectif principal de cette thèse est d'étudier les phénomènes pouvant se produire au sein de circuits intégrés lors d'une injection laser. Cette étude permet à posteriori de modéliser au niveau électrique cette interaction, dans le but de trouver des moyens de contremesures face à des probables attaques laser contre les cartes à puce.

Ces modèles ont pour but d'être utilisés quand il est quasiment impossible ou impraticable de créer ou recréer des conditions expérimentales dans lesquels les scientifiques puissent directement extraire de leurs mesures des résultats.

Aujourd'hui, nous ne cherchons non pas à modéliser uniquement le laser lui-même – ce qui reviendrait à développer un modèle laser avec ses propriétés et ses paramètres – ni à modéliser uniquement un nouveau modèle de transistor illuminé – ce qui reviendrait ici à développer un modèle compact – mais nous cherchons à développer un modèle complet qui puisse non seulement prendre en compte les paramètres physiques du laser, mais aussi ses conséquences physiques et électriques sur le composant MOS. C'est pour cela que pour traduire au niveau électrique les conséquences sur le composant MOS de l'impact du laser, nous nous basons sur la théorie des phénomènes physiques au niveau du composant.

Ci-dessous, nous détaillerons les trois éléments qu'il est possible de modéliser (au niveau physique ou électrique), à savoir la modélisation d'un transistor MOS impacté par le laser, le laser et l'interaction laser-silicium, et ce afin de bien déterminer notre contexte de modélisation.

1.1 Modèle compact ou modèle de transistors MOS impacté

Le modèle compact est un outil de modélisation massivement employé dans l'industrie. Au sein d'une même technologie coexistent des transistors ayant des caractéristiques physiques, électriques et géométriques (largeur, longueur, nombre de doigts de grille) différentes, suivant les usages auxquels ils sont destinés. De plus, un fabricant de circuits intégrés possède souvent un catalogue contenant un grand nombre de circuits; ce qui implique que les dispositifs peuvent être utilisés pour de nombreuses applications distinctes, et donc être sollicités dans des régimes de fonctionnement variés.

La propriété du modèle compact est que, basé sur les équations de la physique du composant, il permet de prédire le comportement du transistor. Il peut extrapoler les caractéristiques électriques d'un composant, pour un point de polarisation ou une température de fonctionnement pour lesquels il n'a pas été caractérisé ou conçu a priori. Cette propriété est donc intéressante pour des applications industrielles, puisque cela évite de mesurer et de modéliser chacun des transistors pour tous les points de fonctionnement pour lesquels ils sont susceptibles d'être utilisés. Le modèle compact permet en outre de reproduire les effets des variations du processus de fabrication du circuit, ce qui est utile pour connaître la sensibilité d'un circuit à ces variations, ou pour des études comportementales d'un système électronique plus complexe.

On peut voir le modèle compact comme une boîte contenant d'une part, les équations de la physique du composant, et d'autre part,

- des paramètres technologiques, tels que l'épaisseur d'oxyde de grille, la résistivité de tel matériau, la profondeur de jonction... Ces paramètres sont définis lors de l'extraction et figés lors de l'utilisation ;
- des paramètres que l'utilisateur peut modifier. Cela peut être la température, les caractéristiques géométriques du transistor ou encore des options du modèle.

Ce modèle compact n'est toutefois pas rigoureusement physique. Les équations sont simplifiées pour rendre le modèle analytique, et donc à la fois plus rapide et plus robuste. Il inclut alors des paramètres qui n'ont pas de réelle signification physique, mais qui permettent de se rapprocher, dans le domaine de validité du modèle, de la précision de la théorie non simplifiée. D'autres paramètres non physiques rendent le modèle plus souple, de façon à tenir compte du caractère non idéal de la réalité, et aussi pour que le modèle puisse être facilement appliqué à un grand nombre de transistors bien souvent différents.

Différents modèles compacts existent. On définit aujourd'hui trois approches différentes :

- Le modèle à tension de seuil, où le potentiel de surface est approximé de façon très simpliste; toutes les grandeurs sont calculées à partir de la tension ($V_{GS}-V_{TH}$), où V_{TH} est la tension de seuil du transistor. Un exemple est BSIM (hormis la version 5 [CHE01]).
- Le modèle en feuille de charge, où le courant est calculé en fonction des charges de source et de drain, elles-mêmes calculées à partir d'une approximation linéaire sur le potentiel de surface (celui-ci n'étant donc pas considéré comme constant, à la différence d'un modèle à tension de seuil) [ENZ06]. Un exemple est EKV.
- Le modèle à potentiel de surface, où le potentiel de surface est directement utilisé pour calculer le courant et les charges dans les différents terminaux, puis calculé à partir des tensions appliquées aux terminaux. Un exemple est PSP.

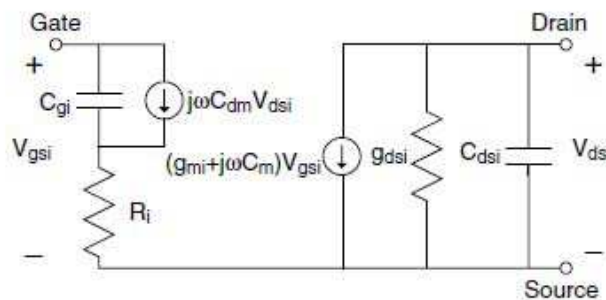


Figure 13 : **Exemple d'un circuit équivalent modifié de la partie intrinsèque d'un MOSFET utilisé pour la modélisation large bande**

1.2 Le laser

Le laser est utilisé ici comme outil d'attaque semi-invasive. Il a pour paramètres d'étude la largeur et le profil du faisceau, sa puissance, sa focalisation (qui est intrinsèquement lié à sa puissance), sa longueur d'onde et sa durée d'impulsion, paramètres que nous détaillerons un peu plus loin dans ce chapitre.

Ces paramètres sont contrôlables et donc peuvent être inclus dans un modèle d'impact laser en tant que « données utilisateurs ». Cependant, il ne s'agit en aucun cas d'un modèle électrique, mais d'un modèle physique. L'outil TCAD a été utilisé pour modéliser les effets physiques liés à l'impact laser sur des structures CMOS [DOU08]. De façon générale, cet

outil inclut la création de modèles compacts (tel que le model SPICE du transistor), qui essaient de reproduire le comportement électrique de composants.

1.3 L'impact laser semi-conducteur

A la jonction entre ces deux modèles, nous nous intéressons dans cette thèse à l'interaction entre ces deux domaines. Cette étude aboutit alors naturellement au développement d'un modèle électrique bien différencié, puisque l'on veut ajouter à la modélisation du composant sur silicium, l'impact du laser sur ces structures CMOS.

La modélisation électrique permet d'analyser des phénomènes réels et de prévoir des résultats à partir de l'application d'une ou plusieurs théories à un niveau d'approximation donné. Elle permet ainsi d'étudier l'effet du laser sur des structures complexes impossibles à réaliser en simulation physique.

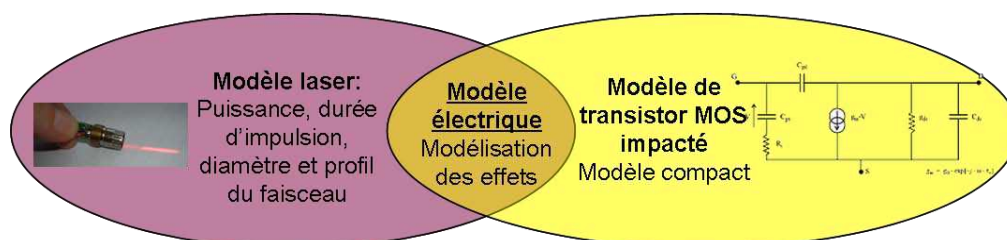


Figure 14 : Schéma illustrant notre domaine d'application :

modélisation électrique des effets induits par le laser sur des structures CMOS

Pour cela, on effectue la modélisation électrique du photo-courant induit par le laser sous la forme de différentes sources de courant. Ces sources « parasites » sont alors injectées dans le schéma électrique, aux différents nœuds géographiquement concernés par le tir laser. De cette manière, il est possible d'observer directement les effets de cette perturbation sur le comportement des transistors visés, tout comme les conséquences sur le fonctionnement global du circuit intégré.

Mais dans un premier temps, pour nous permettre de modéliser au mieux le laser et son injection, il nous faut connaître les ordres de grandeurs des valeurs seuils et des paramètres mis en jeu, qu'ils soient physiques ou technologiques.

2 Modélisation électrique de l'interaction photoélectrique laser semi-conducteur

2.1 Introduction à la modélisation

Dans cette partie, nous détaillerons l'aspect de la modélisation électrique de l'interaction laser-silicium. Les modèles existants ainsi que le modèle amélioré durant cette thèse sont applicatifs, c'est-à-dire qu'ils intègrent les paramètres physiques liés au laser, et prennent en compte les conséquences électriques de cette interaction.

2.2 Etat de l'art des modèles existants

Un modèle complet d'un transistor irradié a été développé pour les lasers impulsionnels à partir d'une source de courant exponentielle dont les paramètres électriques ont été déterminés par la mesure [POU00]. Le but étant ici de simuler plus fidèlement tous les courants transitoires de toutes les électrodes d'un transistor. Ce modèle évolué est présenté ci-dessous. Ce modèle est construit autour d'un transistor simple, modélisé par le modèle BSIM3v2, auquel on rajoute différents éléments électriques simulant les différents mécanismes physiques induits par l'illumination. Dans un premier temps, on trouve la source de courant I_{rad} modélisant le photocourant généré, dont les composantes de dérive et de diffusion ont été séparées. Cette source de courant est totalement personnalisée et dépend de plusieurs paramètres. Une particularité est observable sur ce modèle, un nœud électrique nommé substrat interne a été ajouté.

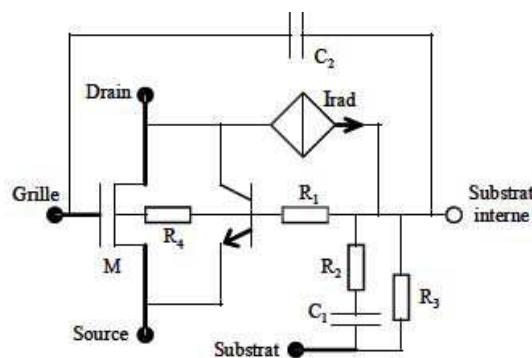


Figure 15 : **Modèle électrique complet d'un transistor NMOS illuminé**

Ce nœud permet de modéliser la répartition des courants s'évacuant par le substrat et du courant injecté au cœur du transistor bipolaire parasite intrinsèque à toute structure MOSFET. Ainsi, le courant de substrat, correspondant à l'évacuation des trous, est contrôlé par un réseau passif (réseau RC entre substrat interne et substrat). La constante de temps gouvernée par R2C1 décrit le temps de relaxation diélectrique. La résistance R1 permet de séparer le substrat du transistor M et la base intrinsèque du transistor bipolaire. De plus la capacité C2 entre la grille et le substrat interne compense la faiblesse du modèle BSIM3 à modéliser efficacement le courant de déplacement induit par les variations du champ électrique sous l'oxyde de grille lors de l'injection de charges via l'illumination laser. Naturellement, la plupart de ces paramètres dépendent de la technologie, voire pour certains, de la géométrie du transistor. Il est donc possible d'évaluer leurs valeurs numériques. Cependant, elles sont ajustées pour que la simulation électrique soit en concordance avec les résultats obtenus en simulation physique. Ce premier modèle est un modèle à proprement dit générique. Par la suite, deux modèles électriques ont permis de dissocier la durée des impulsions laser (courtes ou longues), permettant ainsi de prendre en compte dans chacun des modèles, tous les paramètres possibles mis en jeu lors de l'interaction, à savoir la génération de photocourant au niveau des jonctions, l'activation des transistors bipolaires parasites ainsi que les réseaux parasites des éléments passifs (R,C).

- Impulsions courtes

Un autre modèle électrique effectif pour de courtes durées d'impulsion laser a été développé par [DOU05]. Il est basé sur le modèle électrique vu précédemment. Cependant, pour simplifier le modèle, une source de courant double exponentielle Irad a été utilisée, avec un temps de montée égal à la durée d'impulsion et un temps de descente décrivant la diffusion de porteurs. Un transistor bipolaire de gain dégradé simule l'effet bipolaire parasite. La capacité C2 améliore la réaction de la capacité de grille du transistor MOS. Enfin, le réseau R2C1 permet d'ajuster le courant du substrat. La figure suivante montre les résultats de la simulation électrique utilisant ce modèle pour une durée d'impulsion de 1ps, et lorsque le composant est inséré dans un point mémoire à 4 transistors

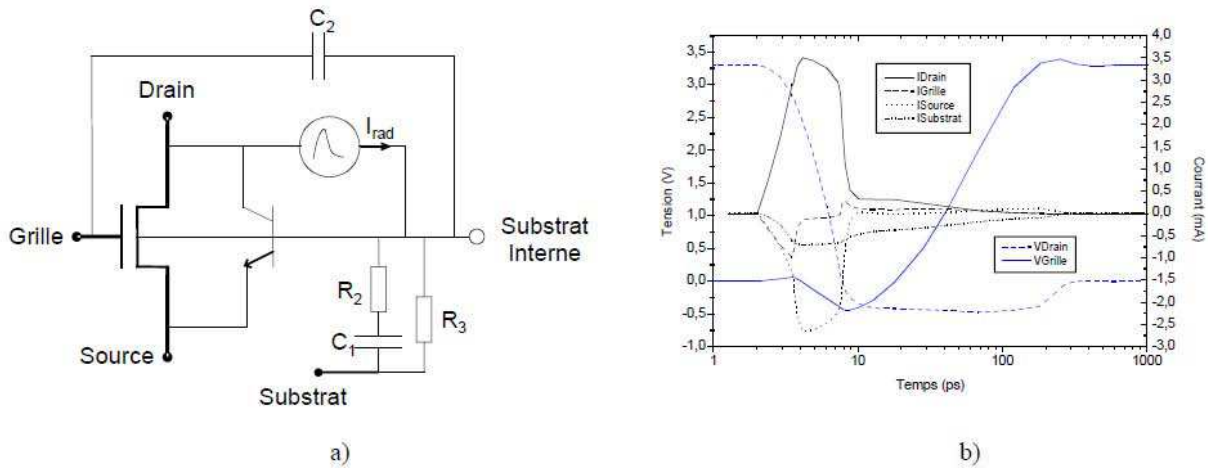


Figure 16 : **Modèle électrique simplifié pour les durées d'impulsions courtes (a) et réponses électriques du modèle associé (b)**

Le pic de courant de source vers 5ps indique une activation du transistor bipolaire parasite. L'évolution du potentiel de drain traduit un basculement de l'état logique du point mémoire une dizaine de picosecondes après l'impact.

- Impulsions longues

Le modèle électrique pour des impulsions longues illustré sur la figure ci-après, est modifié pour tenir compte des différences dans les mécanismes de collection de charges. Puisque les lignes de potentiel ne se distribuent pas dans le substrat de manière significative, le transistor bipolaire parasite et la capacité de C_2 ne sont plus nécessaires dans le modèle. De plus, puisque la jonction source/substrat reste bloquée, le courant dans l'électrode de source est modélisé par une source courant dédiée I'_{rad} . L'amplitude de cette source est proportionnelle à la source principale I_{rad} avec un facteur d'atténuation. La source de courant I'_{rad} inclut l'effet de l'illumination directe de la jonction source/substrat par les ailes de la forme gaussienne du laser. Le facteur d'atténuation est donc le produit de l'atténuation gaussienne spatiale et d'un rapport de champ électrique. Le rapport de champ électrique vient du fait que la jonction drain/substrat est plus fortement polarisée en inverse que la jonction source/substrat.

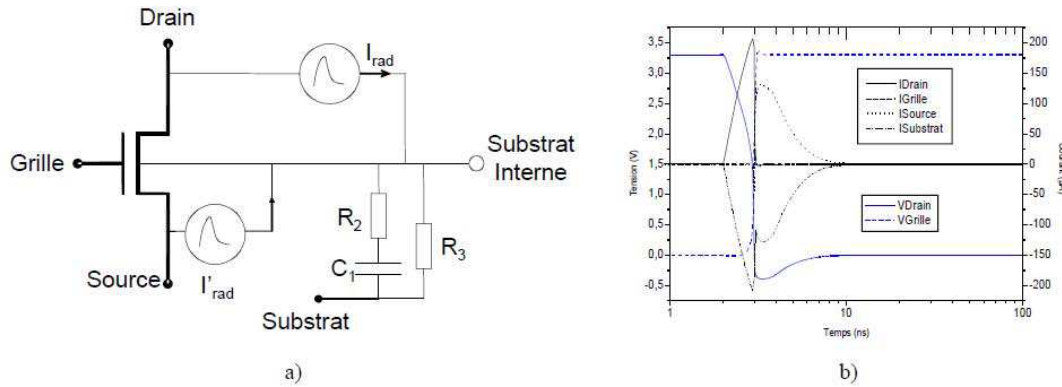


Figure 17 : **Modèle électrique simplifié pour les durées d'impulsions longues (a) et réponses électriques du modèle associé (b)**

2.3 Limitations des modèles existants

Cependant ces modèles présentent certaines limitations. En effet, ils ne prennent pas en compte tous les éléments parasites au sein des structures CMOS, qui peuvent être activées par le faisceau laser et qui contribuent (ou non), à une portion significative du photocourant total généré au sein des diffusions. De plus, ces modèles n'incluent pas l'effet de l'état de polarisation du transistor sur l'amplitude du photocourant. Enfin, la dernière contrainte avec ces modèles, est que le type d'impulsion laser n'est pas pris en compte. Un type de modèle correspond à un type d'impulsion différent.

Un des objectifs de cette thèse a donc été de corriger ces différentes limitations. Notre modèle a ainsi pour but de permettre:

- l'intégration des différents types d'impulsion dans un même modèle,
- de paramétrer électriquement la durée de l'impulsion laser,
- la génération automatique de l'implantation du modèle sur n-transistors MOS impactés,
- l'intégration des éléments parasites intrinsèques au dessin des transistors, tels les bipolaires ou les thyristors...

2.4 Nouveau modèle électrique du premier ordre

Notre modèle est construit de façon à prendre en compte l'activation du photocourant généré au sein des jonctions en inverse. Ce photocourant au niveau électrique est modélisé par des sources de courant contrôlées en tension. En effet, l'activation de ce courant au niveau des jonctions est liée à la polarisation des drains et des puits des transistors PMOS et NMOS. En entrée de ce modèle, sont introduits les propriétés liées au laser impactant la ou les structures CMOS : durée d'impulsion, amplitude de l'impulsion (puissance laser), diamètre du faisceau (nombre de transistors impactés), profil du faisceau (uniforme ou gaussien).

De plus, notre modèle n'est pas uniquement composé de sources de courant. Pour une meilleure corrélation avec la réalité physique, il a fallu tenir compte des effets liés à la technologie, à savoir les éléments parasites, tels les composants parasites intrinsèques aux structures CMOS. En effet, ceux-ci peuvent jouer un rôle prépondérant lors d'une attaque laser. Pour cette raison, une description de ceux-ci suit dans les prochains paragraphes.

2.4.1 Introduction aux éléments parasites au sein des structures CMOS

Le dessin des transistors en technologie CMOS introduit un certain nombre d'éléments parasites qui ne sont bien souvent pas pris en compte par les modèles. En effet, ils n'interviennent pas durant le fonctionnement normal des circuits intégrés. Par contre, ceux-ci peuvent parfois jouer des rôles primordiaux lors d'évènements « exceptionnels », comme par exemple lorsque le silicium est soumis à des stressés extérieurs comme des surtensions, des décharges électrostatiques (ou « ESD ») ou des injections en courant comme lors de couplages électromagnétiques [WAN01]. Le « déclenchement » de ces éléments parasites peut alors induire des mécanismes non attendus et pourtant inhérents au dessin des composants implémentés dans les technologies MOS complémentaires ou non. On peut en particulier mentionner les mécanismes de Latchup ou de Snapback, relatifs à la mise en conduction respectivement de thyristors ou de bipolaires parasites. Ces déclenchements peuvent avoir des conséquences graves pouvant entraîner des problèmes de fonctionnalités, voire des dommages physiques, puisque mettant en jeu des mécanismes d'avalanche facilitant le passage de très fort courant.

2.4.1.1 Exemples de stress induisant l'intervention d'éléments parasites

- **ESD**

ESD est l'abréviation anglaise de Décharge Electrostatique. Elle consiste en un transfert de charge entre deux corps soumis à une différence de potentiel électrostatique. Dans l'industrie des semi-conducteurs, elle peut survenir durant l'assemblage dans le boîtier, le test, le transport ou l'assemblage sur carte des composants. Cette décharge fournit un pic de fort courant ($> 1 \text{ A}$), de faible durée (le temps de montée est de 0,5 à 10 ns, la durée inférieure à 200 ns) [AME96]. L'analogie que l'on peut trouver entre les éléments parasites amorcés lors d'un impact laser et les ESDs est la suivante : la miniaturisation des technologies a considérablement augmenté l'influence des structures bipolaires parasites sur les caractéristiques $I(V)$. Les transistors parasites jouant le plus grand rôle lors d'une décharge électrostatique sont généralement de type NPN dont le collecteur est connecté à la broche du circuit, l'émetteur à V_{dd} ou V_{ss} . Les ESDs sont équivalentes à une impulsion de courant. Le dessin du transistor et de son environnement, bloqué en conditions normales de polarisation, détermine le chemin du courant de décharge. Effectuer une contrainte électrostatique équivaut à imposer un courant I_c dans le collecteur. La caractéristique $I_c(V_{ce})$ résultante peut alors présenter une résistance négative selon la longueur de la base du NPN. Cet effet est appelé "snapback". Son influence sur la réponse au stress ESD est cruciale.

- **RF**

Les problèmes de susceptibilité radiofréquence (RF) correspondent à l'adjonction de bruit sur un signal. Ce bruit peut être suffisamment important pour entraîner de faibles surtensions et sous-tensions qui sont alors intégrées par les diodes intrinsèques au silicium. Le signal électrique induit par le bruit RF est alors redressé par ces diodes, filtré par les capacités d'alimentation et injecté sous forme de courant dans le silicium pouvant alors rendre conducteurs ces éléments parasites que sont les bipolaires qui peuvent à leur tour perturber le fonctionnement normal du produit (défaillance fonctionnelle, ralentissement de signaux les faisant sortir de leur fenêtre de fonctionnement, déformation de signaux analogiques critiques...)

Plus généralement, les bipolaires (et autre éléments dits parasites...) sont des composants inactifs durant le fonctionnement normal des circuits intégrés. Ils sont physiquement présents,

mais ils ne sont qu'une conséquence de l'implantation des composants. Ils ne sont pas censés intervenir. C'est en cela qu'ils sont qualifiés d'éléments parasites.

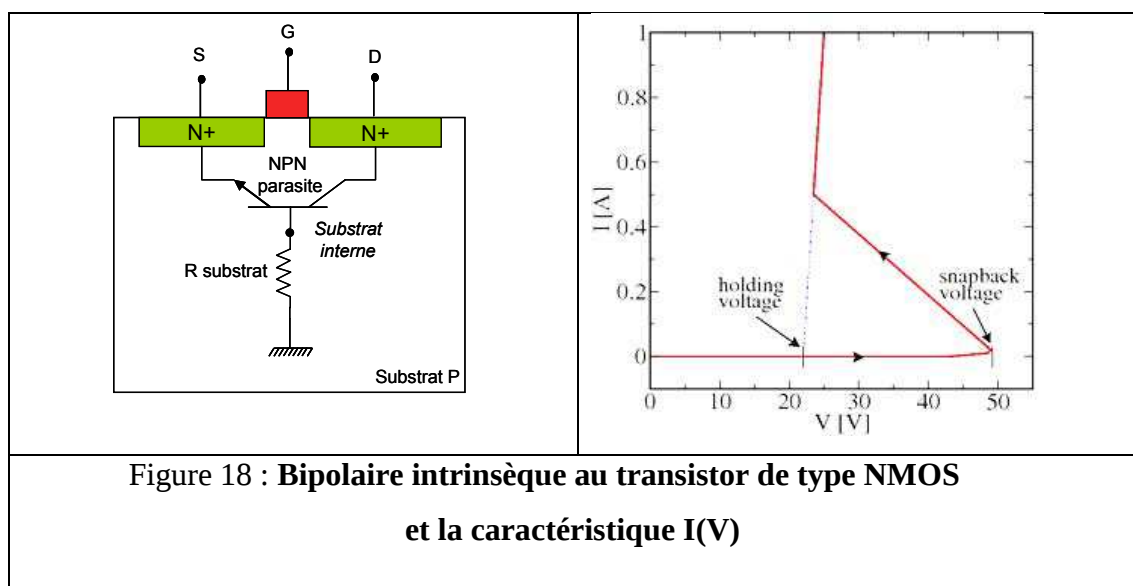
2.4.2 Les phénomènes parasites amorcés via l'impact laser

Le laser induit dans le silicium une injection de courant. Par analogie avec les cas existants précédemment cités, ce courant peut être capable d'activer ou de désactiver des éléments parasites et plus particulièrement les transistors bipolaires ou leur combinaison au sein des thyristors. Ce courant est bien évidemment fonction des paramètres du laser.

Ainsi, l'injection de fautes est une injection locale de charges, pouvant aller jusqu'à perturber le fonctionnement d'un circuit intégré, par l'intermédiaire de l'activation de certains de ses éléments parasites. On peut alors définir la quantité de charges minimale nécessaire au déclenchement de la perturbation comme le seuil de perturbation du circuit. Ainsi, le seuil de déclenchement des phénomènes de latchup (associé aux thyristors parasites entre les lignes d'alimentation) ou de « snapback » (associé aux bipolaires parasites intrinsèques aux composants MOS) est défini comme la quantité minimale de charge à injecter localement pour déclencher le mécanisme de « latchup » ou d'amorçage du transistor latéral parasite.

2.4.2.1 Mécanisme d'amorçage du transistor latéral parasite

A tout transistor CMOS est associé un bipolaire parasite. Si l'on considère le transistor de type NMOS, ce bipolaire est construit au moyen d'un collecteur rattaché au drain N⁺ du transistor, d'un émetteur créé par sa source N⁺ et d'une base correspondant au substrat P, confère Figure suivante.



Un transistor parasite est systématiquement associé à toute structure de type MOSFET. Dans le cas d'un NMOS, drain, source et substrat jouent le rôle de collecteur, d'émetteur et de base. Dans certaines circonstances, un courant (I_{inj}) peut-être injecté en inverse dans la jonction N+/Substrat P localisé au niveau du drain du transistor NMOS. Ce courant est évacué au travers du substrat, via la face arrière de la puce, ou au moyen de prises substrat à proximité (Implant P+ dans le substrat). Dans tous les cas, ce passage de courant introduit une élévation de tension localement dans le substrat.

Etant donné les dimensions des technologies CMOS actuelles, la différence de potentiel introduite localement au niveau du substrat interne peut influencer la jonction substrat-source du transistor. Ceci est d'autant plus vrai que des implants très peu dopés sont utilisés à proximité de l'oxyde de grille des transistors, dans les technologies actuelles ($<1\mu m$), réduisant d'autant plus les distances à la seule dimension de la longueur de grille. Ce phénomène de proximité s'accroît donc avec l'avancée des technologies.

Si donc le courant injecté au niveau du drain augmente, un courant de trous prend naissance dans le substrat par l'intermédiaire des prises de polarisation dont le rôle est de collecter ces porteurs de charges. Le flux qui en résulte provoque une chute de tension dans le substrat au voisinage de la source du transistor. La source commence alors émettre des électrons dans le substrat qui sont collectés par le drain du transistor NPN. Le courant de collecteur qui en résulte provoque naturellement une chute de tension du potentiel de drain (collecteur) qui s'adapte au générateur de Thévenin équivalent fournissant le courant de drain. L'amorçage du transistor parasite est effectif. Ce phénomène perdure tant que la source d'injection de charges est présente et que ces charges n'ont pas été totalement évacuées, comme avec une injection laser par exemple. Un phénomène complémentaire peut apparaître si les conditions physiques sont réunies pour la formation d'un courant d'avalanche dans la jonction drain-substrat. La multiplication des charges dans cette zone peut alors entraîner l'auto-entretien du phénomène d'amorçage, c'est le mécanisme du Snapback [AME96].

Le courant injecté, à l'origine de ce phénomène peut-être produit lors d'une surtension appliquée sur le drain du transistor. C'est le cas, en particulier lors des événements de décharge électrostatique, lorsque le nœud en question est accessible de l'extérieur de la puce, car connecté à une broche du boîtier. Il est à noter que si le stress en tension est maintenu par une source capable de fournir le courant nécessaire, l'énergie à dissiper peut être suffisante

pour détruire localement le composant. Des points de faiblesse peuvent aussi apparaître bien avant, parce qu'introduits par des non-uniformités locales concentrant l'énergie en un point (le point de passage le moins résistif). Ceci peut-être dû à un manque de prises de contacts, à des pistes de métal trop minces, à un défaut de fabrication introduisant localement une longueur de grille plus faible, etc... Par ailleurs, même si aucune destruction n'est observée, étant donné la proximité du passage du courant, des porteurs chauds peuvent être capturés par l'oxyde de grille, sans qu'aucune destruction n'intervienne durant le stress. Des courants de fuites excessifs entre grille et substrat peuvent alors faire leur apparition.

Ce courant injecté peut aussi être produit par l'effet photo-électrique d'une attaque laser.

Le phénomène décrit précédemment est potentiellement observable entre toutes les zones N, plongées dans le substrat, dès lors que, par proximité, elles peuvent réagir à une injection de charges dans leur voisinage. Le seuil de déclenchement en courant, lorsqu'il peut être atteint, est dépendant du dessin des structures implantées dans le silicium.

Pour finir, nous rajouterons pour information, qu'en fonctionnement normal, dans un environnement sans perturbation, le transistor bipolaire est intrinsèque au composant, et est à l'origine du courant de fuite du transistor MOS. En effet, la tension V_{ce} (tension collecteur-émetteur) est différente de 0 puisque la tension V_{ds} du transistor MOS est aussi différente de 0, et la jonction collecteur-base est en mode conduction inverse. Dans un tel cas, le transistor bipolaire « subit » la polarisation du MOS, et le courant de base du transistor bipolaire correspond intrinsèquement au courant de fuite du transistor NMOS auquel il est rattaché. Cette donnée sera importante lors de la définition de notre modèle.

2.4.2.2 Phénomène de SEL (Single Event Latchup)

Un problème majeur lié à la technologie CMOS et à la miniaturisation des circuits est apparu très rapidement : le latchup. La proximité des transistors NMOS et PMOS dans les technologies CMOS induit la présence d'une structure parasite de type PNPN appelé thyristor. Un transistor NMOS réalisé dans un caisson dopé P et un transistor PMOS réalisé dans un caisson dopé N de manière à assurer une isolation électrique par diodes polarisées en inverse, peuvent induire un courant de court-circuit entre l'alimentation et la masse dans des conditions anormales et conduire à la destruction du composant. C'est le phénomène de

latchup. Ce phénomène, déclenché électriquement ou par exposition aux rayonnements consiste en la mise en conduction d'une structure parasite composée de deux thyristors et inhérente à la technologie CMOS [CAI03].

Le modèle électrique classique illustré figure suivante d'un thyristor consiste en l'association de deux transistors bipolaires (PNP vertical et NPN latéral) et de deux résistance d'accès R_N et R_P . L'anode constitue l'émetteur du PNP alors que la cathode est celui du NPN. La diffusion N^+ dans le puits N permet l'accès, à travers la résistance de puits, à la zone correspondant à la fois à la base du PNP et au collecteur du NPN. La diffusion P^+ dans le substrat permet l'accès, à travers la résistance de substrat à une zone correspondant à la base du NPN et au collecteur du PNP.

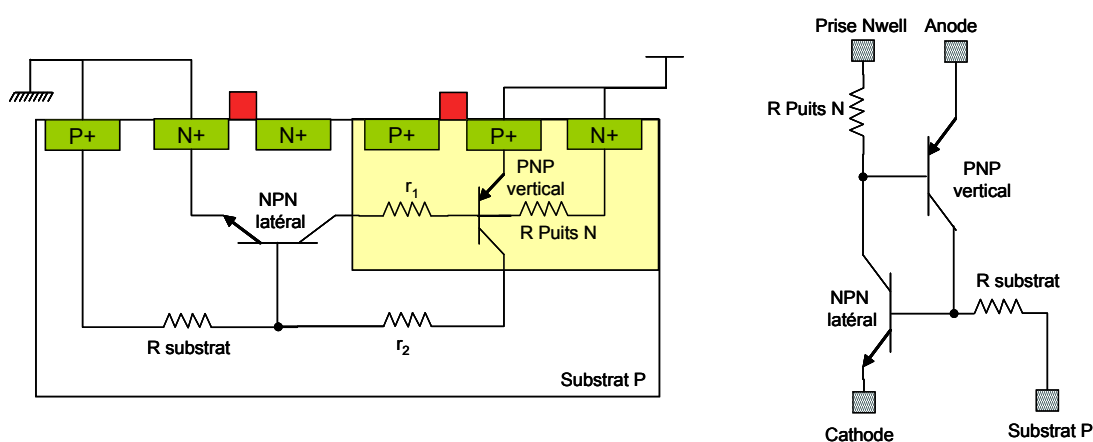


Figure 19 : Vue schématique du thyristor PNPN

Lors du fonctionnement normal du composant, cette structure est à l'état bloqué. Si le composant est soumis à un stress électrique, cette structure parasite peut devenir passante et ainsi créer un chemin de faible impédance entre l'alimentation et la masse du circuit. Le verrouillage de la structure du thyristor à l'état passant entraîne une augmentation exponentielle du courant suivi d'un emballement thermique qui peut dans de nombreux cas conduire à la destruction du composant. Ainsi, dans certaines conditions de polarisation, lorsqu'un courant peut-être induit dans la jonction substrat/cathode, alors polarisée en inverse, et ce jusqu'à sa mise en avalanche, lié au phénomène d'ionisation par impact [BEC03], on peut assister au déclenchement du phénomène de Latchup. En effet, les porteurs injectés par cette ionisation dans le substrat le polarisent par l'intermédiaire de la résistance R_{substrat} . La jonction substrat/cathode parvient alors à une polarisation suffisante pour amorcer le transistor NPN latéral. Un courant de collecteur se forme dans ce dernier qui provoque une chute de tension aux bornes de la résistance de puits N qui entraîne la mise en conduction du PNP

2.4.3 Paramètres des bipolaires parasites au niveau du modèle

Le modèle a donc pour objectif de pouvoir dans un premier temps :

- intégrer ces éléments parasites (bipolaire parasite, thyristor...),
- intégrer les paramètres du laser qui interviennent sur le courant perturbateur et ce, afin de faire apparaître des notions de seuil.

Dans un deuxième temps, on verra qu'il devra aussi prendre en compte le dessin des masques (layout) et la topologie des composants perturbés, influant eux-mêmes considérablement sur les caractéristiques des composants parasites.

2.5 Description du modèle complet et application

Dans le but d'une meilleure compréhension du modèle développé durant cette thèse, nous détaillerons le modèle de façon incrémentale. Le modèle sera tout d'abord appliqué au niveau du transistor MOS (NMOS puis PMOS), avant que des structures CMOS plus complexes soient considérées.

La principale difficulté du modèle se trouve à un niveau purement technologique. A savoir que les éléments parasites vus ci-dessus sont eux-mêmes dépendants d'autres paramètres et particulièrement du layout. Ceci introduit ici deux ouvertures au niveau modèle :

- la dépendance du modèle à la structure CMOS impactée ainsi que ses éléments parasites associés,
- la dépendance des éléments parasites au layout de la structure, mais aussi de son environnement (température, stress...)

En effet, on doit pouvoir distinguer un transistor NMOS seul, sans voisinage proche, d'un transistor NMOS, faisant parti d'un inverseur isolé, d'un transistor NMOS, utilisé dans une chaîne d'inverseur... Pour pouvoir concevoir un modèle générique qui puisse prendre en compte chaque cas particulier, nous avons dû étudier, appliquer et valider le modèle à chacun de ces cas.

Nous rappelons que l'injection laser se fait par la face arrière du composant, sans être ainsi gênée, dans les technologies actuelles, par les pistes métalliques et les protections métallique (shield). Rajoutons que dépendamment de la longueur d'onde utilisée du laser, l'interaction est de nature photoélectrique ou photo-thermique. Durant cette thèse, nous nous sommes focalisés seulement sur les effets photoélectriques.

2.5.1 Le modèle du transistor NMOS

Dans cette partie, nous nous concentrons sur la présentation de la construction de notre modèle de transistor NMOS. La simulation d'une attaque laser sur un circuit intégré substituera au modèle traditionnel de transistor NMOS, notre modèle, dès que le transistor sera considéré comme impacté par le laser. Le schéma très simplifié ci-dessous montre un transistor NMOS en coupe impacté par la face arrière.

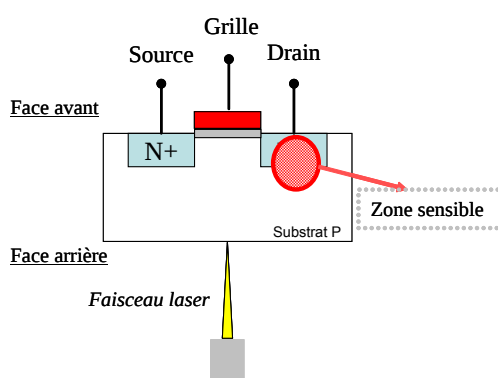


Figure 21 : Schéma en coupe d'un transistor MOS impacté par laser

2.5.1.1 Modèle du photocourant

- Conditions de génération d'un photocourant idéal

Pour que le laser ait un impact électrique ou physique sur la structure, il faut que le NMOS soit bloqué. En effet, il faut créer une jonction polarisée en inverse au sein de la structure pour que le champ électrique présent dans la zone de charge d'espace permette la séparation des paires électrons-trous et ainsi la création du photocourant. Les électrons vont se déplacer vers le potentiel le plus haut de la structure (par exemple l'alimentation V_{dd}), générant ainsi un photocourant idéal, partant du drain vers un substrat P local (en général à la masse).

Lorsque le transistor n'est pas bloqué, même si le phénomène de génération reste théoriquement valable, le photocourant produit sera négligeable au regard des courants mis en jeu dans le transistor.

- **Photocourant & substrat local**

La première étape consiste à introduire un photocourant généré au niveau des jonctions PN en inverse.

Ce photocourant est modélisé au niveau électrique par une source de courant s'établissant entre le drain du transistor et un substrat dit « local » (confère figure suivante). En effet, le substrat n'est pas idéal, et l'influence des résistances en son sein nous oblige à considérer des nœuds différents lorsqu'un courant s'y déplace. Ce point est un élément clé comme nous le verrons dans les étapes suivantes de la création de notre modèle.

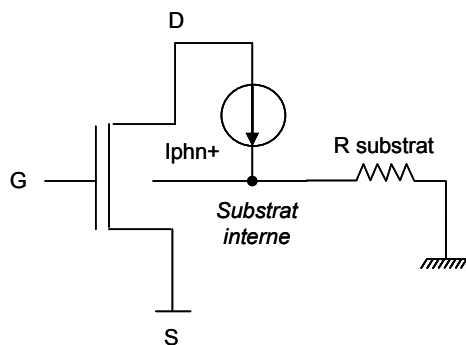


Figure 22 : **Structure électrique d'un transistor NMOS impacté: modèle au 1er ordre**

Par ailleurs, ce photocourant est proportionnel à la puissance laser. Par contre il est indépendant du potentiel appliqué sur le drain. En fonctionnement, cet impact laser revient à prélever un courant sur la source générant la tension appliquée sur le drain. En fonction des impédances en jeu sur cette source, une chute de tension peut alors être observée sur le drain du transistor NMOS impacté. Si cette source est idéale (cas d'un transistor NMOS dont le drain est directement connecté à l'alimentation), l'impact du photocourant est négligeable en tant que tel sur le potentiel du drain. Si cette source a une impédance non nulle (cas d'un transistor PMOS passant dans la configuration d'un inverseur commandé par un zéro), une chute de tension pourra être observée sur le drain du transistor NMOS du fait du prélèvement de ce courant au sein de l'impédance de la source.

- **Puissance laser et concept de « surface impactée »**

Notre modèle est décrit sous le logiciel électrique ELDO (logiciel de simulation électrique, utilisé pour les simulations de type « analogique » des systèmes sur puce, logiciel de type Spice, produit de Mentor Graphics). Nous allons profiter des fonctionnalités de cet

outil pour produire une réponse proche de la réalité. Un algorithme est ainsi mis en place, afin d'automatiser la simulation de l'impact laser et ses conséquences au niveau du circuit en fonction de l'état des polarisations, à l'instant t , des structures CMOS impactées.

Le photocourant généré au niveau de la jonction N+/Psubstrat doit représenter en ampère, la puissance laser envoyée sur la structure MOS, ou la quantité de charges produites au niveau de la jonction. Comme on a pu le constater précédemment, le diamètre du faisceau laser joue un rôle important dans la quantification de la puissance laser « perçue » par la jonction.

En effet, à même diamètre et puissance de faisceau laser, des photo-courants différents peuvent être générés selon la surface sensible réellement balayée. Plus grande est la jonction impactée par un même faisceau laser, plus conséquent sera le champ électrique et donc plus important sera le photocourant généré. On obtiendra ainsi des résultats différents pour un positionnement du faisceau différent sur des jonctions similaires, comme pour un positionnement similaire sur des jonctions de tailles différentes.

Pour cette raison, nous avons introduit dans notre modèle le concept de ratio de surface impactée, pour estimer la valeur en ampère du photocourant réellement généré.

La valeur de la puissance laser reçue sur les zones sensibles de la structure CMOS est perçue comme étant ce qu'on appellera par la suite, un potentiel photoélectrique. Ce dernier, en fonction des zones impactées, va être distribué en fonction des ratios des surfaces. La figure 24 suivante nous explique comment cette quantité photoélectrique est distribuée au sein des jonctions.

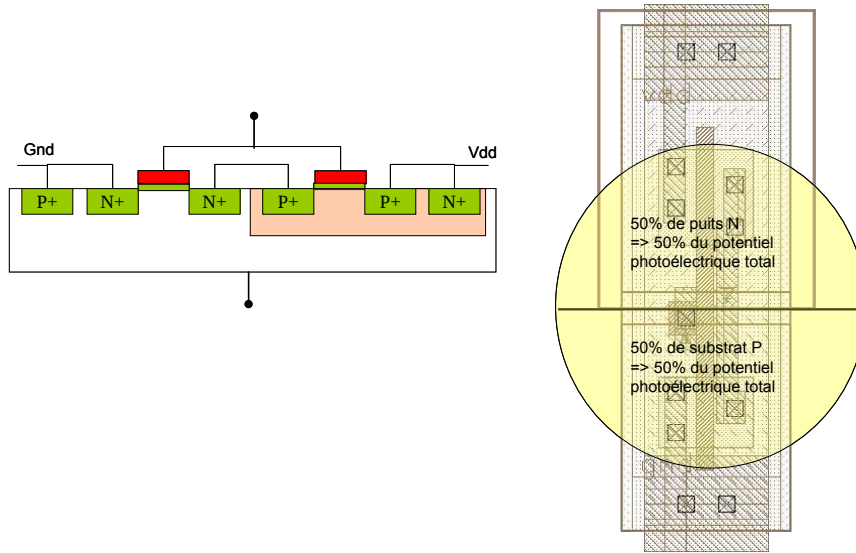


Figure 23 : **Exemple de distribution du potentiel photoélectrique au sein d'une structure CMOS**

Prenons un cas idéal, où le faisceau laser impacte une structure de façon « symétrique » ; c'est-à-dire, le cas où le faisceau impacte autant de puits N que de substrat P sans puits N. Dans cet exemple, le potentiel photoélectrique sera distribué de façon équilibrée : 50% au niveau des jonctions Puits N/substrat P et P+/Puits N, et 50% au niveau des jonctions N+/Substrat P.

Pour une meilleure lisibilité par la suite, nous avons appelé les courants distribués de la façon suivante :

Jonction Puits N/Substrat P : $I_{ph_{nwell}}$

Jonction P+/Puits N : $I_{ph_{p+}}$

Jonction N+/Substrat P : $I_{ph_{n+}}$

Revenons au cas du transistor NMOS impacté seul. Nous prendrons en compte la variable $I_{ph_{n+}}$ uniquement, puisque il n'existe qu'une seule jonction en inverse lorsque le NMOS est en mode bloqué : la jonction N+/Substrat P, correspondant au drain du transistor NMOS.

Afin de déterminer la valeur de ce photocourant $I_{ph_{n+}}$, nous nous sommes basés sur plusieurs critères : la surface impactée ou plus exactement le ratio de surface impactée (surface du drain N+ versus surface du substrat impactée), la valeur du photocourant liée à la puissance laser et la durée d'impulsion (présentée dans le paragraphe suivant).

A noter qu'ici, la surface de substrat impactée étant non définie, cela revient à identifier la surface de substrat balayée hors puits N.

Pour déterminer ce photocourant $I_{ph_{n+}}$, plusieurs étapes sont nécessaires :

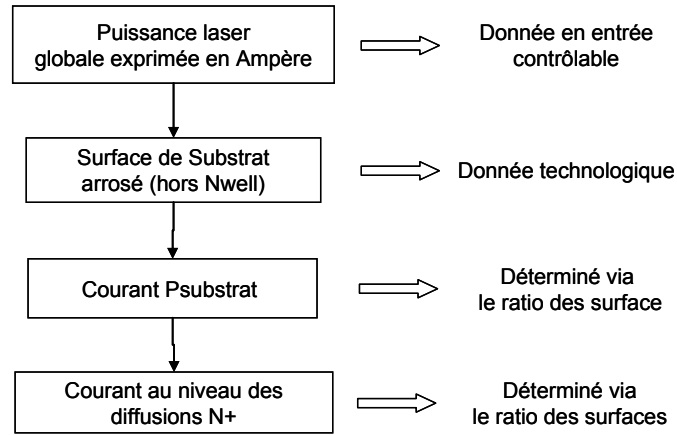


Figure 24 : Flot vu à haut niveau de la méthodologie d'implémentation du modèle laser en simulation

Le potentiel photocourant électrique que l'on écrira $I_{ph_{nwell}} (global)$ par la suite (puissance laser globale), est distribué, dans le cas d'un transistor NMOS isolé, uniquement au niveau de la jonction N+/Substrat P. Si nous distribuons ce photocourant en fonction des ratios des surfaces, nous déterminerons le courant généré au niveau du transistor NMOS de la façon suivante :

$$I_{ph_{Psub}} = \frac{I_{ph_{nwell(global)}} \times A_{Psub}}{\text{Surface du faisceau laser}}$$

où A_{Psub} est la surface de substrat hors puits N impactée par le faisceau laser et $I_{ph_{Psub}}$ est la valeur du photocourant généré au niveau du transistor NMOS.

Le photocourant $I_{ph_{Psub}}$ ainsi calculé, il nous faut déterminer le photocourant généré au niveau des diffusions que l'on nommera $I_{ph_{n+}}$. Le même procédé sera utilisé pour cela. En considérant le ratio des surfaces et la distribution des photo-courants, on obtient :

$$I_{ph_{n+}} = \frac{A_{Dn+}}{A_{Psub(arrosé)}} \times I_{ph_{Psub}}$$

où A_{Dn+} est la surface de la zone de diffusion N+ impactée par le faisceau laser, $I_{ph_{Psub}}$ est la valeur du photocourant généré au niveau du transistor NMOS et $A_{Psub(arrosé)}$ la surface de substrat sous influence laser.

- **Paramètres d'entrée**

Pour être conforme aux conditions de polarisation nécessaires à la génération du photocourant, notre modèle n'active cette source de courant que lorsqu'une différence de polarisation existe entre le drain et le potentiel du substrat local, correspondant au « puits » du transistor NMOS, tandis que la grille est au potentiel de la masse.

Le photocourant est alors un paramètre d'entrée au modèle, incluant lui-même deux autres paramètres :

- la puissance laser ou l'amplitude en courant de l'impact laser,
- la durée d'impulsion.

Cette durée est complètement indépendante de l'activation du photocourant puisque indépendante de la technologie CMOS et du fonctionnement du transistor. Ce paramètre est valable, que ce soit pour des impulsions courtes ou longues

Ces deux paramètres qui sont contrôlables doivent se combiner pour représenter l'impact laser en fonction du fonctionnement électrique du transistor NMOS. Ils doivent prendre en compte l'état du transistor pour reproduire l'effet laser sur une structure CMOS.

Nous avons donc utilisé un élément de calcul propre à l'outil ELDO nous permettant de faire la multiplication (fusion) de ces deux éléments.

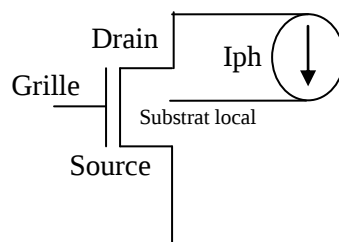


Figure 25 : **Modèle de base de l'impact laser sur un MOSFET de type N**

La figure 26 représente de façon schématique le modèle en courant d'un impact laser sur un transistor NMOS. La figure ci-dessous montre le transistor modélisé sous impact laser.

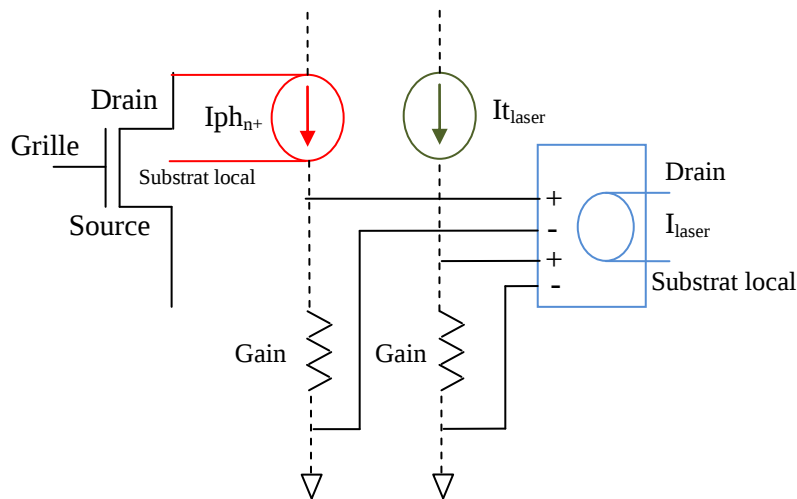


Figure 26 : **Vue électrique de la modélisation laser sous ELDO**

La figure ci-dessus présente la vue électrique du modèle. La première source de courant $I_{ph_{n+}}$ en rouge prend en compte l'intensité photoélectrique générée, soit l'amplitude en courant générée par l'impact laser. Elle est appliquée de façon continue sur la jonction N+/SubstratP, ne prenant en compte que la différence de potentiel de la jonction (état du transistor). La seconde source $I_{t_{laser}}$ en vert, est une source de courant qui contrôle la durée d'impulsion du laser appliqué. (Durée de l'impulsion laser : laser nanoseconde ou picoseconde) Son amplitude n'est pas importante. La dernière source en bleu, permet la concaténation (avec un facteur polynomial) de ces deux sources de courant.

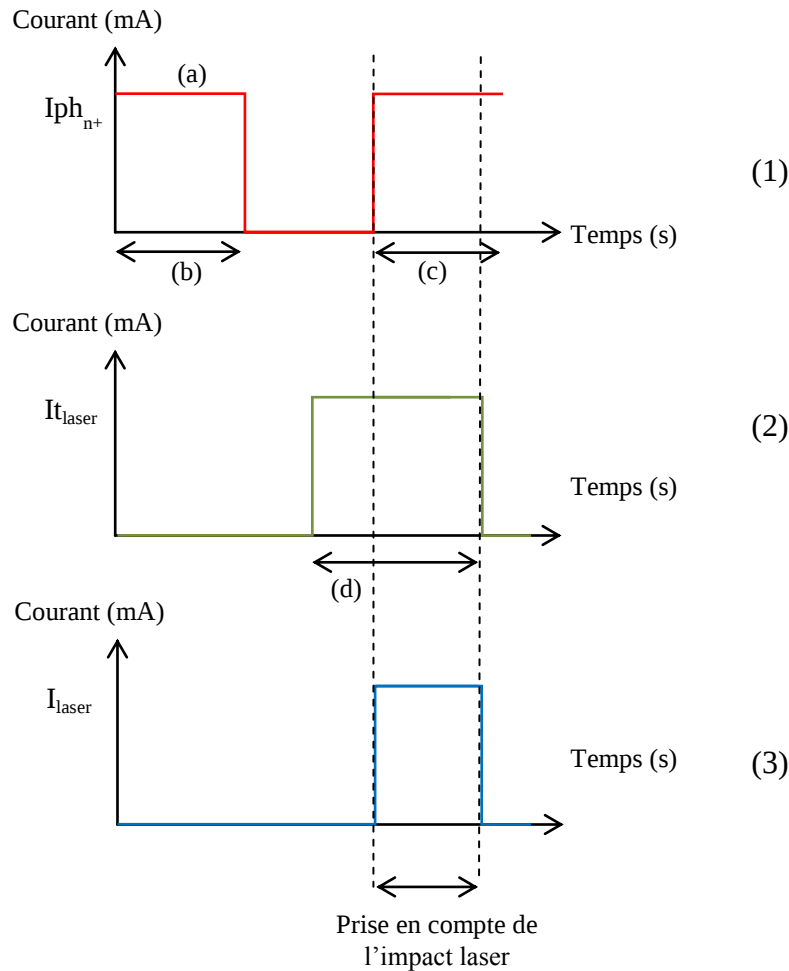


Figure 27 : **Profils en courant du modèle électrique sous ELDO**

La figure ci-dessus montre bien la combinaison des deux paramètres en fonction de l'état du transistor NMOS. La première source de courant permet de gérer l'amplitude du faisceau laser (1-a). En fonction de l'état de la jonction sous illumination, le laser est activé ou non (1-b/c). La seconde source de courant permet de gérer la durée de l'impulsion (2-d). Le multiplicateur en courant des deux sources permet d'activer ou non le faisceau laser en fonction de l'état des jonctions au sein des composants. (Ici dans l'exemple, l'état de la jonction drain (n+)/Substrat) (3). Cela permet de gérer en quelque sorte le stimulus photoélectrique du laser indépendamment de l'état des composants. Notre algorithme nous permet, à partir de la puissance laser, de déterminer de façon implicite, le courant qui peut être généré (en fonction de la structure technologique du transistor NMOS) au niveau des jonctions. Ici, les phénomènes physiques tels que les quantités de dopage des couches N+ et substrat P ne sont pas pris en compte dans le modèle.

- **Eléments parasites et modèle du transistor NMOS**

Après avoir décrit notre modèle de génération du photocourant, il nous faut maintenant ajouter à celui-ci les éléments parasites inhérents à la structure CMOS afin de bien prendre en compte tous les éléments intervenants lors d'un impact laser.

En effet, le transistor NMOS est intrinsèquement accompagné d'une structure parasite : un transistor bipolaire NPN latéral. Or, comme cité dans [POU08], ce transistor peut se déclencher lors des impulsions laser courtes.

```
Q1 C B E S NPNBG25U1_int area=area
.model NPNBG25U1_int npn tmeas=27
+is=9.497603e-17
+bf=4,24
+cje=2.818e-14
+cjc=1.275e-14
+tf=1.43e-10
+trb1=0.007
+trel=0.005
+trc1=0.008
```

Figure 28 : **Exemple de carte modèle d'un transistor NPN latéral**

Cet élément parasite est très rarement inclus dans la carte modèle du transistor NMOS, n'intervenant pas lors du fonctionnement normal des transistors MOS. Par contre, le modèle seul d'un transistor bipolaire NPN latéral (le collecteur est rattaché au drain du transistor NMOS, la base au substrat local, et l'émetteur à la source), est souvent déjà présent dans les kits technologiques. Notre objectif lors de ce paragraphe est d'utiliser la carte modèle de ce bipolaire déjà décrite dans la technologie qui nous concerne pour construire l'élément parasite qui nous intéresse.

Voici illustrés figure suivante, le schéma en coupe et son schéma électrique associé, pour un transistor NMOS impacté par le laser en face arrière :

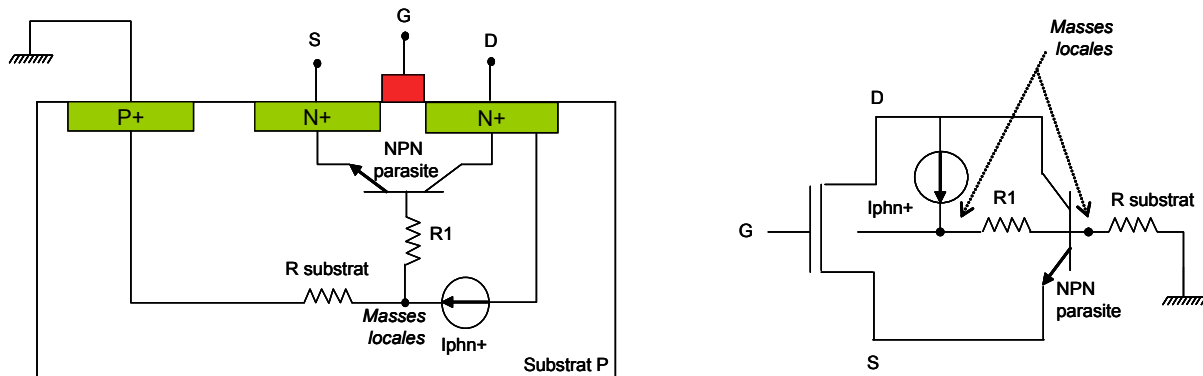


Figure 29 : modèle laser appliqué à un transistor NMOS

Pour être au plus proche de la réalité, nous avons modélisé les résistances que l'on appelle les résistances de prises.

Afin de bien comprendre comment nous avons réglé les paramètres du transistor bipolaire NPN parasite, nous avons étudié le fonctionnement d'un transistor bipolaire NPN sur la base des équations d'Ebers-Moll ainsi que ses principaux paramètres électriques. Cette étude est reportée en annexe.

- **Rappel sur les différentes structures de transistors bipolaires**

Trois différentes structures de transistors bipolaires existent : vertical, latéral et substrat. Elles permettent d'obtenir des caractéristiques différentes et spécifiques à telle ou telle application. Les transistors PNP latéraux et substrats sont utilisés comme charge active ou comme source de courant dans les amplificateurs opérationnels, les régulateurs de tension, les comparateurs, les convertisseurs A/N ainsi que dans de nombreux circuits intégrés analogiques. Ces structures se différencient par la direction du flux du courant à travers le composant. Par contre, pour le transistor bipolaire NPN, seule la structure verticale est utilisée.

Dans notre modèle, nous avons introduit le NPN parasite latéral.

- **Réglage du bipolaire NPN latéral dans notre modèle**

Cette étude sur le transistor bipolaire de type NPN nous a permis de mettre en avant quels paramètres avaient un impact conséquent sur le comportement du transistor et devaient être pris en compte dans notre modèle. Il s'agit d'une part du gain en courant direct β et du

courant de saturation I_s , et d'autre part, si l'on raisonne en régime statique des résistances d'accès et si l'on raisonne en régime dynamique, des capacités de jonction.

Afin de rendre compte de l'effet de l'impact laser, nous avons modifié le modèle standard du bipolaire NPN intégré au kit technologique, en adaptant ses paramètres essentiels à notre cadre, ceci afin de paramétrer le comportement du transistor bipolaire selon l'évolution de la structure MOS impactée par le laser.

- Gain en courant direct du bipolaire β

D'une façon générale, les caractéristiques des bipolaires varient en fonction des technologies. Il est donc nécessaire, avant chaque application du modèle sur des structures CMOS, de prendre en compte les paramètres liés aux transistors NPN parasites, inhérents à la technologie utilisée. A savoir, les paramètres de la carte modèle du transistor bipolaire, les surfaces des prises N+, la longueur du canal... Tous ces paramètres technologiques doivent être pris en compte et établis avant l'application du modèle, et ce, sur n'importe quelle structure CMOS impactée par le laser.

Pour cette raison, notre modèle est fonction des informations déjà modélisées pour évoluer avec les cartes modèles existantes des transistors bipolaires NPN.

Par ailleurs, dans les kits technologiques auxquels nous avons été confrontés, le gain en courant est fixé en regard d'une certaine largeur de base du transistor bipolaire.

En première approximation, sur la figure 31 ci-dessous, on remarque au niveau du dessin technologique que la longueur de base du transistor NPN équivaut à la longueur de la grille du transistor MOS, si on considère que les lignes de flux du courant de base ne s'enfoncent pas trop profondément dans le substrat.

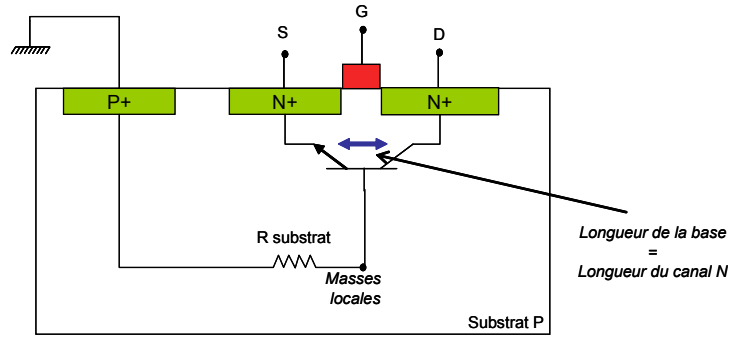


Figure 30 : Réglage du gain en courant β du transistor NPN latéral parasite

Pour déterminer le gain en courant du transistor bipolaire inhérent à n'importe quelle structure CMOS, nous avons utilisé la formule suivante conformément à notre étude en annexe X :

$$\beta(npn) = \frac{\beta_{dkits} \times W_{Bnpn_modele}}{L_{Bnpn(dkits)}}$$

Avec

β_{dkits} : gain en courant direct du transistor NPN présent dans le Design Kit

W_{Bnpn_modele} : Largeur de la base du transistor NPN intrinsèque au transistor NMOS qui sera inclut dans notre modèle

$L_{Bnpn(dkits)}$: Largeur de la base du transistor NPN présent dans le Design Kit

Nous constatons que plus W , paramètre qui correspond à la largeur de la base, diminue, plus le gain en courant augmente. Ce que l'on peut traduire par : plus les technologies avancent dans leur miniaturisation, plus l'effet du bipolaire parasite est relativement important. Ce qui est confirmé par l'expérience. Ce constat est évidemment à moduler par le fait que les niveaux de dopage augmentent avec le niveau d'intégration, diminuant ainsi la valeur du gain en courant statique. Mais ce dernier phénomène est pris en considération dans la donnée β_{dkits} issue des cartes modèles des transistors. Ainsi, dans le cas d'un transistor NMOS, pour un transistor parasite latéral NPN, on peut déterminer de façon empirique le gain en courant de la façon suivante :

$$\beta(npn) = \frac{\beta_{dkits} \times W_{Bnpn_modele}}{L_{Bnpn(dkits)}} \Rightarrow \beta(npn) = \frac{\beta_{dkits} \times L_{Canal\ N\ du\ transistor\ NMOS}}{L_{Bnpn(dkits)}}$$

En se basant sur les paramètres du transistor bipolaire NPN latéral présent dans les cartes modèles de la technologie utilisée pour l'application du modèle, on calcule très facilement le gain en courant direct du transistor bipolaire latéral parasite NPN inhérent au transistor NMOS impacté par le laser.

De façon générale, le gain en courant du transistor latéral NPN n'est pas très important, au vu de la longueur du canal des technologies actuelles. Dans notre modèle, β est environ égale à 0,5 pour un canal de transistor ayant une longueur égale à 0,1 μm et en considérant les cartes modèles de transistors NPN latéral du Design Kit.

Pour conclure sur le gain en courant du transistor bipolaire NPN latéral, afin de généraliser la détermination de sa valeur quel que soit la structure impactée, sa formule a été introduite dans l'algorithme permettant d'automatiser au final l'impact laser sur des structures CMOS. Nous verrons de quelle façon cela a été mis en place dans la partie « généralisation à n transistors ».

- Courant de saturation I_s

Pour déterminer la valeur du courant de saturation I_s , nous nous basons sur les surfaces des zones où ce courant se forme. En effet, le courant de saturation I_s concerne la jonction base/émetteur du transistor bipolaire (voir Annexe). On peut alors établir que :

$$I_s(npn) = \frac{I_{s(DKits)} \cdot A_{s(n+)}}{A_{E(npn-DKits)}}$$

Avec

I_{sDKits} : Courant de saturation du transistor NPN présent dans le Design Kit

A_{Sn+} : Surface de la prise source du transistor NMOS

$A_{Enpn(dkits)}$: Surface de l'émetteur du transistor NPN présent dans le Design Kit

Comme on peut le constater avec la formule du courant de saturation lors d'un fonctionnement normal du transistor bipolaire, le courant de saturation I_s dépend de la surface de la prise Emetteur. Donc plus cette surface est grande, plus le courant de saturation augmente. De même que pour le gain, cette approche est purement théorique et reste une étude au premier ordre. Un réglage plus approfondi est nécessaire après chaque utilisation du modèle, afin d'être au plus proche des résultats expérimentaux obtenus.

Nous verrons dans le troisième chapitre, l'application de ce modèle sur un transistor NMOS en simulation.

2.5.2 Le modèle du transistor PMOS

Dans le cas du transistor PMOS, les mécanismes en jeu sont analogues à ceux présentés avec le transistor NMOS. Lorsque le transistor MOS de type P est dans un état bloqué, lors d'un impact laser en face arrière, il y a génération d'un photocourant au niveau des jonctions en inverses, à savoir au niveau de la jonction entre la diffusion P+ et le Puits N, ainsi qu'au niveau de la jonction Puits N/Substrat P.

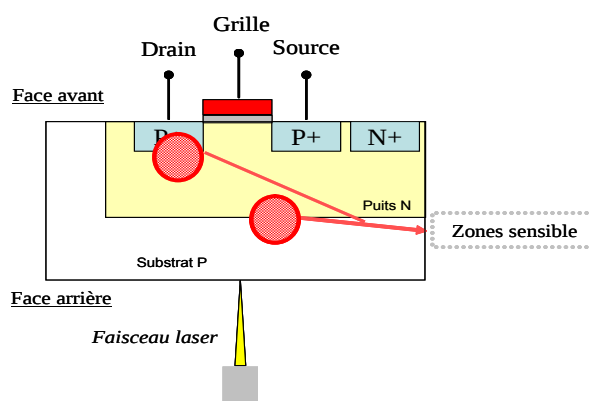


Figure 31 : Schéma en coupe d'un transistor PMOS en technologie CMOS simple puits:
identification des jonctions sensibles à un impact laser

Cette figure représente de façon schématisée, les jonctions PN sensibles lors d'un impact laser, lorsque le transistor PMOS est dans un état bloqué. De la même manière que pour le transistor NMOS, dès lors que l'on considère le drain, avec une différence de potentiel avec le Puits N (jonction en inverse) un photocourant peut être activé durant l'impact laser. Celui-ci devient négligeable, si l'on considère la source alimentée par exemple, au même potentiel que le puits N.

2.5.2.1 Modèle des photocourants

On obtient donc dans le cas du PMOS, un modèle à deux photocourants.

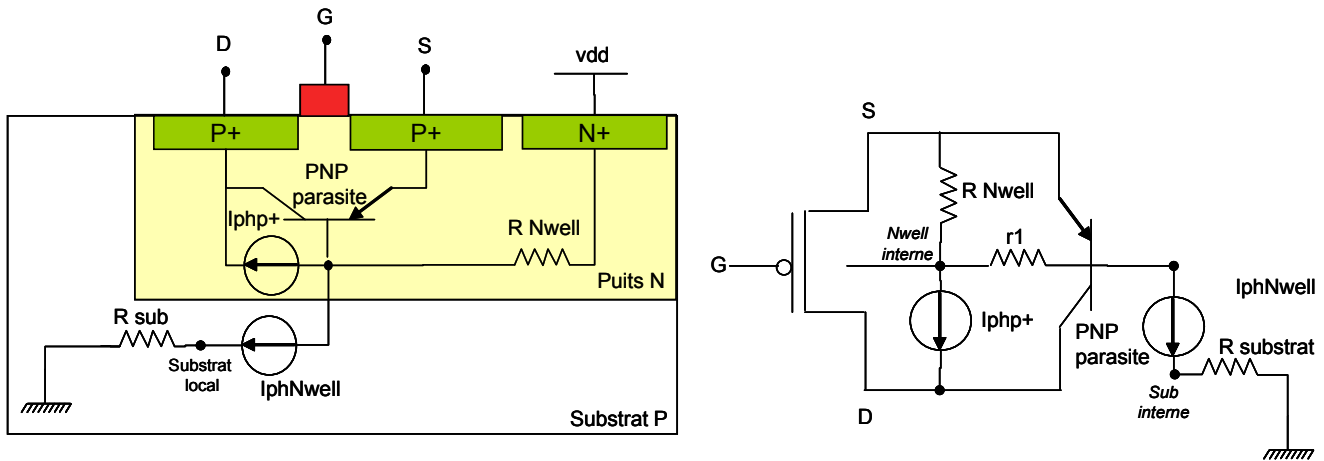


Figure 32 : **Intégration du modèle au sein d'un transistor PMOS. A gauche, vue en coupe. A droite, vue électrique**

La figure au dessus illustre notre modèle électrique pour un transistor PMOS. Nous pouvons y retrouver, comme pour le NMOS, les photocourants générés au niveau des jonctions concernées. Les éléments parasites et leur intégration dans le modèle complet seront traités plus loin dans ce chapitre.

Toutefois, les photocourants générés au niveau des deux jonctions ne sont pas du même ordre de grandeur. En effet, en terme de surface, la jonction Puits N/SubstratP est beaucoup plus grande que la jonction P+/Puits N. En conséquence, on peut estimer par la géométrie que le photocourant au niveau de la jonction Puits N/SubstratP aura une valeur beaucoup plus grande que celui généré au niveau du drain du transistor PMOS. Bien plus, vu de la face arrière, la jonction qui sera impactée en premier par le laser sera au niveau du puits N. La principale absorption de photons se produira donc au niveau de cette jonction en priorité. Seuls les photons qui ne seront pas absorbés à ce niveau-là pourront l'être au niveau de la seconde jonction.

Voici en introduction, un tracé de caractéristiques $I(V_{ds})$ d'un transistor PMOS standard.

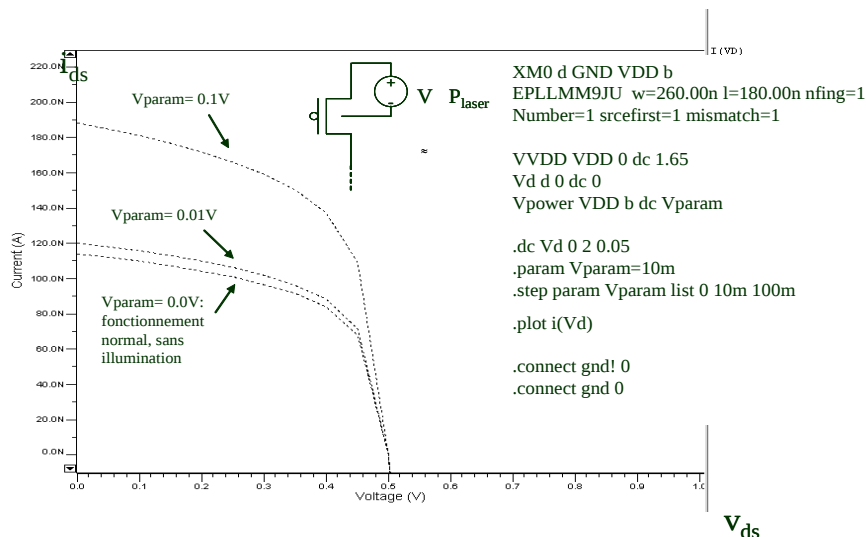


Figure 33 : Influence du laser (IR) sur les caractéristiques $I_{ds}(V_{ds})$ d'un transistor PMOS
[ROW03]

On observe bien sur ce graphique, une modification des caractéristiques $I_{ds}(V_{ds})$ du transistor PMOS lors d'une illumination et plus exactement un offset du courant de drain de fuite du transistor PMOS. La source de tension modélise l'illumination du laser et donc le photocourant généré au niveau de la jonction.

On a vu précédemment que le photocourant généré au niveau du drain du transistor NMOS pouvait impacter le potentiel de ce nœud en fonction des impédances mises en jeu pour imposer cette tension. Pour ce qui concerne le PMOS, si ce mécanisme existe effectivement pour le drain, il reste très faible étant donné la valeur du photocourant généré.

De son côté, celui généré au niveau de la jonction PuitsN/SubstratP est linéairement proportionnel à la puissance du laser. La chute de tension qui en résulte ($V_{dd}-V_{ds}$) est elle-même linéairement proportionnelle au photocourant, du fait de l'effet de la résistance du Puits de type N.

De plus, ce photocourant induit une chute de potentiel entre le contact de Puits N et le point d'impact du laser. Cette chute de potentiel fait augmenter la différence de potentiel entre la Source et le Puits N du transistor PMOS, réduisant ainsi la tension de seuil V_T et créant ainsi une augmentation du potentiel sur le drain.

2.5.2.2 Méthodologie de répartition des photocourants

Pour une meilleure compréhension, nous allons détailler chacune des étapes de cette méthodologie :

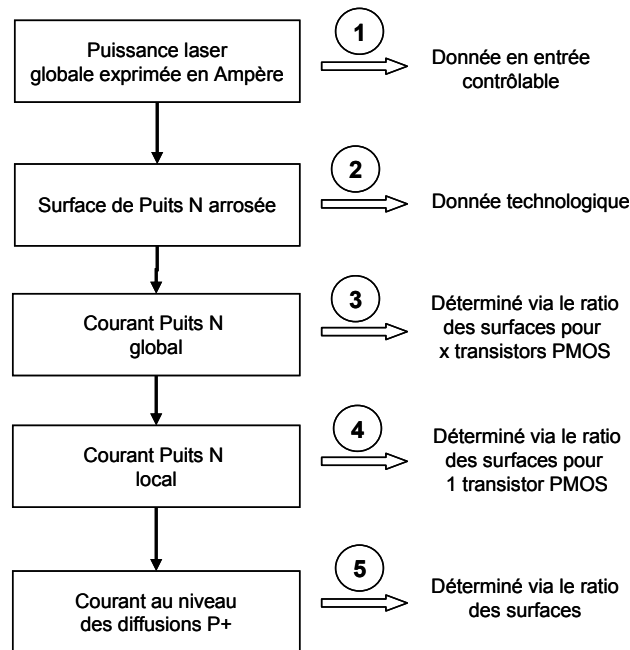


Figure 34 : **Méthodologie utilisée pour déterminer les valeurs des courants générés au niveau des jonctions PN pour un transistor PMOS**

- 1- Comme vu précédemment, la puissance laser globale exprimée en ampère représente l'effet photoélectrique appliqué sur le transistor PMOS. Cette donnée est contrôlable, puisque c'est une donnée en entrée, choisie par l'utilisateur du modèle lors de la simulation. C'est la puissance laser normalement exprimée en Watts, symbolisée en Ampère pour le modèle électrique.
- 2- Pour déterminer la valeur du photocourant généré au niveau de la jonction PuitsN/Substrat P, il nous faut déterminer via le dessin des structures en jeu, la surface de Puits N illuminée par le laser. C'est une donnée technologique.
- 3- Le photocourant principal est généré au niveau du PuitsN/Substrat P. Sa valeur est déterminée en utilisant la méthode du ratio des surfaces. L'approximation suivante est faite : on considère que la surface impactée par le faisceau laser $surface_faisceau = \pi \times \left(\frac{d}{2}\right)^2$ avec d le diamètre du faisceau laser, l'est

uniformément. Ainsi, l'évaluation de la surface de Puits N impactée par le laser détermine directement par proportionnalité le photocourant généré. Puisque le substrat « englobe » totalement le Puits N. On obtient ainsi la formule suivante :

$$I_{ph_{nwell(global)}} = \frac{PuissanceLaser \times Surface_PuitsN_impactée}{Surface_faisceau_laser}$$

Nous avons déterminé ici de façon quantitative, la valeur du photocourant généré au niveau de la jonction PuitsN/Substrat P.

- 4- Durant l'étape 3, nous avons calculé le photocourant global à la jonction PN Puits N/Substrat P, indépendamment du nombre de transistors PMOS présents dans ce puits N. Ce photocourant est redistribué sur chacun des transistors PMOS impactés, en déterminant leur nombre, et en divisant le total calculé en 3, par ce nombre:

$$I_{ph_{nwell(local)}} = \frac{I_{ph_{nwell(global)}}}{Nbr_PMOS_illuminés}$$

- 5- Cette étape consiste à déterminer le courant généré au niveau des jonctions des diffusions P+/Puits N. Pour cela, nous utilisons le rapport des surfaces versus la distribution des potentiels photoélectriques générés au niveau de ces jonctions :

$$I_{ph_{p+}} = \frac{AD_{p+}}{A_{Nwell(arrosé)}} \times I_{ph_{nwell(local)}}$$

Ainsi, nous pouvons approximativement et au premier ordre, déterminer la valeur du photocourant généré au niveau des diffusions P+ pour un seul transistor PMOS.

Cette première partie de modélisation électrique se fait comme pour le transistor NMOS, au moyen du logiciel ELDO. La mise en place de l'algorithme au niveau électrique suit la même procédure que pour le transistor NMOS.

2.5.2.3 Eléments parasites et modèle du transistor PMOS

De façon identique au transistor NMOS, nous avons modélisé le réseau parasite inhérent au transistor PMOS. A savoir, principalement, le transistor bipolaire latéral PNP. Dans cette configuration, le collecteur du transistor bipolaire est rattaché à la source du transistor PMOS, la base à la prise Nwell, et l'émetteur à la source.

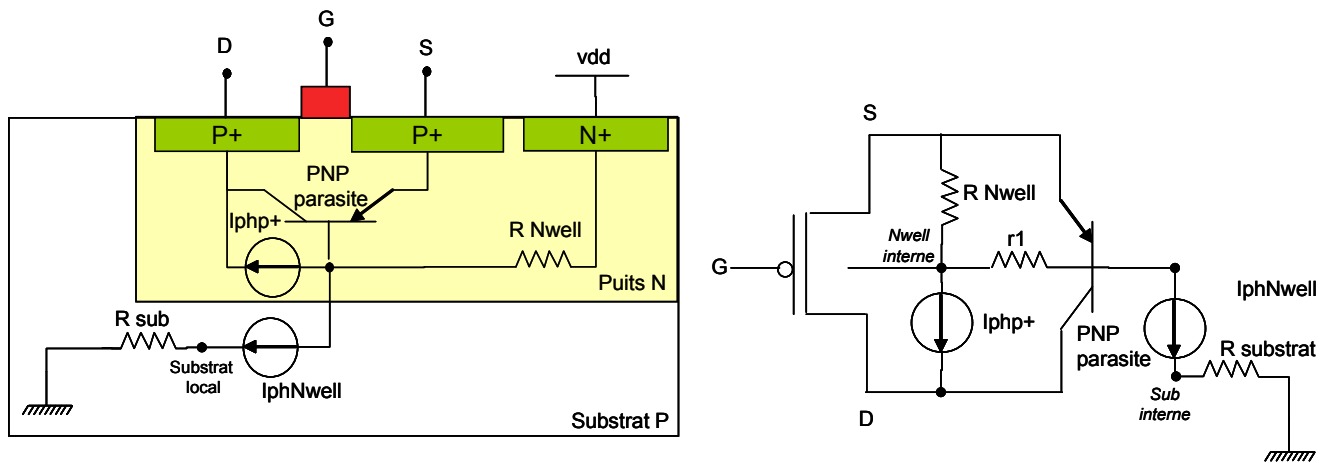


Figure 35 : Schéma en coupe (à gauche) et schéma électrique (à droite)
de la modélisation d'un transistor PMOS impacté par le laser

La figure 36 représente le modèle complet pour un transistor PMOS impacté par un laser en face arrière. Les deux sources de courant représentant les photocourants générés au niveau des jonctions sont représentées ainsi que le transistor bipolaire PNP latéral parasite.

- **Le transistor bipolaire PNP latéral**

Voici un schéma en coupe d'un transistor PNP latéral :

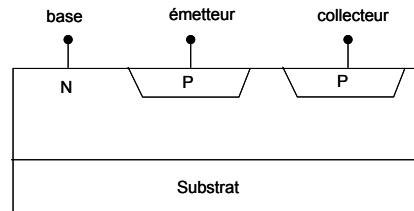


Figure 36 : schéma en coupe d'un transistor bipolaire PNP latéral

Lorsque le transistor bipolaire PNP est en fonctionnement normal, la jonction émetteur-base est polarisée en direct et la jonction collecteur-base en inverse.

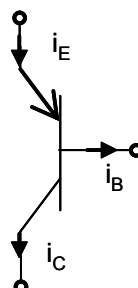


Figure 37 : Représentation des courants du transistor PNP

Dans cette configuration, les électrons sont majoritaires dans la base et voient une grande barrière de potentiel vers le collecteur. Leur déplacement via le phénomène de diffusion contribue uniquement à un petit courant électronique de la jonction directe émetteur-base. Les trous, eux, passent la jonction émetteur-base qui est polarisée en direct. Ils se retrouvent porteurs minoritaires dans la zone neutre de la base, en régime de diffusion. Le champ électrique de la jonction inverse base-collecteur happe les minoritaires qui parviennent jusqu'à elle (notamment si la base est courte). Les trous redeviennent porteurs majoritaires dans l'émetteur et ils continuent leur parcours jusqu'au contact.

Les équations qui découlent de la modélisation physique du gain en courant et du courant de saturation sont les mêmes que celles du transistor NPN.

- **Réglages du bipolaire PNP latéral dans notre modèle**

Pour déterminer les paramètres du transistor PNP latéral, on utilise le même procédé qu'avec le NPN, en se basant sur les paramètres des cartes modèles existantes dans le Design Kit, d'un transistor bipolaire PNP latéral :

```
Q1 C B E S PNPBG25U1_int area=area
.model PNPBG25U1_int pnp tmeas=27
+is=9.497603e-18
+bf=10.41
+cje=1.818e-14
+cjc=2.275e-14
+tf=2.63e-10
+trb1=0.005
+tre1=0.008
+trc1=0.005
+br=0.5
```

Figure 38 : **Exemple d'une carte modèle d'un transistor PNP latéral de surface 25 μm^2**

- Gain en courant direct du bipolaire β

Sa valeur est liée à la longueur de la base et donc à la longueur du canal P du transistor PMOS concerné.

En prenant pour critère une carte modèle d'un transistor PNP présent dans le Design Kit de la technologie utilisée, on peut déterminer au premier ordre la valeur du gain en courant en utilisant la formule suivante :

$$\beta(pnp) = \frac{\beta_{dkits} \times W_{Bnp_modele}}{L_{Bnp} (dkits)} \Rightarrow \beta(pnp) = \frac{\beta_{dkits} \times L_{CanalP_du_transistor_PMOS}}{L_{Bnp} (dkits)}$$

Avec

β_{dkits} : gain en courant direct du transistor PNP présent dans le Design Kit

W_{Bnp_modele} : Largeur de la base du transistor PNP intrinsèque au transistor PMOS qui sera inclut dans notre modèle

$L_{Bnp(dkits)}$: Largeur de la base du transistor PNP présent dans le Design Kit

- Courant de saturation I_s

De même que pour le transistor NMOS, la valeur du courant de saturation I_s est déterminée en se basant sur les surfaces des zones où ce courant se forme. En effet, le courant de saturation I_s est celui de la jonction base/émetteur du transistor bipolaire, comme nous l'avons vu précédemment. En utilisant la formule suivante, on peut établir que :

$$I_s(pnp) = \frac{I_{S\ dkits} \times A_{Sp+}}{A_{E\ pnp(dkits)}}$$

Avec

$I_{S\ dkits}$: Courant de saturation du transistor PNP présent dans le Design Kit

A_{Sp+} : Surface de la prise source du transistor PMOS

$A_{E\ pnp(dkits)}$: Surface de l'émetteur du transistor PNP présent dans le Design Kit



Ces paramètres sont déterminés au premier ordre, basés sur le dessin technologique et sur des cartes modèles existantes. Cependant, un travail d'approximation est à effectuer pendant la simulation où le modèle est appliqué.

Toutes ces formules sont décrites via l'outil de simulation ELDO de telle sorte que tout soit automatisé. En revanche, les valeurs des surfaces et des longueurs sont des entrées liées à la technologie. Elles doivent être rentrées à la main dans le modèle.

2.5.3 Modèle de l'inverseur

2.5.3.1 Modèle des photocourants

Le modèle de l'inverseur reprend le même principe que pour le transistor NMOS et PMOS. Ce modèle est très intéressant car il nous permet de caractériser le phénomène de latchup décrit plus en amont.

Dans cette partie, nous n'aborderons que le réglage des paramètres de la structure du thyristor puisque les autres éléments du modèle ont été décrits précédemment. Cependant, nous reviendrons brièvement sur les phénomènes électriques engendrés par le laser au niveau d'un inverseur CMOS liés par la génération des photocourants au sein des jonctions PN.

Voici le modèle électrique utilisé pour un inverseur CMOS :

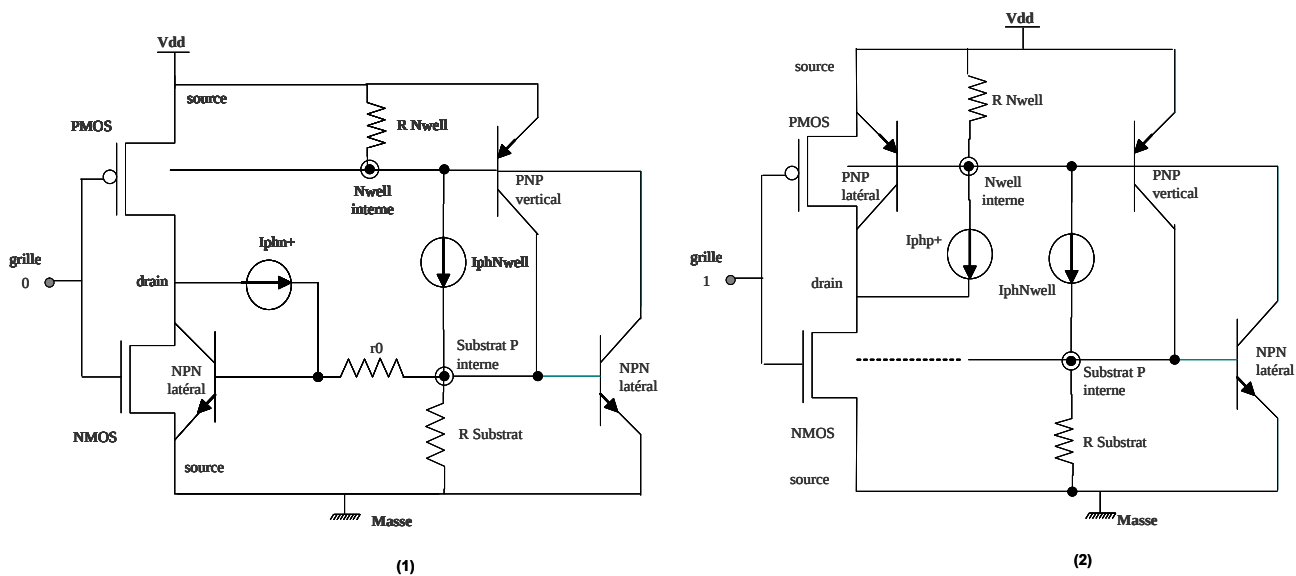


Figure 39 : Schéma électrique du modèle appliqué à un inverseur CMOS

Cette figure représente le schéma électrique du modèle appliqué à un inverseur CMOS. Sur le schéma de gauche (1), l'inverseur CMOS voit son entrée passer de l'état bas vers l'état haut. Le transistor NMOS est donc bloqué puisque sa grille est à la masse et son drain à V_{dd} . Dans cette configuration, c'est le modèle illustré en (1) qui est pris en compte lors d'un impact laser sur la structure. En revanche, lorsque l'inverseur CMOS voit son entrée passer de l'état haut vers l'état bas, (2), le transistor PMOS est dans un état bloqué. Dans ce cas-là, le modèle illustré en (2) est activé lors d'une illumination laser. Comme il a été vu précédemment, l'activation des sources de courant I_{phn+} et I_{php+} dépend de l'état de grille de l'inverseur CMOS. En plus de la génération de ces photocourants, quel que soit l'état de l'entrée de

l'inverseur, le photocourant généré au niveau de la jonction PuitsN/Substrat P est toujours présent. La détermination de ces sources de courant a été développée en amont.

2.5.3.2 *Eléments parasites*

En addition à ces sources de courant, indépendamment de l'état de l'inverseur, un thyristor parasite de type PNPN inhérents aux structures CMOS y est présent. Ce thyristor est composé d'un transistor bipolaire PNP vertical et d'un NPN latéral. Les paramètres du transistor NPN latéral sont les mêmes que pour le transistor NPN latéral inhérent au transistor NMOS, puisque leur prises émetteur sont les mêmes et que la largeur de la base correspond à la longueur du canal N. Par contre, le transistor bipolaire vertical PNP est à paramétrer pour que son déclenchement corresponde à l'impact laser appliqué.

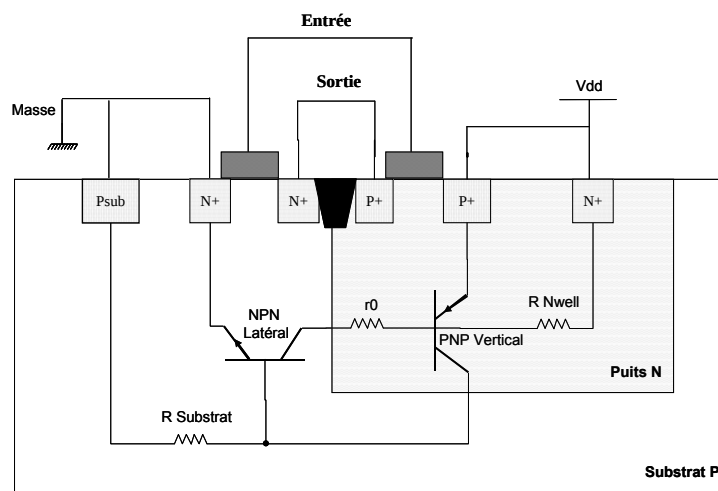


Figure 40 : **Schéma en coupe d'un inverseur CMOS et du thyristor inhérent à la structure**

- **Réglage du bipolaire PNP vertical ou PNP Substrat dans notre modèle**

Le transistor bipolaire PNP vertical utilisé dans le modèle est aussi appelé transistor bipolaire PNP Substrat. En effet, le substrat sert directement le collecteur. Le flux du courant y est majoritairement vertical, de l'émetteur, en surface, vers le substrat. Le schéma en coupe est représenté ci-dessous. La largeur de la base de ce transistor bipolaire inhérent à la technologie représente la profondeur du puits N du composant CMOS.

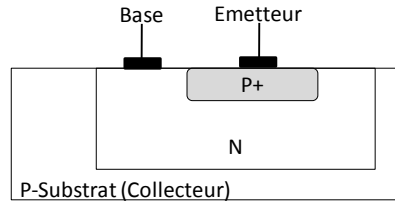
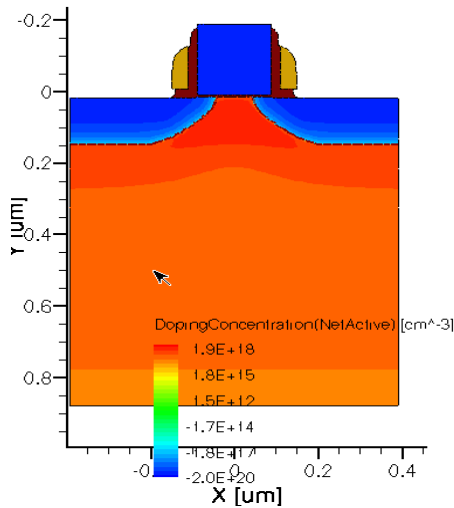


Figure 41 : Schéma en coupe d'un transistor PNP vertical[ROC78]

Dans les technologies utilisées, la profondeur de puits N est environ quatre fois égale à la longueur du canal N.



La figure ci-contre est un schéma en coupe d'un transistor PMOS. Extraits avec l'outil TCAD [STMicroelectronics –Equipe Process], les renseignements tels que le dopage ou encore les dimensions (hauteurs, surfaces) des zones dopées y sont mentionnés.

On peut remarquer qu'ici, la profondeur du puits N est égale à 0,8 µm pour une longueur de canal N de 0,18 µm.

Figure 42 : Schéma en coupe d'un transistor PMOS Technologie ST 0,18µm

- Gain en courant direct du bipolaire β

Dans le même principe que pour la détermination des gains en courant pour les autres transistors bipolaires parasites, en se basant sur des cartes modèles de transistor PNP verticaux (aux dimensions connues), on peut proportionnellement extraire le gain en courant pour ce transistor bipolaire PNP vertical :

$$\beta(pnp) = \frac{\beta_{dkits} \times W_{B\ pnp_modele}}{L_{B\ pnp\ (dkits)}} \Rightarrow \beta(pnp) = \frac{\beta_{dkits} \times D_{Nwell}}{L_{B\ pnp\ (dkits)}}$$

où D_{Nwell} est la profondeur du Puits N. En l'absence d'information sur les profils de dopage du puits, nous avons considéré celui-ci comme constant pour que la valeur du gain en courant β_{dkit} : donné par le constructeur soit réutilisable dans le cas du transistor vertical.

- Courant de saturation I_s

Le courant de saturation du transistor bipolaire PNP vertical est déterminé comme précédemment, en fonction de la surface de la prise émetteur.

$$I_s(pnp) = \frac{I_{s\,dkits} \times A_{Sp+}}{A_{E\,pnp(dkits)}}$$



Nous avons donc vu dans la partie 2.5 comment appliquer le modèle laser à des structures simples, transistor NMOS, PMOS et un inverseur CMOS. Quel que soit la structure impactée, plusieurs paramètres sont à prendre en compte : ce sont les paramètres technologiques et surtout géométriques, tels que les surfaces des zones dopées, la profondeur du puits N, la longueur du canal, et la taille des transistors impactés. Le modèle est dépendant de l'environnement électrique de la structure utilisée, puisque qu'il ne dépend principalement que de l'état des tensions de drain, et de source des transistors (et intrinsèquement de la polarisation du puits N). Pour que ce soit au plus proche de la réalité, si l'on veut modéliser l'impact laser sur des structures CMOS, le modèle doit être déjà mis en place sur chacun des transistors de la structure qui est susceptible d'être impacté. Pour plus de réalité, il est préférable de positionner les transistors bipolaires parasites inhérents aux transistors MOS. Cela reste un modèle dynamique puisque dépendant de chaque changement de polarisation des nœuds de la structure CMOS impactée. La partie suivante va détailler l'application du modèle laser.

2.5.4 Généralisation à n transistors

Comme nous l'avons précisé, le modèle peut être appliqué à n transistors, puisqu'un modèle laser électrique est propre à chaque transistor NMOS ou PMOS, voire propre à un inverseur CMOS. En effet, et comme expliqué précédemment, le modèle est très fortement dépendant des polarisations du transistor impacté.

Pour mieux comprendre comment appliquer le modèle laser sur une structure un peu plus complexe, nous allons détailler la méthodologie sur une chaîne d'inverseurs CMOS.

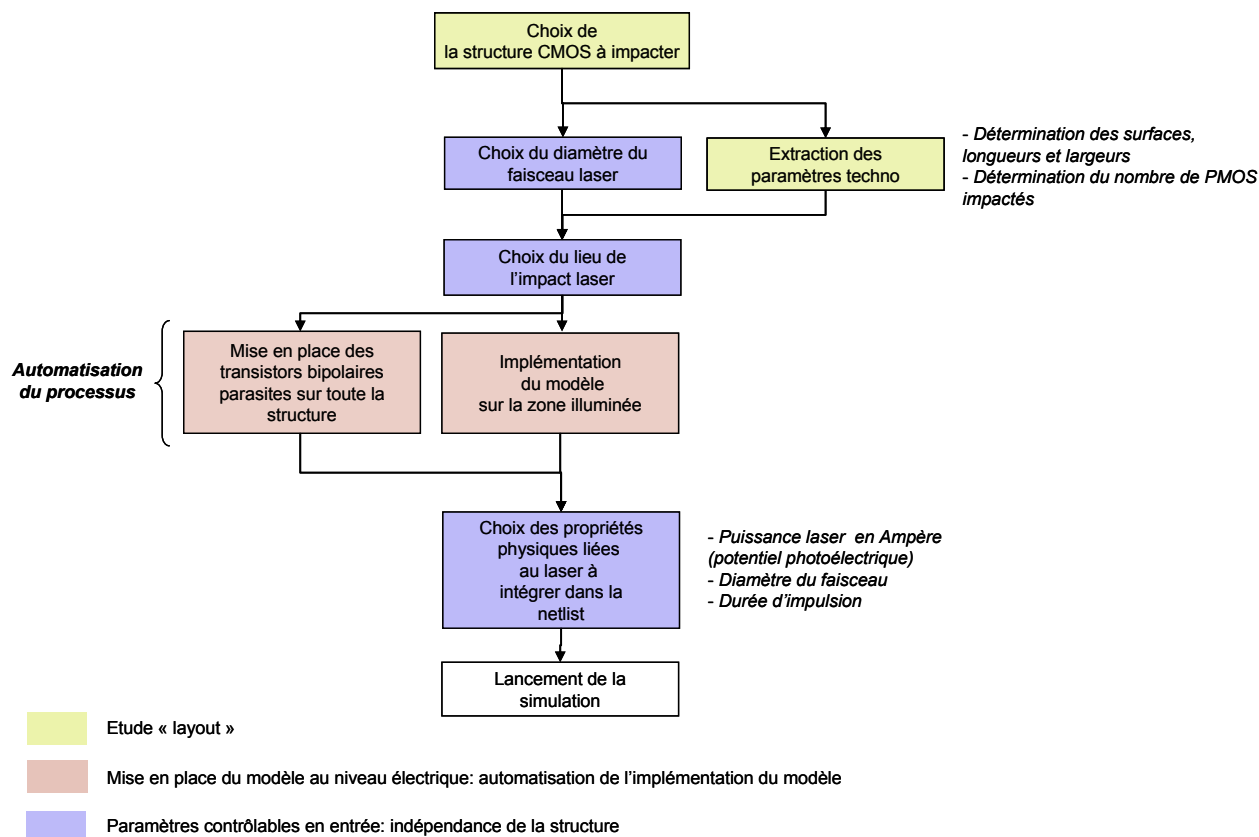


Figure 43 : **Méthodologie utilisée pour implémenter le modèle laser au sein de structures CMOS**

Cette méthodologie est valable pour n'importe quelle structure CMOS que l'on veut tester sous illumination. Le modèle a été développé pour que l'utilisateur ait juste à rentrer au niveau de la description électrique de son circuit, les paramètres physiques liés au laser (la puissance, la durée d'impulsion, la forme du faisceau, le diamètre du faisceau). Cependant, seule contrainte, les paramètres liés à la technologie - et donc liés à la structure impactée (les surfaces des diffusions, de sources, de substrat et Puits N impactés, ou encore la profondeur du puits N...) - doivent eux aussi être intégrés à la main dans la description du circuit. Ainsi, le modèle en lui-même, n'est pas lié à la technologie utilisée. Il lui est indépendant. Toutefois, « son immersion » dans le schéma lui permet de prendre en compte sa dépendance à la polarisation des nœuds de la structure illuminée. Ce modèle est dynamique. Pour des

contraintes de temps et surtout pour éviter des erreurs (!), l'implémentation du modèle a été automatisée. Cet outil permet de reproduire un impact laser, à l'endroit qui sied à l'utilisateur. Il n'a qu'à indiquer les transistors qu'il souhaite illuminer.

Exemple de ligne de commande :

```
./LaserImpact.exe IVCHAIN.cir XMN0 XMP0 XMN1 XMP1
```

Ici, la chaîne d'inverseur IVCHAIN.cir est impactée par le laser. La nomination IVCHAIN.cir est la description électrique de la chaîne d'inverseur sous ELDO. L'étude préliminaire, qui consiste en la reconnaissance technologique et l'extraction des paramètres nécessaires à la simulation, a déjà été effectuée. La position du faisceau laser ainsi que de son diamètre nous indiquent que les deux premiers inverseurs de la chaîne sont impactés (XMN0, XMP0, XMN1, XMP1). Pour les rendre sensibles à l'illumination, on implémente le modèle du transistor impacté par le laser sur les différents transistors NMOS et PMOS concernés. En exécutant cette méthode sur INVCHAIN.cir, les deux inverseurs ont leur description électrique modifiée avec le rajout du modèle laser électrique. (Description vue précédemment).

Un autre « exécutable » a été mis en place pour l'application d'un modèle sur toute une structure CMOS. On n'est plus alors dans la configuration d'une illumination localisée, qui implique la définition d'une position précise n'impactant que quelques transistors. C'est le cas pour des faisceaux laser avec des surfaces supérieures aux structures impactées.

Nous verrons dans les chapitres suivants la cohérence du modèle par rapport à la théorie, en mettant en place la méthodologie complète d'implémentation d'un impact laser sur un circuit et comment ce modèle peut être utilisé comme outil de prédiction face à une attaque laser pour les concepteurs de circuits analogiques ou digitaux.

3 Conclusion

Ce chapitre nous a permis de détailler le modèle qui a été développé durant cette thèse : un modèle électrique des transistors intégrant leur comportement en cas d'impact laser. Ce modèle nous permet de simuler un circuit intégré en fonctionnement lorsqu'il est soumis à une attaque laser, ceci afin d'identifier de potentielles faiblesses. Ce chapitre s'attache tout d'abord à la description de la construction de notre modèle, avant de présenter la méthodologie utilisée pour appliquer ce modèle à une simulation de n transistors. Le chapitre suivant présentera les résultats de simulation lors de l'application de notre modèle.

Ce modèle présente les particularités suivantes :

- Il est dynamique. Il est en effet totalement dépendant de la polarisation des nœuds de la structure impactée. Ceci permet lors des simulations de prendre en compte la configuration dans laquelle se trouve chaque composant, à chaque instant. Différents résultats peuvent donc être obtenus pour une même localisation de l'attaque, mais à différents moments de la vie du circuit intégré.
- Il est flexible. Le laser est totalement paramétrable en entrée, tout comme les données technologiques du dessin des transistors. Ce modèle peut donc être utilisé pour différents nœuds technologiques à des fins d'investigation.
- Il prend en compte les éléments parasites inhérents à la technologie CMOS. L'ajout de ces éléments nous a permis de mieux corréler les résultats de simulation avec l'expérimentation. Ces résultats feront l'objet des chapitres prochains.
- Il a été automatisé. Une implémentation automatique du modèle a été développée en vue de l'illumination de structures complexes.

Les chapitres suivants développeront la méthodologie d'utilisation de ce modèle en vue de simuler le comportement d'un circuit électrique sous impact laser. Ils en vérifieront la cohérence par le biais de la théorie et de mesures sur silicium.

Chapitre III : Cohérence du Modèle & Outil de prédiction

Suite au chapitre précédent, le modèle laser développé a été étudié et confronté à de structures simples. L'objectif ici de ce chapitre est de pouvoir montrer que l'impact du modèle laser en simulation électrique sur des structures CMOS de base, réagit de façon cohérente avec nos attentes théoriques. Une analyse détaillée est proposée, afin de démontrer la méthodologie utilisée.

La première partie est consacrée en structures simples (NMOS et PMOS) et la seconde et dernière partie, se focalise sur un inverseur, afin d'en pouvoir étudier les caractéristiques paramétriques et temporelles.

1 Structures simples illuminées – Validation de la cohérence du modèle

Cette première partie du chapitre est consacrée à l'analyse des résultats de simulation obtenus, lors de l'application du modèle laser, sur les structures simples que sont les transistors NMOS et PMOS, en technologie STMicroelectronics. Ainsi, ces deux structures élémentaires serviront dans un premier temps de support pour présenter concrètement la méthodologie de simulation qui leur est appliquée. L'évolution de leurs caractéristiques, simulées lors d'un impact laser, sera ensuite étudiée en profondeur.

Notre objectif sera de valider la cohérence de ce modèle avec la théorie d'un impact laser sur du silicium.

1.1 Comportement d'un transistor NMOS impacté par notre modèle laser

Puisque ce paragraphe se propose d'analyser l'impact d'un laser sur les caractéristiques d'un transistor NMOS, il est important de les présenter sous un rappel simplifié afin de pouvoir y faire référence durant les comparaisons.

Il existe principalement deux modes de fonctionnement :

- le Mode bloqué : $V_{gs} < V_{th}$,
- le Mode passant : $V_{gs} > V_{th}$.

Le deuxième mode présente quant à lui deux zones bien distinctes :

- mode résistif ou linéaire : $0 < V_{ds} \leq V_{gs} - V_{th}$

Tant que $0 < V_{ds} < V_{gs} - V_{th}$, le canal s'étend sur toute la longueur entre la source et le drain.

Le transistor a un comportement linéaire et peut-être utilisé comme une résistance. Le courant de drain peut alors être approximé sous la forme :

$$Id = \mu_N \cdot C_{ox} \cdot \frac{W}{L} \cdot [(V_{gs} - V_{th}) \cdot V_{ds} - \frac{1}{2} \cdot V_{ds}^2]$$

μ_N : mobilité des électrons (porteurs majoritaires du canal n)

C_{ox} : capacité grille-substrat par unité de surface

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur

Si la tension drain-source est suffisamment faible, ce qui est le cas avant pincement, on peut négliger le terme V_{ds}^2 . On obtient alors un courant de drain égal à :

$$Id = \mu_N \cdot C_{ox} \cdot \frac{W}{L} \cdot [(V_{gs} - V_{th}) \cdot V_{ds}]$$

Cette relation linéaire entre Id et V_{ds} montre que le transistor MOS se comporte comme une résistance dont la valeur peut-être contrôlée par la tension V_{gs} mais reste indépendante de V_{ds} .

$$R_{ds} = \frac{1}{\mu_N \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})}$$

La densité électronique dans le canal augmente lorsque la tension V_{gs} augmente. La conductivité du canal augmente donc elle aussi.

- Mode satur   : $V_{ds} \geq V_{gs} - V_{th} > 0$

Le courant de drain est principalement d  termin   par la conductivit   du canal et par la diff  rence de potentiel V_{dsat} . Ce courant reste approximativement constant lorsque V_{ds} exc  de la tension de pincement (V_{dsat}). Le transistor est en mode satur  . A noter aussi que dans les technologies actuelles (transistor    canal court), le courant de drain peut augmenter consid  rablement avec la tension de drain au-del   de la zone de pincement.

Le courant de drain dans ce r  gime de fonctionnement est   gal    :

$$I_d = \mu_N \cdot C_{ox} \cdot \frac{W}{2L} \cdot (V_{gs} - V_{th})^2$$

Le transistor se comporte comme une source de courant id  ale dont la valeur est contr  l  e par la tension grille-source.

La fronti  re entre ces deux r  gimes de fonctionnement (ohmique et satur  ) est donn  e par la relation : $V_{gd} = V_{th}$ soit un courant de drain limite   gal    :

$$I_d = \frac{1}{2} \cdot \mu_N \cdot C_{ox} \cdot \frac{W}{L} \cdot V_{ds}^2$$

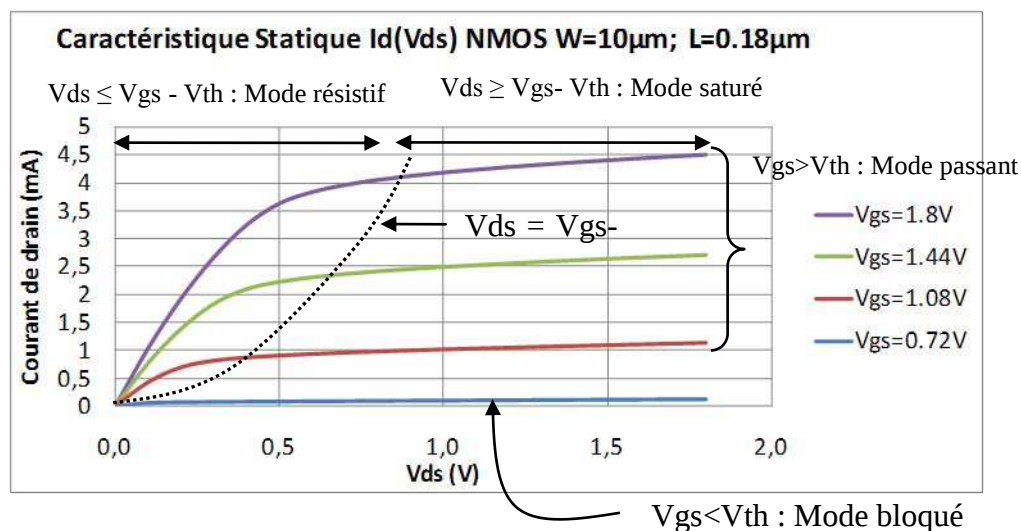


Figure 45 : Caract  ristique simul  e $I_{ds}=f(V_{ds})$ d'un transistor NMOS 10  m/0,18  m

Des mesures sur silicium ont été menées pour extraire les caractéristiques statiques du transistor NMOS **non** impacté par le laser.

Ces résultats ont uniquement pour but de démontrer la stabilité du point de départ de notre étude, à savoir le bon alignement des modèles électriques des transistors avec le silicium.

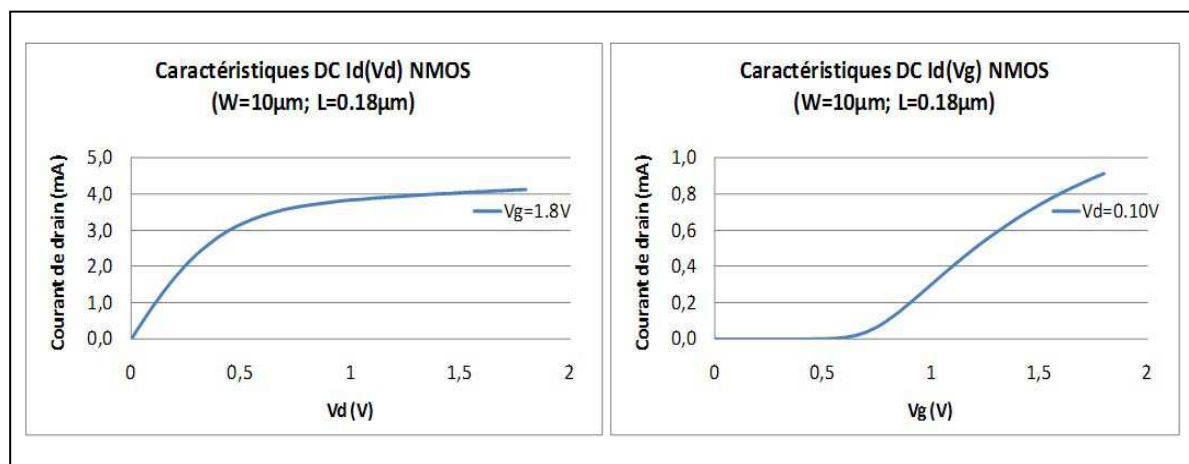


Figure 46 : Caractéristiques statiques mesurées d'un transistor NMOS 10µm/0,18µm

1.1.1 Méthodologie et flot de simulation sur un transistor NMOS

Dans le chapitre II, la construction du modèle y est présentée. Dans ce paragraphe, nous allons nous attacher à présenter son utilisation. Cette méthodologie appliquée à un seul transistor, sera par la suite systématiquement appliquée à tous les transistors que l'on souhaitera impacter par le laser. Qu'il y ait un transistor ou plusieurs, la méthodologie restera la même.

Ainsi, l'étude de l'impact laser sur un transistor NMOS unique va permettre d'illustrer le déroulement des opérations nécessaires pour la mise en place des outils de simulation. Ce paragraphe pourra alors servir de « mode d'emploi » pour les différents cas d'étude qui suivront.

1.1.1.1 Contexte

Nous considérons, dans ce cas d'exemple, un transistor NMOS de la technologie STMicroelectronics en 0,18µm. La structure à impacter n'a pas de voisins proches et donc aucun « dommage collatéral » n'est à prendre en compte dans la présente analyse.

L'injection se fait par un laser délivrant un rayonnement lumineux de type continu et émettant des radiations dans le domaine de l'infrarouge. En sortie, le faisceau possède un diamètre

supérieur à la surface totale du transistor, et son profil est uniforme. Nous pouvons donc estimer que le transistor est entièrement impacté par le laser.

Pour notre étude, le faisceau possèdera un diamètre de $10\mu\text{m}$. Ou encore une surface approximative de $78,5\mu\text{m}^2$.

1.1.1.2 Extraction géométrique du layout des transistors impactés

La première étape consiste à identifier les transistors du circuit qui sont illuminés par le laser et à en extraire certaines propriétés géométriques.

En effet, le modèle a été développé dans le but d'être dépendant de la technologie utilisée. Il requiert en entrée les informations relatives aux surfaces de drain et de source des transistors concernés, ainsi que la surface du substrat balayé par le faisceau laser.

A noter que dans le futur, une évolution du programme pourra être d'automatiser l'extraction de ces paramètres géométriques ; ce point n'a pas été développé, n'étant pas la priorité de la présente thèse.

Voici donc le layout d'un transistor NMOS ($W_n=10\mu\text{m}$, $L_n=0,18\mu\text{m}$) qui servira d'étude dans ce paragraphe :

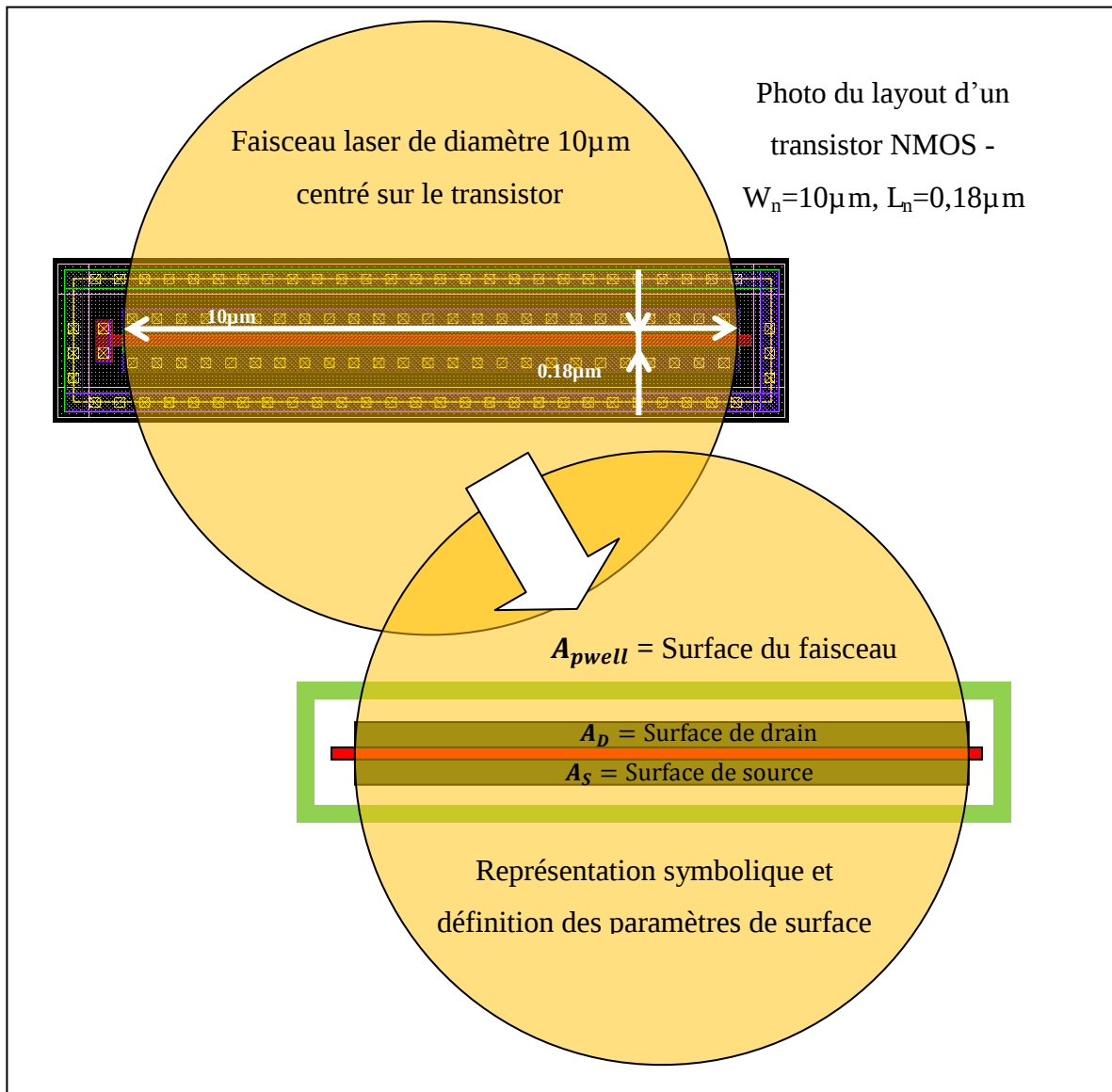


Figure 47 : Layout d'un transistor Nmos $W_n=10\mu\text{m}$ $L_n=0,18\mu\text{m}$ et définitions

Ici, trois surfaces sont à extraire :

- La surface du drain : c'est la distance allant du bord de l'active jusqu'à la grille (voir dessin ci-dessus) multipliée par la largeur du transistor.

$$A_D = W_N \cdot \text{Dist}_{\text{ActiveEdgeDrain-Gate}}$$

En technologie 0,18µm de STMicroelectronics, la formule devient :

$$A_D = 0,37\mu\text{m} \cdot W_N$$

- La surface de la source : elle est ici équivalente à la surface du drain.

$$A_S = W_N \cdot \text{Dist}_{\text{ActiveEdgeSource-Gate}}$$

soit en technologie 0.18µm de STMicroelectronics :

$$A_S = 0,37\mu m . W_N$$

- La surface du substrat (P_{well} ou $P_{substrat}$) : elle correspond à la surface balayée par le faisceau laser. Pour un faisceau de diamètre D , on obtient :

$$A_{pwell} = \frac{\pi . D^2}{4}$$

Cette méthodologie d'évaluation de ces paramètres peut être étendue à des structures plus complexes.

1.1.1.3 Programme et génération de la netlist électrique à simuler

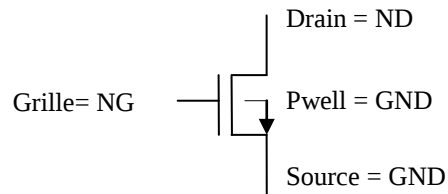
Le modèle électrique est conçu pour être appliqué à chacun des transistors MOS que l'on souhaite voir impacté dans une technologie donnée. Afin d'éviter toute erreur, un programme a été développé afin d'implémenter le modèle de façon automatique au sein de la description électrique du circuit avant impact. Il suffit de lui indiquer en entrée la netlist cible ainsi que les transistors impactés par le faisceau laser. En sortie, nous obtenons un fichier simulable électriquement, intégrant le modèle de l'impact laser appliqué à chacun des transistors concernés.

Dans notre cas d'étude, le laser illumine uniquement le transistor appelé XMN01. Il suffira donc d'écrire la commande suivante pour générer la netlist sous laser à simuler :

Programme_Laser_ModelNetlist_ImpactéeXMN01

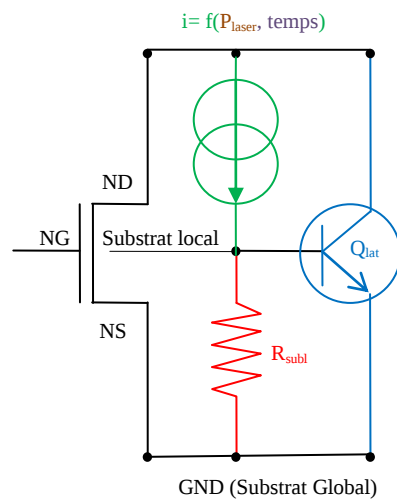
- *Programme_Laser_Model*. Ce terme correspond à la commande lançant le programme à exécuter pour appliquer le modèle.
- *Netlist_Impactée* est la netlist du schéma que l'on souhaite simuler.
- *XMN01* est le transistor illuminé par le laser. Plusieurs transistors peuvent être listés à la suite.

Ainsi le transistor XMN01 :



XMN01 ND NG GND GND ENLLMM9JU W=10u L=0.18u

va être mis à jour pour embarquer le modèle du laser et ainsi devenir :



XMN01 ND NG GND b_nn01 ENLLMM9JU W=10u L=0.18u

Rsub_nn01 b_nn01 GND 500

Qlat_nn01 ND b_nn01 GND Qlat_nn01

Gmultd_nn01 ND b_nn01 POLY(2) ampd_nn01 GND Itd_nn01 GND 0 000 'P3__nn01(Iphglobal_NUL)'

Itd_nn01 GND Itd_nn01 'P1__nn01(Iphglobal_NUL)'

Rtd_nn01 Itd_nn01 GND 100

Gampd_nn01 GND switchd_nn01 ND b_nn01 'P2__nn01(Iphglobal_NUL)'

RRswitchd_nn01 switchd_nn01 GND 100k

YPd_nn01vswitch PIN: switchd_nn01 ampd_nn01 ND b_nn01 PARAM: MODEL: MyModel

Rampd_nn01 ampd_nn01 GND 100

1.1.1.4 Fichier de contrôle et paramètres d'entrées du laser

Le « fichier de contrôle » correspond au choix des propriétés physiques intrinsèques du laser.

Ces caractéristiques contrôlables sont :

- la puissance laser (ou potentiel photoélectrique),
- la durée de l'impulsion. Elle est représentative d'un laser de type continu ou nanoseconde ou encore picoseconde,

- le diamètre du faisceau laser. Il correspond au nombre de transistors impactés (*analyse faite dans la partie précédente*),
- et le profil du rayonnement (uniforme ou gaussien).

Pour notre étude exhaustive, différentes valeurs de potentiels photoélectriques seront appliqués. Une unité symbolique PP a été choisie comme paramètre dans notre modèle. Ainsi, dans les simulations, nous pourrions faire varier la valeur du potentiel photoélectrique de plusieurs PP à plusieurs milliers de PP. La correspondance entre cette unité symbolique choisie arbitrairement et un potentiel photoélectrique exprimé en courant se fera lors des corrélations entre les mesures et les simulations.

Etant donné que l'analyse des caractéristiques du transistor NMOS se fait en statique, la durée d'impulsion du laser sera continue.

Des résultats de simulations effectuées dans le chapitre IV prouveront que pour des structures impactées par un laser ayant un petit diamètre de faisceau (*ou dans notre cas, une seule petite structure impactée*), les conséquences d'un impact issu d'un profil uniforme ou gaussien sont fortement négligeables [GOD09].

Le schéma ci-dessous résume ce qui vient d'être énoncé:

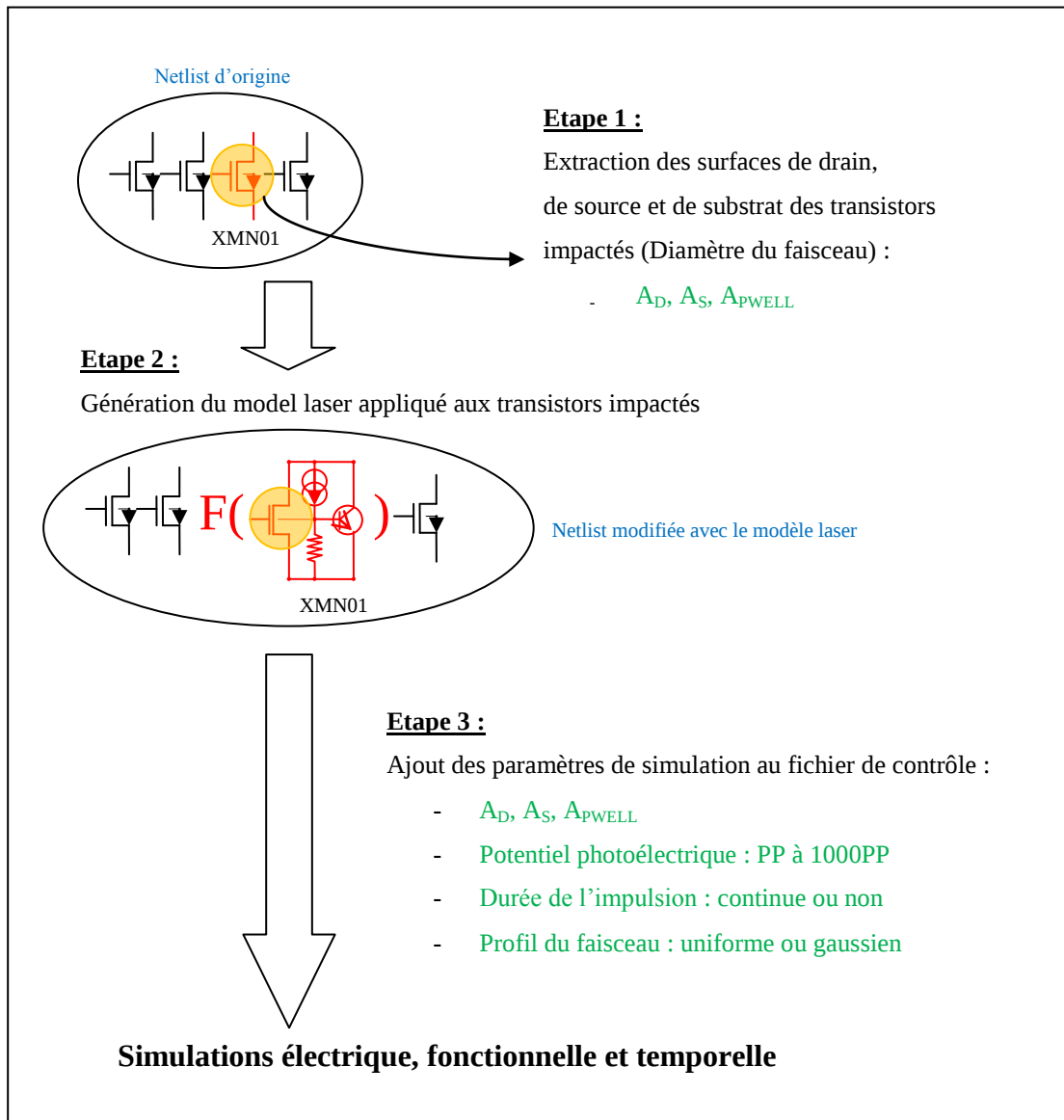


Figure 48 : Méthodologie et flot de simulation sur un transistor NMOS

1.1.2 Cohérence des résultats de simulation sur le transistor NMOS

L'objectif de ce paragraphe est d'illustrer le comportement des caractéristiques statiques des transistors NMOS, obtenues avec notre modèle laser. Non seulement des tailles différentes de transistors seront étudiées pour des puissances laser variables, mais aussi des configurations différentes de layout et d'exposition au laser.

A travers ces exemples, nous pourrons tester la cohérence de ce modèle avec nos attentes théoriques.

1.1.2.1 Attentes théoriques

- I_{laser} , le courant « parasite » généré par l'impact laser, augmente avec le potentiel photoélectrique ou puissance laser.

Le courant de drain I_d du transistor NMOS doit présenter un offset de courant proportionnel à la puissance laser envoyée. Ce courant de drain additionnel, dû au laser, circule de la prise de drain vers le contact de substrat, et à travers ce dernier. Ce courant parasite est causé par trois principaux phénomènes identifiés jusqu'à ce jour :

- Par la séparation des paires électrons-trous générés à travers la jonction polarisée en inverse Drain/Substrat Local.
 - Par le phénomène de collection des électrons générés dans la région du substrat.
 - Par le principe d'amorçage du transistor bipolaire NPN inhérent à la structure NMOS, créant ainsi un chemin de conduction à travers le substrat.
- I_{laser} dépend du ratio entre la surface de drain et la surface du faisceau
 - I_{laser} augmente avec la tension V_{dsbl} ($V_{\text{drain}} - V_{\text{substrat_local}}$)

Il est important de rappeler ici que la tension notée V_{ds} est différente de celle notée V_{dsbl} , sauf lorsque l'on peut considérer que le potentiel sur le substrat local est similaire à celui de la source du transistor (elle-même connectée au substrat global ou à la masse du circuit). V_{ds} est la tension entre le drain du transistor et la masse, alors que V_{dsbl} est la tension entre le drain et le substrat local du transistor, substrat local qui peut ne pas être à la masse.

1.1.2.2 Résultats pour un transistor NMOS constitué d'un doigt de $10\mu\text{m}/0,18\mu\text{m}$

Dans ce paragraphe, un transistor NMOS de $10\mu\text{m}/0,18\mu\text{m}$ est soumis à un faisceau laser de $10\mu\text{m}$ de diamètre, et de potentiel photoélectrique variable.

Les paramètres géométriques à prendre en compte sont :

- La surface du drain :

$$A_D = 3.7\mu\text{m}^2$$

- La surface de la source :

$$A_S = 3.7\mu\text{m}^2$$

- La surface du substrat (Pwell) :

$$A_{pwell} = 78.5\mu\text{m}^2$$

1.1.2.2.1 Résultats de simulation pour différents potentiels photoélectriques

Les trois prochaines figures comparent les caractéristiques initiales du transistor NMOS $I_{ds}=f(V_{ds})$ en fonction de différents V_{gs} avec les résultats de simulation avec des potentiels électriques de 1PP, 10PP et 100PP.

Les simulations ont été effectuées dans des conditions de procédés technologiques typiques, à température ambiante et sous une tension d'alimentation typique pour le nœud technologique considéré. Ces conditions de simulation sont appliquées à tous les cas d'étude, sauf contre indication spécifique.

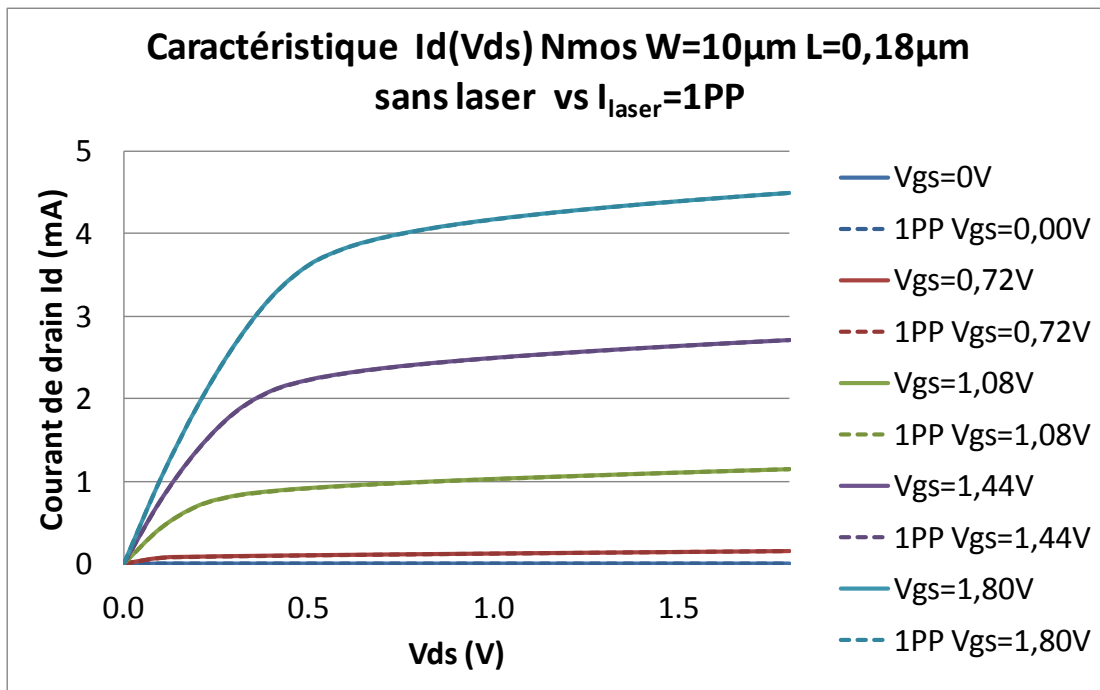


Figure 49 : Transistor NMOS impacté par un faisceau laser de 1PP

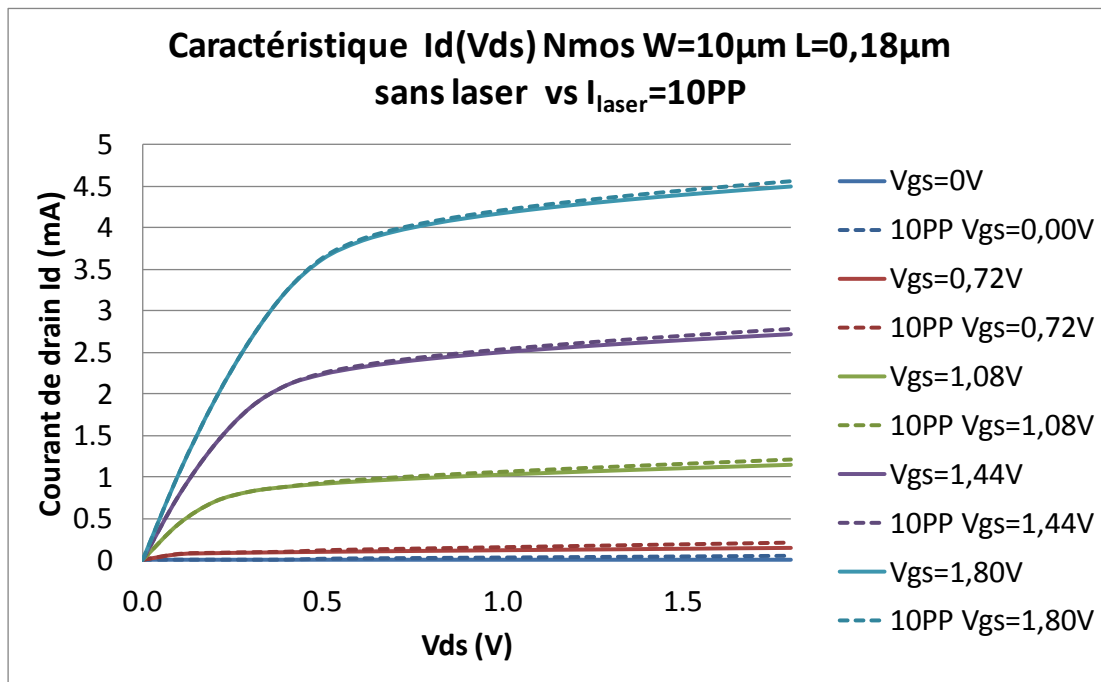


Figure 50 : Transistor NMOS impacté par un faisceau laser de 10PP

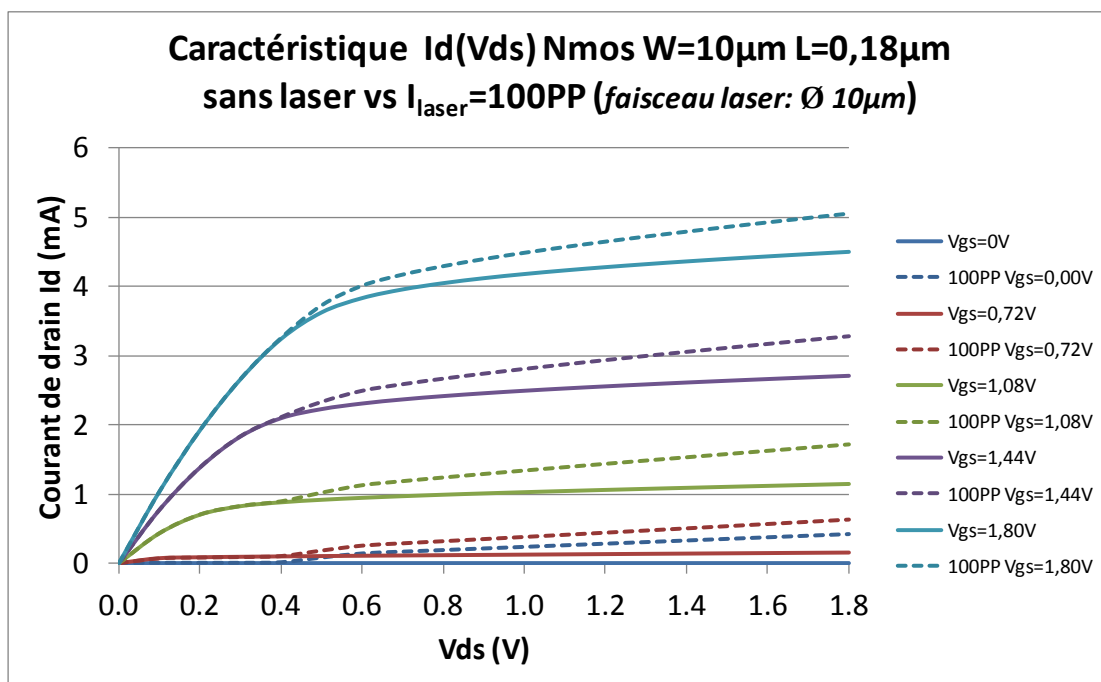


Figure 51 : Transistor NMOS impacté par un faisceau laser de 100PP

Les résultats montrent ici que l'impact du laser sur les caractéristiques du transistor NMOS n'est perceptible que pour des tensions V_{ds} suffisamment grandes. De plus, le courant d'offset lié à l'illumination laser augmente de façon « proportionnelle » avec la tension drain-substrat

local. A noter ici, que les potentiels de substrat(masse), et de substrat local sont similaires, étant donné les niveaux faibles de courant qui sont en jeu.

Ceci est cohérent avec la théorie puisque lorsque la tension drain-substrat local augmente, le champ électrique à la jonction P/N (substrat local/drain) est directement impacté. Le courant additionnel, généré lorsque cette zone est impactée par un laser, augmente alors d'autant plus que V_{dsubl} est élevé.

Ainsi, si dans une simulation, la puissance laser est fixée, alors que la tension drain-substrat local augmente, la conséquence sur les caractéristiques DC du transistor NMOS sera la génération d'un offset au niveau du courant de drain, offset qui augmentera avec la tension de drain-substrat local sous illumination laser.

Par ailleurs, on peut noter que le laser n'entraîne un photocourant I_{laser} qu'à partir d'une tension V_{dsubl} environ supérieure à 0.4V et ce, quelque soit la tension V_{gs} appliquée au transistor.

Enfin on peut observer sur la figure suivante que l'injection laser permet au transistor qui se trouve dans un état bloqué ($V_{gs}=0$) de se comporter comme une impédance variable, et de produire une caractéristique assez proche de celle d'un transistor dans un état passant.

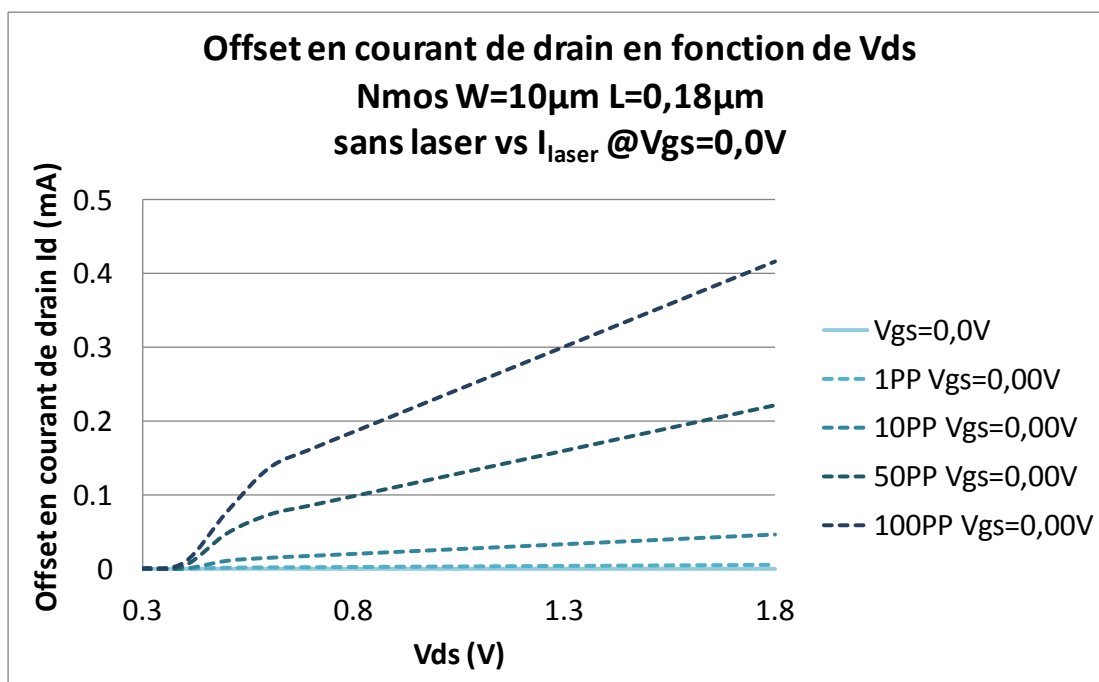


Figure 52 : Transistor NMOS impacté par différent I_{laser}

1.1.2.2.2 Analyse de l'offset en courant de drain à différents V_{ds} , à V_{gs} fixe

Voici une courbe illustrant les valeurs d'offset des courants de drain, extraites pour différentes tensions V_{ds} , à $V_{gs}=1.8V$ et pour les trois potentiels photoélectriques PP, 10PP et 100PP. Un zoom est effectué sur la partie des caractéristiques où le laser commence à avoir un impact notable. Soit à partir du moment où la tension drain-substrat local est supérieure à 0.4V.

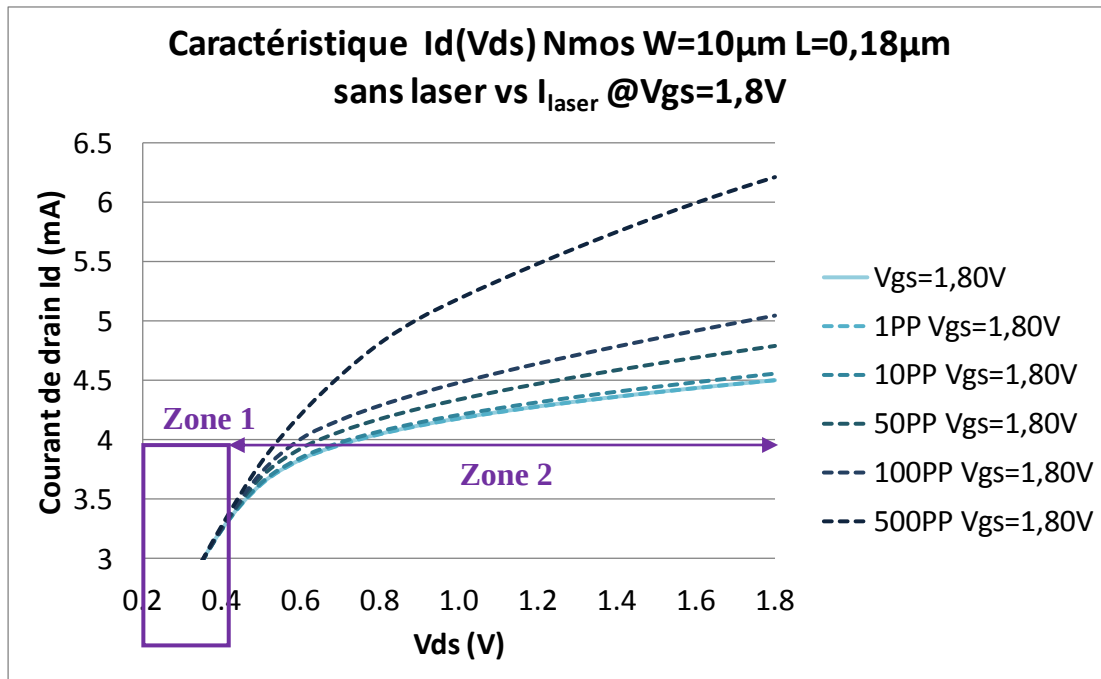


Figure 53 : Zoom de la caractéristique $I_d(V_{ds})$ du transistor NMOS $10\mu m$, $V_{gs}=1.8V$

Comme attendu, on retrouve deux zones distinctes :

- Zone 1 : La tension drain-substrat local est faible. La zone de charge d'espace côté drain est réduite, le champ électrique est faible. En conséquence, l'impact laser sur le transistor a peu d'influence sur les caractéristiques initiales $I_d(V_{ds})$.
- Zone 2 : Elle se situe plus exactement au moment où le transistor sort de la région ohmique et rentre en mode saturé. La zone de charge d'espace côté drain ne cesse d'augmenter à mesure que la tension de drain augmente. Le champ électrique augmente avec V_{ds} . En conséquence, l'impact laser sur la structure, génère un courant additionnel au courant de drain initial (injection de porteurs). Cet offset de courant augmente avec V_{ds} pour un potentiel

photoélectrique

donné.

Enfin, il est aussi possible d'activer le transistor bipolaire parasite latéral. Celui-ci contribuera alors à cette augmentation du courant de drain du fait du laser.

En soustrayant au courant de drain obtenu en simulation après impact laser ($I_{d_{\text{sous_laser}}}$) le courant initial du transistor ($I_{d_{\text{sans_laser}}}$), on obtient l'offset de courant de drain. Cet offset de courant est le courant additionnel, conséquence de l'impact laser.

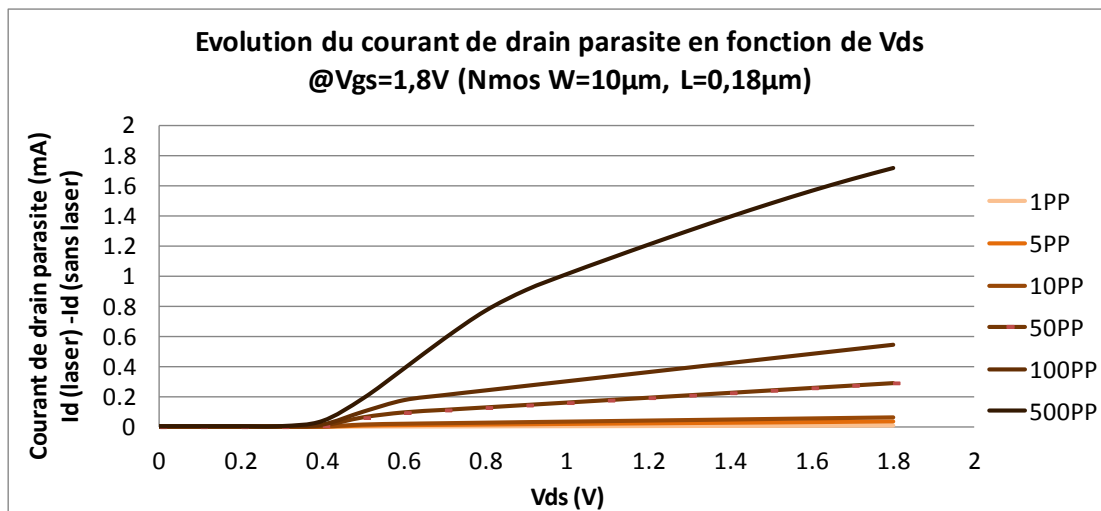


Figure 54 : Offset de courant de drain

Cette analyse en simulation de l'offset en courant de drain ($I_{d_{\text{sous_laser}}} - I_{d_{\text{sans_laser}}}$) pour un potentiel photoélectrique donné, peut permettre au concepteur d'un circuit intégré d'obtenir un outil de comparaison.

En effet, lors d'une mesure, il est tout à fait possible d'extraire (pour une puissance de sortie laser en Watts donnée), ce même type d'offset en courant. La comparaison des résultats de mesure avec le résultat des caractéristiques simulées avec ce modèle peut permettre d'identifier un abaque de correspondance pour une technologie donnée entre la puissance laser de la mesure sur silicium et le potentiel photoélectrique exprimé en PP dans les simulations.

Ceci peut alors faciliter le réglage des paramètres d'entrée du modèle afin de simuler des structures plus complexes et en prédire le comportement sous laser.

1.1.2.2.1 Phénomène d'amorçage du bipolaire parasite latérale

Jusqu'ici nous n'avons pas observé de façon évidente l'amorçage du transistor bipolaire latéral. Pourtant comme il a été indiqué au préalable, celui-ci peut être un contributeur au courant d'offset induit par l'impact laser.

En effet si le potentiel photoélectrique est assez fort, le courant induit dans le substrat par l'effet laser et traversant la résistance locale du substrat, peut être assez important pour permettre la polarisation en direct de la jonction émetteur/base (source/substrat local) du transistor. L'effet bipolaire est alors enclenché et un courant important est ajouté.

Des simulations du modèle appliqué au transistor $10\mu\text{m}/0,18\mu\text{m}$ ont été effectuées avec des potentiels photoélectriques plus importants que lors des analyses précédentes :

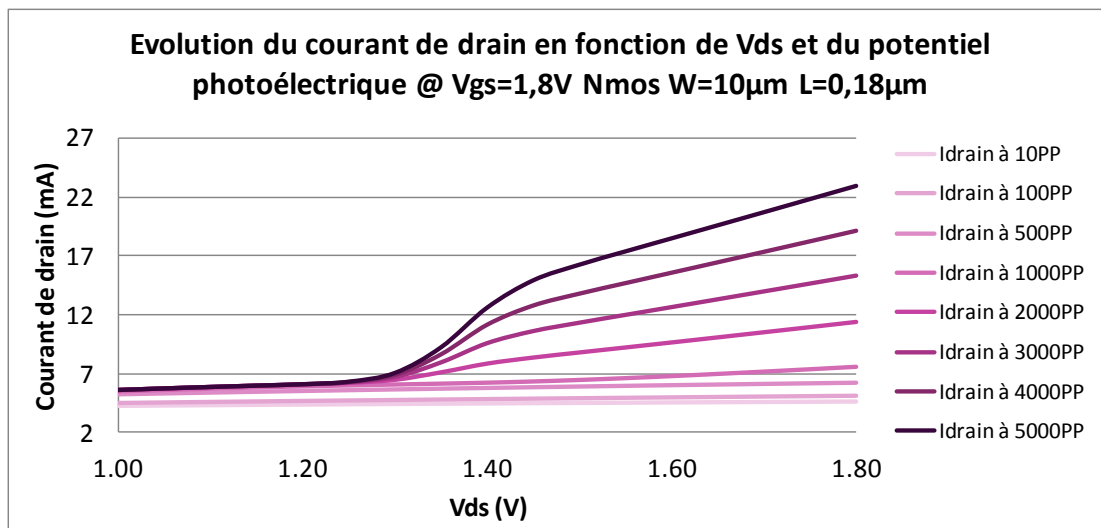


Figure 55 : Amorçage du transistor bipolaire latéral

En décomposant ce courant de drain, outre la caractéristique du transistor à $V_{gs}=1,8\text{V}$, on y retrouve le photocourant généré directement par le laser lui-même, ainsi que le courant induit par l'amorçage du transistor bipolaire latéral.

Comme on peut le voir sur la figure suivante, le phénomène d'amorçage du bipolaire est observable avec notre modèle lorsque le potentiel photoélectrique atteint les 1000PP.

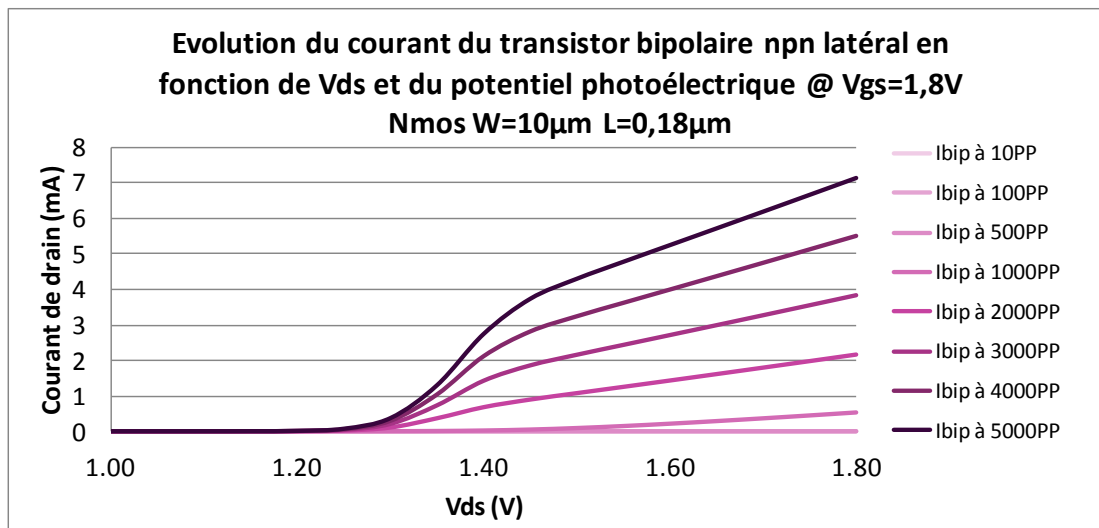


Figure 56 : Courant induit par l'amorçage du bipolaire latéral

D'ailleurs, l'analyse du potentiel appliqué sur la jonction P/N (substrat local/source), sur la figure suivante confirme bien cette augmentation de la tension avec la puissance laser, du fait du photocourant généré dans le substrat local du transistor, jusqu'à la polarisation en direct de cette jonction, amorçant alors le transistor bipolaire latéral associé au transistor NMOS.

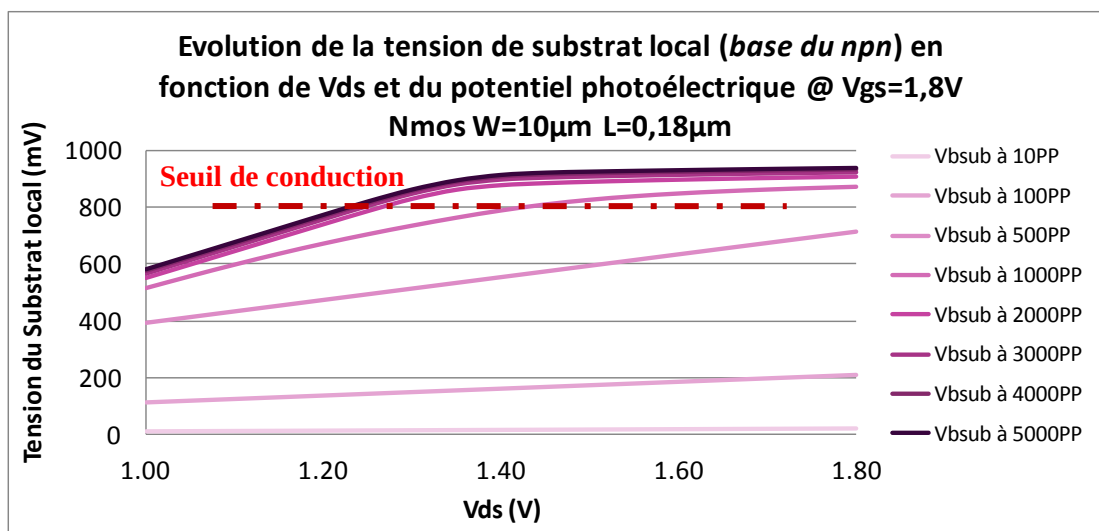


Figure 57 : Polarisation en direct de la jonction P/N (substrat local/source)

Bien évidemment, si le photocourant généré est assez fort pour entrainer une chute de tension à travers le substrat, cette chute de tension se répercute directement sur la tension appliquée à la jonction de drain du transistor. Ainsi, tandis que la tension $V_{(\text{Substrat local} - \text{Masse})}$ augmente, la tension $V_{ds_{\text{subl}}}$ diminue d'autant (puisque $V_{ds} = V_{ds_{\text{subl}}} + V_{(\text{Substrat local} - \text{Masse})}$).

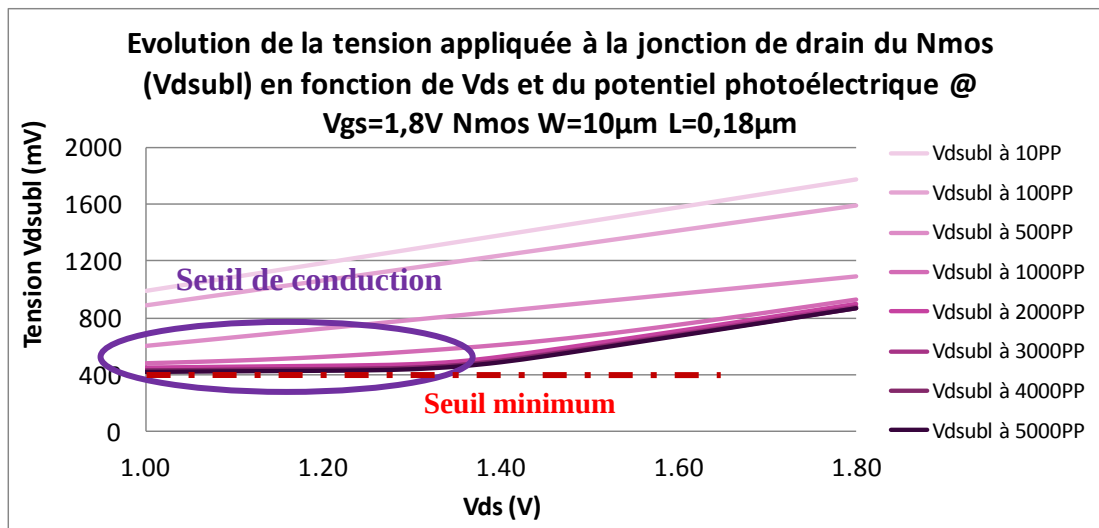


Figure 58 : Evolution de la tension V_{dsubl} appliquée sur la jonction de drain du NMOS

Et lorsque le photocourant est assez fort pour réduire la tension V_{dsubl} jusqu'au seuil minimum nécessaire pour qu'un photocourant soit généré ($\sim 0.4V$), alors un effet de rétroaction se répercute sur le photocourant lui-même.

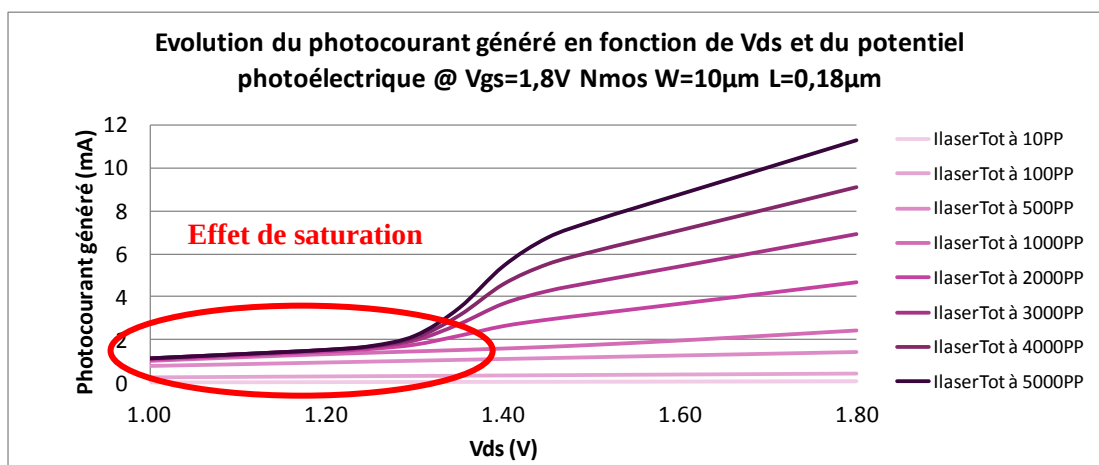


Figure 59 : Photocourant généré par le faisceau laser

On observe de fait un phénomène de saturation de la source de photocourant. Tandis que la puissance du laser augmente, le courant photoélectrique généré sature.

Ainsi comme prévu, le phénomène d'amorçage du transistor bipolaire latéral au NMOS est observable avec ce modèle laser. Il faut pour cela augmenter le potentiel photoélectrique au-delà d'un seuil. Ici, il faut au moins 1000PP sur un transistor de dimensions $W=10\mu m$ $L=0,18\mu m$ pour observer un courant de collecteur s'enclencher.

Les valeurs de courant induites dans le collecteur de ce bipolaire sont elles aussi cohérentes avec notre attente. En effet, le bipolaire implanté a un gain de 0,85.

Par ailleurs, ce paragraphe souligne aussi l'importance de la résistance de substrat local. Elle joue en effet plusieurs rôles :

- tout d'abord, en fonction de sa valeur et de la quantité de photocourant, elle permet d'enclencher le bipolaire latéral en atteignant un seuil défini par la technologie,
- dans le même temps, parce qu'elle entraîne une réduction du V_{dsubl} lorsque le photocourant augmente, elle fait apparaître un seuil de saturation au-delà duquel le photocourant ne peut plus augmenter avec le potentiel photoélectrique.

Finalement, le courant d'offset de drain généré par un impact laser n'est pas proportionnel à V_{ds} et au potentiel photoélectrique.

Il est en fait dépendant de V_{dsubl} et du potentiel photoélectrique.

1.1.2.2.2 Analyse de l'offset en courant de drain à différents V_{gs} , à V_{ds} fixe

Pour une tension de drain V_d donnée et pour un potentiel photoélectrique injecté, quel que soit la tension V_{gs} appliquée aux bornes du transistor NMOS, l'offset du courant de drain reste quasiment le même. Cela est dû au fait que l'état du potentiel de grille du transistor NMOS n'est pas le phénomène déclencheur pour le laser. En revanche, ce qui a été pris en compte dans le modèle laser est l'état de polarisation du drain du transistor NMOS, qui lui peut-être la conséquence du potentiel appliqué sur la grille.

Voici trois courbes $i_d=f(V_{gs})$ présentant les offsets de courant introduit par un laser de 10PP, 100PP et 1000PP, pour des V_{ds} de 0,9V, 1,2V, 1,5V, et 1,8V.

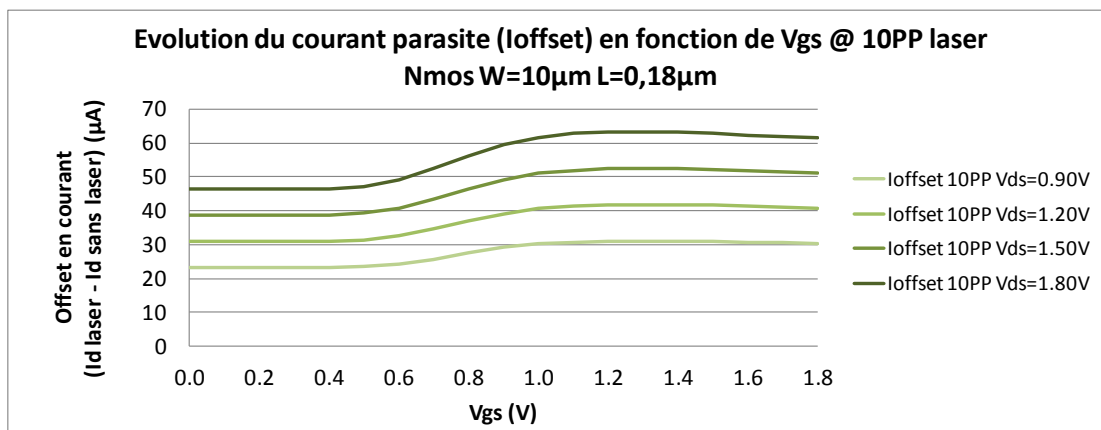


Figure 60 : Offset de courant en fonction de V_{gs} pour un laser de 10PP

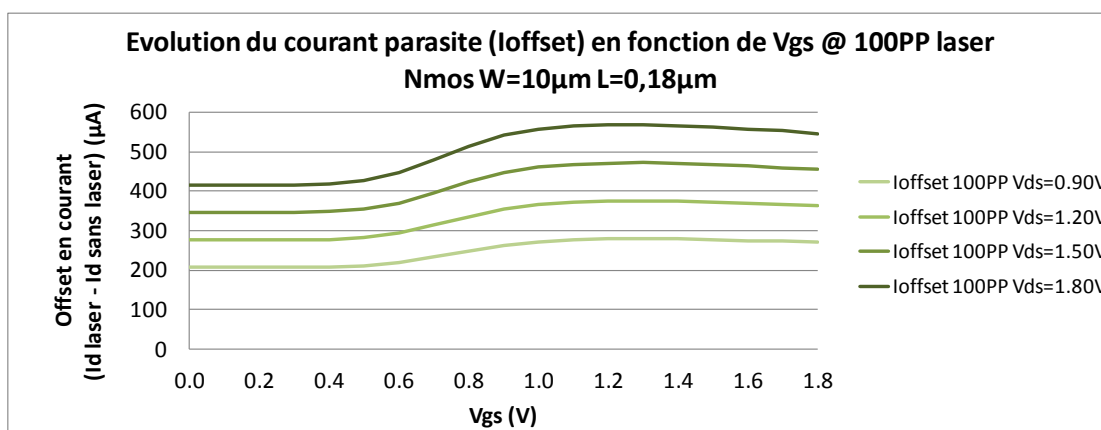


Figure 61 : Offset de courant en fonction de V_{gs} pour un laser de 100PP

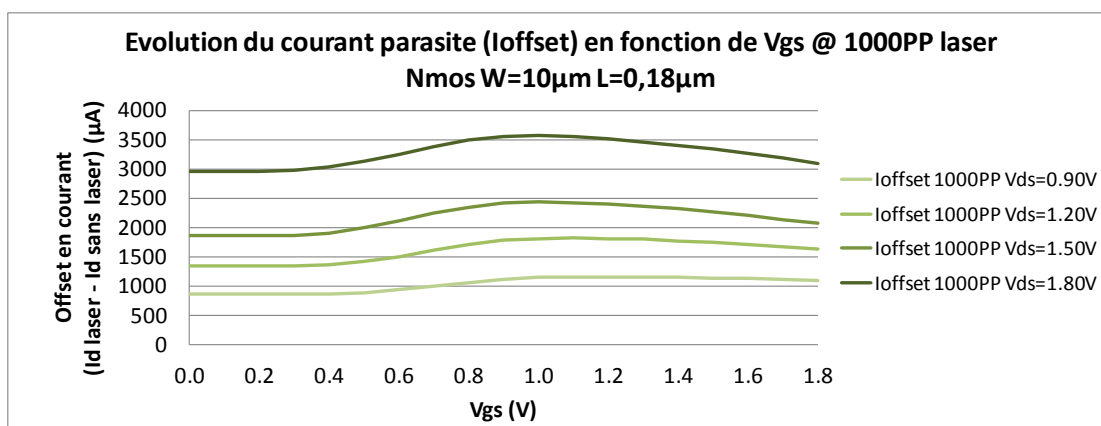


Figure 62 : Offset de courant en fonction de V_{gs} pour un laser de 1000PP

Au final, comme on peut le constater avec ces trois groupes de courbes, l'offset de courant est bien quasi-proportionnel à la différence de potentiel drain-substrat et à la puissance laser envoyée. A puissance laser et tension V_{ds} fixée, il est indépendant de V_{gs} .

1.1.2.3 Résultats pour un transistor NMOS constitué d'un doigt de $0,28\mu\text{m}/0,18\mu\text{m}$

Dans ce paragraphe, nous allons étudier l'impact laser sur un transistor NMOS de largeur 36 fois plus petite, à savoir $W_n=0,28\mu\text{m}$.

Le laser utilisé pour l'analyse est le même que pour le transistor de $W=10\mu\text{m}$. Son faisceau possèdera là aussi un diamètre de $10\mu\text{m}$. Ou encore une surface approximative de $78,5\mu\text{m}^2$.

Le mode d'emploi utilisé pour la mise en place de cette nouvelle étude est le même que précédemment.

- Présentation de la structure layout du transistor

Voici donc le layout d'un transistor NMOS ($W_n=0,28\mu\text{m}$, $L_n=0,18\mu\text{m}$) qui servira d'étude dans ce paragraphe :

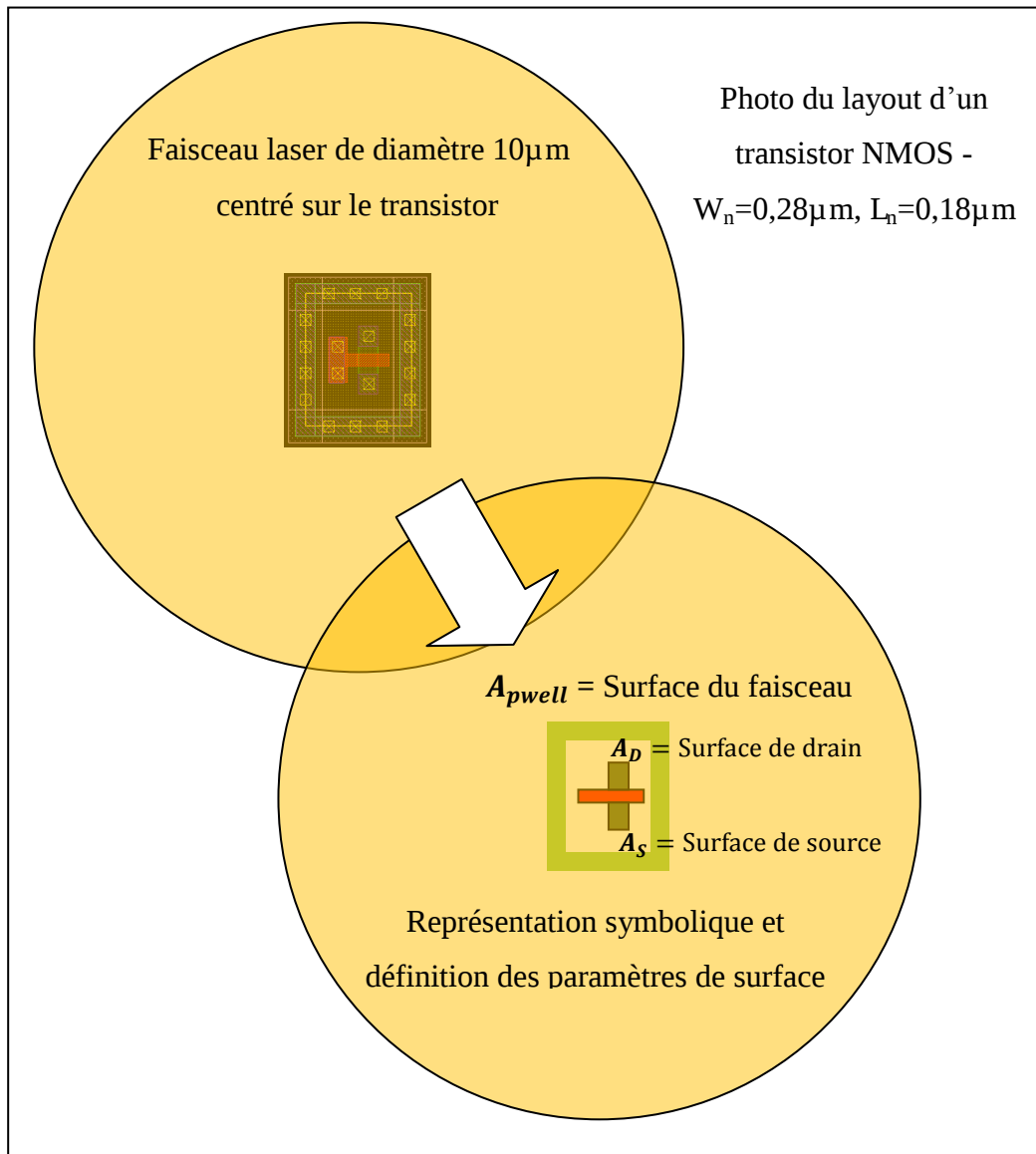


Figure 63 : Layout d'un transistor NMOS $W_n=0,28\mu\text{m}$ $L_n=0,18\mu\text{m}$ et définitions

Les trois surfaces à extraire donnent cette fois:

- La surface du drain :

$$A_D = 0.1036\mu\text{m}^2$$

- La surface de la source :

$$A_S = 0.1036\mu\text{m}^2$$

- La surface du substrat (Pwell) :

$$A_{pwell} = 78.5\mu\text{m}^2$$

La surface du substrat est inchangée, comparée au cas du transistor NMOS de $10\mu\text{m}/0,18\mu\text{m}$, car la surface balayée par le faisceau laser est identique pour notre cas d'étude.

1.1.2.3.1 Résultats de simulation pour différents potentiels photoélectriques

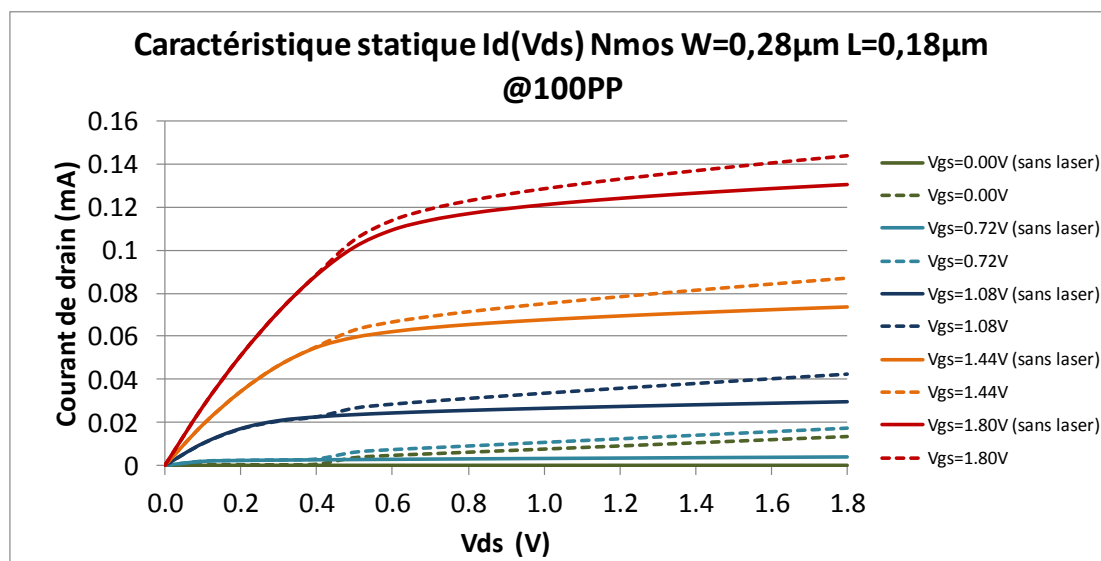


Figure 64 : Impact laser sur un transistor NMOS de dimensions 0,28μm/0,18μm

Les effets induits par l'impact laser sur la structure sont les mêmes que ceux étudiés pour le premier transistor 10μm/0,18μm étudié.

1.1.2.3.2 Comparaison des offsets en courant pour des W différents

L'objectif ici est de comparer les offsets en courant de drain de deux transistors de largeurs différentes ($W=10\mu\text{m}$ et $W=0,28\mu\text{m}$) afin de juger de l'influence de la géométrie des structures impactées sur les résultats.

Chacun des transistors NMOS possèdent deux colonnes détaillant l'évolution à $V_{ds}=V_{gs}=1,8\text{V}$, en fonction du potentiel photoélectrique, d'une part de l'offset de drain total (courant observé auquel est retranché le courant du transistor), d'autre part du courant entraîné par l'activation du bipolaire.

Potentiel photoélectrique	Offset en courant (μA)				$\frac{I_{\text{offset}}(10\mu\text{m})}{I_{\text{offset}}(0,28\mu\text{m})}$
	NMOS W=0,28μm		NMOS W=10μm		
	Total	Bip.	Total	Bip.	
1PP	0,14	0	6,2	0	44.3

5PP	0,67	0	30,9	0	46.1
10PP	1,34	0	61,4	0	45.8
50PP	6,69	0	291	0	43.5
100PP	13,35	0	546	0	40.9
500PP	65,8	0	1716	1,12	26.1
1000PP	129,3	0	3105	527,2	24.0
5000PP	567,1	0	18411	7144	32.5
10000PP	983,6	0	37271	15292	37.9
50000PP	3912	817,4	182670	78848	46.7

Figure 65 : **Tableau recensant les différents offsets en courant à différents PP laser pour deux structures géométriques différentes**

On peut noter dans un premier temps que le rapport des offsets de courant est constant pour les valeurs de potentiel photoélectrique inférieur à 100PP.

Ceci est cohérent avec la construction du modèle. En effet, plus la surface de jonction impactée est petite, moins la zone de charge d'espace est étendue, plus le photocourant généré est faible. Nous avons dans notre modèle, pris en compte cette considération géométrique : dans notre cas, la surface de substrat P considérée correspond à la surface du faisceau laser. Le photocourant qui correspond au courant parasite de drain ou encore offset en courant de drain, est extrait de la façon suivante :

$$Iph_{n+} = \frac{A_{Dn+}}{\text{Surface du faisceau laser}} \times Iph_{laser}$$

où A_{Dn+} est la surface de la zone de diffusion N+ impactée par le faisceau laser, Iph_{laser} est la valeur du potentiel photoélectrique et Iph_{ln+} le photocourant généré au sein de la jonction substrat-drain du transistor NMOS.

Il est donc assez logique que par construction, on retrouve une proportionnalité entre les deux tailles de transistors.

Toutefois, on peut noter dans un deuxième temps que cette proportionnalité se trouve dégradée à partir de 500PP.

Cette « cassure » apparaît en fait lorsque le photocourant devient assez important pour impacter la tension V_{dsubl} . V_{dsubl} peut alors être bien inférieur à V_{ds} et peut se rapprocher du seuil minimum de 0,4V au-dessous duquel le photocourant est créé.

Cette cassure apparaît au moment où commence à se produire un phénomène de saturation lié à la résistance substrat. C'est le cas pour le transistor de $10\mu\text{m}/0,18\mu\text{m}$ avec un potentiel photoélectrique de 500PP.

Par ailleurs, dans cette même zone, le bipolaire latéral commence à s'amorcer. En effet, de même que la résistance substrat induit une diminution de V_{dsubl} , elle entraîne une augmentation de la tension sur la base du bipolaire latéral jusqu'à l'amorcer. C'est ce qui apparaît aux alentours de 1000PP pour le transistor de $10\mu\text{m}/0,18\mu\text{m}$.

A partir de 1000PP, tandis que le transistor de $0,28\mu\text{m}/0,18\mu\text{m}$ continue à être impacté proportionnellement avec l'augmentation de la puissance laser, le transistor de $10\mu\text{m}/0,18\mu\text{m}$ voit son courant d'offset devenir la somme d'un photocourant et d'un courant de collecteur de bipolaire (avec un gain dans notre modèle de 0.85).

Enfin, on peut remarquer que le déclenchement du bipolaire latéral se produit aussi dans le transistor $0,28\mu\text{m}/0,18\mu\text{m}$, mais à une valeur beaucoup plus importante de puissance laser. En fait, il est intéressant de noter qu'au-delà de la valeur de potentiel photoélectrique qui a été nécessaire pour enclencher ce phénomène ($\sim 1000\text{PP}$ pour le $W=10\mu\text{m}$ versus $\sim 50000\text{PP}$ pour le $W=0,28\mu\text{m}$), c'est surtout la valeur du photocourant lui-même qui est la même entre les deux tailles de transistor au moment de l'amorçage du bipolaire.

Ainsi la taille du transistor n'influe pas sur le seuil de déclenchement du bipolaire, ce qui est en accord avec la théorie puisque le gain du bipolaire NPN est dépendant de la longueur L du canal du transistor NMOS et non pas de sa largeur W . Par contre, la taille (W) influant sur le ratio de photocourant généré par notre impact laser, ce seuil de déclenchement se produira d'autant plus tôt que le transistor est grand.

1.1.2.4 Variation de la dimension du faisceau

Dans ce paragraphe, sera présenté l'impact de la variation de la taille du faisceau.

Réexaminons, l'exemple du transistor de $10\mu\text{m}/0,18\mu\text{m}$ mais cette fois balayé par un faisceau laser de $5\mu\text{m}$ de diamètre.

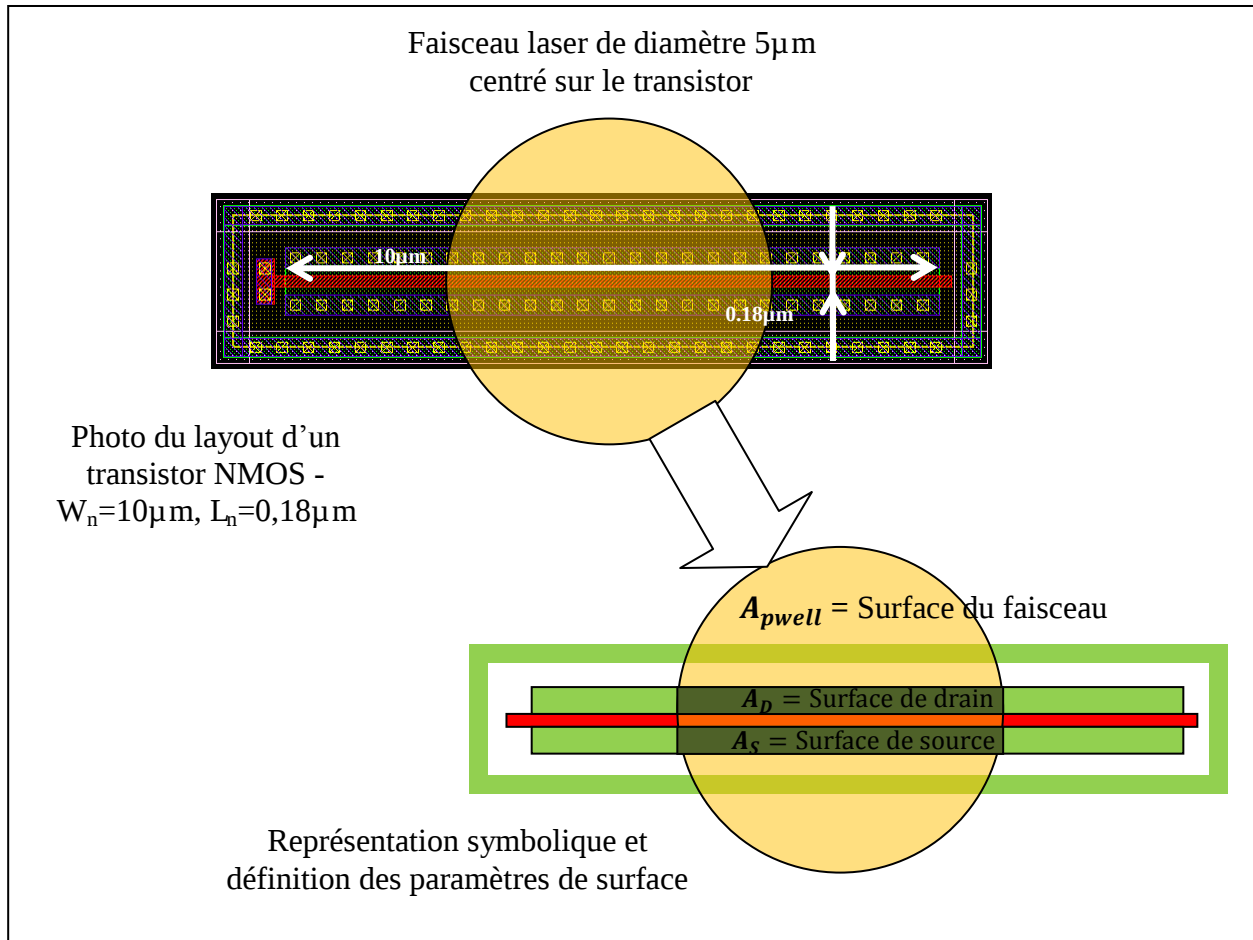


Figure 66 : Transistor NMOS $W_n=10\mu\text{m}$ $L_n=0,18\mu\text{m}$ sous un faisceau de $5\mu\text{m}$

Ici, trois surfaces sont à extraire :

- La surface du drain : dans ce cas particulier, elle se réduit à la surface réellement balayée par le faisceau laser.

En technologie $0.18\mu\text{m}$ de STMicroelectronics, la formule devient :

$$A_D = 0,37\mu\text{m} \cdot 5\mu\text{m} = 1.85\mu\text{m}^2$$

- La surface de la source : elle est ici équivalente à la surface du drain.

$$A_S = 1.85\mu\text{m}^2$$

- La surface du substrat (Pwell) : $A_{pwell} = 19,6\mu\text{m}^2$

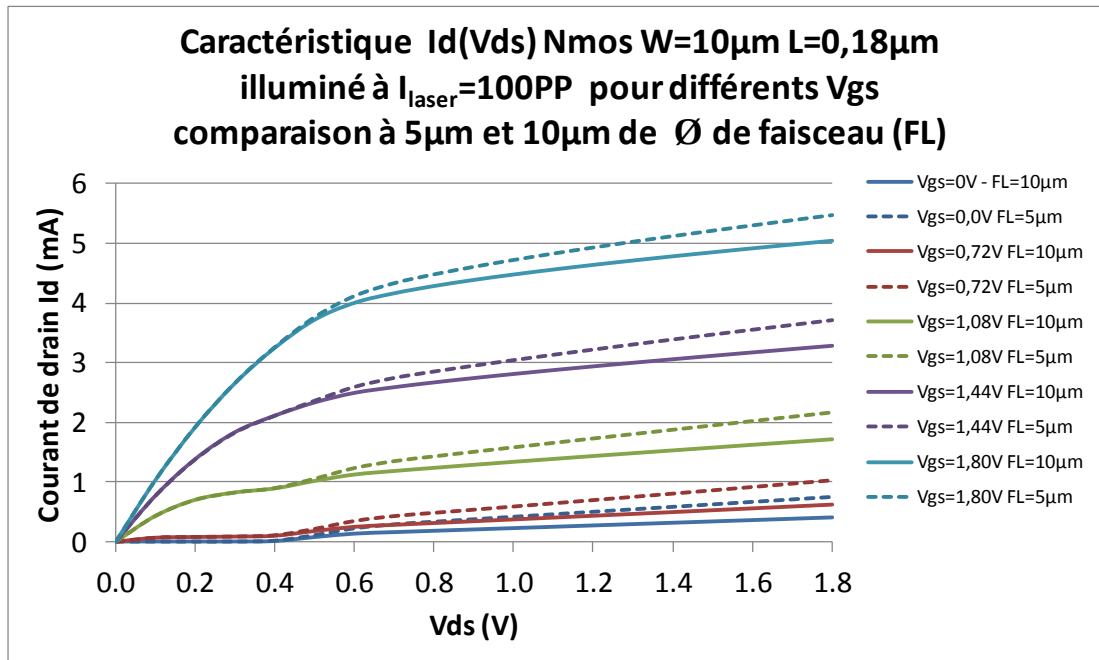


Figure 67 : **Comparaison de l'impact d'un faisceau de $5\mu m$ et de $10\mu m$**

Le transistor étant grand comparé au faisceau laser ($W_n=10\mu m$ comparé au $5\mu m$ du faisceau), seul une partie de celui-ci est illuminé.

Si l'on compare les paramètres de surface pris en considération dans le modèle, il est à noter que la surface du faisceau est divisé par 4, alors que les surfaces de drain et de source sont, elles, divisées par 2.

Or, dans cette simulation comparative entre deux tailles de faisceau, le potentiel photoélectrique est resté le même. En conséquence de quoi la même énergie laser est concentrée sur 4 fois moins de surface, ou encore, chaque unité de surface reçoit 4 fois plus d'énergie. La surface de drain étant deux fois plus petite, nous nous attendons à observer un ratio de l'ordre de 2 dans les offsets de courant en faveur du petit faisceau. Ce qui est effectivement le cas :

- $I_{offset}(@V_{ds}=1.8V, @V_{gs}=1.8V, @FL=5\mu m) = 967\mu A$
- $I_{offset}(@V_{ds}=1.8V, @V_{gs}=1.8V, @FL=10\mu m) = 546\mu A$
- $\frac{I_{offset FL=5\mu m}}{I_{offset FL=10\mu m}} = 1.8$

Le courant d'offset généré est bien au premier ordre proportionnel au rapport des surfaces entre celles des jonctions (où la tension V_{ds} est suffisante) et celle du faisceau laser.

1.1.2.5 Influence du layout dans l'extraction des paramètres et simplification

Dans le but d'aider à la généralisation du modèle et afin de simplifier son utilisation pour la suite, deux dessins différents d'un même circuit constitué de 10 transistors NMOS de $1\mu\text{m}/0.18\mu\text{m}$ en parallèle vont être étudiés.

Le but ici est de voir l'influence du layout sur la méthodologie d'extraction des paramètres de surface des transistors et d'étudier son impact relatif sur les déviations des caractéristiques d'un transistor soumis au laser.

Les 2 cas étudiés sont :

- 10 transistors distincts sur lesquels seront appliquées les formules de calcul des paramètres de surface (layout 1).
- 10 transistors dans une version layout optimisée en surface, où drain et source se retrouvent partagés (layout 2).

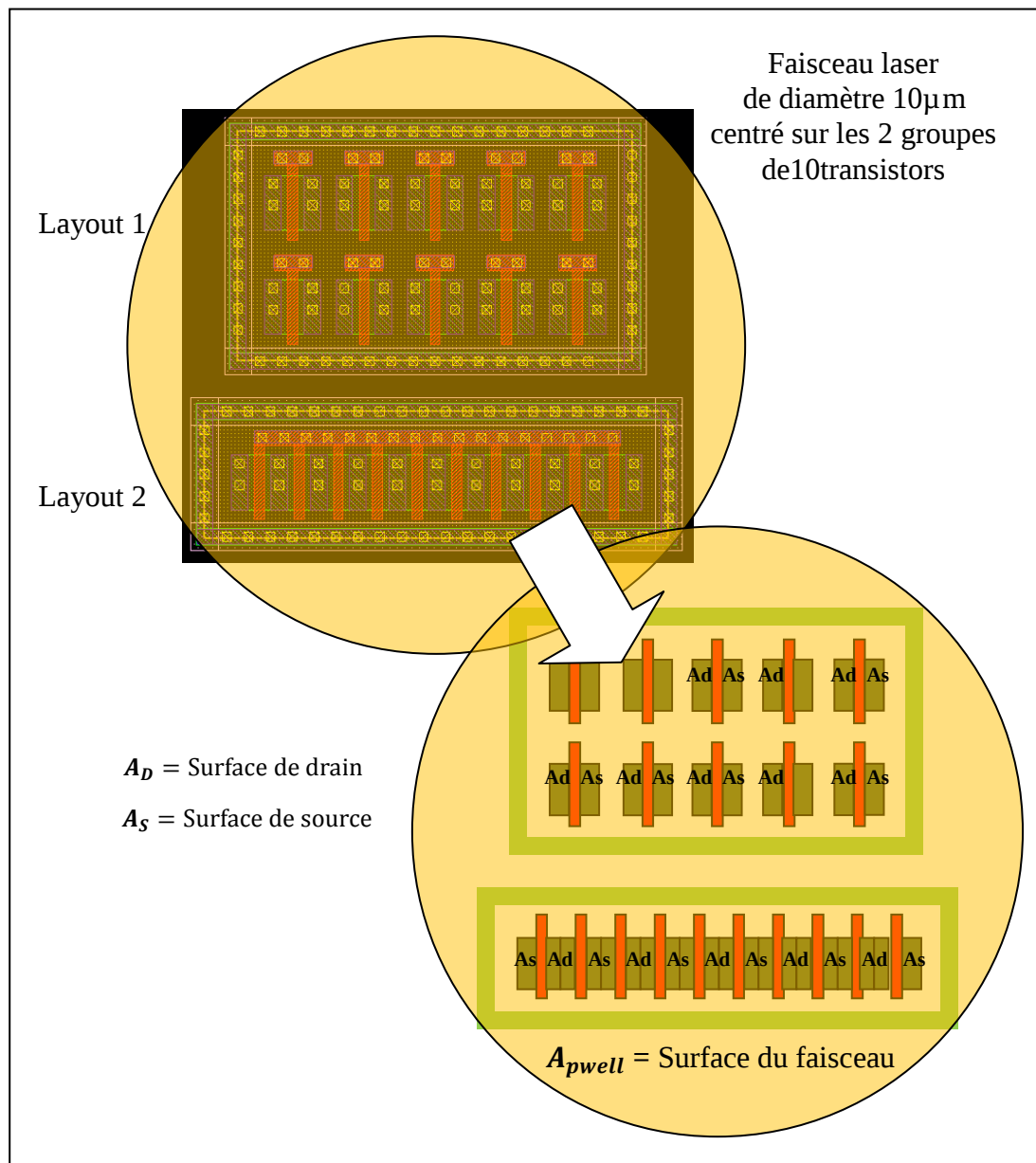


Figure 68 : Comparaison de 2 dessins différents d'un même schéma

L'extraction des paramètres à prendre en compte dans les modèles donne :

- Pour le premier groupe de transistors qui est constitué de 10 doigts de NMOS de $1\mu\text{m}/0,18\mu\text{m}$ mis en parallèle, la formule $A_d=A_s=W_n \cdot 0,37\mu\text{m}$ est toujours applicable.
On obtient ainsi : $A_{d1}=A_{s1}=0,37\mu\text{m}^2$
- Par contre, puisque drain et source sont mis en commun dans le deuxième exemple afin de réduire au maximum la surface, la formule simplifiée préalablement établie n'est plus applicable. La mesure sur le dessin donne ainsi précisément : $A_{d2}=0,27\mu\text{m}^2$.

Par contre, deux cas sont à distinguer pour la surface de source selon que le transistor est en bout de chaîne : $A_{S2}=0,37\mu\text{m}^2$, ou bien qu'il est tout comme la surface de drain partagé entre deux transistors : $A_{S2}=0,27\mu\text{m}^2$.

- La surface du faisceau quant à elle correspond toujours à un diamètre de $10\mu\text{m}$, et fournit : $A_{\text{pwell}}=78,5\mu\text{m}^2$

Voici les résultats des caractéristiques statiques $I_d(V_{ds})$ de ces 10 transistors NMOS de $1\mu\text{m}/0,18\mu\text{m}$ mis en parallèle, simulés à partir du schéma ou à partir du modèle laser en appliquant les 2 groupes de paramètres extraits. Pour la comparaison, un laser de potentiel photoélectrique de référence 100P est choisi.

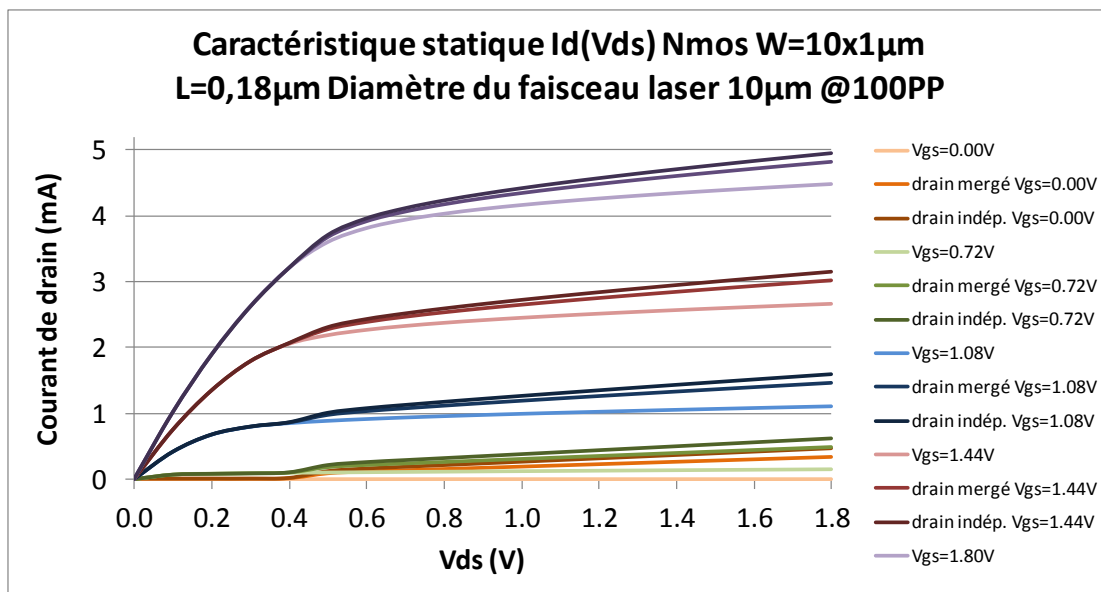


Figure 69 : Impact de l'optimisation de surface sur la sensibilité

Comme attendu, l'optimisation de surface entraînant une diminution de la surface de la jonction sensible ($0,27\mu\text{m}^2$ au lieu de $0,37\mu\text{m}^2$), l'offset de courant généré est systématiquement plus petit, dans des proportions proches du rapport de surface (1.37).

On obtient ainsi:

- $I_{\text{offset}}(@V_{ds}=1.8\text{V}, @V_{gs}=1.8\text{V}, A_d=0,27\mu\text{m}^2) = 352,6\mu\text{A}$
- $I_{\text{offset}}(@V_{ds}=1.8\text{V}, @V_{gs}=1.8\text{V}, A_d=0,37\mu\text{m}^2) = 481,5\mu\text{A}$
- $\frac{I_{\text{offset}0,42\mu\text{m}^2}}{I_{\text{offset}0,27\mu\text{m}^2}} = 1.366$

Ainsi, pour la suite, lorsqu'il s'agira d'analyser qualitativement le comportement de telle ou telle structure impactée par un impact laser, nous pourrons appliquer notre formule simplifiée de calcul de surface de jonction pour obtenir un résultat au premier ordre.

Par contre, lorsqu'il s'agira de comparer qualitativement et quantitativement nos résultats de simulation à des mesures expérimentales, nous effectuerons une extraction paramétrique précise, à partir de l'analyse détaillée du dessin réel des surfaces des structures impliquées, afin de pouvoir comparer plus précisément les résultats.

1.1.3 Validation de la cohérence du modèle sur le transistor NMOS

Les résultats obtenus sur le transistor NMOS permettent de valider le comportement du modèle en analyse statique, et confirment l'influence des paramètres géométriques et technologiques des structures impactés.

L'application d'un laser sur un transistor NMOS avec ce modèle montre bien la création d'un photocourant proportionnel au potentiel appliqué sur la jonction de drain (V_{dsubl}), et couplé au potentiel photoélectrique. Ce photocourant est bien proportionnel à la surface impactée.

Par ailleurs, l'interaction de ce photocourant avec l'environnement (résistance de substrat pour être évacué) peut entraîner des comportements de saturation (si l'on considère le potentiel appliqué sur ce drain vis-à-vis de la masse) et le déclenchement de transistor bipolaire latéral rajoutant son courant de collecteur à l'offset de courant observé sur le drain.

1.2 Comportement d'un transistor PMOS impacté par notre modèle laser

Avant de rentrer en détail sur l'étude d'un transistor PMOS impacté, nous avons jugé nécessaire de rappeler en quelques lignes ses caractéristiques statiques ainsi que ses différents modes de fonctionnement.

L'application d'une tension V_{gs} inférieure à une tension de seuil V_{th} entraîne l'apparition de charges négatives sur la grille et de charges de signe opposé dans le substrat de type N. Le

canal de type P (ou zone d'inversion) apparaît ainsi dans le substrat. Les trous du canal se déplacent de la source vers le drain par la conduction engendrée par le champ électrique créée par la tension V_{ds} .

De même que le transistor NMOS, deux principaux modes de fonctionnement sont identifiés :

Si $V_{gs} < V_{th} < 0$: le transistor est passant.

- Lorsque $0 > V_{ds} > V_{gs} - V_{th}$: régime linéaire

Le courant de drain est égal à :

$$I_d = \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot [(V_{gs} - V_{th}) \cdot V_{ds} - \frac{1}{2} \cdot V_{ds}^2]$$

μ_p : mobilité des trous (porteurs majoritaires du canal p)

C_{ox} : capacité grille-substrat par unité de surface

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur

- $V_{ds} < V_{gs} - V_{th} < 0$: Régime saturé

Le courant de drain dans cette zone est égale à :

$$I_d = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2$$

La frontière entre le régime ohmique et la zone saturée est donnée par la relation

$V_{gs} = V_{th}$ soit

$$I_d = \frac{1}{2} \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{ds})^2$$

Si $0 > V_{gs} > V_{th}$: le transistor est bloqué.

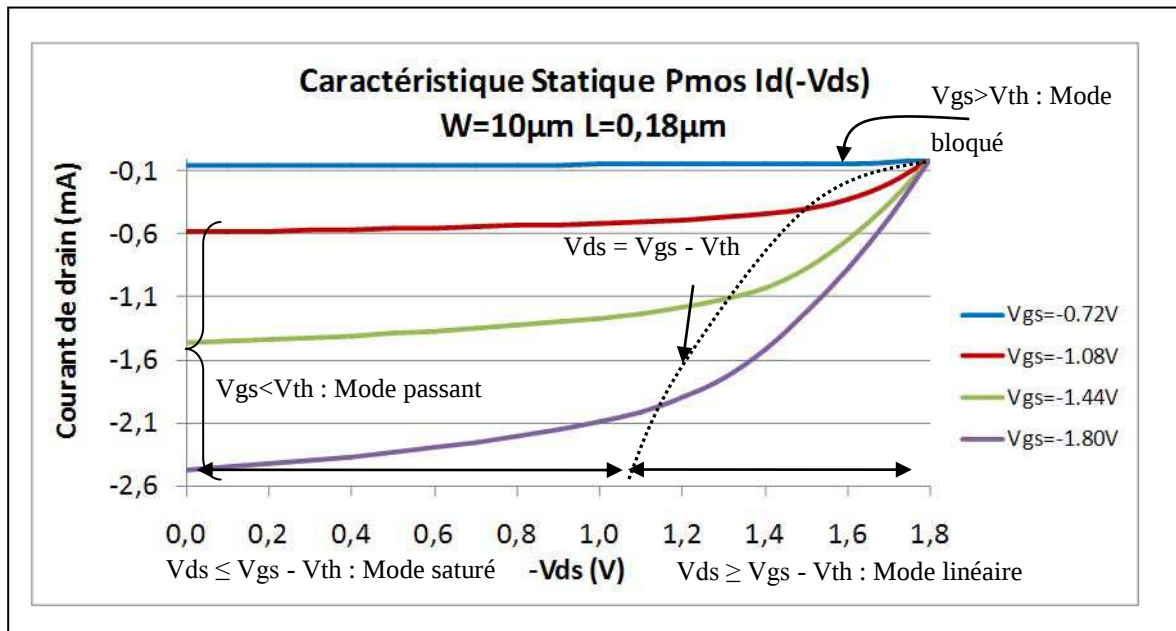


Figure 70 : Caractéristique simulée $I_{ds}=f(-V_{ds})$ d'un transistor PMOS $10\mu m/0,18\mu m$

1.2.1 Méthodologie et flot de simulation sur un transistor PMOS

Le flot de simulation a été développé en détail dans le paragraphe dédié au transistor NMOS. Toutefois, des différences existent avec le PMOS. Pour cette raison, le flot de simulation et la méthodologie qui sont associés au PMOS vont être présentés dans ce paragraphe en insistant plus particulièrement sur les différences.

1.2.1.1 Contexte

Nous considérons, dans ce cas d'exemple, un transistor PMOS de la technologie STMicroelectronics en $0,18\mu m$. La structure à impacter n'a pas de voisins proches et donc aucun « dommage collatéral » n'est à prendre en compte dans la présente analyse.

L'injection se fait par un laser délivrant un rayonnement lumineux de type continu et émettant des radiations dans le domaine de l'infrarouge. En sortie, le faisceau possède un diamètre supérieur à la surface totale du transistor, et son profil est uniforme. Nous pouvons donc estimer que le transistor est entièrement impacté par le laser.

Pour notre étude, le faisceau possèdera un diamètre de $10\mu m$, ou encore une surface approximative de $78,5\mu m^2$.

1.2.1.2 Extraction géométrique du layout des transistors impactés

De même que pour l'étude du NMOS, la première étape consiste à identifier les transistors du circuit qui sont illuminés par le laser et à en extraire certaines propriétés géométriques. Voici donc le layout d'un transistor PMOS ($W_p=10\mu\text{m}$, $L_p=0,18\mu\text{m}$) qui servira d'étude dans ce paragraphe :

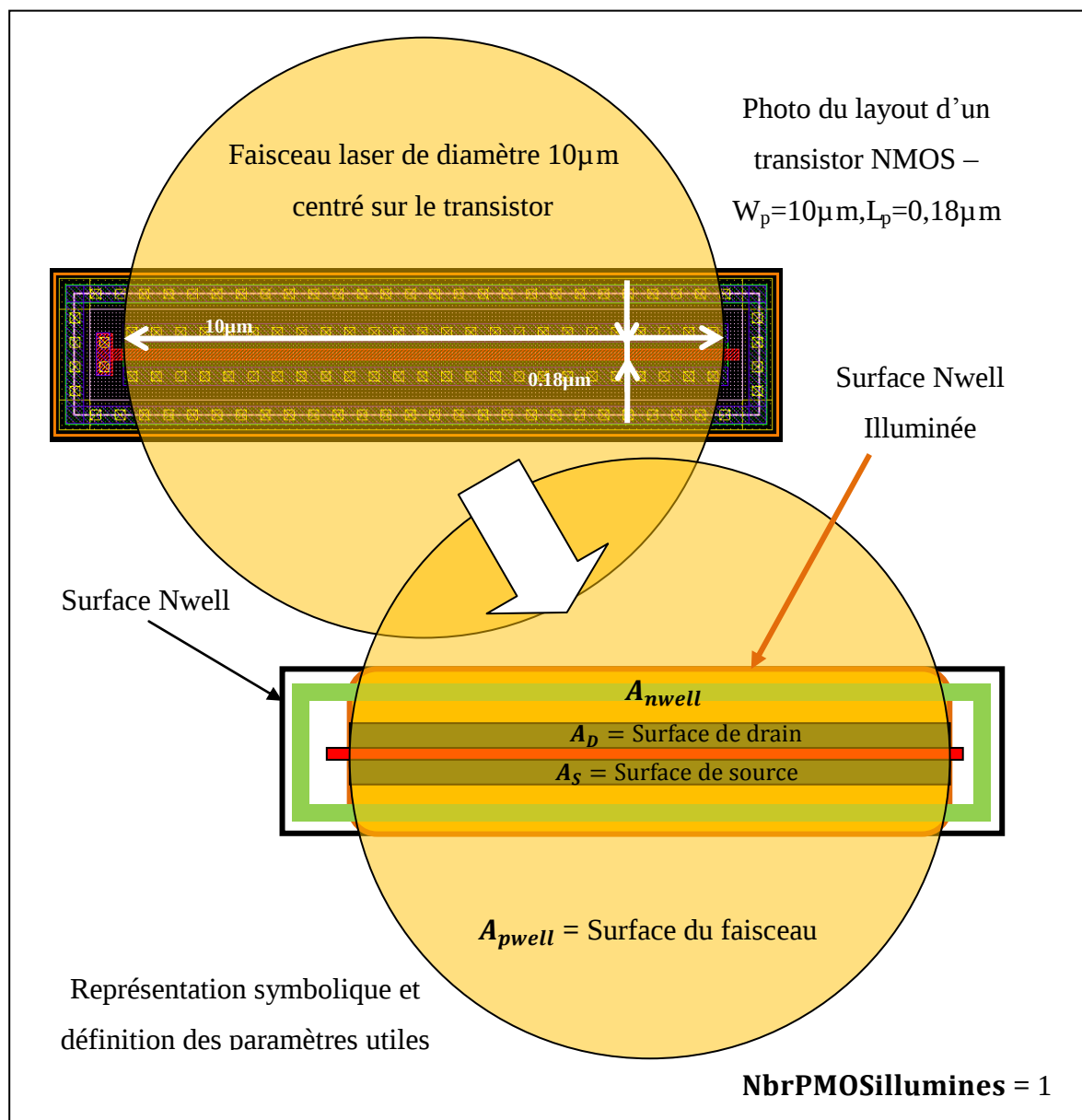


Figure 71 : Layout d'un transistor PMOS $W_p=10\mu\text{m}$ $L_p=0,18\mu\text{m}$ et définitions

Quatre surfaces sont à extraire, contrairement au NMOS où trois seulement entraient en jeu :

- La surface du drain : c'est la distance allant du bord de la zone active jusqu'à la grille (voir dessin ci-dessus) multipliée par la largeur du transistor.

$$A_D = W_p \cdot \text{Dist}_{\text{ActiveEdgeDrain-Gate}}$$

En technologie 0.18μm de STMicroelectronics, la formule devient :

$$A_D = 0,37\mu m \cdot W_p$$

$$A_D = 3,7\mu m^2$$

- La surface de la source : elle est ici équivalente à la surface du drain.

$$A_S = W_p \cdot Dist_{ActiveEdgeSource-Gate}$$

soit en technologie 0.18μm de STMicroelectronics :

$$A_S = 0,37\mu m \cdot W_p$$

$$A_S = 3,7\mu m^2$$

- La surface du substrat (Pwell) : elle correspond à la surface balayée par le faisceau laser. Pour un faisceau de diamètre D, on obtient :

$$A_{pwell} = \frac{\pi \cdot D^2}{4}$$

$$A_{pwell} = 78,5\mu m^2$$

- La surface A_{nwell} du Nwell illuminée: elle correspond à la surface totale du Nwell qui est balayée par le faisceau laser.

$$A_{Nwell} = 2,66\mu m \cdot 10\mu m = 26,6\mu m^2$$

Autre paramètre important pour les besoins du modèle :

- Le nombre de transistors PMOS illuminés (NbrPMOSilluminés) doit aussi être entré en paramètre de la netlist. En effet, on estime que la puissance laser ou potentiel photoélectrique est redistribuée sur chacun des transistors impactés. (voir chapitre II pour plus de détails)

Cette méthodologie d'évaluation de ces paramètres peut être étendue à des structures plus complexes.

1.2.1.3 Programme et génération de la netlist à simuler

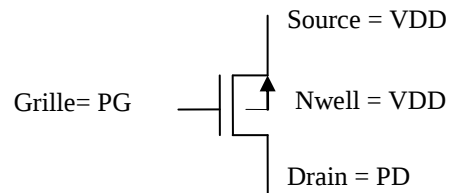
Le procédé de génération de la netlist à simuler est le même que pour le transistor NMOS.

Dans notre cas d'étude, le laser illumine uniquement le transistor appelé XMP01. Il suffira donc d'écrire la commande suivante pour générer la netlist sous laser à simuler :

Programme_Laser_ModelNetlist_ImpactéeXMP01

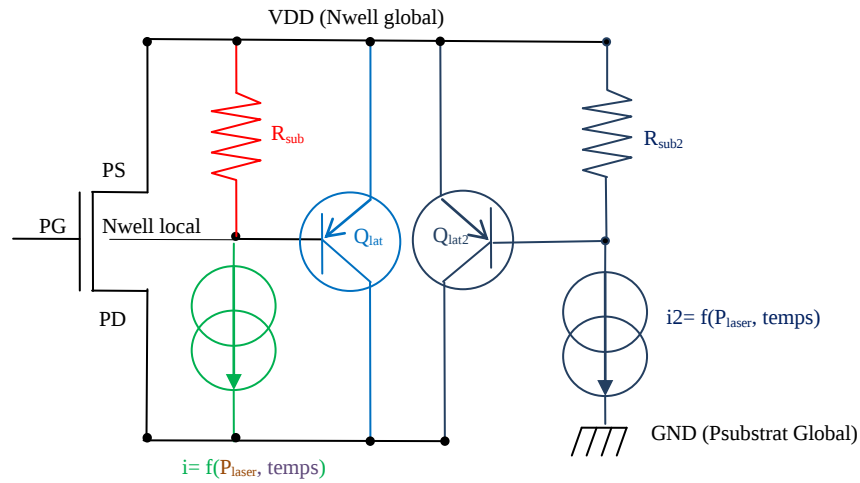
- *Programme_Laser_Model* : ce terme correspond à la commande lançant le programme à exécuter pour appliquer le modèle.
- *Netlist_Impactée* est la netlist du schéma que l'on souhaite simuler.
- *XMP01* est le transistor illuminé par le laser. Plusieurs transistors peuvent être listés à la suite.

Ainsi le transistor XMP01 :



XMP01 PD PG VDD VDD EPLLMM9JU W=10u L=0.18u

va être mis à jour pour embarquer le modèle du laser et ainsi devenir :



```

XMP01 PD PG VDD b_pp01 EPLLMM9JU W=10u L=0.18u
Qlat_pp01 PD b_pp01 VDD Qlat_pp01
Resbulk_pp01 VDD b_pp01 1000
Gmultd_pp01 b_pp01 PD POLY(2) ampd_pp01 GND Itd_pp01 GND 0 000 'P3_pp01(Iphglobal_NUL)'
Itd_pp01 GND Itd_pp01 'P1_pp01(Iphglobal_NUL)'
Rtd_pp01 Itd_pp01 GND 100
Gampd_pp01 GND switchd_pp01 b_pp01 PD 'P2_pp01(Iphglobal_NUL)'
YPd_pp01 vswitch PIN: switchd_pp01 ampd_pp01 b_pp01 PD PARAM: MODEL: MyModelP
RRswitchd_pp01 switchd_pp01 GND 100k
Rampd_pp01 ampd_pp01 GND 100
Qlat2_pp01 PD b2_pp01 VDD Qlat_pp01
Resbulk2_pp01 VDD b2_pp01 90
Resbulk1_pp01 b2_pp01 b1_pp01 10
GmultNwell_pp01 b1_pp01 GND POLY(2) ampNwell_pp01 GND ItNwell_pp01 GND 0 000 'P0_pp01(Iphglobal_NUL)'
ItNwell_pp01 GND ItNwell_pp01 'P0_pp01(Iphglobal_NUL)'
RtNwell_pp01 ItNwell_pp01 GND 100
GampdNwell_pp01 GND switchNwell_pp01 b1_pp01 GND 'P0_pp01(Iphglobal_NUL)'
YPNwell_pp01 vswitch PIN: switchNwell_pp01 ampNwell_pp01 b1_pp01 GND PARAM: MODEL: MyModelNW
RRswitchNwell_pp01 switchNwell_pp01 GND 100k
RampNwell_pp01 ampNwell_pp01 GND 100

```

1.2.1.4 Fichier de contrôle et paramètres d'entrée du laser

Etant donné que l'analyse des caractéristiques du transistor PMOS se fait en statique, la durée d'impulsion du laser sera continue.

Le schéma ci-dessous résume le flot de simulation sur un transistor PMOS:

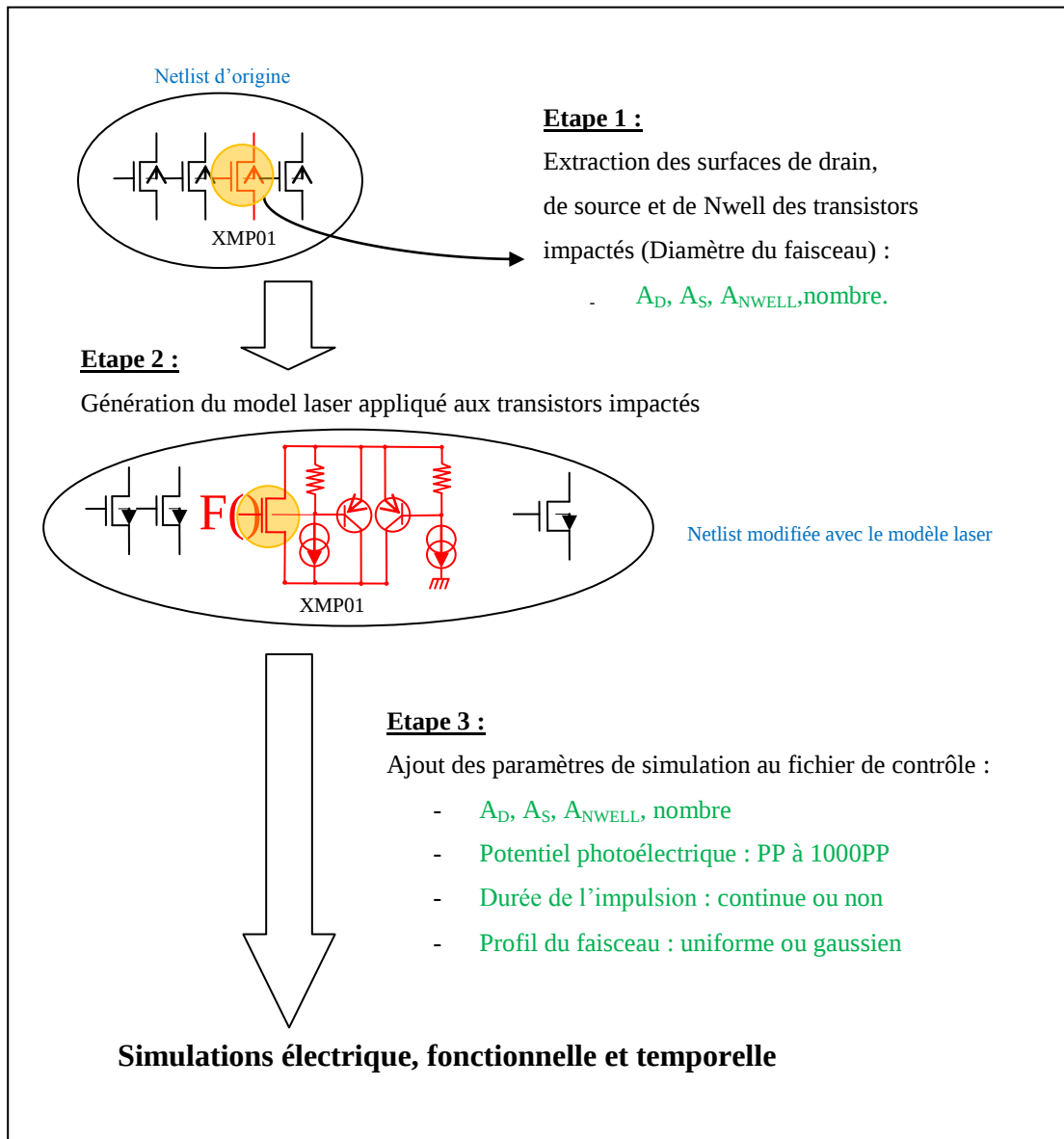


Figure 72 : Méthodologie et flot de simulation sur un transistor PMOS

1.2.2 Cohérence des résultats de simulation sur le transistor PMOS

Contrairement au transistor NMOS, l'impact du laser au niveau du PMOS entraîne la création de photocourant en deux localisations.

Le premier endroit se situe au niveau de la jonction Nwell/Psubstrat. Le deuxième au niveau de la jonction de drain du transistor PMOS (jonction Pplus/Nwell).

Par ailleurs, l'injection laser se faisant en face arrière du circuit, la première jonction impactée par les photons est celle Nwell/Psubstrat. Pour cette raison, et parce qu'elle est aussi beaucoup plus étendue que la jonction drain/Nwell du transistor PMOS, la grande majorité des photons y est absorbée et le photocourant qui y est généré est plus important que celui attendu au

niveau du drain du transistor. Ce courant est un courant prélevé directement sur la source alimentant le caisson Nwell et évacué à travers le substrat vers la masse. Il peut impacter le comportement du design de deux manières différentes : soit en entraînant une chute de tension sur l'alimentation, si celle-ci a une impédance non négligeable ; Soit en générant un courant de transistor bipolaire PNP sur le drain du transistor PMOS, si le photocourant prélevé du Nwell est suffisant pour entraîner une chute de tension locale dans le Nwell et ainsi polariser le bipolaire PNP latéral au transistor PMOS.

Pour ce qui est du photocourant généré au niveau de la jonction de drain du transistor PMOS, il suit les mêmes règles que celles déjà explicitées pour le NMOS. En effet, dès lors que la jonction de drain Pplus/Nwell local du transistor PMOS est en inverse ($V_{\text{drain}} < V_{\text{Nwell local}}$, noté $-V_{\text{dsubl}} > 0$ par la suite), une zone de charge d'espace se crée, établissant ainsi un champ électrique. Sous illumination, un photocourant y est alors généré, circulant du puits N local (Nwell local) vers le drain.

Enfin, de façon similaire à la structure NMOS, un transistor bipolaire parasite latéral PNP peut être déclenché par l'effet de la diode en direct au niveau de la jonction source/Nwell local. Toutefois, comme la mobilité des trous est inférieure à celle des électrons, le gain du transistor bipolaire PNP est estimé inférieur à celui du NPN. En conséquence, l'effet du bipolaire parasite est plus faible pour une technologie sur substrat N que sur substrat P.

Au final, l'analyse statique d'un transistor PMOS sous impact laser doit permettre d'observer :

- l'apparition d'une surconsommation sur l'alimentation du caisson Nwell lié au photocourant généré au niveau de la jonction Nwell/Psubstrat,
- l'apparition d'un offset de courant de drain dont la valeur augmente proportionnellement avec $-V_{\text{dsubl}}$ (potentiel appliqué localement sur la jonction), pour une puissance laser donnée,
- l'augmentation de cet offset de courant de drain avec le potentiel photoélectrique, à $-V_{\text{dsubl}}$ constant.
- pour une même valeur de potentiel photoélectrique, un effet beaucoup moins conséquent que pour un transistor NMOS, ie un offset beaucoup moins importants à même I_{laser} (paramétrée en PP),
- l'indépendance de cet offset de drain avec le potentiel appliqué sur la grille du transistor, à $-V_{\text{dsubl}}$ constant,

- le phénomène de déclenchement du transistor bipolaire latéral PNP, potentiellement induit par l'un et/ou l'autre des photo-courants générés soit au niveau de la jonction Nwell/Psubstrat, soit au niveau de la jonction du drain P+/Nwell, alors qu'une chute de potentiel suffisante est introduite dans le substrat local pour activer le bipolaire latéral PNP du transistor PMOS.

Voici les résultats des caractéristiques statiques $I_d(-V_{ds})$ de ce transistor PMOS de $10\mu\text{m}/0,18\mu\text{m}$. La figure présente la comparaison entre les caractéristiques originelles du transistor et celles après un impact laser de 100PP.

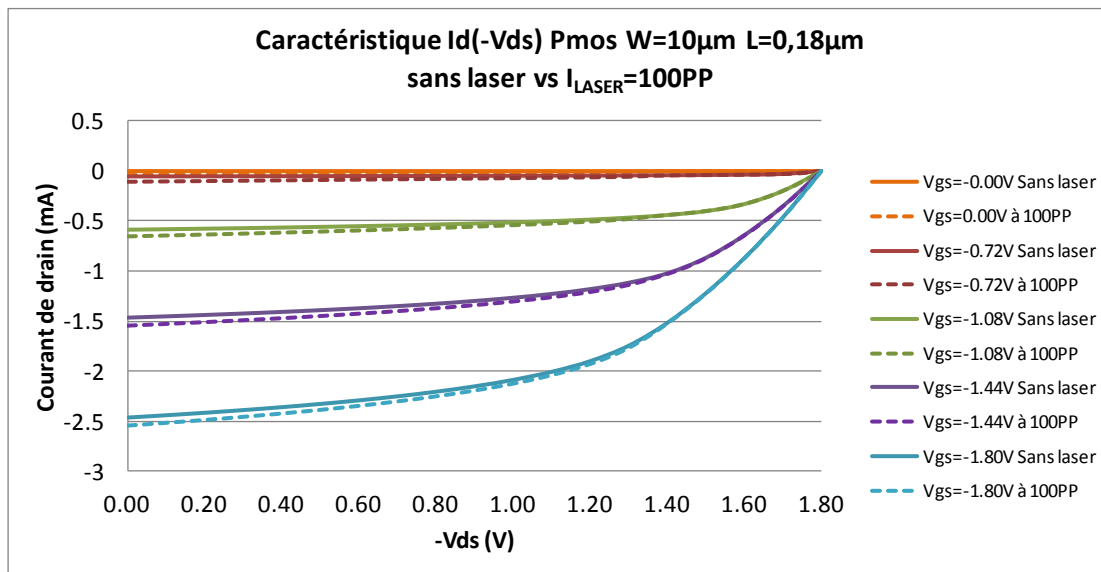


Figure 73 : Transistor PMOS impacté par un faisceau laser 100PP

En décomposant ces caractéristiques, et en fonction de la puissance du faisceau laser (en PP), on retrouve un courant d'offset sur le drain, indépendant de la tension sur la grille du transistor PMOS, et qui se compose de la somme de plusieurs courants provenant d'une part du photocourant généré directement au niveau du drain du transistor, d'autre part de l'action du bipolaire PNP latéral pouvant être polarisé soit par le photocourant généré sur le drain, soit par celui généré au niveau de la jonction Nwell/Psubstrat.

Ainsi, avec le paramétrage du modèle arbitrairement choisi pour cette étude, on obtient les courbes de courant suivantes.

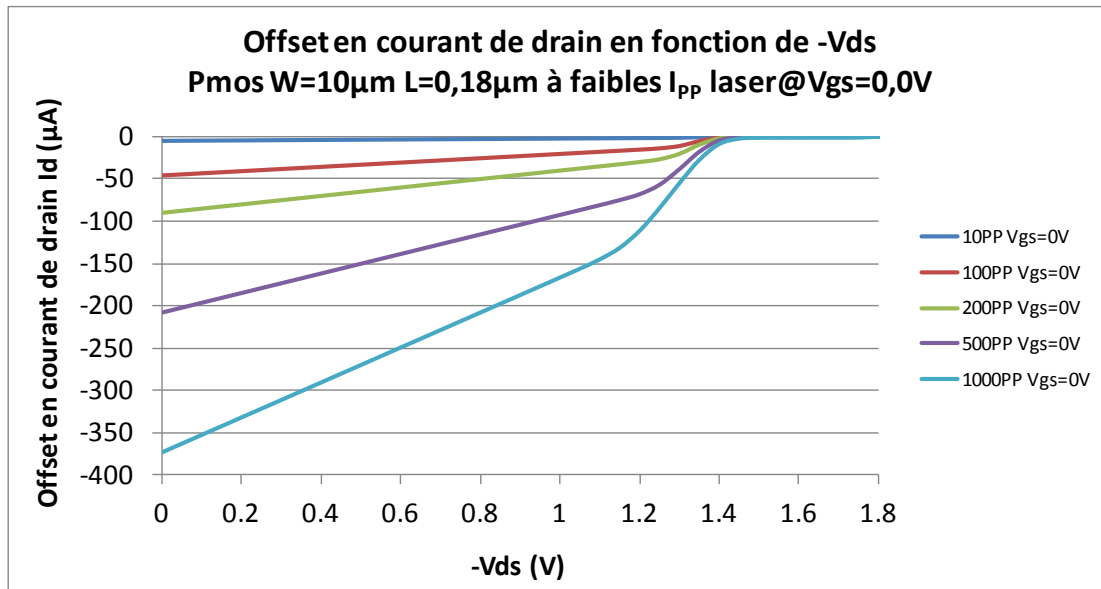


Figure 74 : Offset en courant de drain en fonction de $-V_{ds}$

La figure 73 s'attache à des impacts laser de 0PP à 1000PP. L'offset en courant de drain est pour ces valeurs constitué uniquement du photocourant généré sur le drain. On retrouve ainsi les mêmes caractéristiques que celles décomposées précédemment dans l'étude du NMOS. Tout d'abord, un seuil $-V_{ds_{subl}}$ au-delà duquel le photocourant peut apparaître. Ici 0.4V. Ensuite une augmentation du photocourant avec la puissance laser (PP), à $-V_{ds_{subl}}$ fixé, où $-V_{ds_{subl}}$ est la tension appliquée réellement sur la jonction Pplus/Nwell. A fort photocourant dans le Nwell, $-V_{ds_{subl}}$ est différent de $-V_{ds}$. $-V_{ds_{subl}} = -V_{ds} + R(Nwell Local) \cdot I(\text{photocourant})$.

Lorsque la puissance laser continue d'augmenter, les photocourants circulant dans le Nwell peuvent être suffisants pour induire des chutes de tension locales et ainsi activer le bipolaire PNP latéral au transistor PMOS. Dans notre modèle, nous avons découpé celui-ci en deux afin de pouvoir observer, mais aussi régler la participation de chaque photocourant au courant de bipolaire ajouté sur le drain.

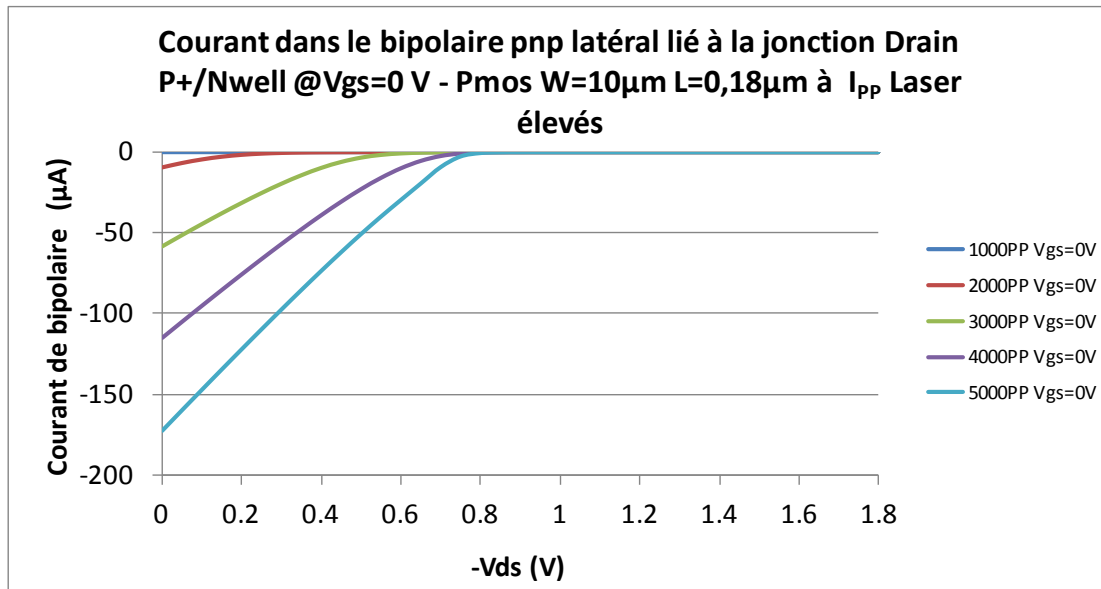


Figure 75 : **Courant d'offset du au bipolaire latéral du fait du photocourant généré au niveau du drain du transistor PMOS**

La figure précédente montre ainsi l'apparition de l'offset de courant de drain dû à l'effet bipolaire PNP latéral, du fait du photocourant généré au niveau de la jonction Pplus/Nwell local. Les caractéristiques sont similaires à celles observées dans le transistor NMOS avec l'activation du bipolaire NPN.

La figure suivante montre par contre l'apparition de l'offset de courant de drain dû à l'effet bipolaire PNP latéral, mais cette fois, suite au photocourant généré au niveau de la jonction Nwell/Psubstrat et circulant dans le Nwell. Contrairement aux caractéristiques précédentes, cet offset ne dépend que de l'alimentation et de la chute de tension que le photocourant peut entraîner localement dans le Nwell. Il ne dépend donc pas de la tension de grille ni de la tension de drain du transistor.

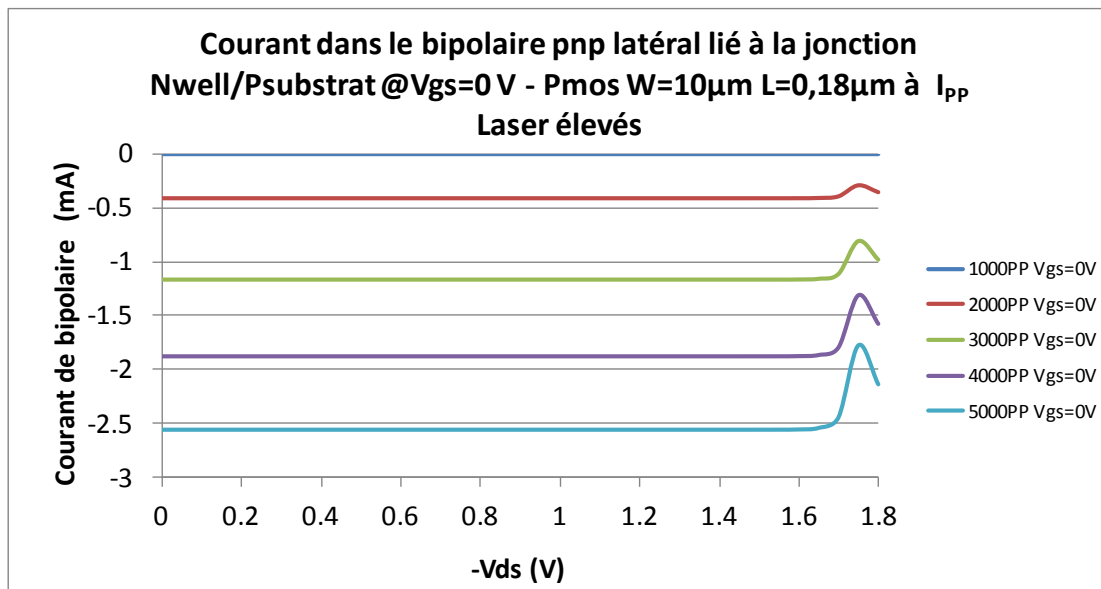


Figure 76 : **Courant d'offset du au bipolaire latéral du fait du photocourant généré au niveau de la jonction Nwell/Psubstrat**

Au final, la figure 76 présente le courant d'offset de drain total généré par ces différentes sources pour une puissance laser de 1000PP à 5000PP.

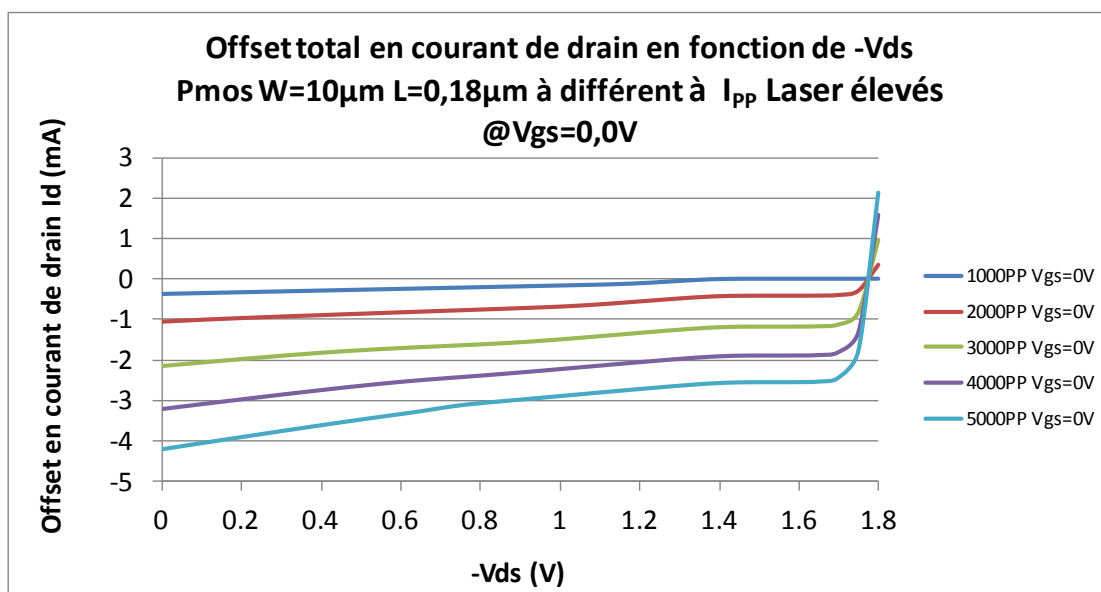


Figure 77 : **Offset de courant total observé sur le drain d'un PMOS de 10μm/0,18μm**

Ainsi, de même que pour le NMOS, les chutes de tension dans le caisson du fait des photocourants pouvant y circuler (photocourant de la jonction de drain, ou photocourant du Nwell/Psubstrat), peuvent activer le bipolaire latéral au transistor PMOS, de même, elles

impactent la tension réelle appliquée localement aux bornes des deux jonctions et introduisent un phénomène de saturation.

1.2.3 Validation de la cohérence du modèle sur le transistor PMOS

Dans la table suivante, sont compilés les résultats de simulation des offsets en courant pour les structures élémentaires que sont les NMOS et PMOS de $W=10\mu\text{m}/L=0,18\mu\text{m}$. Sont rapportés aussi dans les deux dernières colonnes les résultats concernant le photocourant engendré dans le Nwell, ainsi que la consommation sur l'alimentation. Ces résultats sont obtenus alors que V_{ds} est maximum ($V_{ds}=1.8\text{V}$ pour le NMOS, $V_{ds}=-1.8\text{V}$ pour le PMOS).

Potentiel photoélectrique	Offset en courant (μA) sur le drain					Vdd	
	NMOS $W=10\mu\text{m}$		PMOS $W=10\mu\text{m}$			I Nwell	Conso
	Total	Bip.	Total	Bip	Bip.	-	Total
1PP	6,2	0	0,45	0	0	8.45	8.9
5PP	30,9	0	2.4	0	0	42.2	44.6
10PP	61,4	0	4.7	0	0	84.2	88.9
50PP	291	0	23.2	0	0	413	436
100PP	546	0	45.9	0	0	808	854
500PP	1716	1,12	208	0	0	3426	3634
1000PP	3105	527,2	364	0	0.6	5757	6131
5000PP	18411	7144	4217	173	2557	20317	24534
10000PP	37271	15292	8663	466	5290	33540	42203
50000PP	182670	78848	27052	2771	10346	57805	84858

Figure 78 : **Tableau recensant les offsets en courant, le photocourant dans le Nwell et la consommation sur l'alimentation, à différents PP laser pour les transistors NMOS et PMOS**

On peut le voir ici, les courants d'offset dus au photocourant et bipolaire associé suivent les mêmes règles que pour le transistor NMOS mais avec une valeur plus faible pour la même puissance PP.

Aussi, comme attendu, le photocourant généré dans le Nwell est plus important que celui dans le drain du PMOS du fait de la surface et du fait de la prise en compte d'une absorption des photons plus importantes lors d'un impact laser en face arrière.

Enfin, on peut noter l'apparition d'un courant de transistor bipolaire latéral, lié dans notre modèle au photocourant généré dans la jonction Nwell/Psubstrat à de plus faibles valeurs de puissance laser.

1.3 Conclusion sur la validité du modèle sur des structures simples

L'analyse de notre modèle appliqué sur les structures élémentaires que sont le NMOS et le PMOS a montré sa cohérence avec nos attentes.

Il a aussi été démontré sa grande flexibilité tandis qu'il peut prendre en compte la diversité des dessins géométriques des transistors (influence du nombre de doigts et de leur dessin (optimisé en surface ou non), influence de la zone balayée par le laser...).

Bien plus, ce modèle est entièrement paramétrable et donc ajustable aux données technologiques : relation entre les PP (paramètre de potentiel photoélectrique) et la puissance laser, surface du faisceau, différentiel de sensibilité entre le NMOS et le PMOS, seuil du déclenchement du bipolaire, gain du bipolaire...

Malheureusement, n'ayant pas obtenu de résultats de mesure fiable d'un transistor unique NMOS ou PMOS impacté par laser, il n'a pas été possible de réaliser le travail de réglage du modèle pour corrélérer avec le silicium pour la technologie STMicroelectronics considérée.

Nous avons donc pour le besoin de l'étude effectuer des choix « technologiques » arbitraires afin de nous permettre de valider la cohérence du modèle, avant de l'appliquer sur des structures plus complexes, qui elles ont fait l'objet de mesures et nous permettront alors de corrélérer les résultats.

2 L'inverseur – Prédiction par la simulation des comportements possibles

La structure de test est l'inverseur CMOS élémentaire (IVULL) de la technologie 0.18 μm de STMicroelectronics.

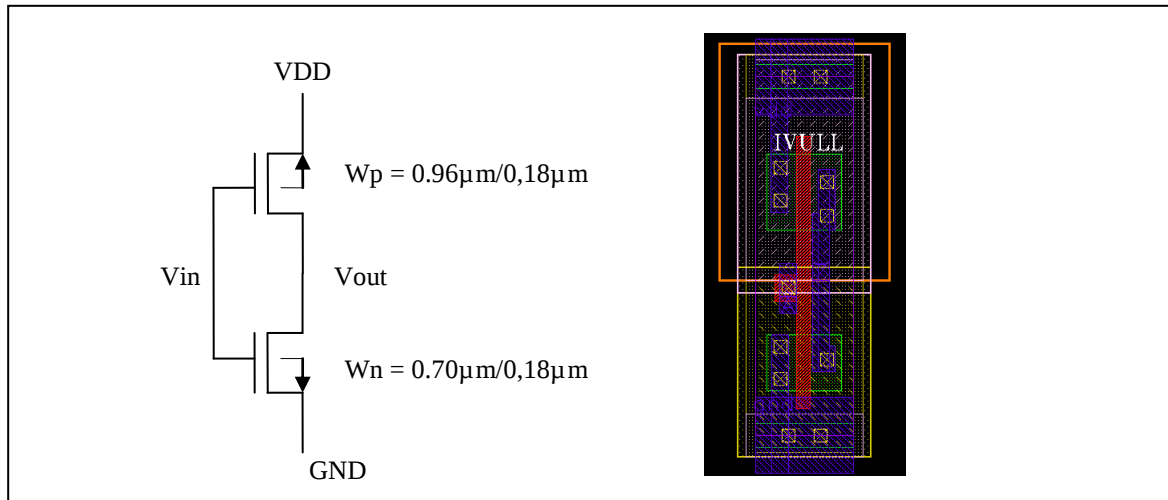


Figure 79 : **Inverseur élémentaire**

Cette structure de test est un inverseur dit équilibré, constitué d'un transistor NMOS ($W_n=0,7\mu\text{m}/L_n=0,18\mu\text{m}$) et d'un transistor PMOS ($W_p=0,96\mu\text{m}/L_p=0,18\mu\text{m}$).

En fonction des analyses effectuées, les paramètres physiques du laser pourront varier : laser continu ou laser pulsé, différentes localisations de l'impact (la surface du faisceau interagira avec l'un ou l'autre des transistors ou avec les deux).

2.1 Rappels théoriques sur les caractéristiques statiques et dynamiques d'un inverseur CMOS

Puisque nous allons étudier en détail l'impact d'un laser sur les caractéristiques statiques et dynamiques d'un inverseur CMOS, nous avons jugé utile de rappeler en introduction ses propriétés sans illumination

2.1.1 Analyse statique

Quand la tension d'entrée est à l'état bas :

$V_{in} < V_{tn}$: le transistor NMOS est bloqué, le transistor PMOS est quant à lui en zone linéaire et la sortie est tirée vers Vdd.

$V_{in} < V_{out}$, $V_{in} > V_{tn}$: le transistor NMOS est saturé, un courant important circule au sein de la structure, le transistor PMOS est en zone linéaire. La tension de sortie diminue, tirée vers 0 par le courant circulant à travers le transistor NMOS. La tension de sortie se stabilise alors dans le rapport des impédances obtenu avec les transistors NMOS et PMOS.

Quand $V_{in} = V_{out} \sim 0,5 \times V_{dd}$: les transistors NMOS et PMOS sont tous les deux saturés. Le courant de drain maximum circule quand la tension d'entrée est égale à la tension de sortie.

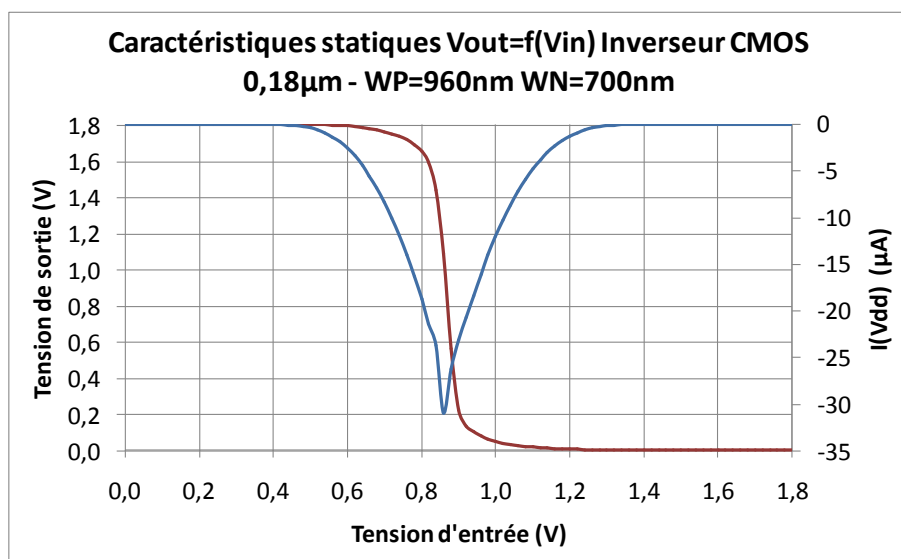


Figure 80 : Caractéristiques statiques $V_{out}=f(V_{in})$ d'un inverseur

Quand la tension d'entrée est à l'état haut :

$V_{in} > V_{out}$: $V_{in} < V_{dd} - V_{tp}$: le transistor NMOS est en zone linéaire, le transistor PMOS est saturé. La tension de sortie continue de diminuer, tirée vers 0 par le courant circulant à travers le transistor NMOS. La tension de sortie se stabilise alors dans le rapport des impédances obtenu avec les transistors NMOS et PMOS.

$V_{in} > V_{dd} - V_{tp}$: le transistor NMOS est en zone linéaire, le transistor PMOS est bloqué. La tension de sortie est à 0.

Le seuil de basculement V_{SW} est un point important à souligner. Il correspond sur la courbe des caractéristiques de transfert au moment où le signal d'entrée est égal au signal de sortie.

Les deux transistors PMOS et NMOS sont tous les deux saturés et leur courant de drain sont égaux puisque les deux transistors sont en série. Ainsi, on peut écrire:

$$I_{D(N)} = \frac{\mu_N \cdot C_{ox}}{2} \cdot \frac{W}{L} (V_{gsN} - V_{TN})^2 = \frac{\beta_N}{2} (V_{gsN} - V_{TN})^2 = I_{D(P)} = \frac{\beta_P}{2} (V_{sgP} - |V_{TP}|)^2$$

$$\frac{\beta_N}{2} (V_{SW} - V_{TN})^2 = I_{D(P)} = \frac{\beta_P}{2} (V_{DD} - V_{SW} - |V_{TP}|)^2$$

Soit $\sqrt{\frac{\beta_N}{\beta_P}} \cdot (V_{SW} - V_{TN}) = V_{DD} - V_{SW} - |V_{TP}|$

D'où une tension de basculement égale à :

$$V_{SW} = \frac{V_{DD} - |V_{TP}| + V_{TN} \cdot \sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}}$$

Dans le cas où l'inverseur est équilibré, soit $\beta_N = \beta_P$, le seuil de basculement est égale à :

$$V_{SW} = \frac{V_{DD} - |V_{TP}| + V_{TN}}{1+1} = \frac{V_{DD}}{2} \text{ (si } V_{TP} = V_{TN} \text{)}$$

2.1.2 Analyse dynamique

Le comportement dynamique se traduit par la détermination du temps de propagation du signal de l'entrée vers la sortie. On utilise le délai de propagation t_p comme paramètre pour caractériser l'inverseur. Le délai de propagation est le temps nécessaire pour obtenir une variation de 50% sur la sortie. Il est dépendant du temps que la capacité de charge C_{load} met à se charger et à se décharger.

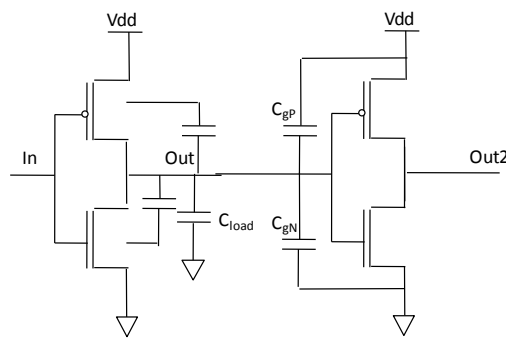


Figure 81 : Schéma d'un inverseur chargé

La capacité totale de charge de l'inverseur provient de trois sources : les capacités parasites de l'inverseur lui-même, les capacités du fil qui connecte l'inverseur à l'étage suivant et la

capacité d'entrée de l'étage suivant. La figure précédente montre les capacités parasites qui influencent le comportement dynamique de l'inverseur.

Pour calculer le délai de l'inverseur, on peut modéliser ce dernier par un circuit RC, où R est l'impédance de sortie de l'inverseur et où la capacité C est la charge.

Si la transition sur l'entrée de l'inverseur peut être considérée comme idéale (transition infiniment rapide), alors l'impédance de l'inverseur est déterminée par celle du NMOS pour sortir un 0, ou par celle du PMOS pour sortir un 1.

Si l'on ne considère que ce cas idéal, on obtient alors, pour le délai de propagation d'une transition état haut à état bas :

$$t_{pHL} = 0.69R_{ON}C_L = 0.69R_{ON(NMOS)}C_L$$

Et de façon similaire pour une transition état bas à état haut :

$$t_{pLH} = 0.69R_{ON}C_L = 0.69R_{ON(PMOS)}C_L$$

R_{ON} étant la résistance équivalente du transistor NMOS ou PMOS à l'état passant.

Le délai de propagation de l'inverseur est donc égal à :

$$t_p = \frac{1}{2}(t_{pHL} + t_{pLH}) = 0.69 \frac{R_{ON(NMOS)} + R_{ON(PMOS)}}{2} C_L$$

Par contre, si cette transition sur l'entrée est longue comparativement à celle sur la sortie, alors l'impédance de l'inverseur varie durant la commutation de celui-ci et dépend du rapport des impédances entre le NMOS et le PMOS en fonction de la tension sur l'entrée.

2.2 Comportement d'un inverseur dont seul le NMOS est impacté

La structure étudiée dans ce chapitre est un inverseur CMOS de la technologie STMicroelectronics 0,18 μ m, dont la taille du NMOS est de $W_n=0.7\mu$ m et celle du PMOS est de $W_p=0.96\mu$ m. La longueur du canal est minimum $L_n=L_p=0.18\mu$ m. Cet inverseur est suivi d'un autre inverseur qui lui est non illuminé. Dans certain cas, un troisième inverseur pourra être utilisé pour montrer l'impact du laser sur la chaîne d'inverseur. La sortie globale est analysée.

Pour une meilleure correspondance avec la réalité, les capacités de charge ont été extraites à partir d'un layout réel de notre structure d'analyse. Le circuit que nous simulons donc est illustré ci-dessous :

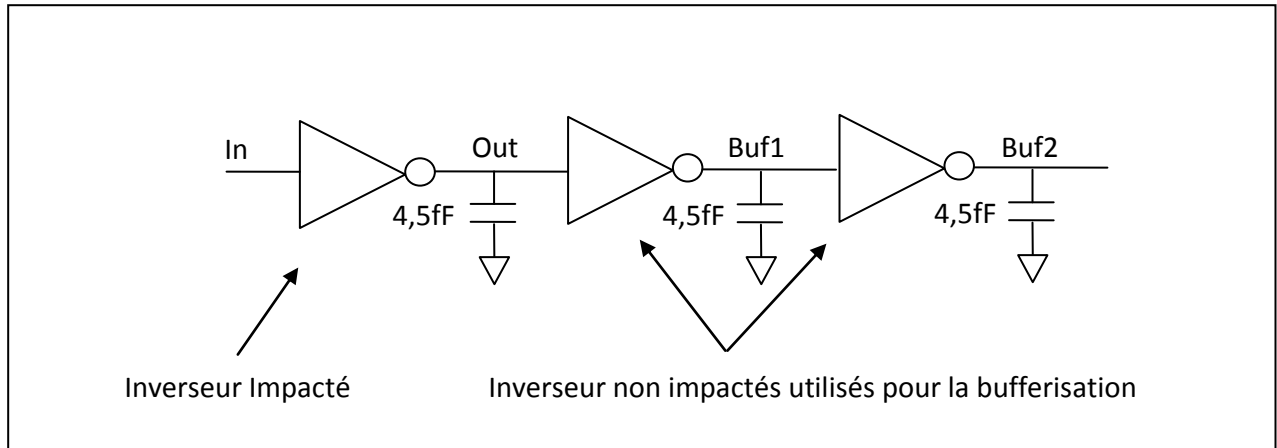


Figure 82 : **Schéma pris en compte durant la simulation**

Le premier inverseur est impacté, les deux suivants ne servent qu'à « buffériser » la sortie et à montrer les effets potentiels du laser sur la chaîne non impactée par le laser.

Dans ce paragraphe, seul le NMOS du premier inverseur CMOS est impacté par le laser.

2.2.1 Extraction géométrique du layout des transistors impactés

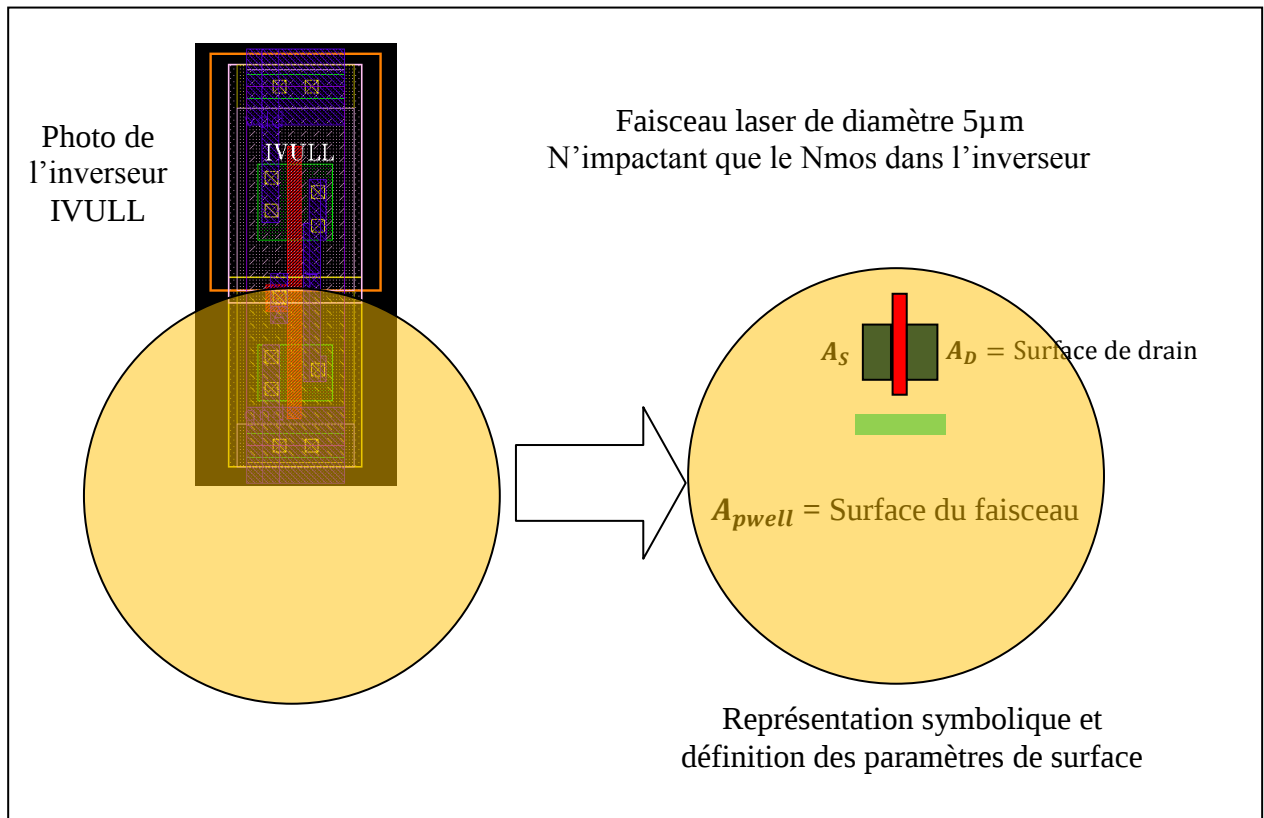


Figure 83 : Layout d'un inverseur dont seul le NMOS est impacté

- La surface du drain :

$$A_{DN} = 0,7 \times 0,39 = 0.273 \mu\text{m}^2$$

- La surface de la source :

$$A_{SN} = 0,7 \times 0,37 = 0.259 \mu\text{m}^2$$

- La surface du substrat (Pwell) :

$$A_{pwell} = 19.6 \mu\text{m}^2$$

2.2.2 Schéma équivalent et netlist électrique à simuler

Durant l'impact laser, le schéma équivalent de l'inverseur devient :

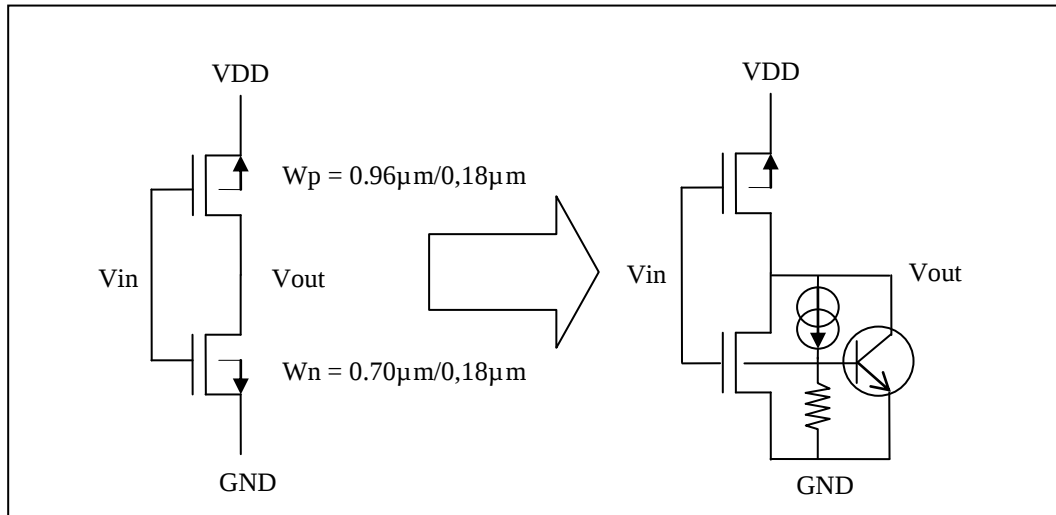


Figure 84 : Schéma équivalent

```

XMN01 ND NG GND b_nn01 ENLLMM9JU W=0.7u L=0.18u
XMP01 ND NG VDD VDD EPLLMM9JU W=0.96u L=0.18u
Rsub_nn01 b_nn01 GND 500
Qlat_nn01 ND b_nn01 GND Qlat_nn01
Gmultd_nn01 ND b_nn01 POLY(2) ampd_nn01 GND Itd_nn01 GND 0 000 'P3__nn01(Iphglobal_NUL)'
Itd_nn01 GND Itd_nn01 'P1__nn01(Iphglobal_NUL)'
Rtd_nn01 Itd_nn01 GND 100
Gampd_nn01 GND switchd_nn01 ND b_nn01 'P2__nn01(Iphglobal_NUL)'
RRswitchd_nn01 switchd_nn01 GND 100k
YPd_nn01vswitch PIN: switchd_nn01 ampd_nn01 ND b_nn01 PARAM: MODEL: MyModel
Rampd_nn01 ampd_nn01 GND 100

```

Figure 85 : Netlist de l'inverseur impacté à simuler

2.2.3 Conséquences de l'impact laser sur les caractéristiques statiques

Nous avons donc dans un premier temps étudié la caractéristique statique du premier inverseur CMOS dont le NMOS seulement est impacté par différents potentiels photoélectriques(PP) de laser, c'est-à-dire l'évolution de sa tension de sortie en fonction du signal d'entrée :

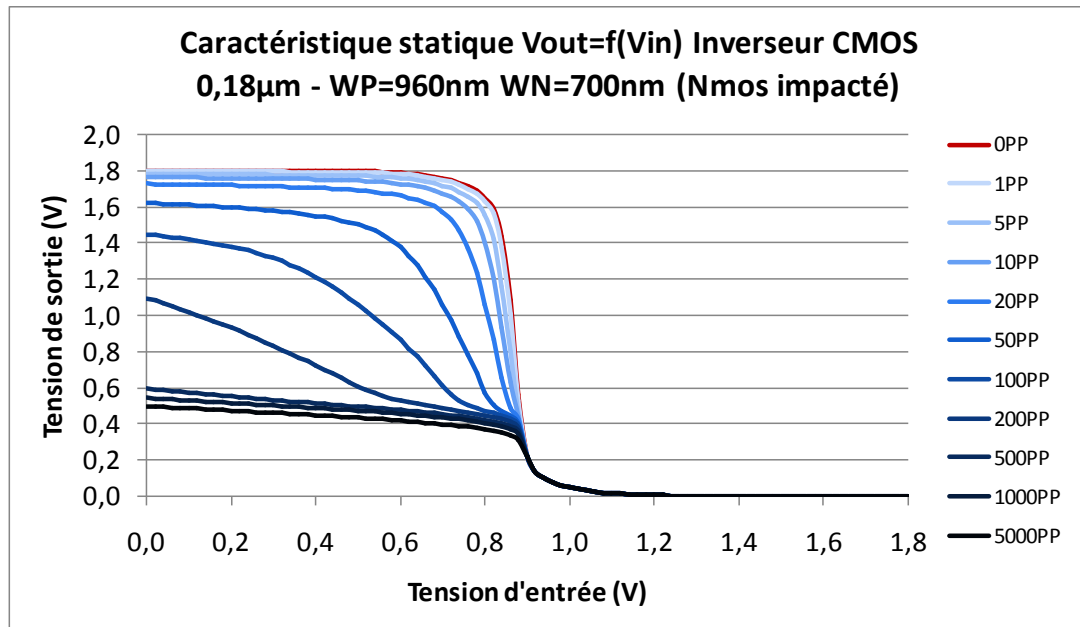


Figure 86 : Caractéristique statique $V_{out}=f(V_{in})$ d'un inverseur dont le NMOS est impacté

Deux zones principales sont à observer :

- La partie de gauche.

Elle correspond au cas où la tension sur l'entrée de l'inverseur est inférieure au seuil de l'inverseur.

La caractéristique originelle est celle en rouge (0PP). Dans celle-ci le NMOS est soit bloqué, soit saturé mais avec une impédance tellement élevée que l'impédance du PMOS est suffisamment faible pour faire basculer l'inverseur en sortie à 1.

Cette configuration correspond aussi à celle où le potentiel est le plus important sur le drain du transistor NMOS (V_{ds} élevé), puisque le PMOS tire la sortie à 1.

En conséquence de quoi, lorsque le transistor NMOS est illuminé, un photocourant peut-être généré. Celui-ci sera comme on l'a vu précédemment d'autant plus important que le potentiel photoélectrique (PP) sera élevé.

Dans cette zone donc, deux principales contributions vont alors s'opposer : le courant d'offset du NMOS dû à l'impact laser et le courant du PMOS. Un point d'équilibre est alors trouvé. Il correspond au rapport des forces entre le photocourant et l'impédance du PMOS, impédance qui elle dépend de la tension en entrée. Ainsi l'impact laser sur le transistor NMOS aura pour effet de diminuer le potentiel de la tension en sortie. Lorsque le potentiel photoélectrique est élevé, on observe un effet de saturation correspondant au seuil de tension nécessaire à appliquer sur la jonction pour déclencher le photocourant. Ce seuil est de 0.4V avec les paramètres par défaut de notre modèle.

- La partie de droite

Elle correspond au cas où la tension sur l'entrée de l'inverseur est supérieure au seuil de l'inverseur.

La caractéristique originelle est celle en rouge (0PP). Dans celle-ci le PMOS est soit bloqué, soit saturé mais avec une impédance équivalente telle que l'impédance du NMOS est suffisamment faible pour faire basculer l'inverseur en sortie à 0.

Cette configuration correspond aussi à celle où le potentiel est le plus faible sur le drain du transistor NMOS (V_{ds} faible), puisque le NMOS tire la sortie à 0.

En conséquence de quoi, lorsque le transistor NMOS est illuminé, aucun photocourant ne peut-être généré. La caractéristique en sortie reste inchangée.

Une analyse plus poussée des variations du courant d'alimentation permet de mieux comprendre la variation des caractéristiques de l'inverseur en fonction du potentiel photoélectrique :

La courbe en rouge ci-dessous représente le courant d'alimentation de l'inverseur bufférisé sans illumination. Comme on peut le constater, dans la partie de gauche, le transistor NMOS est bloqué et se comporte comme une impédance infinie. Dans la partie centrale, les deux transistors PMOS et NMOS sont simultanément passants, tirant ainsi un maximum de courant sur l'alimentation (ici, 25 μ A environ). Dans la partie de droite, le PMOS est bloqué.

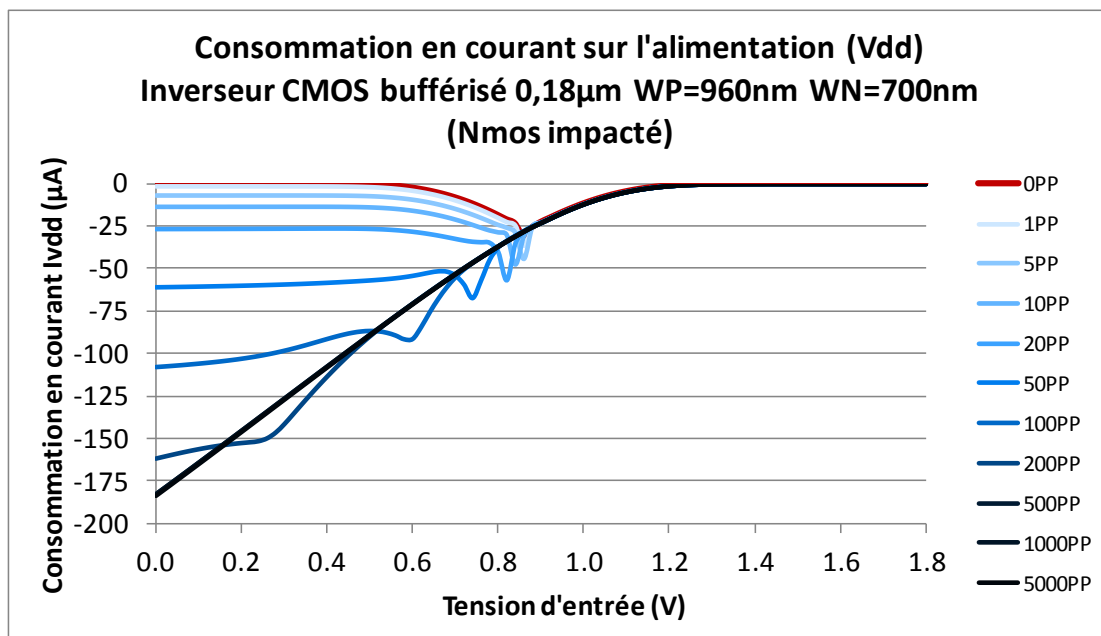


Figure 87 : Consommation $I=f(V_{in})$ d'un inverseur dont le NMOS est impacté

Lorsque le NMOS de l'inverseur est soumis à un stress laser, plus la puissance laser augmente, plus l'impédance équivalente du transistor NMOS diminue. Un photocourant est alors généré au niveau de la jonction du drain du transistor NMOS et est évacué vers la masse. Ce courant est prélevé sur l'alimentation au travers de l'impédance du PMOS. La tension de drain tend vers 0.

Le schéma équivalent représentant ce qui se passe dans la partie de gauche est illustré ci-dessous :

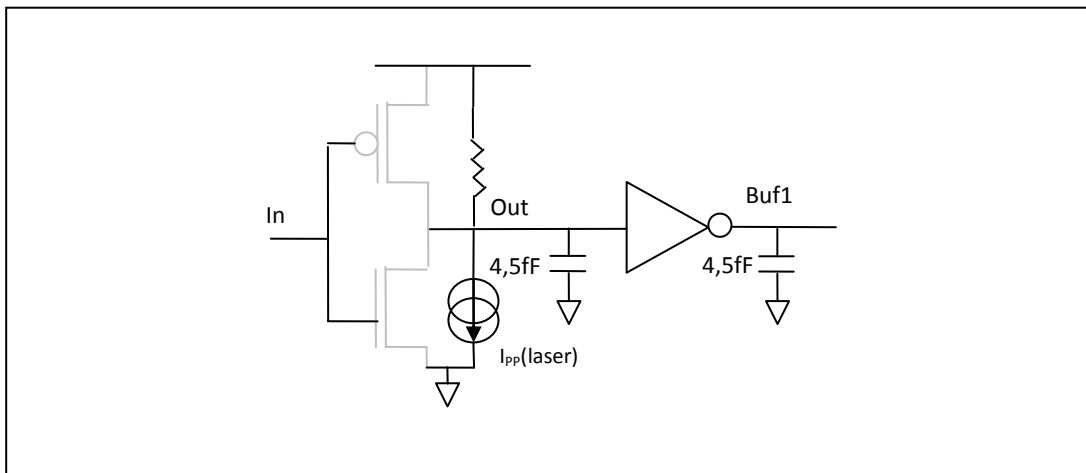


Figure 88 : **Schéma équivalent de l'inverseur lorsque la tension en entrée est faible**

Ainsi, l'impact laser sur le seul NMOS d'un inverseur, introduisant un courant d'offset vers la masse en compétition avec la caractéristique du PMOS qui elle dépend de la tension d'entrée, va, en fonction de la puissance de l'impact laser, empêcher la sortie de l'inverseur de basculer pleinement de 0V à Vdd. La tension de sortie va être directement dépendante de ce rapport de force.

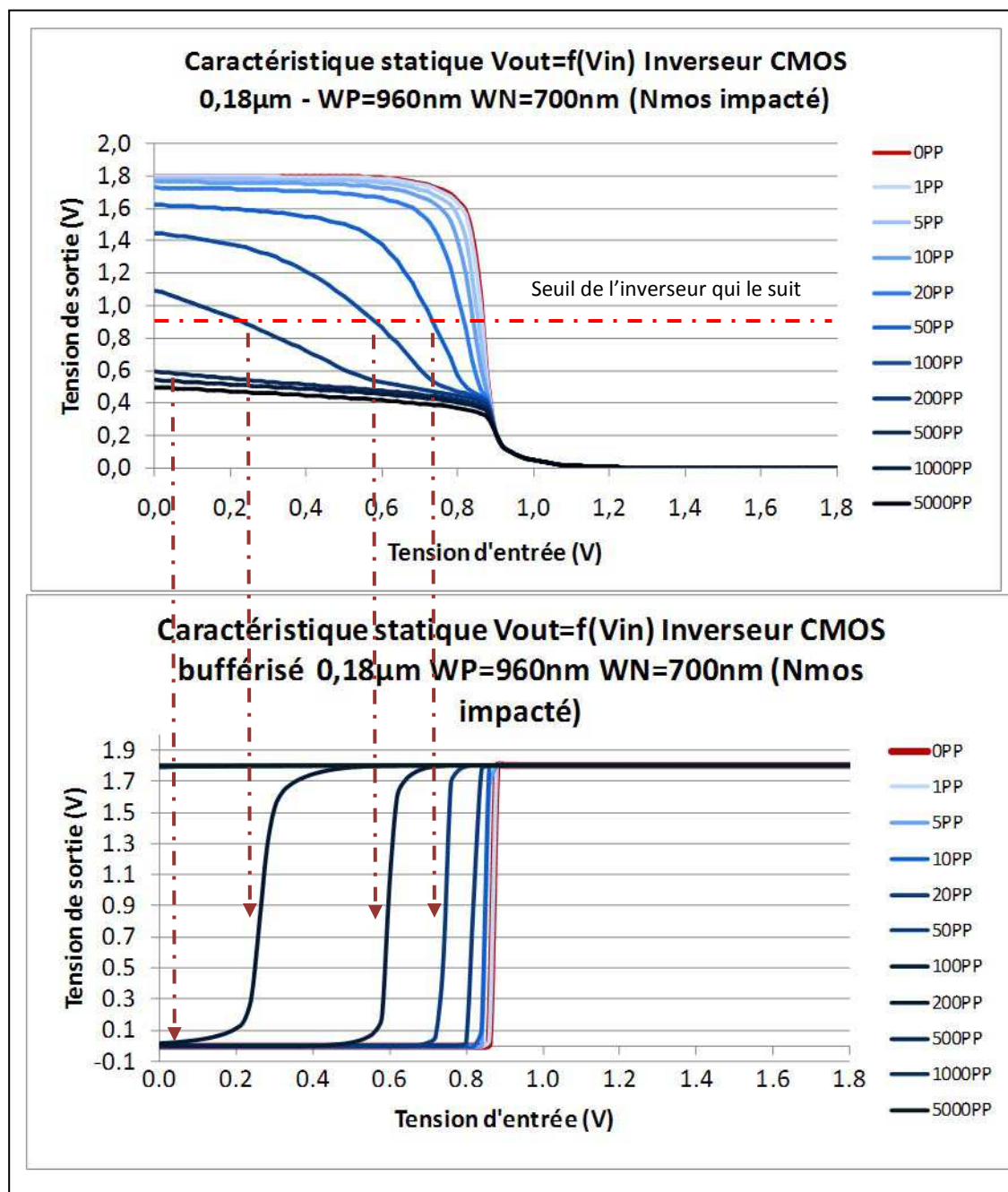


Figure 89 : Caractéristique statique $V_{out}=f(V_{in})$ du buffer

Le graphique du haut montre la tension de sortie de l'inverseur impacté en fonction de du signal d'entrée. En revanche, la courbe du bas montre la tension de sortie de l'inverseur de l'étage d'après (qui lui, n'est pas impacté), en fonction du signal d'entrée du premier inverseur.

Ainsi l'impact laser sur le NMOS d'un inverseur va transformer l'amplitude du signal de $[0 - V_{dd}]$ à $[0 - V_{dd-laser}]$ où

$$V_{DD-laser} \approx V_{DD} - R_{pmos} \times I_{offset}$$

Par contre, puisque le laser n'impacte pas l'étage en sortie de l'inverseur, celui-ci garde son seuil non modifié et proche de $\frac{V_{DD}}{2}$.

Finalement, globalement, comme on peut le voir sur la figure précédente, tout revient à modifier le seuil de basculement du buffer (chaîne de deux inverseurs dont le premier étage voit son transistor NMOS impacté).

Enfin, si jamais la puissance laser est trop importante, l'amplitude du signal sortant du premier inverseur peut-être trop faible pour atteindre le seuil de basculement de la porte digitale non impactée qu'elle commande. La donnée n'est alors plus propagée. Une faute fonctionnelle est générée.

En conclusion, lorsque seul le transistor NMOS d'un inverseur CMOS est illuminé, à partir d'un certain seuil de potentiel photoélectrique, un signal d'entrée à 0 est une valeur dite sensible.

2.2.4 Conséquences de l'impact laser sur les caractéristiques dynamiques

La même chaîne de trois inverseurs que pour l'analyse de l'impact sur les caractéristiques statiques est étudiée dans ce paragraphe. Seul le NMOS du premier étage est impacté.

Dans le cadre d'une analyse dynamique, nous avons utilisé en simulation un laser de type pulsé ayant une durée d'impulsion de 10ns.

Les temps de propagation seront analysés ainsi que la consommation du circuit.

2.2.4.1 Impact laser sur un niveau stable à « 1 »

Lorsque la sortie de l'inverseur est dans un niveau stable à « 1 », l'impact laser sur le seul transistor NMOS de cet inverseur reproduit les caractéristiques déjà observées durant l'analyse statique.

En effet, la sortie de l'inverseur voit l'amplitude de son signal d'autant plus réduite que le potentiel photoélectrique est important durant le temps d'impact (10ns).

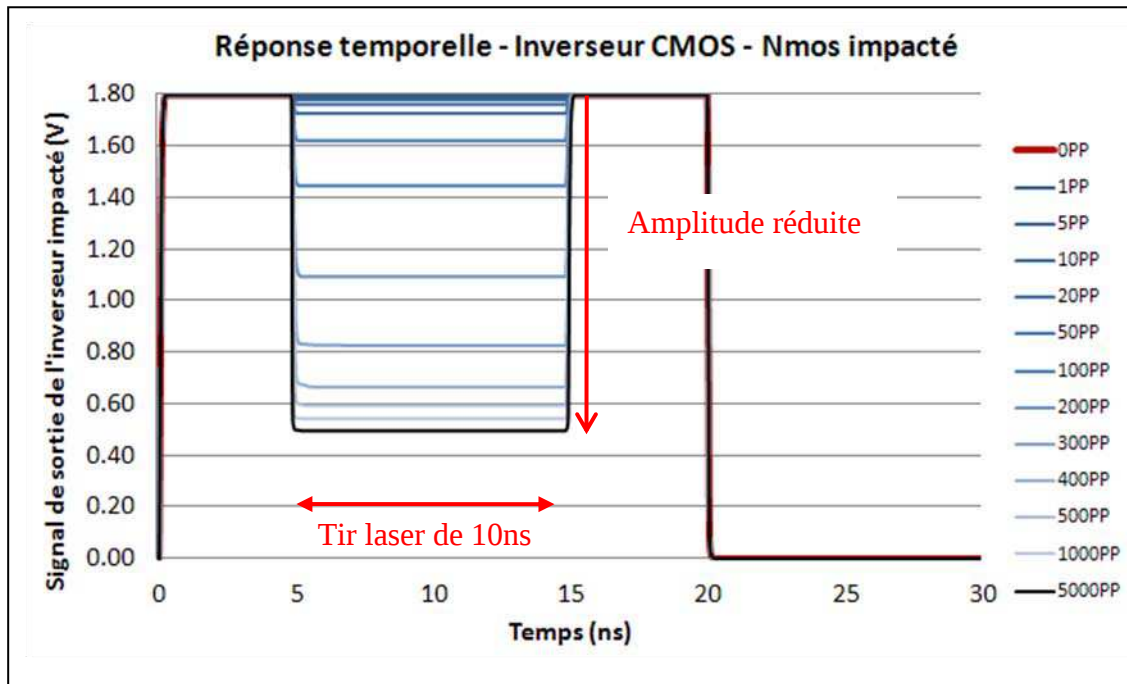


Figure 90 : Sortie de l'inverseur dont seul le NMOS est impacté

En sortie du buffer, un impact supérieur à 300PP entraîne une faute fonctionnelle. Un « 1 » de 10ns apparaît dans le signal d'origine. Pour un impact inférieur à 300PP, le signal d'origine reste inchangé.

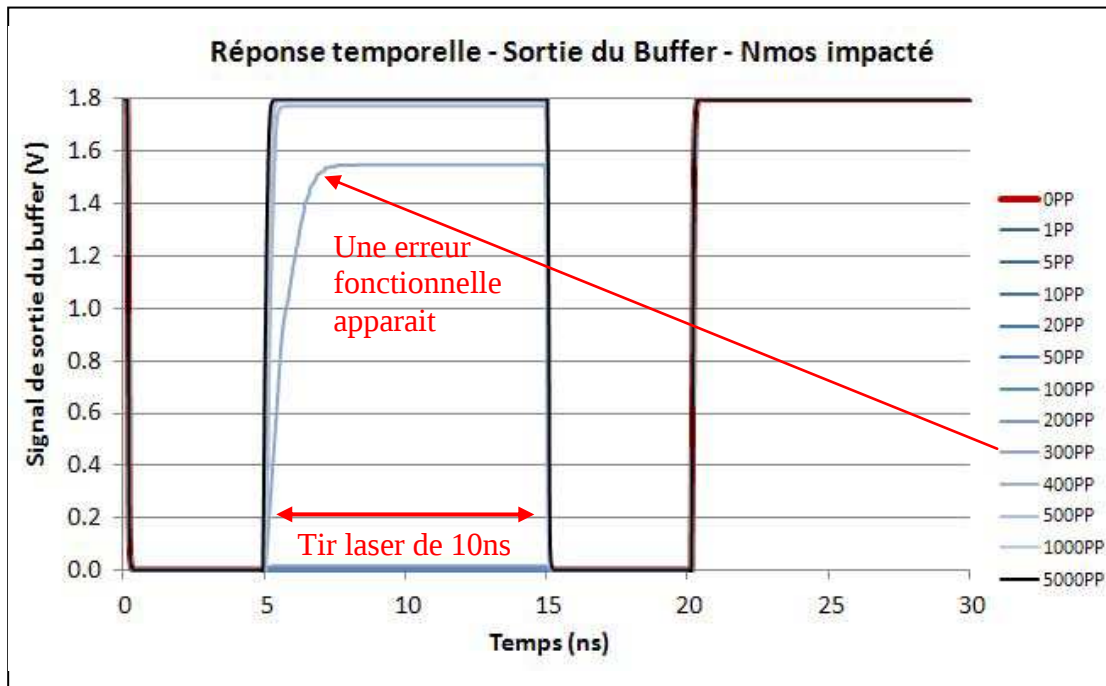


Figure 91 : Sortie du buffer dont le premier étage a le NMOS impacté

Comme attendu, durant la fenêtre de tir, une consommation apparaît sur l'alimentation. Elle est due l'offset en courant généré sur la jonction de drain du transistor PMOS et limité par l'impédance du PMOS qui est passant.

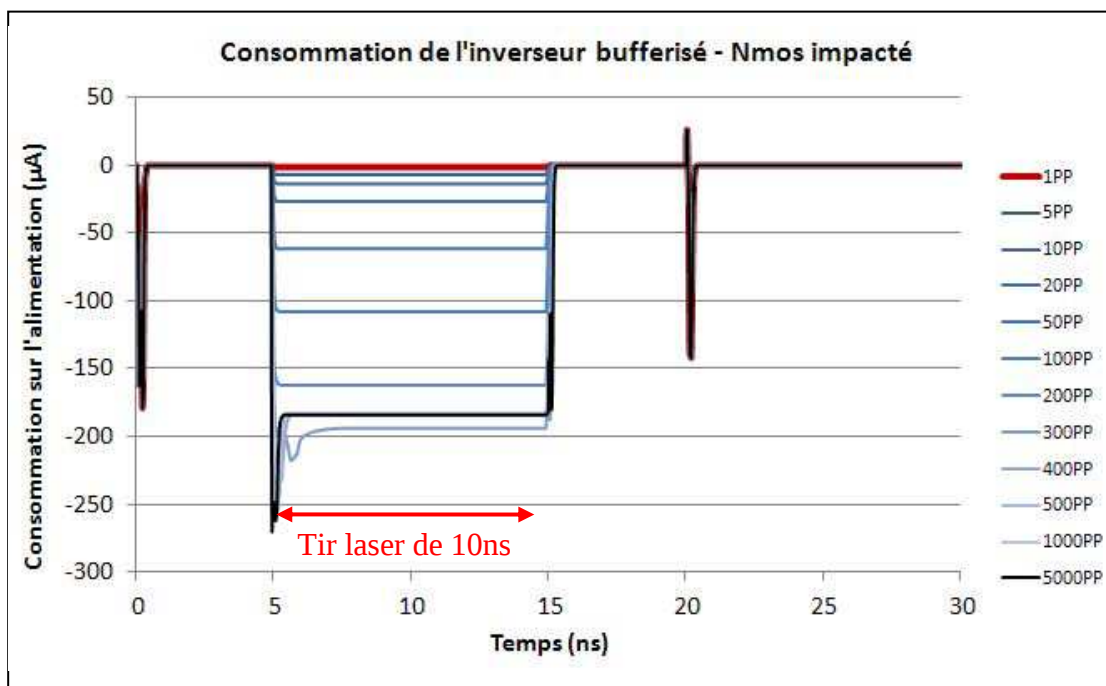


Figure 92 : Consommation du circuit –NMOS du 1er inverseur impacté

2.2.4.2 Impact laser sur un niveau stable à « 0 »

Lorsque la sortie de l'inverseur est dans un niveau stable à 0, l'impact laser sur le seul transistor NMOS de cet inverseur ne produit aucun effet notable.

2.2.4.3 Impact laser durant une transition montante de « 0 » vers « 1 »

L'impact laser a lieu cette fois ci entre la 18^{ème} et la 28^{ème} nanoseconde, afin de couvrir le front montant du signal de sortie du premier inverseur de la chaîne, dont le NMOS est impacté.

Comme précédemment, on peut observer que le principal impact sur la sortie du premier inverseur est la réduction de l'amplitude du signal qui va attaquer le deuxième étage.

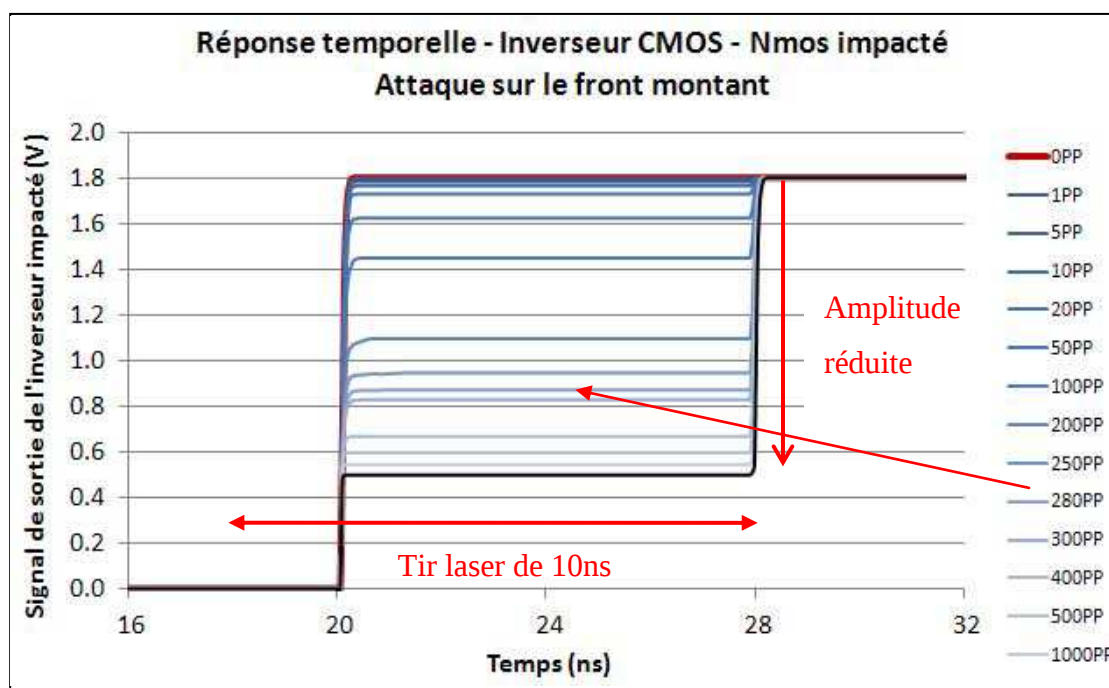


Figure 93 : Sortie de l'inverseur dont seul le NMOS est impacté

Par contre, alors que la seule conséquence sur un état stable à 1, est la possible introduction d'une erreur fonctionnelle, les conséquences sont toutes autres sur un front montant. En effet, il n'est plus seulement question d'une notion de seuil à dépasser pour générer une faute. Dans le cas du front montant, la palette des amplitudes générées en sortie du premier inverseur introduit une large gamme d'impact temporel, sans pour autant générer d'erreur fonctionnel. On peut ainsi observer trois zones principales.

A faible potentiel photoélectrique, l'amplitude du signal en entrée du 2^{ème} étage est légèrement plus faible. Ceci impacte très légèrement les caractéristiques du PMOS lorsque celui-ci est passant. Les conséquences de cet impact seront un ralentissement de la pente du signal en sortie, entraînant un retard comparativement au signal sans impact laser. La pente est d'autant plus accentuée que la charge est élevée (ici 4,5fF dans notre cas réel). Ainsi plus la charge est élevée, plus l'impact laser à même potentiel photoélectrique introduit un retard plus important.

A plus fort potentiel photoélectrique, comme ici aux alentours de 280PP, et d'autant plus que l'amplitude du signal en sortie dépasse très légèrement le seuil de basculement de la porte qui le suit, le délai est plus prononcé. Le cas de 280PP est particulièrement démonstratif. L'amplitude générée en sortie du premier inverseur est suffisante pour faire basculer le 2nd étage, mais elle est si proche du seuil de celui-ci que le deuxième étage met un temps considérable au regard des vitesses des signaux pour permettre le basculement.

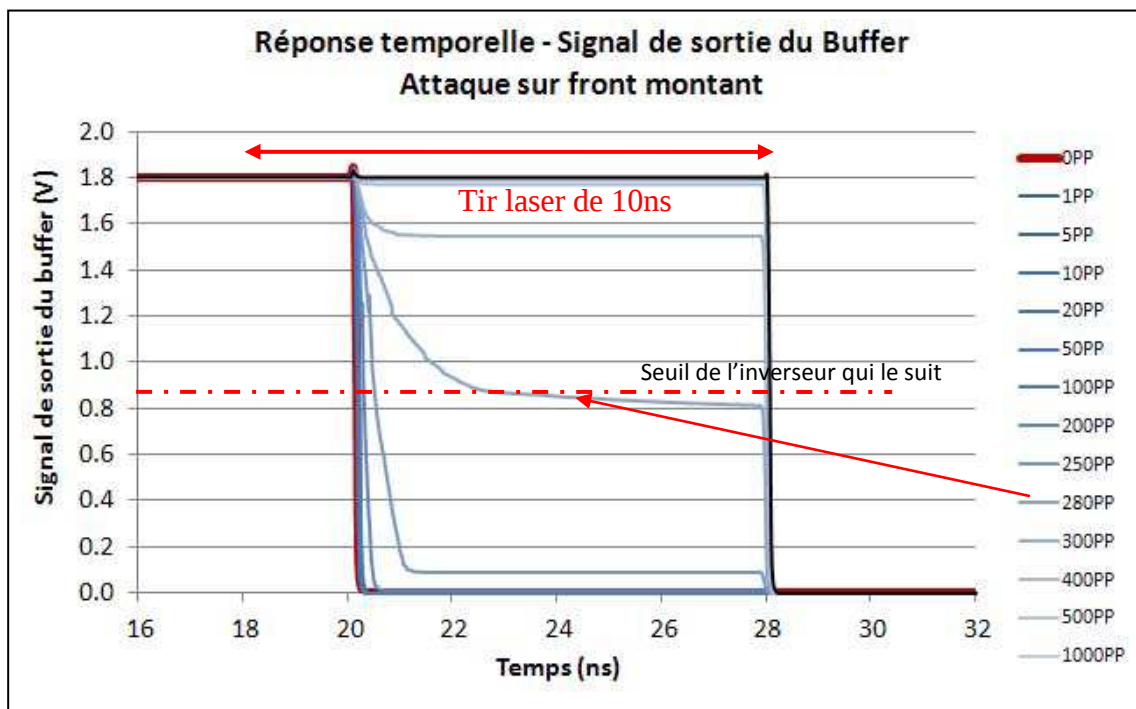


Figure 94 : Sortie du buffer dont le premier étage a le NMOS impacté

Bien plus si l'on regarde la figure suivante correspondant au troisième étage de la chaîne d'inverseurs, on voit que cet impact continue à se propager.

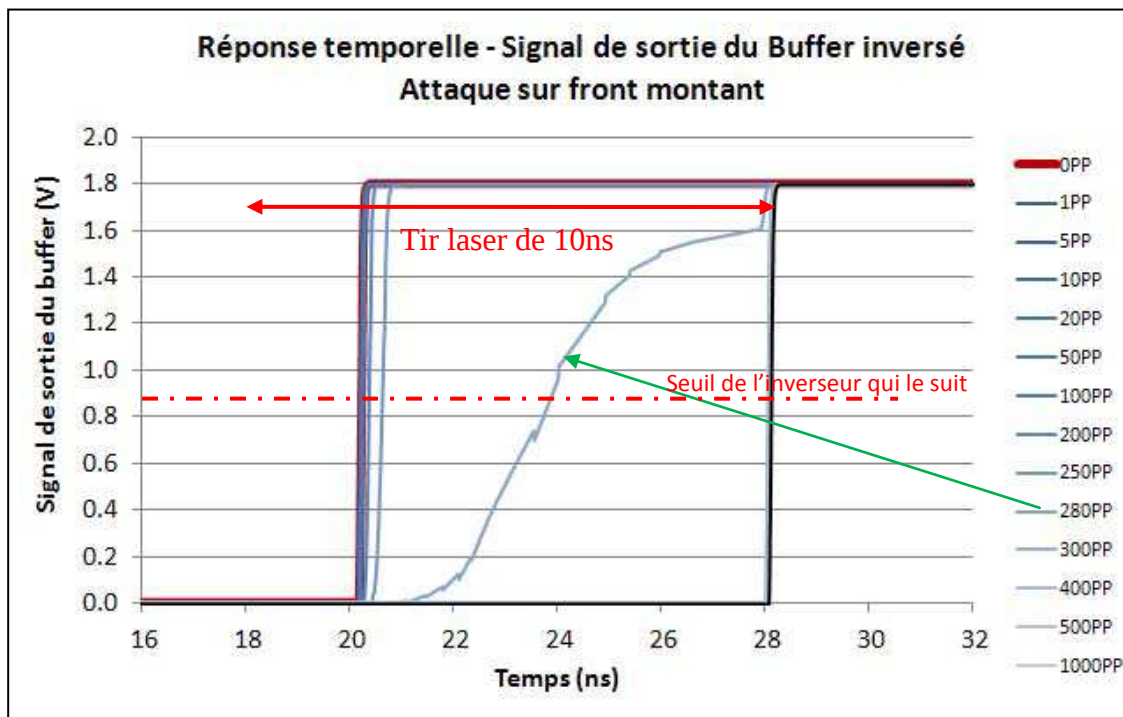


Figure 95 : **Sortie du buffer inversé- Le premier étage a le NMOS impacté**

Enfin, a très fort potentiel photoélectrique, l'amplitude du signal en sortie du premier inverseur est trop faible, le signal ne réussissant pas à se propager. L'information est alors relâchée lorsque le laser stop. Le retard correspond alors pleinement au chevauchement du laser.

Voici les délais de propagation extraits sur cette chaîne d'inverseur dont seul le NMOS du premier inverseur est impacté.

Potentiel photoélectrique	Délai de propagation (50%-50%) entre l'entrée et...	
	Sortie du 1 ^{er} étage Front descendant - Montant	Sortie du 2 ^{ème} étage Front descendant - descendant
0PP	71,3ps	129,3ps
1PP	71,4ps (+0,1ps)	129,6ps (+0,3ps)
5PP	71,7ps (+0,4ps)	130,5ps (+1,2ps)
10PP	72ps (+0,7ps)	131,6ps (+2,3ps)
20PP	72,8ps (+1,5ps)	134ps (+4,7ps)
50PP	75,3ps (+4ps)	142,2ps (+12,9ps)
100PP	80,5ps (+9,2ps)	160,5ps (+31,2ps)

200PP	103,3ps (+32ps)	247,4ps (+118,1ps)
250PP	150,2ps (+78,9ps)	440ps (+310,7ps)
280PP	7,87ns	2,14ns (+2,01ns)
300PP	7,88ns	7,95ns
400PP	7,91ns	7,98ns
500PP	7,92ns	7,99ns
1000PP	7,95ns	8ns
5000PP	7,96ns	8,02ns

Figure 96 : **Table recensant les délais de propagation dont seul le NMOS du premier inverseur est illuminé (Front montant)**

Enfin, l'impact sur la consommation reste similaire aux caractéristiques statiques. Une surconsommation apparaît tout de même sur les courbes correspondant au cas particulier où les amplitudes dépassent très légèrement le seuil. En effet, comme on peut le voir avec le cas de 280PP, l'amplitude en sortie du premier inverseur étant proche du seuil de basculement du 2^{ème} étage, outre la consommation du premier étage du fait de l'impact laser, on peut considérer que le deuxième étage est dans une situation de conduction simultanée où le NMOS et le PMOS sont tous les 2 passants. Bien plus, on peut observer sur la sortie du 2^{ème} étage que le signal va lui aussi rester longtemps aux alentours du seuil de basculement du 3^{ème} étage. On peut alors cumuler aussi pendant le laps de temps où ce phénomène se produit, la conduction simultanée du troisième étage.

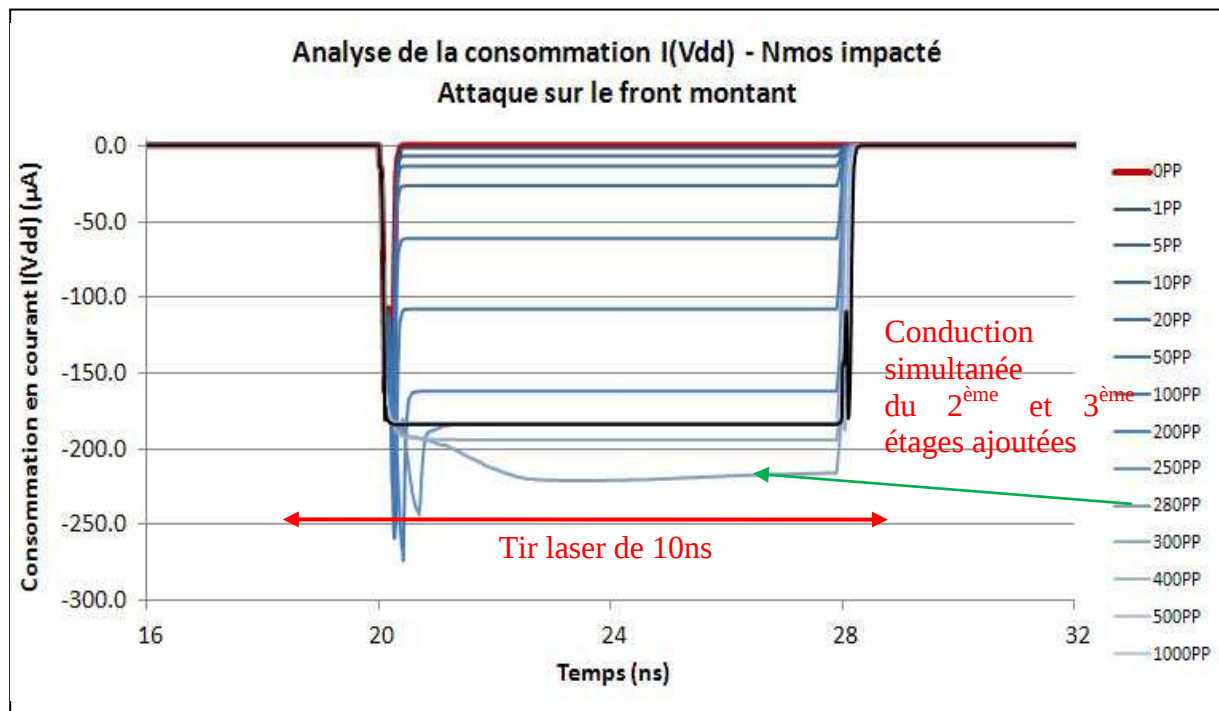


Figure 97 : **Consommation du circuit - NMOS du 1er inverseur impacté**

En fait, plus l'amplitude du signal en sortie du premier étage va approcher de ce seuil de basculement, plus cet effet va se propager cumulant délai et consommation.

2.2.4.4 Impact laser durant une transition descendante de « 1 » vers « 0 »

Sur la figure suivante, l'impact laser a lieu ici aussi entre la 18^{ème} et la 28^{ème} nanoseconde, afin de couvrir le front descendant du signal de sortie du premier inverseur de la chaîne, dont le NMOS est impacté.

On peut alors observer que le principal impact sur la sortie du premier inverseur est la réduction de l'amplitude du signal qui va attaquer le deuxième étage.

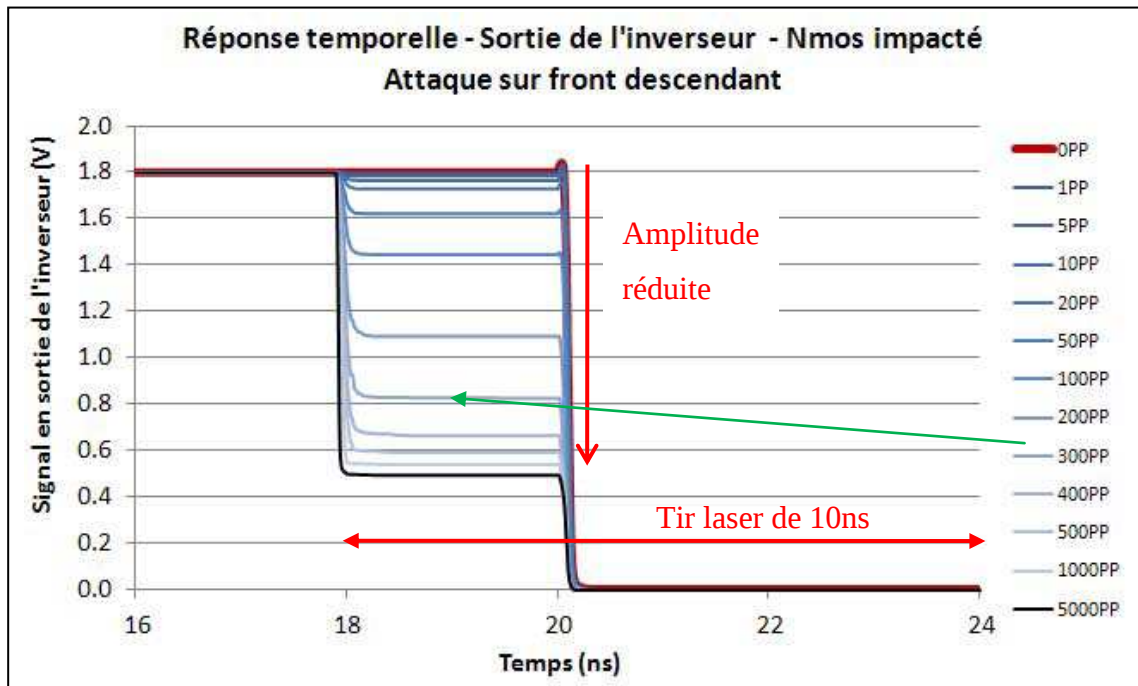


Figure 98 : Sortie de l'inverseur dont seul le NMOS est impacté

Comme dans le cas du front montant, aucune erreur fonctionnelle n'est observable. Par contre, à l'inverse du front montant, où l'impact laser gênait la montée du signal et introduisait un retard, dans le cas du front descendant, l'offset de courant généré s'ajoutant à celui du NMOS passant, facilite sa descente.

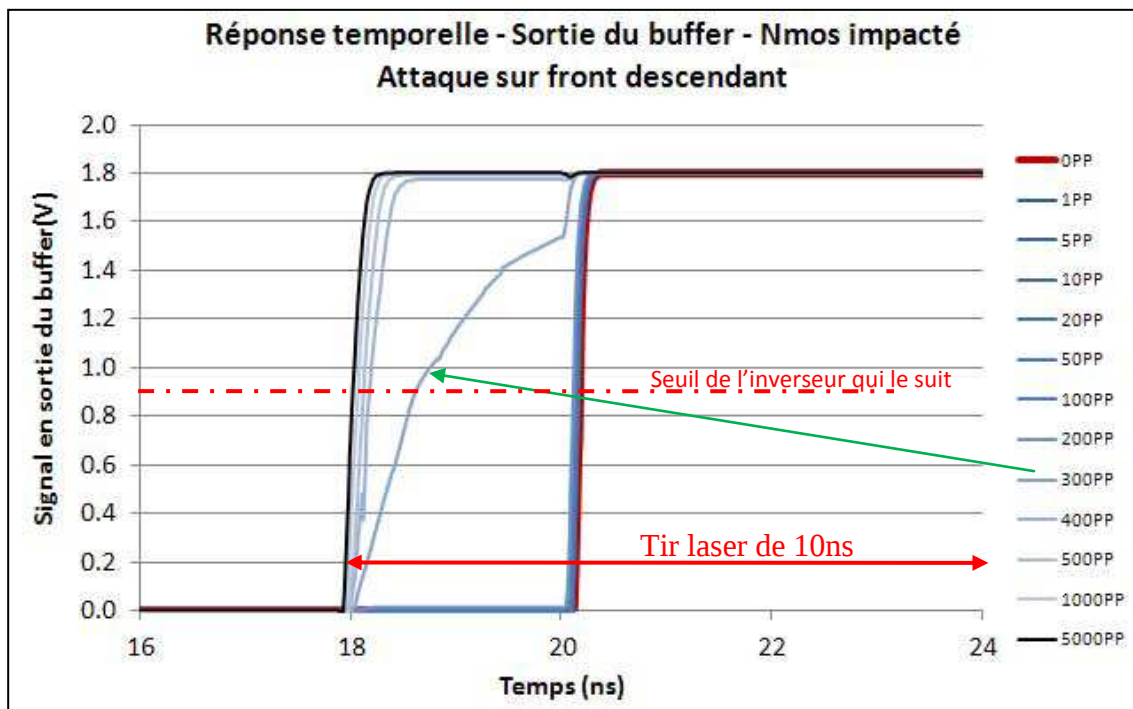


Figure 99 : Sortie du buffer dont le premier étage a le NMOS impacté

Une accélération est observable avec trois zones principales.

A faible impact, l'accélération est légère. Le front descendant reste essentiellement la conséquence du transistor NMOS qui est passant.

Lorsque le potentiel photoélectrique est suffisamment important (300PP) pour que la sortie de l'inverseur dont le NMOS est impacté dépasse à peine le seuil de basculement du second étage, le front descendant commence à être le fait du seul impact laser. Toutes les valeurs sont alors observables entre le début de l'impact (18ns) et l'instant où le NMOS va être passant (20ns).

Le potentiel photoélectrique augmentant encore, la sortie du premier étage dépasse alors clairement le seuil de basculement du 2^{ème} étage, et ce dernier peut alors basculer immédiatement. L'accélération maximum est observée correspondant au moment où l'impact laser a lieu.

Voici les délais de propagation extraits sur cette chaîne d'inverseur dont seul le NMOS du premier inverseur est impacté.

Potentiel photoélectrique	Délai de propagation (50%-50%) entre l'entrée et...	
	Sortie du 1 ^{er} étage Front montant - Descendant	Sortie du 2 ^{ème} étage Front montant - Montant
0PP	53,3ps	119,3ps
1PP	53,0ps (-0,3ps)	118,9ps (-0,4ps)
5PP	51,7ps (-1,6ps)	117,5ps (-1,8ps)
10PP	50,2ps (-3,1ps)	115,8ps (-3,5ps)
20PP	47ps (-6,3ps)	112,5ps (-6,8ps)
50PP	38ps (-15,3ps)	104ps (-15,3ps)
100PP	23,6ps (-29,7ps)	92ps (-27,3ps)
200PP	-6ps (-47,3ps)	71,1ps (-48,2ps)
300PP	-2ns	-1,43ns (-1,43ns)
400PP	-2,05ns	-1,87ns
500PP	-2,06ns	-1,92ns
1000PP	-2,09ns	-1,98ns

Figure 100 : Table recensant les délais de propagation dont seul le NMOS du premier inverseur est illuminé (Front descendant)

De même que pour l'attaque sur front montant, on retrouve sur les courbes de consommation :

- une augmentation du courant cohérente avec l'analyse statique et ne se produisant que lorsque le signal sur le drain du transistor NMOS est suffisamment importante pour permettre à un photocourant de se former sous impact laser.
- Une surconsommation due à la conduction simultanée des étages suivant l'étage impacté lorsque celui-ci sort un potentiel proche des seuils de basculement des étages suivants.

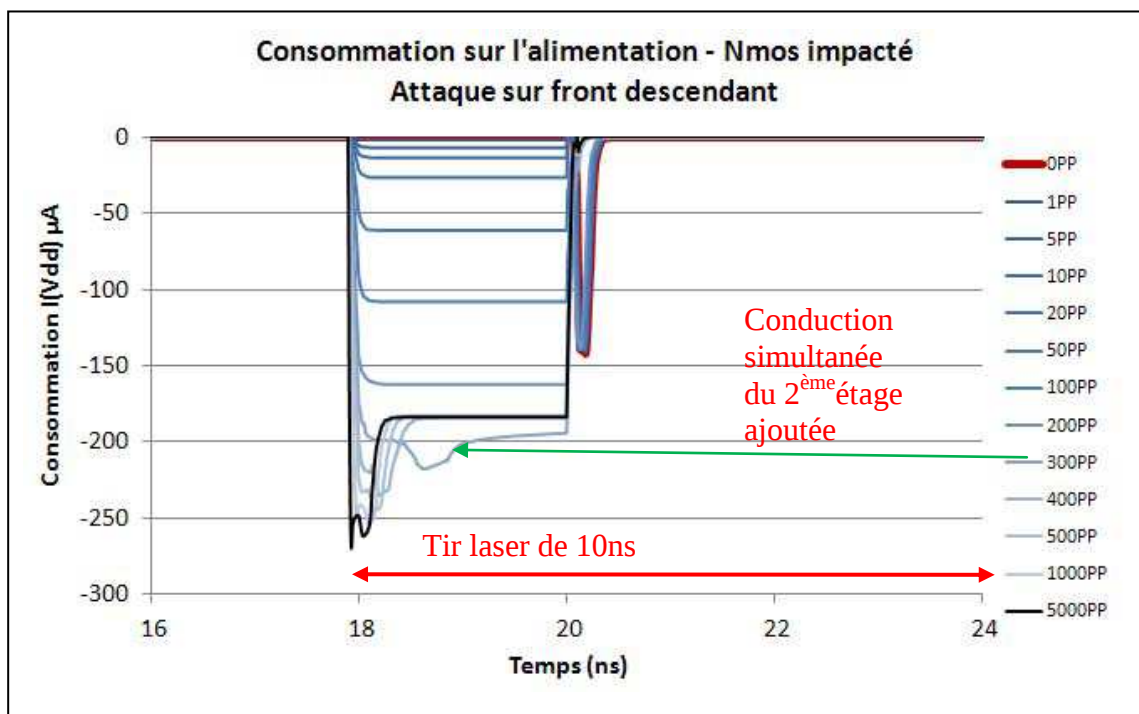


Figure 101 : Consommation du circuit - NMOS du 1er inverseur impacté

2.3 Comportement d'un inverseur dont seul le PMOS est impacté

Afin de mieux comprendre les mécanismes en jeu, lors d'un impact laser sur un transistor PMOS unique dans un inverseur, le même circuit que dans le paragraphe précédent est considéré dans ce chapitre. Par contre, à la place du NMOS, seul le PMOS du premier inverseur CMOS sera illuminé ici.

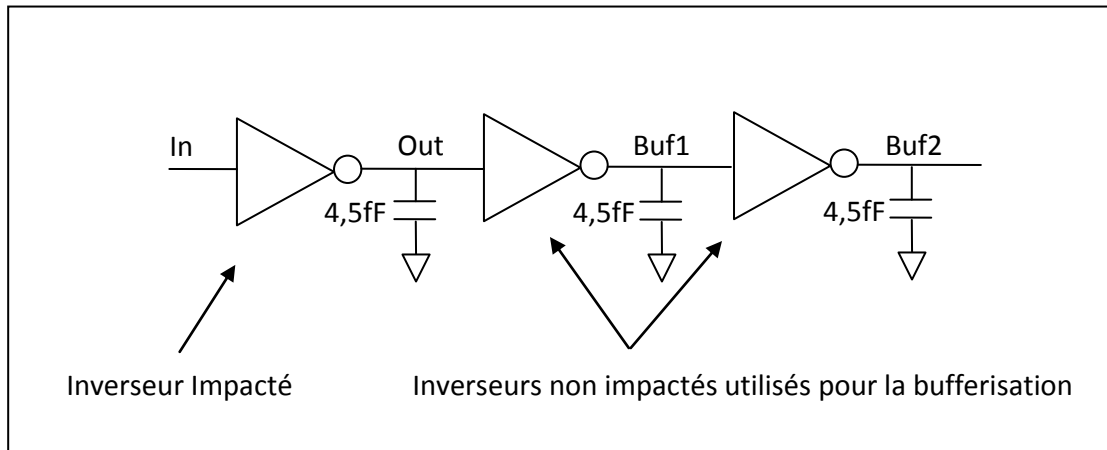


Figure 102 : Schéma pris en compte durant la simulation

2.3.1 Extraction géométrique du layout des transistors impactés

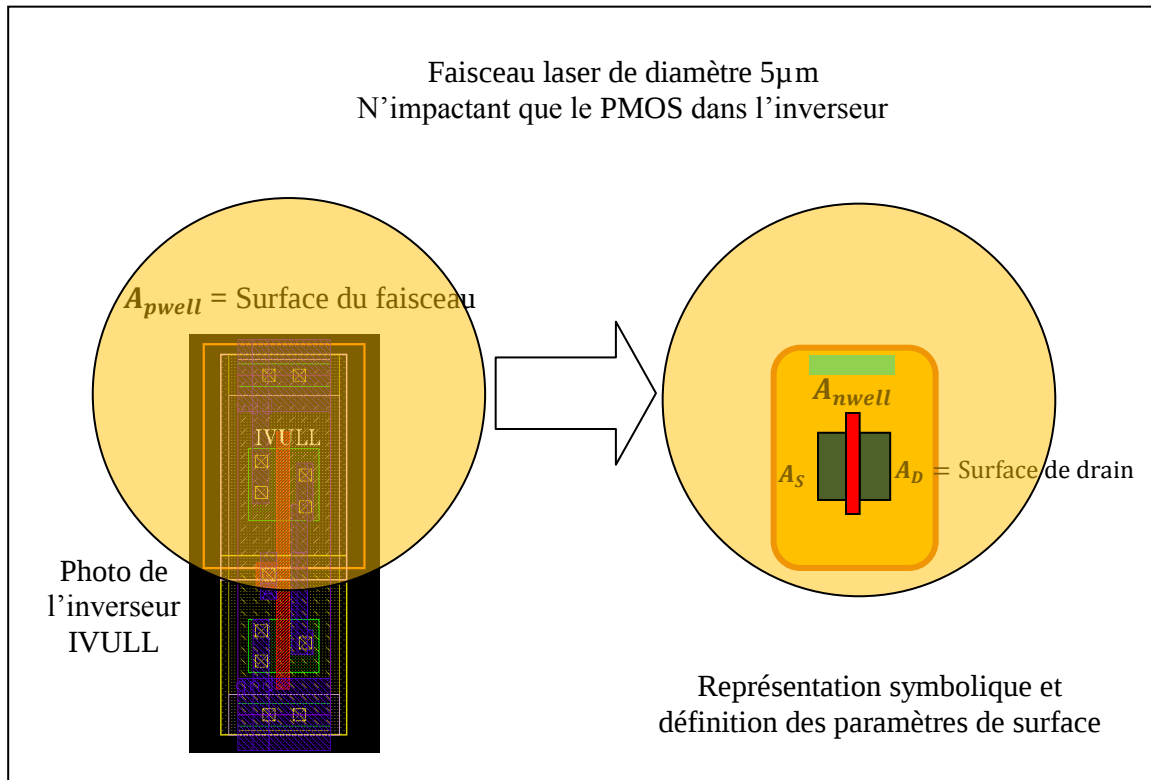


Figure 103 : Layout d'un inverseur dont seul le PMOS est impacté

- La surface du drain :

$$A_{DP} = 0,96 \times 0,39 = 0,3744 \mu\text{m}^2$$

- La surface de la source :

$$A_{SP} = 0,96 \times 0,37 = 0,3552 \mu\text{m}^2$$

- La surface du substrat (Pwell) :

$$A_{pwell} = 19,6 \mu\text{m}^2$$

- La surface A_{nwell} du Nwell illuminée :

$$A_{Nwell} = 2,66 \mu\text{m} \cdot 2,91 \mu\text{m} = 7,74 \mu\text{m}^2$$

- Le nombre de transistors PMOS illuminés :

$$\text{NbrPMOSillumes} = 1$$

2.3.2 Schéma équivalent et Netlist électrique à simuler

Durant l'impact laser, le schéma équivalent de l'inverseur devient :

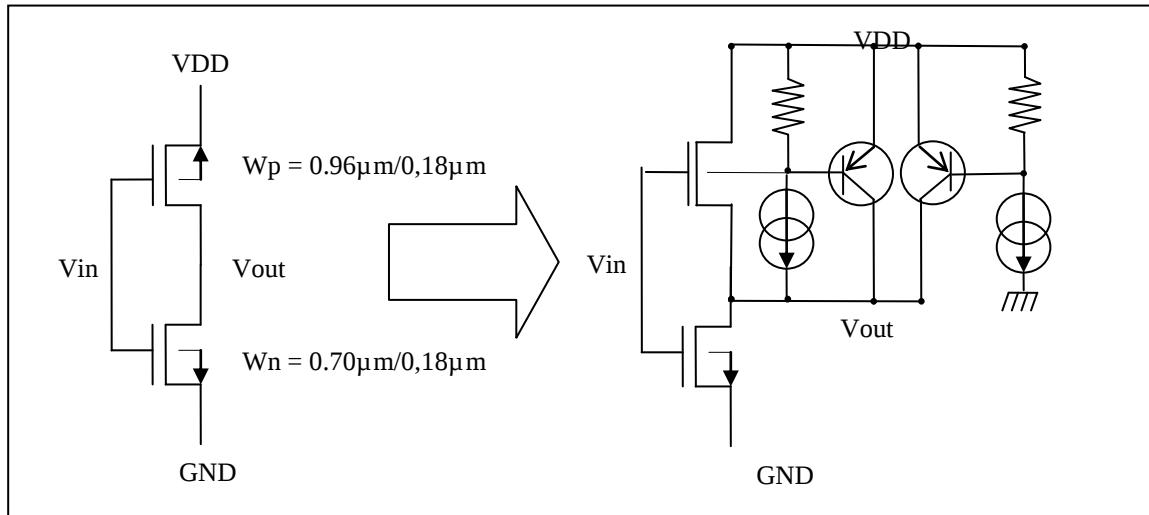


Figure 104 : Schéma équivalent

```

XMN01 ND NG GND GND ENLLMM9JU W=0.7u L=0.18u
XMP01 ND NG VDD b_pp01 EPLLMM9JU W=0.96u L=0.18u
Resbulk2_pp01 VDD b2_pp01 90
Qlat2_pp01 ND b2_pp01 VDD Qlat_pp01
Resbulk1_pp01 b2_pp01 b1_pp01 10
ItNwell_pp01 GND ItNwell_pp01 'P4_pp01(Iphglobal_NUL)'
RtNwell_pp01 ItNwell_pp01 GND 100
GampdNwell_pp01 GND switchNwell_pp01 b1_pp01 GND 'P5_pp01(Iphglobal_NUL)'
YPNwell_pp01vswitch PIN: switchNwell_pp01 ampNwell_pp01 b1_pp01 GND PARAM: MODEL: MyModelNW
RRswitchNwell_pp01 switchNwell_pp01 GND 100k
RampNwell_pp01 ampNwell_pp01 GND 100
GmultNwell_pp01b1_pp01 GND POLY(2) ampNwell_pp01 GND ItNwell_pp01 GND 0 000 'P6_pp01(Iphglobal_NUL)'
Resbulk_pp01 VDD b_pp01 1000
Qlat_pp01 ND b_pp01 VDD Qlat_pp01
Gmultd_pp01 b_pp01 ND POLY(2) ampd_pp01 GND Itd_pp01 GND 0 000 'P3_pp01(Iphglobal_NUL)'
Gampd_pp01 GND switchd_pp01 b_pp01 ND 'P2_pp01(Iphglobal_NUL)'
YPd_pp01vswitch PIN: switchd_pp01 ampd_pp01 b_pp01 ND PARAM: MODEL: MyModelP
RRswitchd_pp01 switchd_pp01 GND 100k
Rampd_pp01 ampd_pp01 GND 100
Rtd_pp01 Itd_pp01 GND 100
Itd_pp01 GND Itd_pp01 'P1_pp01(Iphglobal_NUL)'

```

Figure 105 : Netlist de l'inverseur impacté à simuler

2.3.3 Conséquences de l'impact laser sur les caractéristiques statiques

Tout comme pour le chapitre concernant l'impact laser sur le NMOS d'un inverseur, nous allons étudier dans un premier temps les caractéristiques statiques du premier inverseur dont le PMOS est impacté par différents potentiels photoélectriques (PP) de laser, c'est-à-dire l'évolution de sa tension de sortie en fonction du signal d'entrée, avant de nous attacher à son comportement dynamique dans le paragraphe suivant.

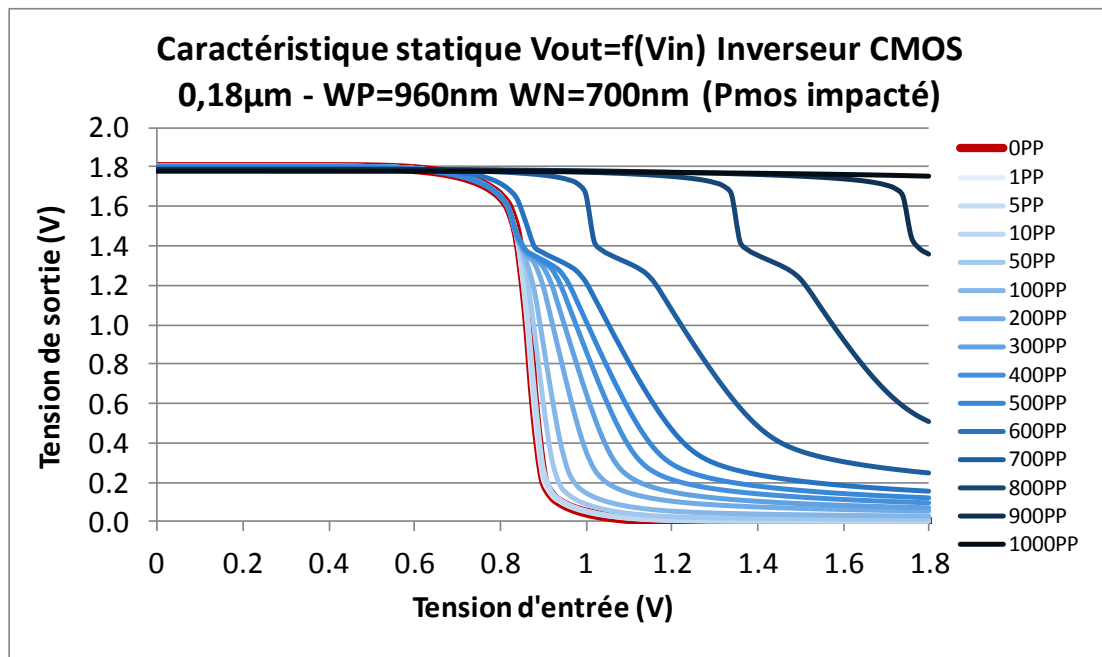


Figure 106 : Caractéristique statique d'un inverseur dont seul le PMOS est impacté

La caractéristique statique d'un inverseur dont seul le PMOS est impacté est bien le complémentaire de celle d'un inverseur dont seul le NMOS est impacté. Tout comme pour celui-ci, deux zones principales apparaissent :

- La partie de gauche.

Elle correspond au cas où la tension sur l'entrée de l'inverseur est inférieure à son seuil de basculement (« 0 »). Le PMOS est passant avec une faible impédance comparativement au NMOS qui est bloqué ou saturé avec une très forte impédance. La tension sur le drain du transistor PMOS est élevée. La différence de potentiel sur la jonction de drain ($-V_{dsubl}$) est

nulle ou presque. Aucun photocourant ne peut-être généré. La caractéristique en sortie reste inchangée.

- La partie de droite

Cette fois-ci, la situation est inversée. La tension sur l'entrée de l'inverseur est supérieure au seuil de basculement de celui-ci. Le NMOS est passant avec une faible impédance comparativement au PMOS qui est soit bloqué, soit saturé avec une très forte impédance. La tension de drain du transistor PMOS est alors nulle puisque le NMOS la tire à la masse (courbe rouge 0PP). La différence de potentiel sur la jonction de drain du PMOS est alors élevée, permettant à un photocourant d'être généré en cas d'impact laser.

Lorsqu'un potentiel photoélectrique va être appliqué sur le transistor PMOS, le courant d'offset généré va alors s'opposer à l'action du transistor NMOS.

Le schéma équivalent représentant ce qui se passe dans la partie de droite est illustré ci-dessous :

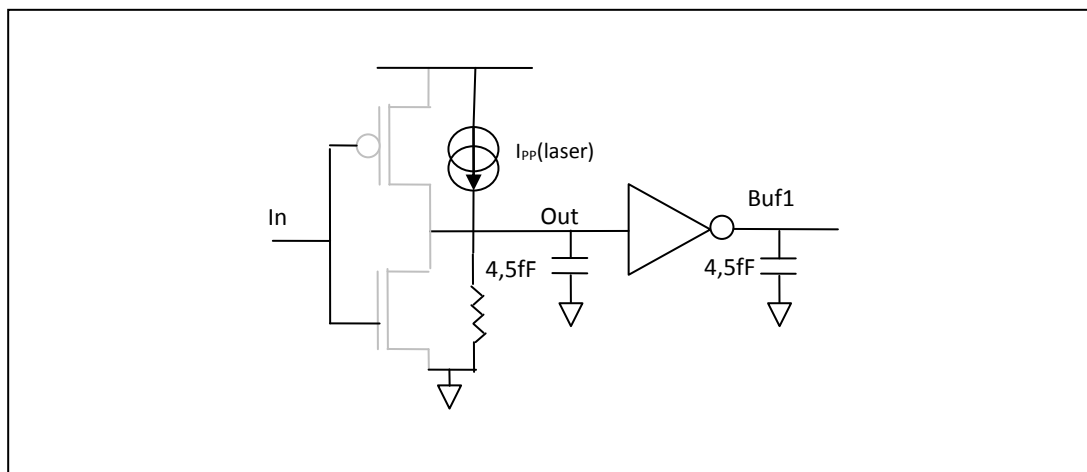


Figure 107 : Schéma équivalent de l'inverseur lorsque la tension en entrée est forte

Ainsi lorsque le PMOS est soumis à un stress laser, plus la puissance de ce dernier augmente, plus l'impédance équivalente du PMOS va diminuer. L'offset de courant alors introduit sur le drain du PMOS est évacué à travers l'impédance du NMOS.

Pour chaque potentiel photoélectrique (PP), un point de repos différent est alors observé.

Ainsi l'impact laser sur le PMOS d'un inverseur va transformer l'amplitude du signal de $[0 - V_{dd}]$ à $[Gnd_{laser} - V_{dd}]$ où $Gnd_{laser} \approx Z_{nmos} \times I_{offset}$

L'étage de sortie n'étant pas impacté par le laser, celui-ci garde son seuil de basculement inchangé à environ $\frac{V_{dd}}{2}$. Toutefois, étant donnée la tension « analogique » qui maintenant le contrôle, le comportement global du buffer (chaîne des deux inverseurs dont le premier étage voit son transistor PMOS impacté) est lui fondamentalement transformé : son seuil de basculement est effectivement modifié.

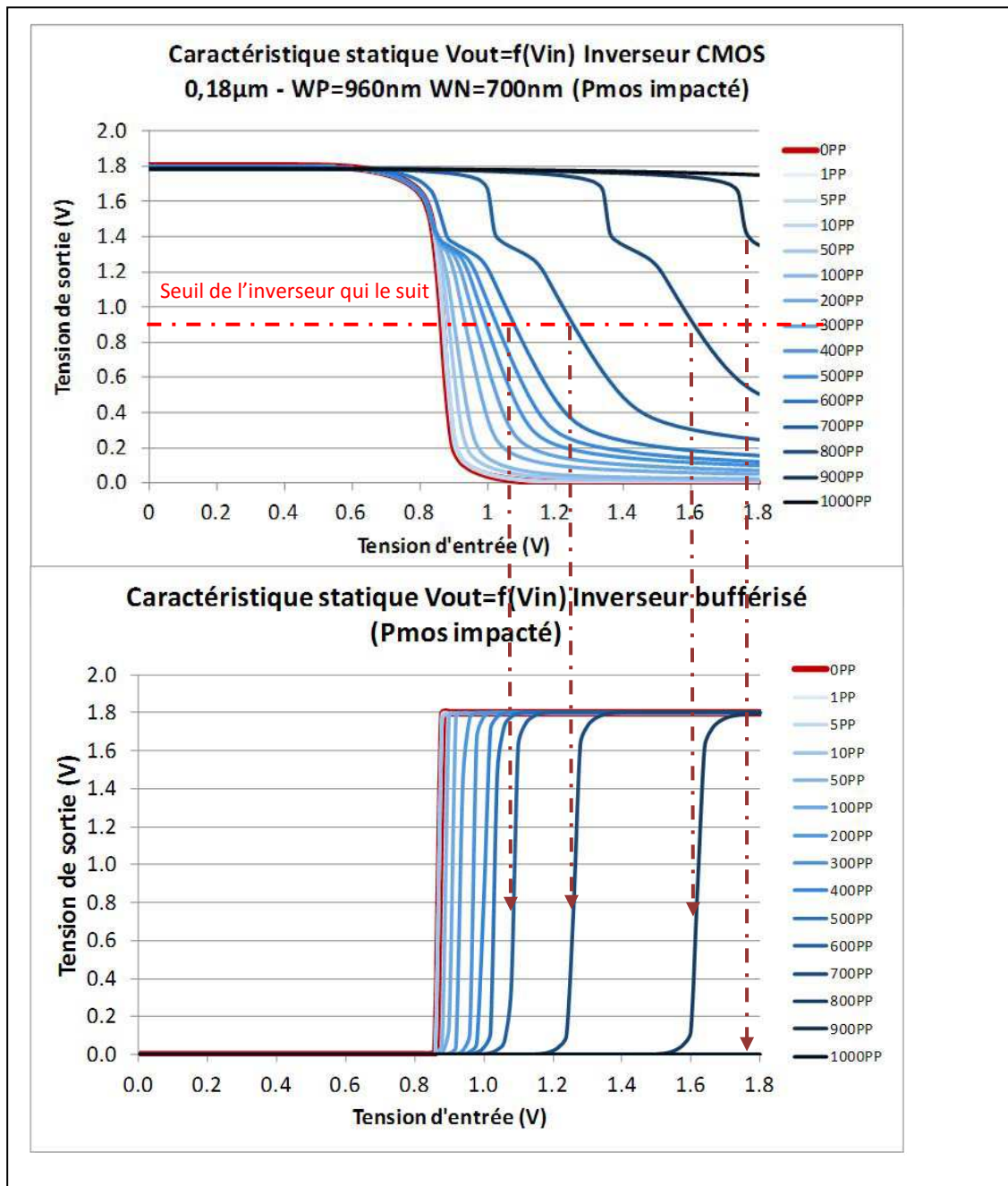


Figure 108 : Caractéristique statique $V_{out}=f(V_{in})$ du buffer

Enfin, si jamais la puissance laser est trop importante, l'amplitude du signal sortant du premier inverseur peut-être trop faible pour atteindre le seuil de basculement de la porte non impactée qu'elle commande. La donnée n'est alors plus propagée. Une faute fonctionnelle est générée.

En conclusion, lorsque seul le transistor PMOS d'un inverseur CMOS est illuminé, à partir d'un certain seuil de potentiel photoélectrique, un signal d'entrée à « 1 » est une valeur dite sensible.

Enfin, si l'on regarde les caractéristiques de consommation sur l'alimentation, on ne retrouve pas comme pour le NMOS la forme des caractéristiques de consommation de l'inverseur à proprement parlé. En effet, celles-ci sont noyées dans le courant de consommation généré par l'impact laser sur la jonction Nwell/Psubstrat.

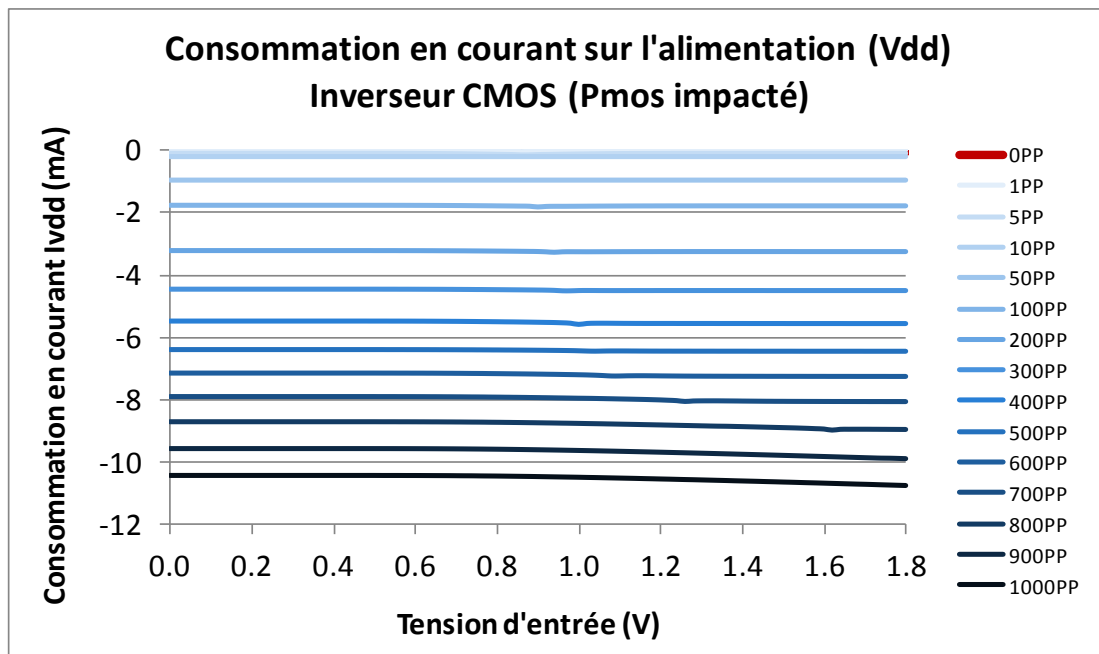


Figure 109 : Consommation $I=f(V_{in})$ d'un inverseur dont le PMOS est impacté

2.3.4 Conséquences de l'impact laser sur les caractéristiques dynamiques

La même chaîne de trois inverseurs que pour l'analyse de l'impact sur les caractéristiques statiques est étudiée dans ce paragraphe. Seul le PMOS du premier étage est impacté.

Dans le cadre d'une analyse dynamique, nous avons utilisé en simulation un laser de type pulsé ayant une durée d'impulsion de 10ns.

Les temps de propagation seront analysés ainsi que la consommation du circuit.

2.3.4.1 Impact laser sur un niveau stable à « 0 »

Lorsque la sortie de l'inverseur est dans un niveau stable à « 0 », l'impact laser sur le seul transistor PMOS de cet inverseur reproduit les caractéristiques déjà observées durant l'analyse statique.

En effet, la sortie de l'inverseur voit l'amplitude de son signal augmenter d'autant plus que le potentiel photoélectrique est important durant le temps d'impact (10ns).

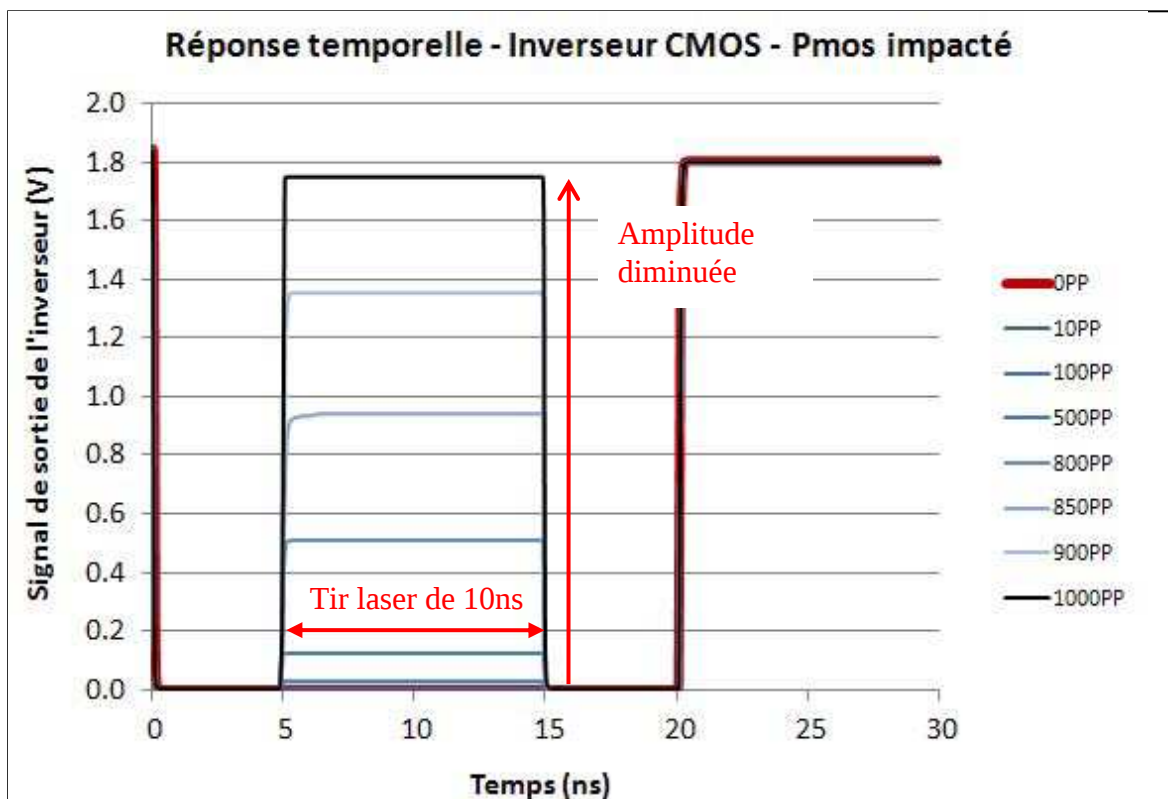


Figure 110 : Sortie de l'inverseur dont seul le PMOS est impacté

En sortie du buffer, un impact supérieur à 850PP entraine une faute fonctionnelle. Un « 0 » de 10ns apparaît dans le signal d'origine. Pour un impact inférieur à 850PP, le signal d'origine reste inchangé.

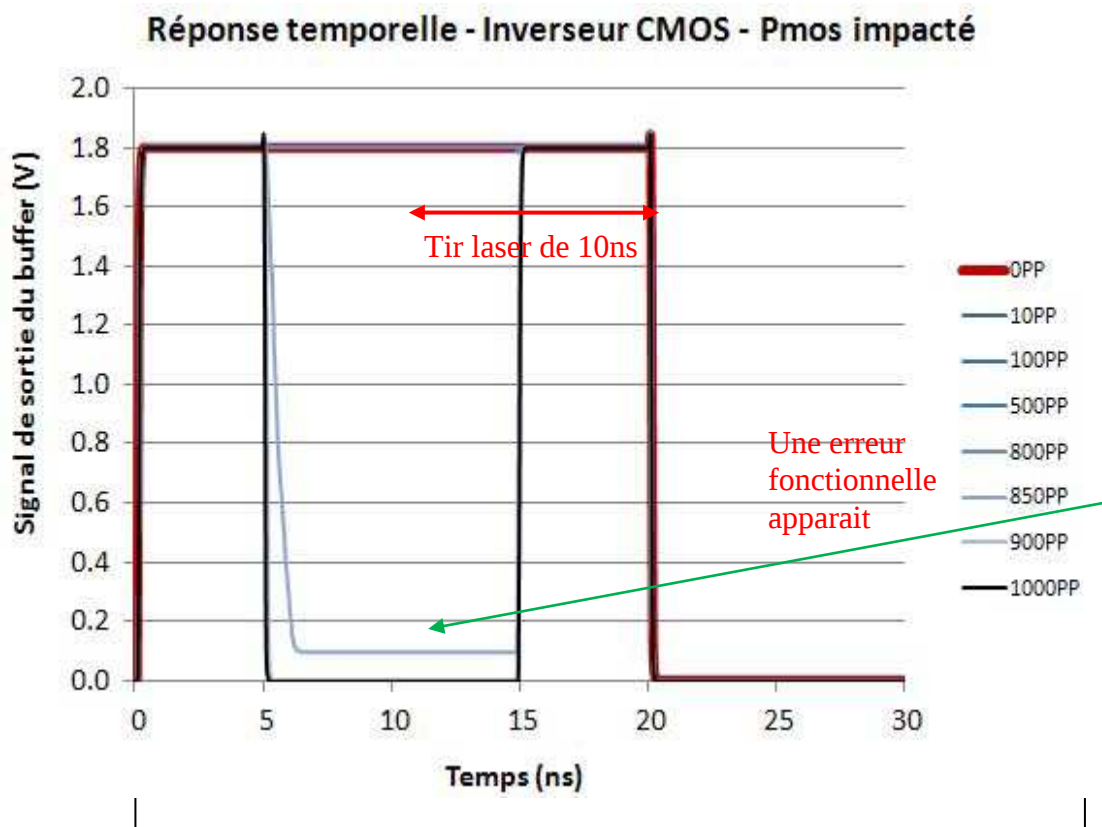


Figure 111 : Sortie du buffer dont le premier étage a le PMOS impacté

Comme attendu, durant la fenêtre de tir, une consommation apparaît sur l'alimentation. Elle est similaire à celle observée durant l'analyse statique et correspond essentiellement au photocourant généré au niveau de la jonction $N_{well}/P_{substrat}$.

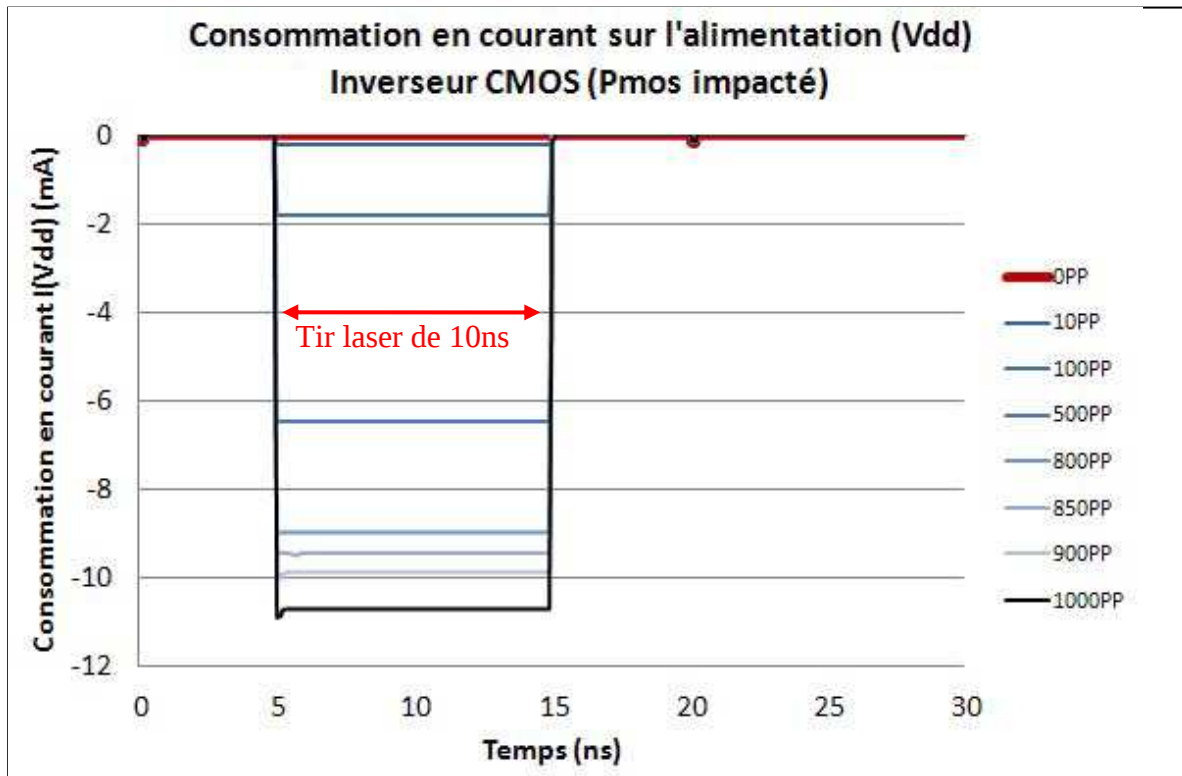


Figure 112 : Consommation du circuit - PMOS du 1er inverseur impacté

2.3.4.2 Impact laser sur un niveau stable à « 1 »

Lorsque la sortie de l'inverseur est dans un niveau stable à « 1 », l'impact laser sur le seul transistor PMOS de cet inverseur ne produit aucun effet notable.

2.3.4.3 Impact laser durant une transition descendante de « 1 » vers « 0 »

L'impact laser a lieu cette fois ci entre la 18^{ème} et la 28^{ème} nanoseconde, afin de couvrir le front descendant du signal de sortie du premier inverseur de la chaîne, dont le PMOS est impacté.

Comme précédemment, on peut observer que le principal impact sur la sortie du premier inverseur est la réduction de l'amplitude du signal qui va attaquer le deuxième étage. Le « 0 » en sortie du premier étage voit sa valeur augmentée.

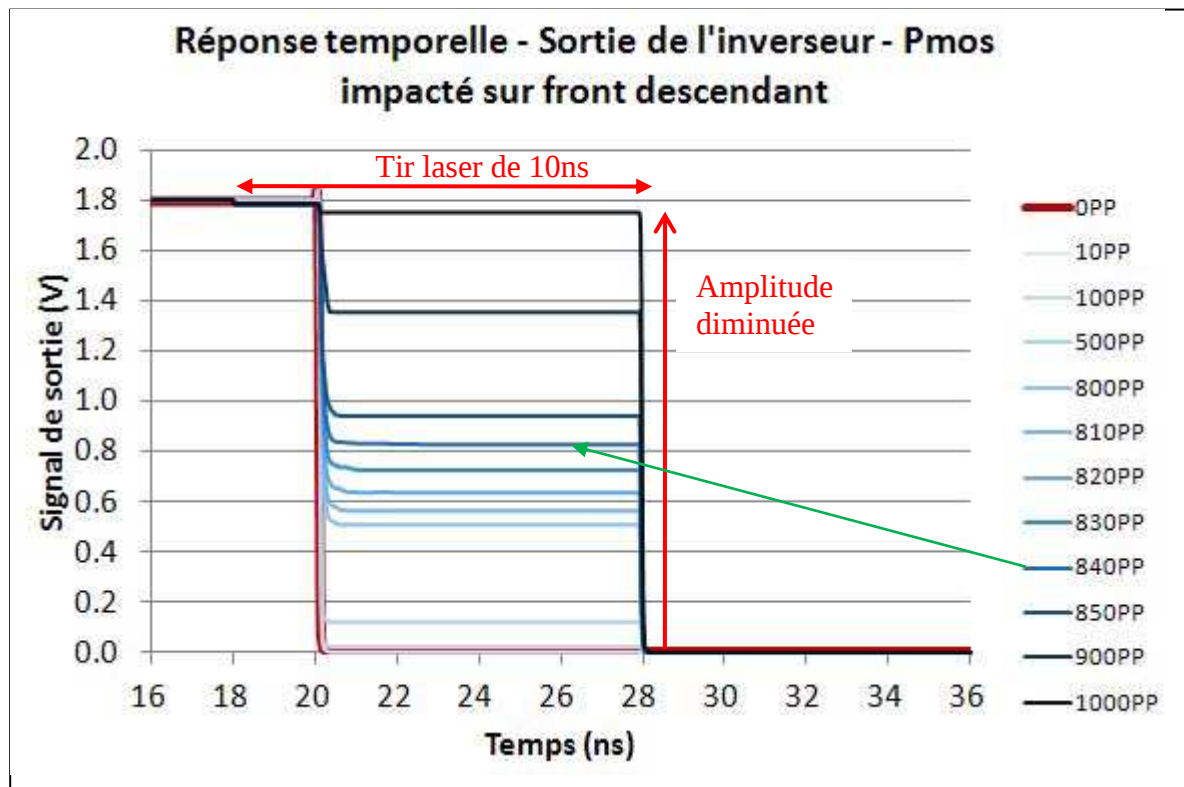


Figure 113 : Sortie de l'inverseur dont seul le PMOS est impacté

De même que lors de l'étude de l'inverseur dont seul le NMOS est impacté, aucune erreur fonctionnelle n'est observée dans le cas d'un impact sur le seul front descendant. En effet, la palette des amplitudes générées en sortie du premier inverseur a pour unique impact une augmentation du temps de transfert de l'information impactée. Même si le potentiel photoélectrique est trop important et génère un potentiel en sortie du premier inverseur trop élevé, empêchant ainsi le basculement du deuxième étage, celui-ci finira par basculer lorsque le tir laser s'arrêtera.

Bien sûr dans ce dernier cas, si le tir laser venait à recouvrir plus que le front descendant du signal, alors une erreur serait générée.

On retrouve trois zones principales :

A faible potentiel photoélectrique, l'amplitude du signal en entrée du 2^{ème} étage est légèrement plus faible. Ceci impacte très légèrement les caractéristiques du NMOS du 2^{ème} étage lorsque celui-ci est passant. Les conséquences de cet impact seront un ralentissement de la pente du signal en sortie, entraînant un retard comparativement au signal sans impact laser. La pente est d'autant plus accentuée que la charge est élevée (ici 4,5fF dans notre cas réel). Ainsi plus la charge est élevée, plus l'impact laser à même potentiel photoélectrique introduit un retard plus important.

A plus fort potentiel photoélectrique, comme ici aux alentours de 840PP, et d'autant plus que l'amplitude du signal en sortie descend très légèrement en dessous du seuil de basculement de la porte qui le suit, le délai est plus prononcé. Le cas de 840PP est particulièrement démonstratif. L'amplitude générée en sortie du premier inverseur est suffisante pour faire basculer le 2nd étage, mais elle est si proche du seuil de celui-ci que le deuxième étage met un temps considérable au regard des vitesses des signaux pour permettre le basculement.

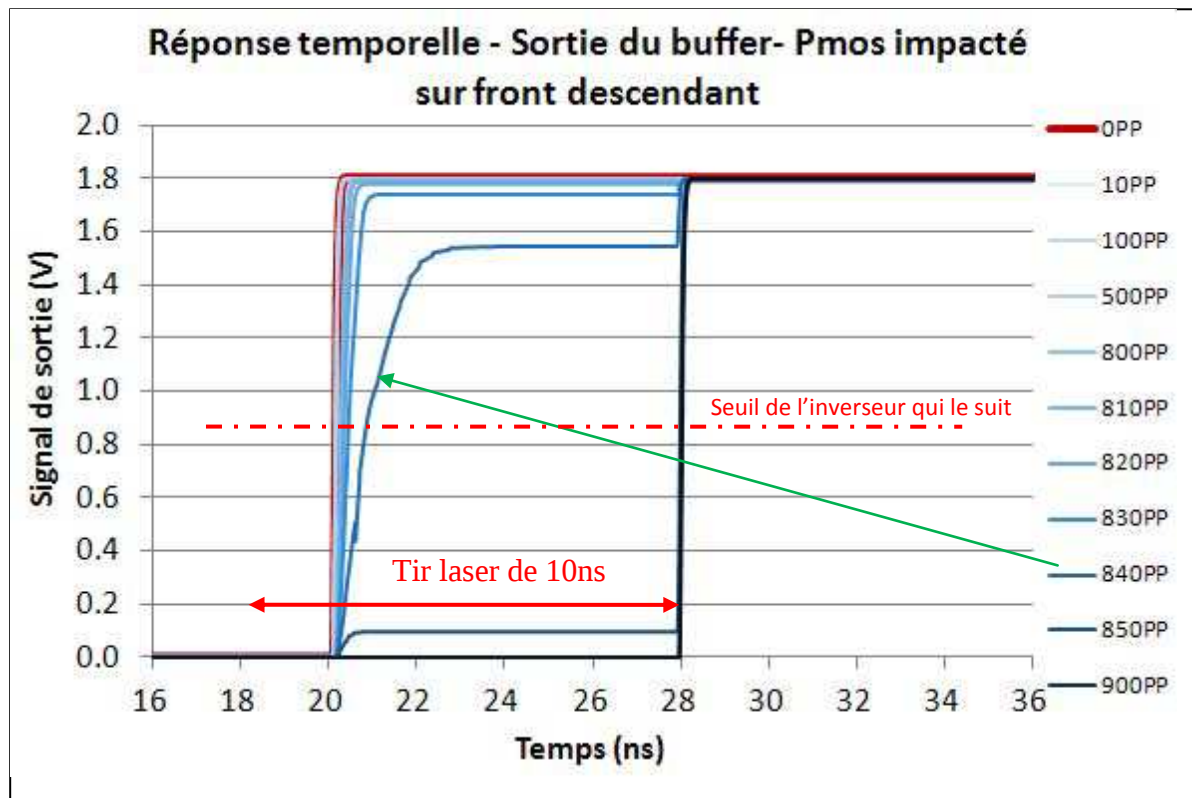


Figure 114 : Sortie du buffer dont le premier étage a le PMOS impacté

La visualisation du 3^{ème} étage permet d'observer la mémorisation de ces délais. En effet une fois que les signaux sont remis en forme (plein amplitude et front rapide), le retard est mémorisé et est propagé sur toute la chaîne des inverseurs.

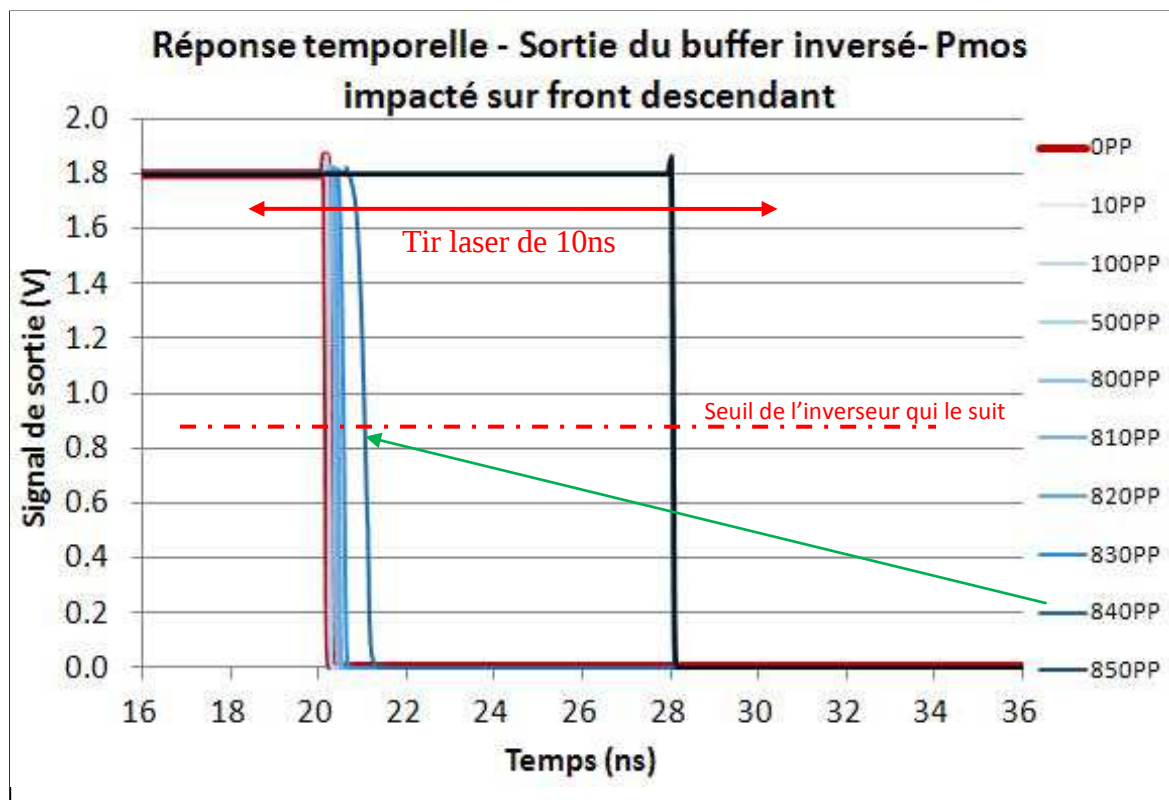


Figure 115 : Sortie du buffer inversé - Le premier étage a le PMOS impacté

Enfin, a très fort potentiel photoélectrique, l'amplitude du signal en sortie du premier inverseur est trop faible, le signal ne réussissant pas à se propager. L'information est alors relâchée lorsque le laser s'éteint. Le retard correspond alors pleinement au chevauchement du laser.

Voici les délais de propagation extraits sur cette chaîne d'inverseur dont seul le PMOS du premier inverseur est impacté.

Potentiel photoélectrique	Délai de propagation (50%-50%) entre l'entrée et...	
	Sortie du 1 ^{er} étage Front montant - Descendant	Sortie du 2 ^{ème} étage Front montant - Montant
0PP	53ps	119ps
10PP	53,3ps (+0,3ps)	119,3ps (+0.3ps)
100PP	53,6ps (+0,6ps)	120,8ps (+1.8ps)
500PP	54,8ps (+1.8ps)	128ps (+9ps)
800PP	102ps (+49ps)	237ps (+118ps)
810PP	112ps (+59ps)	267ps (+148ps)

820PP	127,4ps (+74.4ps)	314ps (+195ps)
830PP	152ps (+99ps)	411ps (+292ps)
840PP	209ps (+156ps)	834ps (+715ps)
850PP	7,86ns	7,94ns
900PP	7,89ns	7,96ns
1000PP	7,91ns	7,98ns

Figure 116 : **Table recensant les délais de propagation dont seul le PMOS du premier inverseur est illuminé (Front descendant)**

Enfin, l'impact sur la consommation reste similaire aux caractéristiques statiques. Cette consommation diffère de celle d'un inverseur dont seul le NMOS est impacté par son amplitude, au point de cacher les caractéristiques de consommation de l'inverseur lui-même, et par le fait qu'elle existe tout le temps de l'impact laser, quel que soit le niveau appliqué sur les jonctions des transistors. En effet, elle ne dépend principalement que de l'offset en courant créé sur l'alimentation par l'impact laser sur la jonction Nwell/Psubstrat.

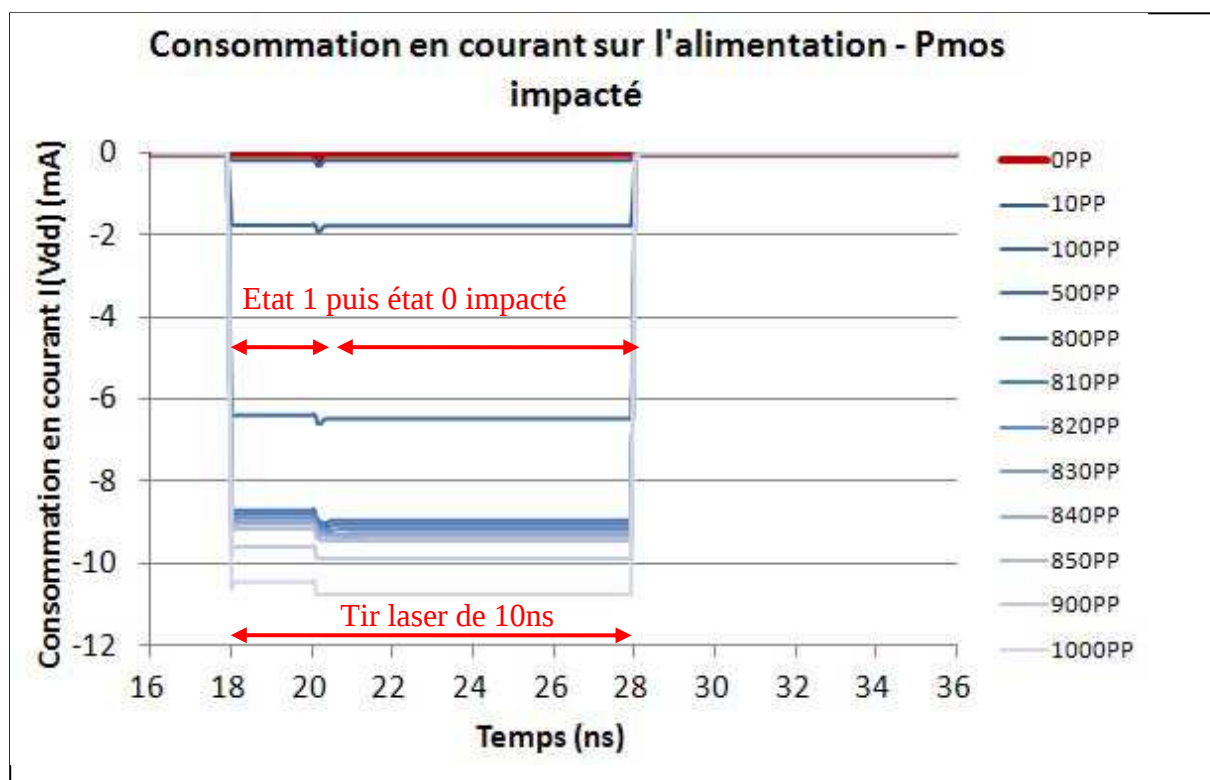


Figure 117 : **Consommation du circuit - PMOS du 1er inverseur impacté**

On peut noter sur la figure précédente, une légère différence entre la consommation à l'état « 1 » et à l'état « 0 » du signal en sortie du premier inverseur. En effet, lorsque ce signal est à zéro, se rajoute la consommation du fait de la compétition entre le transistor NMOS alors passant et l'offset en courant généré sur la jonction de drain du PMOS.

2.3.4.4 Impact laser durant une transition montante de « 0 » vers « 1 »

Dans ce paragraphe l'impact laser a lieu de la 18^{ème} à la 28^{ème} nanoseconde, afin de couvrir le front montant du signal de sortie du premier inverseur qui a lieu à la 20^{ème} nanoseconde.

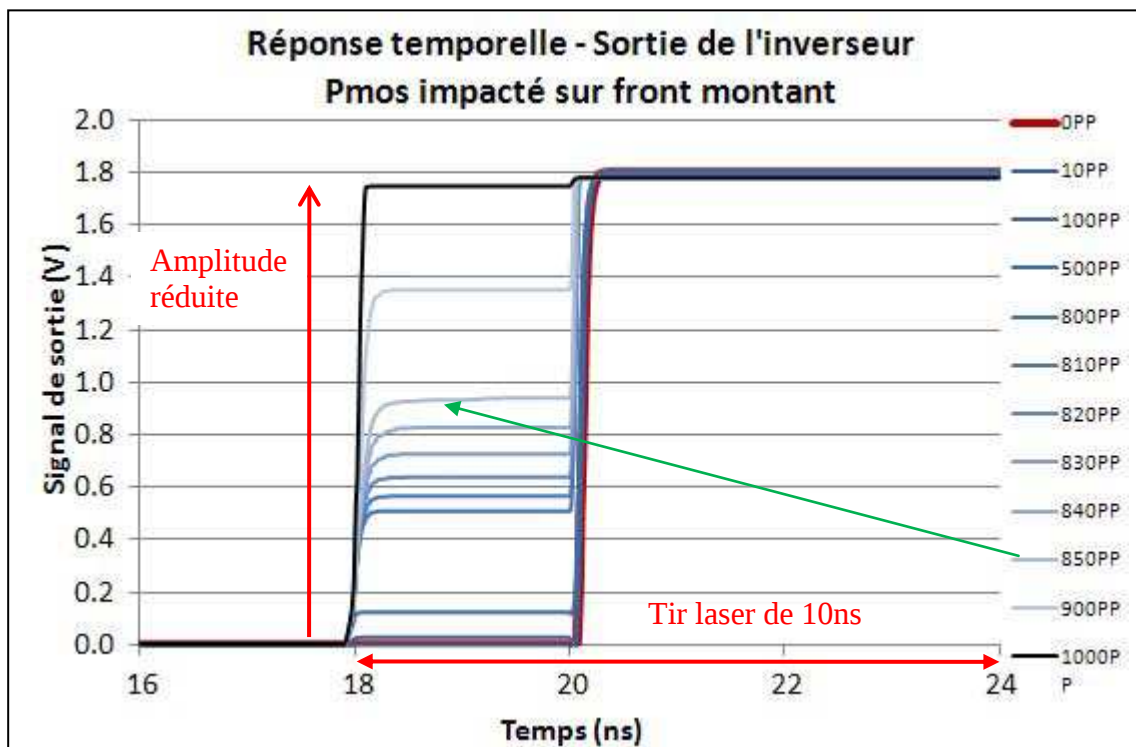


Figure 118 : Sortie de l'inverseur dont seul le PMOS est impacté

Comme dans tous les cas précédents d'attaque sur un front, le principal impact sur la sortie du premier étage est une diminution de l'amplitude du signal. Le « 0 » est en effet dégradé en une tension d'autant plus importante que le potentiel photoélectrique est élevé. Là encore, aucune erreur fonctionnelle n'est observable tant que le laser ne couvre que le front montant. De même, l'offset de courant généré sur la jonction de drain du transistor PMOS ayant tendance à tirer à « 1 » la sortie du premier inverseur, on peut assister à une accélération du

temps de propagation du signal, ce courant additionnel aidant le courant naturel du PMOS à charger le nœud en sortie.

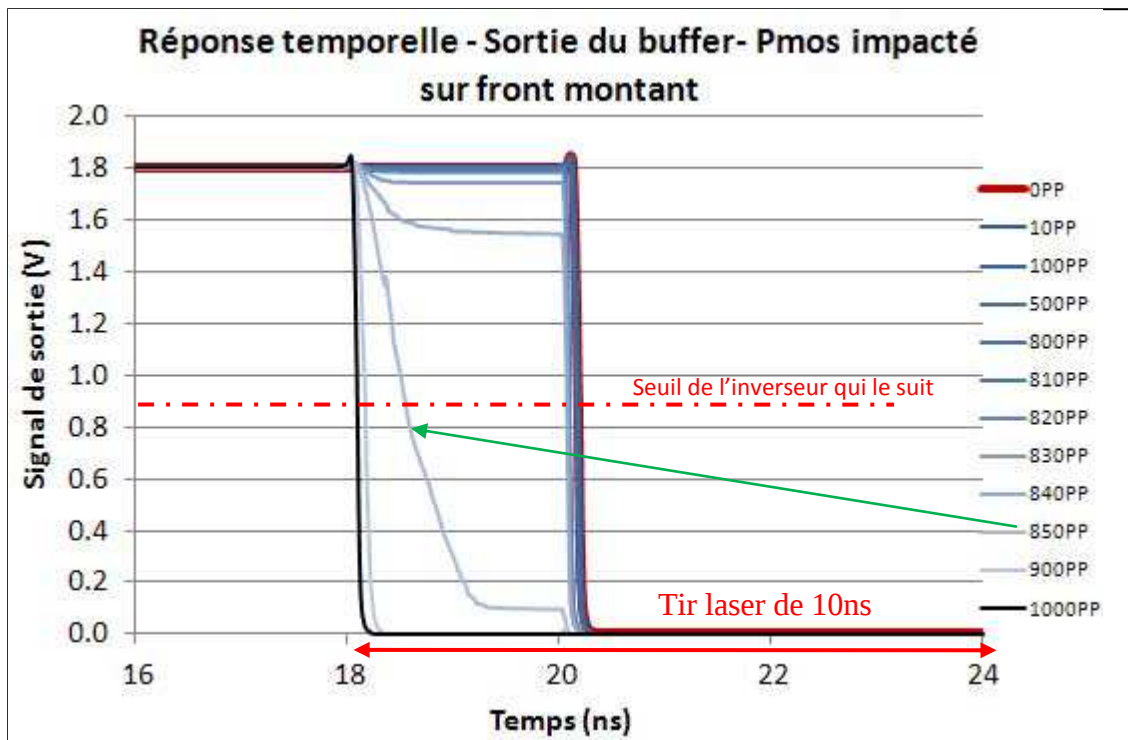


Figure 119 : Sortie du buffer dont le premier étage a le PMOS impacté

Une accélération est observable avec trois zones principales.

A faible impact, l'accélération est légère. Le front montant est essentiellement dû aux seules caractéristiques du transistor PMOS qui est passant.

Lorsque le potentiel photoélectrique est suffisamment important (850PP) pour que la sortie de l'inverseur dont le PMOS est impacté dépasse à peine le seuil de basculement du second étage, le front montant commence à être le fait du seul impact laser. Toutes les valeurs sont alors observables entre le début de l'impact (18ns) et l'instant où le PMOS va être passant (20ns).

Le potentiel photoélectrique augmentant encore, la sortie du premier étage dépasse alors clairement le seuil de basculement du 2^{ème} étage, et ce dernier peut alors basculer immédiatement. L'accélération maximum est observée correspondant au moment où l'impact laser a lieu.

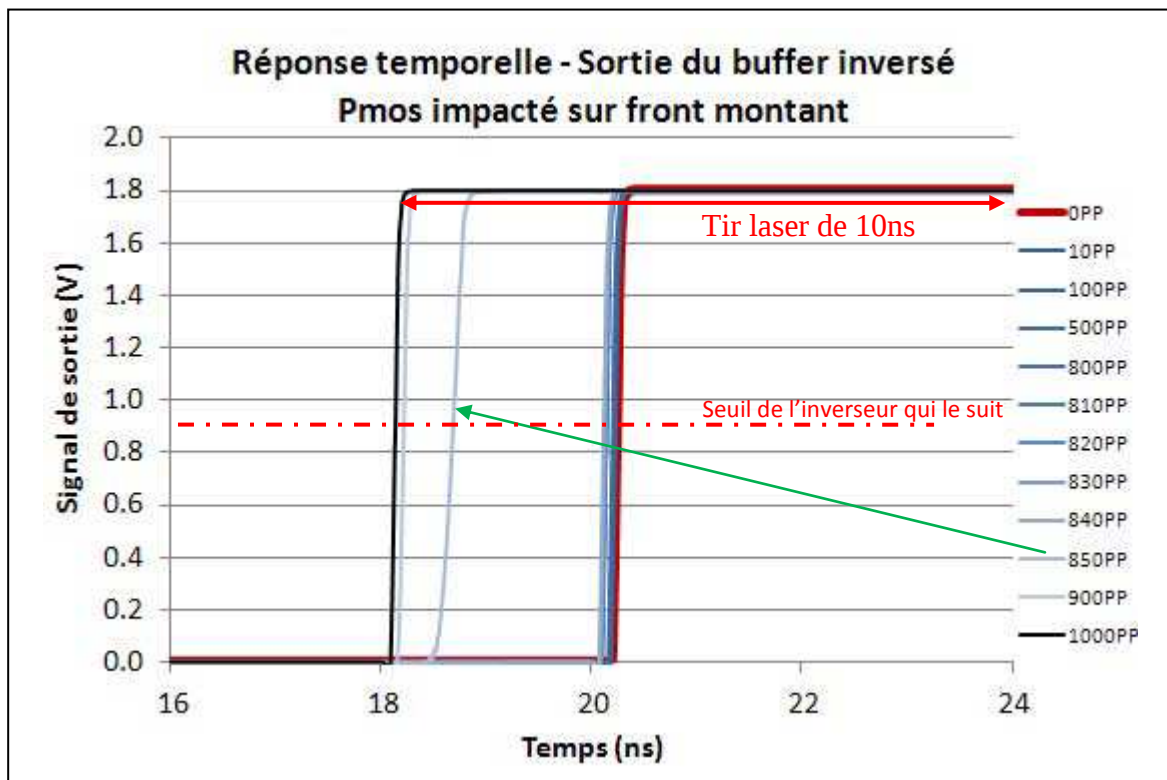


Figure 120 : Sortie du buffer inversée. Le premier étage a le PMOS impacté

Voici les délais de propagation extraits sur cette chaîne d'inverseur dont seul le PMOS du premier inverseur est impacté.

Potentiel photoélectrique	Délai de propagation (50%-50%) entre l'entrée et...	
	Sortie du 1 ^{er} étage Front montant - Descendant	Sortie du 2 ^{ème} étage Front montant - Montant
0PP	71.3ps	129.4ps
10PP	70.5ps	128.6ps
100PP	64.2ps	121.6ps
500PP	44.1ps	99.3ps
800PP	-7ps	42.8ps
810PP	-11.1ps	38.5ps
820PP	-16.4ps	33.7ps
830PP	-23.2ps	27.5ps
840PP	-32.6ps	16.2ps

850PP	-1.83ns	-1.53ns
900PP	-1.98ns	-1.89ns
1000PP	-2.02ns	-1.96ns

Figure 121 : Table recensant les délais de propagation dont seul le PMOS du premier inverseur est illuminé (Front montant)

Enfin pour ce qui est de la consommation, aucune différence n'est à noter avec l'attaque sur le front descendant. La consommation est essentiellement due à l'offset en courant sur l'alimentation du fait de la jonction Nwell/Psubstrat.

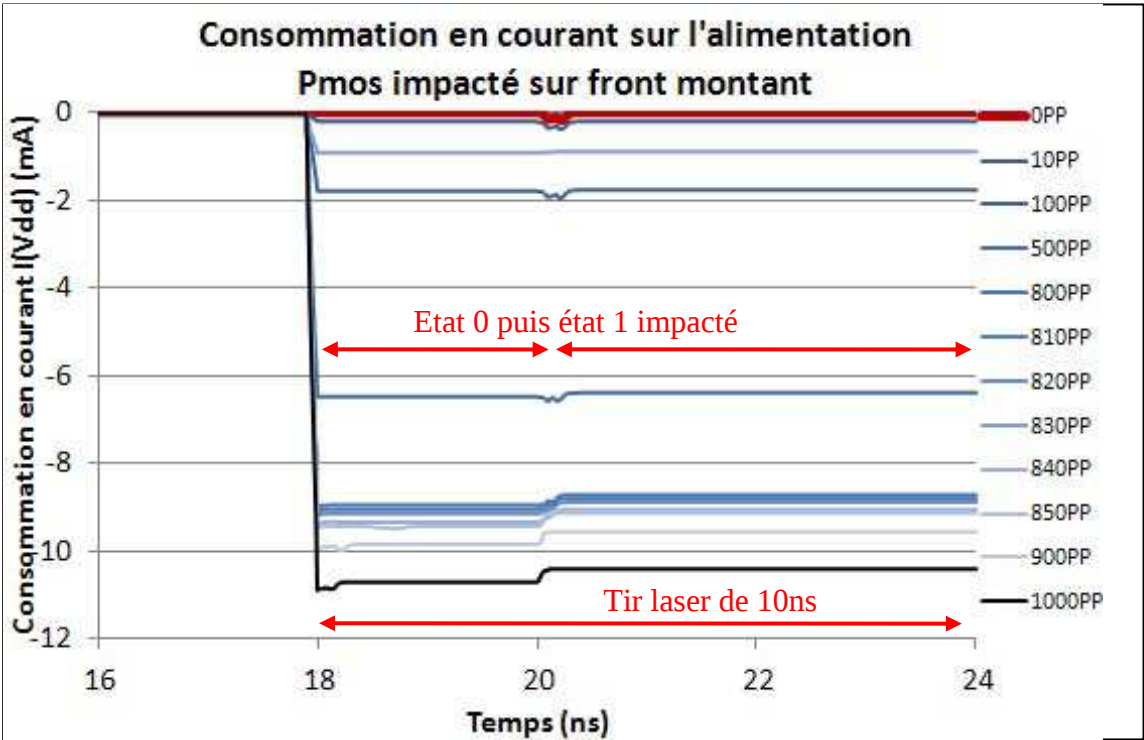


Figure 122 : Consommation du circuit - PMOS du 1^{er} inverseur impacté

Et l'état 0 diffère de l'état 1 par une consommation additionnelle du fait de l'offset en courant injecté sur le drain du PMOS.

2.4 Comportement d'un inverseur dont le NMOS et le PMOS sont impactés

Dans ce paragraphe, les effets d'un impact laser vont être cumulés en même temps sur le NMOS et le PMOS du premier inverseur d'une chaîne, correspondant au même schéma que pour les cas d'étude des seuls NMOS ou PMOS impactés.

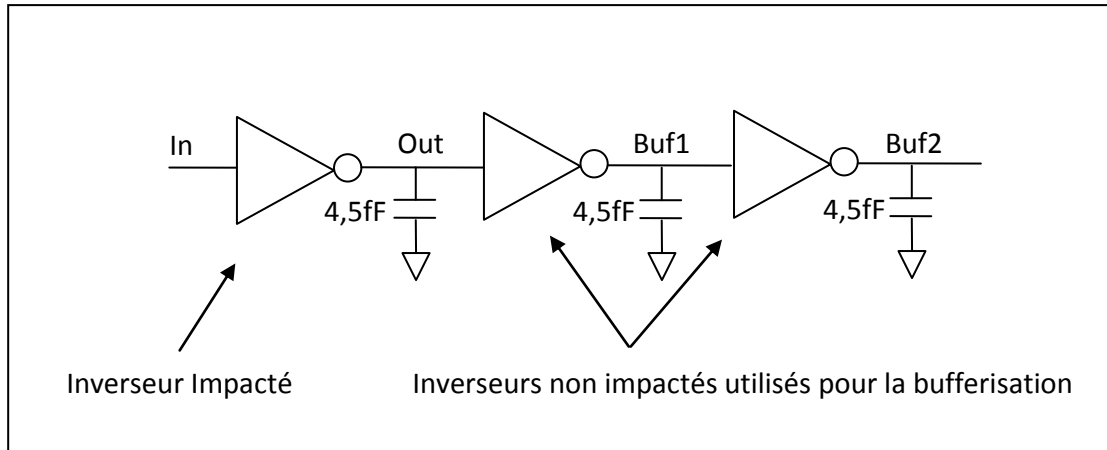


Figure 123 : Schéma pris en compte durant la simulation

2.4.1 Extraction géométrique du layout des transistors impactés

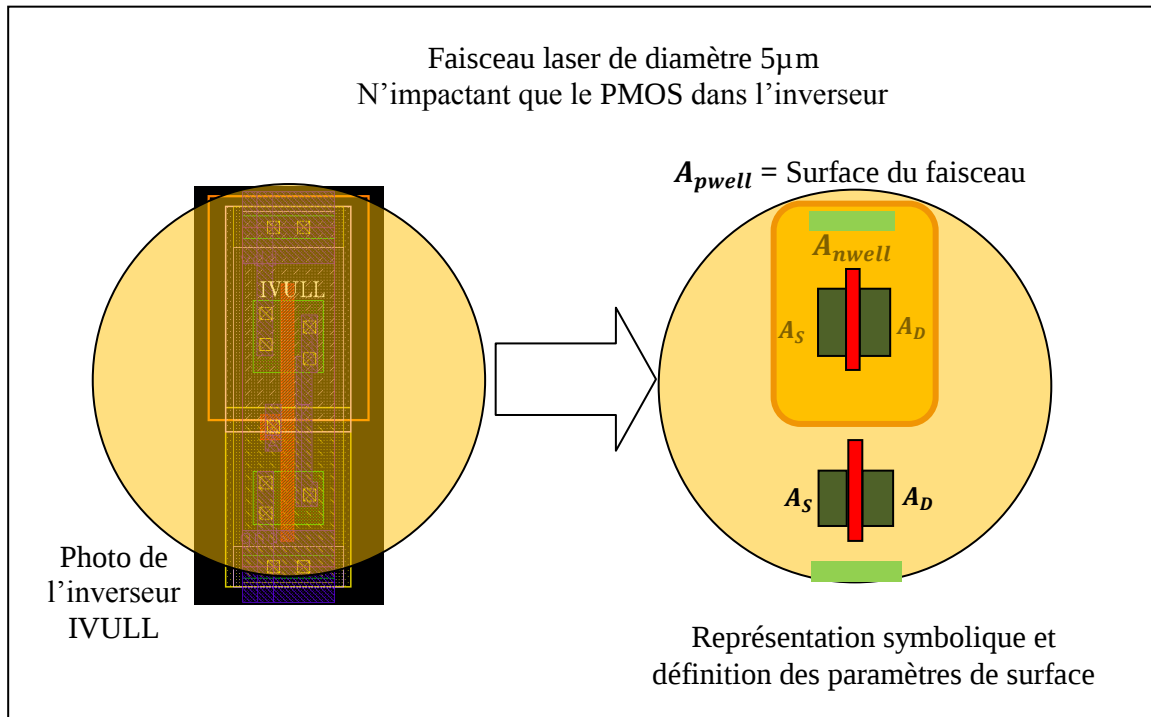


Figure 124 : Layout d'un inverseur dont le NMOS ET le PMOS sont impactés

- Les surfaces du drain :

$$A_{DN} = 0,7 \times 0,39 = 0,273 \mu\text{m}^2$$

$$A_{DP} = 0,96 \times 0,39 = 0,3744 \mu\text{m}^2$$

- Les surfaces de source :

$$A_{SN} = 0,7 \times 0,37 = 0,259 \mu\text{m}^2$$

$$A_{SP} = 0,96 \times 0,37 = 0,3552 \mu\text{m}^2$$

- La surface du substrat (Pwell) :

$$A_{pwell} = 19,6 \mu\text{m}^2$$

- La surface A_{nwell} du Nwell illuminée :

$$A_{Nwell} = 2,66 \mu\text{m} \cdot 2,91 \mu\text{m} = 7,74 \mu\text{m}^2$$

- Le nombre de transistors PMOS illuminés :

$$\text{NbrPMOSillumes} = 1$$

2.4.2 Schéma équivalent et Netlist électrique à simuler

Durant l'impact laser, le schéma équivalent de l'inverseur devient :

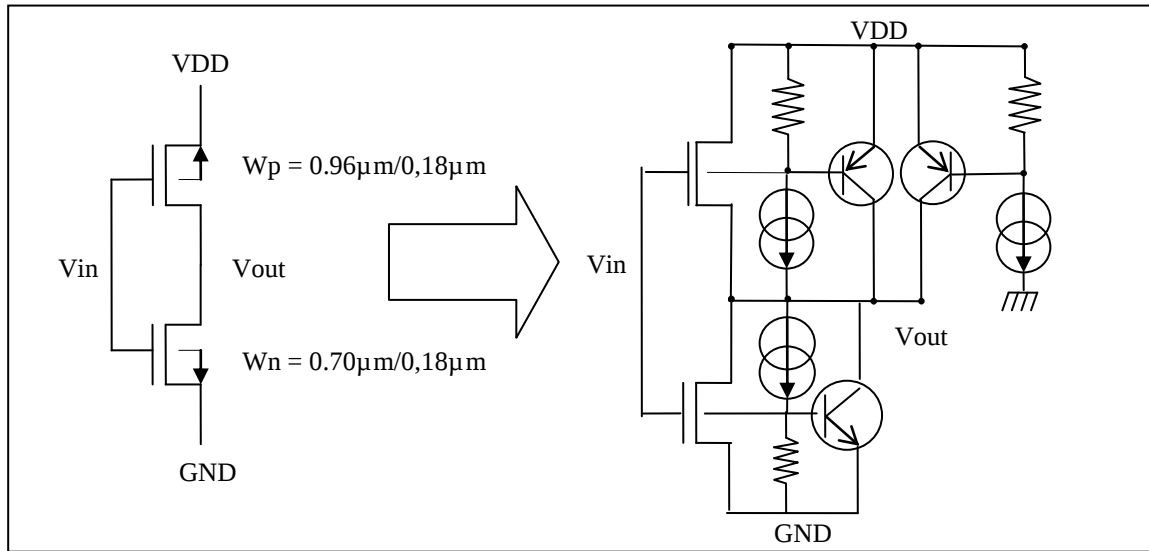


Figure 125 : **Schéma équivalent**

Bien que le modèle inclue aussi le thyristor construit par la proximité d'un transistor NMOS et d'un transistor PMOS dont le drain est commun, il n'est pas présenté sur ce schéma équivalent. Tout d'abord afin de simplifier la lecture du schéma. Ensuite car nous n'avons pas observé de phénomène de latch-up lors des tirs laser effectués durant cette étude, du moins dans les gammes de puissance que nous avons utilisées. Ainsi, même si le modèle permettrait de prendre en compte ce phénomène durant les simulations, nous l'avons réglé afin de ne pas apparaître dans les gammes de potentiel photoélectrique de notre étude.

2.4.3 Conséquences de l'impact laser sur les caractéristiques statiques

Comme attendu, l'impact laser sur un inverseur complet cumule les effets précédemment observés sur chacun des transistors le constituant. Si on examine les caractéristiques statiques de l'inverseur sur la figure suivante, on observe dans le quadrant gauche une diminution de l'amplitude en sortie du signal avec une dégradation du 1 logique du fait de l'action de l'offset de courant rajouté sur le drain du NMOS impacté. Tandis que sur le cadran droit, on observe une diminution de l'amplitude du signal en sortie du fait de la dégradation du 0 logique due à l'offset de courant rajouté sur le drain du PMOS.

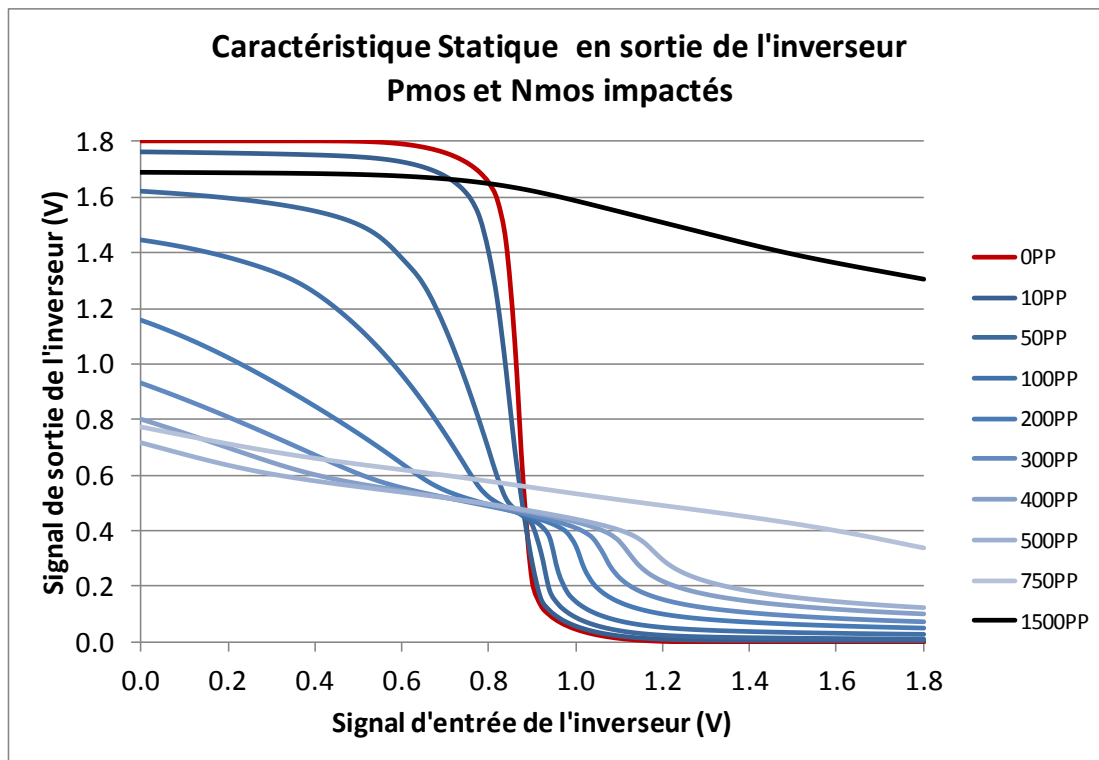


Figure 126 : **Caractéristique statique de l'inverseur - NMOS et PMOS sont impactés**

Sur la figure précédente, on peut observer que vers 500P, une faute fonctionnelle est introduite en tirant le signal de sortie en dessous du seuil de basculement de l'étage suivant (aux alentours de 0.9V). Quelle que soit la tension en entrée du premier étage, sa sortie sera considérée comme un zéro pour l'étage suivant. Par contre on observe aussi qu'au-delà de 750PP, la caractéristique de sortie retourne totalement au-dessus du seuil de basculement. Là encore une faute fonctionnelle est observée, mais la sortie de l'étage restera à 1 quel que soit l'entrée. Ceci est dû à l'apparition de l'effet du bipolaire latéral au PMOS activé par le courant de Nwell/Psubstrat.

Pour la figure suivante, la résistance du caisson Nwell a été diminuée afin de dégrader le déclenchement de ce bipolaire. On peut observer que l'impact laser augmentant, contrairement à la courbe précédente, continue à tasser l'amplitude du signal de sortie du premier étage, la centrant sur un niveau correspondant au rapport de force entre les courants (NMOS+offset de courant de drain du NMOS) d'une part et (PMOS+offset de courant de drain du PMOS) d'autre part.

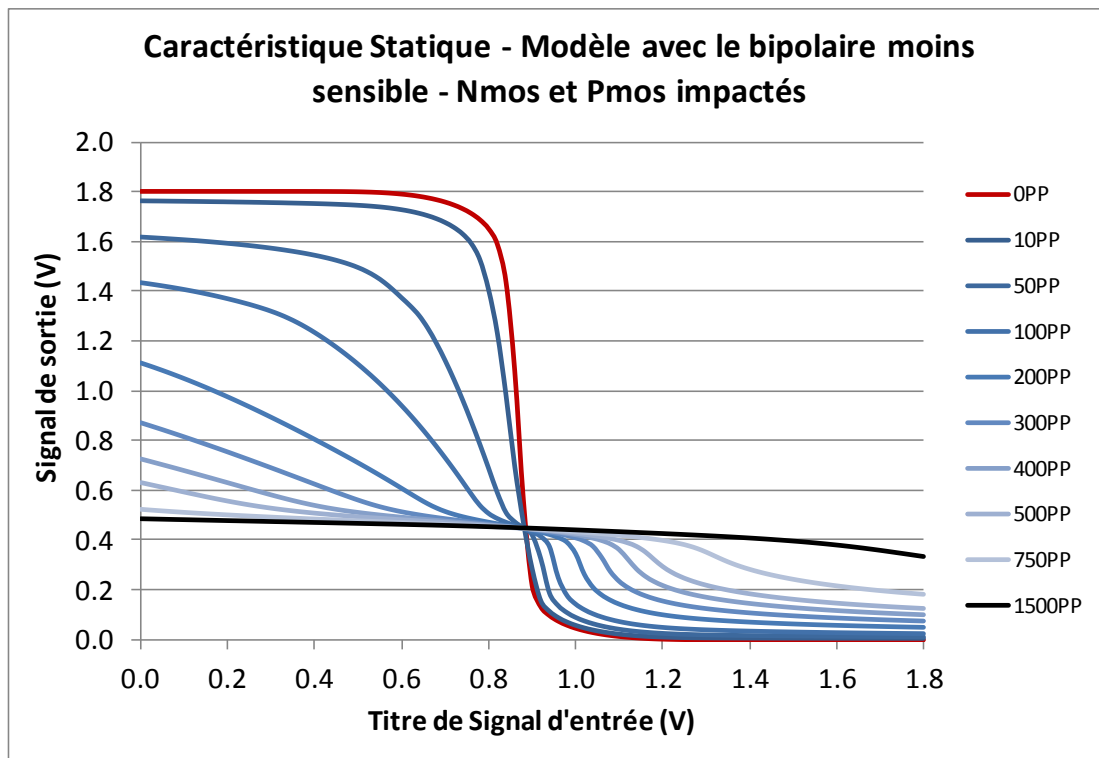


Figure 127 : **Caractéristique statique de l'inverseur – Bipolaire moins sensible**

Le résultat sur les caractéristiques du buffer constitué des deux premiers étages de la chaîne d'inverseur dont seul le premier inverseur est totalement impacté montre là aussi la gradation de la dégradation de ces caractéristiques. On voit tout d'abord une diminution de son seuil équivalent, jusqu'à une faute fonctionnelle où la sortie reste à 1 avant de basculer pour rester à 0 sous l'effet du bipolaire trop puissant.

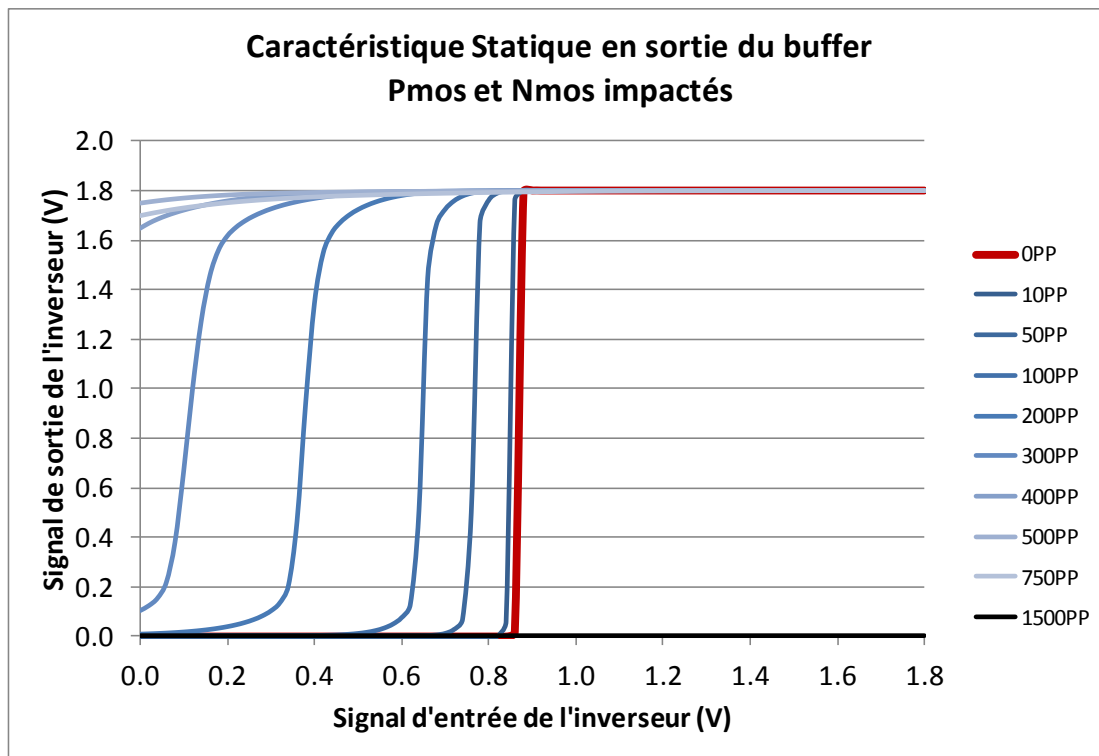


Figure 128 : Caractéristique statique du buffer – Sortie inversée

La consommation de l'inverseur totalement impacté est proche de celle de l'inverseur dont seul le PMOS est impacté. Le Nwell impacté étant l'élément prépondérant.

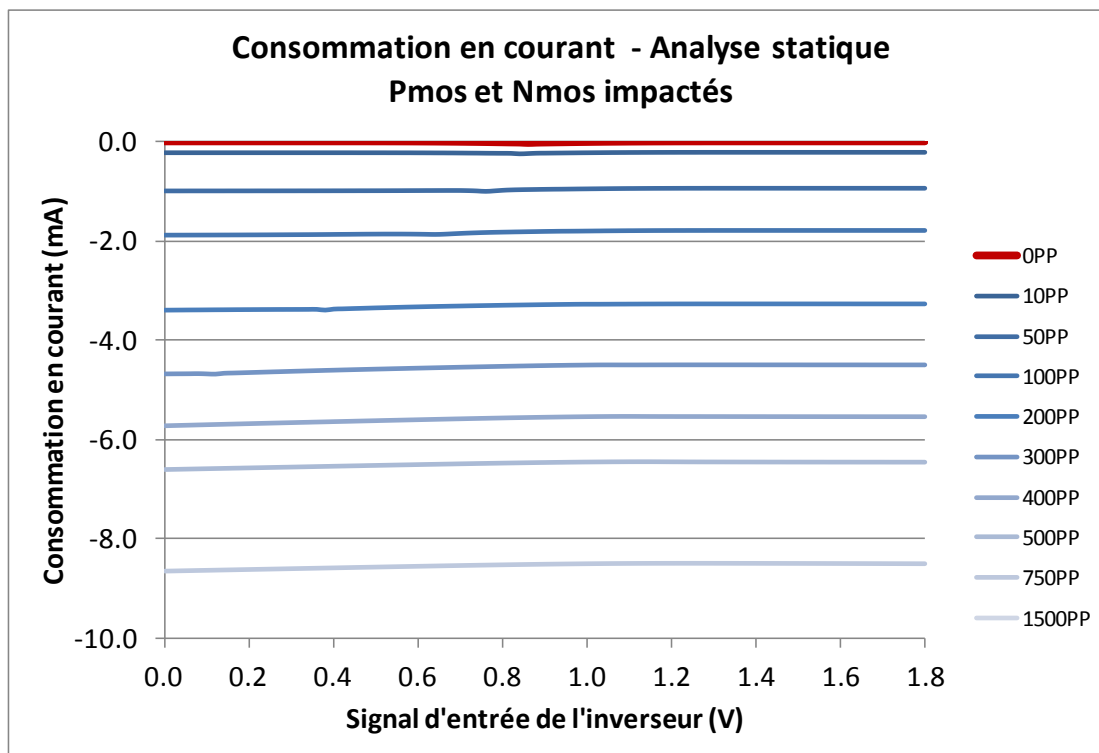


Figure 129 : Consommation de l'inverseur dont NMOS&PMOS sont impactés

2.4.4 Conséquences de l'impact laser sur les caractéristiques dynamiques

2.4.4.1 Impact laser sur un niveau stable à « 0 » et à « 1 »

Dans ce paragraphe, deux tirs laser de 10ns sont effectués de 5ns à 15ns, puis de 25ns à 35ns, alors que les niveaux en sortie de l'inverseur sont stables et sont soit à « 1 », soit à « 0 ». Le faisceau recouvre entièrement le premier inverseur de la chaîne d'inverseurs. On peut ainsi observer sur la figure suivante comment l'impact dégrade les caractéristiques des niveaux en sortie et surtout comment l'impact sur le NMOS, dégradant un « 1 » logique est plus violent que celui sur le PMOS dégradant le « 0 » logique.

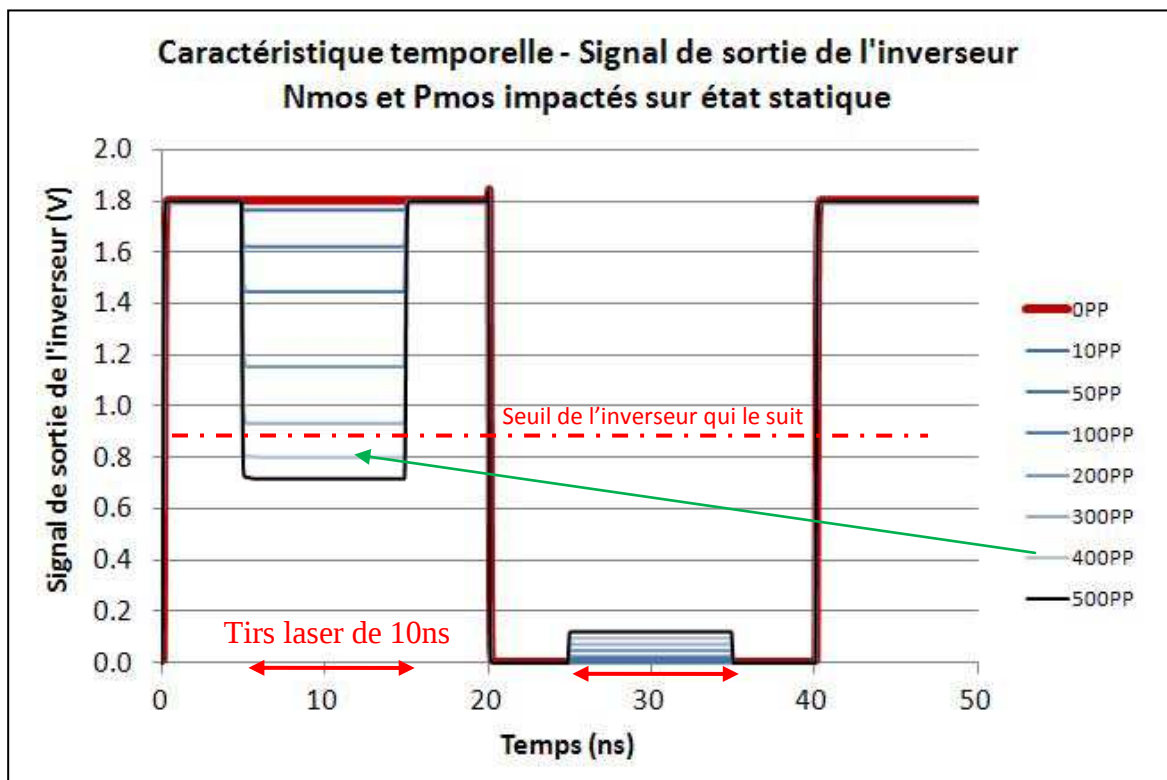


Figure 130 : Sortie du premier étage – NMOS&PMOS impactés

Logiquement, le premier effet en augmentant progressivement la puissance laser apparaît sur la figure suivante comme une faute fonctionnelle. Un état « 1 » apparaît en effet en sortie du buffer entre la 5^{ème} et la 15^{ème} nanoseconde. Si la puissance laser augmentait, une faute fonctionnelle pourrait aussi être observée sur le « 1 » entre la 25^{ème} et la 35^{ème} nanoseconde. Un glitch à zéro pourrait alors apparaître.

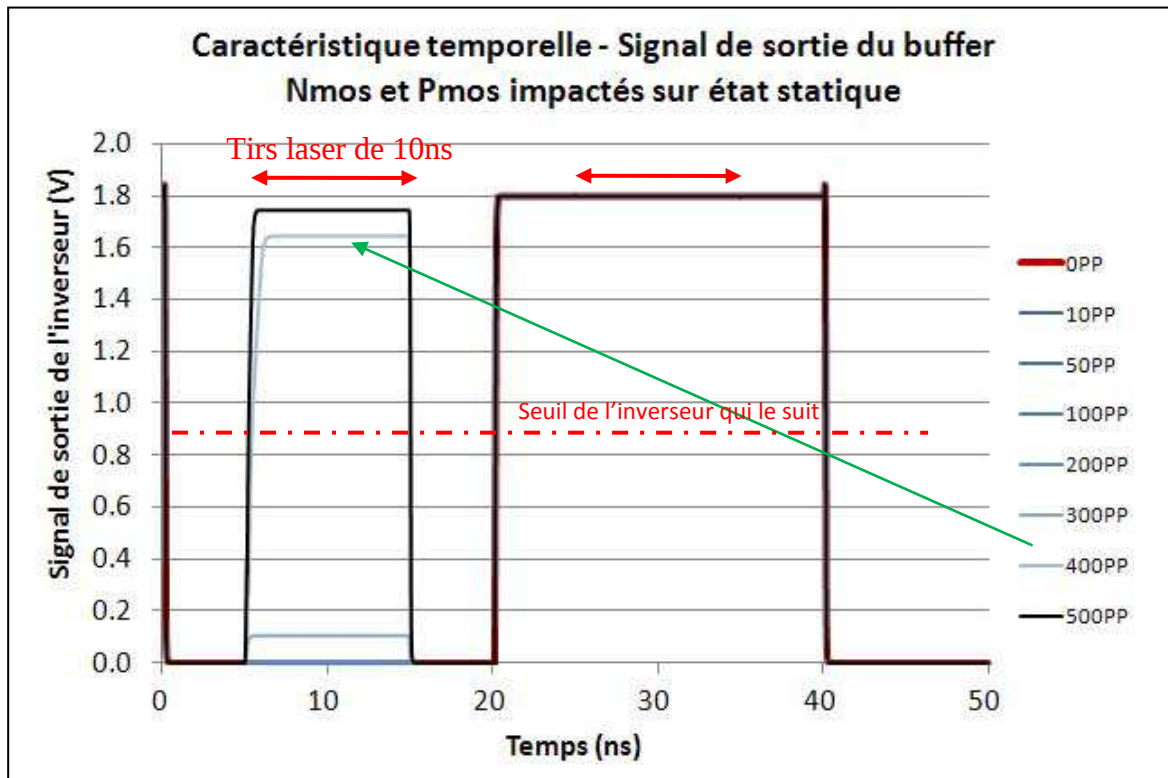


Figure 131 : Sortie du deuxième étage – NMOS & PMOS impactés du 1er inverseur

Encore une fois la consommation étant principalement due à l'offset en courant observé sur l'alimentation du fait de l'impact laser au niveau de la jonction Nwell/Psubstrat, aucune différence n'est réellement observable entre le tir sur le niveau logique à « 0 » ou à « 1 ».

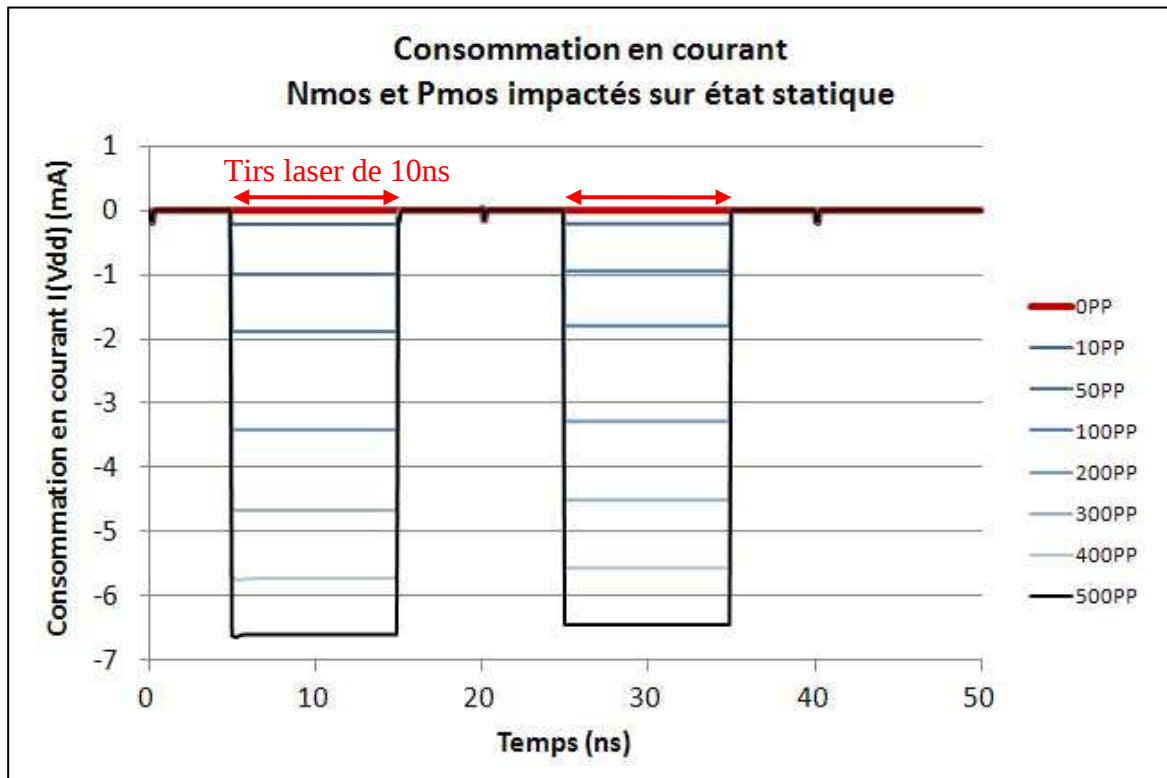


Figure 132 : Consommation – NMOS&PMOS impactés

2.4.4.2 Impact laser durant une transition montante de « 0 » vers « 1 »

Dans ce paragraphe, un tir laser est effectué entre la 18^{ème} et la 28^{ème} nanoseconde sur un inverseur dont la sortie est en train de basculer à 1. En fonction de la puissance de l'impact laser, le niveau de tension en sortie du premier inverseur est dégradé jusqu'à atteindre le seuil de basculement de l'étage qui le suit. Puis ce niveau est proche du seuil de basculement tout en restant au-dessus de celui-ci, et un délai important est observé sur la sortie. Par contre dès que ce seuil n'est pas atteint car l'impact laser est trop important, la sortie du premier étage reste considérée comme un zéro. Aucun basculement en sortie n'est possible. Ce basculement n'est alors observable que lorsque le tir laser est stoppé. Si jamais une autre transition s'était produite dans ce laps de temps (retour à 1 de l'entrée et donc retour à zéro de la sortie du premier étage), une faute fonctionnelle aurait été constatée, le « 1 » en sortie du premier étage ayant été complètement caché.

On retrouve ici le même comportement que lors de l'étude de l'impact laser sur le NMOS seul d'un inverseur.

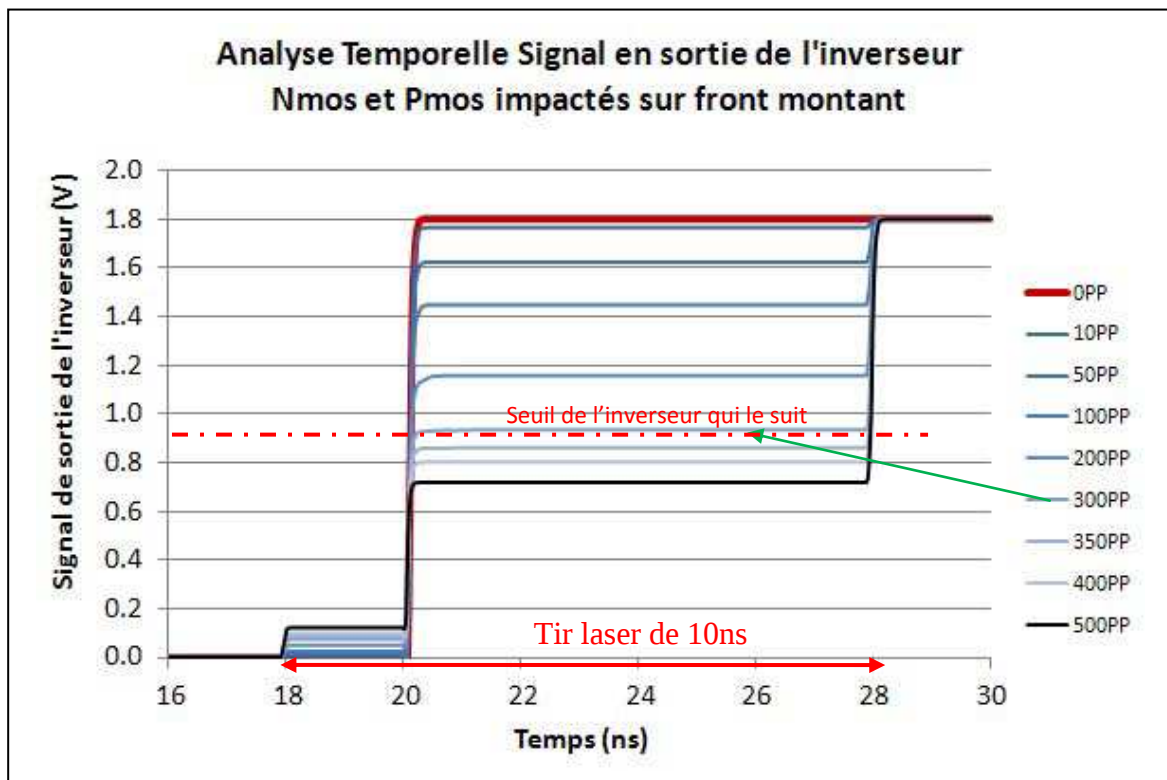


Figure 133 : Sortie du premier étage – NMOS&PMOS impactés

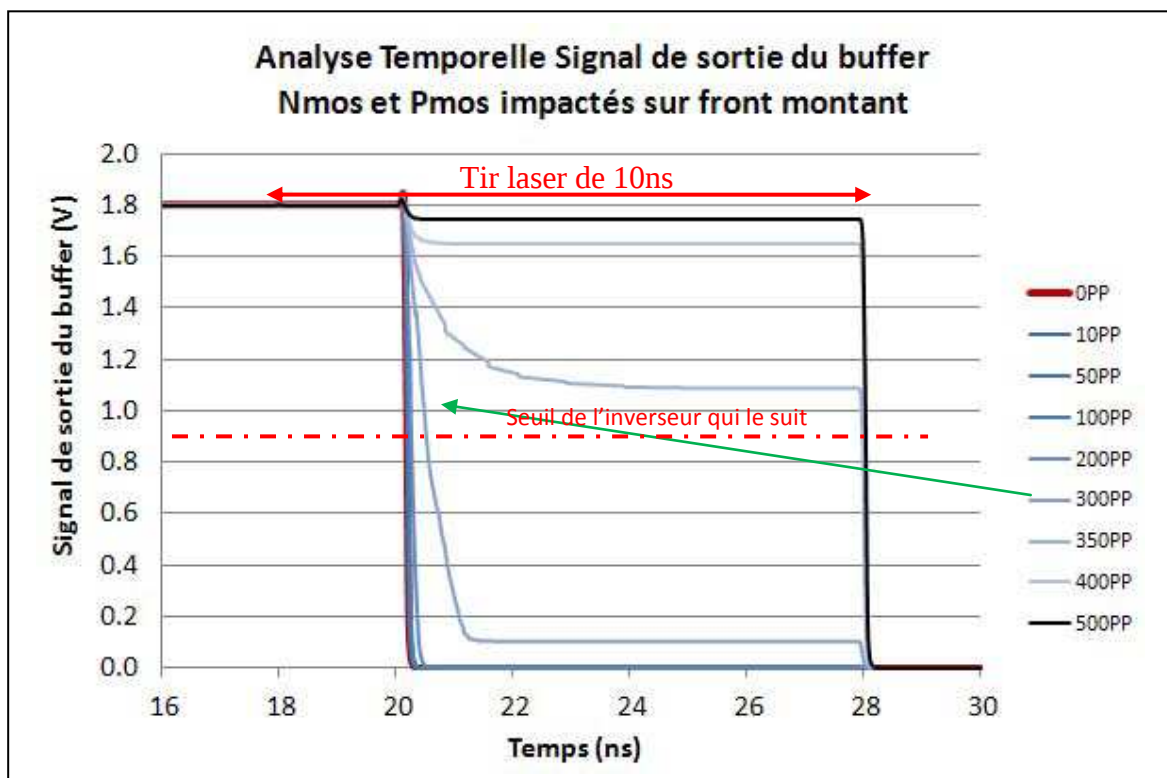


Figure 134 : Sortie du deuxième étage – NMOS&PMOS impactés du 1er inverseur

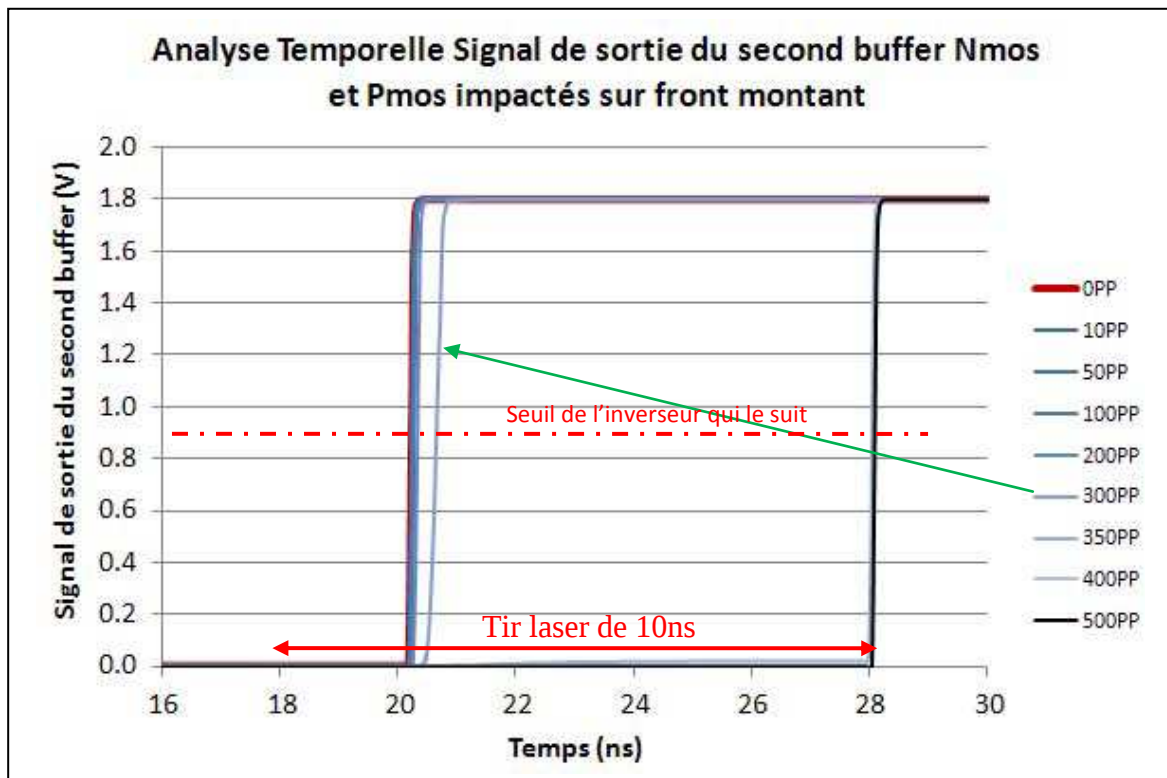


Figure 135 : Sortie du troisième étage – NMOS&PMOS impactés du 1^{er} inverseur

Les différentes figures en sortie des trois premiers étages illustrent bien comment un ralentissement est créé.

Il est important de noter ici que :

- Plus la sortie de l'inverseur impacté s'approche du seuil de l'étage qui le suit, tout en restant au-dessus de celui-ci, plus le délai introduit dans la chaîne de l'inverseur sera conséquent.
- Cet effet de délai important est indépendant de l'instant où se produit le tir laser du moment qu'il recouvre le basculement du premier étage de l'état de zéro à 1. Si donc au lieu d'un impact laser impulsif (10ns ici), un tir continu était effectué, le même résultat serait observé.

2.4.4.3 Impact laser durant une transition descendante de « 1 » vers « 0 »

Dans ce paragraphe, un tir laser est effectué entre la 18^{ème} et la 28^{ème} nanoseconde sur un inverseur dont la sortie est en train de basculer à 0.

Contrairement à ce que l'on a pu observer dans le cas d'une transition montante, l'état final, même si sa tension est dégradée par l'impact laser n'est pas menacé. Cette fois-ci, c'est l'état avant le basculement qui est fortement dégradé. Car comme dans le cas de la transition montante, c'est le niveau à « 1 » qui est fortement touché du fait de l'avantage donné à l'offset de drain sur le transistor NMOS.

Ainsi à l'inverse du cas précédent, on ne va pas observer un ralentissement de la propagation du signal, mais bien plutôt une accélération de celui-ci.

Deux cas sont à noter :

- avec un faible impact laser, l'accélération sera faible et correspondra au gain de temps donné au basculement de l'inverseur qui n'aura pas à effectuer une transition de « 1 » à « 0 », mais d'une tension inférieure (dégradée) à « 0 ».
- Avec un fort impact laser, le seul impact en lui-même sera capable de faire basculer la sortie de l'inverseur. Le résultat sera une accélération correspondant au moment où l'impact est effectué. Dans notre cas, l'accélération est de 2ns.

Dans le cas d'un fort impact laser, générant une tension en sortie du premier étage inférieur au seuil de basculement du 2nd étage, si l'impact laser n'est pas stoppé à la 28^{ème} nanoseconde, le « 0 » en sortie est imposé par le laser quel que soit le signal en entrée.

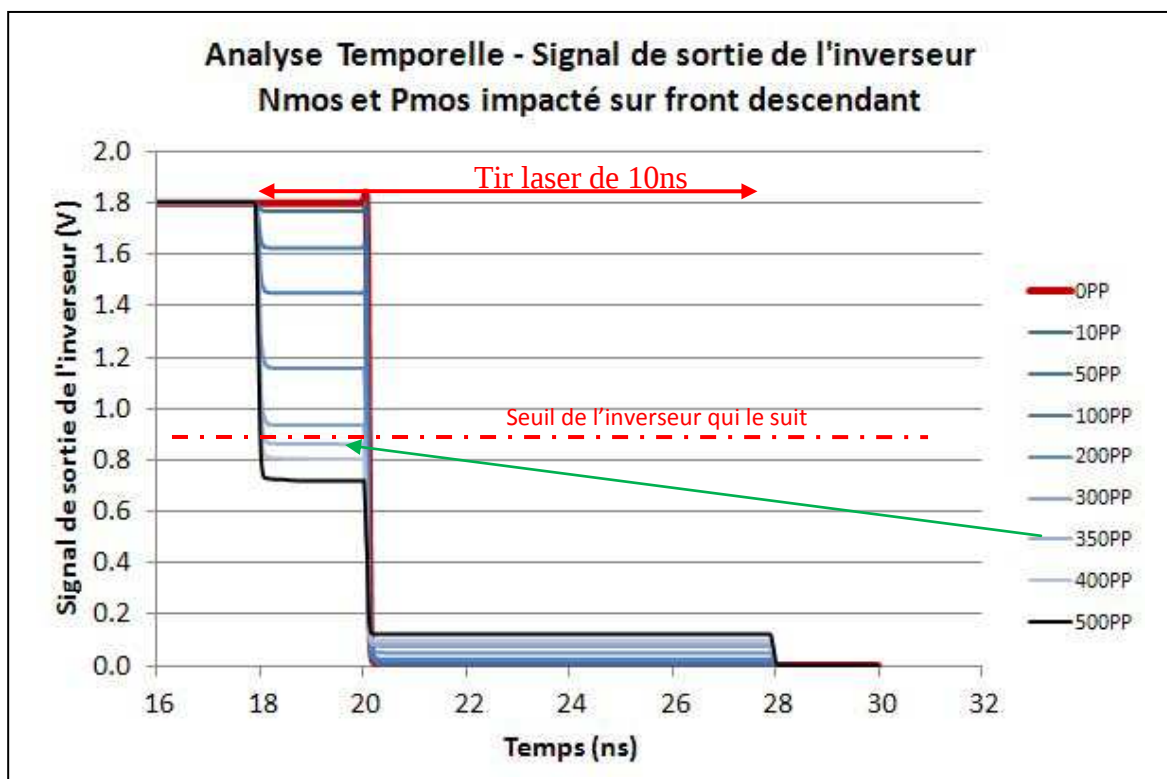


Figure 136 : Sortie du premier étage – NMOS & PMOS impactés

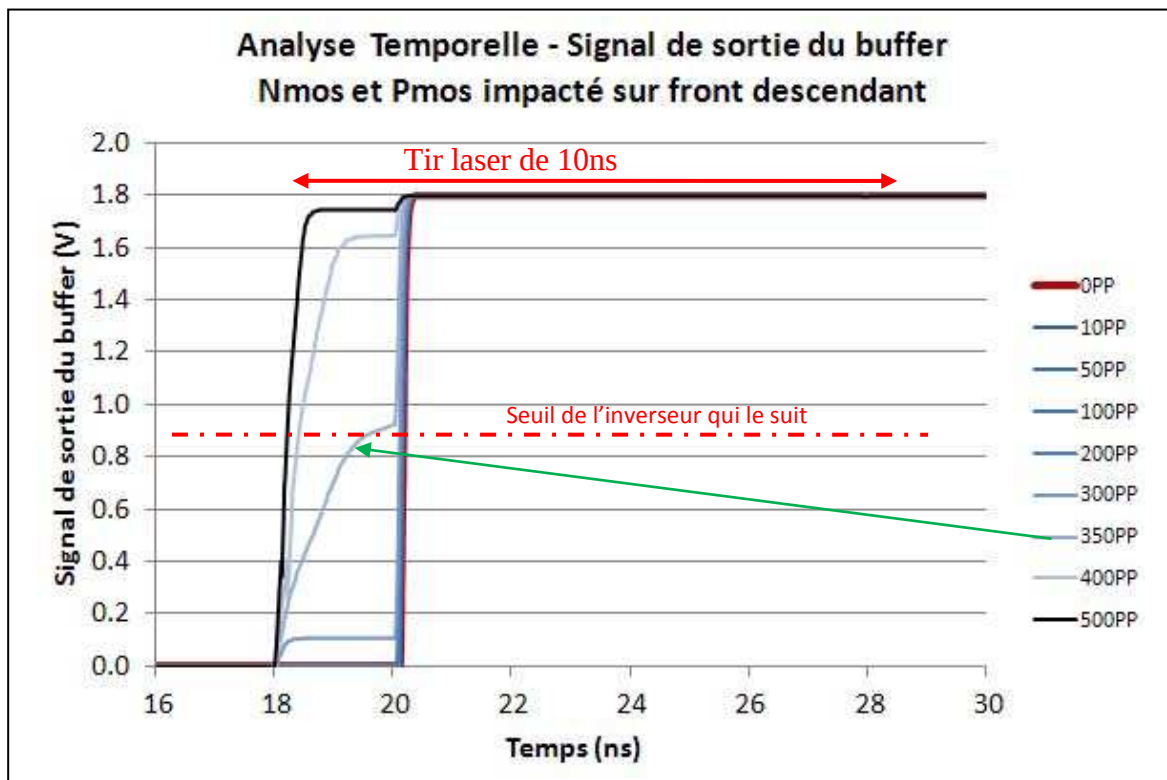


Figure 137 : Sortie du deuxième étage – NMOS & PMOS impactés du 1er inverseur

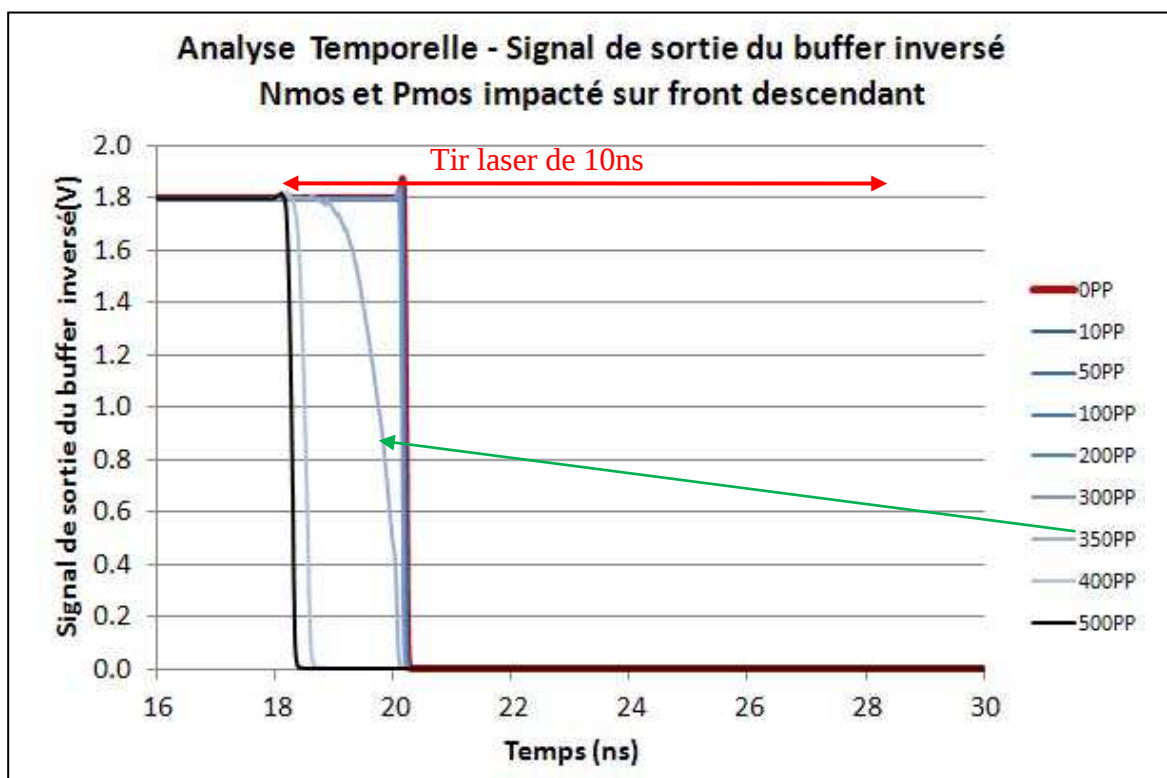


Figure 138 : Sortie du troisième étage – NMOS & PMOS impactés du 1er inverseur

Les différentes figures en sortie des trois premiers étages illustrent bien comment une accélération est créée.

Il est important de noter ici que :

- L'accélération reste faible tant que l'impact laser n'entraîne pas une dégradation de la tension de sortie en dessous du seuil de basculement du 2^{ème} étage.
- L'accélération correspond à l'instant de démarrage de l'impact laser dès que celui-ci entraîne une dégradation de la tension de sortie inférieure au seuil de basculement de l'étage suivant. Cet impact peut entraîner une faute fonctionnelle si l'impact laser continue alors que le signal en entrée change encore. En effet la sortie devient indépendante de l'entrée.

Contrairement au cas du front montant, une différence essentielle apparaît alors ici entre un impact laser impulsionnel ou continu.

2.5 Prédiction du comportement d'un inverseur impacté

Ainsi, l'étude de l'impact laser sur un inverseur au moyen de notre modèle nous a permis d'étudier le comportement de celui-ci et de prédire les conséquences de cet impact sur une chaîne d'inverseurs.

Comme on a pu le voir, un impact laser impulsionnel sur un état à « 0 » ou à « 1 » ne peut qu'entraîner des fautes fonctionnelles. Aucune dégradation des temps de propagation du signal n'étant observée.

Par contre ce même impact laser impulsionnel sur un front montant pourra ralentir le signal de propagation, de légèrement à très fortement, en fonction de la puissance laser, avant de s'imposer et de forcer le signal en sortie indépendamment du signal en entrée au risque de générer une faute fonctionnelle.

Enfin, ce même impact laser impulsionnel sur un front descendant ne pourra qu'accélérer légèrement le signal de propagation avant de forcer la sortie indépendamment du signal en entrée au risque de générer une faute fonctionnelle.

Cette distinction de comportement entre le front montant et celui descendant est conséquente des gains différents imposés dans le modèle aux offsets de courant générés sur le drain du NMOS et du PMOS, à l'avantage du NMOS.

3 Influence du profil du faisceau laser sur une chaîne d'inverseur [GOD09]

Cette partie a pour objectif de reprendre un exemple de cas observé en simulation. Elle présente par la simulation électrique, une analyse détaillée de l'influence du profil (gaussien ou uniforme) et de la taille du faisceau laser sur les caractéristiques temporelles et paramétriques d'une chaîne d'inverseur CMOS. L'effet d'un faisceau laser de type gaussien est simulé au niveau électrique pour différentes largeurs d'impulsions.

Les résultats ont été publiés en 2009. Je me permets donc de reprendre dans ce manuscrit, l'intégralité de la publication avec sa rédaction et ses résultats.

3.1 Influence of laser intensity distribution

The objective of this work is to be able to perform a realistic simulation of the situation of fig. 139 where a laser spot covers several consecutive gates in an inverter chain. Indeed, with technology scaling, the laser spot size is now always bigger than transistor dimensions with recent technologies.

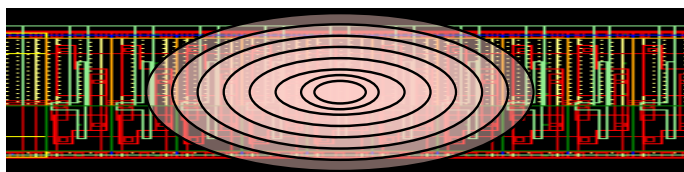


Figure 139 : **Schematic of a real test simulation with a laser spot covering several consecutive gates of an inverter chain**

For a constant incident power, increasing the spot size on a single transistor will reduce the charge collected directly by this transistor by spreading the energy over a wider surface. However, if we consider charge collection by the surrounding transistors, the larger spot size may increase the efficiency of the laser in inducing a fault at the gate or function level. This effect will be strongly dependent on the electrical schematic and how transistors are arranged in the layout. Even if the laser intensity is not high enough to force the switch of a gate, it will basically modify the threshold parameters of every illuminated transistor [DOU05].

Thus, for modern technologies, it is important to consider the laser effect at a higher level than the transistor level, especially if our aim is to correlate with experimental results on real

devices. Still, our assumption in the rest of this work will be that, due to the principle of superimposition, the higher level effect can be obtained from the composition of transistor level effects.

In the present case, in order to extract the response of the inverter chain, we need to replace each illuminated transistor with our model. The number of gates to consider depends on the laser spot size as illustrated by figure 140.

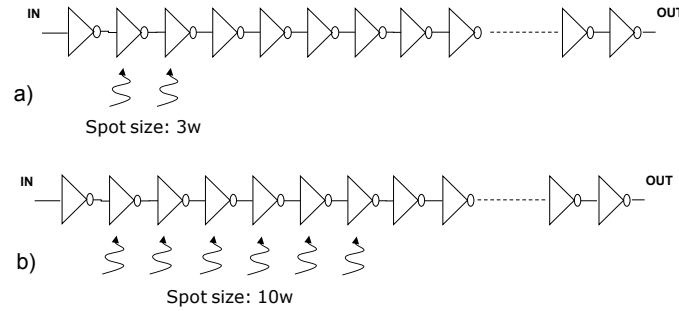


Figure 140 : **Illustration of the number of inverters illuminated with two different spot sizes**

In this work, we consider three different spot sizes of $3w$, $10w$ and $30w$, w being an arbitrary unit. Figure 141 presents the two options that we have when distributing the laser intensity over several transistors. We can use a uniform distribution or a Gaussian one, which is more realistic of a real laser but requires calculating the I_{Laser} parameter for each transistor.

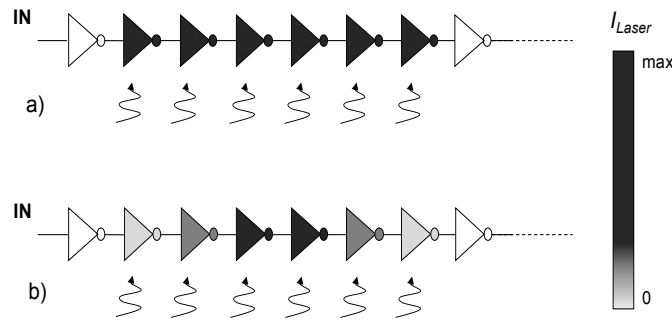


Figure 141 : **a) uniform and b) Gaussian intensity distributions**

3.2 Simulation results

We have applied our multi-transistor model to the simulation of a chain of 40 inverters in 90 nm technology. A gate signal (i.e. 0->1-> 0 transitions) is applied on the input with a duration of 1 ns. Simulations are performed under Mentor Graphics Eldo environment. Based on the selected laser intensity distribution, a script has been implemented for automatically

distributing the illuminated transistor model in the chain. The laser spot is centered in the middle of the chain.

3.2.1 Nanosecond pulses

This section presents the results obtained by simulation of a laser pulse with duration of 1.1 ns with rise and fall time of 100 ps.

For each simulated intensity distribution, the laser amplitude parameter I_{Laser} is increased until the relative variation of the output signal width is greater than 20%. This value is defined arbitrarily as the function failure threshold, whereas smaller perturbations are considered as parametric faults.

Figure 142 presents a typical simulation result with the input and output signal, as well as the transient at intermediate positions within the chain.

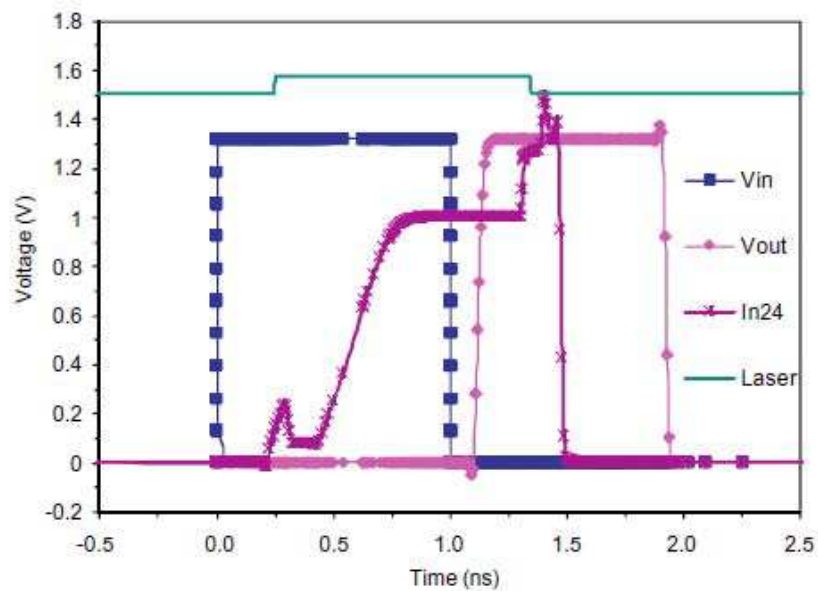


Figure 142 : **Transient simulation results for a uniform laser spot of 3w with $I_{\text{Laser}}=5.9\text{mA}$**

One can observe that the output pulse is significantly shorter than expected due to the effect of the laser pulse. The perturbation is already visible on the output of the 24th inverter, and becomes more pronounced as it propagated through the next inverters.

Figure 143 presents the same kind of results in the case of a Gaussian distribution.

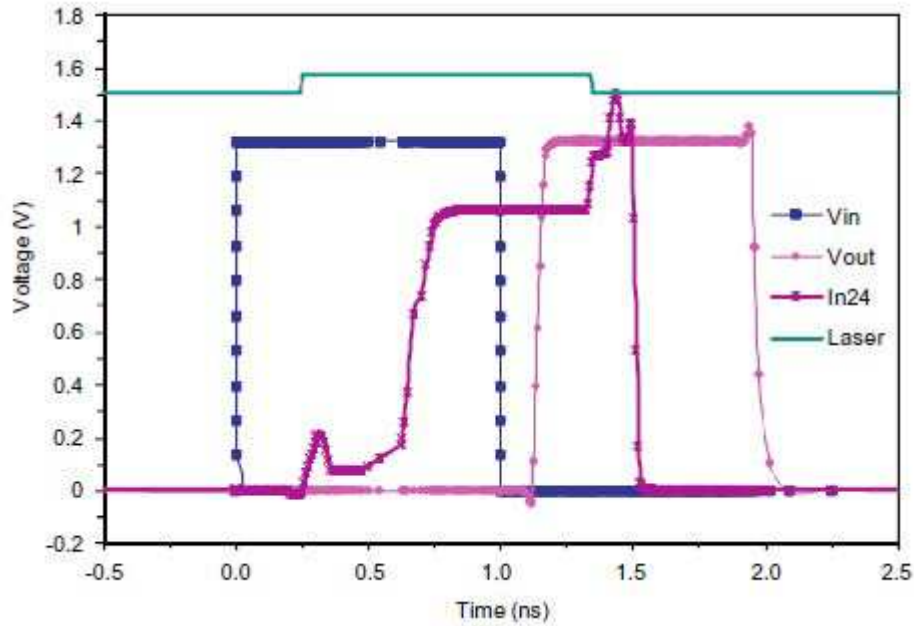


Figure 143 : **Transient simulation results for a Gaussian laser spot of 3w with $I_{\text{Laser}} = 6\text{mA}$**

Small differences are observed in the waveforms but the function failure threshold is almost the same as in the uniform spot case.

Figure 144 presents another typical simulation result, with a larger uniform laser spot. The laser pulse duration is increased to 1.75 ns and activated before the input signal rising edge.

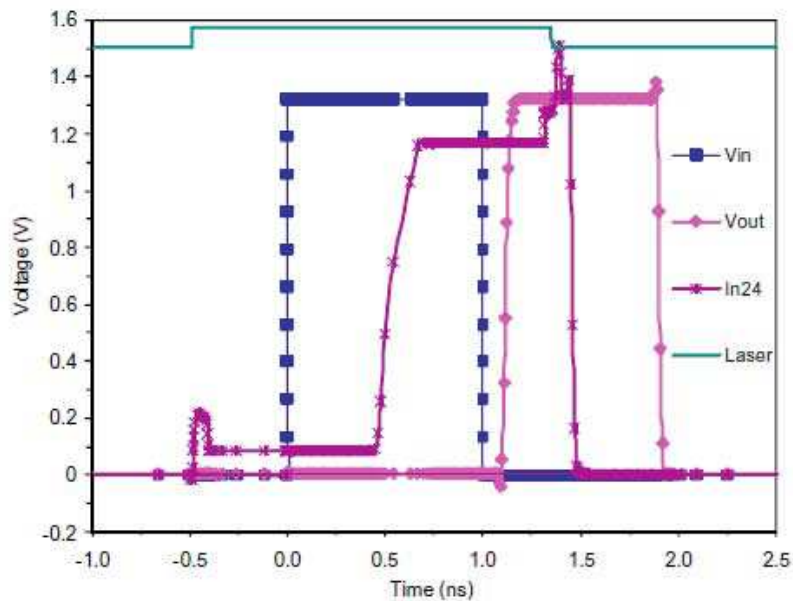


Figure 144 : **Transient simulation results for a uniform laser spot of 10w with $I_{\text{Laser}} = 15.3\text{ mA}$**

One can observe that the perturbation induced on the output signals of the inverters impacted are well perturbed by the laser activation.

Figure 145 presents the same kind of results in the case of Gaussian distribution. Comparing to the laser spot 3w, small differences are observed in the waveforms, but the function failure threshold is different between Gaussian and uniform laser spot shape.

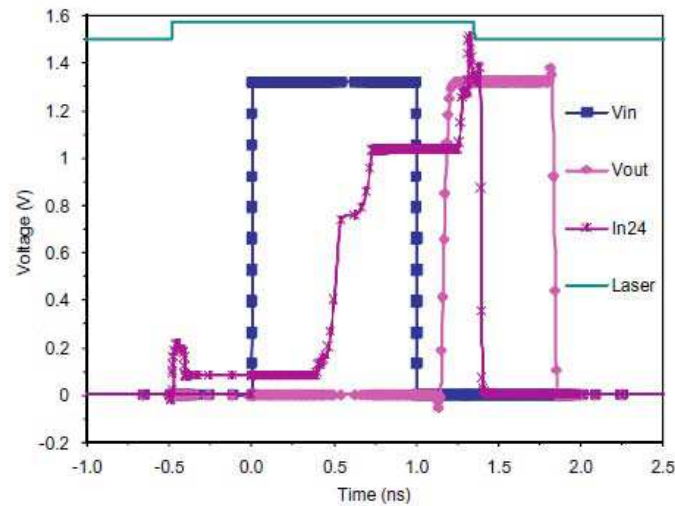


Figure 145 : **Transient simulation results for a Gaussian laser spot of 10w with $I_{\text{Laser}} = 15.3\text{mA}$**

In these simulations, we have observed that the temporal position of the laser spot (instant when the laser is triggered) does not have any significant influence on the function failure threshold. It just appears as a tiny modification on output waveforms profiles.

Figure 146 summarizes many simulation results by presenting the output pulse width as a function of the laser amplitude parameter for different laser intensity distribution.

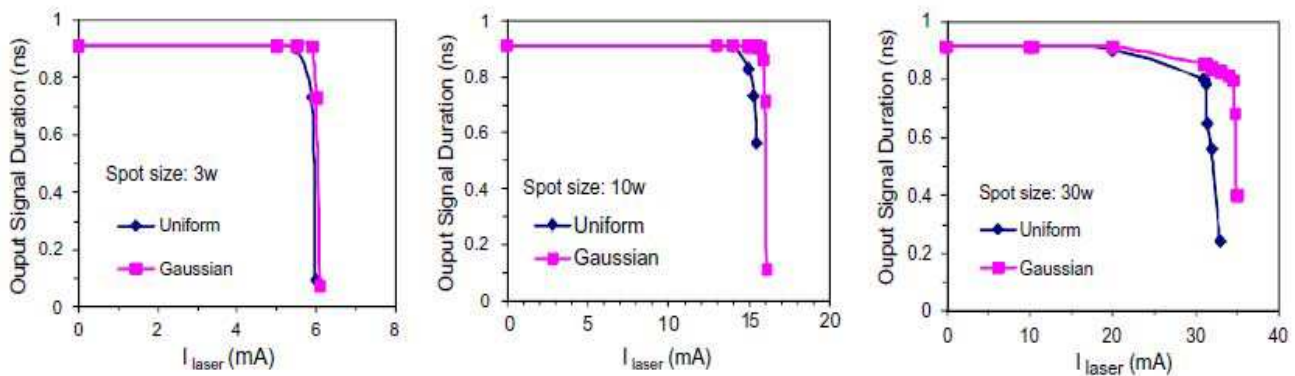


Figure 146 : **Output signal width vs laser intensity for different laser spot sizes and shapes**

A threshold is clearly observed for all three spot sizes with the uniform distribution. This threshold increases with spot size. The threshold differences between uniform and Gaussian distribution also increase with the spot size. For a spot size of $30w$, no functional failure was observed even for high laser intensities. This can be explained by the fact that the distributions have the same peak intensity value. Thus the integral of the distribution, i.e. the total optical power applied to the circuit, is smaller in the case of a Gaussian.

These results indicate that a relatively small error in the threshold estimation is induced by considering an unrealistic laser intensity distribution for large laser spots. For small spot sizes that cover only a few transistors, our results tend to indicate that there is no need for a detailed model of the laser intensity distribution and that simulating an uniform illumination can provide results accurate enough for most applications, including secure circuit design and laser testing results analysis.

3.2.2 Picosecond pulses

This section presents the results obtained by simulation of a picoseconds laser pulse.

The main current source of each transistor model is a double exponential with a rise time of 3 ps and fall time of 100 ps.

Fig. 10 shows the behavior of the chain with a uniform laser spot. The laser is triggered during the high state of the input signal.

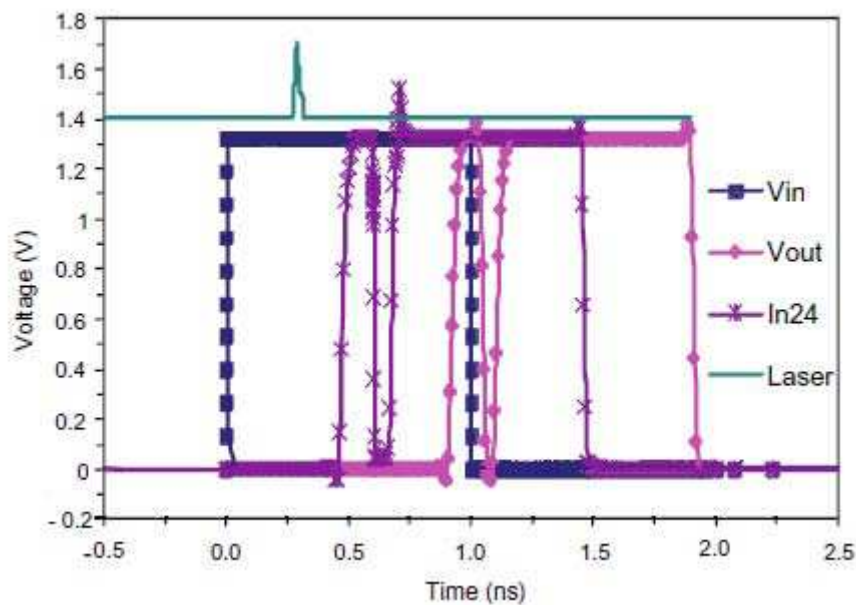


Figure 147 : **Transient simulation results for a pulsed laser with uniform laser spot of $3w$ with $I_{\text{Laser}} = 13\text{mA}$**

One can observe that the induced perturbation is different from the one presented in Fig. 142. Indeed, a glitch appears during the expected output gate signal. This means that the picoseconds laser pulse has generated a transient switch in the middle of the chain, which has propagated to the output. This phenomenon is very similar to the single-event transient propagation observed in [CAV08]. This glitch duration is long enough for triggering other logic gates at an incorrect instant, so we consider it as a function failure.

Figure 148 summarizes all the function failure threshold laser intensities obtained from simulation of different spot sizes, shapes and pulse durations.

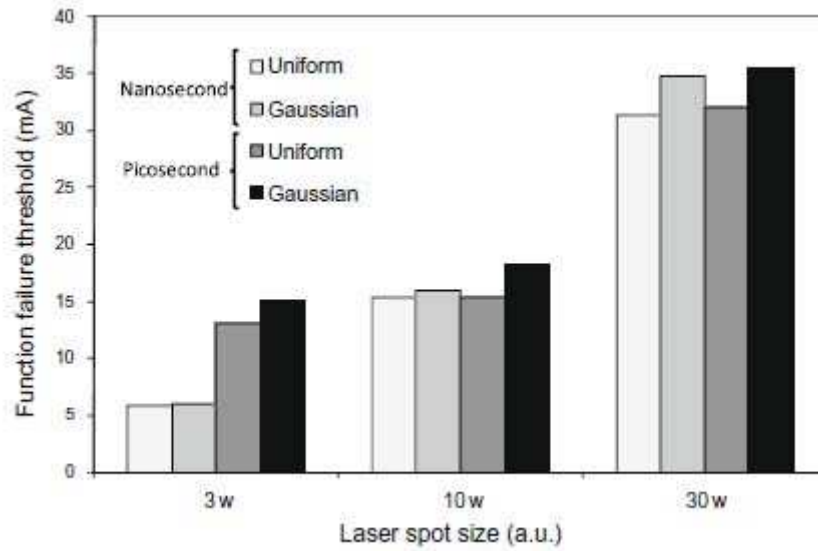


Figure 148 : **Function failure threshold vs laser spot size, shape and pulse duration**

The spot size is shown to have a strong influence on the threshold, which is coherent with classical experimental observations. Another conclusion from Fig 148 is that simulating an uniform beam distribution on the circuit always lead to underestimate the threshold by no more than 15%. Thus, the simple uniform shape can be used safely for conservative evaluation of the sensitivity of a circuit to fault injection.

Finally, we observe that the picoseconds pulse duration lead to different thresholds only for the smallest spot size simulated. This result should be taken carefully since, except for the time constants of the current source, the same electrical model was used for simulating nanosecond and picoseconds pulses. Previous work has shown that some of the charge collection mechanisms can be significantly different for those two ranges of pulse duration [DOU05].

4 Conclusion

Plusieurs informations peuvent être tirées de cette analyse comparative.

Tout d'abord, la méthodologie choisie pour extraire les paramètres de surface des transistors est sensible à la forme de layout. En effet, que les transistors soient compactés ou étalés, le modèle donne une variation entre ces deux extrêmes de l'ordre de 30% à 40% sur l'offset rajouté par le laser. De 0.7mA à 1mA à $V_{gs}=0V$ et de 1 à 1.4mA à $V_{gs}=1.8V$.

Ceci est cohérent avec la construction du modèle puisque celui-ci va injecter d'autant plus de courant que le rapport surface active/ p_{well} est grand.

Attention, cela ne prouve pas que le modèle soit cohérent avec le comportement silicium de ces 3 types de structure en particulier. En effet, ne disposant pas de structures de ce type sur circuit de test, il n'est pas possible ici de confronter le modèle avec la réalité du silicium. Il est juste possible de conclure qu'il se comporte comme attendu au regard de sa construction théorique.

Enfin, étant donné l'écart d'offset entre les deux cas extrêmes de layouts considérés, qui restent du même ordre de grandeur, et étant donné l'absence de mesures silicium factuelles pour guider l'amélioration du modèle, le choix a été fait, afin d'avancer, de considérer la méthodologie simplifiée de calcul, présentée au paragraphe 1.1.1.2 comme la règle pour la suite. Cette approche n'est donc pas un pire cas.

A noter ici, que cette méthodologie peut paraître approximative dans le cas d'un transistor puisqu'elle laisse entendre que la surface du faisceau ne recouvre que lui, ce qui avec la miniaturisation des transistors n'est pas le cas.

Par contre, cette méthodologie prend son sens lorsque l'on considère l'ensemble des transistors impactés par un faisceau. Ce qui est l'objectif de notre modèle.

De plus, les résultats comparatifs sur l'étude par la simulation de l'influence du profil du faisceau laser sur les caractéristiques électrique d'une simple chaîne d'inverseur confirment que par la suite, la distribution réelle de l'intensité du laser doit être considérée en simulation pour de faisceaux laser à large diamètre.

CHAPITRE IV: Confrontation du modèle aux mesures

1 Introduction

Dans les premiers chapitres, nous avons élaboré un modèle électrique permettant de prendre en considération les paramètres d'un impact laser sur des structures élémentaires. Puis, par la suite, nous avons construit une méthodologie permettant d'implémenter ce modèle dans un circuit sous impact laser, et prenant en compte les paramètres réels du layout.

En l'absence de résultat silicium corrélant les mesures avec les simulations du modèle sur des structures élémentaires, il ne nous a pas été possible de régler les paramètres d'entrée du modèle afin que les caractéristiques obtenues en simulation soient la copie conforme de ces mesures. Ceci reste un point ouvert.

Néanmoins, dans ce dernier chapitre, nous allons tout de même confronter cette méthodologie avec des mesures effectuées sur silicium sur des circuits complexes. L'objectif ici est de vérifier si notre outil n'est pas déjà suffisamment mature pour permettre de prédire le comportement d'un circuit en fonctionnement soumis à un impact laser afin d'en étudier l'influence du schéma ou de l'implémentation layout.

Autrement dit, si nous comparons des résultats de mesure sur silicium d'un impact laser sur des circuits complexes, sommes-nous déjà capable de reproduire les effets qualitatifs de cet impact au moyen de la simulation.

Deux paramètres observables bien distincts durant l'impact laser serviront l'étude et l'analyse : Le courant d'alimentation et le comportement fonctionnel et temporel du circuit. L'extraction de ces informations en mesure sera confrontée aux résultats de simulation.

Toutes les études suivantes ont été effectuées au sein du laboratoire DSA de STMicroelectronics, et ce en technologie 180nm. L'injection laser se fait en face arrière du composant, et plusieurs types de diode laser ont été utilisés pour la mesure.

Pour une meilleure compréhension de l'analyse, les résultats extraits lors des mesures, ainsi que ceux provenant de la simulation seront présentés dans une même partie.

Les circuits qui ont été testés sont les suivants :

- Des chaînes d'inverseurs ayant des topologies layout différentes
- Une bascule maître-esclave
- Un circuit de verrouillage de type BusKeeper

2 Principe et méthodologie de corrélation

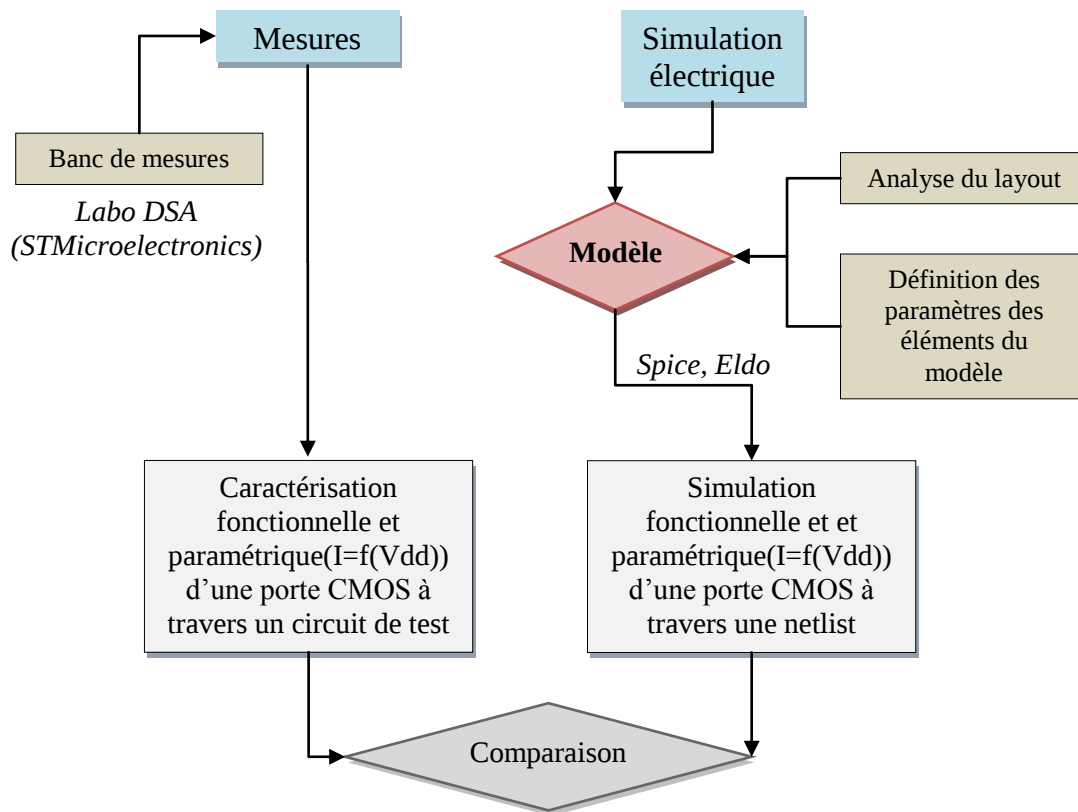


Figure 139 : Synoptique de la méthodologie utilisée

La figure ci-dessus schématise l'approche utilisée pour tenter d'une part de valider notre méthodologie d'implémentation du modèle électrique intégrant l'impact laser et d'autre part, tenter de corréler qualitativement les résultats de simulation avec la mesure.

Le principe de corrélation permet de déterminer si la méthodologie ainsi que le modèle électrique utilisé ont la faculté de prédire le comportement d'un circuit lors d'une attaque laser.

On considère que le modèle est cohérent avec la mesure lorsqu'au moins un des principes suivants est vérifié :

- le modèle décrit de façon cohérente le comportement du circuit obtenu par la mesure et arrive à prédire la conséquence de l'impact laser,
- l'évolution qualitatif des résultats paramétriques en fonction de la puissance laser envoyée est la même en mesure et en simulation,

- une différence de 5% est obtenue entre la mesure et la simulation, évaluée sur les résultats paramétriques et fonctionnels.

Voici un schéma illustrant notre chemin méthodologique utilisé pour l'étape de corrélation :

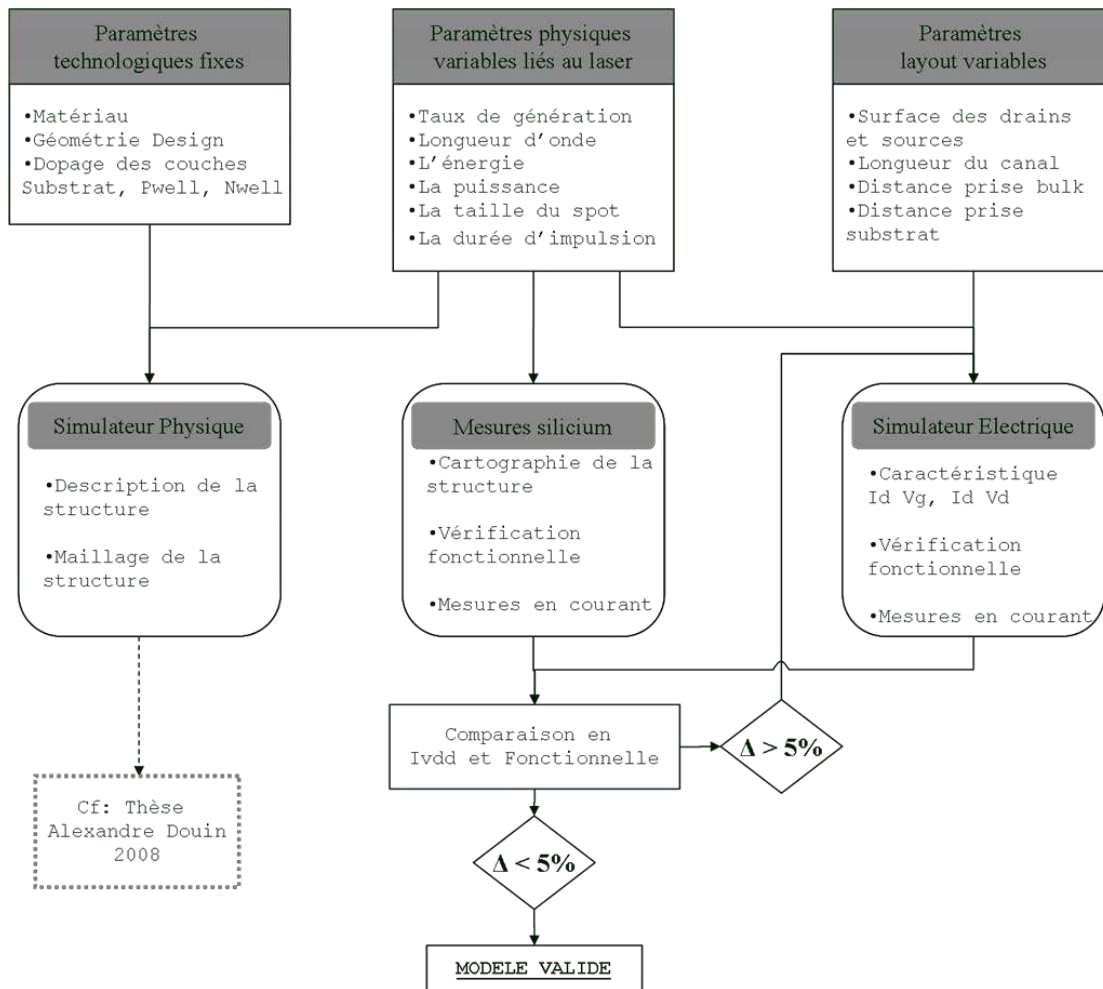


Figure 140 : Schéma illustrant notre méthodologie de corrélation

La longueur d'onde du faisceau laser conditionne bien évidemment l'énergie des photons transmis. Pour que le laser ait un impact suffisant dans des structures CMOS, l'énergie des photons doit être supérieure à l'énergie de BandGap du silicium (1,12 eV). Ainsi, la longueur d'onde doit être inférieure à 1,10µm. Cette dernière contribue aussi à la profondeur de pénétration du faisceau. Pour une injection laser en face arrière (face substrat), la longueur d'onde se situe dans l'Infra rouge soit entre 0,8µm et 1,06µm.

3 Etude sur des chaînes d'inverseur CMOS

Le premier cas de mesures dont nous disposons concerne l'impact laser sur des chaînes d'inverseur CMOS aux topologies layout différentes.

3.1 Présentation de la puce de test

La puce de test TC_TATI_F9 est un produit purement interne à STMicroelectronics. Elle permet la caractérisation de cellules standards ainsi que la vérification et la validation des règles de fiabilité, ou règles DFM (**D**esign **F**or **M**anufacturing). Elle est développée dans chaque technologie à travers des structures CMOS dédiées.

L'objectif de ce circuit de test est double. Le premier est de caractériser et de mesurer les temps de propagation de certaines cellules standards de la librairie 0,18 μ m de STMicroelectronics. Le second est de permettre l'amélioration de la robustesse de la technologie.

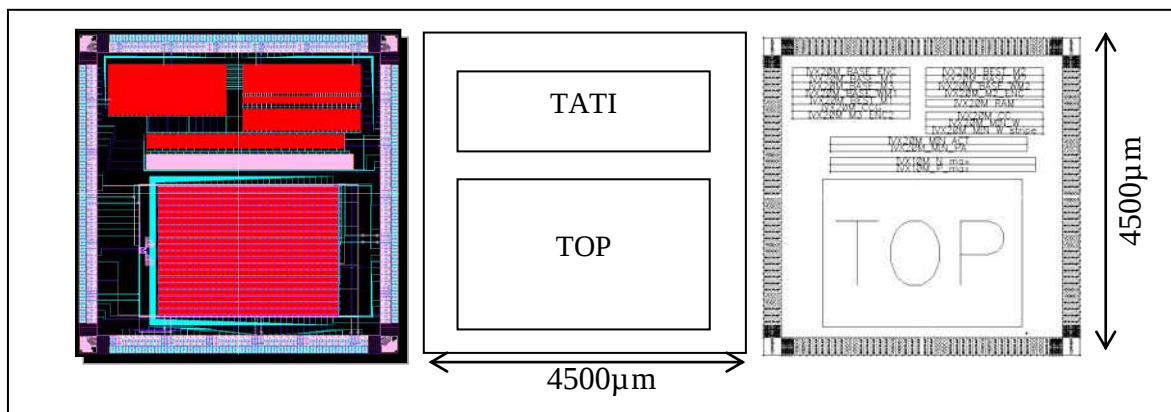


Figure 141 : **Circuit de test TATI**

La puce de test TC_TATI_F9 est constituée de dix-neuf chaînes différentes d'inverseurs CMOS et d'un bloc spécifique appelé TOP.

3.2 Présentation des chaînes d'inverseurs

La chaîne d'inverseurs (ou de délais) est une structure sélectionnée non seulement pour caractériser son élément de base, un inverseur, mais aussi pour permettre la mesure de la défectuosité de différentes implémentations layout d'un même schéma d'inverseur. En effet, une chaîne d'inverseur est constituée d'un unique élément de base, mais répété un très grand nombre de fois (de plusieurs milliers à plusieurs dizaines de milliers de fois). Ceci a pour

premier intérêt de donner accès à la mesure du délai de son constituant unique (l'inverseur) par division de la mesure du délai de la chaîne par son nombre de constituants, réduisant la difficulté de la précision de la mesure d'autant plus que la chaîne est grande. Le deuxième intérêt est, par le jeu du grand nombre d'éléments, de faciliter la découverte d'un effet de défectuosité dans le dessin de la structure implémentée.

Il suffit alors de mettre sur le circuit de test autant de chaînes d'inverseurs différentes que l'on souhaite tester et stresser de paramètres et de variations layout possibles sur une structure de base afin d'en déterminer les points critiques. Le schéma de la cellule de base restant inchangé.

Les différences étudiées concernent principalement les interconnexions entre les différents composants, ainsi que la forme du layout de chaque transistor. Chaque chaîne d'inverseur possède son plot (pad) d'entrée et de sortie afin de permettre des mesures indépendantes. Ceci permet d'étudier pour chaque chaîne, la fonctionnalité de sa cellule standard ainsi que ses caractéristiques temporelles et paramétriques (ici, l'analyse de sa consommation).

Pour ce qui concerne notre étude, trois chaînes différentes géométriquement parlant sont étudiées :

- la première appelée BASE_ENC a pour caractéristique layout d'être dimensionnée au minimum de la technologie.
- les deux chaînes suivantes MAX_P et MAX_N ont une surface de drain du transistor PMOS pour l'une et du transistor NMOS pour l'autre, dix fois plus grande que le standard.

3.2.1 Description de la chaîne BASE_ENC

La chaîne est constituée d'une suite de 20 000 inverseurs tous identiques. La sortie est connectée à un buffer pour permettre la mesure sur un pad. Cette chaîne est constituée de 20 lignes tête bêche de 1000 inverseurs.

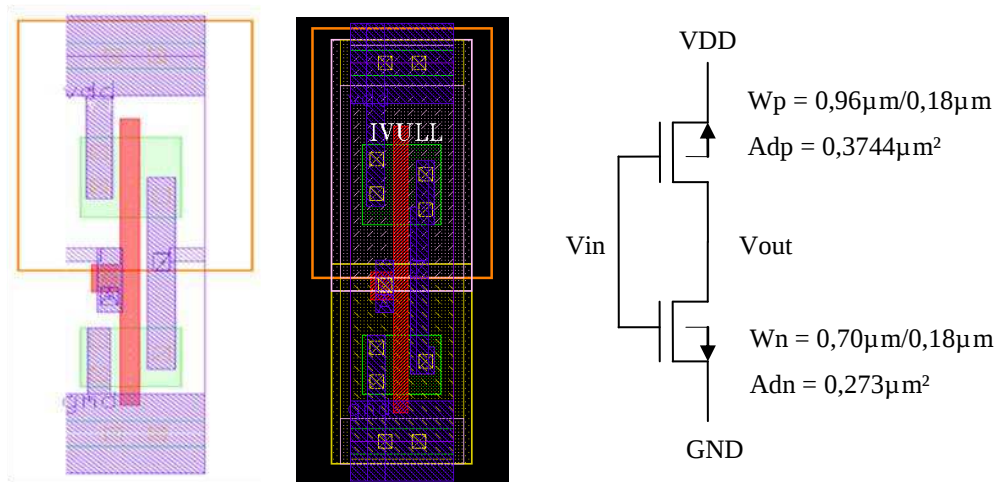


Figure 142 : Inverseur de la chaîne BASE_ENC

Les transistors PMOS ont une largeur de grille égale à 960nm. Les transistors NMOS ont une largeur de grille de 700nm. Tous ont une longueur de grille minimale de 180nm. Les surfaces de drain et de source du PMOS et du NMOS sont minimums.

3.2.2 Description de la chaîne MAX_P

Cette chaîne est composée de 10 000 inverseurs tous identiques. Cette chaîne est constituée de 20 lignes tête bêche de 500 inverseurs. La sortie est connectée à un buffer pour permettre la mesure sur un pad.

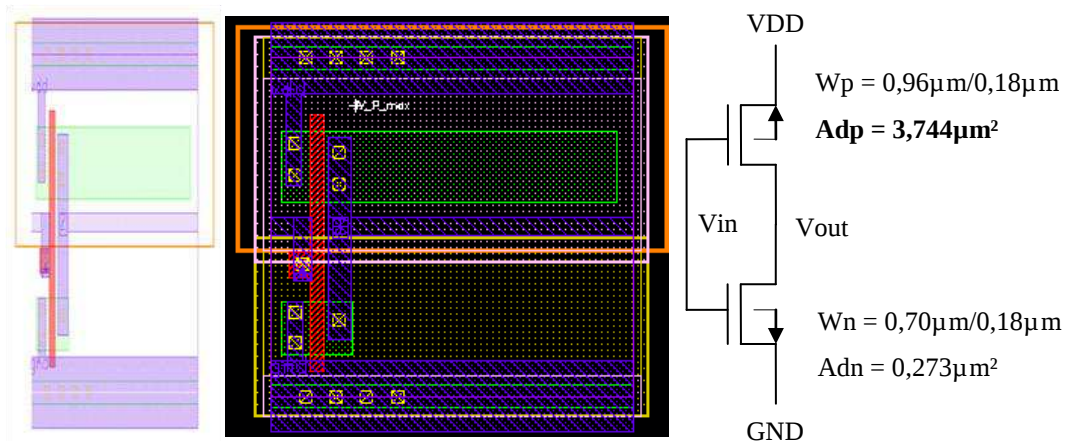


Figure 143 : Inverseur de la chaîne MAX_P

Les transistors PMOS ont une largeur de grille égale à 960nm. Les transistors NMOS ont une largeur de grille de 700nm. Tous ont une longueur de grille minimale de 180nm. Les surfaces

de drain et de source du NMOS sont minimums. Par contre, cette fois, la surface de drain du transistor PMOS est dix fois supérieure au minimum.

3.2.3 Description de la chaîne MAX_N

Cette chaîne est identique à la précédente si ce n'est que c'est cette fois la surface de drain du NMOS qui a été multipliée par dix, et non celle du PMOS.

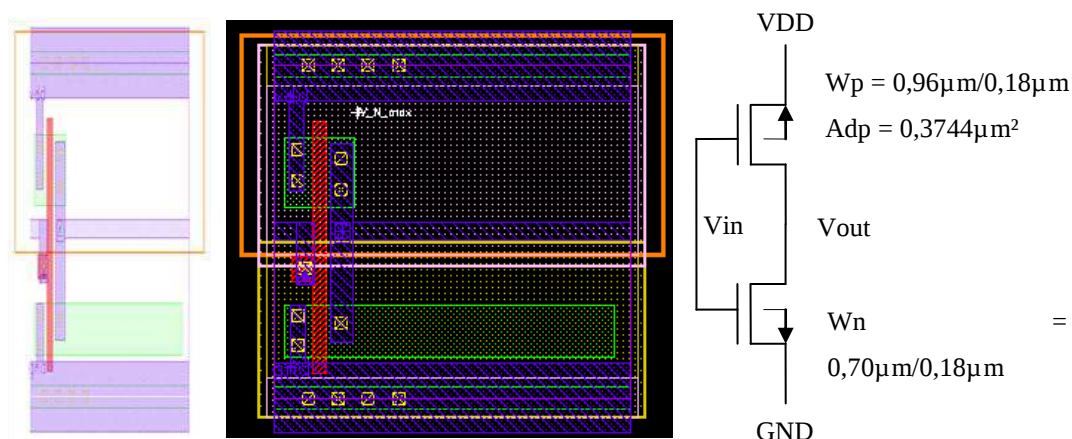


Figure 144 : Inverseur de la chaîne MAX_N

3.3 Résultats de mesure

Pour cette étude, deux types de laser ont été utilisés. Les deux sont du domaine de l'infrarouge, chacun ayant environ une longueur d'onde égale à 973 nm. Le premier laser utilisé a un diamètre de 5μm. Le deuxième a un diamètre de 70μm.

Parce que chaque chaîne d'inverseurs a ses propres pads d'alimentation, d'entrée et de sortie, l'observation de l'impact permet de savoir que l'impact laser a bien touché la chaîne même s'il n'est pas possible de déterminer précisément où sur celle-ci.

3.3.1 Etude avec le laser de diamètre 5μm

Une première étude est faite avec un laser ayant un diamètre de faisceau de 5μm. L'étude avec ce laser a été réalisée uniquement sur la chaîne d'inverseurs standard, BASE_ENC. La chaîne d'inverseurs est cadencée à une fréquence de fonctionnement de 200Hz. Le laser, lui, délivre un train d'impulsion à 400Hz, avec un rapport cyclique de 95%. L'information

concernant le profil du faisceau laser utilisé (uniforme ou gaussien) ne nous est pas connue à cette étape de l'étude.

3.3.1.1 Résultats de mesure pour la chaîne BASE_ENC

Le tableau suivant résume les résultats obtenus. Il résume les impacts observés sur les caractéristiques temporelles du circuit ainsi que sur sa consommation.

Puissance laser (Watts/Ampères)	Temps de propagation mesuré ($T_{p_{LH}} + T_{p_{HL}})/2$	Courant d'alimentation (statique)	Delta de temps de propagation
Sans laser	1010 ns	-	0
72 mW / 160 mA	1020 ns	+0,6 mA	10 ns
154 mW / 300 mA	1028 ns	+1,14 mA	18 ns
268 mW / 500 mA	1038 ns	+2 mA	28 ns

Figure 145 : Résultats de mesure obtenus pour la chaîne BASE_ENC impactée par un laser de 5µm de diamètre

Deux observations peuvent être tirées de ces résultats. La première est que l'impact laser entraîne une augmentation du temps de propagation sur les deux fronts (voir la figure suivante).

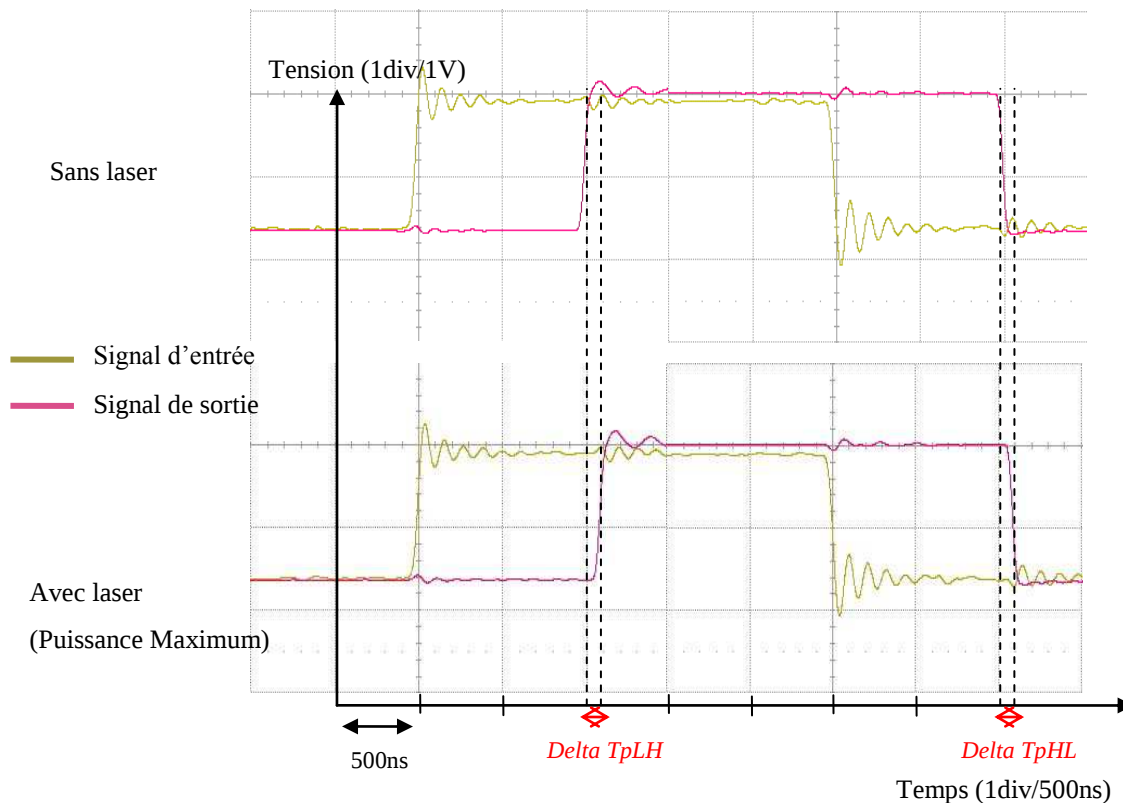


Figure 146 : **Impact laser sur les temps de propagation**

La deuxième concerne les caractéristiques de consommation et de temps. En effet, on observe respectivement un ratio de 1,875 et de 3,125 entre la première puissance laser et les deuxième et troisième.

De même, on observe un ratio de 1,9 et de 3,33 pour le courant d'alimentation, et un ratio de 1,8 et de 2,8 pour les délais. Ainsi, il semble que l'augmentation du temps de propagation, tout comme la consommation du circuit impactée varie linéairement avec la puissance laser envoyée pour un laser de diamètre 5 μ m.

3.3.2 Etude avec le laser de diamètre 70 μ m

Une seconde étude est menée avec un laser ayant un faisceau de diamètre 70 μ m. Ses caractéristiques sont disponibles en annexe. La mise en place de l'environnement laser est la même pour les trois chaînes d'inverseurs.

La chaîne d'inverseur a une fréquence fixe de 231Hz environ. Le laser délivre une fréquence d'impulsion deux fois plus rapide (400Hz), et son rapport cyclique est réglé à 50%.

3.3.2.1 Résultats de mesure pour la chaîne BASE_ENC

Le tableau suivant recense les résultats obtenus.

Puissance laser (Watts/Ampères)	Temps de propagation mesuré ($T_{p_{LH}} + T_{p_{HL}})/2$	Courant d'alimentation (dynamique)	Delta de temps de propagation
Sans laser	992,5 ns	-	0
0,1 W	992,8 ns	-	300 ps
0,18 W	1001 ns	-	8,5 ns
0,2 W	1006 ns	-	13,5 ns
0,3 W	-	+8,09 mA	-
0,4 W	1020,5 ns	+10,44 mA	28 ns
0,5 W	1033,5 ns	-	41 ns
0,6 W	-	+11,7 mA	-
1,5 W	1085,5 ns	+13,6 mA	93 ns
2.25 W	-	+15,5 mA	-

Figure 147 : Table recensant les résultats de mesure obtenus de la chaîne BASE_ENC impactée par un laser de diamètre 70µm

De même qu'avec le laser de diamètre 5µm, on observe une augmentation du délai de propagation du signal. Là encore, elle semble varier linéairement avec la puissance laser envoyée.

Par contre, contrairement au cas du laser de diamètre 5µm, l'augmentation de la consommation ne varie plus du tout linéairement. On observe au contraire un effet de saturation.

3.3.2.2 Résultats de mesure pour la chaîne MAX_P

Le tableau suivant recense les résultats obtenus.

Puissance laser (Watts/Ampères)	Temps de propagation mesuré ($T_{p_{LH}} + T_{p_{HL}})/2$	Courant d'alimentation (dynamique)	Delta de temps de propagation
------------------------------------	--	--	----------------------------------

Sans laser	922 ns	-	0
0,2 W	936 ns	-	14 ns
0,3 W	-	+7 mA	-
0,4 W	954 ns	+9,4 mA	32 ns
0,5 W	976 ns	-	54 ns
0,6 W	-	+11,23 mA	-
1,5 W	1018 ns	+13 mA	96 ns
2,25 W	-	+16 mA	-

Figure 148 : **Table recensant les résultats de mesure obtenus de la chaîne MAX_P impactée par un laser de diamètre 70µm**

Tout comme pour la chaîne précédente, l'impact laser entraîne une augmentation des temps de propagation sur les deux fronts. Le changement de la géométrie du transistor PMOS (surface de drain dix fois plus grande), tout comme la réduction du nombre d'inverseurs impactés (la surface de la cellule inverseur a augmenté unitairement du fait de la surface de drain du PMOS, réduisant le nombre d'inverseurs dans le faisceau laser) ne change pas le comportement de la chaîne soumise à un impact laser.

De son côté l'augmentation de la consommation est elle aussi similaire à celle observée sur la chaîne BASE_ENC et dans les mêmes proportions. Ici aussi, un effet de saturation est observé.

3.3.2.3 Résultats de mesure pour la chaîne MAX_N

Les résultats obtenus sur la chaîne MAX_N sont similaires à ceux observés sur la chaîne MAX_P. Là encore, les variations layout implémentées (multiplication par dix de la surface de drain du transistor NMOS) ne changent pas fondamentalement les résultats, ni qualitativement, ni quantitativement.

Puissance laser (Watts/Ampères)	Temps de propagation mesuré ($T_{p_{LH}} + T_{p_{HL}})/2$)	Courant d'alimentation (dynamique)	Delta de temps de propagation
Sans laser	900 ns	-	0
0,2 W	925 ns	-	25 ns

0,3 W	-	+8 mA	-
0,4 W	934 ns	+9,3 mA	34 ns
0,5 W	942,5 ns	-	42,5 ns
0,6 W	-	+10.1mA	-
1,5 W	982 ns	+15 mA	82 ns
2.25W	-	+18,7mA	-

Figure 149 : **Table recensant les résultats de mesure obtenus de la chaîne MAX_N impactée par un laser de diamètre 70µm**

3.4 Confrontation avec les simulations

La même méthodologie que celle décrite dans le chapitre trois, concernant la simulation de l'impact laser sur les structures simples que sont les transistors NMOS ou PMOS, ou sur l'inverseur, va être appliquée dans ce chapitre.

Pour chaque cas de simulation, il nous faudra tout d'abord étudier quelle est la surface layout du circuit qui est impactée par le faisceau laser, afin de déterminer quels transistors sont réellement illuminés. En fonction du type de profil du laser (gaussien ou uniforme), on pourra même être amené à répercuter le pourcentage d'illumination à appliquer à chacun de ces transistors. Ainsi, chacun des transistors est étudié dans le layout afin de déterminer sa localisation dans ce layout et donc son interaction avec l'impact laser, mais aussi afin d'en extraire des paramètres importants intervenant dans le modèle, comme la surface de drain.

Aussi, il est important de souligner ici que parce que nous ne connaissons pas lors des mesures précédentes la position du faisceau laser sur le layout (le banc de test n'étant pas équipé de caméra infrarouge), et parce que nous avons vu dans le chapitre précédent, que le layout est un facteur critique influençant le résultat, nous avons pu être amenés durant nos simulations à étudier différentes positions du faisceau laser afin de discriminer différentes configurations entraînant des résultats différents.

Chacun des cas de mesure présenté précédemment fera l'objet d'une simulation de l'impact laser. Ces différents cas nous donnerons l'occasion d'étudier :

- l'influence du profil du faisceau laser sur les réponses temporelles des structures (gaussien ou uniforme),
- les conséquences du positionnement du faisceau laser sur le circuit (Transistors PMOS ou bien NMOS uniquement impactés, ou alors les deux en même temps),

- l'impact du nombre de transistors impactés (variation du diamètre de faisceau) sur les réponses du circuit.

Au final, l'objectif est de confronter les prédictions obtenues en simulation avec les mesures, afin de vérifier tout d'abord la maturité de notre outil, mais aussi lorsque les résultats convergent afin de nous en servir pour mieux comprendre le comportement du circuit.

3.4.1 Etude avec le laser de diamètre 5µm

Dans ce paragraphe, le faisceau laser a un diamètre de 5µm qui se rapproche de la structure élémentaire qu'est l'inverseur unitaire de cette chaîne. Du coup, nous n'avons pas voulu considérer comme surface impactée la seule surface correspondant au 19,6µm² du faisceau à proprement parlé. En effet, on peut considérer que le faisceau laser est beaucoup plus grand lors de son interaction avec le circuit. Un effet de divergence peut se créer, de par l'effet de diffusion des porteurs, générant alors une distribution gaussienne de la puissance laser ; cela a pour conséquence un nombre plus important de structures ou transistors impactés à considérer.

Nous avons ainsi considéré que les structures couvertes par la surface du faisceau effective (5µm) sont impactées à 100%, et que celles adjacentes, suivent la loi de Poisson décrite ci-dessous :

$$P_{laser}(x) = P_{laser} (max) \times \exp\left(-\frac{x^2}{rayon^2}\right)$$

X étant la distance où $P_{laser}=P_{laser}(x)$

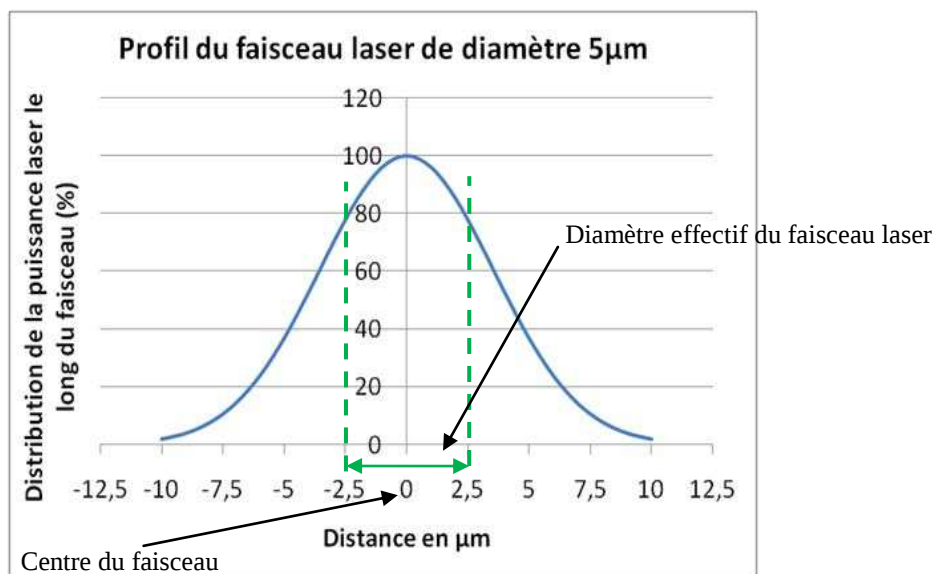


Figure 150 : **Exemple du profil gaussien d'un faisceau laser de 5µm de diamètre**

La figure ci-dessus représente la distribution de la puissance laser le long du faisceau. Dans le cas présent, l'impact d'un faisceau laser de 5µm sur le circuit, s'étale sur une surface silicium de 20µm de diamètre avec une décroissance suivant la loi de Poisson.

Ainsi, dans le cas de la chaîne BASE_ENC impacté par un laser de diamètre de 5µm, un profil Gaussien sera pris en compte par le modèle.

3.4.1.1 La simulation de la chaîne BASE_ENC

- Cas d'étude centré sur un inverseur

Dans un premier temps, notre choix pour la position sur le layout du centre du faisceau du laser s'est porté sur le milieu de la troisième ligne d'inverseurs, entre le NMOS et le PMOS d'un même inverseur.

Une fois ce choix effectué, un poids en pourcentage (%) de l'impact laser a été associé à chacun des transistors dans la surface concernée. Ce % a été calculé à partir de la loi de poisson appliqué à un cercle de faisceau gaussien de diamètre 5µm.

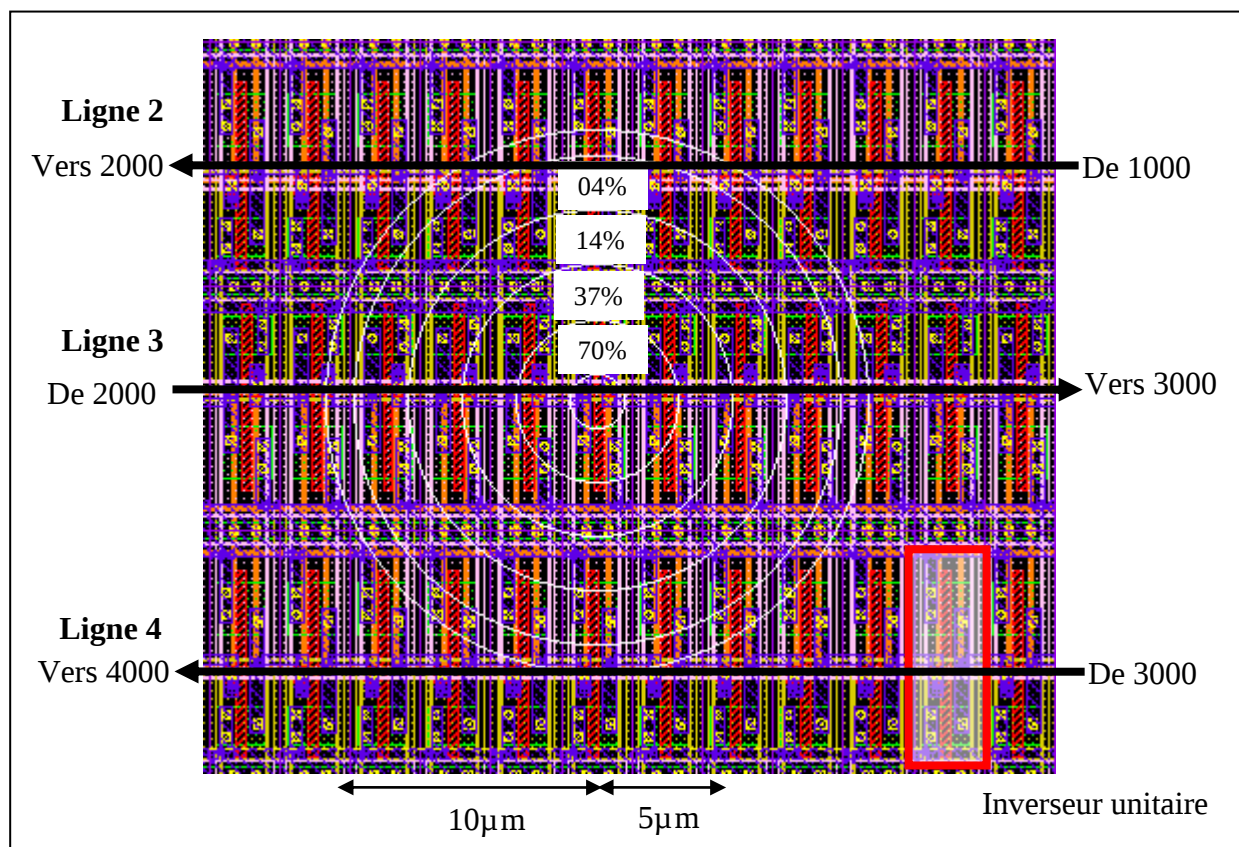


Figure 151 : Layout impacté par le faisceau

Cette configuration layout correspond au schéma suivant :

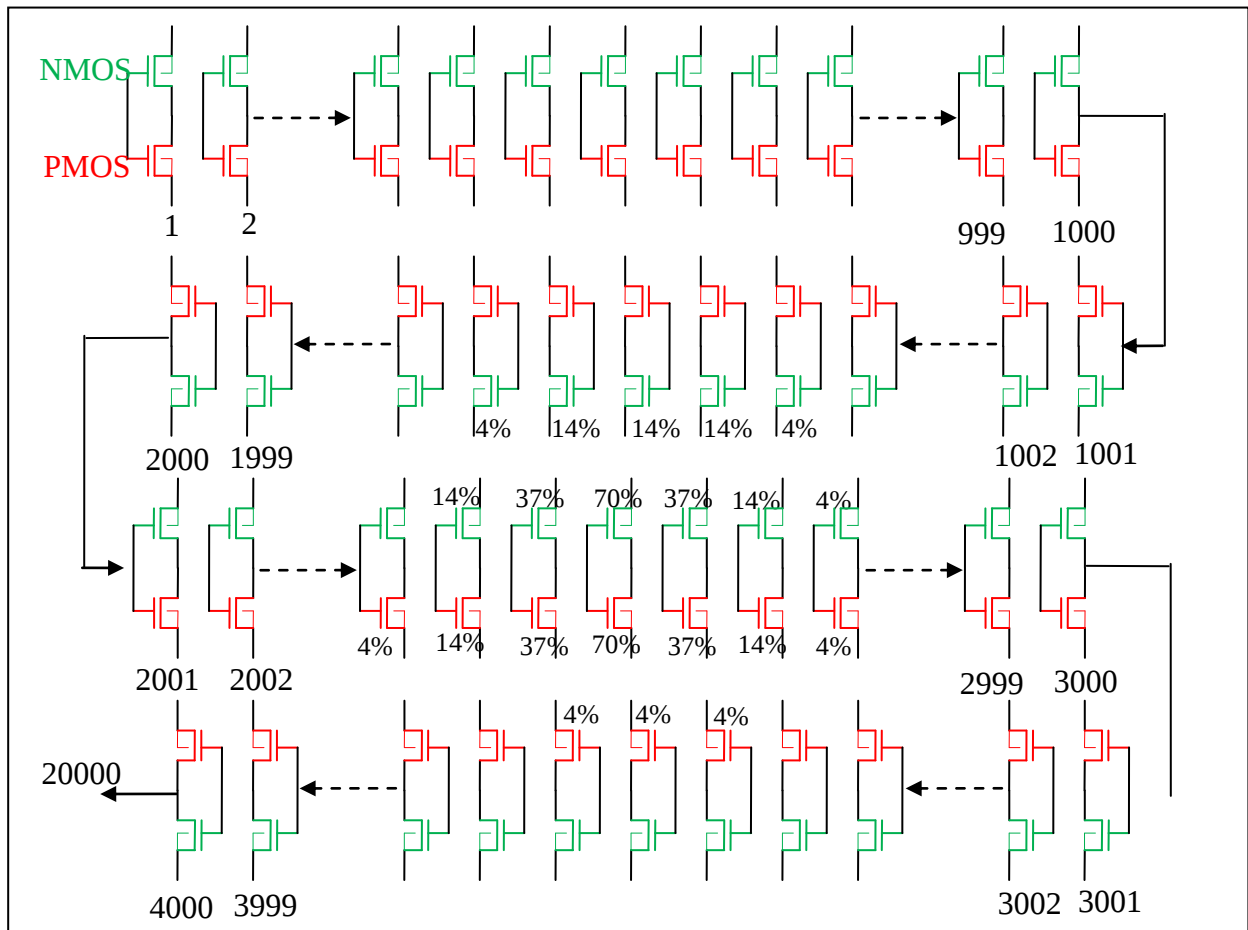


Figure 152 : Schéma impacté par le faisceau

Dans cette configuration, seuls sont impactés les lignes 2, 3 et 4. Mais le faisceau étant centré sur la 3^{ème} ligne, comme on peut le voir sur les figures représentant le layout et le schéma, l'impact concerne essentiellement la 3^{ème} ligne.

Sur les figures suivantes, il est possible d'observer les conséquences de l'impact laser sur les temps de propagation au niveau des sorties des inverseurs 2000, 3000 et 4000.

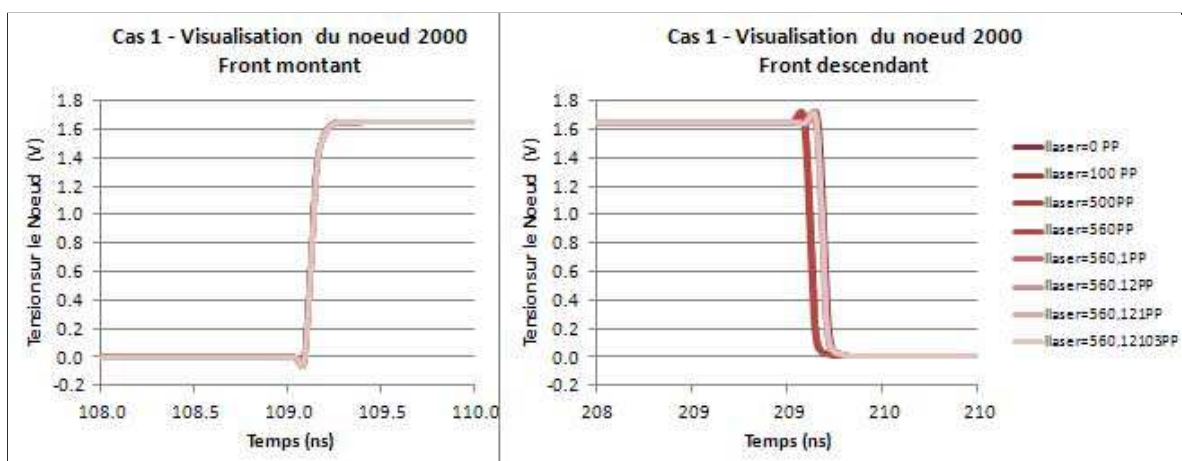


Figure 153 : Visualisation du nœud 2000

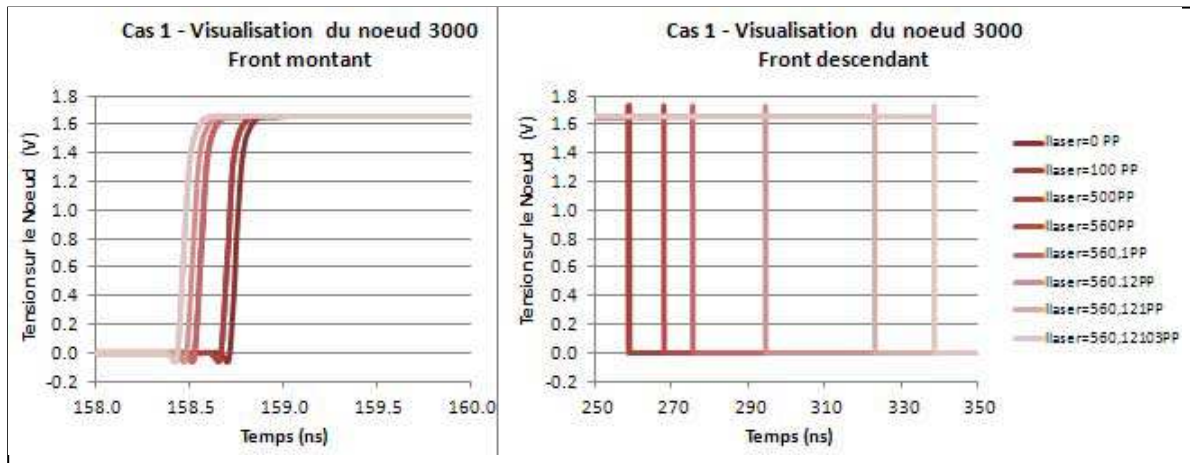


Figure 154 : Visualisation du nœud 3000

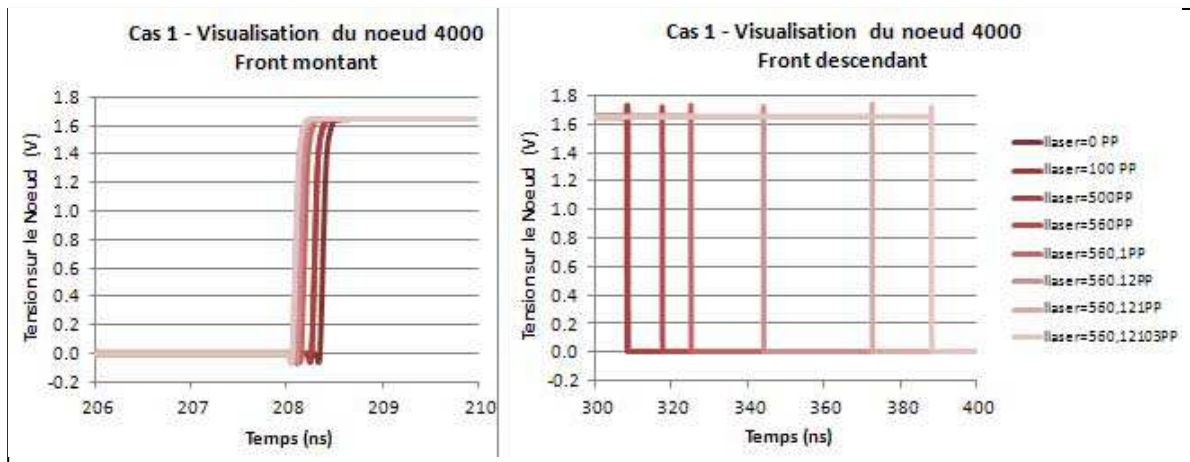


Figure 155 : Visualisation du nœud 4000

Comme attendu du fait de la distribution du faisceau laser, l'impact principal est concentré sur la 3^{ème} ligne. On y observe une très légère accélération sur le front montant de l'ordre de quelques centaines de picosecondes, et un très fort ralentissement sur le front descendant. Ces résultats de simulation sont cohérents avec nos observations du chapitre 2. Dans la zone de l'impact, l'amplitude du signal se réduit en traversant chaque étage impacté de la chaîne. Ce signal de faible amplitude ressortant de la zone impacté introduit un impact sur les temps de propagation en attaquant les étages suivants non impactés.

Ayant centré notre faisceau laser dans le layout sur la ligne numéro 3, l'impact principal est concentré sur un unique inverseur à 70%. Celui-ci est la principale source de dégradation des timings.

Comme présenté dans le chapitre II, cet impact entraîne une légère accélération du temps de propagation sur le front descendant et un fort ralentissement du temps de propagation sur le front montant de l'étage suivant la zone impactée. Cet étage portant un numéro impair, cet

impact est inversé en sortie de la chaîne (qui porte un numéro pair). Si cet étage de sortie avait porté un numéro pair, nous aurions observé en sortie de la chaîne l'inverse de la situation actuelle, à savoir une légère diminution du temps de propagation pour le front descendant et un fort ralentissement du temps de propagation pour le front montant.

- Cas d'étude centré entre deux inverseurs

Dans ce deuxième cas d'étude, au lieu de centrer le faisceau sur l'inverseur d'une ligne de la chaîne, il a été centré cette fois-ci entre deux lignes d'inverseurs.

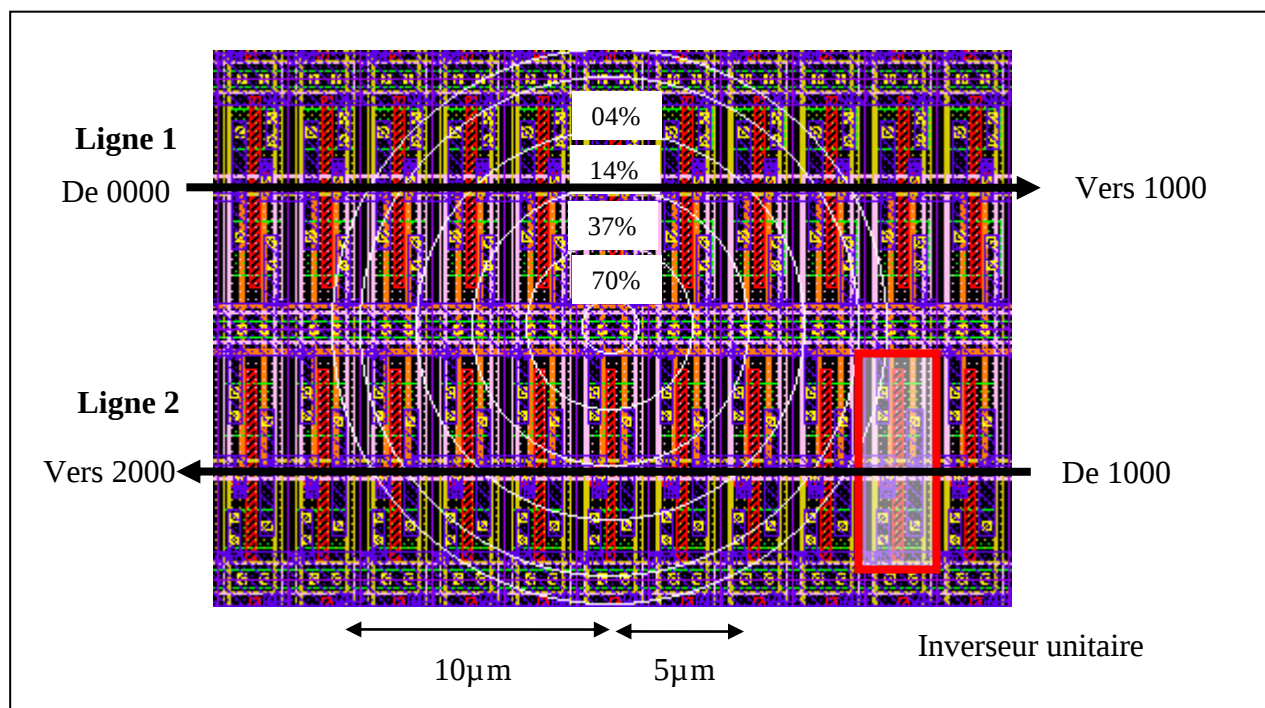


Figure 156 : Layout impacté par le faisceau

Cette configuration layout correspond au schéma suivant :

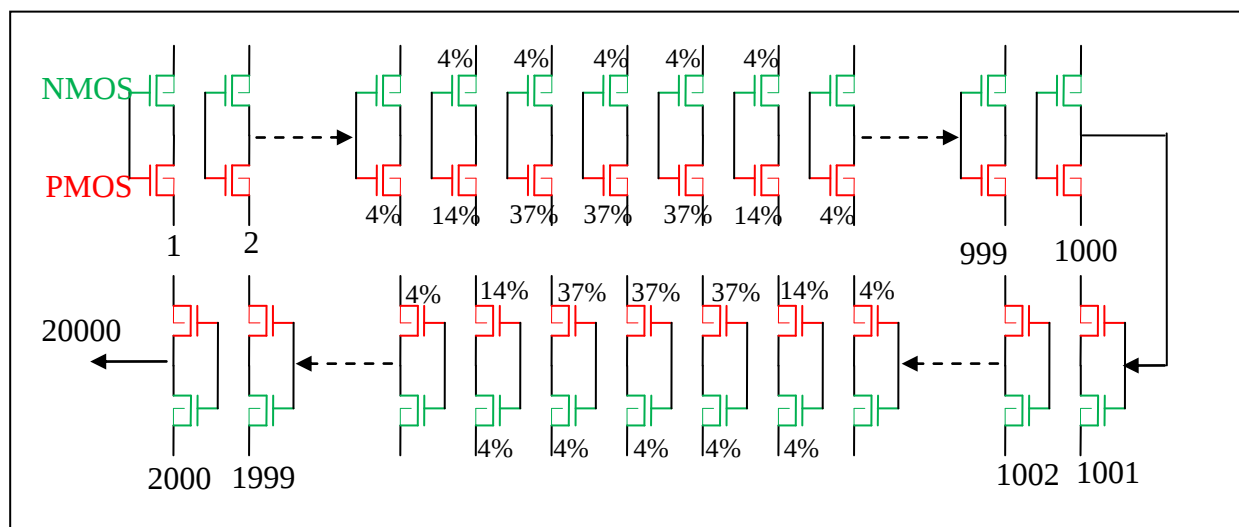


Figure 157 : **Schéma impacté par le faisceau**

Dans cette configuration, seuls sont impactées les lignes 1, et 2. Par ailleurs, la chaîne du circuit de test est construite avec des lignes d'inverseurs tête bêtes. Le signal circule ainsi de gauche à droite sur une ligne, puis revient de droite à gauche sur la suivante qui a de plus les inverseurs tête-bêche. Si les PMOS de l'inverseur étaient en bas sur la première ligne, ils se retrouvent en haut sur la deuxième.

Ainsi, le fait de centrer le faisceau entre deux lignes implique que l'impact sera parfaitement symétrique sur chacune des deux lignes, contrairement au cas précédent. Dans ce cas d'étude, les 2 premières lignes sont « équitablement » impactées.

Sur les figures suivantes, on peut observer le résultat de l'impact sur le temps de propagation en bout de chaîne sur les sorties des inverseurs 1000 et 2000.

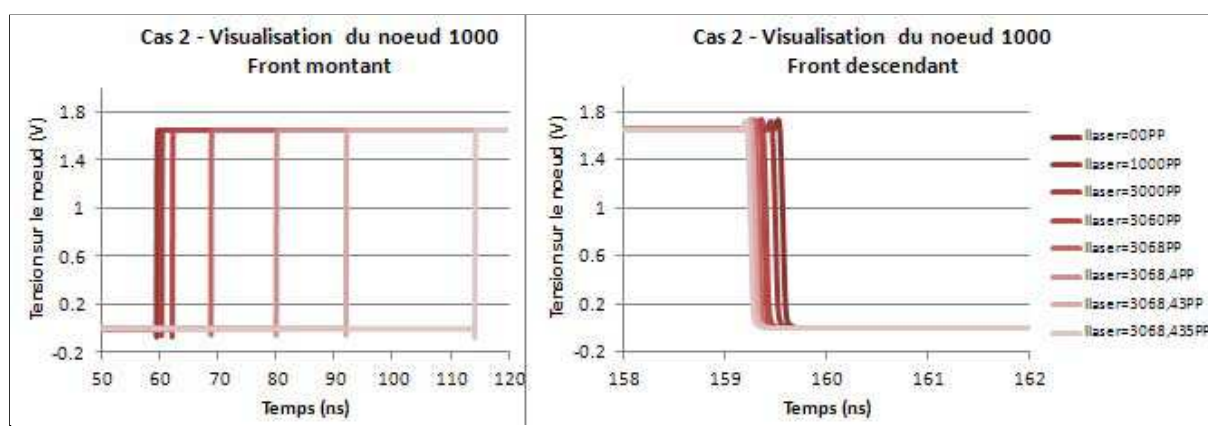


Figure 158 : **Visualisation du nœud 1000**

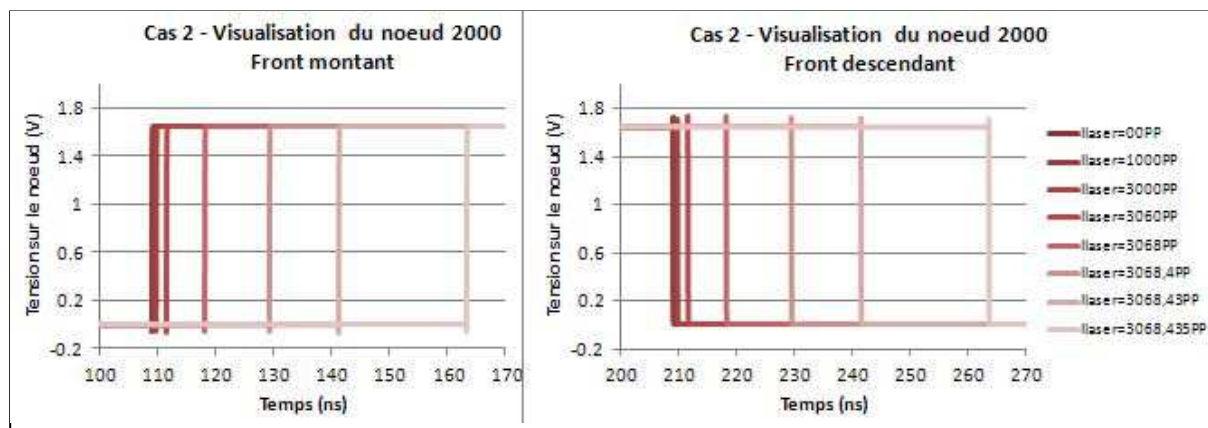


Figure 159 : **Visualisation du nœud 2000**

Si l'on analyse la première ligne, on retrouve le même effet que dans le cas d'étude précédent avec la ligne numéro 3. Le premier étage en sortie de la zone impacté voit la propagation du signal sur front descendant légèrement accéléré et à l'inverse la propagation de son signal sur

front montant fortement ralenti. Ce premier étage en sortie de zone impacté porte un numéro pair. Donc on retrouve en fin de lignes sur la sortie de l'inverseur 1000, le même résultat : une diminution du temps de propagation sur le front descendant et une importante augmentation de ce temps sur son front montant.

Par contre, les lignes étant totalement symétriques et têtes bêtes comme nous l'avons vu précédemment, le même effet s'y produit évidemment, mais cette fois-ci sur un étage impair (voir la figure du schéma). Ce qui veut dire que cette fois-ci, la très légère diminution du temps de propagation observé sur le front descendant, concerne en fait le front montant des inverseurs pairs, tandis que le fort ralentissement du front montant se propage avec le front descendant des inverseurs pairs.

Si donc, on observe la sortie de la deuxième ligne, on note contrairement au premier cas d'étude que les deux fronts ont subi symétriquement un fort ralentissement. En fait, l'influence du layout est d'avoir introduit un déphasage entre la première ligne et la deuxième, faisant en sorte que les impacts accélérant ne soient pas cumulés ensemble. Chacun des fronts reçoit en fait un ralentissement sur une ligne et une accélération sur l'autre. Le ralentissement pouvant atteindre des dizaines de nanosecondes efface alors la très légère accélération observée en centaines de picosecondes.

On obtient ainsi le tableau suivant des contributions :

	PP	Numéro inverseur	Impact laser	Délai total	Numéro inverseur
Front montant	0	00001	0	49,588 ns	01000
	3068,435		+ 54,592ns	104,18 ns	
Front descendant	0		0	49,622 ns	
	3068,435		- 0,320 ns	49,302 ns	
Front montant	0	01001	0	99,177 ns	02000
	3068,435		- 0,299 ns	153,47 ns	
Front descendant	0		0	99,249 ns	
	3068,435		+ 54,761ns	153,69 ns	
Front montant	0	02001	0	992.51 ns	20000
	3068,435		0	1046.803 ns	
Front descendant	0		0	992.50ns	
	3068,435		0	1046.941 ns	

Figure 160 : **Contributions des lignes impactées dans le temps de propagation**

3.4.1.2 Conclusion

Ainsi, notre méthodologie de simulation d'un impact laser nous permet de retrouver le même comportement que celui observé en mesure. Tout comme sur le silicium, on observe en simulation une même augmentation importante des délais de propagation, et ce sur les deux fronts.

L'analyse du layout du circuit de test et de son interaction avec notre modèle de simulation semble par ailleurs montrer que ce résultat est possible dès lors qu'un nombre pair de lignes est impacté de façon similaire. L'implémentation layout tête-bêche avec des allers-retours des lignes est la première raison de ce résultat. La deuxième est la considération d'un cercle pour le faisceau laser qui supprime toute notion d'orientation du motif sur le layout. Dès lors qu'on applique un cercle de diamètre suffisamment grand pour couvrir plusieurs lignes de ce type de chaînes, les conditions semblent remplies pour impacter les 2 fronts de façon similaire.

Par contre, alors que notre outil de simulation nous permet de reproduire qualitativement le comportement de cette chaîne d'inverseurs impactée par un laser, on peut noter que son échelle n'est pas alignée sur la mesure. En effet, alors que le délai semble augmenter linéairement avec la puissance laser en mesure, nous observons plutôt en simulation une augmentation exponentielle du délai avec notre paramètre de potentiel photoélectrique. Un seuil est par ailleurs observable correspondant à une faute fonctionnelle pour le circuit. Même si nous n'avons pas cherché à l'observer en particulier, nous pouvons supposer que ce seuil existe aussi en mesure.

3.4.2 Etude avec le laser de diamètre 70 μ m

Dans le cas d'un laser ayant un grand faisceau (pour un impact sur une technologie 180nm, environ 600 structures sont impactées), on considérera que l'effet de diffusion des photons observée sur un petit faisceau laser est négligeable. Pour faciliter de ce fait la simulation et la méthodologie d'implémentation du modèle au sein de la structure, nous avons considéré dans ce cas-là, un faisceau uniforme.

3.4.2.1 La chaîne BASE_ENC

La même méthodologie que pour un faisceau de diamètre $5\mu\text{m}$ a été appliquée dans ces cas d'études. Un cercle de $70\mu\text{m}$ de diamètre a été placé sur le layout afin de déterminer tous les transistors impactés à 100% (faisceau uniforme) par le laser.

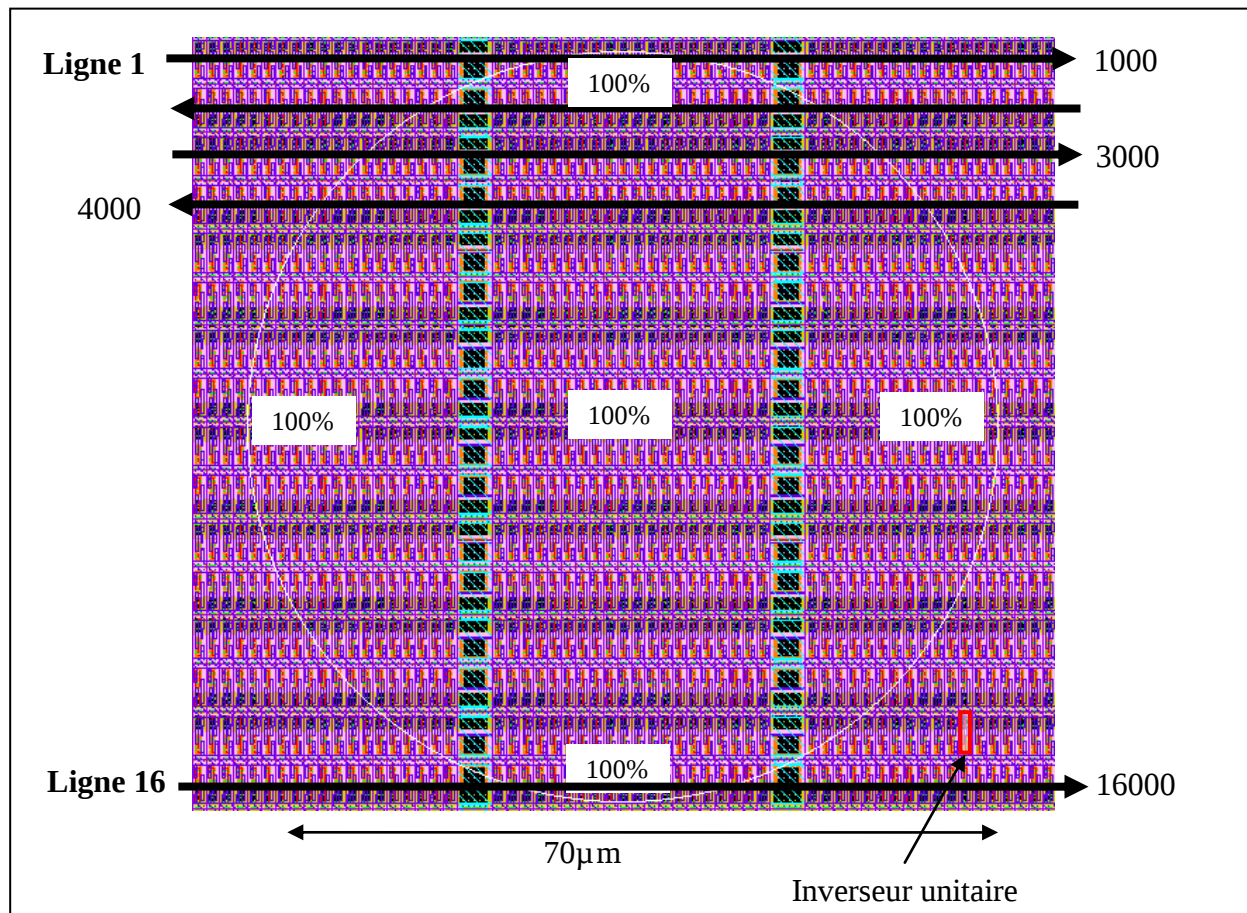


Figure 161 : Layout impacté par le faisceau

Avec un diamètre de $70\mu\text{m}$, 16 lignes se retrouvent impactées. Ce qui représente un total de 562 inverseurs.

Tout comme dans le cas d'étude précédent avec un faisceau laser gaussien de $5\mu\text{m}$, les conséquences observées en simulation de l'impact laser sur cette chaîne de transistors sont une augmentation avec la puissance laser du délai sur les deux fronts du signal.

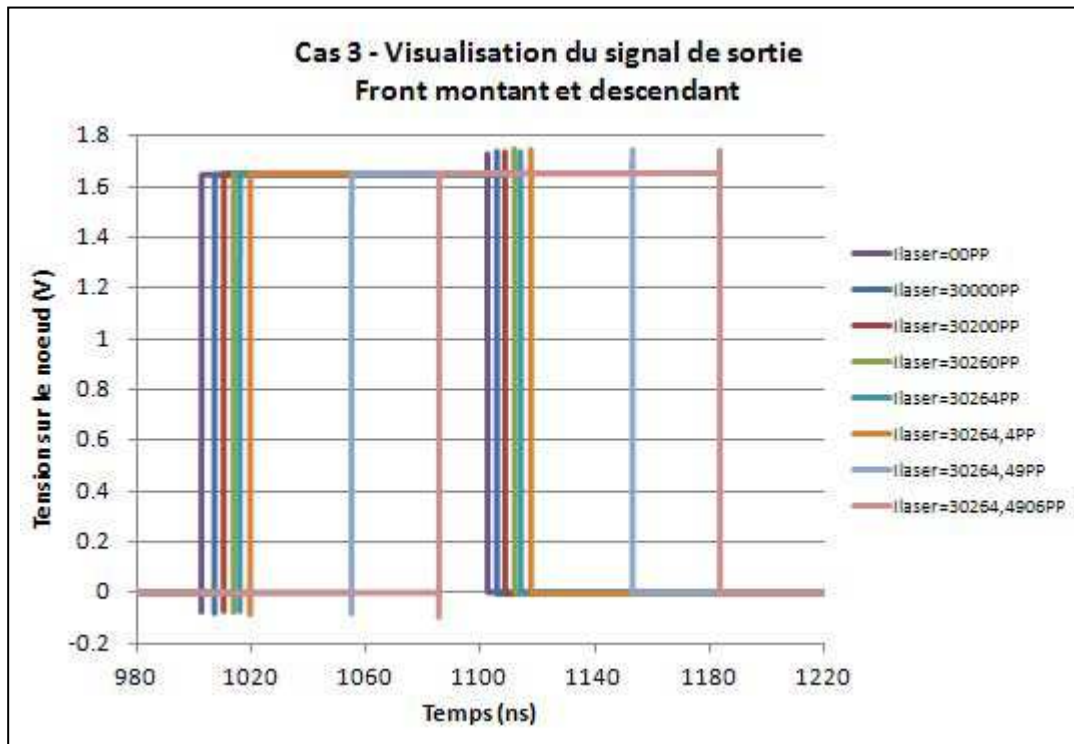


Figure 162 : **Visualisation du nœud 20000**

Nous obtenons en sortie de chaîne, un important ralentissement équivalent sur les deux fronts. Nous sommes capables d'atteindre un ralentissement conséquent du même ordre qu'en mesure.

3.4.2.2 La chaîne MAX_N

Dans cette chaîne, la surface de la cellule inverseur unitaire a changé. En effet, la surface de drain du transistor NMOS a été multipliée par 10. Dans le circuit de test, les lignes ont donc été réduites à 500 transistors pour un total avec 20 chaînes de 10000 inverseurs. Dans tous les cas, l'implémentation layout reste la même que dans les cas d'études précédents. Il y a donc moins d'inverseurs dans chaque ligne et surtout moins d'inverseurs dans la surface impactée par le faisceau laser de 70 μ m. Néanmoins, la hauteur de la cellule inverseur étant resté inchangée, il y a toujours 16 lignes impactées avec un faisceau de diamètre 70 μ m, ce qui concerne tout de même 172 inverseurs impactés à 100%.

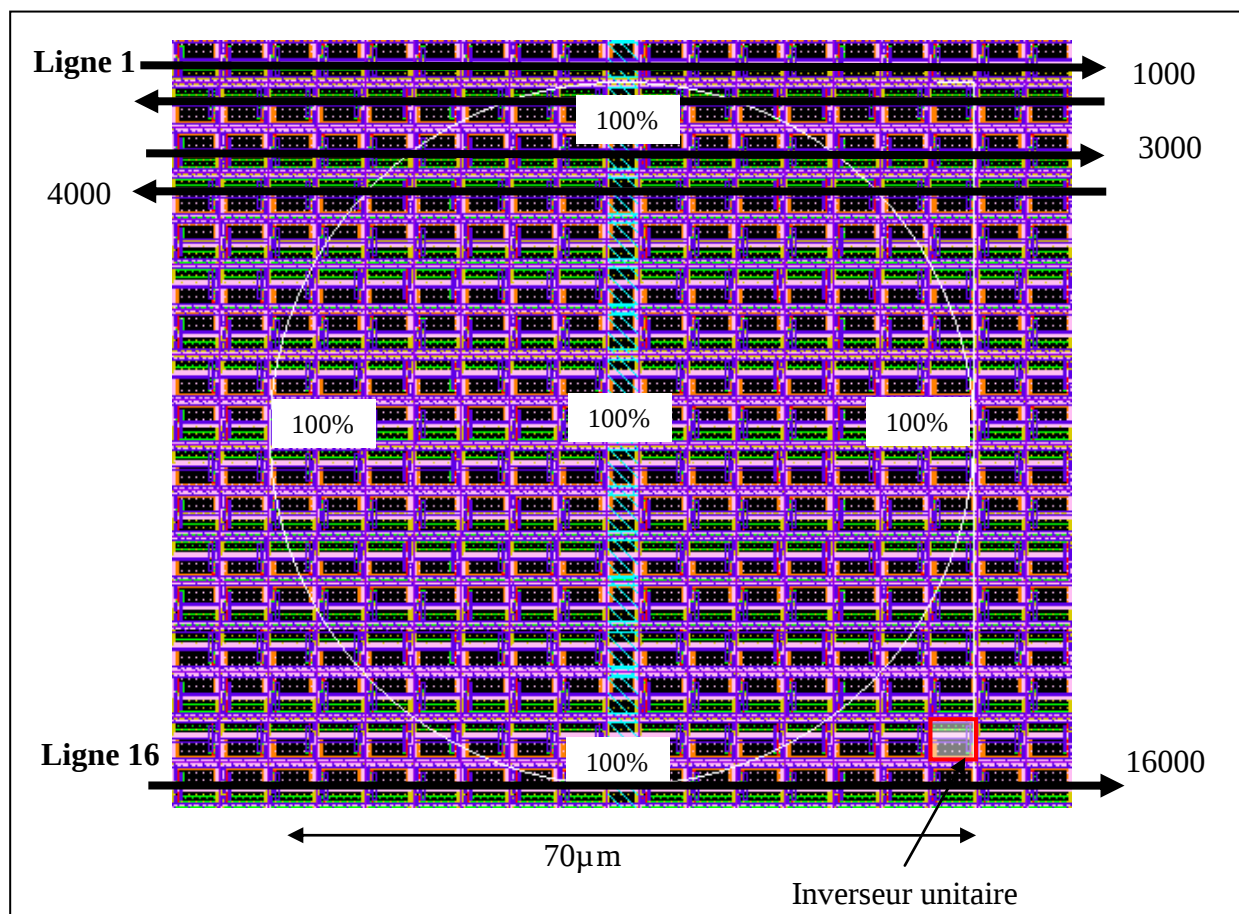


Figure 163 : Layout impacté par le faisceau

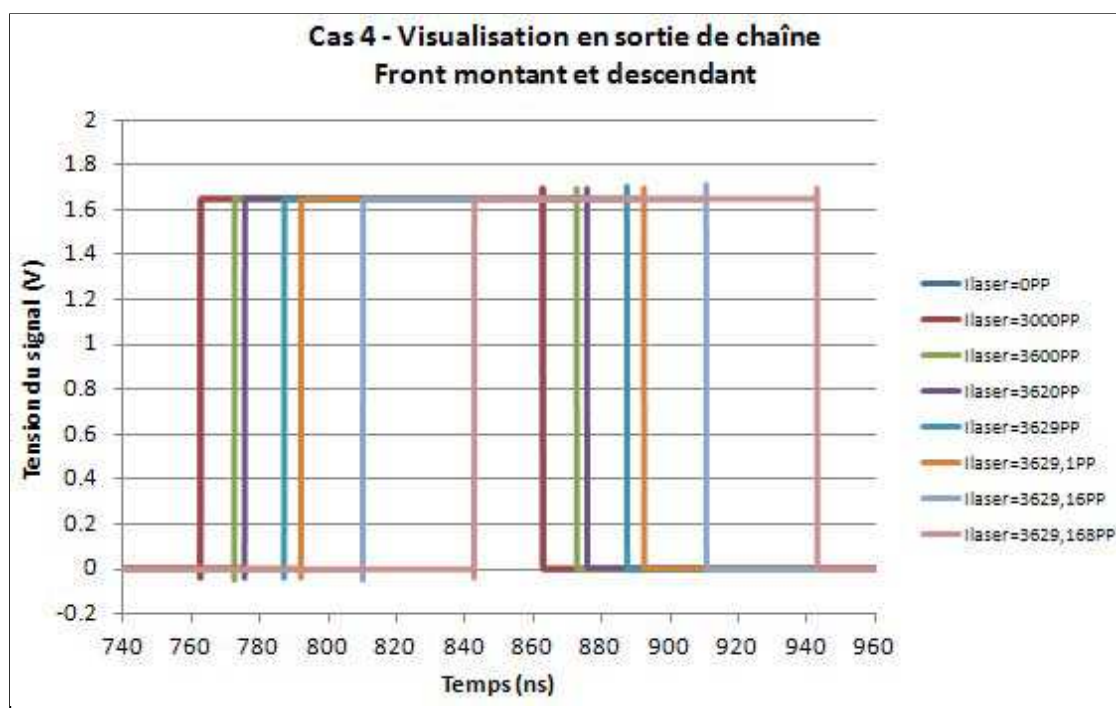


Figure 164 : Visualisation du nœud 10000

Tout comme pour les cas d'études précédents, et tout comme pour la mesure, les résultats de simulation de l'impact laser sur cette chaîne d'inverseurs montrent le même comportement, à savoir la possibilité d'observer un fort ralentissement sur les deux fronts en augmentant la puissance laser.

3.4.2.3 La chaîne MAX_P

Ce dernier cas d'étude est exactement le même que le précédent si ce n'est cette fois que c'est la surface de drain du PMOS qui est multipliée par 10, et non celle du NMOS. La surface de la sous-cellule unitaire qu'est l'inverseur est toutefois la même que précédemment et toutes les assertions précédentes restent vraies.

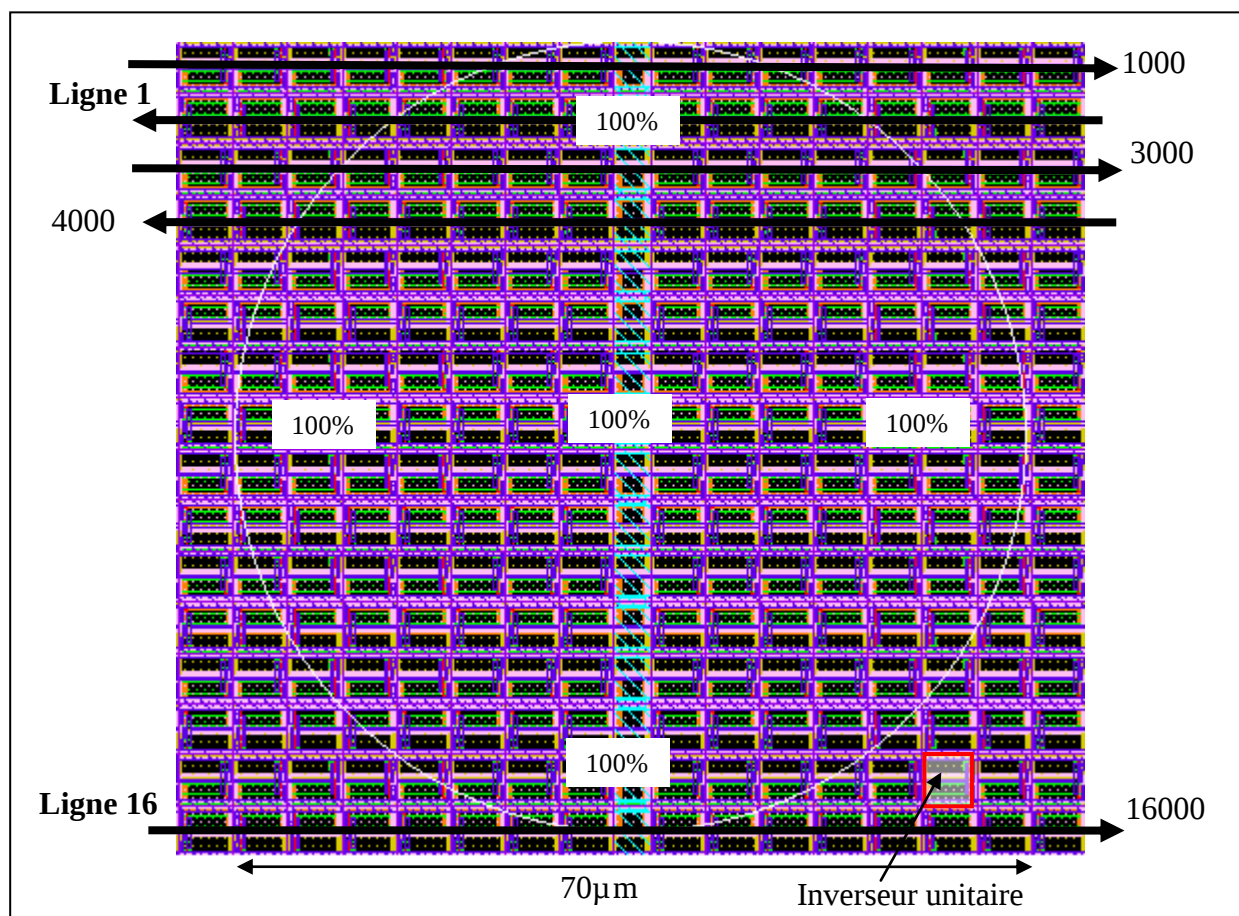


Figure 165 : Layout impacté par le faisceau

Le comportement de la chaîne observée en simulation est lui aussi le même. Lorsqu'on augmente la puissance laser, on observe une augmentation des délais sur les deux fronts.

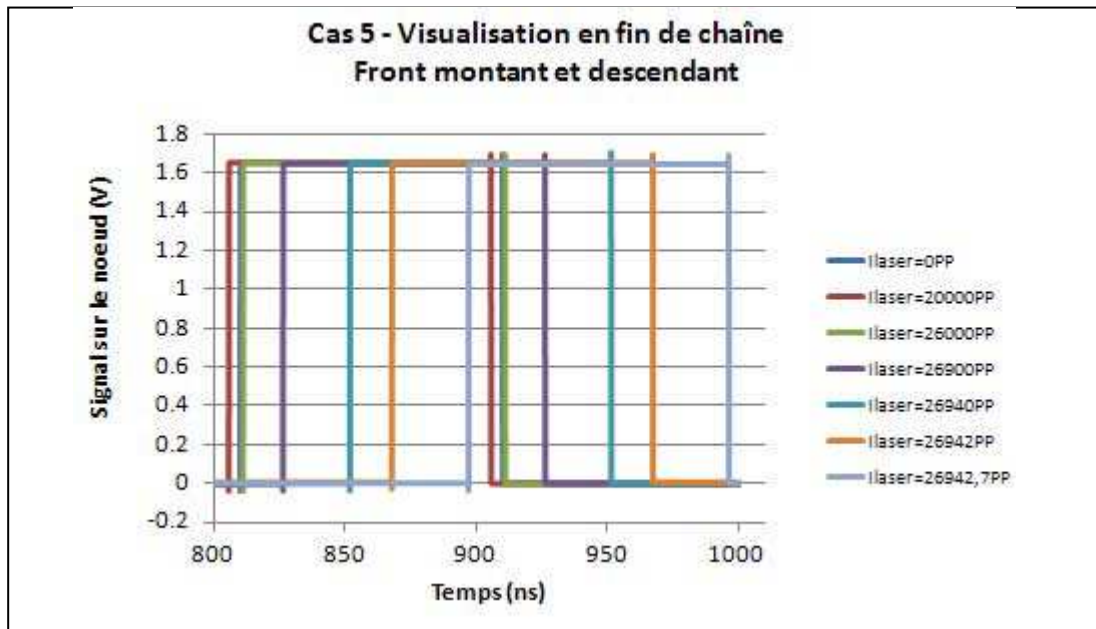


Figure 166 : Visualisation du nœud 10000

3.5 Synthèse des résultats et conclusion

Que cela soit un faisceau laser gaussien de $5\mu\text{m}$ impactant une chaîne de 20000 inverseurs, ou bien un faisceau laser uniforme de $70\mu\text{m}$ impactant cette même chaîne, ou bien des chaînes de 10000 inverseurs avec des variantes de layout, le comportement observé en simulation (augmentation du délai de propagation de façon symétrique sur les deux fronts) est le même qualitativement qu'en mesure.

Seule l'échelle des potentiels photoélectriques (paramètre PP) ne varie pas dans le même ordre que la puissance laser utilisée sur le silicium. Cette différence montre bien que des travaux sont encore nécessaires pour accorder le paramétrage du modèle sur le silicium. Plusieurs pistes à investiguer sont déjà envisageables :

- Implémenter une relation logarithmique entre notre potentiel photoélectrique (PP) et la puissance laser réelle.
- Un effet de saturation apparaît très tôt dans le silicium, et tend vers le seuil de basculement de l'inverseur, contrairement à notre modèle. En effet, ce seuil n'apparaît en simulation qu'à fort PP. Il pourrait être intéressant dans cet objectif, de tester le modèle avec cet effet de saturation (qui existe intrinsèquement dans notre modèle avec l'effet de seuil) mais à plus basse valeur de PP.

- Dans tous les cas, le manque de mesures sur des structures élémentaires afin de régler le paramétrage du modèle reste essentiel.

Malgré cela, cet outil se révèle être un bon outil de prédiction du comportement qualitatif d'une chaîne d'inverseurs sous impact laser. D'ailleurs l'application de cette méthodologie sur les structures embarquées dans le circuit de test « TATI » de STMicroelectronics (*Rappelons ici qu'aucune des structures de test de TATI n'a été pensée pour le test laser. - voire le début du chapitre pour plus d'informations sur ce circuit de test-.)* aurait pu permettre d'anticiper que les topologies layout implémentées dans ces différentes chaînes d'inverseurs n'allaient pas apporter de résultats significatifs. Enfin, son utilisation durant la définition du circuit de test aurait peut-être pu permettre de rechercher et de tester d'autres variantes de layout plus intéressantes à valider sur silicium.

4 Etude sur des éléments mémoires

Après les chaînes d'inverseur, nous nous proposons d'appliquer notre méthodologie de simulation d'un impact laser sur des fonctions analogiques plus complexes comme des éléments mémoires. Dans ce paragraphe, nous aborderons la comparaison des résultats obtenus en mesure et en simulation sur une bascule maître-esclave D-Flip-Flop et sur un circuit de verrouillage plus communément appelé BusKeeper ou BusHolder.

4.1 Bascule de type Flip-Flop

L'étude se fait sur une bascule de type Flip-Flop Maître-Esclave provenant de la librairie standard 180nm de chez STMicroelectronics. Elles servent communément de registre de donnée sur un bit au sein de ses produits.

4.1.1 Principe de fonctionnement de la bascule Flip-Flop

La bascule D-Flip-Flop a pour objectif de mémoriser une donnée sur un bit, et de faire passer cette valeur en sortie sur le front montant de l'horloge. Le circuit consiste en deux D-Flip-Flops maître et esclave, connectées ensemble.

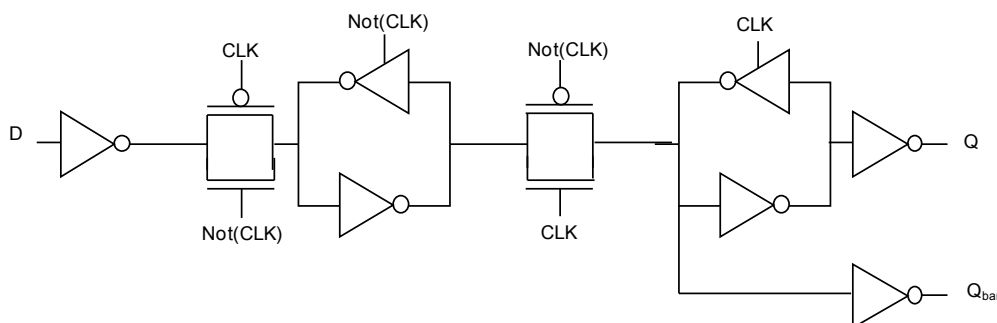


Figure 167 : Vue schématique de la D-Flip-Flop Maître-Esclave

La donnée en entrée D passe dans la bascule maître et est bufférisée jusqu'à la porte de transmission. La seconde bascule esclave est verrouillée. Elle est indépendante de D . Elle ne peut changer d'état. Au front montant de l'horloge, la donnée arrête de se transmettre car le premier étage est bloqué. La donnée précédant le front est mémorisée dans le premier point mémoire. Dans le même temps, la porte de transmission devient passante, permettant à la bascule esclave de buffériser à son tour la donnée du premier point mémoire en sortie.

En résumé, la sortie Q prend l'état de l'entrée au front montant de l'horloge.

4.1.2 Impact laser et résultats de mesures

Durant cette étude, la tension d'alimentation du circuit sous impact laser est de 1,8V. Le laser possède un diamètre de 5 μ m. Sa durée d'impulsion est de 1 μ s.

N'ayant pas de circuit de test comprenant une simple bascule de type Flip-Flop à tester de façon isolée, nous avons dû travailler sur un produit complet et sécurisé de la division SmartCard de chez STMicroelectronics, où les Flip-Flops (ou registres) sont noyés dans la zone logique du produit. Par voie de conséquence, nous avons dû trouver un moyen afin de nous assurer que l'impact laser était bien localisé sur une bascule, d'autant que nous ne disposions pas de caméra infrarouge afin de visualiser avec précision cette zone.

La méthode utilisée a consisté à se servir d'une cartographie en courant du produit (voir Annexe) afin de déterminer le contour de la bascule à impacter. Cette cartographie en courant a aussi été croisée avec une cartographie des données.

La figure suivante présente un exemple de cartographie fonctionnelle d'une Flip-Flop, illuminée à 720mA, soit au maximum de la puissance laser utilisée (400mW). Le faisceau laser a scanné avec une résolution de 1 μ m la structure, et les données en sortie ont été interprétées.

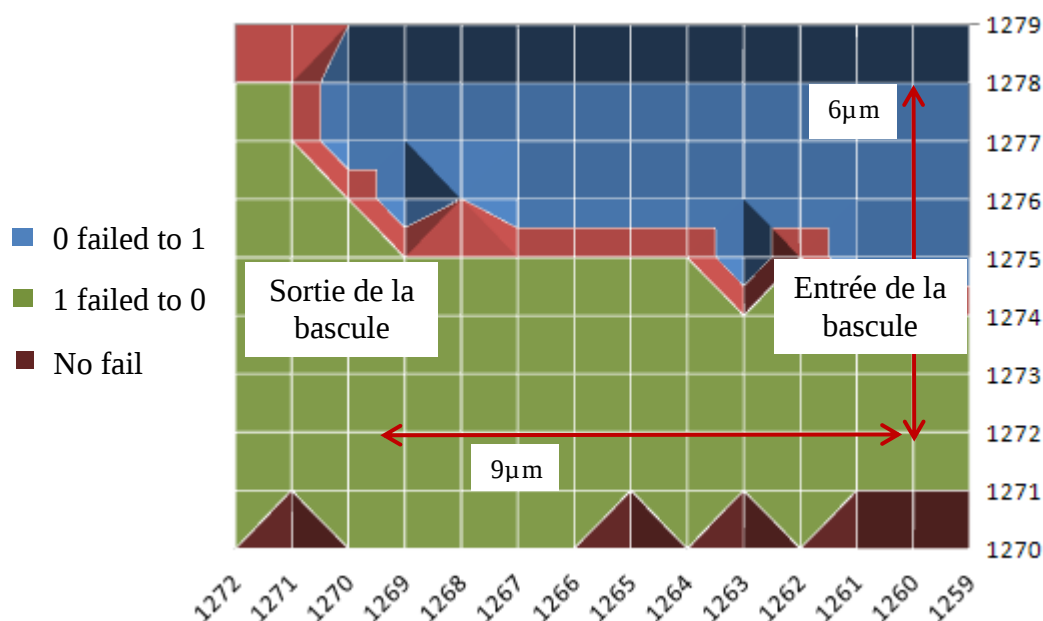


Figure 168 : Exemple de cartographie d'une Flip-Flop

Une fois cette étape préliminaire effectuée, nous avons pu étudier les seuils d'erreur de la bascule en fonction de la puissance laser et de la donnée passée en entrée.

- **Etude détaillée de l'impact laser sur une Flip-Flop :**

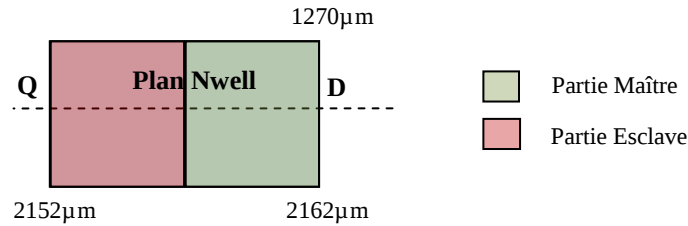
Comme nous l'avons vu précédemment, nous nous sommes aidés de l'analyse en courant et fonctionnelle pour délimiter géométriquement la structure. Ceci n'a été possible qu'en se basant sur les dimensions réelles de la Flip-Flop via le layout, nous permettant ainsi de connaître avec précision, non seulement le contour de la bascule, mais aussi la localisation de ses zones clés (Partie Maître ou Esclave, zone Nwell, entrée et sortie de la bascule).

L'analyse des données en fonction de la zone d'impact du laser sur la structure nous a permis de connaître avec précision, quel type de donnée (1 ou 0) était plus sensible face à une illumination laser, et ce en fonction de quelle zone lasérisée.

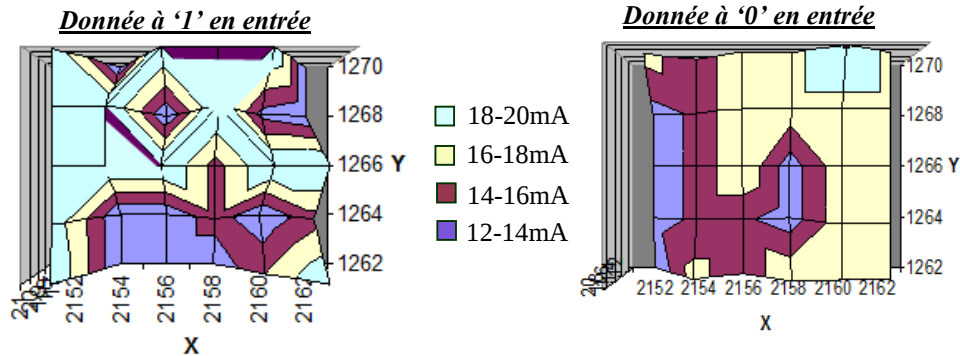
L'étude fonctionnelle est faite avec un laser à puissance maximum, afin d'obtenir des résultats optimum et d'être sûr qu'une faute pourra être générée.

La figure suivante nous permet de faire une analyse croisée entre les variations de courant générées par l'impact laser et les zones où une faute est détectée.

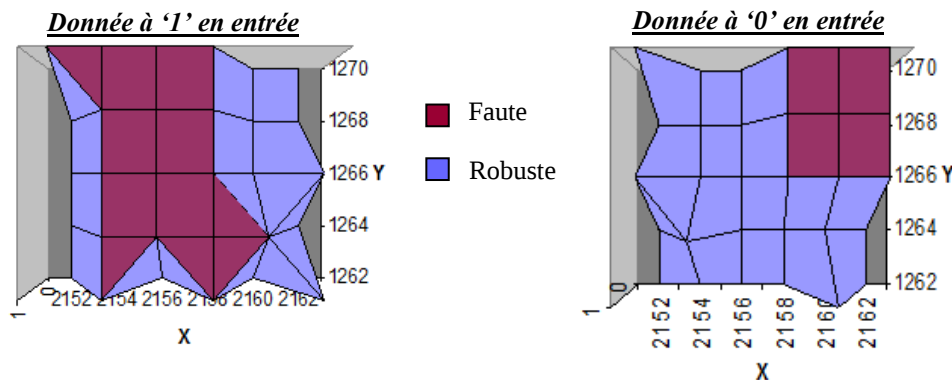
Structure géométrique de la bascule



Etude en courant d'alimentation



Etude des données



Dans le cas où la bascule ne fait transiter que des zéros (la donnée est constamment à zéro en entrée de la bascule et l'horloge séquence le passage de ces zéros jusqu'à la sortie), il a été observé que lorsque la partie Maître de la bascule est impactée par le laser, un 1 peut être émis en sortie à la place d'un 0 attendu. Une faute est ainsi introduite.

En revanche, lorsque la partie Esclave est illuminée, quasi-aucune faute n'est observée.

A l'inverse, lorsqu'un 1 transite dans la bascule et que l'Esclave est impacté, une faute est générée en sortie de la Flip-Flop. Ceci est plus rarement observé lorsque la partie Maître est illuminée. Dans ce cas, la donnée à '1' reste intègre.

Afin de déterminer par la suite, le seuil de basculement de la donnée à 1 ou à 0, en fonction de la puissance laser, cette dernière a été diminuée pas à pas jusqu'à ne plus retrouver d'erreur fonctionnelle. Pour chaque seuil, nous avons extrait les courants d'alimentation $I(V_{dd})$ correspondant.

- **Résultats de mesure de l'impact laser :**

Voici un tableau récapitulant les seuils de basculement des données vers un état digital non voulu. Les localisations de l'impact (parties Maître et Esclave sensibles en fonction de la donnée lors de l'illumination laser) sont confondues. Nous n'avons extrait que les seuils, qui sont, quelque soit l'endroit de la structure impactée, presque identiques.

<i>Puissance laser</i>	<i>382 mW (720mA)</i>	<i>260 mW (400mA)</i>	<i>150 mW (250mA)</i>	<i>50 mW (50mA)</i>
<i>$I(V_{dd})$</i>	<i>23 mA</i>	<i>20 mA</i>	<i>15,5 mA</i>	<i>13 mA</i>
<i>Offset $I(V_{dd})$</i>	<i>11 mA</i>	<i>8 mA</i>	<i>3,5 mA</i>	<i>1mA</i>
<i>Basculement de la donnée en fonction de la zone</i>	<i>Majorité 1 vers 0 (zone esclave sensible) Majorité 0 vers 1 (zone maître sensible)</i>	<i>Majorité 1 vers 0 (zone esclave sensible) Minorité 0 vers 1 (zone maître sensible)</i>	<i>Minorité 1 vers 0 Minorité 0 vers 1</i>	<i>Pas de basculement</i>

Majorité de 1 vers 0 : (Zone esclave sensible) : Cette notation signifie que lorsque le laser impacte la zone esclave de la bascule, presque aucune faute n'est détectée lorsqu'un 0 est mémorisé. A contrario, une donnée à 1 bascule immédiatement à 0 en sortie.

Majorité de 0 vers 1 : (Zone Maître sensible) : Cette notation signifie que lorsque le laser impacte la zone Maître de la bascule, presque aucune faute n'est détectée lorsqu'un 1 est mémorisé. A contrario, une donnée à 0 bascule immédiatement à 1 en sortie.

Minorité de 0 vers 1 : (Zone Maître sensible) : Cette notation signifie que lorsque le laser impacte la zone Maître de la bascule, peu de fautes sont détectées lorsqu'un 0 est mémorisé.

Minorité de 0 vers 1 et minorité de 1 vers 0 : Cette notation signifie que quelque soit la zone impactée et quelque soit la donnée mémorisée, peu de fautes sont détectées en sortie.

La valeur seuil extraite lorsqu'un '1' ou un '0' bascule en erreur est d'environ 150mW (250mA). Avant, aucune erreur n'est détectée. En revanche, à faible valeur de puissance, la valeur en entrée la plus sensible est la donnée à '1', lorsque l'Esclave de la bascule est impacté.

Afin de déterminer la validité de ces mesures, la même bascule mais cette fois utilisée à d'autres endroits dans le produit comme registre a été de nouveau impactée. Les mêmes résultats ont été observés à chaque fois.

4.1.3 Schématique et layout

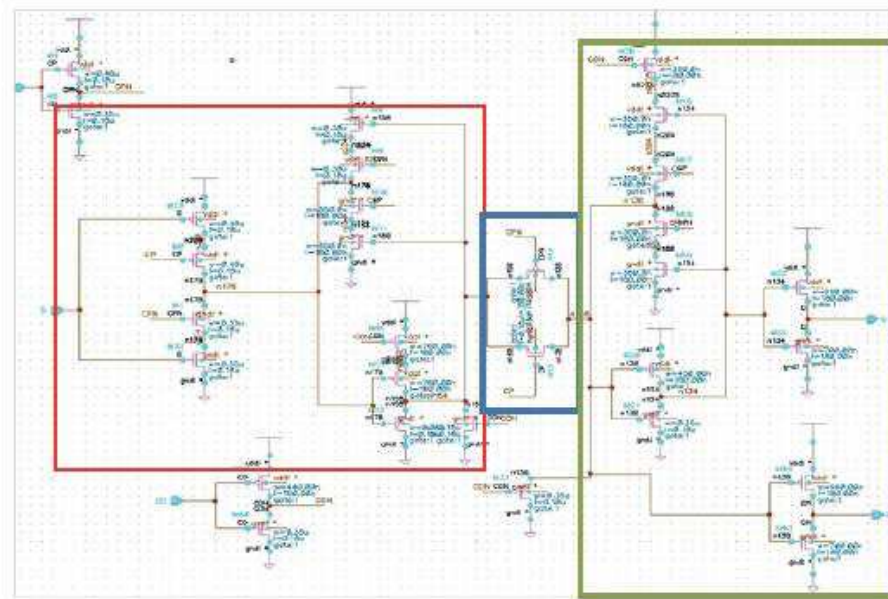


Figure 169 : Schématique de Flip-Flop Maître-Esclave

La figure ci-dessus montre la vue schématique au niveau transistors d'une bascule Flip-Flop Maître-Esclave en technologie 0,18µm STMicroelectronics.

Ce schéma est constitué du premier étage qui est la partie Maître de la bascule. Une porte de transmission au milieu permet l'isolation des deux étages. Enfin, le dernier étage constitue la partie esclave avec ses inverseurs de sortie pour la bufferisation.

La bascule utilisée est active sur front montant de l'horloge, et le signal reset est actif à l'état bas.

Il est intéressant de noter ici que cette bascule est souvent accompagnée dans les produits d'un multiplexeur en entrée ainsi suivant le schéma de la figure qui suit :

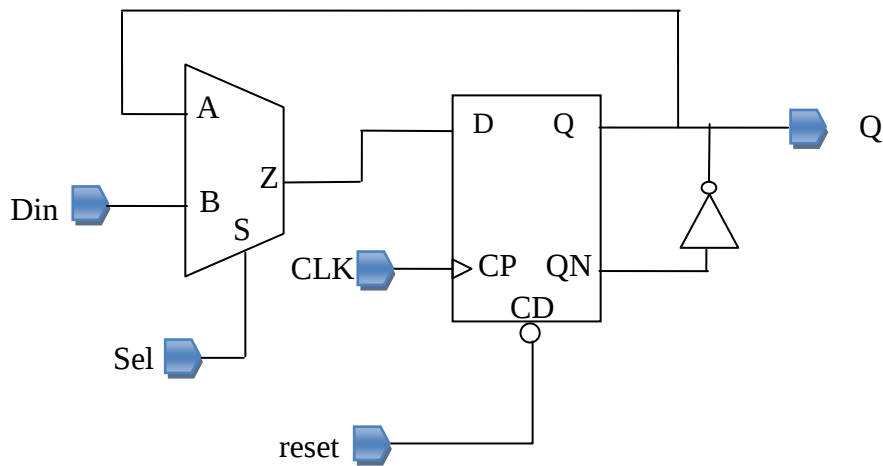


Figure 170 : **Exemple d'utilisation d'une Flip-Flop Maître-Esclave**

Cette architecture permet de choisir entre une nouvelle donnée à écrire dans le registre ou mémoriser la dernière donnée. La table de vérité de la bascule avec son multiplexeur en entrée est définie ci-dessous.

	Din	Sel	Clk	Reset	Q(t+1)
	0	0	↑	1	0
	0	0	↑	0	xx
	0	1	↑	1	Q(t)
	0	1	↑	0	xx
	1	0	↑	1	1
	1	0	↑	0	xx
	1	1	↑	1	Q(t)
	1	1	↑	0	xx

Figure 171 : **Table de vérité de la Flip-Flop**

Pourquoi mentionner cette architecture ? Car si jamais sa robustesse est insuffisante, la moindre faute face à un impact laser entrainera la mémorisation de cette faute dans la bascule sans aucune possibilité au circuit de deviner qu'une erreur s'est introduite.

La figure ci-dessous montre l'implémentation layout de la cellule Flip-Flop utilisée pour notre analyse (cellule issue de la librairie Standard F9 de STMicroelectronics). Dans cette simple représentation de la bascule, la partie Maître est située à gauche du layout, alors que la partie Esclave se trouve à droite. (**Attention**, dans les sections décrites précédemment, les cartographies que nous avons extraites montre que le layout de la bascule est inversé –Maître à droite et Esclave à gauche- ; Il faut rappeler ici que nous avons utilisé pour nos mesures, des cellules standards intégrées dans des produits sécurisés de chez STMicroelectronics, circuits non dédiés au test laser). Il faut prendre en compte aussi la topologie du signal d'horloge et de celui du reset.

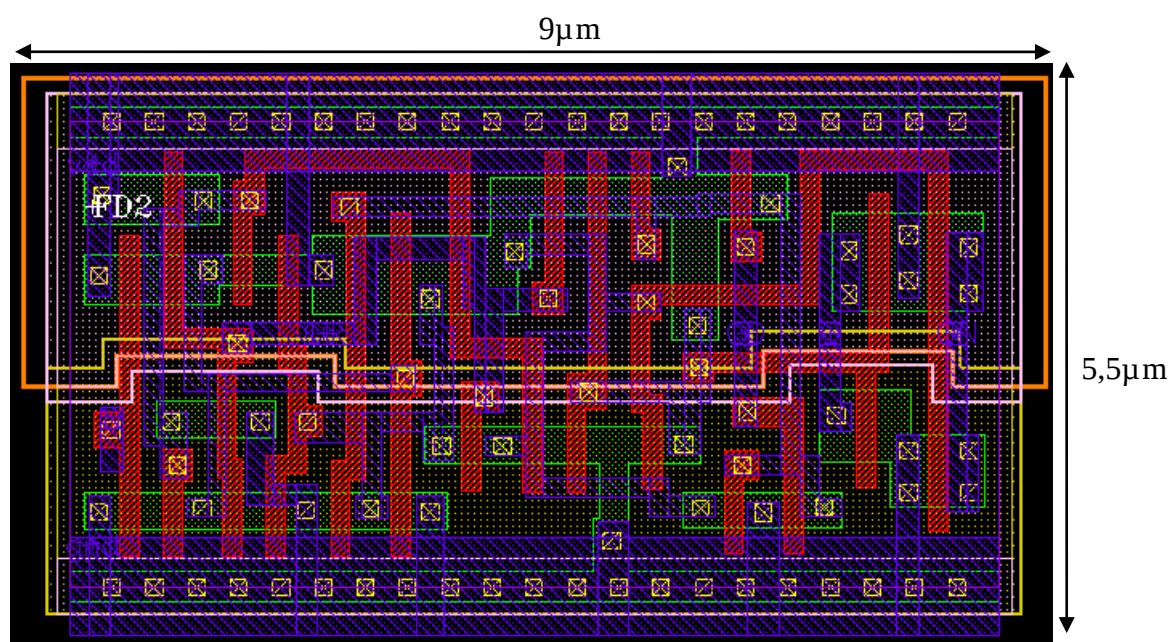


Figure 172 : Layout et dimensions de la Flip-Flop étudiée

4.1.4 Etude de l'impact laser sur la géométrie

L'étude de la localisation de l'impact laser sur la géométrie de la cellule est importante car en fonction du positionnement du faisceau laser sur la structure, le résultat peut-être différent.

L'impact du profil du faisceau laser sur les résultats n'a pas été développé dans cette partie. Cela reste un point intéressant et important à approfondir à l'occasion de futurs travaux.

Dans cette étude nous nous sommes intéressés à vérifier si notre modèle de simulation est capable de reproduire avec la même granularité le comportement d'un circuit complexe analogique impacté par un faisceau laser. Que se passe-t'il en effet, si nous simulons un impact laser sur chacune des deux zones principales identifiées comme spécifiques en mesure ? A savoir la partie Maître et la partie Esclave.

- **Etude de l'impact laser en fonction du positionnement du faisceau**

- Le maître est impacté (figure suivante (a))
- L'esclave est impacté (figure suivante (b))

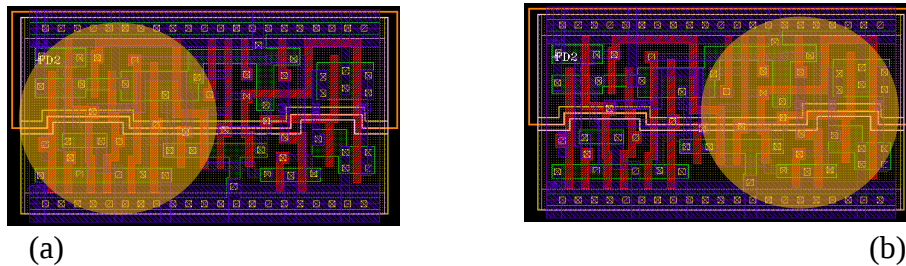


Figure 173 : **Etude layout vs faisceau laser**

4.1.5 Résultats en simulation vs mesures

Les deux cas énoncés ci-dessus ont été simulés afin de vérifier si notre modèle de simulation pouvait reproduire qualitativement les résultats obtenus par la mesure. Pour chaque zone stressée, nous avons étudié, comme en mesure, l'impact en fonction du positionnement de la Flip-Flop

- **Etude de la robustesse de la donnée à 1**

Dans un premier temps, nous avons illuminé la bascule après qu'une donnée à « 1 » ait transité au sein de la Flip-Flop. Un « 1 » permanent est appliqué en entrée tandis que l'horloge tourne en permettant d'échantillonner le passage de ce « 1 » entre l'entrée et la sortie. Deux simulations absolument identiques, si ce n'est la localisation de l'impact sont alors effectuées pour comparer l'influence du positionnement du faisceau. La puissance laser est alors augmentée pas à pas afin de déterminer le seuil minimum à partir duquel une faute est introduite, si faute il y a.

Comme on peut le voir sur la figure suivante, une faute sur le « 1 » est observée aussi bien lorsque la cellule est illuminée dans sa zone Maître que dans sa zone Esclave. La principale différence réside dans le seuil de puissance laser requis pour induire cette faute. Il est de 200PP pour la zone Maître et de 40PP pour la zone Esclave. La zone Esclave semble donc être bien plus fragile pour une attaque sur un « 1 ».

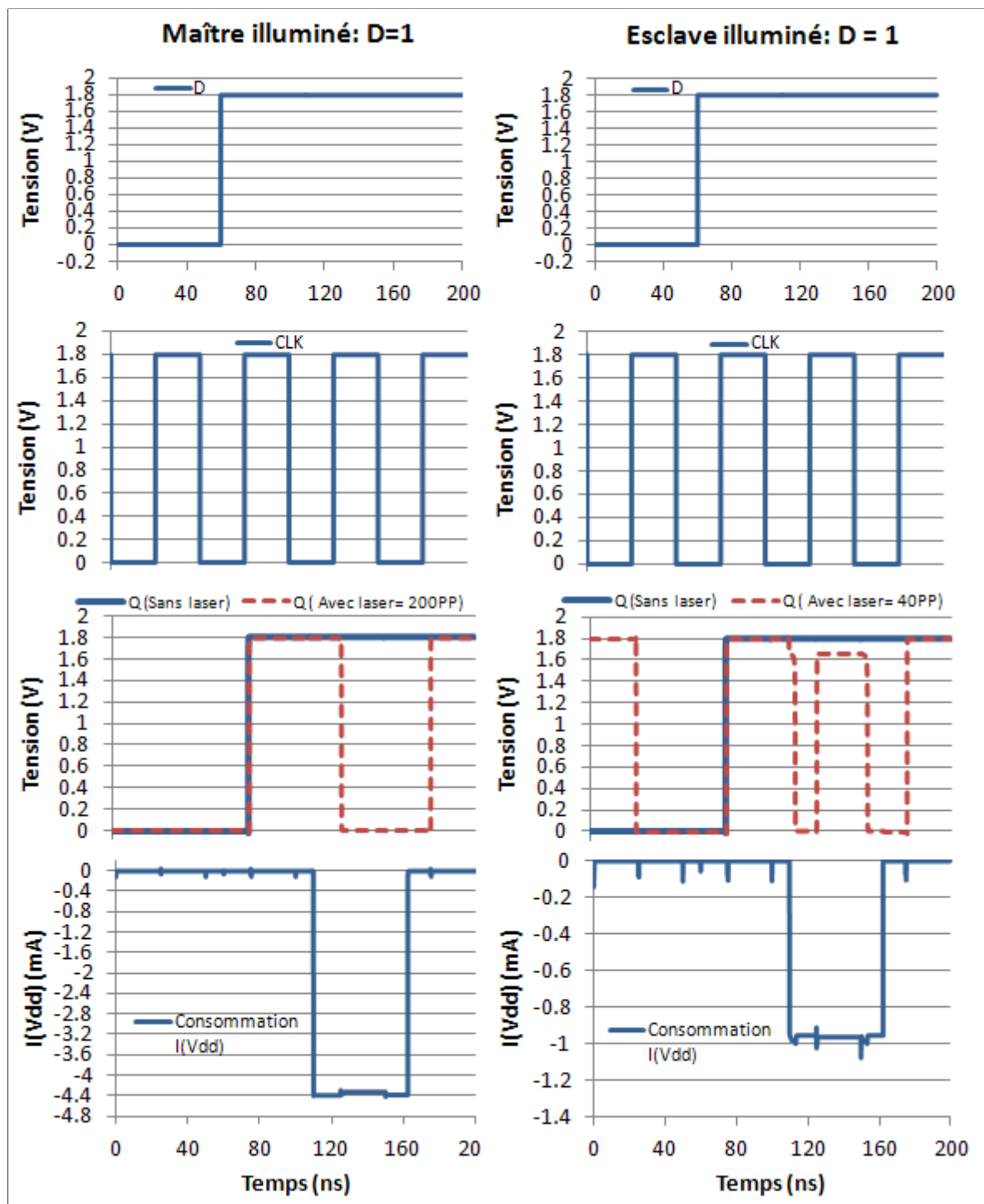


Figure 174 : Maître ou Esclave illuminé durant un « 1 »

Le tableau suivant recense les résultats obtenus :

Zone illuminée	Zone Maître	Zone Esclave
Valeur seuil minimum entraînant une faute	200PP	40PP
Offset de courant I(Vdd) durant l'impact	4,4mA	0,97mA
Type de Faute	« 1 » => « 0 »	« 1 » => « 0 »

Figure 175 : Contributions des lignes impactées dans le temps de propagation

- Etude de la robustesse de la donnée à 0 :

Le même banc de test que précédemment a été utilisé mais cette fois-ci avec un « 0 » en permanence échantillonnée à travers la cellule.

Le tableau suivant recense les résultats obtenus :

Zone illuminée	Zone Maître	Zone Esclave
Valeur seuil minimum entraînant une faute	80PP	>500PP
Offset de courant I(Vdd) durant l'impact	1.8mA	
Type de Faute	« 0 » => « 1 »	Aucune Faute observée

Figure 176 : Résultats de simulation obtenus pour une donnée à 0 en entrée

Dans ce cas précis, aucune faute n'a été observée en impactant la zone esclave. Alors que dès 80PP, la zone Maître se montre sensible et introduit une faute.

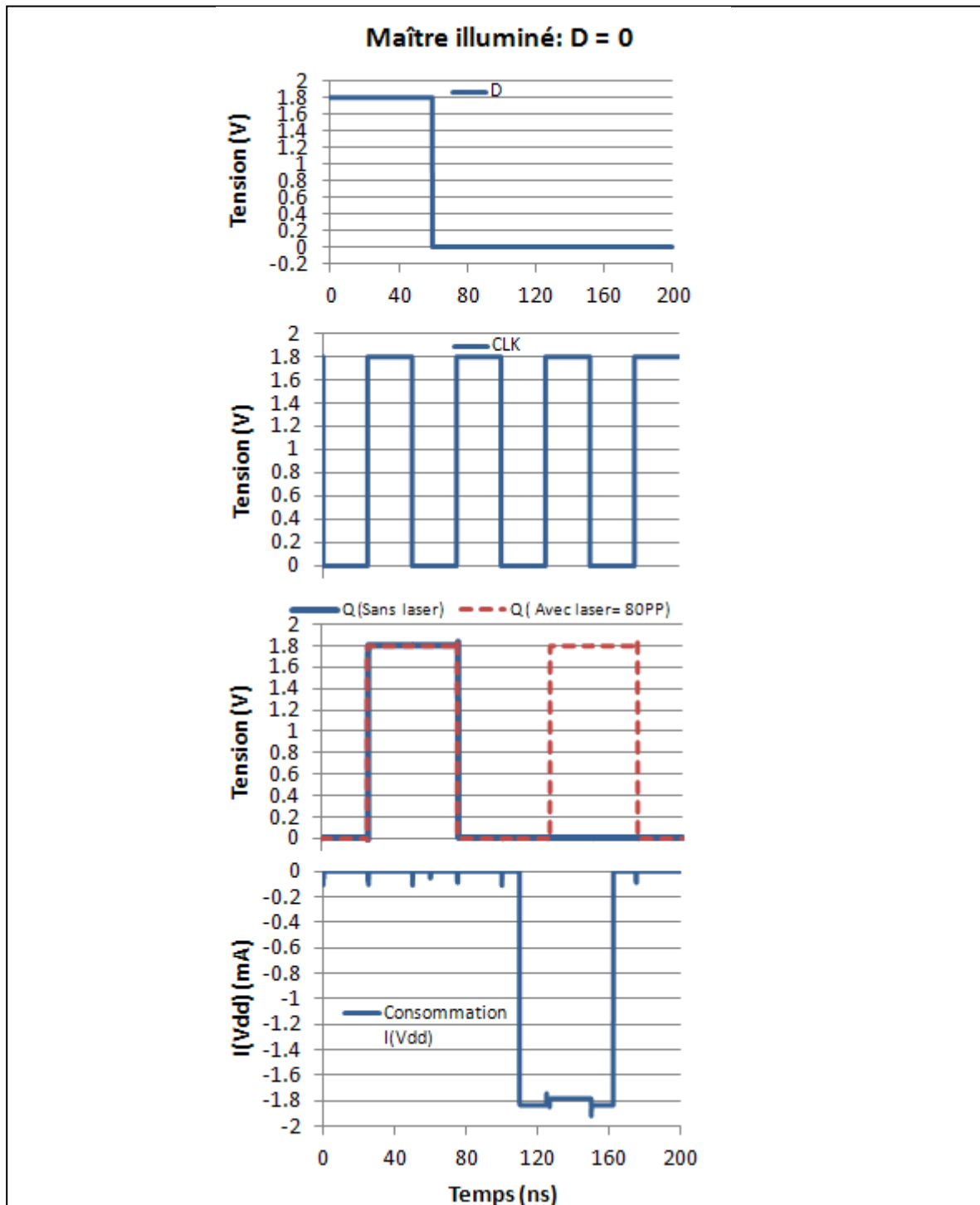


Figure 177 : Maître illuminé durant un « 0 »

4.1.6 Conclusion

Encore une fois, malgré des paramètres théoriques choisis arbitrairement en l'absence de possibilité de réglage du modèle au moyen de mesures sur des structures élémentaires, la

méthodologie de simulation apporte tout de même des résultats en tout point alignés avec le comportement observé de cette cellule analogique complexe (comparativement à un transistor) lorsqu'elle est impactée par un faisceau laser.

Les sensibilités de chaque zone sont retrouvées. La partie Maître est plus sensible lorsqu'un « zéro » est traité, tandis que la partie Esclave est encore plus sensible lorsqu'il s'agit d'un « un » uniquement. A l'inverse, sa robustesse semble démontrée jusqu'à un certain point.

4.2 BusKeeper

Le BusKeeper est un circuit de verrouillage, qui permet de mémoriser la dernière valeur sur un bus à trois-états (tri-state). Ce circuit est principalement un élément de retard dont la sortie est connectée à l'entrée de retour à travers une impédance relativement élevée. Il est réalisé à l'aide de deux inverseurs CMOS connectés comme un point mémoire. La résistance pilote le bus faiblement. De ce fait, d'autres circuits peuvent devenir prioritaires et réécrire la valeur sur le bus quand ils ne sont pas en mode tri-state.

Les BusKeeper sont en fait utilisés pour empêcher les entrées des portes CMOS de voir des valeurs flottantes quand elles sont pilotées par des bus qui ne sont plus eux-mêmes pilotés que par des buffers en mode tri-state. Si le bus était laissé dans un état flottant, cela pourrait entraîner une surconsommation dans toutes les portes qu'il commande.

Par son effet de verrouillage, le BusKeeper garde sur le bus la dernière information qui y a été déposée et empêche ainsi le mauvais contrôle des portes logiques qui repartent du bus.

4.2.1 Schématique et layout

Ainsi notre banc de test, en mesure comme en simulation, est constitué d'un bus, piloté par un buffer tri-state; c'est-à-dire un buffer possédant trois états en sortie : les étages logiques « 0 » et « 1 », ainsi que l'état haute-impédance (High Z) correspondant au cas où le nœud en sortie est laissé flottant.

Sur ce bus est connecté le circuit BusKeeper. Ce circuit BusKeeper est la seule cellule illuminée durant le stress effectué avec le laser. Il provient des bibliothèques développées en technologie STMicroelectronics 0,18 μ m.

Voici le schéma du banc de test :

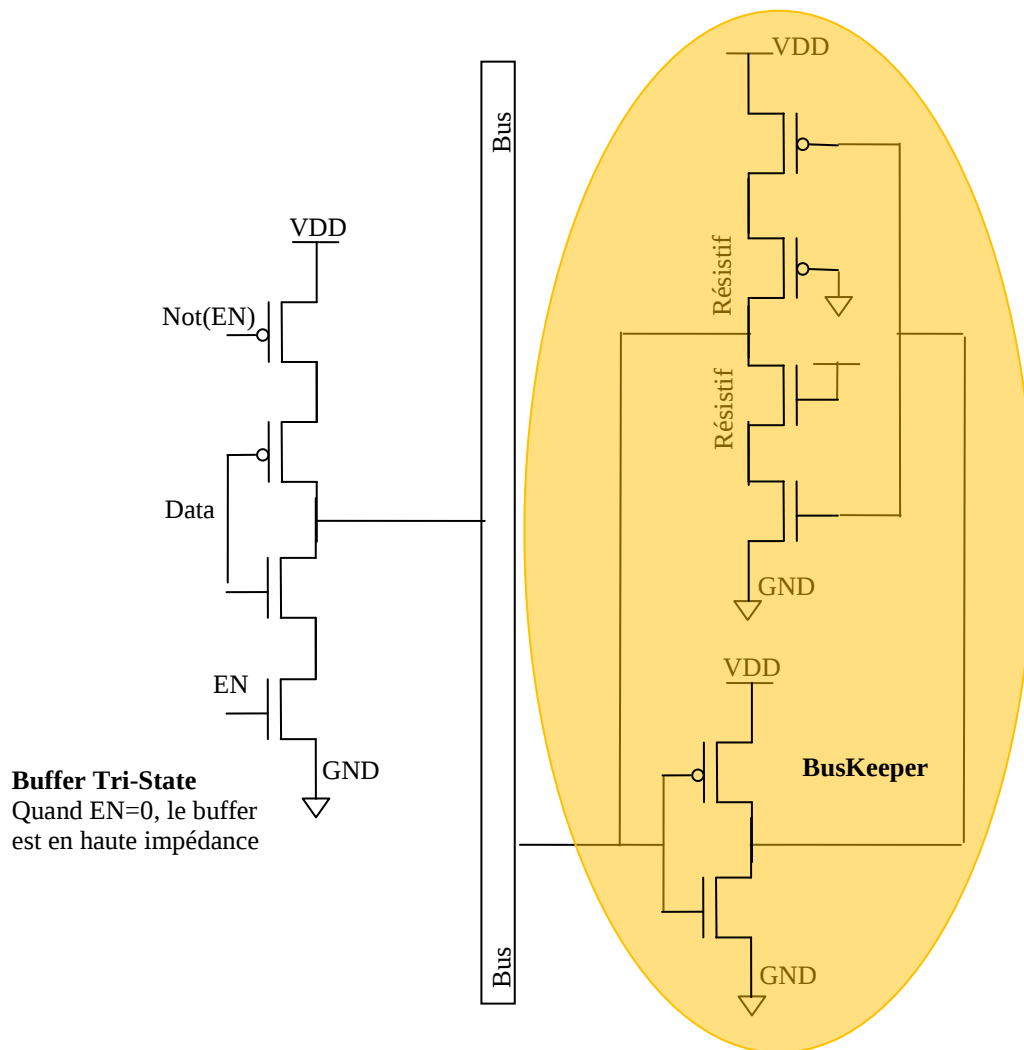


Figure 178 : Schéma du banc de test du BusKeeper

Lorsque le buffer tri-state transfère un « 0 » ou « 1 » sur le bus, il doit tout d'abord se « battre » contre le BusKeeper qui cherche à garder la donnée précédemment placée sur le bus. Pour cette raison, le buffer du BusKeeper connecté au bus est résistif. Les buffers tri-state pilotant le bus doivent pouvoir lui imposer leur donnée. Il n'est là que pour verrouiller ces données au cas où plus personne ne contrôlerait le bus (buffer tri-state avec la sortie en High Z).

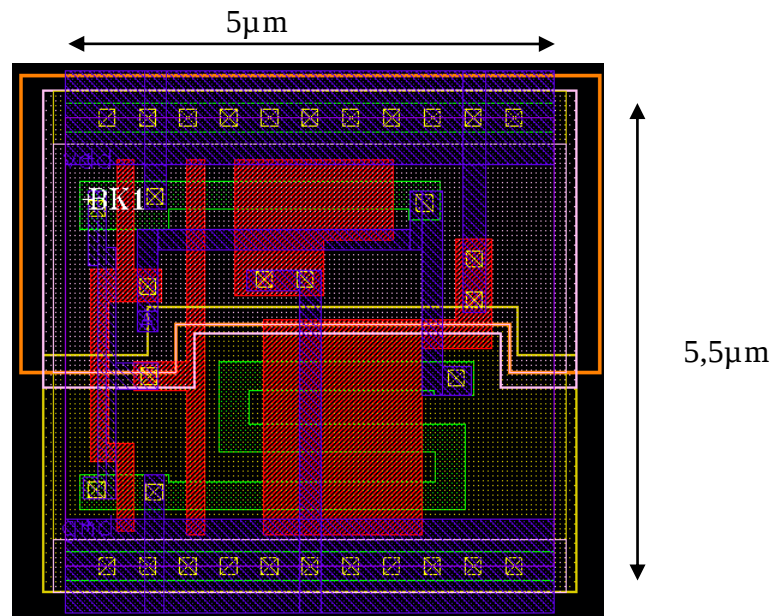


Figure 179 : Layout et dimensions du BusKeeper étudié

4.2.2 Comportement d'un BusKeeper sous impact laser

4.2.2.1 Résultats de mesure

Lors de l'étude du comportement d'un BusKeeper sous impact laser, un faisceau de diamètre de 30μm a été utilisé afin de totalement illuminer l'ensemble des transistors de la cellule. La puce de son côté a été amincie à 60μm afin d'améliorer l'efficacité du laser. La puissance maximale était de 4W ce qui correspond sur l'abaque à un courant de pilotage de 5A. La durée d'impulsion était de 1μs.

Deux tensions ont été appliquées sur le circuit : 1,5V et 1,8V.

<i>Alimentation</i>	<i>Verrouillage à 0</i>	<i>Verrouillage à 1</i>	<i>Seuil de puissance laser où la donnée bascule</i>	<i>Courant d'alimentation I(Vdd)</i>
1,5V	<i>La valeur reste à 0</i>	<i>La valeur bascule à 0</i>	100 mW	3,05 mA
1,8V	<i>La valeur reste à 0</i>	<i>La valeur bascule à 0</i>	400 mW	3,9 mA

Figure 180 : Résultats de mesure sur un BusKeeper

L'impact laser est effectué alors que le bus n'est pas piloté par un quelconque des buffers de données. Seul le BusKeeper gère le bus après l'avoir verrouillé sur l'état précédent. L'impact laser est effectué à deux instants différents correspondant aux moments où la donnée verrouillée sur le bus est soit à « 0 », soit à « 1 ».

Les résultats montrent que le verrouillage du zéro est robuste, contrairement à celui du « 1 ». Diminuer la tension d'alimentation du circuit ne fait que sensibiliser un peu plus le fonctionnement de la cellule.

4.2.2.2 Résultats de simulation

La simulation est effectuée dans les mêmes conditions de fonctionnement que celles du circuit. En sus du BusKeeper, un buffer tri-state est utilisé pour pré positionner le bus avant que le stress ne soit appliqué. Ce buffer est positionné en High-Z en sortie afin d'appliquer le stress laser en simulation. Seuls les transistors du BusKeeper prennent en compte le modèle du laser. Tous les transistors du BusKeeper sont impactés à 100%. L'évaluation de la surface Nwell impactée par le laser durant la simulation prend par contre en compte le fait que faisceau est plus grand que la cellule. La surface prise en compte dans la simulation est donc plus grande que celle de la seule cellule. Elle comprend la surface Nwell des cellules accolées au BusKeeper et dont le Nwell est aussi impacté.

Les deux figures suivantes montrent les résultats de simulation avec le comportement d'un impact laser sur un BusKeeper lorsqu'il verrouille un « 0 » sur la première figure, ou un « 1 » sur la deuxième.

Dans les deux cas, la première courbe représente la donnée sur le bus, tandis que la deuxième représente la consommation du circuit sous illumination.

Si l'on regarde la première figure, en première partie de simulation, on retrouve un bus qui commute de « 0 » à « 1 » puis de « 1 » à « 0 » avant d'être verrouillé à zéro à la 30^{ème} nanoseconde. Survient alors l'impact laser de la 50^{ème} à la 60^{ème} nanoseconde. On retrouve sa trace sur la courbe de consommation.

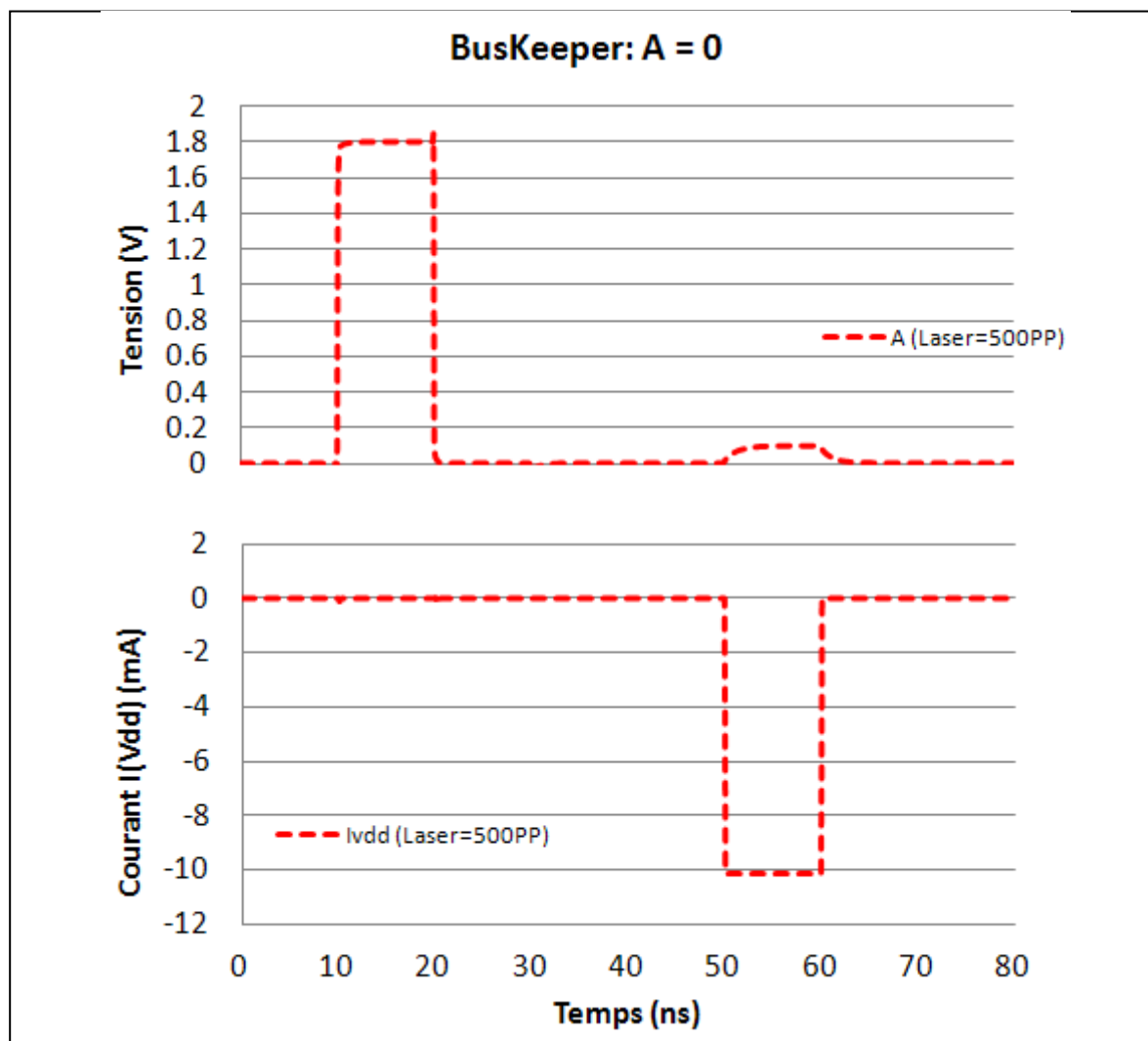


Figure 181 : **BusKeeper verrouillant un « 0 »**

On peut noter qu'aucune faute n'est observée lorsque le BusKeeper verrouille un zéro (voir figure précédente) et ce jusqu'à 500PP au moins, alors que le verrouillage d'un « 1 » est impacté pour se transformer en verrouillage à « 0 » à partir de 200PP. Une faute est introduite (voir figure suivante).

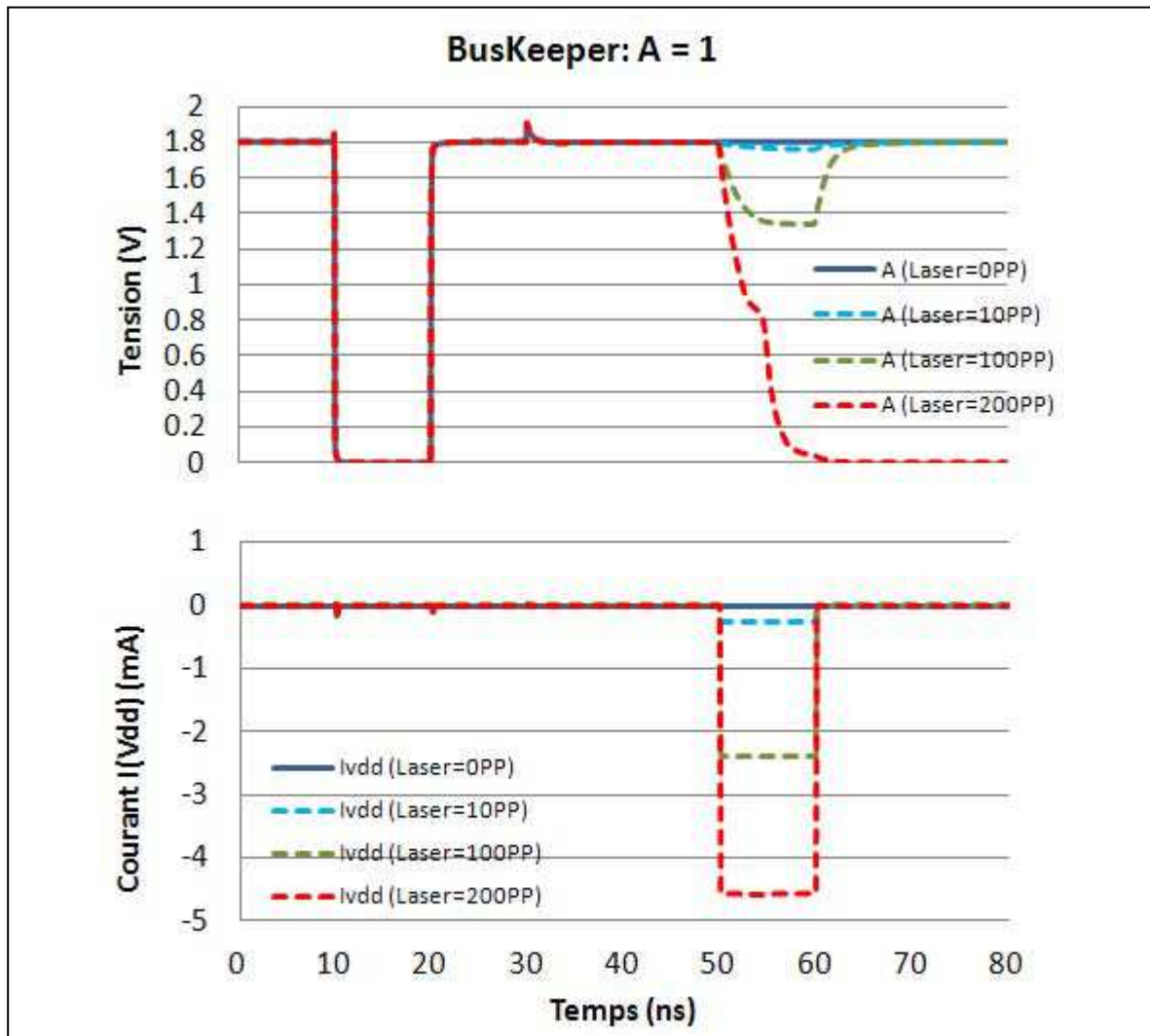


Figure 182 : **BusKeeper verrouillant un « 1 »**

4.2.3 Confrontation et analyse

Les résultats de simulation reproduisent fidèlement le comportement d'un BusKeeper soumis à un stress laser. Même l'offset en courant de consommation extrait au moment de la faute, est assez proche de celui mesuré sur silicium.

Finalement, la cellule de BusKeeper étudiée est beaucoup plus sensible à un impact laser lorsqu'il verrouille un « 1 » que lorsqu'il verrouille un « 0 ». L'analyse des résultats de simulation montre comment le déséquilibre survient. En effet, la taille des transistors du BusKeeper joue un rôle essentiel dans ce résultat.

Comme on l'a expliqué précédemment, l'inverseur du BusKeeper qui maintient la dernière information présente sur le bus est particulièrement résistif comparativement au buffer tri-state qui pilote le bus lui-même ou même que l'inverseur en entrée du BusKeeper qui est commandé par le bus. Alors que la surface de drain des transistors (zone sensible au laser et induisant l'offset de courant) sont relativement semblables (un rapport de moins de 2) entre les deux inverseurs constituant le BusKeeper, les impédances de ces deux inverseurs sont dans plus qu'un rapport de 15 au désavantage de celui dont la sortie est connectée au bus.

Ainsi le courant d'offset généré sur le drain de l'inverseur de sortie connecté au bus, même s'il est légèrement plus faible profitera d'une impédance bien plus importante des transistors pour s'imposer sur ce nœud. Ainsi du fait des tailles des transistors (et par voie de conséquence de leur impédance et de leur surface de jonction de drain active durant l'impact laser), c'est l'impact laser sur le buffer connecté au bus qui décidera du comportement de la cellule. Et puisque le « 1 » est une donnée plus sensible (puisque le courant d'offset généré sur le drain du NMOS à « 1 » est plus important que celui généré sur le drain à « 0 » d'un PMOS – voir chapitre 3), la première faute observée est le « 1 » transformé à « 0 ».

La simulation prédit de son côté que si nous augmentions considérablement la puissance laser nous finirions aussi par observer une faute sur le zéro.

Conclusion générale

L'apport principal de cette thèse n'est pas comme on pourrait le penser de prime abord le développement d'un modèle théorique de l'impact laser sur les caractéristiques des transistors, mais bien plutôt le développement d'un outil et d'une méthodologie permettant d'associer au modèle électrique d'un transistor, la retranscription de l'impact physique du laser sur ses caractéristiques afin de permettre la simulation de tout ou partie d'un circuit intégré soumis à un impact laser.

Entièrement paramétrable, cet outil associe au modèle électrique du transistor, un modèle théorique de l'impact laser, l'ensemble des paramètres physiques relatifs au faisceau (taille, puissance, forme gaussienne ou uniforme, continu ou temporel) ainsi que les caractéristiques topologiques du layout impacté.

L'utilisation de ces paramètres comme variables durant cette thèse a d'ailleurs largement démontré leur importance. En particulier le positionnement du faisceau laser sur le layout du circuit peut entraîner des différences extrêmes de comportement des circuits, justifiant la nécessité de comprendre l'influence du dessin.

Loin d'avoir apporté des solutions pour protéger les circuits, cette thèse a au contraire ouvert des portes en montrant la quantité de paramètres influençant les résultats. Ce faisant, elle a d'autant plus démontré le besoin d'un tel outil pour aider à l'analyse, et à la compréhension, pour soutenir l'innovation en permettant d'imaginer et de tester des solutions afin de prédire leur comportement au moyen de la simulation.

Il est important de souligner ici que les paramètres du modèle utilisé dans ce manuscrit (comme les gains relatifs des différentes jonctions soumis à un impact laser, comme le seuil de mise en fonctionnement des mécanismes associés à l'illumination...) ont été choisis arbitrairement en l'absence de mesure sur des structures élémentaires permettant de régler correctement les caractéristiques intrinsèques des transistors impactés par un faisceau laser. Toutes les simulations utilisent le même paramétrage « théorique ». Certes des différences entre les mesures et la simulation sont observées et principalement dans la relation entre le potentiel photoélectrique (paramètre PP) utilisé en simulation et la puissance laser en mesure.

Malgré cela, toutes les simulations se sont révélées cohérentes avec les mesures reproduisant fidèlement les comportements relatifs à des impacts sur les caractéristiques temporelles (étude sur les chaînes d'inverseurs), sur des caractéristiques de géo-localisation du faisceau sur le layout (étude sur une Flip-Flop), comme sur les susceptibilités relatives d'une schématique (étude d'un BusKeeper).

Au final, cet outil se révèle déjà suffisamment mature pour permettre la prédiction qualitative du comportement d'un circuit intégré soumis à un impact laser.

Aussi, il nous a permis tout au long de cette étude de mieux comprendre les mécanismes en jeu en fonction du choix des schémas, ou des implémentations layout. Alors que la mesure ne nous donne accès qu'à une analyse en offset de courant de consommation, ou une analyse sommaire du comportement du produit dans son ensemble, cette méthodologie nous donne accès à chaque nœud du circuit et nous donne la flexibilité de jouer sur chacun des paramètres pour influencer les résultats.

On le voit, l'aboutissement de cette thèse n'est qu'un point de départ.

Tout d'abord cet outil de simulation doit être amélioré pour être plus fidèle encore à la mesure, que cela soit en faisant évoluer le modèle physique ou que cela soit en faisant évoluer la relation entre les paramètres qui le constituent ou qui l'influence. Dans tous les cas, cet outil doit être utilisé pour être confronté aux mesures et ainsi évoluer par l'expérience.

Ensuite, l'outil est déjà capable de fournir des prédictions de résultats et donc d'influencer des choix d'architecture, des choix de layout qui devront alors être validés sur silicium pour enrichir l'expérience de ce modèle. Il ouvre ainsi la porte à l'investigation de nouvelles solutions, comme à la découverte de nouvelles défaillances.

Dans tous les cas, il ne peut qu'aider à avancer.

Références bibliographiques

1. [ALD03] J. Alda, "Laser and Gaussian Beam Propagation and Transformation", Optical Engineering (2003), pp. 999-1013
2. [ALL87]M. vonAllmen, "Laser-Beam Interactions with Materials", Laser-Beam Interactions with Materials - 1987
3. [AME96]Amerasekera, A.Ramaswamy, S. Mi-Chang Chang, Duvvury, C., "Modeling MOS Snapback and Parasitic Bipolar Action for Circuit-Level ESD and High Current Simulations", Reliability Physics Symposium, 1996. 34th AnnualProceedings., IEEE International pp.318-326
4. [AND97]R. Anderson, M. Kuhn, "Low cost attacks on tamper resistance devices", in Proc. 5th Int. Workshop on Security Protocols, 1997, pp. 125-136
5. [ANG07]Angelov, G.Hristov, M., "SPICE Modeling of MOSFETs in Deep Submicron", 27th International Spring Seminar on Electronics Technology: Meeting the Challenges of Electronics Technology Progress, 2004. pp.257 - 262 VOL.2
6. [BAR04]H. Bar-El, H. Choukri, D. Naccache, M. Tunstall, C. Whelan, "The sorcerer's apprentice guide to fault attacks", Workshop on Fault Diagnosis and Tolerance in Cryptography, in association with DSN 2004, Disp. @<http://eprint.iacr.org/2004/100>.
7. [BAU04] Bautista Jr. G., Blanca, C., Saloma C., "Two-photons optical beam-induced current microscopy of light-emitting diodes", Science Diliman (July-December 2004) 16:2, 61-65, 2004
8. [BEC03]Heidi N. Becker, Tetsuo F. Miyahira, Allan H. Johnston, "Latent Damage in CMOS Devices from Single- Event Latchup", IEEE Trans. Nucl. Sci. Vol. NS-49, No. 6, 2003, pp. 3009-3015
9. [BRI07] A.Bristow, N.Rotenberg and H. van Driel, "Two-photons absorption and Kerr coefficients of silicon for 850-2200nm, Applied Physics Letters 90, 191104 (2007)
10. [BRU96] G. Bruguier, J.M. Palau, "Single particle-induced latchup", IEEE Trans. Nucl. Sci., Vol. NS-43, 1996, pp. 522-532.

11. [BUA07]Buard N, Miller F, Ruby C, Gaillard R., “Latchup effect in CMOS IC: a solution for crypto-processors protection against fault injection attacks?”, in Proc. IEEE international on-line testing symposium; 2007 pp. 63-70
12. [BUC87]S. P. Buchner D. Wilson, K. Kang, D. Gill, J. A. Mazer, W. D. Raburn, “Laser simulation of single event upsets”, IEEE Trans. Nucl. Sci., Vol. NS-34, No. 6, 1987, pp. 1228-1332
13. [BUC88]S. Buchner, A. Knudson, K. Kang and A. B. Campbell, “Charge Collection from focused picosecond laser pulses”, IEEE Trans. Nucl. Sci., Vol. NS-35, No. 6, 1988, pp. 1517-1522
14. [CAI03] B. Caillard, “Le Thyristor Parasite en technologie CMOS : Application à la Protection contre les Décharges Electrostatiques”, Thèse de doctorat – Ecole Doctorale UMII 2003
15. [CAN09]GaetanCanivet, RégisLeveugle, JessyClédière, FrédéricValette, Marc Renaudin, “Characterization of Effective Laser Spots during Attacks in the Configuration of a Virtex-II FPGA”, IEEE VLSI Test Symposium 2009, pp. 327-332
16. [CAV08]Cavrois V, Pouget V, McMorrow D, Schwank J, Fel N, Essely F, et al., “Investigation of the propagation induced pulse broadening (PIPB) effect on single event transients in SOI and bulk inverter chains”, in Proc. IEEE TransNuclSci Vol. NS-55, No. 6 2008 pp.2842-2853
17. [CHE01]Chenming Hu, “BSIM model for circuit design using advanced technologies”, in Symposion on VLSI Circuits, 2001. Digest of TechnicalPapers pp.5-10
18. [CHU03]Chumakov, A I Yanenko, A V Egorov, A N Mavrisky, “Local Laser Irradiation Technique for Estimating Single Event Effects Sensitivity”, 9th Workshop on Electronics for LHC Experiments, Amsterdam, The Netherlands, 29 Sep - 3 Oct 2003, pp.429-431
19. [COL98]Cole, E.I. Jr.; Tangyunyong, P.; Barton, D.L., “Backside localization of open and shorted IC interconnections”, Reliability Physics Symposium, 1998. 36th AnnualProceedings., IEEE International pp.129-136
20. [DAO08]Dao-Hong Yang, Jone F. Chen, Jian-Hsing Lee, and Kuo-Ming Wu, “Dynamic Turn-On Mechanism of the n-MOSFET Under High-Current Stress”, IEEE Electron Devices Letters, VOL. 29, NO. 8, AUGUST 2008

21. [DOU05] Douin, A. Pouget, V. Lewis, D. Fouillat, P. Perdu, P. “Electrical Modeling for Laser Testing with Different Pulse Durations”, in Proc. IEEE international on-line testing symposium; 2005 pp. 9-13
22. [DOU07] Douin, A. Pouget, V. Lewis, D. Fouillat, P. Perdu, P. “Picosecond timing analysis in integrated circuits with pulsed laser stimulation”, Reliability Physics Symposium, 2007. 45th Annual Proceedings., IEEE International pp.520-525
23. [DOU08] Douin, A., “Contribution à la modélisation et au développement de techniques de test et d'analyse dynamiques de circuits intégrés par faisceau laser pulsé”, Thèse de Doctorat, IXL, Université de Bordeaux I- 2008
24. [DOUI05] Douin, A. Pouget, V. Darracq, F. Lewis, D. Fouillat, P. Perdu, P, “Influence of Laser Pulse Duration in Single Event Upset Testing”, 8th European Conference on Radiation and Its Effects on Components and Systems, 2005. RADECS 2005., pp. C13-1 - C13-7
25. [DUT01] Dutertre, J.M, Roche, F.M. Fouillat, P. Lewis, D., “Improving the SEU hard Design using a Pulsed laser”, in Proc. RADECS, 2001, p.243-247.
26. [ENL88] Enlow E, Alexander D, “Photocurrent modeling of modern microcircuit PN junctions”, in Proc. IEEE TransNuclSci 1988 pp.1435-1467
27. [ENZ06] Christian C. Enz , Eric A. Vitto, “Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design”, Editeur: John Wiley & Sons, Ltd. 2006
28. [ESS07] Essely, F. Guitard, N. Darracq, F. Pouget, V. Bafleur, M. Perdu, P. Touboul, A. Lewis, D., “Optimizing pulsed OBIC technique for ESD defect localization”, IEEE Electron Devices and Materials Reliability, Vol. 7, No. 4, 2007 pp. 617 - 624
29. [EST82] Estreich, D.B. Dutton, R.W, “Modeling latch-up in CMOS integrated circuits”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Oct 1982, VOL.1, No. 4, pp. 157-162
30. [FAL01] Falk, R.A., “Advanced LIVA/TIVA techniques”, Proceedings of the 27th International Symposium for Testing and Failure Analysis, 59-65, 2001
31. [FER04] Firiti, A. Lewis, D. Beaudoin, F. Perdu, P. Haller, G. Fouillat, P. “Photoelectric Laser Stimulation in a Failure Analysis Laboratory”, IEEE International Symposium on Industrial Electronics, 2004 pp.101-104 VOL. 1

32. [FOUI95] Fouillat, P. Lapuyade, H. Touboul, A. Dom, J.P. Gaillard, R., "Numerical Modelling of Mechanisms involved in Latchup Triggering by a Laser Beam", 3th European Conference on Radiation and Its Effects on Components and Systems, 1995. RADECS 1995., pp. 379 – 386
33. [GEI90] Geist, J., Schaefer, R., Song, JF, Wang, YH, Zalewski, E., "An accurate value for the absorption coefficient of silicon at 633 nm", Journal of research of the National Institute of Standards and Technology, Volume 95, Number 5, Sept-Oct 1990
34. [GRE95] Green, M.A and Keevers, M. "Optical properties of intrinsic silicon at 300 K", Progress in Photovoltaics, p.189-92, vol.3, N°.3 (1995)
35. [GOD09] Godlewski, C. Pouget, V. Fouillat, P. Lewis, D. "Electrical modeling of the effect of beam profile for pulsed laser fault injection", 20th European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis, 2009 pp. 1143-1147 VOL 49, Issues 9-11
36. [HAG03]Hagai Bar-El, "Known Attacks Against Smartcards", White Paper from Discretix – 2003
37. [HUA06]Li, Huayu; Ki, Hyungson, "Effect of ionization on femtosecond laser pulse interaction with silicon", Journal of Applied Physics, Vol. 100, No. 10 2006, pp. 104907 - 104907-8
38. [IUPAC97]Compendium of Chemical Terminology, 2e édition, IUPAC, 1997
39. [KAR02]Ramesh Karri, Kaijie Wu, Piyush Mishra, Yongkook Kim, "Concurrent Error Detection of Fault Based Side-Channel Cryptanalysis of 128-Bit Symmetric Block Ciphers", Transactions on COMPUTER-AIDED DESIGN of Integrated Circuits and Systems, Vol.21, No.12, pp. 1509-1517, 2002
40. [KOM99]Kömmerling O, Kuhn M., "Design Principles for Tamper-Resistant Smartcard Processors", USENIX Workshop on SmartCard technology - 1999
41. [LAP96] H. Lapuyade, "Analyse physique et modélisation de l'interaction LASER-silicium. Application à la conception de cellules activées par faisceau LASER en vue du test interne des Circuits Intégrés", Thèse de Doctorat, IXL, Université de Bordeaux 1996
42. [LER05] D. Leroy, S.J. Piestrak, F.Monteiro, A. Dadache, "Modeling of transients caused by a laser attack on smart cards", in Proc. 11th IEEE IOLTS, 2005, pp. 193-

43. [LEV04]Leveugle, R., “Early Analysis of fault attack effects for cryptographic hardware”, Workshop on Fault Detection and Tolerance in Cryptography,2004
44. [LEW01]Lewis, D. Pouget, V. Beaudoin, F. Perdu, P. Lapuyade, H. Fouillat, P. Touboul, A. , “Backside laser testing of ICs for SET sensitivity evaluation”, in Proc. IEEE TransNuclSci Vol. NS-48, No.6 2001 pp.2193-2201
45. [LIN97] Von Der Linde D., Sokolowski, K. Bialkowski, J., “Laser-solid interaction in the femtosecond time regime”, Applied Surface Science 109/110, 1-10, 1997
46. [MAR01]Markovic, D. Nikolic, B. Brodersen, R.W., “Analysis and design of low-energy flip-flops”, International Symposium on Low Power Electronics and Design, 2001. pp.52-55
47. [MUS00] Musseau, O. Ferlet-Cavrois, V. Pelloie, J.L. Buchner, S. McMorrow, D. Campbell, A.B., “Laser Probing of Bipolar Amplification in 0.25-um MOS/SOI Transistors”, 2000 in Proc. IEEE TransNuclSci Vol. NS-47, No. 6 2000 pp.2196 - 2203
48. [MUS03] Musseau, O. Leray, J.L. Ferlet, V. Umbert, A. Coic, Y.M. Hesto, P., “Charge collection mechanisms in MOS SOI transistors irradiated by energetic heavy ions”, in Proc. IEEE TransNuclSci Vol. NS-38, No.6 1991 pp.1226-1233
49. [MUS96]Musseau, O., “Single-eventeffects in SOI technologies and devices”, in Proc. IEEE TransNuclSci Vol. NS-43, No. 2 1996 pp.603 - 613
50. [OHM11]Etsuji Ohmura, “Temperature Rise of Silicon Due to Absorption of Permeable Pulse Laser”, Heat Transfer - Engineering Applications, InTech, December, 2011
51. [PER05] Perdu, P. Desplats, R. Sanchez, K. Beaudoin, F. Lewis, D. Pouget, V. Douin, A. Fouillat, “Identification of some key parameters for photoelectric laser stimulation of IC an experimental approach”, in Proc. 12th Internation Symposium on the Physical and Failure Analysis of Integrated Circuits, 2005. IPFA 2005, pp. 21-26
52. [POU00] Pouget, V., “Simulation Expérimentale par impulsions laser ultra-courtes des effets de radiations ionisantes sur les circuits intégrés”, de Doctorat, IXL, Université de Bordeaux I - 2000
53. [POUG00]Pouget V, Lapuyade, H, Lewis D, Fouillat P, Sarger L., “SPICE Modeling of the transient response of irradiated MOSFETs”, in Proc. IEEE TransNuclSci Vol. NS-47, No. 3 2000 pp.508-513

54. [POU04] Pouget, V.; Lewis, D.; Fouillat, P., "Time-Resolved Scanning of Integrated Circuits with a Pulsed Laser : Application to Transient Fault Injection in an ADC", IEEE Transactions on Instrumentation and Measurement, Vol. 5, No. 4, 2004 pp. 1227 - 1231
55. [POU08] Pouget V, Douin A, Foucard G, Peronnard P, Lewis D, Fouillat P, "Dynamic testing of an SRAM based FPGA by time-resolved laser fault injection", in Proc. IEEE international on-line testing symposium; 2008 pp. 295-301
56. [RAM03] Ramsay, E., Reid, D.T., "Investigation of the two-photon optical beam induced current effect in silicon integrated circuits", Optics Communications, Volume 221, Issues 4-6, Pages 427-433, 2003
57. [REN04] M. Renaudin, F. Bouesse, Ph. Proust, J. P. Tual, L. Sourgen, F. Germain "High Security Smartcards", Design, Automation and Test in Europe Conference and Exhibition, p. 10228, Design, Automation and Test in Europe Conference and Exhibition Volume I (DATE'04)
58. [ROU95]Roundy, C.B., "Current Technology of Laser Beam Profile Measurements",
59. Spirion, inc 1995
60. [ROW03]Rowlette A, Eiles T. , "Critical Timing Analysis in Microprocessor using near-IR laser assisted device alteration (LADA)", In International test conference; 2003. pp. 264-273
61. [SCH99]Schneier B, Shostack A. , "Breaking Up Is Hard to Do: Modeling Security Threats for Smart Cards", USENIX Workshop on SmartCard technology - 1999
62. [SKO03]S. Skorobogatov, R.J. Anderson , "Optical fault induction attacks", in Proc. Workshop on Cryptographic Hardware and Embedded Systems (CHES), 2002, pp. 2-12
63. [TSA00]Tsang J.C. Kash J.A. VallettD.P , "Picosecond imaging circuit analysis", IBM J. RES. DEVELOP. VOL. 44 NO. 4 JULY 2000
64. [TUA07] J.P Tual "Cartes à Puce", 2007
65. [VEL92]Velazco R, Martinet B, Auvert G. , "Laser injection of spot defects on Integrated Circuits", 1992
66. [VER91]Verdonckt-Vandebroek, S. Wong, S.S. Woo, J.C.S. Ko, P.K. , "High-gain lateral bipolar action in a MOSFET structure", IEEE Trans. Electron Devices, VOL 38 No 11 1991 pp. 2487-2496

67. [VOL05]S. Voldman, E. Gebreselasie, M. Zirrak, D. Hershberger, D. Collins, N. Feilchenfeld, S. St. Onge, and J. Dunn , “Latchup in merged triple well structure”, in Reliability Physics Symposium, 2005. Proceedings. 43rd Annual. 2005 IEEE International pp. 129-136
68. [WAN01]Wang A.Z. Feng H.G. Gong K. Zhan R.Y. Stine J. , “On-chip ESD protection design for integrated circuits an overview for IC designers”, Microelectronics Journal, Volume 32, Number 9, September 2001 , pp. 733-747(15)
69. [WAN91]Wang, Q. Krautschneider, W.H. Weber, W. Schmitt-Landsiedel, D., “Influence of MOSFET I- V Characteristics on Switching Delay Time of CMOS Inverters After Hot-Carrier Stress”, IEEE Electron Devices Letters, VOL. 12, NO. 5, 1991
70. [WHI03] White J., “Beam profiling using a Scanning Knife-Edge Technique”, 2003.
71. [WIL03]Wilsher K. R., “Design-in-diagnostics: A new optical method”, ITC International Test Conference 2003
72. [WIR64]Wirth J, Rogers S. , “Transient response of transistors and diodes to ionizing radiation”, in Proc. IEEE TransNuclSci 1964 pp.11:24
73. [WIT02]Witteaman, M. , “Advances in Smartcard Security” White Paper2002

1 Les bancs de test

Durant cette thèse, pour mener à bien nos différentes mesures, nous avons utilisé deux bancs de test : un à de la division SmartCard de STMicroelectronics qui nous a permis de faire les expérimentations décrites dans ce manuscrit, et un autre du laboratoire de Bordeaux IMS dans l'équipe Laser.

1.1 Laboratoire DSA STMicroelectronics Rousset

- **Description du banc de test**

Le banc de test est constitué de plusieurs éléments :

- Différents types de diode laser : diode infrarouge et Vert.

En fonction de la diode utilisée, Le diamètre du faisceau laser est soit de $5\mu\text{m}$, $10\mu\text{m}$ ou $30\mu\text{m}$; ce qui permet différentes études en fonction du diamètre du faisceau et donc du nombre de transistors impactés par le laser.

- Une table XY pilotable par ordinateur, ayant une résolution de $1\mu\text{m}$
- Un générateur laser permettant de contrôler les paramètres de la diode (puissance, durée d'impulsion, fréquence d'impulsion, type de pilotage).

Le focus du laser est réglé afin d'obtenir un optimum en perturbation photoélectrique.

La photographie ci-dessous montre l'ensemble des éléments énoncés ci-dessus :



Figure 183 : **Banc de test division DSA**

- **Support de test**

Etant donné que cette thèse a été effectuée au sein de la division Smart Card de STMicroelectronics, les expérimentations ont été faites avec le support préposé aux cartes à puce. Par conséquent, le type de support que l'on peut utiliser avec ce banc de test est soit un micromodule que l'on a préalablement ouvert pour accéder à la face arrière du circuit, soit un support DIL (Anacronyme de **D**ual **I**ncline **P**ackage, lequel est un boîtier de circuit intégré qui connecte ce dernier au monde extérieur).

Il n'y a pas de caméra Infrarouge permettant de localiser de façon précise le faisceau laser sur le circuit testé. Cependant, une caméra standard dans le visible nous permet d'avoir une vue globale de la face arrière du silicium.

- **Mise en place du faisceau laser sur la structure de test**

Le laser utilisé est très simple : une diode laser, dirigée et focalisée à l'aide d'une lentille est projetée sur le circuit testé.



Figure 184 : **Circuit sous test**

La figure ci-dessous est une photographie du circuit sous test. Le faisceau laser est redirigé avec une lentille qui permet aussi de focaliser le laser sur le circuit.

Un générateur de faisceau laser qui permet de générer le courant sur la diode laser, permet dans un même temps, de choisir la fréquence d'impulsion.

Le chemin optique de ce banc de test est simple :il s'agit d'une lentille permettant de focaliser le faisceau sur la pièce et de diriger celui-ci en vertical, comme le montre la figure suivante :

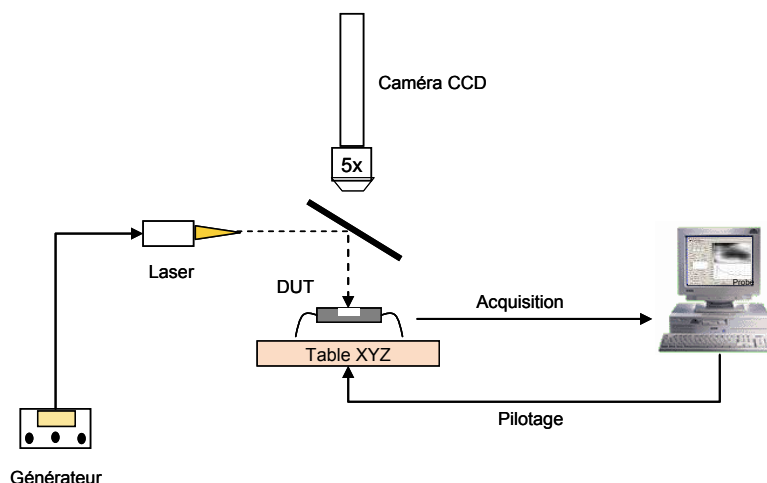


Figure 185 : **Banc de test DSA**

Une table XY est pilotée automatiquement à l'aide des outils proposés et pour optimiser la mesure, une routine peut-être rapidement développée par ordinateur.

Un réglage du focus permet aussi de modifier les paramètres de test.

Un oscilloscope et des pointes spécifiques permettent de relever électriquement les caractéristiques du circuit sain ou sous illumination. La précision du déplacement de la table XY est à $1\mu\text{m}$ près. Cela nous a permis de faire des mesures avec précision et d'établir des grilles de mesures. La diode laser est de type infrarouge, avec une longueur d'onde en moyenne de 940nm , ce qui nous permet aisément, après amincissement du silicium ($180\mu\text{m}$ à $60\mu\text{m}$ d'épaisseur) de permettre au faisceau laser de modifier les caractéristiques du circuit.

Les lasers utilisés à STMicroelectronics ont pour ordre de grandeur de puissance de sortie le Watt. Un abaque fourni par le constructeur permet la correspondance entre un courant de pilotage exprimé en Ampère et la puissance réelle en watt du laser.

Tout le long de ces mesures expérimentales, nous avons travaillé de concert avec une puissance exprimée en Watt et en courant.

Les figures suivantes représentent les abaques de puissance des lasers utilisés :

- **Laser Ø 70µm**

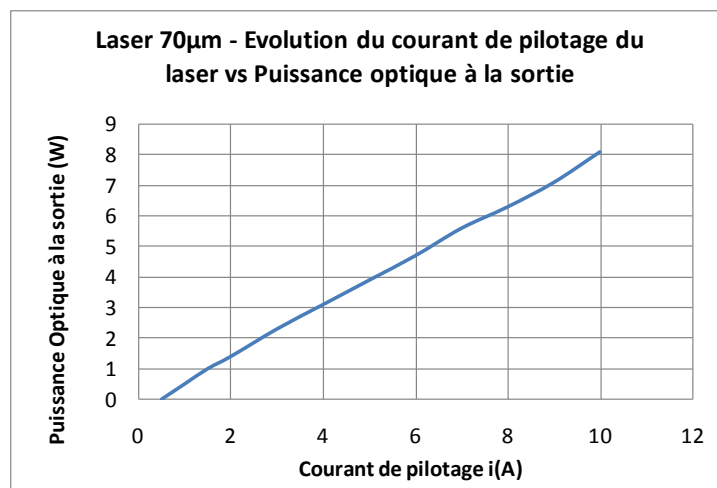


Figure 186 : Abaque pour le laser DSA de diamètre 70µm et longueur d'onde $\lambda=974$ nm

- **Laser Ø 30µm**

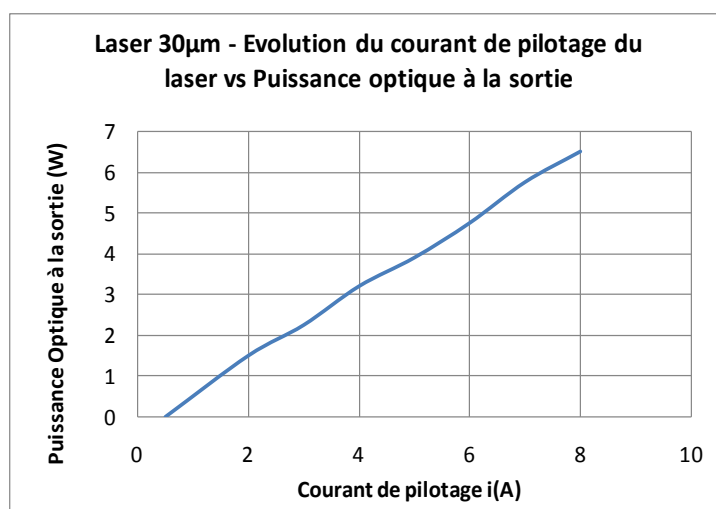


Figure 187 : Abaque pour le laser DSA de diamètre 30µm et longueur d'onde $\lambda =935$ nm

- **Laser Ø 5µm**

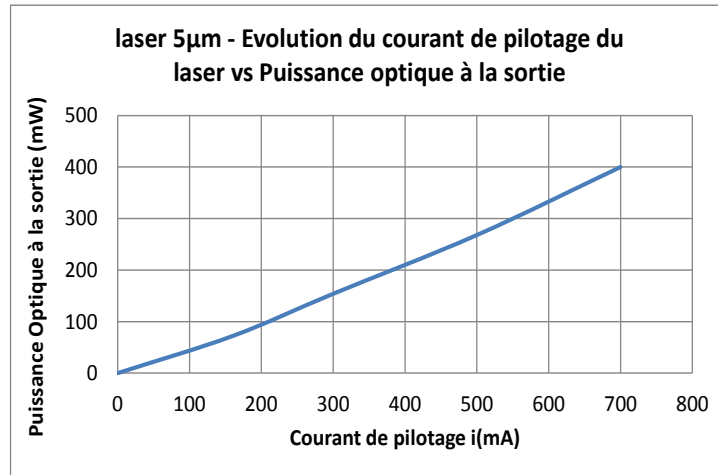


Figure 188 : **Abaque pour le laser DSA de diamètre 5µm et longueur d'onde $\lambda = 900\text{nm}$**

Les diodes sont dans l'infrarouge permettant au faisceau laser d'être absorbé par le silicium et créer des paires électrons-trous générant ainsi le photocourant.

Toutes ces mesures ont été faites avec comme critère de puissance laser, un courant correspondant à la puissance en sortie de la diode laser.

1.2 Plateforme Atlas Laboratoire IMS Bordeaux I [DOU08]

L'équipe « tests et analyse par faisceau laser » a développé depuis 1997 une plateforme instrumentale en optique et laser dédiée à l'étude et à l'application de l'interaction d'impulsions laser ultra-courtes avec des objets semi-conducteurs, principalement des circuits intégrés. Cette plateforme met à disposition, grâce à ses deux sources laser, de multiples faisceaux avec différentes caractéristiques permettant de mettre en œuvre différentes techniques d'analyse.

La plateforme est construite autour de deux chaînes laser impulsionsnelles Titane : Saphir et d'une station sous pointes représentées sur la figure 7.

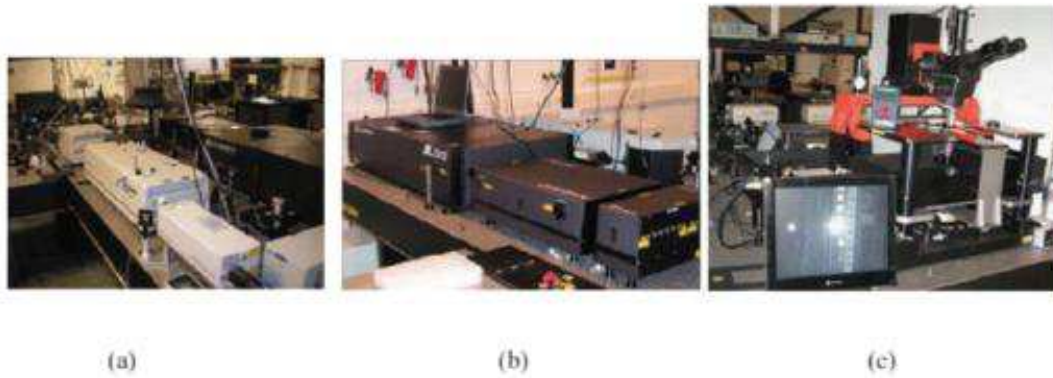


Figure 189 : **Photo des différentes chaînes laser autour desquelles s'articule la plateforme ATLAS. (a) Oscillateur picoseconde lié aux études des effets des radiations, à l'analyse de défauts par simulation électrique laser ou encore à l'injection de faute. (b) Chaîne amplifiée femto-seconde permettant l'élaboration des nouvelles techniques. (c) Testeur sur pointes pour wafer couplé à des techniques de type photoélectrique**

Nous avons deux sources laser impulsives délivrant des impulsions de 1ps et 130fs. Un chemin optique conduit l'un des deux faisceaux (selon le laser) jusqu'au microscope. Sur ce chemin, quelques fractions du faisceau sont prélevées dans le but de le caractériser (E , λ , τ ...).

Le microscope focalise le faisceau laser sur le circuit sous test, lui-même monté sur des platines de translation.

Un logiciel dédié appelé SEEM contrôle le déplacement du circuit, ainsi que les instruments de mesure et de contrôle. La caméra CCD permet la visualisation du circuit dans le cadre d'un test par la face avant. Pour finir, une partie du faisceau est transmise à une photodiode, lors de son injection dans l'objectif. Ce signal électrique nous permet de déclencher les instruments de mesures.

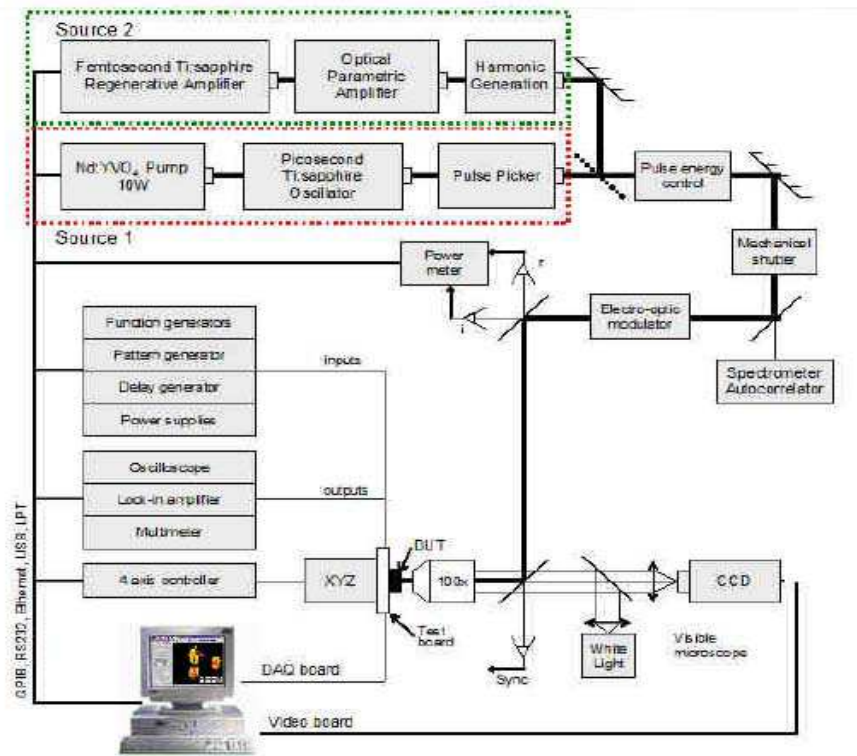


Figure 190 : Banc SPL de la plateforme ATLAS

La première source laser impulsionnelle utilisée dans nos expériences est le modèle “Tsunami” de la société Spectra Physics. Il s’agit d’un oscillateur Titane-Saphir à blocage de modes qui délivre des impulsions de 1ps à une cadence de 80MHz. La longueur d’onde est accordable entre 760 et 1080 nm (proche infrarouge). Le Tsunami est pompé par un laser continu émettant dans le vert à une puissance maximale de 10 W. La puissance maximale accessible en sortie de cavité est de 0,5 W, ce qui correspond à une énergie maximale d’environ 6 nJ par impulsion. Pour nos expériences, nous plaçons la source laser à une longueur d’onde de 800 nm lors de test par la face avant du circuit et à 950 ou 980nm lors de test par la face arrière. En outre, le bruit en amplitude des impulsions est, d’après les données de Spectra Physics, de l’ordre de 1 %. Cette stabilité en énergie est très importante pour la reproductibilité des résultats et la mesure de seuil.



Figure 191 : Image du Tsunami

Pour nos mesures à Bordeaux, contrairement à STMicroelectronics où notre support était soit sur DIL (ou DIP Dual Inline Package), soit sur puce assemblée directement (micromodule), nous avons utilisé le testeur sur pointe pour wafer.

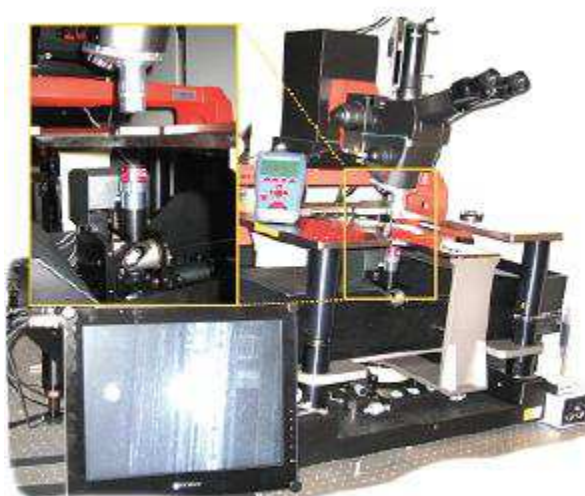


Figure 192 : **Testeur sur pointe**

Une caméra infrarouge permet de visionner le faisceau laser sur les structures étudiées.

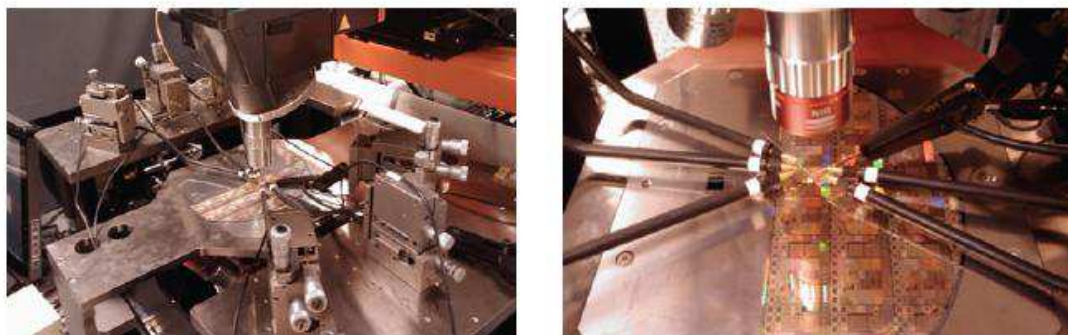


Figure 193 : **Plaquette de silicium test sous pointes**

2 Etude des faisceaux lasers 5 μ m et 70 μ m et Cartographie en courant

Une étude préliminaire en courant nous permet de connaître avec précision la surface exacte des deux faisceaux laser utilisés pour nos mesures. Une méthode plus poussée appelée Knife-Edge [WHI03] peut permettre de mieux connaître le profil exact du faisceau laser utilisé.

L'acquisition du courant d'alimentation est un bon capteur pour déterminer si le produit a été impacté par le laser ou pas.

Voici un exemple de signal que l'on peut visualiser à l'oscilloscope afin d'en extraire les variations de courant d'alimentation en fonction de la position du faisceau sur le produit:

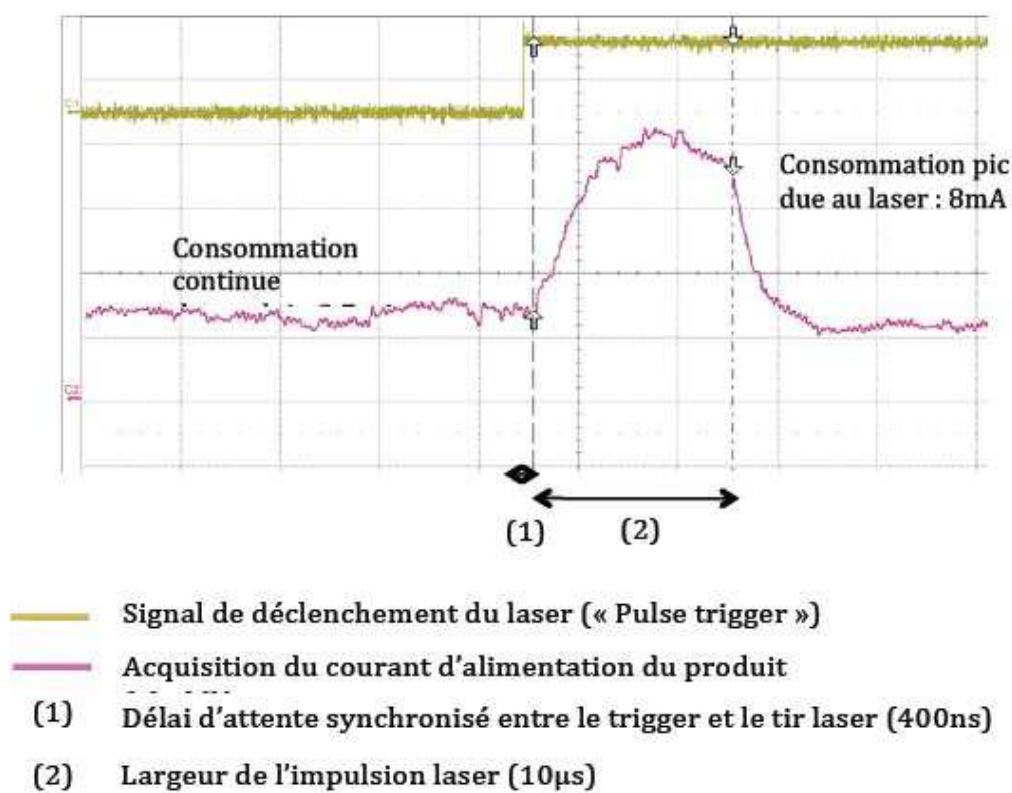


Figure 194 : Acquisition du courant d'une zone localisée d'un TestChip : Position Y=1009 μ m (Nwell) – Laser utilisé : 70 μ m, 1A, Durée d'impulsion : 10 μ s

Une cartographie en courant sur un TestChip de chez STMicroelectronics nous a permis de nous familiariser avec les lasers utilisés et d'en connaître leur précision d'impact sur les structures.

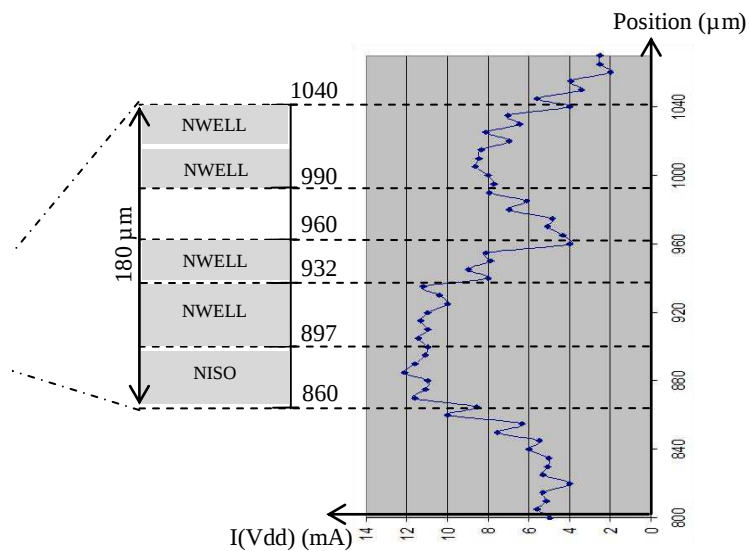


Figure 195 : Exemple de cartographie sur un TestChip de chez STMicroelectronics

Le graphique ci-dessous nous montre la différence des profils entre le laser 5μm et le laser 70μm, ainsi que leur précision au niveau de la même zone de produit que précédemment :

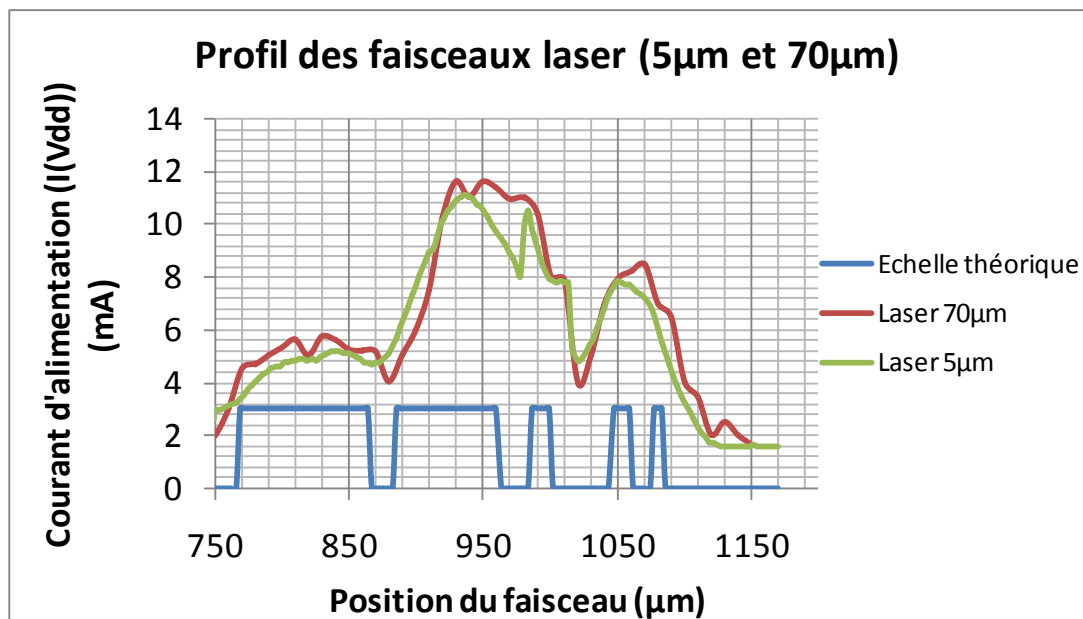


Figure 196 : Profils réels des faisceaux laser 5μm et 70μm de diamètre

D'après cette cartographie en courant précise (résolution à 1μm près), nous voyons bien que:

- Le profil des faisceaux lasers n'est pas totalement uniforme (surtout pour le laser 5μm)

- Leurs diamètres ne sont pas précis et nous avons l'impression d'une divergence du faisceau sur le circuit.

C'est pour cela que dans nos simulations, le profil gaussien a été pris en compte pour le faisceau $5\mu\text{m}$ de diamètre, avec l'application d'une fonction Gaussienne, ainsi que la notion de divergence du faisceau lors de l'impact sur la structure. Toutefois, en ce qui concerne le faisceau $70\mu\text{m}$, nous n'avons pas pris en compte ces aspects-là, de par le nombre de transistors impactés (soit environ 600 inverseurs) et de par l'augmentation de la complexité lors de l'implémentation du modèle.

3 Etude de la planéité d'un circuit intégré

Analyser la planéité d'un circuit intégré sous test revient à optimiser l'impact laser quelque soit la position sur la puce, tout en alliant le réglage de focus de la diode laser.

Par exemple, on choisit une puissance laser de 100mA. On cherche pour une position (x,y) le courant d'alimentation maximum. On choisit une autre position x_1 et y_1 sur le même produit. Par l'obtention d'un nouveau courant d'alimentation max avec une variation en z du faisceau laser (on parle ici de variation en z, la distance entre le faisceau laser et surface active) pour cette même seconde position, on cherche le nouveau courant d'alimentation maximum et la variation en z nous indiquera la planéité.

La première étape consiste à démontrer que la planéité impacte les variations du courant d'alimentation $I(V_{dd})$:

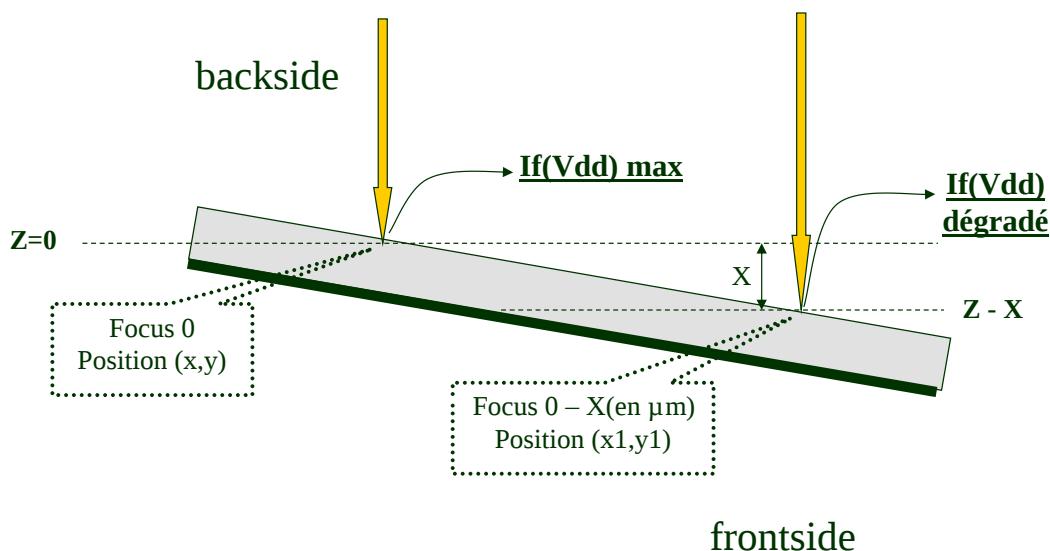


Figure 197 : 1^{ère} étape : Conséquences de la planéité d'un circuit sur son courant d'alimentation

La seconde étape a pour objectif d'atteindre, en modifiant la focalisation (focus) via X (en μm) , essayer de retrouver la valeur en courant $I(V_{dd})$ maximale obtenue pour un focus 0. Ainsi, on peut déterminer la planéité de la puce.

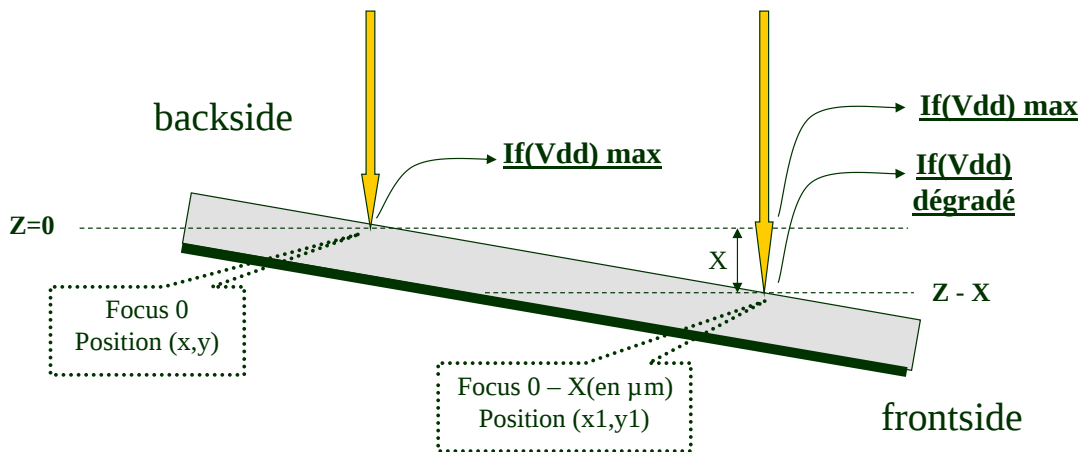


Figure 198 : 2nd étape : Cross check des deux focus et détermination de la planéité de la puce

Voici la courbe que l'on peut obtenir en analyse de courant :

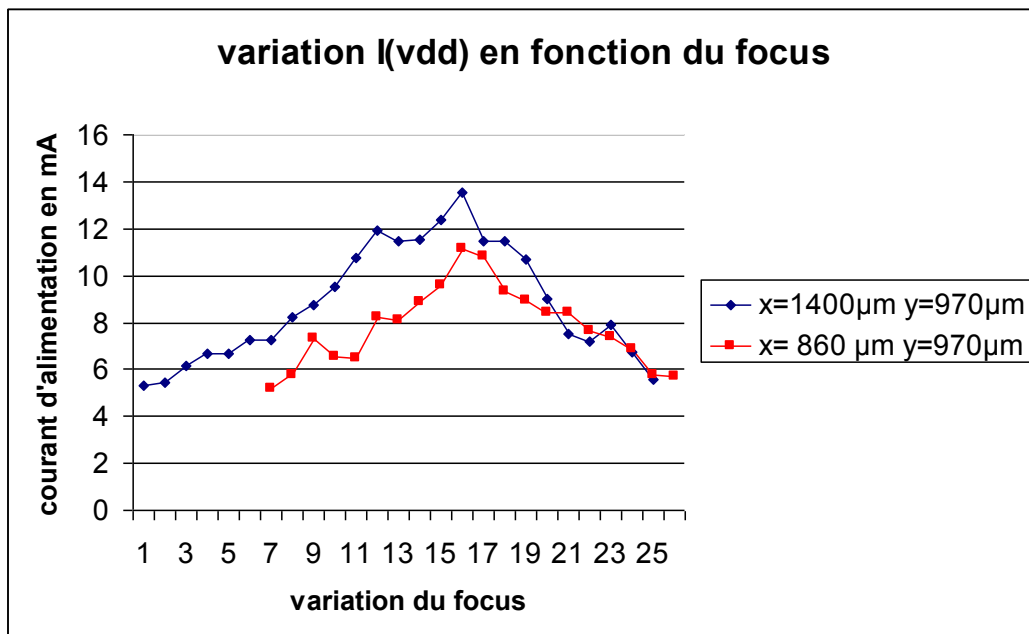


Figure 199 : Etude du focus d'un laser par la variation en courant d'alimentation d'un circuit

L'extraction ci-dessous montre les variations du courant d'alimentation $I(V_{dd})$ en fonction du focus laser utilisé lors d'un impact laser sur le circuit.

Les problèmes que l'on peut avoir avec cette méthode d'analyse sont les suivants :

- Le courant mesuré sur le test chip, produit, etc..., n'est pas assez sensible ou précis pour des variations en Z de l'ordre de 50 μm . Au vu de la taille des puces, un problème de planéité ne devrait pas excéder 100 μm à 200 μm . Les variations de courant mesurées, quelque soit l'énergie du laser, ne sont pas assez significatives pour pouvoir mesurer avec précision la planéité du produit.
- De plus, il apparaît au vu des résultats obtenus, que lors d'un changement du Z (donc du focus), il est possible que le spot laser se déplace de quelques μm en x ou y, ce qui est largement suffisant pour tromper ou modifier les résultats escomptés.

4 Etude des caractéristiques des transistors bipolaires

4.1 Bipolaire NPN

Le fonctionnement du transistor bipolaire est décrit dans ce paragraphe à partir des équations d'Ebers et Moll. Les principaux paramètres y sont définis en s'appuyant sur des mesures de courant et de tension conventionnelles.

Le transistor bipolaire NPN latéral a pour schéma en coupe :

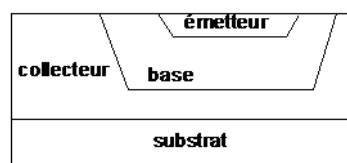
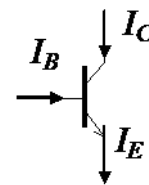
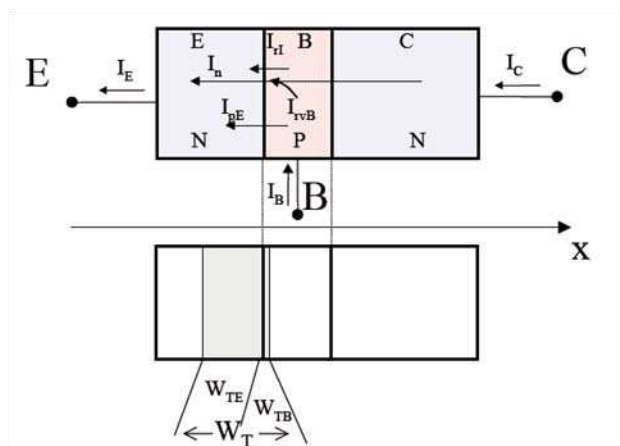


Figure 200 : Vue en coupe d'un transistor NPN latéral

Le transistor est constitué de trois régions qui se distinguent par la nature de leur dopage: l'émetteur (E), la base (B) et le collecteur (C), qui forment deux jonctions PN respectivement base-émetteur et base-collecteur. Le couplage entre les jonctions est à l'origine de l'effet transistor. Le courant dans l'une des diodes (généralement dans la jonction base-émetteur) détermine le courant dans la seconde.



V_{EB} : tension émetteur-base

V_{CB} : tension collecteur-base

W_T : extension de la zone de transition entre base-émetteur

W_{TB} : extension de la zone d'extension côté base

W_{TE} : extension de la zone de transition côté émetteur

I_n : courant d'électrons injectés de l'émetteur vers la base

I_{PE} : courant de trous injectés de la base vers l'émetteur

I_R : courant de recombinaison constitué de I_{ri} (Interface émetteur-base) et I_{rvB} (Volume de la base)

Figure 201 : **Composantes des courants d'un transistor bipolaire NPN fonctionnant en régime normal direct**

L'effet transistor apparaît lorsque la jonction émetteur-base est polarisée en direct (diode passante) et l'autre jonction base-collecteur en inverse. On qualifie cet état de polarisation de mode actif.

Dans ces conditions, des électrons sont injectés de l'émetteur vers la base au moyen du phénomène de diffusion. Dans la base, ce sont des porteurs minoritaires. Par construction, la base est courte et peu dopée. Un pourcentage important des électrons injectés parvient au collecteur sans avoir subi de recombinaison. Comme la jonction collecteur-base est polarisée en inverse, il y règne donc un champ électrique qui entraîne, vers le collecteur, les électrons qui parviennent à cette jonction. De plus, la jonction base-émetteur étant polarisée en direct, des trous sont injectés de la base vers l'émetteur via le phénomène de collection. Enfin, un courant de saturation I_s inverse associé au transport des minoritaires existe :

- des électrons, générés thermiquement dans la base, sont entraînés vers le collecteur.
- des trous, générés thermiquement dans le collecteur, sont entraînés vers la base.

Le courant I_E est déterminé par la tension V_{BE} (comme pour une diode simple) et le courant I_C (au lieu d'être nul, comme dans le cas d'une diode bloquée) est égal, en première approximation, à I_E . En d'autres termes, le courant collecteur est commandé par le courant émetteur. L'origine physique de cet effet est le champ électrique intense qui apparaît dans la « zone de charge d'espace de la jonction BC. Ce champ « collecte les électrons qui sont injectés par l'émetteur dans la base.

Cependant, en réalité, le courant I_C est légèrement inférieur à I_E . Certains électrons ne parviennent pas jusqu'au collecteur. Ils se « recombinent » avec les trous dans la base. Par ailleurs une petite fraction du courant I_E est porté par les trous qui diffusent de la base vers l'émetteur et qui de fait ne participent pas à l'effet transistor.

En vertu de la conservation de la charge électrique (ou de la loi des nœuds qui en découle en régime stationnaire ou encore loi de Kirchhoff), la différence des deux courants est égale au courant « de base » I_B , qui est un courant de trous, alimentant l'injection de la base vers l'émetteur et les recombinaisons des électrons en transit dans la base. Tels que :

$$i_B = i_E - i_C$$

Le gain en courant β est le paramètre statique le plus important dans les mesures statiques, car le gain caractérise la fonction propre du transistor : l'amplification en courant. Il est égale à

$$\beta = \frac{1}{\frac{D_p}{D_n} \frac{N_A}{N_D} \frac{W}{L_p} + \frac{1}{2} \frac{W^2}{D_n \tau_b}}$$

D_p : Constante de diffusion des trous

D_n : Constante de diffusion d'électron

N_A : Concentration en dopage dans la base

N_D : Concentration en dopage dans l'émetteur

W : Largeur de la base

L_p : Longueur de diffusion des trous dans l'émetteur

τ_b : Durée de vie des porteurs minoritaires

La base est une région du transistor déterminante pour son gain en courant. Plus le dopage de la base augmente, plus le gain du transistor se détériore. Les raisons sont surtout la diminution de la durée de vie des porteurs libres quand le dopage augmente et la faible valeur de la mobilité des électrons quand le dopage de la base est de l'ordre de quelques 10^{19} cm^{-3} . Plus l'épaisseur de la base diminue, plus le gain en courant du transistor augmente. Ceci est lié directement au temps de transit des électrons plus faible dans le cas d'une base de faible épaisseur. Enfin, le gain dépend également de la nature du dopant utilisé dans la base. C'est pourquoi le choix des paramètres technologiques de la base (nature du dopant, concentration de dopage, épaisseur) sera fonction des applications visées et des performances recherchées.

Si on détaille le profil du gain en courant en fonction de la densité de courant de collecteur, on peut voir que trois zones se dessinent :

La première région correspond aux faibles courants de collecteur : les recombinaisons et/ ou les courants de fuites de courant de base sont importants et prédominants. Dans la seconde

région, les phénomènes de recombinaison deviennent de plus en plus négligeables et le gain maximum intrinsèque β du transistor est atteint. A partir des équations d'Ebers-Moll, nous obtenons :

$$i_B = \frac{i_C}{\beta} \text{ et } i_E = i_B + i_C = (\beta + 1) \times i_B$$

La troisième région est la région de forte injection. Le courant de collecteur I_C devient suffisamment grand pour provoquer la chute du gain β , en particulier par l'intermédiaire des résistances d'accès ou de l'inversion des populations de porteurs dans la base.

Un aspect important est l'aspect dynamique du contrôle par le courant de base. Si i_B diminue brusquement pour une raison extérieure au transistor, on observe une réduction de l'apport de trous dans la base entraînant une accumulation temporaire d'une charge négative. Cela crée la diminution de la tension de base v_B et donc de v_{BE} . Cet effet a pour impact la réduction de l'injection d'électrons dans la base, et par la suite une réduction du courant de collecteur i_C créant ainsi une diminution de i_B .

En ce qui concerne le paramètre I_s présent dans la carte modèle du transistor NPN, il s'agit du courant de saturation base-émetteur puisque dans le cas du NPN, en fonctionnement normal, la diode base-émetteur est polarisée en direct.

On peut retrouver le courant de saturation de la façon suivante :

$$I_s = \frac{A_E \cdot q \cdot D_n \cdot n_i^2}{N_A \cdot W}$$

Avec

A_E : surface de la jonction base-émetteur

W : largeur de la base

N_A : concentration en dopage dans la base

D_n : constante de diffusion des électrons

n_i : concentration des porteurs intrinsèques

Il en découle de cette explication les principaux paramètres du modèle ayant un impact significatif sur les caractéristiques électriques du transistor NMOS : il s'agit du gain en courant β , le courant de saturation I_s , et les éléments passifs (Résistance R et capacités de jonction). Comme on a pu le constater lors de l'établissement des équations, le gain en courant est fortement dépendant de la largeur de la base (W) et d'autres paramètres

technologiques. Le paramètre le plus contrôlable pour établir notre modèle ou adapter les paramètres de la carte modèle du transistor NPN est donc la largeur de la base. De même, en ce qui concerne le courant de saturation, pour un transistor NPN en fonctionnement normal, celui-ci est très dépendant de la surface de la jonction base-émetteur. On peut ainsi établir de façon générique, qu'en réglant la surface de la prise émetteur, on impactera la valeur du courant de saturation, et ce, en se basant sur les valeurs des cartes modèles des transistors NPN présents dans les design kits.

Enfin, dans le modèle petit signal du transistor bipolaire NPN, il faut prendre en compte les résistances de prises ou d'accès ainsi que les capacités de jonction.

Dans le premier cas, il s'agit de la prise en compte de la modélisation statique du transistor, modèle qui prend en considération les courants de fuite dont le transistor bipolaire peut être le siège, les trois résistances d'accès de base, de collecteur et d'émetteur (R_b , R_c , R_e), et l'effet d'Early (r_0) (Modèle statique de Gummel-Poon). Dans le second cas, il s'agit de la modélisation dynamique du transistor. Ceci passe par l'étude des éléments capacitifs et inductifs du transistor. Le schéma électrique ci-dessous ne tient compte que des capacités intrinsèques du transistor, c'est-à-dire celles présentes dans la zone active du composant. Il s'agit de la capacité de jonction base-émetteur et de jonction base-collecteur. Elles ont pour origine les charges fixes dans les zones de charges et d'espace (ZCE) Emetteur-Base et Base-Collecteur.

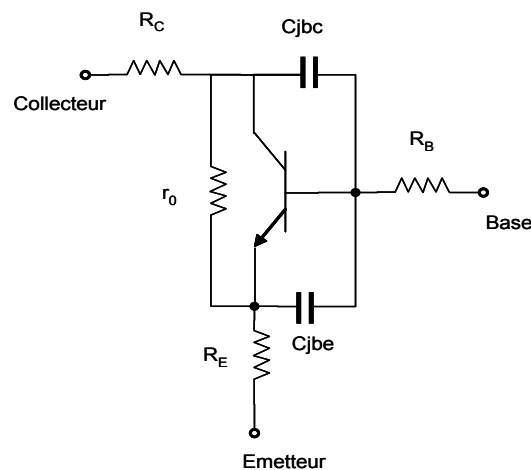


Figure 202 : **Modélisation du transistor NPN (statique et dynamique)**

4.2 Bipolaire PNP

Voici un schéma en coupe d'un transistor PNP latéral :

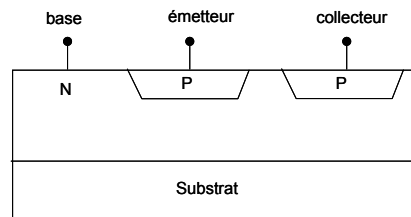


Figure 203 : **Schéma en coupe d'un transistor bipolaire PNP latéral**

Lorsque le transistor bipolaire PNP est en fonctionnement normal, la jonction émetteur-base est polarisée en direct et la jonction collecteur-base en inverse.

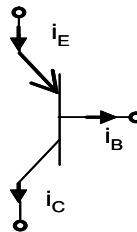


Figure 204 : **Représentation des courants du transistor PNP**

Dans cette configuration, les électrons sont majoritaires dans la base et voient une grande barrière de potentiel vers le collecteur. Leur déplacement via le phénomène de diffusion contribue uniquement à un petit courant électronique de la jonction directe émetteur-base. Les trous, eux, passent la jonction émetteur-base qui est polarisée en direct. Ils se retrouvent porteurs minoritaires dans la zone neutre de la base, en régime de diffusion. Le champ électrique de la jonction inverse base-collecteur happe les minoritaires qui parviennent jusqu'à elle (notamment si la base est courte). Les trous redeviennent porteurs majoritaires dans l'émetteur et ils continuent leur parcours jusqu'au contact.

Les équations qui découlent de la modélisation physique du gain en courant et du courant de saturation sont les mêmes que celles du transistor NPN.

5 Le modèle électrique développé sous ELDO

Mentor Graphics

5.1 Script Perl utilisé pour l'implémentation du modèle

Le script permettant l'implémentation du modèle au sein du netlist impactée par le laser a été développé avec le langage PERL.

Deux syntaxes ont été développées pour permettre de simplifier cette implémentation au concepteur :

- Un script permettant l'intégration du modèle sur tous les transistors de la netlist électrique
- Un script permettant de choisir quels transistors sont illuminés par le laser

Voici le script permettant un impact laser en local (choix des transistors à impacter) :

```
#!/usr/bin/perl

my $sfx;
my $netlist_src=$ARGV[0]; my
@transistor_list=@ARGV[1..$#ARGV];
my $netlist_dest=$netlist_src."_ul.cir
my @help=("-h","--h","-help","--help");
if (grep($_ eq $ARGV[0],@help)){print STDOUT <<TITI;
Modélisation interaction Laser-Silicium, version 0.04-release-
\ (i686-pc-cygwin\ )
--Usage: LaserImpact.exe netlist_eldo
liste_transistors_impactés
--!NB: Le nom de la netlist ne doit pas comporter d'extension
--Aide: LaserImpact.exe [-h | --h | -help | --help]
--développement: catherineGodlewski
--contact: catherine.godlewski\@st.com
TITI
}
```

```

elsif($ARGV[1] eq ""){
    print STDOUT <<TATA;

    *****BONJOUR*****
    Pour que votre simulation ait un sens vous devez entrer
    au moins un transistor à impacter. Si aucun dispositif
    n'est passé en paramètre la netlist cible sera identique
    à la netlist d'origine
    *****

    TATA
}
else{
    open (SRC,"<$netlist_src.cir") || die ("Verifiez que le
    fichier correspondant au nom saisi existe bien\n");
    open (DEST,"+>$netlist_dest");
    while (<SRC){

print DEST <<MODELE;
***bipolaire pour thyristors***

.model pnp0 PNP
+is=2.01e-21
+bf=1.29
+nf=0.99918
+ise=7.1505e-18
+nr=0.99904
+rb=109.89
.model npn0 NPN
+bf=4.24
+is=5.63e-21
+ nf=0.99918
+ ise=1.6547e-17
+ nr=1
+ rb=208.43

```

```

.modelnpnplatPNP
+is=2.01e-21
+bf=0.43
+nf=0.99918
+ise=7.1505e-18
+nr=0.99904
+rb=109.89
.modelnnpnlatNPN
+bf=0.57
+is=5.63e-21
MODELE

if($_ =~ m/^(XM(n|p)*([0-9]+))\s([a-zA-Z0-9]+)\s([a-zA-Z0-9]+)\s([a-zA-Z0-9]+)\s(GND|VDD)\s(\w*(N|P)\w*)/){
    if (grep($_ eq $1,@transistor_list)){
        if($2.$9 eq "PP"){${sfx}="_".lc($2.$9.$3);}
        elsif($2.$9 eq "NN"){${sfx}="_".lc($2.$9.$3);}
        else{${sfx}="_".lc($9.$3);}
        $drain=$4;
        $source=$6;
        print DEST "*"x 80, "\n";
        print DEST "*"x 20, "          TRANSISTOR
".$1."      ", "*"x 20, "\n";
        print DEST "*"x 80, "\n";
        print DEST $1." ".$4." ".$5." ".$6."
"."b".$sfx." ".$8.$';
        if($9 eq "P"){
print DEST <<TOTO;
Resbulk${sfx} VDD b${sfx} 5k
.func P0${sfx}(Iphglobal_NUL)
((Iphglobal_NUL*NwellArea)/(NwellArea+PsubArea))/NbrPMOSillumi
nes

```

```

IphglobalLOCAL$sfxb$sfx GND PWL 0.0 0.0 10.2n 0.0 10.3000nn
'P0$sfx(Iphglobal_NUL)' 11.3000n 'P0$sfx(Iphglobal_NUL)'
11.4000n 0.0
.func P1$sfx(Iphglobal_NUL)
Iphglobal_NUL/(((NwellArea+PsubArea)/ADp)/(100u/Iphglobal))
.func p2$sfx(Iphglobal_NUL)
(Iphglobal_NUL/(((NwellArea+PsubArea)/ADp)/(100u/Iphglobal)))/
ALIM
.func P3$sfx(Iphglobal_NUL)
Iphglobal_NUL/(((ADp*Iphglobal)/(NwellArea+PsubArea))/(1/Iphgl
obal*Iphglobal))/(100u/Iphglobal)
Itd$sfx GND Itd$sfxpwl 0.0 0.0 10.2n 0.0 10.3000nn
'P1$sfx(Iphglobal_NUL)' 11.3000n 'P1$sfx(Iphglobal_NUL)'
11.4000n 0.0
Rtd$sfxItd$sfx GND 100
Gampd$sfx GND switchd$sfxb$sfxsf 'P2$sfx(Iphglobal_NUL)'
YPd$sfxvswitch PIN: switchd$sfxampd$sfxb$sfx $drain PARAM:
MODEL: MyModel
RRswitchd$sfxswitchd$sfx GND 100k
Rampd$sfxampd$sfx GND 100
Gmultd$sfxb$sfx $drain POLY(2) ampd$sfx GND Itd$sfx GND 0 000
'P3$sfx(Iphglobal_NUL)'
.modelQlat$sfxPNP

.func P4$sfx(Iphglobal_NUL6)
Iphglobal_NUL6/(((NwellArea+PsubArea)/ASp)/(100u/Iphglobal))
.func P5$sfx(Iphglobal_NUL6)
(Iphglobal_NUL6/(((NwellArea+PsubArea)/ASp)/(100u/Iphglobal)))/
ALIM
.func P6$sfx(Iphglobal_NUL6)
Iphglobal_NUL6/(((ASp*Iphglobal)/(NwellArea+PsubArea))/(1/Iphg
lobal*Iphglobal))/(100u/Iphglobal)

```

```

Its$sfx GND Its$sfxpwl 0.0 0.0 10.2n 0.0 10.3000n
'P4_$sfx(Iphglobal_NUL6)' 11.3000n 'P4_$sfx(Iphglobal_NUL6)'
11.4000n 0.0
Rts$sfxIts$sfx GND 100
Gamps$sfx GND switchs$sfx VDDb$sfx 'P5$sfx(Iphglobal_NUL6)'
YPs$sfxvswitch PIN: switchs$sfxamps$sfx VDDb$sfx PARAM:
MODEL: MyModel
RRswitchs$sfxswitchs$sfx GND 100k
Ramps$sfxamps$sfx GND 100
Gmults$sfx VDD b$sfxPOLY(2) amps$sfx GND Its$sfx GND 0 000
'P6_$sfx(Iphglobal_NUL6)'
Qpnplat$sfx $drain b$sfx $source pnplat
Qpnp$sfxbn$sfxbp$sfx VDD pnp0
TOTO

        print DEST "*"x 80, "\n";
    }
    else{
print DEST <<TOTO;

*****

Rsub$sfxb$sfx GND 5k
.func P1$sfx(Iphglobal_NUL)
Iphglobal_NUL/(((NwellArea+PsubArea)/ADn)/(100u/Iphglobal))
.func P2$sfx(Iphglobal_NUL)
(Iphglobal_NUL/(((NwellArea+PsubArea)/ADn)/(100u/Iphglobal)))/
ALIM
.func P3$sfx(Iphglobal_NUL)
Iphglobal_NUL/(((ADn*Iphglobal)/(NwellArea+PsubArea))/(1/Iphgl
obal*Iphglobal))/(100u/Iphglobal)
Itb$sfx GND Itb$sfxpwl 0.0 0.0 10.2n 0.0 10.3000nn
'P1$sfx(Iphglobal_NUL)' 11.3000n 'P1$sfx(Iphglobal_NUL)'
11.4000n 0.0
Rtd$sfxItb$sfx GND 100

```

```

Gampd$sfx GND switchd$sfx $drain b$sfx 'P2$sfx(Iphglobal_NUL)'
YPd$sfxvswitch PIN: switchd$sfxampd$sfx $drain b$sfx PARAM:
MODEL: MyModel
RRswitchd$sfxswitchd$sfx GND 100k
Rampd$sfxampd$sfx GND 100
Gmultd$sfx $drain b$sfxPOLY(2) ampd$sfx GND Itd$sfx GND 0 000
'P3$sfx(Iphglobal_NUL)'
.modelQlat$sfxNPN
.func P4$sfx(Iphglobal_NUL6)
Iphglobal_NUL6/(((NwellArea+PsubArea)/ASn)/(100u/Iphglobal))
.func P5$sfx(Iphglobal_NUL6)
(Iphglobal_NUL6/(((NwellArea+PsubArea)/ASn)/(100u/Iphglobal)))
/ALIM
.func P6$sfx(Iphglobal_NUL6)
Iphglobal_NUL6/(((ASn*Iphglobal)/(NwellArea+PsubArea))/(1/Iphg
lobal*Iphglobal))/(100u/Iphglobal)

Its$sfx GND Its$sfxpwl 0.0 0.0 10.2n 0.0 10.3000n
'P4_$sfx(Iphglobal_NUL6)' 11.3000n 'P4_$sfx(Iphglobal_NUL6)'
11.4000n 0.0
Rts$sfxIts$sfx GND 100
Gamps$sfx GND switchs$sfxb$sfx GND 'P5$sfx(Iphglobal_NUL6)'
YPs$sfxvswitch PIN: switchs$sfxamps$sfxb$sfx GND PARAM: MODEL:
MyModel
RRswitchs$sfxswitchs$sfx GND 100k
Ramps$sfxamps$sfx GND 100
Gmults$sfxb$sfx GND POLY(2) amps$sfx GND Its$sfx GND 0 000
'P6_$sfx(Iphglobal_NUL6)'
Qlat$sfx $drain b$sfx $source Qlat$sfx
Qnpn$sfxbp$sfxbn$sfx GND npn0
TOTO

        print DEST "*"x 80, "\n";
    }
}

```

```

        else{
            print DEST $_;
        }
    }
    else {
        print DEST $_;
    }
}
close(DEST);
close (SRC);

```

5.2 Exemple de netlist de simulation impactée par le laser

Voici un extrait de netlist dont le modèle a été implémenté via le script développé en PERL. Nous montrons ici l'impact sur un transistor de type NMOS et sur un transistor de type PMOS :

5.2.1 Impact sur un transistor de type NMOS

```

*****
*****TRANSISTOR XMN106 *****
*****
XMN106 DIN D GND b_nn106 NHVT w=0.35 l=0.1 nfing=1 mult=1
srcefirst=1 mismatch=1
Rsub_nn106 b_nn106 GND 3k
.func P1__nn106(Iphglobal_NUL)
Iphglobal_NUL/(((NwellArea+PsubArea)/ADn)/(100u/Iphglobal))
.func P2__nn106(Iphglobal_NUL)
(Iphglobal_NUL/(((NwellArea+PsubArea)/ADn)/(100u/Iphglobal)))/
ALIM

```

```

.func P3__nn106(Iphglobal_NUL)
Iphglobal_NUL/(((ADn*Iphglobal)/(NwellArea+PsubArea))/(1/Iphgl
obal*Iphglobal)))/(100u/Iphglobal)
Itdd_nn106 GND Itdd_nn106 pwl 0.0 0.0 200.2u 0.0 200.3000u
'P1__nn106(Iphglobal_NUL)' 210.3000u
'P1__nn106(Iphglobal_NUL)' 210.4000u 0.0
Rtdd_nn106 Itdd_nn106 GND 100
Gampd_nn106 GND switchd_nn106 DIN b_nn106
'P2__nn106(Iphglobal_NUL)'
YPd_nn106 vswitch PIN: switchd_nn106 ampd_nn106 DIN b_nn106
PARAM: MODEL: MyModel
RRswitchd_nn106 switchd_nn106 GND 100k
Rampd_nn106 ampd_nn106 GND 100
Gmultd_nn106 DIN b_nn106 POLY(2) ampd_nn106 GND Itdd_nn106 GND
0 000 'P3__nn106(Iphglobal_NUL)'
.model Qlat_nn106 NPN
+bf=5.86
+is=24.2e-22
+tf=1.69551e-10
+tbfl=0.0050857
+tre1=-0.0019328
Qlat_nn106 DIN b_nn106 GND Qlat_nn106

.model Qthy_nn106 NPN
+bf=27.35
+is=24.2e-22
+tf=1.69551e-10
+tbfl=0.0050857
+tre1=-0.0019328
Qthy_nn106 b_pp106 b_nn106 GND Qthy_nn106

```

5.2.2 Impact sur un transistor de type PMOS

```
*****TRANSISTOR XMP120*****
*****
XMP120 CN CP VDD b_pp120 PHVT w=0.46 l=0.1 nfing=1 mult=1
srcefirst=1 mismatch=1
Resbulk_pp120 VDD b_pp120 2k
.func P0__pp120(Iphglobal_NUL)
((Iphglobal_NUL*NwellArea)/(NwellArea+PsubArea))/NbrPMOSillumines
IphglobalLOCAL_pp120 b_pp120 GND PWL 0.0 0.0 200.2u 0.0
200.3000u 'P0__pp120(Iphglobal_NUL)' 210.3000u
'P0__pp120(Iphglobal_NUL)' 210.4000u 0.0
.func P1__pp120(Iphglobal_NUL)
Iphglobal_NUL/(((NwellArea+PsubArea)/ADp)/(100u/Iphglobal))
.func p2__pp120(Iphglobal_NUL)
(Iphglobal_NUL/(((NwellArea+PsubArea)/ADp)/(100u/Iphglobal)))/
ALIM
.func P3__pp120(Iphglobal_NUL)
Iphglobal_NUL/(((ADp*Iphglobal)/(NwellArea+PsubArea))/(1/Iphgl
obal*Iphglobal))/(100u/Iphglobal)
Itdd_pp120 GND Itdd_pp120 pw1 0.0 0.0 200.2u 0.0 200.3000u
'P1__pp120(Iphglobal_NUL)' 210.3000u
'P1__pp120(Iphglobal_NUL)' 210.4000u 0.0
Rtdd_pp120 Itdd_pp120 GND 100
Gampd_pp120 GND switchd_pp120 b_pp120 CN
'P2__pp120(Iphglobal_NUL)'
YPd_pp120 vswitch PIN: switchd_pp120 ampd_pp120 b_pp120 CN
PARAM: MODEL: MyModel
RRswitchd_pp120 switchd_pp120 GND 100k
Rampd_pp120 ampd_pp120 GND 100
Gmultd_pp120 b_pp120 CN POLY(2) ampd_pp120 GND Itdd_pp120 GND 0
000 'P3__pp120(Iphglobal_NUL)'
.model Qlat_pp120 PNP
```

```
+bf=1.21
+is=9.7e-22
+tf=1.69551e-10
+tbfl=0.0050857
+tre1=-0.0019328
Qlat_pp120 CN b_pp120 VDD Qlat_pp120
.model Qthy_pp120 PNP
+bf=4.5
+is=9.7e-22
+tf=1.69551e-10
+tbfl=0.0050857
+tre1=-0.0019328
Qthy_pp120 b_nn120 b_pp120 VDD Qthy_pp120
```

Table des figures

Figure 1 : Architecture de base d'une carte à puce actuelle	18
Figure 2 : Classification proposée des différents types d'attaques possibles pouvant déstabiliser la sécurité d'une carte à puce.....	22
Figure 3 : Flot utilisé par les concepteurs en vue d'une protection contre les attaques semi- invasives	25
Figure 4 : Tableau recensant les différentes techniques de test utilisées actuellement	28
Figure 5 : Image OBIC d'une jonction PN [DOU08].....	29
Figure 6 : Représentation électrique des techniques OBIC et LIVA proposée par.....	30
Figure 7 : Diagramme d'état dans l'espace d'un semi-conducteur à gap direct (a) et indirect (b)	34
Figure 8 : Coefficient d'absorption et de la profondeur de pénétration en fonction de la longueur d'onde	36
Figure 9 : Représentation d'un faisceau gaussien.....	37
Figure 10 : Evolution dans le temps du nombre de transistors impactés par le laser pour une technologie donnée.....	40
Figure 11 : Exemple de résultat de mesure sur une chaîne d'inverseur CMOS :Analyse du courant d'alimentation.....	43
Figure 12 : Chaîne d'inverseurs CMOS impactée: Pour un diamètre de 10 μ m, dans une technologie 0,18 μ m, 4 inverseurs CMOS sont illuminés	44
Figure 13 : Exemple d'un circuit équivalent modifié de la partie intrinsèque d'un MOSFET utilisé pour la modélisation larges signaux	50
Figure 14 : Schéma illustrant notre domaine d'application : modélisation électrique des effets induits par le laser sur des structures CMOS	51
Figure 15 : Modèle électrique complet d'un transistor NMOS illuminé	52
Figure 16 : Modèle électrique simplifié pour les durées d'impulsions courtes (a)et réponses électriques du modèle associé (b).....	54
Figure 17 : Modèle électrique simplifié pour les durées d'impulsions longues (a)et réponses électriques du modèle associé (b).....	55
Figure 18 : Bipolaire intrinsèque au transistor de type NMOS et la caractéristique I(V)	58

Figure 19 : Vue schématique du thyristor PNPN	61
Figure 20 : Caractéristiques I(V) du déclenchement du phénomène de latchup [BEC03]	62
Figure 21 : Schéma en coupe d'un transistor MOS impacté par laser	64
Figure 22 : Structure électrique d'un transistor NMOS impacté: modèle au 1er ordre	65
Figure 23 : Exemple de distribution du potentiel photoélectrique au sein d'une structure CMOS.....	67
Figure 24 : Flot vu à haut niveau de la méthodologie d'implémentation du modèle laser en simulation	68
Figure 25 : Modèle de base de l'impact laser sur un MOSFET de type N	69
Figure 26 : Vue électrique de la modélisation laser sous ELDO	70
Figure 27 : Profils en courant du modèle électrique sous ELDO.....	71
Figure 28 : Exemple de carte modèle d'un transistor NPN latéral	72
Figure 29 : modèle laser appliqué à un transistor NMOS	73
Figure 30 : Réglage du gain en courant β du transistor NPN latéral parasite	75
Figure 31 : Schéma en coupe d'un transistor PMOS en technologie CMOS simple puits: identification des jonctions sensibles à un impact laser	77
Figure 32 : Intégration du modèle au sein d'un transistor PMOS. A gauche, vue en coupe. A droite, vue électrique	78
Figure 33 : Influence du laser (IR) sur les caractéristiques $I_{ds}(V_{ds})$ d'un transistor PMOS [ROW03].....	79
Figure 34 : Méthodologie utilisée pour déterminer les valeurs des courants générés au niveau des jonctions PN pour un transistor PMOS.....	80
Figure 35 : Schéma en coupe (à gauche) et schéma électrique (à droite) de la modélisation d'un transistor PMOS impacté par le laser	82
Figure 36 : schéma en coupe d'un transistor bipolaire PNP latéral	82
Figure 37 : Représentation des courants du transistor PNP	82
Figure 38 : Exemple d'une carte modèle d'un transistor PNP latéral de surface $25 \mu m^2$	83
Figure 39 : Schéma électrique du modèle appliqué à un inverseur CMOS	85
Figure 40 : Schéma en coupe d'un inverseur CMOS et du thyristor inhérent à la structure	86
Figure 41 : Schéma en coupe d'un transistor PNP vertical [ROC78].....	87
Figure 42 : Schéma en coupe d'un transistor PMOS Technologie ST $0,18 \mu m$	87
Figure 43 : Méthodologie utilisée pour implémenter le modèle laser au sein de structures CMOS.....	89

Figure 45 : Caractéristique simulée $I_{ds}=f(V_{ds})$ d'un transistor NMOS $10\mu\text{m}/0,18\mu\text{m}$	94
Figure 46 : Caractéristiques statiques mesurées d'un transistor NMOS $10\mu\text{m}/0,18\mu\text{m}$	95
Figure 47 : Layout d'un transistor Nmos $W_n=10\mu\text{m}$ $L_n=0,18\mu\text{m}$ et définitions	97
Figure 48 : Méthodologie et flot de simulation sur un transistor NMOS	101
Figure 49 : Transistor NMOS impacté par un faisceau laser de 1PP	103
Figure 50 : Transistor NMOS impacté par un faisceau laser de 10PP	104
Figure 51 : Transistor NMOS impacté par un faisceau laser de 100PP	104
Figure 52 : Transistor NMOS impacté par différent I_{laser}	105
Figure 53 : Zoom de la caractéristique $I_d(V_{ds})$ du transistor NMOS $10\mu\text{m}$, $V_{gs}=1.8\text{V}$	106
Figure 54 : Offset de courant de drain	107
Figure 55 : Amorçage du transistor bipolaire latéral	108
Figure 56 : Courant induit par l'amorçage du bipolaire latéral	109
Figure 57 : Polarisation en direct de la jonction P/N (substrat local/source)	109
Figure 58 : Evolution de la tension V_{dsubl} appliquée sur la jonction de drain du NMOS	110
Figure 59 : Photocourant généré par le faisceau laser	110
Figure 60 : Offset de courant en fonction de V_{gs} pour un laser de 10PP	112
Figure 61 : Offset de courant en fonction de V_{gs} pour un laser de 100PP	112
Figure 62 : Offset de courant en fonction de V_{gs} pour un laser de 1000PP	112
Figure 63 : Layout d'un transistor NMOS $W_n=0,28\mu\text{m}$ $L_n=0,18\mu\text{m}$ et définitions ...	114
Figure 64 : Impact laser sur un transistor NMOS de dimensions $0,28\mu\text{m}/0,18\mu\text{m}$...	115
Figure 65 : Tableau recensant les différents offsets en courant à différents PP laser pour deux structures géométriques différentes	116
Figure 66 : Transistor NMOS $W_n=10\mu\text{m}$ $L_n=0,18\mu\text{m}$ sous un faisceau de $5\mu\text{m}$	118
Figure 67 : Comparaison de l'impact d'un faisceau de $5\mu\text{m}$ et de $10\mu\text{m}$	119
Figure 68 : Comparaison de 2 dessins différents d'un même schéma	121
Figure 69 : Impact de l'optimisation de surface sur la sensibilité	122
Figure 70 : Caractéristique simulée $I_{ds}=f(-V_{ds})$ d'un transistor PMOS $10\mu\text{m}/0,18\mu\text{m}$	125
Figure 71 : Layout d'un transistor PMOS $W_p=10\mu\text{m}$ $L_p=0,18\mu\text{m}$ et définitions	126
Figure 72 : Méthodologie et flot de simulation sur un transistor PMOS	130
Figure 73 : Transistor PMOS impacté par un faisceau laser 100PP	132
Figure 74 : Offset en courant de drain en fonction de $-V_{ds}$	133
Figure 75 : Courant d'offset du au bipolaire latéral du fait du photocourant généré au niveau du drain du transistor PMOS	134

Figure 76 : Courant d'offset du au bipolaire latéral du fait du photocourant généré au niveau de la jonction Nwell/Psubstrat.....	135
Figure 77 : Offset de courant total observé sur le drain d'un PMOS de 10µm/0,18µm	135
Figure 78 : Tableau recensant les offsets en courant, le photocourant dans le Nwell et la consommation sur l'alimentation, à différents PP laser pour les transistors NMOS et PMOS	136
Figure 79 : Inverseur élémentaire.....	138
Figure 80 : Caractéristiques statiques $V_{out}=f(V_{in})$ d'un inverseur	139
Figure 81 : Schéma d'un inverseur chargé.....	140
Figure 82 : Schéma pris en compte durant la simulation	142
Figure 83 : Layout d'un inverseur dont seul le NMOS est impacté.....	143
Figure 84 : Schéma équivalent	144
Figure 85 : Netlist de l'inverseur impacté à simuler	144
Figure 86 : Caractéristique statique $V_{out}=f(V_{in})$ d'un inverseur dont le NMOS est impacté	145
Figure 87 : Consommation $I=f(V_{in})$ d'un inverseur dont le NMOS est impacté	146
Figure 88 : Schéma équivalent de l'inverseur lorsque la tension en entrée est faible	147
Figure 89 : Caractéristique statique $V_{out}=f(V_{in})$ du buffer.....	148
Figure 90 : Sortie de l'inverseur dont seul le NMOS est impacté.....	150
Figure 91 : Sortie du buffer dont le premier étage a le NMOS impacté	151
Figure 92 : Consommation du circuit –NMOS du 1er inverseur impacté	151
Figure 93 : Sortie de l'inverseur dont seul le NMOS est impacté.....	152
Figure 94 : Sortie du buffer dont le premier étage a le NMOS impacté	153
Figure 95 : Sortie du buffer inversé- Le premier étage a le NMOS impacté	154
Figure 96 : Table recensant les délais de propagation dont seul le NMOS du premier inverseur est illuminé (Front montant).....	155
Figure 97 : Consommation du circuit - NMOS du 1er inverseur impacté	156
Figure 98 : Sortie de l'inverseur dont seul le NMOS est impacté.....	157
Figure 99 : Sortie du buffer dont le premier étage a le NMOS impacté	157
Figure 100 : Table recensant les délais de propagation dont seul le NMOS du premier inverseur est illuminé (Front descendant)	159
Figure 101 : Consommation du circuit - NMOS du 1er inverseur impacté	159
Figure 102 : Schéma pris en compte durant la simulation	160

Figure 103 : Layout d'un inverseur dont seul le PMOS est impacté	161
Figure 104 : Schéma équivalent	162
Figure 105 : Netlist de l'inverseur impacté à simuler	162
Figure 106 : Caractéristique statique d'un inverseur dont seul le PMOS est impacté	163
Figure 107 : Schéma équivalent de l'inverseur lorsque la tension en entrée est forte	164
Figure 108 : Caractéristique statique $V_{out}=f(V_{in})$ du buffer	165
Figure 109 : Consommation $I=f(V_{in})$ d'un inverseur dont le PMOS est impacté	166
Figure 110 : Sortie de l'inverseur dont seul le PMOS est impacté	167
Figure 111 : Sortie du buffer dont le premier étage a le PMOS impacté	168
Figure 112 : Consommation du circuit - PMOS du 1er inverseur impacté	169
Figure 113 : Sortie de l'inverseur dont seul le PMOS est impacté	170
Figure 114 : Sortie du buffer dont le premier étage a le PMOS impacté	171
Figure 115 : Sortie du buffer inversé - Le premier étage a le PMOS impacté	172
Figure 116 : Table recensant les délais de propagation dont seul le PMOS du premier inverseur est illuminé (Front descendant)	173
Figure 117 : Consommation du circuit - PMOS du 1er inverseur impacté	173
Figure 118 : Sortie de l'inverseur dont seul le PMOS est impacté	174
Figure 119 : Sortie du buffer dont le premier étage a le PMOS impacté	175
Figure 120 : Sortie du buffer inversée. Le premier étage a le PMOS impacté	176
Figure 121 : Table recensant les délais de propagation dont seul le PMOS du premier inverseur est illuminé (Front montant)	177
Figure 122 : Consommation du circuit - PMOS du 1 ^{er} inverseur impacté	177
Figure 123 : Schéma pris en compte durant la simulation	178
Figure 124 : Layout d'un inverseur dont le NMOS ET le PMOS sont impactés	179
Figure 125 : Schéma équivalent	180
Figure 126 : Caractéristique statique de l'inverseur - NMOS et PMOS sont impactés	181
Figure 127 : Caractéristique statique de l'inverseur – Bipolaire moins sensible	182
Figure 128 : Caractéristique statique du buffer – Sortie inversée	183
Figure 129 : Consommation de l'inverseur dont NMOS&PMOS sont impactés	183
Figure 130 : Sortie du premier étage – NMOS&PMOS impactés	184
Figure 131 : Sortie du deuxième étage – NMOS & PMOS impactés du 1er inverseur	185
Figure 132 : Consommation – NMOS&PMOS impactés	186
Figure 133 : Sortie du premier étage – NMOS&PMOS impactés	187

Figure 134 : Sortie du deuxième étage – NMOS&PMOS impactés du 1 ^{er} inverseur	187
Figure 135 : Sortie du troisième étage – NMOS&PMOS impactés du 1 ^{er} inverseur.	188
Figure 136 : Sortie du premier étage – NMOS & PMOS impactés	189
Figure 137 : Sortie du deuxième étage – NMOS & PMOS impactés du 1 ^{er} inverseur	190
Figure 138 : Sortie du troisième étage – NMOS & PMOS impactés du 1 ^{er} inverseur	190
Figure 139 : Schematic of a real test simulation with a laser spot covering several consecutive gates of an inverter chain	192
Figure 140 : Illustration of the number of inverters illuminated with two different spot sizes	193
Figure 141 : a) uniform and b) Gaussian intensity distributions.....	193
Figure 142 : Transient simulation results for a uniform laser spot of 3w with $I_{Laser}=5.9mA$	194
Figure 143 : Transient simulation results for a Gaussian laser spot of 3w with $I_{Laser} = 6mA$	195
Figure 144 : Transient simulation results for a uniform laser spot of 10w with $I_{Laser} = 15.3 mA$	195
Figure 145 : Transient simulation results for a Gaussian laser spot of 10w with $I_{Laser} = 15.3mA$	196
Figure 146 : Output signal width vs laser intensity for different laser spot sizes and shapes	196
Figure 147 : Transient simulation results for a pulsed laser with uniform laser spot of 3w with $I_{Laser} = 13mA$	197
Figure 148 : Function failure threshold vs laser spot size, shape and pulse duration	198
Figure 139 : Synoptique de la méthodologie utilisée	202
Figure 140 : Schéma illustrant notre méthodologie de corrélation	203
Figure 141 : Circuit de test TATI.....	204
Figure 142 : Inverseur de la chaîne BASE_ENC	206
Figure 143 : Inverseur de la chaîne MAX_P.....	206
Figure 144 : Inverseur de la chaîne MAX_N.....	207
Figure 145 : Résultats de mesure obtenus pour la chaîne BASE_ENC impactée par un laser de 5µm de diamètre.....	208
Figure 146 : Impact laser sur les temps de propagation.....	209

Figure 147 : Table recensant les résultats de mesure obtenus de la chaîne BASE_ENC impactée par un laser de diamètre 70µm.....	210
Figure 148 : Table recensant les résultats de mesure obtenus de la chaîne MAX_P impactée par un laser de diamètre 70µm	211
Figure 149 : Table recensant les résultats de mesure obtenus de la chaîne MAX_N impactée par un laser de diamètre 70µm	212
Figure 150 : Exemple du profil gaussien d'un faisceau laser de 5µm de diamètre	214
Figure 151 : Layout impacté par le faisceau	215
Figure 152 : Schéma impacté par le faisceau	216
Figure 153 : Visualisation du nœud 2000	216
Figure 154 : Visualisation du nœud 3000	217
Figure 155 : Visualisation du nœud 4000	217
Figure 156 : Layout impacté par le faisceau	218
Figure 157 : Schéma impacté par le faisceau	219
Figure 158 : Visualisation du nœud 1000	219
Figure 159 : Visualisation du nœud 2000	219
Figure 160 : Contributions des lignes impactées dans le temps de propagation.....	221
Figure 161 : Layout impacté par le faisceau	222
Figure 162 : Visualisation du nœud 20000	223
Figure 163 : Layout impacté par le faisceau	224
Figure 164 : Visualisation du nœud 10000	224
Figure 165 : Layout impacté par le faisceau	225
Figure 166 : Visualisation du nœud 10000	226
Figure 167 : Vue schématique de la D-Flip-Flop Maître-Esclave	228
Figure 168 : Exemple de cartographie d'une Flip-Flop	229
Figure 169 : Schématique de Flip-Flop Maître-Esclave	233
Figure 170 : Exemple d'utilisation d'une Flip-Flop Maître-Esclave	234
Figure 171 : Table de vérité de la Flip-Flop.....	234
Figure 172 : Layout et dimensions de la Flip-Flop étudiée.....	235
Figure 173 : Etude layout vs faisceau laser.....	236
Figure 174 : Maître ou Esclave illuminé durant un « 1 ».....	237
Figure 175 : Contributions des lignes impactées dans le temps de propagation.....	238
Figure 176 : Résultats de simulation obtenus pour une donnée à 0 en entrée.....	238

Figure 177 : Maître illuminé durant un « 0 »	239
Figure 178 : Schéma du banc de test du BusKeeper	241
Figure 179 : Layout et dimensions du BusKeeper étudié	242
Figure 180 : Résultats de mesure sur un BusKeeper.....	242
Figure 181 : BusKeeper verrouillant un « 0 »	244
Figure 182 : BusKeeper verrouillant un « 1 »	245
Figure 183 : Banc de test division DSA	257
Figure 184 : Circuit sous test.....	257
Figure 185 : Banc de test DSA.....	258
Figure 186 : Abaque pour le laser DSA de diamètre 70 μ m et longueur d'onde λ =974 nm	259
Figure 187 : Abaque pour le laser DSA de diamètre 30 μ m et longueur d'onde λ =935nm	259
Figure 188 : Abaque pour le laser DSA de diamètre 5 μ m et longueur d'onde λ =900nm	260
Figure 189 : Photo des différentes chaînes laser autour desquelles s'articule la plateforme ATLAS. (a) Oscillateur picoseconde lié aux études des effets des radiations, à l'analyse de défauts par simulation électrique laser ou encore à l'injection de faute. (b) Chaîne amplifiée femto-seconde permettant l'élaboration des nouvelles techniques. (c) Testeur sur pointes pour wafer couplé à des techniques de type photoélectrique.....	261
Figure 190 : Banc SPL de la plateforme ATLAS	262
Figure 191 : Image du Tsunami	262
Figure 192 : Testeur sur pointe	263
Figure 193 : Plaquette de silicium test sous pointes.....	263
Figure 194 : Acquisition du courant d'une zone localisée d'un TestChip : Position Y=1009 μ m (Nwell) – Laser utilisé : 70 μ m, 1A, Durée d'impulsion : 10 μ s	264
Figure 195 : Exemple de cartographie sur un TestChip de chez STMicroelectronics	265
Figure 196 : Profils réels des faisceaux laser 5 μ m et 70 μ m de diamètre.....	265
Figure 197 : 1 ^{ère} étape : Conséquences de la planéité d'un circuit sur son courant d'alimentation.....	267
Figure 198 : 2 nd étape : Cross check des deux focus et détermination de la planéité de la puce	268
Figure 199 : Etude du focus d'un laser par la variation en courant d'alimentation d'un circuit	268
Figure 200 : Vue en coupe d'un transistor NPN latéral.....	270

Figure 201 : Composantes des courants d'un transistor bipolaire NPN fonctionnant en régime normal direct	271
Figure 202 : Modélisation du transistor NPN (statique et dynamique).....	274
Figure 203 : Schéma en coupe d'un transistor bipolaire PNP latéral	275
Figure 204 : Représentation des courants du transistor PNP	275