



HAL
open science

Etude de conception d'ASICs de lecture et d'étiquetage en temps associés à des photomultiplicateurs pour un hodoscope de faisceau en hadronthérapie

Shi-Ming Deng

► **To cite this version:**

Shi-Ming Deng. Etude de conception d'ASICs de lecture et d'étiquetage en temps associés à des photomultiplicateurs pour un hodoscope de faisceau en hadronthérapie. Autre. Université Claude Bernard - Lyon I, 2012. Français. NNT : 2012LYO10246 . tel-00993733

HAL Id: tel-00993733

<https://theses.hal.science/tel-00993733>

Submitted on 20 May 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N° d'ordre

Année 2012

THESE DE L'UNIVERSITE DE LYON

Délivrée par

L'UNIVERSITE CLAUDE BERNARD LYON 1
ECOLE DOCTORALE EEA

DIPLOME DE DOCTORAT
(Arrêté du 7 août 2006)

Soutenue publiquement le
27 Novembre 2012

Par
Shi-Ming DENG

TITRE : Etude de conception d'ASICs de lecture et d'étiquetage en temps associés à des photomultiplicateurs pour un hodoscope de faisceau en hadronthérapie

JURY :	M. Denis DAUVERGNE	Co-directeur de thèse
	M. Jean-François GENAT	Rapporteur
	M. Patrick GARDA	
	M. Yann HU	Rapporteur
	M. Guo-Neng LU	Directeur de thèse
	M. Gérard MONTAROU	
	M. Hervé MATHEZ	Encadrant
	M. Jean Michel MOREAU	

Sommaire

LISTE DE TABLEAU	IV
INTRODUCTION.....	1
1 CONTEXTE PHYSIQUE ET ETUDE DE L'ELECTRONIQUE DE LECTURE	5
1.1 CONTEXTE PHYSIQUE MEDICALE	5
1.1.1 <i>Traitement du cancer - Radiothérapie</i>	5
1.1.2 <i>Hadronthérapie</i>	6
1.1.3 <i>Méthodes de vérification de la dose et surveillance de traitement par particules (TEP et TOF-TEP)</i>	9
1.1.4 <i>Détection du rayonnement secondaire</i>	10
1.2 PROPOSITION DE SYSTEMES ET METHODES DE MISE EN ŒUVRE	11
1.2.1 <i>Caméra gamma prompt collimatée</i>	11
1.2.2 <i>Caméra Compton</i>	12
1.2.3 <i>Imagerie de Vertex d'Interaction (IVI)</i>	14
1.3 HODOSCOPE DE FAISCEAU	16
1.3.1 <i>Structure et fonctionnement</i>	16
1.3.2 <i>Fibre scintillante et guide de lumière dans l'hodoscope</i>	17
1.3.3 <i>Photomultiplicateur (PMT)</i>	18
1.3.4 <i>Système électronique associé</i>	20
2 ASIC DE LECTURE ASSOCIE AU PHOTOMULTIPLICATEUR	23
2.1 DEVELOPPEMENTS D'ASICS EN PHYSIQUE NUCLEAIRE ET PHYSIQUE DES PARTICULES.....	23
2.2 ASIC DE LECTURE PROPOSE	26
2.3 ARCHITECTURE DUCANAL DE LECTURE.....	28
2.4 CONVOYEUR DE COURANT.....	30
2.4.1 <i>Etage d'entrée</i>	30
2.4.1.1 <i>Base-Commune</i>	31
2.4.1.2 <i>Super-Base-Commune</i>	32
2.4.2 <i>L'impédance de sortie du convoyeur de courant</i>	38
2.4.3 <i>Réponse fréquentielle du convoyeur de courant</i>	40
2.4.4 <i>Stabilité du convoyeur de courant</i>	41
2.4.5 <i>Bruit du convoyeur de courant</i>	47
- <i>Modélisation du bruit d'un transistor Bipolaire</i>	48
- <i>Modélisation du bruit d'un transistor MOS</i>	48
- <i>Bruit du convoyeur de courant au nœud A</i>	49
- <i>Bruit du Base Commune dans le convoyeur de courant</i>	50
- <i>Bruit de l'Emetteur Commun inséré dans le convoyeur de courant</i>	51
2.5 PREAMPLIFICATEUR DE CHARGE (PAC)	55
2.5.1 <i>Caractéristique du PAC</i>	56
2.5.2 <i>Amplificateur du PAC</i>	58
2.5.3 <i>Stabilité du PAC avec remise à zéro</i>	61
2.5.4 <i>Bruit du PAC</i>	64
2.5.5 <i>Layout et simulation post-layout du PAC</i>	65
2.6 COMPARATEUR EN MODE COURANT.....	67
2.6.1 <i>Comparateur en tension avec diode en entrée pour faire la conversion I-V</i>	68
2.6.2 <i>Comparateur en courant avec contre réaction locale</i>	70
2.6.3 <i>Layout et simulations post-layout du comparateur en courant à contre réaction locale</i>	

2.7	LAYOUT ET SIMULATIONS D'UNE VOIE DE LECTURE	75
2.8	CARACTERISTIQUES ET RESULTATS DE TEST DE L'ASIC FRONT-END	76
2.9	CONCLUSION.....	81
3	ASIC TDC	82
	INTRODUCTION	82
3.1	ETUDE ARCHITECTURALE	83
3.1.1	<i>Quel type de TDC ?</i>	83
3.2	TDC PROPOSE	85
3.2.1	<i>Structure du TDC proposé</i>	85
3.2.2	<i>La DLL</i>	86
3.2.3	<i>Etat de l'art des DLLs</i>	86
3.2.3.1	DLL numérique	86
3.2.3.2	DLL analogique	87
3.2.3.3	DLL analogique vs DLL numérique	88
3.2.4	<i>Architecture de la DLL proposée</i>	90
3.2.4.1	Le principe de fonctionnement de la DLL proposée	91
3.2.5	<i>Ligne à retard et cellule de retard</i>	93
3.2.5.1	Différents types de cellule de retard.....	95
3.2.5.2	Modèle analytique de la cellule de retard	96
3.2.5.3	Cellule de retard proposée.....	99
3.2.5.4	Ligne à retard proposée	101
3.2.5.5	Layout et simulation	102
3.2.6	<i>Contrôleur de phase</i>	104
3.2.6.1	Détecteur de phase.....	105
3.2.6.2	Détecteur de phase et circuit de réinitialisation proposés	107
3.2.6.3	Compensation d'offset de phase	108
3.2.6.4	Dynamique de phase utilisable	109
3.2.6.5	Zone morte du détecteur de phase proposé	110
3.2.6.6	Front non détecté	110
3.2.6.1	Layout et simulation	112
3.2.7	<i>Pompe de charge</i>	112
3.2.7.1	Etat de l'art de pompe de charge.....	112
3.2.7.1	Filtre de boucle dans la pompe de charge	115
3.2.7.2	Pompe de charge proposée	116
3.2.7.3	Le temps de commutation	117
3.2.7.4	Layout et simulation	118
3.2.8	<i>Modélisation du jitter dans une DLL</i>	118
3.3	TRAITEMENT NUMERIQUE DES DONNEES.....	121
3.3.1	<i>Le registre mémoire</i>	121
3.3.2	<i>L'encodeur Gray</i>	122
3.4	RECEPTEUR LVDS	124
3.5	LAYOUT ET L'ASIC TDC	125
3.6	TEST	127
3.6.1	<i>Système de test</i>	127
3.6.2	<i>Résultats de test</i>	129
3.6.2.1	Vérification de la fonctionnalité.....	129
3.6.2.2	Mesure de jitter	133
3.6.2.3	Résolution	134
3.6.3	<i>La Non-Linearité Différentielle (DNL)</i>	135
3.6.4	<i>La Non-Linearité Intégrale (INL)</i>	138
3.6.5	<i>Récapitulatif des caractéristiques de l'ASIC TDC</i>	139

3.7	CONCLUSION.....	140
4	TEST EN FAISCEAU DU CIRCUIT DE LECTURE ASIC FRONT-END	141
4.1	DIAGRAMME DU SYSTEME ELECTRONIQUE.....	142
4.2	HODOSCOPEUTILISE A HIT	143
4.3	RESULTATS DE TESTS SUR FAISCEAU.....	145
4.3.1	<i>Mesures antérieures à cette expérience :</i>	<i>145</i>
4.3.2	<i>Mesures à HIT (Heidelberg Ion-Beam Therapy Center) :</i>	<i>146</i>
4.4	CONCLUSION.....	151
5	CONCLUSIONSET PERSPECTIVES.....	153
	BIBLIOGRAPHIES	158

Liste de tableau

TABLEAU 1-1 : PROPRIETES SPECIFIQUES DES FIBRES SCINTILLANTES BCF-10 ET BCF-12 [29]	17
TABLEAU 2-1 : COMPARAISON DES PERFORMANCES DE DIFFERENTES ARCHITECTURES	26
TABLEAU 2-2 : SPECIFICATIONS DE L'ASIC FRONT-END DE LECTURE	27
TABLEAU 2-3 : CARACTERISTIQUES DE LA STRUCTURE BASE-COMMUNE	32
TABLEAU 2-4 : PARAMETRES PETIT SIGNAL DES COMPOSANTS DU MONTAGE SUPER BASE COMMUNE	36
TABLEAU 2-5 : COMPARAISON DES PERFORMANCES DES MONTAGES BASE COMMUNE ET SUPER BASE COMMUNE.	37
TABLEAU 2-6 : PARAMETRES DU CIRCUIT DE LA FIGURE 2-16.	43
TABLEAU 2-7 : POLES ET ZEROS DU CIRCUIT DE LA FIGURE 2-16.	43
TABLEAU 2-8 : COMPARAISON DES CARACTERISTIQUES FREQUENTIELLES CALCULEES ET SIMULEES AVEC R_E ET C_M	45
TABLEAU 2-9 : COMPARAISON DES RESULTATS DE CALCULS ET DE SIMULATIONS SUR LES PRINCIPALES CARACTERISTIQUES DU SUPER-BASE-COMMUNE AVEC COMPENSATION DE STABILITE (R_E ET C_D)	46
TABLEAU 2-10 : VALEURS DES PARAMETRES POUR CALCULER LE BRUIT EN COURANT.	52
TABLEAU 2-11 : VALEURS DES PARAMETRES POUR CALCULER LE BRUIT EN TENSION	52
TABLEAU 2-12 : BRUIT SUR L'ENTREE DU CONVOYEUR DE COURANT	54
TABLEAU 2-13 : GAIN EN COURANT DU CONVOYEUR DE COURANT	55
TABLEAU 2-14 : RESULTATS DE SIMULATION POST-LAYOUT DU PAC	67
TABLEAU 2-15 : RESUME DES PERFORMANCES DU COMPAREUR AVEC DIODE COMME ENTREE	70
TABLEAU 2-16 : PRINCIPALES CARACTERISTIQUES DU COMPAREUR AVEC CONTRE REACTION LOCALE ISSUES DE LA SIMULATION POST-LAYOUT	73
TABLEAU 2-17 : ENC D'UN CONVOYEUR DE COURANT POUR LES QUATRE GAINS	78
TABLEAU 2-18 : RESUME DES CARACTERISTIQUES DE L'ASIC DE LECTURE	80
TABLEAU 3-1 : SPECIFICATIONS DEMANDEES POUR LE TDC DE L'HODOSCOPE.	83
TABLEAU 3-2 : DLL ANALOGIQUE VS DLL NUMERIQUE	89
TABLEAU 3-3 : COMPARAISON DES DLLS TYPIQUES	90
TABLEAU 3-4 : DIMENSIONS DES TRANSISTORS DE LA CELLULE DE RETARD PROPOSEE	103
TABLEAU 3-5 : AVANTAGES / INCONVENIENTS DES DIFFERENTS TYPES DE DETECTEURS DE PHASE	107
TABLEAU 3-6 : PARAMETRES DES COMPOSANTS DU DETECTEUR DE PHASE	110
TABLEAU 3-7 : INDICATEURS DE PERFORMANCE DU DETECTEUR DE PHASE	110
TABLEAU 3-8 : LISTE DES ENTREES / SORTIES DE L'ASIC TDC.	127
TABLEAU 3-9 : MESURE DE JITTER.	133
TABLEAU 3-10 : LES CARACTERISTIQUES GENERALES.	139
TABLEAU 3-11 : LES PERFORMANCES DE L'ASIC TDC.	139
TABLEAU 4-1 : CONDITIONS DU TEST DE FAISCEAU A HIT (HT_PM : TENSION DU PMT H9500, HT_SCINTILLATING : HAUT TENSION DE SCINTILLATEUR TRIGGER)	147
TABLEAU 4-2 : CONDITIONS DE TEST DE PROFIL DE FAISCEAU	147
TABLEAU 4-3 : NOMBRE DE PARTICULES DETECTEES DANS LES FIBRES Y 17 A 23 DE L'HODOSCOPE A DIFFERENTES VALEURS DE SEUIL (LES CARACTERISTIQUES DU FAISCEAU SONT DONNEES DANS LE TABLEAU 4-2)	149
TABLEAU 5-1 : COMPARAISON ENTRE LA SPECIFICATIONS DE L'ASIC FRONT-END DE LECTURE ET LE RESULTAT REEL	155
TABLEAU 5-2 : COMPARAISON ENTRE LA SPECIFICATIONS DE L'ASIC TDC ET LE RESULTAT REEL	156

Introduction

Le cancer constitue l'une des menaces principales pour la santé de l'être humain. En Europe, le cancer est la deuxième cause de mortalité après les maladies cardio-vasculaires. Aujourd'hui, la radiothérapie, la chimiothérapie et la chirurgie sont les méthodes de traitement principalement utilisées. Selon les différents types de cancer, les trois méthodes peuvent être utilisées soit seules, soit par combinaison pour augmenter l'effet thérapeutique. Dans la plupart des cas, la radiothérapie est utilisée. C'est une méthode mature, grâce à l'expérience accumulée depuis plus de 100 ans à partir de la découverte des rayons X. La radiothérapie conventionnelle emploie des photons X ou gamma pour irradier la tumeur et y déposer une dose suffisante pour tuer les cellules cancéreuses. La principale contrainte consiste à épargner les organes sains autour de la tumeur. Actuellement, les rayons X de haute énergie, issus du rayonnement de freinage par des électrons accélérés à plusieurs MeV dans un accélérateur linéaire, est la source principale de photons utilisés en radiothérapie. Dans le cas des photons de haute énergie, la distribution de dose en profondeur atteint un maximum après 2 ou 3 cm de pénétration dans les tissus. Malgré des techniques améliorées telles que la Radiothérapie par Modulation d'Intensité (IMRT), qui permettent un meilleur contourage de la tumeur et une meilleure optimisation de la dose dans celle-ci, l'efficacité thérapeutique des photons reste limitée par ses propriétés physiques et biologiques. Le profil du dépôt de dose en profondeur, marqué par une lente décroissance exponentielle et une efficacité biologique limitée des photons, expliquent en partie l'échec de la radiothérapie conventionnelle face à certains cas cliniques.

Avec le développement des premiers accélérateurs nucléaires dans les années 50, les particules chargées ont suscité très vite un intérêt pour le traitement des cancers. L'hadronthérapie emploie les particules lourdes (les hadrons) pour traiter les tumeurs. Par rapport aux photons de haute énergie, les particules chargées ont une meilleure balistique de dépôt de dose. Cet avantage est dû à leur parcours bien défini dans la matière, qui dépend de l'énergie incidente et de la densité des matériaux traversés. Les ions déposent un maximum de dose en fin de parcours (pic de Bragg). Les ions utilisés en hadronthérapie sont principalement les protons et les ions carbone. Les ions carbone ont une meilleure efficacité biologique (rapport des doses nécessaires pour obtenir un effet biologique donné par rapport à un rayonnement gamma de référence) que les protons, et par conséquent, pour traiter une tumeur, la dose physique pour les ions carbone sera plus faible que pour les protons. Dans un pic de Bragg étalé tel qu'on l'utilise couramment en hadronthérapie, l'efficacité biologique des ions carbone est 2 à 5 fois plus élevée que celle des protons. L'hadronthérapie carbone est donc particulièrement indiquée dans le cas de tumeurs radiorésistantes localisées près d'organes à risque. En effet, on peut déposer une dose très élevée et

très précisément. La protonthérapie est quant à elle bien indiquée pour les tumeurs profondes, pour lesquelles les tissus sains environnants doivent être épargnés.

Au cours d'une irradiation, une partie des ions incidents subit une ou plusieurs réactions de fragmentation nucléaire. La fragmentation qui conduit à l'émission de rayonnements secondaires a pour effet principal de délocaliser le dépôt de dose dans le patient. Dans le traitement de cancer par hadronthérapie trois causes d'incertitude peuvent dégrader la précision de dépôt de dose d'ion : entre les séances du traitement, à cause des variations anatomiques du patient (perte ou gain de poids, progression ou régression de la tumeur...) ou au cours d'une même séance (organes en mouvement), au début de la séance de traitement avec le mauvais positionnement du patient. Pour profiter des avantages de l'hadronthérapie, un contrôle précis de la localisation du dépôt de dose est indispensable. Jusqu'à présent la seule technique pour le contrôle de dépôt de dose en ligne est la TEP (Tomographie par Emission de Positons), elle réalise le contrôle de dépôt de dose par la détection de la désintégration d'isotopes radioactifs induits par l'irradiation. Cependant cette technique est difficile à utiliser en ligne et en temps réel à cause de la faible statistique du taux de comptage. Elle est utilisée seulement après le traitement dans la plupart des centres, car la mise en œuvre d'un imageur TEP en ligne comporte des contraintes d'encombrement et d'acquisition de données importantes.

Pendant le traitement en hadronthérapie, des rayonnements gamma prompts sont immédiatement émis à cause des réactions de fragmentation nucléaire. Ces rayonnements sont émis en même temps (à l'échelle de la picoseconde) que la fragmentation nucléaire. La position du dépôt de dose est corrélée aux points d'émission des gamma prompts. Afin d'éliminer les signaux des neutrons secondaires également issus de la fragmentation, mais dont les nombreuses diffusions dans la matière rendent impossible la localisation de leur point d'émission, la mesure du temps de vol est utilisée. Le taux de comptage de gamma prompts a été mesuré dans le cas des protons et des ions carbone. Ce taux de comptage est suffisant pour envisager d'utiliser la technique du monitoring de la position du parcours au moyen des rayonnements gamma prompts en temps réel en conditions cliniques. De même les protons secondaires issus des collisions nucléaires sont susceptibles de fournir une information en temps réel sur la localisation du parcours des ions carbone incidents (imagerie par reconstruction de vertex). Cette technique d'imagerie requiert une mesure de la position transverse du faisceau.

Un élément important pour la mesure du temps de vol est l'utilisation d'un hodoscope faisceau. Il est nécessaire pour mesurer l'instant de passage des ions incidents avec une précision (~ 1 ns) et un taux de comptage (10^8 pps) correspondant aux conditions d'utilisation clinique. Un tel détecteur, basé sur des fibres scintillantes et des fibres optiques lues par un ou plusieurs photomultiplicateurs (PMT) multi-anodes, doit être équipé d'une électronique de lecture analogique frontale rapide.

La partie la plus importante de ce travail de thèse a donc consisté en la réalisation d'un ASIC analogique avec étiquetage en temps pour la lecture de détecteurs de particules chargées en imagerie médicale. La microélectronique et la

conception de circuits intégrés sont des axes majeurs pour les détecteurs en physique des particules et en physique nucléaire, où le nombre de voies de lecture peut varier de quelques centaines à quelques millions. Les développements en microélectronique procurent des avantages de compacité, de puissance dissipée et de coût. Les circuits VLSI (Very-Large-Scale Integration) comportant un grand nombre de voies sont utilisés pour lire les signaux de PMT. L'ASIC comprend deux modules principaux : un front-end analogique de lecture et un TDC (Time-to-Digital Converter). Le front-end analogique est chargé de lire les signaux produits par l'hodoscope de faisceau. L'hodoscope est un détecteur constitué de fibres scintillantes reliées à des fibres optiques, elles-mêmes couplées à un PMT multi-canaux. L'hodoscope est placé devant le patient pour compter les particules incidentes et mesurer leur position transverse. Le TDC sert à mesurer le temps de vol des rayonnements secondaires (temps séparant l'arrivée du rayonnement sur un détecteur de celui du passage de l'ion dans l'hodoscope), afin de discriminer les photons directs des particules lourdes ou diffusées.

L'ASIC de lecture est associé à des PMTs. La version finale aura 32 canaux. L'impédance d'entrée doit être très faible (de l'ordre d'une dizaine d'ohms) pour minimiser le couplage entre les voies, l'effet des capacités du détecteur et des capacités parasites. Les développements des circuits intégrés en technologie CMOS et BiCMOS sont très intéressants pour ce type d'application. Une architecture en mode courant a été choisie pour ses performances en vitesse. Le front-end analogique de lecture est composé d'un convoyeur de courant (avec deux sorties) comme étage d'entrée, et deux étages de sortie séparés : une pour le comparateur en courant et une pour le préamplificateur de charge (PAC). Le comparateur donnera une information sur les fibres touchées par les particules et le PAC permettra de connaître les charges générées par l'hodoscope, en condition de test avec un faible taux de comptage.

Pour mesurer le temps de vol des rayonnements secondaires, un chronomètre électronique est proposé. Il est constitué de deux éléments principaux : un TDC intégré qui permet la mesure du temps fin, typiquement un temps inférieur à la période de l'horloge d'entrée, et un FPGA qui récupère la mesure faite par l'ASIC et qui y ajoute une mesure de temps grossière (basée sur un compteur séquencé à la fréquence de la DLL). Le TDC est divisé en trois sous blocs : une DLL analogique avec une entrée LVDS, un registre mémoire permettant l'enregistrement de l'état de la DLL lorsqu'un événement arrive et un encodeur permettant de réduire la taille du bus de sortie et la consommation.

Des tests en laboratoire sur le front-end analogique ont confirmé les exigences d'une grande dynamique d'entrée (53dB), une faible consommation de puissance (11mW/canal), un faible niveau de bruit (environ 2000 électrons), une faible diaphonie (Cross-talk) (2.2%) et un temps de réponse court (< 4ns). En Avril 2012, l'ASIC front-end a été testé dans les conditions expérimentales lorsqu'il est couplé à des fibres optiques de l'hodoscope de 2x128 voies lues par un photomultiplicateur Hamamatsu H8500. Un faisceau de 3.8 mm de diamètre de ^{12}C a été utilisé à

l'installation HIT (Heidelberg Ion-Beam Therapy Center) à Heidelberg, en Allemagne. Le profil du faisceau a pu être mesuré par le dispositif et son système d'acquisition.

Les tests de l'ASIC TDC dans le laboratoire montrent que la DLL fonctionne correctement. La résolution temporelle peut atteindre 59 ps. Le rapport cyclique de l'horloge dans la DLL est de 78% et le retard entre le front montant et le front descendant de la ligne à retard est de 260 ps. Ces deux faits font que le codeur Gray ne fonctionne pas correctement pour certains temps d'arrivée du signal de déclenchement. Cependant la détection d'erreur dans la DLL peut trouver les codes d'erreur correspondants. En utilisant le traitement de données, ces erreurs peuvent être réduites.

Dans la première partie de cette thèse, le contexte physique de l'hadronthérapie et l'étude de l'électronique de lecture sont présentés. La conception du front-end de l'ASIC de lecture est présentée dans le chapitre 2 et la conception du TDC est présentée dans le chapitre 3. Dans le chapitre 4 les résultats de tests en faisceau de l'ASIC front-end de lecture sont présentés.

1 Contexte physique et étude de l'électronique de lecture

1.1 Contexte physique médicale

1.1.1 Traitement du cancer - Radiothérapie

Il existe actuellement trois méthodes utilisées pour traiter le cancer : la radiothérapie, la chimiothérapie et la chirurgie. La radiothérapie joue un rôle majeur dans le traitement du cancer, car elle concerne environ la moitié des patients traités. Elle peut être utilisée seule ou combinée avec les autres modes de traitement afin d'augmenter les chances de succès. Dans la grande majorité des cas, les patients subissent une radiothérapie conventionnelle qui est réalisée avec des faisceaux de photons ou d'électrons. Depuis leur mise en œuvre, l'application des rayonnements ionisants en oncologie a constamment progressé. Quelle que soit la méthode utilisée, le but de la radiothérapie est de délivrer la dose prescrite dans la tumeur (la plus élevée possible) et d'épargner autant que possible les tissus sains environnants.

En effet, toutes les tumeurs peuvent être contrôlées si une dose suffisante est appliquée. La tolérance des tissus sains limite la dose maximale qui peut être utilisée. Au cours des cinquante dernières années, les grandes améliorations dans la conformation de la dose au volume de la tumeur ont été réalisées grâce à plusieurs progrès technologiques. Le remplacement des rayons X de basse énergie (énergie inférieure à 250 keV) par des photons de haute énergie (jusqu'à 20 MeV) produits par des accélérateurs linéaires d'électrons modernes, permet de repousser les limites de la distribution exponentielle de dose en profondeur, et donc de traiter des tumeurs profondes, en épargnant dans une certaine mesure les tissus superficiels (le maximum de la dose étant situé à quelques centimètres sous la peau). En outre, de nouvelles techniques d'irradiation comme l'IMRT (Intensity Modulated Radiation Therapy) a encore augmenté la conformation de la dose en fournissant des faisceaux de photons non uniformes spatialement à partir de portails d'irradiation différents [1].

Les neutrons rapides présentent la même distribution exponentielle d'absorption que les rayons X, mais un plus grand taux de Transfert d'Énergie Linéique (TEL), ce qui rend leur efficacité radiobiologique intéressante pour le traitement des tumeurs radiorésistantes. Bien que les neutrons de haute énergie ne représentent plus l'état de l'art de la radiothérapie, ils sont encore cliniquement utilisés pour le traitement du cancer [2]. Quant à elle, la neutron-thérapie de basse énergie a désormais été éliminée [3].

1.1.2 Hadronthérapie

Afin de s'affranchir de la limitation physique de la radiothérapie conventionnelle, l'utilisation de particules chargées telles que les protons ou des ions lourds (de ^4He à ^{16}O) a été proposée grâce à leur dépôt de dose plus sélectif comme illustré sur Figure 1-1. En effet par contraste avec les rayons-X ou les rayons gamma, qui montrent une décroissance exponentielle de la dose absorbée en profondeur dans les tissus, les particules chargées déposent moins d'énergie à la surface du corps où leur vitesse est élevée qu'à la fin de leur parcours où le TEL est maximum. Cette région de TEL maximum en fin de parcours est appelée pic de Bragg[4]. Dans une application clinique, pour couvrir le volume d'une tumeur toute entière avec une dose uniforme, plusieurs courbes de pics de Bragg, avec différentes énergies, doivent être superposées pour créer un pic de Bragg étalé, appelé SOBP (Spread-out Bragg peak) comme illustré sur Figure 1-2. Le nombre de particules pour chaque voxel de SOBP, et le poids relatif de chaque courbe de pic de Bragg individuelle, fournissent la dose physique absorbée et sont calculés par les systèmes de planification du traitement (TPS)[5].

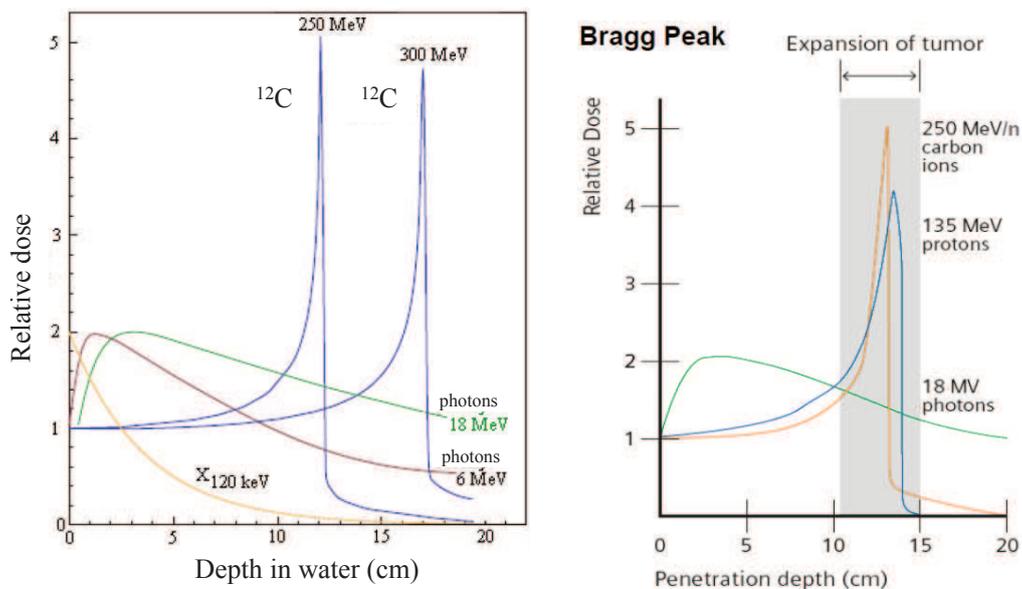


Figure 1-1: Comparaison de la distribution de dose en profondeur pour des photons de différentes énergies et des ions carbone de différentes énergies [3].

Il y a généralement deux façons de produire un SOBP. Un faisceau de particules avec une énergie fixe est dégradé par l'insertion rapide d'un absorbeur avec des épaisseurs différentes qui produisent des courbes de pic de Bragg à différentes profondeurs correspondant aux profondeurs tumorales (modulation passive). Ou bien l'énergie du faisceau de particules est ajustée directement dans l'accélérateur, idéalement sans matériel dans la trajectoire du faisceau (modulation active). En effet, l'insertion de décaleurs de parcours dans le faisceau, utilisés dans les systèmes passifs, a le principal inconvénient de réduire la qualité du faisceau et de produire des neutrons secondaires.

Pour le balayage latéral du volume tumoral, deux techniques sont généralement employées. Dans la mise en forme passive du faisceau, le faisceau initial étroit, fourni par l'accélérateur, est tout d'abord élargi dans un dispositif de diffusion, puis collimaté selon la forme de la cible dans le plan transverse. Dans les systèmes de balayage actif de faisceau ponctuel (active spot scanning systems), un faisceau de petite dimension (pencil beam) est déplacé dans les directions horizontales et verticales par des unités de balayage magnétique rapides. Plusieurs autres solutions intermédiaires entre tout actif et tout passif des systèmes de distribution de dose sont discutées dans[6]. Le système de pencil beam scanning fournit des profils de dose plus conformes et plus homogènes que la modulation passive du faisceau [7]. En effet, avec des systèmes purement passifs, un volume important en dehors du volume cible est irradié avec la même dose que la tumeur. Cet effet peut être partiellement atténué par l'introduction d'un compensateur supplémentaire qui prend en compte le profil géométrique du bord distal de la tumeur ainsi que la composition des tissus complexes[8]. En outre, par des moyens de collimateurs dynamiques, une meilleure mise en forme de la partie proximale du volume cible au moyen de collimateurs dynamiques peut être obtenue. Cependant, avec ces techniques sophistiquées, le traitement de la tumeur strictement conforme n'est pas possible en utilisant un système passif [3]. D'autre part, l'un des principaux problèmes des systèmes actifs de distribution du faisceau est celui du traitement des organes en mouvement dans lequel les techniques classiques de compensation de mouvement, par exemple en mode de déclenchement multiple d'irradiation synchronisé, provoque des inhomogénéités de champ et peut augmenter considérablement le temps de balayage[9]. Une approche plus prometteuse est le suivi des organes en mouvement, dans lequel les mouvements latéraux sont compensés directement avec le système de balayage du faisceau et des dégradeur utilisés sont utilisés pour des corrections de profondeur[10]. Cependant, le problème de la détection du mouvement interne des organes autour de la tumeur et du volume cible lui-même reste à résoudre.

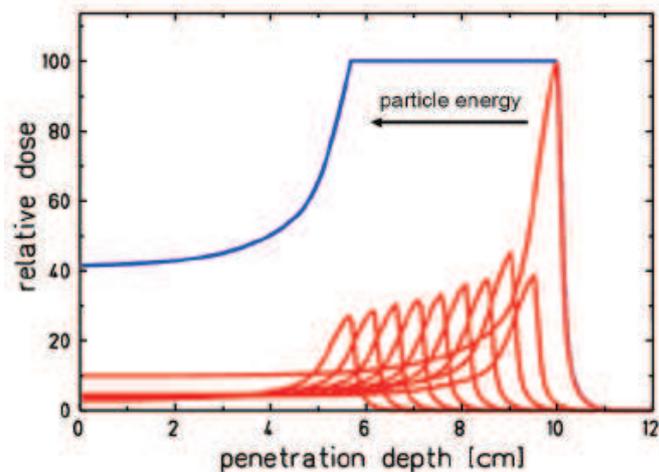


Figure 1-2 : Pic de Bragg étalé obtenu par la superposition de pics de Bragg correspondant à des énergies et des fluences différentes [11].

En plus de leur grande précision balistique, le principal avantage des ions lourds par rapport aux photons et aux protons est leur efficacité pour induire des effets radiobiologiques dans les tissus. L'Efficacité Biologique Relative (EBR) est définie comme le rapport entre la dose de rayons X et la dose d'ions produisant le même effet biologique. Les ions carbone utilisés en hadronthérapie ont une EBR d'environ 1 à l'entrée et 3-4 en fin de parcours, dans la région du pic de Bragg. En général on considère que les protons ont une EBR proche de 1, bien que cette valeur soit elle aussi plus élevée au pic de Bragg. L'EBR dépend de nombreux paramètres (le type de cellules, leur environnement, l'effet observé, le rayonnement incident : énergie, intensité...). Afin de prendre en compte l'EBR, un modèle biophysique doit être mis en œuvre et intégré dans le plan de traitement.

Un traitement de radiothérapie idéal délivrerait 100% de la dose au volume de la tumeur afin de tuer toutes les cellules cancéreuses, et une dose nulle ne serait donnée aux tissus sains environnants. En réalité c'est un objectif et un critère de choix dans les techniques de radiothérapie disponibles pour différents cas de figure. La Figure 1-3 où on peut comparer deux traitements : l'IMRT et l'hadronthérapie utilisant des ions carbone, sur une tumeur de grande taille dans le crâne. Cette dernière permet une réduction substantielle de la dose intégrée pour les tissus normaux et une meilleure préservation des structures critiques [12]. Cet exemple montre que l'hadronthérapie pourrait produire de meilleurs résultats que l'IMRT pour certains types de tumeurs.

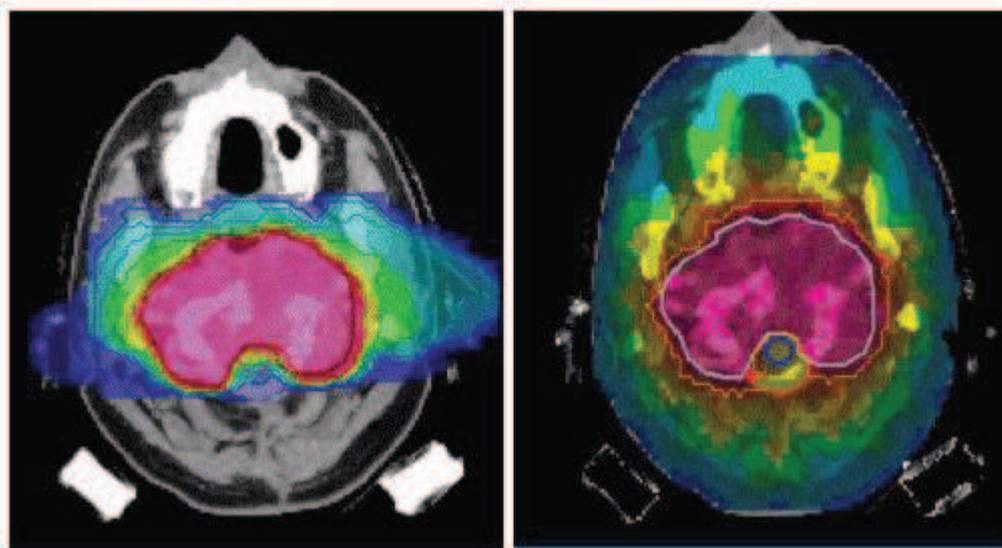


Figure 1-3: Comparaison des plans de traitement pour des volumes tumoraux de grande taille dans la base du crâne. Gauche : plan pour les ions carbone, deux champs d'irradiation. Droite : plan pour l'IMRT de neuf champs d'irradiation. L'irradiation avec les ions carbone entraîne une réduction substantielle de la dose intégrale pour les tissus normaux et une meilleure préservation des structures critiques[12].

1.1.3 Méthodes de vérification de la dose et surveillance de traitement par particules (TEP et TOF-TEP)

La surveillance de la dose et la vérification de la conformité du dépôt de dose par rapport au plan de traitement dans la thérapie par particules est une tâche non-triviale puisque les ions sont complètement stoppés dans la cible, contrairement aux photons. Par conséquent, pour révéler une erreur possible entre les parcours des ions prévus et la réalité, il est nécessaire de détecter un rayonnement secondaire. Ceci inclut les émissions de photons prompts, de particules secondaires comme les neutrons ou les protons, et les émissions retardées issues des décroissances de noyaux instables (principalement les noyaux émetteurs β^+). Ces noyaux instables peuvent être formés dans la cible par la fragmentation nucléaire sous impact des projectiles ou être directement utilisés sous forme d'ions primaires dans la thérapie avec des faisceaux d'ions radioactifs (Radioactive Ion Beams RIB). Les ions radioactifs utilisés en thérapie RIB sont des émetteurs de positon dont les photons d'annihilation de 511 keV sont imagés au moyen de la tomographie par émission de positons (TEP).

La TEP est actuellement la seule méthode clinique *in vivo* et *in situ* de surveillance dans le traitement par particules chargées [13]. Les émetteurs de positons comme les isotopes ^{15}O et ^{11}C sont formés dans les réactions nucléaires entre les ions et les tissus.

Un système de TEP en ligne permet : i) la surveillance du parcours maximal des ions, ii) la vérification de la position du patient en ligne, iii) la détection de l'écart de la position du patient ou des changements locaux de l'anatomie du patient au cours du traitement [8].

Une étude exploratoire, basée sur l'impact des développements de scintillateurs et détecteurs permettant de réaliser des coïncidences entre la détection des deux photons de 511 keV avec une résolution sub-nanoseconde, a été effectuée par [14]. Cette étude permet d'évaluer la faisabilité d'une TEP à temps de vol (TOF), pour la vérification quantitative de la dose appliquée dans la thérapie par ions carbone. Par ailleurs l'information TOF permettrait une réduction considérable des artefacts d'images qui résultent de l'angle limité du tomographe. Cependant, bien que les progrès dans les deux domaines des détecteurs et de l'électronique soient rapides, à l'heure actuelle, aucune preuve n'est montrée qu'un tel dispositif pourrait être employé dans un environnement clinique. En outre, le signal de positons détecté par la TEP est intrinsèquement retardé par rapport à des processus de fragmentation se déroulant lors de l'irradiation. La faible activité β^+ induite représente un autre défi pour l'imagerie TEP en temps réel.

1.1.4 Détection du rayonnement secondaire

L'émission de rayons gamma prompts à partir de fragments excités produits lors de l'impact des faisceaux d'ions avec une cible ou à partir de produits de fission nucléaire est un phénomène bien connu qui a été exploité pour plusieurs finalités. Auprès de plusieurs sources de neutrons de spallation, l'analyse par activation rapide gamma (PGAA) est utilisée comme procédé non-destructif pour déterminer la présence et la quantité de nombreux éléments simultanément dans les échantillons qui sont continuellement irradiés avec un faisceau de neutrons [15]. Les éléments constitutifs de l'échantillon absorbent une partie de ces neutrons et émettent des rayons gamma prompts caractéristiques qui sont mesurés par des spectromètres à haute résolution [16]. Dans le domaine médical, la spectroscopie gamma prompt a été proposée comme une méthode in-vivo et non invasive pour déterminer l'absorption du bore dans les tumeurs traitées lors d'une thérapie par capture de neutrons par le bore (BNCT).

Dans le domaine de la thérapie par particules chargées, la surveillance in-situ de la délivrance de la dose a été jusqu'à présent réalisée avec la TEP. La vérification du parcours des ions avec la TEP ne peut pas être effectuée en temps réel, à l'échelle de la seconde, pendant le traitement du patient, principalement en raison du temps nécessaire pour acquérir les signaux intrinsèquement retardés d'annihilation de positons. Néanmoins, étant donné que le parcours est l'un des facteurs les plus significatifs de variation de délivrance de la dose [17], et qu'une tendance à l'hypo fractionnement se dessine en hadronthérapie carbone [18], il devient hautement souhaitable de disposer d'un outil capable de vérifier la position du pic de Bragg pendant le traitement d'un patient in-vivo et en temps réel.

Dans le cas de la TEP en ligne en hadronthérapie, le rayonnement gamma prompt représente les événements bruyants qui ne peuvent pas être séparés des désintégrations d'émetteurs β^+ de longue durée de vie, qui génèrent le signal utile détecté par les tomographes de positons [19]. Récemment, une série d'expériences a démontré que la mesure des rayons gamma prompts peut être directement corrélée avec le parcours des ions pour des faisceaux de protons [20] et d'ions carbone [21]. Comme illustré sur la Figure 1-4, la corrélation entre les profils de photons prompts et le pic de Bragg a été obtenue même pour des ions carbone dans lesquels les noyaux des projectiles et de la cible peuvent subir une fragmentation nucléaire [21]. Le dispositif mis en place dans le cas de cette expérience comprenait une mesure de temps de vol afin de discriminer les photons prompts issus en droite ligne des noyaux excités, du rayonnement secondaire induit par les neutrons et les photons diffusés qui constitue un bruit de fond. Un tel dispositif de temps de vol évite l'utilisation de blindage encombrant comme dans le cas du travail présenté par [20].

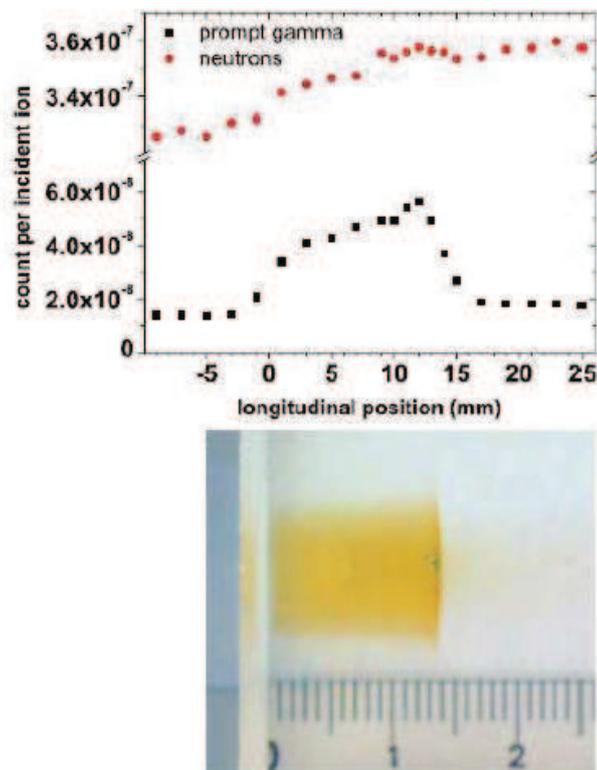


Figure 1-4 : Haut : taux de détection en fonction de la position longitudinale de la cible, obtenus pour deux sélections différentes de TOF et une sélection commune d'énergie supérieure à 1 MeV. Rayons gamma prompts (symboles carrés) et de neutrons (symboles ronds). En bas : Photo mise à l'échelle de l'échantillon irradié de PMMA[21].

1.2 Proposition de systèmes et méthodes de mise en œuvre

1.2.1 Caméra gamma prompt collimatée

Dans le but de contrôler la position du pic de Bragg en temps réel, le groupe CAS-PHABIO de l'IPNL a proposé d'élaborer un dispositif de caméra gamma prompt collimatée. En effet, en exploitant la détection de rayons gamma prompts qui sont émis en moins d'une nanoseconde après la fragmentation nucléaire, des informations en temps réel sur la dose délivrée et la position de pic de Bragg deviennent accessibles.

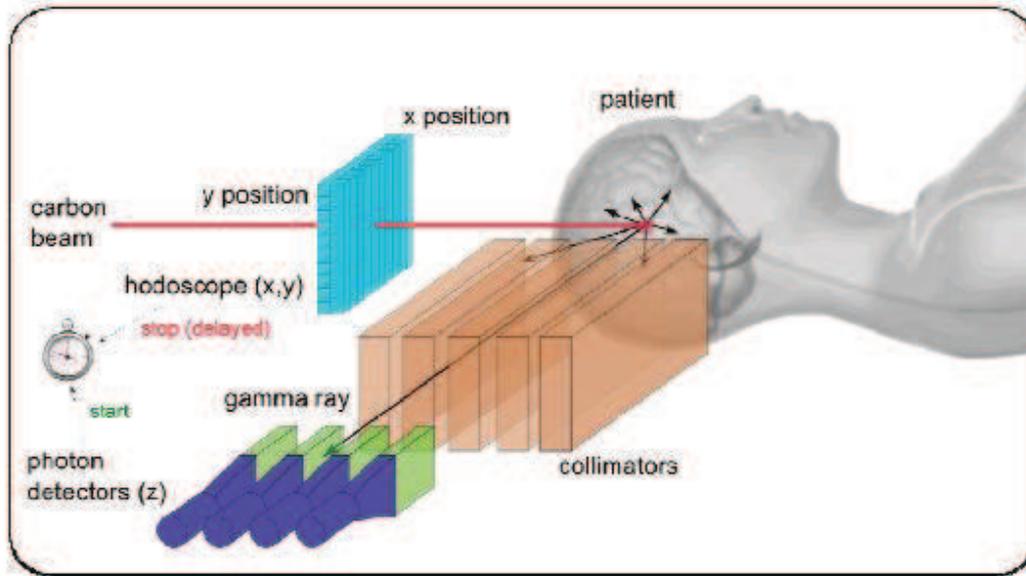


Figure 1-5 : Vue artistique de la caméra multi-détecteur de gamma prompt. L'hodoscope étiquette les ions en coordonnées spatiales et temporelles (x,y,t). Le collimateur permet de sélectionner uniquement les photons émergent orthogonalement au faisceau.

Plus précisément, les informations de localisation de la source de photons, et sur la position du pic de Bragg sont fournies par la configuration de détection collimatée qui permet de sélectionner uniquement les photons prompts émergent orthogonalement à la direction du faisceau. L'utilisation de la technique TOF, pour discriminer la composante de photons prompts d'un important bruit de fond, principalement dû aux neutrons, permet de réduire le blindage autour des détecteurs. Cela signifie qu'une série de détecteurs minces, alignés devant une fente du collimateur comme représenté sur la Figure 1-5, peuvent être empilés afin de maximiser l'angle solide de détection associé à chaque fente. Le nombre et la position des fentes de collimation conditionneront la longueur de parcours observée par la caméra.

1.2.2 Caméra Compton

La caméra Compton est un autre dispositif proposé par le groupe CAS-PHABIO de l'IPNL pour la surveillance 3D in vivo et en temps réel de la position de pic de Bragg lors d'un traitement par hadronthérapie. L'avantage principal de la caméra Compton sur lacaméra gamma prompt collimatée est l'efficacité accrue de près de deux ordres de grandeur grâce au remplacement du collimateur passif par une collimation électronique [22].

Traditionnellement, une caméra Compton est composée d'un détecteur diffuseur et d'un détecteur absorbeur. De tels détecteurs sont développés pour des applications principalement en astronomie gamma [23], et en imagerie médicale [24] avec des sources gamma mono-énergétiques. La technique est basée sur un processus

en deux étapes. Dans la première étape, le photon subit une diffusion Compton dans le premier détecteur qui détecte la position de l'interaction et l'énergie de l'électron de recul. Dans la seconde étape, le photon diffusé est totalement absorbé dans le second détecteur (absorber), qui mesure l'énergie du photon diffusé et sa position.

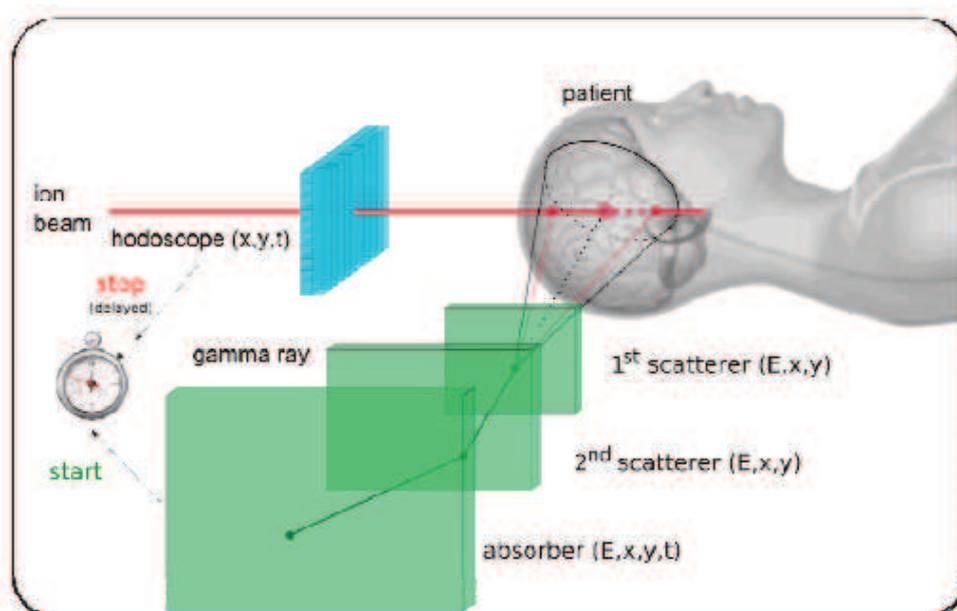


Figure 1-6 : Schéma de principe d'une configuration de caméra Compton à temps de vol pour la mesure des gamma prompts en hadronthérapie. L'hodoscope étiquette des ions en coordonnées spatiales et temporelles. La caméra Compton est constituée d'un détecteur de diffusion et d'un détecteur d'absorption qui détecte les gamma prompts émis suite à des processus de fragmentation nucléaires[22](Dauvergne 2009 induits dans le corps du patient. [25]

Pour une application en hadronthérapie où le spectre d'énergie de gamma prompts est très large et s'élève jusqu'à des énergies de plusieurs MeV, il serait difficile d'envisager une absorption complète dans le deuxième détecteur, en gardant les informations de position. Par conséquent, dans une première étude faite par la collaboration entre le groupe CAS-PHABIO de l'IPNL et le CREATIS-INSA, une solution avec deux détecteurs de diffusion a été étudiée. Cette configuration permet de réaliser une reconstruction analytique directe de l'incidence du photon[25]. La configuration du système de détection est schématisée dans la Figure 1-6. L'originalité de la configuration repose sur l'utilisation d'un hodoscope de faisceau, conjointement avec la caméra Compton, pour la mesure du temps de vol. Cependant, comme l'efficacité d'un tel système n'est pas suffisante pour pallier à la faible statistique des rendements d'émission des photons gamma prompts, un second système basé sur une seule diffusion Compton, avec un empilement de détecteurs diffuseurs minces, a été étudié par [26].

1.2.3 Imagerie de Vertex d'Interaction (IVI)

Toutes les méthodes proposées jusqu'à présent, pour la surveillance de l'hadronthérapie et la vérification du parcours d'ions, sont basées sur la détection des photons à partir de l'annihilation de positons émis par les noyaux émetteurs beta+ créés au cours de la fragmentation d'un faisceau d'ions (imagerie TEP), ou des gamma prompts de désexcitation de fragments nucléaires (caméra gamma collimatée et caméra Compton). Une autre technique, sur la base de la détection de particules chargées sortant du patient, générées par l'interaction nucléaire entre les ions carbone incidents et les noyaux cible, est actuellement à l'étude par une collaboration entre le groupe CAS-PHABIO de l'IPNL, la fondation TERA et l'IPHC-Strasbourg [27]. Cette nouvelle technique appelée IVI (Interaction Vertex Imaging) est semblable à des problèmes d'identification de vertex. Le schéma de principe de l'IVI est montré sur la Figure 1-7. Il est basé sur la reconstruction de la trajectoire des particules émergeant du patient, identifiée à l'aide d'un télescope trajectographe (plusieurs plans de détecteurs minces pixelisés), extrapolée à son origine sur la trajectoire des ions incidents [22]. L'avantage principal de l'IVI par rapport aux systèmes basés sur la détection de photons prompts est la statistique de comptage potentiellement réalisable. En effet, contrairement aux photons gamma prompts et aux photons d'annihilation de positons, les protons sont émis préférentiellement vers l'avant lors des collisions entre les ions carbone rapides et les noyaux cibles au repos. Des détecteurs placés vers l'avant auront donc une meilleure efficacité de collection que leur seul angle solide. De plus, en raison de la probabilité d'interaction beaucoup plus élevée pour les particules chargées que pour les photons de haute énergie, l'efficacité d'un tel détecteur sera bien plus grande que celle des détecteurs gamma. Cette technique ne s'appliquera pas à la protonthérapie, car les protons secondaires générés lors des collisions nucléaires n'ont pas une énergie supérieure à celle du projectile, et ne ressortiront donc pas du patient.

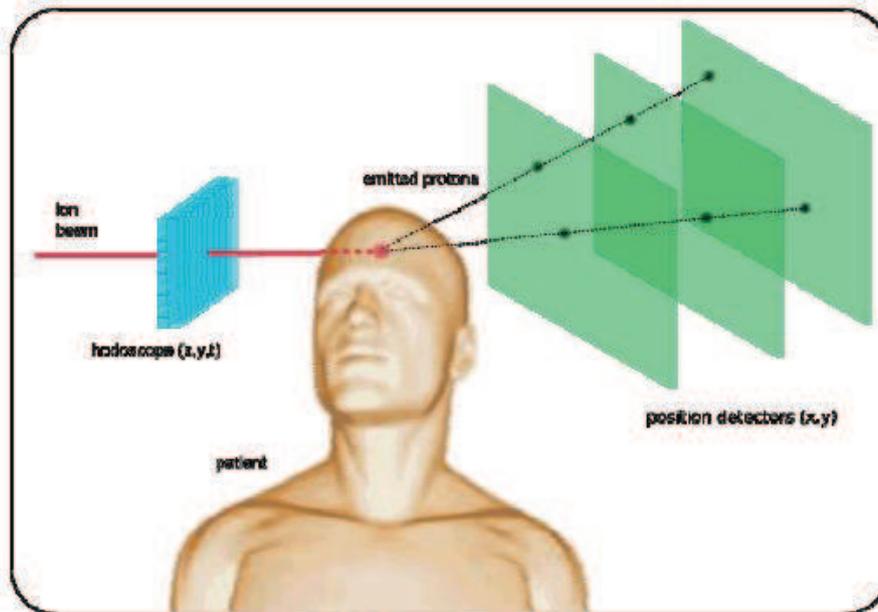


Figure 1-7 : Vue artistique du système d'imagerie de vertex d'interaction. L'hodoscope étiquette les ions carbone en coordonnées spatiales et temporelles. Dans le mode à voie unique (simple vertex), le vertex est reconstruit comme l'intersection de la trajectoire des particules et de la direction du faisceau fournie par l'hodoscope. Dans un mode multi-voies (multi-track vertexing), le vertex est reconstruit par l'intersection de deux ou plusieurs trajectoires de particules issues d'une même fragmentation.

La reconstruction de vertex peut être faite avec deux techniques différentes. Dans la forme la plus simple, également appelée imagerie de vertex simple proton, la trajectoire de la particule est obtenue par ajustement linéaire des points d'interaction dans les détecteurs pixelisés disposés selon plusieurs plans consécutifs. Le vertex est reconstruit comme l'intersection de cette ligne avec la direction du faisceau fournie par hodoscope. Cependant cette technique de reconstruction repose sur la connaissance de la direction du faisceau primaire fournie par hodoscope. Les incertitudes de reconstruction vont dépendre de la résolution spatiale de l'hodoscope, de la diffusion latérale des ions primaires et de l'angle d'observation des particules émergentes, bien que la dégradation de la résolution soit contrebalancée par une statistique accrue aux angles avant. En effet, les incertitudes sur le vertex géométrique reconstruit augmentent avec la diminution de l'angle entre la ligne interpolée à partir des points d'interaction des particules et la direction du faisceau. En outre les particules émises vers l'avant sont généralement les plus énergiques et donc les moins sensibles à la diffusion multiple, ce qui représente une autre limite de la méthode. Il faut trouver le meilleur compromis entre la précision angulaire (au mieux, grand angle d'observation) et une faible dispersion angulaire (de préférence avec des particules plus énergétiques aux angles avant). En outre, la position angulaire des détecteurs de particules doit être choisie comme un compromis entre les statistiques de comptage et la résolution spatiale des vertex reconstruits. Une seconde approche pour la reconstruction de vertex, également appelée imagerie de vertex multi-voie, est basée sur la reconstruction des événements dans lesquels, pour chaque vertex de fragmentation, deux ou plusieurs particules sont émises. Dans la pratique, une

multiplicité égale à deux sera considérée comme le scénario le plus probable. Dans ce cas, le vertex serait identifié par le point d'intersection des deux trajectoires des particules interpolées par ajustement linéaire des points d'interaction dans les détecteurs pixélisés comme indiqué dans la Figure 1-7. Avec l'imagerie de vertex multi-voie, la direction du faisceau fournie par l'hodoscope est accessoire, mais il pourrait tout de même simplifier l'algorithme de reconstruction et peut être utilisé pour la synchronisation.

1.3 Hodoscope de faisceau

1.3.1 Structure et fonctionnement

Les systèmes proposés dans la section 1.2 nécessitent l'utilisation d'un hodoscope, qui est un instrument détectant les particules chargées incidentes (identification dans le temps et dans le plan transverse). Il est caractérisé par une constitution en nombreux segments, chacun d'eux mesurant soit une position horizontale, soit une position verticale. La combinaison de deux segments orthogonaux fournit la position transverse. Un hodoscope typique comprend trois parties : une matrice de fibres scintillantes, des fibres optiques claires pour guider la lumière, et des PMT. Quand une particule de haute énergie traverse la matrice, des photons sont générés dans les fibres scintillantes. Ces photons sont guidés vers les PMTs par les fibres optiques. Les PMTs servent à convertir les photons visibles en une impulsion amplifiée d'électrons, et fournissent un signal électrique à un circuit électronique associé. La Figure 1-14 montre le prototype d'un hodoscope à fibres scintillantes (hodoscope de taille réduite 2x32 voies réalisé à l'IPNL).

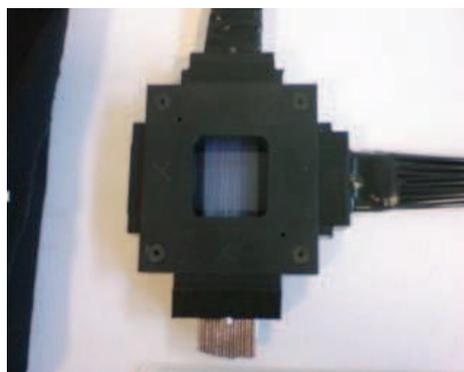


Figure 1-8 : Prototype d'un hodoscope à fibres optiques scintillantes

1.3.2 Fibre scintillante et guide de lumière dans l'hodoscope

Les fibres scintillantes pour un hodoscope doivent avoir une bonne résolution temporelle et répondre à la traversée d'une particule par une courte impulsion. Un exemple de réalisation d'hodoscope de faisceau par le groupe CAS-PHABIO de l'IPNL se compose de fibres scintillantes de sections carrées et adjacentes. Chaque fibre a une épaisseur d'un millimètre. Deux prototypes de 2x32 et 2x128 fibres ont été construits, en utilisant des fibres Saint-Gobain BCF-10 et BCF-12 en polystyrène. Les caractéristiques de ces deux types de fibres scintillantes sont résumées dans le Tableau 1-1. L'utilisation du BCF-12 permet d'améliorer la transmission sur une plus longue distance. A cause de la forte perte de lumière (cf. Figure 1-10) en fonction de la distance à la source, et pour limiter le bruit de fond induit en dehors du champ d'irradiation sur l'hodoscope, les fibres scintillantes sont connectées via des fibres optiques pour guider l'impulsion de lumière jusqu'à un PMT. La fibre de guide choisie a une longueur d'atténuation supérieure à 10 mètres [28].

Fibre	Couleur d'émission	Pic d'émission	Temps de décroissance	1/e Longueur ¹	Photons par MeV ²
BCF-10	Bleu	432 nm	2.7 ns	2.2 m	~8000
BCF-12	Bleu	435 nm	3.2 ns	2.7 m	~8000

Tableau 1-1 : Propriétés spécifiques des fibres scintillantes BCF-10 et BCF-12 [29]

La Figure 1-15 montre le spectre d'émission des fibres scintillantes BCF-10 et BCF-12. Il présente une bande de 50 à 60nm en largeur, autour d'un pic à 430nm.

Le choix des fibres scintillantes en taille ou en diamètre doit aussi prendre en compte à la fois la résolution spatiale de l'hodoscope et la sensibilité de détection. Plus le diamètre est grand, plus l'impulsion du signal optique produite par la fibre scintillante sera forte, mais le nombre de voies de la matrice de l'hodoscope sera plus limité. La Figure 1-16 montre différents niveaux de signaux détectés qui correspondent à différents diamètres de fibres scintillantes.

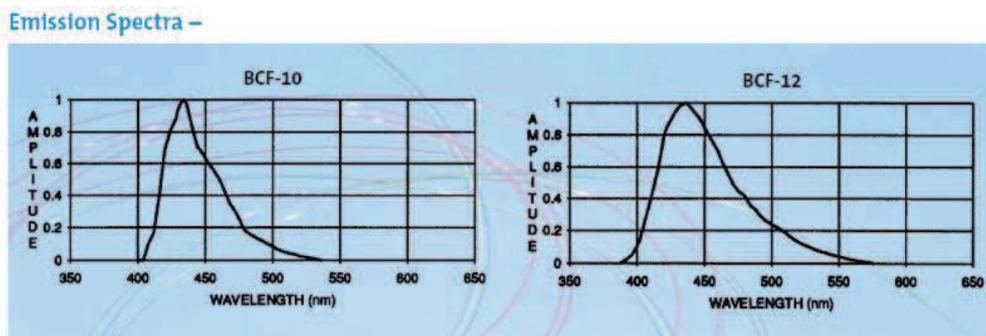


Figure 1-9 : Spectre d'émission des fibres scintillantes BCF-10 et BCF-12 [29].

¹ Pour fibre de diamètre de 1mm, mesuré avec un PMT à photocathode bialkali

² Pour des particules au minimum d'ionisation (MIP), corrigé pour la sensibilité du PMT

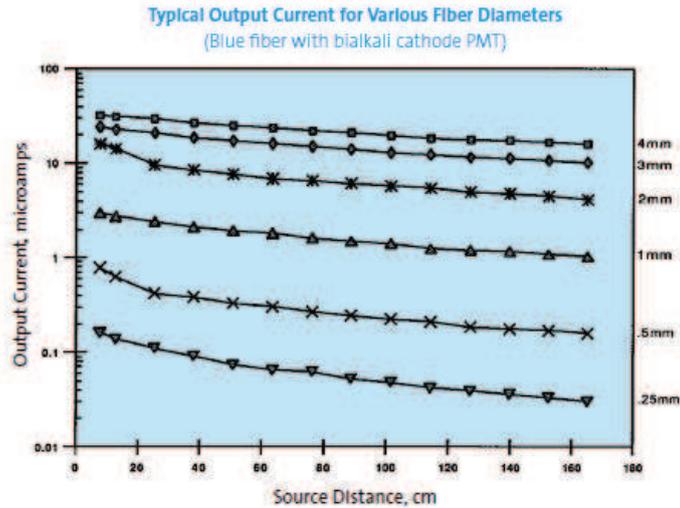


Figure 1-10 : Evolution de courant pour des fibres scintillantes avec des diamètres différents en fonction de la distance de source[29].

1.3.3 Photomultiplicateur (PMT)

La lumière provenant de la matrice de fibres scintillantes peut être détectée par un photodétecteur multivoies sensible dans le domaine du visible (voir le spectre de la figure 1-15), de types APD (Avalanche Photo-Diode), tube photomultiplicateur multi anode (MA-PMT), MCP-PMT (Micro-channel Plate PMT), SiPM (silicon-PM), CCD ou imageurs CMOS.

Pour l'hodoscope réalisé par le groupe CAS-PHABIO de l'IPNL, le MA-PMT a été choisi pour sa capacité de détection à très faible signal, voire dans le cas du photon unique. Le MA-PMT est à base de plusieurs PMT simples avec une photocathode commune (une seule haute tension), dont la structure est montrée sur la Figure 1-11(a).

Le PMT reçoit la lumière à travers une fenêtre en verre ou en quartz qui recouvre une surface photosensible, appelée "photocathode", qui libère alors des électrons par effet photoélectrique, qui sont multipliés par des électrodes connues sous le nom de dynodes. A la fin de la chaîne de dynodes on trouve une anode ou électrode de collection. Sur une très large gamme, le courant qui circule de l'anode vers la masse est directement proportionnel au flux de photoélectrons produits par la photocathode.

La réponse spectrale, le rendement quantique, la sensibilité et le courant d'obscurité d'un PMT sont déterminés par la composition de la photocathode. Les meilleures photocathodes capables de répondre à la lumière visible ont moins de 30% d'efficacité quantique, ce qui signifie que 70% des photons incident sur la photocathode ne produisent pas de photoélectrons et ne sont donc pas détectés. L'épaisseur de la photocathode est une variable importante à prendre en compte pour assurer la bonne réponse à partir de photons absorbés. Si la photocathode est trop épaisse, plus de photons seront absorbés mais moins d'électrons seront émis à partir

de la surface arrière ; mais si elle trop mince, trop de photons vont passer à travers sans être absorbés. Les photoélectrons sont éjectés à partir de la face avant de la photocathode et dirigés vers la première dynode.

Les électrons émis par la photocathode sont accélérés en direction de la chaîne de dynodes, qui peut contenir jusqu'à 14 éléments. Les électrodes de focalisation sont généralement présentes pour veiller à ce que les photoélectrons émis à proximité des bords de la photocathode soient susceptibles de se poser sur la première dynode. Lors de l'impact sur la première dynode, un photoélectron provoque la libération d'électrons supplémentaires qui sont accélérés vers la dynode suivante. La composition de la surface et la géométrie des dynodes déterminent leur capacité à servir de multiplicateurs d'électrons. Parce que le gain varie en fonction de la tension aux bornes des dynodes et le nombre total de dynodes, des gains de 10 millions d'électrons comme illustré sur la Figure 1-11(b) sont possibles s'il y a 12-14 étages de dynodes.

La résolution temporelle intrinsèque d'un tube photomultiplicateur est dominée par la dispersion du temps de transit du premier étage (entre la photocathode et la première dynode).

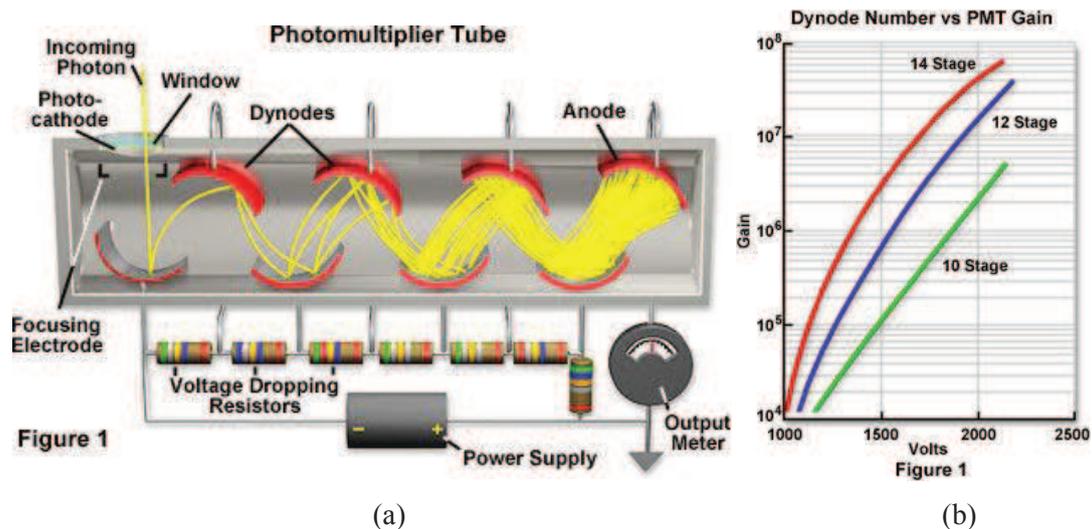


Figure 1-11 : (a) : Schéma d'un PMT (b) : le gain varie en fonction de la tension aux bornes des dynodes et le nombre total de dynodes [30].

L'hodoscope réalisé par le groupe CAS-PHABIO de l'IPNL utilise le MA-PMT HAMAMATSU H8500 (voir la Figure 1-12) couplé avec les fibres optiques. Le MA-PMT comprend 64 voies, chacune produit en sortie une impulsion en courant électrique correspondant au signal optique reçu.



Figure 1-12 : Photomultiplicateur HAMAMATSU H8500.

1.3.4 Système électronique associé

Le système électronique associé à la lecture de l'hodoscope est composé de deux parties principales (cf. Figure 1-13) :

- la partie dite d'électronique de lecture, qui transforme le signal électrique provenant du MA-PMT en données numériques correspondants à la position x/y et au temps de passage (noté t) des particules. Cette partie fournit également une information correspondant à la charge des particules traversant l'hodoscope (notée Q).
- la partie acquisition de données qui gère les données provenant de l'électronique de lecture (selon qu'elles sont corrélées à une trace venant d'un autre détecteur ou non) ainsi que la communication avec les autres détecteurs.

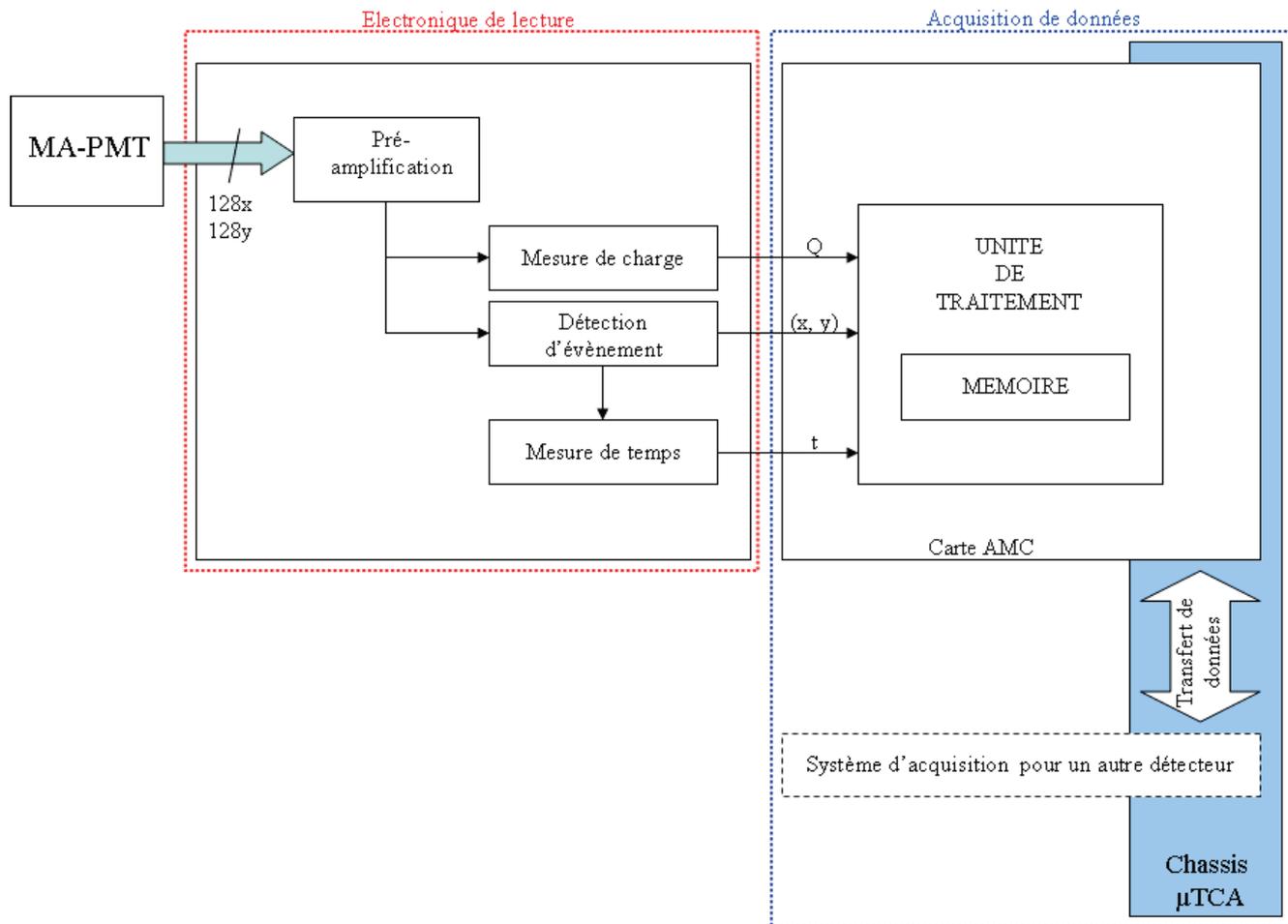


Figure 1-13 : Bloc diagramme du système électronique associé à la lecture de l'hodoscope

Le système d'acquisition choisi par le groupe CAS-PHABIO de l'IPNest construit autour d'un système μ TCA (Micro Telecommunications Computing Architecture) et l'utilisation de cartes d'acquisition standards AMC (Advanced Mezzanine Card). Ce type de système permet la transmission d'un grand débit de données sur le fond de panier, ce qui correspond bien à notre application, où les taux de comptage et les échanges d'information entre détecteurs peuvent être extrêmement importants. De plus, la carte AMC intègre un FPGA (Field Programmable Gate Array) qui est utilisé comme unité de traitement des données.

La partie électronique de lecture est séparée de l'électronique d'acquisition de manière à être placée au plus près des MA-PMTs. De par la sensibilité des signaux à traiter par la partie électronique de lecture, l'utilisation de composants intégrés est indispensable. Ce travail de thèse porte sur la conception de deux blocs qui réalisent les fonctions suivantes :

- le front-end analogique de lecture : Il est directement en interface des MA-PMTs et permet de savoir si une voie est touchée ou non (c'est cette information qui permet ensuite de remonter à la position de la particule dans l'hodoscope). Il met également en forme le signal du MA-PMT (cela permet

de remonter à l'information charge (Q) de la particule qui traverse l'hodoscope). Et enfin, il fournit un signal temporel au bloc TDC. Ce front-end est présenté en détail dans le chapitre 2.

- Le TDC (Time-to-Digital Converter) : il mesure le temps d'arrivée du signal fourni par le front-end de lecture, et donne une information temporelle (t) numérique représentant le temps de passage d'une particule dans l'hodoscope. Ce bloc est présenté en détail dans le chapitre 3.

2 ASIC de lecture associé au photomultiplicateur

2.1 Développements d'ASICs en Physique Nucléaire et Physique des Particules

En Physique Nucléaire et Physique des Particules, beaucoup d'architectures et de technologies sont utilisées pour la conception d'ASICs (Application Specific Integrated Circuits) liées à la réalisation d'instruments de mesure. Ces électroniques doivent être capables d'intégrer un grand nombre de voies avec des fréquences de fonctionnement élevées et des dynamiques de signal d'entrée importantes. De plus, le bruit ramené en entrée doit souvent être très faible, avec comme conséquence un rapport signal à bruit élevé. En considérant ces spécifications, le développement d'ASIC est donc très bien adapté à l'électronique pour un hodoscope de faisceau.

L'architecture classique est montrée sur Figure 2-1. Elle consiste en un étage d'entrée qui est un préamplificateur de charge ou de courant, une voie de mise en forme lente (slow shaper) pour la mesure de la charge déposée avec un échantillonneur bloqueur (Track & Hold) pour la mémorisation, et la Conversion Analogique Digital, une voie de mise en forme rapide (fast shaper) pour l'étiquetage en temps avec un TDC (Time-to-Digital Converter). Quelques exemples vont être présentés sur la détection d'un signal et la mesure de temps.

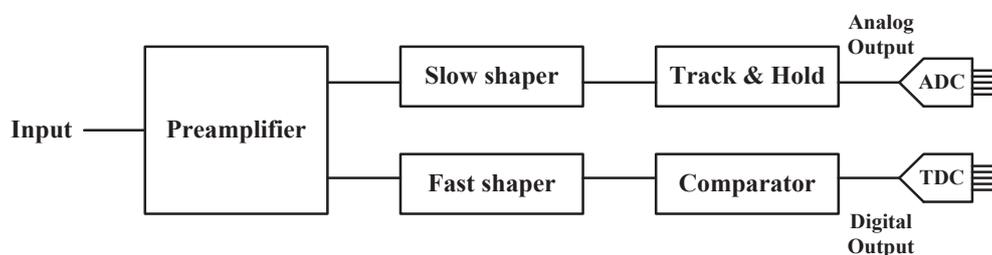


Figure 2-1 : Architecture classique d'une voie de lecture d'un détecteur de particule.

Pour la lecture d'un détecteur gazeux, un ASIC de 32 voies a été réalisé[31]. Cette approche est un exemple typique. L'architecture de l'ASIC est illustrée sur la Figure 2-2.

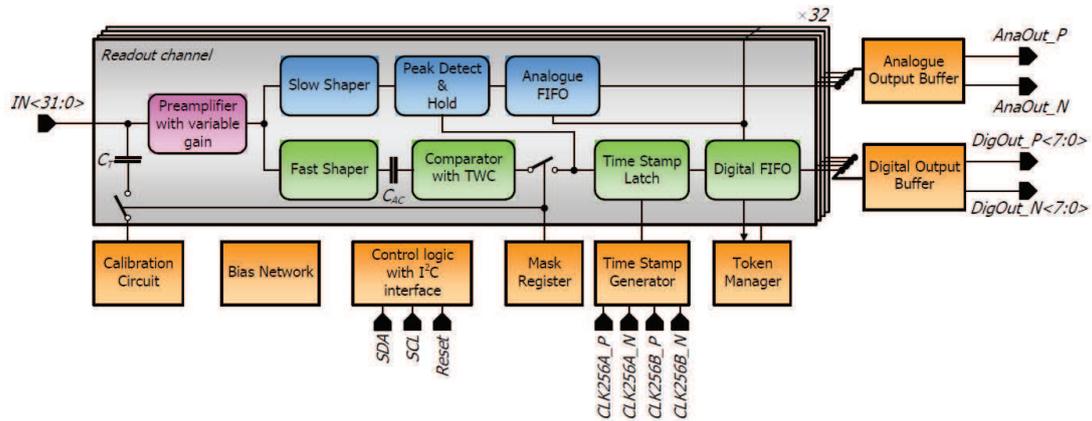


Figure 2-2 : Architecture de l'ASIC MSGCROC [31].

Beaucoup d'ASIC sont conçus et basés sur la structure classique. Ils traitent le signal en tension, tel que décrit dans [32, 33]. De plus, dans le cas où le signal d'entrée est un courant, nous pouvons traiter ce signal directement en courant sans le convertir en tension. Cette architecture en courant présente un intérêt dans le cadre des technologies CMOS fortement sub-microniques, pour lesquelles les tensions de travail sont réduites, du fait des faibles épaisseurs d'oxyde de grille mises en œuvre. Une chaîne en mode courant est proposée[34] pour une application de Tomographie par Emission de Positron (TEP). Dans cet ASIC, une structure appelée RGC (Regulated cascode circuit) illustrée sur la Figure 2-3 est employée comme étage d'entrée. Le RGC présente une impédance d'entrée très faible $Z_{in} = \frac{1}{g_{m2} + (1 + g_{m1}R_1)}$. Un comparateur en courant est alors employé. Dans l'ASIC HARDROC [35], un étage d'entrée SBC (super-base-commune) illustré sur la Figure 2-4 est utilisé. Cette structure est similaire au RGC. En outre l'utilisation des transistors bipolaires permet de réduire l'impédance d'entrée grâce à la transconductance plus grande des transistors bipolaires. La sortie du super base commune est copiée par six miroirs de courant commutés (voir Figure 2-5) pour réaliser six bits de correction de gain (Gain=2, 1, 0.5, 0.25, 0.125, 0.06) par voie.

Tableau 2-1 présente une comparaison des performances entre différentes méthodes pour la chaîne de lecture, ce qui nous donne une comparaison des avantages de chaque circuit.

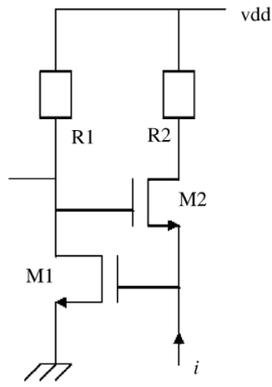


Figure 2-3 : Schéma de la structure RGC [34].

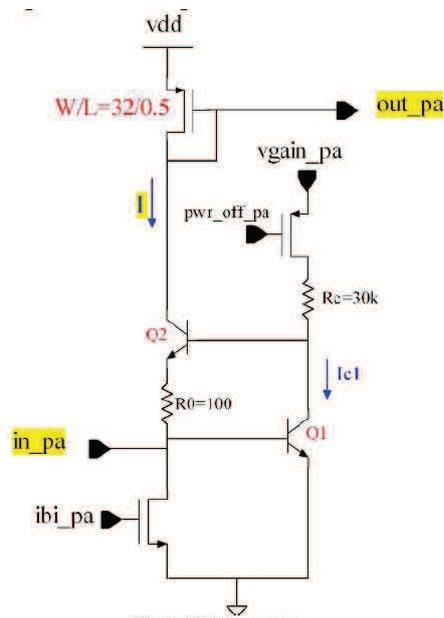


Figure 2-4 : Schéma du Super-Base-Commune [35].

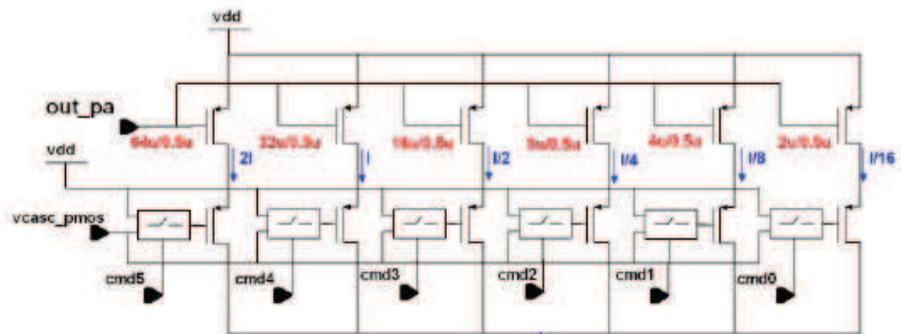


Figure 2-5 : Structure de la correction des gains en courant [35].

Paramètres	[33]	[34]	[35]	[36]
Structure	Single-ended	Single-ended	Single-ended	Différentielle
Dynamique	0.5-70 fC	15-650 fC (32 dB)	5fC – 15 pC	7-700 fC (40 dB)
Gain (charge-tension)	18 mV/fC	1.8 mV/fC	3.5mV/fC	1.54 mV/fC
Impédance d'entrée	241 Ω	180 Ω	50-70 Ω	-
Bruit	$275 e^- + 10 e^-$ /pF	-	-	3200 e^- for APD stimulus
crosstalk	-	-	2 %	0.2 %
Surface	-	6.1 mm ²	-	-
Puissance consommée	12mW/Channel	15mW/channel	1.56mW/channel	135mW/channel

Tableau 2-1 : Comparaison des performances de différentes architectures.

2.2 ASIC de lecture proposé

Pour lire le signal en sortie de l'hodoscope, un ASIC Front-End de lecture multivoies est connecté au PMT. La Figure 2-6 montre la structure du système de lecture. Deux PMTs sont utilisés, un pour lire l'axe X et l'autre pour lire l'axe Y de l'hodoscope. Deux ASICs Front-End seront utilisés pour les deux PMTs. Cette électronique permet de convertir le signal physique en un signal logique.

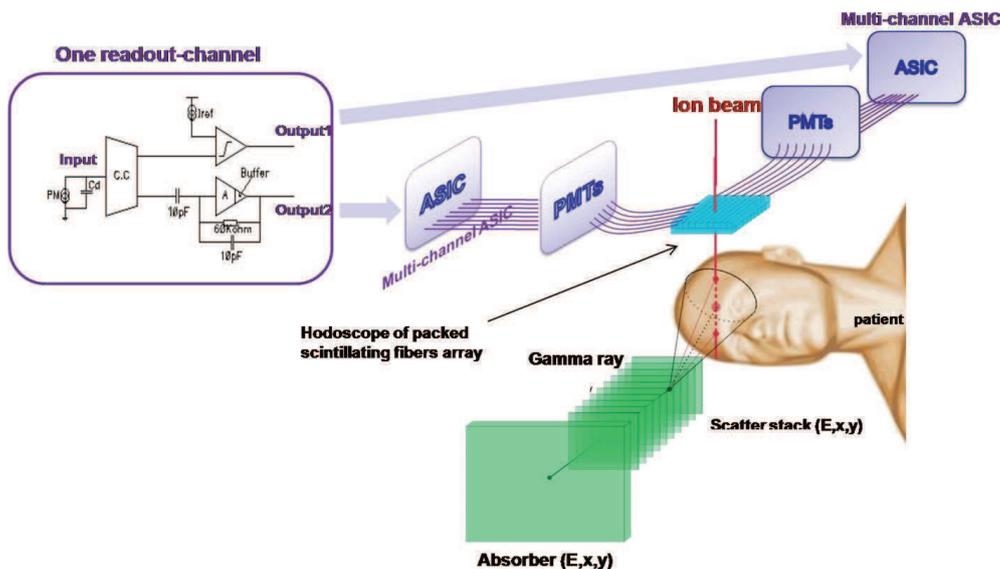


Figure 2-6 : Architecture de système de lecture[37].

La conception de l'ASIC de lecture prend en compte la lecture des PMTs multivoies. Ses fonctionnalités et ses performances doivent satisfaire le cahier des charges défini dans Tableau 2-2. On peut remarquer que les performances demandées à chaque voie de lecture notamment en rapidité et en bruit ne sont pas faciles à atteindre. Nous avons donc adopté une approche de conception de type "sur-mesure", ce qui permettra une meilleure optimisation des performances. Par ailleurs, il est important de minimiser l'impédance d'entrée de chaque canal de lecture pour éviter les couplages parasites entre canaux, réduire les effets des capacités des détecteurs connectés et des interconnexions électriques. À cette fin, nous avons choisi une technologie BiCMOS au lieu de CMOS pour pouvoir utiliser le transistor bipolaire dont le paramètre de transconductance est plus grand que celui du transistor MOS à courant de polarisation identique. C'est un paramètre déterminant pour l'impédance d'entrée et le gain d'un amplificateur de courant.

Taux de comptage	10^8 pps en ^{12}C (10 ns)
Taux de comptage par fibre optique (par voie de l'ASIC)	10^7 pps en ^{12}C (100 ns)
La gamme de charge du signal	$2 \text{ pC} < Q < 10 \text{ pC}$
	$12.5 \text{ Me}^- < Q < 63 \text{ Me}^-$
Bruit ramené en entrée	$Q_{\text{noise}} < 200 \text{ fC}$
	$Q_{\text{noise}} < 1.25 \text{ Me}$
Temps de montée	4 ns
Temps de descente	16 ns
Bande passante du convoyeur de courant	$\geq 87.5 \text{ MHz}$
Dynamique du signal d'entrée	$200 \mu\text{A} (2 \text{ pC}) \sim 1\text{mA} (10 \text{ pC})$
Equivalent Noise Charge	$< 200 \text{ fC}$ (Iseuil $> 20 \mu\text{A}$)
gain ajustable sur 4-bits (2-1-0.5-0.25)	Compenser la dispersion du détecteur et des effets de vieillissement des fibres optiques
Temps mort par voie	$< 100 \text{ ns}$
Time walk	707 ps

Tableau 2-2 : Spécifications de l'ASIC Front-End de lecture.

2.3 Architecture du canal de lecture

Selon les fonctions à intégrer et les performances à atteindre pour chaque canal de l'ASIC, nous avons défini l'architecture présentée sur Figure 2-7. C'est une architecture en mode courant que nous avons choisie pour sa rapidité, sa simplicité et sa possibilité Vdd réduit (cf. p24) par rapport à une approche classique qui utilise des blocs fonctionnels en mode tension. L'étage d'entrée de l'ASIC de lecture est composé d'un convoyeur de courant avec deux sorties en courant séparées : une pour le comparateur en courant et l'autre pour un préamplificateur de charge (PAC). Le comparateur donnera une information sur la détection d'événements, tandis que le PAC permettra de connaître les charges générées par le PM à plus faible taux de comptage.

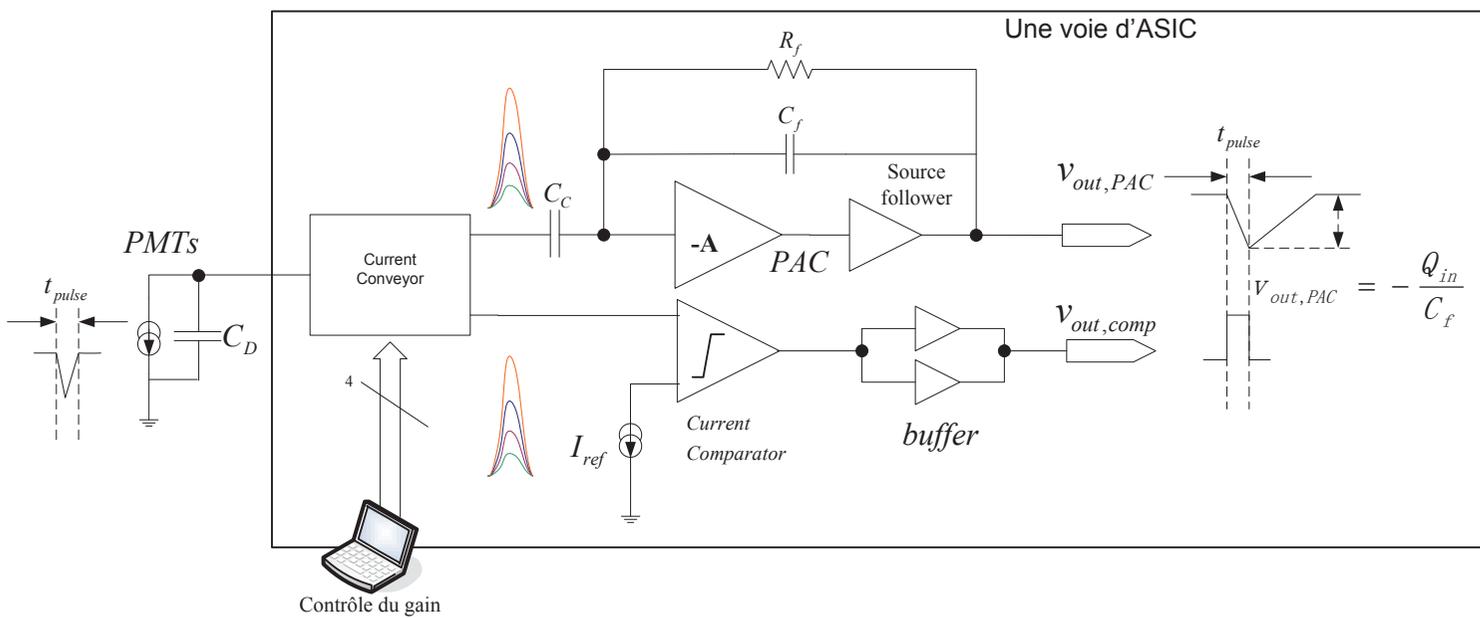


Figure 2-7 : Architecture de l'ASIC de lecture.

2.4 Convoyeur de courant

Le schéma bloc du convoyeur de courant est présenté dans la Figure 2-8. Il lit le signal en courant provenant d'une sortie d'un PMT multi-anode. Un gain variable codé sur 4 bits permet de compenser à la fois la dispersion de gain des PMTs multi-anode et l'atténuation de signal due au vieillissement des fibres optiques. Pour garantir la mesure de tous les signaux issus des PMTs et éviter la distorsion, une architecture Super-Base-Commun (SBC) à base de transistors bipolaires est utilisée dans l'étage d'entrée du convoyeur du courant. Les avantages par rapport à des transistors MOS sont :

- l'impédance d'entrée très faible (transconductance élevée),
- la réponse fréquentielle (la fréquence de transition F_t des transistors bipolaires est supérieure à 10 GHz pour la technologie SiGe).

Le Convoyeur de courant complet est composé de deux SBCs qui piloteront les miroirs de courant complémentaires à gain variable. Le signal d'entrée est appliqué à l'un des SBC. L'autre SBC ne reçoit pas le signal d'entrée et sert uniquement à supprimer la contribution du courant de polarisation dans le courant total de sortie. Deux sorties haute impédance sont implémentées pour piloter respectivement le comparateur en courant et le PAC.

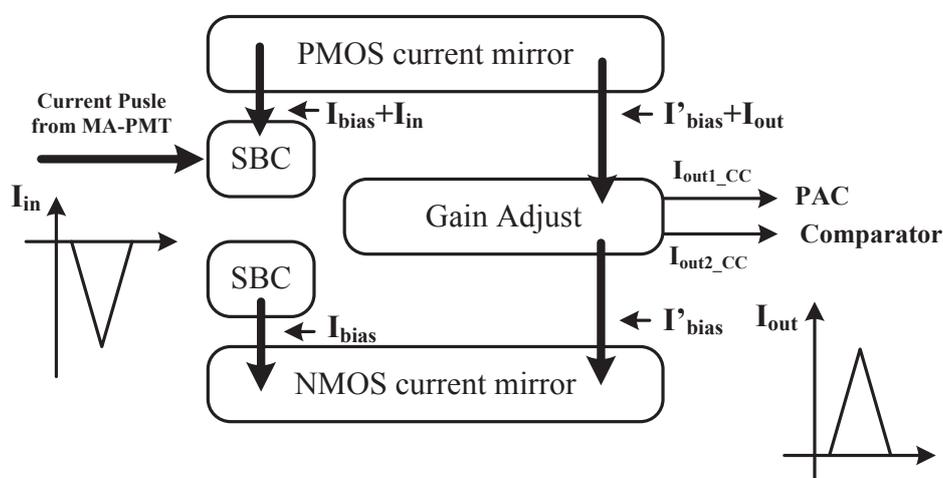


Figure 2-8 : Structure globale du préamplificateur.

2.4.1 Etage d'entrée

Nous rappelons que la capacité du détecteur C_D (typiquement 35pF) sera ajoutée au nœud d'entrée du montage dans le fonctionnement normal, ce qui crée au nœud d'entrée un pôle dominant car son impédance n'est pas assez faible. Par conséquent, ce qui limitera la bande passante de l'amplificateur.

2.4.1.1 Base-Commune

Nous considérons d'abord un transistor bipolaire en montage Base-Commune (BC) comme illustré sur Figure 2-9.

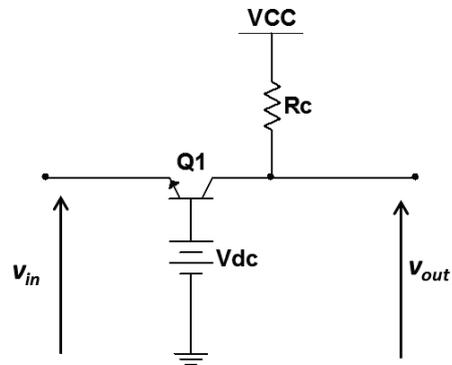


Figure 2-9 : Schéma du montage Base Commune.

Ses caractéristiques en fonctionnement petit signal peuvent être résumées dans Tableau 2-3. L'impédance d'entrée du montage de la Figure 2-9 peut en effet être modélisée par un schéma équivalent petit signal comme le montre Figure 2-10. Ce schéma équivalent inclut une inductance exprimée par

$$L = \frac{C_{\pi} \cdot r_b}{g_{m,Q1}} \quad (2-1)$$

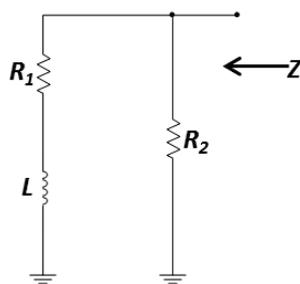


Figure 2-10 : Impédance d'entrée équivalent de Base-commune [38].

	Expression
Impédance d'entrée	$Z_{in,BC} = \frac{\left(\frac{1}{g_m} + \frac{r_b}{\beta_0}\right) + s \frac{C_{\pi} r_b}{g_m}}{1 + s \frac{C_{\pi}}{g_m}} \approx \frac{1}{g_m} \frac{(1 + s C_{\pi} r_b)}{1 + s \frac{C_{\pi}}{g_m}}$
Impédance de sortie	$Z_{out} = \frac{R_C}{1 + s C_{\mu} R_C}$
Gain en courant	$\frac{i_{out}}{i_{in}} = \frac{\alpha_0}{(1 + s C_{\pi} r_e)(1 + s C_{\mu} R_C)}$
Impédance d'entrée équivalent	$Z_{in,BC} = \frac{(R_1 + sL)R_2}{R_2 + sL}$
	$R_1 = \frac{1}{g_m}$
	$R_2 = r_b$
	$L = \frac{C_{\pi} r_b}{g_m}$

Tableau 2-3 : Caractéristiques de la structure base-commune.

2.4.1.2 Super-Base-Commune

Afin de réduire davantage l'impédance d'entrée, nous utilisons une structure Super-Base-Commune (SBC) (voir Figure 2-11). Par rapport au montage Base Commune, l'impédance d'entrée du SBC sera beaucoup plus faible grâce à un amplificateur A en contre-réaction formé par Q2 et R2. En effet, l'amplificateur A en contre-réaction diminue la variation de tension au nœud E. La variation de tension au nœud E est amplifiée et inversée au nœud C par la structure Emetteur Commun (Q2, R2). En conséquence la variation de tension au nœud E sera plus faible que dans le cas d'un montage Base Commune. Pour un courant de détecteur donné, si la variation de tension au nœud E est très faible alors on peut dire que l'impédance d'entrée sera faible. Nous allons par la suite déterminer l'expression de l'impédance d'entrée du SBC pour mettre en évidence sa très faible valeur.

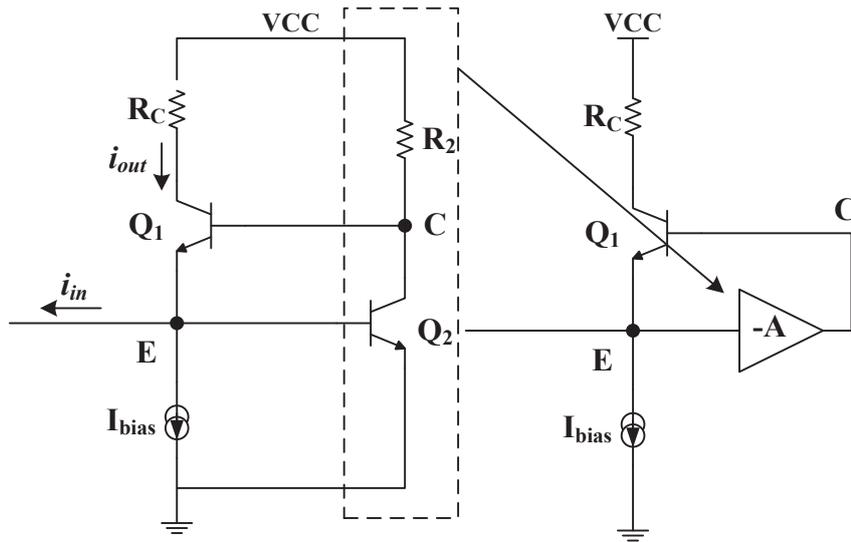


Figure 2-11 : Schéma du Super-Base-Commune.

En utilisant le model équivalent en T du transistor bipolaire [38], le schéma équivalent petit signal et en basse fréquence du SBC est montré sur Figure 2-12. Dans ce cas, la base de Q2 est une masse virtuelle.

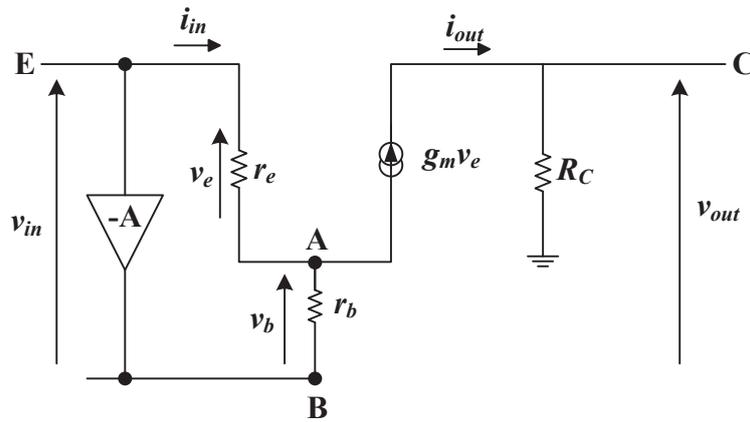


Figure 2-12 : Schéma équivalent petit signal en basse fréquence du Super-Base-Commune.

Les équations des mailles pour le schéma de la Figure 2-12 donnent :

$$\frac{v_e}{r_e} - g_m v_e - \frac{v_b}{r_b} = 0 \quad (2-2)$$

$$(A_0 + 1)v_{in} = v_e + v_b \quad (2-3)$$

$$v_{out} = g_m v_e \cdot R_C \quad (2-4)$$

$$i_{in} = \frac{v_e}{r_e} \quad (2-5)$$

$$i_{out} = g_m v_e \quad (2-6)$$

avec $A_0 = g_{m,Q2} \cdot R_2$ qui est le gain en tension en basses fréquences de l'amplificateur de contre réaction.

En combinant les équations (2-2)-(2-6) , nous obtenons pour le SBC le gain en courant (2-7), l'impédance d'entrée (2-8) et l'impédance de sortie (2-9) en basses fréquences :

$$\frac{i_{out}}{i_{in}} = \alpha_0 \approx 1 \quad (2-7)$$

$$R_{in,SBC} = \frac{1}{(A_0 + 1)} \cdot \frac{\alpha_0}{g_{m,Q1}} \cdot \left(1 + \frac{r_b}{r_\pi}\right) = \frac{1}{(A_0 + 1)} \cdot R_{in,BC} \quad (2-8)$$

$$R_{out} = R_C. \quad (2-9)$$

L'expression (2-8) montre que l'impédance d'entrée du SBC est (A_0+1) fois plus faible que celle du Base Commune à courant de polarisation identique, les autres caractéristiques sont toutes identiques.

Afin de déterminer les caractéristiques fréquentielles du SBC, nous procédons à une analyse en hautes fréquences (HF) qui utilise le schéma équivalent petit signal représenté sur Figure 2-13.

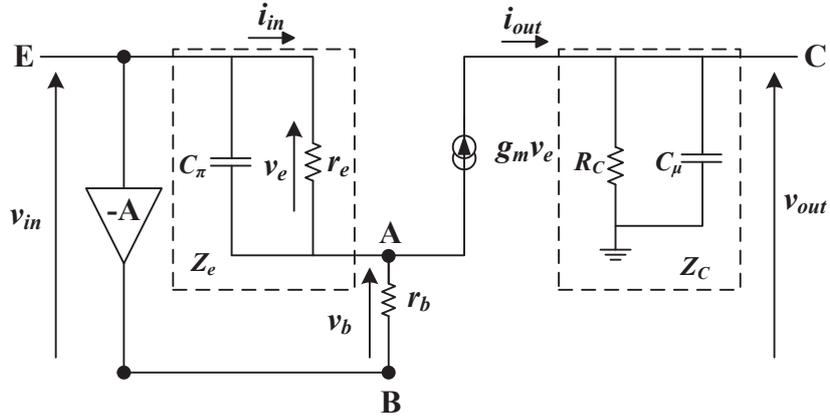


Figure 2-13 : Schéma équivalent petit signal en haute fréquence du montage Super-Base-Commune.

Les équations des mailles pour le schéma de Figure 2-13 donnent :

$$(1 + A)v_{in} = v_e + v_b \quad (2-10)$$

$$i_{in} = \frac{v_e}{Z_e} \quad (2-11)$$

$$\frac{v_e}{Z_e} - \frac{v_b}{r_b} - g_{m,Q1}v_e = 0 \quad (2-12)$$

$$v_{out} = g_{m,Q1}v_e Z_C \quad (2-13)$$

$$i_{out} = \frac{g_{m,Q1} \cdot v_e}{1 + sC_\mu R_C} \quad (2-14)$$

En combinant les équations (2-10)-(2-14) nous obtenons le gain du courant (2-15), l'impédance d'entrée (2-16), l'impédance de sortie (2-17) et le pôle dominant du gain en courant (2-18).

$$\frac{i_{out}}{i_{in}} = \frac{\alpha_0}{(1 + sC_\mu R_C)(1 + sC_\pi r_e)} \quad (2-15)$$

$$Z_{in,SBC} = \frac{Z_e - r_b(g_{m,Q1}Z_e - 1)}{1 + A} = \frac{Z_{in,BC}}{1 + A} \quad (2-16)$$

$$Z_{out} = Z_C = \frac{R_C}{1 + sC_\mu R_C} \quad (2-17)$$

$$\rho_{i,SBC} = -\frac{1}{C_\pi r_e} \quad (2-18)$$

Le gain en courant du SBC et celui du Base Commune sont identiques. Ils ont deux pôles identiques. La réponse fréquentielle sera identique. L'impédance d'entrée du SBC est (1+A) fois plus faible que celle du montage Base Commune. En remplaçant $Z_e = \frac{r_e}{1 + sC_\pi r_e}$ avec $r_e = \frac{\alpha_0}{g_{m,Q1}}$ dans (2-16), nous pouvons obtenir l'expression de l'impédance d'entrée du SBC :

$$Z_{in,SBC} = \frac{1}{1 + A} \cdot \frac{\frac{1}{g_{m,Q1}}(1 + sC_{\pi,Q1} \cdot r_{b,Q1})}{1 + s\frac{C_{\pi,Q1}}{g_{m,Q1}}} \quad (2-19)$$

$$Z_{in,SBC} \approx \begin{cases} \frac{1}{(1 + A_0)g_{m,Q1}} & \text{pour } \omega = 0 \\ r_{b,Q1} & \text{pour } \omega = \infty \end{cases} \quad (2-20)$$

Nous notons que l'amplificateur de contre-réaction A est constitué d'une structure Emetteur Commun. En considérant une structure du premier ordre avec ω_1 le pôle dominant, le gain A de l'Emetteur Commun sera modélisé par :

$$A = \frac{A_0}{1 + \frac{s}{\omega_1}} \quad (2-21)$$

Le pôle de l'émetteur commun dans le contexte du SBC sera :

$$\omega_1 = \frac{1}{[(1 + A)C_{\pi,Q1} + C_{\pi,Q2}] \cdot \left(\frac{1}{g_{m,Q1}} + r_{b,Q2}\right)} \quad (2-22)$$

Ce pôle est lié à la capacité parasite Emetteur-Base du transistor Q1, amplifiée par effet Miller d'un facteur (1+A).

En remplaçant A avec (2-21) dans l'équation (2-19), ω_1 est remplacé par l'équation(2-22), nous pouvons réécrire l'impédance d'entrée du SBC :

$$Z_{in,SBC} = \frac{1}{1 + \frac{A_0}{1 + \frac{s}{\omega_1}}} \cdot \frac{\frac{1}{g_{m,Q1}}(1 + sC_{\pi,Q1} \cdot r_{b,Q1})}{1 + s\frac{C_{\pi,Q1}}{g_{m,Q1}}} \quad (2-23)$$

$$\approx \frac{1}{(1 + A_0)g_{m,Q1}} \cdot \frac{\left(1 + s\frac{1}{\omega_1}\right)(1 + sC_{\pi,Q1} \cdot r_{b,Q1})}{\left(1 + s\frac{C_{\pi,Q1}}{g_{m,Q1}}\right)}$$

$$Z_{in,SBC} = \frac{1}{1 + A} \cdot \frac{\left(\frac{1}{g_{m,Q1}} + s(1 + A) \cdot \frac{C_{\pi,Q1} \cdot r_{b,Q1}}{g_{m,Q1}}\right) \cdot r_{b,Q1}}{r_{b,Q1} + s(1 + A) \cdot \frac{C_{\pi,Q1} \cdot r_{b,Q1}}{g_{m,Q1}}} \quad (2-24)$$

L'équation (2-23) montre que l'impédance d'entrée présente deux zéros (z_1 et z_2) et un pôle (p). z_1 est le zéro dominant qui est généré par la contre réaction et z_2 est un zéro non dominant. La différence de comportement fréquentiel de l'impédance d'entrée entre la structure Base Commune et la structure SBC réside dans la présence de un ou deux zéros. Dans le cas du SBC (avec deux zéros), l'augmentation de l'impédance d'entrée au voisinage de ces zéros est plus importante que dans le cas du SBC avec un seul zéro (cf. l'équation (2-9)).

$$z_1 = -\frac{1}{[(1+A)C_{\pi,Q1} + C_{\pi,Q2}] \cdot \left(\frac{1}{g_{m,Q1}} + r_{b,Q2}\right)} \quad (2-25)$$

$$z_2 = -\frac{1}{C_{\pi,Q1}r_{b,Q1}} \quad (2-26)$$

$$\rho = -\frac{g_{m,Q1}}{C_{\pi,Q1}} \quad (2-27)$$

La simulation nous donne les paramètres en petit signal des deux blocs qui composent le SBC (cf. Tableau 2-4).

Composants	Paramètres	
Q₁	$g_{m,Q1}$	1.87 mA/V
	$C_{\pi,Q1}$	15.27 fF
	$r_{b,Q1}$	710 Ω
Q₂	$g_{m,Q2}$	5.828 mA/V
	$C_{\pi,Q2}$	15.27 fF
	$r_{b,Q2}$	655 Ω
R_C	R _C	10 k Ω
R₂	R ₂	10 k Ω
Courant de polarisation	$I_{bias}(Q_1)$	50 μ A

Tableau 2-4 : Paramètres petit signal des composants du montage Super Base Commune.

L'impédance d'entrée du SBC ($Z_{in,SBC}$) est beaucoup plus faible, jusqu'à quelques GHz par rapport à l'impédance d'entrée du Base Commune à courant de polarisation identique dans le transistor Q1. Cela permettra de diminuer le courant de collecteur du transistor Q1 lors de la conception et donc de diminuer le bruit de grenaille (shot noise). Pour une impédance d'entrée équivalente Q1 sera polarisé à un courant plus faible. Cette source de bruit est très importante pour le bruit équivalent ramené en entrée. Un faible niveau de bruit dans l'étage d'entrée est nécessaire pour

garantir la mesure des courants les plus faibles. Les gains en courant du SBC et BC sont identiques. L'impédance de sortie du SBC et celle du BC sont toutes les deux égales à R_C . Les principales caractéristiques du SBC et du BC obtenues par simulations et calculs sont comparées dans Tableau 2-5.

	BC (calcul)	BC (simulation)	SBC(calcul)	SBC(simulation)
Gain de boucle (A)	---	---	52	44
Z_{in} (DC)	534 Ω	575 Ω	9 Ω	12 Ω
$f_{(-3dB)}$ de Z_{in}	19.5GHz	21.5GHz	273 MHz (A=30)	245 MHz(A=30)
Gain en courant	0.99	0.99	0.99	0.99

Tableau 2-5 : Comparaison des performances des montages Base Commune et Super Base Commune.

Figure 2-14 présente les simulations des impédances d'entrée des montages Base Commune et Super Base Commune. L'impédance d'entrée du SBC ($Z_{in,SBC}$) est liée au gain de l'amplificateur de contre réaction. On peut voir que sur la Figure 2-14, la réponse fréquentielle de $Z_{in,SBC}$ est aussi limitée par le pôle dominant du gain de l'amplificateur de contre-réaction. En tenant compte du zéro dominant de l'impédance d'entrée z_1 (cf. l'équation (2-25)) et du pôle dominant du gain en courant du SBC ($\rho_{i,SBC}$)(cf. l'équation (2-18)) ($z_1 \ll \rho_{i,SBC}$), l'augmentation de $Z_{in,SBC}$ autour de 700 GHz est dans un premier temps due au pôle de l'amplificateur de contre réaction puis dans un second temps due à la présence des zéros. Le pic à 700 GHz montre un effet inductif.

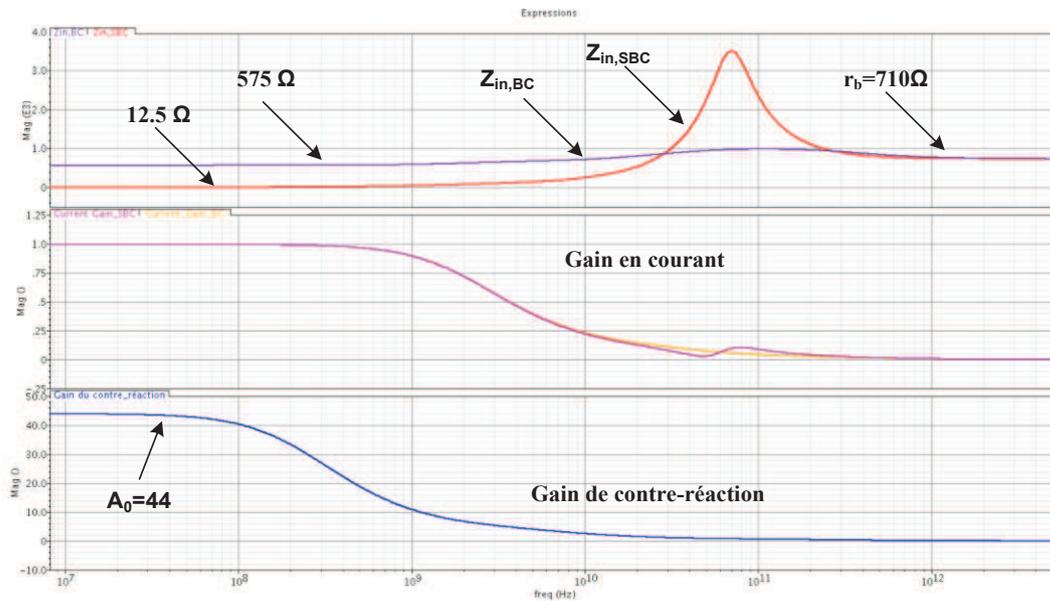


Figure 2-14 : Impédance d'entrée du montage Base Commune et Super Base Commune en fonction de la fréquence.

Cet effet inductif est modélisé dans l'expression de l'impédance d'entrée du BC (cf. Tableau 2-6). Cet effet sera beaucoup plus marqué dans le cas du SBC, dont l'inductance équivalente sera multipliée par $(1 + A)$:

$$L' = (1 + A) \frac{C_{\pi,Q1} \cdot r_{b,Q1}}{g_{m,Q1}} \quad (2-28)$$

Le Tableau 2-6 résume les expressions des impédances d'entrée et de sortie des deux montages possibles.

2.4.2 L'impédance de sortie du convoyeur de courant

Le convoyeur de courant reçoit le signal du PM en courant et le transfère au PAC et au comparateur en courant. Une source de courant doit avoir une grande impédance de sortie et permettra le transfert du courant vers l'étage suivant si celui-ci présente une basse impédance d'entrée. Une structure symétrique illustrée sur la Figure 2-15 (a) est utilisée pour soustraire le courant de polarisation. L'impédance de sortie du convoyeur de courant (cf. l'équation (2-29)) correspond à la mise en parallèle des deux impédances de sorties des transistors PMOS (cf. l'équation (2-30)) et NMOS (cf. l'équation (2-31)).

$$R_{out} = R_{out,MN} \parallel R_{out,MP} \quad (2-29)$$

Les transistors MP2-MP5 d'une part et MN2-MN5 d'autre part ont des valeurs W/L différentes afin de réaliser les 4 bits de gain. Leurs connexions à la sortie sont contrôlées numériquement à travers les transistors de commutation sur chaque branche. La Figure 2-15(b) donne le détail de l'étage de sortie.

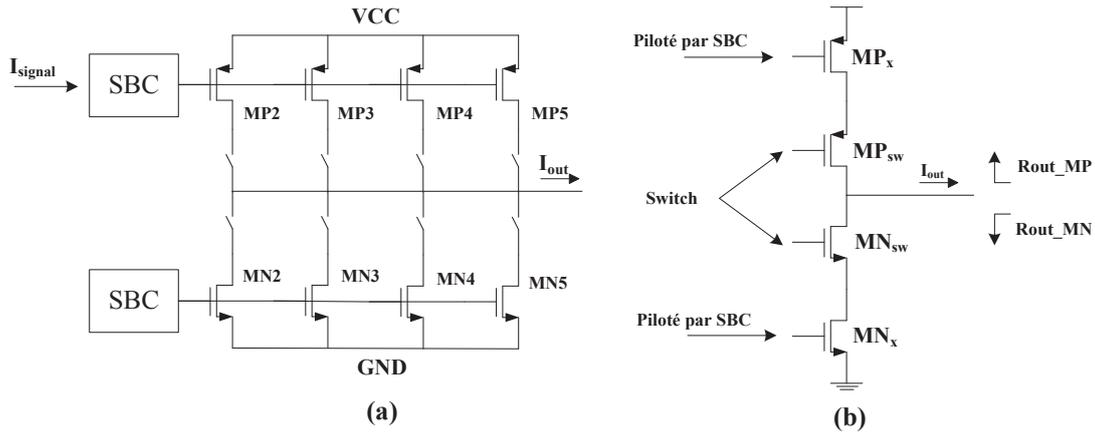


Figure 2-15 : (a) Etage de sortie du convoyeur du courant ;(b) Etage de sortie avec transistors MOS.

Dans notre cas, les substrat sont connectés à VCC et à GND, par conséquent :

$$g_{m,MPsw} \gg g_{mb,MPsw}$$

Les impédances de sortie des branches NMOS et PMOS seront :

$$\begin{aligned} R_{out,MP} &= (1 + (g_{m,MPsw} + g_{mb,MPsw}) \cdot r_{o,MPx}) \cdot r_{o,MPsw} + r_{o,MPx} \\ &= (1 + g_{m,MPsw} \cdot r_{o,MPx}) \cdot r_{o,MPsw} + r_{o,MPx} \end{aligned} \quad (2-30)$$

$$\begin{aligned} R_{out,MN} &= (1 + (g_{m,MPsw} + g_{mb,MPsw}) \cdot r_{o,MNx}) \cdot r_{o,MNsw} + r_{o,MNx} \\ &= (1 + g_{m,MPsw} \cdot r_{o,MNx}) \cdot r_{o,MNsw} + r_{o,MNx}. \end{aligned} \quad (2-31)$$

L'impédance de sortie d'un transistor MOS est donné par :

$$r_o = \frac{1}{\lambda_{N,P} \cdot I_D} \quad (2-32)$$

où $\lambda_{N,P}$ est un paramètre qui dépend de la longueur du canal du transistor.

En tenant compte des 4bits de gain en courant ($G_{courant}$), le courant de polarisation des branches de sortie sera aussi multiplié par $G_{courant}$ par rapport à celui de la branche d'entrée I_{bias} :

$$I_{bias,out} = G_{courant} \cdot I_{bias} \quad (2-33)$$

en négligeant les impédances de sortie des transistors MP_{sw} et MN_{sw} qui sont polarisés en région triode lorsqu'ils sont à l'état passant, l'impédance de sortie sera alors :

$$R_{out} \approx r_{o,MPx} \parallel r_{o,MNx} = \frac{1}{G_{courant} \cdot I_{bias} \cdot (\lambda_P + \lambda_N)}, \quad (2-34)$$

avec λ_P et λ_N correspondant respectivement aux transistors PMOS et NMOS de la branche d'entrée. On note que l'impédance de sortie est inversement proportionnelle au gain en courant $G_{courant}$, celui-ci étant contrôlé numériquement.

2.4.4 Stabilité du convoyeur de courant

Le SBC illustré sur la Figure 2-16 est une structure en boucle fermée. Cette boucle peut potentiellement poser un problème de stabilité si elle est mal dimensionnée. Nous analysons cet aspect ci-dessous.

En reprenant le schéma de la Figure 2-16, une variation en tension au nœud A va induire une variation de tension au nœud B: $\Delta v_B = -A \cdot \Delta v_A$, la conséquence est que la variation de tension au nœud A sera en partie compensée. Le transistor Q1 se comporte comme un suiveur de tension dans cette boucle de contre réaction. La variation de tension au nœud A sera donc :

$$\Delta v_A(t + \Delta t) = -\frac{\Delta v_A(t)}{A}. \quad (2-38)$$

L'expression (2-38) montre que la variation au nœud A est 1/A fois plus faible que dans le cas où il n'y aurait pas de contre-réaction.

Il faut veiller à ce que la boucle fermée ne provoque pas d'oscillation. Pour atteindre ce but, la phase du gain de boucle à 0 dB doit être au minimum de 45 degrés. Si la marge de phase n'est pas suffisante, des oscillations peuvent apparaître au nœud A. Dans notre cas, l'impédance $Z_{\pi,Q1}$ peut être considérée comme le réseau de contre-réaction de la structure Emetteur-Commun (BJT Q₂ et R_c). Le gain en boucle fermée est exprimé par :

$$Gain_{bf} = \frac{A}{1 + AF} \quad (2-39)$$

avec A le gain de l'amplificateur (Emetteur-Commun) de contre réaction et F le gain du réseau de contre-réaction ($Z_{\pi,Q1}$).

D'autre part, on doit aussi prendre en compte le plot d'entrée de l'ASIC qui est celui du convoyeur du courant. Les paramètres parasites des interconnexions via ce plot se comportent comme un réseau RLC illustré sur Figure 2-17. Ce réseau RLC ajouté à l'entrée du convoyeur de courant va modifier la réponse en fréquence de celui-ci (cf. Figure 2-18). La courbe du gain de boucle du système coupe l'axe 0 dB en trois endroits. Au point A la marge de phase avec et sans plot est correcte (90 degrés). Au point B, la marge de phase est aussi suffisante (220 degrés). Le risque d'oscillation est au point C où la marge de phase est très inférieure à 45 degrés.

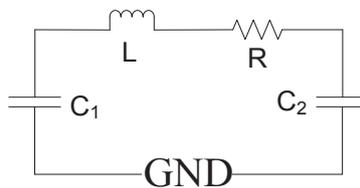


Figure 2-17 : Schéma équivalent d'un plot.

Il y a deux solutions pour résoudre ce problème de stabilité :

1. baisser le gain de boucle de façon à ce que la phase au point C soit supérieure à 45

- degrés. On ne peut alors uniquement ajuster le gain de l'amplificateur de contre réaction, la contre réaction étant fixée par le transistor d'entrée ;
2. baisser la valeur du pôle dominant du gain de boucle.

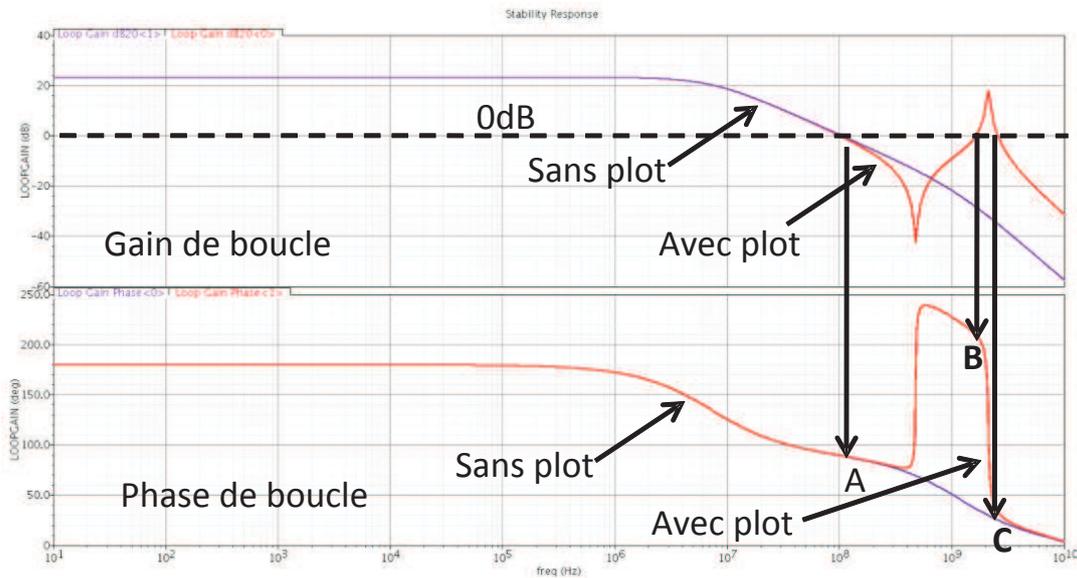


Figure 2-18 : Gain de boucle et Phase du SBC.

Le gain de boucle et le gain en boucle ouverte en tenant compte de l'impédance du plot seront donnés respectivement par :

$$AF = \frac{A_0}{1 + A_0F} \cdot \frac{(1 + s^2LC_1)}{\left[1 + s^2 \frac{LC_1C_2}{C_1+C_2}\right] \left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right)} \quad (2-40)$$

$$A = A_0 \cdot \frac{(1 + s^2LC_1)}{\left[1 + s^2 \frac{LC_1C_2}{C_1+C_2}\right] \left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right)} \quad (2-41)$$

On peut voir que la fonction de transfert présente trois pôles et une paire de zéro conjuguée : ω_1 et ω_2 sont les deux pôles de l'amplificateur en tenant compte du plot d'entrée. Nous avons simulé le circuit du convoyeur de courant avec le réseau RLC connecté en entrée. Les paramètres du circuit sont indiqués dans le Tableau 2-6. Les pôles et les zéros sont évalués et présentés dans Tableau 2-6.

Plot	L	3 nH
	$C_1=C_D+2pF$	37 pF
	$C_2=C_A+2pF$	4.7 pF
MP1	$1/g_{m,MP1}$	1.3 kΩ
Q1	$C_{\pi,Q1}$	10.28fF
	$g_{m,Q1}$	1.927mA/V
Q2	$g_{m,Q2}$ (avant compensation)	13.3 mA/V
	$g_{m,Q2}$ (après compensation)	12.85 mA/V
	$R_{C,SBC}$	4 KΩ
	R_E	160 Ω
	C_D	35 pF
	$C_{A_0}=A_0*(C_{\pi,Q1}+C_M)+ C_{\pi,Q2}$	2.7 pF
	f_t	90 MHz

Tableau 2-6 : Paramètres du circuit de la Figure 2-16.

	Expression	Fréquence
Zéro d'ordre 2	$z = \sqrt{\frac{1}{LC_1}}$	477MHz
Pôle d'ordre 2	$\rho_0 = \sqrt{\frac{C_1 + C_2}{LC_1C_2}}$	1.41GHz
Pôle dominant	$\rho_1 = \frac{g_{m,Q1}}{C_D + (1 + A_0)C_{\pi,Q1} + C_{\pi,Q2}}$	8MHz
Pôle non dominant	$\rho_2 = \frac{1}{(C_{\pi,Q1}) \cdot R_C}$	248MHz

Tableau 2-7 : Pôles et zéros du circuit de la Figure 2-16.

Zéros conjugués provoquent un passage de la courbe de gain de boucle au-delà de 0 dB en HF. L'écart en fréquence entre la paire de zéros conjugués (z) et le pôle d'ordre 2(ρ_0) détermine ce dépassement. Mais z et ρ_0 sont dépendants du boîtier utilisé et du câblage. La solution que nous avons adoptée est de diminuer le gain DCA_0 de

l'amplificateur et donc de déplacer le pôle dominant (ρ_1) vers les basses fréquences. L'expression de la marge de phase sera :

$$PM = 180^\circ - \arctan\left(\frac{f_t}{f_D}\right) - \arctan\left(\frac{f_t}{f_S}\right) \quad (2-42)$$

où f_t est la bande passante au gain unité de l'émetteur commun, f_D est la fréquence du pôle dominant et f_S est celle du deuxième pôle non dominant.

L'ajout d'une résistance R_E de dégénération, comme le montre la Figure 2-19, permet de baisser le gain DC de l'amplificateur de contre réaction sans modifier son courant de polarisation. L'expression du gain DC est :

$$A_0 = \frac{R_C}{\frac{1}{g_{m,Q2}} + R_E} \quad (2-43)$$

Ainsi, le gain de boucle AF coupe l'axe 0dB plus tôt (déplacement du point A vers les basses fréquences). Le pic généré par le pôle ρ_0 et le zéro z seront au-dessous de 0 dB, ce qui assure la stabilité du système en boucle fermée. Néanmoins, cette solution a pour conséquence d'augmenter l'impédance d'entrée à cause de la diminution du gain de contre réaction (cf. équation (2-16)).

Pour ne pas trop dégrader l'impédance d'entrée, une capacité de compensation C_M est ajoutée (Figure 2-19), elle permet de translater le pôle dominant vers les basses fréquences. Cette capacité entraîne également une baisse de la bande passante du SBC. C'est un compromis à optimiser entre l'impédance d'entrée et la réponse fréquentielle. Une combinaison de R_E et C_M est proposée pour obtenir la stabilité et pour optimiser la performance en vitesse.

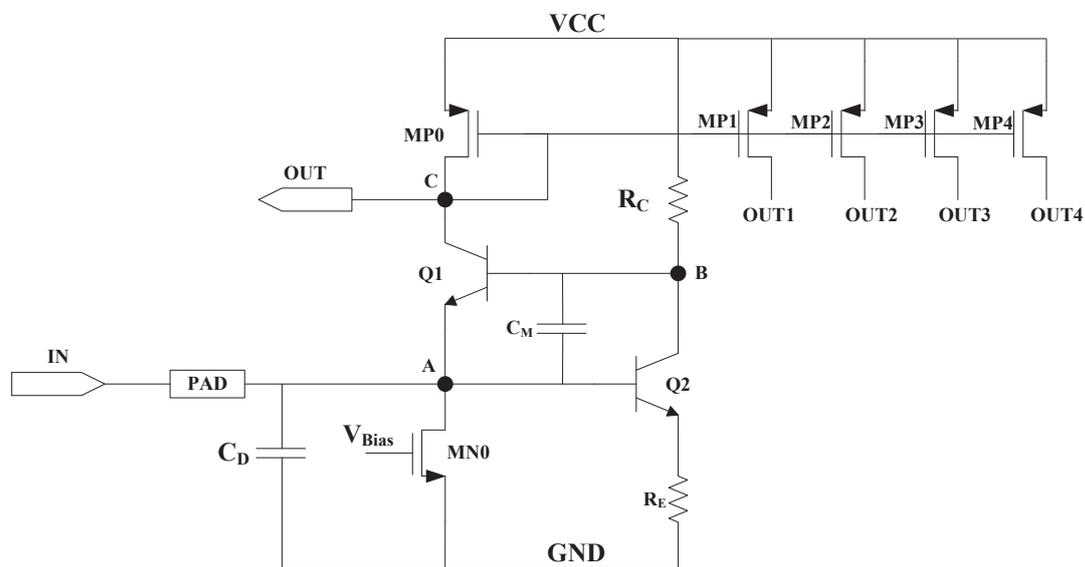


Figure 2-19 : Super-Base-Commune avec compensation de stabilité (R_E et C_M).

Le pôle dominant et le pôle secondaire auront les expressions suivantes :

$$\rho_{dominant} = \rho_1 = \frac{g_{m,Q1}}{C_D + (1 + A_0)(C_{\pi,Q1} + C_M) + C_{\pi,Q2}} \approx \frac{g_{m,Q1}}{C_D + C_A} \text{ pour } A \gg 1 \quad (2-44)$$

$$\rho_{secondaire} = \rho_2 = \frac{1}{(C_M + C_{\pi,Q1}) \cdot R_C} \quad (2-45)$$

La Figure 2-20 compare les caractéristiques fréquentielles de gain et de phase, avec et sans les composants de compensation de stabilité ($R_E = 160 \Omega$ et $C_M = 150 \text{ fF}$). Ces courbes sont obtenues par simulations. Le Tableau 2-8 compare les caractéristiques fréquentielles calculées et simulées avec R_E et C_M .

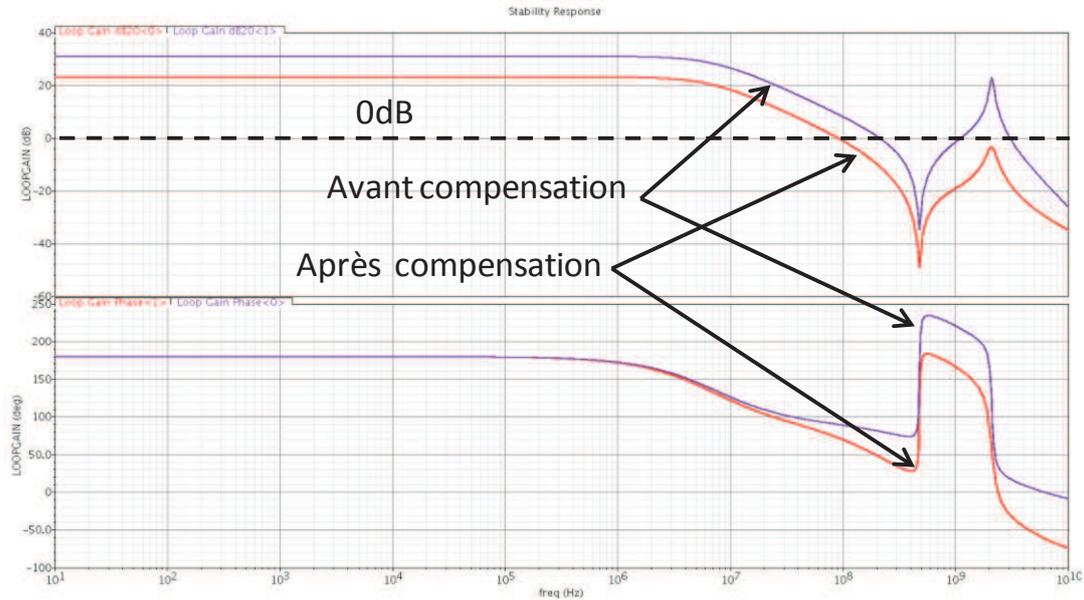


Figure 2-20 : Gain et Phase du gain de boucle du SBC avant et après compensation.

	Calcul	Simulation
$f_{dominant}$	8 MHz	7 MHz
$f_{secondaire}$	248 MHz	223 MHz
Marge de Phase	75 degrés	72 degrés
AF en DC	24.5 dB	23.2 dB

Tableau 2-8 : Comparaison des caractéristiques fréquentielles calculées et simulées avec R_E et C_M .

Les résultats de simulations montrent que la solution proposée assure la stabilité de la boucle de contre réaction. La variation liée au processus de fabrication de la marge de phase et du gain de boucle est vérifiée par une simulation de type Corner. Quatre-vingt corners sont simulés. La marge de phase minimum est de 66.56 degrés et la marge de phase maximum est 76.23 degrés (cf. Figure 2-21). Les résultats de simulations assurent la stabilité du SBC dans son contexte.

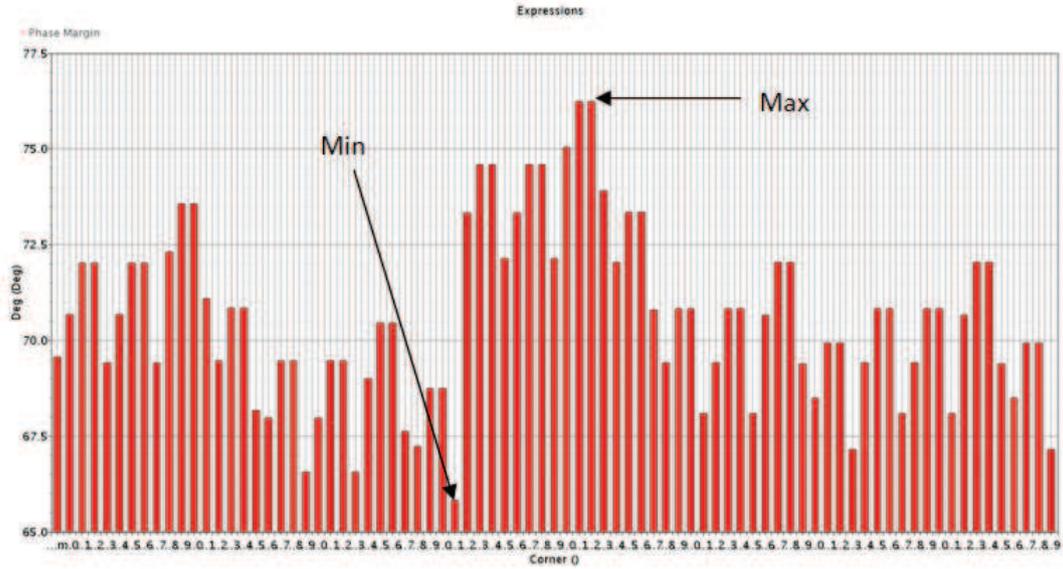


Figure 2-21 : Résultat de la simulation Corner de marge de phase et du gain de boucle.

Comme nous l'avons déjà écrit précédemment, la mise en œuvre de la solution de stabilité va entraîner une augmentation de l'impédance d'entrée du convoyeur de courant car le gain de l'amplificateur de contre réaction du SBC a diminué, et les pôles sont à des fréquences plus basses. Une simulation de type Corner montre que l'impédance d'entrée minimale est de 27Ω et maximale de 48Ω en BF. Elle reste faible et constante jusqu'à 100MHz (cf. Figure 2-22). Tableau 2-9 compare les résultats de calculs et de simulations sur les principales caractéristiques du convoyeur de courant. Il y a une bonne cohérence des résultats, ce qui est une validation de notre analyse du circuit présentée précédemment dans ce chapitre.

SBC	calcul	simulation	Corner Min	Corner Max
Gain de boucle en DC	16.8	14.45	--	--
Z_{in} (DC)	31Ω	36Ω	27Ω	48Ω
f_{3dB} de Z_{in}	146MHz	126MHz	--	--
Gain en courant	0.99	0.99	--	--
Z_{out}	$10\text{k}\Omega$	$10\text{k}\Omega$	$10\text{k}\Omega$	$10\text{k}\Omega$

Tableau 2-9 : Comparaison des résultats de calculs et de simulations sur les principales caractéristiques du Super-Base-Commune avec compensation de stabilité (R_E et C_D).

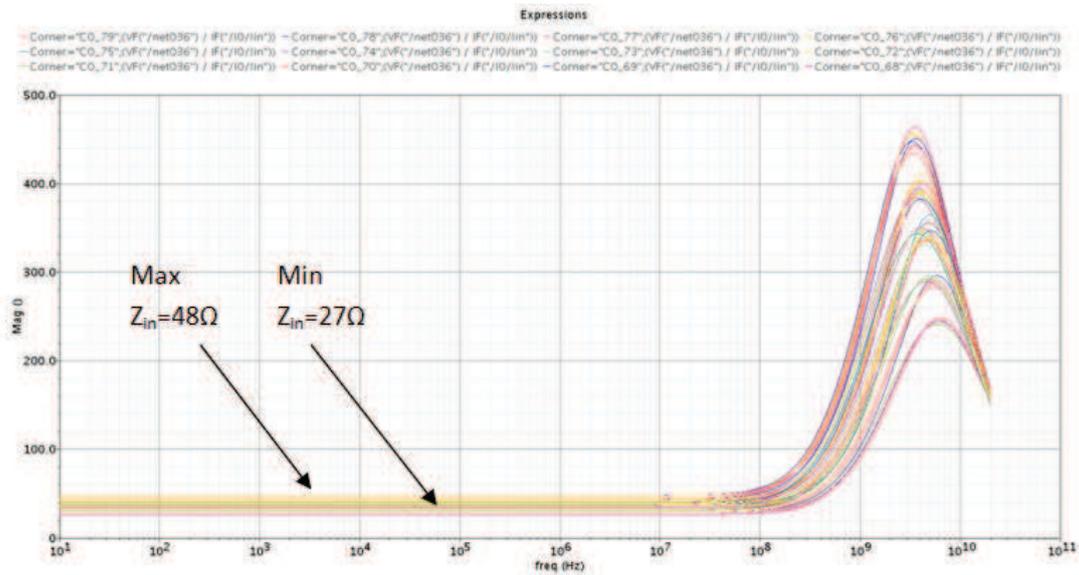


Figure 2-22 : Impédance d'entrée simulée en Corner.

2.4.5 Bruit du convoyeur de courant

Le convoyeur de courant est utilisé comme étage d'entrée de chaque canal de lecture. Il réalise l'amplification et le transfert du signal en mode courant vers le PAC et le comparateur. Les principaux générateurs de bruit du convoyeur doivent être identifiés afin de pouvoir les réduire lors de la conception du circuit. Figure 2-23 montre le schéma simplifié du convoyeur de courant, incluant la capacité du détecteur C_D , et les générateurs de bruit équivalents ramenés en entrée en courant $I_{n_SBC}(f)$ en $A/Hz^{1/2}$ et en tension $V_{n_SBC}(f)$ en $V/Hz^{1/2}$. Le transistor MN0 sert à polariser le transistor d'entrée Q1. La partie entourée en pointillé (Q_2 , R_C et R_E) est l'amplificateur de contre-réaction locale du SBC. MP0 – MP4 sont les miroirs de courant qui réalisent le gain ajustable.

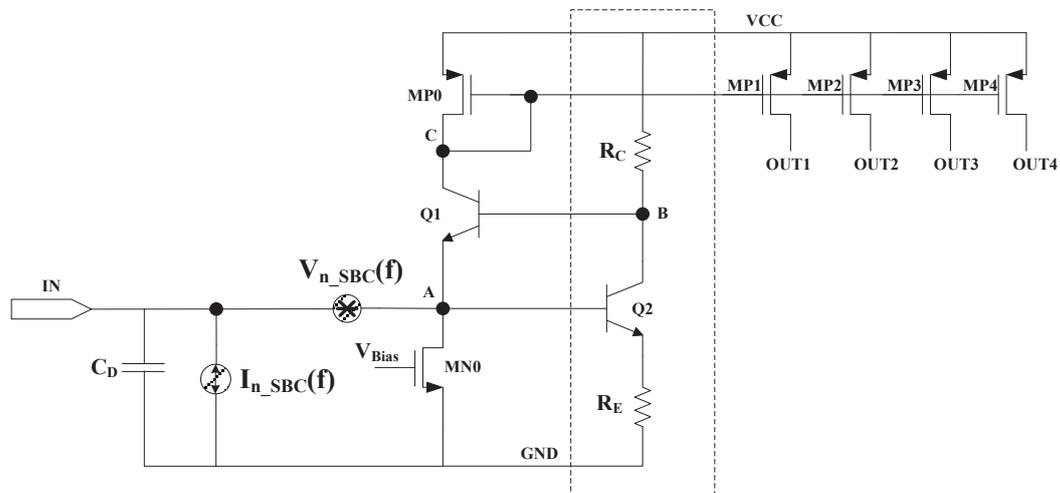


Figure 2-23 : Structure du convoyeur de courant avec les sources de bruit équivalentes en entrée.

- Modélisation du bruit d'un transistor Bipolaire

Avant d'analyser le schéma, il convient d'abord de faire un rappel sur les sources de bruit des transistors bipolaires et MOS. La Figure 2-24 présente le transistor bipolaire. $I_{n_bip}(f)$ en $A/Hz^{1/2}$ et $V_{n_bip}(f)$ en $V/Hz^{1/2}$ représentent respectivement les sources de bruit en courant et en tension ramenées en entrée du transistor bipolaire.

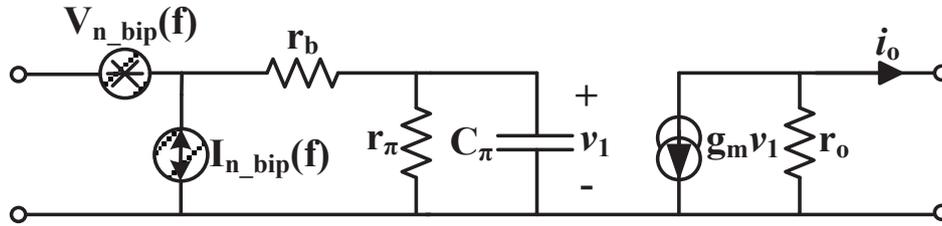


Figure 2-24 : Modèle de bruit du transistor bipolaire.

La densité spectrale de la source de bruit en courant ramenée en entrée pour un transistor bipolaire est :

$$S_{i,bip}(f) = I_{n_bip}^2(f) = 2qI_{eq} \quad (2-46)$$

$$S_{v,bip}(f) = V_{n_bip}^2(f) = 4kTR_{eq} \quad (2-47)$$

où $I_{eq} = I_B + K'_1 \frac{I_B}{f} + \frac{I_C}{|\beta(\omega)|^2}$, et $R_{eq} = \left(r_b + \frac{1}{2g_m} \right)$

I_B : le courant de base ;

$$K'_1 = \frac{K_1}{2q} \text{ avec } K_1 : \text{ une constante,}$$

I_C : le courant de collecteur,

$$\beta(\omega) = \frac{\beta_0}{1+j\frac{\omega}{\omega_\beta}} \text{ et } \beta_0 \text{ sont les gains en courant, petit signal et en BF,}$$

$$\omega_\beta = \frac{\omega_T}{\beta_0} \text{ avec } \omega_T = \frac{g_m}{C_\pi + C_\mu},$$

r_b : la résistance physique d'accès à la base en série avec l'entrée, $\frac{1}{2g_m}$ représente l'effet du bruit de grenaille (shot noise) du collecteur ramenée à l'entrée. Les équations(2-46) et (2-47)montrent que :

- le générateur de bruit en courant ramené en entrée inclut un terme inversement proportionnel à la fréquence (c'est la contribution du bruit 1/f) ;
- le générateur de bruit en tension ramené en entrée est indépendant de la fréquence (c'est du bruit blanc).

- Modélisation du bruit d'un transistor MOS

La Figure 2-25 présente le modèle de bruit du transistor MOS. $I_{n_mos}(f)$ en $A/Hz^{1/2}$ et $V_{n_mos}(f)$ en $V/Hz^{1/2}$ représentent respectivement les sources de bruit en courant et en tension ramenées en entrée du transistor MOS.

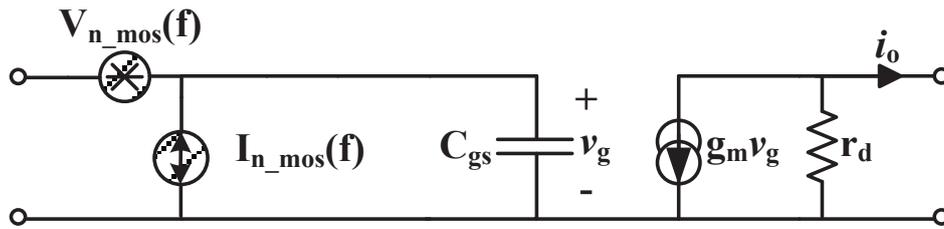


Figure 2-25 : Modèle de bruit du transistor MOS.

La densité spectrale de la source de bruit ramenée en entrée pour un transistor MOS est :

$$S_{i,MOS}(f) = I_{n_mos}^2(f) = 2qI_G + \frac{1}{A_I^2} \left(4kT \frac{2}{3} g_m + K \frac{I_D}{f} \right) \text{ avec } A_I = \frac{g_m}{\omega C_{gs}} \quad (2-48)$$

$$S_{v,MOS}(f) = V_{n_mos}^2(f) = 4kT \frac{2}{3} \frac{1}{g_m} + \frac{K_f}{WLC_{ox}f} \quad (2-49)$$

- I_G : Courant de fuite de grille (très faible et pratiquement négligeable),
- A_I : Gain en courant du transistor MOS (en AC),
- k : Constante de Boltzman,
- T : Température,
- I_D : Courant de drain,
- α, K_f : Constantes technologiques.

- **Bruit du convoyeur de courant au nœud A**

Pour calculer le bruit du convoyeur de courant, nous faisons l'hypothèse suivante : tous les transistors sont non-bruyants et toutes les sources de bruit de chaque transistor seront ramenées au nœud A. Avec cette méthode, le bruit total du convoyeur de courant peut être calculé. Sur la Figure 2-26, les sources de bruit en tension $V_{n_SBC}(f)$ en $V/Hz^{1/2}$ et en courant $I_{n_SBC}(f)$ en $A/Hz^{1/2}$ représentent l'ensemble des sources du bruit du montage convoyeur de courant.

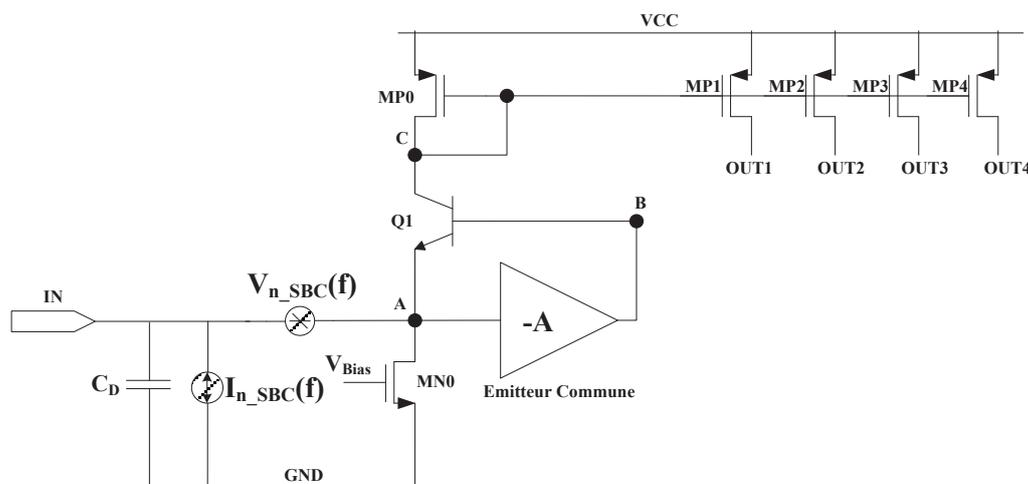


Figure 2-26 : Schéma simplifié du Convoyeur du courant avec les sources de bruit en entrée.

- Bruit du Base Commune dans le convoyeur de courant

La densité spectrale de la source de bruit en courant ramenée au nœud A pour le bloc Base Commune incluant aussi les étages de correction de gain (composé de MN0, Q1, MP0, MP1, MP2, MP3, MP4) est :

$$S_{i,BC}(f) = I_{n,BC}^2(f) = |\beta(f)|^2 \cdot S_{i,bip-Q1}(f) + \frac{1}{\alpha(f)^2} \cdot S_{i,MP0-MP4}(f) + A_I^2 \cdot S_{i,MN0}(f) \quad (2-50)$$

- $|\beta_{Q1}(\omega)|^2 \cdot S_{i,bip-Q1}(f)$: densité spectrale de bruit en courant de Q1 ramenée au nœud A,
- $\alpha(f)$ est le gain en courant du nœud C au nœud A,
- $S_{i,MP0-MP4}(f)$: la somme des densités spectrales de bruit en courant au nœud C qui proviennent des transistors MOS (MP0—MP4) des miroirs de courant et du bruit en courant de la diode MP0,
- $A_I^2 \cdot S_{i,MN0}(f)$: bruit qui provient de la grille du transistor de polarisation MN0 et transféré au nœud A par le facteur A_I^2 ,

En considérant que les sources de bruit en courant des transistors MOS MN0 et MP0 dans la Figure 2-26 sont très faibles, les deuxième et troisième termes de l'équation (2-50) peuvent être négligés. La densité spectrale pour la partie Base Commune peut être exprimée par:

$$S_{i,BC}(f) = |\beta(f)|^2 \cdot 2qI_{eq,Q1} \cdot \quad (2-51)$$

La densité spectrale de la source de bruit en tension ramenée au nœud A pour le bloc Base Commune peut être exprimé par :

$$S_{v,BC}(f) = V_{n,BC}^2(f) = G_{B-A}^2 \cdot S_{v,bip-Q1}(f) + \frac{S_{v,MP0-MP4}(f)}{G_{A-C}^2} + G_3^2 \cdot S_{v,MN0}(f) \quad (2-52)$$

- G_{B-A} : gain en tension du nœud B au nœud A,
- $G_{B-A}^2 \cdot S_{v,bip-Q1}(f)$: densité spectrale de bruit en tension de Q1 ramenée au nœud A,
- G_{A-C} : gain en tension du nœud A au nœud C,
- $\frac{S_{v,MP0-MP4}(f)}{G_{A-C}^2}$: densité spectrale de bruit en tension de MP0-MP4 ramenée au nœud A,
- G_3 : gain en tension de la grille de MN0 au nœud A,
- $G_3^2 \cdot S_{v,MN0}(f)$: densité spectrale de bruit en tension de MN0 ramenée au nœud A.

$$G_3 = \frac{g_{m,MN0}}{r_{\pi,Q1} \parallel r_{\pi,Q2}} \cdot \frac{1}{1 + \frac{\omega}{\omega_3}} \quad (2-53)$$

$$\omega_3 = \frac{g_{m,Q1}}{C_D + (1 + A_0)(C_{\pi,Q1} + C_M) + C_{\pi,Q2}} \quad (2-54)$$

En considérant que le bruit en tension pour un transistor bipolaire est très faible par rapport à celui d'un transistor MOS, le premier terme de (2-52) peut être négligé. $\frac{S_{v,MP0-MP4}(f)}{G_{A-C}^2}$ peut aussi être négligé par rapport à $G_3^2 \cdot S_{v,MN0}(f)$. La densité

spectrale en tension ramenée au nœud A pour le bloc Base Commune peut être exprimée par :

$$S_{v,BC}(f) = G_3^2 \cdot S_{v,MN0}(f). \quad (2-55)$$

- Bruit de l'Emetteur Commun inséré dans le convoyeur de courant

La densité spectrale du bruit ramené au nœud A pour l'émetteur commun (R_C, R_E et Q_2 , encadré en pointillé sur Figure 2-23), est représentée sur la Figure 2-27. Les sources de bruit en tension $V_{n_EC}(f)$ en $V/Hz^{1/2}$ et en courant $I_{n_EC}(f)$ en $A/Hz^{1/2}$ représentent l'ensemble des sources du bruit du montage émetteur-commun.

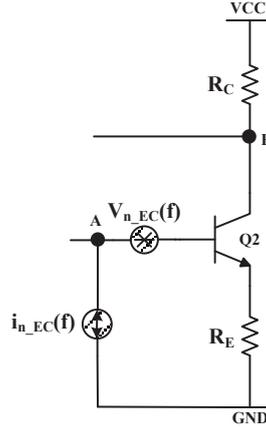


Figure 2-27 : Emetteur-Commun avec source du bruit.

Les densités spectrales de la source de bruit en tension et en courant peuvent être exprimées par :

$$S_{i,EC}(f) = I_{n_EC}^2(f) = S_{i,bip-Q2}(f) + \frac{4kT}{|\beta(\omega)|^2} \left(\frac{1}{R_C} + \frac{1}{R_E} \right) \approx 2qI_{eq,Q2} + \frac{4kT}{|\beta(\omega)|^2} \cdot \frac{1}{R_E} \quad (2-56)$$

$$S_{v,EC}(f) = V_{n_EC}^2(f) = 4kTR_{eq,Q2} + \frac{4kTR_E}{G_{CC}^2} + \frac{4kTR_C}{G_{B-A}^2} = 4kT \left(R_{eq,Q2} + \frac{R_E}{G_{CC}^2} + \frac{R_C}{G_{B-A}^2} \right), \quad (2-57)$$

où $\frac{4kT}{|\beta(\omega)|^2} \left(\frac{1}{R_C} + \frac{1}{R_E} \right)$ est le bruit thermique des résistances R_E et R_C ramené au nœud A, il est divisé par un facteur $|\beta(\omega)|^2$ qui est le gain en courant entre collecteur et base du transistor bipolaire Q_2 .

Dans l'équation (2-56) le deuxième terme peut être négligé car $|\beta(\omega)|^2$ est très grand. Dans l'équation (2-57) le deuxième et le troisième terme peuvent être négligés parce que $R_{eq,Q2}$ est beaucoup plus grand que $\frac{R_E}{G_{CC}^2} + \frac{R_C}{G_{B-A}^2}$. les équations (2-56) et (2-57) peuvent être simplifiées et exprimées par :

$$S_{i,EC}(f) = S_{i,bip-Q2}(f) = 2qI_{eq,Q2} \quad (2-58)$$

$$S_{v,EC}(f) = S_{v,bip-Q2}(f) = 4kTR_{eq,Q2} \quad (2-59)$$

La densité spectrale des sources de bruit en courant et en tension ramenées en entrée pour la structure Super-Base-Commune (SBC) peut être exprimée par la somme de la densité spectrale de l'Emetteur Commun et du Base Commune :

$$S_{i,SBC}(f) = S_{i,EC}(f) + S_{i,BC}(f) = 2q \cdot (|\beta(f)|^2 \cdot I_{eq,Q1} + I_{eq,Q2}) \approx |\beta(f)|^2 \cdot 2qI_{eq,Q1} \text{ (A}^2\text{/Hz)} \quad (2-60)$$

$$S_{v,SBC}(f) = S_{v,EC}(f) + S_{v,BC}(f) = G_3^2 \cdot S_{v,MN0}(f) + 4kTR_{eq,Q2} = G_3^2 \cdot \left(4kT \frac{2}{3} \frac{1}{g_{m,MN0}} + \frac{K_f}{(WL)_{MN0} C_{ox} f} \right) + 4kTR_{eq,Q2} \text{ (V}^2\text{/Hz)} \quad (2-61)$$

Les équations(2-60) et(2-61) montrent que le transistor bipolaire dans l'émetteur-commun contribue majoritairement au bruit du nœud A. L'analyse de bruit réalisée ci-dessus montre que i)la densité spectrale de bruit en courant ramenée en l'entrée du SBC est essentiellement due au transistor bipolaire Q₁, ii)la densité spectrale de bruit en tension ramenée en entrée du SBC est principalement due au bruit du transistor Q₂et du transistor MN₀.Les paramètres que nous avons utilisé pour calculer le bruit dans le convoyeur de courant sont présentés dans Tableau 2-10 et Tableau 2-11.

Paramètres	Valeurs
I _C	50 μA
I _B	260 nA
β ₀	230
ω _β = 2π · f _β	2π·138 MHz
C _D	35 pF

Tableau 2-10 : Valeurs des paramètres pour calculer le bruit en courant.

Paramètres	Valeurs
G _{3,DC}	3.5
f ₃	8 MHz
C _{ox}	4.6 fF/μm ² [39]
L _{MN0}	0.35 μm
W _{MN0}	2 μm
kT	4.14 x 10 ⁻²¹ m ² ·kg/ s ²
g _{m,MN0}	177 x 10 ⁻⁶ A/V
g _{m,Q2}	12.1 x 10 ⁻³ A/V
r _b	630 Ω
K _f	3.4 x 10 ⁻²⁶ V ² /F[40]

Tableau 2-11 : Valeurs des paramètres pour calculer le bruit en tension.

Pour déterminer la valeur quadratique moyenne du bruit en entrée, qui pourra être comparée plus tard aux résultats de mesures, on peut calculer l'intégrale de la densité spectrale de bruit en entrée sur la bande de fréquence considérée (1 Hz à 100 GHz) selon les expressions suivantes.

$$\overline{v_{i-v,SBC}^2} = \int_1^{100\text{GHz}} \frac{S_{i,SBC}(f)}{|(2\pi f C_D)^2|} df \quad (\text{en } V_{rms}^2) \quad (2-62)$$

$$\overline{v_{v,SBC}^2} = \int_1^{100\text{GHz}} S_{v,SBC}(f) df \quad (\text{en } V_{rms}^2) \quad (2-63)$$

Dans équation (2-62) le bruit en courant sur l'entrée est converti en tension par la capacité de détecteur. Les résultats de l'intégrale de bruit en tension et en courant sont exprimés par équation (2-64) et équation (2-65).

Les calculs montrent que les sources de bruit obtenu en courant et en tension ramenées à l'entrée pour le convoyeur de courant sont respectivement égales à $\overline{v_{i-v,SBC}^2} = 9.22 \times 10^{-8} V^2$ et $\overline{v_{v,SBC}^2} = 1.12 \times 10^{-6} V^2$, le bruit total est la somme de $\overline{v_{i-v,SBC}^2}$ et $\overline{v_{v,SBC}^2}$ est donné par $\overline{v_{total,SBC_cal}^2} = 1.21 \times 10^{-6} V^2$. C'est le bruit en tension qui est dominant dans le convoyeur de courant.

La Figure 2-28 est le résumé de la simulation en bruit du convoyeur de courant (de 1Hz à 100GHz), $\overline{v_{total,SBC_sim}^2} = 1.13 \times 10^{-6} V^2$. La différence entre simulation et le calcul est de 7%. Cet écart est dû aux approximations dans le calcul, on ne considère pas tous les pôles pour l'expression du gain. Tableau 2-12 nous donne une comparaison des bruits ramenés en entrée entre les calculs, la simulation et le test.

Device	Param	Noise Contribution	% Of Total
/I0/I0/I1/Q4	rbi	6.85943e-07	60.68
/I0/I0/I1/Q4	rbx	1.18825e-07	10.51
/I0/I0/I1/Q4	itzf	6.23756e-08	5.52
/I0/I0/I1/R2/R1	thermal_noise	4.38136e-08	3.88
/I0/I0/I1/R7/R1	thermal_noise	4.38136e-08	3.88
/I0/I0/I1/R2/R2	thermal_noise	4.38136e-08	3.88
/I0/I0/I1/R7/R2	thermal_noise	4.38136e-08	3.88
/I0/I0/I1/Q4	ibe	3.57698e-08	3.16
/I0/I0/I1/Q4	re	2.54202e-08	2.25
/I0/I0/I1/R8/R2	thermal_noise	5.00066e-09	0.44

Integrated Noise Summary (in V²) Sorted By Noise Contributors
Total Summarized Noise = 1.13044e-06
No input referred noise available
The above noise summary info is for noise data

Figure 2-28 : Résumé de la simulation en bruit du convoyeur de courant.

$$\overline{v_{i-v,SBC}^2} = \frac{q \left(-\frac{f(I_C + 2\beta_0^2 I_B) + f_\beta I_C + \beta_0^2 f_\beta I_B}{f f_\beta + f^2} + \frac{2\beta_0^2 \log(f_\beta + f) \cdot I_B}{f_\beta} - \frac{2 \cdot \beta_0^2 \cdot \log(f) \cdot I_B}{f_\beta} \right)}{2\pi^2 C_D^2} \approx 9.22 \times 10^{-8} V^2 \quad (2-64)$$

$$\overline{v_{v,SBC}^2} = G_{3_DC}^2 \cdot \left(-\frac{8C_{ox} \cdot f_3 \cdot kT \cdot (W \cdot L)_{MN0} - 3 \cdot f_3 \cdot K_f \cdot g_{m,MN0}}{3C_{ox} \cdot f_3 \cdot g_{m,MN0} \cdot (W \cdot L)_{MN0} + 3C_{ox} \cdot f \cdot g_{m,MN0} \cdot (W \cdot L)_{MN0}} - \frac{\log(f + f_3) \cdot K_f}{C_{ox} \cdot (W \cdot L)_{MN0}} + \frac{\log(f) \cdot K_f}{C_{ox} \cdot (W \cdot L)_{MN0}} \right) + 4kT \cdot f \left(r_b + \frac{1}{2g_{m,Q2}} \right) \quad (2-65)$$

$$\approx 1.12 \times 10^{-6} V^2.$$

$$\overline{v_{total,SBC_cal}^2} = \overline{v_{i-v,SBC}^2} + \overline{v_{v,SBC}^2} \approx 1.21 \times 10^{-6} V^2. \quad (2-66)$$

Bruit sur l'entrée	Calcul	Simulation	Test
Valeur	1.21x10 ⁻⁶ V ² (0.3 fC)	1.13x10 ⁻⁶ V ² (0.28 fC)	0.31 fC

Tableau 2-12 : Bruit sur l'entrée du convoyeur de courant.

Le bruit ramené en entrée du convoyeur de courant est dominé par le bruit de l'Emetteur-Commune qui sert de contre-réaction : le bruit du transistor bipolaire Q₂ est dominant. La source de bruit ayant une contribution significative provient de la résistance r_{b,Q2} qui est un paramètre dépendant de la technologie. En conséquence, la diminution de l'impédance d'entrée, améliorée par l'Emetteur Commune, conduit à une augmentation de bruit. C'est un compromis à étudier lors de la conception.

Le layout du convoyeur de courant est montré sur la Figure 2-29. Il est constitué de 3 blocs principaux : le Super-Base-Commune (l'étage d'entrée pour réaliser une faible impédance d'entrée et une vitesse élevée), les miroirs de courant (l'étage de sortie pour réaliser le gain variable) et les interrupteurs des miroirs de courant (l'étage de contrôle pour choisir le gain en courant).

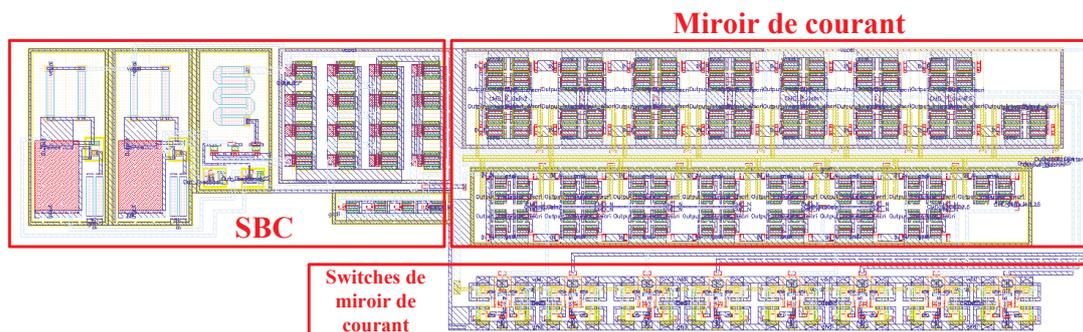


Figure 2-29 : Layout du convoyeur de courant.

Le convoyeur de courant est un amplificateur de courant, il amplifie le courant qui vient du PMT et corrige l'amplitude du courant par un gain variable codé sur 4 bits. Dans la Figure 2-30, un courant d'entrée I_{in} est injecté au convoyeur de courant.

Les simulations pré-layout et post-layout des réponses en courant en fonction du temps en sortie du convoyeur de courant sont tracées pour les 4 bits de gain (2, 1, 0.5, 0.25). Le résultat montre que la sortie du convoyeur de courant suit le courant d'entrée et conserve la forme du courant pour les quatre gains. Par contre la simulation post-layout montre que le convoyeur de courant a un temps de propagation de 660ps. Le gain en courant réel du convoyeur de courant est présenté dans Tableau 2-13.

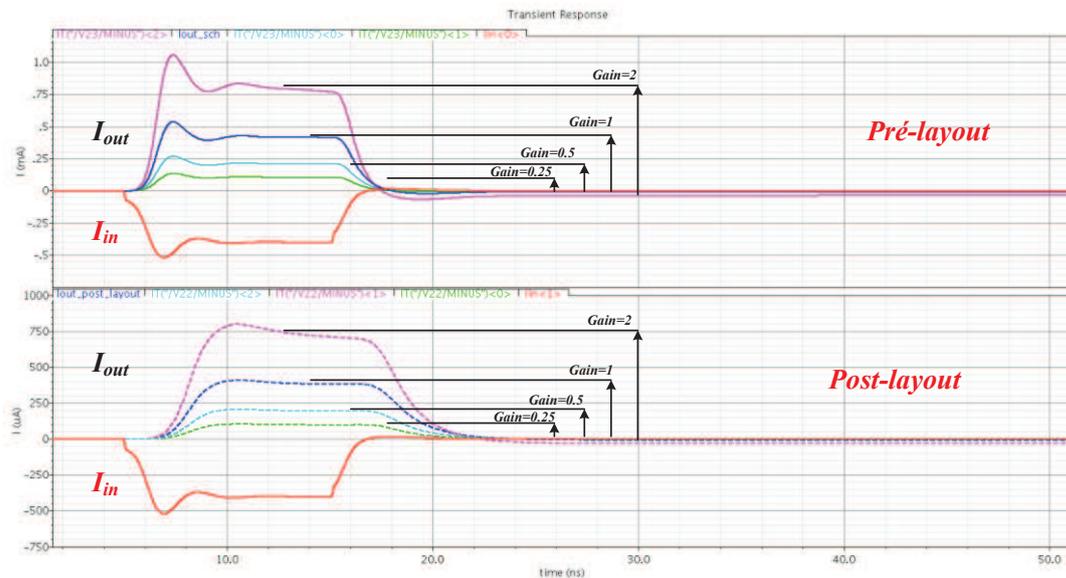


Figure 2-30 : Comparaison des résultats des simulations pré-layout et post-layout du convoyeur de courant.

	4 bits gain en courant			
Pré-layout	1.96	1.12	0.58	0.29
Post-layout	1.95	1.12	0.58	0.29

Tableau 2-13 : Gain en courant du convoyeur de courant.

2.5 Préamplificateur de charge (PAC)

Le préamplificateur de charge (PAC) est l'étage qui suit le convoyeur de courant et qui permet de mesurer les charges provenant du détecteur. La structure du PAC est illustrée sur Figure 2-31. Il est constitué d'un amplificateur inverseur $-A$ avec une capacité d'intégration en contre réaction C_f .

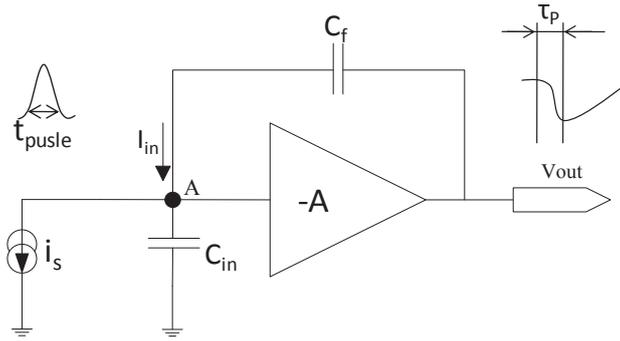


Figure 2-31 : Montage du préampli de charge.

2.5.1 Caractéristique du PAC

Lorsqu'une impulsion de courant i_s arrive à l'entrée du PAC, le courant d'entrée i_s est intégré dans C_f et C_{in} . Le courant i_{in} sera intégré dans C_f . Pour une bonne précision de mesure, il faut que le rapport i_{in}/i_s soit proche de 1. Ce rapport est exprimé par :

$$\frac{i_{in}}{i_s} = \frac{1}{1 + \frac{C_{in}}{A * C_f}} \quad (2-67)$$

Il faut donc s'assurer que $C_{in} \ll A * C_f$ pour obtenir $i_{in} = i_s$.

D'autre part, une faible impédance d'entrée est aussi importante pour le PAC, non seulement pour minimiser l'effet de C_{in} , mais aussi pour obtenir une bonne performance en rapidité. L'impédance d'entrée du PAC peut être exprimée par :

$$Z_{in} = \frac{Z_f}{A} = \frac{1}{sAC_f} = \frac{(1 + \frac{s}{\omega_0})}{sA_0C_f} = \frac{1}{sA_0C_f} + \frac{1}{\omega_h C_f} \quad (2-68)$$

où A_0 est le gain en BF de l'amplificateur inverseur, ω_0 son pôle dominant et $\omega_h = A_0\omega_0$ le produit gain-bande-passante.

Selon équation (2-68), Z_{in} se comporte comme une résistance dont la valeur est $\frac{1}{\omega_h C_f}$ en série avec une capacité dont la valeur est $A_0 C_f$. Un schéma équivalent de l'impédance d'entrée du PAC est présenté en Figure 2-32.

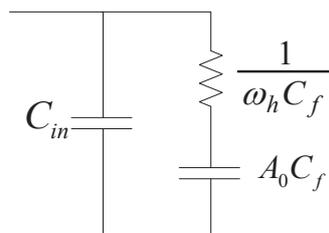


Figure 2-32 : Schéma équivalent de l'impédance d'entrée du PAC.

L'impédance d'entrée sera d'autant plus faible que A_0 et ω_0 sont grands. Le produit Gain-Bande-passante ω_h intervient sur la composante résistive et donc en BF alors que le gain DC A_0 intervient sur le terme capacitif et donc en HF. La tension de sortie du PAC peut être exprimée par :

$$v_{out} = -\frac{1}{C_f} \int_0^{t_{pulse}} i_{in}(t) dt. \quad (2-69)$$

L'équation (2-69) montre que la valeur de la capacité C_f détermine le gain de conversion du PAC. Une faible valeur de C_f permettra d'obtenir un fort gain de conversion. Cependant l'équation (2-67) montre que la réduction de la valeur de la capacité C_f dégrade l'efficacité de collection des charges. La fonction de transfert du PAC peut être exprimée par :

$$\frac{v_{out}}{i_s} = -\frac{1}{sC_f} \cdot \frac{1}{1 + \frac{C_{in}}{AC_f} + \frac{1}{A}}. \quad (2-70)$$

L'équation (2-70) montre que le gain A de l'amplificateur doit être assez grand pour garantir, à la fréquence de fonctionnement, le transfert des charges de C_{in} vers C_f . Il faut alors remplir les conditions : $AC_f \gg C_{in}$ et $A \gg 1$. Donc plus le gain de l'amplificateur sera grand, plus faible sera l'influence de la capacité de l'entrée. Un avantage de l'emploi du convoyeur de courant comme premier étage d'amplification est la faible valeur de sa capacité de sortie. Cette capacité de sortie du convoyeur de courant est l'équivalent de C_{in} . Il sera alors plus facile de réaliser la condition $AC_f \gg C_{in}$.

En pratique et pour alléger le calcul le gain de l'amplificateur peut être modélisé par un système à un seul pôle. $A = \frac{A_0}{1+j\frac{\omega}{\omega_0}}$ avec A_0 le gain DC et ω_0 est le pôle dominant de l'amplificateur. La fonction de transfert du PAC peut être exprimée par :

$$\frac{v_{out}}{i_s} = -\frac{1}{sC_f} \cdot \frac{1}{1 + \frac{C_{in}}{A_0C_f} + j\frac{\omega C_{in}}{A_0\omega_0C_f}}. \quad (2-71)$$

Si $A_0C_f \gg C_{in}$, (2-71) peut être simplifié :

$$\frac{v_{out}}{i_s} = -\frac{1}{sC_f} \cdot \frac{1}{\left(1 + j\frac{\omega C_{in}}{A_0\omega_0C_f}\right)}. \quad (2-72)$$

Le pôle de la fonction de transfert peut être exprimé par :

$$\rho_{1,PAC} = -\omega_h \cdot \frac{C_f}{C_{in}} \text{ avec } \omega_h = A_0\omega_0 \quad (2-73)$$

L'équation du pôle du PAC est fonction du rapport $\frac{C_f}{C_{in}}$ et du produit gain-bande-passante de l'amplificateur. Comme la capacité d'entrée C_{in} est relativement faible par rapport à la capacité C_f (grâce à l'utilisation du convoyeur de courant), le pôle $\rho_{1,PAC}$ sera rejeté en HF. Le rapport $\frac{C_{in}}{C_f}$ étant très petit, la contrainte sur les performances de l'amplificateur deviennent alors moins sévères.

La réponse temporelle du PAC pour une impulsion de Dirac en charge $Q_{in}\delta(t)$ en entrée peut être exprimée par :

$$v_s(t) = -\frac{Q_{in}}{C_f} \cdot (1 - e^{-t/\tau_P}) \quad (2-74)$$

où τ_P est la constante de temps du nœud d'entrée du PAC :

$$\tau_P = \frac{1}{\rho_{1,PAC}} = \frac{C_{in}}{C_f \omega_h}. \quad (2-75)$$

Cette constante de temps détermine le temps de montée en sortie du PAC pour une impulsion de courant en entrée (cf. Figure 2-33).

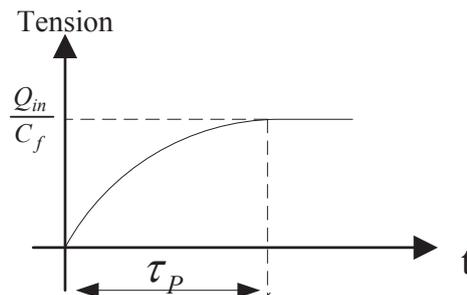


Figure 2-33 : Tension de sortie de PAC pour une impulsion de charge en entrée.

2.5.2 Amplificateur du PAC

L'amplificateur inverseur joue un rôle critique pour les performances du PAC. Plusieurs structures, de types cascode, cascode replié et cascode télescopique sont décrites dans la littérature[41] et utilisées en physique des particules.

La structure cascode replié permet d'augmenter la dynamique de sortie. La technologie SiGe bipolaire utilisée nous donne accès à des transistors NPN très performants. Les transistors PMOS ont un bruit en $1/f$ plus faible. L'utilisation combinée d'un transistor PMOS en entrée et d'un NPN pour le transistor cascode vont permettre d'obtenir des performances élevées (cf. Figure 2-34).

Le bas niveau du bruit est atteint à l'aide d'un transistor d'entrée de grande taille et polarisé à fort courant pour obtenir une grande transconductance. La capacité C_{gs} de ce transistor doit être optimisée pour les performances en bruit et en vitesse.

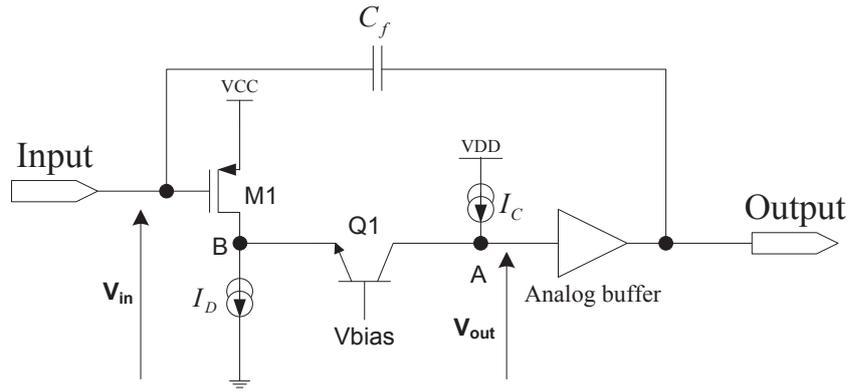


Figure 2-34 : Architecture classique d'un PAC.

Le schéma équivalent en petit signal du PAC est affiché sur Figure 2-35.

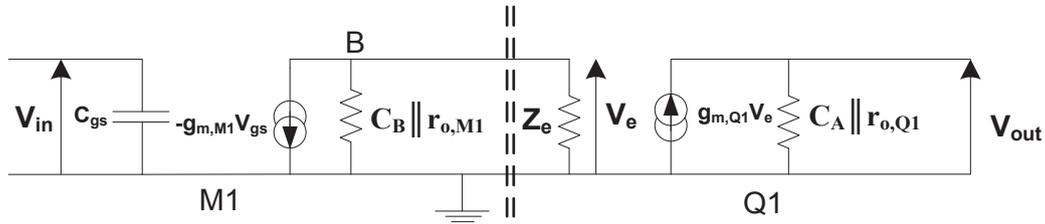


Figure 2-35: Schéma équivalent du montage de Figure 2-34 (modèle T pour transistor bipolaire).

Le gain en boucle ouverte peut être exprimé par :

$$\frac{v_B}{v_{in}} = \frac{-g_{m,M1} \cdot r_{o,M1}}{1 + s \cdot C_B \cdot r_{o,M1}} \quad (2-76)$$

$$\frac{v_{out}}{v_B} = \frac{g_{m,Q1} \cdot r_{o,Q1}}{1 + s \cdot C_A \cdot r_{o,Q1}} \quad (2-77)$$

$$A = \frac{v_{out}}{v_{in}} = \frac{-A_0}{\left(1 + \frac{s}{\rho_1}\right) \left(1 + \frac{s}{\rho_2}\right)} \quad (2-78)$$

$$A_0 = g_{m,M1} \cdot r_{o,M1} \cdot g_{m,Q1} \cdot r_{o,Q1} \quad (2-79)$$

$$\rho_1 = \frac{1}{C_B \cdot r_{o,M1}} \quad (2-80)$$

$$\rho_2 = \frac{1}{C_A \cdot r_{o,Q1}}, \quad (2-81)$$

où $g_{m,M1}$ et $g_{m,Q1}$ sont les transconductances des transistors M1 et Q1, $r_{o,M1}$ et $r_{o,Q1}$ sont les résistances de sortie des transistors M1 et Q1. C_A et C_B sont les capacités au nœud A et au nœud B. A_0 est gain en DC de l'amplificateur, ρ_1 et ρ_2 sont ses 2 pôles. La stabilité est obtenue par une compensation de type feed-forward (cf. Figure 2-38). Un zéro est rajouté dans le circuit pour compenser un pôle, de cette manière, l'amplificateur sera à un seul pôle.

L'optimisation des composants se fait suivant les considérations suivantes :

M_1 : optimisation de W/L et de la capacité G_{gs} pour optimiser le bruit,

Q_1 : minimiser C_{μ} ,

Buffer : suiveur pour une sortie basse impédance,

I_D : optimisation du gain, du bruit et de la vitesse de l'amplificateur,

I_C : optimisation $r_{\pi} \ll 1/g_{ds}$ pour l'adaptation d'impédance.

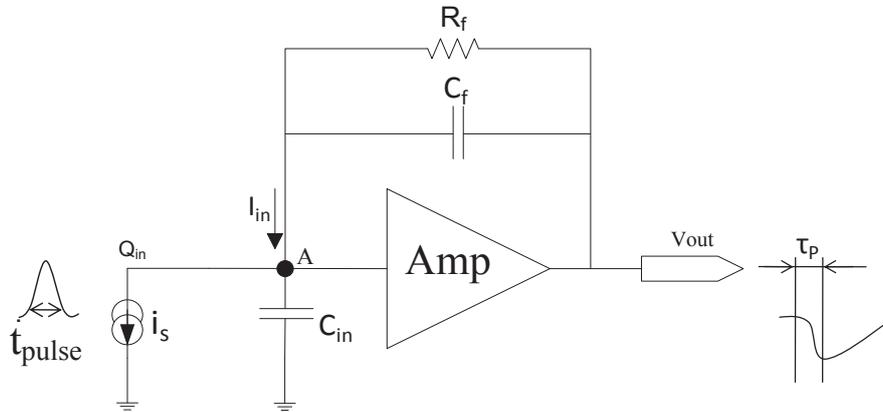


Figure 2-36 : PAC avec mise à zéro par une résistance.

Quand plusieurs impulsions de courant se présentent à l'entrée du PAC, la charge totale accumulée par la capacité de contre réaction peut conduire à la saturation de l'amplificateur. Un dispositif de décharge de la capacité C_f est nécessaire. Ce dispositif doit dégrader le moins possible les performances de bruit, de vitesse et de linéarité de l'ensemble du système [42].

Dans la configuration présentée sur la Figure 2-36, une résistance est placée en parallèle avec la capacité C_f . Elle permet aussi de définir le point de repos DC de l'amplificateur.

Le préamplificateur de charge (PAC) avec mise à zéro par résistance est illustré sur la Figure 2-36. Une impulsion de Dirac en charge en entrée du PAC est intégrée dans la capacité C_f . La Charge Q_{in} va générer une variation de tension sur la capacité au nœud A ($V_A = \frac{Q_{in}}{C_{in}}$). La variation de la tension d'entrée sera compensée par le mécanisme de la contre réaction. La sortie du PAC va varier jusqu'à $V_{out} = -\frac{Q_{in}}{C_f}$. La charge intégrée sur C_f est alors déchargée par la résistance R_f avec une constante de temps $\tau = C_f R_f$. Cette constante du temps est une contrainte pour la fréquence des signaux entrants. L'impédance d'entrée du PAC avec mise à zéro est exprimée par :

$$Z_{in} = \frac{R_f}{A_0} \cdot \frac{1 + sR_o(C_f + C_o)}{1 + sR_f C_f} \quad (2-82)$$

avec R_o l'impédance de sortie et C_o la capacité de sortie de montage de la Figure 2-36. A_0 est le gain en DC de l'amplificateur et $A_0 = g_m R_o$. Si $R_o(C_f + C_o) \approx R_f C_f$, l'impédance d'entrée du PAC peut être considérée comme une constante.

$$R_{in} = \frac{R_f}{A_0} \quad (2-83)$$

La fonction de transfert peut être exprimée par :

$$\frac{V_{out}}{i_{in}} = -\frac{R_f}{1 + sR_f C_f} \cdot \frac{1}{\frac{[1+sR_f(C_f+C_{in})][1+sR_0(C_0+C_f)]}{A_0(1+sR_f C_f)}} \quad (2-84)$$

Si $R_0(C_f + C_0) = R_f C_f$, équation (2-84) peut être simplifiée :

$$\frac{V_{out}}{i_{in}} = -R_{in} \cdot \frac{1}{(1 + sR_f C_f)[1 + sR_f(C_f + C_{in})]} \quad (2-85)$$

Le PAC avec mise à zéro présente 2 pôles :

$$\rho_1 = -\frac{1}{R_f(C_f + C_{in})} \quad (2-86)$$

$$\rho_2 = -\frac{1}{R_f C_f} \quad (2-87)$$

2.5.3 Stabilité du PAC avec remise à zéro

Un système classique en contre-réaction est illustré sur Figure 2-37. Le gain en boucle fermée est donné par :

$$\frac{OUT}{IN} = \frac{A}{1 + A\beta}, \quad (2-88)$$

avec A le gain direct et β est le gain de contre réaction. Pour assurer la stabilité du système, $|1 + A\beta|$ doit être significativement différente de zéro.

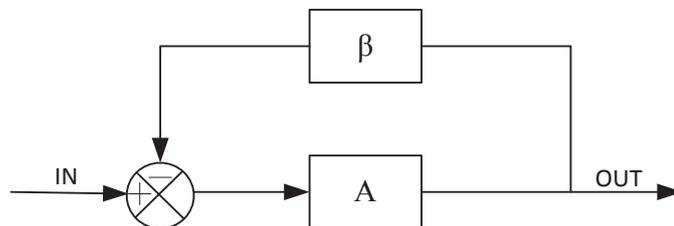


Figure 2-37: Système classique en contre réaction.

Le gain direct du PAC avec mise à zéro est exprimé par

$$A = \frac{v_{out}}{v_{in}} = \frac{-g_m R_o}{[1 + sR_f(C_f + C_{in})][1 + sR_o(C_o + C_f)]}. \quad (2-89)$$

Le gain de contre réaction est exprimé par :

$$\beta = \frac{i_{in}}{v_{out}} = -\frac{1 + sR_f C_f}{R_f} \quad (2-90)$$

Le gain de boucle du PAC avec mise à zéro peut être exprimé par :

$$A\beta = \frac{g_m R_o (1 + sR_f C_f)}{[1 + sR_f(C_f + C_d)][1 + sR_o(C_o + C_f)]} \quad (2-91)$$

Pour obtenir la stabilité inconditionnelle du PAC, on rajoute une compensation de pôle-zéro dans l'amplificateur (cf. Figure 2-38). De cette manière, l'amplificateur du PAC peut être considéré comme un système à un seul pôle. R_A et C_A forment une compensation de type feedforward [36, 43]. Le zéro $R_A C_A$ compense le second pôle $R_o(C_o + C_f)$ de la fonction de transfert l'équation (2-91).

$$A\beta = \frac{g_m R_o (1 + sR_f C_f)(1 + sR_A C_A)}{[1 + sR_f(C_f + C_d)][1 + sR_o(C_o + C_f)]} \quad (2-92)$$

$$R_A C_A = R_o(C_o + C_f). \quad (2-93)$$

Les résultats de simulation, avec et sans compensation, du gain et de la phase de la boucle ouverte de l'amplificateur sont montrés sur la Figure 2-39. Nous obtenons une marge de phase de 82 degrés avec un gain en boucle ouverte de 62dB. Le produit gain-bande-passante est de 300 Mhz. Par contre, sans la compensation, la marge de phase n'est que de 24 degrés.

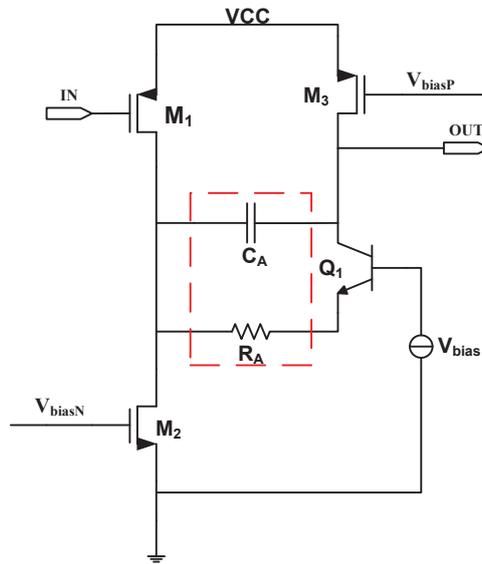


Figure 2-38 : Amplificateur avec compensation de type feedforward.

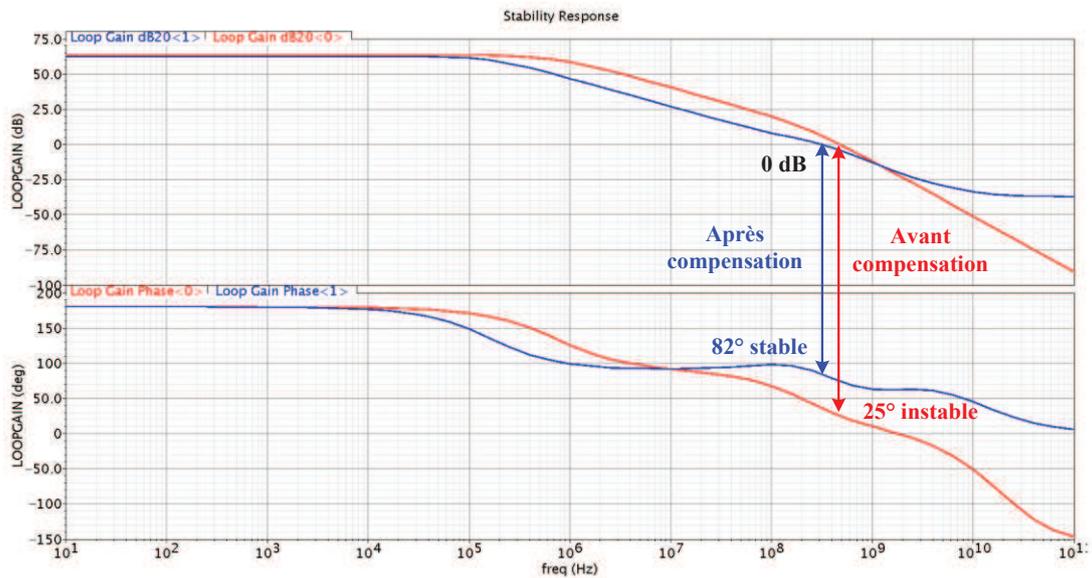


Figure 2-39 : Résultats de simulation de la stabilité de l'amplificateur du PAC.

2.5.4 Bruit du PAC

Dans la Figure 2-40, le PAC est modélisé avec deux sources de bruit. Les sources de bruit en tension $V_{n_PAC}(f)$ en $V/Hz^{1/2}$ et en courant $I_{n_PAC}(f)$ en $A/Hz^{1/2}$ représentent l'ensemble des sources du bruit du PAC.

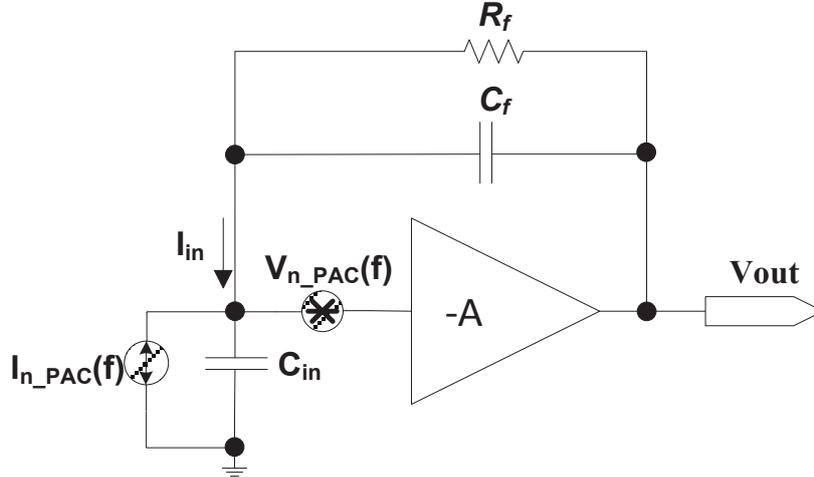


Figure 2-40 : Modélisation du bruit de PAC.

La source de bruit principale en tension à l'entrée du transistor MOS d'entrée est générée par le bruit thermique de son canal du transistor MOS d'entrée. Pour minimiser ce bruit, un fort courant de polarisation est nécessaire pour obtenir une grande transconductance g_m . Il faut aussi donner à ce transistor une dimension WL importante (cf.équation(2-94)). Sa densité spectrale de bruit $S_v(f)$, peut être exprimée par :

$$S_{v,PAC}(f) = V_{n_PAC}^2 = 4kT \frac{2}{3} \frac{1}{g_m} + \frac{K_f}{WLC_{ox}f} \quad (2-94)$$

où g_m est la transconductance du transistor MOS d'entrée, k la constante de Boltzmann, W et L sont les dimensions du transistor MOS, C_{ox} est la capacité par unité de surface de la grille et K_f est un facteur dépendant de la technologie et qui quantifie le bruit en $1/f$.

La densité spectrale de la source de bruit en courant ramenée en entrée $S_i(\omega)$ est principalement due au bruit équivalent en courant du transistor MOS d'entrée (cf. équation(2-95)) et le bruit thermique de la résistance R_f . Elle peut être exprimée par :

$$S_{i,PAC}(f) = I_{n_PAC}^2 = 2qI_G + \frac{1}{A_I^2} \left(4kT \frac{2}{3} g_m + K \frac{I_D^a}{f} \right) + 4kT \frac{1}{R_f} \quad (2-95)$$

où I_G est le courant de grille, A_I est le gain en courant du transistor MOS, $A_I = \frac{g_m}{\omega C_{gs}}$, C_{gs} la capacité parasite entre grille et source, I_D le courant de drain dans le transistor MOS. En général, A_I est grand et le 2^{ème} terme de l'expression (2-95) peut être négligé.

La densité spectrale de bruit totale ramenée sur l'entrée du PAC avec mise à zéro est obtenue par :

$$S_{in}(f) = S_{i,PAC}(f) + C_{in}^2 \cdot f^2 S_{v,PAC}(f) \quad (2-96)$$

$$S_{in}(f) = 2qI_G + 4kT \frac{1}{R_f} + f^2 \cdot C_{in}^2 \cdot \left(4kT \frac{2}{3} \frac{1}{g_m} + \frac{K_f}{WLC_{oxf}} \right). \quad (2-97)$$

Pour minimiser le bruit en entrée, il faut une grande valeur du produit WL du transistor MOS pour diminuer le bruit en $1/f$, et un fort courant de polarisation associé à un rapport W/L important pour augmenter la transconductance g_m . Par contre l'augmentation de la surface du transistor d'entrée augmente ses capacités parasites et dégrade donc la vitesse et le bruit de l'amplificateur. Un fort courant de polarisation donne lieu à une consommation importante comme c'est le cas présenté par [36]. Pour une architecture multivoies, la puissance dissipée du circuit pourrait devenir un aspect critique et poser un problème de refroidissement. D'autre part, une grande valeur de la résistance de remise à zéro R_f permet de réduire le bruit en courant, cependant, le temps de décharge va augmenter entraînant un taux de comptage plus limité pour le système.

2.5.5 Layout et simulation post-layout du PAC

La Figure 2-41 montre le layout du PAC. La Figure 2-42 montre les sorties du PAC pour 5 courants d'entrée différents ($100\mu A$, $200\mu A$, $300\mu A$, $400\mu A$, $500\mu A$). Les courbes en traits continus représentent les simulations post-layout et lignes en pointillé les simulations du schéma.

L'amplitude des variations de tension en sortie de PAC augmente avec le courant d'entrée. Le peaking-time est de 30 ns et le temps de décharge est de 600 ns. Le gain de conversion du PAC est plus faible en simulation post-layout (90 mV/pC) qu'en simulation du schéma (98 mV/pC). La différence du gain de conversion est liée à la présence de capacités parasites au voisinage de la capacité de contre réaction. On ne note pas de différences évidentes du comportement temporel, l'effet des composants parasites sont négligeables par rapport aux composantes fréquentielles du signal d'entrée. La dynamique de sortie peut atteindre au maximum 1.5 V ce qui correspond à 15 pC et qui est largement supérieur aux spécifications demandées. Le Tableau 2-14 montre les paramètres du PAC en simulation post-layout.

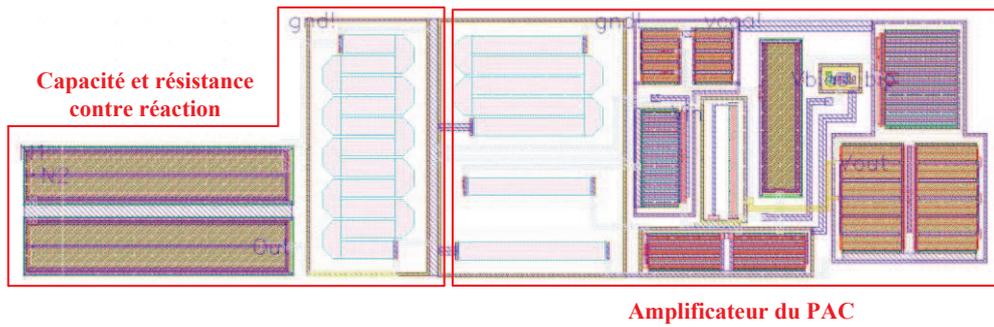


Figure 2-41 : Layout du Préamplificateur de Charge.

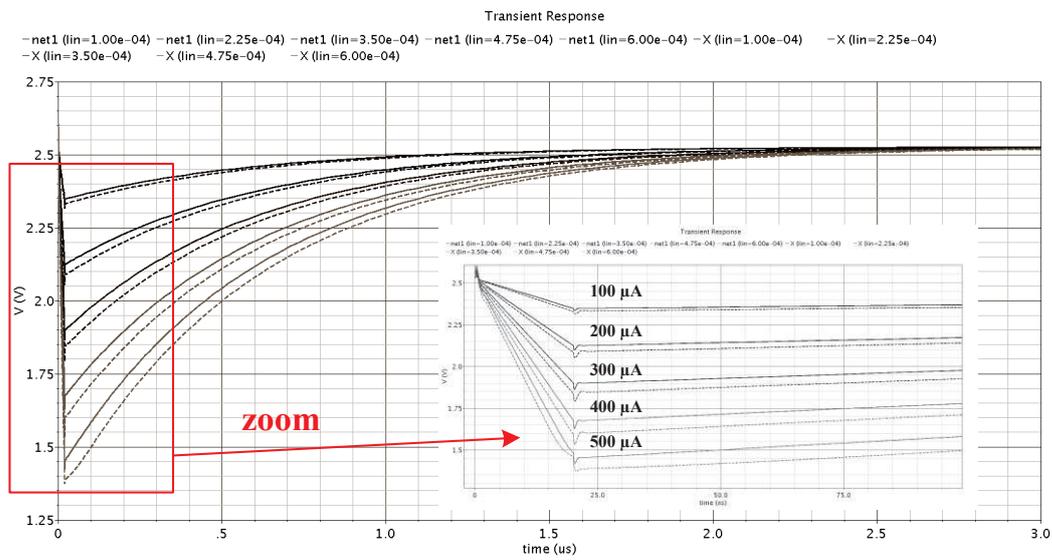


Figure 2-42 : Signaux de sortie du PAC pour 5 valeurs du courant d'entrée

Paramètres	Valeurs
Z_{in}	45 ohms
Gain en boucle ouverte	62dB
Marge de Phase	85.6deg
ENC	1.3 fC (8125 électrons)
Peaking time	37ns
Temps de descent (Falling time)	600ns

La gamme de sortie (Output swing)	(1.1V-2.6V)
Maximum de charges intégrées	15pC
Consommation @ 3.3V	3.63 mW

Tableau 2-14 : Résultats de simulation post-layout du PAC.

2.6 Comparateur en mode courant

Le comparateur en mode courant est un autre étage placé derrière le convoyeur de courant et servant à détecter les événements. Il compare un signal impulsionnel en courant provenant du convoyeur de courant avec un courant de référence pour produire une réponse sous forme d'une impulsion en tension. Le signal d'entrée du comparateur a un temps de montée de 4ns, une durée de 20ns, et la fréquence d'arrivée des impulsions au comparateur peut atteindre 100MHz (10^8 pps (particules par seconde)), ce qui correspond au taux de comptage maximal de l'hodoscope.

Pour le comparateur, le courant de référence doit être convenablement fixé, bien au-dessus du niveau de bruit du convoyeur de courant. Le temps de réponse du comparateur doit être inférieur à 10 ns pour être capable de détecter les événements à un taux de comptage maximum de 10^8 pps. En considérant que ce système sera employé dans une manipulation dont le taux de comptage est très rapide entre 10^5 et 10^8 pps, le courant de référence est déterminé par l'énergie du faisceau et le type de particules. Ce comparateur, pour la détection des événements, est un bloc très critique pour le système d'acquisition. Un seuil global est utilisé pour tous les comparateurs de toutes les voies. Cette référence de courant va être générée par un DAC dans le futur ASIC multivoies. On pourra utiliser un seul DAC pour toutes les voies car nous pouvons régler le gain voie par voie. On note que les spécifications du système sont basées sur les caractéristiques du PMT Hamamatsu H8500. Pour détecter et compter le nombre de particules qui ont touché l'hodoscope, le signal impulsionnel de courant issue des PMTs doit d'abord être ajusté par le convoyeur de courant avec le gain approprié et comparé au courant de référence du comparateur. Si le courant de signal est supérieur au courant de seuil, un signal numérique en tension est généré. Cette impulsion numérique est envoyée vers un compteur et traitée pour analyser le profil de faisceau.

Deux approches sont possibles pour définir la structure du comparateur :

- convertir le signal en courant et le courant de référence en tension à travers une structure transimpédance, puis utiliser un comparateur en tension et un inverseur pour la mise en forme du signal [44] ;
- comparer le signal en courant, via une structure miroir cascode de courant, au courant de référence. La différence de courant est convertie en tension par l'impédance de sortie du miroir de courant. Un inverseur est également utilisé

pour la mise en forme du signal [45].

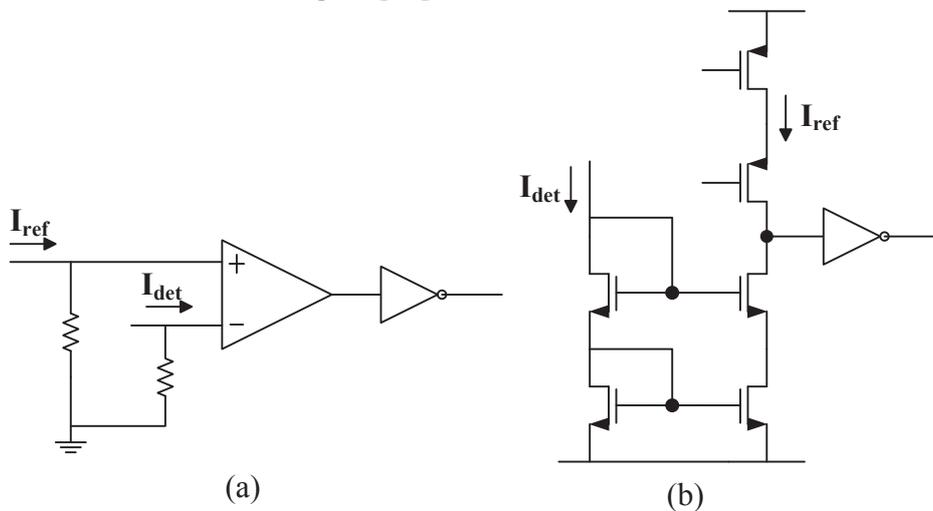


Figure 2-43 : Deux types de comparateur de courant.

La Figure 2-43 (a) montre une mise en œuvre de la première approche. Le signal en courant et celui du seuil sont convertis en tension par des résistances. Un comparateur en tension va comparer ces deux tensions. Le problème principal de cette structure est que la conversion courant-tension ajoute un compromis entre la sensibilité et la vitesse qui est le suivant : une résistance importante permettra une bonne sensibilité mais inévitablement elle augmentera la constante du temps qui est le produit de cette résistance par la capacité parasite en sortie du convoyeur de courant (qui est aussi l'entrée du comparateur en courant). La vitesse du comparateur sera par conséquent plus limitée [46]. Un autre problème est la sensibilité aux désappariements (mismatches) entre les deux résistances intégrées, ce qui va apparaître comme un offset difficilement contrôlable.

2.6.1 Comparateur en tension avec diode en entrée pour faire la conversion I-V

Le comparateur de Figure 2-43(b) a aussi des inconvénients : le signal en courant et le courant de seuil ne sont pas directement comparés. L'impédance d'entrée n'est pas assez faible, elle est limitée par la transconductance des transistors d'entrée montés en diode du miroir de courant. La constante de temps du nœud d'entrée du miroir de courant et celle du nœud de sortie sont relativement grandes, ce qui limite fortement la vitesse de fonctionnement du comparateur. La rapidité de sa réponse ne sera pas suffisante pour répondre aux spécifications[47].

Néanmoins, la vitesse de fonctionnement de la deuxième structure pourra être améliorée si on parvient à réduire sensiblement les impédances d'entrée et de sortie de la structure du miroir de courant. C'est ce que nous avons adopté avec l'utilisation des transistors bipolaires d'une part, et par l'abandon des structures en cascode pour le miroir de courant et pour sa charge active d'autre part. De plus, nous proposons une contre réaction locale pour rendre l'impédance d'entrée plus faible et améliorer la

stabilité, ce qui sera présenté un peu plus loin. Pour l'instant, nous considérons une structure présentée en Figure 2-44.

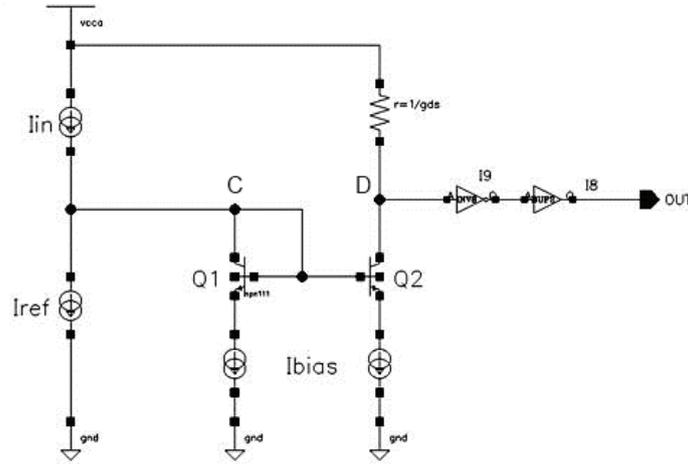


Figure 2-44 : Un circuit de comparateur en courant [48].

Ce comparateur se compose d'un transistor bipolaire monté en diode, qui mesure la différence de courant en entrée et une structure émetteur commun pour amplifier cette différence. Des amplificateurs numériques sont rajoutés en sortie pour remettre le signal en forme. Les transistors bipolaires Q_1 et Q_2 permettent de réaliser une impédance d'entrée plus faible par rapport à un transistor MOS polarisé avec un courant I_{bias} identique. Ce miroir de courant a une fonction de conversion courant-tension. La différence entre le signal en courant et le courant de référence $\Delta I_{in} = I_{in} - I_{ref}$ est transformée en tension à travers $g_{m,Q1}$. La transconductance du transistor Q_1 va produire une variation de tension ΔV_C au nœud C et peut être exprimée par :

$$\Delta V_C = \frac{\Delta I_{in}}{g_{m,Q1}} = \frac{I_{in} - I_{ref}}{g_{m,Q1}}. \quad (2-98)$$

L'émetteur commun va produire une variation de tension en sortie :

$$\Delta V_D = \begin{cases} \Delta I_{in} \cdot \frac{g_{m,Q2}}{g_{m,Q1}} \cdot \frac{1}{g_{ds} + g_{ce,Q2}} & \text{si } \Delta I_{in} = I_{in} - I_{ref} > 0 \\ 0 & \text{si } \Delta I_{in} = I_{in} - I_{ref} < 0, \end{cases} \quad (2-99)$$

avec $g_{ce,Q2}$ la conductance de sortie du transistor Q_2 .

L'équation (2-99) montre que le rapport $\frac{g_{m,Q2}}{g_{m,Q1}}$ affecte l'amplitude de la variation en tension au nœud D. On peut donc obtenir une plus grande amplitude par un plus grand rapport $\frac{g_{m,Q2}}{g_{m,Q1}}$, ce qui s'obtient en choisissant une plus grande surface d'émetteur des transistors Q_2 . Cela permet aussi d'augmenter le slew-rate en sortie. La conséquence est une réduction de la vitesse liée à une capacité parasite plus importante. Les constantes de temps des nœuds C et D sont respectivement :

$$\tau_C = C_C / g_{m,Q1} \quad (2-100)$$

$$\tau_D = C_D / g_{m,Q2} \quad (2-101)$$

$$C_C = C_{ce,Q1} + C_{be,Q1} + C_{be,Q2} + (1 + g_{m,Q2}/g_{ds}) \cdot C_{\mu,Q2} \quad (2-102)$$

$$C_D = C_{ce,Q2} + C_{inverseur} \cdot \quad (2-103)$$

Si $C_C \gg C_D$ et $g_{m,Q1} \gg g_{m,Q2}$, la performance en vitesse du comparateur est déterminée par τ_C . Elle peut être optimisée au niveau du layout et des tailles des transistors afin de réduire les contributions des différentes capacités parasites au nœud C. Tableau 2-15 résume les performances du comparateur décrit plus haut. Ces résultats sont obtenus par une simulation post-layout. La bande-passante est principalement limitée par l'étage de sortie au nœud D (cf. Figure 2-44). Le temps de propagation est de 6ns en simulation post-layout.

Paramètres	Valeurs
Bandwidth (-3dB)	116 MHz
Z_{in}	850Ω
Consommation	1.58mW
Slew-rate	100mV/ps
Temps de propagation	6ns

Tableau 2-15 : Résumé des performances du comparateur avec diode comme entrée.

2.6.2 Comparateur en courant avec contre réaction locale

Dans notre application, l'impédance d'entrée du comparateur en courant doit être faible et ne pas dépendre du courant. De la même manière que la structure SBC, une structure de rétroaction locale est employée afin de réduire l'impédance d'entrée du comparateur en mode courant. Cette contre réaction locale permet aussi de maintenir constant le niveau DC du convoyeur de courant et par conséquent de minimiser les variations de courant de sortie liées aux impédances de sortie (g_{ds}) des transistors PMOS et NMOS de sortie. Il permettra d'améliorer la vitesse de fonctionnement. Le temps mort sera aussi réduit. La Figure 2-45 montre la structure employée[49]. La différence entre ce montage et les circuits discutés précédemment est que le signal en courant et le courant de référence sont directement comparés sur l'entrée du comparateur. La différence de courant est transformée en tension par l'impédance d'entrée.

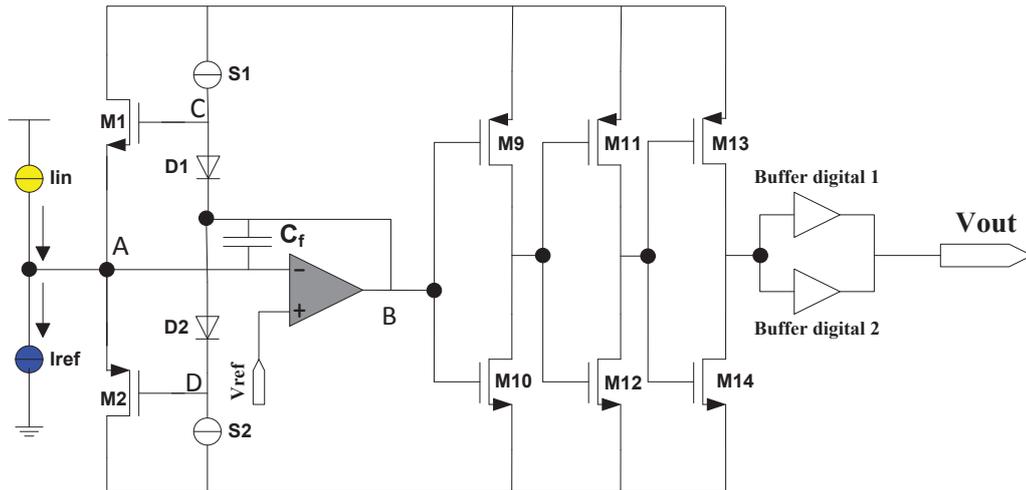


Figure 2-45 : Comparateur en courant avec contre réaction locale.

La Figure 2-45 présente le schéma de principe. Les courants d'entrée et de référence sont soustraits au nœud A. L'amplificateur va maintenir le nœud A à V_{ref} en faisant varier sa sortie (nœud B). Le signal de sortie de l'amplificateur différentiel est une image amplifiée et inversée de la tension d'entrée. Il a deux fonctions :

1. Il réalise une variation de tension au nœud B dont l'amplitude est fonction de la valeur de la différence entre le courant de signal et le courant de référence ($\Delta I = I_{in} - I_{ref}$). Une série d'inverseurs (M9–M14) sont associés pour mettre en forme le signal. Le premier étage inverseur est adapté au point de polarisation du nœud B, pour amplifier le signal Δv_B et produire une impulsion. Deux amplificateurs numériques (amplificateur digital 1 et 2 en parallèle) sont employés ici pour fournir un courant de sortie assez fort et ainsi minimiser l'effet de la capacité du plot du circuit et du boîtier.
2. Il réalise la contre-réaction du signal Δv_B à l'aide de diodes D_1 et D_2 . Les transistors M1 et M2 fonctionnent comme deux suiveurs pour compenser la variation de tension en nœud A, et donc stabiliser le point d'entrée. Par ce mécanisme l'impédance d'entrée sera aussi minimisée. Les sources de courant S1 et S2 en DC servent de circuit de polarisation des transistors M1 et M2.

L'impédance d'entrée du comparateur est:

$$R_{IN} = \frac{1}{(1 + A_0) \cdot (g_{m1} + g_{m2})} \quad (2-104)$$

où A_0 est le gain en DC de l'amplificateur différentiel. g_{m1} et g_{m2} sont respectivement les transconductances des transistors M1 et M2. La variation de tension Δv_B est liée à l'amplitude de la variation de la tension en entrée Δv_A . Elle peut être exprimée par :

$$\Delta v_B = A \cdot \Delta v_A = A \cdot R_{IN} \cdot (I_{in} - I_{ref}) \approx \frac{I_{in} - I_{ref}}{g_{m1} + g_{m2}}. \quad (2-105)$$

Pour obtenir une variation de tension Δv_A suffisamment forte permettant de faire basculer les étages inverseurs, il faut que la tension en DC au nœud B soit assez

proche du seuil de basculement du premier étage inverseur. D'autre part, le gain de l'amplificateur différentiel doit être assez grand pour assurer une impédance d'entrée assez faible. Il faut aussi assurer la stabilité intrinsèque de cet amplificateur. L'équation (2-105) montre que Δv_B est indépendant du gain de l'amplificateur, elle dépend des transconductances g_{m1} et g_{m2} . Il faut diminuer g_{m1} et g_{m2} pour augmenter Δv_B . La tension de référence V_{ref} sur l'entrée positive de l'amplificateur différentiel détermine les tensions de polarisation aux nœuds A et B. Nous avons choisi $V_{ref} = V_{dd}/2 = 1.65V$, et donc fixé $V_A = 1.65V$ et $V_B = 1.65V$. Celle-ci doit être proche du seuil de basculement du premier inverseur. Le montage détaillé du comparateur en courant avec contre-réaction locale est présenté en Figure 2-46.

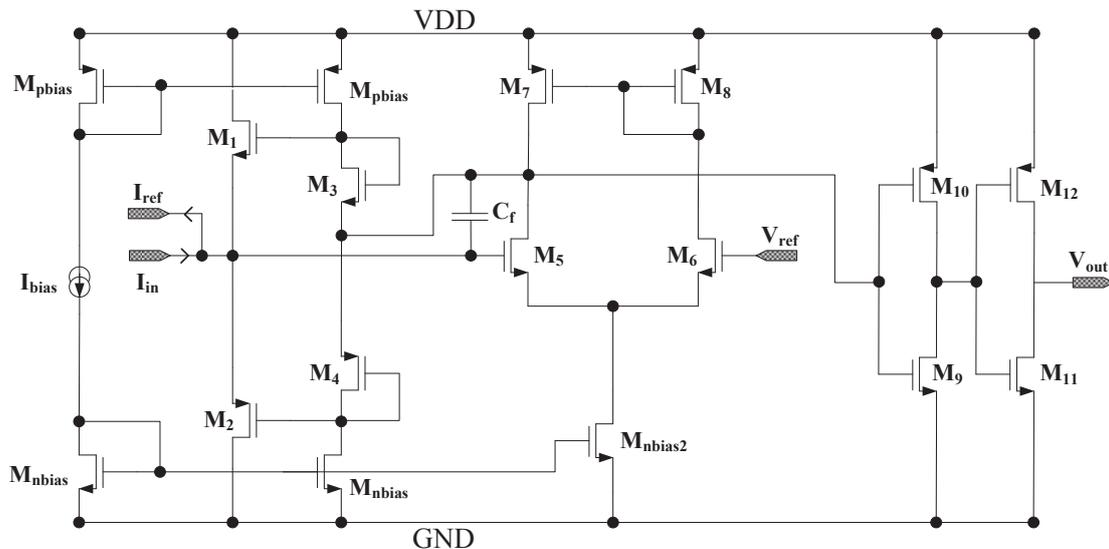


Figure 2-46 : Comparateur en courant avec contre-réaction locale [49].

Les transistors M_{pbias} et M_{nbias} fonctionnent en source de courant de polarisation. Les transistors d'entrée, M_1 et M_2 , ont leurs transconductances optimisées à la fois pour l'impédance d'entrée, la sensibilité et la vitesse. M_3 et M_4 sont utilisés comme décalage de niveau de polarisation des transistors d'entrée M_1 et M_2 . Les transistors M_5 - M_8 constituent l'amplificateur différentiel. Une capacité C_f est placée entre la sortie et l'entrée négative de l'amplificateur pour améliorer sa stabilité par la technique de séparation de pôles. Les transistors M_9 - M_{12} réalisent trois étages inverseurs. Le gain différentiel de l'amplificateur différentiel peut s'exprimer sous la forme :

$$A = \frac{A_0}{(1 + s\tau_1)(1 + s\tau_2)} \quad (2-106)$$

En considérant que $(g_{ds5} + g_{ds7}) < (g_{m3} + g_{m4})$, nous aurons:

$$A_0 = \frac{g_{m5}}{g_{m3} + g_{m4} + g_{ds5} + g_{ds7}} \approx \frac{g_{m5}}{g_{m3} + g_{m4}} \quad (2-107)$$

$$(2-108)$$

$$\tau_1 = \frac{A_0 \cdot C_f + C_{gs1} + C_{gs2} + C_{gs5}}{g_{m1} + g_{m2}}$$

$$\tau_2 = \frac{C_f + C_{gs3} + C_{gs4} + C_{gs9} + C_{gs10}}{g_{m3} + g_{m4}} \quad (2-109)$$

Les deux pôles dans l'expression(2-106) s'exprime par :

$$\rho_1 = \frac{1}{\tau_1} = \frac{g_{m1} + g_{m2}}{A_0 \cdot C_f + C_{gs1} + C_{gs2} + C_{gs5}} \quad (2-110)$$

$$\rho_2 = \frac{1}{\tau_2} = \frac{g_{m3} + g_{m4}}{C_f + C_{gs3} + C_{gs4} + C_{gs9} + C_{gs10}} \quad (2-111)$$

Par effet Miller sur C_f , le pôle $|\rho_1|$ glisse vers plus basse fréquence. La capacité C_f permet aussi d'écartier $|\rho_1|$ et $|\rho_2|$ et ainsi d'améliorer la stabilité avec une marge de phase plus grande. Le Tableau 2-16 montre les principales caractéristiques du comparateur avec contre réaction locale, issue de la simulation post-layout.

Paramètres	Valeurs
Gain DC forward	19.8 dB
Gain DC en boucle fermée	16 dB
Marge de phase	98.15 degrees
Bandwidth (-3dB)	116 MHz
Z_{in}	1K ohms
Consommation	2.1mW
Skew-rate	10mV/ps
Temps de réponse	3ns

Tableau 2-16 : Principales caractéristiques du comparateur avec contre réaction locale issues de la simulation post-layout.

2.6.3 Layout et simulations post-layout du comparateur en courant à contre réaction locale

Le layout du comparateur en courant avec contre réaction locale est présenté sur Figure 2-47. Il comporte 5 blocs principaux : l'étage d'entrée, les polarisations, l'amplificateur, les inverseurs cascades et les amplificateurs de sortie.

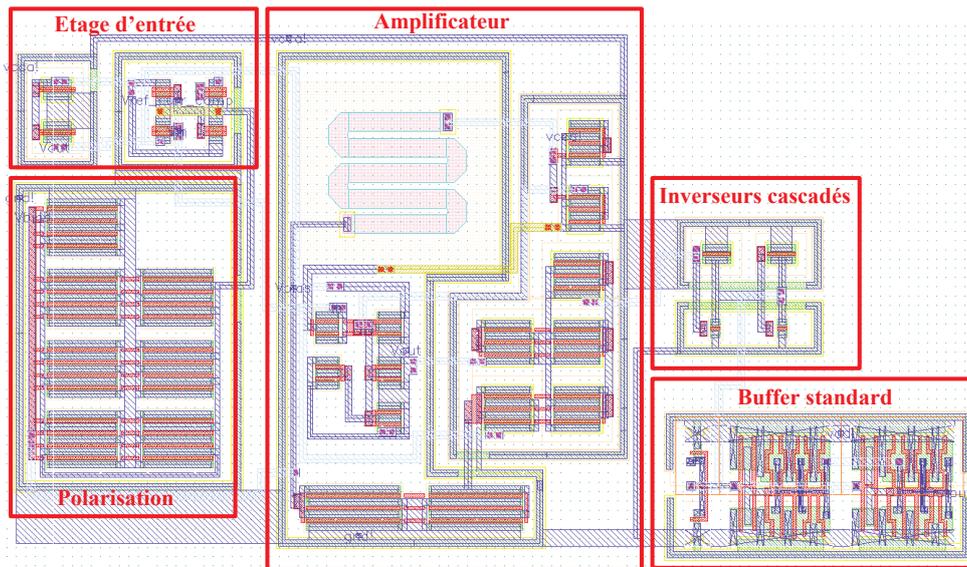


Figure 2-47 : Layout du comparateur en courant avec contre réaction locale.

La réponse temporelle du comparateur de courant obtenue par simulation post-layout est présentée sur la Figure 2-48. Le courant d'entrée I_{in} est respectivement égal à $200\mu A$, $300\mu A$, $400\mu A$, $500\mu A$ et le courant de seuil est fixé à $100\mu A$. Le temps de montée pour tous les I_{in} est identique et égal à 20 ns .

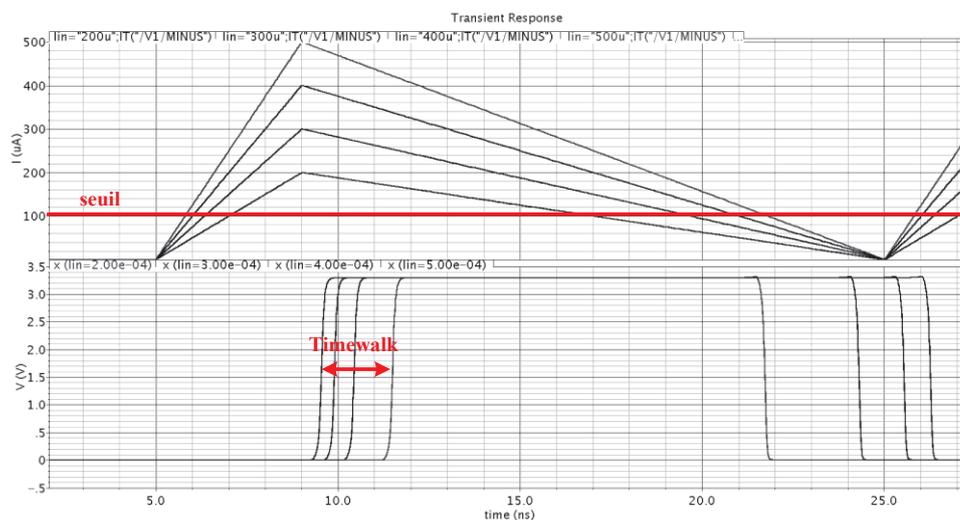


Figure 2-48 : Résultats de simulation post-layout du comparateur à contre réaction locale

Ces résultats de simulation montrent que le comparateur fonctionne correctement : sa sortie change d'état lorsque le courant d'entrée est supérieur au courant de seuil mais fait apparaître un phénomène connu des comparateurs à seuil : le time walk (temps de marche). Cet effet entraînera une inexactitude en temps du point de vue du basculement lorsque signaux entrants auront une amplitude différente.

Le time walk est illustré sur Figure 2-49(a). La précision en temps est nécessaire pour des signaux de détecteurs rapides tels que les PMTs Multi-anode ou les MCP-PMTs.

Pour s'assurer que les déclenchements du comparateur sont associés aux ions incidents, (période de 10 ns), le time walk du comparateur illustré sur la Figure 2-49 doit obligatoirement être très inférieur à 10ns pour les signaux d'entrée (110 μ A soit 2.2 pC à 1 mA soit 20 pC) et pour un réglage du seuil de 100 μ A. Figure 2-49(b) montre que le time walk, pour des signaux d'entrée standard de l'application, est dans les spécifications et que la valeur maximale est de 2.2 ns.

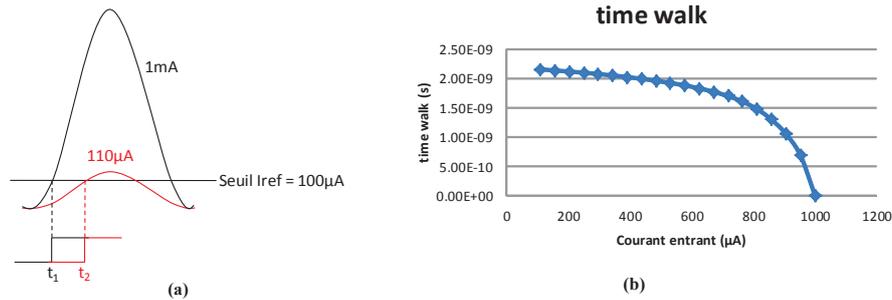


Figure 2-49: (a) Définition du Time walk ; (b) Time walk du comparateur de courant.

2.7 Layout et simulation d'une voie de lecture

La Figure 2-50 montre le layout d'une voie complète de l'ASIC de lecture. Les trois blocs sont : le Super-Base-Commune, le comparateur en courant avec contre réaction locale et le préamplificateur de charge. Les chronogrammes des signaux de sortie du PAC et du comparateur, schématique et post-layout, d'une voie complète pour les quatre gains ($I_{in}=400 \mu$ A, $I_{ref}=100 \mu$ A) sont présentés sur la Figure 2-51. Les composants parasites et le gain en courant réel du convoyeur de courant induisent un changement dans la valeur du gain de conversion du PAC : 82 mV/pC en simulation post-layout pour 107 mV/pC en simulation schématique pour une voie complète. Le point DC change également : 2.6 V en simulation post-layout et 2.5 V en simulation schématique. Pour le comparateur de courant, le temps de propagation est de 4.6 ns en simulation post-layout, et 4 ns en simulation schématique. Ce temps de propagation est suffisamment petit pour une lecture à un taux de comptage de 100 MHz.

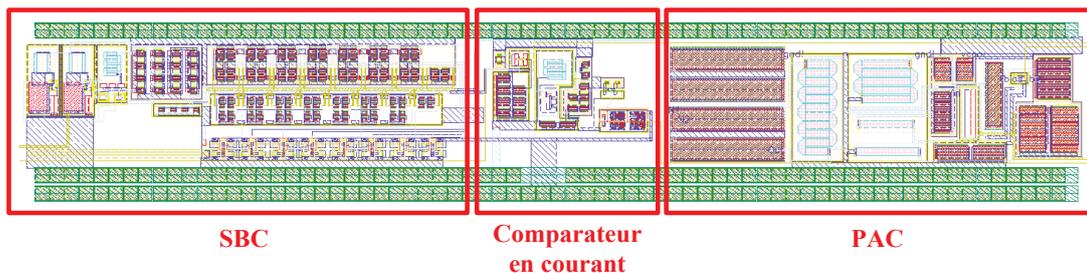


Figure 2-50 : Layout d'une voie de lecture.

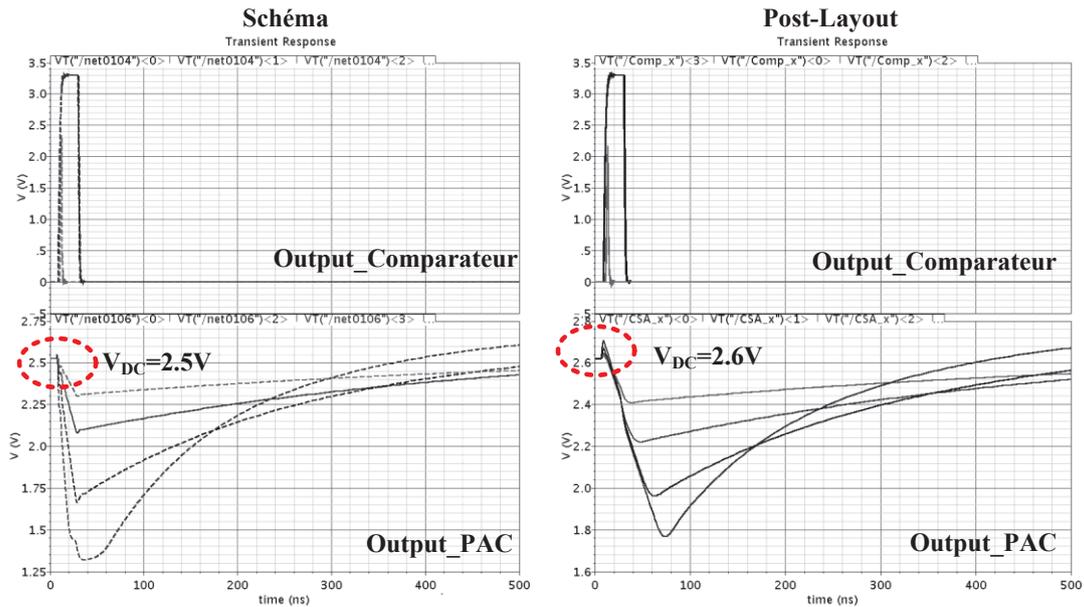


Figure 2-51 : Simulation de schéma et post-layout d'une voie complète ($I_{in}=400\mu A$, $I_{ref}=100\mu A$).

2.8 Caractéristiques et résultats de test de l'ASIC Front-End

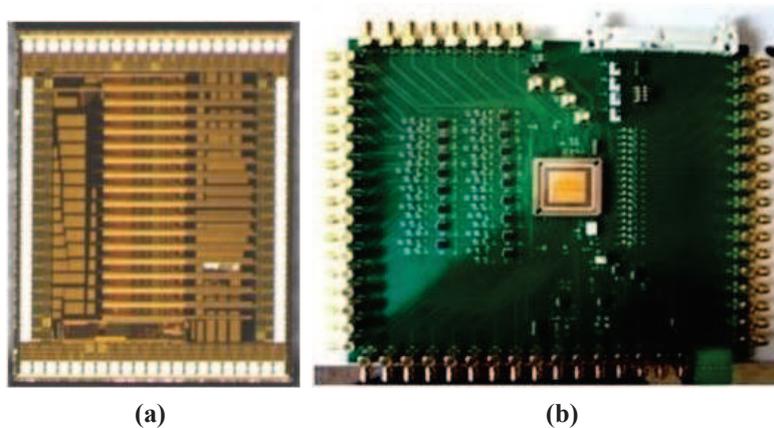


Figure 2-52 :(a) ASIC Front conçu et fabriqué en technologie AMS 0.35 μm BiCMOS ; (b) carte de test.

La Figure 2-52 (a) montre une photographie de l'ASIC de lecture. Il occupe une surface de 6.18 mm^2 incluant les plots. Pour tester les prototypes fabriqués, une carte de test a été conçue et réalisée (voir Figure 2-52(b)). Les circuits qui génèrent les courants d'entrée, des amplificateurs analogiques et des amplificateurs numériques qui permettront d'exciter l'ASIC et lire les sorties de l'ASIC. Le schéma du générateur de courant d'entrée est illustré en Figure 2-53.

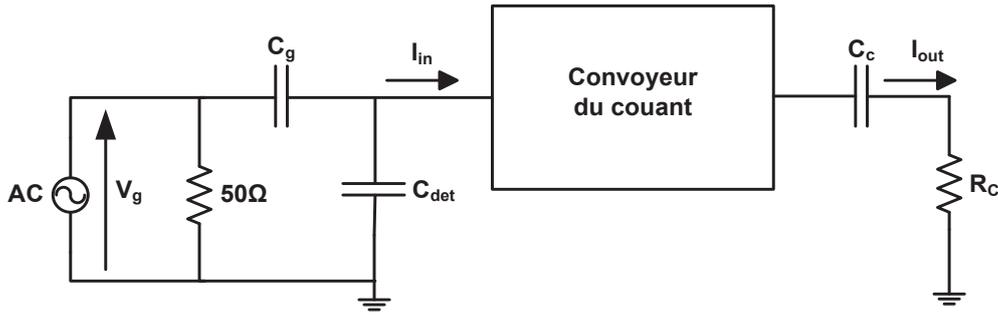


Figure 2-53 : Schéma du générateur de courant.

Le signal d'entrée de test AC est un échelon de tension dont le front descendant génère une impulsion de courant à travers C_g . Une résistance de 50Ω permet d'adapter la ligne. Le courant I_{in} et la charge Q_{in} peuvent être exprimés par :

$$I_{in} = C_g \cdot \frac{dV_g}{dt} \quad (2-112)$$

$$Q_{in} = \int_0^{\tau_f} I_{in} dt \quad (2-113)$$

où τ_f est le temps de descente de la tension V_g , C_{det} est une capacité équivalente à celle du détecteur, C_C est la capacité de sortie permettant d'isoler la polarisation de sortie du convoyeur de courant et le circuit de mesure. La résistance R_C de 500Ω assure la conversion de courant en tension qui sera mesurée avec un oscilloscope numérique équipé de sondes actives. La Figure 2-54 montre la réponse temporelle du convoyeur de courant pour 4 valeurs de gain contrôlées numériquement : 2 ; 1 ; 0.5 ; 0.25. Le fonctionnement du convoyeur de courant sous test est vérifié.

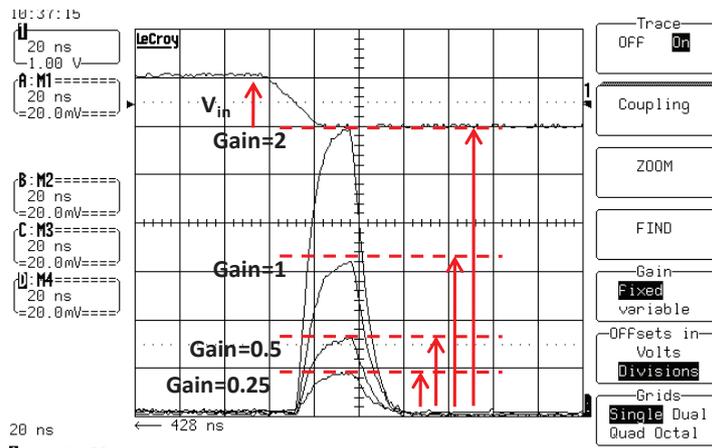


Figure 2-54 : Sortie de convoyeur du courant en gain différent.

La méthode pour mesurer l'ENC du convoyeur de courant est présentée en Figure 2-55. Le bruit en courant du convoyeur de courant est converti en tension par une résistance de 500Ω . Un amplificateur capable de piloter une ligne 50Ω est utilisé pour extraire le signal. Un second amplificateur en tension, à bas bruit, de gain égal à 100, est employé pour amplifier le faible signal de bruit. La valeur RMS de ce bruit

(V_{noise}) est mesurée avec un oscilloscope numérique. On injecte ensuite une faible charge (Q_{in}) sur l'entrée du convoyeur de courant pour mesurer l'amplitude de sortie (V_{out}). Le bruit en charge ramené à l'entrée sera :

$$Q_{noise} = \frac{V_{noise}}{V_{out}} \times Q_{in} \quad (2-114)$$

L'ENC exprimé en électrons sera :

$$ENC = \frac{Q_{noise}}{q} \quad (2-115)$$

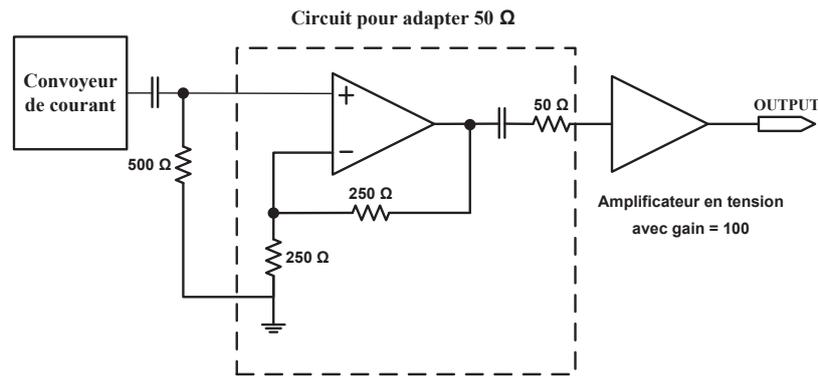


Figure 2-55 : Méthode de mesure de l'ENC.

La Figure 2-56 montre que le bruit ramené sur l'entrée du convoyeur du courant est presque constant pour les quatre gains. Le niveau de bruit varie avec le gain en courant, soit du courant de polarisation. Le Tableau 2-17 résume le bruit mesuré en fC et en électrons pour les différents gains.

Gain	2	1	0.5	0.25
Q_{noise} (fC)	0.302	0.309	0.272	0.212
Q_{noise} (électron)	1890	1934	1705	1326

Tableau 2-17 : ENC d'un convoyeur de courant pour les quatre gains.

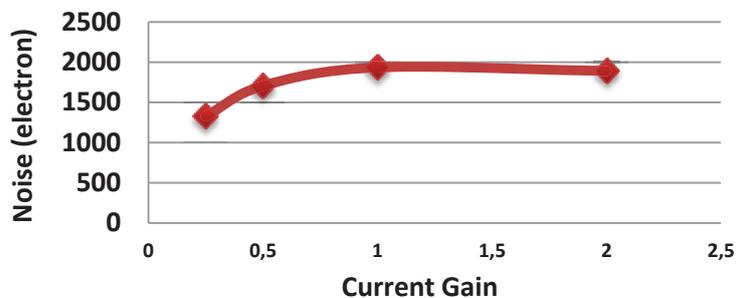


Figure 2-56 : ENC du convoyeur du courant pour les quatre gains.

La Figure 2-57 présente une acquisition des signaux en sortie d'une voie de l'ASIC. Ils ont été enregistrés par un oscilloscope, les formes des signaux sont identiques aux simulations post-layout.

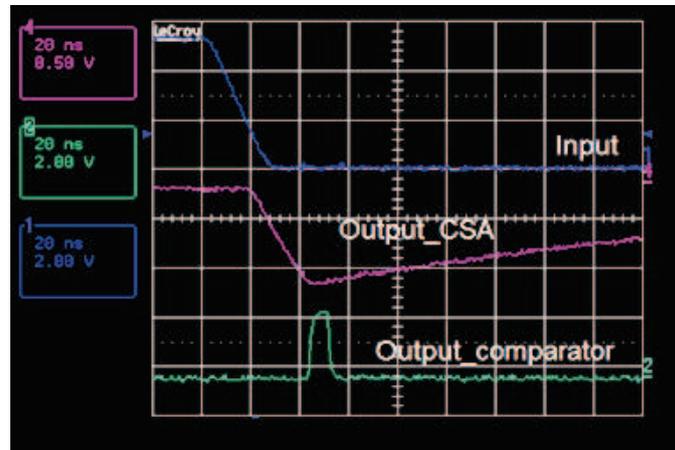


Figure 2-57: Oscillogrammes des signaux de sorties d'une voie complète.

La Figure 2-58 montre un ensemble de courbes S-curves mesurées pour différentes charges et différents gains. Pour les quatre S-curves, le gain et la charge sont normalisés. Le point à 50% peut être pris pour représenter la somme quadratique du bruit et de l'offset. La réponse est assez linéaire pour une dynamique de 1 pC à 32 pC. Pour un gain plus faible le bruit est plus faible et la linéarité est meilleure par rapport à un gain fort. Ces résultats sont cohérents par rapport à ceux de mesure de bruit à différents gains.

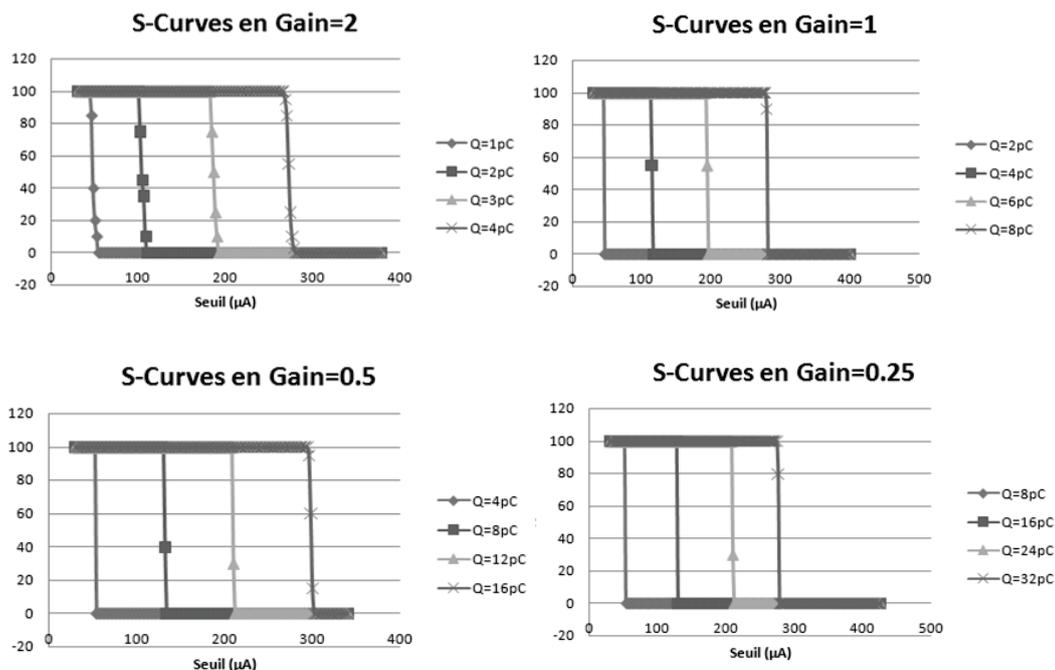


Figure 2-58: S-curves d'une voie complète pour les quatre gains.

La Figure 2-59 montre l'amplitude en sortie du PAC en fonction du signal d'entrée en charge jusqu'à 50 pC pour les quatre gains. Pour les gains les plus faibles, la linéarité est meilleure, ce qui est dû à une plus forte impédance de sortie du convoyeur de courant. Le Tableau 2-18 résume les résultats de test sur l'ASIC de lecture.

L'ensemble des caractéristiques évaluées par les tests sont conformes aux spécifications initialement définies. L'ASIC de lecture peut donc être incorporé dans un système d'hodoscope de test pour la détection de particules avec un taux de comptage élevé. Nous décrirons ce système et les travaux de test en faisceau d'ions dans le chapitre 4.

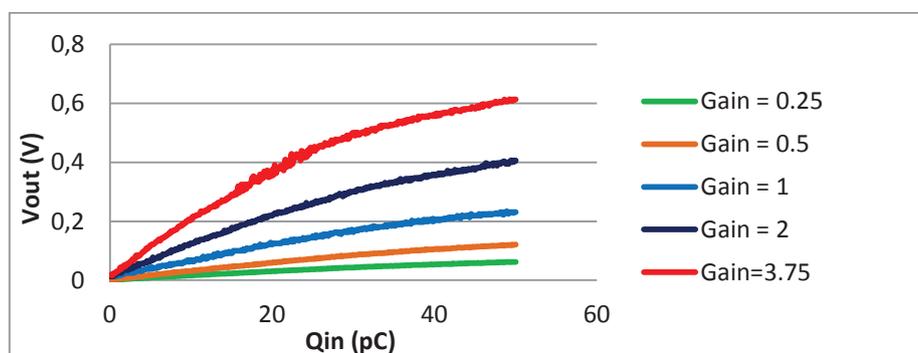


Figure 2-59 : Réponse en charge d'une voie de lecture (convoyeur de courant + PAC).

Technologie	0.35 μm BiCMOS process (AMS)
Surface (avec plot)	6.18mm ²
Consommation par voie (VCC=3.3V) pour le gain en courant de 0.25 à 2	10mW à 11mW
Dymanique d'entrée	53dB (135fC -60pC)
Impédance d'entrée dans la plage fréquentielle de fonctionnement	48 Ω
ENC du convoyeur de courant	0.2fC à 0.3 fC
crosstalk	2.2%
Temps de réponse du convoyeur de courant	660ps
Temps de réponse du comparateur en courant avec contre réaction locale	3ns

Tableau 2-18 : Résumé des caractéristiques de l'ASIC de lecture.

2.9 Conclusion

Nous avons conçu un ASIC de lecture multi-voies pour la lecture de PMTs, en technologie AMS BiCMOS 350 nm. Chaque voie comprend un convoyeur de courant comme étage d'entrée, suivi d'un comparateur en courant pour la détection d'évènement, et d'un préampli de charge pour la mesure du signal. Cette architecture en mode courant permet une meilleure performance en rapidité.

Le convoyeur de courant est conçu en utilisant la structure Super-Base-Commune (SBC), avec la mise en œuvre de techniques de compensation et d'optimisation, ce qui nous a permis à la fois de réduire son impédance d'entrée à quelques dizaines d'ohms, de diminuer son temps de réponse à moins de 10 ns, et de minimiser le Crosstalk électrique entre les voies du circuit.

Le préamplificateur de charge est basé sur un amplificateur compensé selon une technique "feedforward". Un réseau passif associé à l'amplificateur permet de réaliser la fonction d'intégration. L'analyse du circuit nous a permis d'identifier les paramètres clés agissant sur l'efficacité de collection de charge, sur le temps de réponse et sur le bruit.

Le comparateur en courant proposé est une structure réalisant la conversion du courant différentiel en tension sur son impédance d'entrée et la comparaison en tension par rapport à une référence. Le comparateur intègre une technique de rétroaction locale pour abaisser l'impédance d'entrée et gagner en temps de réponse.

L'ASIC de lecture a été fabriqué et nous l'avons testé. L'ensemble des caractéristiques évaluées expérimentalement sont conformes aux spécifications définies avant la conception du circuit. Nous pouvons donc l'incorporer dans un système de test avec la partie de détection matricielle sous faisceau d'ions, afin de vérifier le fonctionnement du système et d'évaluer ses performances.

3 ASIC TDC

Introduction

Pour pouvoir reconstruire l'image du traitement appliqué au patient, les médecins disposent de deux « blocs » de détecteur. Le premier bloc étant l'hodoscope de faisceau, c'est-à-dire celui qui va détecter les particules incidentes, et le deuxième bloc étant celui qui détectera les rayonnements secondaires servant à l'imagerie (ex. : la caméra Compton (cf. Figure 1-6) ou la caméra collimatée (cf. Figure 1-5) pour les rayonnements gamma prompts, ou les détecteurs silicium pixellisés pour l'imagerie par reconstruction de vertex protons (cf. Figure 1-7). De manière très simpliste, nous pouvons dire que chacun de ces deux blocs nous donne une trajectoire de particule, et que l'intersection de ces deux trajectoires nous donne le point d'interaction du faisceau avec le patient. Pour que ce point puisse être déterminé sans ambiguïté, il est absolument nécessaire que l'on puisse corrélérer en temps les événements de l'hodoscope avec ceux des autres détecteurs. En ce qui concerne l'hodoscope, c'est l'ASIC TDC (**T**ime-**t**o-**D**igital **C**onverter) qui va nous donner cette information.

Le TDC est un circuit qui permet d'identifier un événement, et de fournir une représentation numérique de l'instant où il s'est produit. Un TDC peut fournir cette information temporelle pour chaque événement entrant. Dans son implémentation la plus simple, le TDC est tout simplement un compteur haute-fréquence. Quand un événement se produit, la valeur du compteur est capturée dans un registre. Le TDC peut également être vu comme un chronomètre de haute précision qui convertit l'information temporelle en une représentation numérique [50]. Les principales caractéristiques qui permettent de choisir l'architecture du TDC sont : une mesure avec/sans temps mort, la dynamique, la résolution, la linéarité, le niveau de consommation. Le Tableau 3-1ci-dessous résume les principales spécifications du TDC utilisé pour l'hodoscope de faisceau :

Technologie	AMS 0.35 μm CMOS process (3.3V)
Fréquence de l'horloge	140 MHz - 170 MHz
Température opérationnelle	De 10 °C à 80 °C
Dynamique temporelle	6.25 ns
Résolution temporelle	200 ps
Jitter RMS	50 ps
DNL	1 LSB
INL	1 LSB
Vitesse d'acquisition	10^8 pps
Bus de sortie	5 bits
Sortie détection d'erreur	
Dispositif de compensation d'offset	
Entrée LVDS	

Tableau 3-1 : Spécifications demandées pour le TDC de l'hodoscope.

Dans la suite de ce chapitre, on détaille l'architecture du TDC proposé et les raisons qui nous ont conduit à l'adopter cette architecture. Nous verrons ensuite en détail chacun des sous circuit constituant ce TDC. Dans la dernière partie se trouvent résumées les résultats des tests de cet ASIC.

3.1 Etude architecturale

3.1.1 Quel type de TDC ?

Trois générations de TDC se sont succédées[51]. La première génération de TDC est analogique. Le TDC transforme l'information temporelle en un signal électrique ayant une amplitude proportionnelle au temps à mesurer, puis numérise ce signal avec un convertisseur analogique numérique (ADC). C'est le principe du Convertisseur Temps-Amplitude ou CTA combiné avec un ADC. Un bloc-diagramme du TDC analogique [52, 53] est représenté sur la Figure 3-1(a). La deuxième génération de TDC comporte deux types très différents de TDC : le premier type est un TDC entièrement numérique, le principe est basé sur l'utilisation d'un compteur haute fréquence dont la valeur est enregistrée lorsqu'un évènement survient (cf. Figure 3-1 (b)). Le deuxième type de TDC de deuxième génération est basé sur l'utilisation d'une chaîne de délais. Cette chaîne de délais est constituée d'éléments de retard sous la forme de suiveurs ou d'inverseurs. Enfin la troisième génération de

TDC permet d'atteindre une résolution temporelle de niveau « sub-gate », c'est-à-dire inférieure au temps de propagation d'une porte pour la technologie considérée. Citons par exemple le « parallel scaled delay elements », « the vernier TDC » [54-56], « the pulse-shrinking TDC » [57] et « the local passive interpolation TDC » [58]. Pour notre application, un TDC de deuxième génération est tout à fait suffisant, il offre de plus des possibilités d'évolutions intéressantes tant de point de vue de la résolution que du taux maximum d'évènements admissibles.

Les TDC de deuxième génération, basés sur une chaîne de délais numériques, ont plusieurs inconvénients : ils sont très dépendants des variations du procédé de fabrication, de la température, et de la tension d'alimentation (abréviation PVT variations). Ils ont donc besoin d'une phase de calibration avant d'effectuer une mesure. A contrario, ceux basés sur une chaîne de délais analogiques, comme une DLL (Delay Locked-Loop, cf. Figure 3-2) sont plus intéressants car ils sont auto-régulés par une contre réaction. Il n'est donc pas nécessaire de passer pour chaque mesure par une phase de calibration. C'est ce type de TDC que nous avons choisi pour notre application. Sur ce type de TDC, le sous-circuit principal de l'architecture est la DLL, c'est elle qui détermine les performances du TDC.

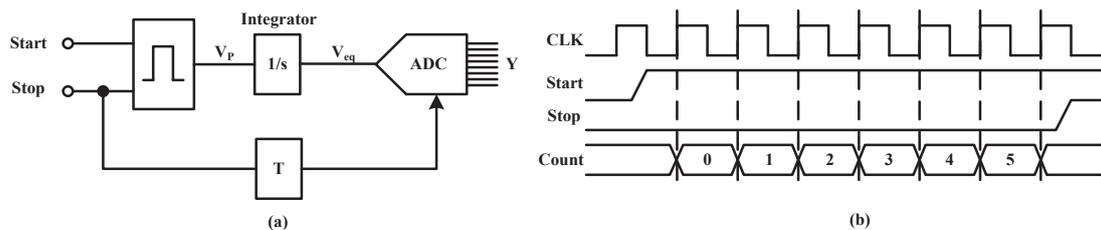


Figure 3-1 : (a) Bloc-diagramme d'un TDC analogique (b) Principe d'un compteur (TDC de 2ème génération).

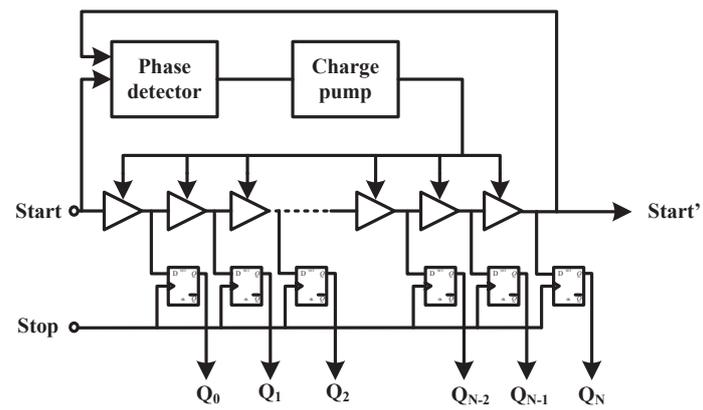


Figure 3-2 : Bloc-diagramme d'un TDC basé sur l'utilisation d'une DLL.

3.2 TDC proposé

3.2.1 Structure du TDC proposé

La structure du TDC proposé est illustrée sur la Figure 3-3. Ce TDC est constitué de trois blocs principaux :

- une DLL analogique qui permet de découper en 32 intervalles de temps identiques la période de l'horloge de référence (soit $6.25 \text{ ns} / 32 \approx 200 \text{ ps}$), et ainsi fournir une fréquence d'échantillonnage virtuelle d'environ 5 GHz. Cette DLL possède une entrée LVDS ;
- un registre de mémorisation de 32 bits qui permet de sauvegarder l'état de la DLL lorsque le signal « hit » survient (la mise en registre se fait sur le front montant) ;
- un encodeur permettant i) de réduire la taille du bus de sortie par un encodage Gray de 32 bits vers 5 bits, et ii) de limiter et de détecter les erreurs pouvant survenir lors de cet encodage.

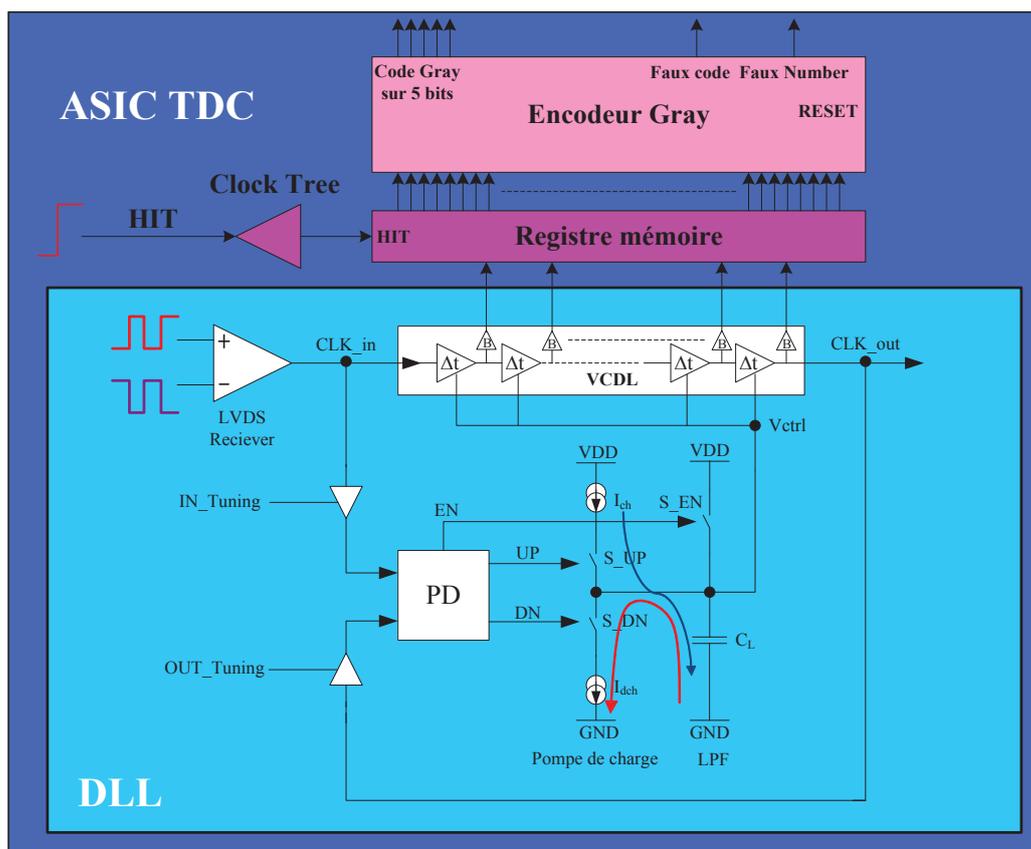


Figure 3-3 : Structure du TDC proposé.

3.2.2 La DLL

Les DLLs sont dérivées des PLLs (Phase-locked loop) [59], elles sont cependant plus faciles à stabiliser et moins sujettes à l'accumulation de jitter grâce à leur caractéristique de boucle qui est du premier ordre [60]. Récemment les DLLs ont également été employées dans la conception des TDCs. La fonction essentielle d'une DLL est de diviser la période de l'horloge d'entrée en plusieurs intervalles de temps, tout en maintenant un alignement de phase entre l'horloge d'entrée et l'horloge de sortie. Cette ligne à retard est appelée (VCDL) pour les DLL analogiques ou ligne à retard à registre contrôlé (RCDL) pour les DLL numériques. Une fois la DLL verrouillée (lorsque les horloges d'entrée et de sortie sont en phase), chaque délai élémentaire de la ligne à retard peut fournir un signal d'horloge stable et déphasé par rapport à l'horloge d'entrée. Les nouvelles technologies de plus en plus fines, et les vitesses d'horloge de plus en plus rapides, rendent le contrôle des DLLs de plus en plus difficile à réaliser. Plusieurs autres paramètres tels que le bruit sur les alimentations, le bruit généré par les commutations liées aux parties digitales du chip affectent également le bon fonctionnement des DLLs en créant du bruit et donc du jitter. Une étude détaillée prenant en compte tous ces phénomènes est donc nécessaire pour concevoir une DLL.

3.2.3 Etat de l'art des DLLs

Une DLL est un système non linéaire à contre réaction négative. Dans une DLL, le signal d'horloge appliqué en entrée se propage à travers chaque étage de la ligne à retard. La contre réaction permet de garantir que l'horloge en sortie de la DLL soit déphasée de $N \times 2\pi$ (avec $N=1, 2, 3, \dots$) par rapport à l'horloge appliquée en entrée. Une fois ce déphasage obtenu, la DLL est dite verrouillée, et ce déphasage est maintenu constant.

Il est indispensable de bien modéliser le comportement d'une DLL avant sa conception. En première approximation, une analyse linéaire permet d'obtenir une caractérisation grossière. Cette méthode d'analyse est présentée dans [59]. Une telle méthode d'analyse permet d'obtenir un certain nombre d'indications utiles pour la conception d'une DLL.

3.2.3.1 DLL numérique

L'architecture d'une DLL numérique est représentée Figure 3-4. Elle est constituée d'une ligne à retard à registre contrôlé appelé RCDL, d'une machine d'état (FSM), d'un sélecteur de phase et d'un détecteur de phase. L'horloge CLK_ref est appliquée en entrée du RCDL, chaque cellule du RCDL fournit une horloge déphasée au sélecteur de phase. Ce dernier choisit une sortie de cellule du RCDL qu'il transmet au comparateur de phase. Le choix de la cellule est fonction de l'information SEL

fournie par la FSM. Le comparateur de phase mesure l'erreur de phase qu'il y a entre les horloges CLK_ref et CLK_out (sortie du sélecteur de phase) et transmet l'information à la FSM qui ajuste l'information SEL de manière à minimiser l'erreur de phase. Lorsque la DLL numérique est verrouillée, la variation de la sortie de RCDL est égale à deux fois le délai d'une cellule de retard. Donc le jitter d'une DLL numérique est de l'ordre de grandeur d'un délai du RCDL. Ce type d'architecture nécessite une phase de calibration et un RCDL suffisamment « long » pour compenser toutes les fluctuations de délai possibles.

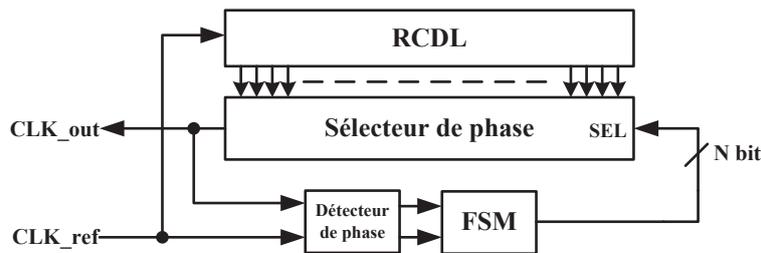


Figure 3-4 : Architecture d'une DLL numérique typique.

3.2.3.2 DLL analogique

Pour une DLL analogique, le délai de chaque élément de la chaîne de délais est contrôlé en tension par le filtre de boucle situé en sortie de la pompe de charge (cf. Figure 3-5). La phase du signal de sortie est comparée à la phase de l'horloge d'entrée par le comparateur de phase. Cette information d'erreur de phase est ensuite utilisée par la pompe de charge pour ajuster la tension du filtre de boucle. Grâce à un tel mécanisme de rétroaction, l'erreur de phase est progressivement réduite jusqu'à devenir nulle. Une fois ce point atteint, le délai total du VCDL devient égal à une ou plusieurs périodes de l'horloge d'entrée, et la tension du filtre de boucle est stabilisée.

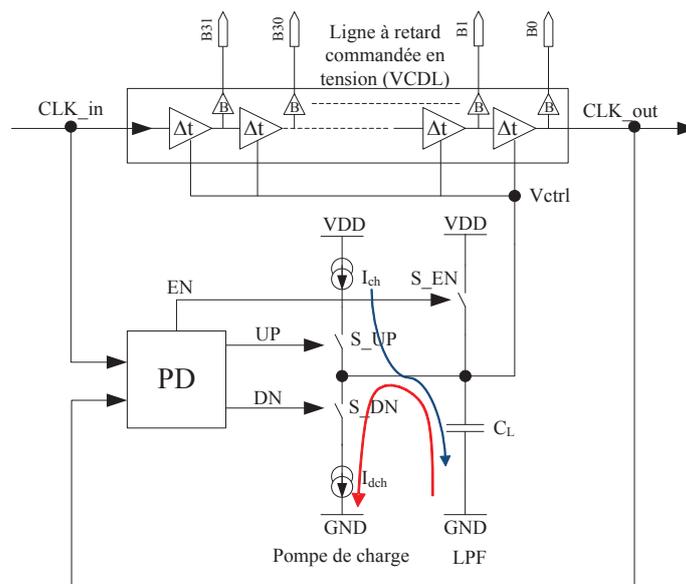


Figure 3-5 : Structure de base d'une DLL analogique.

La gamme de fréquence de l'horloge d'entrée pour laquelle la DLL peut se verrouiller peut être estimée en approximant la DLL comme un système linéaire [61] (la nature non linéaire du détecteur de phase est ignorée). Cette approximation est valable à condition que la bande passante de la DLL soit supérieure d'un ordre de grandeur[61]. La Figure 3-6 représente le modèle d'un système DLL en termes de phase.

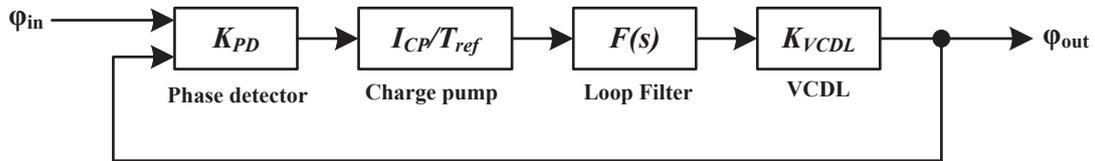


Figure 3-6 : Modèle d'une DLL en terme de phase[62].

Les paramètres de la figure ci-dessus sont : le gain du détecteur de phase K_{PD} (seconde/rad), le courant de la pompe de charge I_{cp} (A), la période de l'horloge T_{ref} (s), la fonction de transfert du filtre de boucle et le gain de la VCDL K_{VCDL} (rad/V) qui est proportionnel au nombre de cellules de retard. φ_{in} et φ_{out} sont respectivement les phases des horloges d'entrée et de sortie.

Dans la plupart des cas, le filtre de boucle se compose d'une seule capacité. Ainsi la fonction de transfert du filtre de boucle peut être exprimée par :

$$F(s) = \frac{1}{sC}. \quad (3-1)$$

Par conséquent, lorsque la DLL est verrouillée, son comportement en boucle fermée peut être caractérisé par la fonction de transfert du premier ordre suivante :

$$\frac{\varphi_{out}}{\varphi_{in}} = \frac{1}{1 + \frac{s}{\omega_N}} \quad (3-2)$$

Le paramètre ω_N représente la bande passante de la DLL :

$$\omega_N = \frac{K_{PD} \cdot K_{VCDL} \cdot I_{cp}}{2\pi \cdot C} \cdot \omega_{ref} \quad (3-3)$$

où ω_{ref} est la fréquence de l'horloge de référence. Les équations (3-2) et (3-3) montrent qu'une DLL analogique est un système unipolaire et est donc inconditionnellement stable. L'équation (3-3) montre que la bande passante de la DLL ω_N permet de suivre la fréquence de fonctionnement à condition que le terme $\frac{K_{PD} \cdot K_{VCDL} \cdot I_{cp}}{2\pi \cdot C}$ soit maintenu constant. Il en résulte la nécessité de trouver un compromis entre le bruit (qui nécessite une bande passante la plus faible possible) et la possibilité d'utiliser une horloge de référence rapide (qui nécessite une grande bande passante).

3.2.3.3 DLL analogique vs DLL numérique

Les DLLs analogiques étant constituées en grande majorité de composants analogiques, leur utilisation dans des technologies fines est de plus en plus complexe

avec la diminution des tensions d'alimentation. Cependant, elles ont un jitter très faible. Au contraire, les DLLs numériques peuvent très facilement être portées vers des technologies plus fines, avec un risque d'échec pour un nouveau design limité de par l'utilisation exclusive de cellules numériques. L'inconvénient majeur étant le niveau du jitter, qui est de l'ordre du temps de propagation d'une porte logique. Il faut tout de même remarquer que ce temps de propagation diminue avec la finesse de la technologie. Elles ont aujourd'hui un niveau de jitter équivalent, voire plus faible que les DLLs analogiques [62]. Au niveau dissipation, les DLLs numériques consomment un courant statique très faible (contrairement aux DLLs analogiques), et l'utilisation de technologie fine permet de réduire fortement la puissance consommée ainsi que la surface du layout. Les DLLs analogiques ont une consommation statique importante et peuvent difficilement profiter des avantages que procure une technologie fine.

Du point de vue de la résolution, les DLLs numériques utilisant des doubles inverseurs dans la chaîne de délais et ont une résolution limitée à deux temps de propagation, ce qui est insuffisant dans beaucoup d'applications.

Pour une technologie donnée, les DLLs numériques ont un grand nombre d'avantages, mais ont un niveau de jitter élevé et utilisent une surface de silicium plus importante que les DLLs analogiques. Compte tenu des besoins nécessaires à notre application (cf. Tableau 3-1), notre choix s'est porté sur une DLL analogique. Le Tableau 3-2 résume les avantages et inconvénients des DLLs analogique et numérique. Le Tableau 3-3 montre la comparaison des DLLs typiques pour applications différentes.

	DLL analogique	DLL numérique
Avantages	Jitter Surface faible	Migration vers une autre technologie Facilité de conception.
Inconvénients	tension d'alimentation false-locking ([63])	Nombre de cellules de retard PSRR (Power supply rejection ratio) Calibration nécessaire

Tableau 3-2 : DLL analogique vs DLL numérique.

Référence	[64]	[50]	[65]	[66]
Type	Digital	Analog	Analog	Analog
Technologie	CMOS 0.4 μm	CMOS 0.35 μm	CMOS 0.35 μm	CMOS 0.25 μm
Résolution temporelle	40 ps	78 ps (160 MHz)	--	86 ps (160 MHz)
Plage de fréquentielle	250MHz- 667MHz	100 MHz- 200MHz	--	40 MHz- 320 MHz (intern)
Jitter RMS	--	10 ps	42 ps	--
Jitter Peak-Peak	250 ps	--	--	--
DNL_max	--	0.26 LSB (51 ps)	0.17 LSB (106 ps) @ 50 MHz	0.3 LSB (58.8 ps) @ 160 MHz
INL_max	--	0.78 LSB (152 ps)	0.31 LSB (193 ps) @ 50 MHz	-0.5 LSB (98 ps) @ 160 MHz

Tableau 3-3 : Comparaison des DLLs typiques

3.2.4 Architecture de la DLL proposée

Pour les raisons évoquées au chapitre précédent, la DLL choisie est une DLL analogique constituée d'une pompe de charge et d'un filtre de boucle. Le temps nécessaire au verrouillage de la DLL n'étant pas un paramètre critique pour l'application, la capacité C_L du filtre de boucle sera relativement important pour minimiser le jitter (cf. 3.2.7.1). Pour éviter des distorsions inacceptables tout au long de la ligne à retard, la cellule élémentaire devra minimiser les écarts de temps entre front descendant et front montant.

Afin d'atteindre une résolution de 200 ps, la DLL sera séquencée par une horloge de 160 MHz, et sera constituée de 32 cellules de retards ($6.25 \text{ ns} / 32 = 195.3 \text{ ps}$). L'utilisation d'une fréquence de 160 MHz permet d'envisager une réutilisation relativement simple pour des projets de physique des particules (160 MHz étant un multiple de la fréquence du LHC (40 MHz)).

Le détecteur de phase et de fréquence (PFD) est dessiné uniquement avec des cellules standards numériques. La pompe de charge est dessinée à partir de

l'architecture présentée dans [67] moyennant quelques modifications. Un dispositif de compensation d'offset réalisé à partir de deux « petites » lignes à retard connectées sur les deux entrées du comparateur de phase permettra d'annuler l'erreur de phase. Cette compensation d'offset se fera par des commandes extérieures à l'ASIC durant la phase de calibration. Un circuit d'aide au verrouillage durant la phase de démarrage est également intégré à la pompe de charge. Enfin, l'entrée d'horloge de l'ASIC est de type LVDS. Tous ces blocs fonctionnels sont étudiés et présentés en détail dans la suite de ce chapitre. Le schéma bloc de la DLL proposée est représenté sur la Figure 3-7.

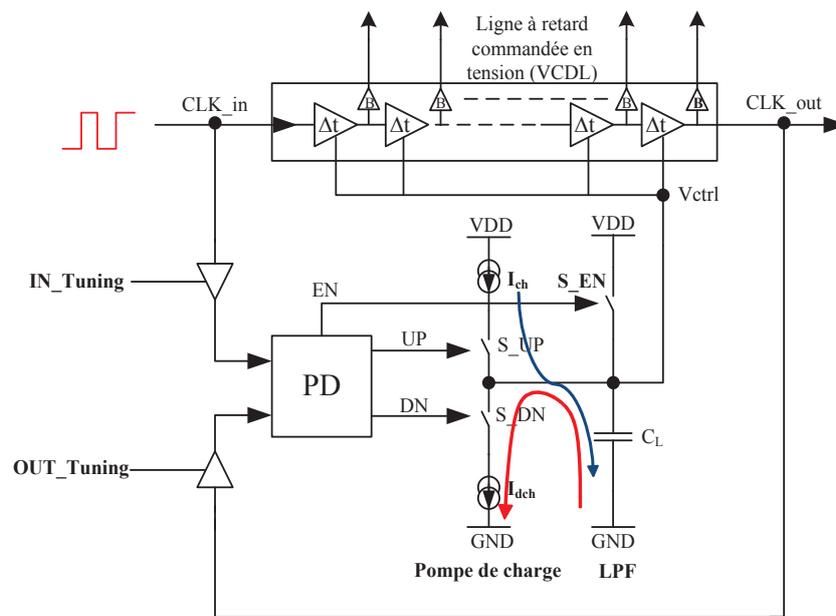


Figure 3-7 : Structure de la DLL proposée.

3.2.4.1 Le principe de fonctionnement de la DLL proposée

Le délai total de la ligne à retard est fonction de la tension de contrôle V_{ctrl} . Sa fluctuation est directement liée à la caractéristique temps/tension de l'élément de délai. Si la dérivée de cette caractéristique est négative, le temps de propagation du délai élément diminue lorsque la tension V_{CTRL} augmente (il augmente lorsque V_{CTRL} diminue). Le détecteur de phase doit évidemment s'adapter au sens de fluctuation du temps de propagation pour permettre le verrouillage de la DLL. Dans notre cas, le gain de la VCDL étant négatif, cela signifie que le temps de propagation augmente lorsque la tension de commande V_{CTRL} diminue.

Comportement de la DLL : si le front montant de CLK_{in} arrive après le front montant de CLK_{out} comme illustré sur la Figure 3-8, le signal DN passe à l'état haut et le signal UP reste à l'état bas. La durée du signal DN pour la période x est :

$$t_{DN_x} = \frac{\Delta\phi_x}{2\pi} T \quad (3-4)$$

où T est la période de l'horloge de référence, et $\Delta\phi_x$ est l'erreur de phase pour la période x . L'interrupteur S_UP n'est pas commandé et reste donc ouvert, alors que l'interrupteur S_DN se ferme. La capacité C_L du filtre passe bas (LPF) se décharge avec le courant I_{dch} en suivant le chemin représenté par la flèche rouge. La tension de commande V_{CTRL} diminue d'un pas chaque fois que S_DN se ferme. La décharge cumulée de la capacité est proportionnelle à la durée de la somme des impulsions DN. La fluctuation de V_{CTRL} est :

$$\Delta V_{ctrl} = \frac{Q_{dch}}{C_L} = \frac{\overline{I_{dch}}}{C_L} \int_0^{t_v} dt_{DN} \quad (3-5)$$

où t_v représente l'instant où la DLL se verrouille. La capacité C_L se déchargeant, la tension V_{CTRL} diminue et le temps de propagation de la VCDL augmente. Ce procédé fonctionne en continu jusqu'au moment où les fronts montants de CLK_in et CLK_out sont alignés (la différence de phase $\Delta\phi = N \cdot 2\pi$ avec $N = 1,2,3 \dots$). A ce moment, les signaux UP et DN deviennent inactifs et la tension V_{CTRL} se stabilise (la DLL est verrouillée).

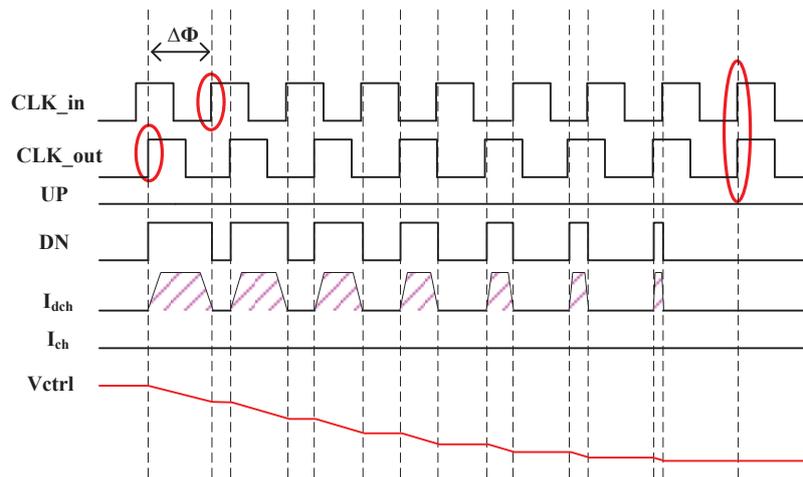


Figure 3-8 : Fluctuation de V_{CTRL} pour un délai initial inférieur à une période d'horloge.

Au contraire, si le front montant de CLK_in arrive avant le front montant de CLK_out comme illustré sur Figure 3-9, le signal UP passe à l'état haut et le signal DN reste à l'état bas. La durée du signal UP pour la période x est :

$$t_{UPx} = \frac{\Delta\phi_x}{2\pi} T, \quad (3-6)$$

où T est la période de l'horloge de référence, et $\Delta\phi_x$ est l'erreur de phase pour la période x . L'interrupteur S_DN n'est pas commandé et reste donc ouvert, alors que l'interrupteur S_UP se ferme. La capacité C_L du filtre passe bas (LPF) se charge avec le courant I_{ch} en suivant le chemin représenté par la flèche bleue. La tension de commande V_{CTRL} augmente d'un pas chaque fois que S_UP se ferme. La charge cumulée de la capacité est proportionnelle à la durée de la somme des impulsions UP. La fluctuation de V_{CTRL} est :

$$\Delta V_{ctrl} = \frac{Q_{ch}}{C_L} = \frac{\overline{I_{ch}}}{C_L} \int_0^{t_v} dt_{UP} . \quad (3-7)$$

La capacité C_L se chargeant, la tension V_{CTRL} augmente et le temps de propagation de la VCDL diminue. Ce procédé fonctionne en continu jusqu'au moment où les fronts montants de CLK_in et CLK_out sont alignés. A ce moment-là, les signaux UP et DN deviennent inactifs et la tension V_{CTRL} se stabilise (la DLL est verrouillée).

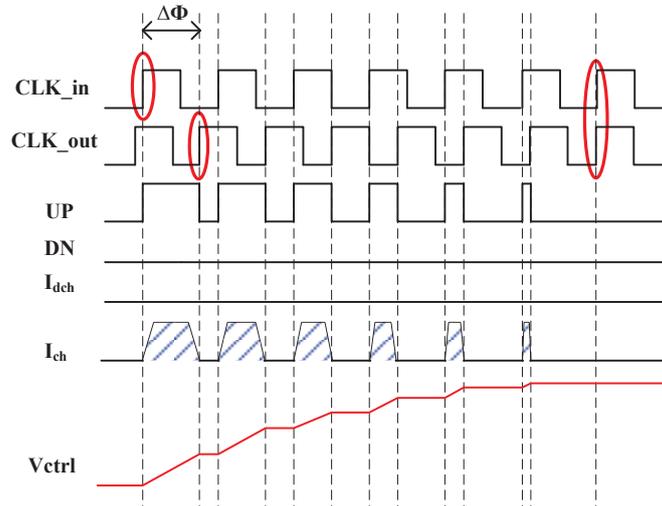


Figure 3-9 : Fluctuation de V_{CTRL} pour un délai initial compris entre une période et deux périodes d’horloges.

3.2.5 Ligne à retard et cellule de retard

La ligne à retard (VCDL) illustrée sur la Figure 3-10 est considérée comme l’un des blocs les plus critiques de la DLL. En effet, la mesure de temps effectuée par le TDC est directement liée aux signaux fournis par la VCDL. Les performances de la VCDL ont une influence directe sur la résolution, le jitter et la stabilité de la DLL.

Une VCDL est constituée de plusieurs cellules de retard connectées en série. Chaque cellule de retard fournit un retard t_d , t_d étant dépendant de la tension de contrôle V_{ctrl} . L’horloge d’entrée se retrouve ainsi retardée n fois, n étant le nombre de cellules de la VCDL. Le chronogramme représentant le fonctionnement d’une VCDL est représenté sur la Figure 3-11. Une VCDL est un système en boucle ouverte, de sorte qu’il est naturellement stable à la différence d’un VCO (Voltage-Controlled Oscillator) pour une PLL.

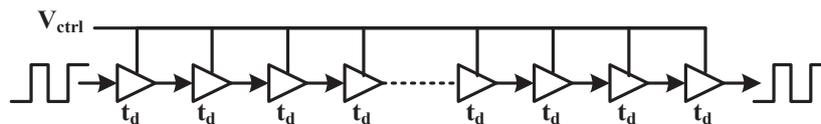


Figure 3-10 : Ligne à retard commandée en tension.

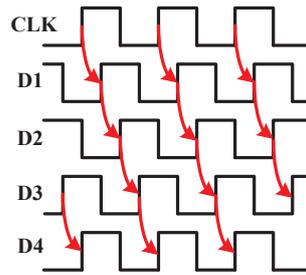


Figure 3-11 : Comportement d'une VCDL (ex : 4 étages de retard).

Une fois verrouillée, le retard total de la VCDL doit être égal à une ou plusieurs périodes de l'horloge T_{ref} . Dans notre cas, nous voulons évidemment un retard total égal à une fois T_{ref} .

$$t_{d_{total}} = N \cdot T_{ref} \text{ avec } N=1,2,3... \quad (3-8)$$

Théoriquement, toutes les cellules de retard de la VCDL sont identiques. Par conséquent, Elles apportent toutes la même contribution au délai total de la VCDL. On peut donc exprimer le délai d'une cellule en fonction du délai total et du nombre de cellules M de la VCDL :

$$t_{d_{cellule}} = \frac{t_{d_{ligne}}}{M} = \frac{N \cdot T_{ref}}{M} \text{ avec } N = 1,2,3 ... \quad (3-9)$$

L'utilisation d'un plus grand nombre d'étages de retard permet d'augmenter la résolution finale du TDC, mais aussi d'augmenter le retard minimum total de la VCDL. La fréquence maximum de l'horloge d'entrée est donc limitée par le nombre de cellules de retard :

$$T_{ref_MIN} = M * t_{d_{cellule_MIN}} \quad (3-10)$$

Il est indispensable de prendre en compte la gamme de retard des cellules individuelles lors de leur conception. Si le délai ciblé pour la VCDL est d'une période T_{ref} ($N=1$), alors la gamme de la fréquence opérationnelle ($f=1/T_{ref}$) est déterminée par la gamme de retard de la ligne à retard :

$$f = \frac{1}{t_{d_{ligne}}} = \frac{1}{M \cdot t_{d_{cellule}}} \text{ avec } t_{d_{cellule}} \in [t_{d_{cellule_min}}, t_{d_{cellule_max}}] \quad (3-11)$$

3.2.5.1 Différents types de cellule de retard

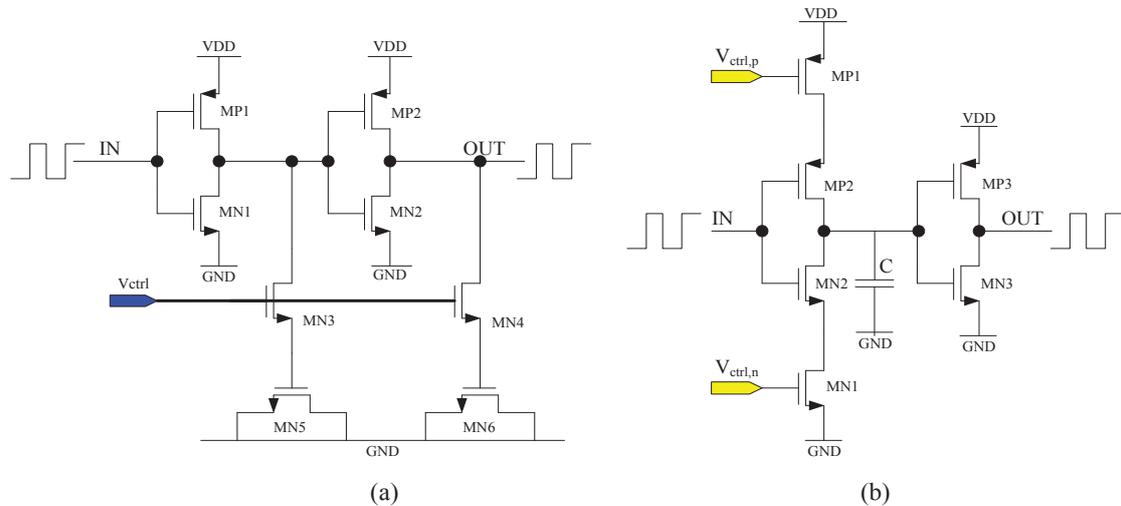


Figure 3-12 : Deux types principaux de cellule de retard :(a) cellule de retard à capacité shunt ; (b) cellule de retard à appauvrissement de courant [68].

Les cellules de retard ayant un retard variable sont des circuits construits sur la base d'inverseurs, qui sont souvent utilisés pour la distribution d'horloge dans les circuits intégrés utilisant des horloges hautes fréquences. Pour atteindre une grande gamme dynamique de délais, les lignes à retard utilisent plusieurs cellules mises en série. Les lignes à retard commandées en tension (VCDL), sont des lignes à retard analogiques, sont très bien adaptées aux applications nécessitant une grande résolution et un retard réglable. En générale, ces types de lignes à retard peuvent être réalisés avec des cellules de retard à capacité shunt ou à appauvrissement de courant respectivement illustrées sur les Figure 3-12(a) et (b).

Pour les cellules de retard à capacité shunt, la sortie de l'inverseur est connectée à une capacité. Cette capacité est réalisée par les transistors MN5 et MN6, et le courant de charge/décharge est défini par les transistors MN3 et MN4 qui agissent comme une résistance. Ce type de cellule a les inconvénients suivants :

1. les condensateurs de sortie MN5 et MN6 occupent une grande surface de silicium,
2. la dynamique de retard et la plage de régulation de tension sont relativement limitées à cause des caractéristiques courant/tension du MOSFET.

Les cellules de retard à appauvrissement de courant sont réalisées à partir d'un inverseur dont le courant est contrôlé, connecté à une capacité. Le réglage du délai est réalisé en contrôlant le courant de charge/décharge de la capacité. Les inconvénients de ce type de cellules sont :

1. la non-linéarité du délai en fonction de la tension de commande V_{CTRL} ,
2. le traitement des fronts montant et descendant qui n'est pas identique.

3.2.5.2 Modèle analytique de la cellule de retard

Le délai d'une cellule à retard est défini de la manière suivante [68] :

$$t_{delay} = \frac{C}{I_{cp}} \cdot V_{sw}, \quad (3-12)$$

où C'est la capacité en sortie du premier inverseur, $\overline{I_{cp}}$ correspond au courant moyen de charge ou de décharge de la capacité C, et V_{sw} est l'amplitude du signal d'horloge. Pour avoir une variation linéaire de t_{delay} , il faut que l'un des trois paramètres C, V_{sw} ou $\overline{I_{cp}}$ varie linéairement. Trois cas de figure sont possibles :

1. variation de la capacité C : cette capacité peut être soit intégrée (ex : métal/métal), soit parasite (ex. une grille de MOSFET). La capacité parasite dépend uniquement des paramètres technologiques (taille des transistors, longueur des fils de routage). Elle est de toutes manières figée pour une structure matérielle donnée et n'est donc pas utilisable pour réaliser une capacité variable. Il existe plusieurs types de capacité intégrée qui peuvent être soit fixe, soit variable. La capacité de type « MOS capacitor » est habituellement fixe, sa valeur est déterminée par sa surface et par les paramètres technologiques. Les capacités variables sont en général réalisées par une jonction PN polarisée en inverse, leur valeur est fonction de la tension de polarisation inverse (V_{polar}). Si l'on utilise ce type de capacité pour faire varier le temps de propagation de la cellule de retard, on obtient une fonction non linéaire car la fonction de transfert $C=f(V_{polar})$ de ces capacités est elle-même non linéaire. Ce n'est donc pas une bonne solution.
2. Variation de l'amplitude du signal d'horloge V_{sw} : C'est la tension du seuil de basculement du premier étage d'inverseur. Généralement cette tension de seuil V_{sw} est égale à la moitié de la tension d'alimentation $V_{sw}=V_{DD}/2$ et cette valeur ne peut pas être modifiée.
3. Variation du courant de charge ou de décharge I_{cp} : I_{cp} est le courant moyen lors des commutations de l'inverseur. Dans l'équation (3-12), le délai de la cellule de retard t_{delay} dépend du courant de charge selon une fonction en 1/x. Il est possible d'ajuster indépendamment les courants de charge et de décharge I_{cp} en plaçant deux transistors supplémentaires (MP1 et MN1) comme illustré sur la Figure 3-12(b). Le réglage du courant I_{cp} se fait par l'intermédiaire des tensions de commande des nœuds $V_{ctrl,p}$ et $V_{ctrl,n}$.

Il y a trois inverseurs à appauvrissement de courant possibles (cf. Figure 3-13) : (a) « footer device » : c'est le transistor NMOS (en bleu) placé au pied de l'inverseur qui régule le courant. (b) « Header device » : c'est le transistor PMOS (en bleu) placé en haut qui régule le courant. (c) « both side device » : ce sont deux transistors NMOS et PMOS respectivement placés au pied et en haut de l'inverseur qui régulent le courant.

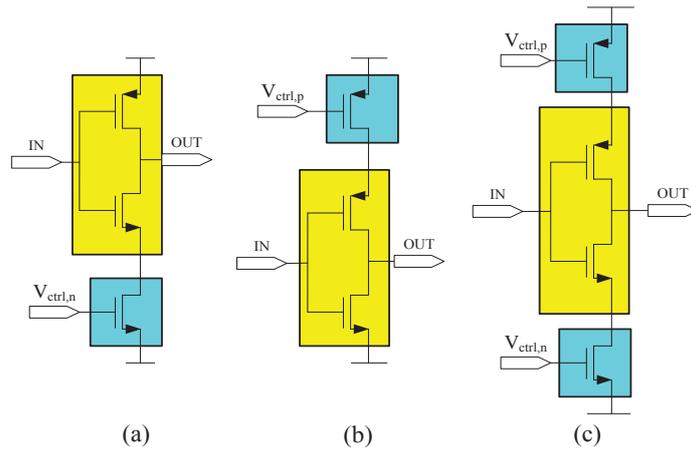


Figure 3-13 : Inverseur à appauvrissement de courant : (a) « Footer device » (b) « Header device » (c) « both device » [51].

« Footer device » : le contrôle du courant, réalisé par le transistor placé au pied de l'inverseur agit sur le front descendant.

« Header device » : le contrôle du courant, réalisé par le transistor placé en haut de l'inverseur agit sur le front montant.

« Both side device » : le contrôle du courant, réalisé par les transistors placés au pied et en haut de l'inverseur agissent respectivement sur les fronts descendant et montant.

Généralement, une cellule de retard est composée de deux inverseurs à appauvrissement de courant. Il y a 6 combinaisons possibles pour réaliser une cellule de retard : (a)+(a) ; (a)+(b) ; (a)+(c) ; (b)+(b) ; (b)+(c) ; (c)+(c). Seules 3 combinaisons permettent d'agir de manière symétrique sur le front montant et sur le front descendant du signal, ces combinaisons sont : (a)+(a), (b)+(b) et (c)+(c).

L'utilisation du « header device » implique un transistor de régulation de type PMOS, qui nécessite un W/L deux fois plus grand qu'un transistor NMOS à transconductance g_m équivalente. Cela implique évidemment une surface de silicium plus importante, de plus grandes capacités parasites, une vitesse plus faible et un coût supérieur pour la topologie « Header device » par rapport à la topologie « Footer device ». La topologie « Both side device » a les mêmes inconvénients que la topologie « Header device », puisqu'elle utilise elle aussi le même transistor PMOS. Elle nécessite de plus un circuit de « bias » plus complexe pour la polarisation des deux transistors NMOS et PMOS, ce qui augmente encore la complexité du circuit. La topologie « Footer device » est la meilleure solution puisque comme illustré sur Figure 3-14, le délai du front montant ($t_{delay,FM}$) et celui du front descendant ($t_{delay,FD}$) à la sortie de la cellule à retard sont égaux. Chacun d'eux est égal à la somme d'un délai front montant ($t_{delay,m}$) plus un délai front descendant ($t_{delay,d}$) d'un « Footer device » :

$$t_{delay,FM} = t_{delay,FD} = t_{delay,m} + t_{delay,d} \quad (3-13)$$

Le fait qu'en sortie de la cellule à retard, les délais des fronts montant et descendant soient égaux, permet de minimiser les effets de distorsions qui peuvent se cumuler tout au long de la VCDL jusqu'à la rendre inutilisable. Figure 3-11 et Figure

3-15 mettent en évidence l'accumulation d'une distorsion des fronts sur une VCDL de 5 étages. Pour améliorer la linéarité du délai d'une VCDL et aussi pour minimiser le jitter provoqué par le bruit, un nouveau type d'élément de retard différentiel avec une charge symétrique (Figure 3-16(b)) est proposé dans [61] et illustré sur la Figure 3-16(a). La régulation se fait par l'intermédiaire d'un transistor MOSFET en parallèle avec une diode. Sa caractéristique I/V illustrée sur la Figure 3-16 (c) permet une meilleure linéarité. Cette cellule permet de plus une grande réjection du bruit d'alimentation, elle est cependant complexe et dissipe une plus grande puissance.

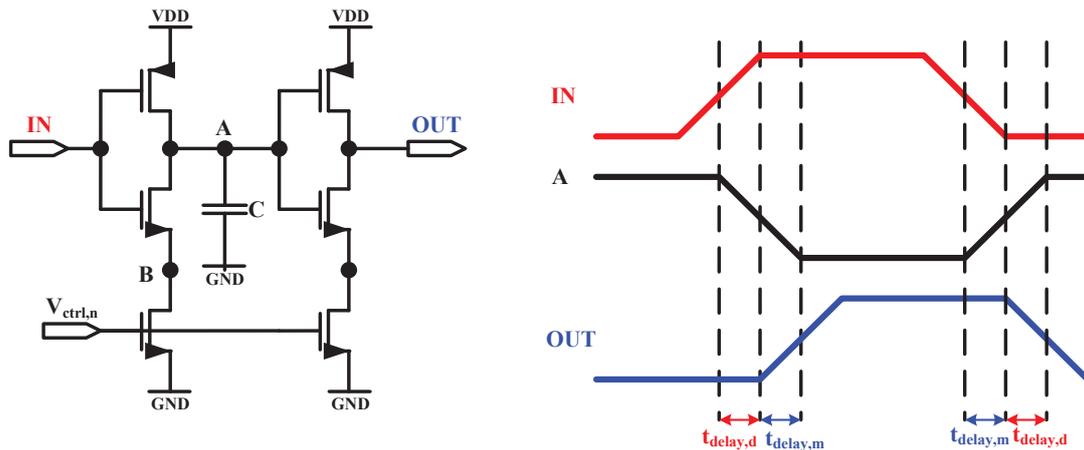


Figure 3-14 : Combinaison (a+a) et son chronogramme

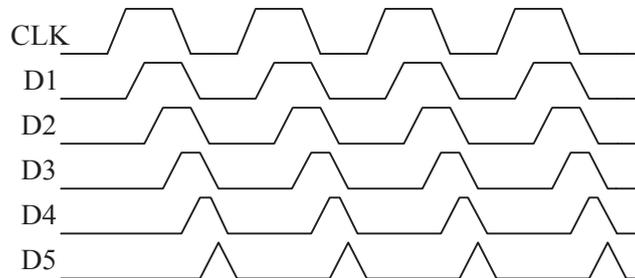


Figure 3-15 : Propagation de la distorsion des fronts dans une VCDL (délai du front montant > délai du front descendant)

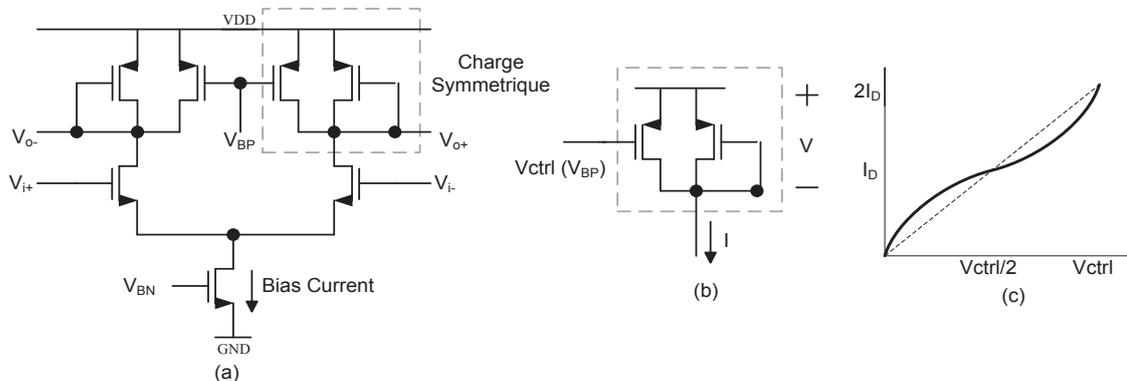


Figure 3-16 : Charge symétrique et sa caractéristique I/V.

Pour une cellule de retard à base de « footer device » (cf. Figure 3-14) on peut exprimer les délais des fronts montant et descendant à partir de l'équation (3-10) comme suit :

$$t_{delay,m} = \frac{C}{I_{ch}} \cdot V_{sw} \quad (3-14)$$

$$t_{delay,m} = \frac{C}{I_{dch}} \cdot V_{sw} , \quad (3-15)$$

où C est la capacité parasite du nœud A (cf. Figure 3-14), I_{ch} et I_{dch} sont respectivement les courants charge/décharge pendant les phases de transition de l'inverseur. Et V_{sw} la tension de seuil de l'inverseur avec $V_{sw}=V_{DD}/2$, le délai pour une cellule à retard peut être exprimé par :

$$t_{delay} = t_{delay,m} + t_{delay,d} = \frac{C}{I_{ch}} \cdot V_{sw} + \frac{C}{I_{dch}} \cdot V_{sw} \quad (3-16)$$

Dans l'équation (3-16), seul le courant de décharge I_{dch} est contrôlé, le courant de charge I_{ch} est lui imposé par les paramètres technologiques. Pour simplifier l'analyse, nous assimilons le courant de décharge de la capacité C à un triangle isocèle. Le courant moyen de décharge peut donc s'écrire comme suit :

$$\overline{I_{dch}} = \frac{I_{dch,max}}{2} = \frac{1}{4} \mu_n C_{ox} \left(\frac{W}{L} \right)_n V_{ov}^2 = K \cdot (V_{ctrl} - V_{th})^2 \quad (3-17)$$

V_{th} étant la tension de seuil et W/L le rapport d'aspect du transistor de régulation,

$$\text{et } K = \frac{1}{4} \mu_n C_{ox} \left(\frac{W}{L} \right)_n .$$

La sortie de chaque cellule de retard pilote respectivement l'entrée de la cellule suivante (pour la propagation de l'horloge à travers la ligne) ainsi qu'un buffer, utilisé pour transférer les informations de phase au registre mémoire. Ce buffer ajoute une capacité parasite qui allonge le délai de chaque cellule. La taille de ce buffer numérique est donc petite de manière à ne pas trop détériorer la résolution temporelle de la DLL.

3.2.5.3 Cellule de retard proposée

Le montage de la cellule de retard employée dans la VCDL est illustré sur la Figure 3-17. Ses caractéristiques déterminent directement la gamme de délai et la linéarité de la DLL. Cette cellule de retard est à appauvrissement de courant avec un transistor de contrôle placé au pied de l'inverseur. Le premier inverseur réalisé avec les transistors MP1-MN1 et mis en cascade avec le second réalisé avec les transistors MP2-MN2. Les transistors MN3 et MN5 commandés par la tension de contrôle V_{CTRL} permettent la régulation du courant lors des commutations des inverseurs. Les diodes MN4 et MN6 en parallèle avec les transistors MN3 et MN5 permettent de rendre plus linéaire le délai et de limiter son amplitude cf. Figure 3-18.

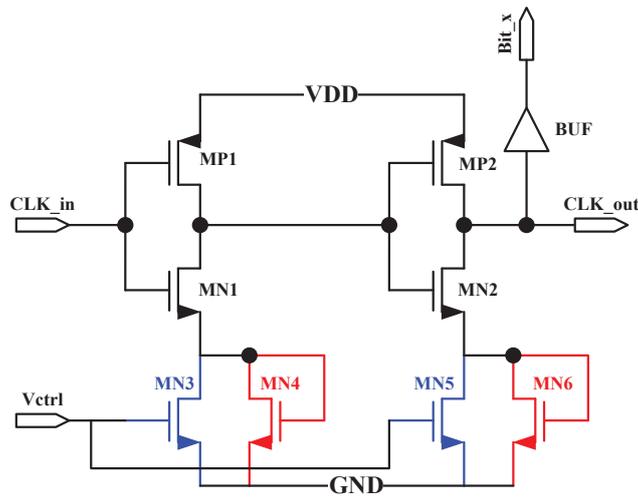


Figure 3-17 : Montage de la cellule de retard.

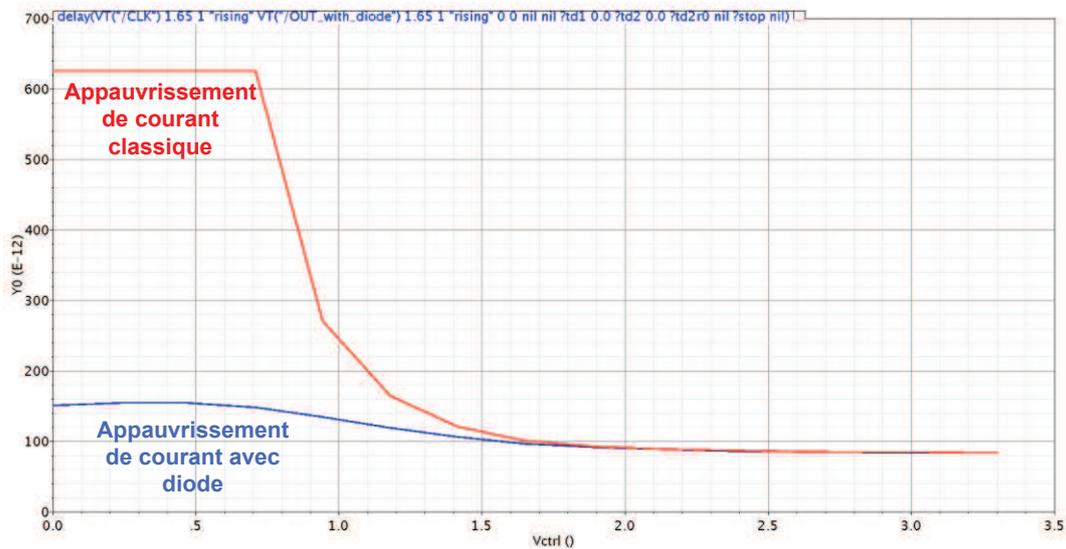


Figure 3-18 : Comparaison des chronogrammes de simulation post-layout du délai d'une cellule de retard à appauvrissement de courant avec et sans diodes en parallèles avec MOSFET de contrôle.

Cette figure représente la caractéristique de délai d'une cellule à appauvrissement de courant classique (courbe rouge), alors que la courbe bleue représente la même caractéristique mais pour une cellule ayant des transistors connectés en diodes en parallèle avec MOSFET de régulation (cf. Figure 3-17). Il est évident que la cellule avec la diode est plus linéaire que la cellule classique, elle a également un gain beaucoup plus faible, ce qui permet de rendre le délai de la cellule moins sensible aux variations de V_{CTRL} et par la même de minimiser le jitter lié à ces variations. En outre le délai minimum n'étant pas modifié, la résolution de la DLL n'est pas détériorée par la présence de cette diode.

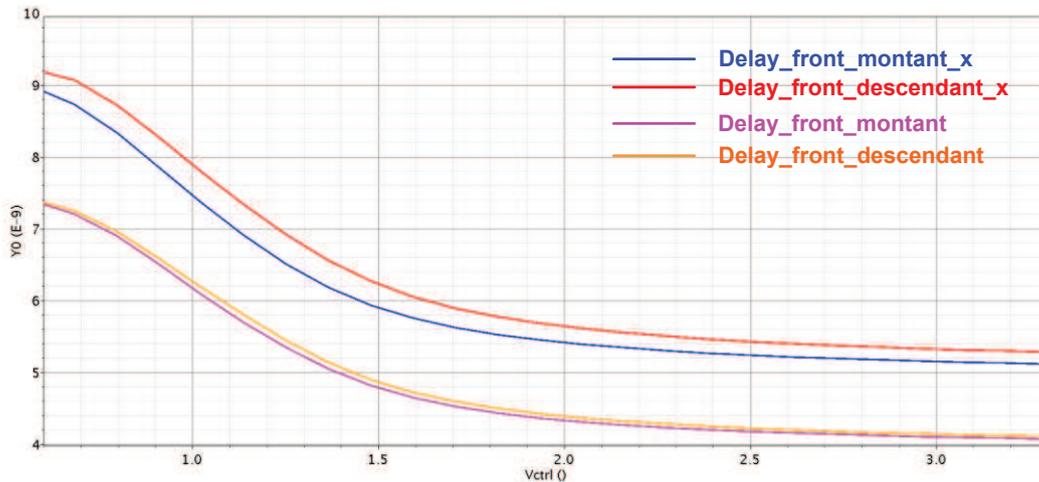


Figure 3-19 : Délais des fronts montant et descendants des signaux CLK_in et CLK_out en simulation à 80 °C, Delay_front_montant_x/descendant_x en simulation post-layout et Delay_front_montant/descendant en simulation schématique.

Comme illustré sur la Figure 3-19, les retards entre les fronts montant et descendant de la ligne à retard proposée sont très peu différents. Cette différence de retard en simulation du schéma est de 40 ps à 95 ps. Si cette différence est distribuée uniformément sur chaque cellule de retard, la différence de retard des fronts montants et descendants pour une cellule est de 1.25 ps à 2.96 ps. Cette différence est négligeable devant le délai d'une cellule (~195 ps) et évite toute distorsion du rapport cyclique dans la VCDL.

En simulation post-layout, cette différence de retard entre les fronts montant et descendant passe à 200 ps. Soit pour chaque étage de la VCDL une différence de $200/32=6.25$ ps. Cet écart au niveau d'une cellule peut sembler négligeable (6.25 vs 195), mais peut causer des problèmes de décodage lorsqu'il est intégré sur l'ensemble de la VCDL (cf. paragraphe 3.6.3).

3.2.5.4 Ligne à retard proposée

La Figure 3-20 représente le schéma de la ligne à retard commandée en tension qui est utilisée dans la DLL proposée. La ligne à retard est constituée de 34 cellules, et chacune d'entre elles peut retarder l'horloge de t_d . 32 cellules sont utilisées pour fournir la mesure de temps finale, et les 2 cellules restantes (positionnées aux extrémités de la VCDL) sont utilisées comme « dummy » cellules. Ces deux « dummy » cellules permettent aux 32 autres cellules de « driver » exactement les mêmes impédances et d'être drivées exactement par la même source (y compris la 1^{ère} et la 32^{ème} cellule). Les caractéristiques des signaux d'horloge CLK_in et CLK_out sont ainsi identiques comme illustré sur la Figure 3-21. De plus, le fait de rendre uniforme les signaux d'entrée et de sortie de la chaîne de délai permet au comparateur de phase de minimiser l'erreur de phase.

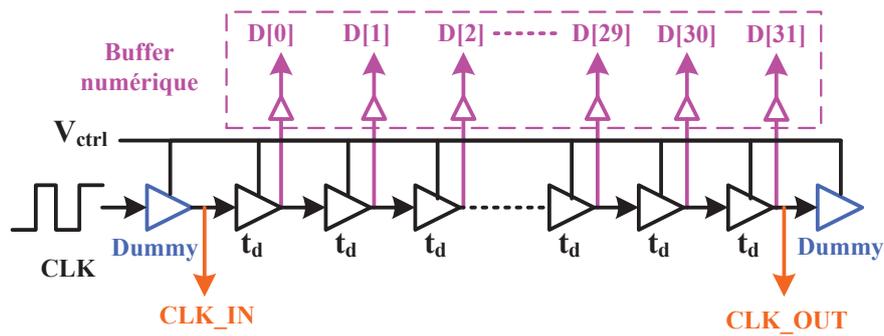


Figure 3-20 : VCDL de la DLL proposée.

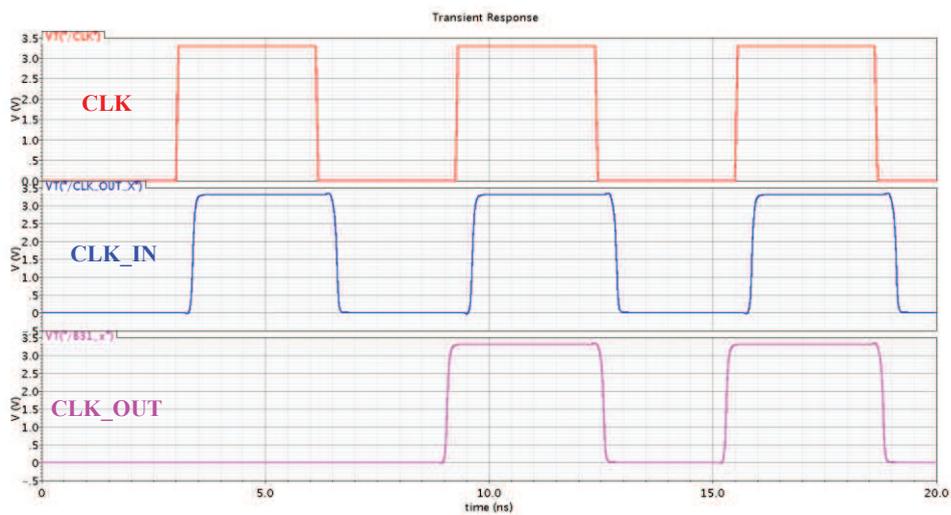


Figure 3-21 : Chronogramme des signaux d'entrée et de sortie de la VCDL (simulation post-layout).

3.2.5.5 Layout et simulation

Du fait que le délai de la cellule de retard est très sensible aux composants parasites, son layout doit être réalisé avec beaucoup d'attention, notamment sur la largeur et la longueur des fils de connexion. Comme tous les composants numériques, les fluctuations de la tension d'alimentation peuvent modifier le délai des cellules à retard. Pour limiter au maximum ce phénomène, le routage des rails d'alimentation est réalisé avec des pistes très larges et sur 4 niveaux de métaux en parallèle.

Le layout d'une seule cellule de retard est représenté sur la Figure 3-23. Les rails d'alimentation sont routés avec $W=15.8 \mu\text{m}$ et $L=10 \mu\text{m}$. La piste de V_{CTRL} est réalisée avec $W=6.4 \mu\text{m}$ pour minimiser la résistance distribuée. De cette manière la tension V_{CTRL} est distribuée sur la totalité de la VCDL sans disparité. En outre, pour minimiser l'effet de substrat, les composants utilisés ont un substrat isolé de la masse (librairie Corelib_3B) ; de cette manière très peu de courant traverse le substrat, et l'effet du substrat est minimisé.

Pour faciliter l'assemblage du layout final, le layout des cellules à retard est réalisé avec une connexion automatique vers la cellule précédente/suivante. La largeur du layout d'une cellule de retard est de $15.8 \mu\text{m}$ ce qui au final pour une ligne de $32+2$ cellules représente une longueur de $34 \times 15.8 = 537 \mu\text{m}$.

Les fluctuations de température modifient les tensions de seuils des transistors MOSFET et donc modifient également le délai de chaque cellule de retard. Les fluctuations de délai en fonction de la température sont représentées Figure 3-22. Dans la gamme de température $20^\circ\text{C} - 80^\circ\text{C}$, le retard de 6.25 ns correspondant au cahier des charges traverse l'ensemble des courbes. Avec cette VCDL, il y aura toujours une tension V_{CTRL} qui permettra d'atteindre la consigne de 6.25 ns dans la gamme de température $20^\circ\text{C} - 80^\circ\text{C}$.

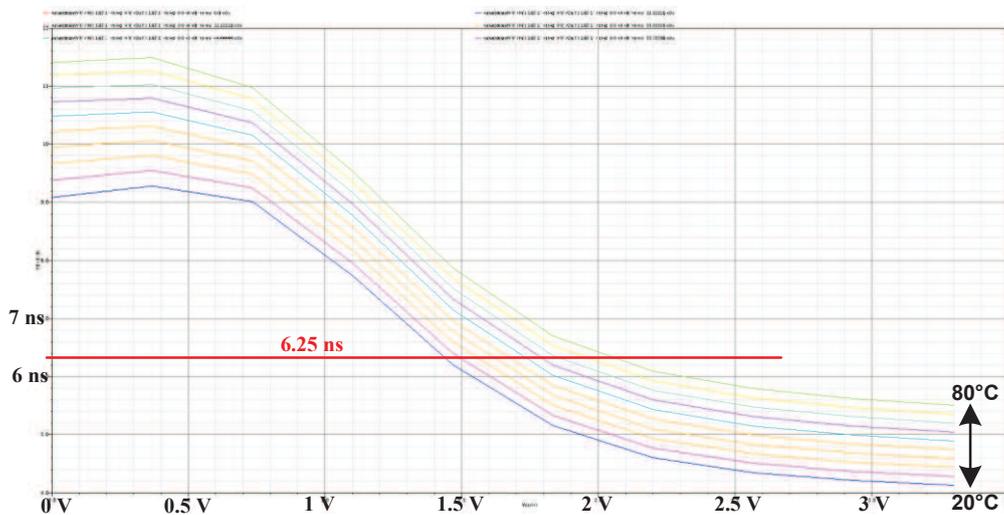


Figure 3-22 : Délai de la ligne à retard en fonction de la température.

Le délai de la cellule à retard dépend de manière très importante des composants parasites. En effet la capacité de charge/décharge de la cellule de retard est une capacité parasite. Les caractéristiques des cellules et de la ligne dans cet ensemble ne peuvent être déterminées qu'avec des simulations post-layout. Les dimensions des transistors sont données dans le Tableau 3-4. Avec ces transistors, le délai d'une cellule est de 200 ps pour un V_{CTRL} de 1.65 V .

Transistor	La taille ($\mu\text{m}/\mu\text{m}$)
MP1 et MP2	6/0.35
MN1 et MN2	2/0.35
MN3 et MN5	4/0.35
MN4 et MN6	4/0.35

Tableau 3-4 : Dimensions des transistors de la cellule de retard proposée.

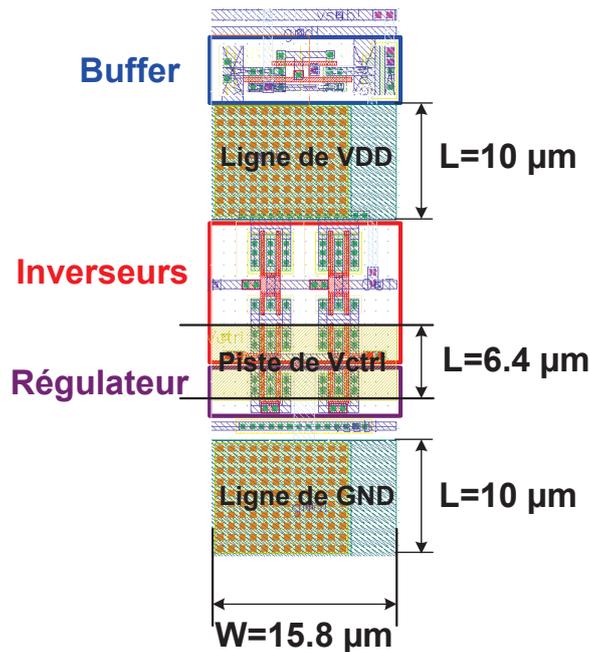


Figure 3-23 : Layout d'une cellule de retard.

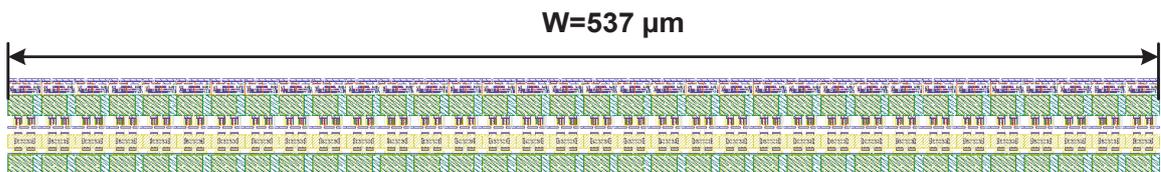


Figure 3-24 : Layout de la ligne à retard commandée en tension.

3.2.6 Contrôleur de phase

Le contrôleur de phase (cf. Figure 3-25) est composé de :

- un détecteur de phase générant les signaux « UP » et « DN » dont la durée est proportionnelle à l'écart de phase qu'il y a entre le signal d'entrée et de sortie de la ligne à retard ;
- un système d'initialisation qui permet de forcer l'état logique de la sortie du contrôleur de phase durant la phase de démarrage ;
- un système de compensation d'offset de phase avec commande manuelle. En effet, en raison des variations des procédés de fabrication, il est impossible d'annuler complètement l'erreur de phase qui résulte de la convergence de la DLL. C'est pourquoi ce système a été intégré pour corriger l'erreur de phase de façon externe à l'ASIC.

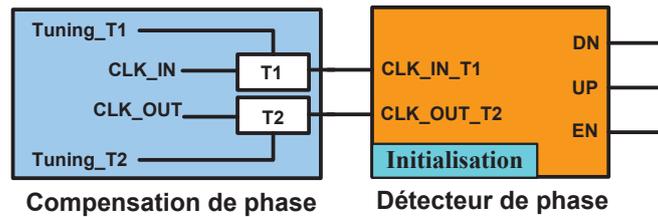


Figure 3-25 : Contrôleur de phase proposé

3.2.6.1 Détecteur de phase

On distingue deux types de détecteur de phase (PD) : les PD analogiques, et les PD construits à partir de logique numérique (cf. Figure 3-26). Ces derniers sont souvent moins performants en termes de bruit, mais ils ont l'avantage d'être bien plus robustes (en particulier dans les applications à haute vitesse) et d'avoir une réponse linéaire pour de petits déphasages (les PD classiques ont une réponse sinusoïdale).

Les détecteurs de phase principalement utilisés actuellement, illustrés sur la Figure 3-26 et décrits dans [69] sont : multiplieur, XOR, détecteur de phase à deux états, détecteur de phase et de fréquence, détecteur de phase d'horloge linéaire, détecteur de phase Bang-Bang. Leurs avantages et inconvénients sont listés dans le Tableau 3-5.

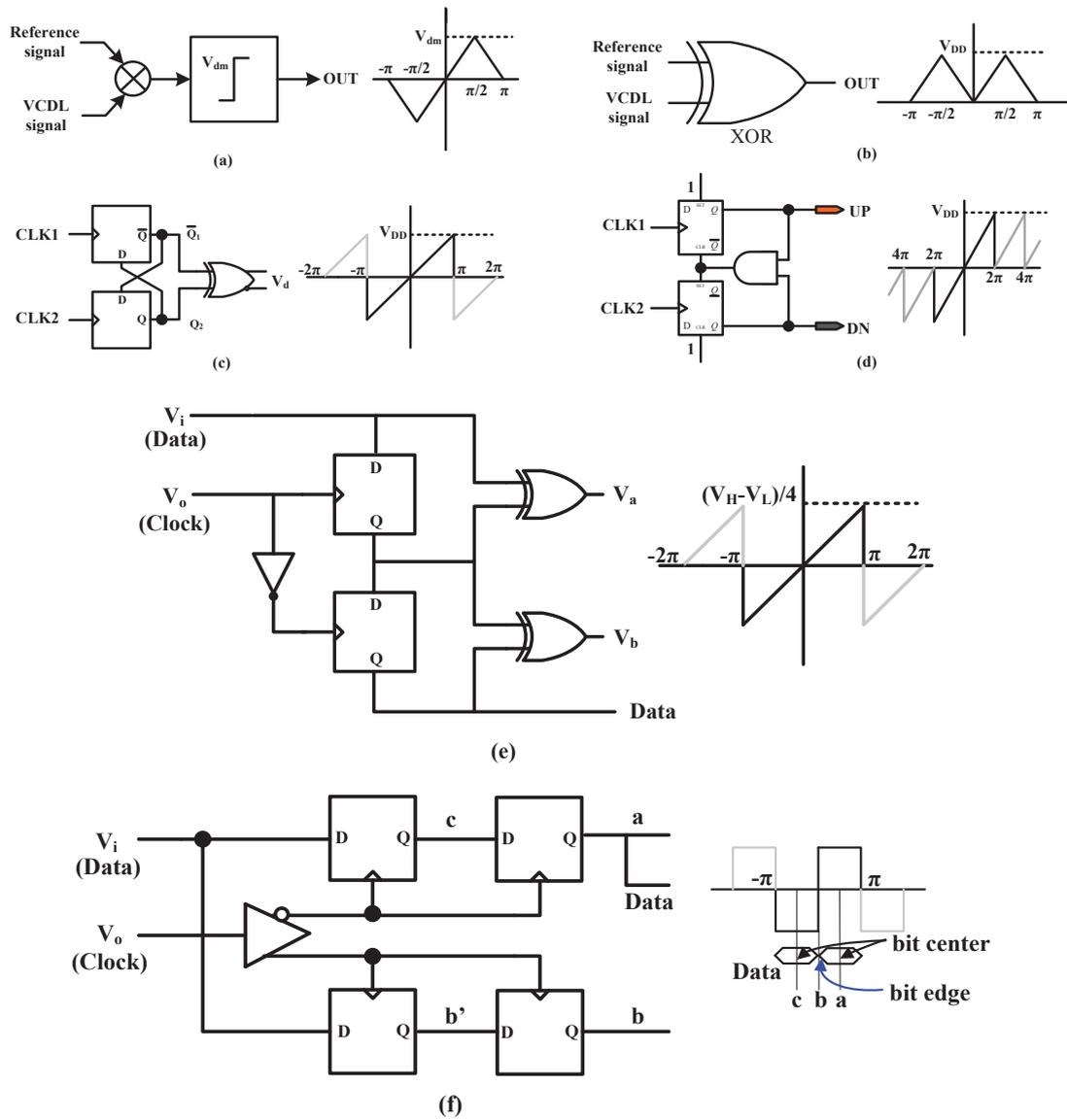


Figure 3-26 : Détecteurs de phase : (a) multiplieur (b) XOR (c) détecteur de phase à deux états (d) détecteur de phase et de fréquence (PFD) (e) détecteur de phase linéaire d'horloge (f) détecteur de phase Bang-Bang.

	Avantages	Inconvénients
Multiplieur (a)	meilleure performance de bruit [70, 71]	1. Linéarité : $-\pi/2$ à $\pi/2$ 2. Le gain dépend de l'amplitude du signal
XOR (b)	Le gain ne dépend pas de l'amplitude du signal	1. La dépendance avec le rapport cyclique [71, 72] 2. Linéarité : $-\pi/2$ à $\pi/2$
Détecteur de phase à deux états (c)	1. sensible sur front montant du signal d'entrée 2. Linéarité : $-\pi$ à π	Plus sensible au bruit de phase (jitter)
Détecteur de phase et de fréquence (PFD)(d)	1. Il est possible de lisser sa sortie en l'associant à une pompe de charge. 2. Linéarité : -2π à 2π	Non détection de front
Détecteur de phase d'horloge linéaire (e)	1. Linéarité : $-\pi$ à π 2. utilisé dans les applications CDR (Clock/Data Recovery)	-
Bang-Bang [73]	1. peut être utilisé pour les CDR à haute vitesse	1. Non-linéaire 2. oscillation en état de verrouillage.

Tableau 3-5 : Avantages / inconvénients des différents types de détecteurs de phase.

Les TDCs à base de DLL analogique. (cf. Tableau 3-2) souffrent d'un phénomène appelé « false-locking » [63]. Pour éviter ce phénomène, un détecteur de phase plus complexe, de type PFD (détecteur de phase et de fréquence) peut être utilisé. L'utilisation d'un dispositif de supervision sur l'état de la ligne à retard peut également permettre d'éviter ces phénomènes de false-locking (par exemple en comptant le nombre de fronts montants dans la ligne à retard).

3.2.6.2 Détecteur de phase et circuit de réinitialisation proposés

Le détecteur de phase illustré sur la Figure 3-27 est construit sur la base de blocs standards : bascule D, NAND, inverseur, buffer et circuit RC. Le circuit de réinitialisation est composé d'un circuit RC (pour créer un délai à partir de la mise sous tension), des bascules D1, D2 et de l'inverseur A (qui permettent de synchroniser le signal du RC sur l'horloge). Le détecteur de phase est constitué des bascules D3, D4 d'une porte NAND et d'un buffer.

Lors de la mise sous tension (étape 1 illustrée sur la Figure 3-28), le signal de reset des bascules D1 et D2 est relâché après un temps d'environ 10 ns correspondant à la constante de temps du circuit RC ($R=10\text{ k}\Omega$, $C=1\text{ pF}$). Le front descendant du signal d'horloge CLK_IN_T1 suivant cette désactivation active la sortie de la bascule D1 (étape 2). Le front montant du signal d'horloge CLK_IN_T1 suivant l'étape 2 permet l'activation de la sortie de la bascule D2 représentée par le signal EN (étapes 3 et 4). À partir de ce moment, la phase de réinitialisation est terminée, les bascules D3

et D4 sont activées et le comparateur de phase est opérationnel (étape 5). À chaque période de l'horloge, la différence de durée entre les signaux UP et DN représente le déphasage entre CLK_IN_T1 et CLK_OUT_T2. Lorsque les deux signaux UP et DN sont au niveau 'Haut' logique, le détecteur de phase est réinitialisé avec un retard de τ réalisé par un simple buffer (Etape 6) de manière à être prêt pour la période d'horloge suivante.

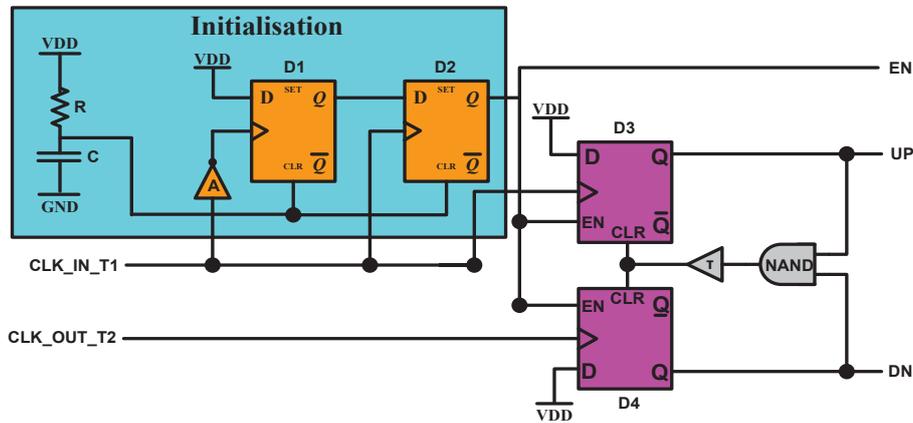


Figure 3-27 : Détecteur de phase à base de bascule D.

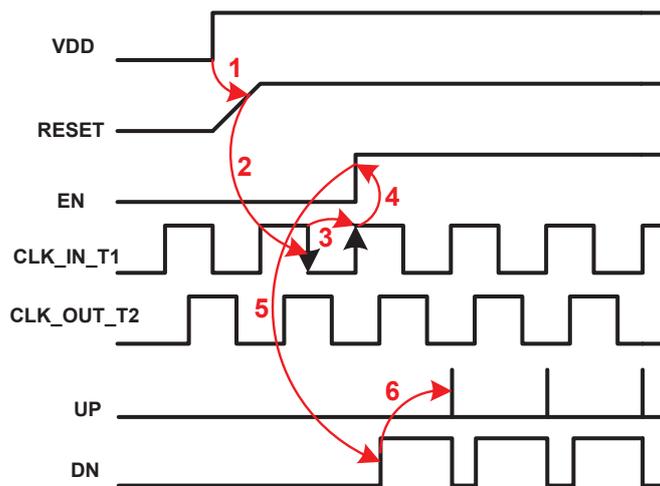


Figure 3-28 : Chronogramme des différents signaux du détecteur de phase durant la phase de réinitialisation.

3.2.6.3 Compensation d'offset de phase

Deux petites lignes à retard T1 et T2 sont placés en amont des entrées CLK_IN_T1 et CLK_OUT_T2 du détecteur de phase pour éliminer « manuellement » l'offset de phase du TDC (cf. Figure 3-25). En effet, lorsque la DLL est verrouillée, un faible offset de phase provoqué par les différents mismatches du layout et par le temps de réponse de la pompe de charge subsiste.

Chacune de ces deux petites lignes à retard est constituée de six cellules de retard (identiques à celles de la VCDL) commandée par une tension externe. Lorsque les délais fournis par T1 et T2 sont identiques, aucun retard supplémentaire n'est ajouté aux entrées CLK_in et CLK_out. Par contre une différence de délai entre T1 et T2 permet « d'avancer » ou de « retarder » un signal par rapport à l'autre. Ces deux délais sont ajustables dans la limite de $\pm 1.5ns$.

3.2.6.4 Dynamique de phase utilisable

Le diagramme d'état représentant les différents états du détecteur de phase et de fréquence (PFD) proposé est représenté sur la Figure 3-29.

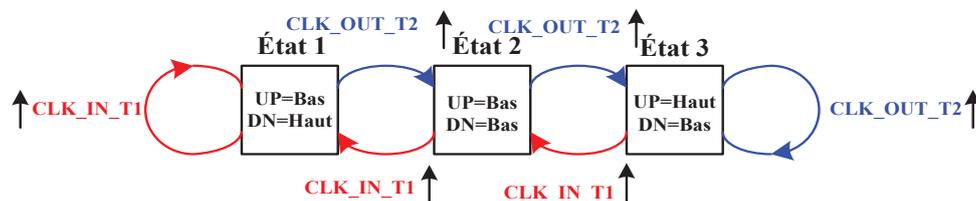


Figure 3-29 :Diagramme d'état du détecteur de phase proposé [74].

La fréquence maximale de fonctionnement de ce PFD est déterminée par la durée de l'état 2. Cette durée peut être exprimée par l'équation (3-20), elle est constituée de deux éléments : τ_H et τ_{Lmin} . τ_H est exprimé par l'équation (3-18), il représente la somme de trois temps de propagation t_3 , t_4 et t_1 . Ces temps représentent respectivement les temps de propagation de la porte NAND, du buffer et celui de la remise à 0 de la sortie Q de la bascule à partir de son entrée CLR. τ_{Lmin} est exprimé par l'équation (3-19), il représente la somme de trois temps de propagation t_3 , t_4 et t_2 . Ces temps représentent respectivement les temps de propagation de la porte NAND, du buffer et celui du temps de « recovery » des bascules D. L'équation (3-21) représente le rapport cyclique maximum exploitable sur la période d'horloge, il est appelé δ_{max} (ω_i étant la fréquence de l'horloge de référence). L'équation (3-22) représente la différence de phase maximum exploitable par le comparateur de phase, elle est notée θ_{em} .

$$\tau_H = t_1 + t_3 + t_4 \quad (3-18)$$

$$\tau_{Lmin} = t_2 + t_3 + t_4 \quad (3-19)$$

$$\tau_{min} = \tau_H + \tau_{Lmin} \quad (3-20)$$

$$\delta_{max} = 1 - \frac{\tau_{min}}{T} = 1 - \tau_{min} \cdot \frac{\omega_i}{2\pi} \quad (3-21)$$

$$\theta_{em} = 2\pi \cdot \delta_{max} = 2\pi - \tau_{min} \cdot \omega_i \quad (3-22)$$

Le Tableau 3-7 donne une évaluation des indicateurs de performance du détecteur de phase proposé. Les paramètres des composants ayant permis ce calcul sont listés dans le Tableau 3-6.

Nom des composants	Modèle	Temps de propagation [75]	
D3,D4	DFEC1_3B	CLR to Q	$t_1 = 200$ ps
		Temps de Recovery	$t_2 = 0$ ps
NAND	NAND20_3B	$t_3 = 80$ ps	
I	3 x BUF15_3B	$t_4 = 3 \times 120$ ps = 360 ps	

Tableau 3-6 : Paramètres des composants du détecteur de phase.

Indicateurs de performance	Valeur
τ_{min}	1.08 ns (~ 920 MHz)
$\delta_{max} (\omega_i = 2\pi \cdot 160 \text{ MHz})$	83%
$\theta_{em} (\omega_i = 2\pi \cdot 160 \text{ MHz})$	1.66π

Tableau 3-7 : Indicateurs de performance du détecteur de phase.

3.2.6.5 Zone morte du détecteur de phase proposé

On appelle zone morte le temps pendant lequel les courants de la pompe de charge ne s'écoulent pas proportionnellement à l'erreur de phase définie par les signaux UP et DN. Cette zone morte survient lorsque la durée des impulsions en sortie du détecteur de phase (signaux UP et DN) est inférieure au temps de commutation de la pompe de charge [76].

Pour éliminer cette zone morte dans la DLL, la durée de réinitialisation τ_H (cf. équation (3-18)) doit être supérieure au temps de commutation de la pompe de charge [76]. Cependant, un τ_H délai plus long va réduire la fréquence opérationnelle maximum et augmenter le risque de ne pas détecter un front (cf. Paragraphe 3.2.6.6). Un compromis est donc nécessaire et peut s'exprimer comme suit :

$$\Delta T_{R_{min}} < \tau_H < \Delta T_{R_{max}} \quad (3-23)$$

$\Delta T_{R_{max}}$ étant déterminé par la fréquence opérationnelle maximum et $\Delta T_{R_{min}}$ représentant le temps de commutation de la pompe de charge.

3.2.6.6 Front non détecté

Deux types de front non détecté peuvent intervenir, ils sont représentés sur les Figure 3-30 et Figure 3-31. La non-détection d'un front entraîne le verrouillage de la

DLL sur une période multiple ou sous-multiple de l'horloge de référence. La Figure 3-30 représente un front non détecté lié à l'arrivée d'un front montant durant l'état haut des signaux 'UP' et 'DN' (front non détecté de type 1). La Figure 3-31 représente une non détection de front liée à l'arrivée d'un front montant durant la phase de reset des bascules (front non détecté de type 2). Dans les deux cas, le contrôleur de phase ne peut pas prendre en compte l'arrivée de ce nouveau front montant, et pire encore, les fronts suivants vont être mal interprétés et vont amplifier l'erreur de phase.

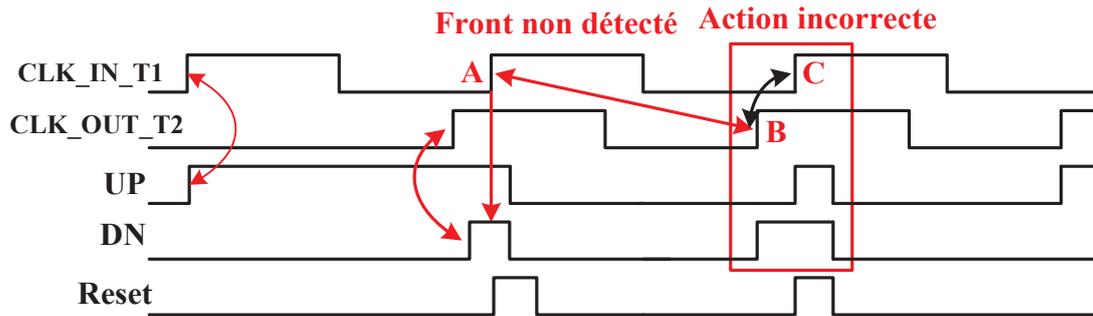


Figure 3-30 : Front non détecté de type 1.

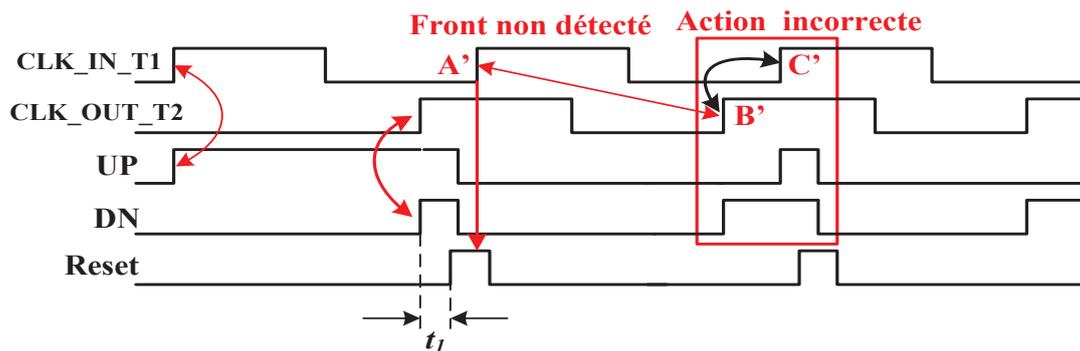


Figure 3-31 : Front non détecté de type 2.

Pour minimiser le risque de non détection d'un front de type 1, les temps de propagation des portes NAND et du buffer doivent être réduits. Les fronts non détectés de type 2 peuvent également être minimisés en réduisant le temps de propagation des bascules D (temps noté t_1 dans l'équation (2-18)). A contrario, la durée du signal de reset des bascules D doit être suffisante pour respecter les temps de setup et de hold de la bascule D imposés par la technologie. Il faut donc trouver un compromis entre la réduction des fronts non détectés et le bon respect des temps de setup et de hold des bascules D.

$$T_{HOLD} = \tau_1 + \tau_2 \quad (3-24)$$

τ_1 étant le temps de propagation de la porte NAND et du buffer, τ_2 le temps de propagation de CLK à Q de la bascule D.

3.2.6.1 Layout et simulation

Le layout du détecteur de phase est représenté sur la Figure 3-32. Il est réalisé sur la base d'éléments de la CORELIB_3B du fondeur AMS. L'utilisation de la CORELIB_3B au lieu de la CORELIB permet de bénéficier des composants dont la masse et le substrat sont séparés. On évite ainsi les effets de substrat. La dimension de ce détecteur de phase (sans le circuit RC) est : longueur : 157.6 μm , largeur : 15.6 μm .

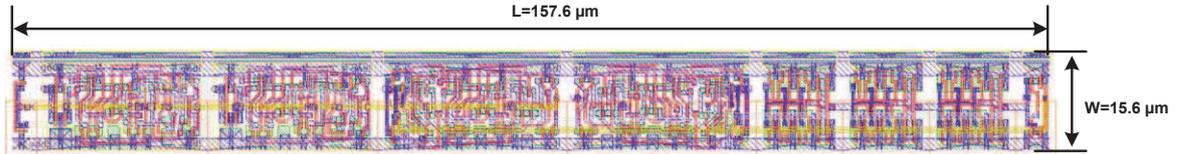


Figure 3-32 : Layout du détecteur de phase (sans le circuit RC).

Une simulation post-layout du contrôleur de phase est représentée sur la Figure 3-33. On voit clairement la phase de démarrage, suivie de la phase opérationnelle pour laquelle on a CLK_OUT_T2 qui est en avance de phase par rapport à CLK_IN_T1.

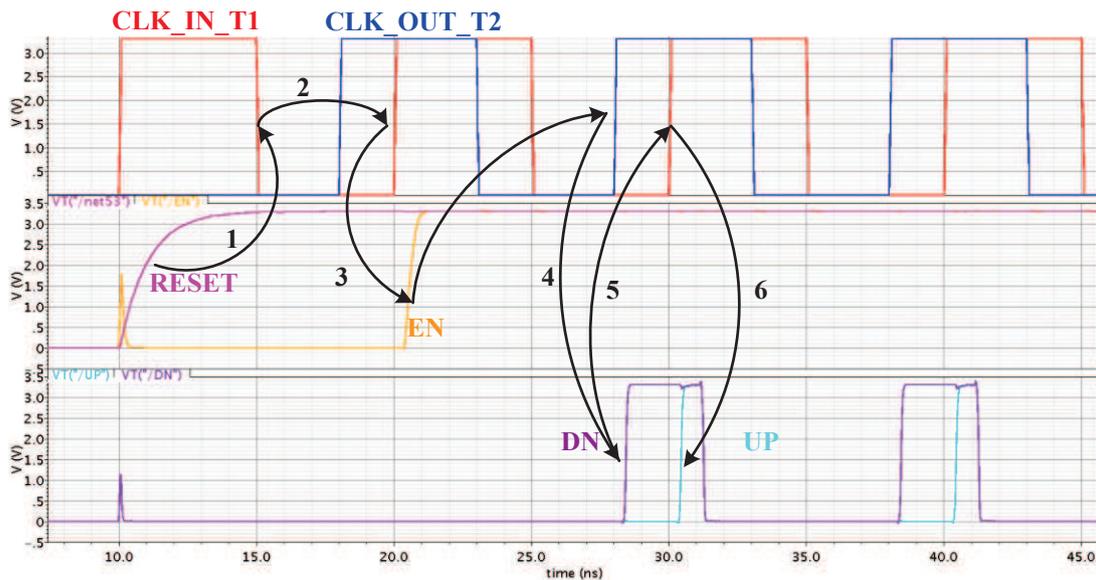


Figure 3-33 : Chronogramme de la simulation post-layout du contrôleur de phase.

3.2.7 Pompe de charge

3.2.7.1 Etat de l'art de pompe de charge

La pompe de charge joue un rôle très important dans le fonctionnement de la DLL. Dans une DLL, l'erreur de phase entre l'horloge de référence d'entrée et l'horloge de sortie du VCDL est détectée par le détecteur de phase et est transférée à la pompe de charge sous la forme d'impulsions de tension ou de courant. La pompe de charge effectue le réglage de la tension du filtre de boucle en modifiant le retard du

bloc VCDL en fonction du signal d'erreurs de phase qui provient du détecteur de phase. En principe, la pompe de charge est constituée de deux interrupteurs commandés, d'une source de courant de charge, d'une source de courant de décharge et d'une capacité de boucle C comme illustré sur Figure 3-34.

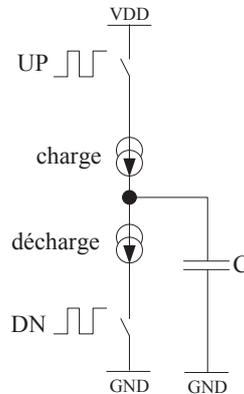


Figure 3-34 : Pompe de charge de base.

Les deux interrupteurs sont commandés par les impulsions UP et DN. Quand l'un des interrupteurs est fermé, les sources de courant vont charger ou décharger la capacité de boucle C. Ce processus de charge ou décharge continue jusqu'au verrouillage de la DLL, la tension aux bornes de la capacité de boucle est alors constante. Des phases égales de charge et de décharge peuvent continuer bien que la DLL soit verrouillée. Ce fonctionnement est nécessaire pour maintenir la charge de la capacité C et ainsi minimiser le jitter [61]. La structure de base présente un effet non-idéal majeur qui peut conduire à un jitter temporel : le mismatch entre le courant de charge I_{ch} et le courant de décharge I_{dch} . De plus, le temps de commutation des interrupteurs va également induire un jitter. Ces effets parasites sont d'autant plus nuisibles lorsque les phases de charge et de décharge se produisent quand la DLL est verrouillée. Le déphasage provoqué par le mismatch de la pompe de charge peut être approché par l'expression suivante [77]:

$$\varphi_{\text{offset}} = 2\pi \cdot \left[\frac{\Delta t_{on} \cdot I_{cp}}{T_{REF} \cdot I_{cp}} + \frac{T_{REF} \cdot \Delta i}{T_{REF} \cdot I_{cp}} \right] = 2\pi \cdot \frac{\Delta Q}{Q} \quad (3-25)$$

avec $\Delta Q = \Delta t_{on} \cdot I_{cp} + T_{REF} \cdot \Delta i$ la charge injectée par le mismatch en courant et le mismatch du temps de commutation des interrupteurs, Q est la charge injectée dans une période pour le courant I_{cp} . Δt_{on} est la différence de durée des impulsions UP et DN, Δi est le mismatch du courant de charge et de décharge, T_{REF} la période de l'horloge de référence d'entrée, I_{cp} le courant de charge et de décharge (normalement $I_{ch} = I_{dch}$). Le deuxième effet non idéal de la pompe de charge est le mismatch du temps de commutation des interrupteurs NMOS et PMOS. Ce phénomène est lié à la différence de mobilité des porteurs de charge pour les transistors NMOS et PMOS. Afin de réduire les effets de mismatch, il faut augmenter la période T_{REF} et le courant I_{cp} . Cette méthode est un compromis entre la consommation et la fréquence de fonctionnement.

Trois configurations possibles de la pompe de charge [77] sont illustrées sur la Figure 3-35:

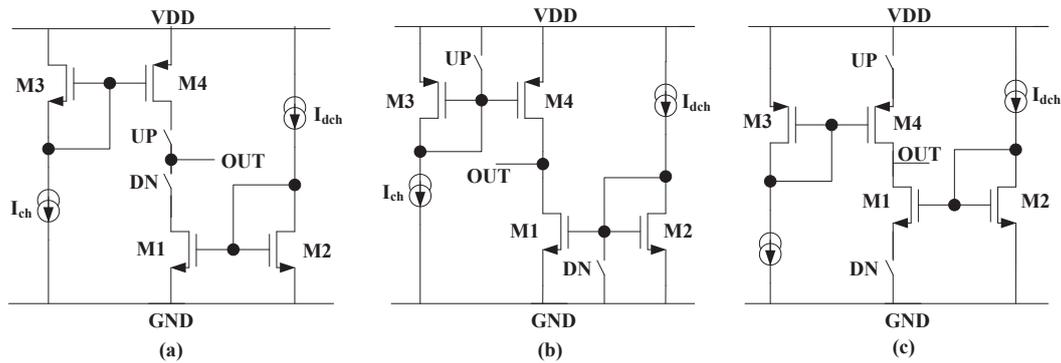


Figure 3-35 : Configurations de la pompe de charge : (a) interrupteur dans le drain (b) interrupteur dans la grille (c) interrupteur dans la source [77].

- La pompe de charge avec interrupteur dans le drain : il est difficile d'apparier les deux courants à cause de la variation de tension de la sortie. C'est l'effet de la modulation de longueur du canal des transistors NMOS et PMOS. En outre, si l'interrupteur est placé sur drain, il peut y avoir des injections de charges parasites sur la sortie.
- La pompe de charge avec interrupteur dans la grille : la capacité parasite C_{gs} des transistors M1-M4 conduit à un temps de commutation important. La vitesse de commutation des interrupteurs sera limitée.
- La pompe de charge avec interrupteur dans la source : les transistors M1 et M2 sont toujours en régime de saturation, les transconductances $g_{m3,4}$ n'affectent pas le temps de commutation. En conséquence, un faible courant de polarisation peut être utilisé avec un fort gain en courant pour les miroirs de courant M1-M2 et M3-M4. Cette architecture donne les temps de commutation les plus faibles car les interrupteurs sont connectés à un seul transistor à faible capacité parasite.

Parmi les trois configurations présentées, la pompe de charge avec interrupteur dans la source est la plus performante, par rapport aux structures plus simples, elle présente une faible dissipation de puissance et un temps de commutation faible.

Une pompe de charge de haute performance a été développée [77], elle est illustrée sur la Figure 3-36. Les miroirs de courant cascodés sont utilisés en sortie pour augmenter l'impédance de sortie, de sorte que la charge ou la décharge de courant ne soit pas significativement perturbée. Ces structures de miroirs de courant cascodés ont une influence notable sur la dynamique en tension de sortie.

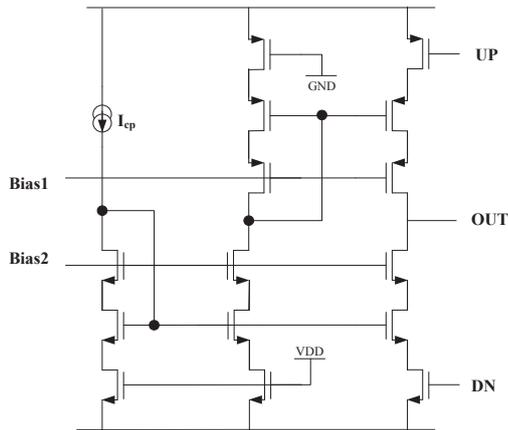


Figure 3-36 : La pompe de charge de haute performance [77].

3.2.7.1 Filtre de boucle dans la pompe de charge

Le filtre de boucle intégré dans les PLLs ou les DLLs a deux fonctions : générer la tension de contrôle et réduire l'ondulation résiduelle de la tension de contrôle. Dans les PLLs, un filtre de boucle du second ordre est illustré sur la Figure 3-37(a). Il est souvent employé dans les PLLS en raison de sa stabilité. Cependant pour les DLLs, une grosse capacité est nécessaire pour réduire les ondulations de la tension de contrôle. Le jitter de l'horloge en sera réduit. C'est un compromis entre performance et surface de silicium. Le filtre de boucle illustré sur la Figure 3-37(b) est le plus utilisé. La capacité peut être réalisée avec un transistor MOS pour réduire la surface comme illustré sur la Figure 3-37(c). Par contre, la valeur de ce type de capacité varie en fonction de la tension.

L'interrupteur 'Reset' est utilisé pour initialiser la tension de V_{CTRL} . Initialement la capacité est chargée à la tension d'alimentation. La valeur d'un élément de délai est alors à sa valeur minimale, ce qui permet à la DLL de démarrer correctement. L'interrupteur peut être réalisé par une paire complémentaire de transistors MOS pour diminuer la résistance équivalente de l'interrupteur.

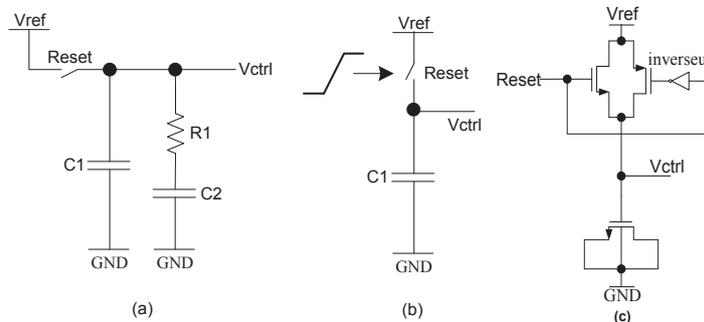


Figure 3-37 : Différents schéma de filtre de boucle (a) à deux pôle filtre (b) à un pôle filtre (c) circuit réel du filtre à un pôle.

3.2.7.2 Pompe de charge proposée

La pompe de charge employée dans la DLL est illustrée sur la Figure 3-38. C'est une pompe de charge unipolaire. Les transistors (MN1, MN2, MP9) sont employés pour s'assurer que les courants de charge et décharge soient toujours appariés quand les interrupteurs sont activés. Les miroirs de courant constitués par les transistors MN4-MN6 et MP7-MP8 assurent la fonction de pompe de charge. Les grilles de MN1-MN2 sont connectées à l'alimentation, la grille de MP9 est connectée à la masse pour assurer la symétrie de la tension dans toutes les branches quand MN3 et MP10 sont commandés. Lorsque la DLL est verrouillée, des impulsions simultanées de DN et UP font conduire simultanément MP10 et MN3. Dans ce cas, on peut être sûr que les potentiels de source de MP7 et MP8 seront identiques. C'est la même situation pour les potentiels des sources de MN4-MN6.

Le transistor MP11 est utilisé pour fixer la tension initiale de V_{CTRL} . MP11 fonctionne comme un interrupteur. Sa grille est pilotée par le contrôleur de phase. Avant que la DLL ne démarre, la commande EN est à un niveau logique '0' pour forcer V_{CTRL} à l'alimentation. Ensuite MP11 est bloqué en fixant sa grille à un niveau logique '1', V_{CTRL} va varier jusqu'à une valeur qui permette que CLK_IN et CLK_OUT soient en phase. BUF0 et INV0 sont des amplificateurs logiques pour adapter le niveau et la phase des tensions DN et UP. De plus il faut choisir BUF0 et INV0 avec les mêmes temps de propagation et la dimension la plus faible pour garantir la vitesse de commutation de l'interrupteur.

La Figure 3-39 montre le courant de charge et de décharge en fonction de la tension V_{ctrl} . Les courbes en lignes continues présentent le courant de décharge et les courbes en pointillés présentent le courant de charge. La tension V_{CTRL} varie dans la gamme de 0.5 V à 2.5 V. Les courants de charge et de décharge sont appariés pour les 4 courants de référence différents (de 10 μA à 50 μA). Le courant le plus faible va diminuer l'ondulation résiduelle de V_{CTRL} quand la DLL est verrouillée. Par contre, la phase de verrouillage sera plus longue. Cependant, pour minimiser l'effet de mismatch du courant de charge, du courant de décharge et le mismatch du temps de commutation des deux interrupteurs, il faut augmenter le courant. C'est un compromis entre l'ondulation résiduelle et l'effet de mismatch des courants de charge et de décharge.

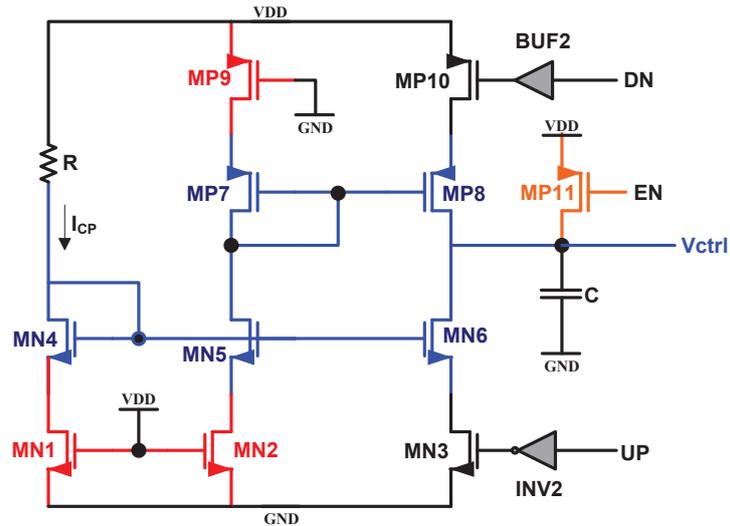


Figure 3-38 : Pompe de charge proposée.

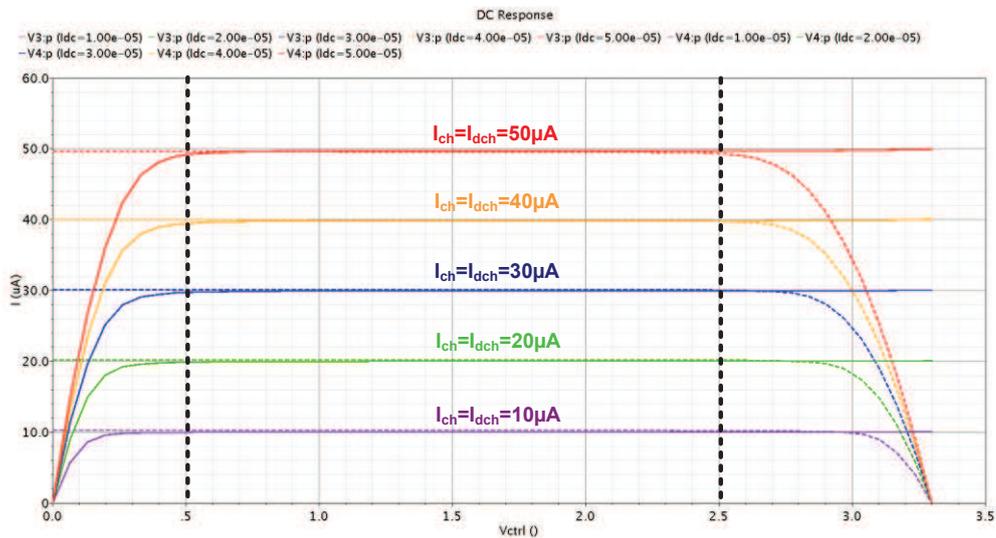


Figure 3-39 : Gamme de la tension de commande.

3.2.7.3 Le temps de commutation

Le temps de propagation entre la commande UP et une augmentation du courant de sortie doit être identique au temps de propagation de la commande DN et une diminution du courant de sortie. De cette façon, les courants de charge et de décharge seront égaux en amplitude et en phase. Ces temps de propagations sont liés aux :

- retards des portes logiques BUF2 et INV2,
- aux temps de commutation des transistors MN3 et MP10 travaillant en interrupteur.

3.2.7.4 Layout et simulation

Le layout de la pompe de charge réalisée est présenté sur la Figure 3-40. La pompe de charge fonctionne de façon à ajuster la tension de commande dans le bloc VCDL. En considérant la distribution des résistances parasites de la ligne, la sortie de la pompe de charge V_{CTRL} doit être connectée au milieu de la ligne VCDL pour symétriser la tension de commande. Une simulation post-layout de la pompe de charge est illustrée sur la Figure 3-41. La tension de V_{CTRL} est réinitialisée à 3.3 V pour garantir que le VCDL commence à fonctionner à partir du délai minimum afin d'éviter le risque potentiel de « false locking ».

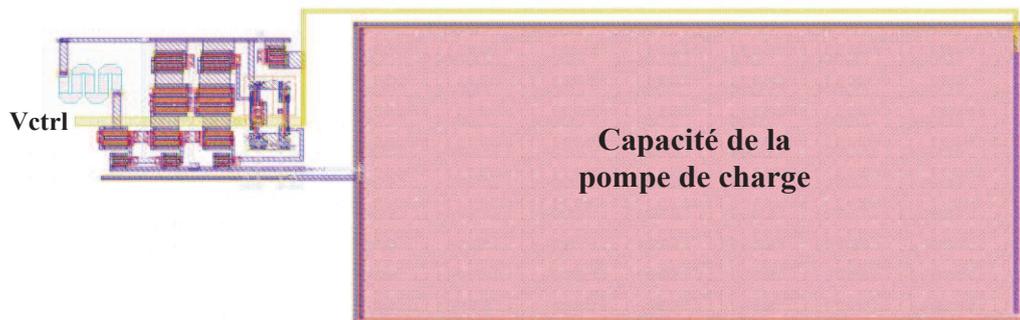


Figure 3-40 : Layout de la pompe de charge.

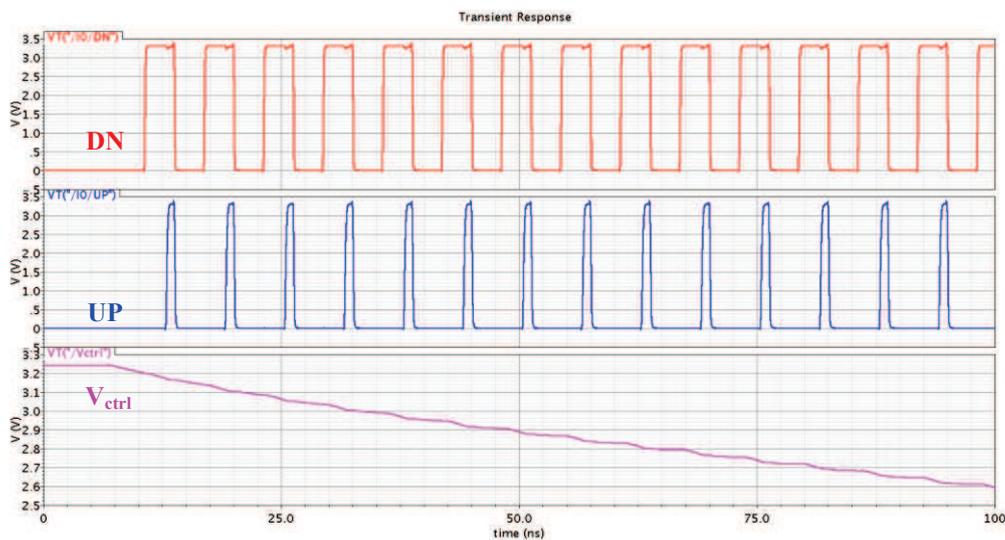


Figure 3-41 : Chronogrammes de simulation post layout de la pompe de charge.

3.2.8 Modélisation du jitter dans une DLL

Le jitter dans une DLL est un paramètre qui influe énormément sur sa performance. Le jitter se réfère aux variations aléatoires de la période du signal d'horloge de sortie, et caractérise la stabilité à court terme de cette horloge dans le domaine temporel.

On définit t_{nx} comme l'instant où le $x^{\text{ième}}$ front montant arrive sur la $n^{\text{ème}}$ cellule de retard de la VCDL. La période d'horloge peut être définie comme étant le temps entre l'arrivée de ce $x^{\text{ième}}$ front et l'arrivée du front suivant ($x+1$ ème) : $T_n = t_{n(x+1)} - t_{nx}$. La période moyenne du signal d'horloge étant \bar{T} . On peut définir un indicateur de jitter $\Delta T_n = T_n - \bar{T}$ comme étant la différence entre la période moyenne et la période calculée sur la $n^{\text{ème}}$ cellule T_n avec $\Delta T_n = T_n - \bar{T}$.

Trois types de jitter doivent être pris en compte [78]:

1. Le jitter absolu $\Delta T_{abs}(N)$: c'est le jitter accumulé durant les N premiers cycles d'horloge.

$$\Delta T_{abs}(N) = \sum_{n=1}^N \Delta T_n. \quad (3-26)$$

2. Le jitter de cycle : il représente la valeur efficace des fluctuations de cycle d'horloge.

$$\Delta T_c = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N \Delta T_n^2}. \quad (3-27)$$

3. Le jitter cycle à cycle, qui est défini comme la différence RMS entre deux périodes d'horloge consécutives.

$$\Delta T_{c-c} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \quad (3-28)$$

Les trois types de jitter ci-dessus peuvent être utilisés pour décrire les caractéristiques du jitter. En général, le jitter absolu est plutôt utilisé pour les PLLs, car il décrit très bien l'accumulation de jitter qui est caractéristique des PLLs. Pour d'autres circuits de synchronisation, y compris les DLLs, les deux autres types de jitter sont généralement utilisés. On peut décomposer un jitter en deux sources différentes : le jitter systématique et le jitter aléatoire[79]. Le jitter systématique est généralement provoqué par les différents mismatches de la conception. Alors que le jitter aléatoire, également connu sous le nom de jitter non-systématique, est principalement dû à certaines sources de bruits aléatoires telles que le bruit thermique, le bruit de substrat ou le bruit de l'alimentation.

Les principales contributions au bruit aléatoire dans une DLL proviennent de l'horloge d'entrée et de la VCDL. En effet, la VCDL est un système électronique mixte qui combine des parties analogiques et numériques. Comme dans tout système numérique, les nombreuses commutations des portes logiques peuvent provoquer par couplage capacitif des variations de la tension de substrat. Cependant la partie analogique partageant le même substrat, ces fluctuations de tension peuvent modifier les tensions de seuil des transistors NMOS :

$$V_{th,n} = V_{th0} + \gamma \left(\sqrt{|2\varphi_F + V_{SB}|} - \sqrt{|2\varphi_F|} \right). \quad (3-29)$$

est le coefficient de l'effet substrat, φ_F est le quasi potentiel de Fermi.

L'effet de cette fluctuation de substrat est moins important sur les transistors PMOS, car ces derniers possèdent un caisson N qui les isole du substrat. La manière la plus simple de se protéger de cet effet est d'utiliser la librairie CORELIB_3B du

fondeur AMS. En effet, toutes les cellules standards de cette librairie ont une masse séparée du substrat. Toutes les parties numériques du TDC sont dessinées en utilisant les cellules de cette librairie.

Pour minimiser le jitter dans la DLL, chaque source de jitter doit être analysée :

- **Jitter systématique** : lié aux différents mismatches
 1. Jitter lié aux mismatches sur la VCDL : la VCDL est composée de plusieurs cellules de retard, toutes différences / mismatches de ces cellules peuvent provoquer du jitter.
 2. Jitter lié aux mismatches sur la pompe de charge : deux types de mismatches sont à considérer pour la pompe de charge :
 - mismatches des courants de charge et de décharge,
 - mismatches des temps de commutation de charge et décharge.

Pour ces deux cas de figure, il en résulte un déséquilibre entre la charge et la décharge de la capacité, donc une fluctuation de la tension de sortie V_{ctrl} et donc une source de jitter potentiel.

3. Jitter lié aux mismatches du détecteur de phase : un mismatch des signaux UP et DN en sortie du détecteur de phase va provoquer, de la même manière que précédemment, un déséquilibre entre la charge et la décharge de la capacité en sortie de la pompe de charge.

- **Jitter aléatoire** :

1. jitter d'entrée : le jitter de l'horloge d'entrée est principalement lié au jitter du générateur de l'horloge. Ce type de jitter en entrée de la DLL influe directement sur la performance du TDC.
2. Le bruit d'alimentation et l'effet de substrat génèrent également du jitter sur la DLL.

Le jitter total peut être exprimé par l'équation suivant[80] :

$$\delta_{DLL}^2 = \delta_{in}^2 + \delta_{VCDL}^2 + \delta_{VC}^2 + \delta_{PFD}^2 \quad (3-30)$$

- δ_{DLL} : variance du jitter de la DLL ;
- δ_{in} : variance du jitter de l'horloge d'entrée ;
- δ_{VCDL} : variance du jitter provenant d'une chaîne de retards ;
- δ_{VC} : variance de jitter provenant de la pompe de charge ;
- δ_{PFD} : variance de jitter provenant du détecteur de phase.

Pour minimiser δ_{DLL} , il faut :

- fournir une horloge d'entrée à l'ASIC la plus « propre » possible,
- utiliser une chaîne de retard avec le moins de cellules possible,
- minimiser les mismatches sur le design de la pompe de charge et du comparateur de phase,
- des courants de charge / décharge les plus faibles possible et utiliser une capacité en sortie de la pompe de charge la plus grande possible (cela permet de minimiser les variations de V_{CTRL}),
- minimiser les fluctuations de la tension d'alimentation et du substrat : la ligne d'alimentation doit être la plus large possible et il faut séparer tous les substrats de la masse.

3.3 Traitement numérique des données

La DLL est utilisée pour marquer en temps les évènements provenant de l'hodoscope de faisceaux. Nous utilisons une DLL pour 32 voies d'hodoscope, la prise de temps étant effectuée sur le OU logique de ces 32 voies. Sur le front montant de ce OU logique, l'état de la VCDL est mémorisé dans une batterie de 32 registres (un bascule pour un élément de délai). Le contenu de ce registre est ensuite encodé en code Gray qui permet de réduire la taille du bus de sortie et de minimiser le risque d'erreur pour l'utilisateur. Un schéma bloc du traitement numérique des données est représenté sur la Figure 3-42 (a).

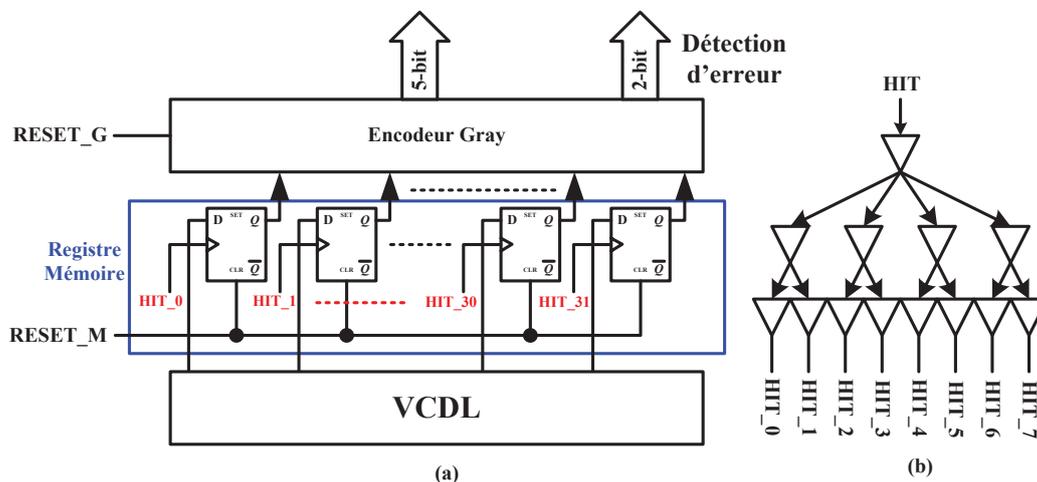


Figure 3-42 : Traitement numérique des données.

3.3.1 Le registre mémoire

Le registre mémoire de 32 bits utilisé est composé exclusivement de 32 bascules D de la CORELIB_3B du fondeur AMS. Pour que le contenu de ces 32

Outre la réduction du bus de sortie (32 bits -> 5 bits) cet encodeur permet de réduire l'effet des métastabilités qui peuvent survenir lors de l'enregistrement de l'état de la VCDL dans le registre. En effet, une métastabilité sur la bascule propageant la transition provoquera dans le pire des cas une erreur d'un seul LSB, soit dans notre cas 195 ps (cf. Figure 3-45).

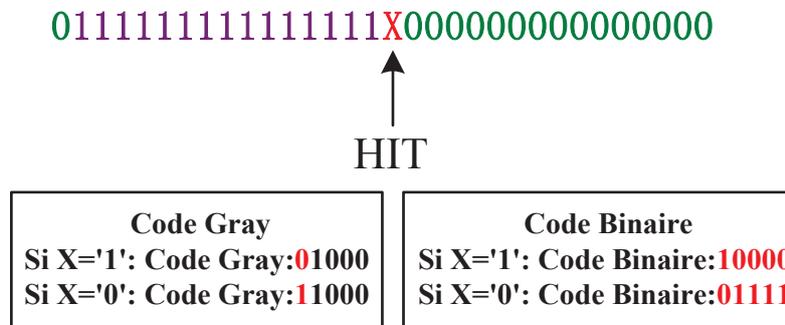


Figure 3-45 : Exemple de métastabilité et encodage associé.

L'encodage du front descendant rend le TDC très sensible aux déformations du rapport cyclique (cf. paragraphe 3.6.3). Un contrôleur de rapport cyclique a été ajouté à cet encodeur. Ce détecteur compte le nombre de '1' contenus dans le registre mémoire et s'active si ce nombre n'est pas compris dans l'intervalle suivant :

$$12 < \text{Nb '1'} < 20.$$

Un détecteur d'erreur compte également le nombre de transitions '10' et '01' (marquant un front d'horloge) contenues dans le registre mémoire. Ce détecteur signale une erreur si jamais le nombre de ces transitions est supérieur à 2.

Cet encodeur Gray a été réalisé en langage VHDL en technologie AMS 0.35µm, sa surface est de 754µm x 209µm (cf. Figure 3-46), et le temps de propagation est d'environ 2 ns.

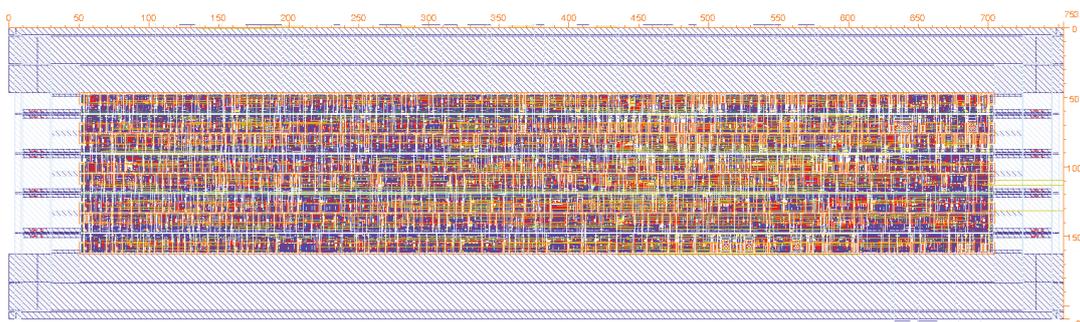


Figure 3-46 : Layout de l'encodeur Gray.

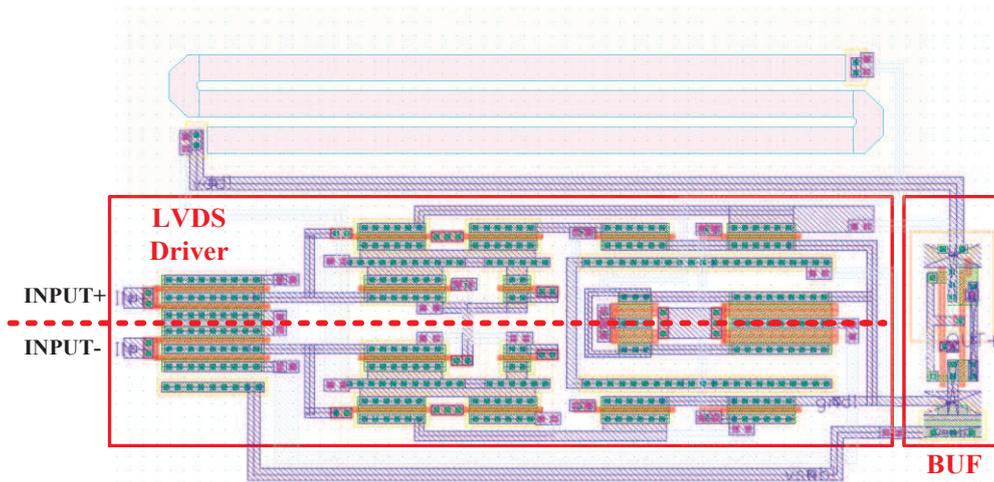


Figure 3-49 : Layout du récepteur LVDS.

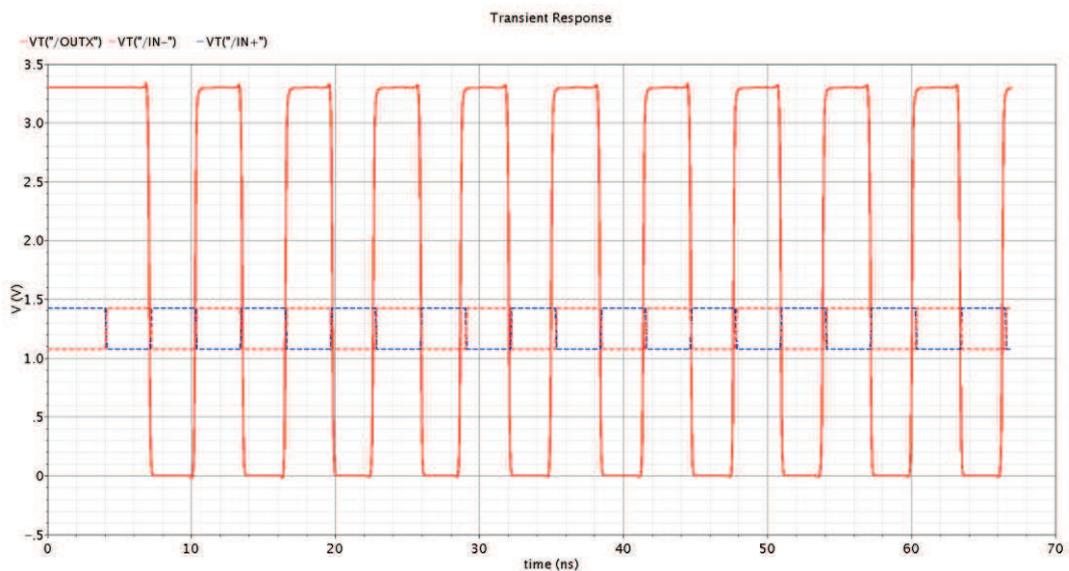


Figure 3-50 : Chronogrammes des signaux d'entrée et de sortie du récepteur LVDS pour une fréquence de 160 MHz (pour une simulation post-layout).

3.5 Layout et l'ASIC TDC

Le layout du cœur de l'ASIC TDC est représenté sur la Figure 3-51, il est constitué de 2 parties principales : la DLL et l'encodeur de Gray. Pour la partie DLL, chacun des sous blocs doit être placé avec une extrême attention de manière à ce que le signal V_{CTRL} qui distribue la tension de consigne à chaque élément retard soit le plus uniforme possible. Ce signal doit donc être éloigné de toutes les sources de bruit, et avoir une impédance la plus faible possible. La sortie de la pompe de charge qui génère ce signal est placé au milieu de la VCDL. Les fluctuations de la tension d'alimentation ont une influence directe sur le délai des éléments retard. La VCDL est

donc alimentée aux deux extrémités pour minimiser le bruit des alimentations. Chaque bascule du registre mémoire est alignée avec son élément retard de manière à minimiser les différences de temps de propagation.

Le layout de l'ASIC TDC est représenté Figure 3-52. Sa surface est $1868\mu\text{m} \times 1553\mu\text{m}$. Sur le layout, tous les pads utilisés proviennent de la librairie CORELIB_3B, de manière à séparer la masse du substrat et ainsi limiter l'effet de substrat.

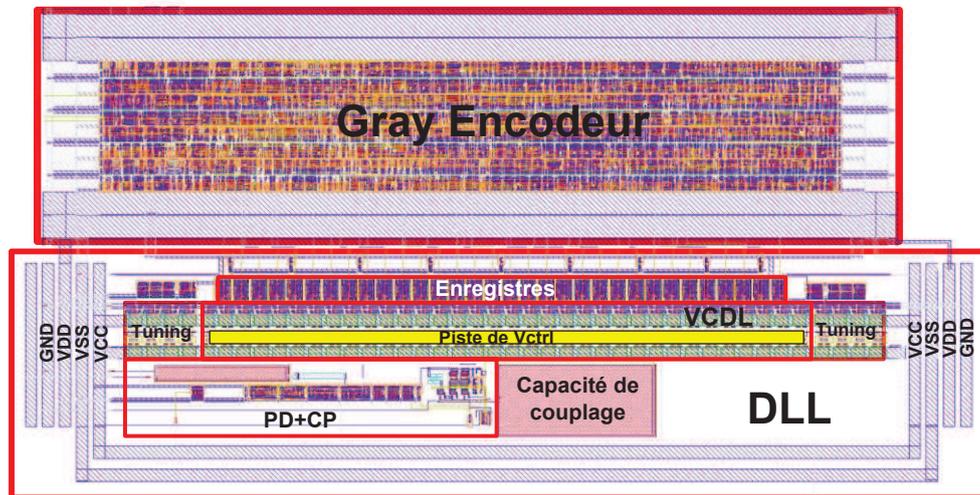


Figure 3-51 : Layout du cœur de l'ASIC TDC proposé.

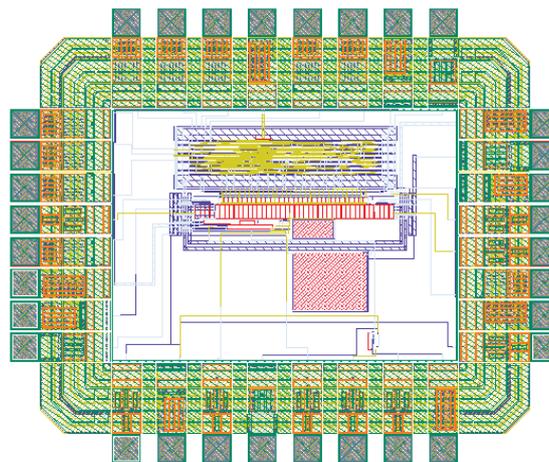


Figure 3-52 : Layout complet de l'ASIC TDC.

L'ASIC TDC a été fondu et mis dans un boîtier JLCC44, les interfaces de cet ASIC sont listées dans le Tableau 3-8. Les tests complets de cet ASIC et sa caractérisation sont détaillés au paragraphe 3.6.2.

Nom de pin	Type de pin	Nombre
VDD	Power	5
GND	Power	4
VSUB	Power	4
VSS	Power	2
LVDS_INPUT+	INPUT	1
LVDS_INPUT+	INPUT	1
VCTRL_EN	INPUT	1
VCTRL	INPUT	1
HIT	INPUT	1
B31_TUNING	INPUT	1
CLK_OUT_TUNING	INPUT	1
RESET_ENCODER	INPUT	1
FAUX_CODE	INPUT	1
FAUX_NUMBER	INPUT	1
OUTPUT_ENCODER_4	OUTPUT	1
OUTPUT_ENCODER_3	OUTPUT	1
OUTPUT_ENCODER_2	OUTPUT	1
OUTPUT_ENCODER_1	OUTPUT	1
OUTPUT_ENCODER_0	OUTPUT	1
B31	OUTPUT	1
CLK_OUT	OUTPUT	1
		32

Tableau 3-8 : liste des entrées / sorties de l'ASIC TDC.

3.6 Test

3.6.1 Système de test

Pour tester le TDC, un système de test basé sur l'utilisation d'une carte de développement ALTERA (DE2115) associée à une carte mezzanine sur laquelle est montée l'ASIC TDC a été réalisé (voir Figure 3-53). Le schéma bloc de cet outillage est représenté dans la Figure 3-54. Le FPGA de la carte de développement permet :

- de récupérer les données en sortie de l'ASIC et de les communiquer à un PC ;

- d'émuler le signal hit sur lequel l'ASIC TDC réalise la mesure de temps. Ce signal est généré par le FPGA de manière synchrone avec l'horloge de référence de l'ASIC. Un délai programmable (MC10EP195 programmé par le FPGA) permet de positionner en temps ce hit, dans toute la dynamique du TDC.

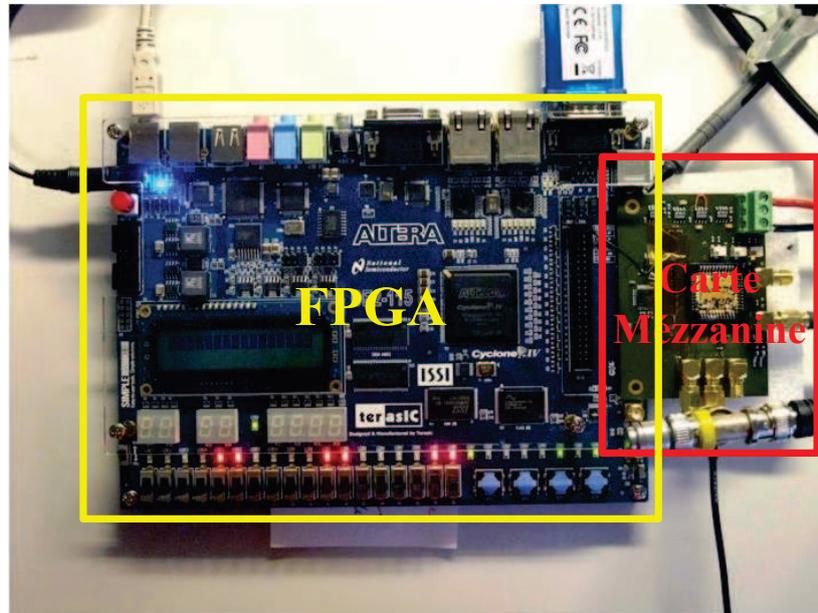


Figure 3-53 : Outillage de test du TDC.

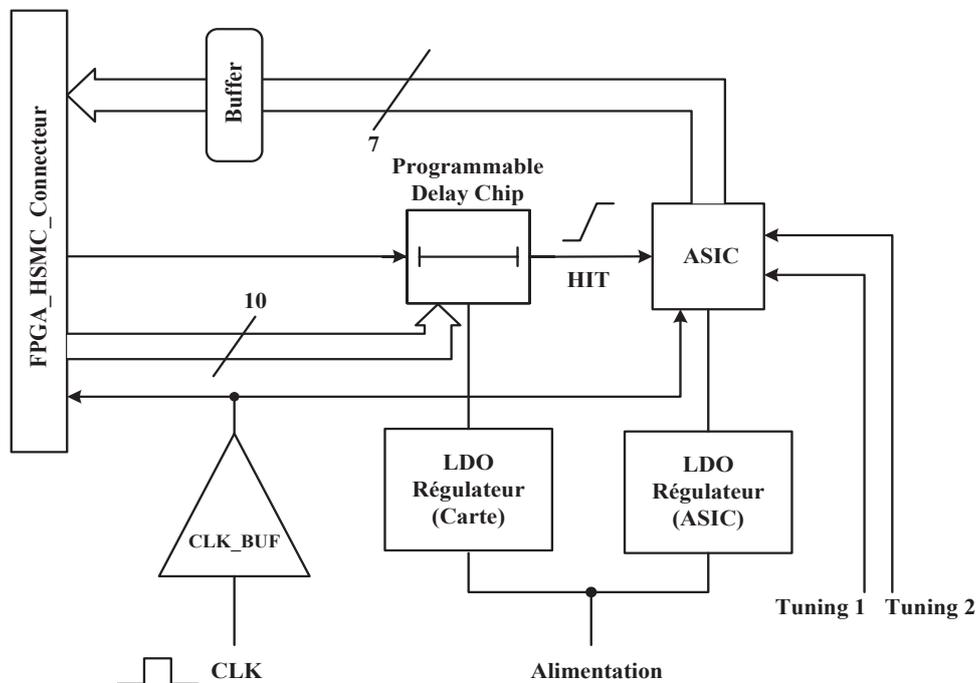


Figure 3-54 : Schéma bloc de la carte mezzanine.

L'alimentation de l'ASIC est complètement séparée du reste de l'outillage de test, elle est « nettoyée » par l'utilisation de régulateurs LDO (Low DropOut). L'horloge de référence de l'ASIC, qui est également utilisée par le FPGA est fournie par un générateur externe. Cette horloge est distribuée sur la carte mezzanine à travers des buffers LVDS très rapides afin de minimiser les distorsions et jitters. Le délai programmable est effectué par le composant MC10EP195 de ON-semiconductor, il permet de balayer la dynamique du TDC avec une résolution de 10 ps. Un logiciel de pilotage a été développé sous la plateforme QT, il permet le pilotage de tous les tests depuis un PC. Ce logiciel met en œuvre un lien série RS232 entre le PC et la carte de développement de manière à piloter les tests, mais aussi pour récupérer les données de mesure.

L'ensemble de cet outillage est utilisé pour mesurer les performances de l'ASIC suivantes :

- la consommation,
- le jitter,
- la résolution,
- la linéarité différentielle,
- la linéarité intégrale.

Les résultats des tests sont présentés dans le paragraphe suivant.

3.6.2 Résultats de test

Le premier test réalisé sur l'ASIC a été la mesure de consommation. L'ASIC possède deux alimentations séparées qui sont : VCC pour la partie analogique et VDD pour la partie numérique. La consommation totale mesurée est de 115 mW.

3.6.2.1 Vérification de la fonctionnalité

Il est possible de vérifier très simplement le bon verrouillage de la DLL en observant les signaux d'entrée et de sortie de la VCDL. Ces signaux sont accessibles en interface de l'ASIC, sur les pins : CLK_OUT et B31. La Figure 3-55 représente ces signaux observés à l'oscilloscope. On y voit clairement les fronts montants de ces signaux en phase, ce qui démontre le verrouillage de la DLL.

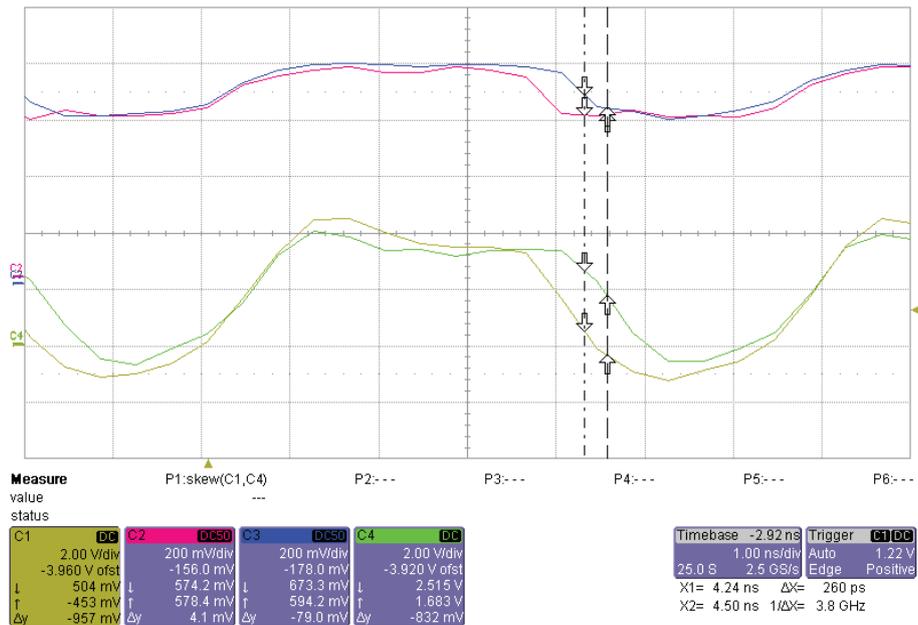


Figure 3-55 : Oscillogramme des signaux CLK_out et B31.

Cet oscillogramme met également en évidence la détérioration du rapport cyclique liée à la VCDL. Le signal B31 (sortie de la VCDL) a un niveau haut logique allongé de 260 ps par rapport au signal d'entrée de la VCDL. C'est une durée 30% supérieure à la mesure faite en simulation post-layout. Cette augmentation de 30% n'est pas très surprenante de par la sensibilité de ce paramètre aux éléments parasites du layout.

Avec cet oscillogramme, il est également possible de vérifier le bon fonctionnement du système de compensation d'offset. En faisant varier les entrées B31_tuning et CLK_OUT_tuning, il est possible d'obtenir un déphasage entre les horloges CLK_OUT et B31. La dynamique en simulation de ce déphasage est de +/- 625 ps.

Il est également possible, à travers la sortie V_CTRL qui permet une visualisation directe de la tension de contrôle de la VCDL, de contrôler le bon verrouillage de la DLL. L'oscillogramme de cette tension est représenté dans la Figure 3-56.

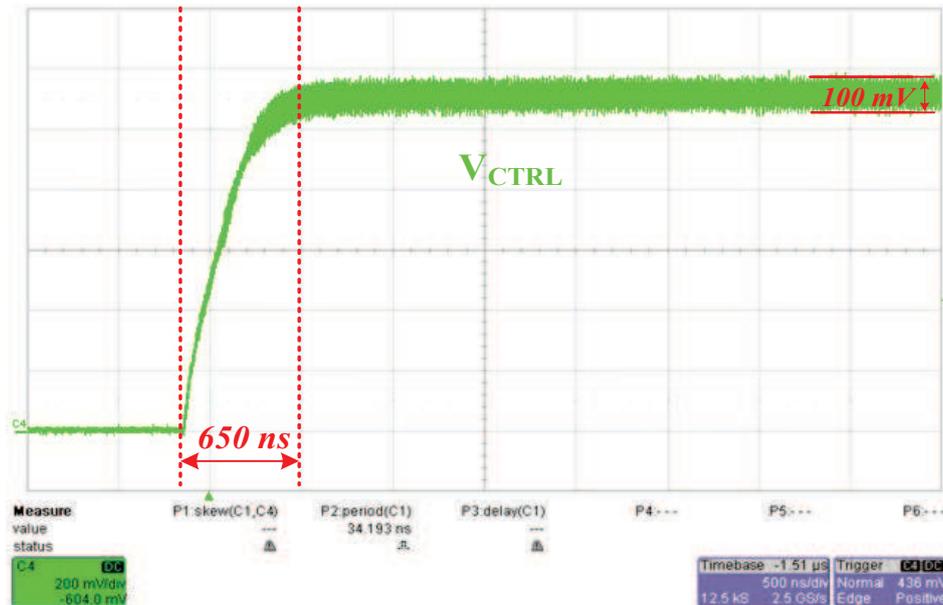


Figure 3-56 : Oscillogramme de la variation de tension de commande de la chaîne de retard (V_{CTRL}).

Outre la vérification du bon verrouillage, cet oscillogramme permet la mesure du temps que met la DLL pour atteindre un état stable : 650 ns, ainsi que la valeur de la tension de verrouillage V_{CTRL} et son oscillation. On peut noter que l'amplitude de l'oscillation de V_{CTRL} est identique en simulation post-layout, et que la valeur de V_{CTRL} pour le verrouillage est légèrement différente (1.15 V en test vs 1.5 V en simulation post layout). Le délai total de la VCDL est donc inférieur à la simulation de 1.2 ns soit pour chaque élément retard une différence de $1.2/32 = 37.5$ ps. Encore une fois cet écart d'environ 20% entre la simulation et le test peut s'expliquer par la très grande sensibilité des retards aux éléments parasites du layout.

Un problème apparaît tout de même sur cet oscillogramme. En effet, le dispositif de réinitialisation décrit dans le paragraphe 3.2.6.2, et simulé sur la Figure 3-57, devrait normalement forcer la sortie de la pompe de charge V_{CTRL} à la tension d'alimentation VDD (3.3V). Or l'oscillogramme montre que cette tension est à 0V durant la phase de réinitialisation. Ce dysfonctionnement à la réinitialisation vient du fait que les bascules de sortie du détecteur de phase (bascules D3 et D4 sur la Figure 3-27) ne sont pas réinitialisées correctement. En effet, n'étant pas « resetées » correctement, les sorties UP et DN du détecteur de phase sont à la réinitialisation dans un état inconnu, et la capacité en sortie de la pompe de charge ne peut donc pas être forcée à VDD. Ce problème de réinitialisation aurait pu entraîner un accrochage de la VCDL sur une période multiple de l'horloge de référence, mais le design de la VCDL, et notamment la dynamique des éléments retard a été réduite justement pour éviter cet accrochage sur une fréquence multiple (cf. paragraphe 3.2.5.5). Ce problème de réinitialisation du détecteur de phase n'a donc pas de répercussions dommageables pour le fonctionnement du TDC.

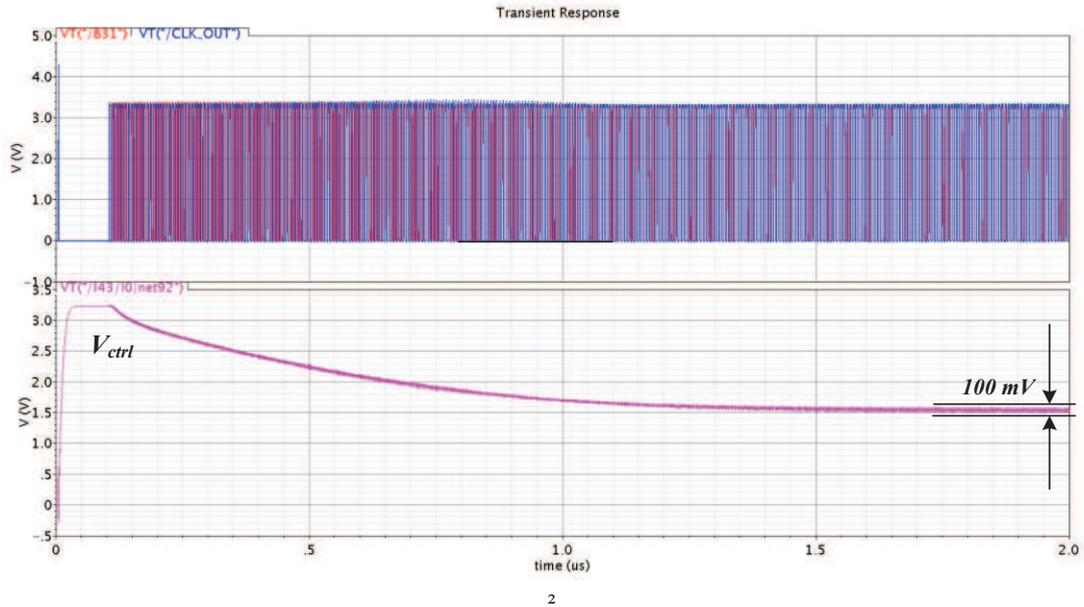


Figure 3-57 : Chronogrammes de la simulation post-layout de la phase de réinitialisation.

Une autre vérification simple consiste à envoyer un signal hit qui « balaye » toute la période de l’horloge de référence CLK_REF. Ce balayage étant effectué en incrémentant le retard programmable du hit de 10 ps entre chaque série de mesure. Pour chaque retard une série de 100 acquisitions ont été réalisées, et la moyenne de ces 100 mesures est représentée en fonction du retard programmable sur la Figure 3-58.

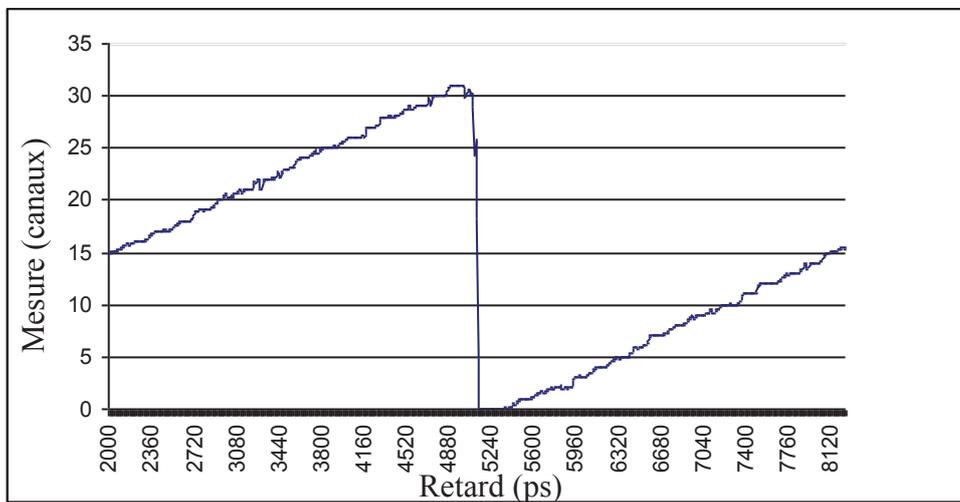


Figure 3-58 : Sortie du codeur Gray en fonction du retard programmable.

Ce test montre que l’ASIC TDC est fonctionnel (depuis la VCDL jusqu’à l’encodeur Gray), et qu’il n’y a pas de code manquant dans l’encodage du temps.

3.6.2.2 Mesure de jitter

Pour pouvoir mesurer le jitter de l'ASIC TDC, il est nécessaire de connaître le jitter du signal d'horloge en entrée de l'ASIC et le jitter de l'horloge en sortie de la VCDL (cf. Figure 3-59).

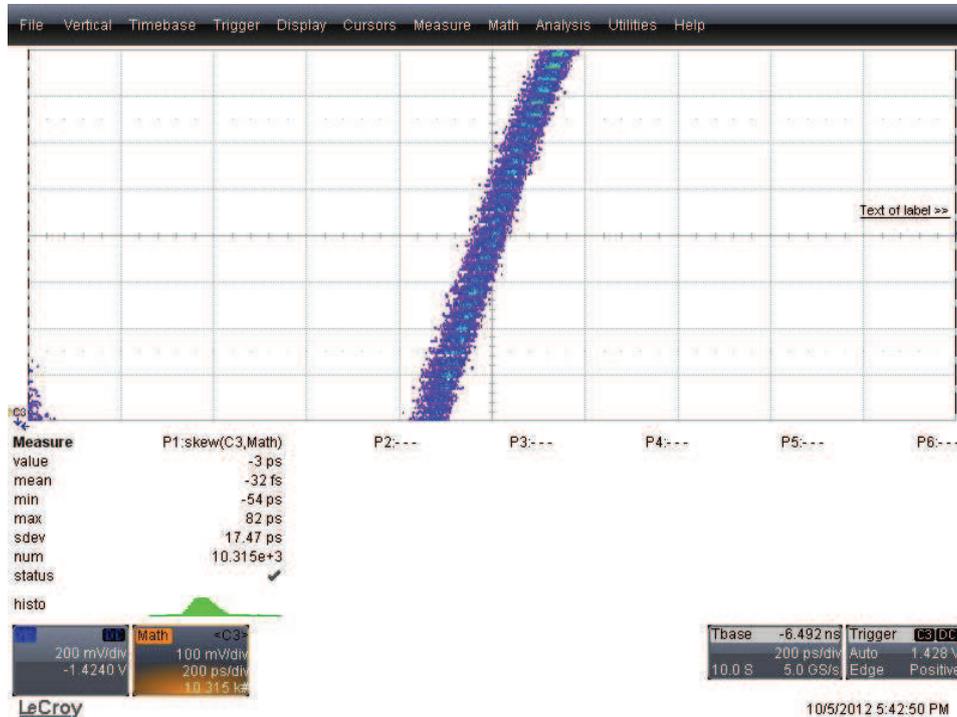


Figure 3-59 : Jitter de la DLL (B31).

La contribution au jitter de l'ASIC TDC n'étant pas corrélée au jitter du générateur d'horloge, ces deux jitters s'ajoutent quadratiquement et l'on peut donc en déduire le jitter de l'ASIC. Le Tableau 3-9 résume toutes ces mesures.

	Jitter peak-peak	Jitter RMS
Mesure en entrée d'ASIC	84 ps	8.3 ps
Mesure en sortie ASIC (B31)	136 ps	17.5 ps
Jitter du TDC	-	15.4 ps

Tableau 3-9 : Mesure de jitter.

Les 15.4 ps RMS de jitter mesurés pour ce TDC sont bien inférieurs aux 50 ps RMS spécifiés dans le cahier des charges.

3.6.2.3 Résolution

Pour mesurer la résolution de l'ASIC TDC, la méthode qui consiste à envoyer un signal hit qui « balaye » toute la période de l'horloge de référence CLK_IN a été réutilisée (cf. paragraphe 3.6.2.1). Les résultats sont cette fois exprimés en ps et rangés dans l'ordre croissant, de manière à pouvoir calculer la droite idéale de cette caractéristique par régression linéaire (cf. Figure 3-60).

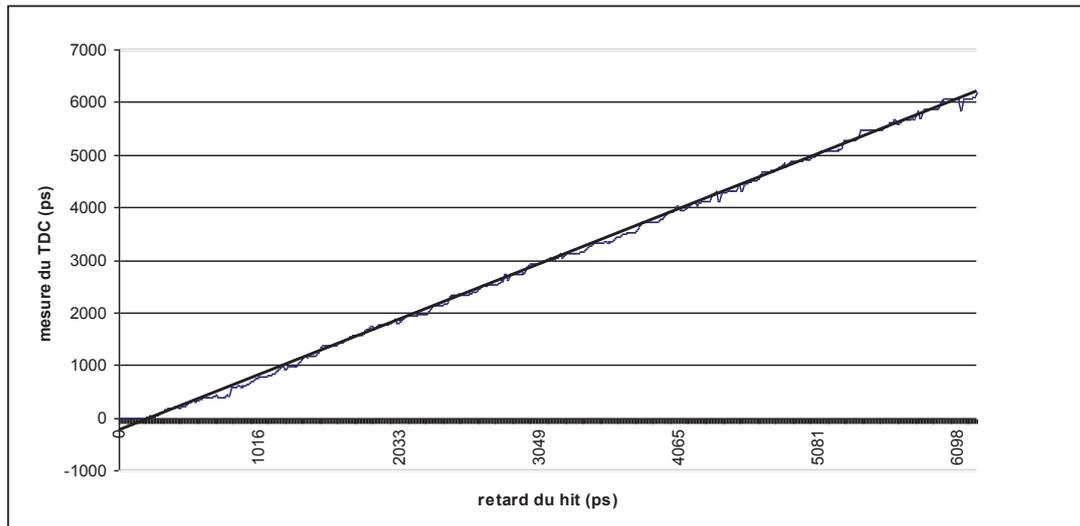


Figure 3-60 : Caractéristique de transfert et droite de régression linéaire.

Une fois ces mesures effectuées, la différence de chacun de ces points avec la droite idéale a été calculée et reportée sur un histogramme (cf. Figure 3-61). De cet histogramme, nous avons extrait : l'écart type : 58.8 ps, les valeurs extrêmes : -150ps et 250ps, afin d'obtenir respectivement les valeurs RMS et maximale de la résolution.

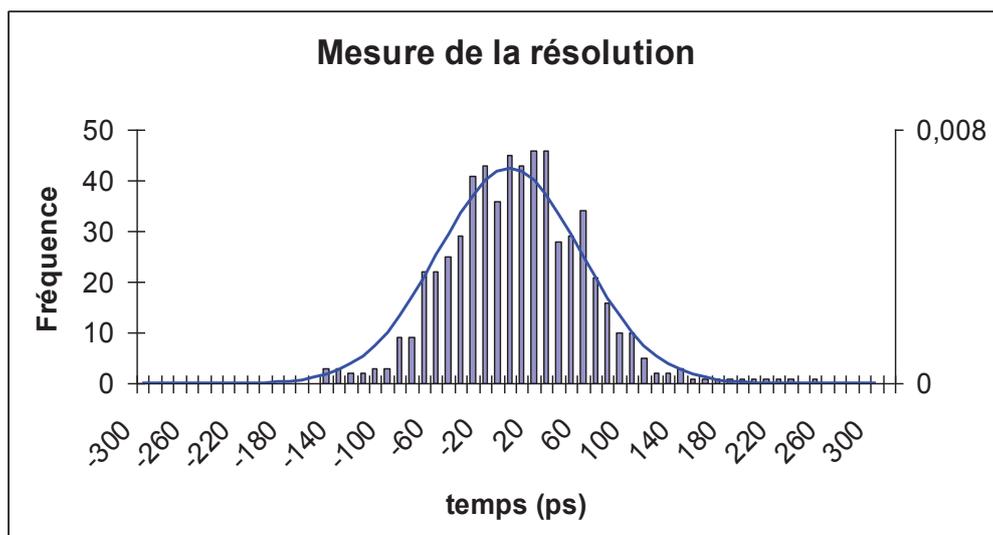


Figure 3-61 : Histogramme de la résolution.

Les 58.8 ps RMS de résolution mesurées pour ce TDC sont bien inférieures aux 200 ps RMS spécifiées dans le cahier des charges.

3.6.3 La Non-Linearité Différentielle (DNL)

La DNL est définie comme l'écart relatif entre la valeur effective q_i du quantum et sa valeur théorique q [8282]. Elle peut être exprimé par :

$$DNL = \frac{q_i - q}{q} = \frac{\Delta q}{q} \quad (3-31)$$

Pour mesurer la DNL de l'ASIC TDC, environ 1 million de hits aléatoires ont été envoyés dans la dynamique de la DLL (retard entre 0 ps à 6.25 ns). Les données en sortie ASIC ont été collectées pour analyse. Un très grand nombre de hits est nécessaire pour garantir un balayage équiprobable des 32 canaux de la DLL (et obtenir une précision de mesure de l'ordre du pourcent). Le résultat de cette mesure est représenté sous forme d'histogramme (cf. Figure 3-62). On obtient ainsi la probabilité d'apparition de chaque code.

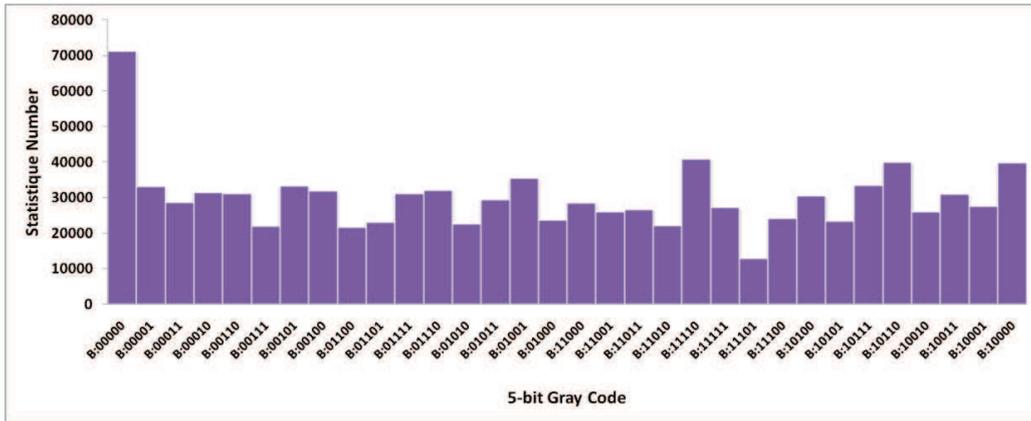


Figure 3-62 : Histogramme des signaux hits sur les 32 canaux du TDC.

On peut calculer la DNL à partir de cet histogramme comme suit :

Soit P la probabilité théorique d'apparition d'un canal :

$$P = \frac{\text{Nombre}_{hit_total}}{\text{Nombre}_{canaux}} = \frac{960000 \text{ signaux_hit}}{32 \text{ canaux}} = 30000. \quad (3-32)$$

Alors :

$$DNL_i = \frac{P_i - P}{P}, \quad (3-33)$$

où P_i étant la probabilité réelle d'apparition du canal i et P la probabilité théorique d'apparition d'un canal. La non linéarité différentielle maximale apparaît pour les codes « 00000 » et « 11101 », on l'on obtient respectivement : 1.37 LSB et -0.57 LSB(cf. Figure 3-63).

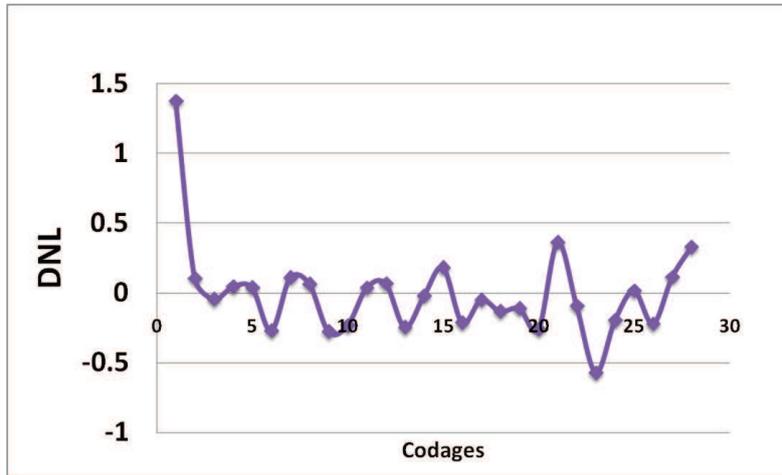


Figure 3-63 : DNL pour les 32 canaux.

- **Un artefact lié à l’encodeur GRAY.**

Les déformations de DNL observées pour les codes « 00000 » et « 11101 » sont en grande partie liées à l’encodeur Gray, et à une trop grande déformation du rapport cyclique dans la VCDL.

En effet, l’encodeur Gray réalise le codage Gray correspondant à la position de la transition « 10 » (correspondant au front descendant d’horloge) du registre de mémorisation de la DLL (cf. Figure 3-44). En théorie, tous les étages de la DLL sont identiques et il n’y a donc qu’une seule transition dans ce registre. Le problème est que la DLL n’est pas parfaite, et qu’une déformation de 260 ps (cf. paragraphe 3.6.2.1) a été mesurée sur la durée de l’état haut en sortie de VCDL. Si on considère cette déformation uniformément répartie sur la VCDL, chaque étage allonge le niveau haut de $260/32 = 8.125$ ps. Un modèle VHDL de cette VCDL a été réalisé pour simuler l’effet de cette déformation, les résultats de cette simulation sont représentés sur la Figure 3-64.

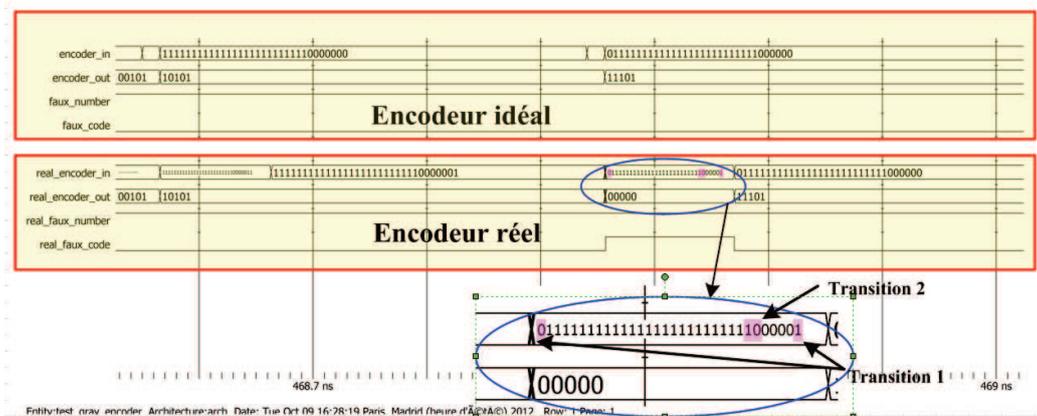


Figure 3-64 : Chronogramme de la simulation du modèle VHDL de la VCDL avec déformation.

Malgré cette correction possible de l'encodeur Gray, la DNL montre tout de même un fort non linéarité pour le code 0. Cette non linéarité est directement liée à la déformation du rapport cyclique et au fait que la transition encodée par l'encodeur Gray correspond au front descendant de l'horloge. Ce non linéarité sur le code 0 représente en fait l'erreur d'offset du détecteur de phase. Il est possible d'annuler complètement cet offset, par le dispositif de compensation d'offset présent sur cet ASIC. Mais cette opération augmente de manière très importante le nombre de doubles transitions dans la VCDL. La DNL présentée ici est le résultat du meilleur compromis possible pour minimiser à la fois les doubles transitions et l'erreur d'offset. Encore une fois, une modification de l'encodeur consistant à encoder systématiquement la deuxième transition « 10 » en lieu et place de la première transition « 01 » permettrait de s'affranchir de ce problème de distorsion et d'améliorer grandement la DNL.

Au final, et malgré les problèmes rencontrés avec l'encodeur Gray, la valeur RMS de la DNL sans correction de cet ASIC (0.31 LSB) reste bien inférieure à la valeur spécifiée de 1 LSB dans le cahier des charges.

3.6.4 La Non-Linéarité Intégrale (INL)

La non-linéarité intégrale traduit l'écart entre la caractéristique de transfert réelle et la caractéristique de transfert idéale. Pour chaque canal i , elle est déterminée par l'équation suivante :

$$INL_i = \sum_{k=0}^i DNL(k) . \quad (3-34)$$

L'INL de l'ASIC TDC correspond à la valeur maximale des $INL(i)$, exprimée en LSB. Selon cette équation, et avec les résultats de DNL obtenus au paragraphe précédent, nous en déduisons le tracé de l'INL représenté dans la Figure 3-67.

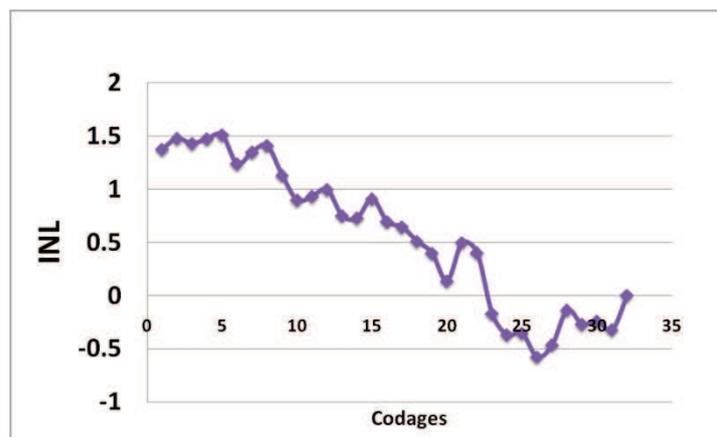


Figure 3-67 : INL pour les 32 canaux.

En conclusion, nous obtenons une résolution RMS de 0.87 LSB inférieure à la valeur spécifiée de 1 LSB dans le cahier des charges. Nous pouvons noter que le résultat de cette INL est fortement influencé par l'erreur d'offset du détecteur de

phase. Ces non linéarités étant liées à la conception, une calibration avant chaque campagne de mesure peut nous permettre de les corriger hors ligne.

3.6.5 Récapitulatif des caractéristiques de l'ASIC TDC

Tableau 3-10 et Tableau 3-11 résument les caractéristiques générales et l'ensemble des performances obtenues en test de l'ASIC TDC :

Technologie	AMS 0.35 μm
Tension d'alimentation	3.3 V
Surface du layout	2.9 mm ²
Boitier	JLCC44

Tableau 3-10 : Les caractéristiques générales.

Puissance dissipée	5.6mW
Pas de quantification	195.3 ps
La gamme de retard	5ns (200MHz)-7.9ns(130MHz)
Lock-in Time @ 160MHz	11 périodes
Résolution RMS	58.8 ps
Jitter RMS	15.4 ps
DNL_{RMS}	0.31 LSB
INL_{RMS}	0.87 LSB

Tableau 3-11 : Les performances de l'ASIC TDC.

3.7 Conclusion

Nous avons conçu et testé un ASIC TDC en technologie AMS BiCMOS 0,35 μm . Son architecture est basée sur une DLL analogique ayant un pas de quantification de 195 ps connectée à un registre mémoire qui sauvegarde l'état de la DLL lorsqu'un événement arrive. L'information temporelle du registre est ensuite encodée en code Gray de 5 bits pour servir d'étiquetage en temps sur un hodoscope de faisceau.

La DLL comprend une ligne à retard de 32 éléments retard à appauvrissement de courant, un détecteur de phase constitué de cellules numériques standard et une pompe de charge avec des interrupteurs sur les sources.

Les éléments de retard à appauvrissement de courant proposés ont une structure symétrique qui permet de minimiser les différences de traitement entre les fronts montant et descendant. Ils ont également une dynamique réduite permettant de supprimer le risque d'accrochage de la DLL sur une période multiple et de réduire l'influence du bruit du signal de contrôle V_{CTRL} .

Le détecteur de phase fait office de comparateur de phase, puisqu'il fournit les signaux de commande à la pompe de charge. Mais il permet également de supprimer l'offset de phase par un dispositif manuel de compensation d'offset. Le dispositif d'initialisation intégré à ce détecteur ne fonctionne que partiellement, mais les erreurs de conception ne sont pas rédhibitoires à l'exploitation de l'ASIC TDC.

La pompe de charge est conçue en utilisant la structure avec deux interrupteurs sur les sources de courant avec la mise en œuvre de certaines techniques d'optimisation, ce qui nous a permis de minimiser les différences entre les temps de commutation des transistors de sortie, ainsi que les différences entre les courants de charge et de décharge du filtre de boucle.

Enfin, un traitement numérique des données permet de récupérer l'état de la DLL, d'encoder cet état dans un code Gray de 5 bits reflétant le temps d'arrivée de l'évènement.

L'ASIC TDC a été fabriqué et nous l'avons testé. L'ensemble des caractéristiques évaluées expérimentalement sont conformes aux spécifications définies avant la conception du circuit. Nous pouvons donc l'incorporer dans un système de test avec la partie de détection matricielle sous faisceau d'ions, afin de vérifier le fonctionnement du système et d'évaluer ses performances.

4 Test en faisceau du circuit de lecture ASIC Front-End

Pour vérifier l'adaptation de l'ASIC avec le cahier des charges, l'ASIC doit être testé dans un environnement réel. L'ASIC analogique présenté dans le chapitre 2 a été testé sous faisceau à HIT (Heidelberg Ion-Beam Therapy Center). Ce test faisait partie d'une expérimentation-manipulation d'une caméra collimatée pour la mesure des gamma prompts par l'équipe de l'IPNL. Le dispositif expérimental général est montré sur la Figure 4-1. Pour la partie sur la mesure des gamma prompts, il est constitué d'un scintillateur, d'un petit hodoscope de 2 x 32 voies couplé à un photomultiplicateur 64 voies H8500. L'acquisition est effectuée par un système VME (programme d'acquisition développé par le GANIL). La cible de production des rayonnements secondaires par fragmentation nucléaire, dans laquelle le faisceau est arrêté, est un bloc de PMMA (plastique). Les rayonnements gamma sont transmis à travers un collimateur en tungstène (avec un blindage additionnel en plomb). Deux détecteurs LYSO et LaBr₃ servent à détecter les gamma prompts. L'acquisition VME est utilisée pour l'ensemble de cette partie de l'expérience.

Pour tester le circuit de lecture avec un hodoscope, un dispositif autonome a été mis en place, ce qui permettait d'effectuer ces tests indépendamment. Il consiste principalement en un grand hodoscope de 2 x 128 fibres scintillantes (voir paragraphe 4.2) : les fibres horizontales (signal Y) paires sont couplées à un PMT Hamamatsu H8500 et les fibres horizontales impaires sont couplées à un MCP-PMT Photonis Planacon XP85012/A1. Le photomultiplicateur H8500 est couplé à la carte de test équipée de deux circuits ASICs Front-End de lecture. Chacun de ces deux ASICs est couplé à 16 voies de lecture des fibres, il s'agit des fibres Y situées au centre du grand hodoscope. Les données en sortie de l'ASIC, au format LVDS, sont collectées par un système d'acquisition PXI (NI PXIe-1082). Une interface intégrée pilotée sous LabView est créée pour réaliser le contrôle en ligne, à distance et en temps réel. La comparaison entre le PMT Multi-Anode H8500 (MA-PMT) et le MCP-PMT XP85012/A1 sera faite en connectant le MCP-PMT à l'un des circuits de Front-End.

Un déclenchement externe (trigger) a été utilisé dans cette expérience : le système PXI n'enregistre un événement que si un signal est délivré par le détecteur (le scintillateur) situé en amont. Cela permet de mesurer l'efficacité de l'hodoscope et de tracer les courbes d'efficacité en fonction du seuil du comparateur (S-curves).

Différents types de faisceaux d'ions ont été utilisés : ions carbone et protons. Différentes énergies de faisceau sont réglées afin de faire varier l'amplitude du signal lumineux délivré par les fibres scintillantes et donc d'étudier la réponse du circuit pour différentes conditions de fonctionnement.

Le résultat de l'expérience est donc extrêmement important pour atteindre l'objectif final de ce projet de recherche : utiliser l'hodoscope pour détecter un faisceau en conditions cliniques, avec une intensité de 10^8 ions incidents par seconde.

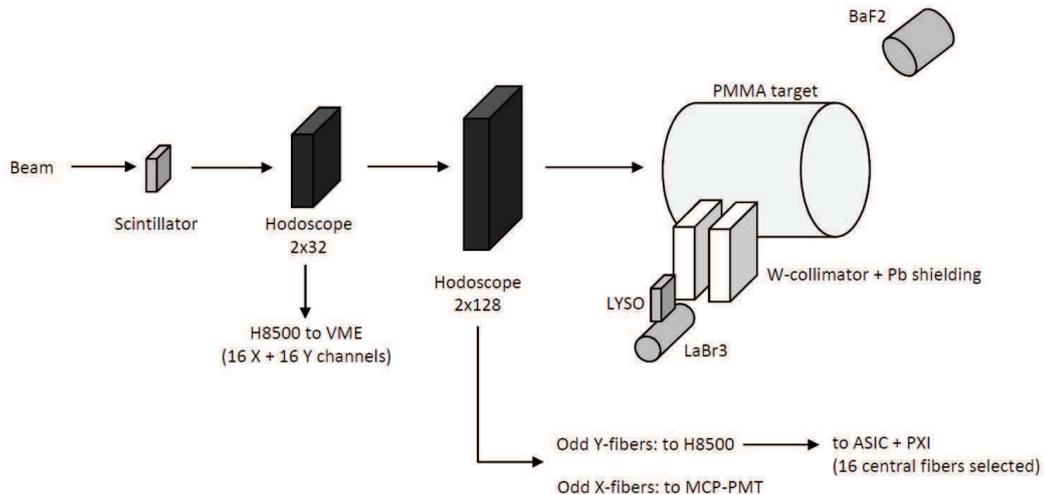


Figure 4-1 : Dispositif expérimental permettant des mesures de caméra gamma-prompts collimatée avec mesure du temps de vol et les tests du circuit Front-End de l'hodoscope.

4.1 Diagramme du système électronique

Un système de test complet a été conçu pour permettre l'acquisition de données et la mise en œuvre de l'ASIC de lecture. Un diagramme de principe de ce système électronique est illustré sur la Figure 4-2 dans la zone délimitée par la ligne en pointillés. Il est composé de l'ASIC de lecture, d'une carte de test (voir la Figure 4-3), d'un système d'acquisition (PC) PXI, d'une interface sous-programme LabView (intégrée au PC) et d'une source de courant qui programme les seuils des comparateurs de l'ASIC. La carte de test comporte de nombreux connecteurs : un connecteur 64 voies couplé au PMT, un connecteur LVDS qui transfère les sorties comparateurs au châssis PXI, et un connecteur (de type HE10) qui permet le contrôle du gain de l'ASIC par le châssis PXI. Le système PXI est le centre de contrôle, il a la charge de recevoir et de traiter les données en provenance de l'ASIC et de permettre la visualisation des résultats. Un programme sous LabView intégré au châssis PXI effectue l'analyse et la mise en forme des résultats, il fournit une interface graphique permettant le pilotage des 4 bits de gain en courant de l'ASIC et de la source de courant qui fournit le courant de seuil de détection des comparateurs intégrés à l'ASIC.

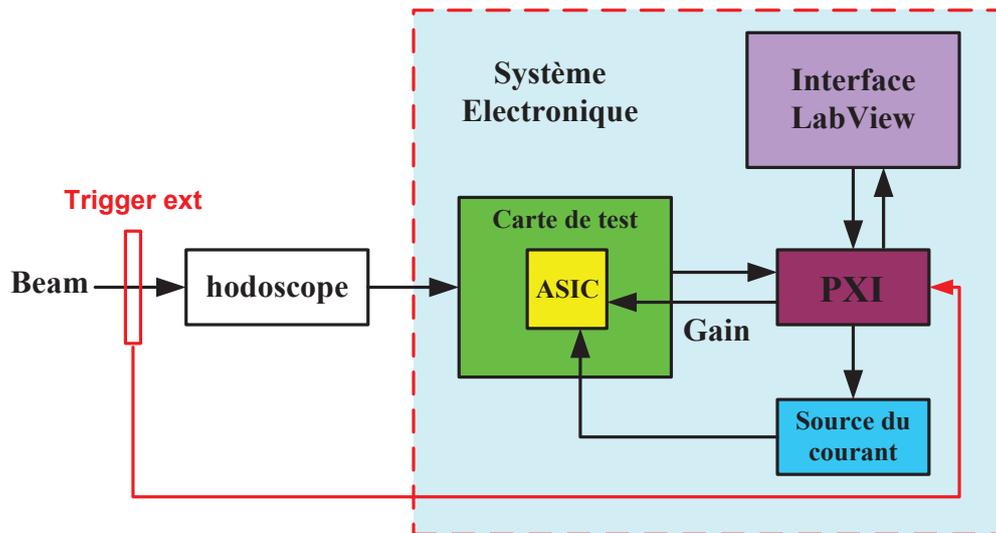


Figure 4-2 : Diagramme du système de l' hodoscope couplé à l'ASIC de lecture piloté et contrôlé par l'acquisition PXI en ligne et à distance.

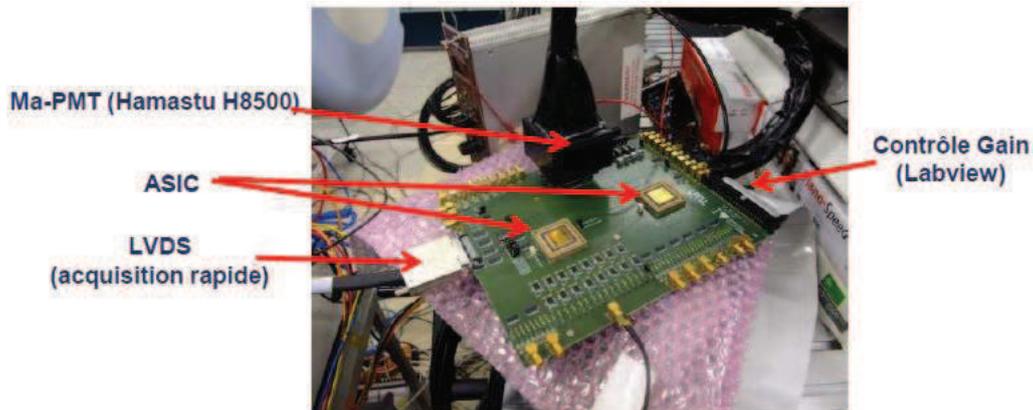


Figure 4-3 : ASIC de lecture et carte de test couplées avec l'hodoscope.

4.2 Hodoscope utilisé à HIT

L'hodoscope de faisceau utilisé consiste en deux plans de fibres scintillantes adjacentes, de section carrée de 1mm^2 . Deux prototypes de 2×32 et 2×128 fibres ont été construits en utilisant les fibres Saint Gobain BCF10 et BCF12 en polystyrène en tant que matière scintillante. Les fibres scintillantes sont connectées à des fibres optiques de diamètre 1,5 mm, qui transportent la lumière vers un MA-PMT. Une photographie des fibres scintillantes de l'hodoscope 2×128 est représentée sur la Figure 4-4. En fonctionnement, l'ensemble est isolé de la lumière ambiante. Le centre de contrôle PXI est une plate-forme PC pour les systèmes de mesure et d'automatisation. Il permet la collecte des données et les informations en sortie de la carte de test au format LVDS. Un programme LabView est intégré pour effectuer la mesure et le contrôle automatique en ligne, à distance et en temps réel.

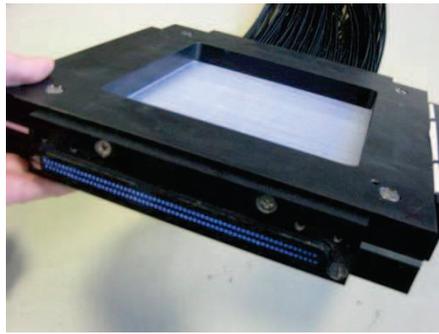


Figure 4-4 : Hodoscope à fibres scintillantes (2x128voies).

L'Interface LabView est représentée sur la Figure 4-5. Elle comprend deux parties principales : un panneau de configuration et un panneau de résultats. Dans le panneau de configuration, où des commentaires de manipulation peuvent être renseignés, permet de choisir le gain de l'ASIC et de contrôler les seuils en courant des comparateurs de l'ASIC. Le panneau de résultats affiche le nombre de particules détectées voie par voie ainsi que pour la totalité de l'hodoscope. Après chaque test, les données de configuration et les résultats obtenus sont sauvegardés. A partir de ces informations, la position des fibres touchées par les particules peut être analysée. Une fonction importante de cette interface est de tracer les S-curves de la chaîne (convoyeur de courant et comparateurs) et d'enregistrer les données en provenance du préamplificateur de charge à l'aide d'un oscilloscope virtuel.

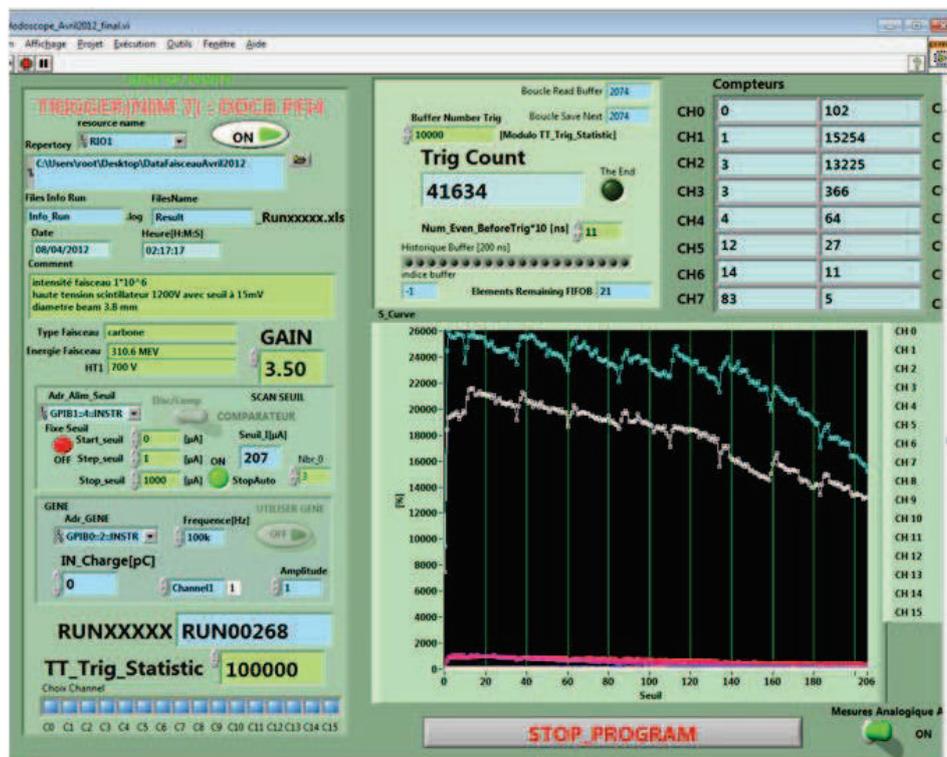


Figure 4-5 : Interface LabView utilisée dans l'expérience à HIT.

4.3 Résultats de tests sur faisceau

4.3.1 Mesures antérieures à cette expérience :

Des tests préliminaires sur l'hodoscope 2x32 voies ont été réalisés en 2009 avec un faisceau ^{12}C de 95 MeV/u au GANIL. Une efficacité de détection de plus de 90% et une résolution temporelle inférieure à 1 ns ont été observées. Lors de cette expérience, la charge en sortie du PMT H8500 a été enregistrée à l'aide d'un codeur de charge numérique. Une charge moyenne de 30 pC (voir la Figure 4-6) a été mesurée. Une mesure du vieillissement des fibres scintillantes sous faisceau avait été réalisée en mesurant la perte d'efficacité en fonction de la fluence. Une fluence de $3,5 \times 10^{12}$ ions/cm² a été utilisée sans perte d'efficacité. Compte tenu du fait que le Transfert d'Énergie Linéique (TEL) des ions carbone de 75 MeV/u est supérieur à celui des ions thérapeutiques de plus haute énergie, cette fluence représente des semaines d'utilisations en conditions cliniques.

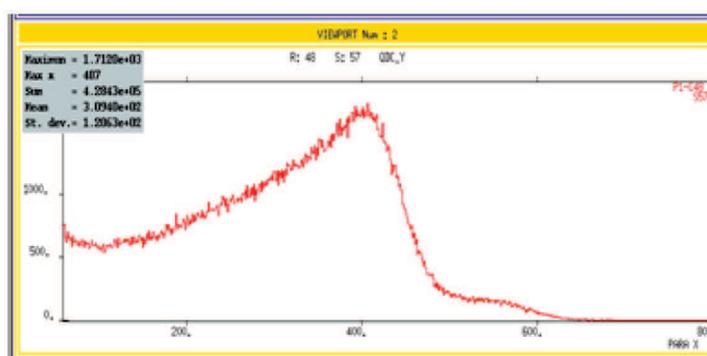


Figure 4-6 : Distribution de la charge mesurée au GANIL en 2009 avec un faisceau d'ions carbone de 75 MeV/u traversant l'hodoscope avec un PMT H8500 polarisé à -800V. La calibration du codeur de charge est de 0,1 pC/canal.

Des tests en laboratoire en utilisant une source β^- de ^{90}Sr ont également montré des résultats prometteurs pour l'hodoscope 2x128 voies. Comme illustré sur Figure 4-7, une image bi-dimensionnelle de la source positionnée sur les fibres scintillantes peut être reconstruite. Toutefois, des mesures supplémentaires en ligne sont nécessaires pour déterminer l'efficacité de détection et la résolution temporelle, ainsi que déterminer les niveaux de bruit de fond de cet hodoscope.

Le taux de comptage maximum a été évalué lors d'autres prises de données à Nice (Centre Lacassagne) et au Tandem d'Orsay avec des protons de 25 MeV. Le facteur limitant est le taux de comptage maximum admissible par le PMT H8500, toutes voies confondues : celui-ci peut fonctionner à 4×10^6 Hz sans perte de comptage due au courant débité qui fait chuter la tension de polarisation et donc l'amplitude des signaux, pour une tension de polarisation de -1000 V. Cette tension peut être abaissée pour diminuer le gain, et donc le courant débité. Des comptages de 2×10^7 Hz ont été mesurés sur ce même PMT. La solution, pour pouvoir mesurer des intensités de 10^8

Hz en faisceau thérapeutique de carbone ou de protons (les protons étant regroupés en paquets à cette fréquence), est de coupler les fibres voisines à des PMTs différents, ce qui conduirait à utiliser au moins 8 PMTs pour un hodoscope.

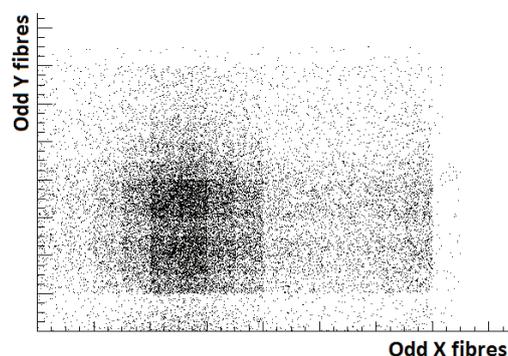


Figure 4-7 : Image bi-dimensionnelle d'une source ^{90}Sr positionnée sur l'hodoscope 2x128 voies lu par un PMT H8500.

4.3.2 Mesures à HIT (Heidelberg Ion-Beam Therapy Center) :

Pendant la manipulation à HIT, nous avons comparé les performances du PMT Hamamatsu H8500C et du MCP-PMT Planacon (tous les deux montés sur l'hodoscope 2x128 voies).

Lors du test à HIT de l'ASIC de lecture, les faisceaux d'ions ^{12}C et de protons à différentes énergies ont été utilisés. Dans le Tableau 4-1, les conditions du test de faisceau sont affichées. Les traitements des données sont basés sur ces données. Le taux de comptage maximal pour cette configuration est 1.2×10^6 pps pour les protons et 4×10^6 pps pour les ions carbone. Il n'est pas possible d'atteindre 10^8 pps avec ce dispositif, le taux de comptage étant limité par la saturation du photomultiplicateur Hamamatsu H8500.

Des faisceaux d'ions ^{12}C à 310.6 MeV/u, 160 MeV/u, ainsi que des faisceaux de protons de 61 MeV et 100 MeV, ont été utilisés. Les caractéristiques associées aux faisceaux (taille, intensité) ainsi qu'aux conditions d'utilisation du PMT (tension de polarisation) sont reportées tableau 1. L'ASIC étant couplé aux fibres Y impaires, pour obtenir aussi l'information des fibres Y paires, et donc mesurer l'enveloppe horizontale du faisceau, une configuration reportée dans le Tableau 4-1 est utilisée pour ce faisceau. Tout d'abord on fait une mesure à la position ($x=0$, $y=0$), puis on déplace l'hodoscope à ($x+1\text{mm}$, $y=0$), c'est-à-dire un déplacement d'une largeur de fibre scintillante. De cette manière, la combinaison des données des deux mesures complémentaires permet d'obtenir l'enveloppe totale.

Faisceau	Taux de comptage	trigger	Haute Tension
Proton- 60.9MeV d=26.8mm	1.2x10 ⁶ pps	Trigger ext (scintillateur)	HT_PM=1000V HT_scintillating=1200V
Proton -100.46MeV d=15.8mm	1.2x10 ⁶ pps	Trigger ext (scintillateur)	HT_PM=1000V HT_scintillating=1200V
Proton - 100MeV d=26.8mm	1x10 ⁵ pps	Trigger ext (scintillateur)	HT_PM=700V HT_scintillating=1200V
Carbone- 160 MeV/u d=7.5mm	1x10 ⁶ pps	Triggerext (scintillateur)	HT_PM=700V HT_scintillating=1200V
Carbone -160 MeV/u d=7.5mm	4x10 ⁶ pps	Trigger ext(scintillateur)	HT_PM=1000V HT_scintillating=1200V
Carbone -310.6 MeV/u d=3.8mm	1x10 ⁶ pps	Trigger ext (scintillateur)	HT_PM=700V HT_scintillating = 1200V

Tableau 4-1 : Conditions du test de faisceau à HIT (HT_PM : Tension du PMT H9500, HT_scintillating : Haut Tension de scintillateur trigger).

Profil de faisceau					
Carbone @310.6 MeV/u d=3.8mm	1x10 ⁶ pps	Trigger ext (plastique)	HT_PM=700V HT_scintillating=1200V	Gain=3.5	Position (x=0, y=0)
					Position (x+1mm, Y=0)

Tableau 4-2 : Conditions de test de profil de faisceau

Dans l'expérience, les particules traversant l'hodoscope sont détectées voie par voie avec des seuils différents. La Figure 4-8 montre un exemple de variation du nombre de particules détectées en fonction du seuil du comparateur pour un faisceau d'ions donné à une position donnée sur l'hodoscope. Sur cette figure, le canal 10 apparait comme étant le canal le plus touché, il peut en être déduit que le faisceau est positionné autour de la fibre lue par le canal 10.

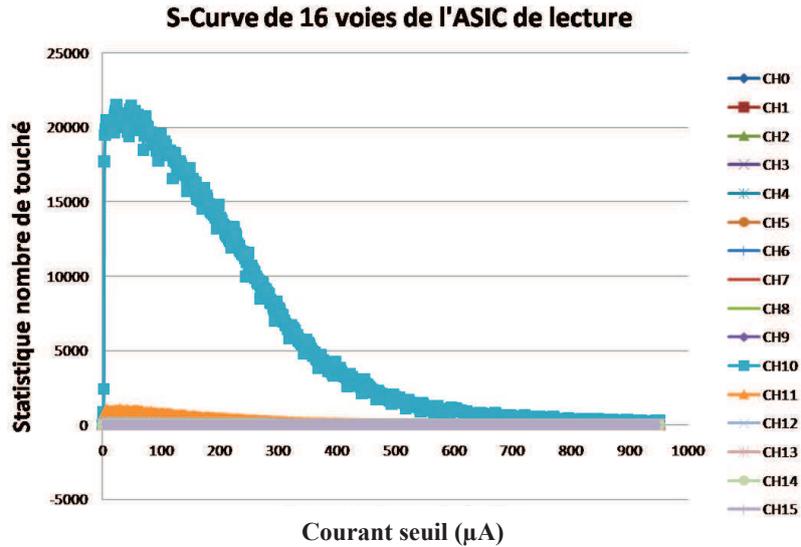


Figure 4-8 : Nombre de particules détectées par l'hodoscope voie par voie dans un environnement de faisceau, en fonction du seuil appliqué sur le comparateur. Le faisceau est constitué d'ions carbone de 310.6 MeV/u, la tension de polarisation du PM est de -700V.

Etant donné que l'ASIC est couplé avec les voies impaires de l'axe Y, pour mesurer le profil du faisceau, la configuration illustrée sur la Figure 4-9 est employée. La ligne continue représente la voie couplée avec l'ASIC, la ligne pointillée représente la voie non couplée. La dimension d'une fibre scintillante est 1mm, donc pour obtenir des informations complètes sur le profil de faisceau, il faut effectuer cette mesure en deux fois : une première fois avec l'hodoscope dans sa position d'origine (position bleue sur la Figure 4-9), une deuxième fois en déplaçant l'hodoscope de 1 mm selon l'axe X (position rouge). La combinaison des données obtenues lors de ces deux acquisitions est représentée sur la Figure 4-10. Cette figure représente le profil de faisceau selon l'axe X qui a été obtenu à partir des sorties comparateurs de l'ASIC pour 5 valeurs de seuil différentes. Les données mesurées sont listées dans le Tableau 4-3. Ce sont les canaux 19, 20 et 21 qui comptent le plus grand nombre de particules, les canaux 18 et 22 comptent légèrement moins de particules. Les canaux 19, 20 et 21 couvrent une surface de détection selon l'axe X de 3 x 1mm. Pour définir la fraction du faisceau traversant les canaux 18 et 23, l'équation suivante est utilisée.

$$l = \frac{Channel_i}{Channel_{i+1} \text{ ou } Channel_{i-1}} \times 1mm \quad (4-1)$$

A partir de l'équation (4-1), les largeurs de section du faisceau traversant les canaux 18 et 23 sont respectivement $l_{ch18} = 0,354$ mm et $l_{ch23} = 0,1776$ mm. De ces données, les positions des particules et le diamètre de faisceau peuvent être obtenus. Le diamètre de faisceau réel, tel qu'il est mesuré sur un profileur, est $d_{re} = 3,8$ mm, le diamètre mesuré par notre méthode est $d_{cal} = 3,53$ mm.

No. Channel	17	18	19	20	21	22	23
Nb de particules ayant traversé $I_{Seuil}=0 \mu A$	1005	8131	25713	37322	19643	4533	871
Nb de particules ayant traversé $I_{Seuil}=100 \mu A$	478	8404	23732	32119	18997	3374	746
Nb de particules ayant traversé $I_{Seuil}=200 \mu A$	125	5053	17206	24429	13914	2253	426
Nb de particules ayant traversé $I_{Seuil}=300 \mu A$	26	2735	8531	13751	7837	890	207
Nb de particules ayant traversé $I_{Seuil}=400 \mu A$	11	984	3821	7002	3822	435	88
Largeur horizontale du faisceau mesurée avec $Seuil=100\mu A$	0	0.354 mm	1 mm	1 mm	1 mm	0.1776 mm	0

Tableau 4-3 : Nombre de particules détectées dans les fibres Y 17 à 23 de l'hodoscope à différentes valeurs de seuil (les caractéristiques du faisceau sont données dans le Tableau 4-2)

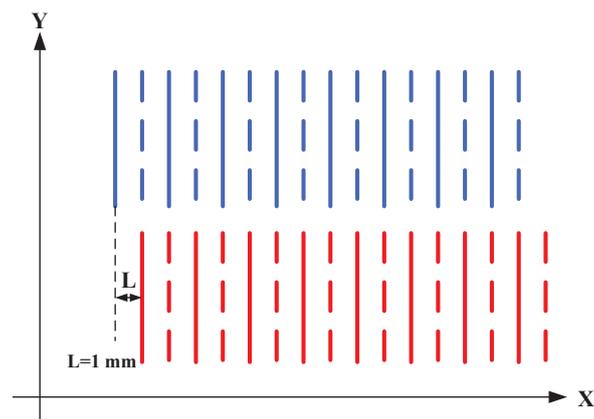


Figure 4-9 : Deux configurations pour mesurer le profil horizontal du faisceau.

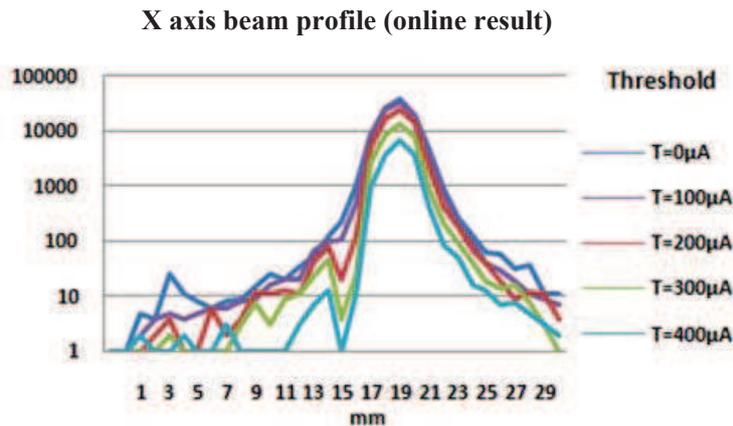


Figure 4-10 : Profil du faisceau selon l'axe X de l'hodoscope 2x128 voies en utilisant les sorties des comparateurs de l'ASIC.

Dans l'expérience, l'énergie du faisceau est connue, par contre la charge induite par les particules du faisceau (qui dépend du nombre de photons créés dans les fibres et de la chaîne de détection) doit être mesurée. Pour bien choisir le courant de seuil du comparateur et le gain en courant du convoyeur de courant de l'ASIC, les informations de courant de sortie du PMT sont très importantes. La détermination du courant peut être réalisée en mesurant la charge et le temps de montée du signal du PMT. A partir de ces deux informations, le courant de sortie du PMT pour chaque particule détectée par l'hodoscope peut être déduit. La Figure 4-11 est une acquisition de sortie du préamplificateur de charge de l'ASIC, l'amplitude de l'impulsion nous donne la quantité de charge. En utilisant l'information de charge et le temps de montée, le courant produit par le PMT peut être calculé.

En enregistrant un grand nombre d'impulsions comme illustré sur Figure 4-11, la distribution de la charge des particules traversant l'hodoscope peut être obtenue. La Figure 4-12 montre la distribution gaussienne des sorties des préamplificateurs de charge. A partir des données expérimentales, une courbe d'ajustement gaussien est tracée. La Figure 4-12 affiche le résultat pour un gain de courant égal à 1 pour un faisceau ^{12}C de 310,6 MeV/u avec un taux de comptage de 1×10^6 pps. Dans cette configuration, la charge moyenne mesurée est d'environ 4 pC (Mean=-0.362 V, on rappelle que le gain du PAC est 90 mV/pC). L'écart type σ est de 0,62 pC, soit 8% en relatif. Cette largeur explique partiellement la largeur de la courbe S-curve de la Figure 4-8, qui intègre la résolution du détecteur. Pour une dynamique de charge à $\pm 3\sigma$ de la charge moyenne, la charge en sortie de PMT H8500 variera entre 2.1 pC et 5.9 pC. Autrement dit le courant moyen en sortie du PMT varie de 210 μA à 590 μA . Cette valeur de charge est inférieure à la charge mesurée avec un faisceau d'ions carbone de 75 MeV/u au GANIL en 2009 (30 pC). Cela est dû en partie à la différence d'énergie déposée par les deux faisceaux (facteur 4.5), et peut-être à une moins bonne qualité de collection de la lumière avec ce hodoscope. La valeur de tension de polarisation du photomultiplicateur était inférieure dans le test de 2009

(700 V contre 1000 V ici). Cela peut se révéler insuffisant pour la détection de protons de haute énergie, pour lesquels un signal plus faible d'un ordre de grandeur est attendu.

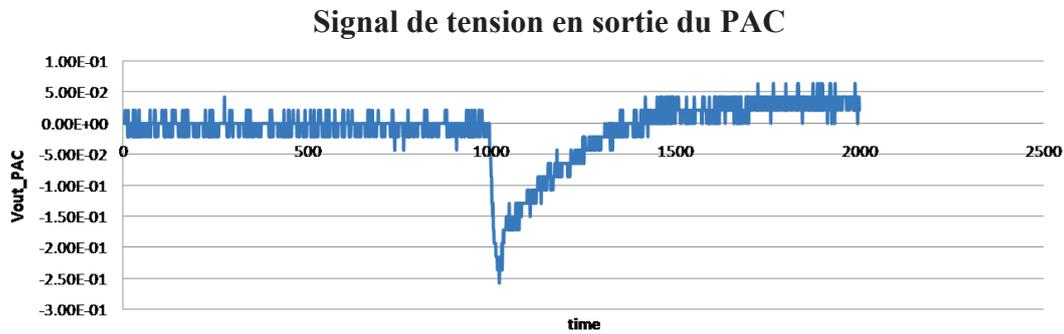


Figure 4-11 : Chronogramme du signal en sortie du PAC correspondant au passage d'une particule dans l'hodoscope.

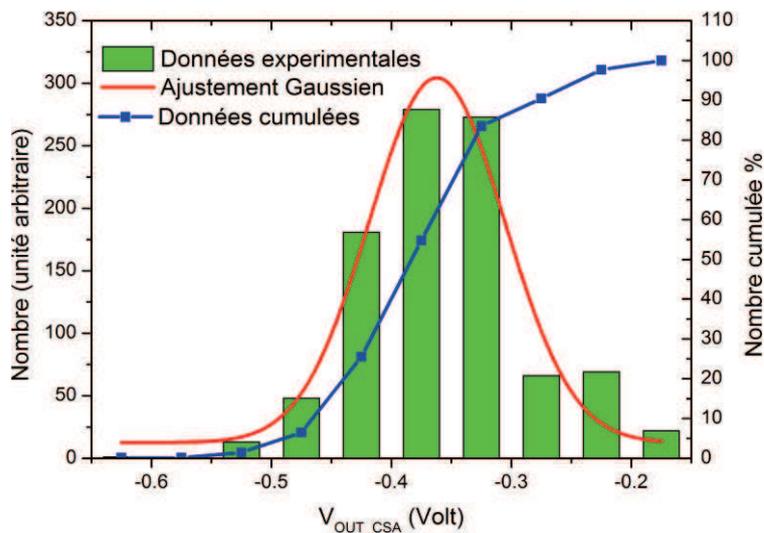


Figure 4-12 : Distribution gaussienne des sorties des préamplificateurs de charge d'ASIC, $\sigma=0.056$ V, Mean=-0.362 V (4 pC), charge ($\mp 3\sigma$) : 2.1 pC ~ 5.9 pC (faisceau d'ions carbone de 310,6 MeV/u).

4.4 Conclusion

Un système de test complet mettant en œuvre l'ASIC de lecture a été testé sur faisceau à HIT. Cette expérience a démontré que l'ASIC de lecture peut suivre le taux de comptage du faisceau et que le système d'acquisition PXI avec son interface LabView utilisé constituent une solution simple et fiable pour le contrôle à distance, en ligne et en temps réel de l'hodoscope. L'ASIC peut suivre le faisceau jusqu'à 4×10^6 pps (cf. Tableau 4-1). La limitation vient du PMT H8500 qui sature au-delà de

ce taux de comptage. Dans le futur, une solution utilisant plusieurs PMTs au lieu d'un seul peut être utilisée pour augmenter le taux de comptage maximal détectable. Dans le test en faisceau, le convoyeur de courant avec gain variable permet effectivement d'ajuster l'amplitude du courant en provenance du PMT, et pour ce taux de comptage de transférer ce courant amplifié au comparateur et au préamplificateur de charge. Le comparateur détecte correctement les impulsions de courant qui dépassent son courant de seuil, et le préamplificateur de charge peut fournir les informations sur la quantité de charge lorsque le taux de comptage est faible. L'ASIC de lecture peut répondre aux spécifications demandées.

5 Conclusion et perspectives

Dans le cadre du développement d'un hodoscope de faisceau en hadronthérapie, nous avons mené des études de conception d'ASICs de lecture à associer à des photomultiplicateurs multi-anode (MA-PMTs). Les fonctions électroniques à réaliser ainsi que les objectifs de performances et les contraintes ont été bien définies dès le départ selon les besoins du système qui devrait être capable de localiser les ions dans le plan transverse et de les étiqueter en temps avec une précision de 1 ns et un taux de comptage de 10^8 Hz, avec plusieurs centaines de voies de lecture. La solution ASIC nous a paru la plus appropriée selon les spécifications définies, notamment dans notre cas nécessitant l'intégration multivoies. Nous avons adopté cette solution, avec l'approche de conception sur mesure qui offre plus de possibilités d'optimisations et d'améliorations de performances.

Nos travaux de conception sont conduits avec une démarche qui consiste d'abord à étudier des structures et techniques existantes pour nos problématiques, et ensuite à proposer des structures innovantes ou améliorées et des solutions de mise en œuvre pour l'adoption des techniques appropriées.

Au cours de nos études, nous avons pu proposer un front-end ASIC de lecture 16 voies conçu en technologie AMS BiCMOS 0,35 μm . L'utilisation d'une technologie BiCMOS nous a permis, selon nos objectifs spécifiques dans différents cas de conception de circuits ou sous-circuits, de choisir à juste titre, les transistors bipolaires ou MOS qui ont leurs propres caractéristiques. En particulier, nous avons bénéficié de la transconductance du transistor bipolaire, qui est plus grande que le transistor MOS, pour optimiser les performances de circuits en fréquence et en cross-talk.

L'architecture du circuit de lecture à 16 voies est en mode courant, et comporte essentiellement trois blocs fonctionnels constitutifs : un convoyeur de courant, un préamplificateur de charge et un comparateur de courant. Chaque canal de lecture est constitué d'un convoyeur de courant avec deux sorties en étage d'entrée, et de deux étages de sortie séparés qui sont respectivement un préamplificateur de charge et un comparateur de courant. Ces deux étages de sortie réalisent respectivement la quantification de signal détecté (à faible taux de comptage) et la détection d'évènement. L'impédance d'entrée du canal de lecture est faible, ce qui minimise les effets des capacités de sortie du MA-PMT couplé et le cross-talk électrique entre voies, ainsi que la sensibilité aux parasites.

Le convoyeur de courant met en œuvre la structure SBC pour réduire à quelques dizaines d'ohms l'impédance d'entrée de l'étage qui est celle du canal. Il utilise aussi des miroirs de courant commutés pour intégrer 4 bits de gain en courant ajustable pour compenser le vieillissement du détecteur. Des techniques de rétroaction locale et de compensation ont été implémentées pour assurer la stabilité et pour

améliorer des performances. Selon nos résultats de test, cet étage d'entrée a un temps de réponse de moins de 10ns, et le cross-talk entre voies est de 2,2%.

Le préamplificateur de charge est composé d'un amplificateur inverseur en cascode replié avec un réseau RC en contre-réaction. Cet étage réalise l'intégration du courant d'entrée et la conversion de charge en tension. Il a été analysé et optimisé en stabilité et en bruit. Le bruit équivalent ramené à l'entrée en charge (ENC) est de 1,3fC (ou 8125 e-).

Le comparateur de courant utilise un amplificateur différentiel comme comparateur de tension, avec contre réaction pour diminuer l'impédance d'entrée de l'étage, ce qui améliore la réponse temporelle liée à la constante de temps du nœud d'entrée. Un courant différentiel d'entrée est converti en tension via l'impédance d'entrée. Le signal en tension est ensuite comparé à une référence ajustable. Pour augmenter la sensibilité du comparateur, la sortie de l'amplificateur différentiel est suivie de trois inverseurs CMOS en cascade. Cette structure permet d'optimiser la rapidité et la sensibilité selon les performances demandées, avec un réglage facile du niveau de référence.

Le circuit de lecture à 16 voies a été fabriqué et testé. Sa fonctionnalité a été vérifiée (cf. Tableau 5-1). La puissance dissipée par canal est de 10 mW sous une tension d'alimentation de 3,3 V. Une dynamique d'entrée est de 53 dB avec un niveau de bruit ENC de 4fC. Le temps de réponse du convoyeur de courant est de 0,66 ns, et celui du comparateur de courant est de 3 ns. Les résultats de mesure sont en cohérence avec ceux évalués par simulations, et sont donc conformes aux spécifications. Nous avons par la suite procédé à une expérimentation de test en faisceau utilisant un prototype de circuit couplé à un hodoscope en fibres scintillantes avec un MA-PMT. Les résultats issus de cette expérience dans un environnement de faisceau nous ont permis de vérifier encore une fois le fonctionnement normal du circuit, qui ne limite pas le fonctionnement du détecteur.

D'autre part, nous avons conçu un bloc d'étiquetage en temps de type TDC (Time-to-Digital Converter) utilisant la technologie AMS CMOS 0,35 μm . Le circuit sert à identifier un événement, et à produire un signal numérique indiquant le temps de passage d'une particule dans l'hodoscope. Le circuit TDC est principalement constitué d'une boucle à verrouillage de délai (DLL), et d'une partie réalisant un traitement numérique des données.

La DLL utilise une ligne à retard commandée en tension (VCDL) de 32 éléments, un détecteur de phase et une pompe de charge. Elle réalise une découpe temporelle sur une période de l'horloge de référence de 6,25 ns en 32 intervalles de temps identiques. La DLL intègre aussi un détecteur de phase et une pompe de charge. Le détecteur de phase réalise la comparaison de phase, et fournit les signaux de commande à la pompe de charge. Il permet également de supprimer l'offset de phase par réglage de compensation. La pompe de charge est une structure à sources de courant commutées avec un filtre de boucle pour produire un signal de contrôle pour la VCDL. La DLL proposée présente des avantages par rapport à une réalisation

entièrement numérique. Elle permet un plus bas niveau de jitter et utilise moins de surface de silicium.

La partie de traitement numérique des données comprend un registre 32 voies pour mémoriser et traiter les signaux provenant de la VCDL, une interface d'horloge externe/interne et un encodeur Gray 5 bits qui produit les données de sortie correspondant au temps d'arrivée de l'évènement.

Cet ASIC TDC a aussi été fabriqué et testé. Son fonctionnement avec un pas de 195 ps a été vérifié, avec une résolution de 59 ps et un jitter de 15 ps en RMS. Sa consommation est de 5,6 mW (cf. Tableau 5-2). Nous avons aussi constaté une non-linéarité significative sur le code 0, due à l'erreur d'offset du détecteur de phase. Cette non-linéarité a été sensiblement réduite par la compensation d'offset, et ce problème pourrait être corrigé par une correction de l'encodeur sur la prochaine version.

L'ensemble de nos travaux de conception et de test réalisés sur ces deux circuits nous ont conduits à poursuivre le développement de ce projet :

- L'architecture de ces deux circuits sera réutilisée, et intégrée lors de la conception d'un ASIC de lecture 32 voies avec l'étiquetage en temps, comme illustré sur la Figure 5-1. Une carte de test sera réalisée pour la lecture de 64 canaux de MA-PMT, avec une adaptation pour le système d'acquisition PXI.
- Dans le cadre des projets ANR Gamhadron et FP7 ENVISION, l'hodoscope 2x128 fibres sera inclus dans un détecteur gamma prompts à temps de vol sur faisceau en hadronthérapie, et les signaux seront intégrés dans un système d'acquisition micro-TCA. Ce hodoscope pourra également être utilisé pour d'autres projets, tels que l'imagerie de protons secondaires en hadronthérapie ou la radiographie protons.

	Spécification	Résultat
Technologie	AMS 0.35 μm BiCMOS process (3.3V)	AMS 0.35 μm BiCMOS process (3.3V)
Bande passante du convoyeur de courant	≥ 87.5 MHz	200 MHz
Dynamique du signal d'entrée	2 pC \sim 10 pC	135 fC \sim 60pC
Equivalent Noise Charge	< 200 fC (Iseuil > 20 μA)	0.3 fC
Temps mort par voie	< 100 ns	3.66 ns
Crosstalk	5 %	2.2 %
Impédance d'entrée	80 Ω	48 Ω

Tableau 5-1 : Comparaison entre les spécifications de l'ASIC Front-End de lecture et le résultat réel

	Spécification	Résultat
Technologie	AMS 0.35 μm CMOS process (3.3V)	AMS 0.35 μm CMOS process (3.3V)
Fréquence de l'horloge	140 MHz - 170 MHz	130 MHz – 200 MHz
Dynamique temporelle	6.25 ns	5 ns – 7.9 ns
Résolution temporelle	200 ps	195.3 ps
Jitter RMS	50 ps	15.4 ps
DNL_{RMS}	1 LSB	0.31 LSB
INL_{RMS}	1 LSB	0.87 LSB
Bus de sortie	5 bits	5 bits
Sortie détection d'erreur		
Dispositif de compensation d'offset		
Entrée LVDS		

Tableau 5-2 : Comparaison entre les spécifications de l'ASIC TDC et le résultat réel

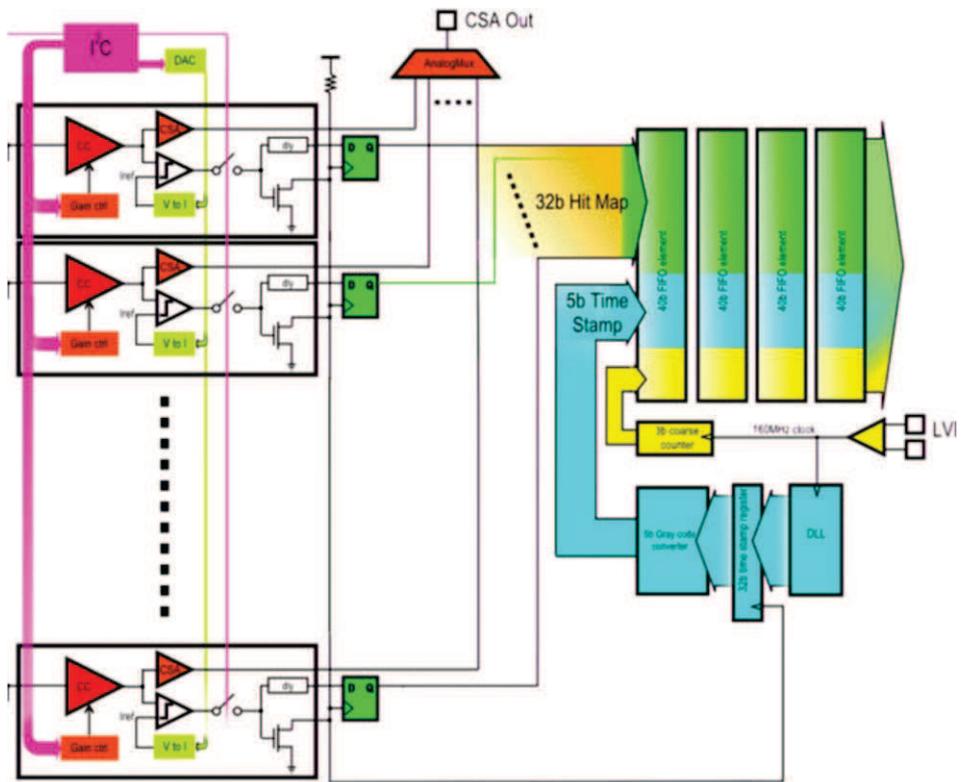


Figure 5-1 : ASIC de lecture 32 voies avec l'étiquetage en temps (conception en cours)

Bibliographies

- [1] Webb.S, "The physical basis of IMRT and inverse planning," *British Journal of Radiology*, vol. 76(910), pp. 678-689, 2003.
- [2] R. L. Maughan, and J. Burmeister, "Intensity modulated neutron therapy for the treatment of adenocarcinoma of the prostate.," *Int.J.Radiation Oncology Biol.Phys*, vol. 68(5), pp. 1546-1556, 2007.
- [3] Kraft.G, "Tumor therapy with heavy charged particles," *Progress in Particle and Nuclear Physics*, vol. 45, pp. 473-544, 2000.
- [4] W. H. Bragg, and R. Kleeman, "On the alpha particles of radium and their loss of range in passing through various atoms and molecules.," *Philos.Mag*, vol. 10, pp. 318, 1905.
- [5] Krämer.M, and Scholz.M, "Treatment planning for heavy-ion radiotherapy:calculation and optimization of biologically effective dose," *Physics in medicine and biology*, vol. 45(11), pp. 3319-3330, 2000.
- [6] T. Haberer, et al., "Magnetic scanning system for heavy ion therapy," *Nuclear Instruments and Methods in Physics Research A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 330(1-2), pp. 296-305, 1993.
- [7] H. M. Kooy, et al., "A Case Study in Proton Pencil-Beam Scanning Delivery," *International Journal of Radiation Oncology Biology Physics*, vol. 76(2), pp. 624-630, 2010.
- [8] D. Schardt, T. Elsässer, and D. Schulz-Ertner, "Heavy-ion tumor therapy," *Physical and radiobiological benefits. Reviews of Modern Physics*, vol. 82, pp. 383-425, 2010.
- [9] C. Bert, Grozlinger, S.O. et al., "Quantification of interplay effects of scanned particle beams and moving targets," *Physics in medicine and biology*, vol. 53(9), pp. 2253-2266, 2008.
- [10] E. Rietzel, and C. Bert, "Respiratory motion management in particle therapy," *Medical Physics*, vol. 37, pp. 449, 2010.
- [11] "Bio_AS,"
[http://www.gs.de/forschung/bio/Sommerstudies Bio AS 2006.pdf](http://www.gs.de/forschung/bio/Sommerstudies_Bio_AS_2006.pdf).
- [12] M. Durante, and J. S. Loeffler, "Charged particles in radiation oncology," *Nature Reviews Clinical Oncology*, 2009.
- [13] W. Enghardt, et al., "The spatial distribution of positron-emitting nuclei generated by relativistic light ion beams in organic matter," *Physics in medicine and biology*, vol. 37, pp. 2127-2131, 1992.
- [14] P. Crespo, et al. , "Direct time of flight for quantitative, real-time in-beam PET: a concept and feasibility study," *Physics in medicine and biology*, vol. 52(23), pp. 6795-6811, 2007.
- [15] F. A. Dilmanian, et al., "Improvement of the prompt-gamma neutron activation facility at Brookhaven National Laboratory," *Physics in medicine and biology*, vol. 43, pp. 33-349, 1998.
- [16] M. Crittin, J. Kern, and J. L. Schenker, "The new prompt gamma-ray activation facility at the Paul Scherrer Institute, Switzerland," *Nuclear Instruments and Methods in Physics Research A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 449(1-2), pp. 221-236, 2000.

- [17] F. Fiedler, et al., "On the effectiveness of ion range determination from in-beam PET data.," *Physics in medicine and biology*, vol. 55(7), pp. 1989, 2010.
- [18] H. Tsuji, et al., "Hypofractionated radiotherapy with carbon ion beams for prostate cancer," *International Journal of Radiation Oncology Biology Physics*, vol. 63(4), pp. 1153-1160, 2005.
- [19] K. Parodi, et al., "Random coincidences during in-beam PET measurements at microbunched therapeutic ion beams," *Nuclear Instruments and Methods in Physics Research A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 545(1-2), pp. 446-458, 2005.
- [20] C. H. Min, et al., "Prompt gamma measurements for locating the dose falloff region in the proton therapy," *Applied Physics Letters* vol. 89, no. 183517, 2006.
- [21] E. Testa, M. Bajard, M. Chevallier *et al.*, "Monitoring the Bragg peak location of 73 MeV/u carbon ions by means of prompt gamma-ray measurements," *Applied Physics Letters* 93, vol. 093506, 2008.
- [22] D. Dauvergne, et al., "New methods of real-time control imaging for ion therapy," *NIRS-ETOILE Joint Symposium on Carbon Ion Therapy, Lyon France 2009*.
- [23] P. Bloser, et al., "Development of silicon strip detectors for a medium energy gamma-ray telescope.," *Nuclear Instruments and Methods in Physics Research A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 512(1-2), pp. 220-228, 2003.
- [24] D. Meier, et al., "Silicon detector for a Compton camera in nuclear medical imaging," *IEEE Trans. Nucl. Sci.*, vol. 49(3), pp. 812-816, 2002.
- [25] M. Richard, et al., "Design guidelines for a double scattering Compton camera for prompt-gamma imaging during ion beam therapy: a Monte Carlo simulation study."
- [26] F. Roellinghoff, "Design of a Compton camera for 3D prompt- γ imaging during ion beam therapy," *Nuclear Instruments and Methods in Physics Research A*, vol. 648, no. S20, 2011.
- [27] P. Henriquet, "Etude de l'émission de particules chargées secondaires dans l'optique d'une dosimétrie en ligne en hadronthérapie.," Institut de physique nucléaire de Lyon, Université Claude Bernard Lyon 1, 2010.
- [28] Kuraray. "Clear Fibers Technical Data," <http://kuraraypsf.jp/psf/cf.html>.
- [29] SAINT-GOBAIN, "Scintillating Optical Fibers-Brochure," BICRON, ed., 2011.
- [30] A. Mortimer, and W. D. Michael. <http://learn.hamamatsu.com/articles/photomultipliers.html>.
- [31] A.S. Brogna, S. Buzzetti, W. Dabrowski *et al.*, "Development of a Self-triggered High Counting Rate ASIC for Readout of 2D Gas Microstrip Neutron Detectors."
- [32] F. Kajino, Y. Kuroda, M. Oda *et al.*, "Front-end Readout ASIC for the JEM-EUSO Focal Surface Detector."
- [33] X. C. Fang, C. Hu-Guo, D. Brasse *et al.*, "Design and characterization of a multi-channel front-end readout ASIC with low noise and large dynamic input range for APD-based PET imaging," *Analog Integrated Circ. and Signal Proc.*, 2010.

- [34] N.Ollivier-Henry, J.D.Berst, C.Colledani *et al.*, "A front-end readout mixed chip for high-efficiency small animal PET imaging," *Nuclear Instruments and Methods in Physics Research A*, vol. 571, pp. 312-316, 2007.
- [35] S.Callier, F.Dulucq, C. d. L. Taille *et al.*, "HARDROC1, Readout chip of the Digital Hadronic Calorimeter of ILC." pp. 1851-1856.
- [36] H. Mathez, G.-N. Lu, P. Pittet *et al.*, "A charge-sensitive amplifier associated with APD or PMT for 511keV, photon-pair detection," *Nuclear Instruments and Methods in Physics Research A*, vol. 613, pp. 134-140, 2010.
- [37] S. Deng, H. Mathez, D. Dauvergne *et al.*, "Front-End multi-channel PMT-associated readout chip for hodoscope application," *NIMA*, vol. 695, pp. 390-393, 2012.
- [38] P. R.Gray, P. J.Hurst, Stephen.Lewis *et al.*, "Analysis and Design of Analog Integrated Circuits," pp. 770-771.
- [39] AMS, *0.35µm CMOS C35 Process Parameters*, 2008.
- [40] AMS, *0.35 µm CMOS C35 Noise Parameters*, 2008.
- [41] D.Bonnet, A.Brogna, J.P.Coffin *et al.*, "The HAL25 Front-End Chip for the ALICE Silicon Strip Detectors."
- [42] G. D. Geromino, and P.O'Connor, "A CMOS detector leakage current self-adaptable continuous reset system: Theoretical analysis," *Nuclear Instruments and Methods* vol. A 421,, pp. 322-333, 1999.
- [43] W.Sansen, and Z.Y.Chang, "Feedforward Compensation techniques for High Frequency CMOS amplifier," *IEEE J.Solid-State Circ.*, vol. Vol 25, pp. 1590-1595, December, 1990.
- [44] G.Palmisano, and S.Pennisi, "A CMOS Transresistance Current Amplifier," *IEEE ISCAS*, pp. 1960-1963, 1997.
- [45] D. Fraitas, and K. Current, "CMOS Current Comparator Circuit," *Electronics Letters*, pp. 695-697, 1983.
- [46] L. Chen, B.Shi, and C.Lu, "A Robust High Speed and Low Power Current Comparator Circuit," *IEEE APCCAS*, pp. 147-177, 2000.
- [47] L.Luh, J.Choma, and J.Draper, "A High Speed High Resolution CMOS Current Comparator," *IEEE ICECS*, pp. 303-306, 1999.
- [48] S. Deng, H. Mathez, D. Dauvergne *et al.*, "16-channel readout ASIC for a hodoscope."
- [49] F. Borghetti, L. Farina, P. Malcovati *et al.*, "A High Speed and Low Power CMOS Current Comparator for Photon Counting Systems," *IEEE*, 2004.
- [50] L. LETERRIER, *Conception, réalisation et tests d'un marqueur de temps haute-résolution pour l'expérience SuperNEMO*, MEMOIRE, 2010.
- [51] S. Henzler, *Time-to-Digital Converters*, 2010.
- [52] A. Mäntyniemi, T. Rahkonen, and J. Kostamovaara, "A nonlinearity-corrected CMOS time digitizer IC with 20 ps single-shot precision," *Circuits and Systems, 2002 ISCAS 2002. IEEE International Symposium* vol. 1, pp. 513-516, 2002.
- [53] E. Raisanen-Ruotsalainen, T. Rahkonen, and J. Kostamovaara, "A low-power cmos time-to-digital converter based on time-to-voltage interpolation," *Solid-state Circuits Conference, ESSCIRC'97. Proceedings of the 23rd European*, pp. 332-335 1997.

- [54] G.S.Jovanović, and M.K.Stojcev, "Vernier's Delay Line Time-to-Digital Converter," *SCIENTIFIC PUBLICATIONS OF THE STATE UNIVERSITY OF NOVI PAZAR*, vol. SER. A: APPL. MATH. INFORM. AND MECH. vol.1, 2009.
- [55] J. Yu, F. F. Dai, and R. C.Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μm CMOS Technology," *IEEE J.Solide-State Circ.*, vol. 45, APRIL, 2010.
- [56] A. Liscidini, L. Vercesi, and R. Castello, "Time to Digital Converter based on a 2-dimensions Vernier architecture."
- [57] Poki Chen, S.-I. Liu, and J. Wu, "A CMOS Pulse-Shrinking Delay Element For Time Interval Measurement," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, vol. 47, no. ANALOG AND DIGITAL SIGNAL PROCESSING, 9 SEPTEMBER, 2000.
- [58] M. S. Kim, and Y.-B. Kim, "All-digital Phased-locked Loop with Local Passive Interpolation Time-to-Digital Converter Based on a Tristate Inverter."
- [59] B. Razavi, "Design of Analog CMOS Integrated Circuits ", 2001.
- [60] C.-K. K. Yang, "Delay-Locked Loops - An Overview."
- [61] J. G.Maneatis, "Low-jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," *IEEE JOURNAL OF SOLIDE-STATE CIRCUITS*, vol. 31, 11.NOVEMBER, 1996.
- [62] Cheng.Jia, "A Delay-locked loop for multiple Clock Phases/Delays Generation," 2005.
- [63] "Phase detector," http://en.wikipedia.org/wiki/Phase_detector.
- [64] B.W.Garlepp et al., " A portable digital DLL for high-speed CMOS interface circuits," *IEEE J.Solide-State Circ.*, vol. 34, no. 5, pp. 632-644, May, 1999.
- [65] X.-c. FANG, "Design and Integration of a Low-Noise Readout Chain in CMOS Technology for APD-Based Small-Animal PET Imaging," Ecole Doctorale de Physique et Chimie-Physique de l'Université de Strasbourg, Université de Strasbourg, 2011.
- [66] J.Christiansen, "High Performance Time to Digital Converter Version 2.2," 2004.
- [67] J.Christiansen, "An Integrated CMOS 0.15ns Digital Timing Generator for TDC's and Clock Distribution Systems," *IEEE Trans.Nucl.Sci NS-42*, pp. 753-757, Aug, 1995.
- [68] G.Jovanovic, and M.Stojcev, "Voltage Controlled Delay Line for Digital Signal," *Electronics and Energitic*, vol. 16, no. No.2, pp. 215-232, August 2003.
- [69] D. Abramovitch, "Phase-Locked Loops: A Control Centric Tutorial."
- [70] J.A.Crawford, *Frequency Synthesizer Design Hand-book*: Norwood, MA 02062: Artech House, 1994.
- [71] D.H.Wolaver, *Phase-Locked Loop Circuit Design. Advanced Reference Series & Biophysics and Bio-engineering Series*, Englewood Cliffs: Prentice Hall, 1991.
- [72] R.E.Best, "*Phase-Locked Loops: Design, simulation, and Application*, third ed., New York: McGraw-Hill, 1997.
- [73] J.Alexander, "*Clock recovery from random binary siganls*", p.^pp. 541-542: Electronics Letters, 1975.

- [74] D. H. Wolaver, *Phase-Locked Loop Circuit Design*: PTR Prentice Hall, Engewood Cliffs, New Jersey 07632.
- [75] "0.35 μ m CMOS Digital Standard Cell Databook," http://asic.austriamicrosystems.com/databooks/c35_3.3V/c35_CORELIB_TYP.pdf.
- [76] H.-i. LEE, T.-w. AHN, D.-y. JUNG *et al.*, "Scheme for No Dead Zone, Fast PFD Design," *Journal of the Korean Physical Society*, vol. 40, no. 4, pp. 543-545, April, 2002.
- [77] W. Rhee, "Design of High Performance CMOS Charge Pumps in Phase-Locked Loops," *IEEE Intl. Symp. on circuits and systems*, vol. 1, pp. 545-548, 1999.
- [78] M.Mansuri, C.K., and K.Yang, "Jitter Optimization Based on Phase-Locked Loop Design Parameters " *IEEE J.Solid-State Circ.*, vol. 34, pp. 632-644, May, 1999.
- [79] M.-J.E.Lee *et al.*, "Jitter Transfer characteristics of Delay-locked Loops-Theories and Design Techniques " *IEEE J.Solid-State Circ.*, vol. 38, pp. 614-621, April, 2003.
- [80] E. Barajas, D. Mateo, and J. L. Gonzalez, "Behavioural modelling of DLLs for fast simulation and optimisation of jitter and power consumption."
- [81] "Low Voltage Differential Signaling," http://fr.wikipedia.org/wiki/Low_Voltage_Differential_Signaling.
- [82] S.Renaud, P.Marchegay, and B.Parmentier, *Méthodes d'analyse des dispositifs de conversion A/N en regime dynamique* p.^pp. 47-56, 1989.