



HAL
open science

La génération de courant quantifié par des dispositifs en silicium pour la métrologie quantique

Paul Clapera

► **To cite this version:**

Paul Clapera. La génération de courant quantifié par des dispositifs en silicium pour la métrologie quantique. Systèmes mésoscopiques et effet Hall quantique [cond-mat.mes-hall]. Université Grenoble Alpes, 2015. Français. ⟨NNT : 2015GREAY041⟩. ⟨tel-01259555⟩

HAL Id: tel-01259555

<https://theses.hal.science/tel-01259555v1>

Submitted on 20 Jan 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nanophysique**

Arrêté ministériel : 7 août 2006

Présentée par

Paul CLAPERA

Thèse dirigée par **Xavier JEHL**

préparée au sein **du laboratoire de transport électronique quantique et supraconductivité,**
du service de physique statistique, magnétisme et supraconductivité,
de l'institut nanosciences et cryogénie,
du CEA Grenoble
et de l'école doctorale de physique de Grenoble

La génération de courant quantifié par des dispositifs en silicium pour la métrologie quantique

Thèse soutenue publiquement le **18 septembre 2015**,
devant le jury composé de :

Gérard GHIBAUDO

IMEP-LAHC / INP Grenoble, Président

Xavier JEHL

SPSMS / CEA Grenoble, Directeur de thèse

Marc SANQUER

SPSMS / CEA Grenoble, Co-Directeur de thèse

Yong JIN

LPN / CNRS Marcoussis, Rapporteur

Philippe DOLLFUS

IEF / Université Paris-Sud, Rapporteur

Edoardo CHARBON

Department of Microelectronics / TU Delft, Examineur



*Le travail doit cesser d'être une
nécessité pénible pour devenir
un impératif agréable.*

Ernesto Guevara

Résumé

Les pompes à électrons ont été très étudiées et fabriquées par le monde scientifique. Elles génèrent un courant continu proportionnel à une fréquence très bien contrôlée en métrologie. Dans ce contexte métrologique, des principes et matériaux divers comme la pompe en GaAs ou Silicium ou encore le tourniquet supraconducteur ont marqué des avancées. Bien que les courants générés sont toujours plus grands et précis, les exigences fixées pour la métrologie sont difficiles à atteindre et pour l'heure aucune pompe à électrons ne peut être utilisée pour la mise en pratique du futur ampère quantique qui sera probablement défini dans quelques années. Par ailleurs, des chercheurs ont créé des circuits associant des transistors FETs (transistors à effet de champ) et des transistors SETs (transistors mono-électroniques), notamment dans le but de la création d'une électronique à très basse consommation. Cette thèse apporte une contribution nouvelle dans ces deux domaines : une nouvelle pompe à électrons en silicium a été développée et la co-intégration de circuit CMOS classique avec un dispositif nanoélectronique quantique a été démontrée. Notre pompe à électrons repose sur le principe de deux barrières tunnel réglables et d'un îlot central. Au travers de la modulation des barrières à la fréquence f , la charge électrostatique de l'îlot central est contrôlée, un courant continu $I = ef$ est généré; et ceci même avec une tension nulle aux bornes de la pompe. Nos pompes à électrons utilisent la technologie nanofils silicium-sur-isolant développée par le CEA-LETI. Le nanofil est recouvert de deux grilles (2 MOSFETs en série) pour les barrières réglables et un îlot de Coulomb métallique de petite taille est « isolé » entre ces deux transistors. Nos échantillons à 100 mK nous ont permis de montrer que nous étions capables de contrôler adiabatiquement l'état de charge de l'îlot quantique et de générer des courants quantifiés jusqu'à 900 MHz. Nous avons aussi fabriqué les premières pompes à électrons uniquement réalisée par lithographie optique, avec pour ces dernières une fréquence maximale de pompage de 300 MHz. Notre technologie de fabrication de SETs à grande échelle repose sur la réduction de leurs tailles. Ces techniques n'ont que très rarement été couplées avec des circuits CMOS conventionnels fonctionnant à basse température. L'intérêt d'une telle co-intégration est grand dans le domaine de l'information quantique : la mise en place de beaucoup de qubits couplés pourrait nécessiter des circuits « annexes » réalisés en CMOS classiques, mais utilisés dans un environnement cryogénique. Nous avons conçu et fabriqué avec le LETI-DACLE un circuit co-intégrant un circuit oscillant composé de FETs de grande dimension et un circuit nanoscopique composé de SETs. Un circuit d'essai comprenant une pompe à électrons pilotée sur la puce par un circuit oscillant a été réalisé et son fonctionnement mesuré à basse

température. Nos résultats montrent que les circuits oscillants basés sur des oscillateurs en anneaux pour des applications à 300 K restent fonctionnels jusqu'à 1 K, malgré une très faible baisse de la fréquence d'oscillation. En parallèle, nous avons par la mesure de courant de rectification sur le dispositif nanoscopique mis en évidence que la cohabitation entre circuit FET et SET était réalisable et qu'il est possible d'imaginer un circuit complexe pour réaliser une pompe à électrons et son électronique associée sur une même puce. La conception de pompe à électrons par l'approche de la technologie SOI a montré sa viabilité avec nos dispositifs, potentiellement équivalents aux meilleures pompes créées jusqu'à présent. L'avantage du silicium et des techniques de fabrication modernes ont prouvé qu'il était possible de créer des circuits complexes alliant FET et SET pour des applications faisant intervenir des phénomènes quantiques. Ces travaux montrent le caractère prometteur de la co-intégration de circuits et ouvre la voie à de plus amples investigations dans la réalisation des pompes à électrons en silicium.

Abstract

Electrons pumps have been extensively studied and manufactured by the scientific world. They generate a DC current proportional to a very well controlled frequency in metrology. In this metrological context, the various principles and materials such as GaAs or Silicon pump or the superconducting turnstile have shown great progress. Although the generated level of currents are always higher and accurate, the requirements for metrology are difficult to meet and for now no electron pump can be used for the realization of the future quantum ampere that will probably be defined in a few years. Moreover, researchers have created circuits involving transistors FETs (field effect transistors) and transistors SETs (single-electron transistors), particularly for the purpose of low consumption electronic. This thesis makes a further contribution in both areas : a new silicon electron pump was developed and the co-integration of a conventional CMOS circuit with a quantum nanoelectronics device was demonstrated. Our electron pump is based on the principle of two tunable tunnel barriers and a central island. Through the modulation of the barriers at the frequency f , the electrostatic charge of the central island is controlled, a direct current $I=ef$ is generated ; and this even with a zero voltage bias across the pump. Our electron pumps use the nanowire technology silicon-on-insulator developed by CEA-LETI. The nanowire is covered with two gates (two MOSFETs in series) as adjustable barriers, and a small metallic Coulomb island is "isolated" between these two transistors. Our samples at 100 mK demonstrated that we were able to control the quantum island charge state adiabatically and generated quantified currents up to 900 MHz. We also produced the first electron pumps achieved by only optical lithography, with a maximum pumping frequency of 300 MHz. Our large scale SETs manufacturing technology is based on extreme size shrinking. These techniques have rarely been coupled with conventional CMOS circuits, when operating at low temperature. The interest of such co-integration is strong in the field of the quantum information : the establishment of many coupled qubits may require "additional" circuits made with classical CMOS but in a cryogenic environment. We designed and fabricated with the LETI-DACLE a co-integration of an oscillating circuit composed of large FETs circuit and a circuit made of nanoscopic SETs. A test circuit comprising an electron pump driven on chip by an oscillating circuit was created and measured at low temperature. Our results show that the oscillating circuit based on ring oscillators for 300 K applications remain functional up to 1 K, despite a very slight decay in the oscillation frequency. In parallel, by measuring a rectification current on the nanoscale device we demonstrated that cohabitation between FET circuit and SET was realistic and makes possible to imagine a complex

circuit to achieve an electron pump with its electronics embedded on a single chip. The electron pump design by the approach of SOI technology has demonstrated its viability; potentially our devices are equivalent to the best pumps created so far. The advantage of silicon and modern manufacturing techniques have proved that it was possible to create complex circuits combining FET and SET for applications involving quantum phenomena. This work shows the promising nature of the co-integration circuits and opens the way for further investigations in the implementation of silicon electron pumps.

Table des matières

Remerciements	i
Introduction	1
1 Les dispositifs de la nano-physique	3
1.1 La métrologie quantique	4
Le Volt et Ohm quantique	6
Les pompes à électrons	10
1.2 La nano-électronique en silicium	18
Transistors à atome unique (SAT)	18
Transistors à atomes couplés (CAT)	19
La co-intégration de CMOS-SET	22
1.3 Conclusion	23
2 Fabrication des dispositifs	25
2.1 Processus de fabrication	25
Le substrat SOI obtenu par le procédé "Smart Cut"	25
Les étapes de fabrication des échantillons	26
Lithographie DUV	28
Lithographie à faisceau d'électrons (e-beam)	30
2.2 Caractérisation des échantillons à température ambiante	30
Station sous pointes	30
Mode de mesure	34
Conclusion	35
3 Caractérisation en DC des dispositifs à basse température	37
3.1 Mesures DC	38
Conductance	38
Effets de la backgate	39
Un îlot métallique couplé à deux grilles	41
3.2 Les supports de puces	42
3.3 Les cryostats	43
Dilulette	43

Dilu06	43
Réglage d'un circuit de dilution	44
Conclusion	47
4 Les pompes à électrons en silicium	49
4.1 Introduction et fonctionnement de la pompe en silicium	50
L'effet tunnel	50
Le fonctionnement d'une pompe en silicium	51
Mise en pratique expérimentale du pompage	54
4.2 Le courant quantifié par un dispositif double grilles réalisé par e-beam . . .	55
Description du dispositif	55
L'électrostatique d'un dispositif fabriqué par e-beam	56
Vers la génération de courant quantifié avec une pompe e-beam	62
4.3 La pompe réalisée par lithographie DUV	72
Description du dispositif	73
Caractéristiques électrostatiques	74
L'expérience de la pompe à électrons avec un dispositif DUV	77
4.4 Conclusion	84
5 Co-Intégration de circuit	85
5.1 Principe de l'intégration	86
Oscillateurs contrôlés en tension (VCO)	87
Design du circuit	89
5.2 Mesures à basses températures	92
Oscillateurs contrôlés en tension (VCO)	93
Caractéristiques électrostatiques de la pompe à électrons	97
Rectification de courant	99
5.3 Conclusion	101
Conclusion	103
Liste des publications associées	105
Références	107

Remerciements

Arrivé au terme de ces trois années très enrichissantes pendant lesquelles j'ai pu évoluer dans un cadre unique, j'ai appris énormément. Grâce à Xavier, j'ai pu m'initier aux subtilités et finesses de la Science et pu faire mes armes. Il a su transmettre ses connaissances et me réorienter dans mes moments d'égarement. Je remercie Xavier d'avoir crû en moi et de m'avoir offert ces trois belles années. Je remercie également Marc, notre chef du LATEQS, pour avoir partagé ses énormes savoir et expériences. Ses réponses aux questions sur des thèmes de Physique ou ses avis sur mon travail ont toujours reflété expertise et sagesse. J'ai beaucoup apprécié ses conseils très avisés, et ai souvent cité Marc comme référence à mes camarades.

Je tiens à remercier les rapporteurs de ce manuscrit, Yong Jin et Philippe Dollfus, d'avoir accepté ce travail supplémentaire, ainsi qu'Edoardo Charbon et Gérard Ghibaudo pour avoir accepté de participer au jury.

Je remercie aussi la Fondation Nanoscience pour sa contribution dans cette entreprise ; sans son soutien économique ces lignes n'auraient pas pu s'écrire.

Je voudrais remercier également ceux qui ont participé en amont dans nos expériences, Pierre et Fred pour avoir su nous faire bénéficier de leurs connaissances en électronique. Grâce à eux j'ai découvert ce nouveau domaine, et me suis initié aux richesses de l'électronique analogique et ainsi pu développer de nouveaux centres d'intérêts. Merci Fred pour ton amitié, pour avoir été mon voisin de bureau avec qui j'ai pu parler de tout et de rien et aussi Pierre, pour accessoirement nous avoir fait découvrir de nouveaux terroirs vinicoles, nous faire partager tes expériences en montagne, ainsi que les composants électroniques qui m'ont été nécessaires dans la réalisation de mes projets.

Je remercie Claude pour les bons moments passés aux labos, les offres de fromage, les moments de causerie politique à la pause café et d'être à lui seul un orchestre symphonique qui permet de masquer le bruit de nos pompes ou ceux de nos racks à appareils électroniques.

Je remercie François pour avoir été de bon conseil dans mes moments de doute quant à mes choix d'avenir et de nous faire profiter de sa bonne humeur. Je vous remercie Daniel et Xavier, pour votre aide dans la correction de mes lettres de motivation, tâche parfois laborieuse.

Je remercie Slava, les post doc, Romain, Julien, pour apporter gaieté au labo et pour vos contributions à mes travaux.

Je voudrais remercier mon prédécesseur, Benoit Roche, pour avoir caractérisé les échantillons AFSID et pour sa grande contribution avec Labview qui a grandement amélioré les processus de mesures et qui m'a définitivement converti à ce mode de programmation.

Je remercie nos collaborateurs du LNE, François, Sophie et Laurent pour les quelques jours de visite de leur laboratoire. Il n'y avait malheureusement pas beaucoup de manip. en cours, nous nous sommes donc rabattus sur de la simulation. Néanmoins ce court séjour à Paris m'a permis de profiter de quelques belles expositions de peinture qu'il me tenait à cœur de visiter. Cette mission a aussi représenté le côté "international" de mon cursus, car elle a été la plus lointaine que j'ai accompli durant ma thèse.

Un grand merci à notre équipe de cryogénistes, Jean-Michel et Iulian pour avoir toujours été à nos côtés et ainsi garantir que nos installations soient opérationnelles à tout instant. Sans leur expertise et savoir-faire, "Diluette" ne refroidirait peut être plus jusqu'à 60 mK ou d'autres pompes à vide auraient été mises hors service.

Sans oublier Michel, LE mécanicien du laboratoire caché dans son atelier. Sans lui beaucoup d'éléments n'auraient pas vu le jour, la qualité et précision de ses pièces ne sont plus à prouver. Merci pour sa contribution.

Bien que post mortem, je te dis merci dispositif PTLSH1_1 du W19 D1. Tu as su faire naître en moi l'espoir et l'envie d'approfondir la thématique des pompes à électrons. Avec toi, j'ai réussi des manipulations que peu parviennent à exécuter ; tu as été la source de mes plus beaux résultats.

Je remercie tous ceux qui sont encore là, Max, Alexander, Alexandre A., Loïc, Vincent, Louis, Dharmraj, Toai, Andrea, Adrien, Beilun, Gaël, Silvano, Jean-Pierre, Juan Carlos, Patrick, Görg, Alexandre P., Jean Pascal, Dibyendu mes collègues de boulot, sans oublier ceux qui nous ont précédé, Charlène, Benoit Voisin, Mathieux, Audrey, Mounir, Tristan, Amalia, Natalia, pour tous les bons moments partagés dans notre labo.

Un grand merci va à mes Amis de l'ALE Echirolles qui m'ont aidé durant trois ans à me dépasser et à trouver le bon équilibre au travers du sport ; à mes Amis sud américains de Grenoble ou en Bolivie pour leur générosité et pour avoir su apaiser mon esprit.

Pour finir, mes remerciements vont aux inconditionnels du "back office", mon frère Marc et ma Maman.

Je tourne une page importante de ma vie et suis fier d'avoir osé un pari que j'ai pu gagner grâce à votre support.

Introduction

Contexte

Début des années 90, suite à l'observation d'un nouveau phénomène physique : l'effet de charge mono-électronique, de nouveaux dispositifs allaient naître. En parallèle, les unités telles que le Volt et l'Ohm sont réalisées à travers de nouvelles expériences (tension : effet Josephson, résistance : effet Hall quantique). Ces dernières, mettant en jeu des constantes fondamentales telles que la charge de l'électron e et de la constante de Planck h , remplaceront progressivement les étalons standards. Dans ce contexte, l'idée de pompe à électrons générant un courant contrôlé et quantifié $I=ef$ apparaît. Par définition, ces dispositifs lient directement une fréquence à un courant. Elles sont donc les candidats naturels pour être utilisées comme étalon quantique pour l'unité de courant. Depuis plus de 20 ans, le monde scientifique s'intéresse au développement des pompes à électrons. Bien que les courants pompés augmentent et leur précision s'améliore, les exigences de la métrologie étant élevées, à ce jour, aucune pompe ne peut être utilisée comme étalon quantique de l'ampère.

Les premiers dispositifs efficaces qui ont été développés étaient basés sur le schéma de deux îlots de Coulomb placés en série, séparés par des barrières tunnel fixes. Les électrons étaient transférés en faisant successivement varier la charge des îlots dans un cycle coordonné. Ce principe, fut notamment utilisé par le CEA Saclay, puis par le NIST[1] en 1996 pour accomplir la première expérience permettant de réaliser un standard de capacité par comptage d'électrons. D'autres pompes à électrons furent également développées par d'autres laboratoires : le "turnstile" supraconducteur en Finlande exploitant les propriétés du gap supraconducteur ; la pompe en matériaux semi-conducteurs (GaAs) en Allemagne et la pompe en silicium initialement développée au Japon, construite sur la base d'un îlot quantique et de deux barrières tunnel réglables.

A Grenoble, important bassin français de la recherche et du développement dans le domaine des semi-conducteurs, le CEA a développé en collaboration avec le LETI une pompe à électrons en silicium. Grâce aux modes de fabrication les plus avancés du LETI, notre pompe se distingue par la mise en œuvre de deux transistors *MOSFET* en série sur un nanofil de silicium. Elle est basée sur le principe de deux barrières réglables et d'un îlot métallique central. Ce dispositif profite constamment des avancées technologiques apportées aux transistors et sa fabrication est 100% adaptable à très grande échelle. Une

telle flexibilité et facilité d'intégration à un mode de fabrication à grande échelle ouvre une multitude d'applications autres que la recherche de la précision, comme son intégration à des circuits à très basse consommation pilotés par un courant, la génération de courant de référence pour des capteurs ou comme source de courant variable.

Le contexte dans lequel s'inscrit cette thèse est issu de plusieurs années de collaboration dans le cadre d'un projet ANR entre le CEA et le LNE. Cette collaboration a déjà fait l'objet d'une première thèse : "Pompes à électrons à base de nanofils de silicium pour la métrologie électrique" par Thibaut Charron en 2013. De plus aujourd'hui, il s'inscrit dans le cadre du projet européen "Quantum Ampere" de EURAMET. Ce projet, en partenariat avec plusieurs laboratoires répartis en Europe a pour but d'investiguer un nouveau moyen de réaliser l'unité électrique de l'Ampère avec une très grande précision et ainsi supplanter la définition actuelle qui est obsolète et difficilement reproductible. Récemment en Allemagne, une expérience de pompes à électrons placées en série a évalué une incertitude sur le courant pompé inférieure à 10^{-8} .

Cette thèse est la première au CEA Grenoble intégralement consacrée aux dispositifs des pompes à électrons en silicium. Elle est le fruit des précédentes années de travaux issus des projets AFSID, SiAM ainsi que de la collaboration constante avec le LETI, qui ont permis de dessiner et de fabriquer les échantillons qui ont été et seront étudiés. Nous avons, durant ces trois années de thèse, mesuré et validé le principe de fonctionnement de la pompe qui a été développée dans nos laboratoires et testé des variantes très innovatrices, notamment des circuits électroniques "on chip" pour l'information quantique. Ces premiers résultats présentés ouvrent la voie à de plus amples améliorations et confirment l'intérêt scientifique pour un tel appareil.

Contenu

Ce manuscrit est composé de cinq chapitres présentant les études réalisées sur les divers dispositifs mesurés. Je présenterai, au travers du chapitre 1, les diverses pompes à électrons conçues de part le monde et décrirai les principes de fonctionnement qui les régissent. Mes deuxième et troisième chapitres seront dédiés aux méthodes de fabrication employées dans nos dispositifs et aux processus de caractérisation à température ambiante et expliquerai les divers effets sur lesquels reposent nos échantillons pour leurs études à froid. J'expliquerai également les diverses mesures et spécificités recherchées dans nos échantillons. Au chapitre 4, je présenterai la pompe en silicium que nous avons développée dans nos laboratoires et les résultats obtenus au travers de deux différents types de pompes à électrons en silicium et analyserai les résultats des mesures. Au chapitre 5 je me concentrerai sur l'étude de la première réalisation d'un circuit CMOS faisant cohabiter des transistors *FET* et *SET* au travers d'une pompe à électrons pilotée par un circuit oscillant. Je présenterai l'étude du circuit oscillant dans diverses conditions ainsi que les résultats obtenus avec la partie composée de *SET*.

Chapitre 1

Les dispositifs de la nano-physique

Sommaire

1.1	La métrologie quantique	4
	Le Volt et Ohm quantique	6
	Les pompes à électrons	10
1.2	La nano-électronique en silicium	18
	Transistors à atome unique (SAT)	18
	Transistors à atomes couplés (CAT)	19
	La co-intégration de CMOS-SET	22
1.3	Conclusion	23

Depuis la première application du silicium, il y a plus de 60 ans, dans une double jonction bipolaire ou plus communément appelé transistor, l'homme n'a cessé d'augmenter et d'optimiser les capacités des circuits et appareils électroniques. Durant ces décades, l'objectif était de réduire les tailles de tous ces dispositifs, dans le but d'augmenter leur densité surfacique et leur puissance. Aujourd'hui, la diminution de ces longueurs a franchi une nouvelle frontière, car elle est maintenant de l'ordre du rayon de Bohr. Ce nouveau terrain d'exploration a permis la réalisation d'expériences et d'appareils pouvant mettre en jeu un nombre fini et faible d'éléments comme par exemple des électrons, des photons ou encore des dopants dans un système. Cette nouvelle aire de la recherche s'inscrit dans le développement des appareils et des solutions de demain comme l'ordinateur quantique. Les sections suivantes introduiront les quelques axes de la nanophysique notamment la métrologie quantique ainsi que quelques autres applications du silicium dans la nanophysique.

1.1 La métrologie quantique

Pour qualifier les avancements de la recherche et le progrès dans différents domaines, les nombres en sont souvent les supports. Les mesures servant à donner une valeur à ces nombres ne peuvent donc être conçues sans unités. Dans ce but, fut créé le système métrique décimal avant la révolution française (fin XVIIIème siècle), dont les étalons en platine représentant le mètre et le kilogramme (voir fig.1.1) figurent comme la première étape vers un système d'unité homogénéisé. Bien que ces premiers étalons aient été remplacés par une nouvelle définition pour le mètre, on peut mettre en évidence qu'aujourd'hui encore l'étalon du kilogramme reste similaire au premier fabriqué en 1799. En 2014 une campagne de calibration internationale[2] faite par le BIMP¹ nécessita de sortir l'étalon "Prototype International du Kilogramme" (IPK) de 1889 et de le comparer aux six autres copies officielles existantes, en soulignant que l'IPK n'a été sorti récemment qu'en trois occasions, en 1946, 1992 et en 2014. De multiples révisions et ajouts de nouvelles unités ont suivi durant les siècles jusqu'à la définition en 1960 du Système International d'unités (SI)[3][4] actuel. Celui-ci est composé des sept unités de base suivantes : le mètre, la seconde, le kilogramme, l'ampère, le kelvin, la candela et la mole. Pour des raisons pratiques, un groupe d'unités secondaires a été introduit, celui des unités dites dérivées (le volt, l'ohm, ...) qui sont des combinaisons d'unités de base. En terme de grandeurs électriques, l'histoire a voulu que l'ampère soit choisi comme unité de base, dont la définition reste encore aujourd'hui :

"L'ampère est l'intensité d'un courant constant qui, maintenu dans deux conducteurs parallèles, rectilignes, de longueur infinie, de section circulaire négligeable et placés à une distance de 1 mètre l'un de l'autre dans le vide, produirait entre ces conducteurs une force égale à 2×10^{-7} newton par mètre de longueur." Il en résulte que la constante magnétique, aussi connue sous le nom de perméabilité du vide, est égale à $4\pi \times 10^{-7}$ henrys par mètre exactement, $\mu_0 = 4\pi \times 10^{-7}$ H/m.

1. Bureau International des Poids et Mesures



FIGURE 1.1 – **A gauche)** Étalon prototype en platine du mètre fabriqué en 1799 par Lenoir en application du décret de la Convention nationale sur le nouveau système des poids et mesures, 18 germinal an III [7 avril 1795]. **A droite)** Étalon Prototype International du Kilogramme (IPK) en alliage de platine iridium utilisé la première fois par le BIPM en 1889. Extrait de la base de donnée Archim <http://www.culture.gouv.fr/> et de <http://www.bipm.org/>.

Par cette décision, le Volt et l'Ohm, des unités aussi anciennes que l'ampère ont été alors reléguées dans les unités dites secondaires et doivent pouvoir être définies par rapport à une unité électrique de base, l'ampère. Au cours de l'évolution de la technique et du constant besoin d'exactitude, de stabilité et de reproductibilité, les étalons ont été dépassés par la précision nécessaire des mesures. La tendance à été de dématérialiser les étalons et trouver des substituts à caractères universels. Par exemple, le mètre a pu être lié à la seconde et à la vitesse de la lumière c lorsqu'elle a été fixée, ainsi la règle en platine (voir fig.1.1) a été remplacée par la longueur du trajet parcouru dans le vide par la lumière pendant une durée de $1/299792458$ secondes. Depuis plus de deux décennies, grâce aux connaissances et à la maîtrise des phénomènes quantiques, il a été montré qu'il était possible de substituer des étalons physiques par des étalons dits quantiques, qui allient stabilité, précision et reproductibilité. Ces nouveaux étalons ont la particularité que leurs mesures ne mettent en jeu que des constantes fondamentales telles que la constante de Planck h et la charge de l'électron e . Aujourd'hui, l'Effet Josephson[5] et l'Effet Hall Quantique[6] sont utilisés pour réaliser les étalons électriques comme le Volt et l'Ohm. Ces deux effets physiques ne sont toutefois que des mises en pratique qui permettent d'extraire la valeur d'une constante liée à un de ces phénomènes et par convention, implique l'estimation des valeurs des constantes fondamentales qui les composent. A ce jour, la définition des relations physiques expliquant ces phénomènes n'est pas démontrée. Néanmoins ces nouveaux étalons issus de la métrologie quantique ont fait leurs preuves en montrant des niveaux de reproductibilité jamais atteints jusqu'à présent. Aujourd'hui, pour supplanter l'expérience actuelle de l'ampère, qui est désuète et dont la réalisation est complexe, avec en plus une incertitude importante, l'effet tunnel mono-électronique[7] est étudié afin de créer un étalon quantique du courant. La mise en place de ce nouvel étalon quantique de l'ampère permettrait de fixer les valeurs de la charge de l'électron e et de la constante de Planck h avec une précision de l'ordre de 10^{-8} .

Le Volt et Ohm quantique

Les étalons quantiques pour la réalisation du Volt et de la résistance ont peu à peu été introduits dans les laboratoires du monde dans le début des années 1990. Comme précédemment expliqué, ils se basent sur l'effet Josephson pour la force électromotrice et l'effet Hall quantique pour la résistance. La mesure de ces phénomènes quantiques fait apparaître les constantes K_j et R_k , respectivement la constante de Josephson ($K_j=483597.891 \text{ GHz/V}$) et la constante de Von Klitzing ($R_k=25.812 \text{ k}\Omega$).

Ces deux valeurs expérimentales sont issues de deux expériences bien distinctes : La constante Josephson se calcule par la mesure de la différence de tension DC aux bornes d'une jonction Josephson lorsqu'elle est irradiée par un signal oscillant fixe dans différentes configurations de courant I la traversant. Cette différence de tension apparaît lorsque le courant I de la jonction est varié. Le résultat obtenu, s'illustre par les escaliers dit de Shapiro[8] (voir fig.1.2) où chaque marche d'escalier est proportionnelle à l'équation 1.1. Aujourd'hui, l'expérience permettant de réaliser le Volt est un dispositif faisant intervenir un réseau de jonctions allant de plus de 10000 jonctions jusqu'à 100000 même et pouvant ainsi produire des tensions jusqu'à 10 V[9]. Ce circuit (voir fig.1.3) est actionné par le biais d'un signal oscillant de fréquence définie et la mesure de la tension de sortie est la référence étalon désirée. Pour entrer un peu plus en détail sur le fonctionnement d'un dispositif étalon pour le Volt, il faut comprendre qu'une jonction Josephson soumise à un signal oscillant à une fréquence f et dont n est le nombre de marches de l'escalier, délivre une tension DC V_n fixe selon la relation 1.1. Par exemple une simple jonction Josephson soumise à un signal de 70 GHz, génère $145 \mu\text{V}$ à son palier de premier ordre de tension ($n = 1$) ainsi il nous en faudrait 6896 pour avoir 1 V.

$$V_n = nK_J f \quad \text{ou} \quad K_J = \frac{h}{2e} \quad (1.1)$$

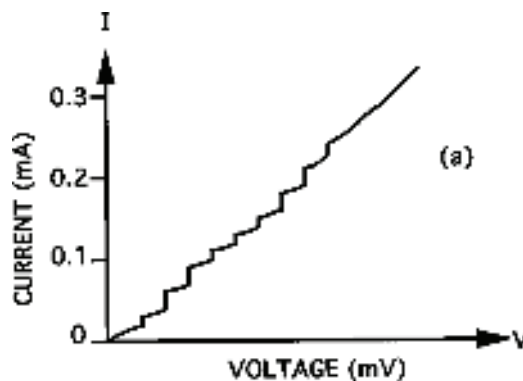


FIGURE 1.2 – Mesures des escaliers de Shapiro par Clark A. Hamilton en 2000. Figure extraite de [10].

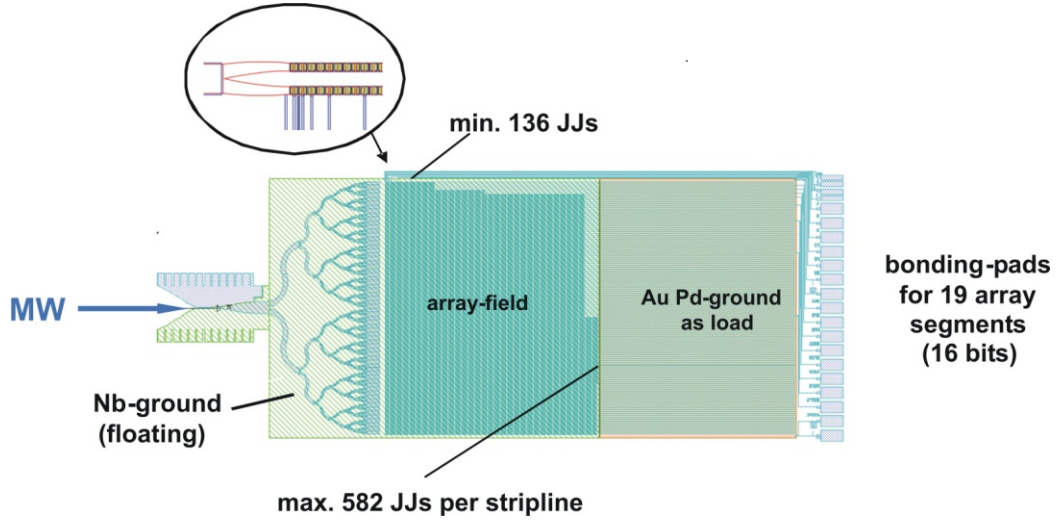


FIGURE 1.3 – Dispositif étalon dont la tension de sortie est 10 V. Ce dispositif est un réseau de 69632 jonctions réparties sur 128 micro lignes de faible impédance. La dimension d’une jonction est de $6\ \mu\text{m} \times 20\ \mu\text{m}$. La dimension de la puce vaut $24\text{mm} \times 10\text{mm}$ et le design provient de la PTB en Allemagne. L’entrée MW signifie ”MicroWaves”. C’est par ce point qu’on irradie les jonctions Josephson. Figure extraite de [11].

L’expérience visant à réaliser l’Ohm est celle de la résistance Hall quantique[6] qui a été découverte à Grenoble en étudiant des transistors en silicium. Cette expérience consiste à mesurer dans un système 2D la conductivité Hall. Un exemple d’échantillon Hall est représenté sur la figure 1.5. Expérimentalement, il s’agit de mesurer à froid la tension transversale ou tension Hall $V_H = V_y$ ainsi que la tension longitudinale V_x d’un échantillon de longueur L , de largeur w soumis à un champ magnétique perpendiculaire et dont le courant I le traversant est connu[12]. A mesure que le champ magnétique varie la résistance longitudinale R_{xx} disparaît. La résistivité longitudinale est calculée par $\rho_{xx} = (w/L)R_{xx}$. Dans le régime Hall quantique $R_{xx} = \rho_{xx} = 0$. Par cette égalité la résistance Hall $R_H = R_{xy} = \frac{V_H}{I} = \frac{B}{n_e|e|}$ devient aussi fondamentale que la résistivité $\rho_{xy} = \frac{F}{j_x}$ où F est le champ électrique dans l’axe transverse, j_x la densité de courant longitudinal, n_e étant le nombre d’électrons par unité de surface et $|e|$ la valeur absolue de la charge de l’électron. Dans la pratique, le résultat d’une mesure comme celle-ci est visible dans la fig.1.4 par un escalier avec des paliers. Il faut souligner que sur un plateau, l’échantillon Hall est un conducteur parfait avec un $R_{xx} = \rho_{xx} = 0$. Ainsi avec les équations 1.2 on en déduit la valeur de la résistance Hall $R_H = \rho_{xy} = \frac{h}{ne^2}$. Cependant R_H une fois développé est finalement un rapport de constantes fondamentales e et h où n est un entier faisant référence au numéro du plateau. Ainsi R_H , peut suivant le plateau considéré, prendre différentes valeurs telles que $n = 1, R_{H1} = 25.8\text{k}\Omega; n = 2, R_{H2} = 12.9\text{k}\Omega; n = 3, R_{H3} = 8.6\text{k}\Omega, n = i, R_{Hi} = (25.8/i)\text{k}\Omega$.

$$V_x = R_{xx}I_x + R_{xy}I_y \quad V_y = V_H = -R_{xy}I_x + -R_{xx}I_y \quad \text{ou} \quad R_{xy} = R_H = \frac{h}{ne^2} \quad (1.2)$$

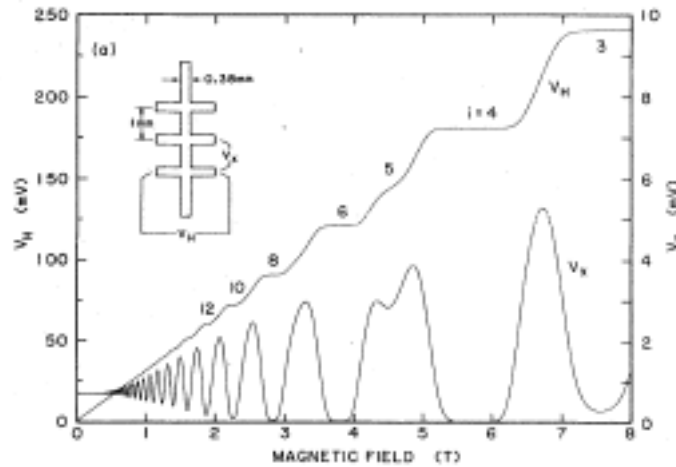


FIGURE 1.4 – Exemple de résultat de mesure de l’effet Hall quantique. La courbe avec les plateaux est mesurée avec la tension transversale V_H et la courbe oscillante représente la tension mesurée longitudinalement V_x . Pour chaque plateau la résistance vaut R_H/i ou i est le numéro du plateau. Figure extraite de [12].

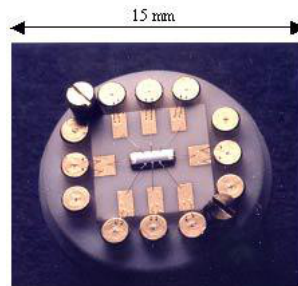


FIGURE 1.5 – Exemple d’échantillon pour une mesure de l’effet Hall quantique. Figure extraite de <http://www.lne.fr>.

Les étalons créés pour la résistance (voir fig.1.6) sont basés sur le même principe que les étalons du Volt. En effet, des réseaux de résistances sont créés afin de mesurer une valeur entière prédéfinie d’Ohm. Les valeurs proposées se situent entre 100Ω et $1M\Omega$.

Les constantes décrites (K_J et R_k) font intervenir les constantes fondamentales telles que la constante de Planck h et la charge de l’électron e . Cependant, il faut garder à l’esprit que les phénomènes décrits ne sont que des réalisations permettant de donner une valeur numérique à des combinaisons de constantes. La détermination des constantes nécessite de passer par l’estimation de l’une d’elle pour fixer l’autre. Dans un souci de comparaison entre laboratoires, ces constantes ont été, *par convention*, fixées par le CIPM² et utilisées à partir du 1er janvier 1990. Leur valeurs sont devenues $K_{J-90} = 483597.9GH_z/V$ pour la constante Josephson et $R_{K-90} = 25812.807\Omega$ pour la constante de Von Klitzing. Les multiples mesures

2. Comité international des poids et mesures

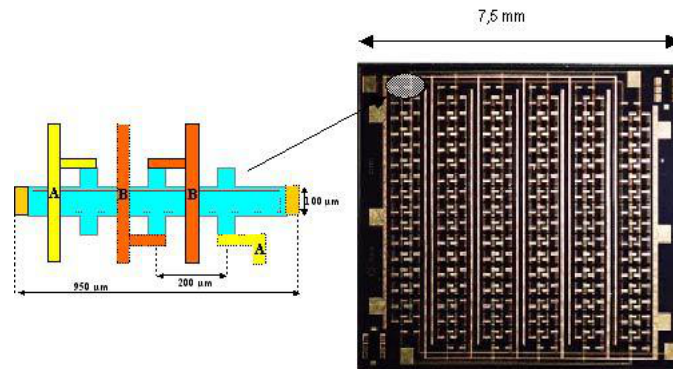


FIGURE 1.6 – Exemple de dispositif composé de réseaux de résistances Hall. Le motif représenté à gauche est une des résistances du réseau. Figure extraite de <http://www.lne.fr>.

effectuées ont dégagé une répétabilité des phénomènes de l'ordre de 10^{-10} pour l'effet Josephson et de 10^{-9} pour l'effet Hall quantique. Néanmoins, les incertitudes exprimées dans le S.I., $K_{J-90} = 4 \times 10^{-7}$ et $R_{K-90} = 1 \times 10^{-7}$, sont environ deux ordres de grandeur moins bonnes que leur répétabilité. Sur la base de ces constantes, on pourrait aisément remplacer les unités électriques du système *SI* en fixant des constantes fondamentales (e , h , ...). Toutefois, dans le contexte métrologique, il ne serait pas possible d'utiliser les relations 1.1 et 1.2 sans nécessairement en faire une estimation. On comprend dès lors l'importance de trouver un moyen de réduire ces incertitudes. Dans ce but, les laboratoires ont imaginé et décrit des expériences pour pallier ce besoin. Pour en citer quelques-unes :

- La balance de Watt[13] imaginée au NPL qui étudie la relation $K_{J-90}^2 R_K$ (incertitude = 6.6×10^{-8} [14] sur la constante de Planck h) et au NIST (incertitude de 3.6×10^{-8} [15]).
- La balance de tension de capacité imaginée à la PTB qui permet de déterminer la constante K_J (incertitude = 3.1×10^{-7} [16]).
- la capacité calculable Thomson-Lampard[17] qui permet de calculer R_K et réalisée au NIST (incertitude = 2.4×10^{-8} [18]) au LNE, ainsi qu'au NPL et au NMI³.

Notre intérêt va se porter sur une expérience imaginée et décrite par Likharev et Zorin en 1985[19]. Elle est nommée le "triangle métrologique quantique" (voir fig.1.7) et reflète les liens entre les relations fondamentales régies par des lois quantiques entre des quantités électriques de base comme le volt, le courant et la fréquence. Cette expérience consiste à appliquer la loi d'Ohm 1.3, avec les valeurs issues des divers étalons quantiques tels que la tension Josephson U_J , la résistance Hall quantique R_H et le courant I issu des oscillations de Bloch qui sera remplacé par l'effet tunnel mono-électronique décrit par la formule 1.4 dont N est un entier, f la fréquence et e la charge de l'électron.

$$U_J = R_H \cdot N \cdot I \tag{1.3}$$

3. National Metrology Institute à Lindfield en Australie.

$$I = N \cdot e \cdot f \quad (1.4)$$

Pour l'heure, la source de courant utilisée dans cette expérience est la pompe à électrons pilotée par une source RF calibrée. Il faut noter que le couplage de tous ces phénomènes dans une seule et même expérience, pourrait abaisser l'incertitude à des valeurs de l'ordre de 10^{-8} et pourrait fixer, avec une très grande précision, les valeurs des constantes fondamentales. Néanmoins, la difficulté majeure reste du côté du "courant-fréquence" dont le niveau de courant I généré par une pompe est insuffisant pour les meilleurs comparateurs de courant existants. Aujourd'hui, l'expérience qui a montré la plus grande précision (15×10^{-9}) pour définir la charge d'un électron est une expérience qui consiste à charger un électromètre[1]. Toutefois, les recherches menées par de grands laboratoires (PTB, CEA, NPL, NIST, NTT) étudient des alternatives à la pompe métallique à jonctions tunnel[1], comme des pompes en GaAs ou composées de transistors MOSFET pouvant générer des courant $I=Nef$ de grandes valeurs.

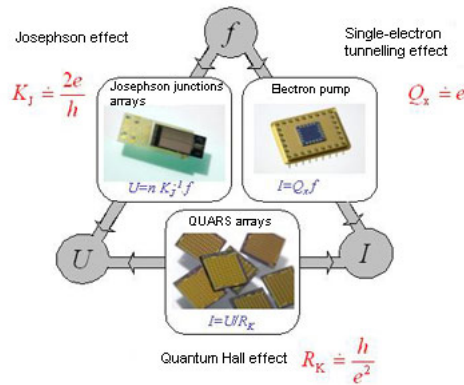


FIGURE 1.7 – Figure montrant les diverses branches dont se compose le triangle métrologique. Figure extraite de <http://www.lne.fr>.

Les pompes à électrons

Au début des années 1990, la communauté scientifique porta son intérêt sur le transfert mono-électronique. En effet, dans le contexte de l'époque, l'idée est motivée par les récentes recherches qui ont révélé l'effet de charge mono-électronique[20][21] au travers de l'étude de structures toujours plus petites. Ce nouveau terrain de jeu a immédiatement suscité l'intérêt des chercheurs et a ouvert l'axe de recherche sur la manipulation d'électrons uniques. Ainsi une multitude d'expériences[22] ou études[23] mettant en jeu des îlots virent le jour. Parallèlement, durant cette même période, on commença à étudier de nouveaux dispositifs qui pouvaient générer du courant de façon quantifiée.

Dans le but de générer un courant, une multitude d'expériences plus ou moins efficaces ont été développées, les plus connues sont : la pompe métallique à barrières fixes, la pompe en semi-conducteur GaAs, le tourniquet supraconducteur et la pompe en Silicium. Il faut

toutefois aussi mentionner les quelques autres variantes moins connues aujourd'hui comme la pompe à ondes acoustiques de surface et la pompe photoniquement assistée.

Les sections suivantes vont décrire avec plus de précision le fonctionnement et les principes employés par les principales pompes.

La pompe métallique à barrières fixes

Par la collaboration des laboratoires de Delft et de Saclay un développement de pompe métallique est présenté par L.J.Geerligts au début des années 1990[24]. Le dispositif réalisé par lithographie électronique est une succession d'îlots d'aluminium séparés par de l'oxyde d'aluminium (jonction tunnel) et est basé sur le principe du tourniquet. En effet, un dispositif dit tourniquet implique qu'une faible différence de potentiel est volontairement appliquée aux extrémités de l'appareil afin d'imposer le sens du courant. Dans la configuration initiale, la succession de jonctions tunnel est dans un régime de blocage de Coulomb. Une grille est connectée sur l'îlot central via une capacité, voir fig.(1.8). Il faut remarquer que le seul contrôle du réseau d'îlots se fait par le biais d'une seule grille. Dans ce dispositif, l'élément qui permet le transfert d'un électron au travers d'une jonction tunnel est la différence de potentiel entre les deux côtés de la barrière tunnel. Cette chute de potentiel doit au moins être égale à $\Delta V = \frac{e}{C_{barriere}}$ et le sens du courant dépend du signe de ΔV . L'utilisation de plusieurs jonctions tunnel permet alors à un électron d'être stoppé par la prochaine jonction tunnel qui se trouve en blocage de Coulomb. En faisant alors varier cycliquement la tension de grille V_g (Fig. 1.8) adéquatement, il est possible de faire varier les charges appliquées sur les jonctions et ainsi permettre à un électron de se déplacer d'îlot en îlot. Ce développement de pompe a été testé jusqu'à des fréquences de 30 MHz et la précision atteinte sur le courant pompé a été de l'ordre de 0.1% à une température de 50 mK et avec des jonctions tunnel de 0.5 fF et de résistance de 340 k Ω .

En parallèle dans les laboratoires de Saclay et Delft des dispositifs similaires composés d'une succession de trois jonctions tunnel[25] et de deux îlots métalliques, chacun piloté par une grille (fig.1.9a) sont développés. Dans ce cas de figure, la direction du transfert d'électrons est déterminée par le déphasage des tensions appliquées sur les grilles. Afin de comprendre l'expérience réalisée, il faut s'intéresser au diagramme de stabilité du dispositif (conductance dans le plan des tensions de grilles $V_{g1} - V_{g2}$), schématisé dans la figure 1.9b) qui laisse apparaître un réseau périodique de points triples reflétant l'état de charge de chacun des îlots.

Le pompage d'électrons est alors obtenu en pilotant les tensions des grilles de façon à tourner autour d'un point triple et ainsi de passer dans différentes zones d'état de charge du système. L'inversion du courant se fait simplement en inversant le sens de rotation autour du point triple. Cette expérience a été réalisée à Saclay en 1991 jusqu'à des fréquences de 20 MHz avec une incertitude sur le courant ΔI de 0.05 pA. On peut aussi mentionner que sur ce même type de dispositif, les laboratoires de Delft et de Saclay développèrent la pompe à paires de Cooper[26]. Cette réalisation qui exploite les propriétés supraconductrices de l'aluminium pour pomper des paires de Cooper a difficilement fonctionné à cause des erreurs

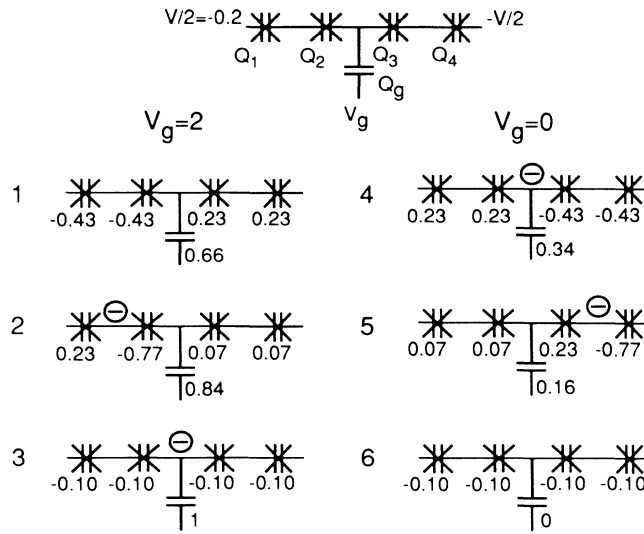


FIGURE 1.8 – Mécanisme de pompage et schéma de la pompe métallique de L.J.Geerligs. En haut le schéma de principe avec les 4 jonctions tunnel marquées par $Q_1 - Q_4$, la tension de grille V_g et la chute de potentiel symétrique entre la source et le drain $\pm V/2$. Les étapes 1 à 6 décrivent le transfert d'un électron dans un cycle. Les valeurs numériques indiquent la charge de chacune des jonctions en e et la tension de la grille dans le cycle en e/C . La position de l'électron est représentée par un cercle avec un moins. Figure extraite de [24].

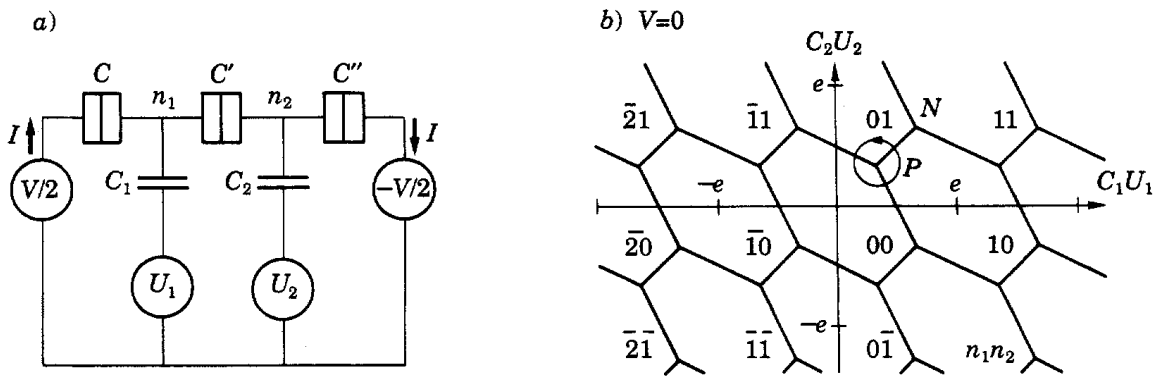


FIGURE 1.9 – a) Schéma de principe de la pompe métallique du CEA Saclay où les jonctions tunnel sont notées par leur capacités C, C' et C'' et les îlots métalliques n_1, n_2 avec leurs tensions de grilles indiquées par U_1 et U_2 . b) Diagramme de stabilité à une chute de tension entre les deux extrémités du dispositif de 0 V. Les points P et N sont des points triples. La structure en nid d'abeille délimite l'état de charge des îlots métalliques. Le cercle autour de P est obtenu par la modulation des tensions appliquées sur les grilles. Figures extraites de [25].

liées au tunnelling Zener, tunnelling de quasi-particules et au co-tunnelling de paires de Cooper. Les résultats publiés montrent néanmoins des courants pompés proches de la valeur de $I = 2ef$. La pompe métallique fut notamment utilisée par le NIST⁴ aux Etats-Unis en 1996 pour pomper des électrons avec une précision de 15×10^{-9} à une fréquence de 5 MHz[1]. Contrairement à la pompe de Saclay, la pompe réalisée dans les laboratoires de Boulder est composée de sept jonctions, donc six îlots métalliques. L'intérêt de créer une pompe avec autant de jonctions est justifié par le désir de limiter au maximum les erreurs liées au co-tunnelling et à l'activation thermique mais complique significativement l'électronique de commande de la pompe. Il faut noter que l'emploi des barrières fixes nous limite grandement dans la marge de manœuvre disponible. D'un côté si la résistance des barrières est trop faible, il y a trop d'erreurs liées au co-tunnelling et inversement si la résistance des barrières est trop importante la fréquence de pompage devient très faible. Bien que trop lente pour être utilisée aujourd'hui pour réaliser l'ampère, cette pompe a été utilisée pour définir le standard de capacité par comptage d'électrons[27]. Pour la résumer brièvement, on charge avec la pompe à électrons un nombre N d'électrons dans une capacité C et on mesure ensuite la différence de potentielle ΔV aux bornes de la capacité. Cette méthode a permis d'atteindre une incertitude sur la valeur de la capacité de $\pm 2.4 ppm$.

La pompe en semi-conducteur GaAs

A cette même période, dans une autre équipe à Delft, une nouvelle catégorie de dispositif était développée. Ce dispositif avec une architecture différente était composé de deux grilles, le tout fabriqué sur la base d'une hétérostructure de semi-conducteurs en GaAs/AlGaAs[28], mais cette fois avec des barrières tunnel variables. Les grilles et réservoirs du dispositif sont fabriqués par gravure et une tension négative est appliquée afin de repousser le gaz 2D d'électrons. Les zones délimitées par le gaz ont une faible densité électronique ($\approx 1.9 \times 10^{15} m^{-2}$ à 4.2 K[28]) et une grande mobilité ($\approx 2.3 \times 10^6 cm^2 V^{-1} s^{-1}$ à 4.2 K[28]).

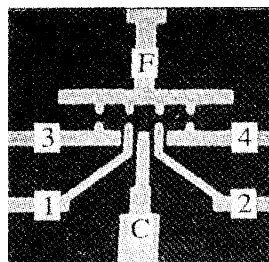


FIGURE 1.10 – Image MEB d'un dispositif avec électrodes déposées sur la couche de semi-conducteur. Les électrodes F , C , 1 et 2 servent à repousser le gaz lorsqu'une tension négative est appliquée et ainsi confiner localement le gaz d'électrons. Figure extraite de [28].

4. National Institute of Standards and Technology

Le fonctionnement d'un tel dispositif consiste à appliquer sur les deux grilles un signal *DC* ainsi qu'une composante oscillante qui a pour effet de varier la hauteur des barrières tunnel. Le mécanisme permettant le transfert d'électrons est dominé par le blocage de Coulomb. En effet un îlot quantique est délimité et une énergie capacitive égale à $\frac{e^2}{C_{\text{îlot}}}$ est nécessaire pour permettre à un électron d'être transféré dans celui-ci ou d'y être éjecté. Par le biais de la grille *C*, (fig.1.10) la population de l'îlot peut être changée selon la tension appliquée. Le transport est obtenu en faisant varier cycliquement la hauteur des barrières tunnel du système permettant ainsi d'élever ou d'abaisser le niveau énergétique de l'îlot. Le dispositif réalisé à Delft est une pompe, car à tension de source-drain nulle $V_{ds} = 0$ nous avons un courant proportionnel à $I = ef$. Cette expérience est le premier exemple de pompe à barrières tunnel variables publié.

Dans les années 2000, un mode de pompage différent est proposé. En effet, jusqu'alors le pompage adiabatique était seulement réalisable avec des barrières tunnel fixes. Mais avec l'expérience et la connaissance acquise, un mode de pompage non-adiabatique est cette fois-ci développé et présenté. Dans cette variante[29], nous ne modulons plus les deux grilles mais une seule. On nomme cette façon de procéder le "single parameter pumping". L'expérience est réalisée en appliquant sur chacune des grilles une tension *DC*. Initialement V_{g1} et V_{g2} sont réglées juste en dessous de l'état conducteur du canal. Ensuite, sur une des grilles, une composante *AC* de fréquence f et d'amplitude A est superposée. Le réglage du nombre d'électrons par cycle se fait en ajustant uniquement la tension de la grille soumise au signal *DC*. La figure 1.11 illustre les résultats obtenus par [29].

Le principe de pompage est réversible en permutant la grille sur laquelle est appliqué le signal oscillant. Pour mieux comprendre les concepts du principe de pompage non-adiabatique, il faut considérer que l'îlot central n'est plus en équilibre statique mais travaille de façon dynamique[30]. Le modèle développé par [30] s'appelle le "decay cascade model" brièvement décrit ci-après. Dans le cycle de pompage, l'énergie de l'îlot varie, passant de niveaux inférieurs jusqu'à atteindre des valeurs énergétiques supérieures à l'énergie de Fermi du dispositif. Dans cette séquence, il faut remarquer que l'on ne change la tension que d'une seule grille. Il faut noter que durant toute la phase séparant le point où l'on remplit l'îlot d'électrons et celui où les électrons sont éjectés nous avons des événements de relaxation non-adiabatique des électrons. Pour les citer : le "backtunneling" $\Gamma_{RC} = (RC)^{-1}$, où R et C sont la résistance et la capacité de l'îlot, et l'éjection d'électrons à un taux $\Gamma_{ad} = |e\dot{\varphi}|/E_c$ ⁵ induit pour que la distribution du nombre d'électrons dans l'îlot reste proche de l'équilibre ($E_c = e^2/C$). Ce qui veut dire que des électrons peuvent continuellement s'échapper de l'îlot pour rejoindre le réservoir. Pour réussir à pomper des électrons, il faut alors s'assurer qu'il y ait plus d'électrons qui ont migré sur l'îlot que d'électrons qui auraient pu retourner vers le réservoir et donc pouvoir varier suffisamment rapidement les taux tunnels pour que le nombre d'électrons restant dans l'îlot soit contrôlable.

5. e est la charge de l'électron, $\dot{\varphi}$ la vitesse de variation du potentiel électrostatique de l'îlot et E_c l'énergie de charge de l'îlot.

1.1 La métrologie quantique

FIGURE 1.11 – (lignes colorées) **a)** Courant I_{ds} pompé et normalisé par ef montré par rapport à la tension DC appliquée sur la grille 2, ΔV_2 . Les paramètres expérimentaux sont répertoriés dans le tableau. Les encadrés illustrent l'évolution temporelle des potentiels lors de la charge et l'éjection d'un électron. **b)** Courant I_{ds} généré par un échantillon à différentes fréquences. Figure extraite de [29].

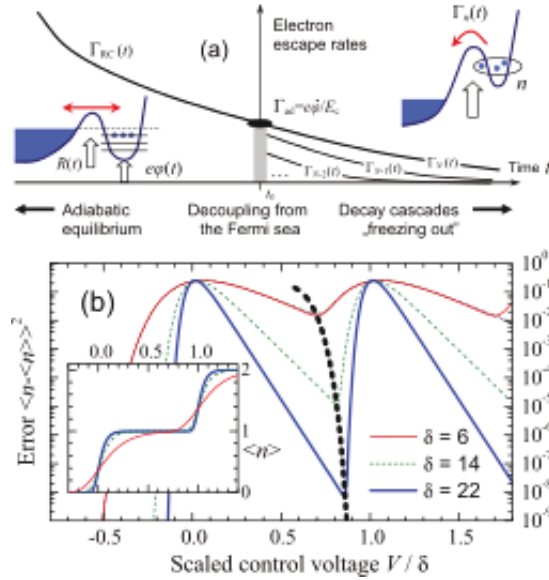
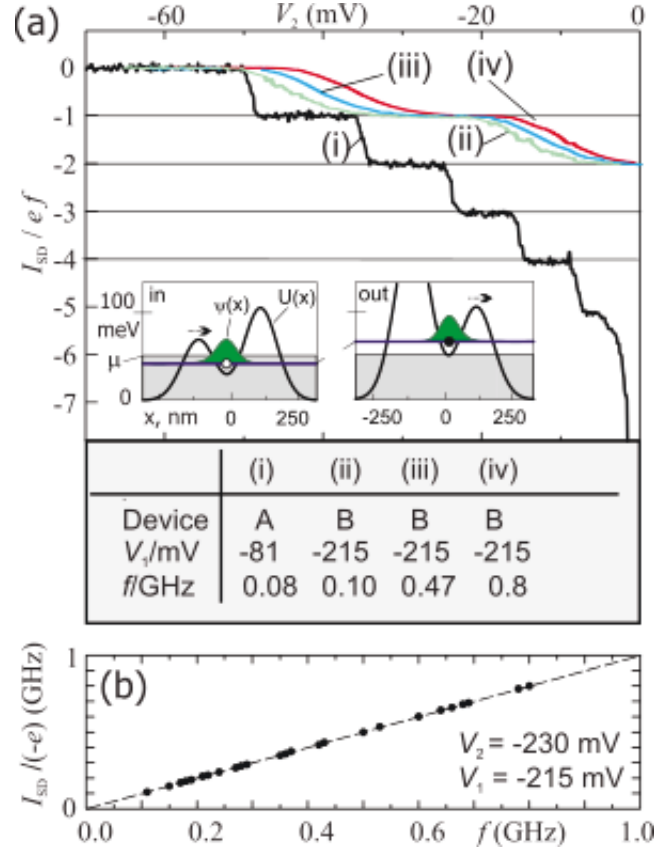


FIGURE 1.12 – (lignes colorées) **a)** Vue d'ensemble du modèle "Decay cascade model". **b)** Principaux résultats : la variance et la moyenne (encadré), du nombre n d'électrons capturés. Figure extraite de [30].

Sur ce nouveau principe de pompage non-adiabatique (voir fig.1.12), les mesures réalisées par Kaestner en 2008 ont montré un pompage d'électrons atteignant des fréquences jusqu'à ~ 0.8 GHz[29]. Plus récemment, en 2012, S. Giblin avec une pompe en GaAs non-adiabatique, réussit à atteindre une fréquence de pompage de 1 GHz avec une probabilité d'erreur de 10^{-6} [31] qui est aujourd'hui l'expérience de pompe à électrons alliant la plus haute fréquence et précision. Les dernières expériences réalisées à la PTB avec des pompes en GaAs non-adiabatiques sont une association de 3 pompes en série couplées à des transistors mono-électroniques (SET) utilisés comme détecteurs de charges[32]. Les pompes sont dans cette expérience pilotées de façon cyclique et par le biais des SET, le taux d'erreur dans le transfert d'électrons est étudié. Ces travaux ont permis de mieux comprendre les erreurs de pompage et ainsi évaluer la déviation du courant pompé par rapport à la valeur nominale *ef*. Ils démontrent le concept de source mono-électronique auto-référencée pour la métrologie quantique.

Le tourniquet en matériaux supraconducteurs

La pompe développée par le groupe de J. Pekola en 2008 est une variante hybride qui se distingue par la stratégie adoptée pour pomper des électrons[33]. En effet, au lieu de seulement se reposer sur le blocage de Coulomb pour stopper un électron, ils utilisent en interaction les propriétés du "gap" supraconducteur d'un matériau pour contrôler le flux de courant. Le dispositif développé par lithographie électronique est une jonction NISIN composée de cuivre pour la partie métallique, d'aluminium comme matériau supraconducteur et, intercalé entre le métal et le matériau supraconducteur, de l'oxyde d'aluminium comme isolant voir fig.(1.13). Il ne faut toutefois pas oublier que les pompes métalliques[24][25][1] sont aussi fabriquées en matériaux supraconducteurs mais n'exploitent pas cette propriété du gap supraconducteur puisqu'un petit champ magnétique est appliqué à l'aide d'un aimant permanent. Néanmoins, des essais ont été réalisés en abaissant le champ magnétique[25][26] mais les résultats ne se sont jamais révélés concluants.

Le fonctionnement de ce dispositif nécessite une chute de potentiel continue entre la source et le drain afin de définir la direction du courant et d'ajuster le transfert d'électrons dans les barrières tunnel lors du cycle de pompage. Un signal *DC*, superposé d'une composante oscillante *AC* sur l'électrode supraconductrice permet sous certaines conditions d'amplitudes, de transférer un électron par cycle. En effet, lorsque le dispositif n'est pas soumis au signal oscillant sur la grille, il se trouve dans un régime où le courant ne peut pas circuler. Ce blocage se produit lorsque les niveaux d'énergie de la source et du drain sont dans la zone du gap supraconducteur de l'électrode centrale, voir fig.(1.14). Par l'application d'un signal oscillant sur l'électrode, le gap supraconducteur est déplacé de façon à venir se rapprocher du niveau d'énergie des premiers états de la bande de conduction du métal et une fois que la bonne différence de potentiel est atteinte des deux côtés de la barrière tunnel, un électron peut migrer dans l'électrode centrale par effet tunnel. Un tel mode de pompage est relativement difficile à piloter avec précision car il est aussi sujet aux mêmes limitations que la fréquence maximale dans une pompe à barrières fixes. Par ailleurs

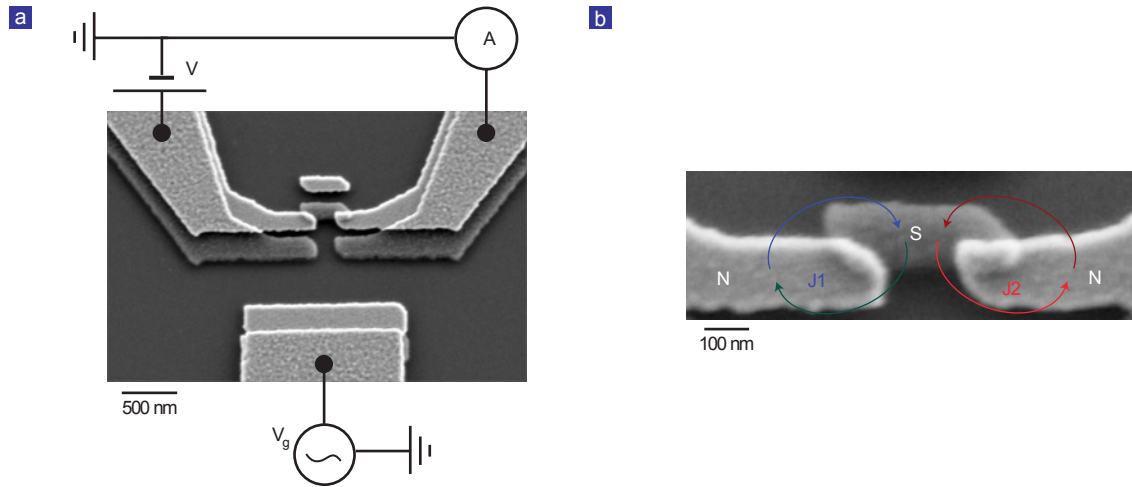


FIGURE 1.13 – **a)** Image MEB du dispositif NISIN où la source et le drain sont situés en haut, connectés à une source de tension ainsi qu'à un ampèremètre. L'électrode en matériau supraconducteur est localisée entre la source et le drain. La grille visible au bas de l'image est connectée par une source de tension alternative **b)** Vue plus détaillée de la jonction NISIN. On comprend facilement que plusieurs couches composent le dispositif, dont une isolante entre la couche du supraconducteur et la couche des contacts métalliques. Figures extraites de [33].

il faut prendre en compte les réflexions d'Andreev dans le matériau supraconducteur et les erreurs pouvant être associées à la qualité des barrières.

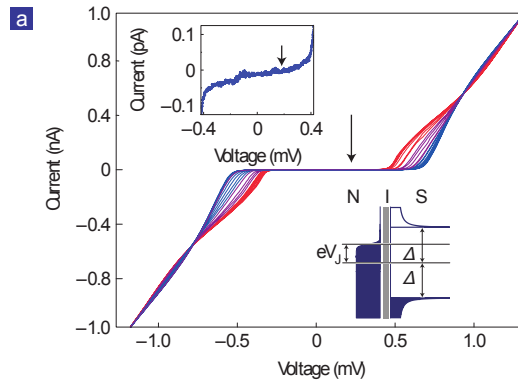


FIGURE 1.14 – Caractéristique $I-V$ du dispositif où la flèche indique le point de fonctionnement de la pompe. L'encadré en haut à gauche est un agrandissement de la zone $I-V$ précédemment montrée. Elle témoigne du peu de courant de fuite du système en régime bloqué. L'encadré du bas à droite schématise les potentiels vus par l'électron avec, à gauche, le potentiel dans le métal et à droite dans le supraconducteur dont la hauteur du "gap" est la hauteur totale entre les Δ . eV_J est la chute de potentiel appliquée au système. Figure extraite de [33].

Les expériences menées en 2008 ont montré que ce mode de pompage était possible, présentant des résultats jusqu'à des fréquences de 80 MHz, alliant une précision de 10^{-4} . Aujourd'hui encore, quelques expériences faisant intervenir ce type de dispositif peuvent être répertoriées notamment à l'institut Néel à Grenoble avec les travaux de D. Van Zanten, C. Winkelmann et *al.*

La pompe en silicium

La pompe en silicium qui fait l'objet de cette thèse, sera discutée beaucoup plus en détail dans le chapitre 4. Toutefois on peut l'introduire brièvement. Ce dispositif initialement développé au Japon à NTT[34] au début des années 2000, est une variante très intéressante du point de vue de sa fabrication et des perspectives qu'elle peut offrir. En effet, en comparaison avec tous les autres développements dans le domaine des pompes à électrons, elle fait appel à des transistors à effet de champ (FET) et du silicium, éléments et matériaux largement utilisés dans la vie de tous les jours et dont les processus de fabrication sont grandement optimisés.

1.2 La nano-électronique en silicium

Notre laboratoire travaille beaucoup sur des dispositifs construits en silicium, avec lesquels nous pouvons construire entre autres des pompes à électrons. Grâce aux années d'investigation et à la course à la miniaturisation, de nouveaux dispositifs avec des tailles nanométriques se rapprochant toujours plus de celle de l'atome ont été conçus.

Transistors à atome unique (SAT)

L'idée d'un transistor monoatomique s'inscrit parfaitement dans la tendance actuelle de l'extrême miniaturisation. Depuis quelques années déjà, les techniques de fabrication font face à de nouvelles problématiques qui impliquent principalement des dimensions de dispositifs toujours plus petites. Naturellement, la réduction des dimensions tend à diminuer le nombre d'atomes utilisés et ainsi à se rapprocher d'un atome unique. L'utilisation de dopants est courante dans les dispositifs électroniques. Or, si la position de ces dopants pouvait être précisément contrôlée, de nouvelles applications exploitant leur nature quantique pourraient être développées. La détection d'un seul dopant et la mesure des propriétés discrètes de ce seul élément peuvent ouvrir la voie à de nouveaux dispositifs tels que la réalisation de "qubit"[35],[36],[37][38] ou encore à la génération de source de lumière pour l'information quantique[39],[40]. Les premières mesures d'un élément discret se situent au milieu des années 1980 avec la mesure de bruit $\frac{1}{f}$ causé par une impureté dans un MOSFET à froid[41] et par la suite détecté à travers d'autres phénomènes comme par l'effet tunnel[42],[43] ou encore par identification optique[44]. Les difficultés actuelles pour ce genre d'appareils résident dans le placement du dopant dans le volume dans lequel on souhaite le faire interagir. A ce jour, plusieurs méthodes peuvent être répertoriées

telles que la présence accidentelle d'une impureté ou l'implantation ionique dont la précision peut atteindre la vingtaine de nanomètres[45],[46] ou encore la lithographie STM qui permet de façonner la matière atome par atome. Dans les dispositifs qui ont été étudiés dans notre laboratoire, grâce aux résultats de la simulation, c'est la diffusion de dopants dans une zone non dopée qui ont créé nos échantillons. En effet, la réduction des tailles des dispositifs CMOS a pour premier effet de limiter le nombre possible de dopants sous une grille. Les interactions possibles avec cet élément isolé sont diverses, toutefois l'effet le plus couramment mesuré et le plus simple à mettre en œuvre est l'ionisation de la particule sous l'effet d'un champ électrique induit par une grille[47]. Mais bien d'autres mesures sont imaginées afin d'étudier d'autres propriétés telles que le couplage d'impuretés[48], le spin[49], les niveaux d'énergie des états, etc... Les dispositifs mono-atomiques, peuvent être classés en deux catégories, optique et électronique. Tous principalement destinés à des applications de traitement quantique de l'information comme opération logique, encodage, D'importants progrès technologiques ont été réalisés dans les dernières dizaines d'années dans la fabrication de dispositifs mono-atomiques en silicium. On peut notamment mentionner le meilleur contrôle de l'implantation d'ions et la réduction de la variabilité entre dispositifs. La réalisation de transistors mono atomiques est une thématique qui nécessite encore des années de travaux.

Transistors à atomes couplés (CAT)

Nous avons vu qu'il existait des dispositifs dans lesquels un seul élément était utilisé pour étudier et réaliser certaines opérations à des fins de Qubits. Cependant afin d'amplifier le potentiel d'opérations exécutables, des systèmes à deux, trois éléments[51] voire plus sont aussi étudiés. Tout comme pour les dispositifs mono-atomiques, la phase de fabrication reste toujours une étape très compliquée, difficile et cruciale. En effet, la position et l'espacement de chaque élément doivent être très précisément implémentés afin d'obtenir les bons couplages tunnel. Pour réaliser de tels dispositifs, il existe deux approches : la première est la lithographie STM. En effet, contrairement à un dispositif mono-atomique, les distances entre éléments doivent pouvoir être contrôlées avec un degré de précision de l'ordre du nanomètre ainsi que la taille des contacts, inférieure à 2 nm[52]. Ces dimensions extrêmement petites rendent ainsi les autres méthodes de fabrication présentées peu précises. En 2012, dans les laboratoires de Sydney, un dispositif composé de deux îlots quantiques[53] a été fabriqué et étudié (fig.1.16a,b). Celui-ci, réalisé par lithographie STM est composé de deux îlots quantiques d'environ 15 atomes de phosphore chacun. Les dimensions et énergies de charges mesurées de ces éléments se rapprochent de ceux d'un seul atome de phosphore[54]. Les laboratoires de Sydney réussirent également à montrer la qualité du contrôle électrostatique de chacun des îlots au travers du diagramme de stabilité montrant des motifs de nids d'abeille (fig.1.16c,d). Ces motifs, comme pour la pompe métallique, indiquent les états de charge de chacun des îlots.

La deuxième approche est celle réalisée à Grenoble par le biais de CMOS. En effet par la réduction de taille des transistors, il y a été montré que l'on pouvait fabriquer un

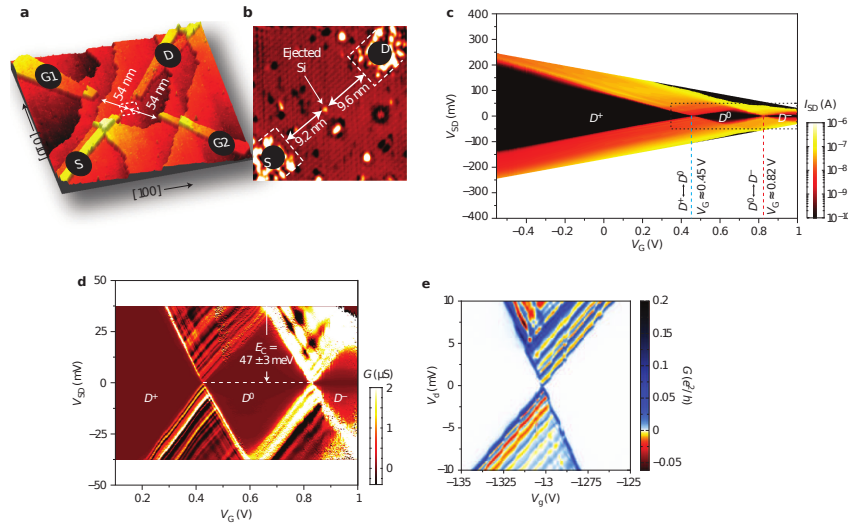


FIGURE 1.15 – Transistor mono-atomique basé sur la position déterminée d'un atome de phosphore dans une épitaxie de silicium. **a)** Perspective STM du dispositif montrant les éléments du dispositif créé par STM par réaction chimique. **b)** Agrandissement de la zone centrale du dispositif où l'on voit un atome de silicium éjecté lorsqu'un atome de phosphore s'incorpore dans la surface. **c)** Diagramme illustrant le courant drain-source I_{SD} en fonction de la différence de potentiel V_{SD} et de la tension de grille V_G . On y voit des transitions avec une énergie de charge importante ~ 47 meV. **d)** Conductance différentielle $\frac{dI_{SD}}{dV_{SD}}$ du diamant D^0 visible dans **c**. **e)** Conductance différentielle drain-source d'un CMOS. Les pics de conductance visibles par des lignes en diagonale représentent pour la première, l'ionisation d'un donneur et la seconde et troisième résonance à des différentes occupations électroniques d'autres donneurs. Figure extraite de [50] et de [47].

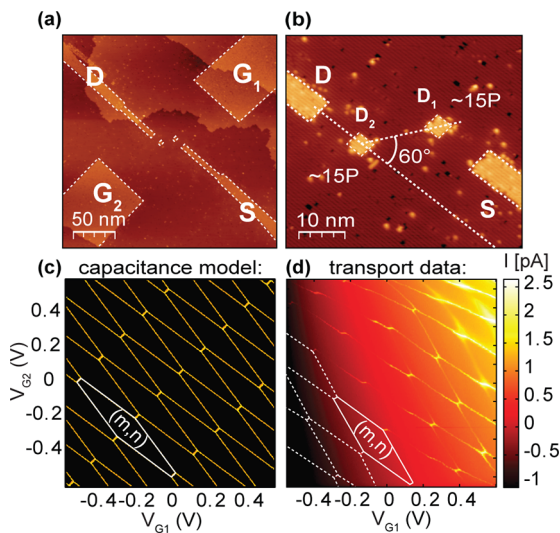


FIGURE 1.16 – Ilots quantiques dans du silicium. **a)** Image STM illustrant la source, le drain, les deux grilles et les deux îlots quantiques. **b)** agrandissement de **(a)**, les diamètres des îlots avoisinent les 4 nm. **c)** Diagramme de stabilité modélisé. **d)** Diagramme de stabilité mesuré. Une excellente fidélité est obtenue en comparaison avec le modèle simulé. Un motif de nid d'abeille montre le contrôle indépendant de chacun des îlots électrostatiquement. Figure extraite de [53].

dispositif avec deux îlots quantiques couplés[55]. Repoussant encore les limites, et réduisant les volumes pour qu'ils ne puissent contenir qu'un nombre discret d'atomes, de nouvelles configurations de dispositifs émergent. Suivant la même approche que pour les dispositifs mono-atomiques, avec les prédictions de la simulation, nous pouvons retrouver quelques dopants qui auraient diffusé dans le canal. C'est le cas reporté au travers de la mesure de deux dopants dans un canal de transistor[56] (voir fig.1.17). Cette expérience par le biais d'un dopant dans l'état non excité, effectue la spectroscopie du deuxième dopant. Elle a permis de mesurer la séparation énergétique entre un état fondamental et le premier état excité du second donneur. Cette spectroscopie à deux dopants, comparée à celle opérée classiquement sur un élément, permet de nous affranchir des fluctuations dues à la densité d'état et à des effets de température finie dans les contacts (source et drain)[47].

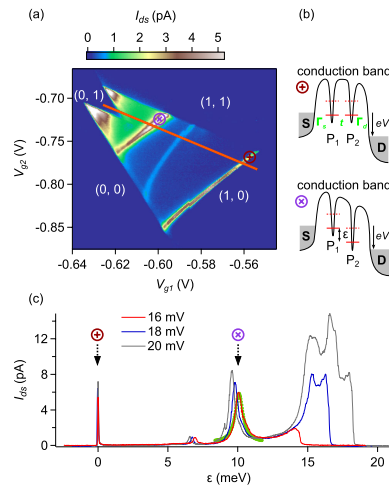


FIGURE 1.17 – **a)** Cartographie du courant drain source I_{ds} dans le plan des tensions de grilles V_{g1} , V_{g2} et à une tension de source-drain V_d de 16 mV. La tension de substrat V_{bg} vaut 11.5 V. Les valeurs entre parenthèses illustrent l'état de charge des dopants. **b)** Diagrammes schématisés de l'énergie dans deux positions repérables par des croix sur la fig.1.17a. **c)** Courant de drain comparé à l'énergie de découplage entre les états du dopant 1 et 2, pour différentes valeurs de V_d . Cette mesure est effectuée le long de la ligne continue rouge visible sur la fig.1.17a avec une tension drain source V_d de 16 mV. Figure extraite de [56].

Une telle configuration de dopants dans un dispositif peut même être exploitée pour réaliser une pompe à électrons[57] (voir fig.1.18). Une telle pompe possède des énergies de charges élevées, assurant pour des courants pompés des plateaux larges et plats, lors de mesures avec une différence de potentiel V_d . Hormis ces qualités de pompage, une telle pompe, grâce à l'espacement important des niveaux pour chacun des dopants[54] est, contrairement à une pompe métallique, peu sujette aux erreurs liées au co-tunnelling. Dans ce dispositif, le transfert d'électrons est régi par des transitions Landau Zener entre dopants sous certaines conditions. En effet, il y a transition lorsque les niveaux d'énergie des dopants se croisent et le cycle de variation des tensions de grilles doit aussi être réglé de la même

façon que pour une pompe métallique afin que l'électron soit toujours dirigé dans la même direction. En pompage adiabatique, le dispositif n'a pas excédé des fréquences de l'ordre de la dizaine de MHz car les taux tunnel sont très difficiles à contrôler. Au-delà le courant n'était plus proportionnel à $I = ef$. Cette expérience qui est presque un système parfait à deux niveaux est très encourageante pour l'avenir de l'électronique basée sur les dopants.

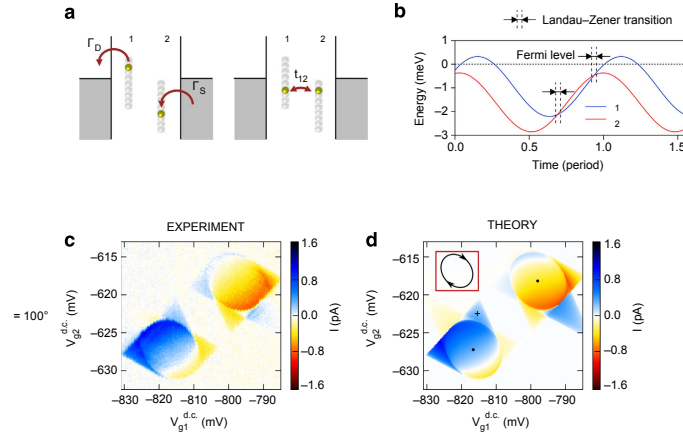


FIGURE 1.18 – Résultats en pompage non-adiabatique à une fréquence de 10 MHz d'une pompe à deux dopants. **a)** Schéma de principe employé pour les simulations où le transfert tunnel vers les réservoirs se produit à des taux de transfert tunnel Γ_D et Γ_S pour le drain et la source. Le couplage entre les dopants avec une amplitude tunnel t_{12} qui amène à une transition Landau-Zener lorsque les niveaux d'énergie se croisent. **b)** Niveau d'énergie calculé en fonction du temps en mode de pompage adiabatique pour le point marqué d'une croix de la fig.d. **c)** Résultats expérimentaux d'une pompe à deux dopants dans la même configuration que ceux de **d.)** Résultats de la simulation du pompage. Figure extraite de [57].

Une autre expérience impliquant deux dopants en série dans un canal CMOS peut encore être reportée, comme l'étude de l'interférométrie Landau-Zener-Stuckelberg[58], qui démontre le transfert cohérent de charges entre deux donneurs connectés en série. Après l'idée de coupler deux atomes, on peut encore imaginer des expériences impliquant trois îlots quantiques et ainsi augmenter le nombre de "qubits" possibles. Ces dispositifs sont soit conçus sur les principes décrits précédemment ou ont été fabriqués avec des semi-conducteurs comme du GaAs[59],[60] ou en silicium[61].

La co-intégration de CMOS-SET

Jusqu'à présent, la plupart des SETs sont pilotés par de l'électronique à température ambiante, par exemple quand ils sont utilisés comme électromètres. Cependant on peut citer quelques exemples de conception de circuits combinant des FETs de grandes dimensions et des SET de très petites tailles. Seulement quelques circuits élémentaires composés d'un ou plusieurs FETs et de SETs ont été étudiés dans des conditions cryogéniques[62].

A température ambiante, on peut citer quelques exemples de circuits créés pour étudier des SETs à 300 K [63][64] ou encore la simulation de circuits associant des FET et des SET pour des applications de circuit très à basse consommation [65] et finalement quelques propositions de circuits hybrides élémentaires combinant FET et SET [66]. Néanmoins le nombre de travaux réalisés reste pour l’heure assez faible. Aujourd’hui avec les avancées remarquables dans le domaine de l’information quantique, les circuits cryogéniques composés de CMOS et de SETs peuvent trouver une application. En effet ils peuvent aider à simplifier le schéma d’intégration des qubits, qui nécessitent pour l’instant de très nombreuses lignes (souvent coaxiales) pour adresser ou piloter le qubit. En d’autres termes, le CMOS cryogénique pourrait permettre de résoudre le gros problème d’intégration à grande échelle des qubits. Dans cette optique les travaux qui sont présentés au chapitre 5 sont de grande importance car nous avons étudié un circuit complexe CMOS silicium fabriqué par une technologie industrielle (notamment lithographie DUV) et composé de centaines de transistors FETs pour piloter un dispositif « quantique » composé de SETs. Dans ce domaine ce circuit est le premier à être testé et ouvre potentiellement la voie à de nouvelles applications de circuits mixtes FETs-SETs pour des applications à très basse température.

1.3 Conclusion

Jusqu’à aujourd’hui, une large gamme d’expériences, toutes différentes, ont permis la quantification du courant. Ces essais restent pour la plupart motivés par le nouveau terrain de découverte offert par l’effet de charge mono-électronique. Des possibilités qui pouvaient être dégagées par le biais du contrôle d’un seul électron, les pompes à électrons ont été désignées comme futur outil pour réaliser l’étalon quantique du courant. Aujourd’hui seules quelques pompes se rapprochent des exigences fixées par la métrologie mais encore bien des défis devront être relevés. D’autre part, impulsé par l’extrême miniaturisation des technologies en silicium, de nouvelles catégories de dispositifs voient le jour, celles des dispositifs mono ou bi-atomiques. Ces dispositifs, de dimensions ultimes, sont dans la continuité des tendances actuelles du développement de l’information quantique.

Chapitre 2

Fabrication des dispositifs

Depuis maintenant plusieurs années, notre laboratoire collabore avec le LETI. Ce laboratoire également rattaché au CEA Grenoble se distingue dans la recherche et le développement dans les domaines de l'électronique destinée à tous types d'applications allant de la médecine à la communication sans fil. Il est un catalyseur permettant le transfert des nouvelles technologies vers le monde industriel. La collaboration avec un tel laboratoire est de grande importance. En effet, nous pouvons bénéficier des techniques et moyens de production d'ultime génération et d'un savoir-faire qui a été confirmé au fil des années. Grâce à eux, nous pouvons disposer de milliers d'échantillons sur un seul et même wafer avec un rendement élevé. Dans ce chapitre, nous décrirons les modes de fabrication des échantillons mesurés ainsi que les diverses caractérisations à température ambiante.

2.1 Processus de fabrication

Le substrat SOI obtenu par le procédé "Smart Cut"

En 1994, le substrat SOI a été développé dans les laboratoires du LETI à Grenoble. L'acronyme SOI veut dire Silicium Sur Isolant (Silicon On Insulator) et est un empilement d'une très fine couche de silicium monocristalline dont l'épaisseur peut varier de quelques nm pour les dits UTSOI (Ultra Thin SOI) à quelques μm et d'une couche d'oxyde de silicium (SiO_2) isolante (Buried Oxyde), dont les épaisseurs sont aussi très variables. Elles vont de quelques dizaines de nm à plusieurs centaines de nm . Pour les échantillons dont nous disposons, l'épaisseur d'oxyde est de l'ordre de 150 nm ; le tout sur un autre substrat de silicium monocristallin d'une épaisseur avoisinant les $750\ \mu m$. Bien que ses multiples qualités électriques ne sont plus à prouver, comme l'excellent contrôle électrostatique du canal du transistor par la grille où ce dernier est complètement déplété, il a fallu un certain temps à l'industrie micro-électronique pour le prendre en considération. Il est toutefois encore très peu démocratisé dans l'industrie du semi-conducteur mais un premier transfert technologique pour le nœud de 22 nm est en cours chez Global Foundry. La fabrication d'un substrat SOI est une succession d'opérations (voir fig. 2.1) qui doivent être exécutées à par-

tir de deux wafers de silicium monocristallin. En effet, sur un des wafers monocristallins, la surface est oxydée jusqu'à l'obtention de l'épaisseur d'oxyde voulue. Une implantation d'ions d'hydrogène sous la couche d'oxyde à une profondeur contrôlée est réalisée afin que plus tard nous puissions séparer la couche d'oxyde et une fine couche de silicium du wafer principal par procédé Smart Cut[67],[68]. Pour mieux saisir comment il est possible de retirer une tranche d'un wafer, il faut comprendre que l'implantation d'ions à une profondeur voulue a pour but d'insérer des défauts dans la maille de la structure cristalline. Ces défauts ont pour effet de localement créer des amorces de contraintes dans le matériau et, par clivage le wafer est fracturé. Les deux wafers sont ensuite nettoyés par procédés chimiques et polis afin d'avoir une surface extrêmement plane. Ils sont ensuite collés par "collage moléculaire" face oxydée et implantée sur le second wafer. Ce principe de collage, est essentiellement induit par les forces d'attractions (Van der Waals) et interactions électroniques entre atomes et molécules des deux surfaces à assembler. Ces forces attractives sont d'autant plus importantes que la distance entre les deux surfaces est faible d'où une préparation minutieuse des surfaces à coller. Un premier traitement thermique à ($400 - 600^{\circ}C$) est effectué afin de séparer le wafer au niveau de la zone implantée en hydrogène. A cet instant, nous avons un wafer monocristallin obtenu après scission du wafer implanté en ions et le wafer SOI. Cette étape achevée, le wafer SOI est à nouveau chauffé jusqu'à $1000^{\circ}C$ afin d'éliminer les tensions internes et de renforcer la liaison entre la couche d'oxyde et celle en silicium monocristallin. La dernière étape est le fin polissage de la surface de la couche nanométrique du wafer SOI.

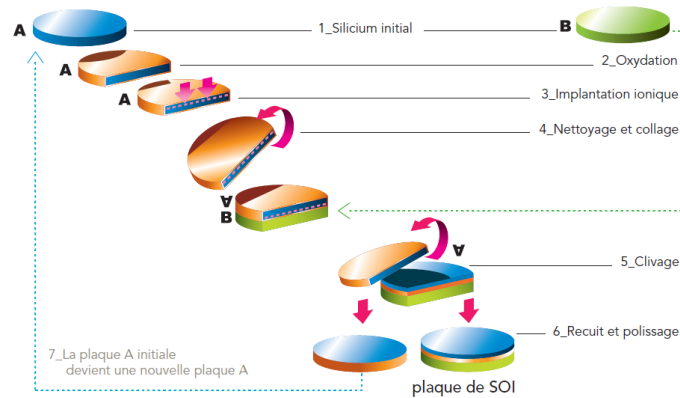


FIGURE 2.1 – Étapes de fabrication d'un substrat SOI. Figure extraite de www.soitec.fr

Les étapes de fabrication des échantillons

Les dispositifs que l'on mesure sont des nanostructures dont le processus de fabrication est complexe et nécessite une grande précision. La qualité d'exécution est essentiellement obtenue par les installations industrielles du LETI qui peuvent graver des wafers jusqu'à des diamètres de 300 mm (voir fig. 2.2), taille considérée comme standard pour des productions à grande échelle.

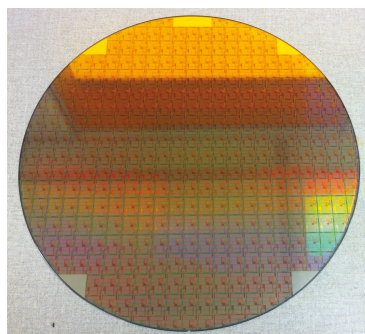


FIGURE 2.2 – Wafer de 300 mm fourni par le LETI.

Les derniers dispositifs mesurés sont d'une telle complexité que le nombre d'étapes successives à réaliser peut s'élever à environ 150. La fabrication de dispositifs suit typiquement les étapes décrites dans la figure 2.3.

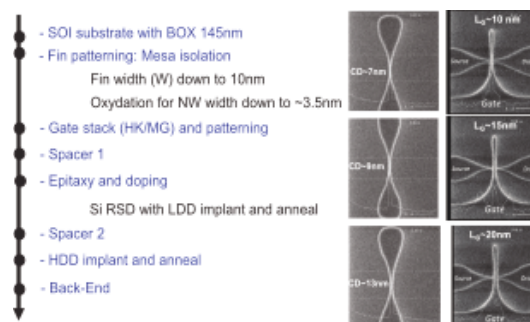


FIGURE 2.3 – De haut en bas la séquence de fabrication typique des échantillons décrite par étapes. Figure extraite de [69].

Comme précédemment introduite, la base sur laquelle est construite le dispositif est le substrat SOI. Celui-ci va subir une multitude de traitements comme gravure, dépôt, dopage selon une recette bien précise, voir fig. 2.4. Le silicium est gravé par lithographie afin de dessiner les premiers motifs tels que les nanofils qui serviront de canaux pour les divers transistors. Une couche d'oxyde SiO_2 est ensuite déposée. Il faut toutefois remarquer que l'oxyde de silicium est couramment associé à des isolants appelés "high-K" avec une constante diélectrique K^1 élevée afin d'augmenter les capacités des grilles tout en réduisant au minimum les effets de fuite. Le plus connu est l'oxyde de hafnium HfO_2 . Un nouveau dépôt de résine suivi d'une lithographie est effectuée. Du TiN et du Poly-Si sont ensuite déposés sur l'oxyde et une nouvelle étape de gravure est effectuée. Cette étape a pour effet de dessiner la géométrie des grilles et suivant les motifs et les dimensions, elle est soit réalisée par lithographie ultra violette (Deep UV) ou par lithographie électronique (e-beam). Des espaceurs sont ensuite déposés autour des grilles et une épitaxie de silicium est réalisée afin d'augmenter l'épaisseur du drain et de la source. Cette opération, suivant le

1. Constante diélectrique relative $\epsilon_{SiO_2} = 3.9$ et pour un le "High-K" du LETI $\epsilon_{HSiON} = 14$.

motif dessiné, comme par exemple un dispositif multi-grilles, épaissit également les zones entre les grilles qui ne sont pas couvertes par les espaceurs. Le wafer est ensuite fortement dopé afin de rendre le silicium très conducteur et donc de créer les sources, drains et îlots entre les grilles. Ces opérations sont réalisées une seconde fois et ont pour objectif d'augmenter le gradient de dopage entre le centre du dispositif et les contacts source et drain. Les opérations finales sont un recuit d'activation suivi de la silicuration du drain et de la source afin de réduire les résistances d'accès au dispositif. Les étapes suivantes sont celles du "back-end" qui constituent la pose des contacts pour relier le tout aux plots sur lesquels nous câblons la puce.

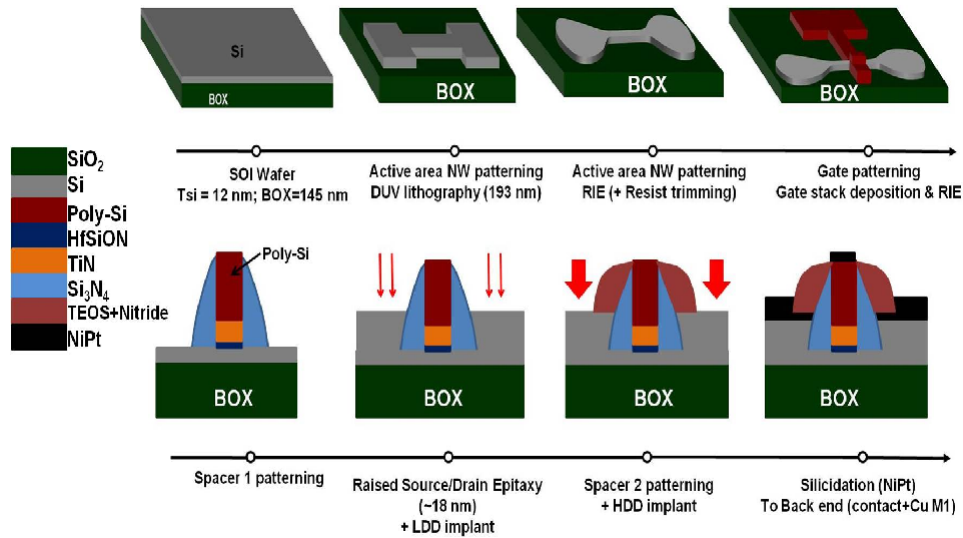


FIGURE 2.4 – Séquence de fabrication schématisée étape par étape. Source LETI.

La recette décrite peut fortement varier selon les wafers. En effet toutes ces étapes peuvent être modifiées, du dopage au nombre d'espaceurs ainsi que leur dimension. Cela sous-entend que chaque wafer, bien que gravé avec le même masque est, suivant son "technical split", unique. La fig.2.5 montre le tableau récapitulatif des diverses variantes de fabrication appliquées à chacun des wafers d'un lot utilisé dans ce travail.

Lithographie DUV

Dans l'industrie électronique le processus de fabrication le plus couramment utilisé, pour dessiner des motifs sur une résine à très grande échelle est la photolithographie ultraviolette. Cette technique, fondamentalement similaire à la photo sur négatif, consiste à insoler une résine photo sensible pour changer moléculairement des zones délimitées par le motif du masque.

Cette technique employée dans tous les domaines de l'électronique est celle qui, aujourd'hui, permet d'allier résolution de gravure et rendement de fabrication. Ce processus de fabrication très sophistiqué utilise un faisceau lumineux dont le spectre est focalisé sur

2.1 Processus de fabrication

wafer (300mm)		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
Si thickness	8nm	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	12nm																									
BOX thickness (nm)	145nm	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
Channel doping (cm-3)	undoped (NMOS/PMOS)	x	x	x																						
	Boron 5E17 (PMOS)																									
	Boron 2E18 (PMOS)																									
	Phosphorus 5E17 (NMOS)																									
	Phosphorus 2E18 (NMOS)																									
	Selenium 5E17 (NMOS)																									
	Selenium 1E18 (NMOS)																									
Arsenic 5E17 (NMOS)																										
Arsenic 2E18 (NMOS)																										
Gate stack	high-k/metal gate	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
Spacer 1 dimension	10nm	x																								
	25nm		x																							
	40nm			x	x	x																				
Epitaxy	18nm	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
LDD doping	undoped	x	x	x	x	x																				
	standard																									
Spacer 2 dimension	Standard SOI	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
HDD doping	standard NMOS/PMOS																									
	with Tilt	x																								
Salicidation	Standard SOI	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
Back End	Standard SOI	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

FIGURE 2.5 – Tableau illustrant le "technical split" pour le lot AAE002. Sur la colonne de gauche en rose, nous avons les diverses étapes avec (colonne de droite) les variantes appliquées. Chaque colonne numérotée de 1 à 25 désigne un wafer et les cases marquées en couleur montrent le choix des processus technologique appliqué au wafer de cette même colonne.

une longueur d'onde bien spécifique (193 nm) pour éclairer une résine photosensible préalablement déposée sur le wafer. De la source de lumière jusqu'à l'illumination de la résine, le faisceau est travaillé afin d'obtenir une lumière la plus monochromatique possible et parallèle. Il est ensuite dirigé aux travers de lentilles et miroirs, jusqu'à finalement traverser le masque sur lequel les motifs sont dessinés pour ensuite irradier la surface du wafer. Cette résine déposée sous insolation réagit différemment suivant son type. En effet, il en existe deux différentes la négative et la positive. Elles se différencient par la réaction de chacune sous insolation. En effet, dans un premier cas la partie illuminée est, suite à une transformation chimique, rendue soluble à un révélateur (positive) ou non soluble dans le cas inverse (négative). Cette opération réalisée, nous avons alors un substrat avec une fine couche de résine sur laquelle est imprimé le motif du masque. La dernière opération est une gravure qui va éliminer la résine rendue soluble après le processus lithographique. Cette opération peut être réalisée selon le matériau à travailler de multiples façons, par gravure chimique ou humide, par gravure plasma, etc. Le matériau est ainsi attaqué, et suivant le mode de gravure, cette attaque peut être isotrope ou anisotrope. Le résultat obtenu après ces opérations est une surface de matériau avec l'empreinte du masque définitivement gravée. A l'heure actuelle, la résolution de la lithographie peut atteindre 30 nm pour les plateformes industrielles (Intel, Samsung...). Au LETI, celle-ci atteint les 70-80 nm. On comprendra que la longueur d'onde du faisceau n'est pas en mesure de réaliser de si petits motifs sans passer par des astuces. Pour contourner ce problème, les quelques solutions les plus utilisées sont par exemple le double patterning, qui consiste à insoler plusieurs fois la résine afin de doubler le nombre d'éléments ou la lithographie sous immersion dans laquelle l'air entre le masque et la résine est remplacé par un milieu liquide avec un index

de réfraction supérieur à 1. Ce changement de milieu se traduit par une amélioration de la résolution. Ces étapes de fabrication décrites sont valides pour une seule puce. Or, les wafers de taille industrielle (300 nm) comptent pas moins de 300 puces. Donc la précision du positionnement du masque est aussi primordiale que sa qualité. Cette méthode de fabrication est aujourd'hui le processus qui assure le meilleur compromis entre productivité et précision.

Lithographie à faisceau d'électrons (e-beam)

Nous avons précédemment expliqué la photolithographie ultra violette très développée et employée dans le milieu industriel. Or, dans certains cas les installations de production ne permettent pas d'atteindre la résolution souhaitée. Dans ce cas de figure, il reste encore une option qui est la lithographie par faisceau d'électrons (e-beam). Ce procédé de lithographie permet de s'affranchir des limites de la diffraction et atteindre une résolution pouvant aller jusqu'à 20 nm. En effet, par le biais de lentilles magnétiques, un faisceau d'électrons est concentré sur un point et dirigé selon le motif que l'on veut graver. Bien que la résolution soit élevée, le temps à investir est important selon la complexité du motif. Pour cela sur les wafers à notre disposition seule une vingtaine de puces, sur les 300 disponibles, sont réalisées par ce procédé. Cette technique de fabrication que l'on peut qualifier de plus "légère", comparée à une lithographie optique industrielle plus "lourde", présente plusieurs avantages comme l'absence de masque très coûteux, elle est par ailleurs plus flexible et "rapide". Aujourd'hui, cette technique est essentiellement employée dans la réalisation de masques pour la lithographie optique ou pour la fabrication de dispositifs pour les laboratoires de recherche "académique".

2.2 Caractérisation des échantillons à température ambiante

Bien avant de pouvoir mesurer les échantillons à température cryogénique, il faut pouvoir obtenir un rapide aperçu qualitatif des centaines d'échantillons sur le wafer. Pour ce faire, par le biais d'un appareillage automatique, on effectue des mesures systématiques. Cette étape est indispensable dans la sélection des candidats à étudier et ainsi réaliser un gain de temps important. C'est également un avantage pour les traitements des données mesurées et pour la synthèse des résultats. Ces procédures sont déjà des étapes obligatoires dans les chaînes industrielles afin de qualifier les processus de fabrication.

Station sous pointes

L'instrumentation que l'on utilise est un appareil que l'on nomme station sous pointes, voir fig. 2.6. Comme son nom l'indique, c'est un appareil qui, par le biais de pointes, connecte les dispositifs à mesurer aux diverses sources de tension et appareils de mesure. Cet appareil est équipé de moteurs permettant de déplacer dans les trois dimensions le

plateau sur lequel le wafer à caractériser est placé. Au travers d'un logiciel et d'une séquence de mesures paramétrées par nos soins, il nous est possible de mesurer tous les dispositifs d'une même famille. Pour se rendre compte de l'efficacité d'un tel appareillage, il faut compter une trentaine de secondes pour caractériser un seul dispositif simple grille. Le temps total de mesure pour un wafer complet peut varier d'une journée à deux semaines selon le nombre de dispositifs à caractériser.

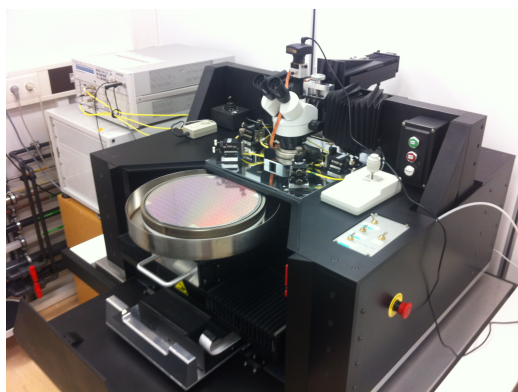


FIGURE 2.6 – Station sous pointes avec un wafer prêt à être mesuré.

Programmation d'une caractérisation avec la station sous pointes

La station sous pointes, aussi pratique qu'elle soit, nécessite une préparation minutieuse et une bonne compréhension du processus de fabrication des puces à mesurer. En effet, si l'on souhaite mesurer une série de dispositifs de même catégorie, il faut pouvoir les repérer dans l'espace. Dans notre stratégie nous avons conçu un premier document qui repère sur le wafer toutes les puces disponibles (voir fig.2.8). Chaque masque nécessite qu'un tel document soit créé. Ensuite, un second fichier repère sur la puce les dispositifs qui vont être mesurés dans une série de mesures. Ce deuxième fichier est édité pour chacune des différentes séries de dispositifs qui seront mesurées. La réalisation de ces documents se fait par le biais de l'étude du document complet (voir fig.2.9) qui accompagne chaque lot de wafer et qui répertorie tous les motifs disponibles sur les puces (voir fig.2.7). Ce manuel est un document essentiel, car il liste les dimensions, les types de dispositifs et les motifs réalisés.

A l'aide de ces documents, nous pouvons de repérer sur le wafer l'un ou les dispositifs pour procéder à des mesures. La seconde phase de mise en service de l'équipement est la mesure des dispositifs. En effet, on peut imaginer de mesurer les échantillons d'un bon nombre de façons. Ces paramètres peuvent être : tension de grilles, si l'on mesure le courant à l'ouverture du transistor ou à sa fermeture, quelle grille doit être variée etc... On peut imaginer autant de mesures que de dispositifs sur un wafer. C'est pour cela qu'il est important de développer des programmes (voir fig.2.10) qui puissent être dynamiques, clairs et adaptés aux modes de mesures que l'on souhaite effectuer.

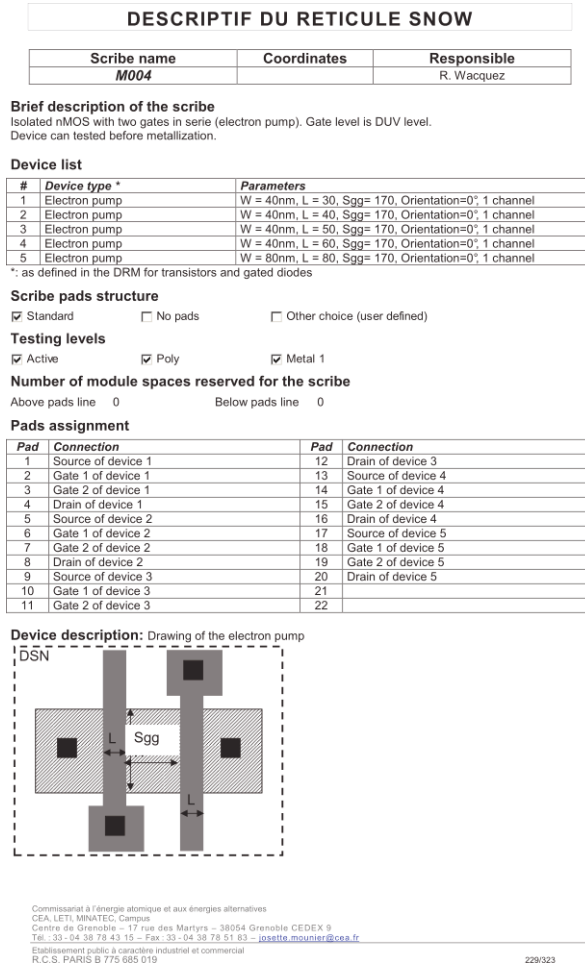


FIGURE 2.7 – Extrait du manuel propre au masque SNOW. On retrouve la liste des dimensions associées à chacun des dispositifs disponibles sur la barrette ainsi que l'indexation des plots de contacts permettant de les connecter.

Cycle de caractérisation avec la station sous pointes

La station sous pointes, hormis l'aspect programmation d'un cycle, nécessite aussi que l'équipement de mesure soit préparé. En effet, il faut garantir que les pointes, pour chacune des mesures, connectent les bons plots de contact des dispositifs. Cette phase est aussi assez sensible, car de mauvais paramètres ou réglages peuvent littéralement détruire la surface du wafer. Les premières utilisations de ce nouvel appareil n'ont pas été sans dégâts pour certains wafers. En effet, des tranchées rectilignes engendrées par les pointes de mesures (voir fig.2.11) ont été observées suite à un mauvais réglage des hauteurs de translation.

La première étape pour démarrer un cycle de caractérisation automatique avec la station sous pointes est de placer le wafer et de commencer par donner des références spatiales à la machine. Cette phase consiste à toucher avec les pointes un motif arbitraire sur quatre puces placées dans les extrémités du wafer. Ces puces sont généralement placées dans les

2.2 Caractérisation des échantillons à température ambiante

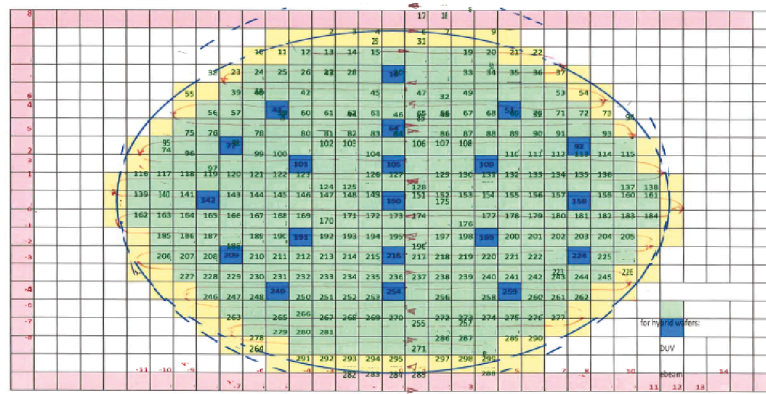


FIGURE 2.8 – Mapping d'un wafer SNOW. On retrouve la numérotation des puces et leurs implantations sur le wafer de 300 mm. Les cases marquées en bleu indiquent la position des puces qui seront finies par lithographie électronique et pour les puces en vert, celles qui ne seront que travaillées par lithographie DUV. Le tracé en rouge montre brièvement dans quel ordre les puces sont mesurées dans la séquence de mesure sur la station sous pointes.

FIGURE 2.9 – **En haut à gauche)** Vue d'une puce selon le manuel livré avec le masque SNOW. **En haut à droite)** Vue d'une puce telle que disponible sur une plaque. **En bas)** Détail d'un motif d'une moitié de barrette de plots de contacts.

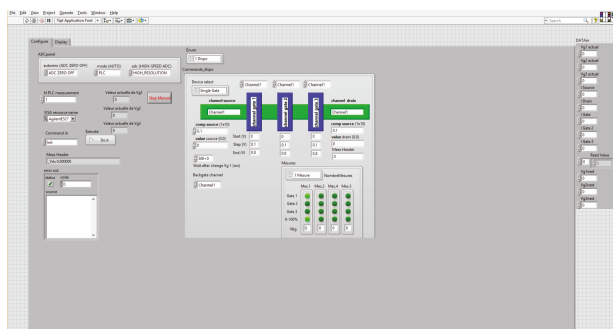
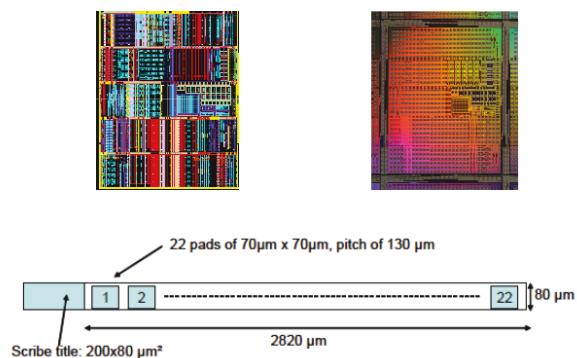


FIGURE 2.10 – Exemple d'interface créée pour réaliser les mesures. On peut choisir le type du dispositif à mesurer, le nombre de mesures à réaliser et de quelle façon elles doivent être effectuées. L'interface créée fonctionne sous Labview.

extrémités nord, sud, est et ouest du wafer. Cette opération réalisée, il est très important de contrôler que les pointes soient posées aux bons endroits de part et d'autre du wafer. C'est pour cela que l'on déplacera aléatoirement la machine sur des dispositifs du wafer pour contrôler ces points.

La phase de mise en service de cette machine a révélé que, durant un cycle de mesures sur un wafer, la position des pointes se faussait. En effet, arrivé à la première moitié

FIGURE 2.11 – Surface d'un wafer rayée par les pointes de mesures. Les dispositifs sont inexploitable.

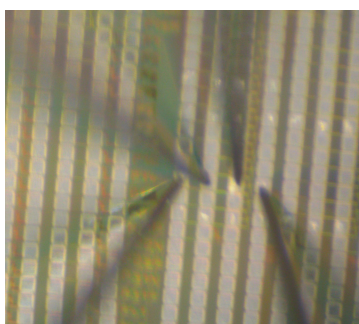
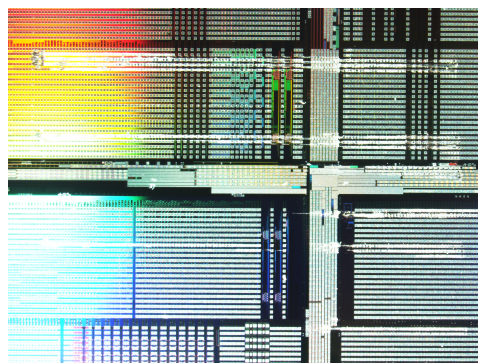


FIGURE 2.12 – Image illustrant les pointes posées sur les plots. La dimension d'un plot de contact est $70\mu m \times 70\mu m$. La précision de la pose des pointes doit être garantie sur l'ensemble du wafer.

du wafer, les dispositifs n'étaient plus mesurés car les plots n'étaient plus contactés aux pointes. Ce point à été corrigé par la réduction des accélérations des translations qui avaient été paramétrées par le fabricant. Il faut souligner que le plateau, sur lequel est déposé le wafer, est une pièce métallique très massive, donc avec une inertie non négligeable et nous souhaitons une précision dans le positionnement de quelques μm pour un déplacement de 300 mm. Les premiers essais de mesures effectués ont fait apparaître un second point qui avait pour effet de fausser les résultats. Ce point non négligeable était issu de problèmes liés aux boucles de masses entre les appareils de mesures et la station sous pointes. En effet, les appareils servant au déplacement du banc sont montés à proximité de l'emplacement où est posée la plaque à mesurer. Ces appareils peuvent, par moment, travailler avec des courants importants. Or, le raccordement de ces derniers n'étant pas correctement réalisé d'un point de vue de la mesure, avait pour effet de bruite les mesures. L'étude minutieuse de ces points a permis de les résoudre.

Mode de mesure

La caractérisation à température ambiante des dispositifs est simple. En effet, les mesures effectuées sont pour la plupart des mesures de courant à saturation et des tensions de seuil pour chacune des grilles d'un dispositif. Un échantillon est connecté suivant le schéma fig(2.13) Ces mesures (voir fig.2.14) sont ainsi reportées sur un document et il nous est possible de localiser précisément les puces sur lesquelles sont situés les meilleurs dispositifs. D'autres informations, plutôt axées sur la méthode de fabrication sont aussi extraites, telles que le "rendement" qui donne le rendement en terme de dispositifs opérationnels.

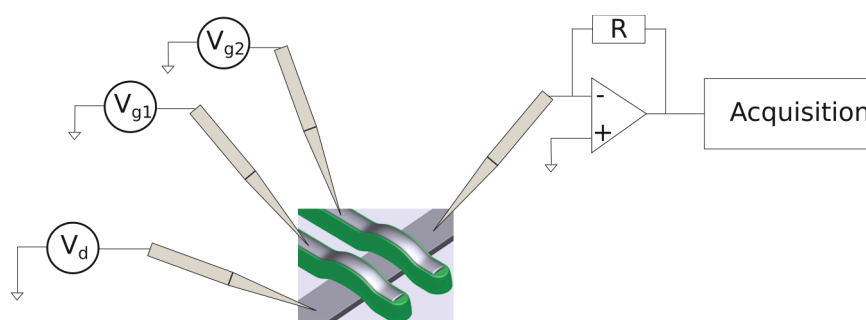


FIGURE 2.13 – Schéma de contact des pointes sur l'échantillon à caractériser. Sur les grilles et le drain des tensions continues sont appliquées. La source est connectée à l'appareil de mesure avec son amplificateur de transimpédance.

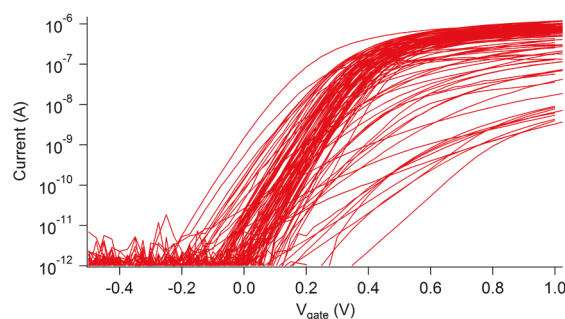


FIGURE 2.14 – Exemple de résultats de mesure obtenus pour un wafer. Mesures du courant drain-source I_{ds} de transistors NMOS et synthèse des résultats sur un seul et même graphique. Ces données permettent de choisir les meilleurs candidats pour de plus amples mesures et de qualifier la bonne facture de la méthode de fabrication employée. Dans la figure présentée, la variabilité sur la tension de seuil est de l'ordre de 0.1 V et sur le courant à saturation inférieure à $0.5 \mu\text{A}$.

Conclusion

Nous avons vu l'arrivée d'un nouvel outil dans notre laboratoire : la station sous pointes. Le but de cet outil automatique est de caractériser à température ambiante des wafers de 300 mm et de nous aider dans la phase de sélection des échantillons qui seront étudiés à froid. Néanmoins pour arriver à cette étape du processus de mesures, il a fallu créer des outils, mettre en place l'installation ainsi que fiabiliser toutes les étapes. Tout ce processus a duré environ quatre mois. Aujourd'hui, chaque lot de wafers que nous recevons compte une vingtaine de plaques avec 300 puces chacune et grâce à cet outil il nous est possible dans un délai court de caractériser un type de motif de dispositif et d'en extraire les informations pertinentes.

Chapitre 3

Caractérisation en DC des dispositifs à froid

Sommaire

3.1	Mesures DC	38
	Conductance	38
	Effets de la backgate	39
	Un îlot métallique couplé à deux grilles	41
3.2	Les supports de puces	42
3.3	Les cryostats	43
	Dillette	43
	Dilu06	43
	Réglage d'un circuit de dilution	44
	Conclusion	47

Dans le chapitre précédent nous avons abordé la caractérisation d'un grand nombre de dispositifs sur un seul et même "wafer" à température ambiante. Les données de mesures ont été traitées et nous avons maintenant une idée très précise de la localisation des dispositifs qui, selon certains critères comme le courant à saturation, tension de seuil ou encore pente sous le seuil, seront sélectionnés pour être étudiés à froid. Dans le cas des pompes à électrons, les études se font généralement à des températures inférieures à 1 K. Toutefois, dans la phase de refroidissement, des mesures à des températures intermédiaires telle que 4.2 K sont également effectuées afin d'avoir un premier aperçu du dispositif. Cette phase de mesures, aussi importante que la précédente, permet de connaître avec beaucoup plus de détails la nature de l'échantillon et, dans le cadre de ma thèse, évaluer s'il est possible de l'utiliser comme pompe à électrons. Cette étape demande aussi beaucoup de soins quant à la manipulation des échantillons et à la préparation de l'expérience. En effet, les dimensions des dispositifs sont si petites qu'une décharge électrostatique peut instantanément détruire l'échantillon. Les capacités d'un échantillon peuvent atteindre la dizaine d'atto Farad ($C_{ox} = 10 \times 10^{-18}$ F). La tension maximale supportée par les oxydes de grille est de $V_{max} \sim 2$ V. Ainsi la charge maximale admissible pour un de ces dispositifs s'obtient par $Q = Ne = V_{max}C_{ox}$ ainsi N vaut ≈ 100 électrons. Les prochaines sections vont décrire les diverses mesures qui sont effectuées pour caractériser un dispositif à basse température.

3.1 Mesures DC

Conductance

La première mesure qui est effectuée sur l'échantillon est l'étude de sa conductance dans le régime linéaire. C'est la mesure la plus courante et elle nous donne de très précieuses informations quant à la constitution de l'échantillon. En effet, hormis la quantification des niveaux de courant, il nous est possible de caractériser les éventuels îlots quantiques qui pourraient se trouver sous les grilles et ainsi connaître leur taille. La majorité de ces mesures sont réalisées par l'application sur la source du dispositif d'un signal alternatif V_{ac} à basse fréquence (77 Hz), dont l'amplitude est adaptée à la température du dispositif. Le courant est ensuite mesuré par une détection synchrone (lockin) et cette valeur est divisée par la valeur du signal alternatif pour ainsi calculer la conductance du canal en Siemens (S). Sur l'exemple suivant, (voir fig.3.1) on voit les courbes I_{ds} en fonction du potentiel de grille appliqué. On observe que la conductance du dispositif à fort V_g lors du refroidissement varie très peu pour chacune des grilles. Cependant à froid, chacune des grilles se distingue par différentes caractéristiques I_{ds} près de la tension de seuil. En effet la grille 1 ne montre aucun îlot alors que sous la grille 2, il y a un élément qui se charge, visible par des oscillations de Coulomb. La courbe *GrilleS* est la variation des deux grilles en même temps.

3.1 Mesures DC

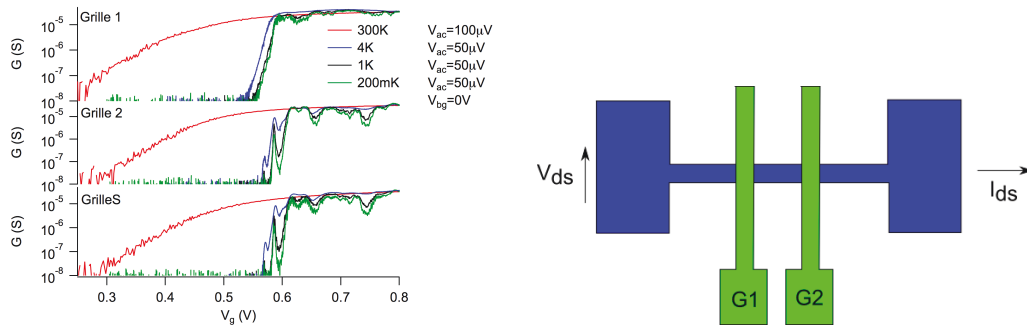


FIGURE 3.1 – **A gauche)** Courbes de conductance en fonction de la tension de grille d'un dispositif à deux grilles pour différentes températures. De haut en bas, les caractéristiques de la grille 1, de la grille 2 et des deux grilles en même temps à des températures de 300, 4.2, 1 et 0.2 K. La tension de substrat est de 0 V. **A droite)** Schéma d'un dispositif avec ses grilles $G1$, $G2$ et la direction du flux de courant I_{ds} .

Effets de la backgate

Dans la mise en place de notre expérience, en plus de connecter les grilles, le drain et la source du dispositif, nous avons connecté le substrat de silicium (BOX). En effet, la conception d'une plaque de SOI est une fine couche de silicium et d'oxyde, le tout sur du silicium massif. Cet arrangement nous permet ainsi d'utiliser le substrat comme grille complémentaire. Une telle grille nous donne la possibilité de changer de façon importante les caractéristiques électriques d'un dispositif.

Effet de la grille arrière sur un FET

Cette grille complémentaire, a déjà fait l'objet d'études réalisées par mon prédécesseur Benoit Roche. Il a montré que lorsqu'une tension positive est appliquée à température ambiante, la conductance est augmentée pour un dispositif de type N. Celle-ci peut être accrue de 20% en comparaison au courant sans tension de substrat[70]. La tension de seuil elle, est décalée. En revanche, la pente sous seuil reste inchangée (voir fig. 3.2). A basse températures l'effet de la grille arrière est encore plus important. Les dispositifs que l'on étudie sont des *MOSFET* et lorsque ceux-ci sont refroidis, ils se transforment en SETs lorsqu'il n'y a aucune tension de substrat, comme reporté dans[71],[72]. Toutefois lorsqu'une tension positive est appliquée sur le substrat, plusieurs changements notables peuvent être observés. Une augmentation du courant comme à température ambiante et surtout la transformation du *SET* en *FET* (voir fig. 3.3). Ce dernier effet est essentiel dans la conception d'une pompe à électrons à barrières variables. Effectivement, nous avons besoin de transistors *FETs* avec d'excellentes caractéristiques électriques afin de pouvoir monter dans des régimes de fréquences élevées et les utiliser comme barrières tunnel variables.

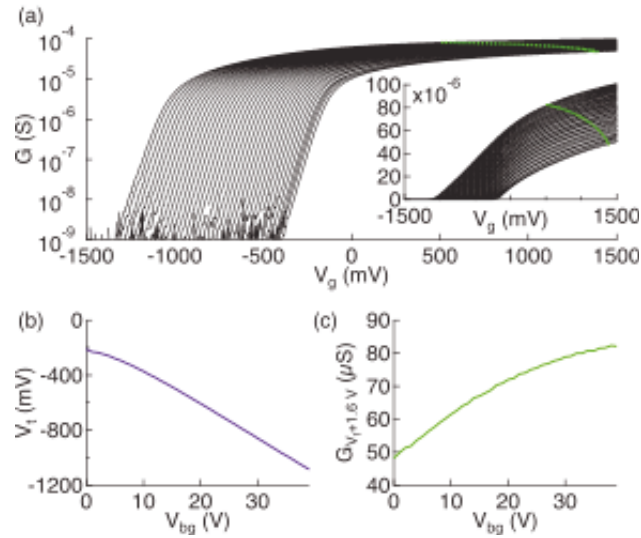


FIGURE 3.2 – **a)** Conductance drain-source G en fonction de la tension de grille V_g à 300 K pour diverses tensions de backgate V_{bg} de 0 à 39 V. **b)** Évolution de la tension de seuil V_t en fonction de la tension de substrat V_{bg} . **c)** Conductance drain-source à une tension de grille $V_g = V_t + 1.6$ V. La conductance augmente considérablement avec V_{bg} . Figure extraite de [70].

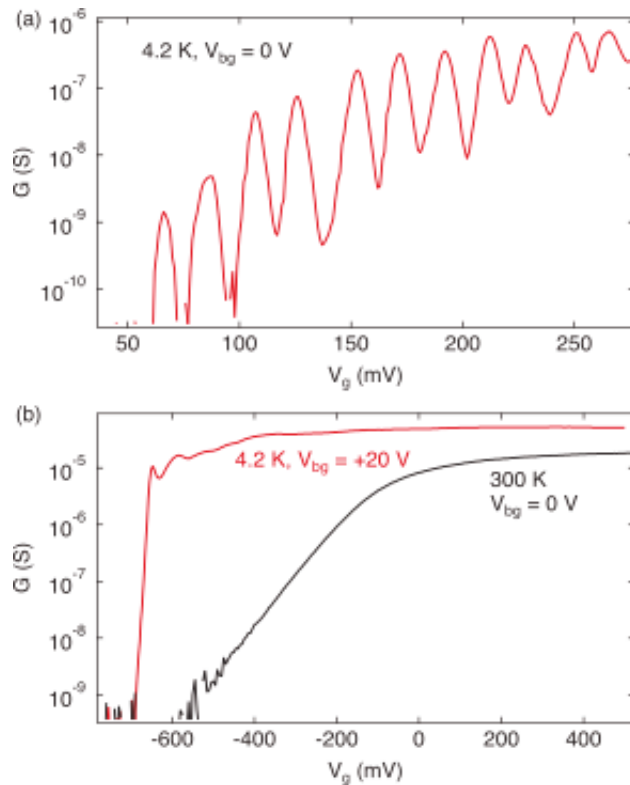


FIGURE 3.3 – **a)** Oscillations de Coulomb observables dans le plan de la conductance G drain-source en fonction de la tension de grille V_g à 4.2 K à une tension de backgate V_{bg} de 0 V pour un dispositif dont la largeur du fil est 40 nm, longueur de grille 70 nm et l'épaisseur du canal $t_{si}=8$ nm. **b)** En rouge la caractéristique du dispositif sous une tension de backgate de +20 V. Les oscillations de Coulomb sont remplacées par la courbe typique d'un transistor *FET* avec une excellente pente sous seuil (8 mV/decade). En comparaison la courbe du même échantillon à 300 K à 0 V_{bg} . Figure extraite de [70].

Un îlot métallique couplé à deux grilles

Nous avons vu qu'il était possible de transformer un *SET* en *FET* par l'application d'une tension de backgate positive pour des dispositifs dopés N et ainsi éliminer les barrières sous les espaceurs pouvant générer des oscillations de Coulomb sous la grille. Les échantillons que l'on étudie sont composés de deux transistors *FET* sur un nano-fil de silicium. Ce système est plus complexe qu'un simple transistor et il est difficile de connaître à l'avance les effets des grilles dans cet environnement sans procéder à des mesures. Pour cette raison nous cartographions dans le plan des tensions de grilles (V_{g1} ; V_{g2}) la conductance drain-source I_{ds} . Cette mesure peut être réalisée avec une détection synchrone ou avec un voltmètre. Cette mesure est très précieuse car elle nous permet d'extraire les états de charges du système, de connaître le nombre d'îlots quantiques ainsi que leur taille. Ces mesures sont répétées avec des tensions de substrat différentes (voir fig.3.4).

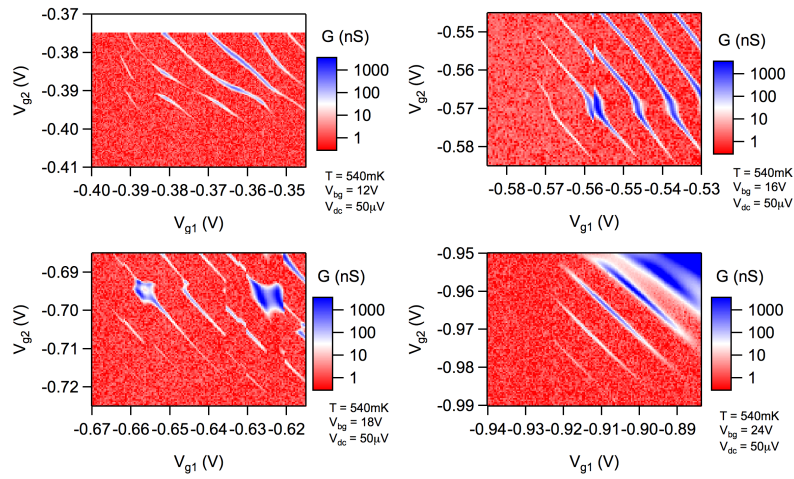


FIGURE 3.4 – Cartographie du courant DC à $V_d=50\mu\text{V}$ dans le plan des tensions de grilles V_{g1} , V_{g2} à différentes valeurs de tension de substrat pour un dispositif double grilles fabriqué par lithographie e-beam (espacement entre grilles 50 nm). On observe le déplacement d'un "défaut" jusqu'à sa totale disparition. Le cadran en bas à droite montre qu'à fort V_{bg} nous avons sous chacune des grilles des *FETs* avec de très bonnes barrières.

Les figures présentées montrent l'évolution d'un couplage du système pour diverses tensions de substrat. On y observe très clairement la formation d'un îlot quantique couplé entre les grilles. On voit au motif de diagonales. On constate que l'augmentation de la tension de backgate stabilise les diagonales et les irrégularités présentes sous les grilles disparaissent. Par ailleurs, le contraste de courant est important (plus d'un ordre de grandeur). Tout comme dans le cas d'un *FET* unitaire, la tension de seuil est décalée et la conductance est améliorée à mesure que la tension augmente. Il faut noter que ce couplage avec un îlot entre les grilles n'apparaît que sous une condition. En effet, la taille de celui-ci doit être suffisamment petite pour que son énergie de charge soit plus élevée que celle de

tous les autres éléments dans le système. A titre d'exemple, l'îlot le plus grand ayant donné de bons résultats avait une capacité de 106 aF.

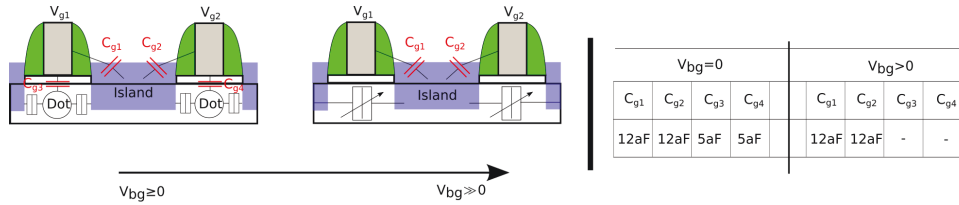


FIGURE 3.5 – **Gauche** : Schéma de l'évolution des couplages capacitifs dans un système à deux grilles lorsqu'une tension de substrat est appliquée. Quand la tension de substrat est égale ou faiblement supérieure à 0 V, elle n'est pas assez élevée pour faire disparaître les îlots ("Dot") sous les grilles. En revanche, quand la tension de substrat est suffisante, les SET sont transformés en FET et il n'y a plus qu'un îlot central couplé aux deux grilles. **Droite** : Tableau avec un exemple de valeurs pour les capacités du système schématisé à gauche.

3.2 Les supports de puces

Il est évident que les substrats de 300 mm doivent être clivés et collés sur des supports de petites tailles afin de procéder aux mesures cryogéniques. Deux différents types de supports ont été utilisés. Le premier est le support "Kyocera" au format DIL 24 en céramique avec des contacts dorés. C'est un porte échantillon (voir fig.3.6) composé de 24 broches qui se fixe sur la canne du cryostat par le biais d'un support femelle. Ce support est le plus polyvalent, le plus facile à mettre en œuvre. En effet, le bout de puce que nous souhaitons étudier à froid est collé sur le fond métallique du support et chacun des plots de contact du dispositif est raccordé à l'une des broches. La backgate est facilement connectable, car le fond sur lequel la puce est collée, est métallique. La faiblesse d'un tel porte échantillon est qu'il n'est pas adapté pour travailler avec des signaux hautes fréquences. Toutefois pour nos applications de laboratoire il remplit largement sa fonction et il est montable sur à peu près tous les cryostats disponibles dans nos locaux.

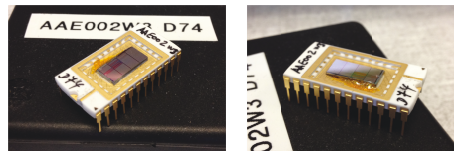


FIGURE 3.6 – Vue d'un porte échantillon en céramique Kyocera avec un échantillon monté.

Un second porte échantillon est utilisé. Celui-ci est dessiné et assemblé par nos soins (voir fig.3.7). Sur le même principe que le Kyocera, la puce est collée sur une surface métallique, qui peut être utilisée comme backgate. A cet effet, un bout de film "Kapton" avec quelques pistes en or est collé sur le fond du porte échantillon. La puce est ensuite

collée par dessus. Le porte échantillon est doté de connecteurs SMA afin d'amener au plus près et dans les meilleures conditions les signaux RF qui vont alimenter les grilles. Bien que l'application de ce porte échantillon est d'avantage destinée à des applications faisant intervenir des signaux alternatifs de fréquences importantes[73][74], l'utilisation de ce dernier présente quelques désavantages majeurs. En effet, nous devons les fabriquer nous-mêmes, donc ils ne sont pas disponibles en aussi grand nombre que les échantillons. Il n'est pas utilisable sur toutes les installations, ce qui représente un risque non négligeable vis à vis du dispositif car un changement de porte échantillon doit être opéré.

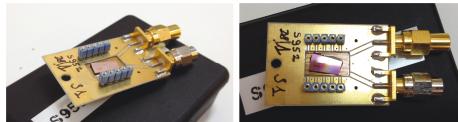


FIGURE 3.7 – Vue d'un porte échantillon avec terminaison SMA. Un échantillon est monté en son centre.

3.3 Les cryostats

Ces années au sein du laboratoire m'ont permis de travailler sur plusieurs cryostats. Chacun d'eux avec ses propres spécificités et un fonctionnement quelque peu différent. Au travers de l'utilisation de tels appareils, j'ai appris et compris comment un réfrigérateur à dilution $^3\text{He}/^4\text{He}$ fonctionnait, ce qui est un point essentiel si l'on veut travailler à très basse température.

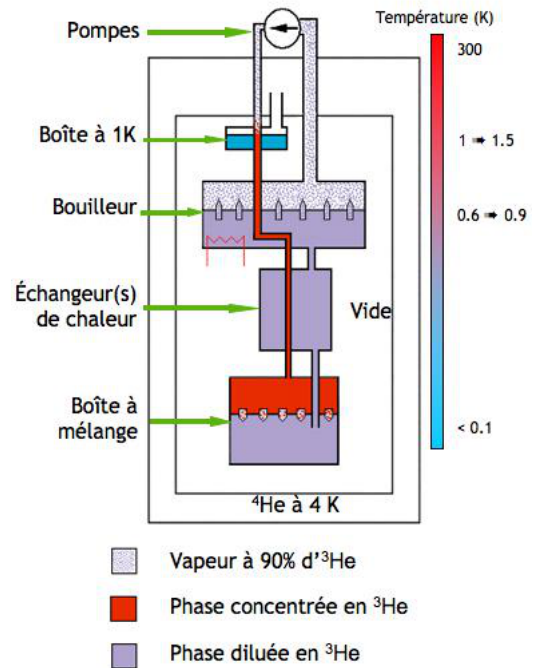
Dilulette

Dilulette est une dilution commerciale (Air liquide) de petite taille (\varnothing du calorimètre 55 mm) et rapide. Elle peut dans des conditions optimales de réglages atteindre 45 mK. Son utilisation est relativement simple mais sa puissance est très faible : 10-20 μW à 100 mK. Il n'y a pas de boîte à 1 K car à sa place, le mélange est injecté à "haute" pression (≈ 1 bar) par un compresseur étanche (voir fig.3.8). Une fois le processus démarré, la stabilité de son fonctionnement m'a permis de mesurer des dispositifs à très basses températures pour des périodes allant jusqu'à deux mois. Les lignes coaxiales installées sont des Microcoax isolés Teflon utilisés pour filtrer les hautes fréquences[75]. Par ailleurs, ils ont été choisis pour leur très faible conductivité thermique. En effet, tous les câbles passent dans le vide du calorimètre et par conséquent, peuvent être une source de chaleur parasite. Cette dilution permet d'avoir une température électronique T_e variant de 150 à 200 mK[76].

Dilu06

Ce cryostat plus récent a été fabriqué dans notre laboratoire par notre équipe de cryogénie. Il a été monté en 2006. Contrairement au petit cryostat présenté ci-dessus, la taille

FIGURE 3.8 – Schéma de principe d’un système de refroidissement à dilution. Dans la boîte de mélange, en rouge est représentée la phase très riche en ${}^3\text{He}$ et la phase diluée en ${}^3\text{He}$ en mauve. La séparation de phase apparaît, lorsque la température du mélange passe en dessous de celle du point triple du mélange ${}^3\text{He}$ - ${}^4\text{He}$ (0.8 K). Au travers de la pompe on aspire majoritairement l’ ${}^3\text{He}$ évaporé dans le bouilleur. Ce gaz, est ensuite injecté et condensé pour qu’il puisse venir remplir la boîte de mélange. Comme une certaine quantité d’ ${}^3\text{He}$ est continuellement évaporé dans le bouilleur, il y a migration d’ ${}^3\text{He}$ de la boîte de mélange vers le bouilleur due à la différence de concentration. Ainsi la phase diluée, s’appauvrissant en ${}^3\text{He}$ ne satisfait plus l’équilibre thermodynamique. Des atomes d’ ${}^3\text{He}$ de la phase riche migrent vers la phase diluée dans la boîte de mélange. Ce flux migrant d’ ${}^3\text{He}$, de cette phase riche à diluée, absorbe une certaine quantité d’énergie qui se traduit par un refroidissement. Figure extraite de la page web de la postdoc du CNRS Valentina Tadè. <http://v.tade.free.fr/>.



du calorimètre est plus importante et vaut $\varnothing=110$ mm. Celui-ci est équipé d’une boîte 1K et en amont de la pompe de circulation d’ ${}^3\text{He}$ - ${}^4\text{He}$ une pompe turbo moléculaire est installée. Ce cryostat est plus grand et surtout les lignes coaxiales installées permettent de passer des fréquences supérieures à 1 GHz. Cette installation permet de travailler à une température stable de 550 mK en injectant une partie du mélange. Cependant avec tout le mélange condensé et la pompe turbo moléculaire activée la température de fonctionnement peut atteindre les 50 mK malgré toute la charge installée sur la boîte de mélange. Cette installation peut fonctionner de façon stable pour de longues durées allant jusqu’à deux mois. Elle m’a permis d’étudier des pompes et circuits à des fréquences de l’ordre du GHz.

Réglage d’un circuit de dilution

Durant ces années de thèse, j’ai pu assister à une phase de re-remplissage d’un circuit de dilution. En effet, le cryostat *dillette* avait perdu une certaine quantité de mélange qui ne permettait plus le démarrage du cycle de dilution. La température de fonctionnement ne pouvait plus descendre en dessous de 1 K. L’opération de remplissage d’un circuit de dilution est une opération très délicate car il est difficile de déterminer quelle proportion



FIGURE 3.9 – Illustration du cryostat *diluette*.

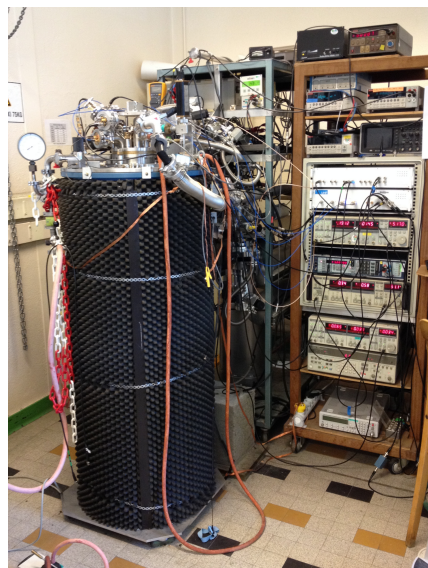


FIGURE 3.10 – Illustration du cryostat *dilu06*.

d³He ou ⁴He a été perdue. De plus le coût d'un litre d'³He gazeux à pression ambiante se situe aujourd'hui aux alentours de 2500 euros.

Dans cette opération, il faut analyser plusieurs éléments. La température du bouilleur, la température de la boîte de mélange et la pression d'aspiration. La température du bouilleur nous informe si le volume de mélange condensé arrive bien dans le bouilleur.

Comme expliqué avec la figure 3.8 c'est dans ce volume que l' ^3He est évaporé et aspiré pour ensuite être réinjecté dans le circuit. La température de la boîte de mélange nous donne la température la plus basse. Les pressions d'aspiration et d'injection nous informent si le mélange circule normalement.

Dans notre cas, la température du bouilleur était élevée (1.7 K) par rapport aux valeurs usuelles (1.1-1.2 K) ce qui traduit que le bouilleur n'était plus "mouillé". Suite à ce constat, nous avons en cours d'expérience décidé de monter le niveau de liquide afin de mouiller le bouilleur. En injectant un volume de 0.21 dm^3 à la pression ambiante d' ^4He nous avons monté l'interface dans le bouilleur de 1 mm. La température du bouilleur s'est effectivement abaissée vers 1.1 K. Néanmoins, le niveau est resté insuffisant pour fonctionner à plus haute température (régulation à 400 mK par exemple). Nous avons alors injecté le même volume d' ^4He . Cette fois-ci la température s'est abaissée à 0.8 K et celle de la boîte de mélange à 0.57 K. Maintenant, le niveau de l'interface liquide étant à nouveau dans le bouilleur, nous avons ajouté en deux fois un volume de 0.96 dm^3 d' ^3He à pression ambiante. Malgré l'injection de ce volume d' ^3He la température de la boîte de mélange n'est pas descendue en dessous de 540 mK et celle du bouilleur s'est maintenue à 0.7 K. Une opération de re-remplissage a pour effet de perturber le système thermodynamique de la dilution. Ainsi pendant la durée où la température était en dessus de sa température normale de fonctionnement, de l' ^4He a pu s'évaporer et circuler avec l' ^3He . La condensation de cet ^4He nécessite une certaine énergie et peut ainsi avoir absorbé la puissance de la dilution. On peut également supposer que l'interface $^3\text{He} / ^4\text{He}$ n'était plus située dans la boîte de mélange ce qui peut justifier le fait que la température de la boîte de mélange ne pouvait pas descendre en dessous de 540 mK. Ces deux raisons peuvent expliquer cette stagnation de la température de la boîte de mélange. Ne voulant pas rajouter trop d' ^3He , nous décidons de rentrer dans les réserves la totalité du volume, afin d'évaluer le quantité ajouté dans le circuit, de permettre aux gaz de se mélanger à 300 K et également de préparer un redémarrage complet de l'installation. L'opération achevée, nous observons que le niveau de pression dans la réserve est, selon les marques relevées sur la jauge de pression, quasiment le même que celui de 2012. Nous redémarrons l'injection du mélange, après avoir longuement pompé le calorimètre. La température atteinte après condensation de tout le mélange à été de 63 mK dans la boîte de mélange pour une température de bouilleur de 1.1 K.

Conclusion

Les cryostats sont des appareils qui permettent de créer des conditions dans lesquelles le bruit thermique électronique est réduit à son minimum. Grâce à ces conditions, nous pouvons observer des phénomènes physiques qui font intervenir de très petites énergies comme le blocage de Coulomb. Malgré leurs coûts, ils restent nos outils principaux dans l'accomplissement de nos recherches. Aujourd'hui, une nouvelle génération de réfrigérateur est disponible. Cette gamme est celle des dit "cryofree" (voir fig.3.11), qui sous entend que l'installation n'a plus besoin d'être remplie en ^4He pour que son fonctionnement soit assuré. En revanche, une dépense électrique plus importante est requise, du fait qu'il est nécessaire d'équiper l'installation de matériel complémentaire plus énergivore (compresseurs par exemple). L'hélium qui circule en circuit fermé doit être liquéfié avant de pouvoir être ré-injecté dans le circuit. Ce processus de liquéfaction demande de compresser à haute pression (16 bar) l'hélium et de le filtrer afin de garantir une pureté de 99.95%. Cet équipement a une puissance électrique supérieure à 5 kW.



FIGURE 3.11 – Réfrigérateur "Cryofree" de nouvelle génération et son équipement. En construction en ce moment au laboratoire. **A droite** Un compresseur à hélium de puissance 7.9 kW.

Chapitre 4

Etudes expérimentales de dispositifs en silicium pour la génération de courant quantifié

Sommaire

4.1	Introduction et fonctionnement de la pompe en silicium	50
	L'effet tunnel	50
	Le fonctionnement d'une pompe en silicium	51
	Mise en pratique expérimentale du pompage	54
4.2	Le courant quantifié par un dispositif double grilles réalisé par e-beam .	55
	Description du dispositif	55
	L'électrostatique d'un dispositif fabriqué par e-beam	56
	Vers la génération de courant quantifié avec une pompe e-beam	62
4.3	La pompe réalisée par lithographie DUV	72
	Description du dispositif	73
	Caractéristiques électrostatiques	74
	L'expérience de la pompe à électrons avec un dispositif DUV	77
4.4	Conclusion	84

Les trois précédents chapitres ont introduit le contexte dans lequel le projet s'est établi et les diverses étapes qui mènent de la fabrication et à la caractérisation de nos pompes à électrons. Arrivés à ce stade, il nous faut maintenant tester le dispositif en tant que source de courant quantifié. Les prochaines sections expliquent le fonctionnement d'une pompe en silicium et présentent les mesures et résultats obtenus avec différentes pompes testées pendant ma thèse.

4.1 Introduction et fonctionnement de la pompe en silicium

La pompe en silicium est composée de deux transistors *FET* en série sur un nanofil de silicium (fig.4.1) et fonctionne sur le principe de deux barrières tunnel réglables (les transistors) et d'un îlot métallique localisé entre les deux grilles.

Cet îlot métallique est obtenu après silicuration du dispositif. La silicuration est une étape standard dans la fabrication industrielle des semi-conducteurs qui consiste, une fois la structure des transistors faite, telle que la pose des grilles et des espaceurs, à déposer sur le wafer un alliage de nickel/platine (NiPt). Le wafer subit ensuite un recuit où seules les parties en silicium réagissent pour former un alliage nickel/platine/silicium (NiPtSi) qui est un vrai métal. Finalement, par un processus chimique le nickel/platine, qui ne s'est pas allié avec le silicium, est retiré.

La pompe à électrons peut être fabriquée par lithographie électronique (e-beam) qui permet de réaliser des motifs, avec des pitches ou des pas entre objets très petits (<40 nm). Une fois la gravure effectuée et les opérations successives achevées, il nous est possible d'obtenir un îlot métallique de dimensions suffisamment petites avec une énergie de charge suffisamment grande (voir fig.4.1). Récemment nous avons réussi à en fabriquer une version par lithographie ultra-violette (DUV), mais avec une résolution quatre fois moins bonne qu'avec une lithographie électronique. La longueur d'onde de ce mode de fabrication est de 193 nm et le pitch minimum est du même ordre de grandeur. Néanmoins, les techniques de fabrication disponibles au LETI offrent des pitches de 90 nm. A noter, qu'en dessous de cette valeur des problèmes liés aux effets de proximité durant la lithographie ne permettent plus de garantir les dimensions souhaitées. La conception d'une telle pompe en silicium fabriquée par lithographie DUV a l'avantage d'être facilement intégrable à d'autres circuits électroniques, car elle est entièrement compatible CMOS et surtout elle peut, contrairement à une pompe fabriquée par e-beam, être produite massivement.

L'effet tunnel

L'effet tunnel est le phénomène quantique qui permet le fonctionnement d'une pompe à électrons[24]. Pour qu'il se produise, plusieurs conditions doivent cohabiter. Ce phénomène se décrit comme l'effet quantique permettant aux électrons de traverser une couche isolante séparant deux conducteurs, pourvu que cette séparation soit très petite (dans le vide, elle

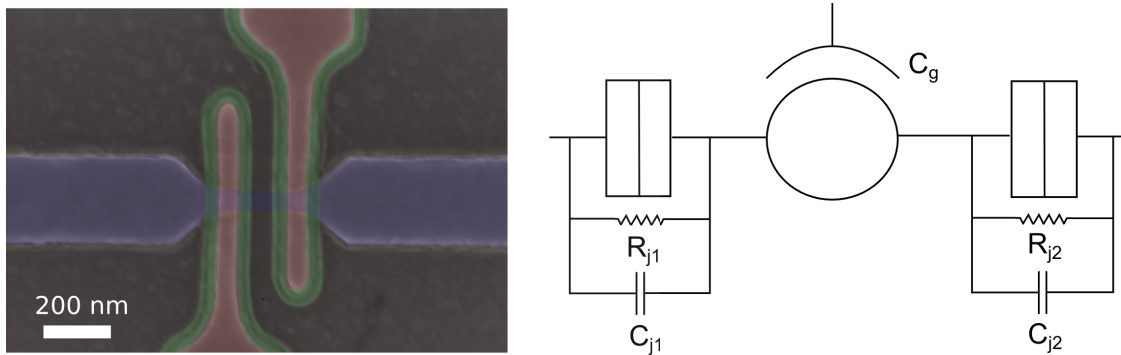


FIGURE 4.1 – **A gauche** Image MEB d’une pompe en silicium. En rouge les grilles déposées sur le nanofil en bleu et en vert les espaceurs en nitrure de silicium. Les dimensions du dispositif sont 60 nm de longueur pour les grilles, un nanofil de silicium de 40 nm de largeur et un espacement entre grilles de 170 nm. Image obtenue à la PTA par F. Lefloch. **A droite** Schéma électrique d’un système composé d’un îlot métallique entouré de deux jonctions tunnel.

est généralement inférieure à 2 nm).

Électriquement une jonction tunnel peut se schématiser comme un résistance R_j et une capacité C_j (voir fig.4.1 à droite). Cette résistance doit avoir une valeur supérieure au quantum de résistance $h/e^2 = R_K$ qui équivaut à $\approx 26 \text{ k}\Omega$ pour que le nombre d’électrons dans l’îlot soit bien défini[77]. Les résistances des jonctions tunnel des pompes métalliques décrites au chapitre 1.1 ont des valeurs $>100 \text{ k}\Omega$. Cette condition de résistance nous assure que la fonction d’onde de l’électron reste localisée dans l’îlot, c’est également un bon nombre quantique pour décrire le système.

La deuxième condition est liée aux dimensions et aux conditions de température de l’expérience. Il est nécessaire que l’énergie de charge de l’îlot soit plus grande que l’énergie des fluctuations thermiques : $Ec \gg k_b T$.

Le fonctionnement d’une pompe en silicium

Le fonctionnement d’une pompe en silicium est simple, il nécessite toutefois qu’une condition se manifeste pour qu’elle puisse être utilisée comme source de courant quantifiée. Cette condition est un îlot quantique métallique couplé à deux grilles. On connaît très bien la signature d’un îlot de Coulomb couplé à une grille. Nous mesurons alors les oscillations de Coulomb dues à l’entrée d’électrons par effet tunnel au fur et à mesure que la tension de la grille augmente (voir les coupes de la fig.4.2). Or, si chacune des grilles est couplée à un même îlot central, leur contribution permettra de charger un électron dans l’îlot de Coulomb. Ainsi le couplage d’un îlot de Coulomb avec deux grilles est visible au travers d’un motif représenté par des diagonales (voir fig.4.2) obtenues en mesurant la conductance drain-source du dispositif dans le plan des tensions de grilles. Si les transistors de notre dispositif étaient de simples barrières tunnel non réglables, le motif dessiné se prolongerait à l’infini. Ce couplage avec les deux grilles va être un des moteurs pour que le transfert

d'électrons soit possible. Pour mieux comprendre ce point il est nécessaire de décrire un cycle de pompage d'un dispositif dopé N¹. Avant de détailler un cycle, schématiquement

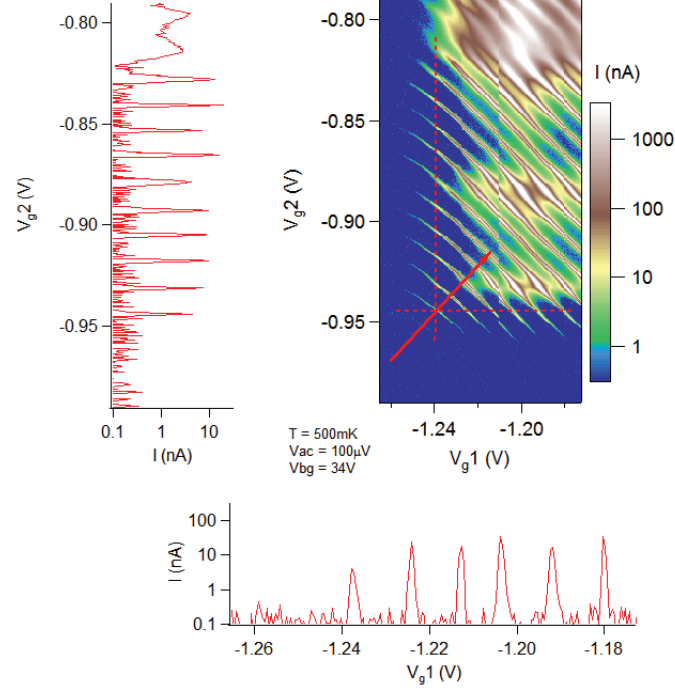


FIGURE 4.2 – Mesure à 500 mK de la conductance drain source I_{ds} dans le plan des tensions de grilles V_{g1} , V_{g2} à une tension de substrat $V_{bg}=34$ V. Les diagonales sont la signature d'un îlot central couplé aux grilles. **A gauche** et **en bas** les courbes de conductance mesurées le long des traits discontinus rouges. Ces oscillations sont caractéristiques d'un îlot en blocage de Coulomb. L'espace entre pics permet d'obtenir les capacités de grilles.

le système peut être décrit par la fig.4.3. Comme l'îlot est couplé aux grilles, il est aisé de proposer la formule mathématique 4.1 qui permet de lier le potentiel de l'îlot aux grilles en l'absence de tension drain-source.

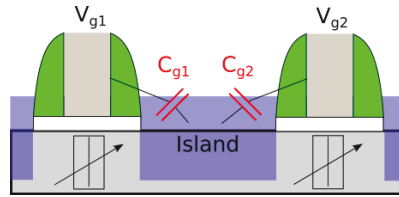


FIGURE 4.3 – Schéma électrique d'un îlot métallique couplé à deux grilles.

$$\frac{V_{dot}}{C_{dot}} = \frac{V_{g1}}{C_{g1}} + \frac{V_{g2}}{C_{g2}} \quad (4.1)$$

1. Les dispositifs N disponibles sont dopés As ou P.

Un cycle de pompage peut être divisé en quatre étapes (Fig. 4.4). Si l'on commence au point *I*, nous nous trouvons dans un état de blocage de Coulomb avec un nombre N d'électrons dans l'îlot. Ensuite, en appliquant une tension plus négative, nous fermons le transistor V_{g1} et afin de maintenir constant le potentiel de l'îlot, on ouvre progressivement le transistor avec une tension V_{g2} plus positive. En continuant à ouvrir le transistor 2, l'asymétrie des barrières de potentiel est telle, qu'elle permet à un électron d'être éjecté au travers du transistor 2 (point *II*) lorsque l'on traverse la ligne $N-1/N$. On se retrouve ainsi à nouveau dans un état de blocage de Coulomb avec un nombre d'électrons $N-1$. Nous fermons ensuite le canal de droite et ouvrons celui de gauche en gardant le potentiel de l'îlot à peu près constant (point *III*). Par la suite, en continuant à ouvrir le transistor 1, nous retrouvons une situation où les barrières de potentiel sont très différentes permettant cette fois-ci à un électron d'entrer par le transistor 1 lorsqu'on traverse la ligne $N-1/N$. L'îlot se charge à nouveau retournant à un état avec N électrons. Pour accomplir un cycle

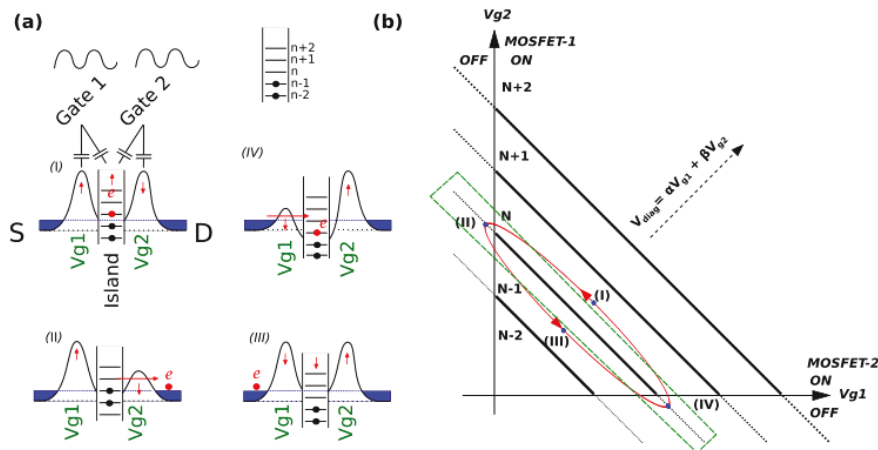


FIGURE 4.4 – **Séquence de pompage d'un électron.** **a)** Profils de potentiel du diagramme de transfert pour chaque étape du cycle. **b)** Diagramme de stabilité dans le plan des tensions de grilles. Les lignes épaisses indiquent les régions de conductance qui séparent les zones dans lesquelles le nombre d'électrons est défini ($N-1, N, N+1, \dots$) à cause du blocage de Coulomb. La ligne verticale indique la tension de seuil du MOSFET 1. Les lignes en pointillés indiquent les états *cachés* qui restent ouverts avec une conductance diminuant dû à la fermeture du transistor. Les régions entre les lignes épaisses sont les zones en régime de blocage de Coulomb. L'ellipse montre la trajectoire décrite par l'application de tensions sinusoïdales sur les grilles G_1, G_2 pour effectuer un cycle de pompage en accord avec la séquence décrite en **a**. C'est la trajectoire la plus facile à mettre en place avec l'équipement disponible dans le laboratoire. La trajectoire en traits discontinus verts montre une trajectoire idéale. Cette trajectoire est réalisable avec un générateur de signaux arbitraires (AWG).

de pompage, il faut ainsi superposer sur chacune des grilles une composante *DC* et *AC*

pour effectuer une trajectoire elliptique autour des zones de conduction. Idéalement, elle devrait être rectangulaire (trajectoire verte fig.4.4) et pourrait être programmée à l'aide d'un générateur rapide de signaux arbitraires. Cependant par simplification, on utilise des signaux sinusoïdaux. Les tensions de grilles peuvent mathématiquement être décrites par : $V_{g1} = V_{g1}^{DC} + V_{g1}^{AC} \sin(2\pi ft)$ et $V_{g2} = V_{g2}^{DC} + V_{g2}^{AC} \sin(2\pi ft + \varphi)$. Le déphasage φ a pour effet de modifier l'ellipse. En effet, pour un déphasage de $\varphi = 0^\circ$ ou 180° , la trajectoire est une ligne droite et lorsque $\varphi = 90^\circ$ ou 270° , un cercle. Il faut noter que le déphasage a aussi pour effet de définir le sens de rotation de la trajectoire autour des zones de conduction. Ainsi il est possible pour un point en V_{g1} , V_{g2} d'avoir un courant $I = ef$ ou $I = -ef$. Il est aussi possible de rendre l'ellipse suffisamment grande pour qu'elle puisse entourer plusieurs zones de conduction. Si cette condition est respectée, le courant pompé est alors proportionnel à $I = Nef$ ou $I = -Nef$, où N est le nombre de zones de conduction entourées par l'ellipse.

Mise en pratique expérimentale du pompage

Nous avons décrit comment physiquement nous devons procéder pour réaliser un cycle de pompage d'électrons. En pratique, le circuit est représenté par le schéma (voir fig.4.5) détaillant l'expérience mise en œuvre. Les réglages permettant d'obtenir le transfert de

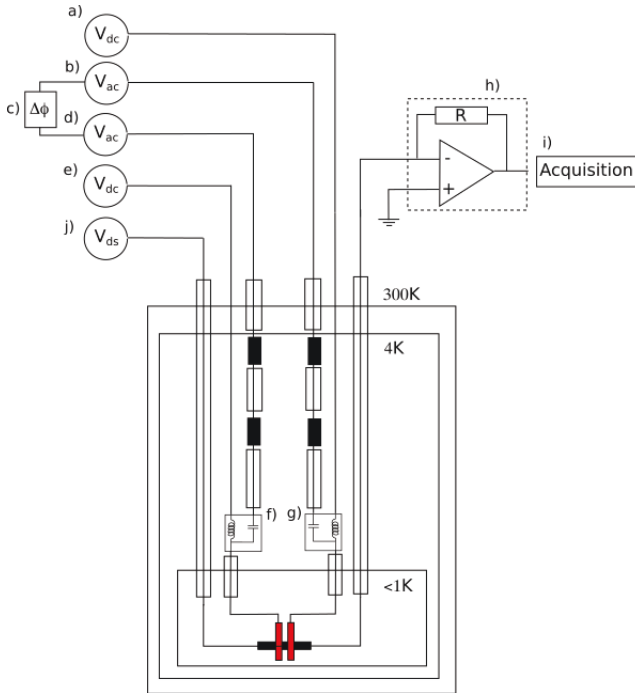


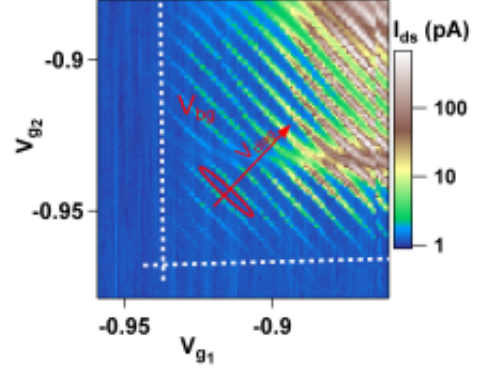
FIGURE 4.5 – Schéma de montage expérimental pour réaliser du pompage d'électrons. **a)e)j)** Les sources de tensions *DC*. **b)d)** Les sources de signaux sinusoïdaux. **c)** Un puissance-mètre pour régler la phase des signaux sinusoïdaux. **f)g)** Des bias tee afin de mélanger les signaux *DC* et *AC*. Sur "dilulette" ceux-ci sont placés à 300 K et à 4.2 K, dans le bain d'hélium pour "Dilu06". **h)** Un convertisseur courant-tension (amplificateur à transimpédance) **i)** Un voltmètre. Des atténuateurs de thermalisation sont marqués par des rectangles noir. Sur "Dilulette" ceux-ci sont discrets et sur "Dillette" ce sont les câbles coaxiaux (microcoax).

charge vont dépendre de l'ajustement de plusieurs points (voir fig.4.6), énumérés ci-dessous :

- Une tension de substrat V_{bg} qui génère une carte de la conductance composée de diagonales rectilignes et sans défaut (un îlot couplé à deux grilles).
- Une trajectoire V_{diag} passant par le centre des diagonales.

- Une amplitude de signaux AC au moins égale à la longueur d’une des premières diagonales de la carte de la conductance.

FIGURE 4.6 – Carte de la conductance drain source I_{ds} dans le plan des tensions de grilles V_{g1} , V_{g2} . La tension de substrat V_{bg} permet d’avoir un îlot couplé aux deux grilles. V_{diag} est une trajectoire construite en fonction de V_{g1} et V_{g2} et passant par le centre des diagonales. L’ellipse en rouge est la trajectoire des tensions et sa taille est proportionnelle aux amplitudes des signaux sinusoïdaux envoyés par les sources AC .



Tous ces éléments réunis sont la base pour permettre d’affiner les réglages et obtenir un courant pompé.

4.2 Le courant quantifié par un dispositif double grilles réalisé par e-beam

Les premiers dispositifs qui ont fait l’objet d’études plus approfondies pour la réalisation d’une pompe à électrons sont ceux des lots qui ont été réalisés dans cadre de projets ANR et Europe (POESI et AFSID). Ces lots ont été produits sur des wafers de 200 mm où seules 12 puces par plaque sont réalisées par lithographie électronique (e-beam). Ils ont été, durant plusieurs années, la source principale d’échantillons de notre équipe. Nous allons nous intéresser à un dispositif double grilles qui a été mesuré durant ma période de stage, dès 2012. Ce dispositif est le meilleur parmi ceux mesurés par mes soins. A noter qu’il a été mesuré dans deux cryostats différents et a survécu à un changement de porte échantillon.

Description du dispositif

Le tableau 4.1 donne les dimensions du dispositif nommé PTLSH1_1 de la puce 1 du wafer 19 issu du lot 2 (S952) du projet AFSID.

	W (nm)	L (nm)	S _{gg} (nm)	t_{Si} (nm)
PTLSH1_1	60	50	50	20
	Espaceur (nm)	Type dopage	Dopant	Concentration
	15	N	P	1×10^{18}

TABLE 4.1 – Récapitulatif des dimensions associées à l’échantillon mesuré et des spécificités de la plaque. La fig.4.7 gauche montre le schéma du dispositif.

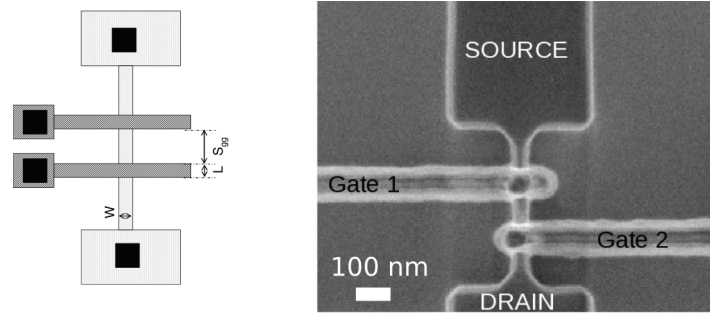


FIGURE 4.7 – **A gauche)** Schéma du dispositif. **A droite)** Image MEB d'un dispositif tel que réalisé.

Ce dispositif a été construit sur la base d'un substrat SOI. L'épaisseur de la couche d'oxyde enterré (BOX) est de 145 nm. L'empilement de couches qui forme les grilles est composé d'une couche d'oxyde de silicium SiO_2 de 5 nm et d'une couche de polysilicium formant ainsi l'empilement conventionnel pour la fabrication des grilles à ce moment là. Après gravure des grilles, les espaceurs d'épaisseur de 15 nm en nitrure de silicium SiN sont déposés et une épitaxie de silicium est effectuée pour lever la source et le drain du dispositif. Finalement, le dopage par implantation est réalisé. Contrairement à d'autres plaques, une seule épaisseur d'espaceurs et épitaxie de silicium est réalisée. Avec les dimensions propres à l'échantillon, on peut estimer la capacité de grille, même si ce calcul ne peut pas être pris en compte car il ne reflète géométriquement pas la réalité ; il permet néanmoins d'avoir une idée très grossière de cette valeur. Dans ce calcul (relation 4.2), nous associons la grille à une capacité planaire dont le diélectrique serait la couche d'oxyde de silicium SiO_2 . Cette approche est valide pour des transistors planaires de grosses tailles ($>10 \mu m$). Dans ce cas, la capacité peut être calculée de la façon suivante :

$$C = \epsilon_0 \epsilon_r \frac{S}{d} \quad \text{ou} \quad S = 2 \times t_{Si} \times W \times L \quad (4.2)$$

L'épaisseur d est la valeur de la couche d'oxyde et ϵ_r la valeur relative de la constante diélectrique du même oxyde à savoir 3.9 pour du SiO_2 . Avec les dimensions données précédemment (tableau 4.1) la capacité géométrique vaut 100 aF.

L'électrostatique d'un dispositif fabriqué par e-beam

Mesures à 300 K

La première caractérisation du dispositif à 300 K a été faite par mon prédécesseur Benoît Roche qui avait mesuré plusieurs dispositifs double grilles sur toutes les plaques des lots POESI et AFSID. Ces mesures à température ambiante ont été refaites afin de s'assurer du bon état général du dispositif. Les résultats de ces mesures sont présentés dans la fig.4.8. La

4.2 Le courant quantifié par un dispositif double grilles réalisé par e-beam

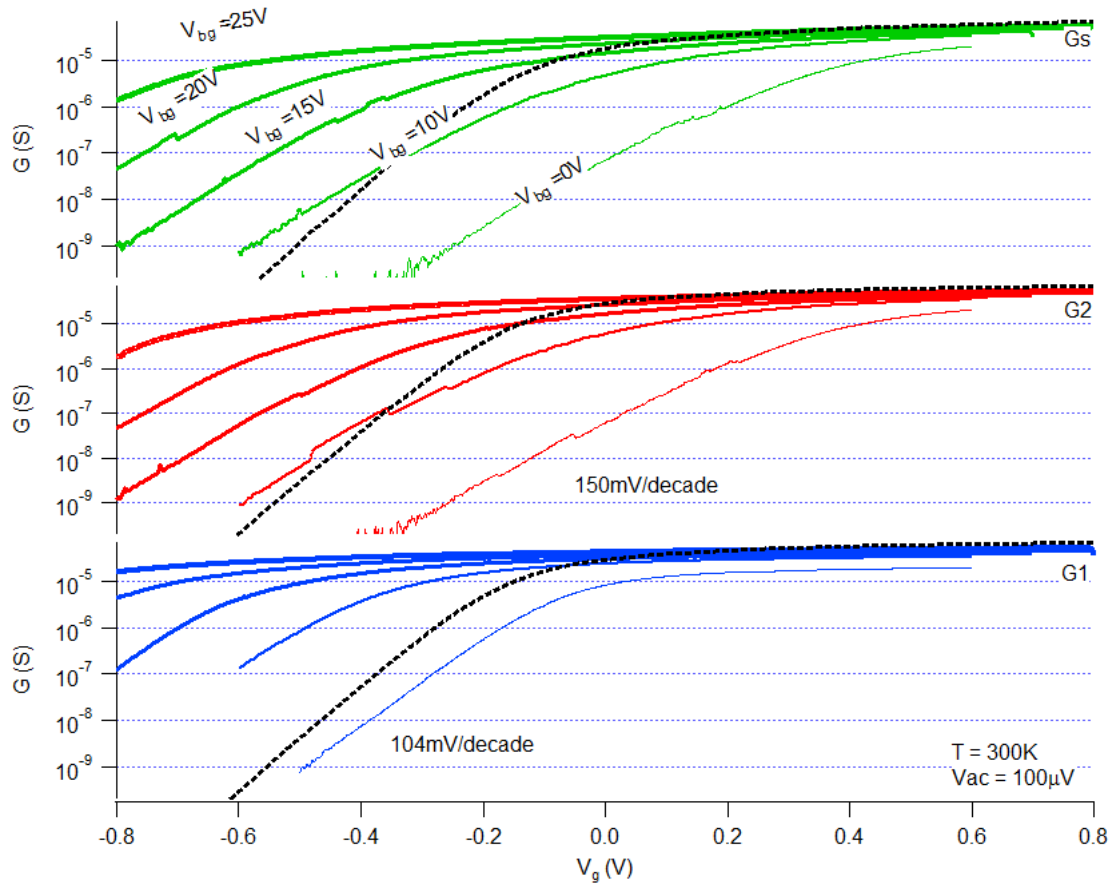


FIGURE 4.8 – Courbes I_{ds} en fonction de V_g à 300 K pour chacune des grilles. La pente sous seuil de la grille 1 vaut 104 mV/décade et de la grille 2 150 mV/décade. La résistance du dispositif avoisine les 50 k Ω à saturation. Pour chacun des tableaux, les courbes en traits discontinus montrent les résultats issus des mesures faites sur les stations sous pointes du LETI. La résistance mesurée sur les stations sous pointes du LETI vaut 15 k Ω et les pentes sous seuil valent 80 mV/décade. Aucune tension de substrat V_{bg} n'est appliquée dans ces mesures.

caractérisation des grilles du dispositif montre des pentes sous seuil de 104 mV/décade pour la grille 1 et 150 mV/décade pour la grille 2. A 300 K la pente idéale est de 60 mV/decade. Ces valeurs de pentes peuvent se justifier par un moins bon contrôle électrostatique des transistors en raison de l'épaisseur de la couche de silicium qui vaut 20 nm. Des mesures complémentaires, en présence d'une tension de substrat, nous montrent les effets décrits dans le chapitre 3. Il y a une augmentation de la conductance et un décalage de la tension de seuil sans grand changement des pentes sous le seuil (voir fig.4.9). La conductance du dispositif est considérablement accrue lorsque la tension de substrat est élevée. En effet, la résistance du dispositif est 2.5 fois plus grande lorsqu'il n'y a pas de tension de substrat. De la figure 4.9 il est possible d'estimer le rapport des capacités [78][70] entre les capacités des grilles C_{front} et la capacité du substrat C_{back} . On peut schématiser la situation par la

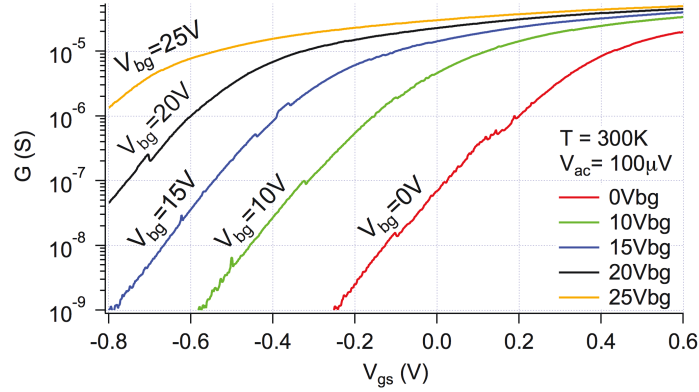


FIGURE 4.9 – Courbes I_{ds} en fonction de V_g à 300 K des deux grilles actionnées simultanément à différentes tensions de substrat V_{bg} . À $V_{bg} = 0$ la résistance du dispositif est de 50 k Ω et à $V_{bg} = 25$ V, cette résistance chute à 20 k Ω . On peut estimer le rapport C_{front}/C_{back} à environ 28. Sachant que l'épaisseur d'oxyde vaut 5 nm, l'épaisseur d'oxyde enterré vaut ~ 140 nm.

figure 4.10. Ce rapport peut être développé par la relation 4.3 :

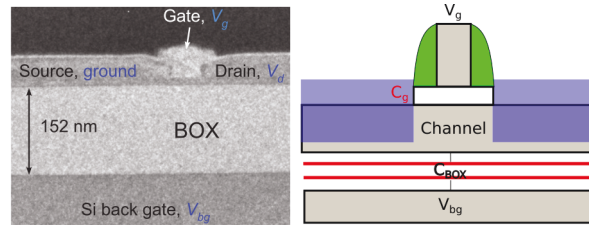


FIGURE 4.10 – **A gauche**, une coupe TEM d'un dispositif fabriqué sur un substrat SOI similaire au dispositif qui est étudié. **A droite** le schéma électrostatique équivalent de l'image TEM, représentant un transistor sur un substrat SOI. Une tension de substrat V_{bg} par le biais de l'oxyde enterré joue le rôle d'une grille complémentaire.

$$\frac{C_{front}}{C_{end}} = \frac{\Delta V_{bg}}{\Delta V_g} \approx \frac{T_{BOX}}{T_{ox}} \quad (4.3)$$

Dans l'équation, V_{bg} désigne la tension de substrat, V_g la tension de grille et T les épaisseurs associées à l'épaisseur d'oxyde enterré BOX et celle de l'oxyde des grilles Tox . Grâce aux mesures effectuées et présentées dans la fig.4.9, nous avons estimé ce rapport de capacités à ~ 28 . Nous en déduisons une épaisseur d'oxyde enterré de ~ 140 nm. Cette valeur est une très bonne estimation, sachant que la valeur réelle est de ~ 145 nm pour le BOX et $Tox = 5$ nm.

Mesures à ≤ 4.2 K

Les premières mesures à froid vont permettre de mieux comprendre le dispositif. Ces mesures révèlent un échantillon qui conduit trois fois mieux à saturation (~ 17 k Ω). Dans le régime où $R \gg R_K$ nous avons des oscillations de Coulomb de même périodicité (~ 13 mV) sous les deux grilles et équivalentes à 12.1 aF (voir fig.4.11). Les capacités de cette valeur sont le reflet d'îlots de très petites dimensions. Lorsqu'une tension de substrat est appliquée,

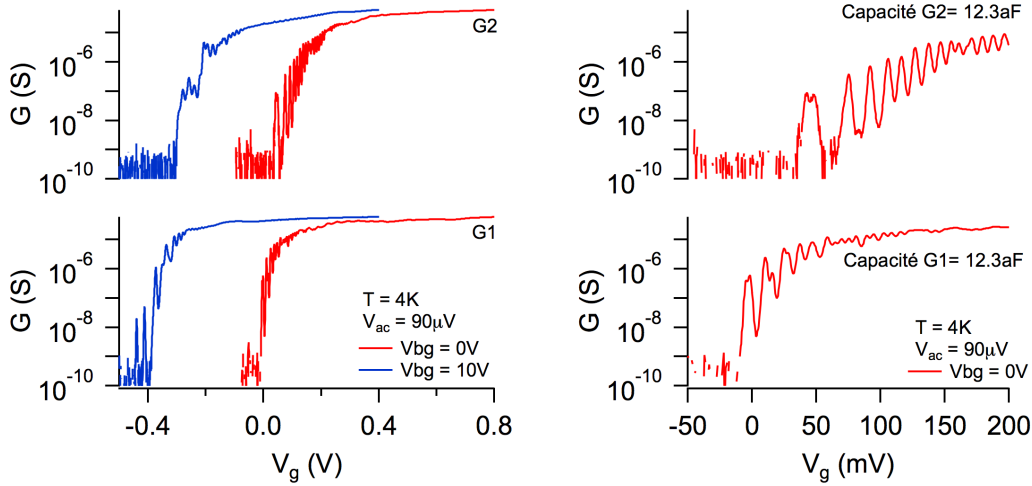


FIGURE 4.11 – Courbes I_{ds} en fonction de V_g à 4.2 K pour chacune des grilles. A une tension de substrat $V_{bg}=0$ V la résistance à saturation du dispositif vaut ~ 17 k Ω . Les oscillations de périodicité de ~ 13 mV sous les grilles 1 et 2 sont semblables et équivalentes à une capacité $\frac{e}{\Delta V_g} = 12.1$ aF.

les oscillations sous les grilles tendent à disparaître. Sous la grille 2, le comportement est presque déjà celui d'un *FET* alors que celui de la grille 1 continue à manifester un îlot de Coulomb. Des mesures lors d'un refroidissement, à une tension de substrat $V_{bg}=+28$ V, montrent des courbes qui illustrent comment le régime de fonctionnement du dispositif est maintenu en régime *FET* avant de montrer les premières oscillations de Coulomb (voir fig.4.12). Toutefois, avant de commencer à osciller, nous constatons que la conductance du premier pic varie de plus de deux ordres de grandeur. Nous avons alors procédé aux premières mesures à froid, et avons testé le comportement du dispositif pour différentes tensions de substrat. Néanmoins, nous devons nous assurer que nous avons bel et bien un îlot métallique couplé aux deux grilles. Nous faisons ainsi des mesures pour connaître l'effet des grilles lorsque celles-ci travaillent dans des régimes qui se situent en dessous de leur tension de seuil respective. Les mesures réalisées se présentent sous forme de cartes en deux dimensions illustrant la valeur du courant en fonction des tensions de grilles (voir fig.4.13). Les résultats obtenus (voir fig.4.13 et suivantes), montrent l'évolution du couplage des grilles avec l'îlot central. En effet nous obtenons des diagonales qui indiquent la présence d'un îlot couplé aux deux grilles. Comme présenté dans le chapitre 3.1, l'augmentation

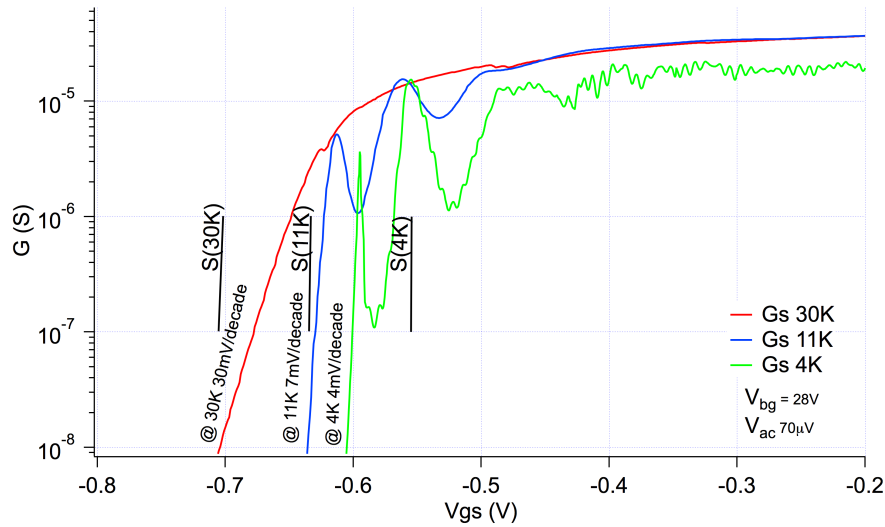


FIGURE 4.12 – Courbes I_{ds} en fonction de V_g lors d'un refroidissement à 4.2 K à une tension de substrat $V_{bg}=+28$ V. Les deux grilles sont actionnées simultanément. La courbe à 30 K est caractéristique d'un *FET*. A partir de 11 K les premières oscillations apparaissent. Les pentes en noir sont les pentes sous le seuil idéale.

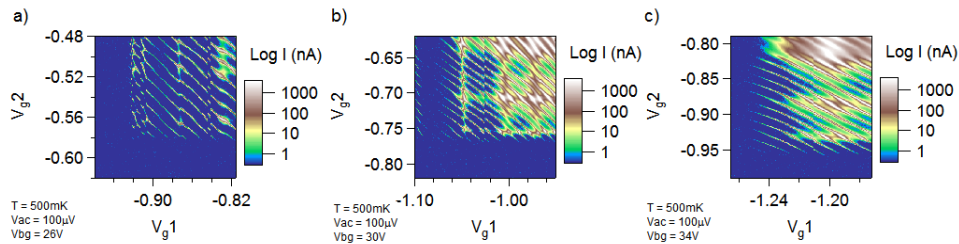


FIGURE 4.13 – Carte 2D de la conductance I_{ds} dans le plan des tensions de grilles V_{g1} , V_{g2} à des tensions de substrat de +26, +30 et +34 V. L'augmentation de la tension de substrat permet de faire disparaître les points résonants sous les grilles. Il est possible d'isoler un îlot quantique couplé aux deux grilles. **a)** Des résonances supplémentaires issues des couplages de l'îlot "parasite" sous la grille 1 et de l'îlot central sont visibles. **b)** Le couplage entre l'îlot "parasite" de la grille 1 et l'îlot central s'atténue. Une troisième résonance est apparue sous la grille 2. **c)** Les îlots sous les grilles ont presque tous disparu, nous avons un îlot central couplé à deux grilles.

de la tension de substrat permet de supprimer les îlots sous les grilles et par conséquent de créer un réseau de diagonales régulier et rectiligne. L'utilisation de la backgate a pour effet de créer un gaz 2D d'électrons proche de l'interface BOX/silicium (voir fig.4.14). Celui-ci devient plus conducteur à mesure que cette tension de substrat augmente. Ainsi, lorsque la tension de substrat V_{bg} est suffisante, les îlots parasites sous les grilles sont court-circuités. Ce "court-circuit" peut être dû à l'augmentation du co-tunneling à travers

4.2 Le courant quantifié par un dispositif double grilles réalisé par e-beam

les dots "parasites", due à la diminution de la résistance des barrières tunnels sous les espaceurs (à $V_{bg} \gg 0$). La mesure à $V_{bg}=+26$ V (fig.4.13a) montre un système composé de

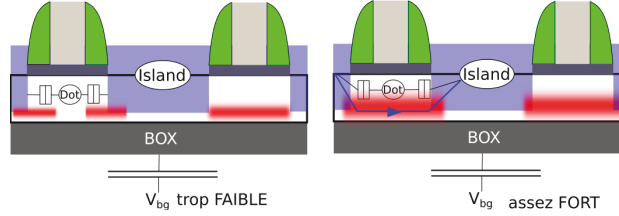


FIGURE 4.14 – Schémas électrostatiques d'un îlot central et d'un îlot "parasite" sous une grille à deux tensions de substrat différentes. **A gauche**) La tension de substrat n'est pas assez importante. L'îlot "parasite" reste actif et oscille. **A droite**) La tension V_{bg} est suffisante. Le nuage d'électrons court-circuite l'îlot "parasite". Seul l'îlot central oscille.

deux îlots. On observe des diagonales partiellement rectilignes et la présence sous la grille 1 d'un îlot qui se couple avec l'îlot du centre. Ce couplage se reflète par des résonances supplémentaires aux tensions de la grille 1 de 0.92 V et 0.88 V. En augmentant la tension de substrat à $V_{bg}=+30$ V, (fig.4.13b) le réseau est devenu plus régulier et rectiligne. Toutefois, l'îlot sous la grille 1 est toujours présent et un îlot sous la grille 2 est apparu et se charge dans ce régime de tensions. A $V_{bg}=+34$ V (fig.4.13c) les choses ont radicalement changé. Le réseau de diagonales est devenu très régulier et sans défaut dans les premières lignes visibles. L'îlot sous la grille 1 a totalement disparu. En revanche sous la grille 2, l'îlot n'a pas totalement été annihilé. Ces figures montrent que l'augmentation de la tension de substrat V_{bg} augmente la conduction du gaz 2D d'électrons et diminue la résistance des barrières tunnels sous les espaceurs. On peut noter que les tensions des grilles ont des valeurs très négatives. L'espacement des diagonales mesurable sur cette figure 4.13c, nous permet de recalculer les capacités des grilles. Par simple calcul géométrique on retrouve les valeurs de capacités précédemment mesurées lorsqu'une seule grille était actionnée : $\sqrt{C_{g1}^2 + C_{g2}^2} = C_{diag} \Rightarrow \sqrt{12.1^2 + 12.1^2} \cong 17aF$. L'espacement mesuré vaut environ 9.3 mV soit une capacité équivalente à 17 aF.

La fig.4.15, montre deux cartes obtenues sur deux cryostats différents, l'échantillon ayant été monté pour être étudié sur deux cryostats. On peut observer que les résultats sont différents à même tension de substrat. La fig.4.15a est le motif qui avait été obtenu lors du premier refroidissement sur *dillette*. Cette figure montre un réseau de diagonales régulier et rectiligne. En revanche, la même mesure, sur le cryostat *dilu06* (fig.4.15b) montre quelques différences. Plusieurs éléments sont à souligner : la plage des tensions des cartes est différente et les motifs obtenus également. Cependant on retrouve une similarité : l'élément résonant sous la grille 2 est toujours présent. Usuellement les échantillons mesurés présentent les mêmes caractéristiques électrostatiques, même après plusieurs refroidissements espacés sur une période temporelle importante. Cependant l'utilisation de la backgate place

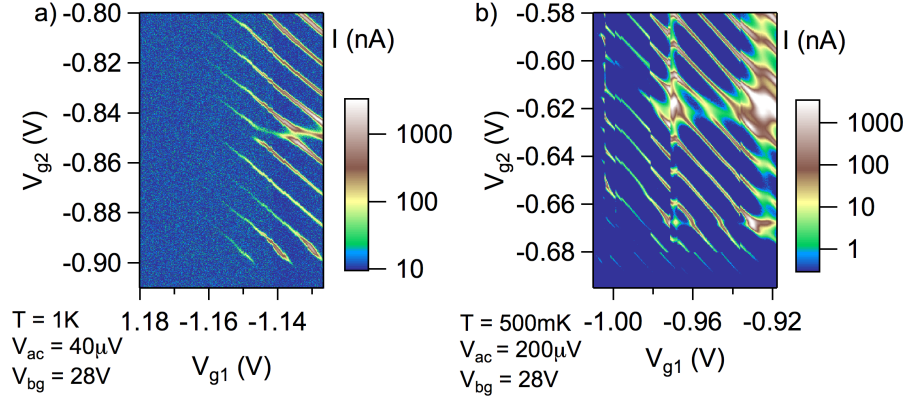


FIGURE 4.15 – Carte 2D de la conductance I_{ds} dans le plan des tensions des grilles V_{g1} , V_{g2} à la tension de substrat de +28 V. **a)** mesure effectuée sur *dillette*. **b)** mesure effectuée sur *dilu06*. Chaque mesure est réalisée dans un cryostat différent. Entre les deux mesures, il y a un réchauffement et un changement de porte échantillon.

le comportement du dispositif dans une configuration électrostatique qui peut devenir sensible à l'historique des manipulations de l'échantillon. Pour citer quelques exemples : la méthodologie employée pour appliquer des changements de tensions de substrat ou depuis combien de temps l'échantillon est resté à une température etc... on peut entre autre ajouter qu'un réchauffement à température ambiante ou un changement de porte échantillon peuvent occasionner des changements dans les caractéristiques électrostatiques des barrières. On en conclut qu'il est normal qu'une manipulation physique d'un échantillon résulte d'un un changement microscopique du potentiel vu par les électrons et ne nous permette pas toujours de retrouver les mêmes caractéristiques électrostatiques. Ainsi, pour chacun des cryostats une tension différente de substrat aura été utilisée pour permettre de réaliser du pompage d'électrons.

Vers la génération de courant quantifié avec une pompe e-beam

Cette section présente les résultats majeurs obtenus lors du pompage d'électrons. Ces résultats sont effectués à des tensions de substrat de $V_{bg}=+28$ V et +34 V, car le même dispositif a été mesuré sur deux cryostats et testé sur deux portes échantillons différents. Ainsi, la tension de substrat permettant d'avoir la configuration électrostatique d'un îlot couplé à deux grilles n'est plus la même. Les mesures effectuées à $V_{bg}=+28$ V ont pour objectif de valider le fonctionnement du dispositif en tant que pompe à électrons, et celles réalisées à $V_{bg}=+34$ V de tester la fréquence de pompage maximale.

Un îlot couplé à deux grilles

Nous avons caractérisé et recherché sur chacun des cryostats, une tension de substrat qui nous permettait d'obtenir un motif composé de diagonales rectilignes caractéristique d'un

îlot couplé à deux grilles (voir fig.4.2 et fig.4.15a). Entre les deux cartes présentées on peut noter des spécificités qui sont dans le même ordre de grandeur, notamment l'espacement entre les diagonales qui vaut 10.5 mV. Ce résultat représente une capacité équivalente à ~ 15 aF. Ces résultats de mesures, nous permettent de paramétrer la fonction V_{diag} que l'on va utiliser pour déplacer le point de fonctionnement statique lors de l'expérience de pompage.

Recherche des paramètres de pompage

Les premiers essais avec un signal oscillant superposé sur la composante continue sont présentés sur la figure 4.16a. Dans ces mesures les paramètres qui varient sont les déphasages entre les signaux $\Delta\varphi$ et la position sur V_{diag} . L'amplitude A du signal AC restant fixe. On remarquera que la plage en V_{diag} dans laquelle le courant est pompé, se situe

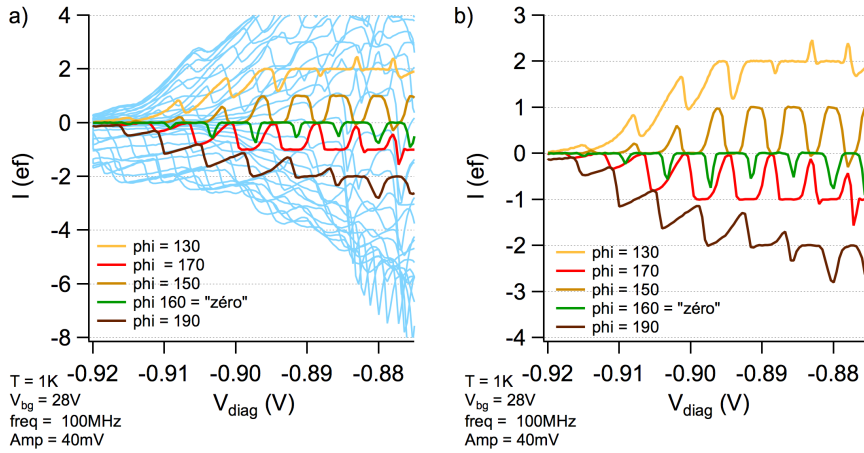


FIGURE 4.16 – **a)** Courant I_{ds} pompé sur une large gamme de déphasages entre signaux sinusoïdaux. Les courbes de couleurs illustrent les courants pompés pour des déphases donnant $2ef$, $1ef$, $0ef$, $-1ef$ et $-2ef$. **b)** Graphe des courbes tracées en couleur de **a)**. Les courants pompés peuvent rester stables sur des plages de V_{diag} de 2 mV. les courbes en couleurs montrent les plateaux les plus larges pour les valeurs entières de courant choisies.

hors du réseau de diagonales qui nous a permis de paramétrer nos mesures (voir fig.4.15a) et qui englobent les toutes premières lignes du réseau. La valeur de V_{diag} est égale à la valeur de V_{g2} sur les cartes 2D de conductance. Cette observation peut trouver une explication simple. Notre montage expérimental emploie un amplificateur/convertisseur courant-tension, dont le bruit blanc se situe aux alentours des $13 fA/\sqrt{Hz}$ et dont le gain est de $100 M\Omega$. Par rapport à la mesure, dont la bande passante est légèrement inférieure à 1 s, nous sommes dans l'ordre de grandeur d'un courant moyen de 100 fA qui correspond au bruit $4kT/R \simeq 75 fA/\sqrt{Hz}$ caractéristique de la résistance de $100 M\Omega$. Ainsi toutes mesures de courant inférieures à ce seuil ne peuvent être détectées. Ces premiers résultats, à 100 MHz, illustrent bien ce que nous espérons lorsque nous recherchons les paramètres

qui permettent de générer un courant qui soit proportionnel à $I = ef$. En effet, sur la fig.4.16b, nous avons isolé les courbes pour des valeurs de déphasages qui génèrent des courants égaux à $2ef$, $1ef$, $0ef$, $-1ef$ et $-2ef$ avec les plus larges plateaux. Ces courbes obtenues oscillent entre des valeurs entières d'électrons et lorsque le déphasage et amplitudes sont optimum, les plateaux sont les plus larges. L'oscillation de ces courbes est due au changement de diagonale (zone de conduction) entourée par la trajectoire des tensions de grilles lors de la translation le long de V_{diag} . Ces mesures ont été répétées pour différentes fréquences jusqu'à 550 MHz avec la même stabilité sur le courant pompé (voir fig.4.17). Sur ce premier cryostat, la limite physique est essentiellement liée aux lignes coaxiales qui atténuent le signal de façon trop importante au-delà de 550 MHz. Ces lignes installées (Microcoax) ont comme principales caractéristiques : le filtrage des hautes fréquences[75] et une faible conduction thermique. On comprend que l'installation expérimentale ne pourra pas être utilisée pour tester l'échantillon à sa fréquence maximale. Une seconde série de

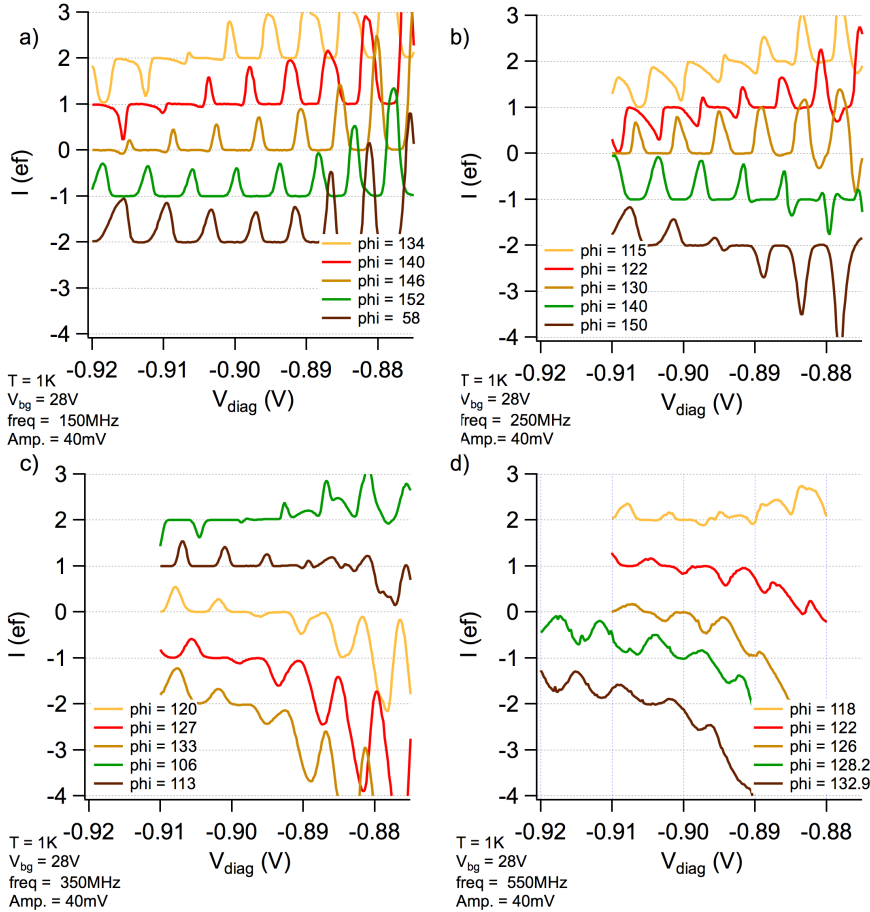
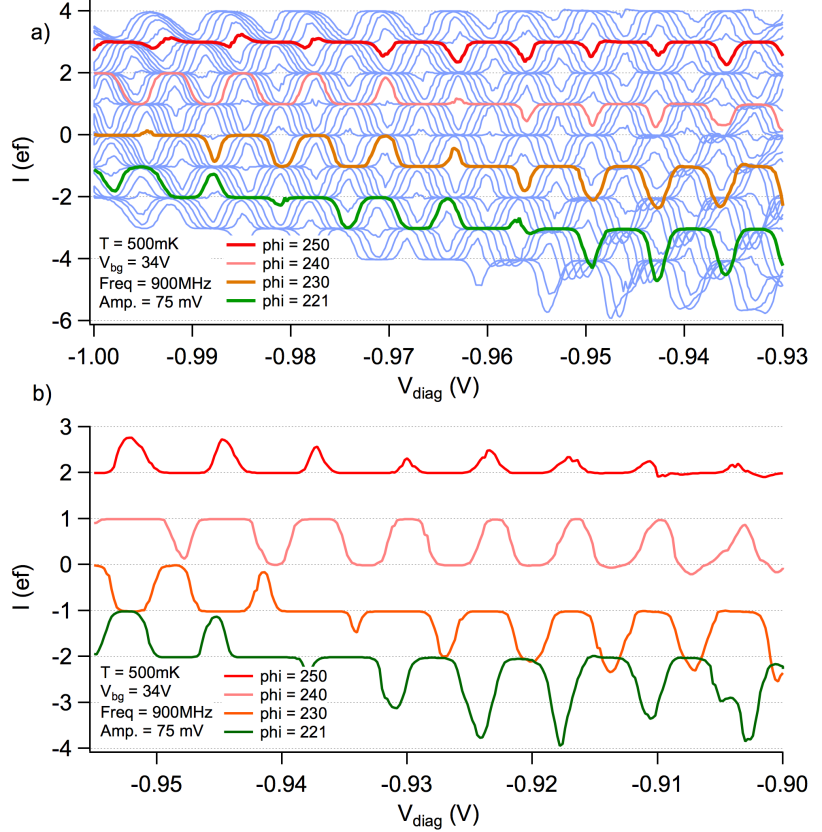


FIGURE 4.17 – Courants pompés proportionnels à $+2ef$, $+1ef$, $0ef$, $-1ef$ et $-2ef$ pour de multiples fréquences. **a)** courant pompé à 150 MHz. **b)** 250 MHz. **c)** 350 MHz. **d)** 550 MHz. Les courants restent stables sur plusieurs mV . Toutefois, au fur et à mesure de l'augmentation de la fréquence, les plateaux se dégradent.

mesures sur "Dilu06", nous a permis, cette fois-ci, d'atteindre une fréquence de 900 MHz (voir fig.4.18). Nous retrouvons les mêmes types de motifs que sur la fig.4.16. On peut remarquer qu'entre des déphasages de 215° à 255° une multitude de déphasages nous permet de pomper différentes intensités de courant. La seule variation entre ces courbes est la

largeur des plateaux pour chacun des courants pompés. Les plateaux à courants constants peuvent atteindre des largeurs jusqu'à 5 mV.

FIGURE 4.18 – Mesure du courant pompé adiabatiquement à une fréquence de 900 MHz pour différentes valeurs de déphasages en fonction de V_{diag} . **a)** en bleu, les courbes de courant pompé de 215° à 255° avec un espacement entre les courbes de 1° . Les courbes de couleurs sont les déphasages choisis pour pomper des courants égaux à $+2ef$, $+1ef$, $-1ef$ et $-2ef$. **b)** Graphe des courbes de couleurs de **a)**. La courbe de $+2ef$ est presque une ligne plate et la largeur des plateaux des courbes représentées peut atteindre les 5 mV.



Pompage adiabatique avec un potentiel V_d

Les mesures précédentes avaient pour principal objectif de définir les paramètres de réglage du banc d'expérimentation pour un mode de pompage adiabatique. Les mesures que nous présentons maintenant sont les résultats obtenus lorsque le dispositif est utilisé avec une différence de potentiel V_d . Les résultats de la figure 4.19 illustrent le comportement de la pompe en présence d'un potentiel V_d . Comme déjà mesuré par d'autres groupes[24][28], l'effet d'un potentiel V_d se traduit par des escaliers. Toutes les fréquences testées ont montré des résultats similaires sauf à 100 MHz où seul le plateau $N=1$ est mesuré.

Les résultats montrent qu'il est possible de faire varier le nombre d'électrons transférés par cycle de pompage. La hauteur de chacune des marches équivaut à l'ajout d'un électron dans l'îlot à chaque cycle. Par ces courbes, on caractérise directement l'îlot métallique. En comparaison, ce résultat est similaire à une mesure de diamants de Coulomb, comme pour une mesure de conductance classique. On peut alors facilement extraire l'énergie de charge du système. En effet, la période entre chaque marche d'escalier est représentative

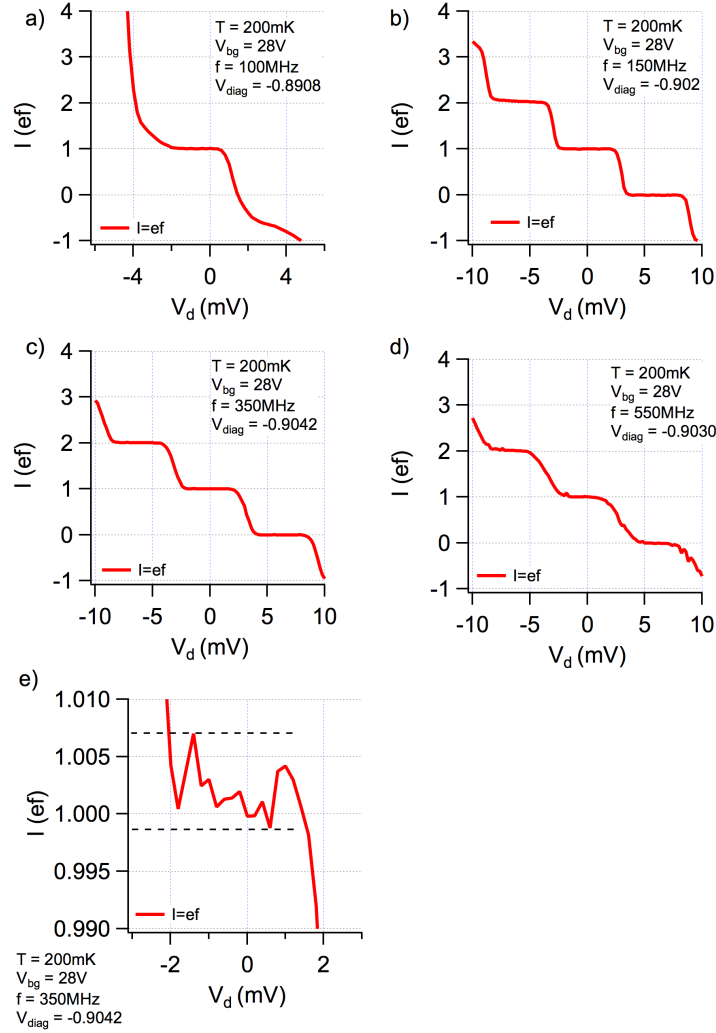


FIGURE 4.19 – Courant pompé I_{ds} à déphasage et position en V_{diag} fixes en fonction de V_d . Des escaliers avec des hauteurs de marches équivalentes à des nombres entier d'électrons sont obtenues pour des fréquences de 100 MHz (**a**)), 150 MHz (**b**)), 350 MHz (**c**)) et 550 MHz (**d**)). **a**) à 100 MHz seul le plateau $n=1$ est visible. **e**) Agrandissement du plateau central de **c**). L'incertitude sur le courant pompé est de 7×10^{-3} .

de l'énergie nécessaire à fournir au système pour permettre à un électron d'entrer dans l'îlot central. La valeur mesurée pour cette période est très grande et vaut ~ 6 mV, qui équivaut à une capacité de 27 aF. Ce résultat est correct si l'on considère que la capacité du système mesuré vaut $C_{systeme} \approx 17$ aF. Cette valeur comparée avec celle issue des cartes en 2D montrant les diagonales (fig.4.15a) est dans le même ordre de grandeur si l'on considère que les capacités drain C_{drain} et source C_{source} valent quelques aF ; et ceci si $C_{total} = C_{systeme} = C_d + C_g + C_s + C_{backgate}$ et que $C_d, C_s \ll C_g$ ainsi que $C_g = C_{g1} + C_{g2}$. L'augmentation du potentiel V_d a pour effet de permettre à N électrons supplémentaires

d'entrer dans l'îlot. Schématiquement le pompage peut s'illustrer par la figure 4.20. Le cycle de pompage est similaire à un cycle sans V_d , mais le potentiel ajouté permet de remplir cette fois-ci un autre niveau dans l'îlot. Ainsi, pour qu'un électron additionnel puisse entrer lors d'un cycle de pompage, il faut lui fournir une énergie égale ou supérieure à l'énergie de charge de l'îlot de Coulomb (e^2/C_Σ). Cette énergie est fournie par le potentiel V_d . Il faut souligner que dans ce régime, il n'y a plus de blocage de Coulomb comme à $V_d=0$. Il pourrait y avoir continuellement du courant qui circulerait si les barrières tunnel étaient fixes comme pour les pompes métalliques. Mais comme notre dispositif joue sur la variation des hauteurs des barrières tunnel, on peut en déduire que la barrière est tellement haute qu'elle interdit le passage des électrons. Sur le second cryostat, des mesures avec V_d

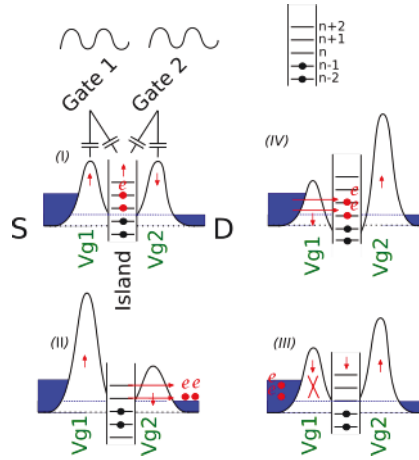


FIGURE 4.20 – Vue des potentiels pour chaque étapes du pompage d'électrons avec un potentiel V_d . En fonction de V_d un nombre N d'électrons supplémentaires peuvent entrer dans l'îlot de Coulomb si $eV_d > Ne^2/C_\Sigma$. Les points *I* et *III* illustrent des points de fonctionnement situés entre des lignes de conductance et *II*, *IV* des points de fonctionnement situés à la hauteur de la transition entre deux états de charge de l'îlot $N/(N + 1 + N_{V_d})$ où N_{V_d} est le nombre d'électrons ajoutés par l'application du potentiel V_d . Dans ce régime les électrons sont bloqués par la hauteur des barrières tunnel qui varie dans le cycle.

similaires ont été réalisées à la fréquence de 900 MHz. Nous obtenons le même comportement (voir fig.4.21) illustré par des escaliers de courant constant variant selon la tension V_d drain-source appliquée. La périodicité des marches, soit ~ 6 mV, se situe aussi dans le même ordre de grandeur que celles mesurées sur le premier cryostat. La fig.4.19f de la page 66, présente un agrandissement d'une de ces marches d'escalier sur laquelle on peut qualifier la stabilité du courant pompé. L'incertitude sur cette mesure est de 7×10^{-3} et est très loin des résultats obtenus par des laboratoires de métrologie comme le NIST, PTB ou le NPL qui obtiennent des précisions de trois ordres de grandeurs meilleurs [31][1]. Si l'on s'intéresse plus en détail aux facteurs qui composent cette incertitude, on peut distinguer deux grandes catégories[79]. Les incertitudes de type *A*, qui reflètent la variation d'une série de mesures répétées dans des conditions de répétabilité et les incertitudes de type *B*, qui englobent les erreurs systématiques telles que les erreurs d'un mauvais calibrage de la

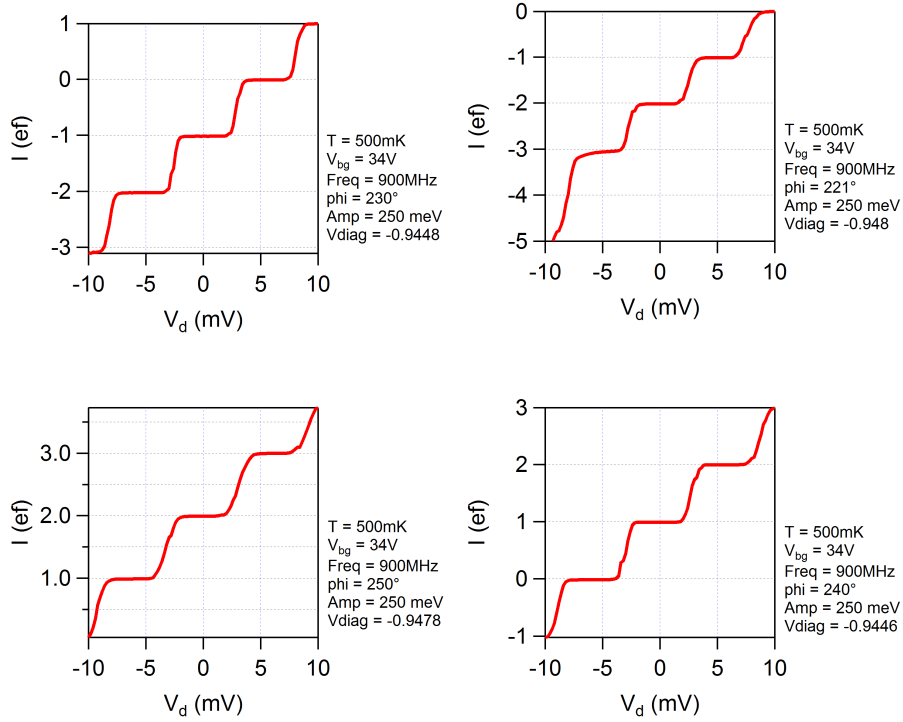


FIGURE 4.21 – Mesure du courant pompé en fonction de la tension drain-source V_d . Des escaliers de pompage sont obtenus pour des niveaux de courant pompés égaux à $+2ef$, $+ef$, $-ef$ et $-2ef$ à 900 MHz. La périodicité des marches vaut $\sim 6\text{ mV}$.

valeur zéro, l'usure des composants, l'erreur de méthode et les erreurs aléatoires comme les erreurs de lecture de l'appareil, les conditions de température, de pression et d'humidité dans lesquelles les mesures se font. La valeur relevée est une incertitude de type *A*. Toutefois, dans la position de notre laboratoire, l'incertitude de type *B* est grande et peut valoir 0.1%. Par conséquent, on peut estimer que l'erreur mesurée est celle du banc de mesure.

Une pompe e-beam avec une incertitude plus petite

Les mesures effectuées précédemment nous ont permis d'atteindre une incertitude de 7×10^{-3} . Les principales limitations relevées sont issues du banc d'expérimentation qui introduit des offsets sur les mesures qui dégradent ainsi l'incertitude. Ces contributions sont de l'ordre de 0.1%. Néanmoins, une alternative permet de nous soustraire de ces offsets, elle consiste à effectuer sur une durée minimale de 20 à 30 minutes la moyenne des mesures en alternant $+ef$ et $-ef$ (voir fig.4.22). La variance d'Allan calculée sur cette échelle de temps varie selon $\tau^{1/2}$ et est représentative du bruit blanc ([80] matériel supplémentaire). Après cette période, la dérive du gain de l'amplificateur est visible et est probablement induite par les fluctuations de température.

La mise en place d'un type bien défini de mesures permet de gagner un ordre de grandeur

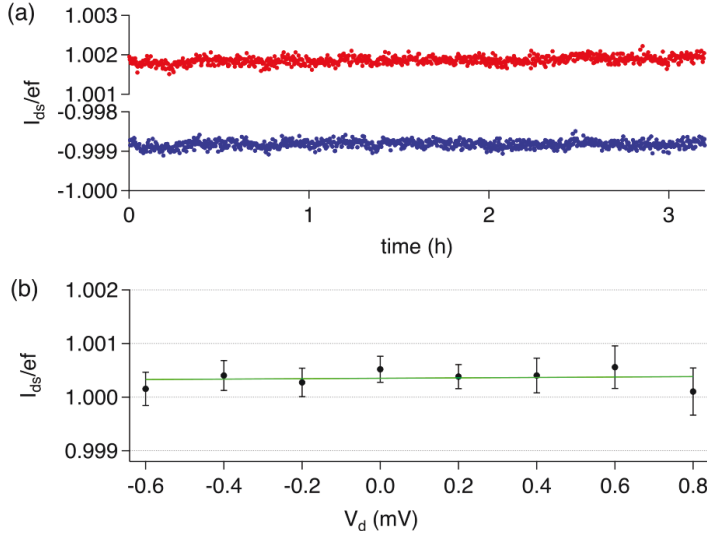


FIGURE 4.22 – **a)** Mesure du courant pompé à 650 MHz à 0.5 K en alternant périodiquement $+ef$ et $-ef$ à $V_d=0$ sur une durée de 3 heures. **b)** Valeur moyenne du courant pompé pour $+ef$ et $-ef$ pour des mesures similaires à **(a)**. Les mesures sont effectuées sur 10 min mais avec différentes valeurs de V_d . La barre d'erreur vaut deux fois la déviation statistique standard. Ces mesures nous permettent d'atteindre un rapport $I_{ds}/ef=1.00036$. Figure extraite de [80].

sur l'incertitude. Cependant si l'on souhaitait gagner en précision l'entier du banc de mesure serait à ré-étudier et à calibrer. Toutefois pour valider les principes de fonctionnement de nos dispositifs, l'incertitude obtenue est acceptable.

Les diamants pompés

Nous avons fait des mesures sur des points de fonctionnement fixes avec et sans potentiel V_d . Or, en répétant ces mesures sur une plage de tensions V_{diag} (fonction composée de V_{g1} et V_{g2} passant dans le réseau de diagonales) les résultats se présentent comme sur la figure 4.23. Cette figure montre les résultats qui illustrent des diamants dont les surfaces sont égales à des courants pompés proportionnels à $I = ef$. On notera des décalages dans les diamants dus à des sauts de charge lors de la mesure. Ces décalages sont marqués sur la figure 4.23 par des flèches rouges. Tout comme pour des diamants de Coulomb et comme précédemment avec les escaliers on peut, avec une approche similaire, extraire l'énergie de charge du système ainsi que d'autres valeurs comme les capacités de drain, de source et celle des grilles[81] (voir fig.4.23). Par les rapports ci-dessous 4.4, on calcule les capacités du système par la mesure des pentes des diamants :

$$\frac{C_{g1} + C_{g2}}{C_d} \quad \text{et} \quad \frac{C_{g1} + C_{g2}}{C_{g1} + C_{g2} + C_s} \quad (4.4)$$

On remarque qu'une face des diamants est quasiment à la verticale. Ce versant du diamant, dont la pente tend vers l'infini nous permet d'affirmer que $C_d \ll C_{g1} + C_{g2}$. En revanche, sur l'autre versant, on mesure une pente quasi égale à $1 \simeq \frac{C_{g1}C_{g2}}{C_{g1} + C_{g2} + C_s}$. Ce résultat nous permet de conclure que $C_s \ll C_{g1} + C_{g2}$. Comme la mesure est identique aux escaliers présentés précédemment, la hauteur d'un diamant pour une position fixe en abscisse vaut également ~ 6 mV. Cette mesure est répétée sur le second cryostat à la fréquence de

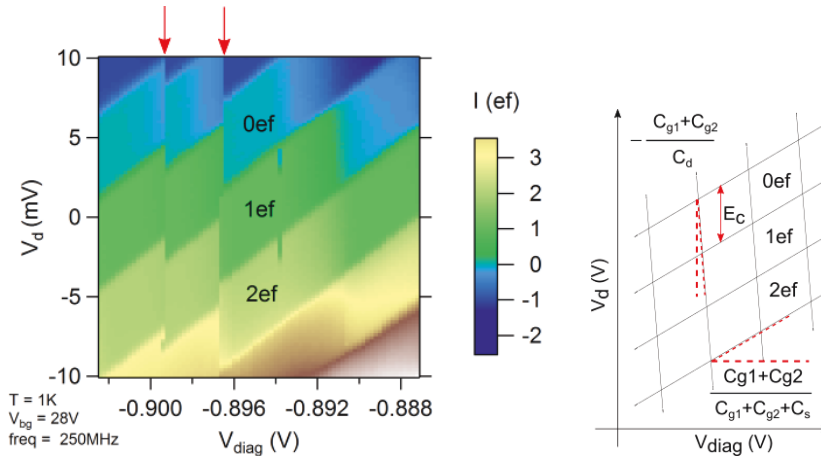


FIGURE 4.23 – **A gauche**) Carte du courant pompé dans le plan des tensions de V_d , V_{diag} à une fréquence de 250 MHz et pour une valeur du déphasage fixe. Des diamants avec des plateaux proportionnels à des courants égaux à $I = Nef$ sont obtenus. Les escaliers des figures 4.19 sont des coupes verticales à des valeurs fixes en V_{diag} . Les discontinuités des diamants marqués par des flèches rouges sont dus à des sauts de charge d'offset durant la mesure. **A droite** Diagramme de stabilité des diamants lors du pompage. Les rapports des capacités représentent la valeur des pentes des côtés des diamants.

900 MHz, nous obtenons aussi des diamants avec des surfaces égales à des courants proportionnels à $I = ef$ (voir fig.4.24). Nous retrouvons des pentes similaires à celles qui ont été mesurées et pouvons en tirer les mêmes conclusions.

Un courant proportionnel à f

Les mesures effectuées ont permis de pomper différentes valeurs de courants pour une large gamme de fréquences. En mettant en forme ces valeurs nous obtenons la figure 4.25 qui finalement permet de vérifier que notre dispositif peut pomper un courant respectant la relation $I = ef$. Par cette figure on démontre que notre dispositif, une fois réglé, réussit à transférer un seul électron par cycle. La barre d'erreur utilisée reflète l'incertitude sur un plateau pour une fréquence de 350 MHz donc 7×10^{-3} . On peut en conclure que l'erreur calculée est suffisamment petite pour démontrer que le dispositif travaille comme une pompe respectant la relation $I = ef$.

Discussion et analyse des résultats

Nous avons pu tester et mettre en œuvre un dispositif de très petites dimensions qui a permis de générer du courant quantifié. Nous l'avons testé sur deux différents cryostats, jusqu'à une fréquence maximale de 900 MHz. Des essais à des fréquences supérieures ont été réalisés sans succès. La dégradation des plateaux était trop importante pour que des réglages puissent être définis. En accord avec les résultats obtenus on peut affirmer que l'on

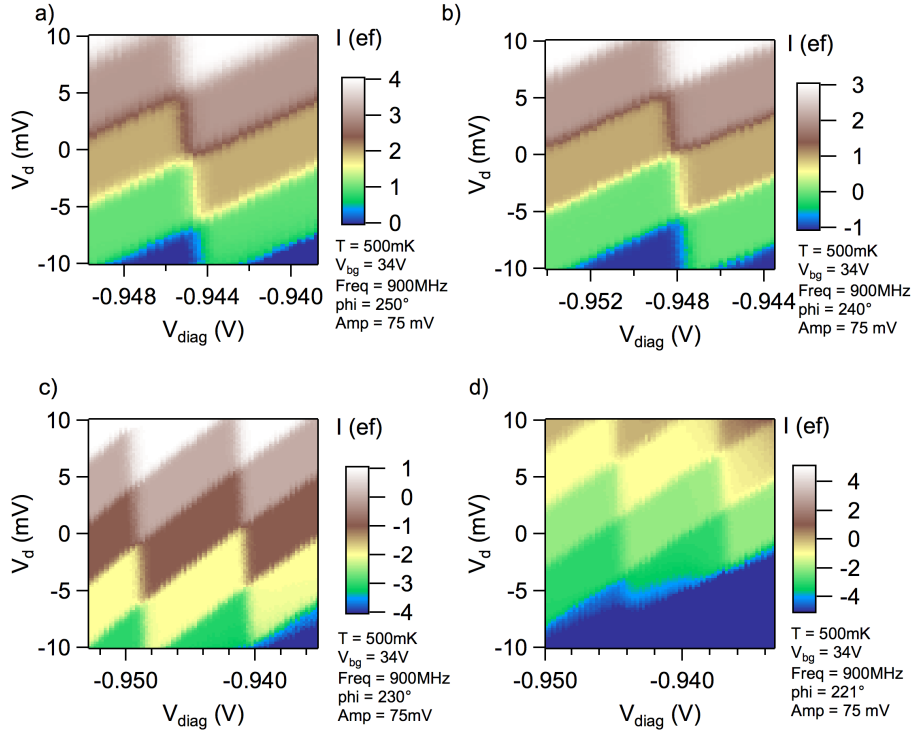


FIGURE 4.24 – Diamants de pompage obtenus à 900 MHz pour des réglages de courants pompés égaux à $+2ef$ (a)), $+1ef$ (b)), $-1ef$ (c)) et $-2ef$ (d)). Les pentes des diamants nous indiquent que les capacités de drain et source sont très petites. L'énergie de charge de l'îlot métallique vaut ~ 6 mV donc une capacité de ~ 27 aF.

est capable de modifier les paramètres d'une expérience pour entourer une ou deux zones de conductance, car nous avons mesuré des courants supérieurs à $I = ef$. Par ailleurs, nous avons démontré qu'avec deux valeurs de déphasages nous pouvions obtenir des courants de même intensité mais de sens opposés. Nous avons pu tester le dispositif avec et sans ajout d'un potentiel V_d . Avec les résultats des mesures, nous avons pu caractériser le système et calculer la taille de l'îlot métallique (~ 27 aF). Pour entrer plus en détail sur les limites de notre dispositif et en estimer l'erreur sur le transfert d'électrons, le schéma d'un îlot entouré de deux jonctions tunnel présenté au début (voir fig.4.1 droite) nous permet de faire ressortir les composantes du problème. Dans notre situation, les éléments qui peuvent être étudiés sont les propriétés électrostatiques de l'îlot qui nous donnent la précision dans le cas le plus défavorable. En terme d'erreur, ce point est essentiellement lié au rapport des résistances du dispositif, lorsqu'il est ouvert (ON) et fermé (OFF). Expérimentalement, il va dépendre des amplitudes que l'on applique sur les grilles et donc de la profondeur de pénétration de la trajectoire dans la zone où le transistor est considéré comme fermé. On choisira $R_{ON} = 10^5 \Omega$ comme la valeur de la conductance maximale obtenue dans nos cartes 2D et $R_{OFF} = 10^9 \Omega$ comme la conductance minimale également mesurée. On peut toutefois noter que la valeur de R_{OFF} est dans le cas le plus défavorable, compte tenu que le seuil

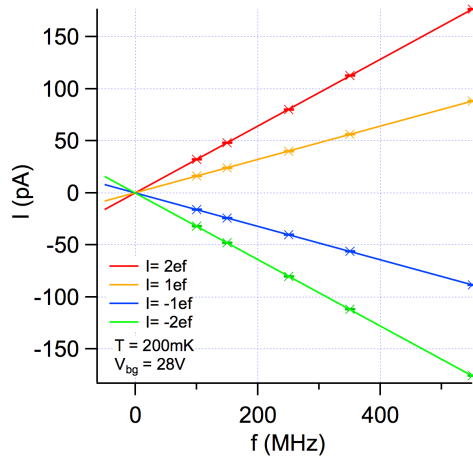


FIGURE 4.25 – Graphique du courant I_{ds} pompé en fonction de la fréquence f pour des cadences de pompages égales à $2ef$, $1ef$, $-1ef$ et $-2ef$. Le courant est proportionnel à $I = ef$. La barre d'erreur sur les points est très petite et correspond à la valeur de l'incertitude mesurée 7×10^{-3} .

de sensibilité sur la mesure est limité par le bruit de notre amplificateur/convertisseur. En réalité R_{OFF} peut être évaluée dans l'ordre de grandeur de $10^{12}\Omega$. Ce rapport de résistances $R_{ON}/R_{OFF} = \frac{10^5\Omega}{10^9\Omega}$, montre qu'il est théoriquement possible d'avoir une incertitude sur le courant pompé de 10^{-4} .

4.3 La pompe réalisée par lithographie DUV

Durant les années de travail de ma thèse, j'ai eu la possibilité de tester les tous premiers échantillons fabriqués par lithographie deep UV. La difficulté liée à ces dispositifs, réside essentiellement dans les dimensions minimales qu'il est possible d'atteindre. En effet, sur les échantillons fabriqués par e-beam l'espacement des grilles était de l'ordre de 50 nm contrairement à ces nouveaux échantillons où cette distance passe à 170 nm (voir fig.4.26). Néanmoins, cette distance s'abaissera prochainement à 110 nm. La question qui se pose est la suivante : comment réduire la taille de l'îlot métallique sans nécessairement utiliser un procédé de fabrication avec un pitch très petit comme avec la lithographie e-beam ? Cette question trouve réponse dans la dimension des espaceurs. Les espaceurs sont déposés autour des grilles. Leur fonction est de couvrir le nanofil pour le protéger des étapes de dopage et silicuration qui viendront après, ainsi que de protéger la zone sous les grilles de la diffusion de dopants. Usuellement, la dimension de ces espaceurs se situe vers 10 nm. Or, sur l'échantillon qui est mesuré, cette longueur passe à 40 nm. La zone de canal entre les grilles, non recouverte pour être épitaxiée et dopée, se rétrécit à $<100\text{nm}$. Sur le schéma 4.26 on peut mieux apprécier le rapport entre un espacement de grille de 50 nm obtenu par lithographie e-beam et les 170 nm obtenu par DUV. Dans cette configuration, on comprend que les espaceurs sont les éléments qui permettront, dans notre cas, de réduire la taille de

4.3 La pompe réalisée par lithographie DUV

l'îlot central. Toutefois, il faut trouver le bon compromis dans cette longueur car le courant I_{ON} diminue en fonction de l'augmentation de la longueur des espaceurs. Avec ces nouvelles

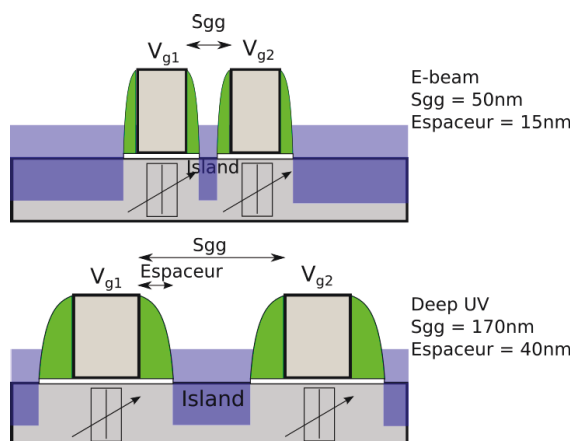


FIGURE 4.26 – Coupe schématique de deux dispositifs fabriqués par e-beam (schéma du haut) et par lithographie Deep UV (schéma du bas). La représentation des espacements dans l'axe horizontal est à l'échelle.

dimensions, nous allons tester le dispositif et vérifier que l'énergie de charge de l'îlot central est suffisamment élevée pour permettre son utilisation en tant que pompe à électrons vers 1 K.

Description du dispositif

Nous allons présenter le dispositif M004_5 (voir fig.4.27) issu du lot AAE002. Cet échantillon provient de la plaque 3 puce 74 et est intégralement réalisé par lithographie Deep UV. Les dimensions intrinsèques du dispositif sont présentées dans le tableau 4.2.

	W (nm)	L (nm)	S _{gg} (nm)	tsi (nm)
M004_5	80	80	170	8
	Espaceur (nm)	Type dopage	Dopant	Concentration
	40	-	-	-

TABLE 4.2 – Récapitulatif des dimensions associées à l'échantillon mesuré.

La plaque sur laquelle le dispositif a été construite a fait l'objet d'autres opérations qui sont mentionnées dans la liste suivante :

- Une épitaxie de silicium de 18 nm.
- Pas de dopage LDD, mais un seul dopage HDD standard.
- Il y a silicuration du drain et de la source.

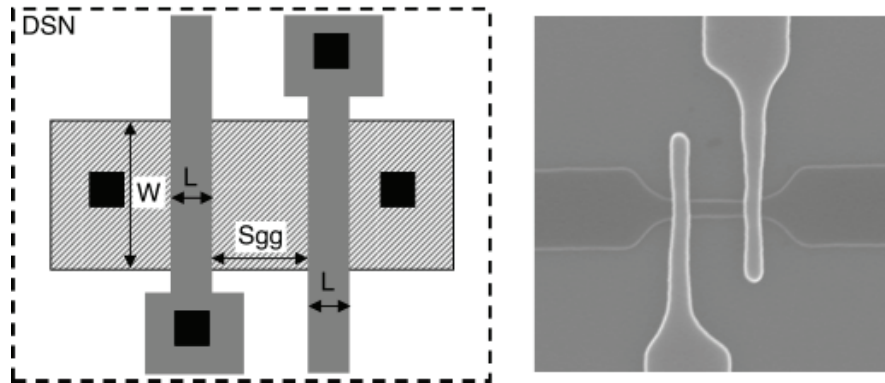


FIGURE 4.27 – **A gauche** Schéma de fabrication du dispositif. Les dimensions liées au dispositif sont répertoriées dans le tableau 4.2. **A droite** Image SEM d'un dispositif M004_5 avec des largeurs d'espaceurs de 40 nm. Image obtenue à la PTA par F. Lefloch.

- Le diélectrique est une couche de 0.8 nm de SiO_2 et un "high-K"² dont son épaisseur vaut 2 nm, qui équivaut à environ 0.4 nm de SiO_2 . Cette composition est l'oxyde de grille.

Comme introduit précédemment, la longueur des espaceurs (40 nm) fait la particularité de ce split technologique. L'îlot est donc considérablement réduit compte tenu de l'espaceur des grilles $170 - 80 = 90$ nm. Sur la coupe TEM (fig.4.28) d'un dispositif à espaceurs longs, on peut voir la proportion de canal qui est recouverte par les espaceurs. Si l'on observe attentivement (encadré fig.4.28), on voit, par des lignes verticales, que le dépôt des espaceurs se fait en trois étapes. Suivant la même approche que pour l'échantillon e-beam, on peut estimer grossièrement la capacité de grille à 26.5 aF.

Caractéristiques électrostatiques

Caractéristiques à 300 K

Les premières mesures à température ambiante (voir fig.4.29) montrent un dispositif avec une résistance de 110 k Ω à tension de substrat de 0 V. Ce résultat n'est pas surprenant, si l'on considère qu'une épaisseur importante des espaceurs évite la diffusion de dopants dans le canal, augmentant ainsi la résistance d'accès du dispositif[71]. Par ailleurs, l'épaisseur de la couche de silicium est cette fois-ci beaucoup plus petite (8 nm) que l'échantillon e-beam (20 nm).

La pente sous seuil est de 70 mV/décade, qui est une bonne pente sachant qu'une pente idéale vaut 60 mV/décade à température ambiante. Cette excellente pente est en grande partie liée à l'épaisseur de silicium et aux grands espaceurs, qui permettent d'avoir un très bon contrôle électrostatique du dispositif. En comparaison avec le précédent dispositif, dont l'épaisseur de silicium valait 20 nm, la pente sous seuil ne descendait pas en dessous de 80 mV/décade. Les courbes caractéristiques pour chacune des grilles, sont très semblables,

2. Le High-K employé est du $HfSiON$ ($\epsilon_r \approx 14$). Il est 5 fois moins bon isolant que le SiO_2 ($\epsilon_r = 3.9$).

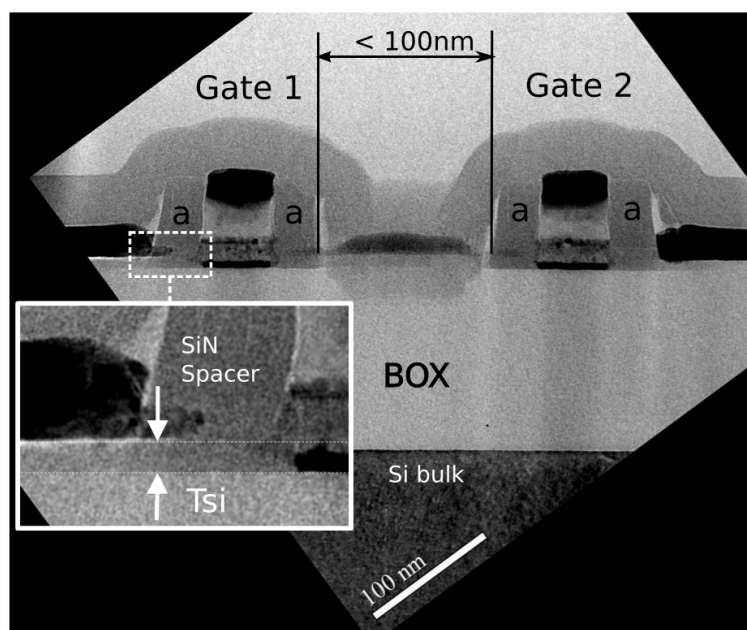
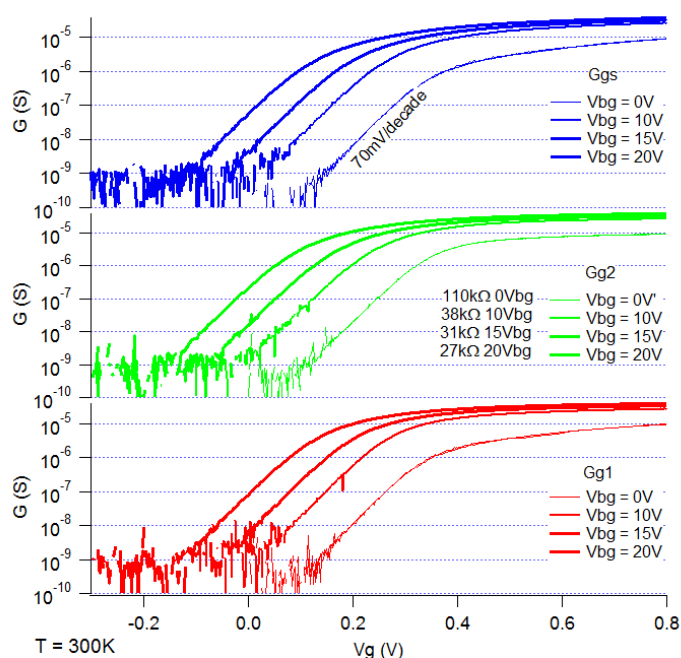


FIGURE 4.28 – Coupe TEM d’un dispositif M004_5 à espaceurs longs. Les éléments annotés de la lettre "a" sont les espaceurs de 40 nm de largeur. L’îlot métallique est considérablement réduit à une largeur inférieure à 100 nm. L’encadré est un agrandissement de l’interface grille/espaceur avec la couche de silicium dont l’épaisseur t_{Si} vaut 8 nm. La coupe présentée n’est pas réalisée sur le canal, elle est décalée. On le voit, car il n’y a pas de connexion entre le drain et la source de chaque transistor.

FIGURE 4.29 – Courbes caractéristiques I_{ds} en fonction de V_g à 300 K pour des tensions de substrat V_{bg} de +20, +15, +10, 0 V. La grille 1 en rouge, la grille 2 en vert et en bleu les grilles 1 et 2 superposées. La pente sous le seuil vaut 70 mV/décade et la résistance du dispositif vaut 110 k Ω à une tension de substrat de 0 V, elle passe à 27 k Ω pour $V_{bg}=+20$ V.



ce qui montre la constance dans le processus de fabrication. Les mesures avec une tension de substrat de +10 à +20 V, montrent que la résistance du dispositif diminue jusqu'à atteindre une valeur quatre fois moins élevée comparée à $V_{bg}=0$. Avec ces mesures on peut également calculer le rapport des capacités C_{Front}/C_{Back} . Avec les courbes de la figure 4.29, ce rapport vaut $86 \simeq T_{BOX}/T_{Ox}$. L'épaisseur de *BOX* vaut ~ 145 nm ainsi l'épaisseur d'oxyde vaut ~ 1.7 nm. Ce résultat est correct en comparaison avec les données du split technologique du wafer qui annonce une épaisseur d'oxyde "high-k" de 2 nm + 0.8 nm de SiO_2 .

Mesures à $T \leq 4$ K

Les mesures à basses températures, montrent un dispositif qui fonctionne comme un *FET* (voir fig.4.30). A souligner les effets de l'emploi de la backgate sur l'échantillon, par le biais de décalages des courbes de courant par rapport à la tension de grille appliquée et une légère augmentation du courant. On peut constater à 4.2 K que les résistances qui étaient proches du quantum de résistance sont restées dans le même ordre de grandeur soit 32 k Ω à +15 V et 23 k Ω à +20 V de tension de substrat, elles sont restées similaires à 1 K à partir de $V_{bg}=+20$ V. Toutefois, sans appliquer une tension de substrat, il n'est pas possible de mesurer un courant I_{ds} (voir fig.4.30droite).

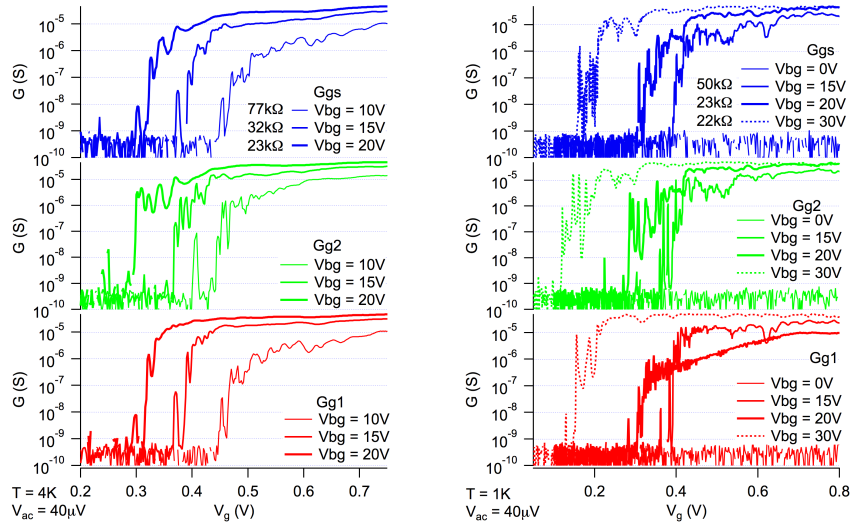


FIGURE 4.30 – Courbes caractéristiques I_{ds} en fonction de V_g à 4.2 K et 1 K. En bleu les courbes avec les deux grilles superposées, en vert seule la grille 2 et en rouge la grille 1. **A gauche** Courbes à 4.2 K. A $V_{bg}=0$ V aucun courant n'est mesuré car le dispositif est trop résistif (cette courbe n'est pas montrée). A $V_{bg}=+20$ V la résistance du dispositif reste dans l'ordre de grandeur du quantum de résistance (23 k Ω) et se stabilise autour de cette valeur. **A droite** Courbes à 1 K. A $V_{bg}=0$ V le courant I_{ds} n'est non plus pas mesurable. A partir de $V_{bg}=+20$ V, la conductance est à nouveau caractéristique de la résistance d'accès du dispositif proche du quantum de résistance.

Pour comprendre ce comportement, il faut distinguer deux cas :

Lorsque $V_{bg} = 0$:

Dans la conception de l'échantillon, l'épaisseur très faible de t_{Si} a pour effet de réduire la taille de l'îlot pour en augmenter son énergie de charge. Si à cela on ajoute des espaceurs longs, la résistance du dispositif à froid augmente considérablement[81]. A un régime de fort V_g , le transport est dominé par les zones des espaceurs qui finalement agissent comme des capacités entre l'îlot central et le réservoir d'électrons, dépassé une certaine longueur[82]. La conductance du canal varie alors selon l'équation 4.5 où L est la longueur de l'espaceur, ξ la longueur de localisation qui caractérise la transparence du diélectrique ou son désordre et g la conductance du canal.

$$\langle \ln g \rangle = -\frac{2L}{\xi} + \ln g_0 \quad (4.5)$$

Pour que ce modèle soit valide il faut que $\xi \ll L$. Ainsi $\xi = 3.3 \text{ nm}$ est de l'ordre du rayon de Bohr et, avec les valeurs issues de notre dispositif, $\langle \ln g \rangle = -24 + \ln g_0$. Avec ce calcul on en déduit que la zone sous l'espaceur ne conduit plus, en accord avec l'expérience.

Lorsque $V_{bg} \neq 0$:

Les espaceurs longs ont pour effet d'augmenter les barrières des transistors. Néanmoins, on constate qu'au dessus du seuil et à tension de grilles élevées, la résistance du dispositif se situe proche de $R_K \approx 26 \text{ k}\Omega$ et qu'elle est même un peu plus faible qu'à température ambiante. Par ailleurs à 1 K celle-ci est encore un peu plus faible. Cette dernière observation n'est pas compatible avec le régime d'activation thermique (relation 4.6) qui décrit une tendance inverse. A fort V_g on peut considérer que les barrières sous les espaceurs (de hauteur en énergie E_b) sont complètement abaissées et permettent le passage des électrons par co-tunneling, ainsi le seul élément qui reste mesurable est la résistance d'accès du dispositif qui est déterminée par les géométries de notre échantillon.

$$G \propto \exp\left(-\frac{E_b}{k_B T}\right) \quad (4.6)$$

On conclut que la conception du dispositif est correctement faite car la résistance d'accès est très proche du quantum de résistance et donc peut permettre le blocage de Coulomb. Pour l'application voulue ce paramètre est respecté. Toutefois sans l'utilisation de la back-gate, la longueur des espaceurs et l'épaisseur de t_{Si} sont les points qui sont problématiques car la résistance sous l'espaceur devient trop importante et ne permet plus de mesurer un courant.

L'expérience de la pompe à électrons avec un dispositif DUV

Un gros îlot couplé aux grilles

Pour réellement connaître les aptitudes du dispositif à fonctionner comme une pompe, les cartographies dans le plan des grilles deviennent indispensables. La figure 4.31 montre les premiers essais.

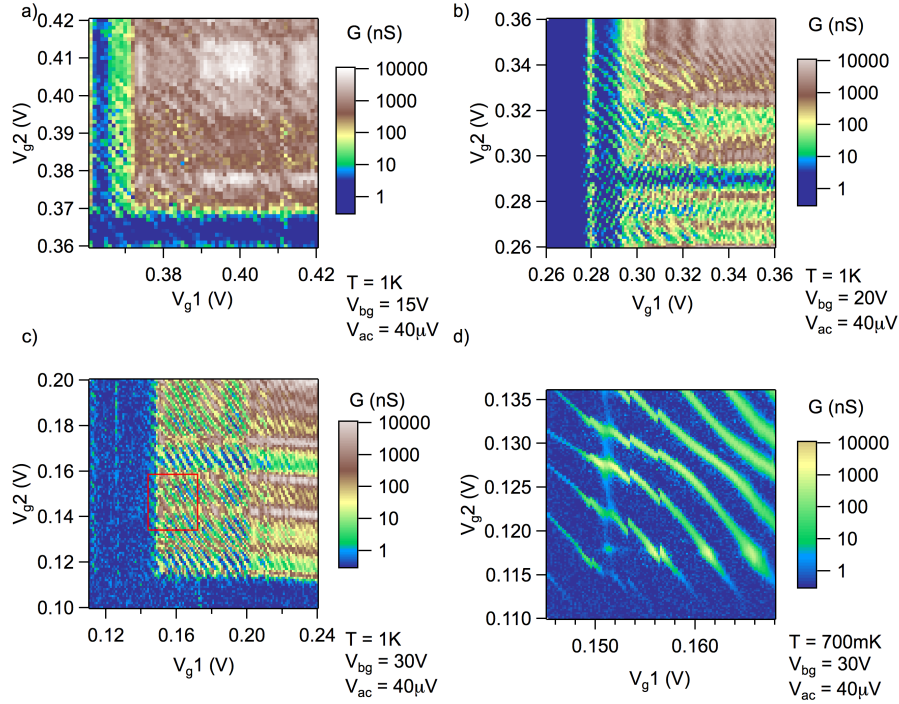


FIGURE 4.31 – Mesures de courant I_{ds} dans le plan des tensions de grilles V_{g1} et V_{g1} à une température de 1 K et pour différentes tensions de substrat. **a)** Carte à $V_{bg} = +15$ V. **b)** $V_{bg} = +20$ V. **c)** $V_{bg} = +30$ V. **d)** agrandissement des premières diagonales du réseau à +30 V de tension de substrat. La variation de la conductance est supérieure à un ordre de grandeur.

On peut facilement voir qu'à $V_{bg} = +15$ V, des diagonales faiblement contrastées se dessinent. Mais le dispositif entre vite dans un régime passant (fig.4.31b). A +20 V, on retrouve à nouveau et légèrement plus marqué le motif de diagonales, mais des îlots parasites sous les grilles 1 et 2 ne permettent pas d'avoir un réseau régulier sans défaut (fig.4.31b). En revanche à +30 V, les îlots parasites précédemment observés sous les grilles ont été court-circuités et ont laissé place à un seul îlot central (fig.4.31c). Un agrandissement des premières diagonales montre que le contraste de courant est supérieur à un ordre de grandeur (voir fig.4.32) et qu'un très léger couplage avec l'îlot sous la grille 1 subsiste (fig.4.31d). Ces mesures montrent qu'il est possible d'obtenir un îlot couplé à deux grilles dans un dispositif dont l'espacement entre grilles est relativement important.

Les mesures électrostatiques ont montré que nous avons un dispositif, qui à $V_{bg} = +30$ V, montrait des diagonales sans trop de défaut (voir fig.4.32). La variation du courant au travers du réseau de diagonales est importante (plus de 2 ordres de grandeurs), et la résistance du dispositif à fort V_g et à V_{bg} élevée est de l'ordre du quantum de résistance (voir fig.4.30 droite). Les capacités des grilles mesurées valent ~ 30 aF. Cette valeur est environ deux fois plus grande que celles mesurées avec l'échantillon e-beam (12 aF). Comparé aux

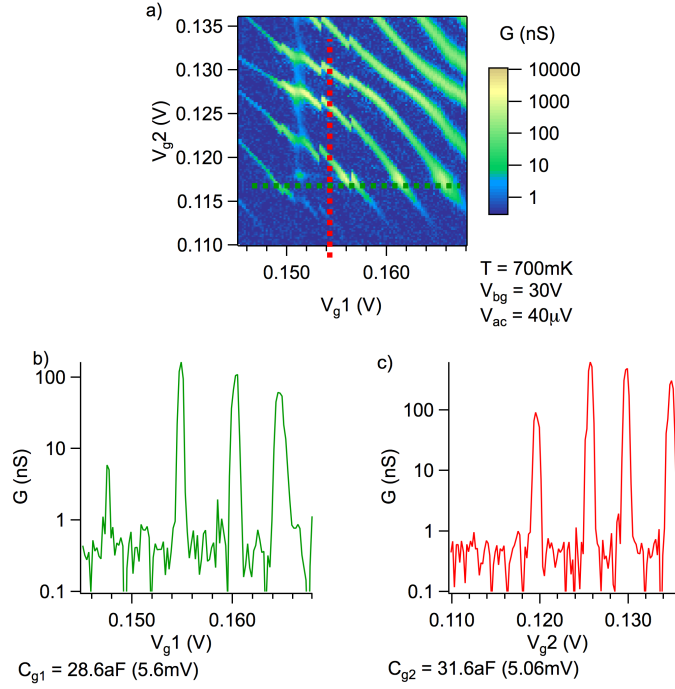


FIGURE 4.32 – **a)** Mesure de courant I_{ds} dans le plan des tensions de grilles V_{g1} et V_{g1} à une température de 1 K et à la tension de substrat de +30 V. **b)** Coupe de la figure a) le long de la ligne en trait discontinu verte. **c)** Coupe de la figure a) le long de la ligne discontinu rouge. Les pics de courant varient de deux ordres de grandeurs. Les tailles des capacités des grilles sont calculées et valent $C_{g1}=28.6\text{aF}$ et $C_{g2}=31.6\text{aF}$

dimensions de l'îlot de chacun des échantillons, le rapport des volumes est dans le même ordre de grandeur que le rapport des capacités des grilles. On peut ainsi par simple rapport volumique de l'îlot estimer la capacité de grille d'un dispositif. Les résultats présentés montrent que nous avons tous les ingrédients nécessaires pour potentiellement réaliser une pompe à électrons entièrement fabriquée par lithographie Deep UV. Il ne reste qu'à tester le dispositif dans la configuration de pompe à électrons, les résultats de ces mesures sont présentés dans les sous-sections suivantes.

Les premiers électrons pompés par un dispositif DUV

Il a été possible de définir les paramètres pour construire la fonction V_{diag} et avons procédé aux premières mesures de pompage. Ces mesures (voir. fig.4.33) sont réalisées à une fréquence de 300 MHz. Comme pour les échantillons réalisés par e-beam, nous obtenons pour différentes valeurs de déphasage, des courbes montrant des paliers à des niveaux de courants proportionnels à $I = ef$. Ces paliers sont situés à un nombre d'électrons de un ou deux par cycle. Toutefois, une direction de courant est privilégiée. Comme le montre la fig.4.33 le dispositif semble être moins efficace lorsque le flux de courant est positif. Cette

observation peut s'expliquer par des différences de conductance entre les canaux des grilles 1 et 2. En d'autres termes, il est plus facile de sortir de l'îlot en passant par le transistor 1 ou le transistor 2. Si l'on revient sur la carte 2D de la conductance (fig.4.32), on avait relevé que sous la grille 1 il y avait un îlot parasite. Tout comme l'îlot central ce dot parasite est aussi sensible à la tension des grilles. Sa contribution peut avoir pour effet de modifier la conductance d'une des barrières tunnel et de favoriser ainsi une direction.

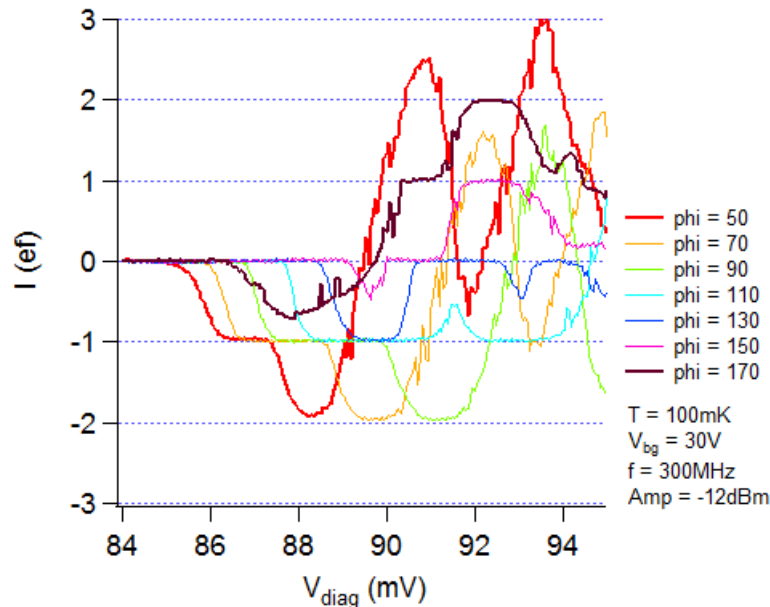


FIGURE 4.33 – Courant pompé adiabatiquement à 300 MHz pour des déphasages de 50° à 170° en fonction de V_{diag} . Nous avons des paliers qui se dessinent de $+2ef$ à $-2ef$. La gamme des déphasages est beaucoup plus large pour des valeurs négatives de ef ce qui révèle une direction de courant privilégiée dans le dispositif.

Des diamants de pompage

On peut comme avec le dispositif e-beam, tester le mode de pompage avec l'application d'un potentiel source/drain V_d . L'expérience est réalisée pour différents déphasages générant des niveaux de courant différents. Nous avons cartographié le courant pompé en fonction de la tension drain-source V_d et de V_{diag} . Ces mesures ont donné des résultats très différents (voir fig.4.34a,b,c). En effet, au lieu d'obtenir des diamants réguliers pour différents réglages de la pompe, il semble qu'une seule configuration soit plus favorable (voir fig.4.34 b) pour obtenir des diamants de même dimension.

Les figures 4.34 a et c, montrent dans un cas un seul diamant bien défini et dans le deuxième, deux tailles bien distinctes. Dans les deux configurations il n'y a jamais deux diamants identiques qui se suivent dans la direction de V_d . La figure 4.34d montre des coupes des figures 4.34 a,b,c pour une valeur de V_{diag} . On y distingue clairement, que seul

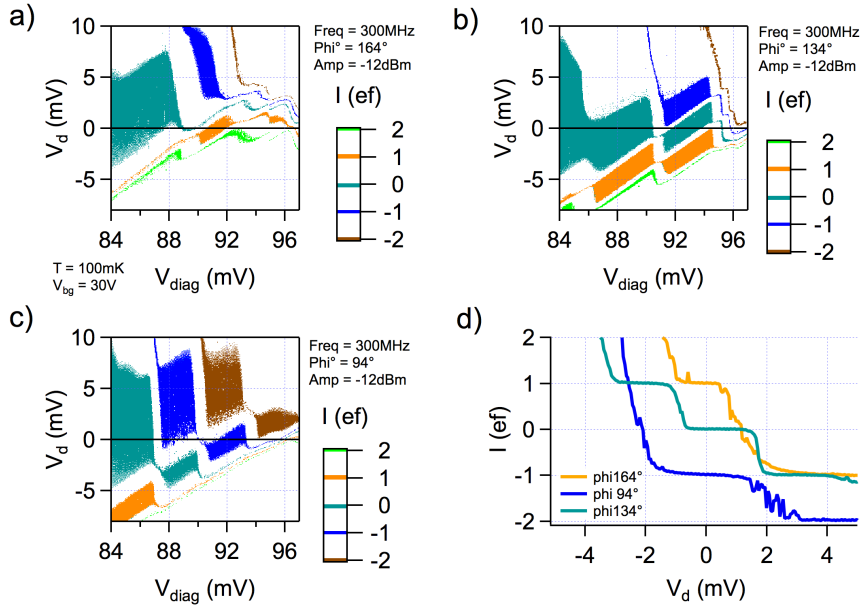


FIGURE 4.34 – Mesure des courants pompés dans le plan de V_d et V_{diag} pour des réglages de pompe équivalents à **a)** $1ef$, **b)** $0ef$, **c)** $-1ef$. **d)** Coupe des figures a), b) et c) à une valeur de V_{diag} similaire (~ 0.92 V). La hauteur des petits diamants des figures a), b), c) dans l'axe de V_d vaut ~ 1.6 mV équivalent à une capacité de 100 aF. Sur ces mêmes figures, a) et c) une seconde taille de diamants de ~ 7 mV (22 aF) sont visibles et sur b) un quasi diamant de hauteur ~ 3 mV (54 aF) apparaît. Les deux tailles de diamants de b) trouvent leur équivalent sur la mesure des diamants de Coulomb figure 4.35.

un réglage permet d'obtenir un escalier, dont la hauteur des marches équivaut à ef comme déjà illustré avec la pompe e-beam. Sur la figure 4.35 on peut estimer avec une bonne précision la valeur de la capacité de l'îlot central.

On distingue deux tailles de diamants une grande entre $V_{diag}=0.09$ et 0.1 V et une autre série plus petite qui est plutôt régulière. Dans la deuxième série, la hauteur des diamants n'est pas régulière et la région dans laquelle le pompage d'électrons est réalisée est hors sensibilité de notre mesure (ligne orange de la fig.4.35). La taille de ces diamants semble rester dans le même ordre de grandeur. Selon ces diamants de Coulomb ($V_{diag} \simeq 0.11$), la hauteur vaut ~ 1.5 mV qui équivaut à une capacité totale de $C_\Sigma \sim 106$ aF. La hauteur des diamants issus de l'expérience de pompage, figure 4.34b, vaut ~ 1.6 mV, équivalent à une capacité de 100 aF. Ces deux valeurs sont très similaires et l'on peut en déduire les capacités de la source C_s et du drain C_d . Si on les considère égales $C_s = C_d = 3aF$, ces valeurs sont en accord avec les pentes des diamants mesurées lors du pompage. Comme vu avec le précédent échantillon, une face de diamant presque verticale signifie que $C_d \ll C_g$ et une face très proche de 45° que $C_s \ll C_g$. Précédemment nous avons mesuré une capacité totale de ~ 27 aF pour l'échantillon réalisé par e-beam et ~ 106 aF pour l'échantillon DUV.

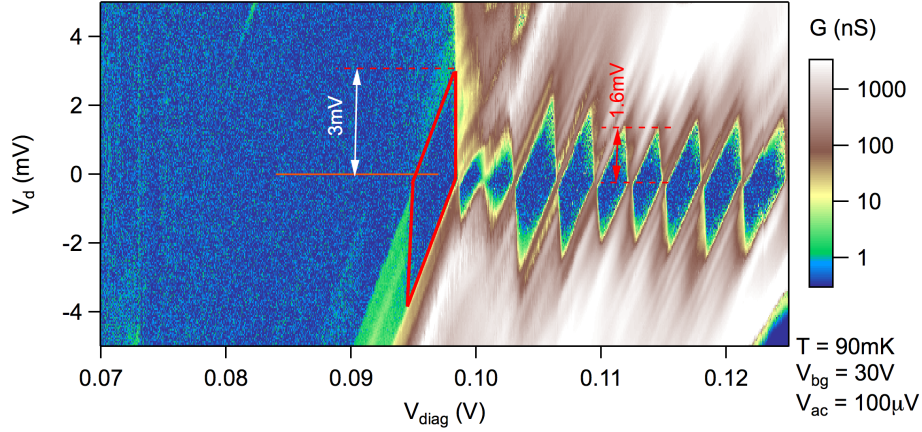


FIGURE 4.35 – Mesure des diamants de Coulomb dans l’axe de V_{diag} et V_d . La hauteur sur l’axe de V_d des petits diamants vaut ~ 1.6 mV équivalent à une capacité de 100 aF. La hauteur des grands diamants vaut ~ 3 mV (53.4 aF). Cette mesure caractérise l’îlot central. La plage de pompage sur l’axe de V_{diag} est marquée par le trait de couleur orange.

Le rapport de ces valeurs peut être comparé au rapport des surfaces des canaux (equ. 4.7).

$$\frac{C_{ilotDUV}}{C_{ilotE-BEAM}} \simeq \frac{S_{canalDUV}}{S_{canalE-BEAM}} \quad (4.7)$$

Les dimensions des canaux non couverts par les espaceurs sont, pour l’échantillon DUV égales à $L=90$, $W=80$, $T_{Si}=8$ nm, et pour celui e-beam $L=20$, $W=60$, $T_{Si}=20$ nm. Le rapport des surfaces des canaux vaut donc $3 \simeq \frac{S_{canalDUV}}{S_{canalE-BAM}}$ et le rapport des capacités

$3.9 \simeq \frac{C_{ilotDUV}}{C_{ilotE-BEAM}}$. Le résultat est dans l’ordre de grandeur. Le grand diamant mesuré sur la figure 4.35 a une hauteur de ~ 3 mV. Cette valeur est représentative d’une capacité totale de $C_{\Sigma} \sim 54$ aF. Cette énergie de charge est très proche de la hauteur de la zone de courant pompé visible en vert sur la figure 4.34b. On peut en déduire que dans le cycle de pompage l’îlot chargé est celui représenté par ce grand diamant. Sur les figures 4.34a,c, on peut observer des diamants qui ont des hauteurs encore plus importantes. Cette hauteur atteint ~ 7 mV. Ces diamants montrent que le cycle pompe avec un îlot encore plus petit (22 aF). Toutefois la mesure des diamants de Coulomb ne nous permet pas de voir un diamant avec une telle hauteur. Néanmoins, si l’on regarde attentivement, on devine que dans la zone hors sensibilité de la mesure des diamants de Coulomb, se prolonge certainement ce diamant.

Une vraie pompe à électrons adiabatique fabriquée par DUV

La fréquence maximale atteinte avec un tel échantillon n’a pas excédé 300 MHz. Toutefois, pour des fréquences inférieures, il a été possible de trouver des paramètres permettant

4.3 La pompe réalisée par lithographie DUV

de faire fonctionner la pompe en régime adiabatique avec différents nombres d'électrons pompés par cycle. Pour ces valeurs, il a été possible d'extraire le niveau de courant pompé en fonction de la fréquence (voir fig.4.36a). Il faut noter qu'il a été possible de linéariser la variation des déphasages ainsi que la variation des amplitudes à appliquer en fonction de la fréquence. Contrairement aux mesures faites avec la pompe e-beam, chacune des droites est issue d'une seule mesure où les trois paramètres sont variés en même temps (déphasage, amplitude et fréquence). Si l'on compare les incertitudes sur le courant pompé (voir fig.4.36b), le meilleur résultat est obtenu pour un courant pompé de $I = -ef$ avec une incertitude de 6.5×10^{-2} . Comme pour l'échantillon précédemment mesuré nous avons mis en évidence que le banc de mesure introduisait des erreurs non négligeables : qu'elles sont de l'ordre de 0.1% et qu'elles ne sont pas constantes dans le temps. Il faut ajouter que pour chaque fréquence un seul point est enregistré. On ne peut donc pas évaluer l'erreur de type A. On en déduit que la précision calculée reflète la précision du banc d'expérimentation.

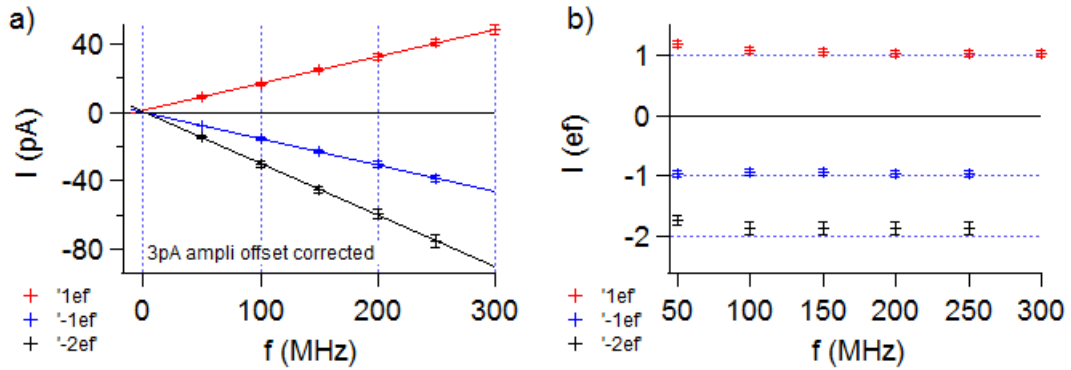


FIGURE 4.36 – **a)** Courbe des courants pompés adiabatiquement en fonction de la fréquence pour différents niveaux de courants pompés. Les mesures sont corrigées de l'offset de courant introduit par le convertisseur amplificateur de courant-tension. **b)** Graphique illustrant la précision du courant pompé adiabatiquement en fonction de la fréquence et pour plusieurs niveaux de courants. La meilleure incertitude de type A est obtenue à $-ef$ et vaut 6.5×10^{-2} .

Si l'on effectue une analyse similaire à l'échantillon fabriqué par e-beam, l'incertitude associée au transfert d'une charge sur l'îlot central peut se calculer par le rapport des résistances R_{ON}/R_{OFF} . Dans ce cas, la résistance du système à l'état ouvert vaut dans le moins bon des cas $R_{ON} = 10^6 \Omega$ et pour l'état fermé $R_{OFF} = 10^9 \Omega$. Tout comme pour le précédent échantillon mesuré, cette valeur est limitée par notre banc de mesure. Ainsi le rapport des résistances $R_{ON}/R_{OFF} = \frac{10^6 \Omega}{10^9 \Omega}$ nous donne l'incertitude possible avec cet échantillon, c'est à dire 10^{-3} sur le courant pompé.

4.4 Conclusion

Les études présentées au cours de ce chapitre ont montré qu'une pompe à électrons pouvait être réalisée en silicium. Qualitativement un dispositif en silicium peut-être aussi bon qu'une pompe en GaAs. En effet, en terme de rapidité les résultats sont très proches (900 MHz) et sont compétitifs avec ceux obtenus dans d'autres laboratoires. Toutefois il est difficile d'avoir un avis objectif sur la précision du courant pompé compte tenu que le cadre expérimental n'est pas adapté pour être utilisé pour des mesures de très grandes précision (incertitude $< 10^{-5}$). Les incertitudes de type B ne sont pas du tout contrôlées et pénalisent grandement notre mesure car elles peuvent introduire des erreurs de l'ordre de 0.1%. Néanmoins, nous avons atteint une incertitude de type A de 10^{-3} pour une mesure très classique et avons montré qu'avec un type de mesures plus adapté à réduire les erreurs liées au banc de mesure, il était possible d'atteindre des incertitudes de 10^{-4} . Nous avons démontré qu'il était possible de fabriquer une pompe à électrons avec des processus de fabrication à très grande échelle. Sans avoir recours à la lithographie électronique (e-beam), nous avons pu réaliser un dispositif qui a pu être utilisé en tant que pompe à électrons. Ceci a été possible par le biais d'espaceurs longs (40 nm), qui ont permis de créer un îlot métallique de dimensions suffisamment petites pour avoir une énergie de charge assez élevée pour permettre le pompage d'électrons. Bien que les résultats obtenus n'égalent pas ceux d'une pompe fabriquée par e-beam, il est le premier dispositif de cette classe qui a montré de la génération de courant quantifié. Ce dispositif pose les bases pour de futurs développements et améliorations. Ce résultat très important montre qu'il est possible de réaliser à grande échelle et avec des moyens de fabrication conventionnels des pompes à électrons en silicium, point que les autres variantes développées dans le domaine des pompes ne peuvent égaler.

Chapitre 5

Co-Intégration et couplage de CMOS et de SET dans un circuit

Sommaire

5.1	Principe de l'intégration	86
	Oscillateurs contrôlés en tension (VCO)	87
	Design du circuit	89
5.2	Mesures à basses températures	92
	Oscillateurs contrôlés en tension (VCO)	93
	Caractéristiques électrostatiques de la pompe à électrons	97
	Rectification de courant	99
5.3	Conclusion	101

L'évolution de l'information quantique est devenue un terrain très convoité par les scientifiques. Les développements ont permis en 2002 déjà de créer une puce sur laquelle quatre qubits cohabitaient. En 2011, une société canadienne lance sur le marché le premier ordinateur quantique composé de 128 qubits. A l'heure actuelle, une version plus avancée dotée de 512 qubits est disponible depuis 2013. Un ordinateur quantique est conçu avec : une partie processeur quantique, située dans un environnement cryogénique, et une partie électronique analogique, située proche du processeur dans un rack à température ambiante. Cette structure est analogue aux dispositifs étudiés dans le précédent chapitre, car nous pilotons une pompe à électrons placée dans le cryostat par de l'électronique à 300 K. L'évolution du nombre de qubits disponibles augmente au fil des années et par conséquent la gestion et traitement des signaux issus du processeur quantique deviendront de plus en plus complexes et nécessiteront à température ambiante des infrastructures électroniques toujours plus grandes. Aujourd'hui, avec le niveau technologique des processus de fabrication, il est courant de composer des circuits avec une multitudes de fonctions différentes à 300 K. Néanmoins peu de réalisations de circuits sont utilisées dans des environnements cryogéniques. Les plus courants sont des circuits dédiés à l'imagerie comme les cameras employées dans des télescopes spatiaux tel que Hubble. Dans cet esprit, nous avons imaginé de créer un banc d'expérimentation de pompe à électrons confiné sur une puce électronique. Une telle réalisation regroupe ainsi l'électronique nécessaire au pilotage ainsi que la pompe. Ce projet unique ouvre la voie à la fabrication à grande échelle d'un appareil composé de FET et SET tout en bénéficiant de la constance et la qualité des procédés de fabrication actuels et permet de valider la faisabilité de réaliser et d'exploiter à températures cryogéniques des circuits très élaborés. Dans les sections suivantes, nous décrirons comment cette idée est concrètement réalisée et présenterons les résultats obtenus

5.1 Principe de l'intégration

L'idée de la co-intégration réside dans la combinaison de deux gammes de transistors dans un circuit, les *SET* pour le blocage de Coulomb et les *FET* pour la logique CMOS. Par ailleurs, si l'on se base sur des technologies silicium, il est plus aisé de créer des réseaux de transistors car leurs processus de fabrication sont très bien établis et connus. Par le passé, cette idée de coupler des transistors a déjà suscité de l'intérêt pour la réalisation de circuits élémentaires[83][84][85] ainsi que des travaux d'analyses théoriques [86][87]. En collaboration avec l'équipe de A. Valentian du LETI-DACLE, pour la conception et réalisation de nos circuits [88], nous avons exploité la technicité d'installations de production destinées à des wafers de 300 mm. Une chaîne de production de ce niveau nous permet de réaliser des circuits et nous garantit une qualité d'exécution très élevée. Pour la fabrication d'un *SET*, l'approche la plus conventionnelle est celle de la réduction des tailles du dispositif[85][89]. En effet, la largeur de canal d'un transistor *FET* est de l'ordre du μm et lorsque nous parlons d'un *SET*, cette dimension passe à la dizaine de *nm*. La figure 5.1 montre le comportement d'un FET et d'un SET à froid. Suivant cette approche, le circuit fabriqué est : un circuit oscillant contrôlé en tension (VCO) composé de *FET* couplé à un

dispositif composé de deux *SET* en série. Sur la même puce nous avons ainsi un dispositif nanoscopique et un circuit oscillant. Les points clés de cette approche résident essentiellement dans la proximité du circuit oscillant et du dispositif quantique. Cet aspect nous affranchit des pertes au travers des lignes coaxiales d'un cadre expérimental traditionnel. L'utilisation d'un circuit oscillant contrôlé en tension nous permet de varier la fréquence d'oscillation par le biais d'une tension *DC*. Cette expérience est réalisée à froid car nous souhaitons utiliser des *SET* pour leur blocage de Coulomb. Par ailleurs fabriquer des *SET* à froid[90][91][71] est très commun. Cette expérience pourrait également être réalisable à 300 K car nous savons également fabriquer des transistors qui montrent du blocage de Coulomb à température ambiante[63][92][93][85]. Cependant dans le contexte du traitement des qubits l'environnement cryogénique est incontournable.

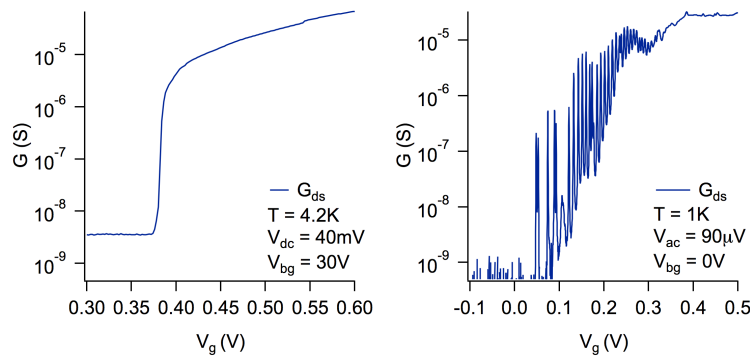


FIGURE 5.1 – **A gauche** La conductance drain source G_{ds} à 4.2 K en fonction de la tension de grille pour un dispositif FET dont la largeur de canal vaut 45 nm. Nous avons un très bon FET avec une pente sous le seuil de 2.4 mV/decade lorsque la tension de substrat vaut +30 V. **à droite** Conductance G_{ds} à 1 K d'un SET dont la largeur de canal vaut 60 nm. Des oscillations de Coulomb sont visibles.

Oscillateurs contrôlés en tension (VCO)

Un circuit oscillant contrôlé en tension est un arrangement de transistors qui a pour effet de générer une fonction oscillante dont la fréquence est contrôlée par une tension *DC*. Un tel circuit est standard et couramment utilisé pour des applications comme générateur de signaux, appareils audio ou télécommunication. Il est aussi utilisé pour caractériser la fréquence de commutation des transistors. La plupart de ces circuits sont destinés à être employés à température ambiante et peuvent osciller jusqu'à des fréquences très élevées (8.5 GHz[94]). Bien que destiné et développé pour des applications à températures ambiantes, des études à températures cryogéniques[95][96] ont toutefois montré qu'un circuit de cette nature pouvait fonctionner dans un environnement cryogénique. La structure d'un circuit VCO est une succession d'inverseurs logiques (voir figure 5.2a), dont chaque étage d'inverseur change l'état de sortie du signal et insère un délai temporel qui est le reflet du temps de commutation des transistors d'un étage. Un inverseur est un montage électrique

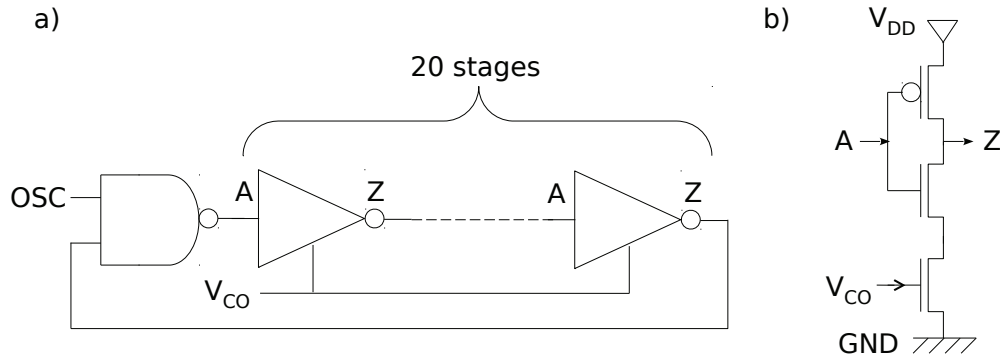


FIGURE 5.2 – a) Schéma logique d'un oscillateur contrôlé en tension. De gauche à droite, nous avons une porte *NAND* qui contrôle l'activation du circuit et vingt étages de portes *NOT*. Chaque porte *NOT* commute l'état du signal d'entrée *A* vers la sortie *Z*. b) Schéma logique d'un étage de circuit oscillant contrôlé en tension. Nous avons un étage d'inverseur avec un transistor de régulation monté en "footer". De haut en bas nous avons un transistor PMOS et deux transistors NMOS. La tension V_{CO} contrôle le transistor NMOS monté en "footer" qui régule le courant d'alimentation dans l'étage de l'inverseur. Le signal de sortie d'un circuit VCO est un signal carré dont l'amplitude est égale à la différence de potentiel entre l'alimentation des inverseurs et la masse. Figure extraite de [88].

simple composé par deux transistors, un NMOS et un PMOS voir fig.5.2b. L'alimentation électrique de l'étage de l'inverseur se fait au collecteur du transistor PMOS et à sa suite on trouve un NMOS dont l'émetteur est relié à la masse (GND). Le signal de sortie est prélevé entre les deux transistors. Le contrôle de la fréquence d'oscillation se fait par le biais d'un transistor NMOS monté en "footer", qui régule le courant d'alimentation de chacun des étages d'inverseurs, voir fig.5.2b. Cette régulation a pour principe fondamental de changer le délai de commutation des transistors en fonction de la charge de courant dans l'inverseur. La fréquence d'oscillations d'un circuit oscillant varie selon l'équation 5.1, où I_{ctrl} est le courant dans le transistor NMOS positionné en "footer", contrôlé par la tension V_{CO} . N est le nombre d'étages d'inverseurs, C_g est la capacité du drain, de la source de l'étage inverseur et de la sortie de l'inverseur, V_{dd} représentant l'amplitude totale et absolue de la chute de tension entre l'alimentation de l'inverseur et la masse du circuit.

$$f_{osc} = \frac{I_{ctrl}}{2NV_{dd}C_g} \quad (5.1)$$

Techniquement un VCO est construit comme sur la figure 5.3. Nous retrouvons les mêmes points décrits précédemment avec la description schématique, à savoir un transistor NMOS en "footer" reliant l'inverseur composé d'un NMOS et PMOS. Le contrôle de la fréquence se fait par le contact marqué *CO* et le signal oscillant par le contact marqué *A*. On remarquera que pour des motifs de conception, chaque transistor est doublé. On retrouve à chaque fois deux grilles pour chaque élément. Avec la technologie de fabrication

FDSOI pour la réalisation de FETs de grandes tailles, il est parfaitement possible d'avoir un "yield" de 100%.

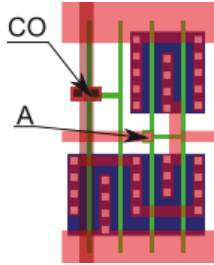
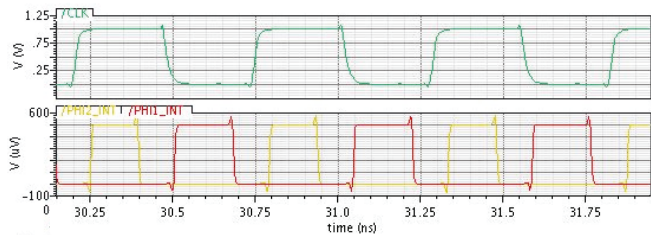


FIGURE 5.3 – Illustration d'un étage d'un VCO tel que construit sur nos lots : en rouge, les alimentations du circuit V_{dd} et GND . en bleu, les zones actives. Sur la droite, le bloc inverseur avec en haut le PMOS, en bas le NMOS et en bas à gauche le contrôle de la fréquence avec un second transistor NMOS. La longueur des grilles, représenté par la largeur des lignes verticales de couleur verte, vaut 60 nm. La largeur du canal vaut $1\ \mu\text{m}$ et est identifiable par la largeur du serpentin passant dans les zones bleues.

Dans la conception du circuit, la plage de fréquences d'oscillation simulées est de 300 kHz à 1.8 GHz à température ambiante et l'amplitude totale en sortie du circuit VCO est de 1 V. Ainsi chaque étage d'inverseur tarde à commuter entre 165 ns et 27 ps et comme trois transistors composent un étage, la fréquence de commutation de chacun des transistors peut être estimée et varie entre 18 Mhz à 111 GHz.

FIGURE 5.4 – Simulation à 300 K du signal envoyé sur les grilles. La courbe rouge représente la forme du signal envoyé sur la grille 1 et la courbe jaune celle du signal sur la grille 2. La courbe verte est le signal de sortie du circuit VCO. Le graphique du bas montre le non enchevêtrement des signaux envoyés sur les grilles.



Design du circuit

Le circuit fabriqué [88] est décrit par le schéma de principe 5.5. Il est composé d'un circuit oscillant contrôlé en tension (VCO) réalisé avec vingt étages d'inverseurs formant un circuit de "ring oscillator". Ce circuit oscillant est dessiné et simulé pour avoir une plage de fréquences allant de 300 kHz à 1.8 GHz à température ambiante. Un diviseur de fréquence, un buffer et un générateur d'horloge (clock generator) sont ajoutés pour assurer sa fonction et le contrôle du circuit. L'intégralité du circuit représente pas moins de 600 transistors.

Le circuit est destiné à envoyer à température cryogénique des signaux oscillants sur un dispositif mono-électronique *SET* dont le transport électrique est dominé par le blocage de Coulomb[71][70] ou par des dopants uniques[57]. Sur la puce, nous avons conçu trois circuits qui nous permettent d'envoyer une amplitude de signaux oscillants sur les grilles égale à 500 μV , 5 mV et 100 mV. Ces différentes amplitudes sont obtenues en changeant les valeurs

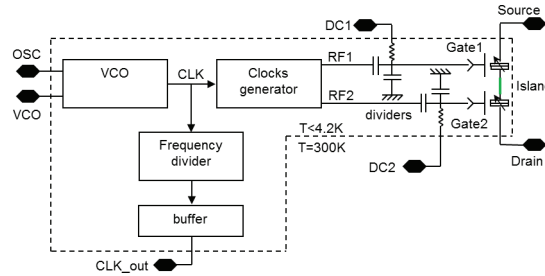


FIGURE 5.5 – Schéma électrique conçu au LETI-DACLE du circuit dans sa totalité et fabriqué sur des wafers de SOI de 300 mm. A droite, le nano-fil avec une section très petite montre à basse température deux barrières tunnel variables et un îlot de Coulomb en vert. Les canaux du circuit composés de CMOS ont des tailles de plusieurs microns. Dans notre circuit la largeur des canaux des CMOS vaut $1 \mu\text{m}$. Un circuit oscillant contrôlé en tension (VCO) alimente un générateur d’horloge (clock generator) également basé sur des circuits de ring oscillators. Une sortie passant par un diviseur de fréquence permet l’acquisition de la fréquence d’oscillation du circuit. Le générateur d’horloge délivre deux signaux retardés de façon à ne jamais se chevaucher. Ces signaux oscillants $RF1$ et $RF2$ sont ensuite atténués par un diviseur capacitif et une composante DC est ajoutée sur chacune des grilles ($DC1$, $DC2$) par le biais de résistances de polarisations, afin de se positionner sur le bon point de fonctionnement dans la carte 2D de la conductance du dispositif. Deux autres signaux, non représentés sur le schéma sont V_{dd} et GND qui sont l’alimentation électrique et la masse du circuit CMOS. Figure extraite de [88].

des capacités utilisées dans le diviseur capacitif¹. La séparation temporelle des signaux de grilles se fait au travers du générateur d’horloge. Il permet de n’avoir qu’une seule grille ouverte et retarde les signaux de 108 ps. Ce retard est possible au travers d’une succession de cinq buffers, qui sont des portes logiques renvoyant un signal égal à son entrée. Les résistances de fortes valeurs servant à polariser les grilles du dispositif mono-électronique sont réalisées dans la couche active silicurée, réalisée en alliage de NiPtSi. Cet alliage se comporte comme un métal a une très faible variation de sa résistivité en fonction de la température. Ainsi, une résistance surfacique de $15\text{-}20 \Omega$ à 300 K s’abaisse à $10\text{-}15 \Omega$ à 4 K. Basée sur ces connaissances, la conception des résistances est faite afin que leur résistance à froid soit de $1 \text{M}\Omega$ (voir tab.5.1).

Le circuit est connecté à l’environnement extérieur par le biais de onze plots de contacts par circuit. Ces contacts permettent de connecter :

- Le drain et la source du dispositif mono-électronique
- Les deux résistances de polarisation
- Le contrôle de la fréquence du VCO
- La commande de l’oscillation

1. Le design des capacités est réalisé en exploitant le couplage M1-M2 (couche métallique 1 et couche métallique 2). Le diélectrique entre ces 2 niveaux de métal étant un "low-k", la surface utilisée est importante pour réaliser une capacité de forte valeur, ce qui limite la valeur de la plus forte capacité à 2 pF.

5.1 Principe de l'intégration

- La sortie de fréquence
- L'alimentation du circuit
- Trois connections à la masse

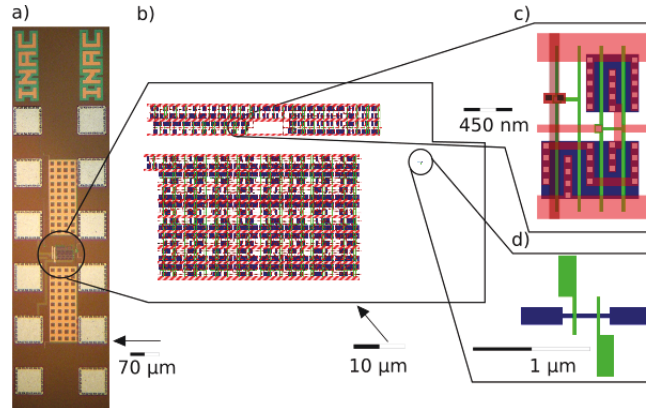


FIGURE 5.6 – **a)** Vue du circuit avec ses 12 plots de contact, tel qu’observable sur la puce. Les capacités sont visibles par des carrés non-remplis, situés en-dessus et en dessous du circuit au centre. Les résistances de polarisation ne sont pas visibles mais elles sont situées entre la première et la dernière rangée de plots de contact. **b)** Vue détaillée du circuit CMOS et du nanofil situé entre les plots de contact 3 et 4. La partie supérieure est le circuit VCO et le générateur d’horloge. La partie inférieure est le diviseur de fréquence. Ces deux parties du circuit sont composées par des transistors dont la largeur du canal vaut $1\mu\text{m}$ et la longueur des deux grilles 60 nm comme observable dans **c)**. **c)** Le niveau des grilles est marqué en vert, en rouge la source et le drain, la zone active étant représentée en bleu. **d)** Vue détaillée du dispositif mono-électronique (largeur du canal 25 nm avec des longueur de grilles de 40 nm). Figure extraite de [88].

Afin de vérifier expérimentalement les valeurs des résistances de polarisation et des capacités du diviseur, une zone de la puce a été réservée pour permettre la mesure de ces éléments. Les éléments présents ont été conçus pour avoir une résistance de $1\text{ M}\Omega$ et une capacité d’une valeur de 2 pF à 4.2 K . Les valeurs mesurées sont répertoriées dans le tableau 5.1 ci-dessous :

T (K)	R (M Ω)	C (pF)
300 K	2.1	2.6
77 K	1.3	2.5
4.2 K	1.2	2.26

TABLE 5.1 – Table des mesures à différentes températures de la résistance de polarisation et d’une capacité du circuit.

Nous avons bien obtenu à froid les valeurs qui ont été demandées à $+20\%$ pour les résistances et $+10\%$ pour les capacités. Pour ce qui est du résultat des résistances de

polarisation, la valeur mesurée n'influe en rien la mise en pratique de l'expérience. En revanche pour les capacités, comme le signal de sortie est divisé par un diviseur capacitif, le facteur de division est directement lié à la précision des capacités. Pour obtenir les différentes valeurs d'amplitude des signaux oscillants, sur le circuit des capacités de 1 fF, 5 fF, 10 fF, 100 fF et 1 pF sont fabriquées. Il n'est pas possible de mesurer les autres tailles capacités à part celle de 2 pF. Si l'on considère que l'erreur est constante sur toute les capacités, l'erreur doit diminuer si la taille de la capacité augmente. Dans ce cas de figure, on peut estimer l'erreur sur l'amplitude égale à l'erreur des capacités et donc estimer les amplitudes effectives à $550 \mu\text{V}$, 5.5 mV et 110 mV. Le circuit est composé d'un diviseur de fréquence qui nous permet de connaître la fréquence d'oscillation du circuit VCO à tout moment. Le facteur de division vaut 2^{16} donc 65536. Le signal en sortie du diviseur est remonté jusqu'à un appareil de mesure et sa fréquence d'oscillation varie dans une plage de 4.5 kHz à 27 kHz.

5.2 Mesures à basses températures

Avant de faire fonctionner le dispositif dans sa configuration finale, il faut dans une première étape s'assurer que les modules de circuits en amont du dispositif nanoscopique soient opérationnels à la température d'utilisation du circuit. Dans cette section, nous allons donc étudier le circuit oscillant et analyser son comportement dans les conditions de températures souhaitées, et étudier le dispositif nanoscopique, dans ce cas une pompe à électrons. Ci-dessous (fig.5.7) une image d'un circuit câblé et prêt à être étudié. Il n'en faut pas moins de onze fils y compris la backgate pour piloter et récupérer les informations du circuit. Cette phase de préparation demande une très bonne compréhension du circuit, du banc d'expérimentation et une bonne dextérité pour le câblage des plots de contact au porte échantillon.

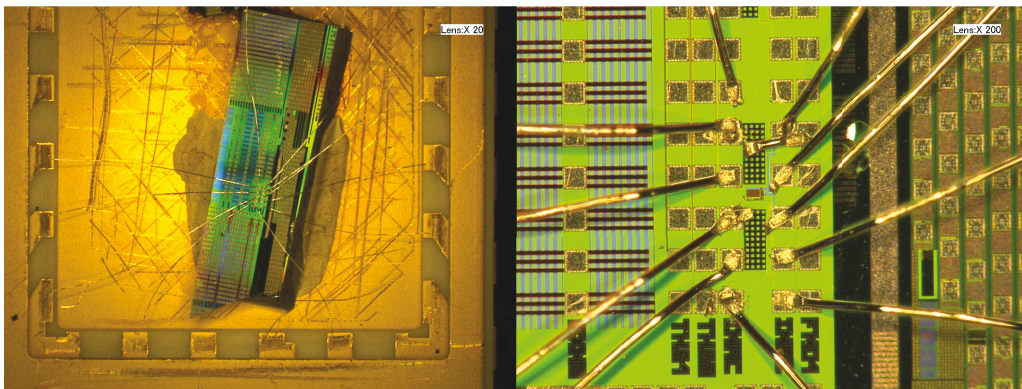


FIGURE 5.7 – **Gauche**) Vue d'un circuit câblé sur le porte échantillon. La mise en place de cette expérience nécessite de câbler onze plots de contact. **Droite**) vue de détail du circuit câblé. On y distingue : les capacités par deux réseaux de petits carrés et entre les réseaux de capacités, le circuit oscillant.

Oscillateurs contrôlés en tension (VCO)

Nous avons mesuré et caractérisé le fonctionnement du circuit VCO [88] en récupérant le signal issu du diviseur de fréquence. Nous avons successivement testé le circuit à température ambiante, dans l'azote et, finalement, dans un vase d'hélium liquide. Par ailleurs, différentes tensions de substrat ont été utilisées pour connaître le comportement d'un tel circuit dans ces conditions. Les premières mesures (voir fig.5.8) à 300 K montrent que la fréquence effective n'augmente pas jusqu'à la fréquence de 1.8 GHz comme estimée par la simulation² mais atteint une valeur de 1.3 GHz. D'autre part, la fréquence minimale du circuit à température ambiante est de 660 kHz ; or, la simulation prédisait celle-ci à 300 kHz. Ces résultats montrent que malgré quelques différences entre les prédictions de la simulation lors de la phase de conception et la réalité, le circuit CMOS montre qu'il est parfaitement opérationnel dans des conditions cryogéniques d'utilisation. Il faut toutefois mettre en évidence que les modèles de simulation n'intègrent pas le comportement des transistors à très basses températures, ce qui justifie les différences entre les résultats. Par ailleurs, on peut noter que le contrôle de la fréquence d'oscillation se fait sur une large plage de tensions qui atteint presque 0.5 V. A froid, les résultats montrent que la fréquence maximale reste pratiquement inchangée. En effet, entre la température de l'azote et l'hélium liquide, cette fréquence s'est abaissée à ~ 1.07 GHz. En revanche la fréquence minimale, elle, s'est réduite d'un ordre de grandeur, passant à des valeurs inférieures à 100 kHz.

Une autre observation notable est la réduction de la plage de contrôle du circuit par la tension de contrôle (VCO). En effet, elle s'est réduite à 0.35 V à 77 K et 0.2 V dans l'hélium liquide. Par ce constat, on en déduit qu'à basse température le circuit est plus difficilement réglable, car nous avons un moins bon contrôle de la fréquence d'oscillation.

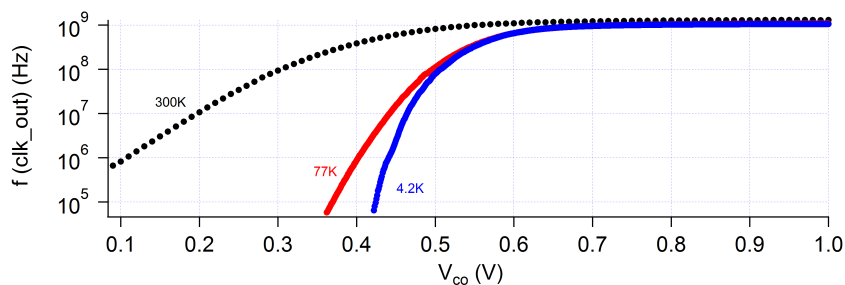


FIGURE 5.8 – Fréquence d'oscillation du circuit VCO à différentes températures à 0 V de tension de substrat. La fréquence d'oscillation varie de 660 MHz à 1.3 GHz, à température ambiante. La fréquence maximale s'abaissant à 1.07 GHz à 4 K. Figure extraite de [88].

Sur la figure 5.8, on remarque que la courbe de l'augmentation de la fréquence en fonction de la tension V_{CO} ressemble étrangement à une courbe caractéristique I_{ds} d'un transistor NMOS. Cette observation est confirmée par la compréhension du mécanisme de fonctionnement du circuit qui lie la fréquence à la tension de pilotage. En effet, la

2. La simulation du circuit est faite par le LETI dans la phase de conception du circuit.

fréquence d'oscillation d'un circuit VCO est proportionnelle au courant d'alimentation de l'inverseur[97][98] et suit la relation 5.1 page 88.

On comprend aisément que le courant d'alimentation I_{ctrl} de l'inverseur est contrôlé par le transistor NMOS placé en "footer". Par déduction, la courbe de fréquence est finalement similaire à celle que l'on pourrait avoir si l'on décidait de caractériser ce transistor de contrôle. Par ailleurs, l'évolution de cette courbe en fonction des températures reflète bien le comportement d'un transistor NMOS (voir fig.5.1 gauche, page 87). Des mesures à différentes tensions de substrat ont été faites pour connaître le comportement d'un circuit oscillant sous ces conditions. Les résultats obtenus (voir fig.5.9) montrent qu'il est possible de varier la fréquence maximale d'oscillation du circuit ainsi que la plage de contrôle en tension. En effet, la fréquence est directement liée au courant traversant le transistor de contrôle placé en "footer". Au chap.3.1 nous avons décrit l'effet d'une tension de substrat sur les caractéristiques d'un transistor et avons constaté que le courant pouvait augmenter de 20% selon les dimensions du canal et dans certaines conditions de tension de substrat. Par ailleurs, nous avons vu que le changement de la tension de substrat avait pour effet de décaler la tension de seuil. Avec la figure 5.9 il nous est possible d'extraire le rapport $C_{front}/C_{end} = \Delta V_{bg}/\Delta V_g$ comme la fréquence d'oscillations est proportionnelle au courant traversant le NMOS en "footer", dont la grille est modulée pas la tension V_{co} . Ainsi, ce rapport vaut 67 si l'on prend les valeurs entre les points *A* et *B* de la figure 5.9. Sachant que l'épaisseur T_{box} vaut 150 nm, l'épaisseur d'oxyde vaut alors 2.2 nm. Ce résultat est correct comparé au descriptif de fabrication des transistors. A froid, le circuit a montré sa limite de fonctionnement, lors de la phase d'étude, en dessous de la température de 1.07 K, plus aucune valeur de fréquence ne pouvaient être mesurée. Il faut souligner que divers métaux sont utilisés dans la composition des couches des dispositifs. Ainsi, un matériau ayant des propriétés résistives à température ambiante peut passer en phase supraconductrice à froid et peut perturber le fonctionnement global du circuit. La température relevée est très proche de la température de transition supraconductrice de l'aluminium qui est le métal utilisé pour la fabrication des plots de contact. Un autre composé métallique est utilisé : le TiN ($T_c=5.6$ K) qui est déposé sur l'oxyde de grille et qui vient connecter les grilles aux vias. Bien que nous savons que certains métaux deviennent supraconducteurs à froid, il n'est pas évident d'affirmer que la raison de cet perturbation soudaine soit liée à une transition supraconductrice. Une autre hypothèse plus probable serait que les FETs du circuit CMOS deviennent des SETs à la température de 1 K. Dans ce cas, il suffirait qu'un seul transistor devienne SET et cela stopperait l'oscillation de l'oscillateur en anneau. Malgré cette limite de température, le circuit peut servir dans sa configuration comme pompe à électrons. Une autre limite a été observée. Effectivement la plage de tension de substrat elle aussi est limitée. Nous avons étudié la fréquence du circuit de -17.5 à +17.5 V. Or, en observant la fig.5.9, on aperçoit que, dans ces deux extrêmes, la fréquence tombe à zéro. Cette observation ne compromet pas non plus le fonctionnement du circuit en tant que pompe à électrons, mais nous donne une indication sur la plage de fonctionnement du circuit oscillant.

La figure 5.11 montre le point le fonctionnement où l'effet de la tension de substrat

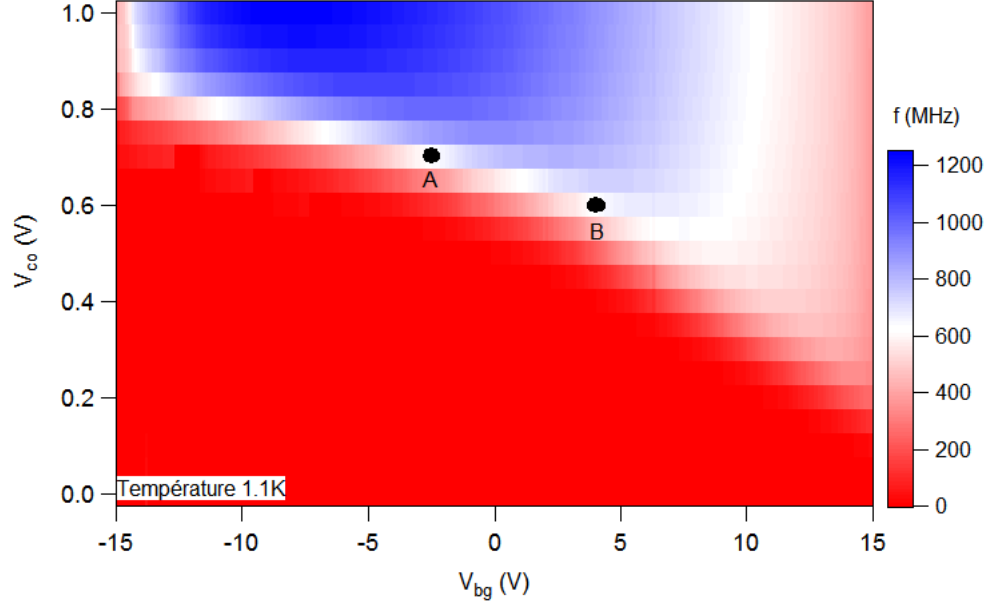


FIGURE 5.9 – Fréquence d’oscillations du circuit VCO sous différentes tensions de substrat. En ordonnée la tension de contrôle du circuit VCO et en abscisse la tension de substrat. La fréquence d’oscillations augmente de presque 20% (1.2 GHz) de 0 à -15 V de tension de substrat et 0 à +15 V la fréquence se réduit d’une valeur supérieure à 20% (700 MHz). La plage de contrôle de la fréquence entre de 0 à -15 V est réduite de moitié, en revanche, cette plage a doublé de 0 à +15 V. Entre les points *A* et *B* $\Delta V_{bg} = 6.7V$ et $\Delta V_{co} = 0.1V$. Ainsi le rapport C_{front}/C_{end} vaut 67, donc pour une épaisseur $T_{BOX} = 150$ nm, $T_{ox} = 2.2$ nm.

($\sim -8 V_{bg}$) sur l’inverseur est optimale pour obtenir la fréquence la plus importante. L’effet de la tension de substrat est uniforme sur les différents types de transistors. Il n’est alors pas possible d’ajuster pour chacun d’eux cette tension afin d’en tirer les performances optimales. Ainsi, ce point de fonctionnement reflète le meilleur compromis entre d’un côté l’amélioration des transistors de type P et la dégradation de ceux de type N. On peut expliquer ce résultat par de moins bonnes caractéristiques en terme de résistance d’accès des transistors de type P comparées à celles de ceux de type N.

Un circuit composé d’autant de transistors actifs en même temps, produit une certaine dissipation thermique. Selon les simulations à plein régime la puissance dissipée équivaut à 1 mW. La question qui se pose est : la température peut-elle rester stable en cours de fonctionnement ou pas ? Lors des mesures, seule une partie du mélange He_3He_4 avait été injecté, comme nous ne souhaitions pas travailler à des températures inférieures à 1.1 K. Dans ce cas, il s’est avéré qu’il y avait effectivement un échauffement du dispositif lorsqu’il était utilisé. Toutefois, cet échauffement n’a plus été observé une fois la totalité du

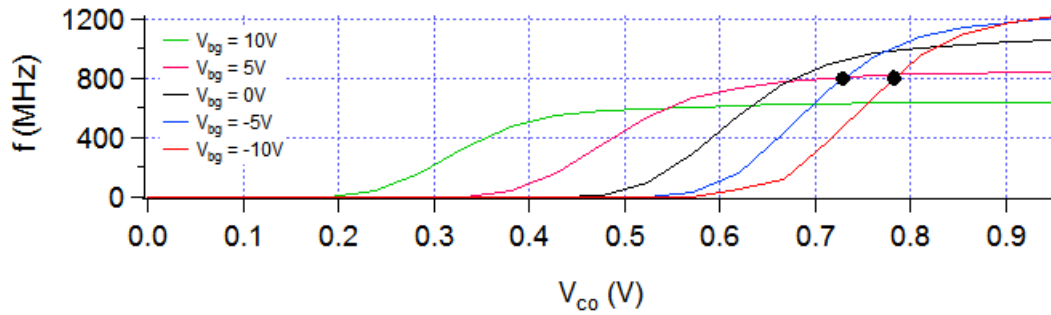


FIGURE 5.10 – Coupes de la fig.5.9 aux tensions de substrat de +10, +5, 0, -5 et -10 V. La backgate à un effet important sur le circuit oscillant. On peut noter que la fréquence s’abaisse, car le courant au travers du NMOS contrôlé par V_{co} augmente. La tension de seuil du NMOS se décale selon les explications du chapitre 3.1. On peut noter que la variation entre les courbes n’est pas homogène, car la tension de substrat n’agit pas de la même manière sur les transistors de type P ou de type N.

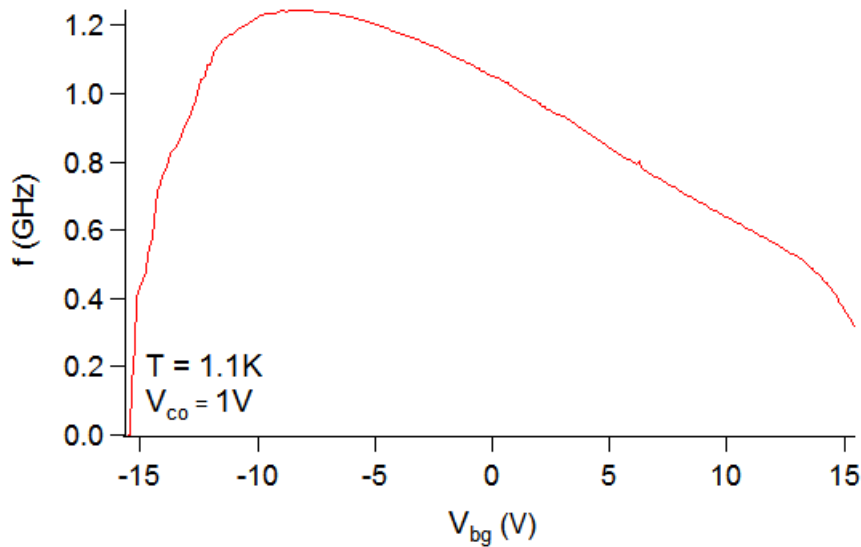


FIGURE 5.11 – Coupe de la fig.5.9 à la tension V_{co} maximale de 1 V à la température de 1.1 K. La variation de la tension de substrat V_{bg} fait varier la fréquence d’oscillations. On peut relever qu’à la tension de $V_{bg} \cong -8$ V la fréquence est la plus importante. C’est la tension de substrat qui permet le meilleur compromis pour améliorer les transistors de type P sans trop dégrader ceux de type N. Figure extraite de [88].

mélange injectée dans le circuit. Nous constatons alors que le circuit nécessite une certaine puissance de refroidissement, qui n’est malheureusement pas quantifiable. Toutefois la puissance maximale d’un ”petit” cryostat est suffisante pour maintenir la température du circuit à la valeur souhaitée.

Caractéristiques électrostatiques de la pompe à électrons

Nous avons étudié le dispositif nanoscopique à deux grilles. Cet échantillon provient de la puce X-1 Y 5 de la plaque 1 du lot AAD398 dont les spécificités sont :

- Épaisseur du nanofil de Silicium 11 nm.
- Épaisseur des espaceurs 12 nm.
- Silicuration du drain et de la source.
- Oxyde des grilles composées de ~ 0.8 nm de SiO_2 et ~ 2 nm de $HfSiON$.

les dimensions du dispositif nanoscopique (voir fig. 5.12) sont présentées dans le tableau 5.2.

	W (nm)	L (nm)	Sgg (nm)
Circuit $500\mu V$	25	40	170

TABLE 5.2 – Récapitulatif des dimensions associées à l'échantillon mesuré.

Comme pour les précédents échantillons présentés dans le chapitre précédent, nous avons

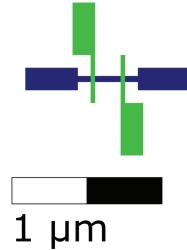


FIGURE 5.12 – Extrait du masque SNOW. Vue du dispositif utilisé comme pompe. Les grilles sont dessinées en vert et en bleu foncé les drain, source et canal. Ses dimensions sont répertoriées dans le tableau 5.2.

commencé par l'étude électrostatique du dispositif. Les courbes I_{ds} de ce dispositif à température ambiante n'ont pas été enregistrées car le but de l'expérience était de connaître quel allait être le couplage des grilles à 1 K. Nous avons ainsi étudié l'échantillon dans sa limite en tension de substrat (+15 V) car au-delà le circuit oscillant ne fonctionne plus comme présenté dans l'étude du circuit oscillant (chap.5.2). Les résultats de l'étude du courant drain-source I_{ds} à 1 K pour chacune des grilles à différentes tensions de substrat sont présentés dans la fig.5.13. On remarque qu'il n'y a qu'un seul îlot bien défini et qu'il se situe sous la grille 2. Sa taille vaut environ 54 aF. Comparé à la capacité géométrique de la grille estimée à ~ 165 aF, cette valeur est trois fois plus petite. Sans tension de substrat le dispositif est déjà suffisamment résistif (47 k Ω) pour permettre du blocage de Coulomb. En augmentant la tension du substrat à 12.5 V (voir fig.5.13b) on remarque que les courbes caractéristiques I_{ds} ne varient que de très peu. Le calcul du rapport C_{front}/C_{end} vaut 317,

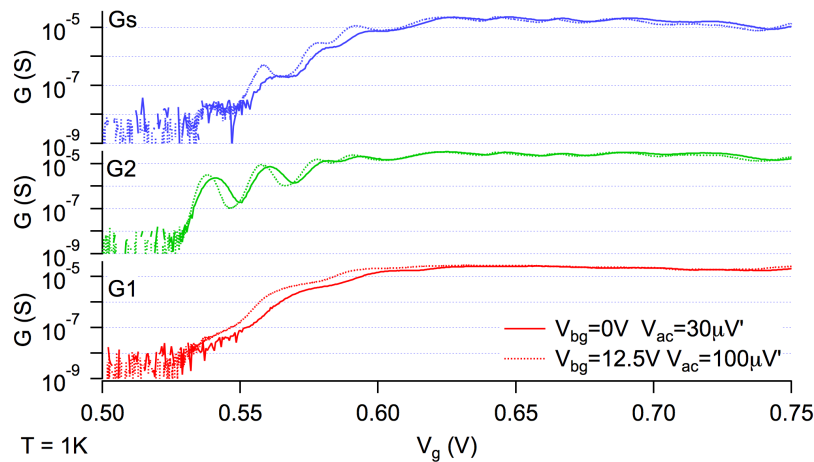


FIGURE 5.13 – Conductance G en fonction de la tension de grille V_g pour différentes valeurs de tension de substrat à une température de 1 K. En trait continu sont représentées les mesures à 0 V de tension de substrat V_{bg} et en pointillé celles réalisées à $V_{bg}=+12.5$ V. Les courbes rouges sont caractéristiques de la grille 1, les vertes de la grille 2 et les bleues des deux grilles superposées. La résistance du dispositif à saturation vaut environ 42 k Ω pour 0 V de tension de substrat et 27 k Ω à +12.5 V. Le rapport C_{front}/C_{end} vaut 317 et montre que la backgate n'a presque aucun effet sur le dispositif comparé aux FETs du circuit oscillant où ce rapport vaut 67.

or pour des dispositifs plus gros comme les FETs du circuit oscillant, ce rapport vaut 67. On en déduit que l'effet de la backgate sur le dispositif nanoscopique est très faible, ce qui est connu pour la section "trigate" qui a pour effet, pour les largeurs faibles, d'écranter le champ appliqué par la grille arrière. Cette faible dépendance avec la grille arrière est compatible avec la très petite largeur du canal du dispositif qui est selon le descriptif de fabrication de 25 nm. Bien que très peu sensible à la tension de substrat, on peut toutefois constater une légère diminution de la résistance du canal à saturation, passant à 27 k Ω lorsque $V_{bg}=+12.5$ V. Une carte de la conductance dans le plan des grilles a été réalisée (voir fig.5.14a). On retrouve la même configuration que pour les courbes de conductance (voir fig.5.13). En effet, nous avons toujours un îlot sous la grille 2. Par ailleurs, aucun couplage entre un îlot central et les grilles n'est observable. Ce résultat nous informe que la longueur du canal est trop importante pour permettre de créer un îlot dont la capacité serait de l'ordre de grandeur de la capacité mesurée sous la grille 2. On en déduit donc que, dans cette configuration, le circuit ne peut pas fonctionner comme la pompe à électrons décrite au chapitre 4. Une mesure sur un échantillon de dimensions similaires (M004_2, $W=40$ nm, $L=40$ nm, $S_{gg} = 170$ nm) provenant du même wafer a été effectuée à une température de 100 mK pour confirmer qu'il n'est pas possible d'avoir un couplage entre les grilles et un éventuel îlot central (voir fig.5.14b). La figure montre qu'il y a un très léger couplage avec un îlot central. Cependant, le contraste des diagonales reste très faible. En effet, la variation de la conductance n'excède pas plus d'un ordre de grandeur. Néanmoins,

un îlot central existe et est mesurable. On en déduit que potentiellement la dimension de la pompe du circuit peut exhiber un îlot métallique couplé aux grilles si elle est étudiée à 100 mK. Cependant le circuit nous impose une température minimale de fonctionnement de 1.1 K. Il nous faut donc un dispositif dont le split technologique nous permette d'avoir un îlot plus petit, comme par exemple avec l'utilisation d'espaceurs longs de 40 nm.

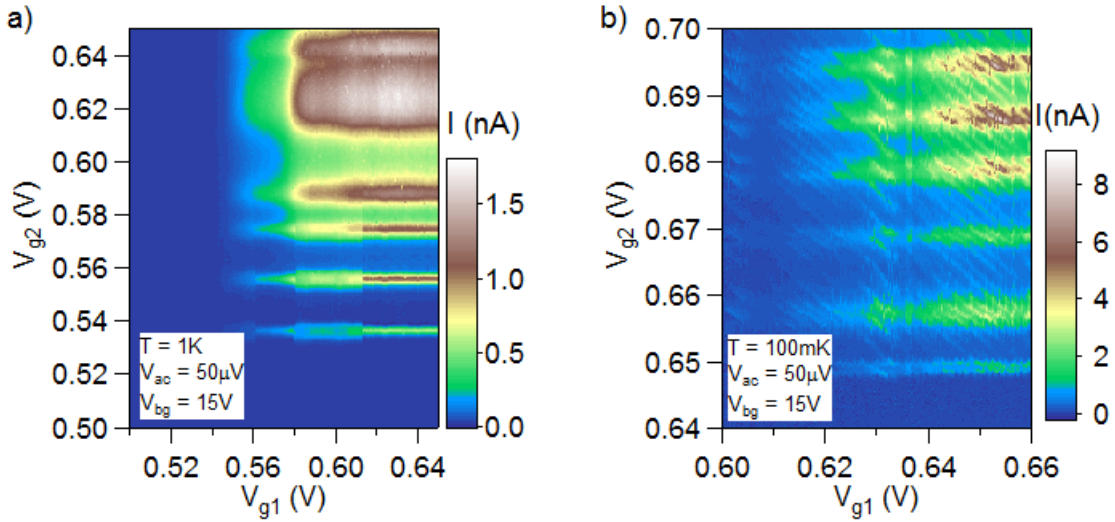


FIGURE 5.14 – Carte du courant I_{ds} dans le plan des tensions de grille V_{g1} , V_{g2} . **a)** Mesures à 1 K, à une tension de substrat de +15 V du dispositif quantique du circuit. Il n’y a pas de couplage des grilles avec un îlot central. Un îlot quantique sous la grille 2 oscille. **b)** Mesures à 100 mK, à une tension de substrat de +15 V d’un dispositif double grilles M004_2. On retrouve, sous la grille 2 les oscillations de Coulomb et un très léger couplage entre un îlot central et les deux grilles.

Rectification de courant

Le circuit [88] a été étudié et nous avons maintenant un aperçu global des spécificités électriques de l’ensemble des circuits qui sont nécessaires pour réaliser du pompage d’électrons. Précédemment, nous avons vu qu’il n’y avait pas d’îlot central couplé aux deux grilles. Ce point compromet l’utilisation du circuit pour son fonctionnement en tant que pompe. Il faut cependant s’assurer que le circuit oscillant contrôlé en tension et les circuits en aval, qui préparent les signaux, remplissent bien leurs fonctions et pilotent bien les grilles du dispositif ”quantique”. Dans ce but, nous avons alors mesuré le courant drain-source I_{ds} sans l’application d’une différence de potentiel drain-source V_d , dans la configuration pompe à électrons. Pour réaliser cette mesure, nous nous sommes basés sur les précédents résultats pour localiser les points de fonctionnement que l’on a souhaité étudier. Nous nous sommes intéressés aux oscillations de Coulomb sous la grille 2 (voir fig.5.15a) car la variation du courant est périodique. Les mesures ont donc été réalisées en appliquant une tension constante sur la grille 1 et en faisant varier la tension sur la grille 2, dans la plage

où se situent les oscillations. En appliquant une tension constante et supérieure à 0.5 V sur la grille 1 nous pouvons la considérer comme ouverte. Les réglages ainsi fait impliquent que notre dispositif doubles grilles soit finalement étudié comme un dispositif simple grille. Les mesures sont réalisées en activant le circuit oscillant et en variant sa fréquence par le biais de la tension de contrôle. Le résultat obtenu est visible sur la fig.5.15b.

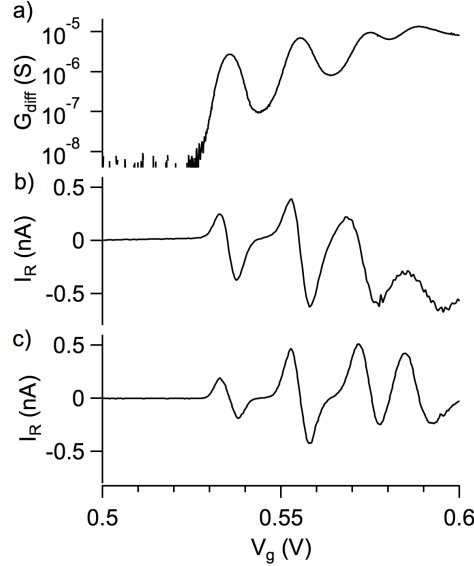


FIGURE 5.15 – **a)** Oscillations de Coulomb mesurées sous la grille 2 à 1.1 K avec une détection synchrone dont le signal V_{ac} est de $100\mu\text{V}$ à 77 Hz. **b)** Courant DC mesuré à $V_{ds}^{DC} = 0$ mais avec le circuit oscillant en fonctionnement dont l’amplitude vaut $500\mu\text{V}$ et sa fréquence 412 MHz. Les figures **a)** et **b)** sont obtenues à une tension de substrat de +17.5 V. **c)** Simulation numérique du courant à partir d’un modèle de rectification de courant. La simulation est très fidèle aux mesures expérimentales présentées en **b)**. Le courant est proportionnel à la dérivée de la transconductance : $I_R = \frac{\partial G_{diff}}{\partial V_g}$. Fig. extraite de [88].

Les résultats montrent qu’il y a effectivement un effet engendré par la composante oscillante sur la grille car nous mesurons un courant non nul et non constant. On remarque que ce courant dessine la dérivée de la courbe de conductance 5.15a. Un tel résultat est interprété par de la rectification de courant qui est un effet qui peut être décrit comme : en électronique, la rectification est utilisée pour redresser un courant oscillant. Dans les systèmes nanoscopiques, lorsque le signal mesuré est sous la forme d’un courant ou tension basse fréquence, des couplages parasites entre la grille soumise au signal oscillant et les réservoirs peuvent provoquer une contribution redressée au signal mesuré[99][100][101]. Dans certains cas, cette contribution peut même masquer le phénomène étudié comme le pompage d’électrons[101]. Plusieurs analyses de ce courant rectifié ont déjà été présentées. Pour n’en citer qu’une, Brouwer [101] suggère que ce phénomène provient d’un couplage

5.3 Conclusion

entre la grille et le réservoir d'électrons qui, sous l'action d'un signal RF, crée une différence de potentiel alternative et par la variation de la conductance, génère un courant continu. En se basant sur une approche théorique proposée par S. Giblin[102] nous avons simulé nos résultats expérimentaux. Le modèle employé par Giblin se base sur les travaux de Brouwer[101] qui expliquent que le résultat de ces couplages parasites entre les réservoirs et les grilles induisent un potentiel. Sur ce principe, la tension à travers l'échantillon peut être écrite selon la relation 5.2 où le résultat V_b est la tension effective dans l'échantillon, V_{b0} est la tension drain-source appliquée, k, ϕ des constantes d'ajustement, V_{ac} l'amplitude du signal oscillant sur la grille et f la fréquence d'oscillation du circuit.

$$V_b(t) = V_{b0} + kV_{ac}\sin(2\pi ft + \phi) \quad (5.2)$$

Le courant rectifié peut ensuite être écrit par la relation 5.3 fondée sur la loi d'Ohm. I_R est le courant rectifié et $G(t)$ la conductance du dispositif à l'instant t .

$$I_R = f \int_0^{1/f} V_b(t)G(t)dt \quad (5.3)$$

En développant encore cette relation, nous pouvons décomposer le courant par une somme incluant le courant rectifié issu du signal oscillant et celui que l'on obtiendrait en appliquant une tension V_d . Toutefois dans notre approche, nous n'appliquons pas de tension V_d , ainsi seule la contribution du signal oscillant est à prendre en considération. Le courant mesuré devrait varier selon la relation 5.4.

$$I_R = f \int_0^{1/f} kV_{ac}\sin(2\pi ft + \phi)(t)G(t)dt \quad (5.4)$$

Les résultats de simulation obtenus voir figure 5.15c, illustrent une grande fidélité par rapport aux résultats expérimentaux (fig. 5.15b) démontrant la justesse du modèle utilisé et le bon choix des valeurs des constantes d'ajustement ($k = 0.00002$, $\phi = 0.9$ rad). En effet, les trois premières oscillations sont quasiment identiques, vis à vis de la position en V_g ainsi qu'aux niveaux de courants calculés. Au delà de ces trois oscillations les résultats expérimentaux dévient du modèle numérique.

5.3 Conclusion

Nous avons testé un circuit [88], qui allie grandes et petites dimensions pour ainsi construire et faire cohabiter des *FET* et des *SET* sur une même puce. Nous avons testé et mesuré le circuit oscillant avec succès tout en explorant ses limites physiques. Nous avons pu observer qu'un design de circuit conçu pour une utilisation à 300 K peut également être opérationnel à 1.1 K. Il a été constaté que la fréquence du circuit ne se dégrade que très peu à froid. L'exploration des spécificités électriques du circuit a montré avec surprise les grandes possibilités d'ajustement qu'offrirait l'emploi de la backgate sur un circuit de ce type. En effet, il a été possible de faire varier la fréquence d'oscillations maximale dans

une certaine plage. Nous avons relevé qu'à une température inférieure à 1.07 K le circuit cessait de fonctionner. Ce point nécessite plus d'investigations, néanmoins l'hypothèse que certains FETs deviennent des SETs semble être la plus vraisemblable. Un circuit composé d'autant de transistors, a montré une dissipation thermique non négligeable. Toutefois, la puissance du cryostat a été suffisante pour absorber ce dégagement thermique. Néanmoins, la puissance thermique peut être encore réduite en apportant quelques améliorations dans la conception du circuit, notamment en incluant la possibilité de mettre hors service d'autres parties du circuit. Par exemple, le diviseur de fréquences servant à lire la fréquence du circuit est constamment en activité et ce circuit représente environ trois cents transistors. Nous avons par ailleurs prouvé qu'un circuit CMOS de ce type, pouvait piloter un dispositif nanoscopique. En effet, nous avons mesuré et simulé avec fidélité un courant rectifié issu du dispositif composé de *SETs* et dont les grilles sont pilotées par le circuit CMOS oscillant composé de *FETs*. Finalement nous avons, par des procédés industriels standardisés, produit et fait fonctionner un circuit conçu pour piloter *in situ* une pompe à électrons. Un tel succès ouvre la voie à une multitude de possibilités qui peuvent bénéficier des avantages que confèrent les techniques industrielles pour des applications à très basses températures.

Conclusion

Au cours de ces trois années de thèse, nous nous sommes intéressés à des dispositifs double grilles et à des circuits CMOS mesurés à basse température. Ces dispositifs, dont les dimensions sont extrêmement petites (~ 20 nm), nous ont permis de réaliser des pompes à électrons dont les performances se rapprochent de celles des meilleurs dispositifs créés dans d'autres laboratoires. Grâce à la qualité de fabrication des infrastructures de production du LETI, nous avons pu disposer d'échantillons qui ont été conçus avec des CMOS bénéficiant des dernières avancées technologiques, notamment le nanofil sur isolant. Cette collaboration a non seulement été la source de nos échantillons mais a également permis de créer, sur une seule puce, un circuit de SET piloté par un circuit CMOS fonctionnant à températures cryogéniques. Un tel projet est unique et nous sommes précurseurs dans son expérimentation.

Les premiers pas effectués par notre groupe de recherche dans le domaine des pompes à électrons, ont montré qu'un dispositif en silicium réalisé par lithographie e-beam pouvait concurrencer des dispositifs similaires conçus avec d'autres matériaux. Nous avons prouvé qu'il était possible de contrôler la charge d'un îlot métallique et de générer un haut niveau de courant par la modulation des grilles sans l'application d'une tension de drain-source. Le dispositif en silicium développé et fabriqué à Grenoble est, à plusieurs points de vue, supérieur à ceux expérimentés dans d'autres laboratoires. La fréquence atteinte est proche du GHz et le courant pompé est largement en dessus de 100 pA, qui représente le minimum requis pour être un étalon quantique de l'Ampère. Bien que ces critères de rapidité et de niveaux de courant viennent concurrencer les expériences leader en la matière, le banc d'expérimentation de notre laboratoire ne nous permet pas de tester le degré de précision de nos dispositifs. Néanmoins, nous atteignons une incertitude relative de type A de 10^{-4} . Dans les laboratoires de la PTB des études plus poussées sont en cours pour mieux comprendre leurs mécanismes d'erreur. Grâce à leurs équipements de mesures il sera possible de tester le degré de précision de notre pompe en silicium.

La viabilité d'une réalisation à grande échelle d'un dispositif de génération de courant quantifié n'a jamais été explorée. Cette idée, jamais réalisée ou étudiée auparavant par d'autres concurrents, place la limite dans son mode de fabrication. Les moyens usuels de réalisation de ces appareils, font appel à la lithographie électronique qui permet la fabrication de motifs avec une résolution infiniment petite, au détriment de la reproductibilité et du nombre de pièces réalisables sur une durée de temps définie. Nous nous sommes ainsi

limités au mode de fabrication industriel, la lithographie DUV, qui place actuellement au LETI la limite de résolution à 170 nm. Pour contourner cette limite dimensionnelle issue des processus de fabrication, l'utilisation d'espaceurs longs de 40 nm a pleinement montré son efficacité et succès. Grâce à cette longueur d'espaceurs, il a été possible de recréer les caractéristiques électrostatiques d'un îlot couplé à deux grilles, semblables à une pompe en silicium fabriquée par lithographie e-beam. Les premiers essais, en tant que pompe à électrons d'un échantillon de cette gamme, ont permis d'atteindre une fréquence de 300 MHz. Ce sont les premiers résultats au monde d'un dispositif de ce type.

A l'heure actuelle, les réductions énergétiques et l'optimisation de l'emploi des surfaces sont des soucis majeurs dans les développements de la micro-électronique. Nos axes de recherches ont donc suivi cette tendance dans le développement et la réalisation d'un circuit hybride pour une application à très basse température. Le but étant de confiner sur une puce électronique un circuit sur lequel co-habitent un circuit oscillant composé de FETs de grande taille couplé à un circuit nanoscopique composé de SETs de très petite taille. Les mesures à 1 K ont démontré que le circuit CMOS oscillant était fonctionnel malgré une légère dégradation de la fréquence d'oscillation. L'étude réalisée sur le dispositif composé de SETs a montré au travers de la mesure d'un courant de rectification la viabilité d'une co-intégration de circuit de CMOS couplé à un circuit en aval composé de SETs. Par ces résultats nous montrons, qu'en faisant intervenir pas moins de 600 transistors, un tel circuit est à même de piloter un circuit nanoscopique à température cryogénique.

Ce travail débouche sur plusieurs perspectives. Nous avons exploré les dispositifs double grilles réalisés par lithographie DUV, cependant un nombre considérable de plaques avec des spécificités bien distinctes restent disponibles pour être étudiées. Il pourrait s'avérer alors intéressant de tester les mêmes genres de motifs avec d'autres épaisseurs d'espaceurs et d'étudier l'évolution de l'îlot central en faisant varier d'autres propriétés comme le dopage, l'épaisseur de silicium, etc. Ces études devraient permettre la réalisation de pompes à électrons par lithographie DUV affichant d'aussi bonnes caractéristiques que des pompes réalisées par lithographie e-beam. Nous avons démontré qu'un circuit hybride composé de FETs et de SETs pouvait fonctionner dans des conditions de froid cryogénique. Toutefois, il n'a pas été démontré que le type de circuit étudié pouvait fonctionner pour générer un courant comme une pompe à électrons. Ce point peut cependant trouver réponse à plus ou moins court terme, à travers l'étude des échantillons restant disponibles sur la plaque DUV, de laquelle provenait la pompe DUV mesurée.

Dans une perspective d'avenir, les circuits étudiés peuvent trouver de nouvelles applications, entre autre et notamment dans l'optimisation des circuits d'alimentation de circuits logiques ou pour des applications liées à l'information quantique.

Liste des publications associées

- *Hybrid Metal-Semiconductor Electron Pump for Quantum Metrology.*
X. Jehl, B. Voisin, T. Charron, P. Clapera, S. Ray, B. Roche, M. Sanquer, S. Djordjevic, L. Devoille, R. Wacquez, et M. Vinet.
Phys. Rev. X, American Physical Society, 2013, 3, 021012
- *A quantum device driven by an on-chip CMOS ring oscillator*
P. Clapera, S. Ray, X. Jehl, M. Sanquer, A. Valentian, et S. Barraud.
Low Temperature Electronics (WOLTE), 2014 11th International Workshop on, 2014, 73-76
- *Design and Cryogenic Operation of a Hybrid Quantum-CMOS Circuit*
P. Clapera, S. Ray, X. Jehl, M. Sanquer, A. Valentian, et S. Barraud.
Phys. Rev. Applied, American Physical Society, 2015, 4, 044009
- *Silicon CMOS electron pump made by industrial Deep Ultraviolet lithography process line*
P. Clapera, X. Jehl, M. Sanquer, A. Valentian, et S. Barraud.
In preparation

Références

- [1] Mark W. KELLER, John M. MARTINIS, Neil M. ZIMMERMAN et Andrew H. STEINBACH : Accuracy of electron counting using a 7-junction electron pump. Applied Physics Letters, 69(12):1804–1806, 1996.
- [2] Michael STOCK, Pauline BARAT, Richard S DAVIS, Alain PICARD et Martin J T MILTON : Calibration campaign against the international prototype of the kilogram in anticipation of the redefinition of the kilogram part i: comparison of the international prototype with its official copies. Metrologia, 52(2):310, 2015.
- [3] BNM : Etalon et unités de mesures. AFNOR, 1996.
- [4] BIPM, éditeur. Le Système international d'unités. Organisation intergouvernementale de la Convention du Mètre, 7 édition, 1998.
- [5] B.D. JOSEPHSON : Possible new effects in superconductive tunnelling. Physics Letters, 1(7):251 – 253, 1962.
- [6] K. v. KLITZING, G. DORDA et M. PEPPER : New method for high-accuracy determination of the fine-structure constant based on quantized hall resistance. Phys. Rev. Lett., 45:494–497, Aug 1980.
- [7] F PIQUEMAL et G GENEVÈS : Argument for a direct realization of the quantum metrological triangle. Metrologia, 37(3):207, 2000.
- [8] Sidney SHAPIRO : Josephson currents in superconducting tunneling: The effect of microwaves and other observations. Phys. Rev. Lett., 11:80–82, Jul 1963.
- [9] Jinni LEE, Ralf BEHR, Luis PALAFOX, Alexander KATKOV, Marco SCHUBERT, Michael STARKLOFF et Andreas Charles BLACK : An ac quantum voltmeter based on a 10v programmable josephson array. Metrologia, 50(6):612, 2013.
- [10] Clark A. HAMILTON : Josephson voltage standards. Review of Scientific Instruments, 71(10):3611–3623, 2000.
- [11] Adir Moyses LUIZ, éditeur. Superconductivity - Theory and Applications. InTech, 2011.
- [12] D. R. YENNIE : Integral quantum hall effect for nonspecialists. Rev. Mod. Phys., 59:781–824, Jul 1987.

- [13] B. P KIBBLE : Atomic Masses and Fundamental Constants 5. Plenum, New York, 1975.
- [14] I A ROBINSON et B P KIBBLE : An initial measurement of planck's constant using the npl mark ii watt balance. Metrologia, 44(6):427, 2007.
- [15] R.L. STEINER, E.R. WILLIAMS, Ruimin LIU et D.B. NEWELL : Uncertainty improvements of the nist electronic kilogram. Instrumentation and Measurement, IEEE Transactions on, 56(2):592–596, April 2007.
- [16] T. FUNCK et Volkmar SIENKNECHT : Determination of the volt with the improved ptb voltage balance. Instrumentation and Measurement, IEEE Transactions on, 40(2):158–161, Apr 1991.
- [17] A.M. THOMPSON : The cylindrical cross-capacitor as a calculable standard. Proceedings of the IEE - Part B: Electronic and Communication Engineering, 106(27):307–310, May 1959.
- [18] A.-M. JEFFERY, R.E. ELMQUIST, L.H. LEE, J.Q. SHIELDS et R.F. DZIUBA : Nist comparison of the quantized hall resistance and the realization of the si ohm through the calculable capacitor. Instrumentation and Measurement, IEEE Transactions on, 46(2):264–268, Apr 1997.
- [19] K.K. LIKHAREV et A.B. ZORIN : Theory of the bloch-wave oscillations in small josephson junctions. Journal of Low Temperature Physics, 59(3-4):347–382, 1985.
- [20] T. A. FULTON et G. J. DOLAN : Observation of single-electron charging effects in small tunnel junctions. Phys. Rev. Lett., 59:109–112, Jul 1987.
- [21] J. B. BARNER et S. T. RUGGIERO : Observation of the incremental charging of ag particles by single electrons. Phys. Rev. Lett., 59:807–810, Aug 1987.
- [22] B. MEURER, D. HEITMANN et K. PLOOG : Single-electron charging of quantum-dot atoms. Phys. Rev. Lett., 68:1371–1374, Mar 1992.
- [23] D. V. AVERIN, A. N. KOROTKOV et K. K. LIKHAREV : Theory of single-electron charging of quantum wells and dots. Phys. Rev. B, 44:6199–6211, Sep 1991.
- [24] L. J. GEERLIGS, V. F. ANDEREGG, P. A. M. HOLWEG, J. E. MOOLJ, H. POTHIER, D. ESTEVE, C. URBINA et M. H. DEVORET : Frequency-locked turnstile device for single electrons. Phys. Rev. Lett., 64:2691–2694, May 1990.
- [25] H. POTHIER, P. LAFARGE, C. URBINA, D. ESTEVE et M. H. DEVORET : Single-electron pump based on charging effects. Europhysics Letters, 17:249, 1992.
- [26] L.J. GEERLIGS, S.M. VERBRUGH, P. HADLEY, J.E. MOOLJ, H. POTHIER, P. LAFARGE, C. URBINA, D. ESTEVE, D. et M.H. DEVORET : Single cooper pair pump. Zeitschrift fur Physik B Condensed Matter, 85(3):349–355, 1991.

- [27] Mark W. KELLER, Ali L. EICHENBERGER, John M. MARTINIS et Neil M. ZIMMERMAN : A capacitance standard based on counting electrons. Science, 285:1706, Septembre 1999.
- [28] L. P. KOUWENHOVEN, A. T. JOHNSON, N. C. van der VAART, C. J. P. M. HARMANS et C. T. FOXON : Quantized current in a quantum-dot turnstile using oscillating tunnel barriers. Phys. Rev. Lett., 67:1626–1629, Sep 1991.
- [29] B. KAESTNER, V. KASHCHEYEVS, S. AMAKAWA, M. D. BLUMENTHAL, L. LI, T. J. B. M. JANSSEN, G. HEIN, K. PIERZ, T. WEIMANN, U. SIEGNER et H. W. SCHUMACHER : Single-parameter nonadiabatic quantized charge pumping. Phys. Rev. B, 77:153301, Apr 2008.
- [30] Vyacheslavs KASHCHEYEVS et Bernd KAESTNER : Universal decay cascade model for dynamic quantum dot initialization. Phys. Rev. Lett., 104:186805, May 2010.
- [31] S.P. GIBLIN, M. KATAOKA, J.D. FLETCHER, P. SEE, T.J.B.M. JANSSEN, J.P. GRIFFITHS, G.A.C. JONES, I. FARRER et D.A. RITCHIE : Towards a quantum representation of the ampere using single electron pumps. Nat Commun, 3:930–, juillet 2012.
- [32] Lukas FRICKE, Michael WULF, Bernd KAESTNER, Frank HOHLS, Philipp MIROVSKY, Brigitte MACKRODT, Ralf DOLATA, Thomas WEIMANN, Klaus PIERZ, Uwe SIEGNER et Hans W. SCHUMACHER : Self-referenced single-electron quantized current source. Phys. Rev. Lett., 112:226803, Jun 2014.
- [33] Jukka P. PEKOLA, Juha J. VARTIAINEN, Mikko MOTTONEN, Olli-Pentti SAIRA, Matthias MESCHKE et Dmitri V. AVERIN : Hybrid single-electron transistor as a source of quantized electric current. Nat Phys, 4(2):120–124, février 2008.
- [34] Akira FUJIWARA et Yasuo TAKAHASHI : Manipulation of elementary charge in a silicon charge-coupled device. Nature, 410(6828):560–562, mars 2001.
- [35] B. E. KANE : A silicon-based nuclear spin quantum computer. Nature, 393(6681):133–137, mai 1998.
- [36] Rutger VRIJEN, Eli YABLONOVITCH, Kang WANG, Hong Wen JIANG, Alex BALANDIN, Vwani ROYCHOWDHURY, Tal MOR et David DIVINCENZO : Electron-spin-resonance transistors for quantum computing in silicon-germanium heterostructures. Phys. Rev. A, 62:012306, Jun 2000.
- [37] L. C. L. HOLLENBERG, A. S. DZURAK, C. WELLARD, A. R. HAMILTON, D. J. REILLY, G. J. MILBURN et R. G. CLARK : Charge-based quantum computing using single donors in semiconductors. Phys. Rev. B, 69:113301, Mar 2004.
- [38] Jarryd J. PLA, Kuan Y. TAN, Juan P. DEHOLLAIN, Wee H. LIM, John J. L. MORTON, David N. JAMIESON, Andrew S. DZURAK et Andrea MORELLO : A single-atom electron spin qubit in silicon. Nature, 489(7417):541–545, septembre 2012.

- [39] Christian KURTSIEFER, Sonja MAYER, Patrick ZARDA et Harald WEINFURTER : Stable solid-state source of single photons. *Phys. Rev. Lett.*, 85:290–293, Jul 2000.
- [40] A. BEVERATOS, S. KÜHN, R. BROURI, T. GACOIN, J.-P. POIZAT et P. GRANGIER : Room temperature stable single-photon source. *European Physical Journal D*, 18:191–196, février 2002.
- [41] K. S. RALLS, W. J. SKOCPOL, L. D. JACKEL, R. E. HOWARD, L. A. FETTER, R. W. EPWORTH et D. M. TENNANT : Discrete resistance switching in submicrometer silicon inversion layers: Individual interface traps and low-frequency ($\frac{1}{f}$?) noise. *Phys. Rev. Lett.*, 52:228–231, Jan 1984.
- [42] L E CALVET, W WERNSDORFER, J P SNYDER et M A REED : Transport spectroscopy of single pt impurities in silicon using schottky barrier mosfets. *Journal of Physics: Condensed Matter*, 20(37):374125, 2008.
- [43] H. SELIER, G. P. LANSBERGEN, J. CARO, S. ROGGE, N. COLLAERT, I. FERAIN, M. JURCZAK et S. BIESEMANS : Transport spectroscopy of a single dopant in a gated silicon nanowire. *Phys. Rev. Lett.*, 97:206805, Nov 2006.
- [44] G. A. ROBERTS, J. J. FINLEY, M. S. SKOLNICK, L. EAVES, J. W. COCKBURN, I. A. LARKIN, M. HENINI et G. HILL : Voltage-controlled sharp-line electroluminescence in gaas-alas double-barrier resonant-tunneling structures. *Phys. Rev. B*, 58:R4242–R4245, Aug 1998.
- [45] B. NAYDENOV, R. KOLESOV, A. BATALOV, J. MEIJER, S. PEZZAGNA, D. ROGALLA, F. JELEZKO et J. WRACHTRUP : Engineering single photon emitters by ion implantation in diamond. *Applied Physics Letters*, 95(18):–, 2009.
- [46] C. D. WEIS, A. SCHUH, A. BATRA, A. PERSAUD, I. W. RANGELOW, J. BOKOR, C. C. LO, S. CABRINI, E. SIDERAS-HADDAD, G. D. FUCHS, R. HANSON, D. D. AWSCHALOM et T. SCHENKEL : Single atom doping for quantum device development in diamond and silicon. *Journal of Vacuum Science & Technology B*, 26(6):2596–2600, 2008.
- [47] M. PIERRE, R. WACQUEZ, X. JEHL, M. SANQUER, M. VINET et O. CUETO : Single donor ionization energies in a nanoscale cmos channel. *Nat Nano*, 5:133, décembre 2010.
- [48] V. N. GOLOVACH, X. JEHL, M. HOUZET, M. PIERRE, B. ROCHE, M. SANQUER et L. I. GLAZMAN : Single-dopant resonance in a single-electron transistor. *Phys. Rev. B*, 83(7):075401–, février 2011.
- [49] Andrea MORELLO, Jarryd J. PLA, Floris A. ZWANENBURG, Kok W. CHAN, Kuan Y. TAN, Hans HUEBL, Mikko MOTTONEN, Christopher D. NUGROHO, Changyi YANG, Jessica A. van DONKELAAR, Andrew D. C. ALVES, David N. JAMIESON, Christopher C. ESCOTT, Lloyd C. L. HOLLENBERG, Robert G. CLARK et Andrew S. DZURAK : Single-shot readout of an electron spin in silicon. *Nature*, 467(7316):687–691, octobre 2010.

- [50] Martin FUECHSLE, Jill A. MIWA, Suddhasatta MAHAPATRA, Hoon RYU, Sun-
hee LEE, Oliver WARSCHKOW, Lloyd C. L. HOLLENBERG, Gerhard KLIMECK et
Michelle Y. SIMMONS : A single-atom transistor. Nat Nano, 7(4):242–246, avril
2012.
- [51] Thomas F. WATSON, Bent WEBER, Jill A. MIWA, Suddhasatta MAHAPATRA, Roel
M. P. HEIJNEN et Michelle Y. SIMMONS : Transport in asymmetrically coupled
donor-based silicon triple quantum dots. Nano Lett., 14(4):1830–1835, mars 2014.
- [52] B. WEBER, S. MAHAPATRA, H. RYU, S. LEE, A. FUHRER, T. C. G. REUSCH, D. L.
THOMPSON, W. C. T. LEE, G. KLIMECK, L. C. L. HOLLENBERG et M. Y. SIMMONS
: Ohm s law survives to the atomic scale. Science, 335(6064):64–67, 2012.
- [53] Bent WEBER, Suddhasatta MAHAPATRA, Thomas F. WATSON et Michelle Y. SIM-
MONS : Engineering independent electrostatic control of atomic-scale (4 nm) silicon
double quantum dots. Nano Lett., 12(8):4001–4006, juin 2012.
- [54] W. KOHN et J. M. LUTTINGER : Theory of donor states in silicon. Phys. Rev.,
98(4):915–922, mai 1955.
- [55] M. PIERRE, B. ROCHE, R. WACQUEZ, X. JEHL, M. SANQUER et M. VINET : Intrinsic
and doped coupled quantum dots created by local modulation of implantation in a
silicon nanowire. Journal of Applied Physics, 109(8):–, 2011.
- [56] B. ROCHE, E. DUPONT-FERRIER, B. VOISIN, M. COBIAN, X. JEHL, R. WACQUEZ,
M. VINET, Y.-M. NIQUET et M. SANQUER : Detection of a large valley-orbit splitting
in silicon with two-donor spectroscopy. Phys. Rev. Lett., 108(20):206812–, mai 2012.
- [57] B. ROCHE, R.-P. RIWAR, B. VOISIN, E. DUPONT-FERRIER, R. WACQUEZ,
M. VINET, M. SANQUER, J. SPLETTSTOESSER et X. JEHL : A two-atom electron
pump. Nat Commun, 4:1581–, mars 2013.
- [58] E. DUPONT-FERRIER, B. ROCHE, B. VOISIN, X. JEHL, R. WACQUEZ, M. VINET,
M. SANQUER et S. DE FRANCESCHI : Coherent coupling of two dopants in a
silicon nanowire probed by landau-zener-stückelberg interferometry. Phys. Rev. Lett.,
110:136802, Mar 2013.
- [59] S. AMAHA, W. IZUMIDA, T. HATANO, S. TERAOKA, S. TARUCHA, J. A. GUPTA et
D. G. AUSTING : Two- and three-electron pauli spin blockade in series-coupled triple
quantum dots. Phys. Rev. Lett., 110:016803, Jan 2013.
- [60] R. BRAAKMAN, BARTHELEMY P., REICHL C., WEGSCHEIDER W. et Vander-
sypen L. M. K. : Long-distance coherent coupling in a quantum dot array. Nat
Nano, 8(6):432–437, juin 2013.
- [61] H. PAN, M. G. HOUSE, X. HAO et H. W. JIANG : Fabrication and characterization
of a silicon metal-oxide-semiconductor based triple quantum dot. Applied Physics
Letters, 100(26):–, 2012.

- [62] Kyu-Sul PARK, Sang-Jin KIM, In-Bok BAEK, Won-Hee LEE, Jong-Seuk KANG, Yong-Bum JO, Sang Don LEE, Chang-Keun LEE, Jung-Bum CHOI, Jang-Han KIM, Keun-Hyung PARK, Won-Ju CHO, Moon-Gyu JANG et Seong-Jae LEE : Soi single-electron transistor with low rc delay for logic cells and set/fet hybrid ics. Nanotechnology, IEEE Transactions on, 4(2):242–248, March 2005.
- [63] V. DESHPANDE, R. WACQUEZ, M. VINET, X. JEHL, S. BARRAUD, R. COQUAND, B. ROCHE, B. VOISIN, C. VIZIOZ, B. PREVITALI, L. TOSTI, P. PERREAU, T. POIROUX, M. SANQUER, B. DE SALVO et O. FAYNOT : 300 k operating full-cmos integrated single electron transistor (set)-fet circuits. In Electron Devices Meeting (IEDM), 2012 IEEE International, pages 8.7.1–8.7.4, Dec 2012.
- [64] M. VINET, V. DESHPANDE, X. JEHL, R. WACQUEZ, S. BARRAUD, M. SANQUER, R. COQUAND, O. CUETO, B. ROCHE, B. VOISIN, M. PIERRE, L. GRENOUILLET, C. VIZIOZ, L. TOSTI, B. PREVITALI, P. PERREAU, T. POIROUX et O. FAYNOT : Fdsoi nanowires: An opportunity for hybrid circuit with field effect and single electron transistors. In Electron Devices Meeting (IEDM), 2013 IEEE International, pages 26.4.1–26.4.4, Dec 2013.
- [65] A. JANA, K. NASKAR, S. SARKHEL, B. MANNA, J.K. SING et S.K. SARKAR : Realization of gate performance using hybrid set-cmos pass transistor based logic gate. In Emerging Research Areas and 2013 International Conference on Microelectronics, Communications and Renewable Energy (AICERA/ICMiCR), 2013 Annual International Conference on, pages 1–4, June 2013.
- [66] A.M. IONESCU, M.J. DECLERCQ, S. MAHAPATRA, K. BANERJEE et Jacques GAUTIER : Few electron devices: towards hybrid cmos-set integrated circuits. In Design Automation Conference, 2002. Proceedings. 39th, pages 88–93, 2002.
- [67] M. BRUEL : Silicon on insulator material technology. Electronics Letters, 31(14): 1201–1202, Jul 1995.
- [68] Michel BRUEL, Bernard ASPAR et Andre-Jacques AUBERTON-HERVE : Smart-cut: A new silicon on insulator material technology based on hydrogen implantation and wafer bonding *1. Japanese Journal of Applied Physics, 36(3S):1636, 1997.
- [69] R. LAVIEVILLE, S. BARRAUD, A. CORNA, X. JEHL, M. SANQUER et M. VINET : 350k operating silicon nanowire single electron/hole transistors scaled down to 3.4nm diameter and 10nm gate length. In Ultimate Integration on Silicon (EUROSOI-ULIS), 2015 Joint International EUROSOI Workshop and International Conference on, pages 9–12, Jan 2015.
- [70] B. ROCHE, B. VOISIN, X. JEHL, R. WACQUEZ, M. SANQUER, M. VINET, V. DESHPANDE et B. PREVITALI : A tunable, dual mode field-effect or single electron transistor. Appl. Phys. Lett., 100(3):032107–3, janvier 2012.

- [71] M. HOFHEINZ, X. JEHL, M. SANQUER, G. MOLAS, M. VINET et S. DELEONIBUS : Simple and controlled single electron transistor based on doping modulation in silicon nanowires. Appl. Phys. Lett., 89:143504, 2006.
- [72] F. BOEUF, X. JEHL, M. SANQUER et T. SKOTNICKI : Experimental study of transport in nanoscale planar mosfets near the ballistic limit. IEEE Trans. Nanotechnol., 3(1):105 – 109, march 2004.
- [73] B. J. VILLIS, A. O. ORLOV, X. JEHL, G. L. SNIDER, P. FAY et M. SANQUER : Defect detection in nano-scale transistors based on radio-frequency reflectometry. Applied Physics Letters, 99(15):-, 2011.
- [74] B. J. VILLIS, A. O. ORLOV, S. BARRAUD, M. VINET, M. SANQUER, P. FAY, G. SNIDER et X. JEHL : Direct detection of a transport-blocking trap in a nanoscaled silicon single-electron transistor by radio-frequency reflectometry. Applied Physics Letters, 104(23):-, 2014.
- [75] A.B. ZORIN : The thermocoax cable as the microwave frequency filter for single electron circuits. Review of Scientific Instruments, 66(8):4296–4300, 1995.
- [76] M. HOFHEINZ, X. JEHL, Marc SANQUER, R. CERUTTI, A. CROS, P. CORONEL, H. BRUT et T. SKOTNICKI : Measurement of capacitances in multigate transistors by coulomb blockade spectroscopy. Nanotechnology, IEEE Transactions on, 7(1):74–78, Jan 2008.
- [77] H. GRABERT et M. H. DEVORET : Single Charge Tunneling: Coulomb Blockade Phenomena in Nanostructures. Plenum Press, New York, 1992.
- [78] Seiji HORIGUCHI, Akira FUJIWARA, Hiroshi INOKAWA et Yasuo TAKAHASHI : Analysis of back-gate voltage dependence of threshold voltage of thin silicon-on-insulator metal-oxide-semiconductor field-effect transistor and its application to si single-electron transistor. Jpn. J. Appl. Phys., 43(4B):2036–, 2004.
- [79] Thibaut CHARRON : Pompes à électrons à base de nanofils de silicium pour la métrologie électriques. Thèse de doctorat, Université Paris 6, 2013. Thèse de doctorat dirigée par Pothier, Hugues Physique Paris 6, 2013.
- [80] X. JEHL, B. VOISIN, T. CHARRON, P. CLAPERA, S. RAY, B. ROCHE, M. SANQUER, S. DJORDJEVIC, L. DEVOILLE, R. WACQUEZ et M. VINET : Hybrid metal-semiconductor electron pump for quantum metrology. Phys. Rev. X, 3:021012, May 2013.
- [81] Mathieu PIERRE : Transport mono-électronique et détection de dopants uniques dans des transistors silicium. Thèse de doctorat, Université de Grenoble, 2010.
- [82] M. HOFHEINZ, X. JEHL, M. SANQUER, G. MOLAS, M. VINET et S. DELEONIBUS : Capacitance enhancement in coulomb blockade tunnel barriers. Phys. Rev. B, 75:235301, Jun 2007.

- [83] Phaedon AVOURIS, Zhihong CHEN et Vasili PEREBEINOS : Carbon-based electronics. Nat Nano, 2(10):605–615, octobre 2007.
- [84] Ali JAVEY, Qian WANG, Ant URAL, Yiming LI et Hongjie DAI : Carbon nanotube transistor arrays for multistage complementary logic and ring oscillators. Nano Letters, 2(9):929–932, 2002.
- [85] M. SAITOH, H. HARATA et T. HIRAMOTO : Room-temperature demonstration of integrated silicon single-electron transistor circuits for current switching and analog pattern matching. In Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International, pages 187–190, Dec 2004.
- [86] Wancheng ZHANG, Nan-Jian WU, Tamotsu HASHIZUME et Seiya KASAI : Novel hybrid voltage controlled ring oscillators using single electron and mos transistors. Nanotechnology, IEEE Transactions on, 6(2):146–157, March 2007.
- [87] Adrian Mihai IONESCU, Santanu MAHAPATRA et Vincent POTT : Hybrid setmos architecture with coulomb blockade oscillations and high current drive. Electron Device Letters, IEEE, 25(6):411–413, 2004.
- [88] P. CLAPERA, S. RAY, X. JEHL, M. SANQUER, A. VALENTIAN et S. BARRAUD : Design and cryogenic operation of a hybrid quantum-cmos circuit. Phys. Rev. Applied, 4:044009, Oct 2015.
- [89] H. INOKAWA, Akira FUJIWARA et Yasuo TAKAHASHI : A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors. Electron Devices, IEEE Transactions on, 50(2):462–470, Feb 2003.
- [90] Hiroki ISHIKURO et Toshiro HIRAMOTO : Quantum mechanical effects in the silicon quantum dot in a single-electron transistor. Applied Physics Letters, 71(25):3691–3693, 1997.
- [91] Sebastien PAULIAC-VAUJOUR, Romain WACQUEZ, Christian VIZIOZ, Thierry CHEVOLLEAU, Mathieu PIERRE, Bernard PREVITALI, Corinne COMBOROURE, Nadine BOVE, Benoit ROCHE, Maud VINET, Xavier JEHL, Marc SANQUER et Pierre SIXT : Patterning strategy for monoelectronic device platform in a complementary metal oxide semiconductor technology. Japanese Journal of Applied Physics, 50(6):06GF15, 2011.
- [92] Katsuhiko NISHIGUCHI, Akira FUJIWARA, Yukinori ONO, Hiroshi INOKAWA et Yasuo TAKAHASHI : Room-temperature-operating data processing circuit based on single-electron transfer and detection with metal-oxide-semiconductor field-effect transistor technology. Applied Physics Letters, 88(18):-, 2006.
- [93] A. BEAUMONT, Christian DUBUC, J. BEAUVAIS et D. DROUIN : Room temperature single-electron transistor featuring gate-enhanced on -state current. Electron Device Letters, IEEE, 30(7):766–768, July 2009.

RÉFÉRENCES

- [94] Chih-Hsiang CHANG et Ching-Yuan YANG : A low-voltage high-frequency cmos lc-vco using a transformer feedback. In Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, pages 545–548, June 2008.
- [95] IV. VERNIK, T.A OHKI, M.B. KETCHEN et M. BHUSHAN : Performance characterization of pd-soi ring oscillators at cryogenic temperatures. In SOI Conference (SOI), 2010 IEEE International, pages 1–2, Oct 2010.
- [96] Jiahui YUAN, K.A MOEN, J.D. CRESSLER, H. RUCKER, B. HEINEMANN et W. WINKLER : Sige hbt cml ring oscillator with 2.3-ps gate delay at cryogenic temperatures. Electron Devices, IEEE Transactions on, 57(5):1183–1187, May 2010.
- [97] S. DOCKING et M. SACHDEV : A method to derive an equation for the oscillation frequency of a ring oscillator. Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on, 50(2):259–264, Feb 2003.
- [98] Wanjing ZHU, Tan LU, Weijie ZHU et Jianguo MA : Statistical analysis for the oscillation frequency of a ring oscillator. In Electron Devices and Solid-State Circuits (EDSSC), 2010 IEEE International Conference of, pages 1–4, Dec 2010.
- [99] Giorgio FERRARI, Laura FUMAGALLI, Marco SAMPIETRO, Enrico PRATI et Marco FANCIULLI : dc modulation in field-effect transistors operating under microwave irradiation for quantum readout. Journal of Applied Physics, 98(4):–, 2005.
- [100] L. DICARLO, C. M. MARCUS et J. S. HARRIS : Photocurrent, rectification, and magnetic field symmetry of induced current through quantum dots. Phys. Rev. Lett., 91:246804, Dec 2003.
- [101] P. W. BROUWER : Rectification of displacement currents in an adiabatic electron pump. Phys. Rev. B, 63:121303, Mar 2001.
- [102] S. P. GIBLIN, M. KATAOKA, J. D. FLETCHER, P. SEE, T. J. B. M. JANSSEN, J. P. GRIFFITHS, G. A. C. JONES, I. FARRER et D. A. RITCHIE : Rectification in mesoscopic alternating current-gated semiconductor devices. Journal of Applied Physics, 114(16):–, 2013.