



HAL
open science

Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur SOI

Anouar Idrissi-El Oudrhiri

► **To cite this version:**

Anouar Idrissi-El Oudrhiri. Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur SOI. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT074 . tel-01501255

HAL Id: tel-01501255

<https://theses.hal.science/tel-01501255>

Submitted on 4 Apr 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

**DOCTEUR DE LA COMMUNAUTE UNIVERSITE
GRENOBLE ALPES**

Spécialité : **Nanoélectronique et Nanotechnologies**

Arrêté ministériel : 7 août 2006

Présentée par

Anouar IDRISSE EL OUDRHIRI

Thèse dirigée par **Mireille MOUIS** et
co-encadrée par **Sébastien MARTINIE**

préparée au sein du **Laboratoire CEA-LETI et IMEP-LAHC**
dans l'**École Doctorale Electronique, Electrotechnique, Automatique
et Traitement du Signal**

Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur SOI

Thèse soutenue publiquement le **20 juillet 2016**,
devant le jury composé de :

M. Francis CALMON

Pr. INSA Lyon,

Président

M. Arnaud BOURNEL

Pr. Université Paris-Sud,

Rapporteur

M. Marc BESCOND

CR. CNRS à l'IM2NP Marseille,

Rapporteur

M. Hervé JAOUEN

Ing. STMicroelectronics Crolles,

Examineur

M. Sébastien MARTINIE

Ing. CEA-LETI Grenoble,

Co-encadrant de thèse

Mme. Mireille MOUIS

DR. CNRS à l'IMEP-LAHC Grenoble,

Directrice de thèse



REMERCIEMENTS

Je tiens en premier lieu à remercier Mireille Mouis d'avoir accepté de diriger cette thèse, tout en mentionnant son accueil, ses conseils et ses encouragements qui méritent toute ma gratitude.

Je souhaite remercier également Sébastien Martinie, mon encadrant de thèse pour sa confiance et ses remarques pertinentes. Un merci particulier à Jean-Charles Barbé, chef du laboratoire LSM, qui m'a suivi et soutenu régulièrement pendant ces trois années de thèse.

Mes remerciements s'adressent également à Messieurs Arnaud Bournel, Marc Bescond, Francis Camlon et Hervé Jaouen d'avoir donné de leur temps en acceptant de participer à mon jury de thèse. Un grand merci à Arnaud Bournel et Marc Bescond pour leur lecture attentive du manuscrit et leurs remarques judicieuses.

Je tiens à remercier très sincèrement Sylvain Barraud, Olivier Rozeau, Mikaël Cassé, Cyrille Le Royer, Laurent Grenouillet, Johan Pelloux-Prayer, Shay Reboh, Yves Morand, Christophe Plantier et Nicolas Bernier pour leur collaboration et leur disponibilité.

Un grand merci s'adresse également à l'ensemble du personnel du LSM : Estelle, Pierrette, Pascal, B&B, Philippe, Marie-Anne, Joris, Gilles (repose en paix, mes pensées vont à sa famille et à ses proches), François D., François T., Hélène, Olga, Anne-Sophie, Patrick, Marina, Olivier N., Anthony, Pierre (Michalak), Gabriel, Léo, Zayping, Kévin, Imed et Nico (Gignac).

Mes remerciements vont aussi à tout le laboratoire IMEP-LAHC, je cite particulièrement Xavier Mescot pour avoir pris le temps de me former aux différentes manips, Martine Gri pour son courage dans le montage de multiples dispo, Isabelle Michelin et Brigitte Rasolofoniaina pour leur gentillesse, Gérard Ghibaud, Theano, Furat sans oublier Romain et Fabio pour leur grande sympathie, je vous souhaite bonne continuation pour la suite.

Ma considération s'adresse aussi au laboratoire LTM : merci à Olivier Joubert, directeur du laboratoire, Marielle (Malo), Sylviane et Céline Coudert pour leurs services impeccables accompagnés d'une grande gentillesse et Jumana pour ses conseils pédagogiques et sa ponctualité.

Mes remerciements s'adressent enfin aux administrations de CEA-Leti et de l'IMEP-LAHC, pour m'avoir facilité l'accès aux établissements, et favorisé toutes les conditions pour la réalisation du présent travail.

Je pense aussi au groupe de collègues MIAM-MIAM : Mathilde (Cantatrice chauve), Corentin (Patrick Bruel), Fabien, Vincent, Loïc, Mourad, Daniele, Marinela, Sarra, Patricia, Julien, Lina, Lucca, Nicolo, Thilo, Julia, Aurore, Aurèle, Rémi, Gabriele. Grosse pensée pour eux qui vont connaître les joies de la rédaction !

Mes repas étaient aussi animés par l'équipe TACOS du vendredi : Mustapha le proprio (« Tacos des amis bonjour ! »), Nass et son seul vrai « repas » de la semaine, Mathias tutti quanti (« J'ai pas faim mais je peux manger un maxi tacos après une raclette ! »), Issam le nutritionniste du groupe accompagné de sa fidèle harissa, Z et son tacos enfant sans oignons (« Mince, y'a des olives ! »).

Merci au collectif de l'association des jeunes chercheurs du centre ATTAP pour leurs activités scientifiques et culturelles variées, les actions humanitaires, leur entraide et leur sympathie. Longue vie à cette association !

D'un point de vue personnel, je remercie également sur ce manuscrit tous mes amis non cités précédemment : Salah et Soufyane et leur périple depuis Paris pour être présents le jour de la soutenance, Céline R. (Sapinou), Youssef, Younes, Soufiane, Mehdi, Momo et Ewelina, Oussama, Jalal, Aline, Adel C., Amin, Wafa, Imen, Noura, Celine, Malek, Fatima, Etienne. Un grand merci à Mamie Fatiha d'avoir tenu à être présente à la soutenance malgré la distance, à Djemel, à Sana et à Adel. Sans oublier Sophia, mon correcteur automatique !

Merci à toute ma famille qui malgré l'éloignement m'a apporté un soutien inconditionnel tout au long de ma vie.

Enfin un grand merci à tous ceux que j'aurais bien involontairement mais immanquablement oubliés !

TABLE DES MATIERES

TABLE DES MATIERES	1
LISTE DES NOTATIONS ET DES ACRONYMES	7
INTRODUCTION GENERALE	10
CHAPITRE I :	14
LA CONTRAINTE MECANIQUE EN MICROELECTRONIQUE : UN PARAMETRE CLE DE L'AMELIORATION DES PERFORMANCES	14
I.1. PROPRIETES DES MATERIAUX EN MICROELECTRONIQUE D'UN POINT DE VUE MECANIQUE	15
I.1.1. Propriétés d'élasticité du silicium	15
I.1.1.1. Tenseurs des contraintes et des déformations	15
I.1.1.2. Tenseur d'élasticité du silicium	16
I.1.2. Le comportement viscoélastique des matériaux	17
I.1.2.1. L'élément de Maxwell	18
I.1.2.2. L'élément de Kelvin-Voigt	19
I.1.2.3. L'élément de Zener	19
I.1.3. Piézo-résistivité dans les semi-conducteurs	19
I.2. L'ORIGINE DE LA CONTRAINTE MECANIQUE	24
I.2.1. Bref historique	24
I.2.2. Contrainte thermique	25
I.2.3. Contrainte intentionnelle	26
I.3. EXEMPLES D'INTEGRATION DE LA CONTRAINTE DANS LE CANAL DES DISPOSITIFS AVANCES	28
I.3.1. Techniques largement utilisées en microélectronique	28
I.3.1.1. Contraintes induites par les régions S/D	29
I.3.1.2. Couche contrainte d'arrêt à la gravure : CESL	29
I.3.1.3. Substrat contraint	30
I.3.2. Techniques alternatives récemment intégrées en procédé	32
I.3.2.1. BOX CREEP	32
I.3.2.2. STRASS	33
I.3.2.3. SAIPS	33
I.3.3. Bilan	34
I.4. LES TECHNIQUES D'ANALYSE DE CONTRAINTES	36

I.4.1. Techniques de mesures de déformation -----	36
I.4.1.1. Diffraction électronique en faisceaux nanométriques : NBED -----	36
I.4.1.2. Diffraction électronique en précession : PED -----	37
I.4.2. Techniques de simulation-----	39
I.5. OBJECTIF DE L'ETUDE-----	42
CHAPITRE II :-----	44
EXTRACTION DE MOBILITE – METHODES CLASSIQUES ET	
MAGNETORESISTANCE -----	44
II.1. PRINCIPE D'EXTRACTION DE MOBILITE -----	45
II.1.1. Modèle analytique simplifié -----	45
II.1.1.1. Modèle Dérive-Diffusion -----	45
II.1.1.2. Structure MOS classique -----	45
II.1.1.3. Principe de fonctionnement -----	46
II.1.1.4. Régimes de fonctionnement -----	47
II.1.1.5. Courant de drain en régime d'inversion forte-----	48
II.1.2. Notion de mobilité -----	49
II.1.2.1. Mobilité phonon-----	50
II.1.2.2. Mobilité coulombienne -----	51
II.1.2.3. Mobilité surface rugueuse -----	52
II.2. METHODES DE CARACTERISATION ET METHODOLOGIES	
D'EXTRACTION-----	53
II.2.1. Technique dite de « Split-CV » -----	53
II.2.2. Fonction Y -----	57
II.2.2.1. Modèle -----	57
II.2.2.2. Méthode -----	58
II.2.2.3. Prise en compte de résistances séries par la méthode de la fonction Y -----	58
II.2.3. Mobilité magnétorésistance -----	60
II.2.3.1. L'effet Hall -----	60
II.2.3.2. L'effet magnétorésistance -----	61
II.2.3.3. Application aux dispositifs MOS -----	62
II.3. MAGNETORESISTANCE : CARACTERISATION ET MODELISATION--	65
II.3.1. Descriptions expérimentales-----	65
II.3.2. Mesures et extraction de la mobilité μ_{GMR} dans les transistors à triple grille-----	67
II.3.2.1. Mesures préliminaires-----	67
II.3.2.2. Mesures de la mobilité magnétorésistance-----	69
II.3.3. Modélisation tridimensionnelle de la mobilité magnétorésistance -----	72
II.3.3.1. Approche classique-----	72

II.3.3.2. Implémentation FlexPDE -----	74
II.3.3.3. Résultats de simulation -----	76
II.4. CONCLUSION DU CHAPITRE II -----	78
CHAPITRE III :-----	80
EVALUATION DU TRANSPORT DANS LES TRANSISTORS NMOS A TRIPLE-GRILLE SUR SUBSTRATS (S)SOI -----	80
III.1. ANALYSE MECANIQUE VIA DES SIMULATIONS PAR ELEMENTS FINIS -----	81
III.1.1. Le transistor nMOS à triple grille -----	81
III.1.2. Description de la simulation mécanique -----	82
III.1.1.2.1. Procédé et paramètres de simulation -----	82
III.1.2.1.a. Constitution du substrat SOI -----	84
III.1.2.1.b. Préparation de la zone active -----	84
III.1.2.1.c. Dépôt et gravure de la grille -----	84
III.1.2.1.d. Epitaxies S/D -----	84
III.1.2.1.e. Dépôt de t-CESL -----	85
III.1.2.2. Hypothèses de simulation -----	85
III.1.3. Champs de contraintes issus de la simulation mécanique -----	86
III.1.3.1. Cas des transistors FDSOI -----	86
III.1.3.2. Cas des transistors TriGate -----	88
III.1.4. Comparaison des contraintes entre la TCAD et les mesures NBED -----	91
III.1.5. Synthèse -----	92
III.1.5.1. Influence des substrats en sSi sur le niveau de contrainte du canal -----	92
III.1.5.2. Influence de CESL -----	93
III.1.5.3. Dégradation de la contrainte avec la couche TiN -----	94
III.2. EXTRACTIONS DE MOBILITE -----	95
III.2.1. Extraction de la mobilité à champ faible -----	95
III.2.1.1. Description des mesures à faible V_D -----	95
III.2.1.1.a. Mesures des dispositifs FDSOI -----	95
III.2.1.1.b. Mesures des dispositifs TriGate -----	97
III.2.1.2. Longueurs et largeurs effectives -----	98
III.2.1.2.a. La longueur effective « L_{eff} » -----	99
III.2.1.2.b. La largeur effective « W_{eff} » -----	100
III.2.1.3. Etude expérimentale de la mobilité dans les canaux contraints -----	101
III.2.1.3.a. Description de la méthode de la fonction Y -----	101
III.2.1.3.b. Extraction de la mobilité à champ faible -----	103
III.2.1.3.c. Analyse et synthèse -----	108

III.2.2. Extraction de la mobilité via une approche de type BSIM -----	109
III.2.2.1. Description de la méthode-----	109
III.2.2.1.a. Le modèle analytique -----	109
III.2.2.1.b. Stratégie d'extraction des paramètres -----	110
III.2.2.1.c. Extraction de R_{SD} et $\mu=f(Q)$ via la modélisation proposée-----	112
III.2.2.2. Etude du transport dans les dispositifs nMOS via la modélisation de type BSIM -----	114
III.2.2.2.a. Impact de la longueur de grille : cas FDSOI-----	114
III.2.2.2.b. Impact de la largeur de grille : cas TriGate-----	115
III.2.2.3. Bilan -----	116
III.3. ANALYSE APPROFONDIE DE LA VARIATION DE MOBILITE DUE A LA CONTRAINTE -----	118
III.3.1. Prédiction de l'influence de la contrainte sur la mobilité -----	118
III.3.1.1. Coefficients piézorésistifs -----	118
III.3.1.2. Application aux transistors à triple grille-----	120
III.3.2. Décorrélation des mécanismes d'interactions limitant la mobilité par étude en température -----	122
III.3.2.1. Analyse de la mobilité des transistors courts-----	122
III.3.2.2. Analyse de la mobilité dans les dispositifs étroits -----	125
III.4 CONCLUSION DU CHAPITRE III -----	127
CHAPITRE IV : -----	129
ETUDE DE L'IMPACT DE DIFFERENTES SOLUTIONS D'INGENIERIES DE CONTRAINTE SUR LES PERFORMANCES DES TRANSISTORS FDSOI -----	129
IV.1. PRESENTATION DE L'ARCHITECTURE 14NM FDSOI-----	130
IV.1.1. Contexte de l'étude -----	130
IV.1.2. Simulation mécanique du procédé de fabrication -----	131
IV.1.3. Hypothèses et paramètres de simulation -----	134
IV.1.4. Niveaux de contraintes dans le transistor 14nm-----	136
IV.2. COMPARAISON DES DIFFERENTES TECHNIQUES D'INGENIERIE DE CONTRAINTES -----	139
IV.2.1. Intégration « Gate-First »-----	139
IV.2.1.1. Evaluation de l'impact de la grille métallique -----	139
IV.2.1.2. Impact des S/D surélevés -----	140
IV.2.2. Intégration « Gate-Last » -----	141
IV.2.3. La technique SAIPS -----	143
IV.2.4. Effets induits par l'isolation STI -----	144
IV.2.4.1. Définition du problème -----	144

IV.2.4.2. Gain apporté par les S/D -----	146
IV.2.5. Synthèse -----	148
IV.3. CONSEQUENCES SUR LES PERFORMANCES ELECTRIQUES -----	150
IV.3.1. Procédé de simulation électrique-----	150
IV.3.2. Cas des dispositifs périodiques -----	151
IV.3.2.1. Influence de la longueur de grille -----	151
IV.3.2.2. Influence de l'épaisseur de l'épitaxie S/D -----	153
IV.3.2.3. Influence des zones SAIPS -----	153
IV.3.2.4. Influence de l'intégration « Gate-Last »-----	154
IV.3.3. Cas des dispositifs isolés-----	155
IV.3.3.1. Influence de la couche d'oxyde STI (STI _H) -----	155
IV.3.3.2. Influence de la contrainte résiduelle dans la couche TiN -----	156
IV.3.3.3. Cas d'une simulation viscoélastique -----	157
IV.4. CONCLUSION DU CHAPITRE IV -----	160
CONCLUSION GENERALE -----	162
BILAN GENERAL -----	162
PERSPECTIVES -----	164
ANNEXE -----	167
REFERENCES-----	169
LISTE DES PUBLICATIONS -----	185

LISTE DES NOTATIONS ET DES ACRONYMES

a	Paramètre de maille	Ge	Germanium
ALD	Atomic Layer Deposition	H	Epaisseur du film
B	Champ magnétique	HDD	Highly-Doped Drain
BOX	Buried Oxide	HK	High-K
C	Rigidité	I_D	Courant du drain
cCESL	Compressive CESL	I_{OFF}	Courant à l'état OFF = Courant de drain pour $V_G=0$ V et V_D =tension d'alimentation
cCESL	Compressive CESL	I_{ON}	Courant à l'état ON = Courant de drain pour $V_G=V_D$ =tension d'alimentation
CESL	Contact Etch Stop Layer	ITRS	International Technology Roadmap for Semiconductor
C_{gc}	Capacité grille-canal	j	Densité de courant
CMOS	Complementary Metal Oxide Semiconductor	K	Constante de Boltzman
CMP	Chemical-Mechanical Polishing	LDD	Lightly-Doped Drain
C_{ox}	Capacité surface d'oxyde de grille	L_{eff}	Longueur effective du transistor
CPP	Contacted Poly Pitch	L_G	Longueur de grille physique
cSi	Compressive silicon	m	Masse effective
cSiGe	Compressive SiGe layer	MCMob	Monte-Carlo Mobility
CVD	Chemical Vapor Deposition	MET	Microscopie Electronique à Transmission
D	Diffusivité	MOSFET	Metal Oxide Semiconductor Field Effect Transistor
E	Module de Young	n	Concentration de porteurs
E_e	Champ électrique	N_A	Densité de dopants
E_{eff}	Champ électrique effectif	NBED	Nano-Beam Electron Diffraction
E_F	Niveau de Fermi	N_f	Nombre de doigts (canaux)
E_H	Champ Hall	n_i	Densité intrinsèque des porteurs
E_i	Niveau de Fermi intrinsèque	PECVD	Plasma Enhanced Chemical Vapor Deposition
EOT	Equivalent Oxide Thickness	PED	Precession Electron diffraction
F_C	Force de collision	PVD	Physical Vapor Deposition
FDSOI	Fully Depleted Silicon On Insulator	q	Charge d'un électron
F_E	Force électrostatique	Q_{dep}	Charge de déplétion
F_L	Force de Lorentz	Q_{inv}	Charge d'inversion dans le canal

R_H	Coefficient de Hall	V_T	Tension de seuil
R_{SD}	Résistance d'accès	W_{eff}	Largeur effective du transistor
rSi	Relaxed silicon layer	μ	Mobilité
rSiGe	Relaxed SiGe layer	μ₀	Mobilité à champ faible
S	Compliance élastique	μ_c	Mobilité relative aux collisions coulombiennes
SS	Pente sous le seuil	μ_{eff}	Mobilité effective
S/D	Région source et drain	μ_{GMR}	Mobilité magnétorésistance géométrique
SAIPS	Self-Aligned In-Plane Stressors	μ_H	Mobilité de Hall
SDevice	Sentaurus Device	μ_{neu}	Mobilité relative aux défauts neutres
Si	Silicium	μ_{ph}	Mobilité relative aux collisions avec le réseau (phonons)
SMT	Stress Memorization Technique	μ_{sr}	Mobilité relative à la rugosité de surface
SPICE	Simulation Program with Integrated Circuit Emphasis	μ_{tot}	Mobilité totale
SProcess	Sentaurus Process	ρ	Résistivité
sSOI	Strained Silicon On Insulator	α ou CTE	Coefficient de dilatation thermique
STI	Shallow Trench Isolation	ε	Déformation
STRASS	Strained Si by Top Recrystallization of amorphized SiGe on SOI	ε_{Si}	Permittivité du silicium
SVisual	Sentaurus Visual	η	Viscosité
T	Température	θ	Coefficient ou facteur d'atténuation de mobilité
TCAD	Technology Computer Aided Design	ν	Coefficient de Poisson
tCESL	Tensile CESL	π	Piézo-résistivité
TEM	Transmission Electron Microscopy	σ	Contrainte mécanique
t_{si}	Tensile silicon	σ	Conductivité électrique
V	Potentiel électrique	σ₀	Conductivité électrique en absence du champ magnétique
v	Vitesse de porteurs	τ	Temps de relaxation
V_D	Polarisation du drain	Φ_F	Potentiel de Fermi
V_G	Polarisation de grille	Ψ_s	Potentiel de surface
V_H	Potentiel de Hall	ω	Pulsation de cyclotron

INTRODUCTION GENERALE

L'évolution technologique de l'industrie des semi-conducteurs se différencie, depuis plusieurs décennies par sa croissance rapide et innovante respectant les recommandations proposées par l'ITRS (= *International Technology Roadmap for Semiconductors*) [ITRS]. Aujourd'hui, les dimensions des architectures CMOS sont de l'ordre de la dizaine de nanomètres. A cette échelle, la solution reposant uniquement sur la miniaturisation des composants (ou la réduction d'échelle) ne sera vraisemblablement pas en mesure d'atteindre les spécifications en performance attendues. Pour les technologies CMOS sub-14nm, plusieurs solutions ont été envisagées permettant d'introduire et de contrôler une contrainte mécanique dans le canal afin d'augmenter la mobilité des porteurs dans les transistors CMOS actuels, par exemple, l'introduction des nouveaux matériaux de haute mobilité dans le canal (ex. : III-V, germanium, ...), le développement de nouvelles architectures (ex. : procédé à grille sacrificielle, épitaxie facettée, ...) et l'intégration de nouveaux procédés de contrainte localisée s'appuyant sur la déformation des matériaux ou sur les particularités mécaniques des architectures utilisées.

De ce fait les générations sub-14nm sur silicium associeront des architectures de transistors à contrôle électrostatique renforcé, telles que des transistors TriGate ou nanofils et des stratégies d'amélioration des propriétés de transport par ingénierie des contraintes mécaniques. Pour l'instant, l'évaluation du gain que peut apporter la contrainte se fait souvent de façon sommaire sur la base de raisonnement en canal long. Or les performances en canal court peuvent être foncièrement différentes du fait de contraintes fortement inhomogènes dans le canal de conduction des transistors. D'ailleurs, le transport des porteurs lui-même est affecté par cette même contrainte mécanique sans pour autant qu'on comprenne tous les mécanismes.

L'étude menée dans le cadre de cette thèse consiste à étudier de façon rigoureuse comment les contraintes mécaniques varient durant les différentes étapes du procédé de fabrication des dispositifs CMOS. L'objectif est ensuite d'évaluer leur impact sur les performances électriques du transistor fabriqué au sein du CEA-LETI. Ce travail s'inscrit dans le cadre d'une thèse du laboratoire d'excellence Grenoblois MINOS, couplant les caractérisations électriques approfondies incluant les analyses sous-jacentes (IMEP-LAHC), et les simulations TCAD mécaniques et électriques basées sur une reproduction des étapes clés du procédé de fabrication (CEA-LETI), tout cela afin d'interpréter les résultats obtenus et proposer des solutions optimisées. Egalement, cette thèse bénéficie directement de données issues de techniques de pointe (Nanobeam Diffraction) développées en parallèle au CEA-LETI. Il est important de noter que tout au long de ce manuscrit, nous porterons un intérêt particulier à utiliser plusieurs méthodologies/stratégies que

ce soit expérimentales ou en simulation/modélisation pour apporter le plus de pertinence possible à notre analyse. Trois outils principaux ont été utilisés : la caractérisation électrique et dans une moindre mesure la caractérisation magnétorésistive, la simulation numérique des procédés de fabrication avec l'outil TCAD (dont la simulation mécanique et électrique) et l'extraction des paramètres (essentiellement réalisée sur la mobilité des porteurs).

Ce travail se compose de quatre parties distinctes :

Le premier chapitre dresse l'état de l'art des procédés récemment utilisés intégrant la contrainte mécanique dans le canal et des principales techniques d'analyse de contraintes permettant la mesure de la déformation à l'échelle nanométrique. Dans ce chapitre nous expliquons en quoi consiste la simulation par éléments finis afin d'introduire l'outil de simulation principal utilisé dans cette thèse (TCAD). Une étude bibliographique est ainsi réalisée afin de définir l'origine de la contrainte mécanique dans les technologies CMOS et les propriétés physiques des matériaux employés en microélectronique, notamment l'élasticité linéaire et la piézo-résistivité du silicium.

Le deuxième chapitre décrit tout d'abord le principe de fonctionnement d'un transistor MOS à effet de champ puis les principales techniques d'extraction de mobilité utilisées : la "fonction Y", la technique "split-CV" et la magnétorésistance. Nous présenterons les premiers résultats obtenus par mesures magnétorésistives ainsi que l'intérêt de cette méthode pour les dispositifs courts. Une modélisation tridimensionnelle et des extractions de mobilité de magnétorésistance seront ensuite détaillées dans des configurations nMOS dites "triple-grille" pour compléter nos travaux expérimentaux.

Le troisième chapitre présente nos résultats d'extraction de mobilité à partir de mesures en température sur des dispositifs nMOS FDSOI et TriGate. Nous commencerons par une série de simulations TCAD dont différentes techniques seront mises en œuvre pour contraindre le canal : l'utilisation de substrats SOI contraints et l'application de contraintes externes par l'intermédiaire de couches minces d'encapsulation dites de "CESL". Dans ce chapitre, l'extraction de la mobilité à champ faible est effectuée selon deux méthodes différentes : la fonction Y et un modèle de type BSIM similaire basé sur le calcul de la charge d'inversion. La mobilité est ensuite examinée sous forme d'une loi de Matthiessen semi-empirique permettant d'une part, de décorrélérer les différents effets d'interaction (phonon, neutre et coulombienne) et d'autre part, de déterminer les mécanismes détériorant la mobilité.

Le dernier chapitre porte sur la simulation mécanique et électrique d'une nouvelle architecture FDSOI pour le nœud 14nm afin d'évaluer à la fois les différentes solutions d'ingénierie de contraintes, intégrées dans le procédé réel de fabrication, et le transport des porteurs correspondant. L'objectif de ce chapitre est double : présenter et valider d'abord la simulation

mécanique du procédé réel du transistor étudié pour en analyser et comparer différentes solutions d'ingénierie de contraintes, et évaluer ensuite l'impact de la contrainte induite par le procédé sur la performance électrique. Enfin, dans le cas des dispositifs isolés par l'oxyde STI, nous discuterons de façon approfondie par le biais des simulations viscoélastiques l'impact de cette isolation sur la contrainte du canal, et donc la mobilité.

Ce manuscrit se conclut par un bilan général résumant les principaux résultats de ce travail ainsi que par les perspectives futures envisagées.

CHAPITRE I :

LA CONTRAINTE MECANIQUE EN MICROELECTRONIQUE : UN PARAMETRE CLE DE L'AMELIORATION DES PERFORMANCES

Nous présenterons dans ce chapitre l'origine de la contrainte mécanique dans les technologies CMOS. Dans une première partie, nous montrerons les propriétés d'élasticité linéaire du silicium, en définissant les tenseurs d'élasticité reliant la déformation du matériau à la contrainte qui lui est appliquée, puis, la propriété piézo-résistive du silicium, qui se définit comme la variation de résistivité sous l'effet d'une contrainte mécanique. Un intérêt particulier sera également porté sur le comportement viscoélastique, puisqu'une majorité des matériaux utilisés dans la fabrication des circuits intégrés présentent un comportement visqueux à haute température. Par ailleurs, ce chapitre fera une synthèse des procédés récemment utilisés (non exhaustive) afin d'intégrer la contrainte mécanique dans le canal (plusieurs de ces procédés feront d'ailleurs partie des études des chapitres suivants). Nous présenterons aussi les principales techniques d'analyse de contraintes permettant d'un point de vue expérimental de mesurer la déformation à l'échelle nanométrique, en particulier les techniques NBED et PED. De plus, pour clairement introduire le contexte technique concernant les outils de simulation qui ont été utilisés dans cette thèse, un panorama des techniques de calcul allant des simulations des matériaux aux simulations circuits en passant par l'approche TCAD (= *Technology Computer Aided Design*) sera alors détaillé. Nous terminerons ce chapitre en posant les objectifs qui motivent ce travail de thèse.

I.1. PROPRIETES DES MATERIAUX EN MICROELECTRONIQUE D'UN POINT DE VUE MECANIQUE

I.1.1. Propriétés d'élasticité du silicium

Lorsqu'une sollicitation mécanique est appliquée à un matériau élastique, ce dernier peut se déformer. La déformation est réversible et proportionnelle à la contrainte appliquée. L'état de déformation du matériau peut être obtenu en utilisant le formalisme de la théorie de l'élasticité linéaire, appelée plus communément la loi de Hooke. En fonction des conditions expérimentales (température, pression, etc.) et de la nature des matériaux utilisés pour la fabrication des circuits CMOS, il est possible que la déformation puisse prendre des formes très différentes [Sidoroff 10] sous l'action d'un même niveau de contraintes. La relation qui existe initialement entre la déformation et la contrainte qui lui est appliquée n'est pas obligatoirement linéaire/réversible. Plusieurs lois de comportements ont été utilisées afin de décrire le comportement de ces matériaux (ex. : visqueux, plastique, viscoélastique, ...) [Hoffman 00]. Nous nous intéresserons ici uniquement aux comportements élastiques et viscoélastiques, puisqu'ils permettent de décrire de manière satisfaisante les matériaux utilisés dans le cadre de cette thèse.

I.1.1.1. Tenseurs des contraintes et des déformations

En première approche, une contrainte mécanique est considérée comme une densité surfacique de force, exprimée généralement en MPa (ou dans certains cas en dyn). Elle représente le rapport de la force extérieure à l'aire de la section sur laquelle elle est appliquée. Dans le cas d'une contrainte qui s'applique sur une face non perpendiculaire aux axes de référence, nous avons :

$$(\sigma_{ij}) = \begin{pmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{pmatrix}_0 \quad (I.1)$$

avec (σ_{ij}) le tenseur des contraintes exprimé dans le système d'axes cristallographiques [100], [010] et [001] (désigné ici par l'indice 0).

Dans certains cas le tenseur de contraintes peut se mettre sous une forme simple, dont les éléments non-diagonaux sont nuls. Par exemple, on parle d'une contrainte hydrostatique lorsque les trois éléments diagonaux sont égaux et non nuls, d'une contrainte biaxiale lorsque seules deux composantes sont égales et non nulles et on dit aussi qu'une contrainte est uniaxiale lorsque seul un des éléments de la diagonale est non nul. Lorsque qu'un tenseur de contraintes ne peut se mettre sous l'une de ces formes simples, il est possible de simplifier son étude en l'exprimant comme la somme d'un tenseur hydrostatique et d'un tenseur déviateur. Notons que d'un point de vue

microscopique, la contrainte hydrostatique modifiera le volume du cristal sans changer sa symétrie cristalline, tandis que celle déviatrice brisera sa symétrie sans influencer son volume.

De manière générale, la déformation, ou allongement relatif, est le rapport de l'allongement ΔL à la longueur initiale L_0 (figure I.1).

De manière similaire au tenseur de contraintes, les composantes du tenseur des déformations (ε_{ij}) forment aussi un tenseur de rang 2 dans la base cristallographique :

$$(\varepsilon_{ij}) = \begin{pmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{21} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{31} & \varepsilon_{32} & \varepsilon_{33} \end{pmatrix}_0 \quad (I.2)$$

La déformation est la réponse d'un matériau à une sollicitation mécanique. Elle dépend à la fois de la nature (ex. : uniaxiale) et de l'intensité de la contrainte ainsi que des propriétés mécaniques du matériau qui se déforme. Etant donné que le silicium est un matériau anisotrope, son état de déformation dépend étroitement de la direction de la contrainte par rapport à son réseau cristallin.

I.1.1.2. Tenseur d'élasticité du silicium

Les lois de l'élasticité linéaire décrivant les variations des composantes de la déformation lorsqu'une contrainte est appliquée sont données par la loi de Hooke suivante :

$$\varepsilon_{ij} = S_{ijkl} \sigma_{kl} \quad (I.3)$$

où S_{ijkl} est appelé tenseur des compliances élastiques, formant un tenseur de rang 4 (puisqu'il relie deux tenseurs de rang 2) avec 81 coefficients indépendants.

La relation de l'équation I.3 peut être inversée, et nous pouvons alors écrire le tenseur de contraintes en fonction de celui de déformation, comme :

$$\sigma_{ij} = C_{ijkl} \varepsilon_{kl} \quad (I.4)$$

où C_{ijkl} est appelé tenseur d'élasticité ou de rigidité.

En raison de la symétrie des tenseurs de contraintes et des déformations, le formalisme de la loi de Hooke peut être simplifié. Cela veut dire que seulement 36 éléments indépendants peuvent décrire le tenseur d'élasticité. En outre, il est connu que le silicium appartient à la classe cubique $m\bar{3}m$ (structure diamant). Ainsi, l'expression des matrices d'élasticité dans le système d'axes cristallographiques peut être considérablement simplifiée. Seuls 3 coefficients suffisent en effet à décrire complètement la matrice d'élasticité (il s'agit ici des éléments C_{11} , C_{12} et C_{44}). Le tableau I.1 résume les valeurs des constantes d'élasticité pour le silicium à température ambiante, déterminées expérimentalement par [Brantley 73] et qui seront prises en compte dans nos simulations TCAD.

Tableau I.1. Valeurs numériques des constantes élastiques du silicium d'après [Brantley 73].

Les rigidités C_{ij} ($\times 10^9$ Pa)		
C_{11}	C_{12}	C_{44}
165.7	63.9	79.6

Reste à souligner qu'il existe deux autres paramètres également intéressants, appelés module de Young E et coefficient de Poisson ν . Ils permettent d'informer respectivement sur la rigidité du matériau et sur sa déformation perpendiculaire à la direction de la contrainte. Ils sont exprimés en fonction des constantes élastiques tels que :

$$E_1 = \frac{\varepsilon_{11}}{\sigma_1} \text{ soit } E_1 = \frac{1}{S_{11}} \quad (\text{I.5})$$

$$\nu_{12} = -\frac{\varepsilon_{22}}{\varepsilon_{11}} \text{ soit } \nu_{12} = -\frac{S_{12}}{S_{11}} \quad (\text{I.6})$$

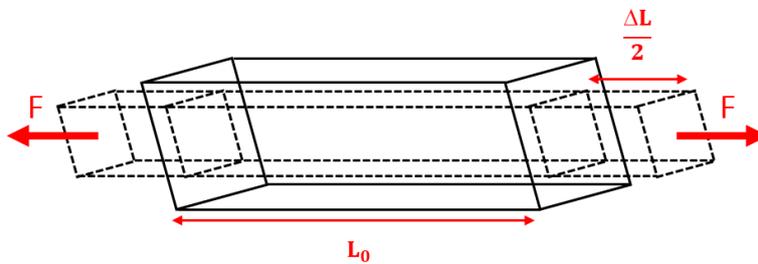


Figure I.1. Représentation schématique d'une déformation d'un barreau de silicium soumis à une sollicitation extérieure F uniaxiale en tension.

Comme nous le voyons dans la figure I.1, une contrainte uniaxiale en tension appliquée à un matériau quelconque engendre à la fois un allongement dans la direction de la contrainte (suivant la direction de la force \vec{F}) et une déformation dans les deux autres directions perpendiculaires.

Dans la suite de l'étude, la connaissance des propriétés élastiques pour une orientation cristallographique quelconque est essentielle. De ce fait, une loi de transformation entre les différents repères est appliquée, dont le principe est relativement simple. Il s'agit de connaître les propriétés élastiques du silicium dans le système d'axes cristallographiques de référence, défini précédemment par l'indice 0. Ensuite, il est nécessaire de définir les nouvelles matrices d'élasticité dans un nouveau repère dont les éléments de matrice sont des combinaisons linéaires entre les composantes C_{11} , C_{12} et C_{44} dans le repère de référence. Le lecteur souhaitant avoir de plus amples informations concernant ces lois de transformation, est invité à se référer à [Guillaume 05] [Kanda 82].

I.1.2. Le comportement viscoélastique des matériaux

Des matériaux comme l'oxyde de silicium (SiO_2) et le nitrure (SiN) largement utilisés en microélectronique, présentent un comportement à la fois élastique et visqueux en fonction de la température, entraînant une relation non linéaire et irréversible entre la déformation et la contrainte

qui lui a donné naissance. Ce comportement (appelé viscoélastique) se caractérise par une dépendance de la vitesse de déformation à la contrainte appliquée.

D'un point de vue modélisation, plusieurs formules ont été développées pour reproduire au mieux ce comportement. Parmi les formulations les plus largement utilisées, nous allons détailler l'élément de Maxwell, l'élément de Kelvin-Voigt et l'élément de Zener (ou modèle du solide linéaire standard) [Hoffmann 00] [Sidoroff 10]. Notons que ces modèles sont dorénavant intégrés dans des outils commerciaux de simulation de type Synopsys TCAD [Sentaurus 14]. Ils sont représentés par le schéma équivalent de la figure I.2.

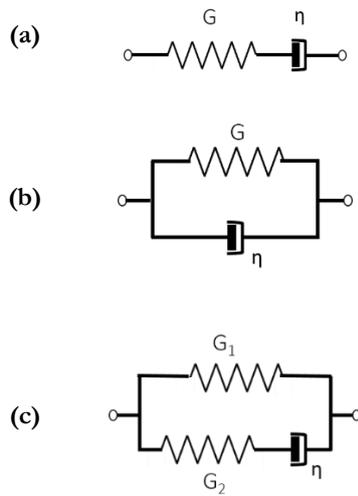


Figure I.2. Schémas illustrant les éléments viscoélastiques communément utilisés : (a) élément de Maxwell (b) élément de Kelvin-Voigt et (c) élément du solide linéaire standard.

I.1.2.1. L'élément de Maxwell

Ce modèle est représenté par l'association en série d'un ressort et d'un amortisseur schématisant respectivement les déformations élastiques et visqueuses (figure I.2.a). La déformation totale est équivalente à la somme de la déformation élastique ϵ_e et de la déformation visqueuse ϵ_v , telle que :

$$\Delta\epsilon = \epsilon_e + \epsilon_v \quad (I.7)$$

L'équation constitutive de l'élément de Maxwell peut alors s'écrire sous la forme :

$$\dot{\epsilon} = \frac{\dot{\sigma}}{G} + \frac{\sigma}{\eta} \quad (I.8)$$

où G représente le module d'élasticité, η la viscosité du matériau et $\dot{\sigma}$ et $\dot{\epsilon}$ les dérivations par rapport au temps de la contrainte et de la déformation.

I.1.2.2. L'élément de Kelvin-Voigt

Ce modèle représente quant à lui l'association en parallèle d'un ressort et d'un amortisseur (figure I.2.b). Dans ce cas, la contrainte totale est la somme des contraintes élastique σ_e et visqueuse σ_v :

$$\sigma = \sigma_e + \sigma_v \quad (I.9)$$

L'équation constitutive de l'élément de Kelvin-Voigt peut alors s'écrire :

$$\sigma = G\varepsilon + \eta\dot{\varepsilon} \quad (I.10)$$

I.1.2.3. L'élément de Zener

Le dernier modèle présenté dans ce paragraphe est le modèle de Zener, appelé également modèle du solide linéaire standard. Il se compose d'un modèle de Maxwell en parallèle d'un ressort, apportant l'élasticité instantanée (figure I.2.c). C'est le modèle le plus simple prédisant à la fois le fluage et la relaxation de contrainte [Sidoroff 10].

I.1.3. Piézo-résistivité dans les semi-conducteurs

D'un point de vue macroscopique, l'effet piézo-résistif se caractérise par la variation de la résistivité électrique ρ sous l'effet d'une contrainte mécanique σ appliquée sur un matériau. Dans le cas d'un cristal anisotrope (ex. silicium), la résistivité forme alors un tenseur symétrique d'ordre 2. Pour des valeurs de contraintes suffisamment faibles (typiquement inférieures à 200MPa), la variation de résistivité est linéairement reliée à la contrainte appliquée par un tenseur de rang 4, appelé tenseur de piézo-résistivité [Smith 54].

D'une manière analogue aux propriétés de l'élasticité du silicium abordées auparavant, la piézo-résistivité est une propriété également anisotrope. Les variations de résistivité $\delta\rho/\rho_0$ sont reliées aux composantes du tenseur de contraintes selon :

$$\frac{\delta\rho_{ij}}{\rho_0} = \pi_{ijkl}\sigma_{kl} \quad (I.11)$$

où π_{ijkl} sont appelés coefficients de piézorésistivité.

Du fait de la symétrie des tenseurs de contraintes et de résistivités résultant des symétries du cristal de silicium (structure diamant) [Nye 61], trois coefficients (π_{11} , π_{12} et π_{44}) suffisent pour décrire complètement la piézo-résistivité du silicium au lieu des 81 coefficients du cas général. Dans le système d'axes cristallographiques 0, la matrice de piézorésistivité du silicium peut s'écrire alors sous la forme :

$$(\pi_{ij})_0 = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix}_0 \quad (I.12)$$

D'après l'équation I.11, la variation de mobilité (notée $\Delta\mu/\mu$) peut s'écrire alors :

$$\frac{\Delta\mu_j}{\mu} = -\pi_{ij} \cdot \sigma_j \quad (I.13)$$

Pour traiter le cas de canaux orientés de façon quelconque par rapport aux axes cristallographiques, on applique sur les coefficients π_{ij} le même type de lois de transformation que pour les coefficients élastiques (changement de repère). Par exemple, pour un canal orienté $\langle 110 \rangle$, la matrice de piézorésistivité dans le nouveau repère (noté 1) s'écrit :

$$(\pi_{ij})_1 = \begin{pmatrix} \pi_L & \pi_T & \pi_{12} & 0 & 0 & 0 \\ \pi_T & \pi_L & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{11} - \pi_{12} \end{pmatrix}_1 \quad (I.14)$$

où π_L et π_T désignent respectivement les coefficients piézorésistifs longitudinaux et transverses, tels que :

$$\pi_L = \frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \quad \text{et} \quad \pi_T = \frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \quad (I.15)$$

De manière générale, le calcul des coefficients piézo-résistifs longitudinal et transverse dans les différentes directions cristallographiques d'un silicium dopé n, montre une forte anisotropie des effets piézo-résistifs, notamment dans les plans du substrat en silicium (100) et (110). En fonction des coefficients calculés par [Smith 54], les résultats associés sont représentés en coordonnées polaires sur la figure I.3. En revanche, la variation de ces coefficients dans le plan (111) présente un caractère isotrope, puisque les coefficients π_L et π_T calculés ont la même valeur quelle que soit l'orientation.

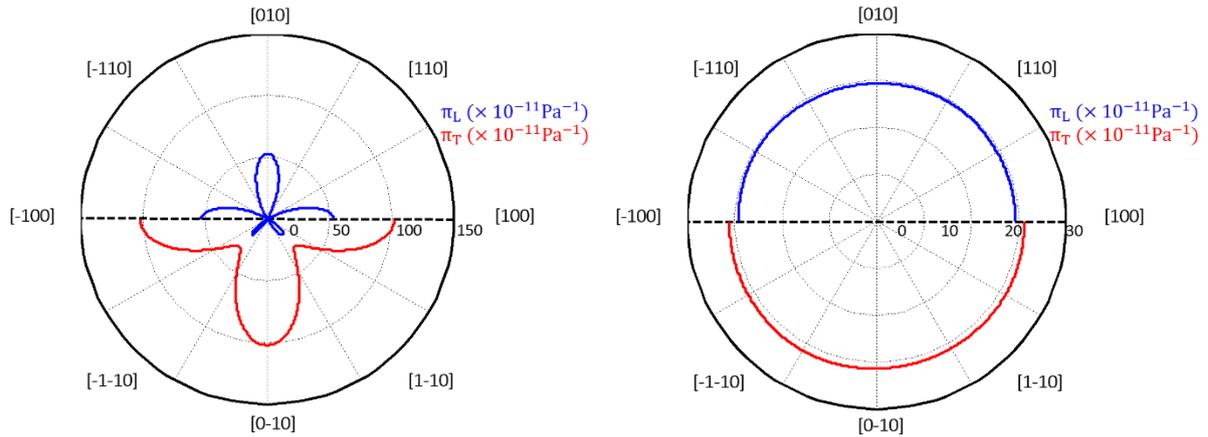


Figure I.3. Représentation des coefficients piézo-résistifs longitudinaux et transverses dans les plans (100) à gauche et (111) à droite du silicium, calculés suivant les coefficients [Smith 54].

D'un point de vue expérimental, la mesure des coefficients de piézo-résistivité se fait par un banc de caractérisation 4 points, permettant d'appliquer une contrainte uniaxiale (inférieure à 200MPa) le long du plan du dispositif. L'équation I.16 permet de relier le déplacement des pointes d à la contrainte appliquée σ sur le dispositif (figure I.4)

$$\sigma = \frac{12 \times E \times t \times \delta}{4 \times (L-l)^2 - 3 \times L^2} \text{ soit } \delta = \frac{11 \times d}{8} \quad (\text{I.16})$$

où E représente le module de Young du silicium, t l'épaisseur de la plaque et L/l les dimensions mesurées entre les deux pointes extérieures et intérieures.

Par rapport à une technique 3 points plus simple à mettre en œuvre, l'intérêt de cette technique est que la valeur de contrainte σ est constante entre les 2 points d'appui internes.

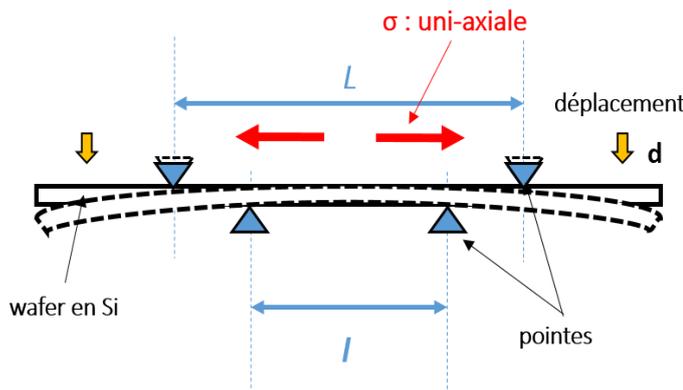


Figure I.4. Schéma illustrant le banc de caractérisation 4 points.

De plus, en fonction de la direction de la contrainte uniaxiale appliquée (flèche bleue sur la figure I.5) par rapport à l'orientation du canal (flèche rouge), nous pouvons déterminer l'ensemble des paramètres de la matrice (π_{ij}) via la mesure du courant de drain I_D associé [Rochette 07].

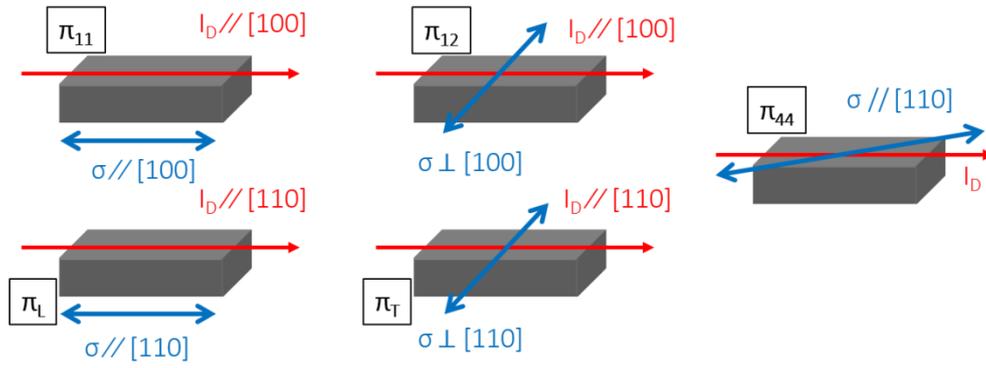


Figure I.5. Différentes configurations permettant d'extraire expérimentalement les coefficients π_{ij} .

Dans le silicium massif ainsi que dans le cas d'une couche d'inversion, les coefficients piézorésistifs sont généralement bien connus [Smith 54] [Canali 79] [Kanda 82]. En revanche, peu de données sont disponibles pour les dispositifs CMOS avancés [Rochette 08] [Pelloux 14a]. L'extraction de ces paramètres pour les canaux courts doit prendre en compte l'impact de la résistance d'accès. Les travaux récemment menés par Pelloux-Prayer *et al.* illustrent bien les variations des coefficients piézorésistifs induites par la réduction de la longueur et de la largeur des transistors [Pelloux 14a]. L'ajout d'une contrainte importante (de l'ordre du giga-Pascal) dans un canal d'un transistor conduit à une variation significative des coefficients piézo-résistifs [Cassé 12] [Suthram 07]. Les valeurs des coefficients piézorésistifs publiées dans la littérature pour différentes technologies CMOS sont rapportées dans le tableau I.2.

Tableau I.2. Tableau récapitulatif des coefficients piézorésistifs longitudinaux et transverses pour différentes technologies CMOS avec un canal orienté [110] : MOSFETs sur silicium massif, FDSOI, dont l'épaisseur du film vaut 6nm, et tripe-grille dont la largeur et la hauteur de la section sont respectivement 12 et 11nm. (Unité $\times 10^{-12}\text{Pa}^{-1}$)

Dispositifs CMOS		Bulk		FDSOI			Transistor à nanofil [Pelloux 14a]
		[Sun 10]	[Thompson 06]	[Rochette 09]	[Weber 07]	[Cassé 12]	
nMOS	π_L		-320			-400	-600
	π_T		-150			-200	-56
pMOS	π_L		710			630	267
	π_T		-320			-305	-124

Nous pouvons calculer en pratique la variation de mobilité $\Delta\mu/\mu$ selon l'équation I.13, en utilisant les coefficients du tenseur de piézorésistivité, lorsque la contrainte appliquée est relativement faible. Pour des valeurs élevées de contraintes de l'ordre du GPa (cas typique des

transistors actuels), l'utilisation du modèle piézorésistif linéaire n'est plus adaptée. Il devient alors nécessaire d'appliquer des modèles non-linéaires permettant de relier la variation de mobilité à la contrainte [Uchida 05] [DeSalvo 14], comme nous allons le voir plus loin au chapitre III ou bien d'utiliser une approche microscopique plus fine basée sur la structure de bandes. Dans le cas d'un silicium massif, l'approche piézorésistive renseigne uniquement sur le mécanisme d'interaction des porteurs avec les phonons (modification des structures de bandes induite par la contrainte). En revanche, dans le cas des transistors MOS où on parle d'une mobilité d'une couche d'inversion, et non pas d'un matériau massif, l'approche piézorésistive seule n'est plus adéquate pour justifier la mobilité dans le canal, notamment pour les transistors de faibles dimensions.

I.2. L'ORIGINE DE LA CONTRAINTE MECANIQUE

La contrainte mécanique est un levier technologique indispensable pour améliorer les performances des transistors CMOS. Actuellement, une large gamme de techniques permettant d'introduire et de contrôler le niveau de contrainte dans les canaux de conduction des transistors MOSFETs est apparue dans les procédés microélectroniques. La contrainte introduite par le procédé provoque une déformation du cristal, et modifie par conséquent les performances électriques.

I.2.1. Bref historique

Jusqu'aux années 80, la contrainte mécanique a, longtemps, été synonyme de défauts ponctuels (ex. : lacunes, impuretés) [Garros 09] ou d'étendus de dislocations dans les matériaux microélectroniques, et de délaminations de couches [Rochette 08]. Ce n'est que depuis une vingtaine d'années que les industries semiconductrices ont commencé à exploiter son influence sur la mobilité afin d'améliorer les performances des transistors MOSFETs [Thompson 02] [Ghani 03]. La contrainte modifie la structure de bande du semi-conducteur, ce qui implique à la fois une modification de l'énergie de la bande interdite ainsi qu'une levée de dégénérescences des bandes (conduction et valence), en réduisant la probabilité d'interaction entre les porteurs et les phonons (cf. chapitre II).

De manière générale, deux familles de contraintes peuvent être générées au moment de la fabrication de dispositifs MOSFETs. D'une part les contraintes mécaniques non-intentionnelles qui sont générées systématiquement tout au long des étapes de procédé. Ces contraintes mécaniques ont différentes origines, telles que le polissage mécano-chimique (connu sous le nom CMP = *Chemical-Mechanical Polishing*), les implantations ioniques, les recuits thermiques, les oxydations et les contraintes intrinsèques qui dépendent quant à elles des conditions du dépôt. Le deuxième type s'appuie sur les contraintes induites volontairement par le procédé de fabrication afin d'améliorer les performances de ces dispositifs, comme l'utilisation de substrat contraint : sSOI ou SiGeOI. Nous parlons alors d'ingénierie des contraintes (cf. figure I.6).

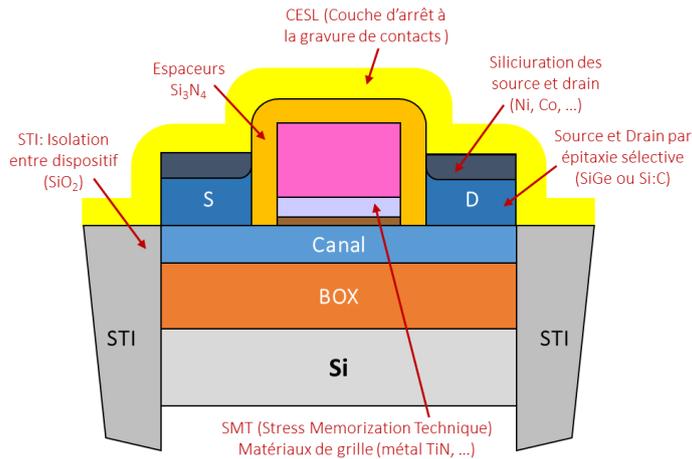


Figure I.6. Schéma illustratif des contraintes induites par le procédé de fabrication. Les éléments utilisés pour introduire des contraintes intentionnelles dans le canal sont indiqués en rouge.

I.2.2. Contrainte thermique

Ce type de contrainte est responsable de la partie la plus significative des contraintes mécaniques non-intentionnelles, puisque la plupart des étapes du procédé CMOS sont suivies généralement de plusieurs cycles de recuit (ex. : dépôt d'oxyde STI). En effet, l'origine de la déformation est due à la fois à la différence entre les coefficients de dilatation thermique entre les différents matériaux et à la température.

D'un point de vue théorique, le dépôt d'un film mince (d'épaisseur faible) à une température donnée (notée T_{dep}) sur un substrat épais (ex. : silicium) fait apparaître des contraintes mécaniques dans le film lors du retour à la température ambiante (T_{amb}). La déformation du film (supposé libre) dans le plan (notée ϵ_f) correspond au produit de son coefficient de dilatation thermique α_f avec l'écart de température ΔT ($T_{\text{dep}} - T_{\text{amb}}$). Elle s'écrit :

$$\epsilon_f = \alpha_f \times \Delta T \quad (\text{I.17})$$

Systématiquement, la déformation du substrat supposé libre (notée ici ϵ_s) peut s'écrire :

$$\epsilon_s = \alpha_s \times \Delta T \quad (\text{I.18})$$

avec α_s le coefficient de dilatation thermique du substrat.

En raison de l'épaisseur très élevée du substrat, le film déposé n'est toutefois pas libre de se relaxer, on dit que le substrat impose sa rigidité (figure I.7). Cela entraîne une déformation résiduelle dans le film, qui est la différence entre la déformation du film et celle du substrat ($\epsilon_f - \epsilon_s$). En appliquant la loi de Hooke, nous pouvons remonter à l'état de contrainte.

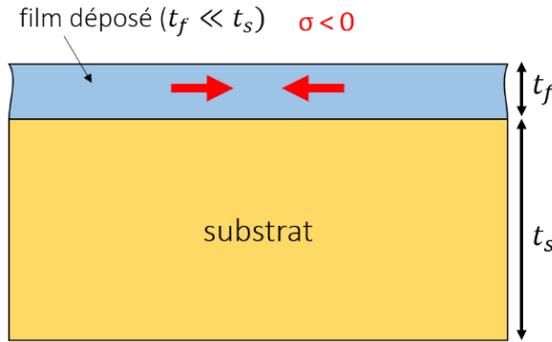


Figure I.7. Représentation schématique d'un film d'épaisseur t_f déposé sur un substrat d'épaisseur t_s , où $t_f \ll t_s$. Ici, le film déposé est en compression.

Il est également expérimentalement possible de déterminer la contrainte résiduelle dans les films déposés en fonction de la courbure de la bicouche film/substrat, qui est une grandeur macroscopique facilement accessible par l'intermédiaire de sa déflexion [Stoney 09]. Reste à souligner qu'une contrainte supplémentaire intrinsèque, difficile à prédire théoriquement, peut être introduite selon les techniques de dépôts utilisées (ex. : PVD, ALD, ...), qui s'ajoute à la contrainte d'origine thermique.

I.2.3. Contrainte intentionnelle

Un autre procédé de dépôt consiste à faire croître un matériau (cristallin) par épitaxie sur un substrat ou pseudo-substrat, dont les paramètres de maille sont différents. L'origine de la contrainte est due ici au désaccord de maille entre le substrat et la couche déposée. Elle est d'autant plus élevée que le désaccord de maille entre les deux matériaux est important.

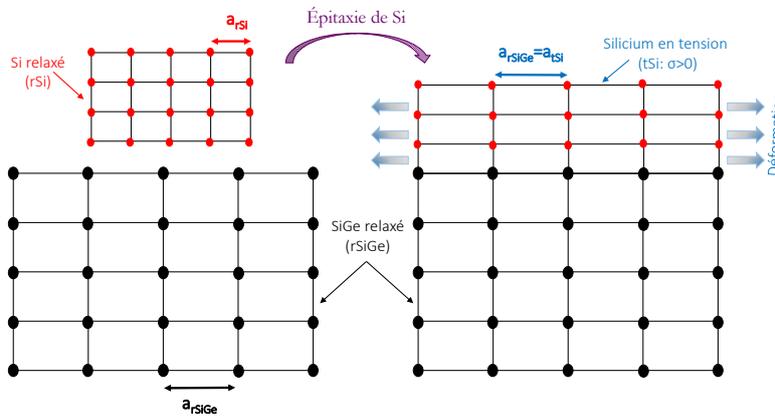


Figure I.8. Représentation schématique du désaccord de maille entre le silicium et le germanium lors de l'épitaxie d'une couche mince de silicium sur un pseudo-substrat de SiGe relaxé.

Comme nous le voyons sur la figure I.8, nous pouvons obtenir par exemple un silicium contraint en épitaxiant une couche mince de silicium sur un substrat relaxé de SiGe. Le silicium épitaxié est en tension bi-axiale. Le paramètre de maille des alliages SiGe (noté a_{SiGe}) dépend de la concentration en germanium. Plus la concentration en germanium est élevée, plus le paramètre de maille est grand. Selon la loi de Vegard du premier ordre, ce paramètre de maille peut être modélisé en fonction de la fraction molaire du germanium x comme :

$$a_{\text{SiGe}} = a_{\text{Si}}(1 - x) + a_{\text{Ge}}x \quad (\text{I.19})$$

avec a_{Si} et a_{Ge} les paramètres de maille respectifs du silicium et du germanium. Il est important de préciser qu'il existe d'autres équations, d'ordre supérieur, plus précises, permettant de calculer le paramètre de maille des alliages SiGe en fonction de la fraction x de germanium [Richard 03] [Fischetti 96].

En pratique, le calcul de la contrainte résiduelle dans la couche épitaxiée nécessite de calculer d'abord le tenseur de déformation associé à cette couche, et d'appliquer ensuite la loi de Hooke. La déformation de la couche de silicium dans le plan de croissance est égale à l'écart relatif de la valeur de son paramètre de maille par rapport à l'état relaxé :

$$\frac{\Delta a_{\text{SiGe}}}{a_{\text{SiGe}}} = \frac{a_{\text{SiGe}} - a_{\text{Si}}}{a_{\text{Si}}} \quad (\text{I.20})$$

Si le plan de croissance est le plan (001) du silicium, la déformation longitudinale $\varepsilon_{//}$ dans le plan de croissance des couches peut être exprimée dans le système d'axes cristallographiques ([100], [010] et [001]) par :

$$\varepsilon_{//} = \varepsilon_{11} = \varepsilon_{22} = \frac{\Delta a_{\text{SiGe}}}{a_{\text{SiGe}}} \quad (\text{I.21})$$

Tandis que la déformation transverse (notée ε_{\perp}) perpendiculaire au plan de croissance est de la forme (résultat obtenu en minimisant l'énergie élastique emmagasinée dans la couche) :

$$\varepsilon_{\perp} = \varepsilon_{33} = -2 \frac{C_{12}^{\text{SiGe}}}{C_{11}^{\text{SiGe}}} \varepsilon_{//} \quad (\text{I.22})$$

avec C_{ij}^{SiGe} les constantes élastiques du matériau SiGe, exprimées par :

$$C_{ij}^{\text{SiGe}} = (1 - x)C_{ij}^{\text{Si}} + xC_{ij}^{\text{Ge}} \quad (i = 1 \text{ et } j = 1,2) \quad (\text{I.23})$$

En appliquant la loi de Hooke et en supposant que la composante $\sigma_{\perp} = 0$, il est possible de remonter au tenseur des contraintes, dont $\sigma_{//}$ est la contrainte bi-axiale dans le plan (001). Son expression peut se mettre sous la forme analytique suivante :

$$\sigma_{//} = \sigma_{11} = \sigma_{22} = \varepsilon_{\perp} C_{12}^{\text{SiGe}} + \varepsilon_{//} (C_{11}^{\text{SiGe}} + C_{12}^{\text{SiGe}}) \quad (\text{I.24})$$

Par convention, une contrainte de signe positif indique une contrainte en tension, tandis qu'une contrainte négative correspond à une compression.

I.3. EXEMPLES D'INTEGRATION DE LA CONTRAINTE DANS LE CANAL DES DISPOSITIFS AVANCES

En microélectronique, différents procédés ont été utilisés afin de contraindre le canal des transistors MOS et d'améliorer par conséquent le gain sur le courant. D'un point de vue microscopique, une contrainte mécanique modifie directement la structure de bandes conduction/valence. Cela entraîne un décalage énergétique de ces bandes en fonction de la nature de la contrainte appliquée (ex. : hydrostatique, déviatrice), une modification du peuplement de porteurs et une variation de la masse effective. En général, nous pouvons classer en deux catégories distinctes les techniques permettant d'introduire une contrainte contrôlée dans le canal. La première dite globale, repose sur l'épitaxie des canaux contraints, où l'ensemble du substrat est uniformément contraint. La seconde catégorie est une méthode locale basée sur les contraintes induites par le procédé de fabrication.

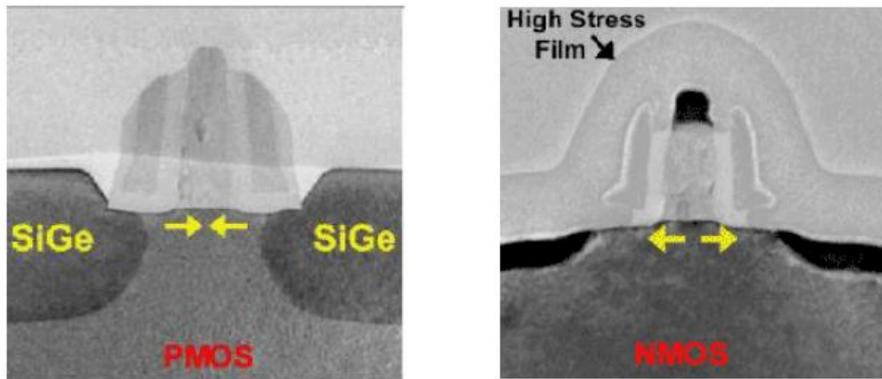


Figure I.9. Exemples des premiers transistors MOS industrialisés intégrant les contraintes via des S/D en SiGe (pMOS) et le dépôt des couches contraintes en tension (nMOS) [Ghani 03].

Dans ce sous-chapitre, nous présenterons d'abord les techniques les plus communément utilisées permettant de modifier l'état de déformation du canal, telles que l'intégration de couches de nitrure contraintes CESL et l'épitaxie des S/D en SiGe. Ensuite, nous détaillerons les nouvelles techniques récemment intégrées sur la route C14 (CMOS pour le nœud technologique 14nm) de STMicroelectronics.

I.3.1. Techniques largement utilisées en microélectronique

Comme nous pouvons le constater, les contraintes mécaniques sont omniprésentes dans la physique des semi-conducteurs, mais leur exploitation reste quelque chose de très récent en technologie CMOS. La société Intel est la première entreprise qui a pu produire des transistors MOSFETs contraints pour le nœud 90nm [Ghani 03]. Comme nous pouvons le voir sur la figure I.9, ces contraintes ont des origines mécaniques très différentes. Dans le cas des transistors nMOS,

une couche de nitrure SiN en tension est à l'origine de la contrainte dans le canal, tandis que le canal est mis en compression par des S/D en SiGe dans le cas pMOS.

Dans la suite de ce paragraphe, nous donnons une liste des principales techniques précédemment ou récemment utilisées dans les technologies CMOS. Notons que nous aurons l'occasion d'évaluer aux chapitres III et IV certaines de ces méthodes par le biais de la simulation TCAD.

I.3.1.1. Contraintes induites par les régions S/D

Parmi les plus anciennes méthodes pour introduire une contrainte contrôlée dans un procédé CMOS et améliorer la mobilité des trous figure la méthode des S/D surélevés en SiGe (figure I.9). L'objectif de cette technique consiste à contraindre localement le canal d'un transistor pMOS via la relaxation de zones S/D intrinsèquement contraintes en compression. En raison de la miniaturisation progressive des dispositifs microélectroniques, l'espacement entre la source et le drain ne cesse de baisser. C'est la raison pour laquelle la concentration en Ge dans ces zones épitaxiées augmente afin de conserver un niveau de contrainte bénéfique pour le transport des porteurs [Kuhn 12] [Coquand 13a]. Ce point en particulier sera abordé pour le cas du FDSOI dans le chapitre IV.

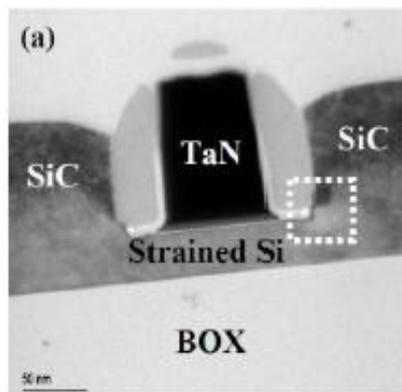


Figure I.10. Image TEM illustrant l'intégration des S/D en SiC tensiles sur transistor nMOS [Ang 05].

A l'inverse, la présence d'un faible pourcentage de carbone (de l'ordre du pourcent) dans les épitaxies surélevées des transistors nMOS, réduit considérablement le paramètre de maille de ces couches, puisque le paramètre de maille du carbone est très faible par rapport à celui du silicium (figure I.10). Ceci induit une tension dans ces zones, qui à son tour étire le canal [Ang 04] [Ang 05].

I.3.1.2. Couche contrainte d'arrêt à la gravure : CESL

Comme l'indique la figure I.9, une couche extrêmement contrainte (en nitrure SiN) recouvre le transistor nMOS. Il s'agit d'un dépôt d'une couche d'arrêt de gravure des contacts, notée CESL (= *Contact Etch Stop Layer*). La contrainte transférée dans le canal dépend de la morphologie du dispositif. Plus les dimensions du dispositif sont petites et plus la contrainte

transmise dans le canal est forte. Cette méthode peut être généralisée aux transistors pMOS, en ajustant les paramètres du dépôt [Monfray 07] [Raymond 09]. Ce point sera abordé dans le chapitre III.

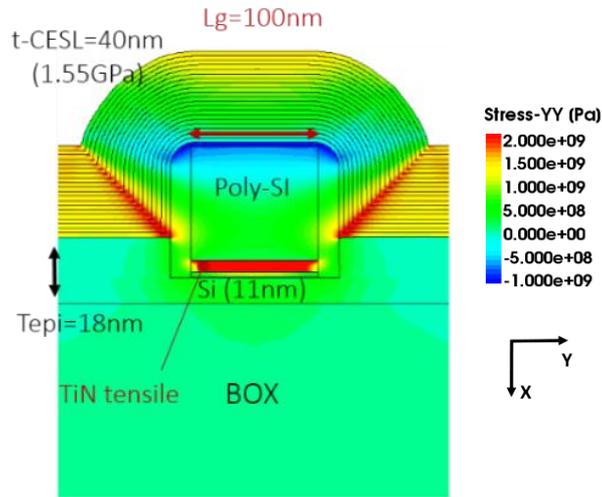


Figure I.11. Simulation mécanique TCAD d'un transistors MOS de longueur 100nm recouvert par une couche en nitrure en tension (1.55GPa) d'épaisseur 40nm, dont le canal est en silicium.

Pour illustrer le dépôt de la couche CESL, nous avons simulé via l'outil SProcess [Sentaurus 14] un transistor nMOS de longueur de grille L_g égale à 100nm. Cette couche est déposée selon un procédé dit "de multicouche". Le détail de cette simulation sera fourni ultérieurement dans le chapitre III. Comme présenté sur la figure I.11, une couche de nitrure en tension d'environ 1.5GPa, déposée sur un transistor nMOS d'épaisseur 40nm, permet d'introduire une contrainte de l'ordre de 400MPa dans le canal. Cela améliorera sans doute le transport des électrons dans cette architecture. De plus, il est nécessaire de souligner que cette contrainte dépend également de l'épaisseur du nitrure. Plus elle est élevée, plus la contrainte induite dans le canal est forte.

I.3.1.3. Substrat contraint

Comme nous l'avons détaillé précédemment l'utilisation d'un substrat contraint est la première solution évidente pour introduire de la contrainte mécanique. Nous aborderons plus loin une nouvelle approche reposant sur le fluage de l'oxyde enterré (BOX = *Buried Oxide*) et le transfert d'une contrainte résiduelle dans une couche de nitrure SiN (fortement contrainte) vers le canal pendant un recuit à haute température [Bonnevialle 15a] [Bonnevialle 15b].

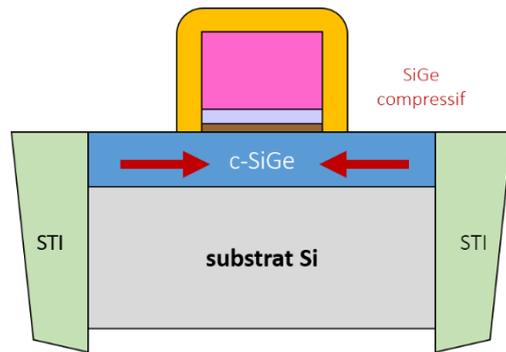


Figure I.12. Exemple illustrant une architecture à canal SiGe compressif (c-SiGe) sur substrat en silicium.

D'un point de vue procédé, différents alliages ont été utilisés en salle blanche pour obtenir des substrats contraints. Par exemple, la croissance d'une couche en SiGe sur un substrat en silicium, permet d'obtenir un film en compression (figure I.12), dont l'état de contrainte dépend de la concentration en germanium. La couche formée sera donc favorable pour les transistors pMOS. Notons que ces différentes méthodes s'appliquent aussi bien sur des substrats SOI que sur des substrats massifs en silicium.

Pour obtenir un film SOI mince en tension, on utilise une technique de report de couches (figure I.13). La première étape consiste à déposer une couche en silicium sur un substrat relaxé en SiGe. La couche de silicium obtenue est alors en tension. Puis, un second substrat composé de silicium recouvert d'une couche de SiO₂ est collé au premier substrat par voie moléculaire. Il a été démontré que cette étape n'engendre aucune relaxation dans la couche de silicium contraint [Andrieu 05a]. Enfin, le substrat présenté dans la première étape est retiré, par exemple par la méthode SmartCut™ [Ghyselen 04]. La couche de SiGe restante est ensuite retirée par attaque chimique et le résultat final correspond à un silicium en tension sur isolant (sSOI). Ce type de substrat sera plus amplement étudié dans le chapitre III.

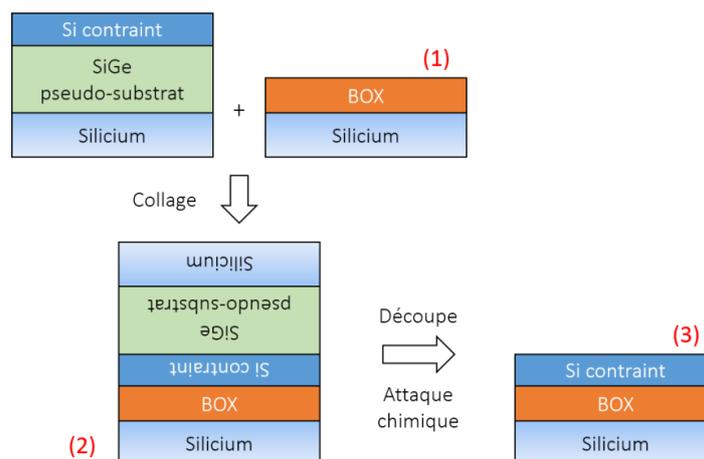


Figure I.13. Schéma illustratif des différentes étapes permettant d'obtenir un substrat sSOI en tension : (1) Réalisation de la couche de Si contrainte par croissance sur un substrat de SiGe relaxé. (2) Collage du wafer obtenu par la première méthode avec un wafer composé d'un substrat de silicium et d'une couche d'oxyde. (3) Retrait du substrat de silicium et de la couche de SiGe.

I.3.2. Techniques alternatives récemment intégrées en procédé

I.3.2.1. BOX CREEP

Cette technique rentre dans la catégorie des contraintes globales. Son principe est basé (suivant l'application) sur un dépôt d'une couche de nitrure compressive ou en tension à fort budget thermique ($>1000^{\circ}\text{C}$), afin de fluer l'oxyde enterré et de transférer ainsi la contrainte résiduelle dans le film SiN vers le substrat [Bonnevialle 15a] [Bonnevialle 15b].

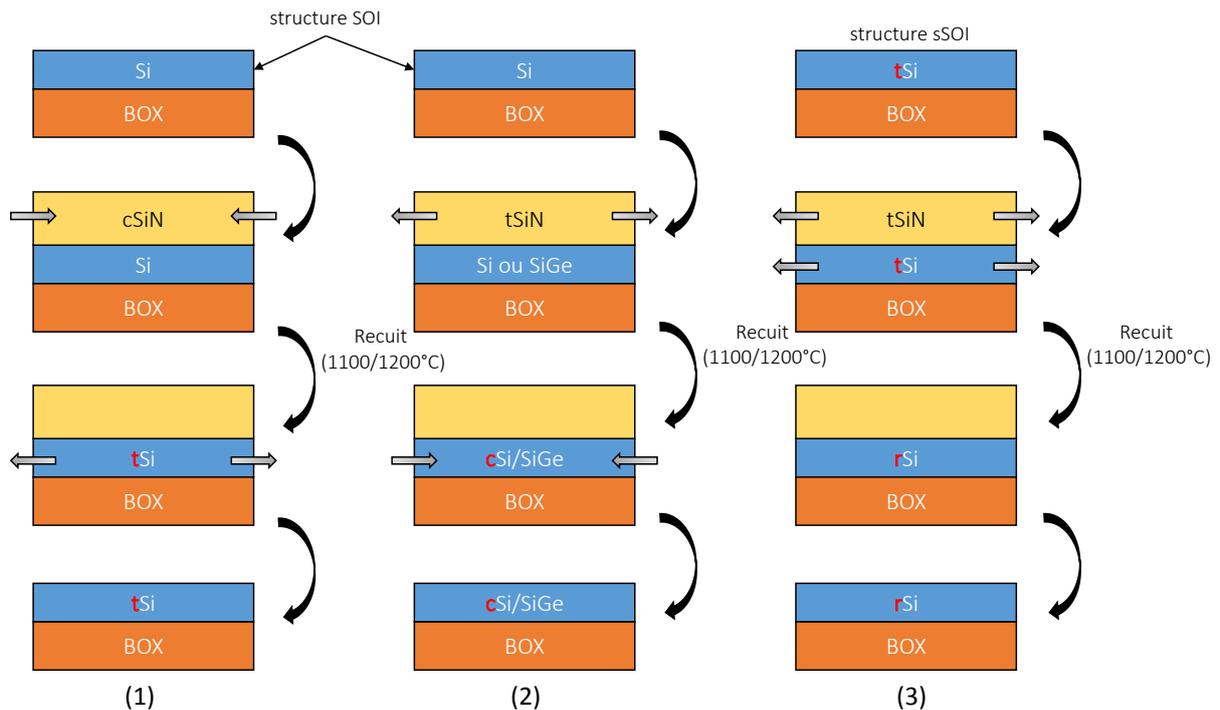


Figure I.14. Schéma illustratif du procédé BOX creep conduisant à la fabrication d'un substrat : (1) tSOI en tension (2) cSOI en compression (3) rSOI relaxé.

Comme l'indique la figure I.14, trois types de procédés peuvent être mis en œuvre. Ils induisent une contrainte différente dans le canal. En partant d'un substrat SOI, nous pouvons obtenir un substrat en silicium en tension (tSOI) avec une contrainte transférée dans le film d'environ +1.2 GPa [Bonnevialle 15a] ou un substrat en compression de type cSi ou cSiGe (l'indice t ou c indique que le film est en tension ou en compression). Cela dépend du signe de la contrainte dans la couche SiN déposée. Le dernier type d'application consiste à relaxer un substrat en silicium initialement contraint, en déposant une couche de nitrure en tension. Après recuit, la contrainte initiale dans le film a pu être abaissée de 1.4GPa à 0.6 GPa [Bonnevialle 15b].

I.3.2.2. STRASS

Le STRASS (= *Strained Si by Top Recrystallization of amorphized SiGe on SOI*) désigne la technique permettant d'obtenir un silicium contraint par la recristallisation supérieure d'une couche amorphe de SiGe sur un substrat SOI, dont le principe est schématisé par la figure I.15 [Maitrejean 15]. Ici, l'obtention d'un substrat en tension est fondée sur quatre étapes principales de procédé : d'abord l'épitaxie du SiGe sur substrat en silicium relaxé, puis l'amorphisation ionique de la couche du silicium et de la partie inférieure de SiGe, ensuite la recristallisation par recuit thermique des zones amorphes et finalement la gravure sélective du SiGe en présence d'un gaz HCl.

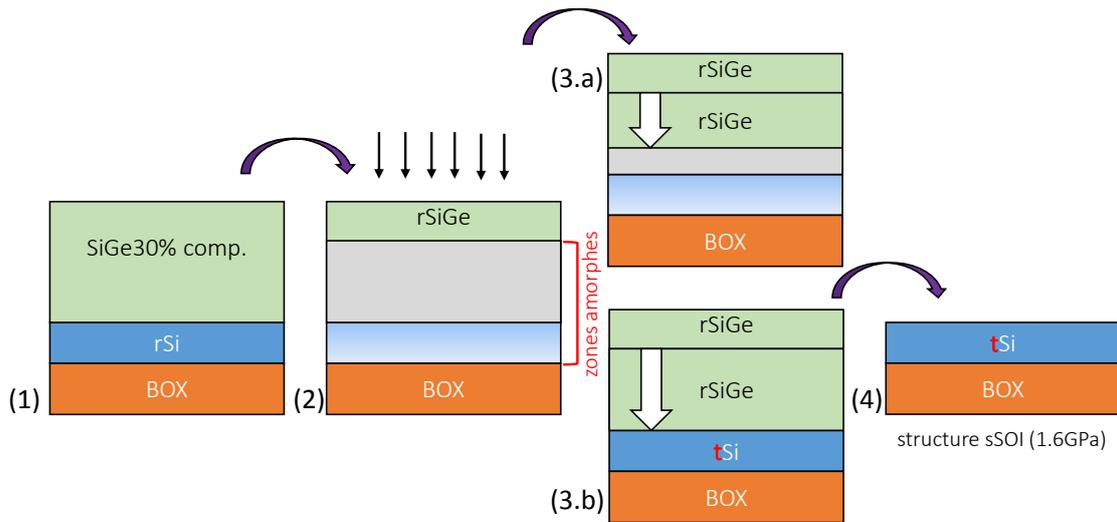


Figure I.15. Schéma illustratif du procédé STRASS conduisant à la fabrication d'un substrat sSOI en partant d'un wafer SOI : (1) épitaxie d'une couche SiGe sur SOI (2) amorphisation de la couche de silicium et la partie inférieure de la couche SiGe par ionisation (3) recristallisation par recuit thermique (4) gravure sélective du SiGe avec HCl gazeux.

Des résultats récents présentés par Bonneville *et al.* ont montré que le procédé STRASS a permis d'obtenir un substrat sSOI localisé avec une contrainte en tension d'environ +1.6GPa [Bonneville 15c].

I.3.2.3. SAIPS

Une méthode récemment utilisée (similaire à celle présentée précédemment au paragraphe §I.3.1.1) est la technique SAIPS (= *Self-Aligned In-Plane Stressors*). Comme l'indique la figure I.16, avant l'étape d'épitaxie S/D, le principe de cette méthode consiste à augmenter davantage la concentration en germanium par procédé de condensation [Tezuka 01] dans le film SiGe côté S/D du pMOSFET. L'un des avantages de cette technique est le transfert optimal de la contrainte depuis la zone SAIPS au canal.

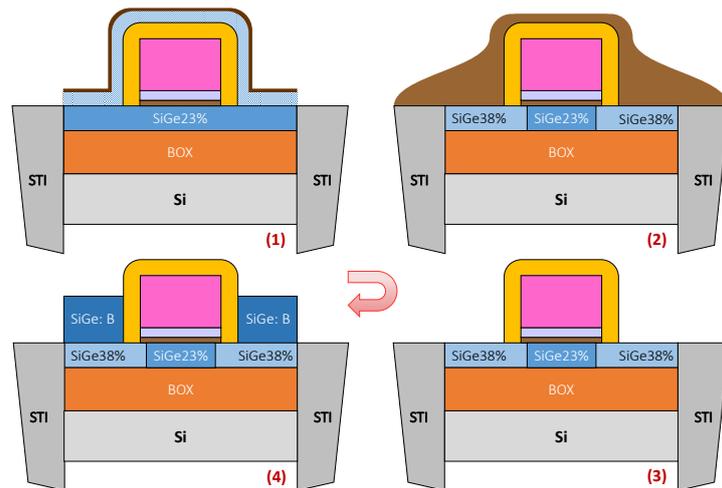


Figure I.16. Schéma illustratif du procédé SAIPS conduisant à la fabrication des zones fortement contraintes en partant d'un wafer cSiGe : (1) dépôt d'une couche non dopée de SiGe et d'oxyde après formation d'espaceur (2) oxydation pour une durée d'1h à 950°C (3) suppression d'oxyde (4) formation des S/D surélevés.

Des travaux menés par Grenouillet *et al.* pour un canal en silicium d'un transistor pMOS montrent un gain d'environ 1GPa, suite à une concentration en germanium de 23% dans les zones SAIPS [Grenouillet 13]. Cet effet sera quantifié via des simulations mécaniques dans le chapitre IV.

I.3.3. Bilan

La figure I.17 ci-après résume l'ensemble des techniques précédemment détaillées pour améliorer le transport des transistors CMOS. Nous avons divisé ces méthodes en deux approches différentes, basées sur la nature de contrainte induite dans le canal. Pour une approche globale où la contrainte est générée sur toute la plaquette, nous parlons alors de l'ingénierie du substrat. L'introduction des contraintes locales au niveau du canal par le procédé de fabrication constitue la deuxième approche.

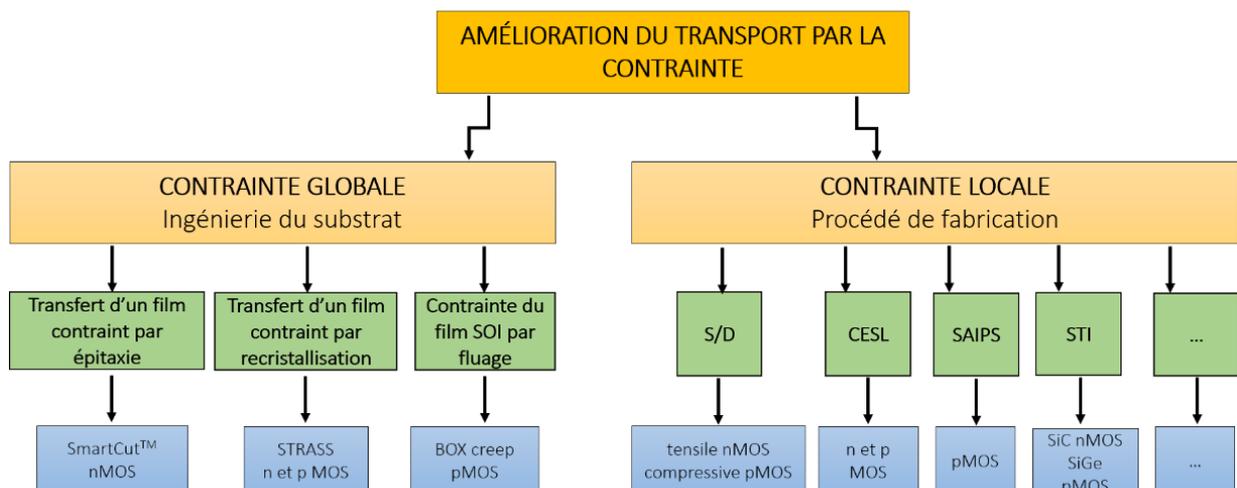


Figure I.17. Synthèse des solutions technologiques intégrant la contrainte dans un procédé CMOS sur SOI pour améliorer la mobilité des porteurs.

Afin de compléter cette analyse, il existe en effet d'autres moyens s'appuyant sur les contraintes induites par le procédé de fabrication, améliorant également la performance électrique de ces transistors. Ces nombreux moyens interviennent à plusieurs niveaux du procédé de fabrication d'un transistor à effet de champ, entre autres, au niveau du dépôt des couches d'oxyde STI [Eberlein 08] [Hu 90], de la siliciuration [Sayama 99], ou par la technique de mémorisation de la contrainte [Chen 04] [Ortolland 06b].

I.4. LES TECHNIQUES D'ANALYSE DE CONTRAINTES

Ce paragraphe a pour but de rappeler dans un premier temps les différentes techniques de mesures permettant de déterminer le niveau de déformation dans les canaux des transistors étudiés. Nous donnerons le principe des techniques NBED (= *Nano-Beam Electron diffraction*) et PED (= *Precession Electron Diffraction*) qui sont utilisées dans le laboratoire LCTE du LETI avec lequel nous avons collaboré, l'objectif étant d'avoir accès à des mesures de contraintes qui nous permettent de valider les résultats que nous avons obtenus par simulation. Le dernier paragraphe positionnera les outils de simulation, par éléments finis, que nous avons utilisés dans cette thèse.

I.4.1. Techniques de mesures de déformation

Le contrôle et la mesure de la contrainte mécanique dans un transistor à effet de champ se font généralement par plusieurs techniques et elles permettent toutes de renseigner sur l'état de déformation dans le canal. De manière générale, le choix de la méthode dépend de l'échantillon à disposition, de la résolution et de la sensibilité souhaitée. Nous pouvons classer ces techniques en deux catégories distinctes. D'une part, celles hors microscopie électronique, à titre d'exemple la diffraction de rayons X et la technique Raman, et d'autre part, les mesures de déformation par microscopie électronique. Dans cette étude, nous allons nous focaliser uniquement sur la méthode de diffraction en faisceaux parallèles (NBED) ainsi que celle en précession (PED). Le lecteur souhaitant connaître plus en détails les autres techniques utilisées permettant de mesurer l'état de déformation du canal, est invité à se référer à ces articles [Boureau 15] [Eggemann 13] [Rouvière 05] [Vigouroux 14].

I.4.1.1. Diffraction électronique en faisceaux nanométriques : NBED

Les méthodes de caractérisation basées sur les techniques TEM (= *Transmission Electron Microscopy*) sont de plus en plus courantes dans la microélectronique [Toda 08] [Favia 11], notamment la technique de diffraction en faisceaux parallèles (NBED). Son principe repose sur l'illumination d'un échantillon avec un faisceau d'électrons quasi-parallèle dont le diamètre de la sonde (noté d) est inférieur à la dizaine de nanomètres (figure I.18). Le cliché de diffraction obtenu (ex. : figure I.20.a et I.20.b) se compose de diverses taches de faibles diamètres, par lesquelles l'accès direct aux informations locales du cristal est possible.

L'utilisation du NBED en microélectronique porte généralement sur la détermination de phases cristallines et les orientations des matériaux caractérisés d'une part [Liu 05] [Alloyeau 08] ; d'autre part sur la mesure de déformation [Usuda 03], en déterminant le déplacement atomique du réseau.

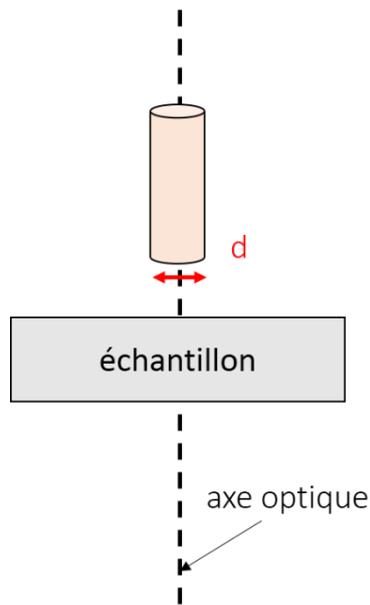


Figure I.18. Schéma de principe de la technique NBED. d est le diamètre de la sonde.

En effet, la mesure de la distance entre les taches dans un espace réciproque par rapport à une position de référence (prise généralement dans le substrat de silicium), donne naturellement accès à la déformation du matériau. De plus, lorsqu'une relaxation des contraintes se produit dans l'échantillon, un élargissement des spots peut s'observer. Cela représente alors un inconvénient majeur pour cette méthode.

I.4.1.2. Diffraction électronique en précession : PED

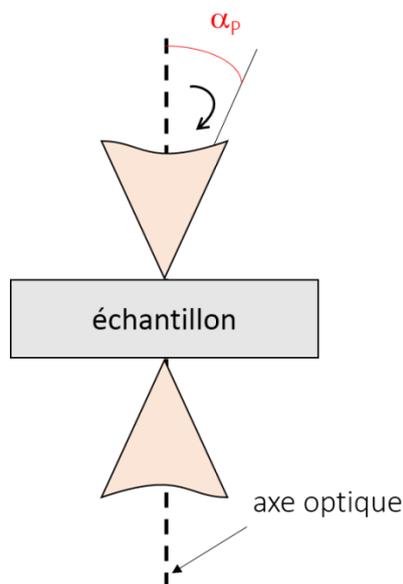


Figure I.19. Schéma de principe de la technique PED, α_p est l'angle de précession.

Parmi les solutions proposées pour effectuer des cartographies spatialement résolues de la déformation et de la structure cristalline, figure une technique nommée diffraction de faisceaux d'électrons faiblement convergents en mode précession (PED), dont le principe est schématisé en figure I.19 [Vincent 94]. Cette méthode requiert également un mode d'illumination TEM en

faisceau faiblement convergent. La différence entre PED et NBED réside dans le fait que le nano faisceau d'électrons ne conserve pas une direction de propagation fixe en mode PED [Vigouroux 15].

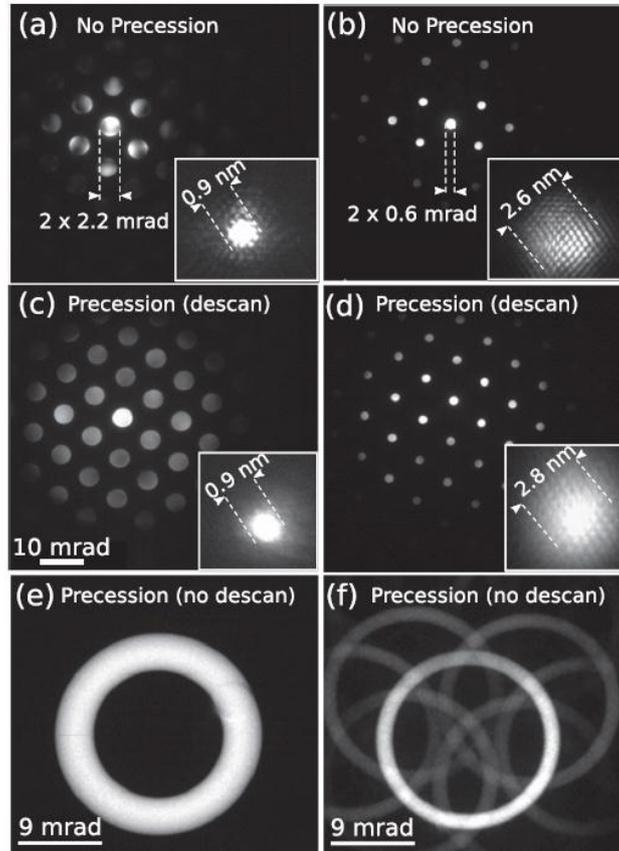


Figure I.20. Clichés de diffraction pris en axe $\langle 011 \rangle$ du silicium, obtenus pour différents angles de demi-convergence α et diamètres du faisceau d , avec et sans précession [Rouvière 13].

Comme le montre la figure I.20, l'introduction de la précession dans les techniques NBED améliore considérablement la qualité et la robustesse des analyses de déformation à l'échelle nanométrique. La technique PED offre alors plus de flexibilité dans les conditions expérimentales. En particulier, elle permet de travailler avec une large gamme d'angles convergents comparée à la technique classique NBED, plus le diamètre de la sonde est faible et plus la précision sur la déformation est élevée. Des travaux menés par Rouvière *et al.* ont permis de montrer une précision de l'ordre de 2×10^{-4} avec une sonde de diamètre égal à 1 nm [Rouvière 13].

Tableau I.3. Les principales techniques de mesure pour caractériser des déformations à une échelle nanométrique [Vigouroux 15] [Béché 09].

Technique	Résolution spatiale (nm)	Sensibilité	Epaisseur d'échantillon (nm)	Champ de vue	Limite
Rayon X	50 à 10	1.10^{-5}	Non décisive	Mesure ponctuelle	Utilisation d'une source synchrotron
Raman	>250	5.10^{-4}	Non décisive	Illimité	Résolution faible
Holographie électronique	<6	2.10^{-4}	<50	De $100 \times 100 \text{ nm}^2$ à $1 \times 1 \mu\text{m}^2$	Référence proche de la zone d'intérêt. Préparation d'échantillon.
NBED	3	6.10^{-4}	<300	Illimité	Sensibilité de la variation d'épaisseur ou courbure de l'échantillon
PED	3	2.10^{-4}	<300	Illimité	Système de mesures complexe

En résumé, le tableau I.3 récapitule les principales techniques de métrologie employées pour caractériser une déformation à l'échelle nanométrique. Comme nous le pouvons le voir, il n'y a pas une méthode universelle pour obtenir des informations complètes concernant le champ de déformation. Le choix d'une technique par rapport à une autre dépend principalement du type d'échantillons à caractériser et de la sensibilité en déformation souhaitée. Ici, nous n'avons présenté que le principe et les caractéristiques propres à la méthode NBED et PED. Les résultats de déformation associés feront l'objet des chapitres III et IV avec des comparaisons entre simulation mécanique et ces résultats de visualisation.

I.4.2. Techniques de simulation

Après avoir montré comment l'état de déformation peut être expérimentalement mesurée dans un matériau ou dispositif contraint, il est temps de présenter d'autres méthodes d'analyse basées principalement sur la simulation numérique pour évaluer l'impact des contraintes mécaniques sur la performance électrique des transistors avancés. En effet, nous pouvons diviser de façon très schématique la simulation numérique en plusieurs parties (figure I.21) : les simulations numériques avancées qui sont indispensables pour étudier les phénomènes physiques complexes, nécessitant une grande précision de calculs ; la simulation numérique des dispositifs microélectroniques (ex. : TCAD) qui est nécessaire au développement et à la prédiction des

performances des dispositifs CMOS ; les simulations des circuits électroniques qui peuvent être étudiés via des simulations de type analytique/compacte (ex. : SPICE).

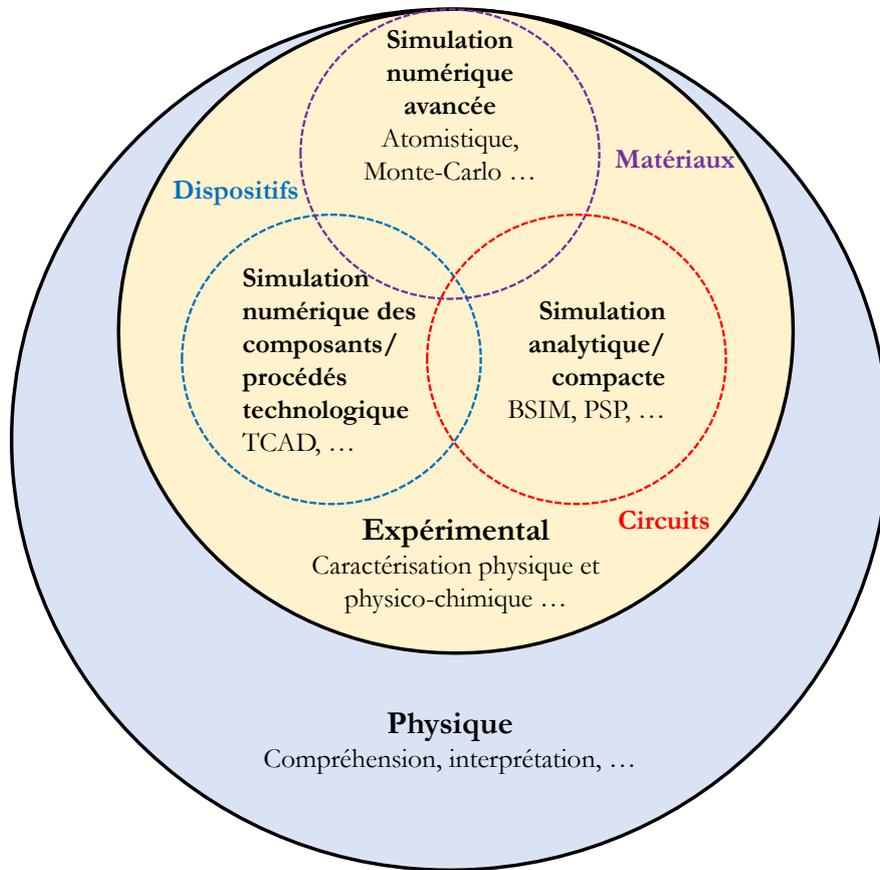


Figure I.21. Schéma illustratif des différents niveaux de simulation.

Le travail réalisé au cours de cette thèse a porté principalement sur l'analyse et la compréhension des contraintes mécaniques et leur impact sur la performance électrique. L'un des rares outils permettant d'étudier à la fois l'évolution de la contrainte (générée tout au long du procédé de fabrication) et le transport électrique associé est l'outil TCAD (cf. chapitres III et IV).

La figure I.22 décrit de manière schématique l'environnement de simulation utilisé au sein du laboratoire de simulation LSM au CEA-LETI [Sentaurus 14]. Comme nous pouvons le constater, plusieurs outils de simulation constituent notre environnement d'étude. D'abord, l'outil SProcess permet de simuler par éléments finis le procédé de fabrication de notre architecture. Par ailleurs, l'outil SDevice permet quant à lui de simuler électriquement la structure. Pour traduire la variation de contrainte apportée par le procédé de fabrication en mobilité, le modèle MCmob sera explicité plus loin dans le dernier chapitre. Cet environnement inclut également un outil de visualisation très performant, appelé SVisual, qui permet de visualiser différents paramètres tels que la représentation des dopants en fin de procédé, le champ de déformation, etc. Enfin, différents

générateurs de maillage sont aussi intégrés (ex. : mgoals, Snmesh, ...) dans le logiciel. Certains sont mieux adaptés que d'autres aux simulations bidimensionnelles.

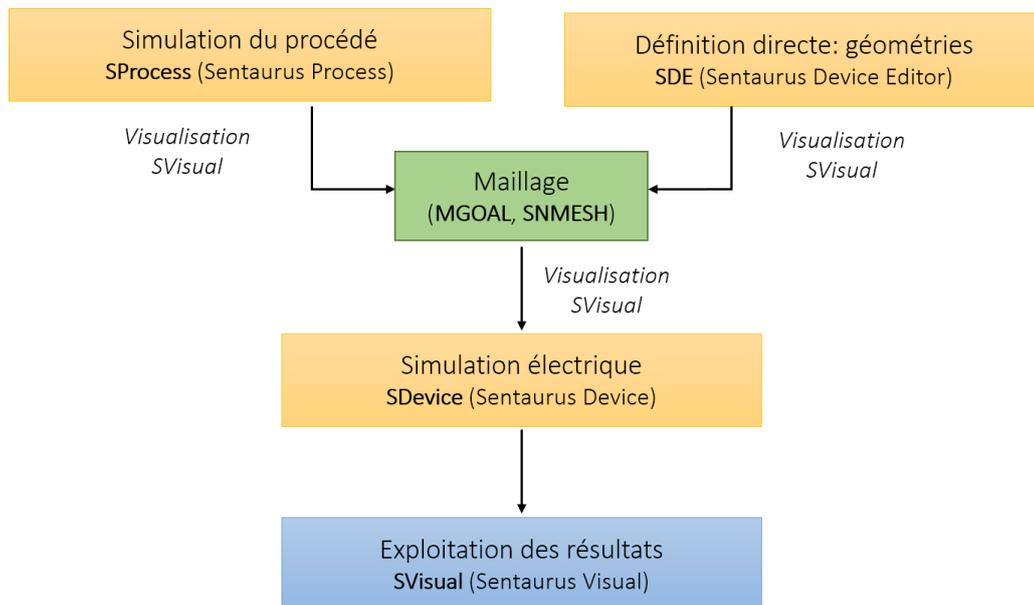


Figure I.22. Schéma récapitulatif des outils Sentaurus TCAD [Sentaurus 14].

En ce qui concerne la simulation de procédés, il est pratique de réaliser une analyse bidimensionnelle afin de mieux utiliser les approximations liées aux systèmes plans. Deux hypothèses principales sont employées, suivant la configuration géométrique de la structure : l'hypothèse des déformations planes, qui revient à considérer que la structure est infinie dans la direction perpendiculaire au plan de simulation, et celle des contraintes planes qui correspond en pratique à l'amincissement dû à la préparation TEM. Pour certaines architectures de transistors, il peut cependant être nécessaire de réaliser des simulations tridimensionnelles, beaucoup plus coûteuses en temps de calculs et en espace mémoire.

Nous détaillerons par la suite les résultats relatifs à la simulation TCAD. Deux types d'architectures seront principalement étudiés : une architecture nMOS à triple-grille, dont le substrat est en silicium (chapitre III), et une autre pMOS pour le nœud 14nm avec un canal en SiGe (chapitre IV).

I.5. OBJECTIF DE L'ETUDE

Notre travail s'articulera autour de plusieurs chapitres, détaillant les principaux aspects du travail réalisé tout au long de ces trois années de thèse. L'objectif de l'étude présenté dans ce manuscrit est d'étudier comment les contraintes mécaniques influencent les performances électriques dans les composants contraints, de façon à dissocier ces différents effets et à proposer à terme des directives d'ingénierie de contraintes. Pour cela, nous avons choisi comme dispositifs des transistors FDSOI pour le nœud 14nm et des transistors à triple-grille élaborés au CEA-LETI. Pour cette thèse qui bénéficiait du support du LabEx MINOS, nous nous sommes appuyés sur les outils de simulation TCAD mécanique et électrique du CEA-LETI et sur les moyens de caractérisation électrique de l'IMEP-LAHC. Nous avons également bénéficié d'un accès direct aux résultats de mesures de déformation NBED et PED réalisées au CEA-LETI.

Dans le chapitre II, nous présenterons différentes techniques de caractérisation électrique et de méthodologies d'extraction des paramètres pour étudier l'influence des contraintes sur les propriétés de transport (mobilité) en s'appuyant sur un modèle électrique du MOS. Il s'agit en particulier de la méthode split-CV et de la fonction Y. Dans le chapitre III, nous chercherons à simuler les champs de contrainte théorique dans le canal des transistors nMOS à triple grille par le biais des simulations mécaniques, et à extraire la mobilité via différentes approches analytiques afin de corrélérer la variation de la contrainte mécanique à la mobilité des porteurs. Enfin dans le dernier chapitre, des simulations numériques des transistors FDSOI de type p par éléments finis sous Synopsys seront également développées par le biais de la simulation TCAD afin d'évaluer les différentes solutions d'ingénierie de contraintes intégrées dans le procédé de fabrication de ces dispositifs ainsi que le transport des porteurs associé au nœud technologique 14nm.

CHAPITRE II :

EXTRACTION DE MOBILITE – METHODES CLASSIQUES ET MAGNETORESISTANCE

Ce chapitre présentera les principales techniques d'extraction de mobilité qui feront l'objet des chapitres III et IV de cette thèse. Ces méthodes sont basées principalement sur la mesure du courant de drain, la mobilité étant ensuite extraite via différents techniques telles que l'approche dite de la « fonction Y » (basée sur une mesure en courant) et la technique dite de « split-CV » (basée à la fois sur une mesure de courant et de capacité). Un intérêt particulier sera ensuite porté sur la mobilité magnétorésistive d'un point de vue expérimental et théorique. Ces techniques s'appuient sur un modèle de fonctionnement du transistor MOS. Dans un premier temps, nous allons expliquer brièvement le principe de fonctionnement d'un transistor MOS (Métal-Oxyde-Semiconducteur) à effet de champ. Différents mécanismes d'interaction détériorant la mobilité seront étudiés afin de comprendre l'impact de l'interaction des porteurs dans le canal sur le transport électronique. Cette étude portera notamment sur la décomposition en température de la mobilité par la loi de Matthiessen. Dans un second temps, nous introduirons les techniques d'extraction de mobilité, à savoir la magnétorésistance et les techniques classiques basées sur la mesure du courant en régime linéaire. Des extractions de mobilité de magnétorésistance géométrique transverse (notée μ_{GMR}) seront donc détaillées. Enfin, nous présenterons une modélisation 3D basée sur une approche classique de la mobilité de magnétorésistance simulée via l'outil FlexPDE, afin de montrer la faisabilité d'extraire la mobilité dans le cas d'une configuration de transistor de type TriGate.

II.1. PRINCIPE D'EXTRACTION DE MOBILITE

L'objectif de cette partie est de présenter les caractéristiques principales du transistor MOS (Métal-Oxyde-Semiconducteur) à effet de champ de type n, afin de se focaliser sur le paramètre clé décrivant le transport qui n'est autre que la mobilité des porteurs (noté μ). Pour des raisons de simplicité, un modèle de transport classique sur silicium massif valide en régime linéaire à forte inversion sera présenté ici.

II.1.1. Modèle analytique simplifié

II.1.1.1. Modèle Dérive-Diffusion

Il existe plusieurs modèles basés sur des hypothèses physiques permettant de décrire le transport de charge. Le modèle le plus simple, repose sur une approche classique de type dérive-diffusion [Lundstrom 00] [Grasser 03] [Van Roosbroeck 50] [Selberherr 84]. De manière générale dans le transistor MOSFET, les porteurs d'un semi-conducteur polarisé, sont soumis à la fois à l'action d'un champ électrique et à un gradient de concentration. Lorsque le gaz électronique est considéré comme étant proche de l'équilibre et que la température du gaz est égale à celle du réseau, la densité de courant des électrons peut s'écrire [Blotekjaer 70] [Stratton 62] :

$$J = qD_n \nabla n + nq\mu_n E \quad (\text{II.1})$$

où le premier terme correspond à la diffusion et le second terme à la dérive. Avec n la concentration de porteur, J la densité de courant, D_n le coefficient de diffusion, E le champ électrique transverse et μ la mobilité des porteurs.

De ce fait, la mobilité des électrons peut être exprimée d'un point de vue théorique comme [Gritsch 02] [Martinie 09] :

$$\mu_n = \frac{q}{m^*} \langle \tau \rangle \quad \text{où} \quad \langle \tau(\epsilon) \rangle = \frac{\int \tau(\epsilon) N(\epsilon) \epsilon \left[-\frac{\partial f^0(\epsilon)}{\partial \epsilon} \right] d\epsilon}{\int N(\epsilon) \epsilon \left[-\frac{\partial f^0(\epsilon)}{\partial \epsilon} \right] d\epsilon} \quad (\text{II.2})$$

avec τ le temps de relaxation des électrons, m^* la masse effective, $\langle \rangle$ est la moyenne sur l'énergie ϵ (appelée aussi moyenne Maxwellienne), f la fonction de distribution des électrons, f^0 la fonction de distribution des électrons à l'équilibre thermodynamique et N la densité d'états.

II.1.1.2. Structure MOS classique

Comme illustrée dans la figure II.1, le transistor MOSFET (de type n) considéré ici est constitué d'un substrat de type p et de deux zones fortement dopées (de type n) formant les zones source et drain. L'empilement de grille est constitué d'un diélectrique/isolant et d'un métal. Les principaux paramètres associés à la figure II.1 sont résumés dans le tableau II.1.

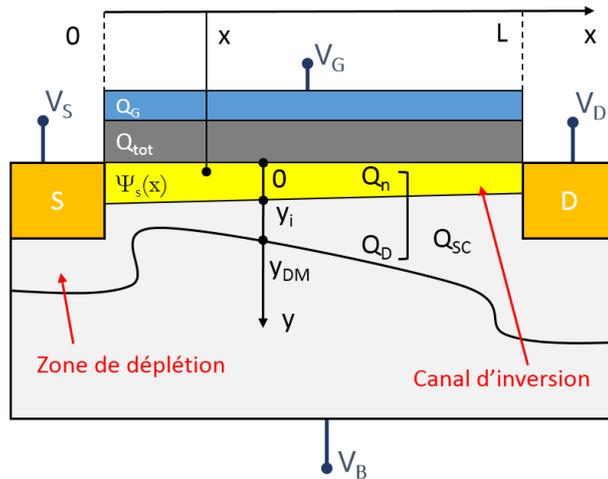


Figure II.1. Définition des différents paramètres de la structure MOS.

Tableau II.1. Définition des différents paramètres de la structure MOS

Paramètre	Signification
y_i	Épaisseur de la couche d'inversion
y_{DM}	Largeur de la zone de déplétion
Q_n	Charge d'inversion
Q_D	Charge de déplétion
Q_G	Charge portée par la grille
Q_{sc}	Charge totale dans le semi-conducteur
$\Psi_s(x)$	Potentiel dans chaque point du canal dû à la polarisation de drain

II.1.1.3. Principe de fonctionnement

Pour le fonctionnement d'un transistor MOS, deux régimes distincts sont considérés. A faible polarisation du drain V_D , le transistor se comporte comme une résistance régie par la grille. Il s'agit ici d'un régime ohmique largement exploité par les différentes techniques d'extraction de mobilité, du fait que la résistance est proportionnelle à la mobilité. En revanche, à fort V_D (régime de saturation), on parle d'un transistor en source de courant commandé idéalement par la grille. La caractéristique de transfert de la figure II.2 décrit la variation du courant de drain en fonction de la polarisation de grille en échelle logarithmique. Le transistor est donc commandé par la tension de grille (notée V_G) influant le nombre de porteurs dans le canal (il s'agit ici des électrons). Pour une tension V_D supérieure à 0, nous parlons "d'état bloqué" quand la tension V_G est inférieure à la tension de seuil V_T et "d'état passant" quand celle-ci est supérieure à V_T . La tension de seuil V_T représente le passage de l'état bloqué à l'état passant alors que la polarisation de drain V_{DD} représente la tension d'alimentation. Les performances des transistors MOSFET sont généralement définies par le ratio entre le courant I_{ON} (courant de drain pour $V_G=V_{DD}$) et le courant I_{OFF} (courant de drain pour $V_G=0V$). Ainsi, la pente sous le seuil SS correspond quant à elle à

l'augmentation nécessaire de la tension appliquée sur la grille V_G pour augmenter le courant de drain I_D d'une décade. Cela montre que plus le SS sera faible, meilleure sera la sensibilité du transistor à la commande.

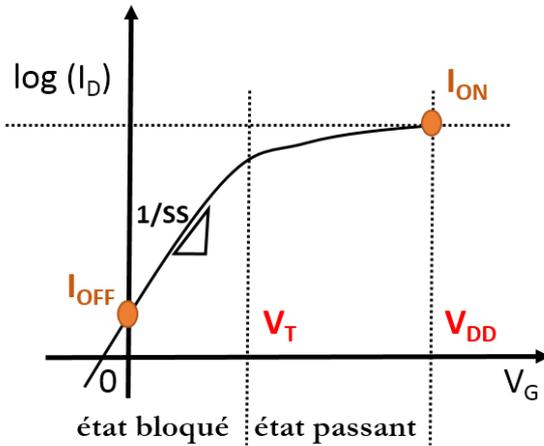


Figure II.2. Caractéristique de transfert d'un transistor nMOS $\log(I_D)V_G$. Pour $V_G > V_T$.

II.1.1.4. Régimes de fonctionnement

Il existe différents régimes de fonctionnement électrique d'un MOSFET selon la polarisation de grille tels que le régime sous le seuil, le régime d'inversion faible et celui de forte inversion. Le dernier régime sera le sujet de la suite de cette étude, de façon à retrouver l'équation du courant associée au drain (I_D) à l'état passant. Ici, nous allons commencer par décrire le diagramme de bandes, afin de retrouver l'origine de ces régimes. La figure II.3 présente le diagramme de bandes du transistor MOS. E_{FM} et E_F correspondent respectivement au niveau de Fermi du métal et du silicium. V est l'écart entre les quasi-niveaux de Fermi et correspond à la polarisation extérieure appliquée sur la grille, et $\Psi(y)$ est le potentiel de surface à l'abscisse y .

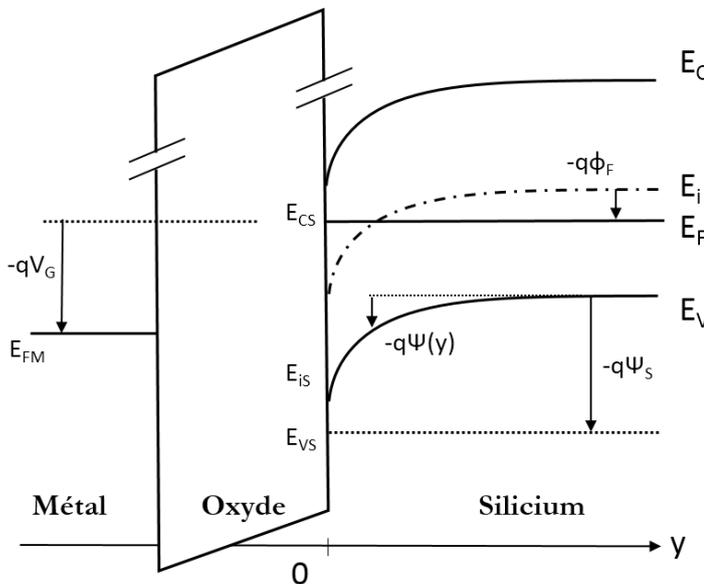


Figure II.3. Diagramme de bandes dans la direction verticale représentant la structure d'un nMOS.

Le niveau de Fermi est défini par l'équation II.3 ci-dessous :

$$E_F = E_i - q\Phi_F \quad (\text{II.3})$$

où E_i est le niveau de Fermi intrinsèque et Φ_F le potentiel de Fermi dans le volume du silicium exprimé par l'équation II.4 :

$$\Phi_F = \frac{KT}{q} \ln\left(\frac{N_A}{n_i}\right) = -\frac{1}{q}(E_F - E_i) \quad (\text{II.4})$$

avec K la constante de Boltzmann, T la température, q la charge élémentaire, N_A la densité de dopants et n_i la densité intrinsèque de porteurs.

Ainsi, le potentiel de surface Ψ_s donné par l'équation II.5 est la différence de potentiel représentant la courbure de bande entre la surface et le volume du semi-conducteur, comme indiqué sur la figure II.3.

$$\Psi_s = -\frac{1}{q}(E_{Cs} - E_C) \quad (\text{II.5})$$

Il est à souligner que selon les valeurs de ce potentiel, nous pouvons décrire quatre régimes de fonctionnement du transistor nMOS, allant du régime d'accumulation, où Ψ_s est négatif à celui d'inversion forte, où $\Psi_s > 2\Phi_F$ soit $V_G > V_T$ passant donc par deux régimes intermédiaires (désertion et inversion faible).

II.1.1.5. Courant de drain en régime d'inversion forte

Après avoir présenté la structure nMOS ainsi que son diagramme de bande, plusieurs hypothèses ont été utilisées afin d'aboutir à l'expression finale du courant de drain, [Tsividis 87] [Van Roosbroeck 52] [Munteanu 06] [Mathieu 01] :

- Le courant est assuré par un seul type de porteurs (des électrons dans le cas nMOS).
- Le courant de trous est négligeable par rapport à celui des électrons.
- Les lignes de densité de courant J sont parallèles à l'interface.
- Le potentiel varie plus rapidement sur l'abscisse y que sur x (cas du canal long).
- La mobilité est constante dans le canal (pour V_D, V_G données).

Comme Ψ_s varie de pas de $2\Phi_F$ (côté source) à $V_D + 2\Phi_F$ (côté drain), on obtient l'équation du courant de drain I_D en utilisant l'hypothèse de conservation du courant (I_D constant entre source et drain) et en intégrant la densité de courant dans le canal (équation II.1) depuis la source jusqu'au drain sur toute l'épaisseur de la couche d'inversion. Enfin, pour V_D suffisamment faible ($V_D \ll 2\Phi_F$), l'expression du courant de drain après développement peut s'écrire alors :

$$I_D = -\frac{W}{L} \mu_n C_{ox} (V_G - V_T) V_D \quad (\text{II.6})$$

où V_T représente la tension de seuil, W la largeur du transistor, L sa longueur, μ_n la mobilité des électrons et C_{ox} la capacité surfacique d'oxyde de grille.

II.1.2. Notion de mobilité

Pour les transistors à effet de champ, l'élément le plus important pour décrire le transport de charges dans le canal est la mobilité. Comme montré précédemment dans l'équation II.6, le terme μ_n représente la mobilité moyenne des électrons dans la couche d'inversion. La valeur de la mobilité dépend de plusieurs paramètres tels que le champ électrique, le dopage et la température.

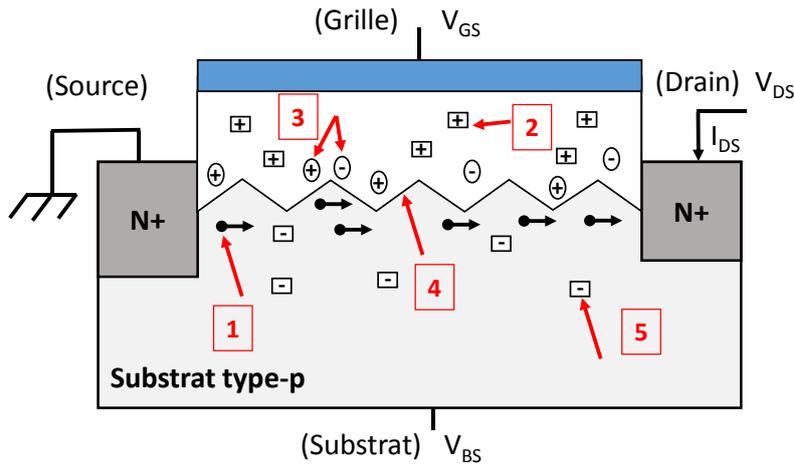


Figure II.4. Mécanismes de dégradation de la mobilité des porteurs : avec (1) collisions sur les phonons (2, 3 et 5) collisions coulombiennes et (4) collisions sur la rugosité de surface [Munteanu 06] [Lundstrom 00].

On considère qu'il existe trois grandes familles de mécanismes d'interaction qui influent sur la mobilité, comme le montre la figure II.4 : les collisions coulombiennes avec des charges telles que les dopants ionisés (correspondant à la mobilité μ_c), les collisions avec les vibrations du réseau cristallin, c'est-à-dire avec les phonons (μ_{ph}) et les collisions avec la rugosité de surface (interactions avec la surface Si/SiO₂) (μ_{sr}). Pour définir la mobilité effective des porteurs nous utilisons la loi de Matthiessen [Matthiessen 64]. Il se rajoute à celles-ci une quatrième famille, l'interaction avec les défauts neutres (μ_{neu}), c'est-à-dire avec des variations locales de la structure de bande non chargée. Notons que les termes de mobilité μ_{ph} et μ_c décrits par l'équation II.7 ont une dépendance en température très différente [Ando 82] [Erginsoy 50], comme le montre l'équation II.8 ci-après. En revanche, le terme de mobilité μ_{sr} dépend quant à lui de la tension de grille V_G (peu de dépendance en T), alors que le terme μ_{neu} ne dépend ni de la tension V_G ni de la température T .

$$\frac{1}{\mu_{tot}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_c} + \frac{1}{\mu_{neu}} + \frac{1}{\mu_{sr}} \quad (\text{II.7})$$

$$\mu_{ph} = \alpha_{ph} \frac{300^{\gamma}}{T^{\gamma}} \quad (\text{II.8.a})$$

$$\mu_c = \alpha_c \frac{T}{300} \quad (\text{II.8.b})$$

$$\mu_{\text{neu}} = \alpha_{\text{neu}} \quad (\text{II.8.c})$$

où μ_{tot} est la mobilité effective totale, T la température, μ_{sr} est la mobilité due à la rugosité de surface, μ_{ph} , α_{ph} et γ sont les paramètres dus à la composante phonon, μ_{c} et α_{c} sont ceux dus aux interactions coulombiennes et μ_{neu} et α_{neu} représentent les interactions avec les défauts neutres.

En pratique, les mécanismes d'interaction dominant peuvent être alors obtenus en analysant la dépendance en température de la mobilité totale μ_{tot} , afin d'extraire les éléments de mobilité associés (α_{ph} et α_{c}). On peut ensuite étudier leurs variations avec la géométrie en comparant les résultats obtenus pour des transistors de dimensions différentes. Ce point sera détaillé plus loin dans le cas des transistors à triple grille (voir chapitre III).

II.1.2.1. Mobilité phonon

L'interaction avec les phonons décrit l'interaction des électrons avec les vibrations du réseau cristallin. Pour cela, deux types de phonons sont distingués selon la température. A basse température (typiquement inférieure à 100K) les collisions prépondérantes se font avec des phonons de type acoustique [Barral 08] [Kireev 78]. Cela entraîne principalement des transitions intra-vallées. La mobilité peut alors s'écrire à l'interface canal/diélectrique sous la forme :

$$\mu_{\text{ph}} \propto \frac{N_{\text{inv}}^{\frac{1}{3}}}{T} \quad (\text{II.9})$$

où N_{inv} est la densité de porteurs dans la couche d'inversion et T la température.

Par ailleurs, lorsque la température atteint des valeurs élevées, ce sont les transitions inter-vallées par absorption ou émission de phonons optiques qui deviennent prépondérantes. Nous parlons alors d'interaction phonon de type optique [Barral 08]. Cela est d'autant plus vrai que le matériau est dense (contient plusieurs atomes par maille). La mobilité peut s'exprimer de la façon suivante [Kireev 75] [Dollfus 99] [Lundstrom 00] :

$$\mu_{\text{ph}} \propto N_{\text{inv}}^{\frac{1}{\tau}} T^{-n} \quad (\text{II.10})$$

où τ représente le temps de relaxation et n une constante dépend de l'orientation cristallographique.

Pour notre étude, la mobilité de phonons est particulièrement intéressante car elle dépend de la contrainte mécanique. La dépendance principale provient des modifications de structure de bande induite par la contrainte et notamment pour le silicium de la levée de dégénérescence entre bandes équivalentes induites par des contraintes autres qu'hydrostatiques (Fig. II.5). Cette levée de dégénérescence réduit fortement la probabilité de transition d'une vallée de la bande de conduction à une autre et se traduit par une augmentation à la fois du temps d'interaction (τ_{ph}) et de la mobilité phonon (μ_{ph}).

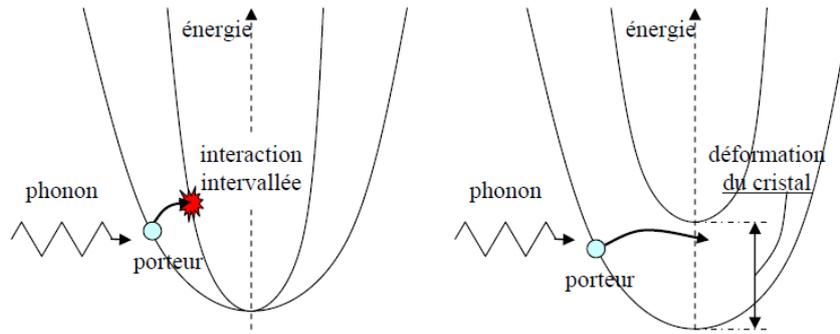


Figure II.5. Représentation schématique de l'interaction phonon porteur dans le cas d'un cristal de silicium relaxé (à gauche) et dans le cas contraint (à droite). Tirée de [Ortolland 06a].

II.1.2.2. Mobilité coulombienne

Les sites chargés situés dans le canal (dopants ionisés) ou à proximité immédiate (charges à l'interface oxyde/canal), créent un potentiel parasite capable de changer la trajectoire des porteurs. La mobilité correspondante est appelée « mobilité coulombienne ». Ces collisions sont prépondérantes pour les basses températures, lorsque les collisions avec les phonons sont « gelées ». Elles sont prépondérantes à faible inversion et directement proportionnelles au champ effectif appliqué (perpendiculaire au sens de transport) et à température [Jeon 89] :

$$\mu_c \propto \frac{T}{N_{cs}} \quad (\text{II.11})$$

où N_{cs} est la concentration de charges de surface, comprenant la charge fixe de l'oxyde, la charge d'états d'interface et la charge localisée due aux impuretés ionisées.

Dans la littérature, des travaux basés sur l'impact de la contrainte mécanique sur la diffusivité des dopants [Lee 12] [Covern 94] [Wang 05], ont montré que la contrainte mécanique peut affecter l'énergie d'activation des dopants (le dopage et éventuellement la concentration de défauts neutres) et leur diffusion lors des recuits utilisés pendant la fabrication (figure II.6). Il est donc important de disposer de techniques d'extraction de mobilité qui tiennent compte correctement de la variation possible de la longueur effective du canal. Cette variation de longueur est négligeable pour les canaux longs. Elle peut devenir très importante dans les transistors à canal court. Un exemple marquant en a été fourni dans [Lee 12] pour des transistors pMOS à canal SiGe contraint en compression ou non contraint sur isolant. L'effet principal de la contrainte était comme attendu une augmentation de la mobilité pour les canaux longs. En revanche, c'est la diffusion plus faible du bore depuis les S/D vers le canal qui expliquait l'amélioration des performances des transistors courts, avec une longueur effective réduite, un canal moins dopé, un courant de fuite réduit et des interactions coulombiennes importantes.

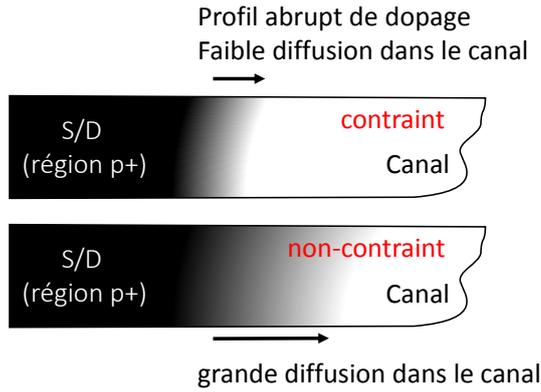


Figure II.6. Schéma illustrant la diffusion du bore retardée dans le canal par la contrainte comparé à son homologue non contraint [Lee 12].

II.1.2.3. Mobilité surface rugueuse

La rugosité de surface à l'interface oxyde de grille/canal (qui dépend principalement des conditions du procédé) constitue une source importante de collisions. Les collisions avec la surface rugueuse varient peu avec la température. Elles sont dominantes en forte inversion (fort champ électrique transverse). Cette dépendance en champ peut être modélisée par [Jeon 89] :

$$\mu_{sr} \propto \frac{1}{E_{eff}^2} \quad (II.12)$$

où μ_{sr} étant la mobilité due à la surface rugueuse et E_{eff} le champ électrique effectif (transverse).

En résumé, comme nous l'avons évoquée précédemment la contribution relative de ces trois mécanismes de collision dépend de la température et du champ effectif (ou de la concentration de porteurs dans le canal). A température ambiante et à faible champ, la mobilité est dominée par les collisions avec les phonons et avec les charges coulombiennes, alors qu'en forte inversion, les collisions sont dominées par la rugosité de surface. A basse température, seules les collisions avec les charges coulombiennes et avec la rugosité de surface sont significatives. La figure II.7 résume de façon schématique les composantes de ces différents mécanismes en fonction de la température et du champ effectif.

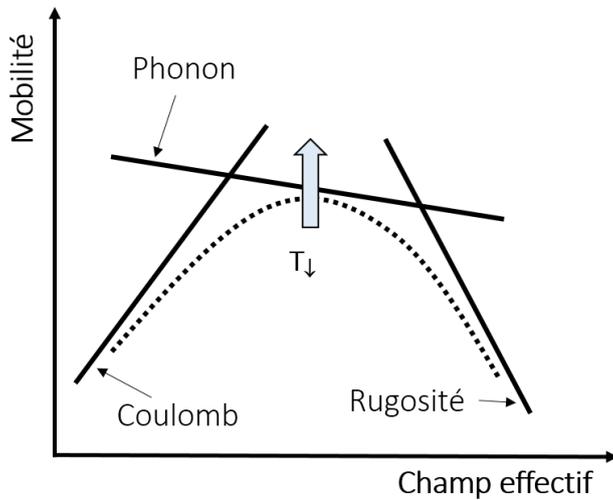


Figure II.7. Evolution de la mobilité effective et de ses différentes composantes en fonction du champ effectif [Takagi 94].

II.2. METHODES DE CARACTERISATION ET METHODOLOGIES D'EXTRACTION

L'objectif de cette partie consiste à présenter les différentes techniques de caractérisation électrique du transistor MOSFET, en montrant leurs avantages et leurs limites. Les techniques présentées ici seront mises en oeuvre dans les chapitres III et IV de ce manuscrit de thèse.

II.2.1. Technique dite de « Split-CV »

La première technique que nous présentons ici est basée sur la mesure conjointe de la capacité et du courant afin d'obtenir une description de la mobilité en fonction de la charge d'inversion. La capacité servant au calcul de la charge d'inversion et le courant permet de déduire la valeur de mobilité. D'un point de vue théorique, la mobilité effective extraite par la méthode « split-CV » en fonction de la charge d'inversion, est définie comme [Huang 93] [Romanjek 04a] :

$$\mu_{\text{eff}}(Q_{\text{inv}}) = \frac{L_{\text{eff}}}{W_{\text{eff}}} \cdot \frac{I_D}{Q_{\text{inv}} \cdot V_{\text{DS}}} \quad (\text{II.13})$$

où I_D est le courant de drain mesuré en fonction de V_G , W_{eff} et L_{eff} correspondent respectivement à la largeur et la longueur effective de grille du transistor et Q_{inv} est la charge d'inversion. Celle-ci s'obtient en intégrant la capacité intrinsèque grille-canal (notée C_{gc}) entre l'accumulation (définie par la tension V_{acc}) et la valeur de grille V_G , comme l'indique l'équation II.14.

$$Q_{\text{inv}}(V_G) = \frac{1}{W_{\text{eff}} L_{\text{eff}}} \int_{V_{\text{acc}}}^{V_G} C_{\text{gc}}(V) dV \quad (\text{II.14})$$

Le champ électrique effectif (E_{eff}) ainsi que la charge en couche d'inversion (N_{inv}), sont définis sous la forme :

$$E_{\text{eff}} = \frac{Q_{\text{dep}} + \eta Q_{\text{inv}}}{\epsilon_{\text{Si}}} \quad (\text{II.15})$$

$$N_{\text{inv}} = \frac{|Q_{\text{inv}}|}{|q|} \quad (\text{II.16})$$

où Q_{dep} désigne la charge de déplétion, q la charge électronique et η un paramètre empirique qui vaut $1/2$ pour les électrons et $1/3$ pour les trous dans le silicium [Ando 82].

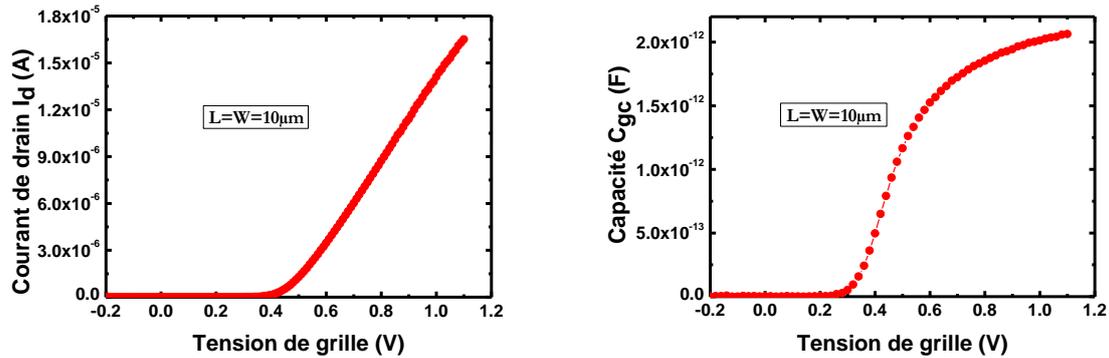


Figure II.8. Exemple de caractéristiques de sortie I_D et C_{gc} en fonction de la tension de grille pour un transistor nMOS à triple grille où $L=W=10\mu\text{m}$.

D'un point de vue expérimental, la figure II.8 montre un exemple de mesure permettant d'extraire la mobilité effective dans le cas d'un dispositif à triple grille non contraint, avec $L_g=W=10\mu\text{m}$ (Figure II.9). Le procédé de fabrication lié à cette architecture est issu d'un procédé de type TriGate au sein du CEA-LETI, que nous allons détailler plus tard (voir chapitre III). La figure II.8.a montre la courbe de la caractéristique de sortie $I_D(V_G)$ où la tension appliquée sur le drain V_D est de 50mV et la figure II.8.b la capacité $C_{gc}(V_G)$ associée. Ici, aucune correction n'est nécessaire pour déterminer le courant de drain (à savoir les dimensions effectives et la capacité intrinsèque de couplage grille-canal aussi appelée capacité « fringe »), puisque le dispositif ici est suffisamment grand ($W=L=10\mu\text{m}$).

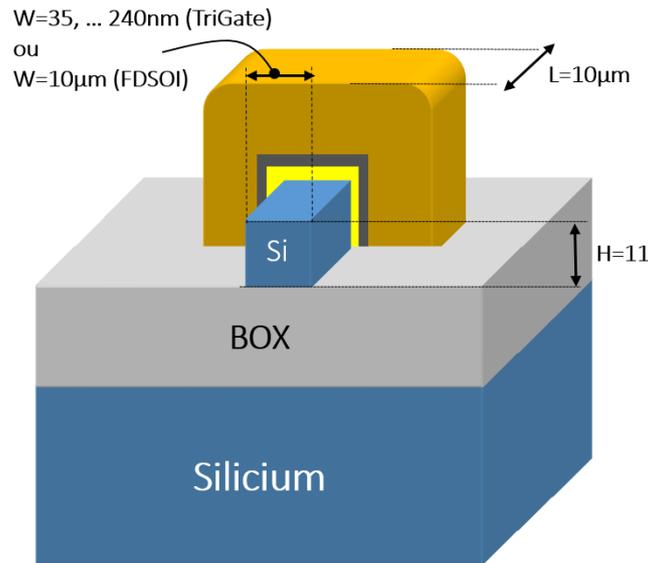


Figure II.9 Représentation schématique d'une architecture à triple grille sur SOI.

L'intégration de la courbe de capacité C_{gc} entre 0 et 1.1V selon l'équation II.14, donnera accès à la charge d'inversion Q_{inv} . La figure II.10 représente le tracé de la mobilité effective associée en fonction de la densité de porteurs. A faible charge d'inversion, nous observons une mobilité effective qui tend vers zéro [Sodini 82] qui est un artefact d'extraction, la validité de cette approche se limite à la forte inversion. Cela explique pourquoi par la suite nous nous concentrerons uniquement sur la courbe de mobilité à fort champ.

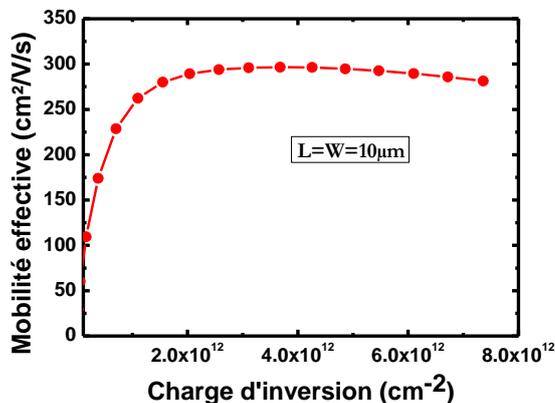


Figure II.10. Exemple d'évolution de la mobilité effective extraite par la méthode split-CV (selon l'équation II.14) en fonction de la charge d'inversion, pour un transistor nMOS à triple grille où $L=W=10\mu m$.

Pour voir comment cette mobilité évolue en fonction de la largeur de grille, nous nous sommes concentrés sur la structure à canaux multiples (figure II.11) issue du même procédé que celui de la figure II.9. La longueur de grille est considérée constante ($L_g=10\mu m$), tandis que sa largeur (définie sur le masque) varie de 35 à 240nm. La longueur effective (L_{eff}) sera donc assimilée à la longueur de grille physique, puisque les transistors considérés ici sont suffisamment longs ($L_g=10\mu m$).

Avant d'extraire la mobilité, il est alors nécessaire d'effectuer un calcul permettant de corriger la largeur effective puisque les capacités mesurées sont normalisées par rapport à la surface du transistor ou à la largeur développée sur le périmètre du transistor TriGate. La largeur effective développée est donc définie comme suit :

$$W_{\text{eff}_{\text{dev}}} = (W - \Delta W + 2H) \times N_f \quad (\text{II.117})$$

avec H l'épaisseur du film, W largeur de grille physique (sur le masque), N_f le nombre de canaux parallèles et la quantité $W - \Delta W$ correspond à la largeur de grille effective d'un canal W_{eff} . Un calcul détaillé des paramètres L_{eff} et W_{eff} basé sur des mesures capacitives sera détaillé plus loin au chapitre III.

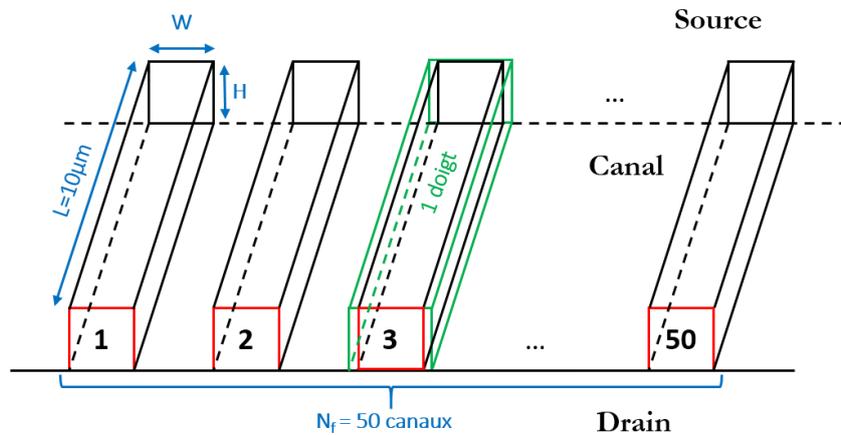


Figure II.11. Schéma simplifié expliquant les différents paramètres du transistor TriGate après définition de la zone active (la largeur effective développée est représentée par les lignes rouges).

L'évolution de la mobilité effective vis-à-vis de la variation de la largeur de grille est présentée sur la figure II.12 en fonction de la charge d'inversion. L'allure de ces caractéristiques est la même quelle que soit la largeur (W). Simplement, pour les dispositifs étroits, la mobilité est moins importante, notamment pour les faibles densités d'électrons. Notons que ces résultats ont un comportement similaire à ceux obtenus précédemment par [Coquand 12] sur les mêmes types de dispositifs (transistors TriGate).

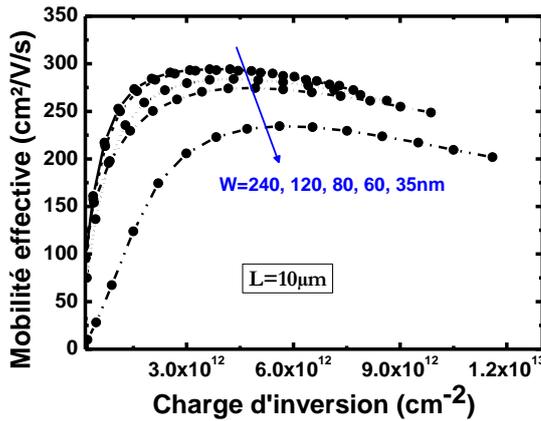


Figure II.12. Evolution de la mobilité effective extraite par la méthode split-CV (selon l'équation II.14) en fonction de la charge d'inversion pour différentes largeurs $W=35, 60, 80, 120, 240\text{nm}$, où $L=10\mu\text{m}$.

La méthode split-CV présente l'intérêt de reposer sur l'extraction de la charge d'inversion pour toute polarisation de grille et donc de ne faire aucune hypothèse sur la modélisation de la dépendance du courant avec V_G . Cette méthode présente néanmoins plusieurs limitations : la principale correspond à la difficulté de mesurer la capacité C_{gc} pour des dispositifs ayant des surfaces réduites même si les motifs ont des canaux multiples.

II.2.2. Fonction Y

II.2.2.1. Modèle

Dans ce paragraphe, nous n'allons pas expliquer les différents modèles dérivés de la fonction Y, nous trouvons une présentation détaillée dans [Mouis 10]. Nous nous placerons du point de vue de l'utilisateur et nous expliquerons comment les mesures électriques peuvent être utilisées pour extraire les paramètres clés (tension de seuil, mobilité et notamment résistances d'accès). La méthode de la fonction Y repose sur un modèle en courant $I_D(V_G)$ en régime linéaire directement issu du modèle dérive diffusion (équation II.6), comme évoqué auparavant [Romanjek 04b]. La fonction Y est définie par [Ghibaud 88] comme :

$$Y(V_G) = \frac{I_D}{\sqrt{g_m}} \quad (\text{II.18})$$

avec I_D le courant de drain et g_m la transconductance exprimée par :

$$g_m(V_G) = \frac{\partial I_D}{\partial V_G}(V_G) \quad (\text{II.19})$$

Il existe des variantes de cette méthode selon le modèle utilisé pour décrire la dégradation de mobilité sur l'effet du champ transverse. Si l'on tient compte des termes du premier et deuxième ordre (θ_1 et θ_2), la mobilité peut s'écrire sous la forme :

$$\mu_{\text{eff}}(V_G) = \frac{\mu_0}{1 + \theta_1(V_G - V_T) + \theta_2(V_G - V_T)^2} \quad (\text{II.20})$$

où μ_0 est la mobilité à champ faible et θ_1 et θ_2 sont respectivement les facteurs d'atténuation linéaire et quadratique de la mobilité. Ils sont attribués pour θ_1 aux phonons et à la résistance série et pour θ_2 à la rugosité de l'interface oxyde/canal [Andrieu 05b].

II.2.2.2. Méthode

En pratique, cette méthode ne demande qu'une mesure de courant I_D à faible V_D . En utilisant les équations précédemment définies, l'expression de la fonction Y devient alors [Ghibaudo 88] :

$$Y(V_G) = \sqrt{\frac{W_{\text{eff}} C_{\text{ox}} \mu_0 V_D}{L_{\text{eff}}}} \frac{(V_G - V_T)}{\sqrt{1 - \theta_2 (V_G - V_T)^2}} \quad (\text{II.21})$$

D'après l'équation II.21, l'abscisse à l'origine de la fonction Y ($Y(V_T)=0$) donne accès à la tension de seuil V_T . En négligeant le paramètre de réduction de mobilité θ_2 , la fonction Y varie linéairement avec la polarisation de grille V_G et le coefficient directeur donne accès à la mobilité à champ faible (μ_0).

Il ne nous reste ensuite qu'à déterminer les termes d'atténuation de mobilité (θ_1 et θ_2) afin de compléter ce modèle. En utilisant les équations précédemment citées, nous obtenons la relation suivante :

$$\theta(V_G) = \frac{\mu_0 W_{\text{eff}} C_{\text{ox}}}{L_{\text{eff}}} \cdot \frac{V_D}{I_D} - \frac{1}{V_G - V_T} \quad (\text{II.22})$$

D'un point de vue extraction, l'équation II.22 est l'équation d'une droite, l'extraction du premier facteur θ_1 se fait à partir de l'abscisse à l'origine ($\theta(V_T)=0$), tandis que le deuxième facteur θ_2 correspond à la pente.

$$\theta(V_G) = \theta_1 + \theta_2 (V_G - V_T) \quad (\text{II.23})$$

Notons qu'à partir de θ_1 et θ_2 extraits, nous pouvons ainsi redéfinir une nouvelle fonction Y afin de recalculer d'une part le paramètre de mobilité μ_0 de façon plus précise et d'autre part recommencer l'extraction de nouveaux paramètres θ_1 et θ_2 . Dans cette étude, seulement deux itérations sont suffisantes (dans la majorité des cas) pour extraire les paramètres de mobilité.

II.2.2.3. Prise en compte de résistances séries par la méthode de la fonction Y

La mobilité μ_0 extraite par la fonction Y n'est pas affectée par les résistances séries. Pour s'en convaincre examinons le cas où : le courant de drain mesuré au bord du canal ne correspond pas au courant de drain mesuré (I_D) mais plutôt à I'_D qui correspond au courant dû à la chute de potentiel dans les zones d'accès des S/D (figure II.13).

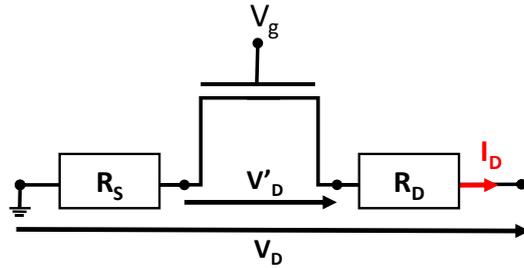


Figure II.13. Schéma électrique équivalent du transistor réel avec les résistances séries ($R_{SD}=R_S+R_D$).

Cela nous oblige à corriger l'expression du courant de drain I_D en prenant en compte l'influence de cette résistance R_{SD} telle que [Roux 93] :

$$I'_D = \frac{I_D}{\left(1 - \frac{R_{SD} \cdot I_D}{V_D}\right)} \quad (\text{II.24})$$

Ainsi, l'équation permettant d'extraire la résistance R_{SD} selon la méthode de la « fonction-Y » s'écrit alors :

$$\theta_1(L_g) = \theta' + R_{SD} \cdot \beta(L_g) \quad (\text{II.25})$$

$$\text{où } \beta = \frac{W \cdot C_{ox} \cdot \mu_0(L_g)}{L_g} \quad (\text{II.26})$$

En effet, l'équation II.25 est une droite, dont la pente correspond à la résistance R_{SD} . Faire varier β revient à changer la longueur de grille L_g (cf. équation II.26). C'est la raison pour laquelle plusieurs mesures sur plusieurs longueurs de grille sont nécessaires.

En résumé, cette méthode est simple et elle permet de s'affranchir de l'effet de la résistance série, puisqu'elle n'intervient que dans le terme d'atténuation linéaire θ_1 , comme le montre l'équation II.25. Il est à préciser que malgré ces avantages, cette méthode d'extraction reste fortement liée à la plage de mesure considérée (source d'erreurs potentielle) et aussi à des paramètres initiaux tels que la longueur effective, difficile à déterminer avec précision dans les transistors de faibles dimensions (voir chapitre III).

Nous avons vu jusqu'à maintenant deux méthodes d'extraction (que ce soit split-CV ou la fonction Y) exhibant certains inconvénients, notamment sur la précision de l'extraction entre l'inversion modérée et l'inversion forte. Tous les modèles présentés ici sont uniquement basés sur des modèles en courant en forte inversion. Or comme nous l'avons présenté précédemment le terme d'interaction coulombienne a un effet important dans les transistors actuels dû à l'utilisation d'empilement $\text{SiO}_2/\text{HfO}_2$. De ce fait, il semble difficile d'extraire cette composante qui « chevauche » l'inversion modérée et forte sans une modélisation plus complète. L'autre difficulté de cette méthode est le fait de devoir connaître les longueurs et largeurs effectives du dispositif. Nous aborderons cette problématique dans le chapitre III. Ici, nous aborderons une autre technique s'affranchissant de cette dernière limitation, qui est essentielle pour les dispositifs courts

et qui est de plus en plus utilisée pour caractériser des dispositifs de faibles dimensions, il s'agit de la mobilité magnétorésistance [Meziani 04] [Chaisantikulwat 05] [Thevenod 07] [Subramanian 12].

II.2.3. Mobilité magnétorésistance

Nous allons exposer dans cette partie la technique de caractérisation de magnétorésistance de façon à résoudre les limitations précédemment citées, puisque l'extraction de mobilité pour des faibles charges d'inversion (autour du seuil voire en-dessous) est possible avec cette méthode et applicable aux transistors ultracourts. Notons que nous ne pouvons pas étudier l'effet magnétorésistance sans parler d'un autre effet galvanométrique qui est l'effet Hall. Le prochain paragraphe sera donc consacré à celui-ci.

II.2.3.1. L'effet Hall

Ce que nous appelons effet Hall est l'apparition d'une différence de potentiels et d'un champ transverse dans un semi-conducteur (de longueur L , de largeur W et d'épaisseur d), lorsque celui-ci est parcouru par un courant électrique et plongé dans un champ magnétique perpendiculaire à la direction du transport de charges (notée \vec{B}). Nous pouvons le schématiser par le dessin de la figure II.14.

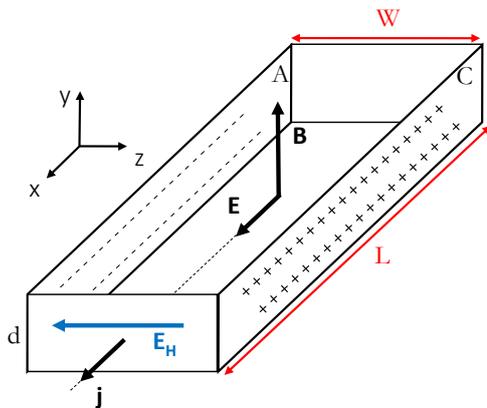


Figure II.14. Schéma simplifié illustrant la création du champ de Hall dans un semi-conducteur de type n par accumulation des charges sur les faces latérales. Avec la condition $W \ll L$.

Les électrons traversent le semi-conducteur à une vitesse v , dans le sens opposé à celui du courant électrique (j). Sous l'effet du champ magnétique ces électrons vont subir une force, appelée force de Lorentz (notée \vec{F}_L) déviant alors leurs trajectoires :

$$\vec{F}_L = q(\vec{v} \wedge \vec{B}) \quad (II.27)$$

avec q la charge coulombienne portée par la particule en mouvement (électron dans ce cas), v représente la vitesse des particules et B le champ magnétique.

Selon l'équation II.27, ces électrons vont se diriger du plan C vers le plan A en s'y accumulant, créant ainsi une différence de potentiels et par conséquent un champ électrique (noté E_H). Ce champ exerce à son tour une force électrostatique ($\vec{F}_E = q \cdot \vec{E}_H$) sur le flux électrique qui

lui a donné naissance et s'oppose par conséquent à la force de Lorentz. Cette migration de charges s'arrête lorsque ces deux forces opposées ont la même intensité, c'est-à-dire lorsque $\vec{F}_E = \vec{F}_L$. La tension produite entre les deux plans A et C est appelée tension de Hall, que nous pouvons définir comme :

$$V_H = WE_H = WvB \quad (\text{II.28})$$

avec W la distance entre A et C.

Lorsque le semi-conducteur présente des dimensions finies (W/L) et que les faces latérales (A et C) ne sont pas connectées, la trajectoire des porteurs de charge reste rectiligne, selon la direction du champ électrique \vec{E} . Le courant I parcourant le semiconducteur suivant l'abscisse x est défini par l'intégrale de la densité de courant j sur toute la section d×W :

$$I = \iint j \, ds = Wdnqv \text{ où } \vec{j} = nq\vec{v} \quad (\text{II.29})$$

avec n la densité de porteurs et d l'épaisseur du semiconducteur. Le potentiel de Hall est donné (après calcul) tel que [Ando 98] [Vandooren 00] :

$$V_H = \frac{IB}{nqd} \text{ soit } R_H = \frac{1}{nq} \quad (\text{II.30})$$

où le terme R_H est nommé coefficient de Hall. Il renseigne à la fois sur le type du semiconducteur (n ou p) et sur la densité de porteurs [Mathieu 01].

La mobilité de Hall est définie par [Ghibaudo 86] [Kireev 75] comme suit :

$$\mu_H = \frac{q}{m^*} \frac{\langle \tau^2 \rangle}{\langle \tau \rangle} \quad (\text{II.31})$$

avec m^* la masse effective de conductivité, τ le temps moyen entre deux collisions, et $\langle \rangle$ la moyenne Maxwellienne sur l'énergie. Nous pouvons constater que cette mobilité de Hall diffère de la mobilité effective (équation II.2).

II.2.3.2. L'effet magnéto-résistance

Lorsque le champ Hall ne compense pas la force de Lorentz, les porteurs sont déviés. On parle alors de magnéto-résistance géométrique (noté μ_{GMR}). Nous nous attendons à voir la résistance du matériau croître sous l'effet d'un champ magnétique avec un effet qui dépend principalement de la forme du dispositif étudié. Plus le rapport W/L est grand et plus les porteurs auront une trajectoire déviée (par un angle Φ) de la direction rectiligne imposée par le champ électrique. Le champ de Hall devient de plus en plus faible jusqu'à devenir nul pour un semi-conducteur infini (figure II.15).

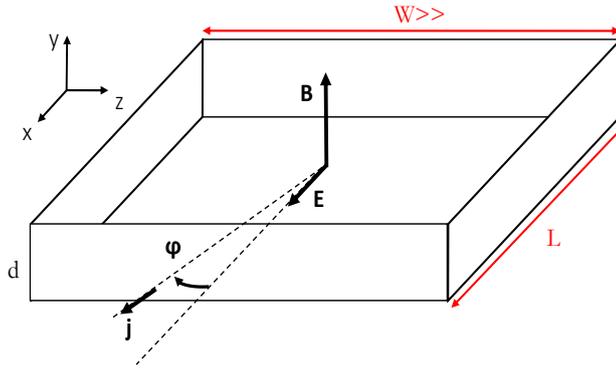


Figure II.15. Schéma simplifié illustrant l'effet magnétorésistance dans un semi-conducteur de type n. $W \gg L$: impossibilité de création du champ de Hall.

D'un point de vue théorique, la mobilité μ_{GMR} s'écrit sous la forme suivante [Kireev 75] :

$$\mu_{\text{GMR}}^2 = \left(\frac{q}{m^*} \right)^2 \frac{\langle \tau^3 \rangle}{\langle \tau \rangle} \quad (\text{II.32})$$

A température ambiante, les différences entre la mobilité effective (équation II.2) et celle de magnétorésistance sont liées à la dépendance en énergie du terme τ , et par conséquent aux mécanismes de collision (ex. : phonon). Une ligne par rapport aux calculs analytiques montre l'écart entre μ_{MR} , μ_{H} et μ_{eff} selon la dépendance du τ en énergie [Meziani 04]. Comme vérifié expérimentalement par Cassé *et al.*, la principale différence provient des interactions coulombiennes avec des charges dans le cas des transistors (typiquement à faible charge d'inversion) [Cassé 09]. Quand le terme de relaxation τ est constant, les trois mobilités μ_{eff} , μ_{H} et μ_{GMR} sont égales. Cela peut se rencontrer dans différents cas ; par exemple, dans des cas particuliers de mécanismes qui sont peu dépendants de l'énergie des porteurs, dans un semiconducteur dégénéré ou encore à température très faible car la valeur au niveau de Fermi seule compte alors dans la moyenne Maxwellienne $\langle \tau \rangle$, $\langle \tau^2 \rangle$ et $\langle \tau^3 \rangle$. Le lecteur souhaitant avoir de plus amples détails sur les aspects théoriques et expérimentaux de la mobilité magnétorésistance dans le cas des transistors avancés, est invité à se référer aux articles de Rochette *et al.*, Chaisantikulwat *et al.* ou encore à Subramanian *et al.* [Rochette 08] [Subramanian 12] [Chaisantikulwat 05].

II.2.3.3. Application aux dispositifs MOS

La figure II.16 schématise la configuration type pour avoir l'effet magnétorésistance dans un transistor à effet de champ. Dans le cadre de la thèse, nous avons effectué des mesures de magnétorésistance à l'IMEP-LAHC où cette technique a commencé à être utilisée il y a plus de 30 ans [Cristoloveanu 80]. Pour cette thèse nous avons utilisé un équipement récent (Lakeshore Electronics HMS) où il est bien possible d'appliquer un champ magnétique jusqu'à 9T grâce à des bobines supraconductrices. La température de l'échantillon peut être variée entre la température d'Helium liquide et environ 350K.

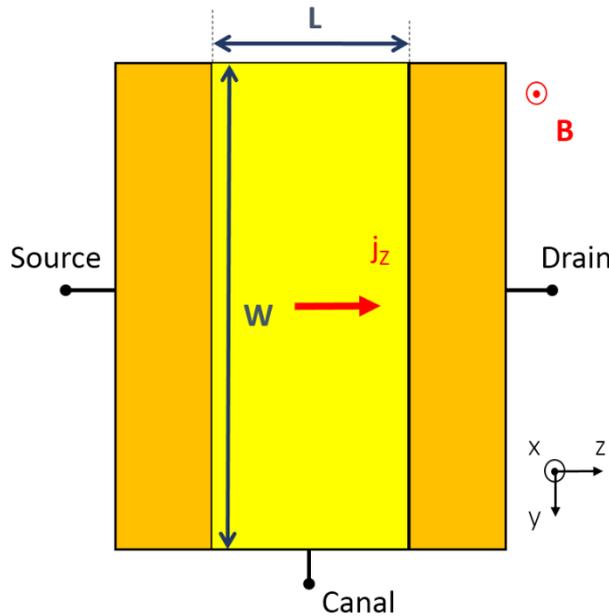


Figure II.16. Configuration type de magnétorésistance d'un MOSFET : La largeur W du transistor est grande devant sa longueur ($W \gg L$).

En pratique, en supposant que les résistances d'accès sont négligeables, l'extraction de la mobilité magnétorésistance se fait alors suivant l'équation II.33 à partir des mesures de courant [Meziani 04] [Chasantikulwat 05] :

$$\frac{I_D(B=0)}{I_D(B)} = 1 + \mu_{GMR}^2 B^2 \quad (II.33)$$

où $I_D(B)$ est le courant de drain mesuré sous champ B .

Comme illustrée sur la figure II.18, la mesure du courant en fonction de B^2 permet alors de remonter à la mobilité dite de magnétorésistance (μ_{GMR}). Nous pouvons également tracer cette mobilité à différentes températures et tensions de grille (voir le paragraphe §II.3.2.2). Comme nous pouvons le constater, l'intérêt majeur de cette méthode (en plus de sa simplicité d'extraction) réside dans sa capacité à extraire le paramètre de mobilité μ_{GMR} sans hypothèse préalable sur le modèle de mobilité ni sur les dimensions du composant contrairement à celles précédemment évoquées.

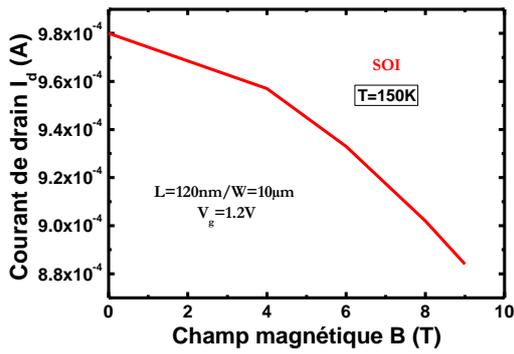


Figure II.17. Evolution du courant de drain en fonction du champ magnétique B avec une polarisation de grille fixée à 1.2V, dont la largeur de grille W est fixée à $10\mu m$, la longueur de grille $L_g=120nm$. Avec $T=120K$.

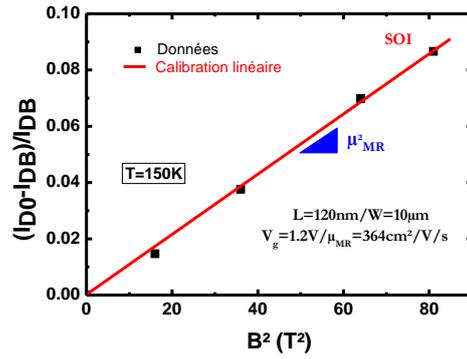


Figure II.18. Extraction de la mobilité de magnétorésistance à partir du tracé $\frac{I_D(B=0) - I_D(B)}{I_D(B)}$ en fonction du carré du champ magnétique à une polarisation de grille fixée à 1.2V, dont la largeur de grille W est fixée à $10\mu m$, la longueur de grille $L_g=120nm$. Avec $T=120K$.

Jusqu'à présent, nous avons présenté l'ensemble des techniques que nous allons utiliser dans la suite de ce manuscrit pour extraire la mobilité. Avant de passer aux chapitres suivants qui portent sur l'étude de la relation entre contrainte mécanique et transport (Chapitre III) et l'étude des solutions d'ingénierie de contrainte (Chapitre IV), nous allons détailler dans le paragraphe suivant la problématique des mesures de magnétorésistance dans les composants MOS à triple grille. Ceux-ci ne sont pas conventionnels pour ce type de mesures. Le champ magnétique est en effet perpendiculaire au canal mais dans le plan de conduction ce qui demande un réexamen.

II.3. MAGNETORESISTANCE : CARACTERISATION ET MODELISATION

Cette partie sera consacrée à l'étude de la mobilité magnétorésistance dans des transistors à triple-grille. Nous aborderons l'aspect expérimental avec des mesures de courant en fonction du champ magnétique et de la température, puis nous présenterons une modélisation par éléments finis du transport en présence d'un champ B.

II.3.1. Descriptions expérimentales

Les dispositifs nMOS à triple grille utilisés dans cette étude sont issus du procédé de fabrication des transistors TriGate au CEA-LETI [Coquand 12] (ce point sera détaillé dans le chapitre III). La mesure électrique est effectuée sous champ magnétique, grâce à un banc spécifiquement développé au sein de l'IMEP-LAHC permettant de mesurer le courant de drain pour différentes températures et polarisation de grille. La station cryogénique 9T utilisée constitue un des bancs de caractérisations (constituée de deux bobines supraconductrices, le cryostat permet d'atteindre des champs magnétiques de 9T) les plus performants pour la mesure de magnétorésistance, puisqu'elle permet de faire des mesures de courant à faible intensité (inférieur à 1pA) grâce à ses connexions triaxiales dans une gamme de température allant de 2 à 400K, offrant pour cela un large champ d'investigation pour les dispositifs étudiés.



Figure II.19. Photos de station Cryogénique 9T. Banc de caractérisation magnétorésistance [Mescot 09].

L'équipement est constitué d'un ordinateur, avec un logiciel de gestion des différents éléments de mesures, d'un vase Dewar contenant les bobines supraconductrices, et d'un second cryostat incluant l'échantillon test, afin d'appliquer un champ magnétique perpendiculaire au

déplacement des charges. De plus une « pompe à palettes » servant à isoler le système est indispensable pour la descente en température (Figure II.19).

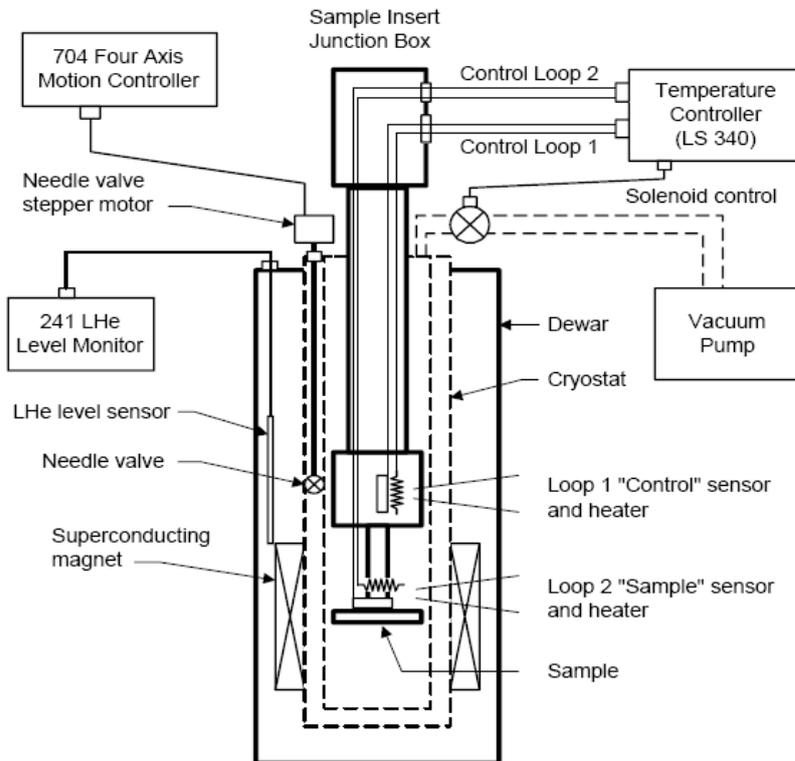


Figure II.20. Schéma du cryostat HMS 9700A de Lakeshore Cryogenics de l'IMEP-LAHC.

Ainsi, le contrôle et la mesure de température se font au même moment par deux types de capteur placés en deux endroits différents (un de ces capteurs se trouve proche de l'échantillon) et par une jauge indiquant le niveau de remplissage d'hélium suivant la position du commutateur. Le niveau maximum d'hélium est de 28cm. S'il est inférieur à 4cm, cela permet uniquement le refroidissement des bobines mais reste néanmoins insuffisant pour faire des mesures en température (figure II.20). Un nano-ampèremètre permet enfin de mesurer la tension de Hall. Ce qui en fait un équipement remarquable qui ne se trouve pas seulement au niveau de ses performances, mais également au niveau de sa canne unique qui permet de fixer en son bout des puces assemblées de type LCC-28 pattes (figure II.21.a). En effet, jusqu'à 7 transistors peuvent être étudiés en une seule descente en température (figure II.21.b), ce qui réduit alors le temps de la manipulation ainsi que la consommation en hélium liquide. On peut obtenir pour cela des comparaisons de mesures fiables, puisque la température est la même pour tous les composants. Notons que 150 litres d'hélium liquide sont nécessaires pour refroidir et maintenir le système sur une durée de deux jours et demi environ, ce qui est suffisant pour caractériser plusieurs échantillons (2 à 4 dispositifs). Avant la descente en température, il est préférable de tester l'échantillon à température ambiante. Le test se fait avec des programmes de mesures proposées par la station 9T [Mescot 09], soit avec un analyseur de type HP4155.

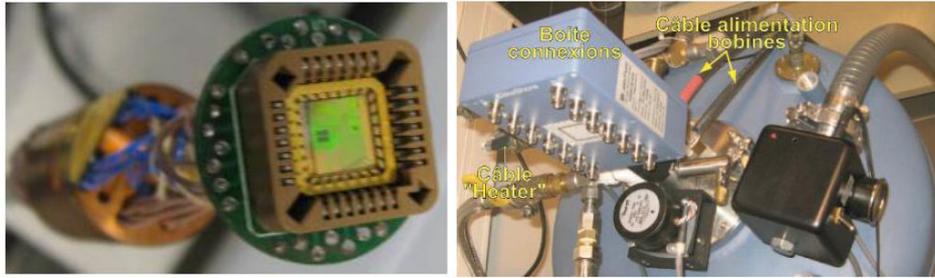


Figure II.21. Photos de la canne permettant de fixer en son bout des puces packagées de type LCC 28 pattes [Mescot 09].

II.3.2. Mesures et extraction de la mobilité μ_{GMR} dans les transistors à triple grille

En raison de la complexité de la caractérisation magnétorésistance nécessitant en plus de la mesure à faible température une préparation au préalable de l'échantillon (découpage, collage, microsoudure, ...), seulement quatre dispositifs ont été caractérisés (sur substrats SOI et sSOI), dont les transistors sont essentiellement larges ($W=10\mu\text{m}$).

II.3.2.1. Mesures préliminaires

L'un des inconvénients de cette méthode réside dans sa complexité. Plusieurs mesures (préliminaires) ont donc été effectuées, afin d'identifier les dispositifs fonctionnant après l'étape de préparation des échantillons tests (1/4 des puces fonctionnent après montage). Les mesures du courant de drain ont été effectuées à faible V_D . Pour des raisons de simplicité, nous allons présenter ici uniquement les dispositifs non-contraints à faible température ($T=100\text{K}$). La figure II.22 représente alors les variations du courant de drain et la figure II.23 les transconductances associées. Nous pouvons voir sur ces graphes (courbes I_D et g_m) un effet très clair dû au montage. Indépendamment du montage nous retrouvons un comportement logique vis-à-vis de la longueur de grille.

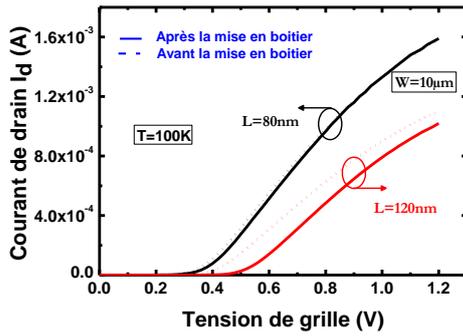


Figure II.22. Evolution du courant de drain I_D en fonction de la polarisation de grille pour deux longueurs de grille différentes ($L_G=80$ et 120 nm) avant (traits pleins) et après (pointillés) montage, avec $T=100$ K et $V_D=50$ mV.

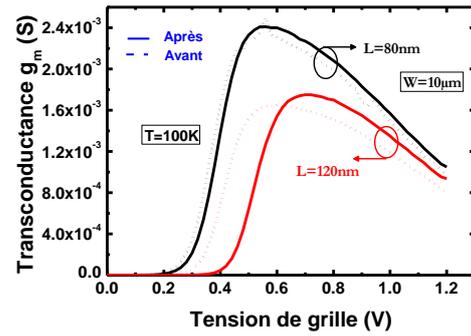


Figure II.23. Evolution de la transconductance g_m en fonction de la polarisation de grille pour deux longueurs de grille différentes ($L_G=80$ et 120 nm) avant et après montage, avec 100 K.

Le tableau II.2 résume les extractions de la mobilité et de la tension de seuil effectuées par la méthode de la fonction Y. En effet, la préparation d'échantillon (mise sous boîtier) engendre à la fois un décalage de la tension de seuil d'environ 20 mV et 100 mV respectivement lorsque $L=80$ et 120 nm ainsi qu'une augmentation significative de la mobilité à champ faible μ_0 . Cela peut s'expliquer probablement par le fait que l'étape de soudure réduit significativement les résistances de contact. Le décalage de la tension de seuil pourrait être éventuellement dû à des charges générées au niveau de l'oxyde enterré. C'est pourquoi nous avons par la suite connecté la face arrière à la masse.

Tableau II.2. Valeurs de la mobilité à champ faible μ_0 et la tension de seuil associée (valeur maximale de g_m) avant (sur plaque) et après montage (sous boîtier) pour 2 dispositifs de longueurs de grille 80 nm et 120 nm respectivement.

Type de montage	Sur plaque		Sous boîtier	
Longueur de grille L_G (nm)	80	120	80	120
Mobilité μ_0 ($\text{cm}^2/\text{V}/\text{s}$)	166	184	181	216
Tension de seuil V_T (V)	0.39	0.45	0.41	0.56

Il semble actuellement difficile de donner des raisons claires à ces variations. La première hypothèse semble vraie pour justifier la diminution de la résistance d'accès, puisqu'après soudure (sous boîtier) la mobilité à champ faible s'est nettement améliorée par rapport aux valeurs de mobilité sur plaque (environ 9% et 17% respectivement pour $L_G=80$ nm et $L_G=120$ nm). En revanche, des mesures avec un substrat connecté à la masse n'ont pas été suffisantes pour expliquer ce décalage en V_T . Finalement, après une sélection des transistors fonctionnels, nous allons

présenter dans le paragraphe suivant les résultats de mesure associés à la mobilité μ_{GMR} dans les transistors nMOS à triple-grille.

II.3.2.2. Mesures de la mobilité magnétorésistance

D'un point de vue expérimental, il existe deux manières de mesurer le courant de drain I_D afin d'extraire la mobilité magnétorésistance [Cassé 08] [Rochette 08]. La première consiste à effectuer une rampe en champ magnétique de 0 à 9T pour une polarisation de grille fixée. Puis il faut refaire cette méthode pour toutes les tensions de grille souhaitées. La deuxième façon repose sur un balayage en tension pour chaque valeur du champ magnétique, de manière à tracer la caractéristique décrite par l'équation II.33. Cette seconde méthode fournit moins de points en fonction du champ B mais en pratique la linéarité de $R_B/R_0=f(B^2)$ est suffisamment bien vérifiée pour qu'un nombre très restreint de points soit suffisant. A contrario, elle fournit une description précise en fonction de V_G ce qui est indispensable pour approfondir l'analyse du transport. Les mesures présentées dans cette partie correspondent à cette dernière méthode, pour une polarisation de drain égale à 30mV.

Les résultats de mesures brutes sont résumés en figure II.24 (la température avoisine ici les 100K) dans le cas des dispositifs FDSOI sur substrat non contraint, dont les dimensions sont égales respectivement à $10\mu\text{m}$ et 120nm pour W et L. Aucune dépendance de la tension de seuil n'est observée en fonction du champ magnétique. Les variations sont inférieures à 2mV entre 0T et 9T (figure II.25).

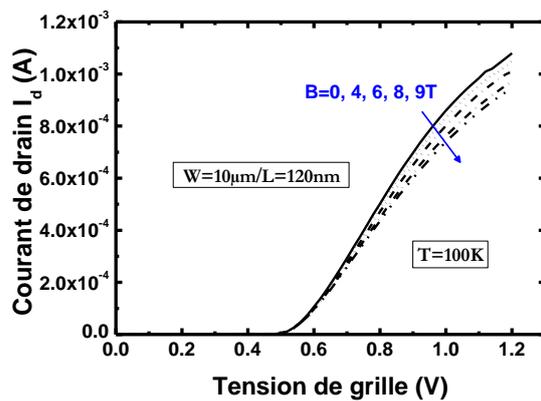


Figure II.24. Evolution du courant de drain avec la polarisation de grille pour différents champs magnétiques. La largeur de grille W est fixée à $10\mu\text{m}$, la longueur de grille $L_G = 120\text{nm}$. $T = 100\text{K}$ et $V_D = 30\text{mV}$.

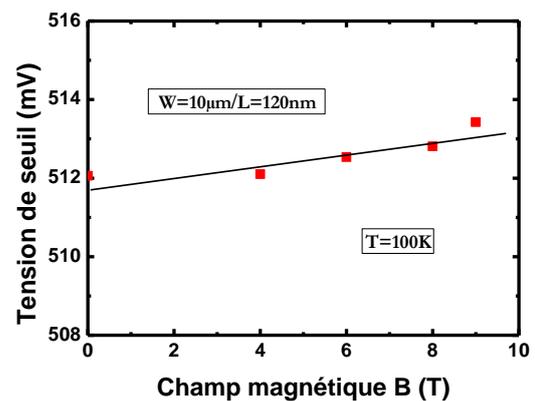


Figure II.25. Evolution de la tension de seuil en fonction du champ magnétique B, extraite à $I_D = 10^{-7}$ W/L. La largeur de grille W est fixée à $10\mu\text{m}$ et la longueur de grille L est égale à 120nm .

En revanche, à une polarisation de grille constante (ici $V_G = 0.6, 0.8$ et 1V), la variation de la résistance relative R_B/R_0 en fonction du champ magnétique au carré suit un comportement

parfaitement linéaire, comme le montre la figure II.26 (pour deux composants de longueur de grille de 80nm et 120nm), ce qui permet d'extraire facilement la mobilité μ_{GMR} (équation II.33). Comme nous pouvons le constater, cette mesure est directe et ne nécessite pas de connaissance au préalable de la longueur effective. C'est pourquoi cette technique est idéale pour la mesure de la mobilité pour les canaux à faibles dimensions.

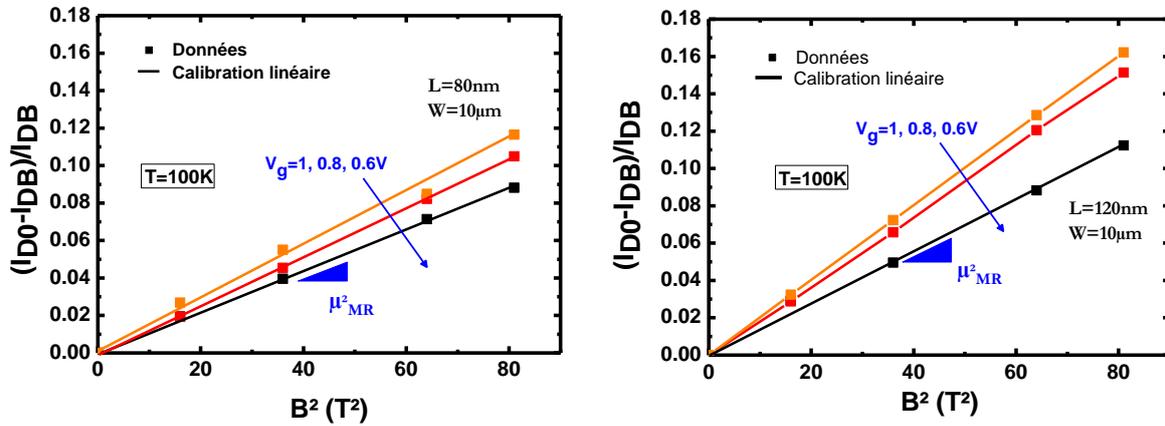


Figure II.26. Extraction de la mobilité magnétorésistance μ_{MR} à partir du tracé de la résistance normalisée en fonction du champ magnétique et pour différentes polarisations de grille ($V_G=0.6, 0.8, 1\text{V}$) à $T=100\text{K}$, dont la largeur de grille W est fixée à $10\mu\text{m}$ et $L=80$ et 120nm .

En réitérant cette méthode pour toutes les tensions de grille souhaitées (V_G allant de 0 à 1.2V) et pour différentes températures, nous retrouvons alors les courbes de la figure II.27 ci-après. L'allure de ces caractéristiques est la même quelle que soit la température. Simplement, la mobilité est plus faible lorsque la température augmente, puisque les interactions des porteurs avec les phonons ont été accentuées. A température ambiante (courbe bleue), en se basant sur la valeur de la tension de seuil extraite précédemment (via la fonction Y), nous pouvons constater que l'extraction de la mobilité par magnétorésistance est possible à proximité de seuil ($V_T=0.41\text{V}$), contrairement aux autres techniques (split-CV et fonction Y).

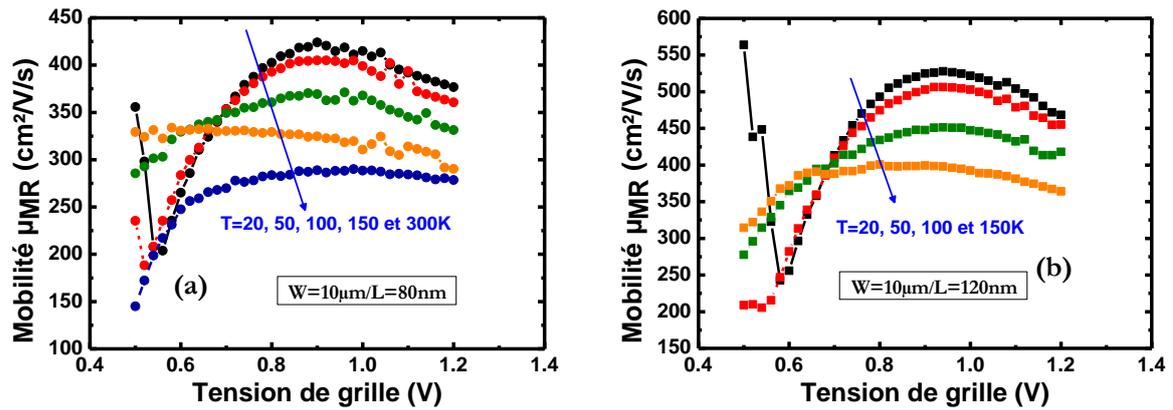


Figure II.27. Variation de la mobilité magnétorésistance μ_{MR} en fonction de la polarisation de grille ainsi que de la température. La largeur de grille W est fixée à $10\mu\text{m}$ et la longueur de grille est (a) $L_g=80\text{nm}$ (b) $L_g=120\text{nm}$.

Si nous souhaitons plus investiguer la mobilité autour du seuil, il faut augmenter le temps d'acquisition des courbes $I_D(V_G)$ (appelé communément *delay time* : fixé ici à 0.05s), ce qui ralentira par conséquent le temps de manipulation. Dans les prochaines extractions (figure II.28) le *delay time* a été fixé à 1s .

De la même manière, dans le cas des dispositifs contraints, nous avons pu malgré les difficultés techniques rencontrées durant l'expérience, extraire la mobilité magnétorésistance pour deux dispositifs de longueurs différentes ($L_g=1\mu\text{m}$ et 400nm). L'évolution de μ_{GMR} est illustrée en figure II.28 en fonction de la polarisation de grille, avec deux polarisations faibles de drain (30mV et 90mV respectivement représentées par des carreaux et des triangles pleins). Egalement, nous vérifions que contrairement aux résultats de la figure II.27 (*delay time* 0.05s), l'extraction de mobilité autour du seuil est possible, puisque nous avons augmenté le temps d'acquisition du courant de drain (délai time vaut ici 1seconde). Ce gain en précision se fait au détriment d'un coût supplémentaire en termes de temps de caractérisation.

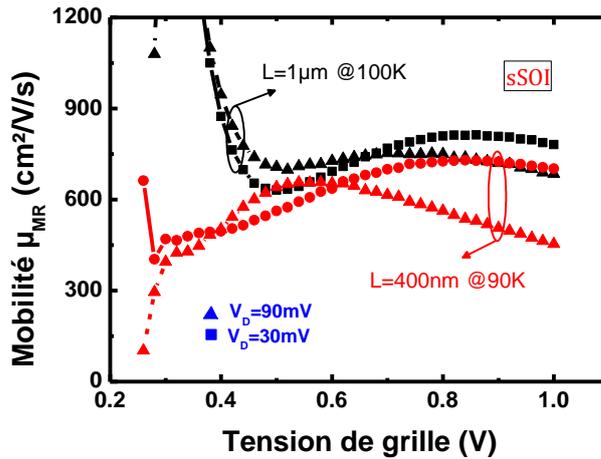


Figure II.28. Variation de la mobilité magnétorésistance μ_{MR} en fonction de la polarisation de grille à $T=100K$. La largeur de grille W est fixée à $10\mu m$. La longueur de grille est $L=1\mu m$ (courbe noire) et $L=400nm$ (courbes rouges) pour deux faibles polarisations de drain $V_D=30mV$ (carreaux pleins) et $90mV$ (triangles pleins). Avec un délai de mesure de 1s.

Comme nous avons pu le constater, en dépit des difficultés que connaît la mesure de magnétorésistance, l'extraction de la mobilité par cette méthode reste toutefois simple, rapide et directe. Cette technique permet en outre de s'affranchir de certaines hypothèses indispensables dans les autres méthodes d'extraction évoquées précédemment et qui sont difficilement vérifiables pour les transistors courts. Citons, à titre d'exemple, la connaissance précise de la longueur effective ou encore le couplage capacitif entre grille-canal.

Il est important d'ajouter qu'une étude menée par Chasantikulwat *et al.* a permis de montrer qu'il était possible de corriger la mobilité magnétorésistance de l'influence des résistances d'accès [Chasantikulwat 06], en utilisant une équation similaire à II.33 comme suit :

$$\frac{R_{L_1}(B) - R_{L_2}(B)}{R_{L_1}(0) - R_{L_2}(0)} = 1 + \mu_{MR,corr}^2 \times B^2 \quad (II.34)$$

avec R_{L_1} et R_{L_2} les résistances mesurées, L_1 et L_2 deux longueurs de grille suffisamment proches pour que la tension de seuil des 2 composants soit la même (hypothèse principale de correction) et $\mu_{MR,corr}$ la mobilité magnétorésistance corrigée.

II.3.3. Modélisation tridimensionnelle de la mobilité magnétorésistance

II.3.3.1. Approche classique

Dans cette partie, nous essayerons de montrer que la mesure de la mobilité de magnétorésistance est possible dans les dispositifs à triple grille où la condition $W/L \gg 1$ n'est plus vérifiée. Pour cela nous avons choisi une approche classique basée sur un modèle simplifié permettant de modéliser l'effet de magnétorésistance. Comme le montre la figure II.29, la structure tridimensionnelle étudiée ici est un transistor nMOS sur SOI. Dans cet exemple, la hauteur et la largeur du film sont égales ($W=H=10nm$) et sa longueur (L) est fixée à $40nm$ avec une épaisseur

d'oxyde de grille (T_{ox}) de 2nm. Notons que cette structure est plongée dans un champ magnétique B (parallèle à l'axe y), perpendiculaire au déplacement des porteurs dans le canal (suivant l'axe z).

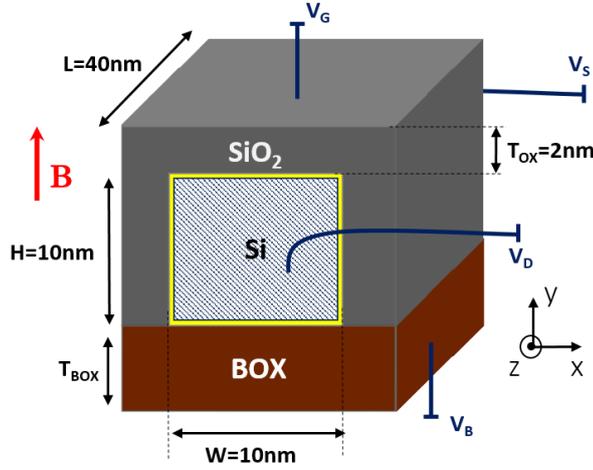


Figure II.29. Schéma illustrant la géométrie d'étude d'un transistor MOS.

Si la masse effective est la même pour tous les porteurs et le temps de collision est indépendant de l'énergie, la force de frottement est proportionnelle à la vitesse [Mathieu 01]. En régime permanent, en partant de l'équation d'équilibre des forces et en tenant compte de l'effet du champ magnétique :

$$\Sigma \vec{F} = \vec{0} \text{ soit } \vec{F}_E + \vec{F}_L + \vec{F}_C = \vec{0} \quad (\text{II.35})$$

$$\text{où, } \vec{F}_E = q\vec{E}, \vec{F}_L = q(\vec{v} \wedge \vec{B}) \text{ et } \vec{F}_C = -\frac{m}{\tau} \vec{v}_d \quad (\text{II.36})$$

avec \vec{F}_E la force électrostatique, \vec{F}_L la force Lorentz, \vec{F}_C la force décrivant les collisions des porteurs de charges, \vec{v} la vitesse moyenne des porteurs, \vec{v}_d représente la vitesse de dérive des porteurs, m la masse de particules, q la charge, E le champ électrostatique et B l'induction magnétique (en Tesla).

En développant les expressions de l'équation II.36, l'équation II.35 s'écrit alors :

$$\vec{E} + \vec{v} \wedge \vec{B} = -\mu \vec{v} \quad (\text{II.37})$$

où μ est la mobilité des porteurs et vaut $\frac{q\tau}{m}$.

Dans les effets galvanométriques, un effet conditionne le fonctionnement du système, c'est la pulsation cyclotron qui est définie par [Mathieu 01] :

$$\vec{\omega}_c = \frac{q\vec{B}}{m} \text{ soit } \omega_c = \frac{qB_y}{m} \quad (\text{II.38})$$

A partir des équations II.37 et II.38, les différentes composantes de la vitesse sont donc définies dans un repère cartésien par :

$$v_x = -\frac{q\tau}{m} E_x + \omega_c \tau v_z \quad (\text{II.39.a})$$

$$v_y = -\frac{q\tau}{m} E_y \quad (\text{II.39.b})$$

$$v_z = -\frac{q\tau}{m}E_z - \omega_c\tau v_x \quad (\text{II.39.c})$$

où $(v_x, v_y$ et $v_z)$ et $(E_x, E_y$ et $E_z)$ sont respectivement les composantes de la vitesse et du champ électrique.

En isolant les composantes de vitesse, l'équation II.39 devient :

$$v_x = -\frac{q\tau}{m(1 + \omega_c^2\tau^2)}E_x - \frac{q\omega_c\tau^2}{m(1 + \omega_c^2\tau^2)}E_z \quad (\text{II.40.a})$$

$$v_y = -\frac{q\tau}{m}E_y \quad (\text{II.40.b})$$

$$v_x = \frac{q\tau^2\omega_c}{m(1 + \omega_c^2\tau^2)}E_x - \frac{q\tau}{m(1 + \omega_c^2\tau^2)}E_z \quad (\text{II.40.c})$$

Maintenant, en appliquant l'équation décrivant la densité de courant j (équations II.41) et en combinant les différentes relations, nous pouvons établir une matrice reliant la conductivité électrique au champ magnétique :

$$\vec{j} = nq\vec{v} = \sigma\vec{E} \quad (\text{II.41})$$

$$(\sigma) = \frac{\sigma_0}{1 + \mu^2 B^2} \begin{pmatrix} 1 & 0 & -\mu B \\ 0 & 1 & 0 \\ \mu B & 0 & 1 \end{pmatrix} \text{ avec } \sigma_0 = nq\mu \quad (\text{II.42})$$

où n est la densité des porteurs (électrons ici), et σ_0 est la conductivité du semi-conducteur sans champ magnétique appliqué.

Comme nous pouvons le constater, en absence du champ magnétique ($B=0$), la conductivité des porteurs vaut bien σ_0 . Il reste toutefois à intégrer cette équation dans un modèle de courant via des simulations par éléments finis, afin de pouvoir visualiser l'effet de magnéto-résistance qui en résulte sur le canal.

II.3.3.2. Implémentation FlexPDE

Avec la nouvelle expression de la densité de courant (équation II.42), nous en déduisons le courant de drain I_D en utilisant l'équation de Poisson pour déterminer la distribution de charges dans le canal [Yaur 01], en intégrant la densité de courant j ($j=\sigma E$) sur toute la section du transport (depuis la source jusqu'au drain) et en appliquant l'équation de continuité (équation II.43) [Kim 04].

$$\text{div}(\vec{j}) = \vec{\nabla} \cdot \vec{j} = 0 \quad (\text{II.43})$$

Pour implémenter ces différentes équations dans l'architecture nMOS à triple grille de la figure II.29, nous avons utilisé un environnement de logiciel de résolution de système d'équations par la méthode des éléments finis [FlexPDE]. La structure du fichier décrivant le problème à résoudre est illustrée par la figure II.30. Avant d'atteindre les résultats souhaités (courant, mobilité,

etc.) nous devons passer par différentes étapes intermédiaires, permettant d'une part de définir l'architecture (variables et paramètres) et d'autre part les équations associées au transport et à la charge. Puisqu'ici les régions sources et drains ne sont pas entièrement simulées (représentées par la surface hachurée de la figure II.29), les conditions aux limites correspondantes doivent être correctement décrites avant la simulation.

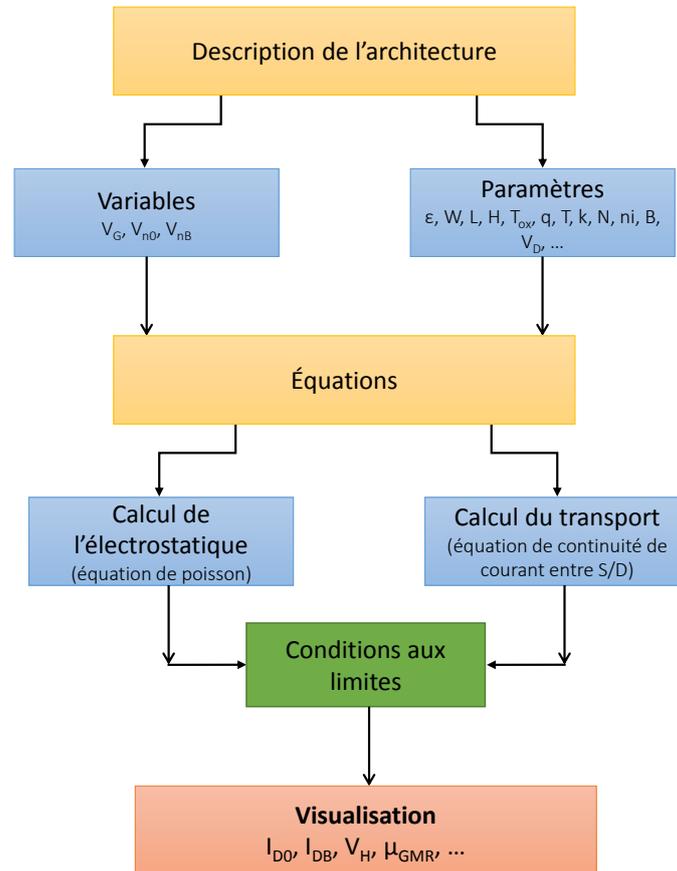


Figure II.30. Flot de simulation sur FlexPDE d'un transistor à triple grille.

La figure II.31 illustre la structure 3D de l'architecture à triple grille issue de la simulation FlexPED. Le maillage représenté est le maillage initial (adaptatif). Il est raffiné en cours de simulation de telle sorte que le transport des électrons (au niveau des interfaces oxyde/canal) soit optimisé (nombre de nœuds supérieur à 6000). Les potentiels associés aux électrodes grille/drain représentent les variables d'entrée de simulation : V_G varie de 0.2 à 1.7V et V_D (notée V_n sur la figure II.30) est fixé à 10mV. Ici, le rapport de forme W/L est équivalent à 0.25 (inférieur à 1). Pour réduire le temps de calcul, l'oxyde enterré n'a été pas pris en compte. La tension V_B associée est donc appliquée directement sur sa surface supérieure.

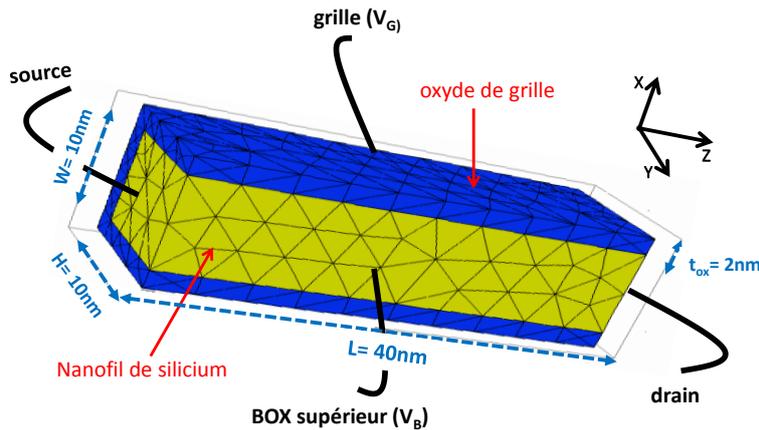


Figure II.31. Un maillage 3D d'un transistor à triple grille pour simuler le courant de drain (le box et le métal de grille sont représentés respectivement par les potentiels V_B et V_G).

II.3.3.3. Résultats de simulation

Tout d'abord, le courant de drain sans et avec champ magnétique (ici $B=10T$) a été correctement simulé en fonction de la polarisation de grille. Cependant, en raison du faible écart entre ces deux courants (inférieur à 10%), nous avons décidé de calculer directement la mobilité magnétorésistance suivant l'équation II.33. La figure associée à ces résultats de simulations est représentée sur la figure II.32. A partir du courant de drain simulé, nous avons tracé également sur la même figure la mobilité effective (μ_{eff}) en appliquant l'équation II.14. La charge d'inversion (Q_{inv}) est alors obtenue en intégrant la charge au milieu du canal par unité de surface.

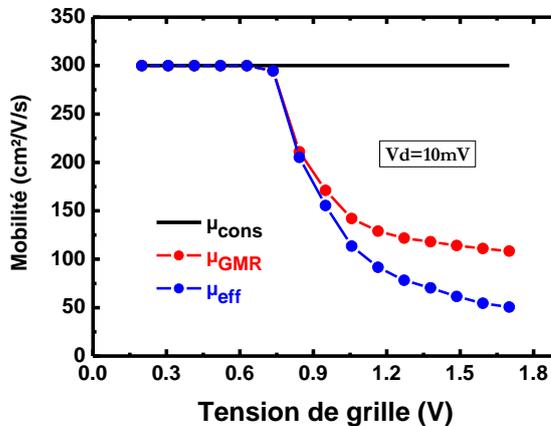


Figure II.32. Evolution de mobilités (μ_{eff} et μ_{GMR}) simulées en fonction de la tension de grille V_G par rapport à la mobilité constante ($300cm^2/V/s$). La largeur de grille W est fixée à 10nm. La longueur de grille L est égale à 40nm.

La figure II.33 ci-dessous représente le champ de Hall (noté E_H) créé entre les deux flancs verticaux en fonction de la polarisation de grille. A faible V_G , le champ Hall vaut zéro, autrement dit, aucune déviation de porteurs n'est appliquée. En revanche, à forte inversion, le champ Hall varie. Les valeurs du champ associées sont relativement faibles (inférieures à $8 \times 10^{-6}V/m$ en valeur absolue) et par conséquent la force électrostatique induite par ce champ ($q.E$) ne compensera pas totalement la force de Lorentz. Comme nous l'avons constaté, les deux types de mobilité μ_{eff} et μ_{GMR} ont quasiment la même tendance. Compte tenu du fait que la mobilité magnétorésistance (courbe rouge) est non nulle et que la variation du champ de Hall est négligeable en fonction de la

polarisation de grille, cela revient à dire que dans ce cas les porteurs sont donc déviés sous l'effet du champ B : nous sommes bien en présence de magnétorésistance géométrique.

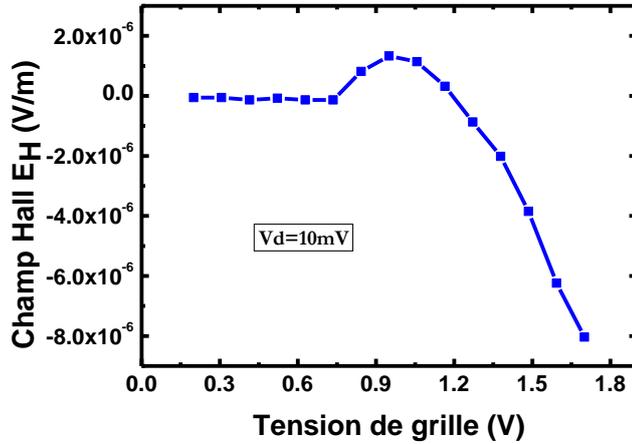


Figure II.33. Evolution du champ Hall E_H en fonction de la tension de grille V_G .

En résumé, en résolvant l'équation de Poisson couplée aux équations du transport (dans la structure nMOS à triple grille) via FlexPDE, nous avons pu extraire (en plus du champ Hall) le courant de drain, la mobilité effective ainsi que magnétorésistance. D'un point de vue expérimental, une étude menée récemment par [Sung-Jae 14] a montré l'effet magnétorésistance dans le cas des transistors FinFET, puisque l'extraction de mobilité μ_{GMR} est possible. L'explication théorique liée à cet effet peut être simplement due au terme de conductivité $\frac{\sigma_0}{1+\mu^2 B^2}$ qui dépend du champ magnétique. Cela veut dire que quelle que soit la condition W/L, l'extraction de mobilité par cette méthode reste toujours possible dans une structure à triple-grille.

II.4. CONCLUSION DU CHAPITRE II

Pour expliquer le fonctionnement du transistor à effet de champ d'un point de vue modélisation, nous avons tout d'abord présenté la base théorique des modèles d'extraction qui seront utilisés dans cette thèse : le modèle Dérive-Diffusion. Puis nous avons défini la notion de mobilité, paramètre clé de modèle en présentant la loi dite de Matthiessen. Enfin, comme résumé dans la figure II.34 ci-dessous, d'un point de vue expérimental, deux principales méthodes permettant d'extraire la mobilité seront utilisées dans le cadre de cette thèse afin d'interpréter le transport dans les transistors MOS à effet de champ. La plus simple consiste à mesurer le courant de drain sous l'influence d'un champ magnétique perpendiculaire à la trajectoire des porteurs. La mobilité extraite est donc équivalente à l'effet magnétorésistance exercé par le champ B sur les porteurs dans le canal. La deuxième méthode nécessite d'utiliser des modèles de transport valables à faible inversion basés sur une approche de dérive-diffusion.

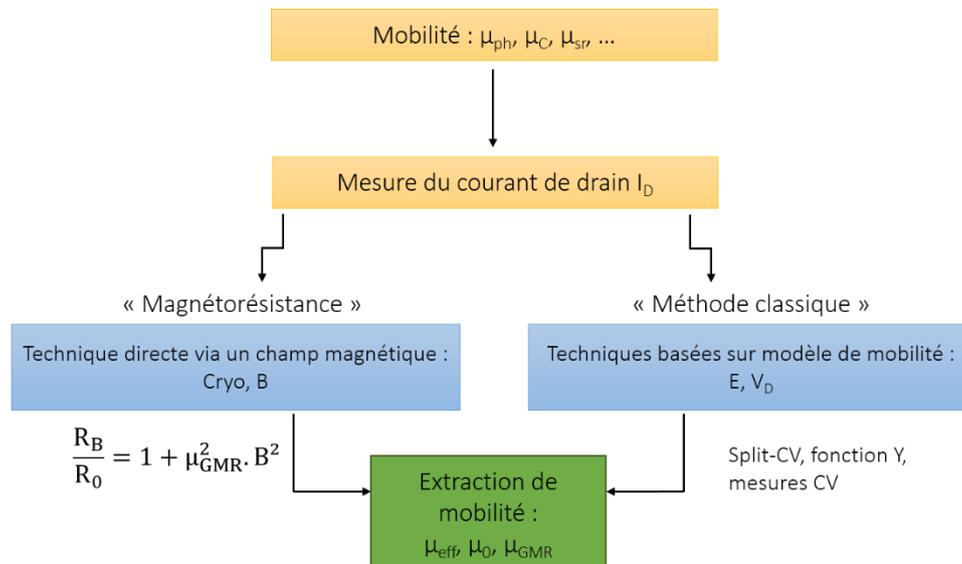


Figure II.34. Schéma illustrant les deux types de méthodes permettant d'extraire la mobilité dans ce chapitre.

Même si l'extraction de la mobilité par l'effet magnétique est plus directe dans son post-traitement, elle nécessite de gros moyens de caractérisation contrairement aux techniques plus classiques qui demandent uniquement une mesure en régime linéaire. Nous avons montré par simulation en éléments finis que la magnétorésistance du canal pouvait être exploitée dans des transistors à triple grille pour lesquels la condition $W \gg L$ n'est plus vérifiée. Enfin nous avons indiqué comment les différentes composantes de la mobilité (phonon, charges, rugosité de surface et défauts neutres) pouvaient être décorréliées du fait de leurs dépendances différentes en fonction de la température et du champ transverse.

CHAPITRE III :

EVALUATION DU TRANSPORT DANS LES TRANSISTORS NMOS A TRIPLE-GRILLE SUR SUBSTRATS (S)SOI

Ce chapitre portera sur la simulation TCAD et sur l'extraction de la mobilité des électrons à partir des mesures en température sur des dispositifs nMOS. L'influence de la température sur la mobilité est utilisée pour identifier les mécanismes d'interaction, qui gouvernent les propriétés du transport dans le canal du transistor. Les caractéristiques du dispositif doivent être alors mesurées sur une large gamme de températures et les paramètres du transport doivent être extraits pour chacune d'elles. Deux types d'architecture seront analysés : l'architecture large (transistor FDSOI) dont seule la longueur de grille varie, et l'architecture étroite à canaux multiples (transistor TriGate), où la largeur constitue la variable. L'originalité de ce chapitre sera double. Nous analyserons d'abord l'évolution de la contrainte mécanique dans la structure étudiée via des simulations TCAD incluant différentes hypothèses pour le procédé de fabrication, puis nous analyserons les paramètres du transport associés via différentes techniques d'extractions. Enfin nous proposerons plusieurs explications quant aux possibles influences de la contrainte mécanique.

En simulation TCAD, deux sources de contrainte seront analysées : des contraintes initialement bi-axiales provenant d'un substrat précontraint sSi en tension (d'environ 1.4GPa), et des contraintes en tension de 1.55GPa provenant des couches d'arrêt à la gravure des contacts en tension (t-CESL). La contrainte intrinsèque dans le film TiN sera également prise en compte. L'extraction de la mobilité sera déterminée de deux façons : par la méthode de la fonction Y et par une approche similaire incluant un calcul de la charge d'inversion. Pour finir, la mobilité extraite sera ensuite examinée par la loi de Matthiessen dans le but d'identifier d'une part les mécanismes détériorant la mobilité (avec les phonons, les défauts neutres et les charges fixes) et d'isoler d'autre part les interactions avec les phonons qui sont directement affectées par la contrainte mécanique. Cette information couplée aux résultats de simulation mécanique est essentielle pour analyser l'impact de la contrainte sur le transport. Les dispositifs nMOS à triple grille utilisés dans ce chapitre sont issus du procédé de fabrication des transistors TriGate du CEA-LETI [Coquand 13b]. Les mesures électriques du courant de drain et de la capacité grille-canal sont réalisées au sein de l'IMEP-LAHC.

III.1. ANALYSE MECANIQUE VIA DES SIMULATIONS PAR ELEMENTS FINIS

III.1.1. Le transistor nMOS à triple grille

Dans ce paragraphe, nous allons nous focaliser uniquement sur les structures réelles obtenues en fin du procédé de fabrication. L'étape de gravure de la zone active qui peut relaxer le substrat précontraint sSOI sera également évoquée. L'origine de la contrainte mécanique dans le canal provient d'une part du film en silicium précontraint sSi (1.4GPa) et de la couche d'arrêt à la gravure des contacts t-CESL (1.55GPa en tension), et ceci de manière intentionnelle, et d'autre part, de la grille métallique en TiN (de l'ordre de 2GPa) déposée suivant la technique ALD (*Atomic Layer Deposition*). Par ailleurs, les canaux en silicium sont isolés par l'oxyde enterré (BOX) et par l'isolation MESA. Deux types de substrats orientés (100) dont l'épaisseur d'oxyde enterré est de 145nm ont été évalués. Le premier est un substrat SOI standard avec une épaisseur de film en Si d'environ 11nm. Le deuxième est un substrat précontraint sSOI où l'épaisseur du film contraint sSi est de 13nm.

Dans le cas des dispositifs larges (nommés par la suite FDSOI), une coupe dans la direction S/D illustrant la structure finale obtenue en fin du procédé est présentée dans la figure III.1. Dans cette direction, la longueur de grille (notée L_g) varie entre 80nm et 10 μ m. Dans la direction transverse au plan de la coupe TEM, la largeur W est fixée à 10 μ m. Comme nous pouvons le remarquer sur cette figure, les épitaxies S/D sont en silicium. Aucune contrainte supplémentaire n'est transférée depuis ces zones surélevées vers le canal.

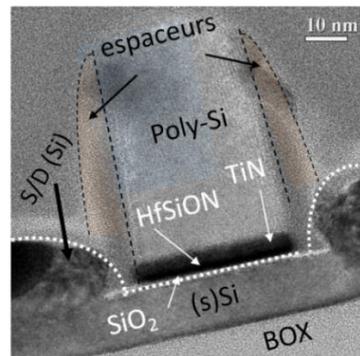


Fig. III.1. Image TEM d'un transistor nMOS FDSOI en fin de procédé, avec $W=10\mu\text{m}$ et $L_g=50\text{nm}$ [Coquand 13a].

En revanche, l'architecture étroite (nommée par la suite TriGate) est composée de dix canaux parallèles les uns aux autres et connectés ensemble aux régions S/D (cf. figure III.2.a) de façon à augmenter à la fois la densité d'intégration [Barraud 15] [Gaben 15a] et le courant collecté au drain [Dupré 08]. Bien que les capacités parasites (ex. : capacité grille-drain) soient importantes dans le cas TriGate [Lacord 12] [Lacord 16], le courant de drain augmente quant à lui ce qui peut améliorer les performances pour une même occupation du dispositif (appelée « *footprint* ») [Gaben

15b]. L'intérêt de présenter ici l'architecture TriGate est d'imaginer quel sera l'impact induit par la gravure de l'actif sur l'état de contraintes dans le film sSi. Suite à la gravure, la contrainte dans le canal initialement bi-axiale se transforme parfois en contrainte uniaxiale sous l'effet de la relaxation lorsque la largeur de grille devient très faible ($W \ll L$). En fin du procédé de fabrication (Fig. III.2.b), une gravure partielle de l'oxyde enterré (appelée « *recess* ») est observée sous la section du film. La grille enrobe presque tout le canal permettant d'avoir un contrôle électrostatique renforcé sur le canal. La longueur de grille (L_g) de cette architecture est fixée à 100nm et la largeur W d'un doigt varie quant à elle de 30nm à 240nm.

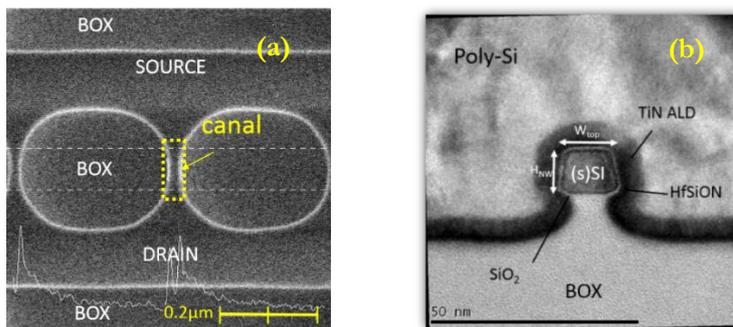


Figure. III.2. Image TEM d'un nMOS TriGate sur substrats SOI (a) en vue de dessus de l'actif après isolation MESA (b) en coupe dans la section du nano-fil en fin de procédé [Coquand 13a].

Dans la suite de ce sous-chapitre, nous allons nous intéresser à l'évolution des contraintes mécaniques longitudinale (dans la direction source-drain) et transverse dans le canal durant le procédé de fabrication des transistors nMOS à triple grille. Un intérêt particulier sera porté aux hypothèses de simulation employées en TCAD. Dans la littérature, des travaux basés sur des transistors FDSOI de type n sur des substrats sSOI [Andrieu 06], ont montré l'intérêt d'utiliser la simulation mécanique du procédé pour étudier le transport à travers l'approche piézorésistive. Ces résultats ont été mis en évidence via des caractérisations électriques.

III.1.2. Description de la simulation mécanique

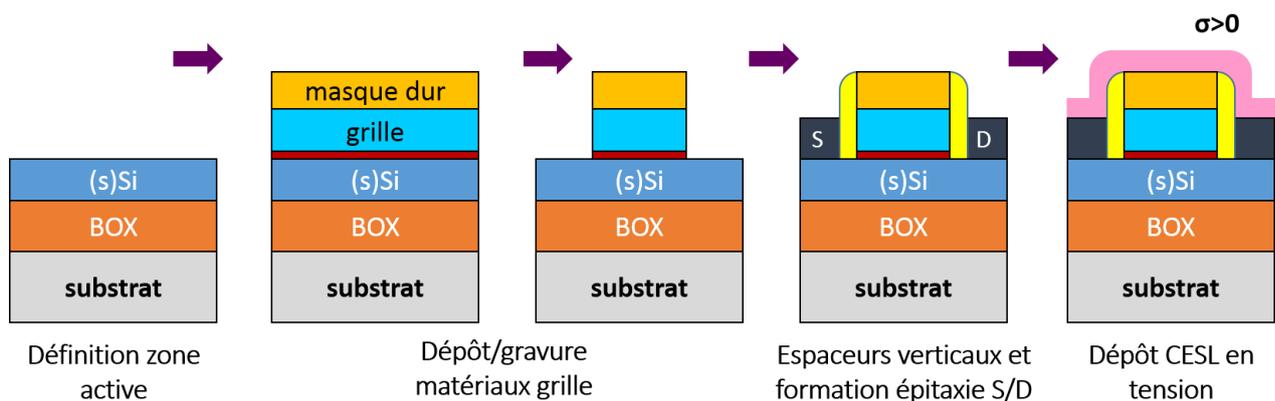
III.1.1.2.1. Procédé et paramètres de simulation

Les principales étapes de fabrication permettant d'aboutir aux architectures étudiées sont tirées de [Coquand 13b]. Pour des raisons de simplicité, nous ne présenterons que les étapes du procédé engendrant un niveau de contrainte significatif dans le canal. Les paramètres de simulation TCAD associés sont résumés dans le tableau III.1. Le procédé de fabrication simulé diffère légèrement de celui élaboré en salle blanche pour éviter un temps de calcul important. En simulation, la plus grande structure à canal long se limite à une longueur maximale de grille de $1\mu\text{m}$ ($10\mu\text{m}$ dans le cas réel). Cela n'empêche en rien l'étude de l'évolution de la contrainte en fonction de la géométrie dans la mesure où les canaux de $1\mu\text{m}$ correspondent déjà à une configuration dite de « canal long ». Dans ce cas, les paramètres comme la mobilité ne sont pas affectés à partir du moment où la modification des dimensions n'apporte pas un changement de la géométrie.

Tableau III.1. Principales étapes et paramètres associés à la simulation TCAD d'un transistor nMOS à triple grille.

Substrat/ Procédé	SOI		sSOI	
	Matériau	Paramètre	Matériau	Paramètre
"Substrat"	Si (0.0GPa)	Épaisseur : <u>11nm</u> BOX épais : <u>145nm</u> Substrat : <u>100nm</u>	sSOI (1.4GPa)	Épaisseur : <u>13nm</u> BOX épais : <u>145nm</u> Substrat : <u>100nm</u>
Grille	PolySi + TiN + HfSiON + SiO ₂	Épaisseurs : <u>50nm</u> + <u>5nm</u> + <u>1.9nm</u> + <u>0.8nm</u>	Poly-Si + TiN + HfSiON + SiO ₂	Épaisseurs : <u>50nm</u> + <u>5nm</u> + <u>1.9nm</u> + <u>0.8nm</u>
S/D surélevés	Si	T _{epi} = <u>18nm</u>	Si	T _{epi} = <u>16nm</u>
t-CESL	SiN (1.55GPa)	Épaisseur : <u>40nm</u>	SiN (1.55GPa)	Épaisseur : <u>20nm</u>

Afin de simuler des architectures à triple grille au plus proche de celles réalisées en salle blanche, nous avons choisi de travailler avec l'outil de simulation Sentaurus Process (SProcess) développé par Synopsys [Sentaurus 14], indispensable pour pouvoir décrire précisément les différentes étapes du procédé (ex. : gravure, dépôt, oxydation, diffusion, etc.). Un effort considérable a été porté également sur le maillage étant donné que le bon fonctionnement de cette architecture nécessite à la fois un maillage fin dans les zones de haute importance telles que l'interface oxyde/canal et un autre maillage relativement relâché, par exemple, au niveau du substrat afin d'optimiser l'espace mémoire et le temps de calcul. Les principales étapes de simulation sont représentées par le schéma de la figure III.3.


Figure III.3. Principales étapes de simulation d'une structure nMOS à triple grille.

III.1.2.1.a. Constitution du substrat SOI

Comme précédemment mentionné, les substrats sur SOI utilisés en simulation TCAD sont constitués à la fois d'un film de silicium d'épaisseur H (11nm et 13nm respectivement dans les films non-contraint et précontraint), d'un oxyde enterré en SiO₂ de 145nm d'épaisseur, et d'un substrat épais en silicium.

III.1.2.1.b. Préparation de la zone active

Les épaisseurs de la zone active utilisées dans la simulation sont obtenues suite au retrait de l'oxyde natif de silicium ôtant environ 2nm à l'épaisseur initiale du substrat SOI. Comme observé en simulation, le procédé d'oxydation génère un grand nombre de nœuds et donc un temps de calcul important, alors que l'oxydation plane ne génère pas de contrainte mécanique supplémentaire dans le film formé [Saracco 10]. Cette étape sera remplacée par un film de silicium d'épaisseur H. De plus, la gravure et l'étape de « *trimming* », qui consiste en une réduction de la largeur des motifs de résine par une gravure isotrope (étape nécessaire pour les transistors étroits à canaux de faible W) [Mechkan 12], sont remplacées dans la simulation par une seule étape de gravure. Une gravure isotrope de l'oxyde enterré de 3nm est finalement effectuée pour reproduire le « *recess* ».

III.1.2.1.c. Dépôt et gravure de la grille

Concernant la grille, différents matériaux ont été déposés pour reproduire l'empilement souhaité. Il est constitué de 0.8nm d'oxyde interfacial (noté Il-SiO₂), de 2.3nm de diélectrique HfSiON de haute permittivité « *high-k* », de 5nm du métal TiN et de 50nm de polysilicium. A travers un masque protégeant la grille, une gravure anisotrope des couches empilées est alors simulée avec arrêt sur silicium. Pour cette technologie, deux matériaux supplémentaires ont été réellement déposés après formation du polysilicium, constituant un masque dur pour la grille. Il s'agit de 30nm d'oxyde tetraethylorthosilicate (souvent abrégé par TEOS) et de 30nm de nitrure. Ces matériaux ne seront pas pris en compte en simulation puisqu'ils ne modifient pas, d'un point de vue mécanique, l'état de la contrainte dans le canal.

III.1.2.1.d. Epitaxies S/D

Les épitaxies source-drain (S/D) sont en silicium. Leur épaisseur est de 18nm et 16nm respectivement pour un substrat non-contraint et précontraint. Nous aurons l'occasion d'étudier au chapitre suivant des S/D en silicium-germanium (en compression) pour des transistors pMOS.

III.1.2.1.e. Dépôt de t-CESL

Le procédé du dépôt de la couche CESL se situe après le recuit thermique (typiquement supérieur à 1000°C). En simulation, le dépôt de cette couche est émulé par une succession de recuits et de dépôts de couches fines (voir paragraphe §III.1.5.2), selon la technique proposée par [Xu 12] [Loiko 06] [Gencer 13]. Nous avons déposé une série de films de nitrure contraints (en tension 1.55GPa) d'épaisseur égale à 1nm. Selon le type de substrat (SOI ou sSOI), l'épaisseur totale de CESL déposée était différente (voir tableau III.1). Une relation directe existe entre la longueur de grille et la contrainte induite dans le canal par l'action du CESL contraint, comme nous allons le voir plus loin dans la suite de chapitre.

III.1.2.2. Hypothèses de simulation

Dans le but d'avoir un champ de contrainte représentatif à la fin de la simulation TCAD, la contrainte mécanique générée à chaque étape du procédé doit être bien prise en compte. Différentes hypothèses ont alors été mises en oeuvre dans notre simulation afin de réaliser des architectures nMOS sur SOI en accord avec le procédé réel. Comme nous l'avons évoqué précédemment au chapitre I, les deux principales hypothèses de cette étude sont les suivantes : on se place dans un régime linéaire de déformations, et on suppose ensuite que la composante perpendiculaire au plan de simulation est constante lorsque sa dimension tend vers l'infini (hypothèse de déformation plane). Une corrélation expérimentale reposant sur la mesure de déformation sous l'effet de la contrainte mécanique est nécessaire pour valider ces hypothèses.

Pour se focaliser uniquement sur l'évolution de la contrainte dans le canal, nous avons procédé à une simulation purement mécanique qui ne prend pas en compte l'effet éventuel de la contrainte sur le dopage et l'influence possible du dopage sur la contrainte. La simulation bidimensionnelle de la section du transistor étroit s'est portée sur un seul canal, en imposant des conditions de périodicité sur les bords de l'architecture (déplacement nul). Cette condition est assurée dans la simulation TCAD par les conditions aux limites de type *Neumann* [Sentaurus 14]. En raison de la topologie complexe des dispositifs étroits, le dépôt ALD réel de la grille métallique (TiN) est également émulé par un procédé multicouche similaire au dépôt CESL. Dans le cas du transistor large seule une demi-structure est simulée avant l'étape de l'épitaxie S/D. Elle sera ensuite doublée suivant le plan de symétrie qui est défini au centre de la grille.

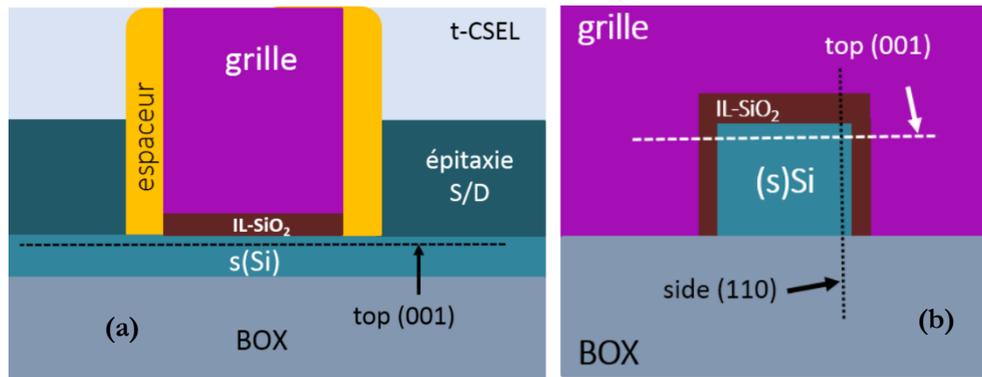


Figure III. 4. Schéma illustrant pour un dispositif (a) large et (b) étroit, les lignes dans lesquelles les profils de contraintes sont extraits.

Etant donné que le transport des porteurs (électrons) se passe au niveau des interfaces oxyde de grille/canal, tous les profils de contraintes mécaniques présentés dans la suite de ce chapitre seront extraits à 1nm de cette interface vers le canal ; distance qui correspond relativement à la position moyenne des électrons du canal d'inversion lorsqu'on tient compte du principe d'exclusion de Pauli [Pauli 46]. La figure III.4.a illustre, les lignes le long desquelles les profils de contraintes sont extraits (suivant la face supérieure (100) notée "*top*") dans le cas des dispositifs larges (ou FDSOI). Pour un transistor étroit, cette extraction se fait à la fois au niveau de la face supérieure et au niveau des flancs verticaux (110) (notés "*side*" sur la figure III.4.b). Trois composantes du tenseur de contraintes sont étudiées : la composante longitudinale σ_L extraite selon la direction source-drain, celle transverse σ_T perpendiculaire au transport et enfin la composante verticale σ_V normale au plan du substrat (100).

III.1.3. Champs de contraintes issus de la simulation mécanique

III.1.3.1. Cas des transistors FDSOI

Après avoir présenté à la fois le procédé et les hypothèses de la simulation mécanique, la figure III.5 montre pour les deux types de substrats un exemple de cartographie bidimensionnelle du champ des contraintes longitudinales obtenues en fin de simulation. La longueur de grille correspond dans cet exemple à 100nm. Dans la direction transverse (perpendiculaire au plan de la cartographie suivant l'axe z), la déformation est constante car la largeur de grille est supposée infinie ($W=10\mu\text{m}$). Compte tenu du fait que la longueur des zones S/D est de l'ordre de la centaine de nanomètres, la variation spatiale de la contrainte longitudinale sera légèrement modifiée par l'isolation MESA. La topologie complexe de la grille nous permet de voir sur ces deux cartographies une relaxation claire de la couche t-CESL en tension. La contrainte résiduelle dans la couche TiN est quant à elle renforcée sous l'effet du CESL.

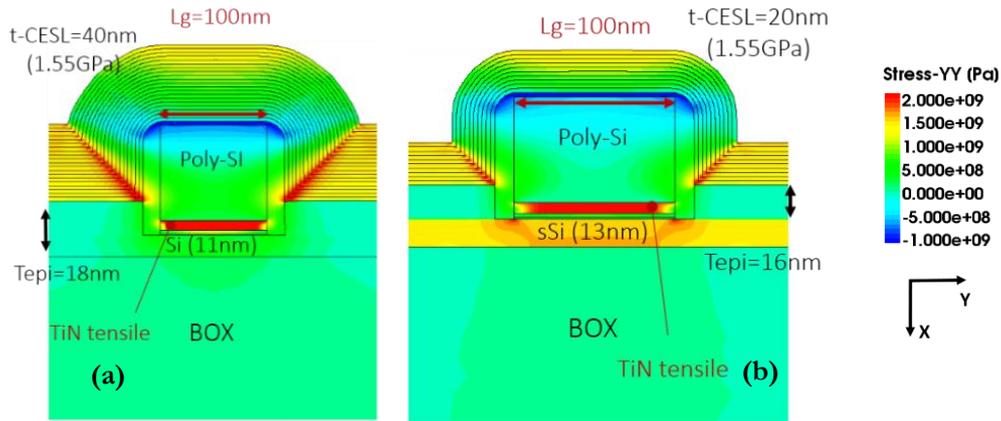


Figure III.5. FDSOI : Cartographies du champ de contraintes longitudinales sur substrats (a) SOI (b) sSOI, avec $L_g=100\text{nm}$.

La figure III.6 illustre les profils de contraintes mécaniques dans les directions longitudinale et transverse en fonction de la position (normalisée par rapport à la longueur de grille suivant l'abscisse y). D'après la figure III.6.a, on peut constater que la grille n'a aucun impact sur l'évolution de la composante longitudinale lorsque sa longueur devient importante (au-delà de $1\mu\text{m}$). Pour les transistors courts, la couche de t-CESL transfère une contrainte en tension d'environ 200MPa et de 400MPa dans le canal lorsque le substrat est respectivement précontraint et non-contraint. Indépendamment de la longueur de grille, la composante transverse reste inchangée, comme le montre la figure III.6.b. Ces profils traduisent à la fois l'effet du substrat sur le niveau de contrainte initial dans le canal ainsi que le transfert de la tension depuis la couche CESL vers le canal. Retenons que dans cette configuration l'effet de la grille métallique détériorant la tension du film sera toujours dominé par l'effet t-CESL.

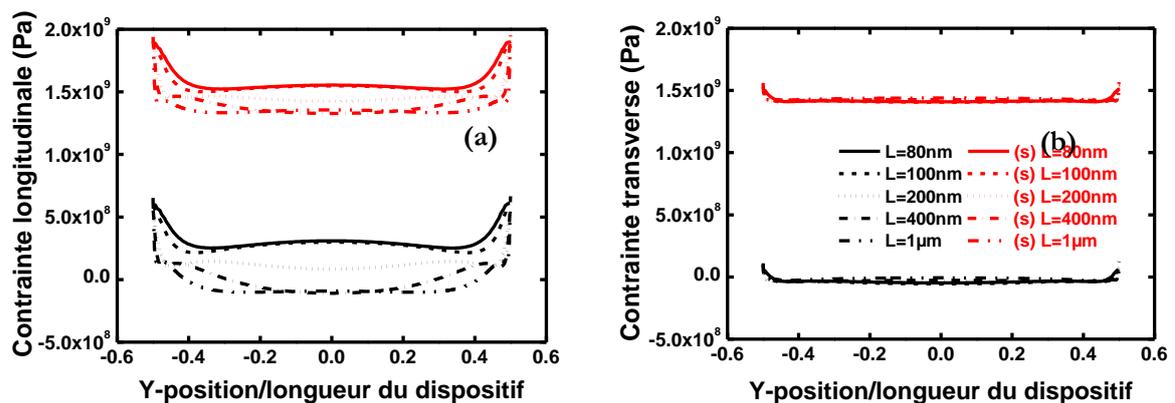


Figure III.6. FDSOI : Profils de contraintes (a) longitudinales et (b) transverses où $L_g=100\text{nm}$.

III.1.3.2. Cas des transistors TriGate

Comme pour les transistors larges, les cartographies bidimensionnelles de la composante longitudinale obtenues en fin de simulation sont montrées sur la figure III.7 pour les structures étroites (TriGate $W=60\text{nm}$). Aucune influence significative de la couche CESL sur la section du canal n'est observée. Cela s'explique par le fait que la largeur des S/D est relativement faible (de l'ordre de 200nm), ce qui rend difficile la relaxation du nitrure t-CESL, et par conséquent le transfert de sa contrainte dans le canal. Or l'impact induit par la couche TiN est loin d'être négligeable, ce qui nous a conduit à déposer cette couche en 5 étapes (avec une épaisseur critique de 1nm). L'intérêt principal de ce dépôt réside dans la mise en évidence de la relaxation partielle de chaque couche déposée.

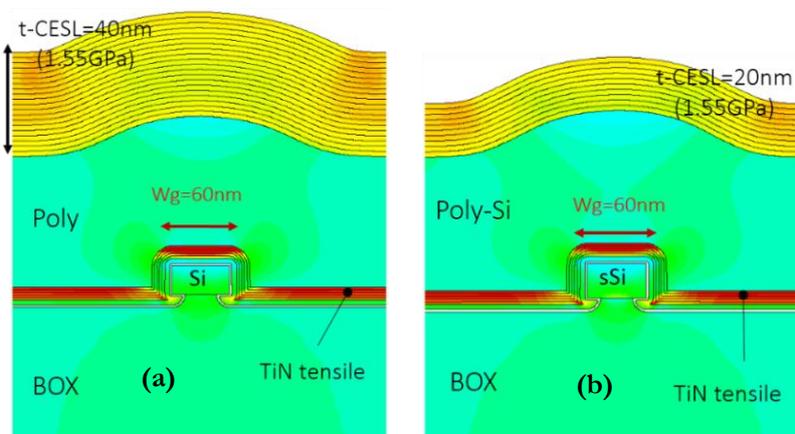


Figure III.7. TriGate : Cartographies du champ de contraintes σ_I sur substrat (a) SOI (b) sSOI ($W=60\text{nm}$). Coupes \perp à (Oz).

En réalité, la section du nano-fil ressemble plutôt à un trapèze avec des coins arrondis (cf. Fig. III.2.b) sous l'effet de recuit dihydrogène H_2 [Lee 06] [Xiong 04]. En simulation, il est possible de reproduire cette forme via une gravure simple de type Fourier afin d'éviter le procédé d'oxydation qui impose un temps de calcul important. Le résultat final obtenu reste le même quelle que soit la méthode de simulation employée. Une raison de plus pour que le procédé d'oxydation ne soit pas mis en œuvre dans la simulation mécanique est que le procédé d'oxydation simulé par SProcess n'engendre pas de contrainte mécanique dans le canal faute de modèle pertinent [Sentaurus 14].

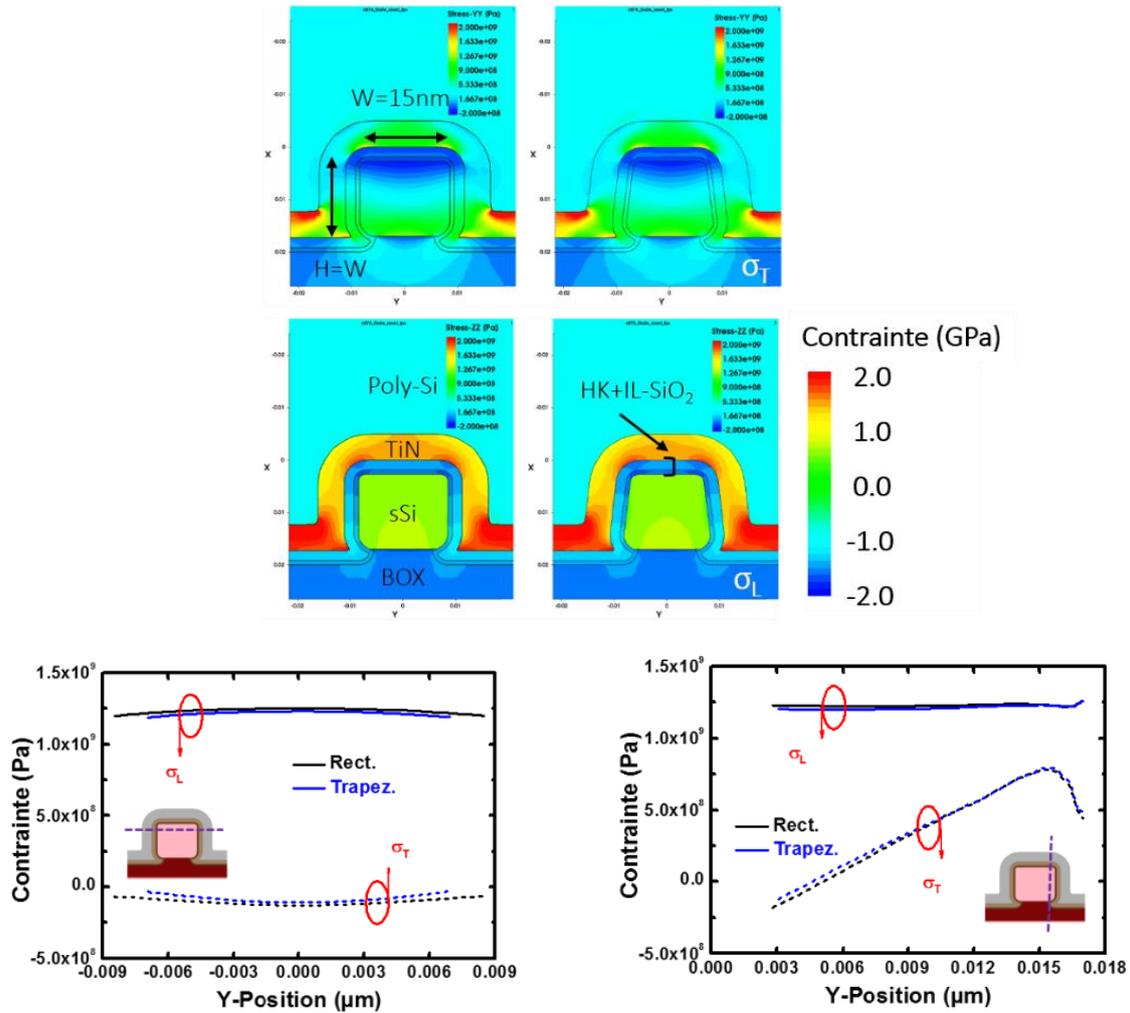


Figure III.8. TriGate : Comparaison entre une section ($W=H=15\text{nm}$) rectangulaire et trapézoïdale d'un transistor étroits, simulé sur substrat sSOI.

Pour comprendre l'impact d'une section "trapézoïdale" sur la distribution de contraintes dans le canal par rapport à une section rectangulaire, nous avons simulé ces deux géométries dans le cas précontraint avec des dimensions identiques ($W=H=15\text{nm}$), sachant que la gravure supplémentaire de 3nm de l'oxyde enterré (notée précédemment *recess*) est également considérée dans les deux cas. Les résultats associés sont reportés sur la figure III.8. Comme dans le paragraphe précédent, nous avons présenté ici les cartographies de contraintes ainsi que les profils correspondant aux faces supérieure et verticale du transistor. La nature de la section (rectangulaire ou trapézoïdale) n'apporte aucune différence significative en termes de contraintes aussi bien pour les faces latérales que pour la face supérieure. C'est pourquoi dans la suite de l'étude, nous allons simuler uniquement des architectures étroites, dont la section est rectangulaire.

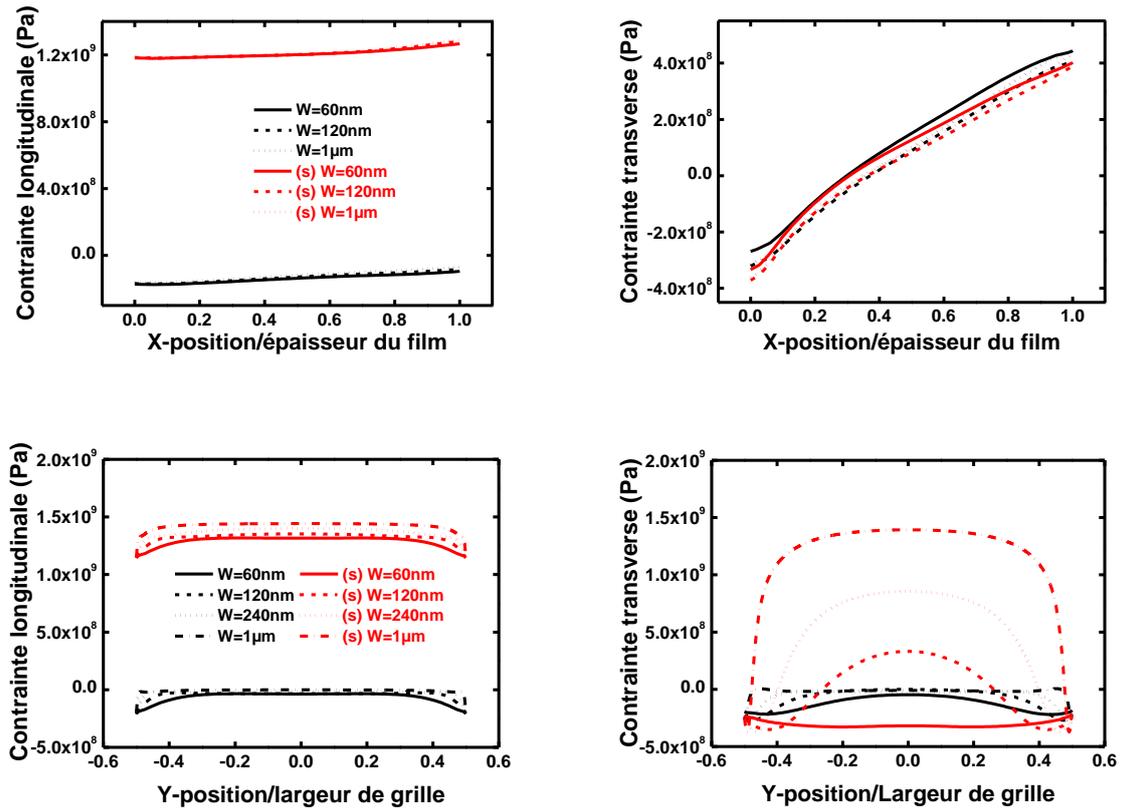


Figure III.9. TriGate : Profils de contraintes longitudinales et transverses suivant les flancs (en haut) et la surface supérieure (en bas).

L'évolution des contraintes longitudinale et transverse en fonction de la position verticale au nanofil (suivant y) est reportée sur la figure III.9 pour différentes valeurs de W . Cette fois-ci, la composante longitudinale ne varie pas. Elle est indépendante de l'orientation et du niveau de contraintes dans le canal, contrairement à la composante transverse (suivant la largeur du canal), grandement influencée par la gravure de la zone active. Cela s'explique par une relaxation latérale due aux surfaces libres localisées aux bords de la section "patternée", c'est-à-dire, plus la largeur de grille diminue et plus la contrainte tend vers une valeur nulle. En effet, une dégradation de l'ordre de -275MPa est observée le long de la face supérieure dans le substrat non-contraint. En plus de l'influence de la grille, cette dégradation atteint -1.7GPa dans le cas d'un substrat initialement contraint. Ces résultats vont avoir des conséquences directes sur le transport dans les transistors à triple grille (voir paragraphe §III.3).

III.1.4. Comparaison des contraintes entre la TCAD et les mesures NBED

Comme évoqué au premier chapitre, différentes techniques existent (NBED, Holographie Electronique en champ sombre et Raman) pour mesurer localement la contrainte aussi bien dans les structures « *patternées* » [Durand 15] que dans les structures denses [Boureau 15] [Cooper 15]. L'un des grands avantages de la technique NBED (*Nano-Beam Electron Diffraction*) réside dans ses mesures fiables de la contrainte dans les transistors MOS. Cette technique peut être également utilisée pour calibrer la déformation calculée en simulations mécaniques TCAD comme le montre l'étude menée récemment par Bühler *et al.* sur des transistors contraints [Bühler 15].

Les mesures de déformation présentées dans ce paragraphe proviennent d'une collaboration entre le laboratoire de simulation et modélisation (LSM) et celui de caractérisation (LCTE) au sein de CEA-LETI. Les déformations perpendiculaires (suivant l'axe y) ainsi que celles transverses (suivant l'axe x) sont mesurées sur des substrats précontraints par diffraction électronique (NBED) par J-L. Rouvière.

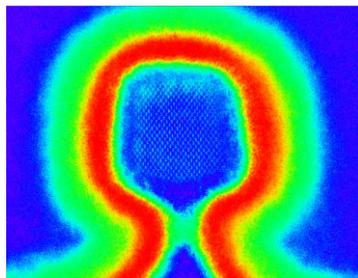


Figure III.10. Image STEM colorisée d'un transistor nMOS étroit suivant la direction transverse, avec $H=7\text{nm}$ et $W=6\text{nm}$ [Pelloux 14b].

Le dispositif réel à la fin du procédé de fabrication du transistor à triple grille est représenté par une section STEM en Fig. III.10. Une déformation en compression d'environ -0.5% est mesurée sous la grille (champ bleu sur la figure III.11.b) par rapport au substrat en silicium (qui représente la référence de la mesure), suivant la direction verticale. Cela est dû à l'action initiale de la couche TiN et à la gravure de la zone active sur la contrainte mécanique dans le canal. Par rapport à la référence (substrat de silicium), on a une relaxation quasi-totale de la composante transverse ϵ_{xx} car la largeur du film est très faible dans cet exemple (seulement de 6nm). On dit que la configuration bi-axiale dans le film précontraint sSi (1.4GPa) devient uniaxiale (selon la direction de transport) après gravure de la zone active. Comme nous pouvons le voir en figure III.11.b, nous avons pu obtenir grâce aux simulations des résultats similaires à la mesure NBED. En simulation, on voit au milieu de la section sSi une relaxation quasi-totale de la composante de déformation ϵ_{xx} et une déformation d'environ -0.5% de la composante ϵ_{yy} . Ces résultats permettent de valider la méthodologie TCAD que nous avons employée ainsi que les valeurs des constantes élastiques mises en place. En résumé, malgré le bruit lié à la mesure de déformation qui est dû à l'intégration des champs de déplacement, nous avons retrouvé de manière satisfaisante la même variation de contrainte dans les dispositifs à triple grille.

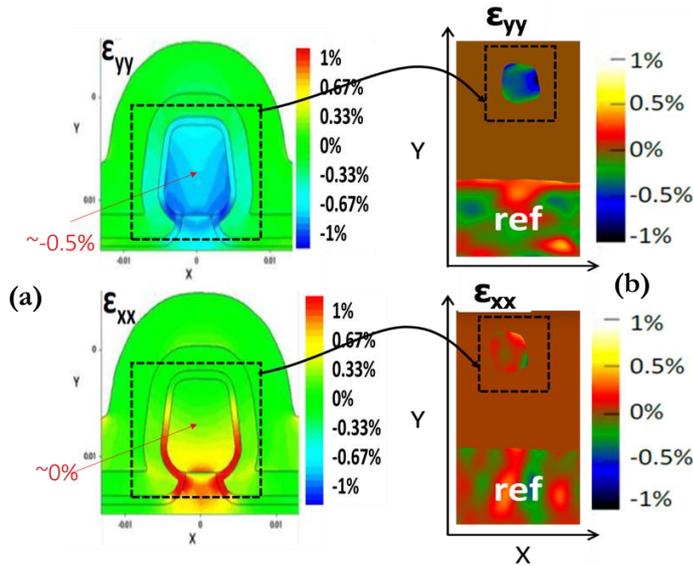


Figure III.11. Comparaison des cartographies bidimensionnelles de la composante verticale ϵ_{xx} et transverse ϵ_{yy} de déformation entre (a) la simulation mécanique TCAD (b) les mesures NBED associées [Pelloux 14b].

III.1.5. Synthèse

Seul le substrat précontraint (1.4GPa), induit une contrainte de l'ordre du GPa dans le canal. Le dépôt de la couche CESL permet toutefois d'atteindre des valeurs importantes de l'ordre de 400MPa lorsque les dispositifs sont à la fois larges et courts (ex. : $W=10\mu\text{m}$ et $L_g=80\text{nm}$). L'effet de la couche CESL est fortement atténué dans les configurations étroites. La grille métallique réduit en outre le niveau de contrainte dans le canal pour cette configuration.

III.1.5.1. Influence des substrats en sSi sur le niveau de contrainte du canal

La gravure de l'actif engendre des variations significatives de la contrainte transverse que si le substrat est initialement précontraint. Pour ces substrats, la relaxation est d'autant plus importante que la largeur de grille est diminuée (typiquement en dessous de 100nm). La contrainte dans le film devient uniaxiale, comme le montre la figure III.12.b, c'est-à-dire que seule la composante dans la direction du canal reste présente en fin de procédé (cf. Fig. III.12.a). D'un point de vue microscopique, la contrainte bi-axiale homogène dans le plan de substrat provoquera, pour un silicium dopé n, un décalage énergétique entre les quatre vallées Δ_4 et les deux vallées Δ_2 de la bande de conduction. La contrainte uniaxiale, elle, entraînera un décalage plus faible que dans le cas biaxial [Rochette 07] [Uchida 05].

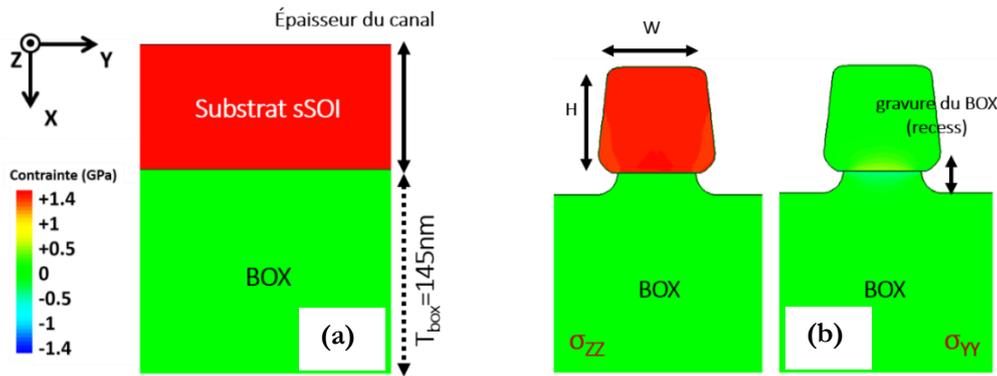


Figure III.12. Cartographies bidimensionnelles de la contrainte longitudinale σ_{ZZ} et transverse σ_{YY} (a) avant et (b) après gravure de la zone active.

III.1.5.2. Influence de CESL

En pratique, l'intégration de contraintes par la relaxation de la couche CESL se fait généralement via des couches en nitrure (SiN) hautement contraintes. Suivant les conditions de dépôt, deux types de contraintes intrinsèques (en tension ou en compression) sont introduits dans la couche CESL. Le transfert de la contrainte dans le canal à travers la grille dépend à la fois de la valeur de la contrainte résiduelle dans la couche déposée et de son épaisseur. Plus le CESL est épais, plus le transfert dans le canal est important et inversement.

Comme évoqué précédemment, la couche de CESL a été déposée en plusieurs couches (d'épaisseurs égales) afin d'émuler le procédé réel. Nous avons vu que pour un transistor étroit (ou TriGate), cette couche n'a aucune influence sur l'état de contraintes dans le canal. Nous allons donc nous focaliser ici sur la structure large. Rappelons qu'à canal court ($L_g=80\text{nm}$) une contrainte longitudinale d'environ 400MPa a été transférée dans le canal du substrat SOI (§III.1.3.1).

Pour comprendre l'effet éventuel de CESL sur le niveau de contrainte dans le canal, nous avons simulé le même procédé de dépôt qu'avant, mais en imposant une contrainte nulle dans la couche de nitrure. Les résultats de simulation sont résumés dans la figure III.13 en fonction de la longueur de grille. Dans les deux substrats, on constate une forte dépendance de la contrainte vis-à-vis de la longueur de grille, particulièrement lorsque celle-ci diminue ($<400\text{nm}$). Pour une longueur de grille de 80nm, on obtient par rapport à une couche de nitrure neutre (courbes en pointillés) une contrainte supplémentaire d'environ respectivement 535MPa et 344MPa pour un substrat SOI et sSOI.

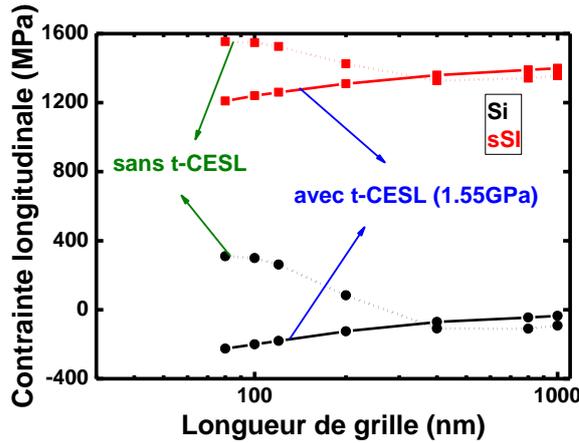


Figure III.13. Exemple d'évolution de la contrainte longitudinale prise au milieu du canal en fonction de la longueur de grille L_g , pour un CESL en tension (traits pleins) ou neutre (pointillés) sur substrat SOI (courbes noires) ou sSOI (courbes rouges).

III.1.5.3. Dégradation de la contrainte avec la couche TiN

Pour reproduire dans une configuration TriGate le dépôt de la couche TiN le plus réaliste possible, nous avons comparé des simulations où le dépôt est fait en 1 ou en 5 étapes, afin d'évaluer l'impact possible de la méthode de dépôt multicouche sur la contrainte transverse dans le canal. Les résultats des simulations mécaniques correspondantes sont résumés sur la figure III.14. Les dimensions de la section du transistor utilisé sont identiques, c'est-à-dire, $W=H=15\text{nm}$. Lorsque le nitrure de titane (TiN) est formé, on observe une dégradation de la contrainte transverse de l'ordre de 100MPa (en valeur absolue). Ce résultat provient en partie de la dilatation thermique, comme détaillé dans le premier chapitre, mais aussi de la relaxation additionnelle de la couche TiN due au dépôt multicouche. Reste à préciser que le diélectrique à haute permittivité (HfSiON de 1.9nm d'épaisseur) présente également une contrainte thermique, non-intentionnelle, de l'ordre de 200MPa dont nous négligeons ici son impact sur le canal. Une explication possible serait que le module d'Young du matériau *high-k*, proportionnel à la rigidité, soit nettement inférieur à celui du TiN (qui est considéré rigide ici).

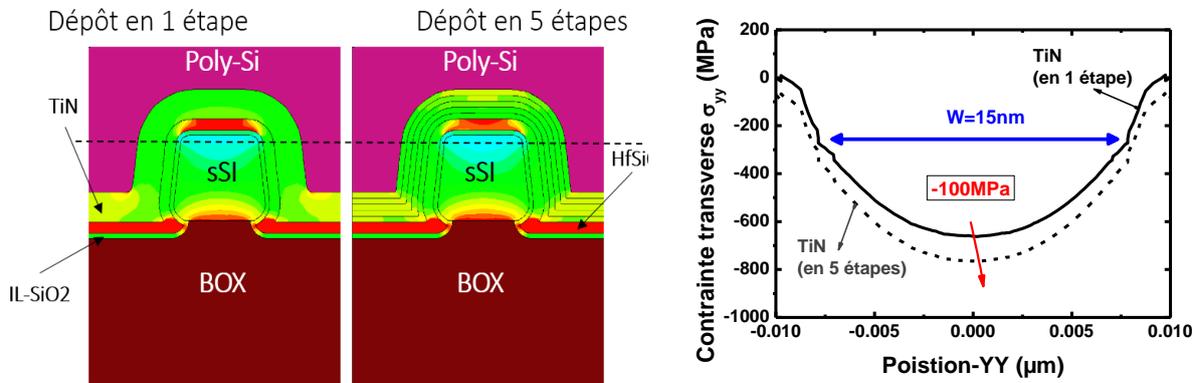


Figure III.14. Exemple du dépôt de TiN, (à gauche) cartographies 2D de la composante σ_T (à droite) les profils 1D associés.

III.2. EXTRACTIONS DE MOBILITÉ

III.2.1. Extraction de la mobilité à champ faible

Après avoir présenté et validé les résultats de simulations TCAD d'un point de vue procédé, nous allons détailler les premières mesures en température effectuées sur l'architecture précédente. Nous utiliserons ici la fonction Y pour obtenir les premiers résultats de mobilité. Pour déterminer les dimensions effectives indispensables pour l'extraction de la mobilité, nous allons exploiter des mesures de capacité grille-canal effectuées sur des dispositifs de surface suffisante (chapitre II).

III.2.1.1. Description des mesures à faible V_D

III.2.1.1.a. Mesures des dispositifs FDSOI

La figure III.15 représente les mesures brutes de courants de drain (I_D) et les courbes de transconductance (g_m) des dispositifs larges (FDSOI) en fonction de la polarisation de grille V_G , pour une longueur de grille (L_g) égale à 200nm. La température varie ici entre 100K et 350K. Deux types de substrats sur SOI sont caractérisés. Sur la figure III.15, les courbes noires représentent le substrat non-contraint et les courbes rouges correspondent au substrat précontraint.

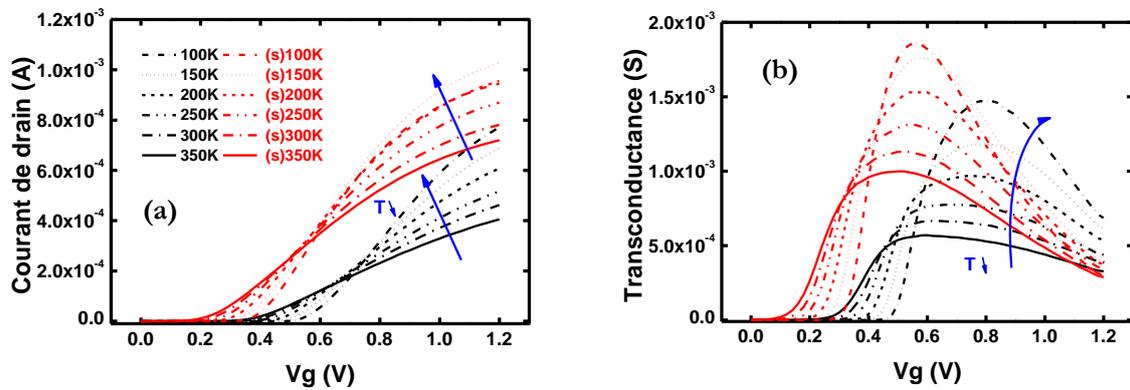


Figure III.15. FDSOI : (a) Courbes I_D - V_G en fonction de la température. (b) Courbes de transconductance g_m associées, où $V_D=30$ mV, V_G va de 0 à 1.2V, $L_g=200$ nm et T varie entre 100 et 350K.

Comme nous l'avons vu dans le chapitre II, les performances d'un transistor MOS dépendent en partie du courant I_{ON} . Son extraction consiste à fixer la polarisation de grille, de façon à déterminer le courant de drain à une charge d'inversion donnée (correspond à $V_G - V_T = 1$ V ici) et à s'affranchir partiellement de l'effet de la tension de seuil (V_T). En faisant varier la température entre 100K et 350K sur trois dispositifs de longueurs différentes ($L_g=100$ nm, 200nm et 400nm), nous traçons les courbes de la figure III.16.a, tandis qu'en modifiant la longueur de grille, nous obtenons les courbes de la figure III.16.b pour deux températures : 250K et 300K.

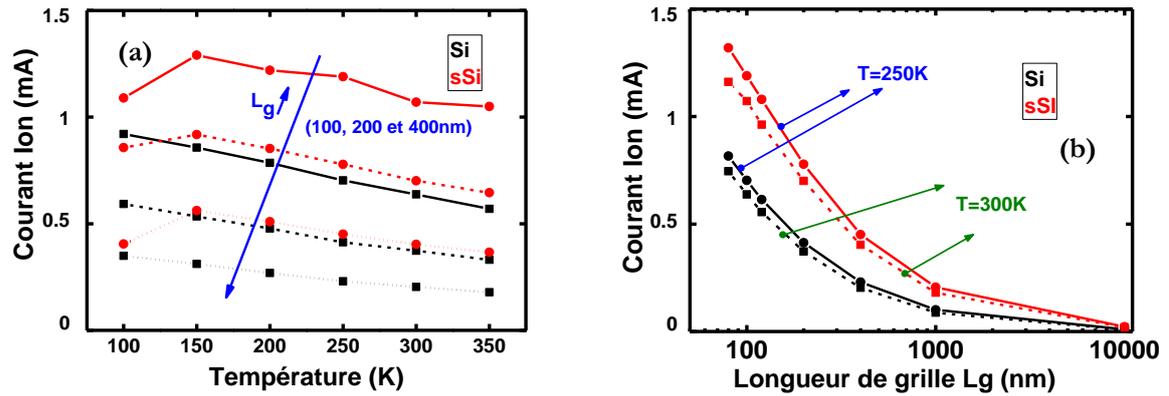


Figure III.16. FDSOI : Evolution du courant I_{ON} à $V_D =$ faible (30mV) pour les deux substrats (a) en fonction de la température avec $L_g = 100, 200$ et 400nm et (b) en fonction de la longueur de grille L_g avec $T = 250$ et 300K .

Le courant de drain et la transconductance sont plus grands dans le substrat contraint. Comme attendu, la contrainte mécanique en tension dans le canal contraint améliore le courant I_{ON} ; nous obtenons un gain en courant d'environ 68% par rapport à un canal non-contraint à 300K pour une longueur de grille de 100nm (Fig. III.16.a). Plusieurs travaux ont été menés pour expliquer l'augmentation du courant de drain observée expérimentalement à faible L_G [Saurabh 09] [Faynot 10]. Elle peut être liée aux matériaux constituant le substrat contraint. En s'appuyant sur la figure III.16.b, l'augmentation du courant I_{ON} avec la diminution de L_G revient à dire que la contrainte en tension dans le canal a été renforcée avec la réduction de la longueur de grille, ce qui a engendré une augmentation du courant I_{ON} .

Pour extraire la tension de seuil V_T dans les transistors MOS, deux méthodes sont utilisées. La première repose sur la méthode de la fonction Y comme nous l'avons montré dans le chapitre précédent. L'abscisse à l'origine de cette fonction donne accès à V_T . La deuxième méthode que nous utilisons ici porte sur l'extraction de V_T lorsque le courant de drain vaut $W/L \times 10^{-7}$ en échelle logarithmique. La figure III.17.a montre un exemple d'évolution de la tension de seuil en fonction de la température pour deux longueurs de grille différentes ($L_g = 80\text{nm}$ et 400nm) et la figure III.17.b représente quant à elle la variation de V_T à 250K en fonction de la longueur de grille. On voit bien que les variations de la géométrie, de la contrainte ou de la température conduisent à la modification de la tension de seuil V_T .

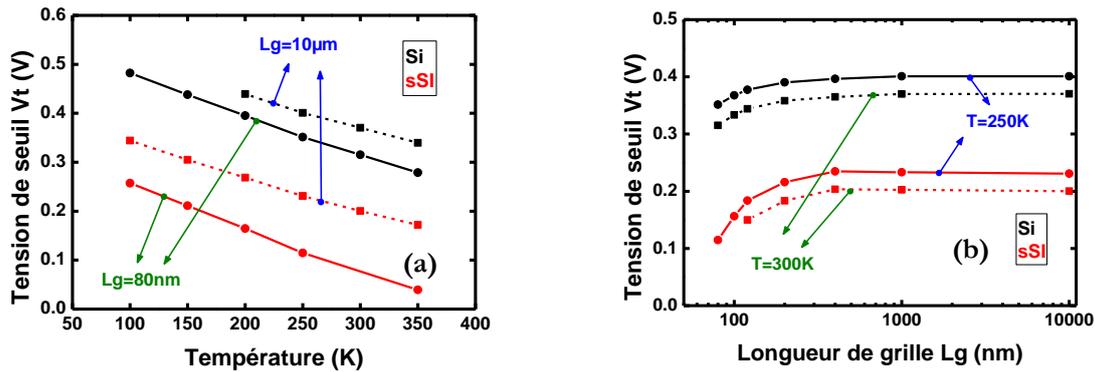


Figure III.17. FDSOI : Evolution de la tension V_T (extraite à courant constant) pour les deux substrats (a) en fonction de la température avec $L_g = 80\text{nm}$ et $10\mu\text{m}$ (a) et (b) en fonction de la longueur de grille L_g avec $T = 250\text{K}$ et 300K .

III.2.1.1.b. Mesures des dispositifs TriGate

Nous présentons maintenant les résultats obtenus par les dispositifs étroits. La figure III.18 présente les mesures brutes du courant de drain et de la transconductance à faible polarisation V_D . La largeur de grille W correspond à 60nm . L'extraction du courant I_{ON} pour les dispositifs TriGate se fait à $V_G - V_T = 1\text{V}$. La figure III.19.a montre bien la variation du courant I_{ON} en fonction de la température ($T = 100\text{K}$, 150K , 200K , 250K et 350K) sur trois dispositifs de largeurs de grille différentes ($W = 30\text{nm}$, 80nm et 240nm). Les courbes $I_{ON} - W$ de la figure III.19.b résument ensuite l'impact de la variation de la largeur de grille sur le courant I_{ON} .

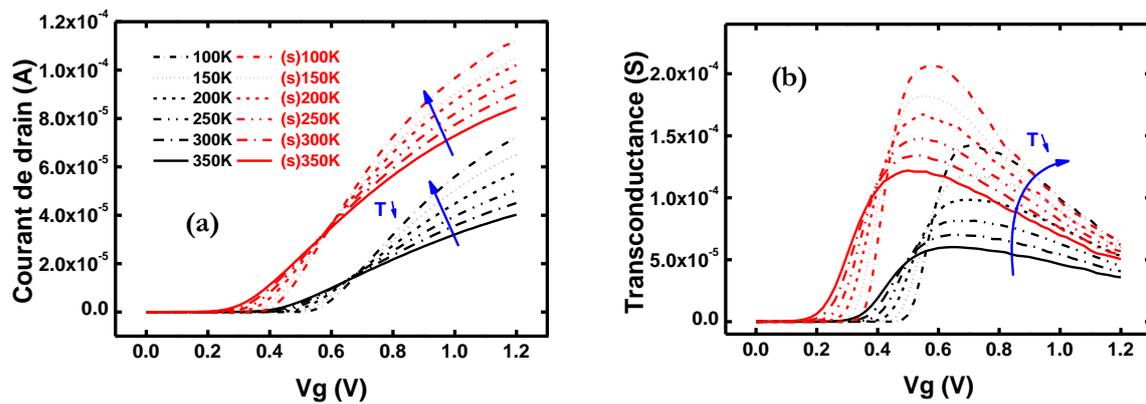


Figure III.18. TriGate : (a) Courbes $I_D - V_G$ en fonction de la température. (b) Courbes de transconductance associées. $W = 60\text{nm}$, $V_D = 30\text{mV}$, $L_g = 100\text{nm}$ et T varie 100 et 350K .

D'après la figure III.19.a, le courant de drain I_{ON} atteint des valeurs très élevées lorsque la largeur du dispositif augmente et la température diminue. A canal étroit, le mécanisme permettant d'améliorer le courant de drain I_{ON} via la contrainte mécanique est plus difficilement discernable.

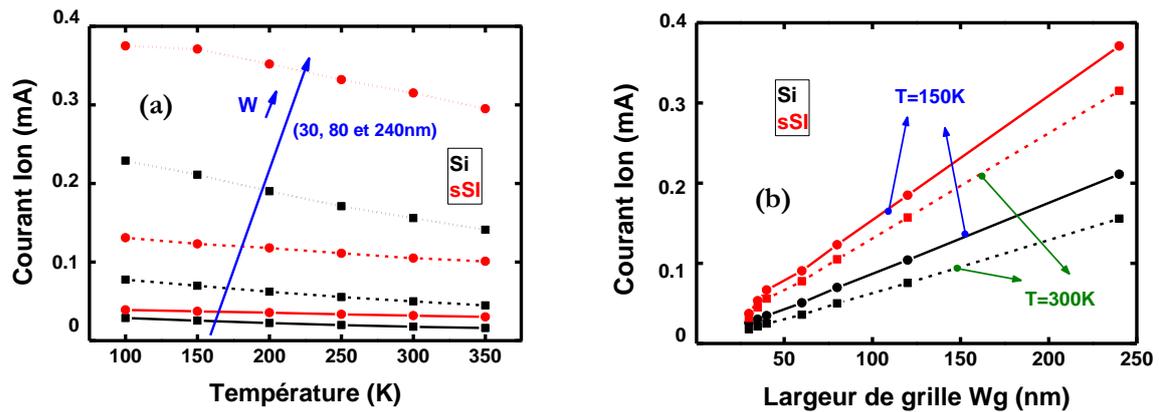


Figure III.19. TriGate : Evolution du courant I_{ON} (a) en fonction de la température pour $W=30, 80$ et 240 nm et (b) en fonction de la largeur W pour $T=150$ et 300 K .

La figure III.20.a présente l'évolution de la tension de seuil V_T en fonction de la température pour deux largeurs de grille différentes ($W=30 \text{ nm}$ et 240 nm). La figure III.20.b montre ensuite un exemple de variation de V_T en fonction de la largeur de grille W pour 150 K et 300 K . Pour certaines conditions de mesures, on peut expliquer l'absence de point sur la figure III.20 par le fait qu'aucune valeur de courant I_D ne corresponde à la quantité $W/L \times 10^{-7}$, notamment dans le cas où $T=300 \text{ K}$ et $W=120 \text{ nm}$.

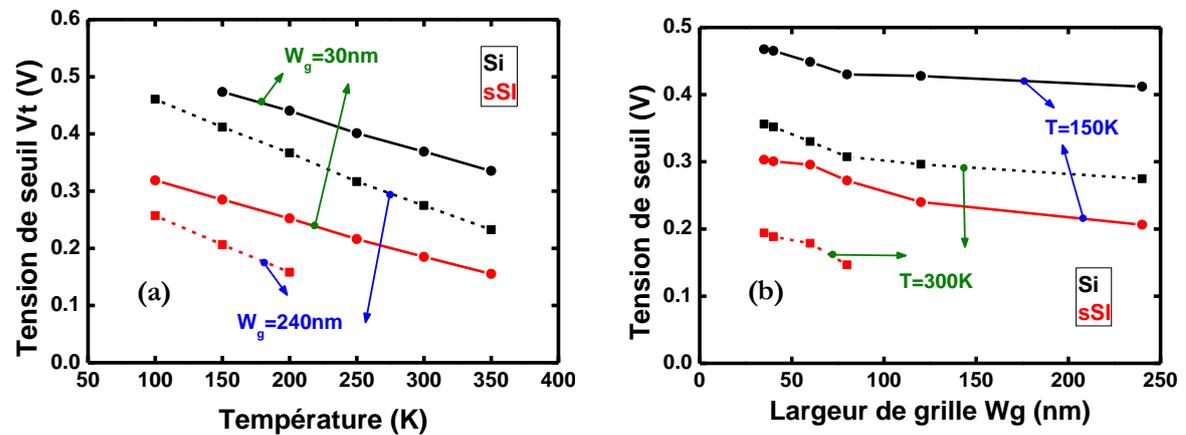


Figure III.20. TriGate : Evolution de la tension V_T (a) en fonction de la température pour $W=30$ et 240 nm et (b) en fonction de la largeur de grille W pour $T=150$ et 300 K .

III.2.1.2. Longueurs et largeurs effectives

Comme détaillé par Cros *et al.*, nous pouvons déterminer à partir de ces mesures la capacité d'oxyde surfacique (notée C_{ox}), et par conséquent les dimensions du transistor effectives L_{eff} et W_{eff} [Cros 06]. Afin d'extraire de façon correcte la mobilité dans ces architectures, il est nécessaire de

connaître les longueurs et largeurs effectives L_{eff} et W_{eff} (différentes des dimensions dessinées sur le masque L_g et W et des dimensions physiques L_{ph} , W_{ph}). Celles-ci peuvent être extraites de mesures capacitives en fonction de L et W . En raison de leurs grandes surfaces $W \times L$, les mesures de capacité grille-canal sont possibles sur les dispositifs larges FDSOI. En revanche, il s'avère difficile, voire impossible, de mesurer la capacité C_{gc} pour les transistors à faibles surfaces (cas TriGate, où $L_g=100\text{nm}$) malgré la présence de dix canaux parallèles. La solution serait en effet d'avoir un temps d'acquisition important pendant la mesure (difficile à mettre en place expérimentalement). Nous disposons cependant de dispositifs suffisamment longs ($L_g=10\mu\text{m}$) avec 50 canaux en parallèles élaborés suivants les mêmes conditions du procédé présentées auparavant pour lesquels les mesures étaient possibles (BOX épais avec $H=11\text{nm}$). Les principales dimensions de notre architecture sont représentées par le schéma équivalent de la figure III.21. La différence entre la longueur de grille physique L_{ph} et celle indiquée sur le masque L_g est de l'ordre de -8nm .

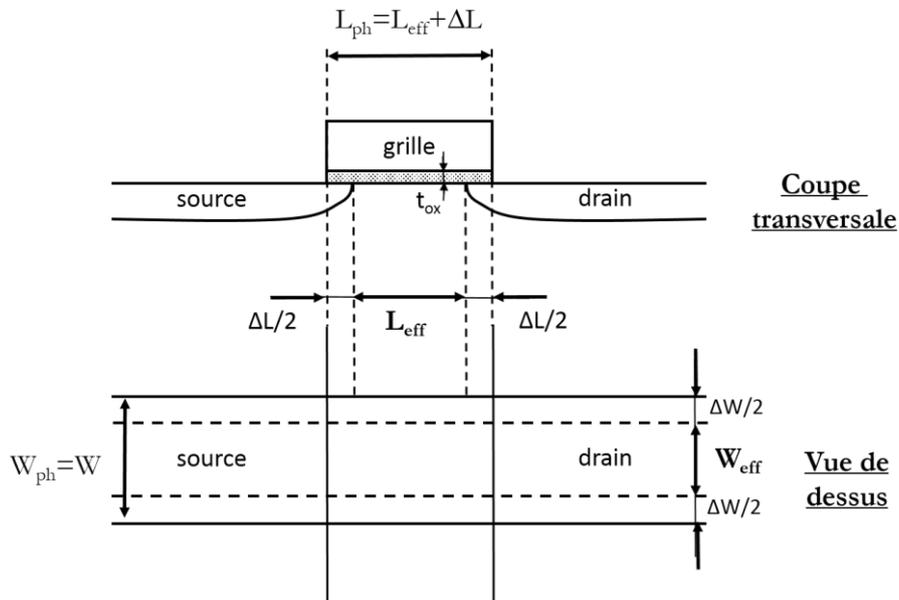


Figure III.21. Définition des dimensions des notations utilisées.

III.2.1.2.a. La longueur effective « L_{eff} »

La figure III.22.a montre la mesure brute de la capacité grille-canal du transistor large (FDSOI) en fonction de la polarisation V_G sur substrat précontraint. La longueur de grille L_g varie dans cet exemple entre 80nm et $10\mu\text{m}$. Les capacités maximales C_{mes} associées à la mesures C_{gc} sont représentées sur la figure III.22.b en fonction de la longueur L_g . Les capacités parasites sont éliminées en soustrayant à la capacité mesurée, à V_G variable, la valeur mesurée à $V_G=0$.

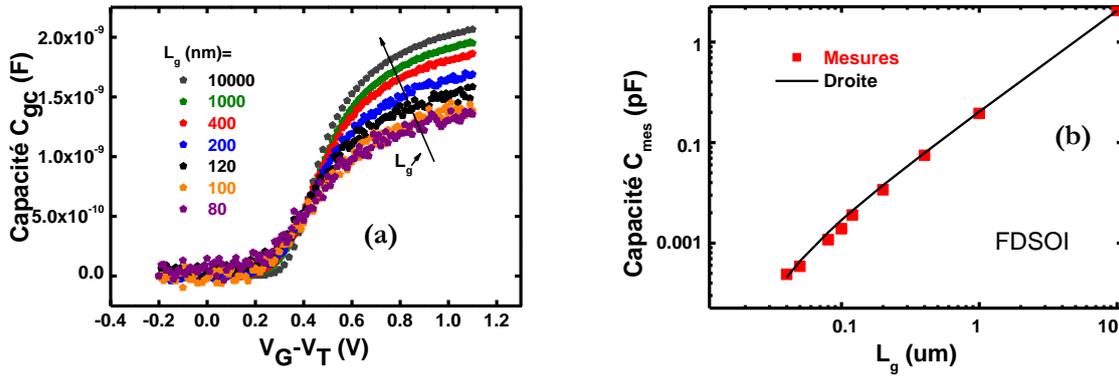


Figure III.22. FDSOI : (a) Les courbes de capacité grille-canal mesurées en fonction de V_G . (b) La variation de la capacité maximale en fonction de la longueur de grille.

A forte inversion, la courbe $C_{mes}-L_g$ suit approximativement une courbe linéaire. Sa pente moyenne donne accès à la capacité surfacique d'oxyde de grille C_{ox} , comme suit :

$$C_{mes} = C_{ox} W_{eff} \cdot L_{eff} \quad (III.1)$$

$$\text{où } C_{ox} = \frac{\epsilon_0}{t_{ox}} \quad (III.2)$$

avec C_{mes} la capacité maximale grille-canal mesurée, W_{eff} et L_{eff} les dimensions effectives, t_{ox} l'épaisseur d'oxyde et ϵ_{ox} sa permittivité.

Dans le cas d'un transistor FDSOI, on considère que la largeur effective W_{eff} correspond à sa largeur physique W_{ph} (égale à W dans ce cas), tandis que sa longueur effective L_{eff} peut être exprimée comme :

$$L_{eff} = L_{ph} - \Delta L \quad (III.3)$$

où L_{ph} est la longueur de grille physique mesurée après gravure de la zone active (par la méthode des dimensions critiques CD) et ΔL (appelé aussi recouvrement latéral) représente l'abscisse à l'origine de la droite de la courbe $C_{mes}-L_g$ (équation III.1) et vaut 25nm.

III.2.1.2.b. La largeur effective « W_{eff} »

De manière similaire, nous avons effectué des mesures de capacité grille-canal sur des dispositifs étroits (TriGate) en fonction de la polarisation de grille pour différentes largeurs W allant de 30nm à 240nm, comme le suggère la figure III.23.a. Comme expliqué auparavant, la mesure de la capacité C_{gc} n'est possible que si la surface ($W \times L$) est suffisamment grande, c'est la raison pour laquelle l'architecture TriGate choisie ici est composée de 50 canaux parallèles les uns aux autres et connectés ensemble aux régions S/D, dont la longueur de grille correspond à 10 μ m (voir chapitre II).

Le dispositif TriGate est suffisamment long dans ce cas. Cela revient à dire que sa longueur effective doit correspondre à sa longueur physique (L ici) et sa largeur effective W_{eff} doit s'écrire comme :

$$W_{\text{eff}} = W - \Delta W \quad (\text{III.4})$$

où W est la largeur de grille physique mesurée et ΔW représente l'abscisse à l'origine de la droite de la figure III.23.b et correspond à 18nm.

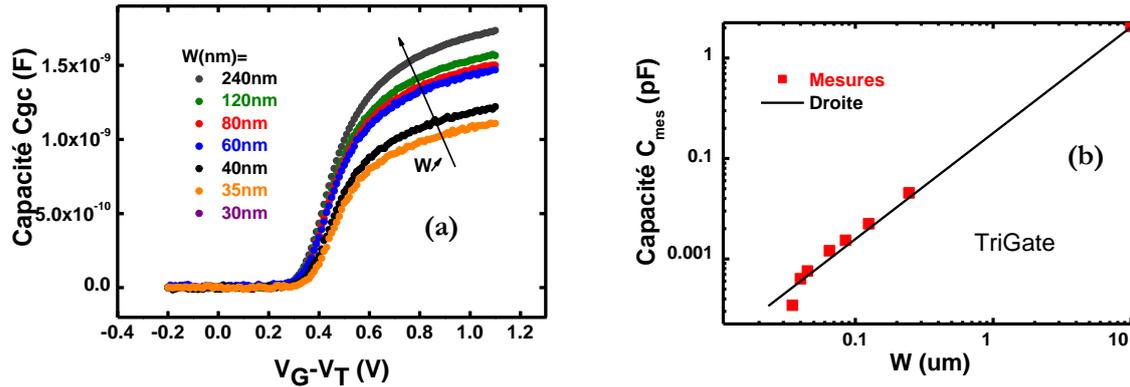


Figure III.23. TriGate : (a) Courbes de capacité grille-canal mesurées en fonction de V_G . (b) La variation de la capacité maximale en fonction de la largeur de la grille.

En résumé, le tableau III.2 ci-après récapitule les dimensions effectives que nous avons précédemment calculées. Ici, les paramètres dits de recouvrement ΔL et ΔW correspondent respectivement à 25nm et 18nm avec une erreur due à la pente de $\pm 5\text{nm}$.

Tableau III.2. Valeurs numériques des dimensions effectives calculées.

Dimension effective (nm)	
ΔL	ΔW
25	18

III.2.1.3. Etude expérimentale de la mobilité dans les canaux contraints

III.2.1.3.a. Description de la méthode de la fonction Y

Les méthodes d'extractions de mobilité sont nombreuses et différentes les unes des autres par les hypothèses du modèle physique utilisé. La méthode Y (qui est une méthode simple et rapide) sera utilisée dans un premier temps pour traiter le transport des électrons dans nos dispositifs, afin de déterminer l'évolution de la mobilité à champ faible en fonction de la température et de la

géométrie. Rappelons que la fonction Y est définie comme le rapport entre le courant du drain I_D et la racine carrée de la transconductance g_m . Elle permet d'extraire à la fois la tension de seuil V_T , la mobilité à champ faible μ_0 et les résistances d'accès R_{SD} . Comme précédemment stipulé dans le chapitre II, cette méthode est basée sur un modèle du courant en régime linéaire, directement issue du modèle de dérive-diffusion [Selberherr 84] [Romanjek 04a]. La fonction Y (après simplification) s'écrit alors :

$$Y(V_G) = \sqrt{\frac{W_{\text{eff}} C_{\text{ox}} \mu_0 V_D}{L_{\text{eff}}}} \frac{(V_G - V_T)}{\sqrt{1 - \theta_2 (V_G - V_T)^2}} \quad (\text{III.5})$$

où C_{ox} est la capacité surfacique de l'oxyde de grille, W_{eff} la largeur effective du transistor, L_{eff} sa longueur effective, V_D la tension de drain (correspond ici à 30mV), V_T la tension de seuil, μ_0 la mobilité à champ faible et θ_2 est le facteur d'atténuation de mobilité.

On peut en déduire l'expression de la mobilité effective par :

$$\mu_{\text{eff}}(V_G) = \frac{\mu_0}{1 + \theta_1 (V_G - V_T) + \theta_2 (V_G - V_T)^2} \quad (\text{III.6})$$

Comme nous pouvons le constater, c'est une méthode qui ne demande qu'une mesure du courant de drain à faible polarisation V_D . L'abscisse à l'origine de la fonction Y (équation III.5) donne accès à la tension de seuil V_T , et son coefficient directeur renseigne quant à lui sur la mobilité β (et de ce fait μ_0) lorsque le paramètre θ_2 est négligé. Nous avons vu également dans le chapitre II que cette méthode permet de déterminer la résistance d'accès R_{SD} , selon l'équation d'une droite :

$$\theta_1(L) = \theta' + R_{SD} \cdot \beta(L) \quad \text{où} \quad \beta = \frac{W \cdot C_{\text{ox}} \cdot \mu_0(L)}{L} \quad (\text{III.7})$$

D'un point de vue expérimental, nous avons mesuré à température ambiante le courant de drain pour différentes longueurs de grille allant de 80nm à 10 μ m pour les deux types de substrat. Les figures III.24.a et b représentent respectivement la courbe θ_1 - β pour un substrat contraint et non-contraint. La droite passant par l'ensemble de points permet d'extraire la résistance R_{SD} . En résumé, sur trois batteries identiques de transistors caractérisées (21 = 3 \times 7 dispositifs), la résistance série extraite de la pente de la courbe noire de la figure III.24.a correspond à 211 Ω dans le cas non-contraint. Elle vaut 235 Ω dans le cas précontraint (courbe rouge de la figure III.24.b). Il est à noter que ces résultats sont proches de ceux obtenus par [Rochette 08].

Notons que comme illustré sur les figures III.24.c et III.24.d respectivement pour le cas contraint et non-contraint, nous voyons que pour les grandes longueurs de canal ($L_g > 1\mu$ m) la composante coulombienne est importante mais tend à disparaître pour des longueurs de canal plus courtes, puisque la résistance d'accès prend le dessus sur la mobilité. Les paramètres θ_1 et β associés à cet effet ont été alors ignorés pour déterminer la courbe de tendance car le choix de la plage

d'extraction de la fonction Y demeure problématique. Ce dernier effet motivera en partie la modélisation de type BSIM du paragraphe §III.2.2.

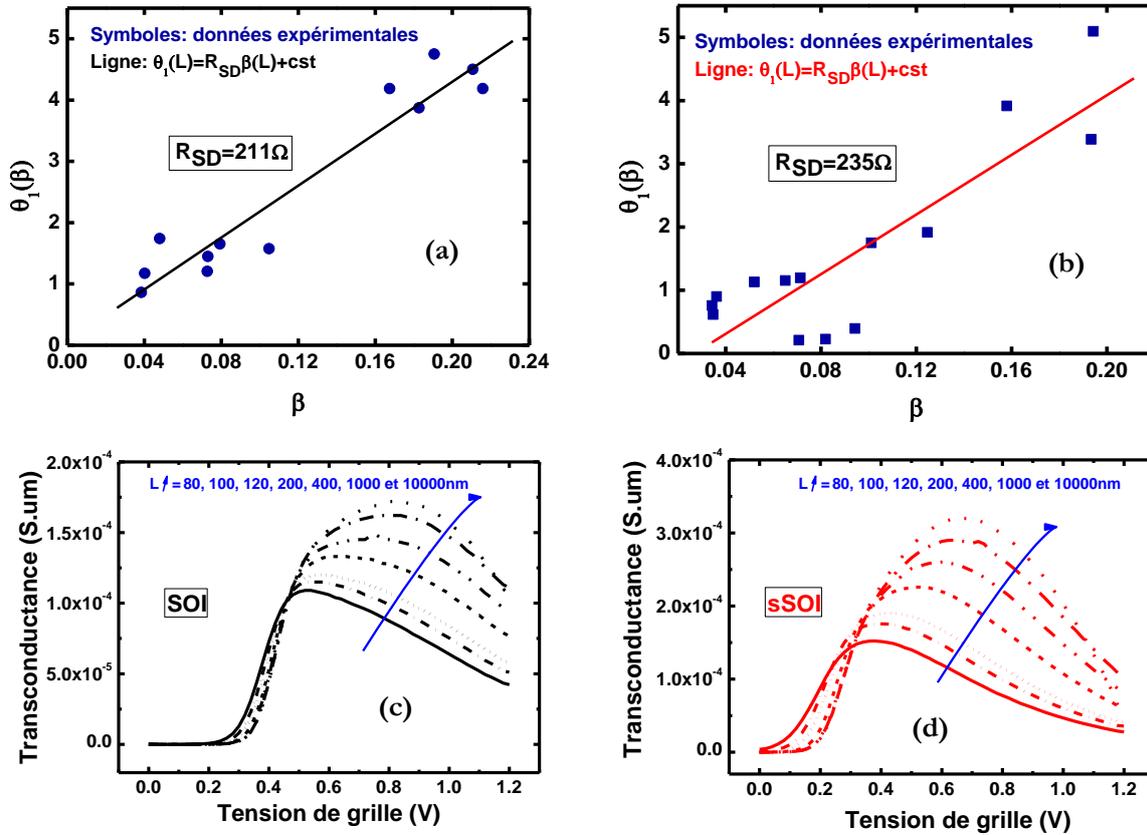


Figure III.24. FDSOI : Extraction θ_1 - β , où R_{SD} est la résistance série extraite à 300K dans le cas (a) non contraint et (b) contraint. (c) et (d) représentations des courbes de la transconductance associée aux mesures $\ast I_{g}$ (unité : S.um)

III.2.1.3.b. Extraction de la mobilité à champ faible

Dans la suite de l'étude, les extractions de mobilité en fonction de la température ($T = 100K, 150K, 200K, 250K, 300K$ et $350K$) sont toutes effectuées à faible polarisation de drain ($V_D = 30mV$). Nous commencerons d'abord par présenter les paramètres de mobilité extraits par la méthode de la « fonction Y ». Puis, nous analyserons ces résultats en fonction à la fois de la contrainte, de la température et de la géométrie choisie.

➤ Cas des dispositifs FDSOI

La figure III.25.a présente la variation de la mobilité extraite pour différentes longueurs de grille ($L_g=80\text{nm}$, 400nm et 10000nm) en fonction de la température (allant de 100K à 350K). Nous remarquons d'abord que la diminution de la température améliore la mobilité comme cela est attendu de l'atténuation des interactions phonons. Dans le cas d'un canal long (où $L_g=10\mu\text{m}$), en plus de l'effet apporté par la température et la réduction d'échelle, la contrainte bi-axiale en tension dans le canal (1.4GPa) améliore considérablement cette mobilité (Fig. III.26.b).

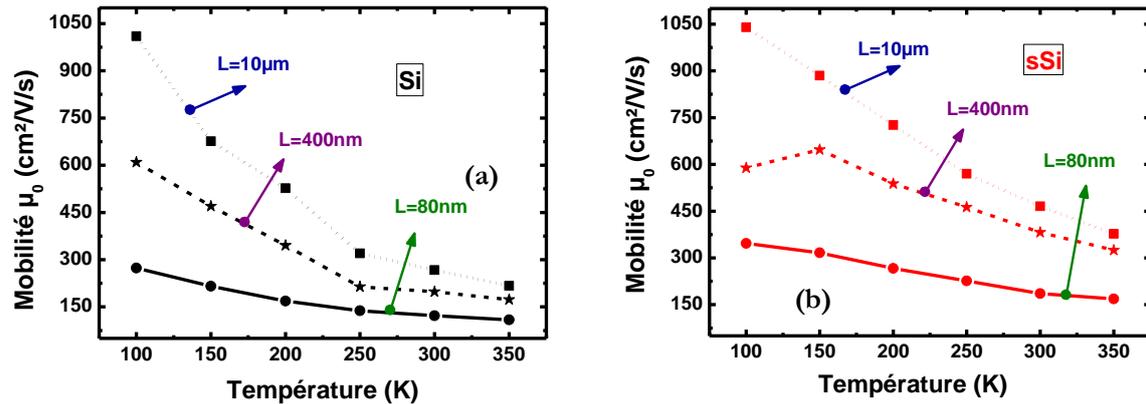


Figure III.25. FDSOI : Evolution de la mobilité μ_0 en fonction de la température, pour les canaux (a) non-contraints et (b) contraints. $L_g = 80\text{nm}$, 400nm et 10000nm où $W=10\mu\text{m}$.

➤ Cas des dispositifs TriGate

- La mobilité totale

Dans le cas des dispositifs TriGate, nous avons commencé par présenter dans la figure III.26.a l'évolution de la mobilité à champ faible μ_0 en fonction de la température et de la largeur de grille ($W=30\text{nm}$, 80nm et 240nm) pour le cas non-contraint. La figure III.26.b illustre quant à elle les variations de mobilité dans le cas contraint. La diminution de la température jusqu'à 100K apporte toujours un gain significatif de mobilité. Nous pouvons remarquer également une très forte dépendance de la mobilité vis-à-vis de la largeur W du transistor.

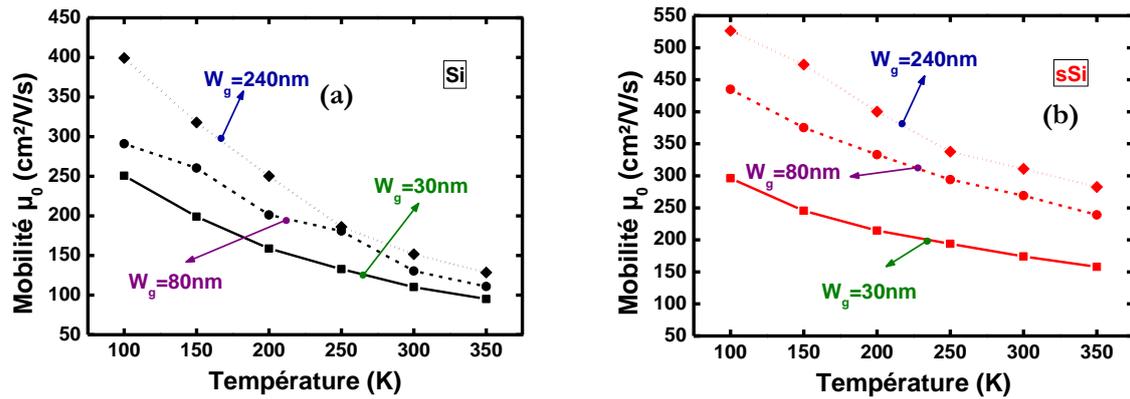


Figure III.26. TriGate : Evolution de la mobilité à champ faible μ_0 en fonction de la température, dont (a) non-contraints et (b) contraints avec $W = 30\text{nm}$, 80nm et 240nm où $L_g = 100\text{nm}$.

La variation de mobilité totale dans le TriGate en fonction de la largeur W est présentée sur la figure III.27. On peut observer un effet très clair de la variation de W lorsque celle-ci devient très faible (typiquement inférieure à 120nm), particulièrement dans le substrat précontraint. Afin d'analyser plus en détail l'effet de la géométrie sur la mobilité, nous allons procéder, dans le paragraphe suivant, à la décomposition de cette mobilité en fonction de la contribution de la face supérieure et des faces verticales.

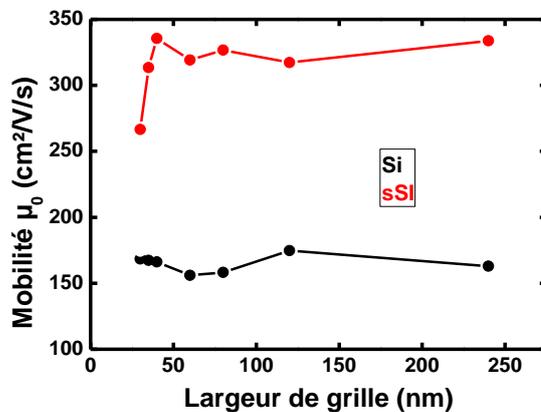


Figure III.27. TriGate : Exemple de variation de mobilité μ_0 extraite par la fonction Y à température ambiante avec $\Delta W = 18\text{nm}$.

- Décomposition de mobilité : flancs verticaux/face supérieure

Des études de mobilité précédemment réalisées sur des dispositifs étroits à triple grille [Coquand 12] [Lee 11] montraient que la mobilité est grandement conditionnée par la géométrie des transistors, notamment pour la largeur du film. Le canal d'inversion peut être décomposé en deux parties : une partie de largeur W correspondant à un courant qui circule le long de l'interface supérieure et une partie correspondant à un courant qui circule le long des flancs verticaux. Par ailleurs, la réduction de la largeur W du transistor, améliore le contrôle du canal par la grille, en

engendrant une amélioration à la fois de la pente sous le seuil S et du DIBL [Xiong 04]. La contribution de chacune des orientations cristallographiques peut être évaluée qualitativement par l'équation III.8 suivante pour un doigt :

$$I_D^{TG} = I_D^{sup} \times \frac{W}{(2H + W)} + I_D^{flanc} \times \frac{2H}{(2H + W)} \quad (III.8)$$

où I_D^{sup} correspondant à l'orientation de la face (100) est le courant de drain suivant la face de conduction supérieure et I_D^{flanc} correspondant à l'orientation de la face (110) est le courant selon les faces de conceptions verticales.

A partir des mesures de courant I_D effectuées sur des dispositifs à triple grille, nous pouvons décorrélérer les contributions des faces supérieures et verticales, en supposant que d'une part le transport selon la face supérieure soit équivalent à celui d'un dispositif large [Coquand 12], et d'autre part que le transport suivant les flancs soit considéré constant [Lee 11]. A une polarisation de grille fixée V_G , la pente de la droite de l'équation III.8 correspond donc au courant I_D^{sup} dans le plan supérieur, alors que l'ordonnée à l'origine correspond quant à elle au courant I_D^{flanc} au niveau des flancs. En réitérant cette méthode pour toutes tensions de grille allant de 0V à 1.2V, on obtient le courant I_D^{flanc} correspondant.

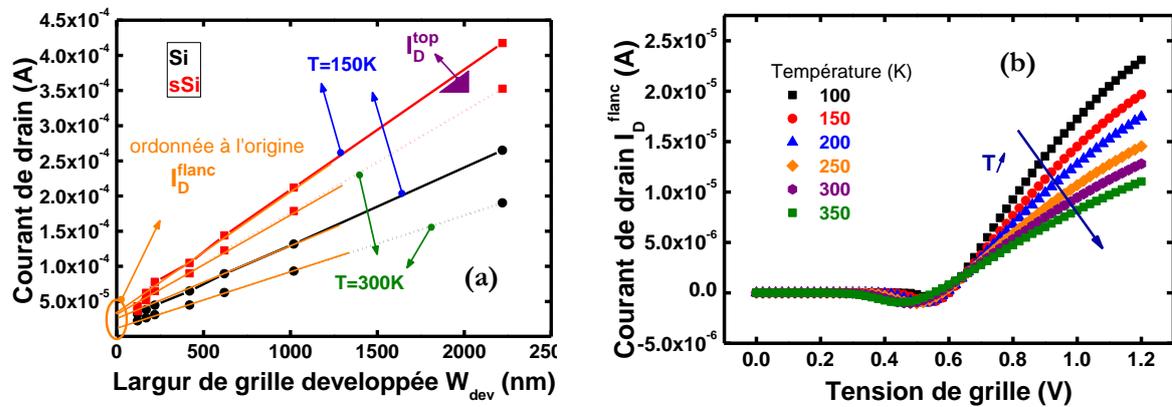


Figure III.28. TriGate : (a) Evolution du courant de drain en fonction de la largeur développée à $V_G=1.2V$ pour les deux substrats et (b) évolution de la composante du courant circulant le long des flancs en fonction de V_G et T pour un substrat SOI (b), où la température varie entre 100K et 350K. Le paramètre W_{dev} est le produit de la largeur effective W_{eff} par le nombre total de canaux.

La figure III.28.a résume l'évolution du courant de drain en fonction de la largeur de grille pour une polarisation de grille donnée ($V_G=1.2V$). Dans le cas d'un substrat non-contraint, un comportement parfaitement linéaire est observé (courbes noires). A contrario dans le cas contraint, un léger changement de la pente est observé pour les plus petites largeurs de grille. La figure III.28.b

représente le courant I_D^{sup} extrait sur substrat non-contraint en fonction de la polarisation V_G : nous remarquons clairement des valeurs négatives du courant (correspondant à l'ordonnée à l'origine donc à I_D flancs) autour de la tension de seuil. Ce résultat est dû à l'incertitude que nous avons sur la largeur effective (i.e. sur ΔW), ce qui influence directement sur la reconstruction de la courbe.

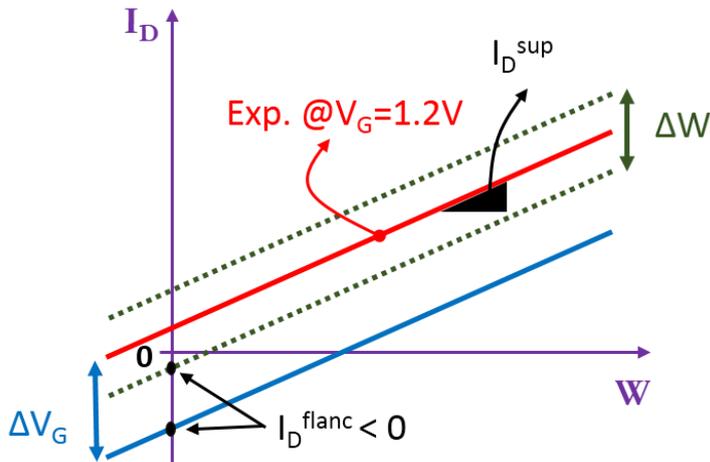


Figure III.29. TriGate : Schéma illustrant le décalage du courant de drain I_D lorsque ΔW varie de 0 à 18nm et le potentiel V_G varie de 0 à 1.2V.

D'après la figure III.29, on montre que plus l'incertitude sur la largeur du dispositif augmente, plus le courant de drain relatif aux flancs est négatif. Cela est d'autant plus accentué que la polarisation de grille varie autour de la tension de seuil. Cette dernière constatation montre la limite de l'approche de décomposition des flancs qui est très pertinente pour des dispositifs FinFET et inadapté pour des dispositifs ayant une hauteur du même ordre de grandeur que la largeur ($H \approx W$). C'est un problème qui est moins important à V_G suffisamment fort et qui correspond à la zone qui est exploitée par les techniques d'extraction de mobilité.

Après avoir déterminé le courant de drain dans les deux orientations du canal, nous allons extraire par la méthode de la fonction Y les mobilités associées sur chacune des faces. La figure III.30.a résume la mobilité à champ faible des flancs en fonction de la température, tandis que la figure III.30.b illustre la mobilité le long de la face supérieure. Les géométries choisies ici correspondent à une largeur W de 30nm (traits pleins) et de 240nm (traits pointillés). La mobilité des surfaces verticales est indépendante de W et dépend uniquement de la température et de l'épaisseur du film H . Sur ces deux graphes, nous pouvons voir un comportement de mobilité similaire à celui provenant de la mobilité totale (cf. Fig. III.27). Ainsi, une chute de mobilité est observée sur le plan supérieur lorsque la largeur W varie entre 30nm et 240nm. Cette chute de mobilité est compatible avec la relaxation de la contrainte dans la direction transverse du transport qui se produit, lorsque W tend vers des valeurs faibles. On passe alors d'une configuration de contrainte bi-axiale dans un film à une contrainte uniaxiale dans un fil.

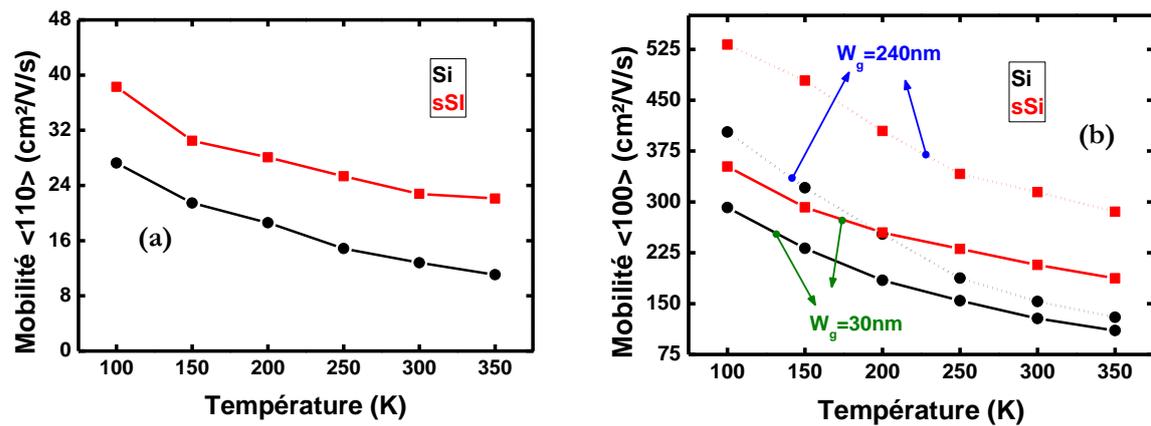


Figure III.30. TriGate : Evolution de la mobilité en fonction de la température pour les deux substrats suivant (a) les flancs et suivant (b) le plan supérieur avec $W=30\text{nm}$ et 240nm .

III.2.1.3.c. Analyse et synthèse

En raison de sa simplicité basée sur une seule mesure du courant de drain et sa rapidité d'utilisation, la fonction Y figure parmi les méthodes d'extractions de mobilité les plus utilisées en microélectronique. Or, un choix bien précis de l'intervalle dans laquelle les extractions se produisent reste nécessaire. Comme précédemment vu, l'extraction de la mobilité à champ faible exige de connaître au préalable les dimensions effectives. La figure III.31 ci-après résume les étapes nécessaires à l'extraction de la mobilité à champ faible. Premièrement, dans le but d'extraire la capacité d'oxyde surfacique, et donc les dimensions effectives, des mesures de capacité grille-canal sont demandées. Cela n'est possible que si les dispositifs considérés présentent une surface ($W \times L$) suffisamment grande. Puis sur une large gamme de longueurs de grille, nous pouvons extraire la résistance d'accès et les paramètres du transport (ex. : mobilité, tension de seuil, etc.).

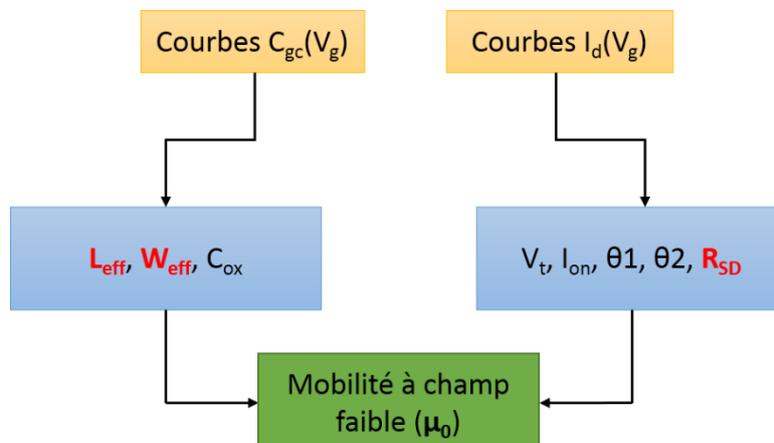


Figure III.31. Diagramme illustrant les étapes nécessaires pour extraire les paramètres du transport par la fonction Y.

Malgré les problèmes liés à cette méthode à savoir sa forte sensibilité à l'intervalle choisi, elle est néanmoins efficace pour étudier au premier ordre la mobilité des porteurs dans ce type de transistors. De plus, pour étudier (statistiquement) l'évolution de la résistance série en fonction de la température, nous devons disposer, tout comme dans le cas précédent, d'un grand nombre de dispositifs (plusieurs batteries de transistor) caractérisés sur une large gamme de température. Or, dans cette étude nous n'avons caractérisé qu'une seule batterie de transistor par substrat et par température.

Au vu de la variabilité inhérente dans les dispositifs mesurés, la méthode de la fonction Y seule n'est pas suffisante pour décrire l'influence de la température sur la résistance R_{SD} et sur sa dépendance à la tension de grille. C'est pourquoi dans le paragraphe suivant, afin de s'affranchir de ces limitations, nous allons introduire une nouvelle méthode basée sur une approche de type BSIM dont le modèle est similaire à celui présenté précédemment, incluant en outre l'effet réduisant la mobilité par le mécanisme dit "de RCS" (interaction avec les charges coulombiennes à distance).

III.2.2. Extraction de la mobilité via une approche de type BSIM

III.2.2.1. Description de la méthode

III.2.2.1.a. Le modèle analytique

De façon à améliorer le modèle de mobilité décrit précédemment, nous proposerons dans ce paragraphe une équation du courant similaire à celle proposée par la fonction Y, en incluant une description plus complète de la charge $Q=C_{ox} \times V_{geff}$ [BSIMv3] entre l'inversion forte et modérée. Comparativement au modèle BSIM nous avons simplifié un certain nombre d'éléments, pour plus d'informations sur le modèle de l'université de Berkeley, nous invitons le lecteur à regarder la référence [BSIMv3]. Cette équation dépend des interactions coulombiennes (notées RCS) dans l'empilement $SiO_2/HfSiON$ et de la résistance d'accès R_{SD} incluant elle-même une composante dépendante de la tension de grille. Ses principales équations s'écrivent comme :

$$I_D = \frac{W}{L_g} \cdot C_{ox} \cdot V_{geff} \cdot V_D \cdot \frac{\mu_0}{1 + \theta_2 \cdot V_{geff}^\beta + \theta_3 \cdot (V_{geff} + 2 \cdot V_T)^\gamma} \quad (III.9)$$

$$R_{SD} = R_{SD0} + \alpha_{SG} \cdot V_{geff} \quad (III.10)$$

$$V_{geff} = n \cdot k \cdot T \cdot \ln\left(1 + e^{\frac{V_G - V_T}{n \cdot k \cdot T}}\right) \quad (III.11)$$

où I_D est le courant de drain mesuré, θ_2 correspond à la rugosité de surface, θ_3 et γ représentent les paramètres RCS, μ_0 est la mobilité à champ faible, n est le factor d'idéalité à faible inversion, V_T est la tension de seuil et R_{SD} et α_{SG} sont respectivement les résistances d'accès et la dépendance de la

résistance à la polarisation de grille. Notons que de manière analogue à l'équation II.24, nous allons corriger le courant de drain en prenant en compte l'influence des résistances d'accès.

III.2.2.1.b. Stratégie d'extraction des paramètres

Il a été expérimentalement confirmé qu'une forte composante coulombienne RCS, difficile à extraire par la fonction Y apparaît dans le cas des dispositifs longs. A partir du modèle proposé par les équations III.9 et III.11, deux problématiques majeures peuvent être abordées : l'extraction du paramètre RCS et la dépendance de la résistance série à la polarisation de grille. Cela complexifiera sans doute l'aspect technique de l'extraction, puisque cette approche nécessite à la fois une stratégie d'extraction particulière et un optimiseur de paramètres adapté. Pour décrire le modèle du transport associé, les équations III.9 et III.11 ont été codées en Verilog-A, en utilisant en outre un logiciel dédié à l'extraction de paramètres, appelé ICCAP [ICCAP].

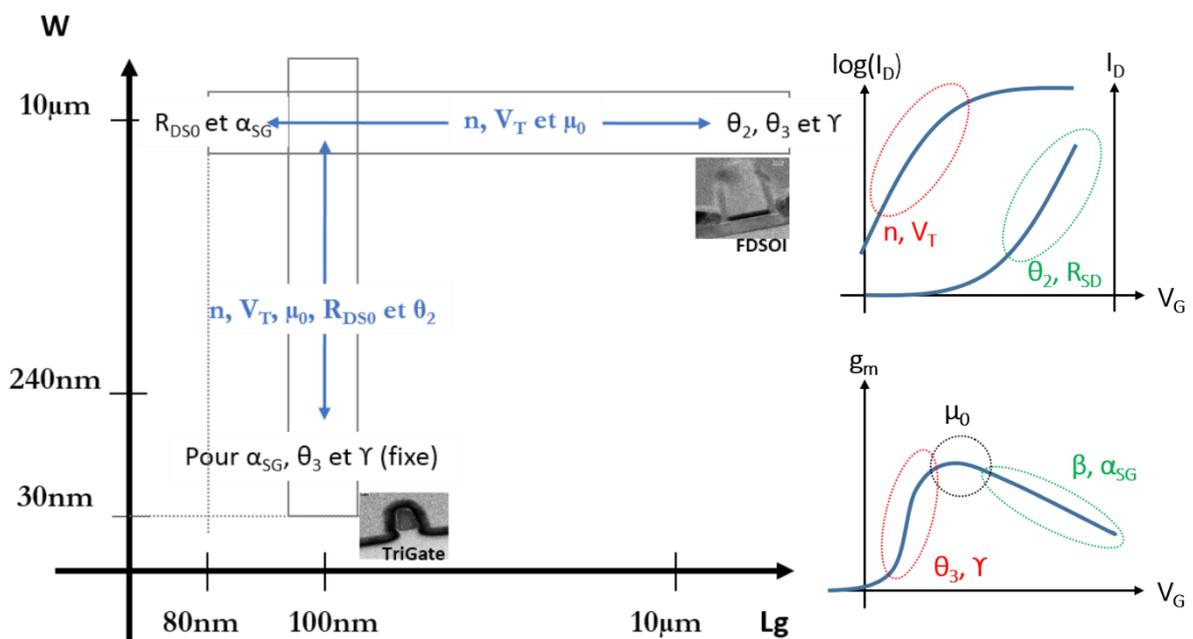


Figure III.32. Schéma illustrant la stratégie d'extraction des paramètres transport/électrostatique par le modèle de type BSIM.

Pour les deux architectures étroites et larges (respectivement TriGate et FDSOI), la figure III.32 illustre la méthodologie utilisée par l'approche de type BSIM pour extraire l'ensemble des paramètres présentés dans le paragraphe précédent. Par le biais de l'équation III.11 nous fournissons un modèle de charge valide entre le régime d'inversion forte (maximum de la transconductance) et faible. Soulignons que ce modèle présente toutefois une limitation dans sa description vis-à-vis de l'électrostatique dans le canal du fait qu'il est basé sur une approche en tension de seuil ; d'autres solutions plus avancées sont proposées dans la littérature, complètes et valables dans tous les régimes de fonctionnement [Poiroux 15]. Néanmoins, la modélisation

proposée ici reste suffisante pour un bon compromis entre la pertinence des résultats obtenus et la complexité de l'approche choisie.

Comme indiquée sur la figure III.32, on se sert des dispositifs larges et longs pour extraire à la fois les paramètres atténuant la mobilité θ_2 et θ_3 et le paramètre de dégradation γ induit par le mécanisme RCS en régime linéaire, sachant que le paramètre β est considéré ici constant ($\beta=2$) pour garder une certaine cohérence avec l'approche de la fonction Y. Les résistances R_{SD} et R_{SG} sont déterminées par le biais des transistors courts. En réalisant finalement une boucle sur le courant de drain pour les longueurs du canal intermédiaires, on peut extraire les paramètres du modèle μ_0 , n et V_T afin d'optimiser et de stabiliser les valeurs de la résistance.

Nous voyons ici se dessiner un des avantages majeurs des approches de modélisation compacte [BSIMv3] ou [Poiroux 15] pour ne citer qu'eux, car il y a un grand nombre de modélisation compacte pour une même architecture (PSP, HISIM, BSIM ...). Certes ces approches sont plus complexes à mettre en œuvre mais elles permettent par l'utilisation d'une stratégie d'extraction de pouvoir extraire les paramètres de transport indépendamment des paramètres électrostatiques (ici nous extrayons V_T et n sous le seuil et les paramètres de mobilité au-dessus du seuil).

Tableau III.3. Synthèse des paramètres utilisés par le modèle de type BSIM.

Paramètre	Signification
T (I)	Température nominale
t_{ox} (m)	Epaisseur d'oxyde
L_g (m)	Longueur de grille
W (m)	Largeur de grille
V_T (V)	Tension de seuil
n	Paramètre de pente sous le seuil
μ_0 (cm ² /V/s)	Mobilité à champ faible
θ_2 (V ^{-β)}	Dégradation de la mobilité liée à la rugosité de surface
θ_3 (V ^{-γ)}	Dégradation de la mobilité liée aux RCS
β (=2)	Paramètre de dégradation liée à la rugosité de surface
γ	Paramètre de dégradation liée à l'exposant de RCS
R_{SD} (Ω)	Résistance d'accès
α_{SG} ($\Omega.V^{-1}$)	Dépendance à V_G de la résistance d'accès

En revanche, dans le transistor TriGate, nous utilisons en plus du RCS, les paramètres provenant du dispositif large lorsque la longueur de grille L_g vaut 100nm, afin d'extraire pour chaque

largeur de grille, les paramètres du modèle correspondant (il s'agit de μ_0 , θ_2 , R_{SD} , n et V_T). La signification physique de la variation du paramètre θ_2 est intimement liée à la variation de la surface rugueuse avec la largeur du transistor. Comme nous l'avons évoqué auparavant, il est important de savoir que l'extraction de ces paramètres exige en plus d'un code Verilog-A, l'utilisation d'un optimiseur qui nous permet d'extraire avec plus de robustesse les paramètres du modèle [ICCAP]. Le tableau III.3 ci-dessus montre l'ensemble des paramètres du modèle.

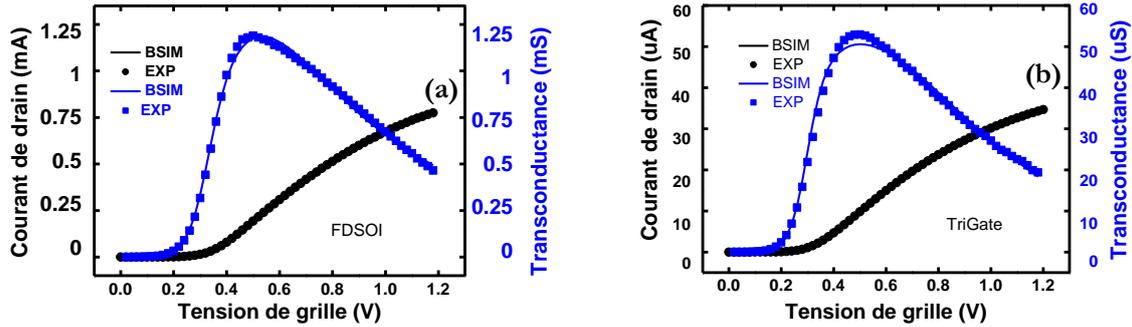


Figure III.33. Exemple de construction du modèle de type BSIM à faible V_D et à $T=350\text{K}$ (a) pour FDSOI sur substrat en Si avec $L_g=80\text{nm}$ et (b) pour TriGate sur substrat précontraint sSi avec $W=30\text{nm}$. Les symboles représentent les mesures et les lignes le modèle

Comme illustré sur les figures III.33.a, dans le dispositif large non-contraint (où $L_g=80\text{nm}$ et $T=350\text{K}$), un bon accord est observé entre le modèle analytique et les résultats expérimentaux, aussi bien pour le courant de drain que pour la transconductance. La qualité de la calibration est aussi valable pour un transistor contraint étroit de largeur 30nm (cf. Fig. III.33.b).

III.2.2.1.c. Extraction de R_{SD} et $\mu=f(Q)$ via la modélisation proposée

Nous allons présenter d'abord dans la figure III.34.a les résultats d'extraction de la résistance série. Pour les deux types de substrat, la température varie de 100K à 350K . Lorsque les extremums de la température ($T=100\text{K}$ et 350K) sont exclus, le comportement de la résistance R_{SD} semble constant, confirmant ainsi les résultats précédemment obtenus par [Rochette 08]. A température ambiante, les résultats de résistances séries obtenus précédemment (211Ω et 235Ω respectivement dans le cas contraint et non-contraint) via la fonction Y sont en adéquation avec les prédictions de du modèle de type BSIM. Ce modèle inclut également l'effet de la variation des résistances d'accès en fonction de la polarisation de grille (paramètre extrait sur la transconductance g_m des transistors courts). La figure III.34.b illustre cette variation en fonction de la polarisation de grille ; comme attendu plus la polarisation de grille augmente et plus la résistance diminue. Ce phénomène est dû à l'augmentation de la concentration en électrons proches des accès à l'entrée/sortie du canal qui module la résistance d'accès.

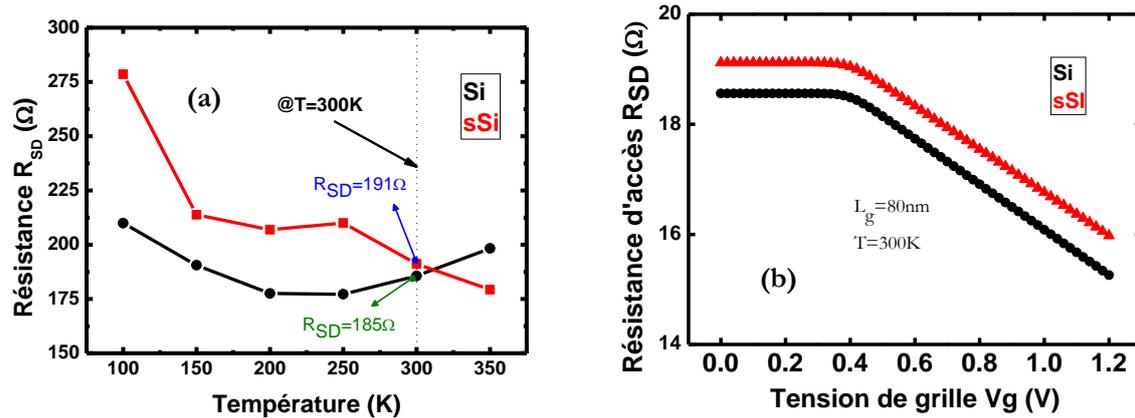


Figure III.34. FDSOI : Evolution de la résistance d'accès extraite par le modèle BSIM en fonction (a) de la température T et (b) de la polarisation V_G . $L=80\text{nm}$ et $T=300\text{K}$.

Contrairement à ce qui était indiqué dans le paragraphe §III.2.1, l'extraction de la composante de mobilité due aux charges coulombiennes RCS est donc possible via ce modèle analytique, puisque nous pouvons extraire la courbe complète de mobilité en fonction de la charge d'inversion. A température ambiante et pour un transistor relativement court ($L_g=80\text{nm}$), la figure III.35 présente respectivement l'évolution de la charge et de la mobilité effective en fonction de la polarisation de grille et de la charge d'inversion. Le transistor contraint est représenté par une courbe rouge tandis que celui non-contraint est illustré par une courbe noire. L'avantage majeur lié à cette méthode d'extraction vient du fait que nous pouvons complètement exprimer la courbe de mobilité quelle que soit la polarisation de grille. C'est pourquoi dans la suite de l'étude nous pourrions étudier la mobilité effective prise à une charge d'inversion donnée.

La question qui pourrait se poser ici est pourquoi utiliser une mobilité pour une charge donnée plutôt que la mobilité à champ faible ? Comme nous le montrons sur la figure III.35.b ou sur les transconductances (figures III.24.c et III.24.d), la forte composante de RCS perturbe l'analyse du transport ; c'est pourquoi il est préférable d'étudier la mobilité pour une charge ou plutôt pour une valeur de V_G-V_T donnée (plus représentative du transport dans le dispositif) si on se réfère à la modélisation présentée plus haut.

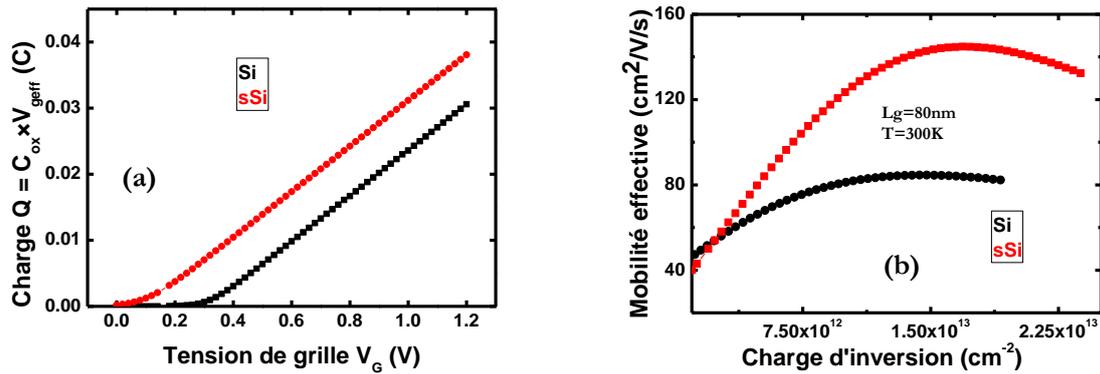


Figure III.35. FDSOI : (a) Evolution de la charge $Q=C_{ox} \times V_{g,eff}$ dans les deux substrats en fonction la polarisation de grille. (b) Evolution de la mobilité effective μ_{eff} associée en fonction la charge d'inversion. $L_g=80nm$ et $T=300K$.

III.2.2.2. Etude du transport dans les dispositifs nMOS via la modélisation de type BSIM

Après avoir présenté quelques exemples illustrant l'extraction du modèle de type BSIM représenté par les équations III.9 à III.11, toutes les courbes de mobilité sont extraites dans la suite de l'étude à $V_G - V_T = 0.7V$, (suivant l'équation III.11) afin d'analyser en plus de la contrainte mécanique, l'influence de la géométrie sur le transport dans les deux configurations de transistors détaillées auparavant.

III.2.2.2.a. Impact de la longueur de grille : cas FDSOI

Deux graphes sont présentés sur la figure III.36 pour illustrer l'impact de la longueur de grille sur la mobilité dans les dispositifs larges. La figure III.36.a résume la variation de la mobilité μ_{eff} en fonction de la longueur effective L_{eff} ($L_g - 25nm$) et pour différentes températures variant de 100K à 350K. Par ailleurs, la figure III.37.b représente l'évolution de la mobilité μ_{eff} extraite par la méthode Y et par le modèle de type BSIM en fonction de la longueur L_g pour une température fixée à 300K. On observe une diminution de la mobilité lorsque la longueur de grille décroît. Indépendamment de la méthode utilisée (la méthode Y ou BSIM), le comportement global de la mobilité reste toutefois conservé vis-à-vis de la longueur de grille.

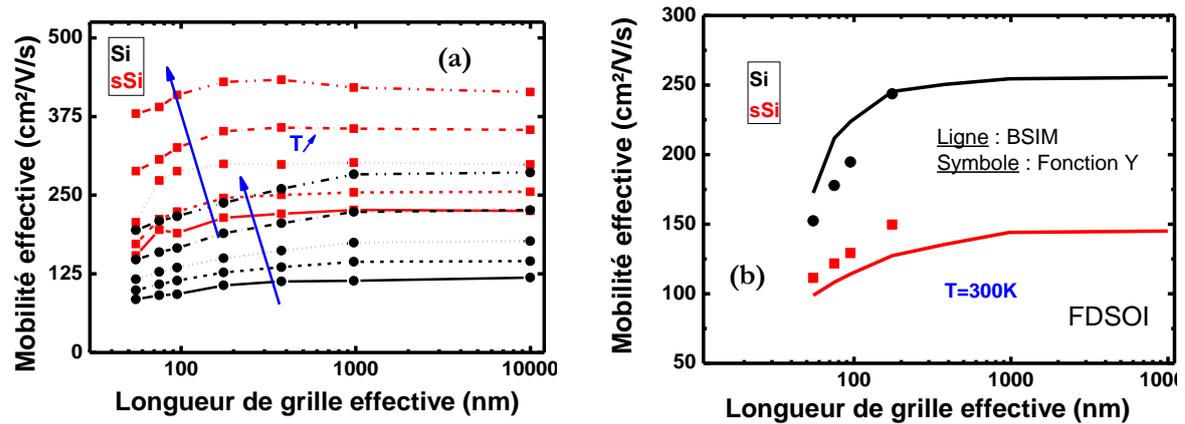


Figure III.36. FDSOI : Evolution de la mobilité effective extraite à $V_G - V_T = 0.7V$ en fonction de (a) la longueur effective de grille ($\Delta L = 25nm$) pour différente température et (b) de la longueur L_g à température ambiante pour les deux modèles utilisés (méthode Y et BSIM).

A température ambiante, une amélioration de mobilité d'environ 75% est observée lorsque le substrat est précontraint par rapport à celui non-contraint aussi bien pour un canal long ($L_g = 10\mu m$) que pour un canal court ($L_g = 80nm$). Nous pouvons voir sur les mêmes graphes un effet très clair de la longueur de grille lorsque celle-ci devient faible (typiquement inférieure à 200nm).

III.2.2.2.b. Impact de la largeur de grille : cas TriGate

La figure III.37 montre la variation de la mobilité totale en fonction de la largeur de grille développée W_{dev} (voir paragraphe §III.2.1). Ici, le dispositif étroit est choisi de telle sorte que sa longueur soit égale à celle de la structure FDSOI (i.e. $L_g = 100nm$). Nous pouvons voir sur ce graphe que plus la largeur de grille diminue (à partir de 80nm) et plus la mobilité est faible. En revanche, à température ambiante, des améliorations de mobilité de l'ordre de 120% et de 105% sont observées entre le cas contraint et non-contraint respectivement, lorsque la largeur de la grille est égale à 240nm et à 30nm. Ce gain en mobilité est d'autant plus important que la température décroît. Soulignons que la mesure de la mobilité à 100K présente un comportement erratique dans le cas contraint. C'est la raison pour laquelle la courbe de mobilité associée n'est pas présentée dans cette figure.

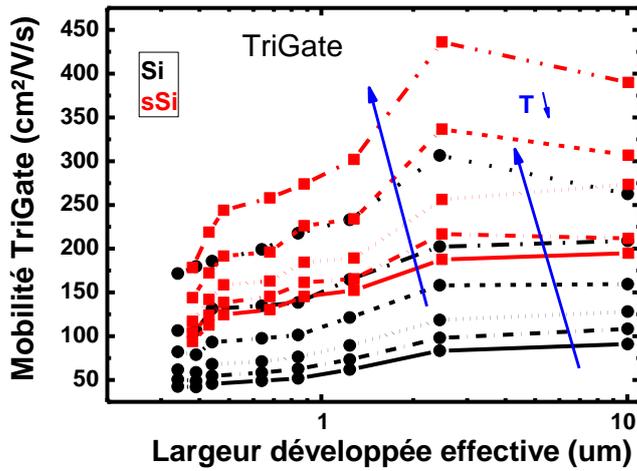


Figure III.38. TriGate : Evolution de la mobilité effective extraite à $V_G - V_T = 0.7V$ en fonction la largeur développée de grille et de la température.

III.2.2.3. Bilan

Avant de comparer ces deux modèles (modèle de type BSIM et la fonction Y), il est rappelé que les équations caractéristiques de la fonction Y peuvent être retrouvées à partir du modèle de type BSIM proposé. N'oublions pas que notre problématique était de proposer un modèle se rapprochant de la fonction Y en incluant l'impact du RCS. L'équation III.12 ci-après établit le passage entre le modèle analytique et la fonction Y, telle que :

$$R_{V_G \ll V_T} = R_{SD} \quad (\text{III.12.a})$$

$$I_{R_{SD}=0} = Q \cdot \mu \cdot V_D \cdot \frac{W}{L_g} \quad (\text{III.12.b})$$

$$Q_{V_G \rightarrow \infty} = C_{ox}(V_G - V_T) \quad (\text{III.12.c})$$

Le tableau III.4 ci-dessous récapitule les avantages et les inconvénients de chacune des méthodes. Ces deux techniques offrent des résultats globalement similaires, ce travail a eu le mérite principal de confirmer nos résultats par deux approches.

Une question fondamentale se pose ici sur l'approche de type BSIM que nous avons présentée et utilisée : comment, avec plus de paramètres, pouvons-nous être plus précis ? La réponse est simple, le nombre de paramètres d'un modèle n'est en soi pas un problème si nous sommes capables d'extraire les paramètres du modèle sans pour autant avoir compensation entre eux. La méthode de la fonction Y (présentée dans la variante de ce chapitre) ne permet pas en soi d'isoler vraiment les paramètres relatifs au transport des paramètres d'électrostatique à contrario de l'approche de type BSIM. En effet cette dernière permet d'isoler l'extraction du V_T (extrait sous le seuil) des autres paramètres relatifs au transport (au dessus du seuil) comme illustré sur la figure III.32.

Tableau III.4. Tableau comparatif de la méthode d'extraction de type BSIM avec celle de la Fonction-Y.

Modèle	Fonction Y	Modèle de type BSIM
Avantages	<ul style="list-style-type: none"> - Simple (direct). - Extraction explicite des composantes de transport à partir des équations du modèle. 	<ul style="list-style-type: none"> - Correction RCS. - Correction R_{SD} avec R_{SG}. - Extraction plus précise car les paramètres relatifs au transport sont extraits pour une géométrie sur une zone de polarisation donnée.
Inconvénients	<ul style="list-style-type: none"> - L'atténuation de la mobilité par le champ transverse s'arrête au premier ordre. - La prise en compte de la variation de la résistance d'accès avec la tension nécessite l'utilisation d'une variante plus complexe de la méthode de la fonction Y. - La plage d'extraction doit être choisie avec soin. 	<ul style="list-style-type: none"> - Complexe à mettre en œuvre (IC-CAP/Verilog-A). - Extraction longue même pour un nombre réduit de données.

III.3. ANALYSE APPROFONDIE DE LA VARIATION DE MOBILITE DUE A LA CONTRAINTE

Après avoir présenté les résultats d'extraction de mobilité associés aux mesures en température, nous allons dans un premier temps montrer de manière qualitative via l'approche de la piézo-résistance l'impact de la contrainte (précédemment simulée au paragraphe §III.1) sur la mobilité dans les transistors nMOS à triple grille. En second lieu, nous allons analyser finement la mobilité extraite dans le paragraphe III.2.2 en décorrélant cette dernière en trois principaux termes limitant le transport électronique (phonons, charges coulombiennes et défauts neutres) [Jeon 13], de façon à évaluer particulièrement l'effet de la contrainte mécanique induite par le procédé sur la composante phonon.

III.3.1. Prédiction de l'influence de la contrainte sur la mobilité

Maintenant que nous avons expliqué et éclairci la méthodologie de simulation ainsi que les résultats mécaniques associés, nous allons voir dans ce paragraphe quelle est l'influence possible de la contrainte mécanique dans le canal sur les propriétés électriques, en se basant pour cela sur l'approche piézorésistive, où les coefficients π_{ij} sont issus de [Cassé 12].

III.3.1.1. Coefficients piézorésistifs

Les déformations induites par les contraintes modifient grandement les propriétés électroniques telles que la structure de bandes, les masses effectives ainsi que les interactions électrons/phonons. Comme nous l'avons présenté au premier chapitre, l'approche la plus simple permettant de comprendre et d'étudier l'effet d'une contrainte sur le transport électrique est une approche macroscopique utilisant le tenseur de piézorésistivité [Smith 54] relié aux contraintes appliquées à la variation de résistivité du matériau. Cela décrit de manière directe l'effet d'une contrainte mécanique sur les propriétés du transport sans passer par des calculs fondamentaux complexes basés sur la structure de bandes du matériau contraint (cf. Fig. III.38).

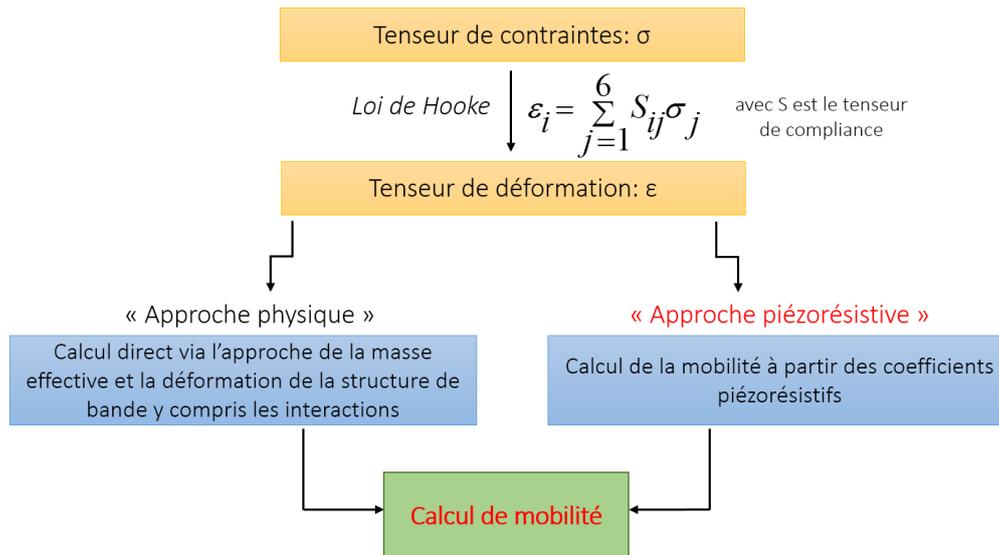


Figure III.38. Schéma illustrant les deux approches permettant généralement de calculer la mobilité en fonction de la contrainte.

Il existe aujourd'hui différentes études utilisant encore des coefficients piézo-résistifs mesurés sur silicium massif, afin de répondre à des problématiques plus complexes telles que par exemple l'impact de la contrainte dans les films minces. Or, comme nous l'avons vu au chapitre I, ces coefficients dépendent fortement de l'orientation cristallographique, de la géométrie [Pelloux 14a] et du niveau de contrainte initial dans le canal [Uchida 05] ainsi que de la tension de grille [Rochette 08]. Cela n'est donc plus valable puisque :

- D'une part, comme démontré par [Bufler 10], l'approche piézorésistive (malgré le fait qu'elle soit largement utilisée dans les dispositifs microélectroniques) n'est valable que pour des contraintes faibles et dans un silicium massif. En effet, dans les couches d'inversion de silicium, en raison du confinement quantique, les symétries dans le tenseur piézo-résistif sont réduites et le nombre des coefficients indépendants augmente jusqu'à six éléments indépendants [Nier 13].
- D'autre part, comme le puits de potentiel de la couche d'inversion est modulé par le champ électrique normale à la grille, les coefficients piézorésistifs dépendront donc du champ électrique effectif (noté E_{eff}) [Chu 08] [Rochette 08] [Sun 07]. Notons qu'à faible champ effectif, aucune différence concernant ces coefficients n'a été observée. Ils correspondent tous aux coefficients du silicium massif. En revanche, à champ effectif élevé (typiquement supérieur à 0.1MVcm), ces coefficients diffèrent des valeurs du silicium massif.
- Enfin, comme évoqué au début de ce manuscrit (chapitre I), des travaux récemment menés par [Pelloux 14b] [Pelloux 15], ont montré également que ces coefficients dépendent quant à eux de la géométrie dans les transistors à triple grille. C'est pourquoi il est important de disposer de

données expérimentales relatives aux canaux contraints en silicium. Notre choix s'est alors porté sur les coefficients reportés dans le tableau III.5 [Cassé 12], puisqu'ils respectent de manière satisfaisante les spécificités de notre architecture.

Tableau III.5. Valeurs numériques des coefficients piézorésistifs dans le transistor à triple grille sur substrats (s)SOI (tous les coefficients sont extraits à $N_{inv}=0.8 \times 10^{13} \text{cm}^{-2}$) [Cassé 12].

$(\times 10^{-12} \text{Pa}^{-1})$	SOI		sSOI	
	Large	Étroit	Large	Étroit
π_L	-410	-545	-190	-140
π_T	-170	-38	145	-20
π_{44}	-240	-	-335	-

III.3.1.2. Application aux transistors à triple grille

Afin de convertir la contrainte mécanique induite par le procédé en termes de mobilité, le modèle piézorésistif présenté dans le premier chapitre sera mis à profit dans ce paragraphe. Les composantes de la contrainte mécanique longitudinale et transverse (σ_L et σ_T) sont moyennées de manière numérique le long de l'interface supérieure et le long des flancs dans la configuration TriGate, et uniquement le long de l'interface supérieure dans la configuration FDSOI. Rappelons qu'il est possible de négliger la composante verticale σ_V par la suite puisque sa valeur est très faible comparée à celles dans le plan (100). La conversion de la contrainte en mobilité se fait généralement comme [Eneman 12] :

$$\Delta\mu = \pi \times \sigma_{f,t} \quad (\text{III.13})$$

$$\mu = \mu_0(1 + \Delta\mu) \quad (\text{III.14})$$

où π correspond aux coefficients piézorésistifs provenant de la littérature et $\Delta\mu$ et μ sont respectivement les composantes de la mobilité relative et absolue. Le paramètre $\sigma_{f,t}$ désigne soit la contrainte moyenne des flancs (indice f) soit celle de la surface supérieure du canal (indice t). Ces moyennes sont obtenues en intégrant les composantes longitudinale et transverse de la contrainte sur toute la surface où le transport de charge peut s'effectuer.

Si on suppose que la tension de seuil est la même sur les faces "top/side", la mobilité totale dans toute la section est donc une combinaison linéaire entre la mobilité des flancs et celle de la surface supérieure, incluant la mobilité de référence, où la contrainte du canal est considérée nulle, comme :

$$\Delta\mu_{\text{tot}} = \frac{\mu_{\text{tot}}}{\mu_{\text{tot},0}} \text{ soit } \mu_{\text{tot}} = \frac{W\mu_{\text{top}} + 2H\mu_{\text{flanc}}}{W + 2H} \quad (\text{III.15})$$

Cette approche présente toutefois certains inconvénients. Le plus important est sa validité limitée aux très faibles déformations, ce qui correspond à des contraintes de l'ordre de 200MPa autour d'une contrainte donnée (voir chapitre I). Lorsque les contraintes atteignent des valeurs de l'ordre du GPa (cas des transistors sur substrat sSOI), le comportement reliant la contrainte à la résistivité n'est alors plus linéaire, et par conséquent la variation relative de mobilité exprimée par l'équation III.15 ne suffit pas pour calculer la mobilité totale induite par la contrainte sur l'ensemble de la variation (figure III.39).

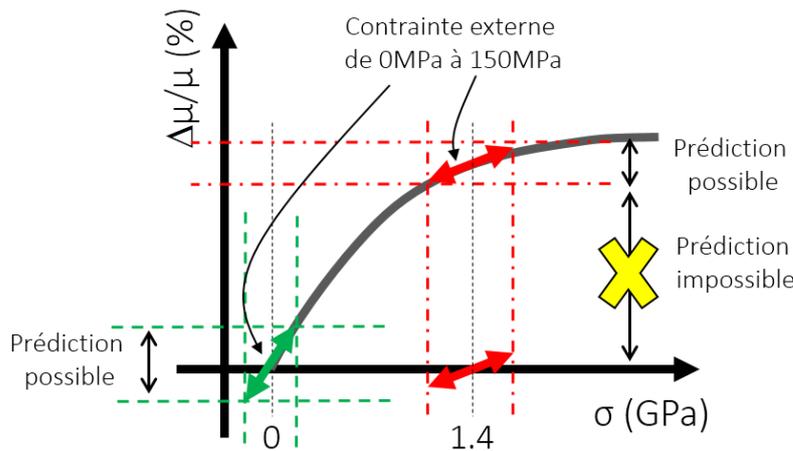


Figure III.39. Schéma illustrant la limite de l'approche piézorésistive linéaire dans le cas d'une configuration biaxiale de contrainte.

Récemment, un modèle analytique développé par [DeSalvo 14] a été calibré sur des mesures de mobilité issues de [Weber 07] incluant l'effet de saturation de mobilité à forte contrainte [Uchida 05]. L'équation III.16 exprime l'expression analytique caractérisant ce modèle, où μ_{biax} représente la mobilité bi-axiale, σ_T et σ_L sont respectivement la composante transverse et longitudinale de la contrainte et les paramètres a , b , c et d sont les paramètres calibrant les données expérimentales [Weber 07]. Les courbes de mobilité liées à ce modèle sont montrées sur la figure III.41 pour des transistors nMOS contraints.

$$\mu_{\text{biax}} = \frac{a+b\cdot\sigma_T}{a+\sigma_T} \left[(1 - \exp\left(-\frac{\sigma_L}{c}\right)) \cdot d + 1 \right] \cdot \frac{\sigma_y+a}{a+b\cdot\sigma_L} \quad (\text{III.16})$$

Dans un canal long ($L_g=10\text{nm}$) et d'après l'équation III.16, le gain en mobilité induit par une contrainte bi-axiale de 1.4GPa atteint 70% alors qu'il est de 75% dans le cas expérimental (cf. le paragraphe §III.2.2.2.a précédent). Cela montre un bon accord entre le modèle de mobilité utilisé [DeSalvo 14] et le résultat d'extraction obtenu dans notre cas. Par contre, pour un canal contraint court (ex. : $L_g=80\text{nm}$) et malgré le gain en contrainte apporté dans le canal (200MPa dans le cas d'un substrat précontraint), la mobilité ne sera pas suffisamment améliorée, puisque nous sommes en saturation de mobilité vis-à-vis de la contrainte du canal (voir la courbe noire en figure III.40). Par ailleurs, l'évolution de la mobilité relative dans les architectures TriGate (où $L_g=100\text{nm}$) peut

être approchée comme pour les dispositifs FDSOI lorsque la largeur W du dispositif est très élevée (on retrouve alors la configuration bi-axiale). Or, nous avons un comportement de mobilité différent (courbe rouge en figure III.40) lorsque la contrainte devient uniaxiale (typiquement $W < 40\text{nm}$).

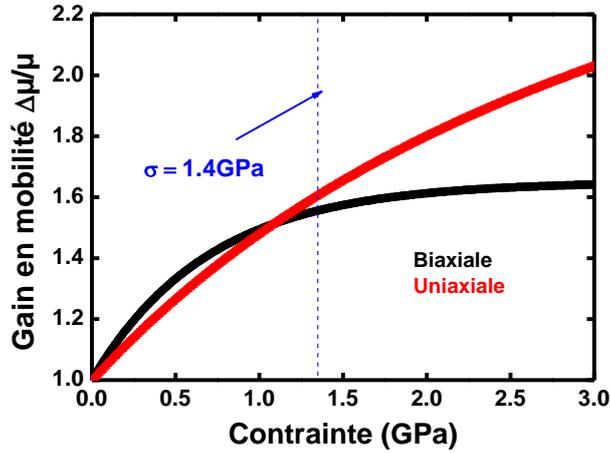


Figure III.40. Gain en mobilité en fonction de la contrainte dans le cas des transistors nMOS [DeSalvo 14].

III.3.2. Décorrélation des mécanismes d'interactions limitant la mobilité par étude en température

III.3.2.1. Analyse de la mobilité des transistors courts

L'analyse précédente de mobilité peut être détaillée en utilisant la règle de Matthiessen (équation III.17) qui décompose la mobilité en différentes composantes associées aux mécanismes d'interaction. Ici nous considérons les trois sources principales d'interaction avec les phonons (μ_{ph}), les charges coulombiennes (μ_{c}) et les défauts neutres (μ_{neu}) [Mouis 14].

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_{\text{ph}}} + \frac{1}{\mu_{\text{c}}} + \frac{1}{\mu_{\text{neu}}} \quad (\text{III.17})$$

Les paramètres de mobilité correspondants (μ_{ph} , μ_{c} et) ont une dépendance en température très différente [Ando 82], comme évoqué dans le chapitre II, ce qui permet de les décorrélérer :

$$\mu_{\text{ph}} = \alpha_{\text{ph}} \frac{300^\gamma}{T^\gamma} \quad (\text{III.18.a})$$

$$\mu_{\text{c}} = \alpha_{\text{c}} \frac{T}{300} \quad (\text{III.18.b})$$

$$\mu_{\text{neu}} = \alpha_{\text{neu}} \quad (\text{III.18.c})$$

où μ_{eff} est la mobilité effective, T la température, μ_{ph} , α_{ph} et γ sont les paramètres dus à la composante phonon, μ_{c} et α_{c} sont ceux dus aux interactions coulombiennes et μ_{neu} et α_{neu} représentent quant à eux le mécanisme d'interaction avec les défauts neutres [Erginsoy 50].

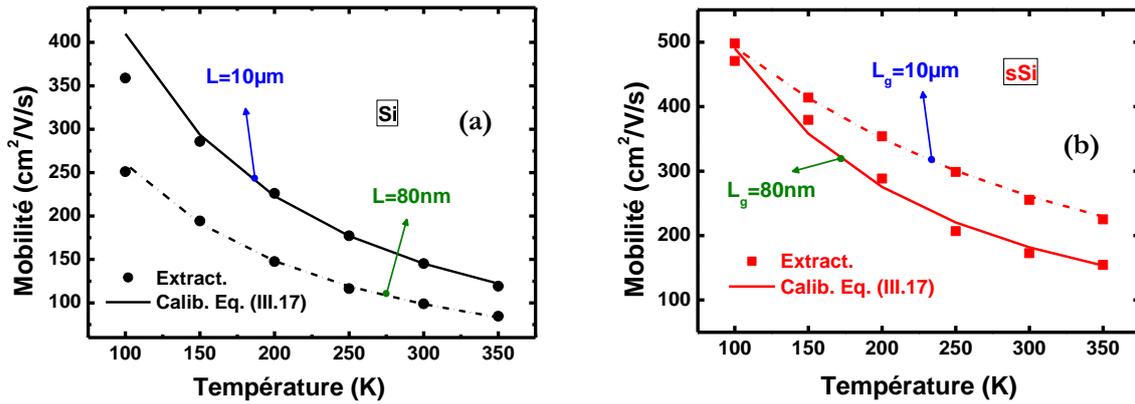


Figure III.41. FDSOI : Evolution de la mobilité effective μ_{eff} extraite à $V_G - V_T = 0.7\text{V}$ en fonction de la température pour un substrat (a) non-contraints et (b) contraints. $L_g = 80\text{nm}$ et $10\mu\text{m}$ et $W = 10\mu\text{m}$. $\gamma = 1.3$ et $\alpha_c = 10^5\text{cm}^2/\text{V}/\text{s}$.

Pour identifier le poids respectif des mécanismes d'interactions détériorant la mobilité dans les transistors larges, nous avons calibré les courbes de mobilité extraites expérimentalement par le modèle de type BSIM avec celles provenant de l'équation III.17. En effet, le dispositif non-contraint est représenté par des courbes noires en fonction de la température (Fig. III.41.a), tandis que celui contraint est illustré par des courbes rouges (Fig. III.41.b). Les longueurs de grille ont été choisies telles que $L_g = 10\mu\text{m}$ et 80nm . Un très bon accord est d'abord observé entre le modèle et les résultats d'extraction de mobilité. Les paramètres de calibration associés sont résumés en annexe (tableau A.1) en fonction de la longueur de grille. Plusieurs observations peuvent être effectuées. On obtient des paramètres γ et α_c constants quelle que soit la nature de substrat (SOI ou sSOI) et la longueur de grille choisie. Dans notre cas γ correspond à 1.3 et α_c est égal à $10^5\text{cm}^2/\text{V}/\text{s}$. Dire que le paramètre α_c est grand correspond à un temps de relaxation important donc à une contribution négligeable comparativement aux temps de relaxation relatifs aux interactions avec les défauts neutres et les phonons.

Une des hypothèses de travail qui pourrait être soulevée ici est l'impact des défauts neutres. L'architecture traitée ici présente des régions S/D fortement dopées via des implantations LDD et HDD (Arsenic et Phosphore), indispensables pour obtenir des résistances d'accès appropriées. Or, pendant le procédé d'implantation, des défauts ponctuels (lacunes et interstitiels) se forment dans le canal, en particulier au niveau des extensions LDD (*Lightly Doped Drain*) [Mathiot 84] [Mathiot 91]. Puis, après le recuit thermique (à 1050°C), une partie de défauts ponctuels néfastes pour le transport subsiste dans le canal, ce qui expliquerait probablement pourquoi la mobilité diminue lorsque la longueur de la grille devient faible [Pham-Nguyen 09]. Cette hypothèse semble au premier abord la plus probable, puisque lorsque la longueur du canal devient très faible, les zones présentant ces défauts, notamment les régions LDD, se rapprochent de plus en plus impliquant une augmentation des défauts neutres dans le canal.

Pour bien comprendre l'impact des différents mécanismes d'interaction et en particulier des défauts neutres nous avons réalisé deux extractions distinctes. Tout d'abord nous avons utilisé l'optimiseur ICCAP pour obtenir la meilleure calibration possible (illustrée sur les figures III.41 et par des traits pleins sur la figure III.42). Puis nous avons réalisé la même extraction mais en considérant soit la composante de la mobilité μ_{neu} constante en faisant varier la mobilité phonon μ_{ph} , soit μ_{ph} constante en faisant varier μ_{neu} . Ces deux extractions supplémentaires nous ont permis de déduire que :

- Si nous imposons μ_{ph} constante, il est impossible d'obtenir un comportement satisfaisant de la calibration. Donc le mécanisme d'interaction avec les défauts neutres n'est pas le mécanisme prépondérant notamment pour les canaux court.
- Si nous imposons μ_{neu} constante (illustrée par les traits pointillés sur la figure III.21), nous obtenons un résultat équivalent en termes de calibration et de ce fait, nous confirmons que c'est la composante phonon est la plus déterminante.

En résumé, la figure III.42 ci-après présente pour un transistor FDSOI, les variations de la mobilité en fonction de la longueur de grille, La figure III.42.a représente la mobilité due aux interactions avec les phonons, tandis que la figure III.42.b correspond à celles avec les défauts neutres. Nous remarquons très clairement une diminution de la composante phonon. Cela pourrait s'expliquer par une modification de l'interaction phonon dans les canaux courts. Or cela ne semble pas provenir des défauts neutres car comme nous l'avons montré dans cette décomposition, elle n'a pas de réel impact sur les petites longueurs de canal.

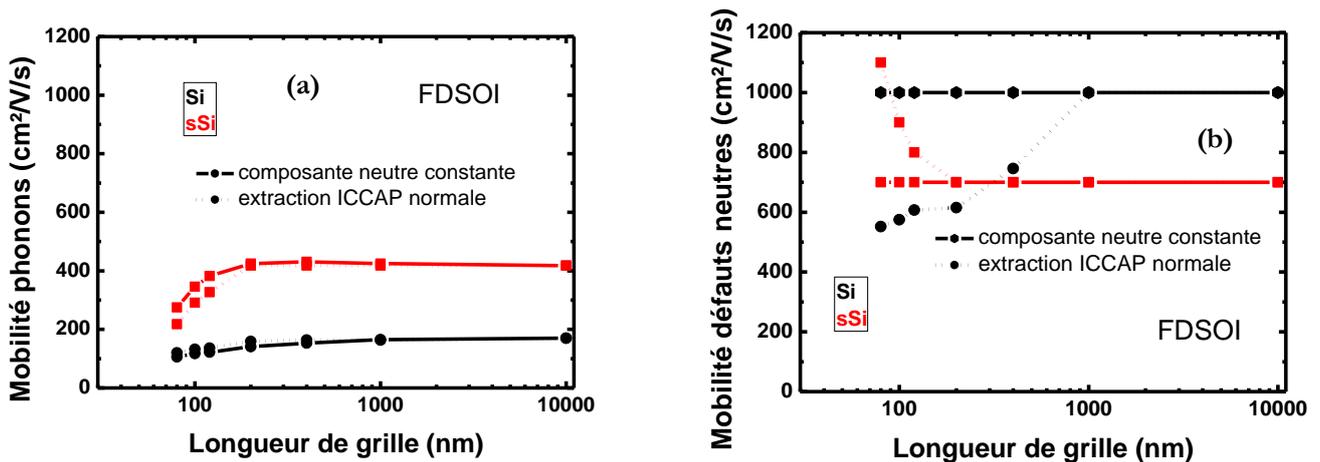


Figure III.42. FDSOI : Les composantes de la mobilité effective en fonction de la longueur de grille L_g , les termes associés à (a) l'interaction due à l'interaction avec les phonons et (b) l'interaction avec les défauts neutres, avec $\gamma=1.3$ et $\alpha_C=10^5\text{cm}^2/\text{V/s}$.

De plus, ce résultat n'est pas conforme à ce que nous attendions au vu des valeurs σ_L obtenues par TCAD (voir la figure III.6). Comme nous pouvons le voir sur la figure III.43, nous ne pouvons pas négliger la composante verticale de la contrainte σ_v , notamment lorsque la longueur de grille est faible. Par exemple, entre un canal long ($L_g=1\mu\text{m}$) et court ($L_g=80\text{nm}$), nous observons une dégradation de la composante σ_v d'environ -185MPa et -120MPa respectivement pour un substrat non-contraint et contraint. En effet, pour analyser la variation de la mobilité avec la contrainte, il est nécessaire de connaître l'évolution de l'ensemble des composantes du tenseur (σ_{ij}). En résumé, prendre en compte seulement la composante longitudinale de la contrainte σ_L pour calculer la mobilité μ est un raccourci de calculs. Il est important de connaître l'ensemble du tenseur (σ_{ij}), notamment le profil complexe de contraintes au niveau de la jonction S/canal. Nous aurons l'occasion au chapitre suivant d'utiliser un modèle de mobilité (MCMob) en TCAD tenant compte du tenseur de contrainte pour évaluer par le biais de différentes solutions d'ingénierie de contrainte le transport dans des transistors FDSOI de type p pour le nœud technologique 14nm.

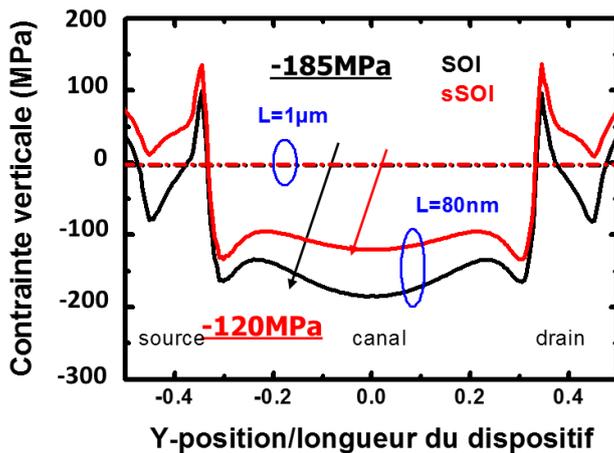


Figure III.43. FDSOI : Profils de contraintes verticales où $L_g=1\mu\text{m}$ et 80nm .

III.3.2.2. Analyse de la mobilité dans les dispositifs étroits

Comme nous avons pu le constater précédemment dans le paragraphe §III.2.1, il était difficile de décomposer la mobilité totale en fonction de la face supérieure et celle des flancs. Cela n'était possible que si l'épaisseur de la section du transistor est suffisamment grande. Or dans notre cas l'épaisseur de la section du canal est très faible et ne dépasse pas 13nm . De ce fait, nous allons nous contenter d'évaluer la mobilité totale du TriGate. La figure III.44 compare l'évolution de la mobilité extraite suivant équation III.17 avec la mobilité mesurée en fonction de la température. Trois largeurs de grille W ont été choisies 30nm , 240nm et $10\mu\text{m}$. Cette dernière valeur correspond au transistor large. Les paramètres de calibration associés sont résumés en annexe (tableau A.2) en fonction de la largeur W de grille.

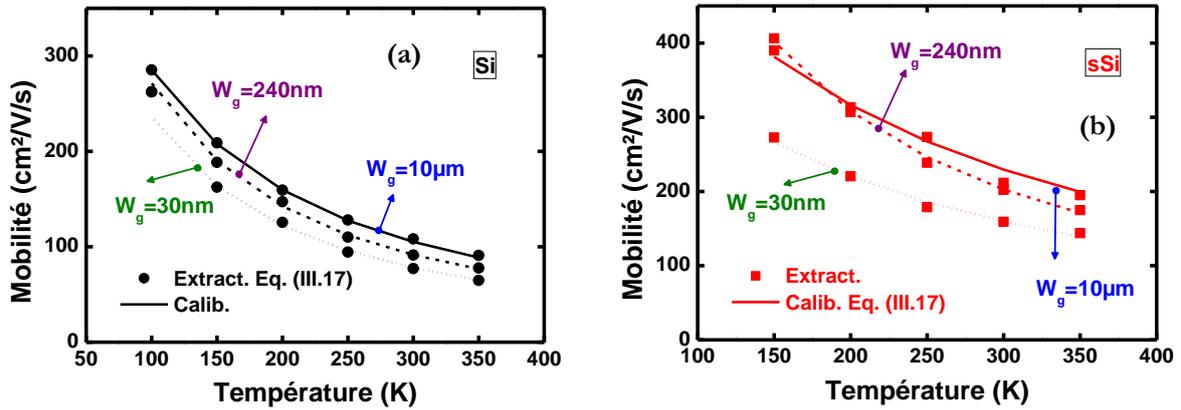


Figure III.44. TriGate : Evolution de la mobilité effective μ_{eff} en fonction de la température pour un substrat (a) non-contraint et (b) contraint avec $W = 30, 240$ et 10000nm et $L_g = 100\text{nm}$. Les symboles représentent les extractions expérimentales et les lignes le modèle (équation III.17 avec $\gamma = 1.3$ et $\alpha_C = 10^5 \text{cm}^2/\text{V/s}$).

La figure III.45 présente l'évolution des paramètres décrivant l'interaction avec les phonons en fonction de la largeur de grille W . Une dépendance forte à la contrainte et à la largeur de grille W est observée lorsque cette dernière diminue. En effet, la contribution de la mobilité due aux interactions avec les défauts neutres (μ_{neu}) peut être maintenue constante ($637 \text{cm}^2/\text{V/s}$ et $711 \text{cm}^2/\text{V/s}$ respectivement dans le cas non-contraint et contraint). La mobilité des phonons diminue quant à elle avec la largeur, indépendamment de la nature de substrat. Cela peut probablement s'expliquer d'un point de vue mécanique, par une dégradation de la contrainte transverse sous l'effet de la diminution de W (-275MPa vs. -1.7GPa respectivement pour SOI et sSOI), comme développé dans le paragraphe §III.1 grâce à nos simulations mécaniques.

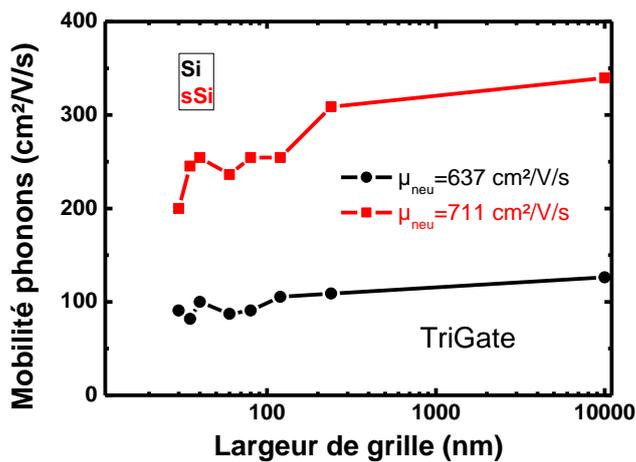


Figure III.45. TriGate : Évolution des composantes de la mobilité effective en fonction de la largeur de grille W , avec $\gamma = 1.3$ et $\alpha_C = 10^5 \text{cm}^2/\text{V/s}$.

III.4 CONCLUSION DU CHAPITRE III

Nous avons étudié dans ce chapitre différentes méthodes évaluant conjointement la contrainte mécanique et le transport des électrons dans les transistors nMOS à triple-grille sur substrats SOI allant de la mesure en température du courant de drain jusqu'à l'extraction de paramètres du transport, en passant par la simulation TCAD bidimensionnelle. Dans un premier temps, nous avons prédit de manière satisfaisante le niveau de contraintes dans le canal grâce à la fois à la simulation TCAD (incluant notamment les hypothèses du procédé salle blanche) et à des mesures de déformation NBED (réalisées en parallèle au LETI). Ainsi la simulation mécanique avait montré qu'il y avait deux influences possibles de la contrainte sur nos dispositifs mesurés (en dehors de la contrainte induite par le substrat) : d'une part l'influence du CESL qui était différente entre nos cas contraints et non contraints, et d'autre part l'influence du dépôt de TiN.

Dans un second temps, afin d'interpréter et de prédire physiquement la mobilité avec la contrainte, deux approches bien distinctes ont été alors employées pour l'extraire : la méthode Y et une modélisation de type BSIM. Cette dernière nous a permis de mieux extraire la mobilité et a servi de base à la décorrelation des mécanismes d'interactions limitant la mobilité. Même si nous confirmons le gain en mobilité dans le canal long et large, l'analyse sur les canaux courts est au premier abord en contradiction avec nos simulations TCAD, en particulier avec l'augmentation de la composante longitudinale de la contrainte. Or, il est difficile d'expliquer seulement par la simulation mécanique cette dégradation de mobilité à faible longueur de canal (canaux courts) étant donné que les interactions phonons sont probablement masquées par un autre effet dominant autre que les défauts neutres que nous n'avons pas été en mesure d'identifier. En ce qui concerne les canaux étroits nous avons une tendance montrant bien la dégradation de la contrainte transverse observée avec nos simulations TCAD.

Enfin, plusieurs pistes peuvent être envisagées pour compléter cette analyse, notamment celle qui consiste à caractériser de nouvelles architectures dont les dimensions du canal sont très variables et disposer, d'un point de vue statistique, d'un grand nombre de dispositifs, de façon à extraire des paramètres adéquats permettant d'en déduire des tendances correctes du transport.

CHAPITRE IV :

ETUDE DE L'IMPACT DE DIFFERENTES SOLUTIONS D'INGENIERIES DE CONTRAINTE SUR LES PERFORMANCES DES TRANSISTORS FDSOI

Dans ce chapitre, des simulations numériques par éléments finis du procédé et du fonctionnement électrique ont été réalisées sous Synopsys. Cela nous permet d'évaluer à la fois les différentes solutions d'ingénierie de contraintes intégrées dans le procédé réel de fabrication des transistors de type p, mais aussi le transport des trous associé. L'objectif de ce chapitre portera donc sur deux parties distinctes : d'une part, présenter et valider la simulation mécanique du procédé réel du transistor 14nm FDSOI pour comparer différentes solutions d'ingénierie de contraintes et d'autre part, évaluer l'impact de la contrainte induite par le procédé sur la performance électrique.

Dans la première partie, nous commencerons d'abord par présenter l'architecture 14nm FDSOI et le procédé de fabrication. La méthodologie de simulation sera expliquée. Ensuite, nous présenterons les différentes solutions d'ingénierie de contraintes telles que la techniques « SAIPS » et le procédé « Gate-Last ». Enfin, dans le cas des dispositifs isolés, nous discuterons de façon plus approfondie sur l'impact de l'isolation et du dépôt d'oxyde STI sur la contrainte du canal. Une synthèse des résultats obtenus permettra de comparer quantitativement les différentes solutions étudiées. Bien sûr dans la mesure du possible nous essaierons d'avoir un regard critique sur ces résultats soit par des comparaisons expérimentales soit en confrontant nos tendances à des travaux publiés.

La seconde partie traitera du gain en mobilité induit par la variation de la contrainte dans le canal du transistor pour les solutions présentées précédemment. Nous ferons pour cela appel aux simulations électriques, de façon à traduire la contrainte mécanique en mobilité, en utilisant un modèle de mobilité basé sur l'approche piézo-résistive (calibré sur un solveur UTOXPP [Garetto 11] [Perreira 15]) valide à fort niveau de contrainte, appelé « MCMob ». Il est important de noter que ce modèle exploité pour décrire le transport des trous est un modèle macroscopique, mais permettra néanmoins d'évaluer de manière qualitative les performances dans ce type de transistors.

IV.1. PRESENTATION DE L'ARCHITECTURE 14NM FDSOI

IV.1.1. Contexte de l'étude

La miniaturisation du transistor (réduction d'échelle) ne suffit pas à elle seule pour répondre aux spécifications en performance des transistors avancés. D'où l'intérêt de jouer sur le procédé de fabrication en introduisant par exemple une contrainte mécanique intentionnelle dans le canal ou en modifiant la manière d'intégrer certaines étapes du procédé (ex. : procédé Gate-Last pour la fabrication de la grille). Le contexte général de cette étude est représenté sur la figure IV.1 en fonction de la réduction d'échelle.

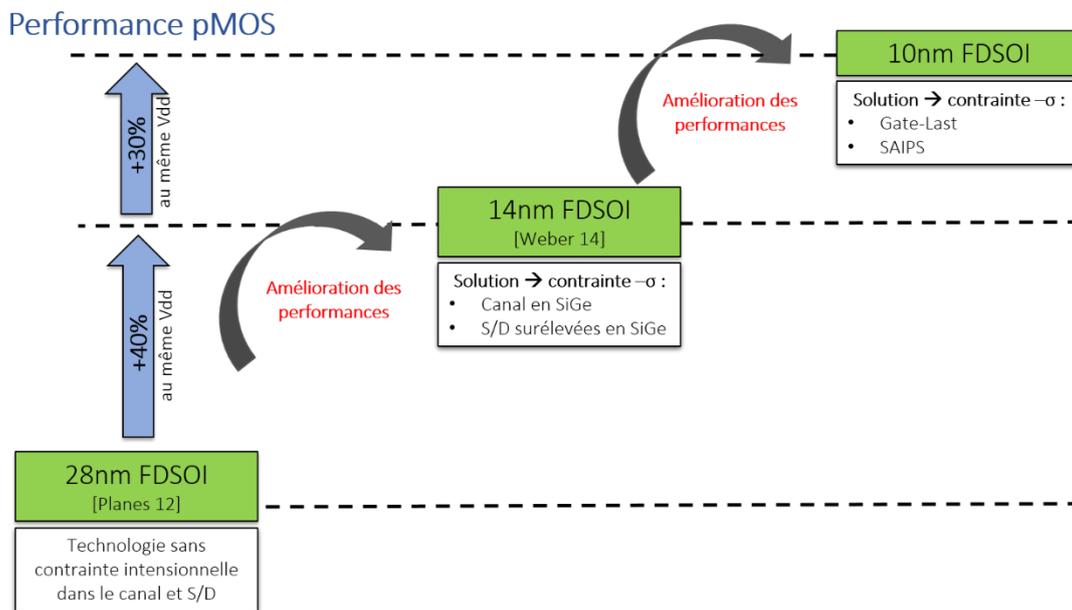


Figure IV.1. Schéma illustratif du contexte de l'étude décrivant simultanément l'effet de la réduction d'échelle ainsi que la solution technologique mise en place (contrainte, intégration Gate-Last (GL)) sur la performance électrique des transistors pMOS FDSOI.

Si nous nous focalisons uniquement sur la technologie FDSOI et en particulier sur le transistor pMOS, le passage de la technologie FDSOI 28nm [Planes 12] (dont le canal et les épitaxies Source/Drain (S/D) sont en silicium) à la technologie FDSOI 14nm entraîne pour le pMOS un gain en performance d'environ 40% grâce à la présence du SiGe dans le canal ainsi que dans les zones S/D [Weber 14]. Par ailleurs, l'intégration d'une grille sacrificielle en polysilicium dans le procédé *Gate-Last* [Morvan 13] ainsi que l'introduction de la compression dans le canal via la technique SAIPS (= Self-Aligned In-Plane Stressor) [Grenouillet 13] peut apporter une amélioration de performance d'environ 30% supplémentaire, ce qui permet d'atteindre le nœud 10nm. Le but de ce chapitre est d'étudier le gain en performance apporté par le biais d'ingénierie de contrainte et les causes et conséquences via des simulations mécanique et électrique par éléments

finis de type TCAD. Nous allons tout d'abord nous intéresser à l'influence des principales étapes du procédé de fabrication du transistor pMOS FDSOI 14nm (y compris le procédé *Gate-Last*) sur le niveau de contrainte dans le canal.

IV.1.2. Simulation mécanique du procédé de fabrication

La figure IV.2 présente le procédé de fabrication réel (*process-flow*) du transistor 14nm FDSOI décrit par [Weber 14] incluant ainsi le procédé SAIPS [Grenouillet 13] et *Gate-Last* (GL) [Morvan 13]. Plusieurs observations peuvent être effectuées. Globalement, le procédé *Gate-Last* présente des étapes de fabrication similaires à celui *Gate-First* (GF) telles que la gravure de la zone active, l'épithaxie S/D, l'implantation, le recuit, le dépôt CESL ainsi que la siliciuration. La principale différence vient du fait que les matériaux de grilles (en particulier la grille métallique) sont déposés après le recuit d'activation des épithaxies surélevées. Ainsi, le diélectrique à haute permittivité (HfO_2 : oxyde d'hafnium) est déposé via un procédé de type high-k Last, son épaisseur contribuera à la formation de l'espaceur final. Notons que la permittivité du matériau à haute permittivité a été choisie en simulation de telle sorte qu'elle soit équivalente à celle de l'espaceur en nitrure (Si_3N_4), permettant de maintenir la valeur de la capacité grille-S/D. De plus, deux étapes de planarisation (notée CMP : polissage mécano-chimique) sont utilisées : La première a pour but de graver le CESL pour retrouver le niveau du polysilicium et permettre le retrait de la grille sacrificielle. La deuxième étape consiste à enlever le métal de grille (TiN et W) ainsi que le matériau HfO_2 résiduels en dehors des cavités de grille. Reste à souligner que quel que soit le type d'intégration (*GL* ou *GF*), la réalisation des S/D surélevés se fait par reprise d'épithaxie sur le film de SiGe avec la présence des facettes, de façon à réduire d'une part l'effet des résistances d'accès et d'autre part les capacités entre la grille et les régions des S/D, puisque la distance entre la grille et les S/D devient importante.

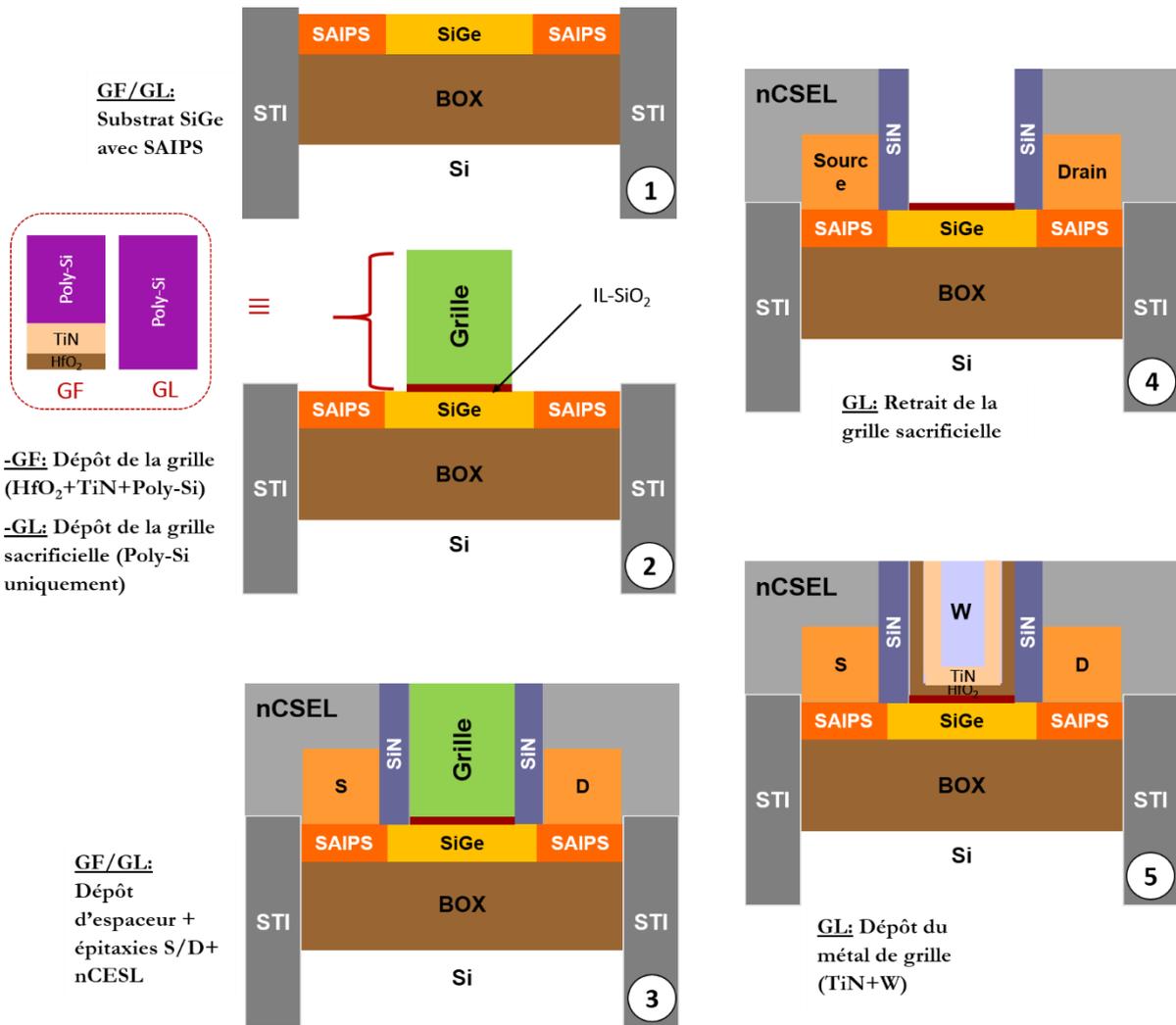


Figure IV.3. Enchaînement schématique des principales étapes du procédé utilisé pour simuler la fabrication des transistors avec les technologies *Gate-First* et *Gate-Last/high-k last* sur substrat SOI.

Plusieurs remarques peuvent être formulées pour la réalisation de nos simulations. Le procédé de fabrication du transistor 14nm FDSOI que nous allons établir pour simuler le procédé réel se compose de cinq étapes principales :

- (1) Tout d'abord, nous partons d'un substrat SiGeOI, incluant les zones SAIPS. La concentration en germanium initiale dans le canal est de 23%. Avec la configuration SAIPS, cette concentration change et prend des valeurs comprises entre 23% et 53%. Nous imposons la concentration de germanium alors que dans la réalité les zones SAIPS sont obtenues par procédé de condensation du Ge juste après la formation de l'espaceur en nitrure.
- (2) En ce qui concerne l'empilement de grille : pour l'intégration *Gate-First*, on dépose l'oxyde interfacial (noté *IL-SiO₂*), ensuite le high-k/TiN et le polysilicium ; pour l'intégration *Gate-Last*, la grille high-k/TiN est remplacée par une grille sacrificielle en polysilicium.

- (3) Les S/D surélevés en Ge (incluant des facettes) sont déposés après formation des espaceurs. Un CESL à contrainte neutre vient couvrir ensuite toute l'architecture. D'un point de vue mécanique, cela correspond à la fin de simulation du procédé *Gate-first*. Le rôle principal des facettes au niveau des S/D est de réduire les capacités (C_{gd} et C_{gs}) entre la grille et l'épitaxie S/D.
- (4) Dans le cas de l'intégration *Gate-Last*, la grille sacrificielle en polysilicium est ensuite retirée.
- (5) Le *high-k last*, puis les métaux de grille (TiN et W) sont finalement déposés.

Notons qu'indépendamment du type d'intégration, l'étape de siliciuration est assimilée ici à une gravure des S/D puis d'un dépôt de siliciure dont la contrainte est nulle. Dans la réalité, on dépose un matériau de type Ti (Titane) ou Co (Cobalt), puis on effectue un recuit thermique à basse température pour créer une couche de siliciure par interdiffusion à l'interface.

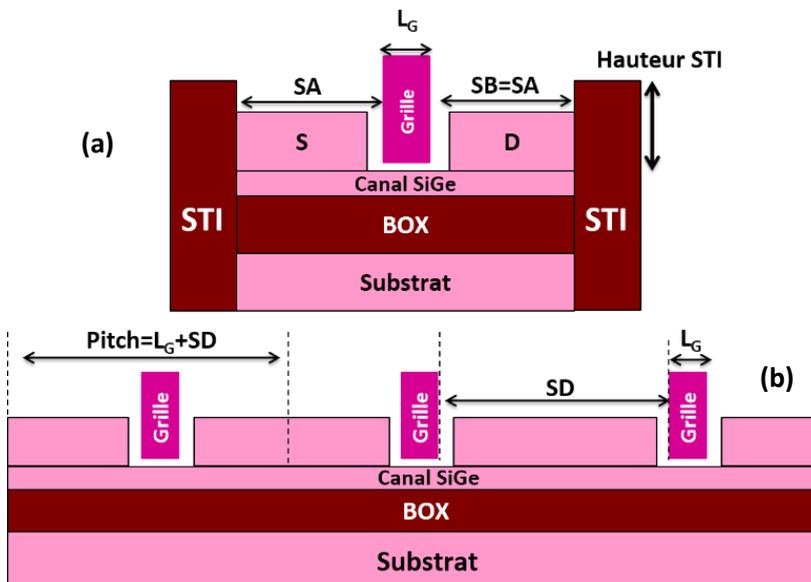


Figure IV.4. Architectures d'étude : (a) isolée par l'oxyde STI, (b) périodique (correspondant à des dispositifs adjacents), où SA et SD sont les extensions de la longueur d'épitaxie.

Deux types d'architectures ont été étudiés dans ce chapitre. Le premier, est une architecture isolée par STI où SA (longueur d'active) désigne la distance entre le bord de la grille et le bord de la zone active (Fig. IV.4.a). A contrario, le second type est défini par le pitch (Fig. IV.4.b). L'architecture de référence pour cette technologie 14nm FDSOI est un transistor au pitch 88nm ($L_g=24\text{nm}/SD=64\text{nm}$), dont la concentration en Ge dans les SAIPS est de 23%, qui est donc égale à celle du canal (concentration homogène dans le film SiGe).

IV.1.3. Hypothèses et paramètres de simulation

Nous supposons d'abord dans nos simulations que les différents matériaux utilisés (ex. : SiO_2 , Si, Si_3N_4 , SiGe, Poly, TiN, HfO_2) suivent un comportement purement élastique (pas de caractère visqueux à haute température), ce qui implique une linéarité entre la déformation (ϵ) du matériau et la contrainte (σ) qui lui est appliquée. Des simulations de type viscoélastique seront ensuite

effectuées (cf. paragraphe §IV.3.3.3), de façon à évaluer l'impact du dépôt de l'oxyde STI sur l'état de contrainte dans le canal sous l'effet de la température.

Tableau IV.1. Paramètres géométriques utilisés pour la simulation des structures 14nm FDSOI pour les intégrations *Gate-First* et *Gate-Last*.

Intégration Procédé	« GATE-FIRST »	« GATE-LAST »
Substrat SiGeSOI	$N_{Ge,ch}=23\%$ (Canal SiGe) $N_{Ge0,SD}=23\%$, 38% et 53%, où $D_{LNGe}=0nm$ et 6nm (SAIPS SiGe) $T_{box}=20nm$ (BOX)	
Zone active	$T_{ch}=6nm$ (Epaisseur du canal) $L_g=24nm$ (Longueur de grille : valeur nominale)	$T_{ch}=6nm$ (Epaisseur du canal) $L_{g-init}=24nm+T_{HK}$ (Longueur de grille initiale)
Dépôt grille	$T_{ox}=T_{IL}+T_{HK}$ (oxyde), dont : $T_{IL}=1.1nm$ (oxyde SiO ₂) et $T_{HK}=2.2nm$ (high-k) $T_{TiN}=3.5nm$ (métal de grille) $T_{Poly}=25nm-T_{TiN}=21.5nm$ (polysilicium)	$T_{ox}=T_{IL}$ (oxyde SiO ₂) $T_{Poly}=25nm$ (polysilicium : grille sacrificielle)
Espaceur	$T_{spa12}=10nm$ (nitrure)	$T_{spa12}=10nm-T_{HK}=7.8nm$ (nitrure)
Epitaxie S/D nCESL	$N_{Ge,SD}=30\%$ (S/D en SiGe) $T_{epi}=18nm$ (épaisseur) $\theta_{epi}=80^\circ$ (angle de la facette) Une couche de CESL (de contrainte nulle) couvre le transistor	
Retrait de la grille sacrificielle / Remplissage métallique		-Retrait de la grille sacrificielle - $T_{HK}=2.2nm$ (high-k last) - $T_{TiN}=2.2nm$ puis $T_w=25nm-T_{TiN}$ (grille métallique : TiN+W) - $L_g=24nm$ (longueur de grille finale)

Les dimensions dans le sens de la largeur des transistors FDSOI sont très grandes par rapport aux dimensions longitudinales (suivant la direction des S/D). Cela autorise une simulation bidimensionnelle avec une hypothèse de déformation plane dans le sens perpendiculaire de simulation.

Pour les deux types d'intégrations, les paramètres de simulation associés aux dispositifs 14nm FDSOI sont résumés dans le tableau IV.1. Comme nous l'avons évoqué précédemment au premier chapitre, la différence majeure entre ces deux types de procédé provient principalement de la manière dont la grille est déposée. Contrairement au procédé *Gate-First*, les matériaux de la grille métallique (*high-k*, TiN et W) sont quant à eux définis après formation des S/D surélevés.

Les concentrations du Ge dans cette architecture s'élèvent à 23% dans le canal, 30% ($N_{Ge,Ch}$) dans les S/D surélevés ($N_{Ge,SD}$), et entre 23% et 53% dans la région SAIPS ($N_{Ge0,SD}$). Un autre paramètre important permettant de décrire les régions SAIPS est le paramètre de recouvrement (DL_{NGe}) [Niebojewski 14]. Il correspond à la diffusion latérale du germanium sous l'espaceur vers le canal SiGe. En résumé, le bord des zones SAIPS est au niveau du pied de l'espaceur lorsque $DL_{NGe}=0nm$ et vers le canal sinon ($DL_{NGe}>0nm$), comme nous pouvons le voir en figure IV.5.

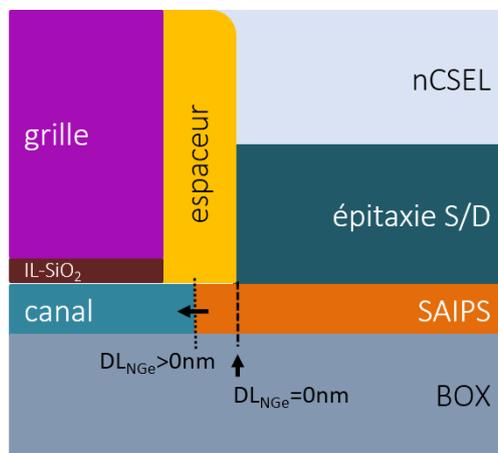


Figure IV.5. Schéma illustratif du recouvrement latéral entre la zone SAIPS et le canal du transistor 14nm FDSOI.

Enfin, le maillage utilisé pour simuler le procédé de fabrication a été optimisé de manière à décrire correctement d'une part l'ensemble de l'architecture (plus particulièrement les interfaces) et d'autre part, les étapes de gravure, de dépôt et de diffusion. Le résultat final semble satisfaisant avec une bonne reproduction du procédé réel ce qui sera un élément clé pour la suite de l'étude.

IV.1.4. Niveaux de contraintes dans le transistor 14nm

Rappelons que les contraintes mécaniques générées, que ce soit d'une manière intentionnelle ou non, pendant le procédé de fabrication du transistor 14nm FDSOI ont diverses origines :

- Le recuit thermique : pendant l'étape de dépôt, des contraintes d'origine thermique sont obtenues [Hsueh 02] à cause de la variation des coefficients de dilatation thermique (CTE) et de température (T), nous parlerons alors du mécanisme « *thermal mismatch* ».

- L'épitaxie : par exemple, dans le cas d'un film en SiGe déposé sur un substrat en Si [Wang 06], une contrainte mécanique intentionnelle est obtenue par désaccord de maille entre le film déposé par épitaxie et le substrat, nous parlerons alors du mécanisme « *lattice mismatch* ».
- La contrainte intrinsèque : suivant la technique de dépôt (ALD, PVD, etc.), des contraintes résiduelles non-intentionnelles peuvent être générées de manière intrinsèque dans les matériaux élaborés.

Selon le procédé de dépôt de la couche TiN utilisé, nous obtenons, indépendamment de la contrainte thermique, des contraintes intrinsèques en tension ou en compression. D'après la référence S. Baudot [Baudot 10], la couche de TiN déposée par procédé PVD est en compression, tandis qu'elle est en tension par un procédé ALD. La valeur de la contrainte intrinsèque générée est comprise entre 2.5 et 5.4GPa en valeur absolue. Des données internes de *STMicroelectronics* ont confirmé cette variation, conséquence de choix de dépôt différent [Jaud 13]. La conclusion que l'on peut tirer des éléments qui précèdent est que la majorité des couches TiN déposées par procédé PVD sont en compression, seules les couches TiN ALD sont en tension.

Dans le procédé *Gate-First* de fabrication du transistor 14nm FDSOI, la couche TiN PVD présente une contrainte intrinsèque de l'ordre de -2.3GPa. Le tableau IV.2 détaille les valeurs de contraintes résiduelles dans l'empilement de la grille que nous allons utiliser comme données d'entrée de simulation. Il reste à noter que la gravure de grille produit une relaxation partielle de ces contraintes de grille (TiN en particulier) suivant le plan de gravure [Guillaume 04].

Tableau IV.2. Récapitulatif des valeurs des contraintes résiduelles dans l'empilement de la grille avant l'étape de gravure.

Matériaux de grille	Epaisseur (nm)	Température de dépôt (°C)	Origine de la contrainte	Valeur de la contrainte (MPa)
IL-SiO ₂	1.1	800	Thermique	-106
HfO ₂ high-k	2.2	300	Thermique	+596
TiN PVD	3.5	20	Intrinsèque	-2350
Polysilicium	21.5	525	Thermique	0.0

La figure IV.6 montre la cartographie finale de la contrainte longitudinale (σ_L) obtenue en fin de simulation mécanique pour les deux types d'architectures (« isolée » et « périodique ») avec une longueur nominale de grille de 24nm. D'abord, dans la direction longitudinale (direction du transport), l'isolation STI modifie significativement la cartographie spatiale de contrainte dans le canal par rapport à une structure périodique. Dans la direction transverse (suivant l'axe z), la

déformation dans cette direction sera constante (dans le cas FDSOI car la largeur du transistor est considérée comme infinie dans la simulation), comme nous l'avons évoqué auparavant.

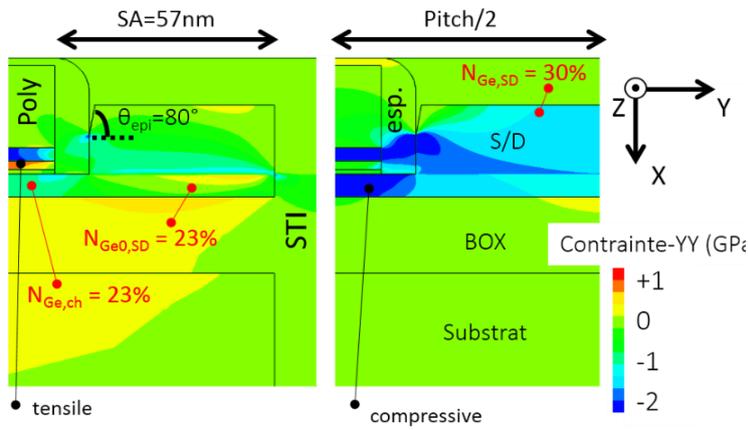


Figure IV.6. Intégration *Gate-First* (TCAD) : cartographie 2D de la contrainte longitudinale pour l'architecture isolée (à gauche) et celle périodique (à droite).

IV.2. COMPARAISON DES DIFFERENTES TECHNIQUES D'INGENIERIE DE CONTRAINTES

Nous commencerons tout d'abord par analyser l'impact du procédé sur l'état de contrainte dans le canal du transistor, en nous focalisant particulièrement sur les effets de la grille et les épitaxies S/D. Nous évaluerons ensuite par rapport au procédé *Gate-First*, l'influence du retrait de la grille sacrificielle en polysilicium sur la contrainte du canal. Nous étudierons aussi l'évolution de la contrainte mécanique, entre un transistor possédant une concentration homogène de Ge dans le canal avec un transistor où le pourcentage en Ge augmente sous les S/D (configuration SAIPS). Enfin, dans le cas des dispositifs isolés, nous discuterons de façon plus détaillée l'impact de l'isolation STI.

Etant donné que le transport des porteurs (trous) se passe au niveau de l'interface supérieure oxyde/canal, tous les profils de contraintes mécaniques présentés dans la suite du chapitre seront extraits au même endroit (suivant le sens du transport source drain), à 1nm au-dessous de cette interface. La contrainte dans le canal est globalement négative pour améliorer le transport des trous et se dégrade si elle varie positivement.

IV.2.1. Intégration « Gate-First »

IV.2.1.1. Evaluation de l'impact de la grille métallique

La figure IV.7.a illustre les profils de contrainte mécanique dans la direction longitudinale (σ_L) en fonction de la longueur de grille. On remarque tout d'abord que dans le cas où le canal est suffisamment long ($L_g=1\mu\text{m}$), la grille n'a aucun impact sur la valeur de la contrainte dans le canal. Il en va différemment pour un transistor court ($L_g=24\text{nm}$), où une légère dégradation de contrainte (+141MPa) liée à la gravure de grille se produit. Ce profil traduit donc un transfert de la tension depuis la couche de TiN (initialement en compression d'environ -2.3GPa) vers le canal [Guillaume 04].

Etant donné que la simulation TCAD considérée ici suit l'hypothèse de déformation plane, la variation de la contrainte transverse (σ_T) induite par la grille est négligeable (seulement 12MPa de variation) par rapport à la contrainte longitudinale (141MPa), comme l'indique la figure IV.7.b. Au cours des étapes du procédé de simulation, les variations liées à la contrainte transverse resteront néanmoins constantes. Pour des raisons de simplification, uniquement les profils de contraintes mécaniques dans la direction longitudinale seront alors présentés.

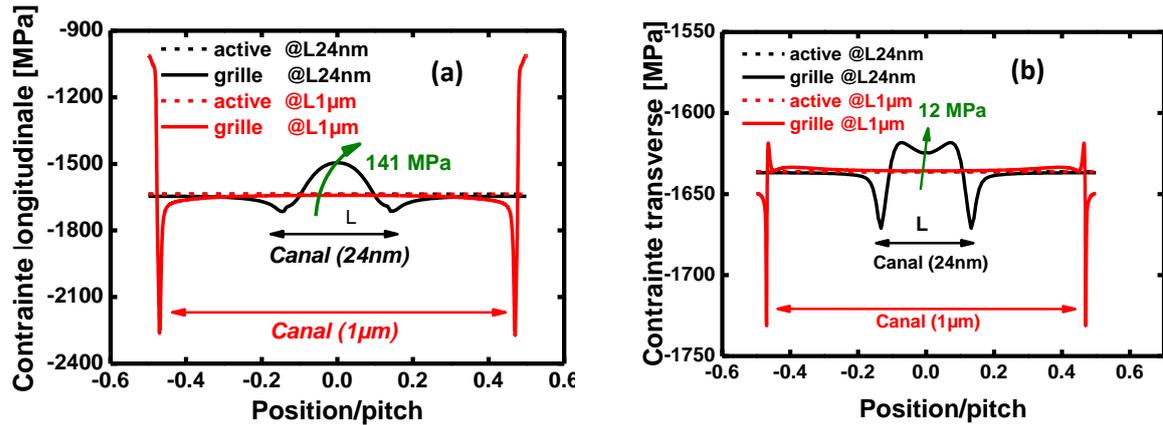


Figure IV.7. Profils de contrainte (a) longitudinale et (b) transverse du transistor 14nm FDSOI en intégration *Gate-First* en fonction de la longueur du canal après gravure de grille ($T_{epi}=18\text{nm}$).

IV.2.1.2. Impact des S/D surélevés

L'intégration des épitaxies S/D fortement compressives en SiGe [Ghani 03] [Villalon 12] en remplacement du Si initialement intégré dans ces zones est l'une des premières solutions d'ingénierie de contraintes utilisées dans les technologies CMOS pour contraindre le canal. Nous allons montrer que les épitaxies surélevées n'ont d'impact sur la contrainte du canal que dans les transistors courts. Pour deux longueurs de canal différentes ($L_g=24\text{nm}$ et $1\mu\text{m}$) nous traçons sur la figure IV.8 les courbes de contraintes longitudinales prises à 1nm au-dessous de l'interface $\text{IL-SiO}_2/\text{canal}$ en fonction de la position (normalisée par le pitch suivant la direction S/D). Les courbes noires présentent le canal court tandis que les courbes rouges correspondent au canal long. La figure IV.8.a montre d'abord l'évolution de σ_l . Les courbes en trait plein illustrent les profils de contrainte juste après gravure de grille et celles en pointillé correspondent à la formation des régions S/D. La figure IV.8.b représente quant à elle la variation de la contrainte le long du canal pour plusieurs longueurs de la zone active ($SD=64\text{nm}, 80\text{nm}$ et 100nm).

Dans les transistors à canal court, le fait d'introduire des S/D fortement en compression (30% en Ge) modifie grandement l'état de contrainte du canal (-490MPa). Cela se traduit par un transfert efficace de la contrainte (en compression) depuis les épitaxies surélevées vers le canal (cf. Fig. IV.8.a). De plus, l'augmentation de la longueur des S/D surélevés (SD) permet de contraindre le canal d'environ -150MPa supplémentaires (cf. Fig. IV.8.b). Ceci est indépendant de l'épaisseur de l'épitaxie comme nous le montrerons plus tard sur la figure IV.10. Enfin, il est à souligner que l'utilisation de S/D avec des facettes [Choi 12] ($\theta=80^\circ$) améliore aussi la contrainte dans le canal par rapport aux S/D verticaux ($\theta=90^\circ$). Cela s'explique en simulation par un transfert plus efficace de la contrainte depuis ces zones vers le canal suivant la direction de la facette.

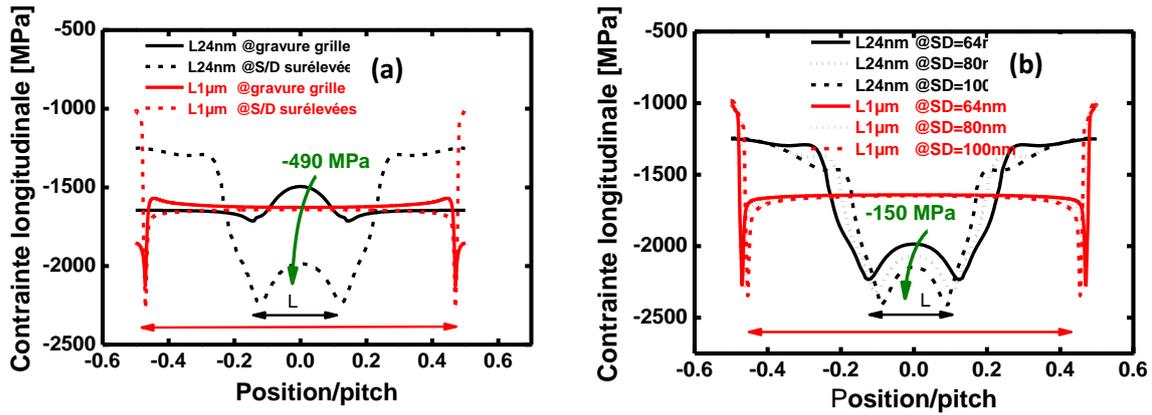


Figure IV.8. Profils de contrainte longitudinale du transistor 14nm FDSOI en intégration *Gate-First* : (a) juste après dépôt des épitaxies source-drain. (b) en fonction de la longueur des épitaxies surélevés (SD).

IV.2.2. Intégration « Gate-Last »

Nous allons présenter dans cette partie l'effet de la suppression de la grille sacrificielle en polysilicium sur la contrainte longitudinale du canal. Il consiste à simuler de manière mécanique un procédé (*Gate-Last*) permettant de retirer le polysilicium (constituant la grille sacrificielle) et d'analyser les relaxations associées, notamment la relaxation de la contrainte due aux zones S/D. Les résultats de simulation que nous allons présenter seront confrontés en partie à des caractérisations physico-chimiques. Les mesures de déformation présentées dans ce paragraphe proviennent d'une collaboration entre le laboratoire de simulation et modélisation (LSM) et celui de caractérisation (LCTE) au sein de CEA-LETI. Les déformations longitudinales (suivant l'axe source drain) sont mesurées par diffraction électronique en précession par N. Bernier (par PED) en cours du procédé *Gate-Last* après CMP de grille.

Avant le retrait de la grille sacrificielle, la cartographie de déformation (PED) associée au dispositif réel (section TEM sur la Fig. IV.9.a) est présentée dans la figure IV.9.b. Une déformation compressive élevée sous la grille (champ vert) est observée d'environ 0.3% due à l'action initiale des S/D surélevés sur le canal. Retenons que la déformation locale provenant de la simulation est calculée par rapport à un cristal relaxé (canal SiGe ici). La référence utilisée pour calculer la déformation est le paramètre a_{SiGe}^0 (paramètre de maille de SiGe de même concentration du cristal relaxé). En revanche, avec la diffraction électronique en précession, on évalue la déformation par rapport à une référence relaxée qui est ici celle du substrat (silicium). De ce fait, pour corréler ces résultats à la simulation mécanique, nous devons effectuer une correction en recalculant le profil de déformation simulé au milieu du canal par rapport au Si (substrat de référence dans le cas de la mesure) selon l'équation IV.1 :

$$\varepsilon_{\text{SiGe}}^{\text{cal}} = \left(\frac{a_{\text{SiGe}}^0}{a_{\text{Si}}^0} \times \varepsilon_{\text{SiGe}}^{\text{sim}} - \frac{a_{\text{Si}}^0 - a_{\text{SiGe}}^0}{a_{\text{Si}}^0} \right) \times 100 \quad (\text{IV.1})$$

où $\varepsilon_{\text{SiGe}}^{\text{sim}}$ est la déformation provenant de la simulation TCAD, a_{Si}^0 est le paramètre de maille de silicium et a_{SiGe}^0 est le paramètre de maille du film SiGe relaxé (23%).

Il devient alors possible de comparer ces deux résultats et de tracer par conséquent les profils correspondants (au milieu du canal figure IV.9.c). Sur cette figure, nous montrons que le profil de contrainte issu de la simulation concorde parfaitement avec celui mesuré par PED (courbes rouge et noire respectivement). Cela permet donc, d'une part, de valider la méthodologie mise en place pour simuler le procédé du transistor 14nm FDSOI, et d'autre part, de confirmer les valeurs des constantes élastiques que nous avons utilisées.

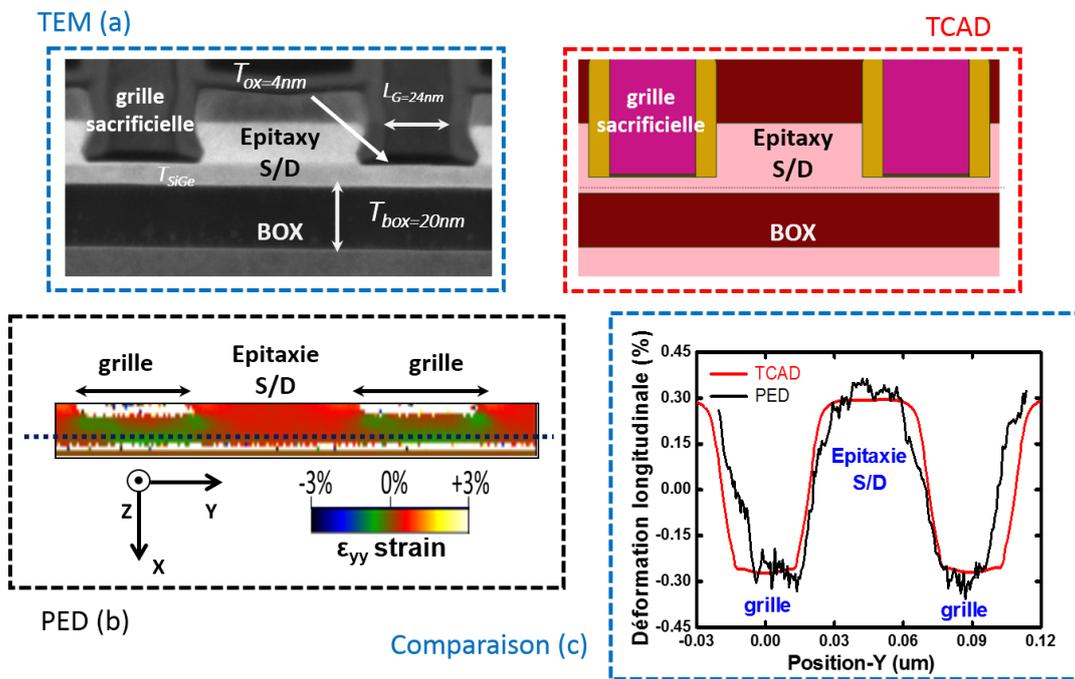


Figure IV.9. Intégration *Gate-Last*: (a) Coupe TEM du transistor pMOS suivant la direction du canal, (b) la cartographie de déformation mesurée par PED et (c) comparaison des profils de la déformation longitudinale mesurés et simulés.

Ensuite, la fabrication intègre une étape de retrait de la grille sacrificielle. De ce fait, la simulation mécanique montre une augmentation de la contrainte au milieu du canal d'environ -387MPa (ce qui correspond à -0.4% en déformation) par rapport au procédé *Gate-First* (courbe noire dans la figure IV.10) après retrait de la grille en polysilicium. Cette amélioration s'explique par le fait que lors de la suppression d'un matériau relativement rigide (polysilicium), la contrainte résiduelle des S/D est plus libre de se relaxer, ce qui améliore la contrainte longitudinale en compression dans le canal. Enfin, après dépôt des métaux de grille (TiN+W), la contrainte du canal

est légèrement impactée (moins de 10%), ce qui correspond bien au résultat expérimental de [Morvan 13].

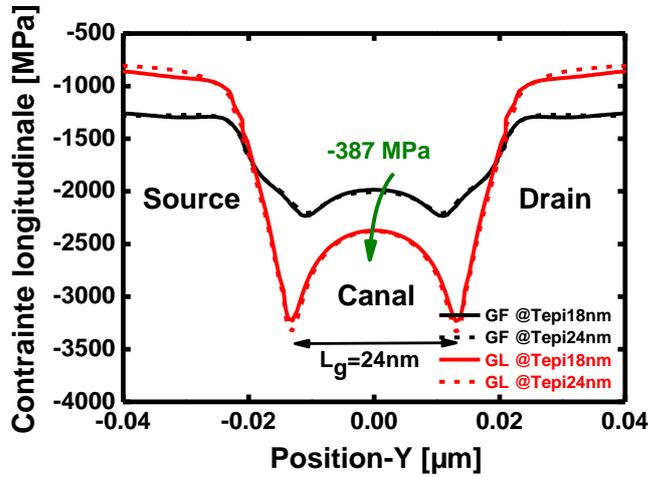


Figure IV.10. Profils de contrainte longitudinale dans le cas d'un canal court ($L_g=24\text{nm}$), où on compare les deux types d'intégration *Gate-First* et *Gate-Last*.

Dans le cas de la mesure PED, le retrait de la grille sacrificielle apporte une amélioration de la déformation beaucoup plus importante (de l'ordre de -1% [Maffini 15]) comparée à la simulation TCAD (-0.4%) le long du canal sous les zones grilles. Cette différence peut s'expliquer en partie par le fait que la préparation TEM de l'échantillon (d'épaisseur de l'ordre de 100nm) induit une relaxation partielle de la contrainte transverse (σ_T), ce qui n'est pas pris en compte dans notre simulation du procédé 2D. En outre, nous avons constaté sur des coupes TEM après retrait de la grille sacrificielle, une consommation supplémentaire du nitrure dans la direction du canal, ce qui peut relaxer davantage les régions S/D.

Reste à ajouter qu'à partir d'une certaine épaisseur d'épitaxie S/D (environ 10nm), l'augmentation de l'épaisseur (Γ_{epi}) entre 18nm et 24nm n'a aucune influence sur la contrainte longitudinale du canal (cf. Fig. IV.10), aussi bien pour une intégration *Gate-First* que pour un procédé *Gate-Last*.

IV.2.3. La technique SAIPS

L'autre moyen récemment intégré dans le procédé de fabrication du transistor 14nm FDSOI de type p, est la technique SAIPS expliquée dans la référence [Grenouillet 13]. L'introduction du Ge (concentration $N_{\text{Ge},\text{SD}}$) entre les S/D surélevés et le canal, produit une compression additionnelle dans le canal. Nous allons comparer ici les contraintes supplémentaires induites par la techniques SAIPS à celles induites précédemment par les S/D (courbes noires figure IV.11). Pour les deux types d'intégration (Gate First et Gate Last), les courbes montrant l'évolution de la contrainte longitudinale sont tracées sur la figure IV.11 en fonction de la position (suivant la direction du transport), pour différentes valeurs de la concentration en Ge dans les zones SAIPS,

de 23% (courbes noires), 38% (courbes rouges) et 53% (courbes bleues). Les courbes à trait plein correspondent au cas où les zones SAIPS ne pénètrent pas sous les espaceurs ($DL_{NGe}=0nm$) alors que les pointillés correspondent à la diffusion de ces zones sous l'espaceur ($DL_{NGe}=6nm$) vers l'intérieur du canal (zone non dopée).

Dans une configuration *Gate-First*, les résultats de la simulation mécanique montrent, une augmentation significative de la contrainte longitudinale dans le canal (-670MPa) par rapport à un transistor 14nm de référence, puisque la quantité ($N_{Ge0,SD}$) est améliorée de 53% (cf. Fig. IV.11.a). Par ailleurs, une amélioration additionnelle d'environ -270MPa est obtenue suite à la diffusion latérale des zones SAIPS vers le canal ($DL_{NGe}=6nm$). Pour un procédé *Gate-Last*, nous obtenons également une augmentation de la contrainte longitudinale lorsque la concentration du Ge et lorsque le recouvrement latéral augmentent, comme le montre la figure IV.11.b. Un gain en contrainte de l'ordre de -900MPa est obtenu lorsque le recouvrement latéral (DL_{NGe}) vers le canal et la concentration du germanium dans les zones SAIPS ($N_{Ge0,SD}$) correspondent respectivement à 6nm et à 53%, par rapport à une concentration en Ge de 23% dans les zones SAIPS.

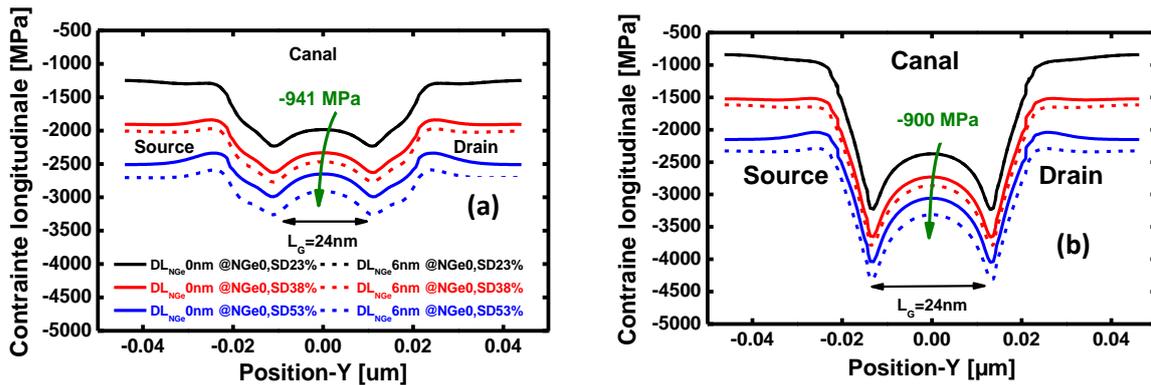


Figure IV.11. Profils de contrainte longitudinale en fonction des caractéristiques des SAIPS et DL_{NGe} par rapport au transistor de référence dans le cas d'intégration (a) *Gate-First* et (b) *Gate-Last*.

IV.2.4. Effets induits par l'isolation STI

IV.2.4.1. Définition du problème

D'un point de vue mécanique, la différence majeure entre des dispositifs périodique et isolé provient principalement de la relaxation due à la gravure STI. En effet, l'isolation STI permet de créer une surface libre perpendiculaire au canal du transistor, ce qui permet une relaxation voire une dégradation de la contrainte initialement présente dans le film SiGe (d'environ -1.6GPa).

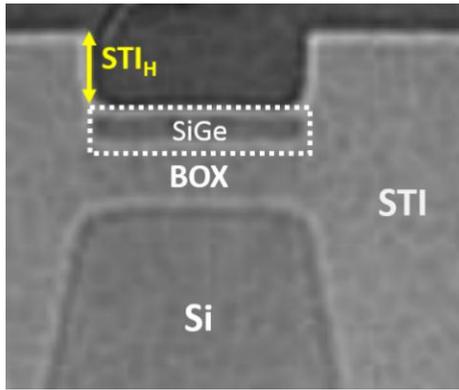


Figure IV.12. Section TEM montrant la variation du niveau STI, représentée par la hauteur de marche entre la surface du film SiGe et la surface de l'isolation STI (STI_H). Tirée de [Golanski 13].

Ainsi, nous avons constaté sur des coupes TEM que le niveau d'oxyde STI est élevé par rapport au niveau du canal, comme le montre la figure IV.12. D'où l'intérêt d'introduire en simulation mécanique un nouveau paramètre (STI_H) décrivant la hauteur de cette marche afin d'évaluer son impact sur la contrainte dans le film SiGe. Nous avons donc étudié l'impact éventuel de ce paramètre en le faisant varier de 0nm (au niveau du canal) à 18nm (au niveau de l'épitaxie S/D), comme le montre la figure IV.13.

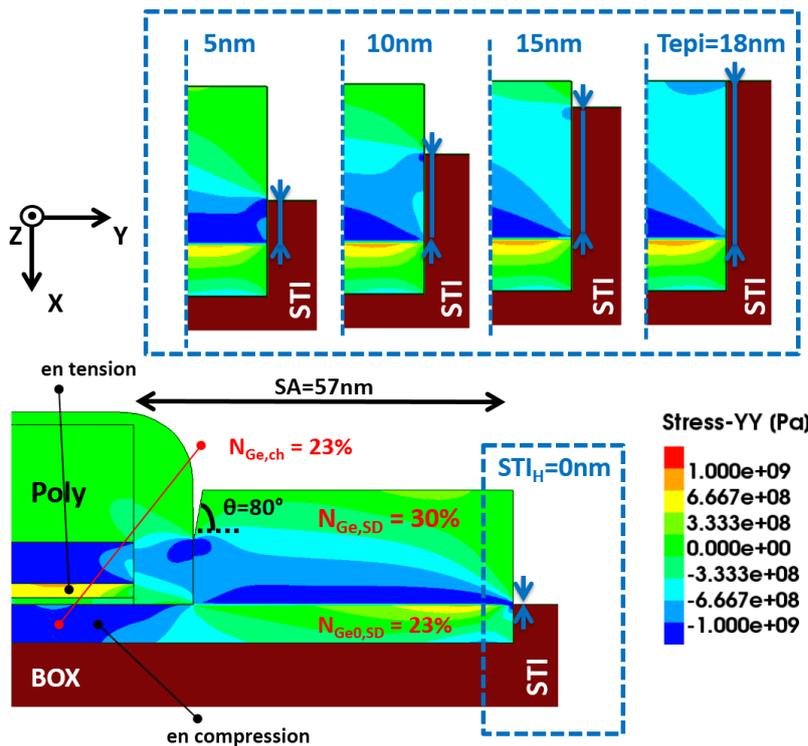


Figure IV.13. La cartographie 2D de la contrainte longitudinale (selon l'axe y) en fonction du paramètre STI_H : varie dans ce cas, entre 0nm et 18nm (TCAD).

Dans le cas où le paramètre STI_H est élevé ($STI_H = Tepi$), les épitaxies surélevées sont libres de se relaxer, qui transfèrent à leur tour des contraintes compressives dans le canal. Sinon, elles se relaxent vers l'extérieur du transistor quand le niveau de STI_H est faible. Cela veut dire, qu'à faible niveau de STI ($STI_H = 0nm$), une surface libre perpendiculaire aux S/D du transistor se crée et permet à ces zones d'épitaxies de se relaxer partiellement vers l'extérieur de la structure. Cependant,

le gain maximal en contrainte longitudinale apporté dans le canal par une hauteur élevée de STI ($STI_H=18\text{nm}$) par rapport à une hauteur de STI faible ($STI_H=0\text{nm}$) est d'environ -200MPa (cf. Fig. IV.14).

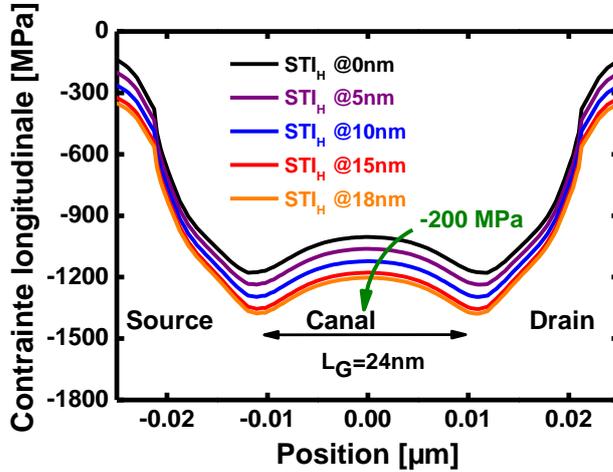


Figure IV.14. Evolution de la contrainte longitudinale pour un oxyde STI dont la surface est distante de la surface du canal de $STI_H=0\text{nm}$ à $STI_H=18\text{nm}$ (STI au niveau des S/D).

IV.2.4.2. Gain apporté par les S/D

Maintenant, nous allons nous focaliser sur la configuration isolée du transistor, de façon à évaluer en valeur absolue le gain de contrainte fourni par les S/D surélevés en Ge dans le canal par rapport à l'étape précédente du procédé (formation d'espaceur). Nous allons évaluer dans le cas d'une structure symétrique ($SA=SB$) et dissymétrique ($SA \neq SB$) le gain en contrainte apporté par les S/D. La variation de ce gain est représentée sur la figure IV.15 en fonction des dimensions de la zone active ($SA+SB$). On observe d'abord que toutes les courbes se rejoignent vers une valeur asymptotique (σ_{max}). Une explication possible serait que la longueur de l'active dans ce cas est suffisamment grande par rapport à l'épaisseur de l'épitaxie (correspond à T_{epi} grand) traduisant une saturation des zones S/D (correspond à la contrainte maximale que les S/D peuvent transférer dans le canal). On observe ensuite deux types de dégradation de la contrainte pour les petites longueurs d'active ($SA+SB$), le premier est dû à la diminution de la longueur de la zone active avec une dégradation de contrainte d'environ 600MPa , alors que le second type (200MPa) est causé par le STI ($STI_H=0\text{nm}$).

L'amélioration de la contrainte due aux S/D peut être modélisée phénoménologiquement. On obtient alors les expressions IV.2 et IV.3 pour les structures symétrique ($SA=SB$) et dissymétrique ($SA \neq SB$) respectivement. Dans ces équations, σ_{sym} et σ_{asym} représentent la variation de contraintes apportée au milieu du canal par les S/D dans le cas symétrique et dissymétrique respectivement, σ_{max} est la valeur asymptotique de la contrainte prise à l'infini, l correspond à la longueur d'active ($SA+SB$) et le paramètre $1/\lambda$ est proportionnel à la rigidité des bords :

$$\sigma_{\text{sym}} = \sigma_{\text{max}}^{(\text{SA}=\text{SB})} \left(1 - e^{-\frac{1}{\lambda}} \right) \quad (\text{IV.2})$$

$$\sigma_{\text{asym}} = \sigma_{\text{max}}^{(\text{SA} \neq \text{SB})} \left(1 - e^{-\frac{2l-\text{SB}}{\lambda}} \right) \quad (\text{IV.3})$$

Le tableau IV.3 donne les valeurs du paramètre $1/\lambda$ déduites des simulations. Sa variation est cohérente avec le fait que la condition de symétrie imposée dans le cas périodique revient à imposer la présence d'un bord rigide latéralement (à une distance de $SD/2$ de la grille, cf. figure IV.4.b). Le STI impose une condition de bord qui d'autant moins rigide que la marche est plus grande ($STI=0$). En effet, un dispositif adjacent dans une configuration périodique est plus rigide que l'oxyde STI de la structure isolée. On a donc : $1/\lambda$ (périodique) $>$ $1/\lambda$ ($STI_H=18\text{nm}$) $>$ $1/\lambda$ ($STI_H=0\text{nm}$).

Tableau IV.3. Valeurs associées au paramètre $1/\lambda$ extrait selon les équations IV.2 pour trois types d'architectures : isolée ($STI_H=0\text{nm}$), isolée ($STI_H=18\text{nm}$) et périodique (STI à l'infini), dont $SD=64\text{nm}$ et $SA=57\text{nm}$.

Type d'architecture	Paramètre de calibration $1/\lambda$ ($\times 10^{-3} \text{ nm}^{-1}$)
Périodique	12.5
Isolée ($STI_H=18\text{nm}$)	4.17
Isolée ($STI_H=0\text{nm}$)	3.13

Le modèle proposé dans le paragraphe précédent décrivant le gain en contrainte apporté par les S/D surélevés, reproduit bien les résultats de simulation, que ce soit pour les dispositifs symétriques ou asymétriques (cf. Fig. IV.15.b). Ainsi, nous avons remarqué que le gain fourni par les structures symétriques est toujours supérieur à celui donné par les structures asymétriques. Ceci est dû au fait que si l'architecture est asymétrique, le gain en contrainte provient seulement d'un côté (source ou drain), contrairement au cas symétrique, où nous avons simultanément la contribution des deux.

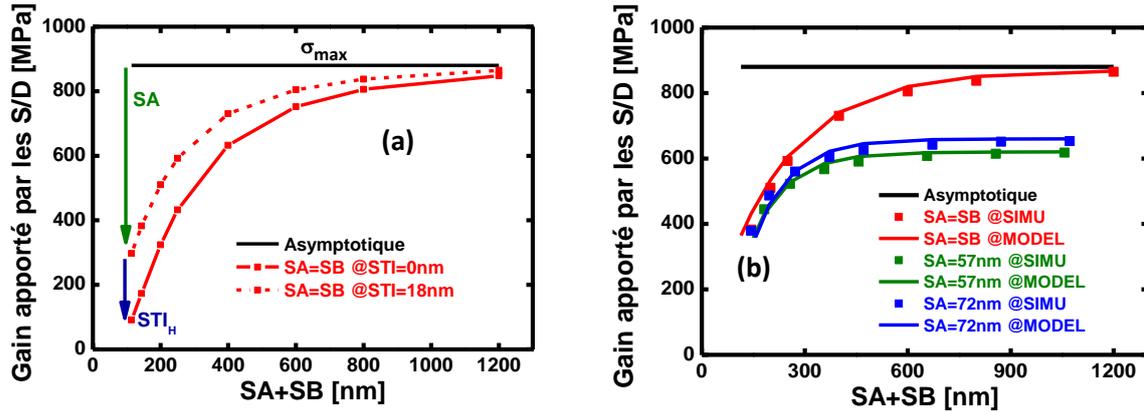


Figure IV.15. Évaluation du gain apporté par les S/D surélevés en fonction de SA+SB pour différentes hauteurs STI (STI_H): (a) cas symétrique ; (b) cas dissymétrique avec $\lambda=220$ et $STI_H=18$ nm. La simulation=pointillé et le modèle=trait plein,

IV.2.5. Synthèse

La figure IV.16 synthétise le niveau de contraintes induit par les principales étapes du procédé dans les deux types d'architecture « isolée » et « périodique » pour les dispositifs courts ($L_g=24$ nm). Les valeurs de contrainte sont prises à 1nm de l'interface canal/IL-SiO₂ (au centre de la grille).

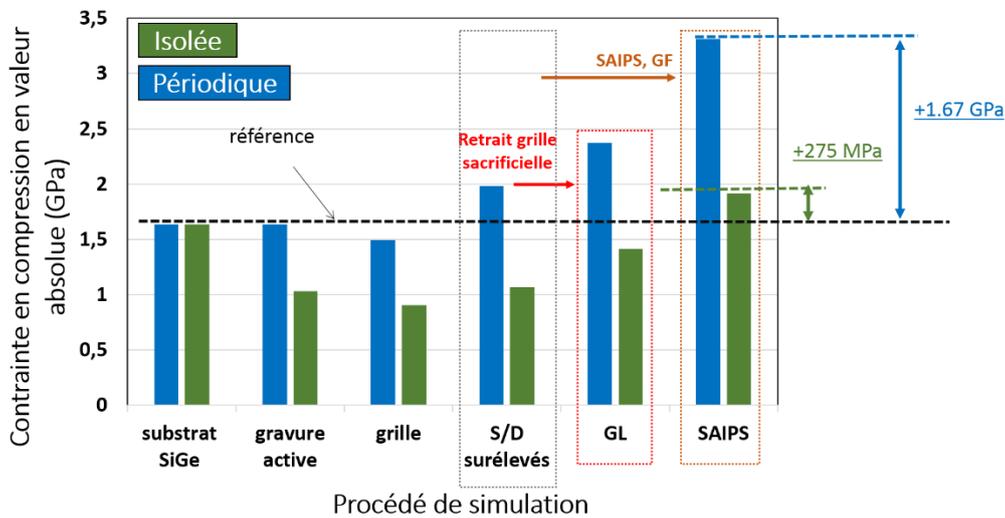


Figure IV.16. Niveau de contrainte induit par les principales étapes du procédé pour les deux types d'architectures isolée et périodique ($L_g=24$ nm).

En résumé, les améliorations totales apportées par l'ensemble de solutions d'ingénierie de contraintes s'élèvent à 1.67GPa (cas périodique) et 275MPa (cas isolé) en valeur absolue par rapport au substrat SiGe (illustrée par une référence sur la figure IV.16). Comme nous l'avons déjà mentionné (paragraphe §IV.1.2), nous avons mal pris en compte dans notre simulation mécanique

l'étape SAIPS, en particulier après l'isolation STI (du fait de la limitation du logiciel pour simuler exactement ce procédé de fabrication) [Plantier 14]. Compte tenu du fait que cette étape se place réellement après formation d'espaceur, nous sous-estimons donc la valeur réelle de la contrainte dans les zones SAIPS à cause de la relaxation induite par STI. Sinon, le gain en contrainte associé devra être nettement amélioré (supérieur à -498MPa), puisqu'il n'y aura pas de relaxation de ces zones pendant l'isolation. Néanmoins, la simulation mécanique des autres étapes du procédé restera toujours valable quels que soient le procédé ou la caractéristique mécanique du matériau (élastique/viscoélastique).

IV.3. CONSEQUENCES SUR LES PERFORMANCES ELECTRIQUES

Maintenant que nous avons mis en place une méthodologie de simulation du procédé de fabrication et simulé l'architecture complète du transistor FDSOI avec l'outil SProcess, nous allons effectuer des simulations électriques via l'outil SDevice du courant de drain et de la capacité grille-canal. Nous exploiterons ces simulations électriques en utilisant une méthodologie similaire à celle utilisée expérimentalement. La mobilité sera extraite à faible polarisation de drain ($V_D=10\text{mV}$) via la méthode split-CV, de façon à évaluer le gain apporté par la contrainte mécanique dans le canal en termes de mobilité. Pour décrire le transport nous utiliserons un modèle piézorésistif (appelé MCmob) valide à fortes contraintes permettant de proposer une interprétation au premier ordre de l'impact de la contrainte sur le transport des trous.

IV.3.1. Procédé de simulation électrique

Ce sous chapitre sera consacré à l'évaluation du gain en mobilité induit par la variation de la contrainte dans le canal. Pour cela, le modèle de mobilité MCMob sera mis à profit pour étudier l'impact de ces champs de contraintes présents dans le transistor 14nm FDSOI (S/D, *Gate-Last*, SAIPS, ...) sur leurs performances électriques. Dans la suite du chapitre, nous ne détaillerons pas les différentes équations du modèle ni la calibration avec UTOXPP – ces informations sont disponibles dans [Nier 13]. Nous nous placerons du point de vue du simulateur et nous expliquerons comment les simulations électriques peuvent être utilisées pour expliquer l'impact de la contrainte sur la mobilité.

Nous disposons d'un outil de transport basé sur l'approche piézo-résistive permettant d'évaluer la mobilité des trous dans les transistors fortement contraints (valable entre -3.5 et 3.5 GPa) pour différentes orientations du canal ($\langle 100 \rangle$ et $\langle 110 \rangle$) sur un substrat de type (100). Il s'agit donc d'un modèle MCmob calibré sur Monte-Carlo 3D intégré dans la chaîne de logiciels TCAD Sentaurus de Synopsys [Sentaurus 14]. Sa validité s'étend à un polynôme d'ordre six de la variation de la mobilité des trous avec la contrainte le long du canal. En raison de l'impact non négligeable du confinement quantique dû au champ électrique sur le transistor 14FDSOI, la calibration du modèle MCmob sur Monte-Carlo n'était pas bien adaptée initialement aux couches d'inversion. Il a été démontré par Nier *et al.*, que l'utilisation d'un solveur avancé de type UTOXPP (reposant sur un modèle de Schrödinger k.p Poisson auto-cohérent) a permis de déterminer l'ensemble des paramètres de MCmob, de façon à prendre en compte la dépendance de la structure de bande à la déformation et au champ électrique [Nier 13].

Dans la mesure où nous voulons isoler le rôle des modifications de contraintes mécaniques indépendamment des modifications éventuelles de la diffusion des dopants, nous avons utilisé un

profil de dopage abrupt (les valeurs de dopage dans S/D et canal sont égales respectivement à $-5 \times 10^{20} \text{cm}^{-3}$ et $2 \times 10^{15} \text{cm}^{-3}$), comme nous pouvons le voir en figure IV.17.

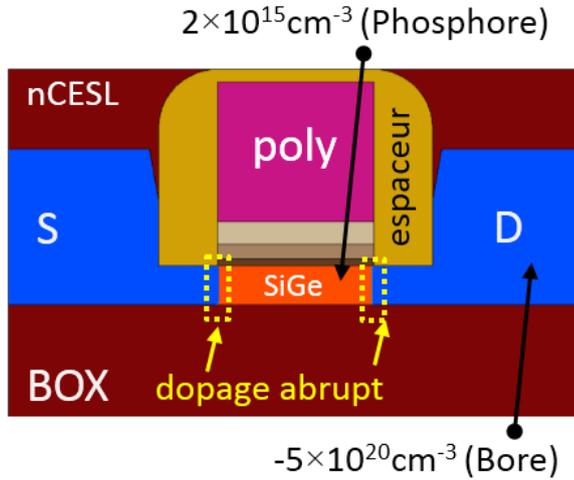


Figure IV.17. Schéma illustratif du dopage abrupt pris au niveau du pied d'espaceur dans le cas de la simulation électrique (TCAD).

IV.3.2. Cas des dispositifs périodiques

IV.3.2.1. Influence de la longueur de grille

Les courbes de la figure IV.18 montrent les caractéristiques $I_D(V_G)$ et $C_{gc}(V_G)$ obtenues par simulation en fonction de la polarisation de la grille (V_G) pour différentes longueurs de grille ($L_g=24, 50, 100$ et 1000nm). La figure IV.18.a représente alors la variation du courant de drain à faible polarisation de drain ($V_D=10\text{mV}$), tandis que la figure IV.18.b représente la capacité grille-canal correspondante. Rappelons que la méthode « split-CV » exprime la mobilité effective sous la forme d'une fonction de la charge d'inversion Q_{inv} selon [Takagi 94] :

$$\mu_{\text{eff}}(Q_{\text{inv}}) = \frac{L_{\text{eff}}}{W_g} \cdot \frac{I_D}{Q_{\text{inv}} \cdot V_D} \quad (\text{IV.4})$$

W_g est la largeur de grille. Q_{inv} est l'intégrale de la capacité intrinsèque entre la grille et le canal. L_{eff} correspond à la longueur effective du transistor exprimée selon [Rozeau 15] par l'expression :

$$L_{\text{eff}} = L_g + \Delta L \quad (\text{IV.5})$$

où L_g est la longueur physique de la grille et ΔL est considéré constant pour toutes longueurs de grille. Il vaut 6nm pour le nœud technologique 14nm d'après [Rozeau 15].

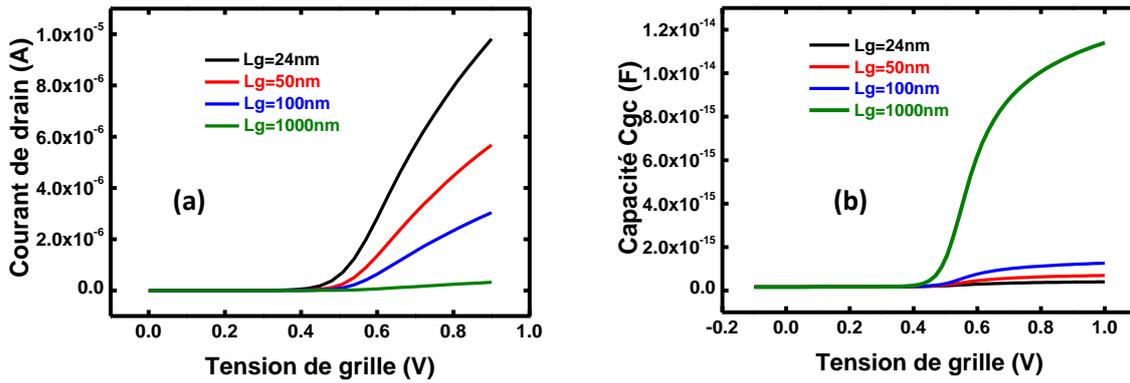


Figure IV.18. Variation du courant (a) et de la capacité (b) simulés en fonction de la longueur de grille pour différentes tensions de polarisation V_G .

La mobilité extraite est tracée en fonction de la charge d'inversion (Fig. IV.19), de façon à analyser l'impact de la contrainte sur la mobilité des trous en fonction de la longueur de grille. Comme la méthode split-CV souffre d'artefacts sous le seuil ou à proximité du seuil, nous ne discuterons dans ce sous-chapitre que sur le comportement au-dessus du seuil (parties non hachurées).

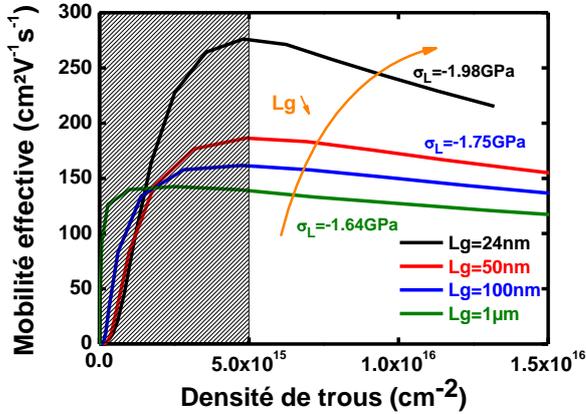


Figure IV.19. Profils de mobilité effective extraits par la méthode split-CV en fonction de la longueur de grille. σ_L la valeur de la contrainte longitudinale prise au milieu du canal.

Finalement, les simulations numériques $I_D V_G$ et $C_{gc} V_G$ présentées au début de ce paragraphe ont permis d'extraire la mobilité effective des trous en fonction de l'évolution des contraintes mécaniques induites dans le canal du transistor par la grille. Comme prévu, la diminution de la longueur de la grille (L_g) de $1\mu\text{m}$ à 24nm engendre, d'une part, une amélioration significative de la contrainte en compression dans le canal ($+340\text{MPa}$ en valeur absolue) et d'autre part, une amélioration directe de mobilité de $+45\%$ (à une charge d'inversion donnée : $1.2 \times 10^{16} \text{cm}^{-2}$).

IV.3.2.2. Influence de l'épaisseur de l'épitaxie S/D

Nous allons évaluer maintenant le gain en mobilité apporté par la longueur (SD) et l'épaisseur (T_{epi}) des épitaxies surélevées S/D. La figure IV.20 présente les courbes de mobilités associées à la variation de longueur de la zone active (SD=64nm, 80nm et 100nm) et à l'augmentation de l'épaisseurs des S/D (T_{epi} = 5nm, 10nm et 18nm).

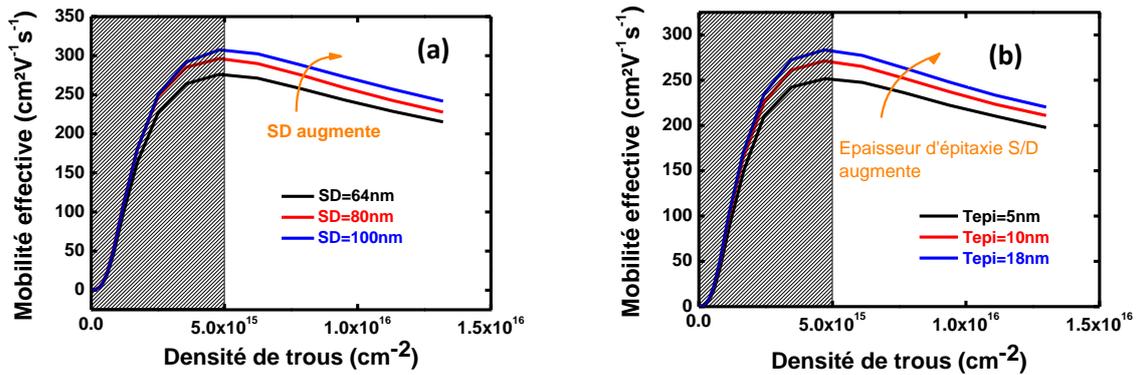


Figure IV.20. Mobilité des trous en fonction de la charge d'inversion pour (a) différentes longueurs et (b) pour épaisseurs des épitaxies S/D.

Dans ce paragraphe, l'origine de l'amélioration de mobilité est due à la relaxation de la contrainte des zones S/D surélevées (fortement compressive) dans le canal. A charge d'inversion donnée ($N_{\text{in}}=1.1 \times 10^{16} \text{ cm}^{-2}$), le fait d'augmenter la taille des SD (de 64nm à 100nm dans la figure IV.20.a) et leur épaisseur T_{epi} (de 5nm à 18nm dans la Fig. IV.20.b) améliore la mobilité effective par environ 22% ($\Delta\mu_{\text{eff}} = 47 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$). Ce résultat traduit effectivement l'amélioration de la contrainte dans le canal.

IV.3.2.3. Influence des zones SAIPS

D'un point de vue mécanique, l'introduction des zones fortement compressives (SAIPS) sous les S/D en SiGe, permet d'avoir un niveau de contrainte important dans le canal du transistor 14nm FDSOI.

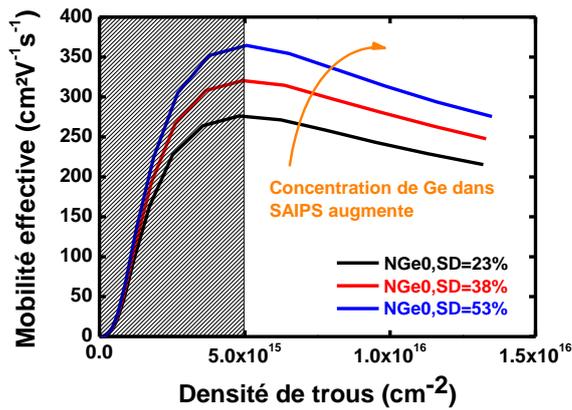


Figure IV.21. Mobilité des trous en fonction de la charge d'inversion pour différentes concentrations ($N_{Ge0,SD}$) de germanium dans les zones SAIPS.

La figure IV.21 représente l'évolution des profils de mobilité effective extraite par la technique split-CV en fonction de la concentration en germanium dans les zones SAIPS ($N_{Ge0,SD}$). Cette concentration varie entre 23% et 53% (le recouvrement latéral « DL_{NGe} » n'est pas considéré sur cette figure). Pour une charge d'inversion égale à $1.1 \times 10^{16} \text{ cm}^{-2}$, on obtient un gain en mobilité d'environ 28% ($64 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) par rapport à la structure de référence 14nm FDSOI (courbe noire) quand la concentration du germanium dans les SAIPS est de 53%. Cela est cohérent avec le gain en compression (selon la direction du transport) d'environ 33% obtenu par simulation mécanique (665MPa avec 53% du Ge dans SAIPS au lieu de 1675MPa par la structure de référence). Ces résultats confirment donc l'intérêt d'intégrer des zones SAIPS fortement contraintes proches du canal de conduction.

IV.3.2.4. Influence de l'intégration « Gate-Last »

Nous nous intéressons ici à la mobilité apportée par le niveau de contraintes dans le canal après retrait de la grille sacrificielle (polysilicium) dans le procédé Gate-Last. Dans le paragraphe §IV.2.2, l'influence du procédé *Gate-Last* a été déjà évaluée d'un point de vue mécanique par rapport à une configuration *Gate-First*. Nous obtenons une augmentation de la contrainte longitudinale au milieu du canal d'environ 387MPa après retrait de la grille sacrificielle, ce qui correspond à 20% du gain par rapport au procédé *Gate-First*. Nous allons maintenant décrire l'impact de cette étape du procédé (retrait du polysilicium) sur le transport dans les dispositifs 14nm FDSOI contraints de type p.

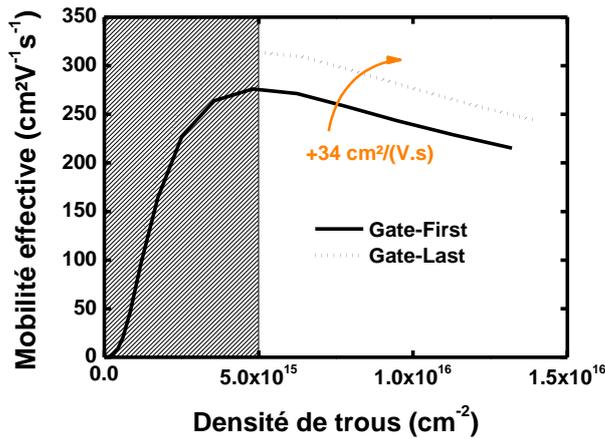


Figure IV.22. Profils de mobilité effective. *Gate-First* = traits pleins et *Gate-Last* = pointillés ($L_g=24\text{nm}$ et $N_{\text{Ge0,SD}}=23\%$).

La figure IV.22 illustre ici les profils de mobilité effective en fonction de la densité des porteurs pour les deux types d'intégrations. Après retrait de la grille sacrificielle, on obtient une amélioration de mobilité des trous d'environ +13% par rapport au procédé Gate-First. De la même manière et indépendamment du type d'intégration, cette mobilité peut s'améliorer avec la pénétration latérale du germanium depuis les zones SAIPS vers le canal ($DL_{\text{NGe}}=6\text{nm}$).

IV.3.3. Cas des dispositifs isolés

D'après le paragraphe §IV.2.5, l'amélioration totale de la contrainte apportée par les différentes solutions d'ingénierie de contrainte est moins élevée dans le cas isolé (-275MPa) que dans le cas périodique (-1.67GPa). Nous pouvons prédire que l'évolution de cette contrainte présentera également des conséquences similaires sur la mobilité.

IV.3.3.1. Influence de la couche d'oxyde STI (STI_H)

Comme nous l'avons vu précédemment, l'effet de la couche d'oxyde STI n'est pas neutre vis-à-vis de la contrainte dans le canal. En effet, pour les transistors courts le gain en compression apporté par les zones S/D est différent (-200MPa/ $STI_H=18\text{nm}$), lorsque le niveau de la couche d'oxyde STI est élevé par rapport au niveau du canal (épaisseur STI_H comprise entre 0 et 18nm). Pour savoir quels sont les niveaux de mobilité qui peuvent être atteints sous l'effet du STI_H , nous allons effectuer des simulations électriques et des extractions de mobilité analogues au paragraphe précédent §IV.3.2.

En effet, moins de mobilité effective est attendue lorsque l'épaisseur d'oxyde (STI_H) est au niveau du canal (courbe noire sur la figure IV.23). A une charge d'inversion donnée ($N_{\text{in}}=1.1 \times 10^{16}\text{cm}^{-2}$), les -200MPa apportés par l'épaisseur de l'oxyde STI ($STI_H=18\text{nm}$) se traduisent ici directement par $55\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ de mobilité additionnelle (flèche orange), ce qui correspond à 33% du gain en mobilité environ.

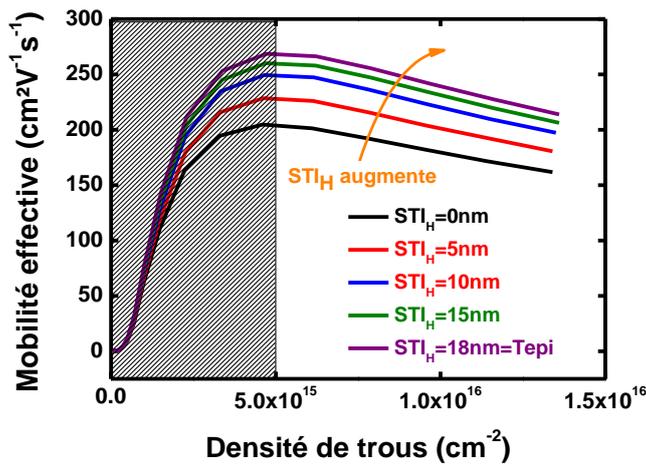


Figure IV.23. Mobilité des trous en fonction de la charge d'inversion pour différentes hauteurs de STI (STI_H).

IV.3.3.2. Influence de la contrainte résiduelle dans la couche TiN

Afin de comprendre l'effet de la grille en TiN sur le transport, nous allons effectuer des simulations mécanique et électrique sur des dispositifs courts ($L_g=24\text{nm}$). Le paramètre de simulation le plus important dans ce cas est la valeur de la contrainte intrinsèque du TiN déposé. Cette valeur est très dépendante des conditions et du procédé de dépôt, comme nous l'avons vu au début de ce chapitre (voir paragraphe §IV.1.4). Pour étudier l'effet de la déformation liée à la grille TiN induite dans le canal sur la performance du pMOS 14nm FDSOI, quatre valeurs de contraintes (-2.4GPa, 0.0GPa, 2.4GPa et 5.4GPa) ont été choisies dans le TiN, dont la valeur correspondant au cas réel est également prise en compte (courbe noire).

Pour des contraintes en tension, la gravure de la grille TiN apporte une relaxation latérale induisant une compression dans le canal, bénéfique au transport (en particulier dans les canaux courts). En revanche, la grille TiN utilisée dans notre étude est en compression (environ -2.4GPa). Elle engendre, dans la direction du transport, une contrainte en tension dans le canal, qui est néfaste pour les pMOS. En résumé, par rapport à la configuration de référence 14nm FDSOI (courbe noire sur la figure IV.24), l'introduction d'une contrainte en forte compression d'environ 5.4GPa, permet d'introduire 15% de gain supplémentaire sur la mobilité effective.

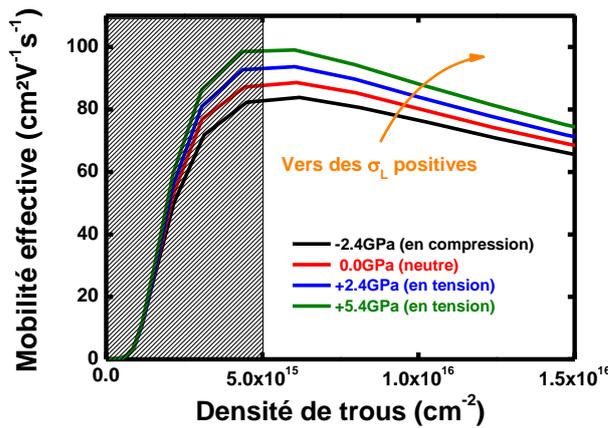


Figure IV.24. Mobilité des trous en fonction de la charge d'inversion pour différentes valeurs de la contrainte intrinsèque du TiN déposé.

IV.3.3.3. Cas d'une simulation viscoélastique

La plupart des matériaux utilisés dans la fabrication du transistor 14nm FDSOI suivent les lois de l'élasticité linéaire à basse température. Cela se traduit par une relation linéaire et réversible entre la déformation du matériau et la contrainte qui lui est appliquée (voir paragraphe §I.1.2). Par contre, des matériaux tels que l'oxyde (SiO_2) et le nitrure (Si_3N_4) présentent un comportement différent (visqueux) à haute température, notamment pendant le dépôt d'oxyde STI (>1000°C) [Strobl 07]. Comme nous pouvons le voir dans le tableau IV.4, le dépôt réel d'oxyde STI se fait à différentes températures. Cela signifie que les propriétés d'élasticité reliant linéairement et de manière réversible la contrainte à la déformation ne sont plus valables à haute température.

Tableau IV.4. Le procédé réel du dépôt d'oxyde STI pour un transistor 14nm FDSOI.

Etape de dépôt d'oxyde (STI)	Température (en °C)	Temps (en min)
1 (étape)	de 25 (ambiante) à 600	1.6×10^{-8}
2	de 600 à 1050	110
3	1050	32
4	de 1050 à 1016	40
5	de 1016 à 600	135
6	de 600 à 25	1.6×10^{-8}

Comme nous l'avons cité au premier chapitre, l'outil SProcess [Sentaurus 14] présente deux modèles permettant de reproduire le comportement viscoélastique de l'oxyde et du nitrure. Le premier est le modèle du solide linéaire standard (non utilisé dans cette étude). Le second modèle est celui de *Maxwell* combinant en série les déformations élastiques ϵ_{ela} et les déformations visqueuses ϵ_{vis} . La déformation totale s'exprime comme :

$$\varepsilon_{\text{tot}} = \varepsilon_{\text{ela}} + \varepsilon_{\text{vis}} \quad (\text{IV.5})$$

Ainsi, la vitesse de déformation $\dot{\varepsilon}$ selon le modèle de Maxwell s'écrit :

$$\dot{\varepsilon} = \frac{\dot{\sigma}}{G} + \frac{\sigma}{\eta} \quad (\text{IV.6})$$

avec G le module de l'élasticité et η la viscosité du matériau

En raison de sa formulation largement utilisée, nous avons choisi le modèle de « Maxwell » pour tenir compte du caractère viscoélastique de l'oxyde et du nitrure [Rafferty 89] [Hoffmann 00]. Les paramètres de viscosité utilisés ici proviennent de l'*AdvancedCalibration* de *Sentaurus* [Sentaurus 14]. Bien que ces paramètres ne soient pas tout à fait calibrés aux données expérimentales, ils restent néanmoins pratiques pour évaluer de manière qualitative l'impact du dépôt d'oxyde (pendant l'isolation STI) sur la contrainte dans le canal des transistors 14nm FDSOI.

Pour chaque matériau de la structure, nous allons définir à la fois son expression d'Arrhenius selon l'équation IV.7 et ses coefficients de viscoélasticité associés (tableau IV.5) :

$$\eta(T) = V_0 \times e^{\left(\frac{V_1}{K_B T}\right)} \quad (\text{IV.7})$$

où η représente la viscosité de cisaillement, T est la température et K_B est la constante du Boltzmann. Généralement, la valeur V_1 est négative et la viscosité de cisaillement (η) décroît avec l'augmentation de la température.

Tableau IV.5. Valeurs des coefficients viscoélastiques d'oxyde et du nitrure (1poise= 10^{-1} Pa.s) utilisées par rapport un matériau élastique (cas du silicium). Tirées d'Advanced Calibration [Sentaurus 14].

Matériau	V_0 (poise)	V_w
Oxyde (SiO_2)	5.25×10^4	-2.42
Nitrure (Si_3N_4)	1.3×10^6	-2.42
Silicium (élastique)	1×10^{40}	0

En simulation, imposer un comportement élastique à un matériau quelconque revient à régler son paramètre de viscosité V_0 à une valeur suffisamment grande (par exemple à 1×10^{40} poise), ce qui permet d'annuler la contribution visqueuse (η) de l'équation IV.6. Comme montrée sur la figure IV.25, la contrainte initiale dans le film du SiGe est grandement relaxée pendant le dépôt d'oxyde STI ($T > 1000^\circ\text{C}$), ce qui engendre une dégradation en mobilité supplémentaire par rapport au cas élastique (représentée par la couleur bleue sur la figure). Cette dégradation dépend également de la hauteur d'oxyde STI (STI_H). Pour finir, nous allons évaluer la variation de mobilité que la simulation viscoélastique peut engendrer. Pour une hauteur élevée de STI ($\text{STI}_H = 18\text{nm}$), la dégradation en mobilité apportée par une simulation viscoélastique par rapport à une simulation élastique est de 31% en fin du procédé. Ce résultat montre à quel point il est important d'utiliser

des simulations viscoélastiques reproduisant le dépôt STI, particulièrement dans une configuration isolée.

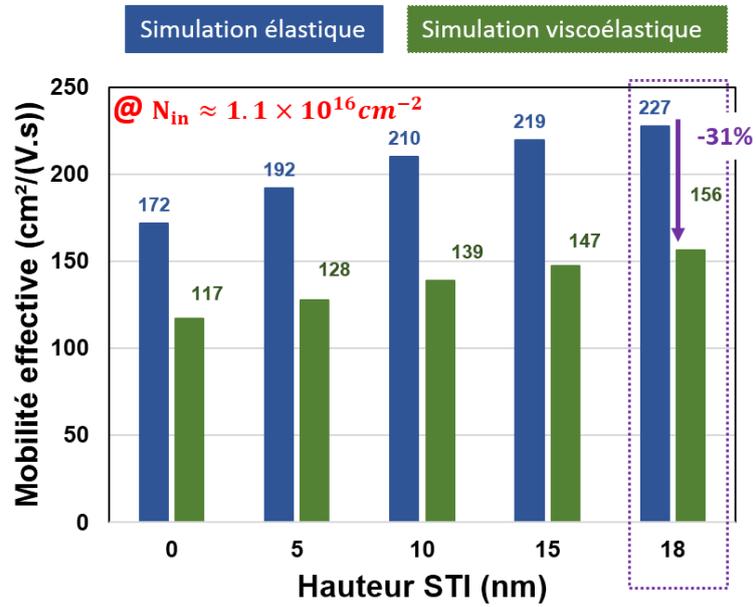


Figure IV.25. Comparaison de la mobilité effective induite par les simulations viscoélastique et élastique ($N_{in}=1.1 \times 10^{16} \text{ cm}^{-2}$).

IV.4. CONCLUSION DU CHAPITRE IV

Dans ce chapitre nous avons traité plusieurs techniques permettant de continuer l'amélioration des transistors jusqu'au nœud 14nm. Dans un premier temps, sous l'hypothèse des matériaux élastiques, nous avons simulé une nouvelle structure FDSOI permettant d'augmenter la contrainte dans le canal via différentes techniques d'ingénierie de contrainte. En plus des effets grille et S/D, deux approches ont été également proposées afin d'augmenter la contrainte dans le canal. La première était basée sur la suppression de la grille sacrificielle pendant le procédé *Gate-Last*. La seconde approche permettait d'augmenter localement la concentration en germanium à travers la technique SAIPS sous l'épitaxie S/D. Dans un second temps, malgré l'incertitude que nous avons sur la fiabilité des paramètres de viscosité utilisés, sous l'hypothèse des matériaux viscoélastiques, nous avons pu prédire une dégradation de la contrainte résiduelle au niveau du film SiGe pendant le dépôt d'oxyde STI.

En résumé, nous avons montré à l'aide de simulations mécaniques et électriques que les SAIPS et l'intégration *Gate-Last*, peuvent être utilisées comme une solution incontournable pour améliorer les performances du transistor pMOS en technologie FDSOI pour le nœud 14nm. Cependant, ces deux solutions peuvent aussi être combinées pour générer une contrainte en compression additionnelle dans le canal. Finalement, le dépôt de l'oxyde STI à fort budget thermique (typiquement $>1000^{\circ}\text{C}$), entraîne une viscosité d'oxyde et de nitrure. Cela veut dire que l'hypothèse d'élasticité linéaire n'est plus valable pendant ce dépôt. Afin de simuler correctement cet effet, nous avons effectué des simulations viscoélastiques montrant une relaxation supplémentaire de la contrainte du film SiGe pendant le dépôt d'oxyde STI. Cela avait donc un effet néfaste sur le transport pour ce type de dispositifs. En revanche, après cette étape (formation d'oxyde STI), nous avons démontré que la simulation élastique reste toujours valable pour décrire l'évolution de la contrainte pour les autres étapes du procédé.

CONCLUSION GENERALE

BILAN GENERAL

Ce travail de thèse s'inscrit dans un contexte de recherche de nouvelles solutions faisant suite à la quête d'une performance toujours plus grande des dispositifs ayant atteint leurs limites de miniaturisation (les architectures CMOS actuels sont de l'ordre de la dizaine de nanomètres). Pour les technologies CMOS sub-20nm, deux architectures de transistors ont été étudiées. L'architecture nMOS à triple-grille ainsi que celle du transistor pMOS FDSOI pour le nœud technologique 14nm, élaborés au CEA-LETI. L'objectif de cette étude était d'évaluer comment les contraintes mécaniques modifient les performances électriques dans les composants contraints, de façon à proposer à terme des directives adéquates d'ingénierie de contraintes. Les résultats de déformation effectués par NBED et PED nous ont permis de valider les simulations mécaniques du procédé et les valeurs des constantes d'élasticité, prises en compte aussi bien pour le transistor à triple-grille que pour celui du transistor FDSOI.

Dans le premier chapitre nous avons rappelé l'origine de la contrainte mécanique dans les procédés microélectroniques (intentionnelle/non-intentionnelle) avant de présenter d'une part les propriétés d'élasticité linéaire du silicium, en définissant le tenseur d'élasticité reliant la déformation du matériau à la contrainte qui lui est appliquée, et d'autre part, le tenseur de piézo-résistivité du silicium reliant la variation de la résistivité à la contrainte mécanique. Différentes techniques sont employées pour intégrer la contrainte mécanique dans le canal et analyser par conséquent son état de contrainte dans le canal.

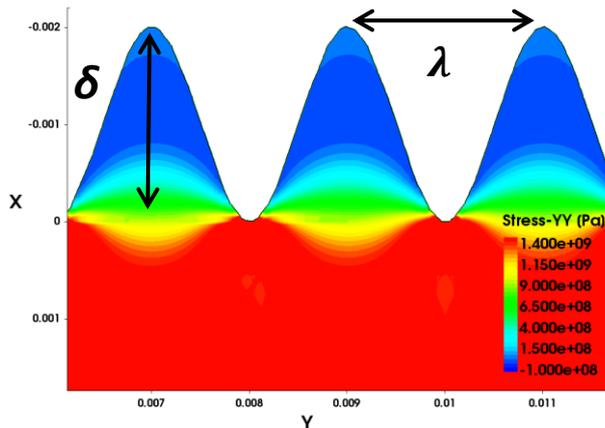
Dans le deuxième chapitre, le modèle de transport théorique basé sur l'approche classique dérive-diffusion à travers un transistor classique à effet de champ nous a permis d'étudier la mobilité en fonction de différents mécanismes d'interaction selon une loi de Mathiessen semi-empirique. Deux méthodes permettant d'extraire la mobilité ont été utilisées afin d'interpréter le transport dans les transistors à triple-grille. La plus simple consistait à mesurer le courant de drain sous l'influence d'un champ magnétique perpendiculaire à la trajectoire des porteurs. La mobilité extraite est intimement liée à l'effet magnétorésistance exercé par le champ B sur les porteurs dans le canal. A cause de nombreux problèmes techniques liés au banc de mesure, cette technique n'a pas pu être pleinement utilisée durant cette thèse. La deuxième méthode (split-CV) nécessitait quant à elle d'utiliser des modèles de transport valables à faible inversion. Nous avons mis à profit également à travers une modélisation tridimensionnelle (via FlexPDE) l'effet magnétorésistance dans un transistor à triple grille, dont la condition $W/L \gg 1$ n'est plus vérifiée.

Dans le troisième chapitre, nous avons étudié différentes méthodes évaluant la contrainte mécanique et le transport électronique dans les transistors nMOS à triple-grille sur substrats SOI allant de la mesure en température du courant de drain jusqu'à l'extraction de paramètres du transport, passant par la simulation TCAD bidimensionnelle. Le niveau de contraintes dans le canal a été prédit grâce à la fois à la simulation TCAD et à des mesures de déformation NBED, réalisées en parallèle au CEA-LETI. Nous avons obtenu des résultats d'extraction équivalents aussi bien par la méthode de la fonction Y que par la modélisation de type BSIM mêlant stratégie d'extraction et meilleure description de la charge. Deux approches bien distinctes ont été alors entreprises afin d'interpréter et de prédire physiquement la mobilité avec la contrainte. Il s'agit d'une approche piézorésistive macroscopique valide à fort niveau de contraintes et une décomposition de mobilité en trois termes d'interaction (phonon, coulomb et défauts neutres) selon une relation semi-empirique (de Mathiessen). Nous avons vérifié que le calcul piézorésistif semble satisfaisant pour prédire le gain en mobilité mesurée induit par la contrainte initialement bi-axiale dans les dispositifs longs et larges. Or il a été difficile d'expliquer seulement par la simulation mécanique la dégradation de mobilité à faibles dimensions (canaux courts), puisque les interactions phonons sont probablement masquées par un autre effet dominant autre que les défauts neutres que nous n'avons pas été en mesure d'identifier.

Dans le quatrième et dernier chapitre nous avons traité plusieurs techniques permettant de continuer l'amélioration des transistors FDSOI jusqu'au nœud 14nm. Nous avons montré à l'aide de la simulation mécanique et électrique que les régions SAIPS et l'intégration Gate-Last, améliorent de manière considérable les performances du transistor pMOS en technologie FDSOI pour le nœud 14nm. Ces deux solutions ont été ensuite combinées pour générer une contrainte compressive très élevée dans le canal. Le dépôt de l'oxyde STI à fort budget thermique (typiquement $>1000^{\circ}\text{C}$), entraîne une viscosité d'oxyde et de nitrure. L'hypothèse d'élasticité linéaire n'est plus valable pendant ce dépôt. Afin de simuler correctement cet effet, nous avons effectué des simulations viscoélastiques montrant une relaxation supplémentaire de la contrainte du film SiGe pendant le dépôt d'oxyde STI. Cela engendrait un effet néfaste sur le transport pour ce type de dispositifs. En revanche, après cette étape (formation d'oxyde STI), la simulation élastique redevient valable pour décrire l'évolution de la contrainte pour le reste des étapes du procédé.

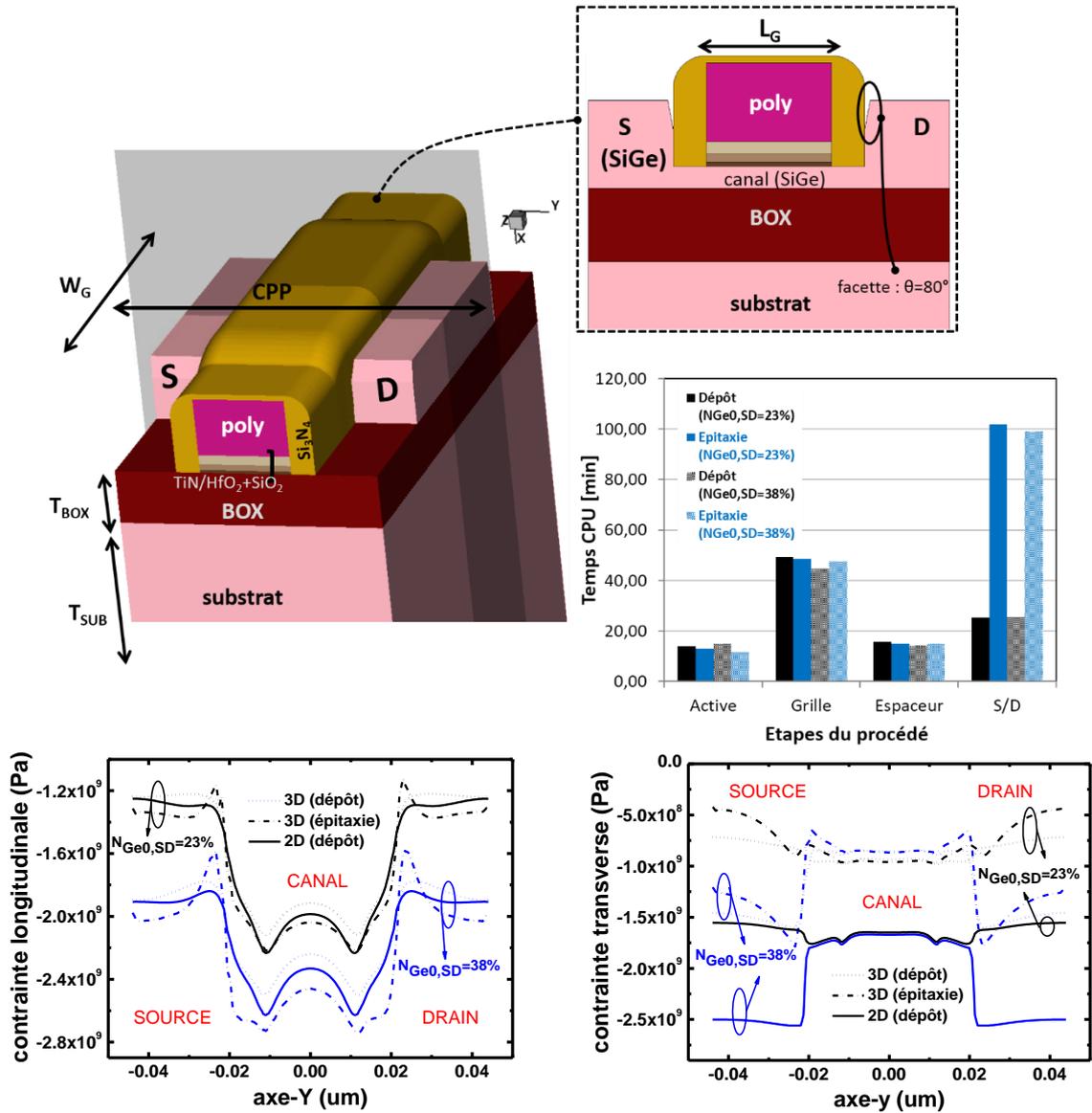
PERSPECTIVES

Nous souhaiterions à présent montrer quelques pistes d'investigations et les perspectives issues de ce travail. Dans le cas de dispositifs à film ultra-mince, les interactions avec la rugosité de surface à fort champ [Barral 08] ont été souvent expliquées en littérature par un effet dû au confinement quantique. Or d'un point de vue mécanique, nous nous attendons à avoir également un état de contrainte qui varie grandement à l'interface en fonction de l'amplitude de la surface rugueuse δ et sa longueur d'onde λ . La figure ci-dessous montre une cartographie TCAD bidimensionnelle associée à une fluctuation géométrique, émulée par une ondulation sinusoïdale dans un canal en silicium précontraint (d'environ 1.4GPa). Une relaxation forte de la contrainte est observée, d'autant plus forte que le rapport λ/δ diminue, entraînant probablement une modification locale du diagramme de bande, et par conséquent le transport des charges. L'intégration de cette surface dans le procédé de fabrication (en particulier pendant la définition du substrat) doit se poursuivre afin de prendre en compte cet effet de relaxation.



Cartographie 2D de contrainte illustrant la relaxation de la contrainte due à la morphologie de la surface rugueuse représentée dans la direction cristallographique du transport $\langle 110 \rangle$.

Ainsi, malgré l'incertitude que nous avons sur la fiabilité des paramètres de viscosité utilisés en simulation TCAD, nous avons pu prédire une dégradation de la contrainte résiduelle au niveau du film SiGe pendant le dépôt d'oxyde STI. Ce point constituera sans doute un axe d'étude de grande importance. Pour certaines architectures de transistors ou pour reproduire en pratique l'amincissement de l'échantillon (ex. : préparation TEM) il semble nécessaire de réaliser des simulations tridimensionnelles beaucoup plus coûteuses en temps de calcul et en espace mémoire (figure ci-dessous). Elles permettront en particulier de tenir compte de la relaxation de la contrainte perpendiculaire au plan de la simulation 2D.



Un exemple de simulation TCAD du procédé, d'un transistor pMOS de largeur faible, comparant la simulation tridimensionnelle à la simulation bidimensionnelle du point de vue contrainte mécanique et temps de calcul. L'évolution des profils 1D après formation des S/D en SiGe (à gauche) de la contrainte longitudinale et (à droite) de celle transverse dans la direction du canal.

ANNEXE

Tableau A.1. FDSOI : Les valeurs des composantes de mobilité extraites (α_{ph} , γ , α_C et α_{neu}) à partir de l'équation III.17 avec $\Delta L=25\text{nm}$, $\gamma=1.3$ et $\alpha_C=10^{+5} \text{ cm}^2/\text{V/s}$.

Substrat	SOI		sSOI	
	α_{neu}	α_{ph}	α_{neu}	α_{ph}
W (nm) / mobilité (cm²/V/s)				
10000	1.00E+03	9.37E+02	700.00	2300
1000	1.00E+03	8.98E+02	700.00	2300
400	7.46E+02	9.04E+02	700.00	2300
200	6.15E+02	874.6	700.00	2300
120	6.07E+02	750.6	800.00	1800
100	5.75E+02	725.3	900.00	1600
80	5.52E+02	659.9	1100.00	1200

Tableau A.2. TriGate : Les valeurs des composantes de la mobilité extraites (α_{ph} , γ , α_C et α_{neu}) à partir de l'équation III.17 avec $\Delta W=18\text{nm}$, $\gamma=1.3$ et $\alpha_C=10^{+5} \text{ cm}^2/\text{V/s}$.

Substrat	SOI		sSOI	
	α_{neu}	α_{ph}	α_{neu}	α_{ph}
W (nm) / mobilité (cm²/V/s)				
10000	6.37E+02	694.1	7.11E+02	1869
240	7.36E+02	575.7	1.27E+03	1331
120	1632	481.4	685	1472
80	1316	434.4	605.1	1618
60	3026	413	621	1458
40	8790	425.5	650.9	1548
35	1116	408.4	603	1448
30	6.70E+02	486.3	4.96E+02	1299

REFERENCES

- [Alloyeau 08] D. Alloyeau, C. Ricolleau, T. Oikawa, C. Langlois, Y. Le Bouar, A. Loiseau, STEM nanodiffraction technique for structural analysis of CoPt nanoparticles, *Ultramicroscopy* 108, 656 (2008)
- [Ando 82] T. Ando, Alan B. Fowler, and Frank Stern, Electronic properties of two-dimensional systems, *Rev. Mod. Phys.* 54, pp. 437-672 (1982)
- [Ando 98] T. Ando, Y. Arakawa, K. Furuya, S. Komiyama, H. Nakashima, *Mesoscopic Physics and Electronics, NanoScience and Technology*, Springer-Verlag Berlin Heidelberg, first edition (1998)
- [Andrieu 05a] F. Andrieu, Transistors CMOS Deca nanométriques à canaux contraints sur silicium massif ou sur SOI-fabrication, caractérisation et étude du transport, thèse de doctorat (2005)
- [Andrieu 05b] F. Andrieu, T. Ernst, O. Faynot, Y. Bogumilowicz, J.- M. Hartmann, J. Eymery, D. Lafond, Y.-M. Levaillant, C. Dupré, R. Powers, F. Fournel, C. Fenouillet-Beranger, A. Vandooren, B. Ghyselen, C. Mazure, N. Kernevez, G. Ghibaud, S. Deleonibus, Co-integrated Dual Strained Channels on Fully Depleted sSDOI CMOSFETs with HfO₂/TiN Gate Stack down to 15nm Gate Length, *Proc. IEEE Intern. SOI Conf.*, pp. 223 (2005)
- [Andrieu 06] F. Andrieu, C. Dupré, F. Rochette, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, M. Cassé, B. Ghyselen, I. Cayrefourcq, L. Brévard, F. Allain, J.C. Barbé, J. Cluzel, A. Vandooren, S. Denorme, T. Ernst, C. Fenouillet-Béranger, C. Jahan, D. Lafond, H. Dansas, B. Previtali, J.P. Colonna, H. Grampeix, P. Gaud, C. Mazuré and S. Deleonibus, 25nm Short and Narrow Strained FDSOI with TiN/HfO₂ Gate Stack, *VLSI Technology*, pp. 134 – 135 (2006)
- [Ang 04] K. W. Ang, K. J. Chui, V. Bliznetsov, A. Du, N. Balasubramanian, M. F. Li, G. Samudra, Y.-C. Yeo, Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions, *IEDM*, pp. 1069 – 1071 (2004)
- [Ang 05] K. W. Ang, K.-J. Chui, V. Bliznetsov, C.-H. Tung, A. Du, N. Balasubramanian, G. Samudra, M. F. Li, Y.-C. Yeo, Lattice strain analysis of transistor structures with silicon-germanium and silicon-carbon source/drain stressors, *Applied Physics Letters*, Vol. 86, pp. 0931021-0931023 (2005)
- [Barral 08] V. Barral, Etude, simulation et caractérisation du transport quasi-balistique dans les dispositifs nanométriques, thèse de doctorat (2008)

- [Barraud 15] S. Barraud, M. Cassé, L. Gaben, P. Nguyen, J. M. Hartmann, M. P. Samson, V. Maffini-Alvaro, C. Tabone, C. Vizioz, C. Arvet, P. Pimenta-Barros, F. Glowacki, N. Bernier, O. Rozeau, M. A. Jaud, S. Martinie, J. Lacord, F. Allain, B. DeSalvo, M. Vinet, Opportunities and challenges of nanowire-based CMOS technologies, S3S, pp. 1 – 3 (2015)
- [Baudot 10] S. Baudot, MOSFETS constraints sur SOI : Analyse des déformations par diffraction des rayons X et étude des propriétés électriques, Thèse de doctorat (2010)
- [Béché 9] A. Béché, Mesure de déformation à l'échelle nanométrique par microscopie électronique en transmission, Thèse INPG (2009)
- [Blotekjaer 70] K. Blotekjaer, Transport equations for electrons in two-valley semiconductors, IEEE, transaction on electron devices, Vol. ED-17, No. 1 (1970)
- [Bonnevialle 15a] A. Bonnevialle, C. Le Royer, Y. Morand, S. Reboh, J.-M. Pédini, A. Roule, D. Marseillehan, P. Besson, D. Rouchon, N. Bernier, C. Tabone, C. Plantier, M. Vinet, A new method to induce local tensile strain in SOI wafers: first strain results of the “BOX Creep Technique”, SSDM, pp. 1110-1111 (2015)
- [Bonnevialle 15b] A. Bonnevialle, C. Le Royer, Y. Morand, S. Reboh, D. Rouchon, N. Bernier, B. Mathieu, C. Plantier and M. Vinet, sSOI relaxation by BOX creep technique for dual strain CMOS integration, SNW, pp. 1 – 2 (2015)
- [Bonnevialle 15c] A. Bonnevialle, S. Reboh, L. Grenouillet, C. Le Royer, Y. Morand, S. Maitrejean, J.-M. Hartmann, A. Halimaoui, D. Rouchon, M. Cassé, C. Plantier, R. Wacquez, M. Vinet, New insights on strained-Si on insulator fabrication by top recrystallization of amorphized SiGe on SOI, EUROSIOI-ULIS, pp. 177-180 (2015)
- [Boureau 15] V. Boureau, D. Benoit, B. Warot, M. Hÿtch, A. Claverie, Strain/composition interplay in thin SiGe layers on insulator processed by Ge condensation, Materials Science in Semiconductor Processing (2015)
- [Brantley 73] W.A. Brantley, Calculated Elastic Constants for Stress Problems Associated with Semiconductor Devices, J. Appl. Phys., 44, pp. 534-535 (1973)
- [BSIMv3] BSIM3v3 model documentations available at <http://www-device.eecs.berkeley.edu/bsim>
- [Bufler 10] F. M. Bufler, A. Erlebach, M. Oulmane, Symmetry Reduction by Surface Scattering and Mobility Model for Stressed $\langle 100 \rangle / (001)$ MOSFETs," SISPAD (2010)
- [Bühler 15] R. T. Bühler, G. Eneman, P. Favia, L. J. Witters B. Vincent, A. Hikavy, R. Loo, H. Bender, N. Collaert, E. Simoen, J. A. Martino, C. Claeys, TCAD Strain Calibration Versus Nanobeam Diffraction of Source/Drain

- Stressors for Ge MOSFETs, *IEEE Transactions on Electron Devices*, 62, No. 8, pp. 1079-84 (2015)
- [Canali 79] C. Canali, G. Ferla, B. Morten, A. Taroni, Piezoresistivity effects in MOSFET useful for pressure transducers, *J. Phys. D: Appl. Phys.*, Vol. 12, pp. 1973-1983 (1979)
- [Cassé 08] M. Cassé, F. Rochette, N. Bhourri, F. Andrieu, D.K. Maude, M. Mouis, G. Reimbold, F. Boulanger, Mobility of strained and unstrained short channel FD-SOI MOSFETs: New insight by magnetoresistance, *Symposium on VLSI Technology*, pp. 170 - 171 (2008)
- [Cassé 09] M. Cassé, F. Rochette, L. Thevenod, N. Bhourri, F. Andrieu, G. Reimbold, F. Boulanger, M. Mouis, G. Ghibaudo, D. K. Maude, A comprehensive study of magnetoresistance mobility in short channel transistors: Application to strained and unstrained silicon-on-insulator field-effect transistors, *J. Appl. Phys.* Vol. 105, pp. 084503-1 084503-9 (2009)
- [Cassé 12] M. Cassé, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux and G. Reimbold, Study of piezoresistive properties of advanced CMOS transistors: Thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires, *IEDM*, pp. 28.1.1- 28.1.4 (2012)
- [Chaisantikulwat 05] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D.K. Maude, T. Skotnicki, S. Cristoloveanu, Magnetoresistance Technique for Mobility Extraction in Short Channel FDSOI Transistors, *ESSDERC*, pp. 569 – 572 (2005)
- [Chaisantikulwat 06] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D.K. Maude, T. Skotnicki, S. Cristoloveanu, Differential magnetoresistance technique for mobility extraction in ultra-short channel FDSOI transistors, *Solid-State Electronics*, Volume 50, Issue 4, Pages 637–643 (2006)
- [Chen 04] C.-H. Chen, T.L. Lee, T.H. Hou, C.L. Chen, C.C. Chen, J.W. Hsu, K.L. Cheng, Y.H. Chiu, H.J. Tao, Y. Jin, C.H. Diaz, S.C. Chen, Stress memorization technique (SMT) by selectively strained-nitride capping for sub-65nm high-performance strained-Si device application, *VLSI*, pp. 56 – 57 (2004)
- [Choi 12] M. Choi, V. Moroz, L. Smith, O. Penzin, 14 nm FinFET Stress Engineering with Epitaxial SiGe Source/Drain, *ISTDM*, p. 82 (2012)
- [Chu 08] M. Chu, T. Nishida, X. Lv, N. Mohta, S. E. Thompson, " Comparison between high-field piezoresistance coefficients of Si metal-oxide-semiconductor field-effect transistors and bulk Si under uniaxial and biaxial stress", *J. Appl. Phys.* 103, 1 13704 (2008)
- [Cooper 15] D. Cooper, N. Bernier, Combining 2 nm Spatial Resolution and 0.02% Precision for Deformation Mapping of Semiconductor Specimens in a

- Transmission Electron Microscope by Precession Electron Diffraction, *Nano Lett.*, 2015, 15 (8), pp 5289–5294 (2015)
- [Coquand 12] R. Coquand, M. Cassé, S. Barraud, P. Leroux, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, F. Allain, S. Barnola, V. Delaye, F. Aussenac, G. Reimbold, G. Ghibaudo, D. Munteanu, S. Monfray, F. Boeuf, O. Faynot, and T. Poiroux, Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width, *VLSI Symp. Tech. Dig.*, pp.13-14 (2012)
- [Coquand 13a] R. Coquand, Démonstration de l'intérêt des dispositifs multi-grilles auto-alignées pour les nœuds sub-10nm, thèse doctorale (2013)
- [Coquand 13b] R. Coquand, M. Cassé, S. Barraud, D. Cooper, V. Maffini-Alvaro, M.-P. Samson, S. Monfray, F. Boeuf, G. Ghibaudo, O. Faynot, T. Poiroux, Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width, *IEEE Trans. On Elec. Dev.*, Vol. 60, No. 2, pp. 727-732 (2013)
- [Cowern 94] N.E.B. Cowern, P. C. Zalm, P. van der Sluis, D. J. Gravesteijn, W. B. de Boer, Diffusion in Strained Si(Ge). *Physical Review Letters*, 72(16): p. 2585-2588 (1994)
- [Cristoloneavu 80] S. Cristoloneavu, J.H. Lee, A. Chovet, Effets galvanomagnétiques dans les semiconducteurs anisotropes inhomogènes Application à la caractérisation des films de silicium sur saphir, *Revue des Physiques Appliquées*, Vol. 15 No. 3, pp. 725-732 (1980)
- [Cros 06] A. Cros, K. Romanjek, D. Fleury, S. Harrison, R. Cerutti, P. Coronel, B. Dumont, A. Pouydebasque, R. Wacquez, B. Duriez, R. Gwoziecki, F. Boeuf, H. Brut, G. Ghibaudo, T. Skotnicki, Unexpected mobility degradation for very short devices: A new challenge for CMOS scaling, *Electron Devices Meeting (IEDM)*, pp. 1-4 (2006)
- [DeSalvo 14] B. DeSalvo, P. Morin, M. Pala, G. Ghibaudo, O. Rozeau, Q. Liu, A. Pofelski, S. Martinie, M. Casse, S. Pilorget, F. Allibert, F. Chafik, T. Poiroux, P. Scheer, R.G. Southwick, D. Chanemougame, L. Grenouillet, K. Cheng, F. Andrieu, S. Barraud, S. Maitrejean, E. Augendre, H. Kothari, N. Loubet, W. Kleemeier, M. Celik, O. Faynot, M. Vinet, R. Sampson, B. Doris, A mobility enhancement strategy for sub-14nm power-efficient FDSOI technologies, *IEDM*, pp. 7.2.1-7.2.4 (2014)
- [Dollfus 99] P. Dollfus, S. Galdin, P. Hesto, Monte Carlo investigation of in-plane electron transport in tensile strained Si and Si_{1-y}Cy (y < 0.03), *Eur. Phys. J. AP* 7, pp. 73-77 (1999)
- [Dupré 08] C. Dupré, A. Hubert, S. Becu, M. Jublot, V. Maffini-Alvaro, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, J.-M. Hartmann, G. Garnier, F. Allain, J.-P. Colonna, M. Rivoire, L. Baud, S. Pauliac, V. Loup, T. Chevolleau, P. Rivallin, B. Guillaumot, G. Ghibaudo, O. Faynot, T. Ernst, S. Deleonibus. 15nm-diameter 3d stacked nanowires with independent gates operation:

- PhiFET. In International Electron Devices Meeting. Technical Digest, pp. 749–752 (2008)
- [Durand 15] A. Durand, D. Rouchon, D. Le-Cunff, P. Gergaud, Micro-Raman spectroscopy as a complementary technique to high resolution X-ray diffraction for the characterization of Si_{1-x}Ge_x thin layers, *Phys. Status Solidi C.12*, No.3, 304–309 (2015)
- [Eberlein 08] M. Eberlein, Contraintes locales induites par le procédé "Shallow Trench Isolation" : Diffraction X haute résolution et simulation par éléments finis, Thèse de doctorat (2008)
- [Eggeman 13] S. A. Eggeman, S. Illig, A. Troisi, H. Siringhaus, P. A. Midgley, Measurement of molecular motion in organic semiconductors by thermal diffuse electron scattering, *Nature Materials* 12, 1045–1049 (2013)
- [Eneman 12] G. Eneman, D.P. Brunco, L. Witters, B. Vincent, P. Favia, A. Hikavy, A. De Keersgieter, J. Mitard, R. Loo, A. Veloso, O. Richard, H. Bender, S.H. Lee, M. Van Dal, N. Kabir, W. Vandervorst, M. Caymax, N. Horiguchi, N. Collaert, A. Thean, Stress simulations for optimal mobility group IV p- and nMOS FinFETs for the 14 nm node and beyond, *IEDM*, pp. 6.5.1 - 6.5.4 (2012)
- [Erginsoy 50] C. Erginsoy, Neutral Impurity Scattering in Semiconductors, *Phys. Rev.* 79, pp. 1013-1014 (1950)
- [Favia 11] P. Favia, M. B. Gonzales, E. Simoen, P. Verheyen, D. Klenov, and H. Bender, *J. Electrochem. Soc.* 158, H438 (2011)
- [Faynot 10] O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brévard, C. Tabone, P. Gaud, S. Barraud, T. Ernst, S. Deleonibus, Planar Fully Depleted SOI Technology : a powerful architecture for the 20nm node and beyond, *IEDM*, pp. 3.2.1- 3.2.4 (2010)
- [Fischetti 96] M.V. Fischetti, S.E. Laux, Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys, *J. Appl. Phys.* 80 (4), pp. 2234- 2252 (1996)
- [Plantier 14] C. Plantier, Y. Morand, L. Grenouillet, C. Le Royer, M. Vinet, O. Rozeau, J.M. Hartmann, V. Loup, S. Kerdiles, 10FDSOI Project Leti/ST Working Group: SAIPS, rapport interne CEA-LETi (2014)
- [FlexPDE] www.pdesolutions.com

- [Gaben 15a] L. Gaben, S. Barraud, P. Pimenta-Barros, Y. Morand, J. Pradelles, M.-P. Samson, B. Previtali, P. Besson, F. Allain, S. Monfray, F. Boeuf, T. Skotnicki, F. Balestra, M. Vinet, Ω -Gate Nanowire Transistors Realized by Sidewall Image Transfer Patterning: 35nm channel pitch and opportunities for stacked-Nanowires architectures, *SSDM* (2015)
- [Gaben 15b] L. Gaben, S. Barraud, M.-A. Jaud, S. Martinie, O. Rozeau, J. Lacord, G. Hiblot, S. Monfray, F. Boeuf, T. Skotnicki, F. Balestra, M. Vinet, Stacked-Nanowire and FinFET Transistors: Guidelines for the 7nm node, *SSDM* (2015)
- [Garetto 11] D. Garetto, D. Rideau, C. Tavernier, A. Schmid, Y. Leblebici, H. Jaouen, Advanced physics for simulation of ultrascaled devices with UTOXPP solver, *Proceedings of Nanotech Conference*, Vol. 2, pp. 607 – 610 (2011)
- [Garros 09] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reimbold, C. Aulnette, N. Davaland F. Boulanger, Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metaloxide-semiconductor field effect transistors: Implications for device reliability, *Journal of Applied Physics*, 105, 114508, 1-9 (2009)
- [Gencer 13] A. H. Gencer, D. Tsamados, V. Moroz, Fin Bending due to Stress and its Simulation, *SISPAD*, pp. 109-112 (2013)
- [Ghani 03] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson and M. Bohr A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors, *IEDM*, pp. 11.6.1 - 11.6.3 (2003)
- [Ghibaudo 86] G. Ghibaudo, Transport in the inversion layer of a MOS transistor: use of Kubo-Greenwood formalism, *Journal of Physics C: Solid State Physics*, Volume 19, Number 5, pp. 767-780 (1986)
- [Ghibaudo 88] G. Ghibaudo, New method for the extraction of MOSFET parameters, *Electronics Letters*, Vol. 24, Issue 9, pp. 543-545 (1988)
- [Ghyselen 04] B. Ghyselen, J.-M. Hartmann, T. Ernst, C. Aulnette, B. Osternaud, Y. Bogumilowicz, A. Abbadie, P. Besson, O. Rayssac, A. Tiberj, N. Daval, I. Cayrefourq, F. Fournel, H. Moriceau, C. Di Nardo, F. Andrieu, V. Paillard, M. Cabié, L. Vincent, E. Snoeck, F. Cristiano, A. Rocher, A. Ponchet, A. Claverie, P. Boucaud, M.-N. Semeria, D. Bensahel, N. Kernevez, C. Mazure, Engineering strained silicon on insulator wafers with the Smart Cut™ technology, *Solid-State Electronics*, Volume 48, Issue 8, Pages 1285–1296 (2004)
- [Golanski 13] D. Golanski, P. Fonteneau, C. Fenouillet-Beranger, A. Cros, F. Monsieur, N. Guitard, C.-A. Legrand, A. Dray, C. Richier, H. Beckrich, P. Mora, G. Bidal, O. Weber, O. Saxod, J.-R. Manouvrier, P. Galy, N. Planes, F.

- Arnaud, First demonstration of a Full 28nm high-k/metal gate circuit transfer from Bulk to UTBB FDSOI technology through hybrid integration, VLSI Technology, Kyoto, pp. T124-T125 (2013)
- [Grasser 03] T. Grasser, Ting-Wei Tang, H. Kosina, S. Selberherr, A review of hydrodynamic and energy-transport models for semiconductor device simulation, IEEE Vol. 91, No. 2 (2003)
- [Grenouillet 13] L. Grenouillet, Q. Liu, R. Wacquez, P. Morin, N. Loubet, D. Cooper, A. Pofelski, W. Weng, F. Bauman, M. Gribelyuk, Y. Wang, B. De Salvo, J. Gimbert, K. Cheng, Y. Le Tiec, D. Chanemougame, E. Augendre, S. Maitrejean, A. Khakifirooz, J. Kuss, R. Schulz, C. Janicki, B. Lherron, S. Guillaumet, O. Rozeau, F. Chafik, J.L. Bataillon, T. Wu, W. Kleemeier, M. Celik, O. Faynot, R. Sampson, B. Doris and M. Vinet, UTBB FDSOI scaling enablers for the 10nm node, S3S, pp. 1 – 2 (2013)
- [Gritsch 02] M.Gritsch, Numerical modeling of silicon-on-insulator MOSFETs, PhD (2002)
- [Guillaume 04] T. Guillaume, M. Mouis, S. Maitrejean, A. Poncet, M. Vinet, S. Deleonibus, Evaluation of strain-induced mobility variation in TiN metal gate SOI n-MOSFETs, ESSDERC, pp. 393-396 (2004)
- [Guillaume 05] T. Guillaume, Influence des contraintes mécaniques non-intentionnelles sur les performances des transistors MOS à canaux ultra-courts, thèse de doctorat (2005)
- [Hoffmann 00] T. Hoffmann, Modélisation et simulation multidimensionnelle des contraintes mécaniques en technologies silicium avancées, thèse de doctorat (2000)
- [Hsueh 02] C.H. Hsueh, Thermal stresses in elastic multilayer systems, Thin Solid Films, vol. 418, pp. 182-188 (2002)
- [Hu 90] S.M. Hu, Stress from isolation trenches in silicon substrates, J. Appl. Phys. 67, 1092 (1990)
- [Huang 93] C. -L. Huang, G. Sh. Goldenblat, Correction factor in the split C–V method for mobility measurements, Solid-State Electronics, Vol. 36, No. 4, pp. 611-615 (1993)
- [ICCAP] ICCAP Parameter Extraction and Device Modeling Software, Hewlett-Packard / Agilent www.agilent.com/find/eesof-iccap
- [ITRS] International Technology Roadmap for Semiconductors. Available online: <http://public.itrs.net>
- [Jaud 13] M-A. Jaud, D. Rideau, M. Pala, F. Finck, Livrable Places2Be (2013)
- [Jeon 13] D.-Y. Jeon, S. J. Park, M. Mouis, S. Barraud, G.-T. Kim, G. Ghibaudo, Low-temperature electrical characterization of junctionless transistors, Solid-State Electronics, Volume 80, Pages 135–141 (2013)

- [Jeon 89] D. S. Jeon, D. E. Burk, MOSFET electron inversion layer mobilities- A physically based semi-empirical model for a wide temperature range, IEEE Transactions on Electron Devices, Vol. 36, issue 8, pp. 1456-63 (1989)
- [Kanda 82] Y. Kanda, a graphical representation of the piezoresistance coefficients in Silicon, IEEE Trans. on Elec. Dev. Vol. ED-29, No. 1, pp. 64-70 (1982)
- [Kim 04] K. Kim, O. Kwon, J. Seo, T. Won, Nanoscale Device Modeling and Simulation: FinFET Transistor (FinFET), Japanese Journal of Applied Physics, Vol. 43, No. 6B, pp. 3784-3789 (2004)
- [Kireev 75] P. Kiréev, Physique des semiconducteurs, Ed. MIR (1975)
- [Kireev 78] P.S. Kireev, M. Samokhvalov, Semiconductor physics, Mir Publishers (1978)
- [Kuhn 12] K. J. Kuhn, U. Avci, A. Cappellani, M. D. Giles, M. Haverty, S. Kim, R. Kotlyar, S. Manipatruni, D. Nikonov, C. Pawashe, M. Radosavljevic, R. Rios, S. Shankar, R. Vedula, R. hau, and I. Young, The ultimate MOS device and beyond, IEDM, pp. 8.1.1–8.1.4, (2012)
- [Lacord 12] J. Lacord, Développement de modèles pour l'évaluation des performances circuit des technologies CMOS avancées sub-20nm, thèse de doctorat (2012)
- [Lacord 16] J. Lacord, S. Martinie, O. Rozeau, M.-A. Jaud, S. Barraud, J. C. Barbé, Parasitic Capacitance Analytical Model for Sub-7-nm Multigate Devices, IEEE Trans. On Elec. Dev., Vol. 63, Iss. 2, pp. 781 – 786 (2016)
- [Lee 06] M. Lee, M. Wu, Thermal annealing in Hydrogen for 3-D Profile Transformation on Silicon-on-Insulator and Sidewall Roughness Reduction, Journal of Microelectrochemical, vol. 15, No. 2 (2006)
- [Lee 11] J.W. Lee, D. Jang, M. Mouis, G. T. Kim, T. Chiarella, T. Hoffman, G. Ghibaudo, Mobility analysis of surface roughness scattering in FinFET devices, Solid-State Electronics, Vol. 62, pp. 195-201 (2011)
- [Lee 12] J. W. Lee, D. Jang, M. Mouis, Kiichi Tachi, G. T. Kim, T. Ernst, G. Ghibaudo, Short channel mobility analysis of SiGe nanowire p-type field effect transistors: Origins of the strain induced performance improvement, Applied Physics Letters 101, 143502 (2012)
- [Liu 05] Z. Liu, Q. Zhang, L.-C. Qin, Determination and mapping of diameter and helicity for single-walled carbon nanotubes using nanobeam electron diffraction, Phys. Rev. B 71, pp. 2454131- 2454136 (2005)
- [Loiko 06] K.V. Loiko, V. Adams, D. Tekleab, B. Winstead, X.-Z. Bo, P. Grudowski, S. Goktepli, S. Filipiak, B. Goolsby, V. Kolagunta, M. C. Foisy, Multi-Layer Model for Stressor Film Deposition, SISPAD, pp. 123-126 (2006)
- [Lundstrom 00] M. Lundstrom, Fundamentals of carrier transport, Cambridge University Press, second edition (2000)

- [Maffini 15] V. Maffini, N. Rambal, V. Lapras, V. Loup, P. Goureau, P. Garnier, C. Gaumer, C. Perrot, A. Seignard, D. Barge, N. Bernier, Y. Morand, L. Hortemel, C. Le Royer, C. Plantier, L. Grenouillet, 14FDSOI removal gate module dev update, Rapport interne CEA-Léti (2015)
- [Maitrejean 15] S. Maitrejean, N. Loubet, E. Augendre, P. Morin, S. Reboh, N. Bernier, R. Wacque, B. Lherron, A. Bonneville, Q. Liu, J. M. Hartmann, H. He, A. Halimaoui, J. Li, S. Pilorget, J. Kanyandekwe, L. Grenouillet, F. Chafik, Y. Morand, C. Le Royer, O. Faynot, M. Celik, B. Doris and B. De Salvo, Converting SOI to sSOI through Amorphization and Crystallization: Material Analysis and Device Demonstration, ECS Journal of Solid State Science and Technology, 4 (9) P376-P381 (2015)
- [Martinie 09] S. Martinie, Modélisation du transport quasi-balistique pour la simulation de circuits à base de nano-transistors multi-grilles, Thèse de doctorat (2009)
- [Mathieu 01] H. Mathieu, Physique des semiconducteurs et des composants électroniques (2001)
- [Mathiot 84] D. Mathiot, J. C. Pfister Dopant diffusion in silicon: A consistent view involving nonequilibrium defects, J. Appl. Phys. 55, 3518 (1984)
- [Mathiot 91] D. Mathiot, S. Martin, Modeling of dopant diffusion in silicon: An effective diffusivity approach including point-defect couplings, J. Appl. Phys. 70, 3071-3080 (1991)
- [Matthiessen 64] A. Matthiessen, C. Vogt. On the influence of temperature on the electric conducting-power of alloys, Philosophical Transactions of the Royal Society of London, Vol. 154, pp. 167-200 (1864)
- [Mechkan 12] L. Mechkan Azarnouche, Défis liés à la réduction de la rugosité des motifs de résine photosensible 193 nm, Thèse de Doctorat (2012)
- [Mescot 09] X. Mescot, M. Gri, D. Hauser, Station Cryogénique 9T Mesures de magnétorésistance, manuel de manip, IMEP-LAHC, version 2.1 (2009)
- [Meziani 04] Y. M. Meziani, J. Lusakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clec, G. Ghibaud, F. Bœuf and T. Skotnicki, Magnetoresistance characterization of nanometer Si metal-oxide-semiconductor transistors, Journal of Applied Physics, Vol. 96, N. 10, pp. 5761-5765 (2004)
- [Monfray 07] S. Monfray, M.-P. Samson, D. Dutartre, T. Ernst, E. Rouchouze, D. Renaud, B. Guillaumot, D. Chanemougame, G. Rabille, S. Borel, J.-P. Colonna, C. Arvet, N. Loubet, Y. Campidelli, j.-H. Hartmann, L. Vandroux, D. Bensahel, A. Toffoli, F. Allain, A. Margin, L. Clement, A. Quiroga, S. Deleonibus, T. Skotnicki, Localized SOI technology: an innovative Low Cost self-aligned process for Ultra-Thin Si-film on thin BOX integration for Low Power applications. IEDM, pp. 693–696 (2007)
- [Morvan 13] S. Morvan, C. Le Royer, F. Andrieu, P. Perreau, Y. Morand, D. Cooper, M. Cassé, X. Garros, J.-M. Hartmann, L. Tosti, L. Brévard, F. Ponthenier, M. Rivoire, C. Euvrard, A. Seignard, P. Besson, P. Caubet, C. Leroux, R.

- Gassilloud, B. Saidi, F. Allain, C. Tabone, T. Poiroux and O. Faynot, Gate-Last Integration on Planar FDSOI MOSFET: Impact of Mechanical Boosters and Channel Orientations, International Electron Devices Meeting, pp. 20.3.1 - 20.3.4 (2013)
- [Mouis 10] M. Mouis, G. Ghibaudo, Chapter 14, Accurate determination of transport parameters in sub-65 nm MOS transistors, in: “Nanoscale CMOS: Innovative Materials, Modeling and Characterization”, F. Balestra ed., ISBN: 978-1-84821-180-3, ISTE-Wiley (2010)
- [Mouis 14] M. Mouis, J.W. Lee, D. Jeon, M. Shi, M. Shin, G. Ghibaudo, Source/Drain induced defects in advanced MOSFETs: what device electrical characterization tells Phys. Status Solidi C. 11, No. 1, pp.138–145 (2014)
- [Munteanu 06] D. Munteanu, Cours Master MINELEC M1, Composants MOS avancés (2006)
- [Niebojewski 14] H. Niebojewski “Contacts auto-alignés pour la technologie CMOS 10nm FDSOI, thèse de doctorat (2014)
- [Nier 13] O. Nier, D. Rideau, R. Clerc, J.C Barbé, L. Silvestri, F. Nallet, C. Tavernier, H. Jaouen, Limits and improvements of TCAD piezoresistive models in FDSOI transistors, ULIS, pp. 61-64 (2013)
- [Nye 61] J.F. Nye, M.A. Ph., D., Propriétés physiques des cristaux : leur représentation par des tenseurs et des matrices, Dunod (1961)
- [Ortolland 06a] C. Ortolland, Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en deça, Thèse de doctorat (2006)
- [Ortolland 06b] C. Ortolland, P. Morin, C. Chaton, E. Mastromatteo, C. Populaire, S. Orain, F. Leverd, P. Stolk, F. Boeuf, F. Arnaud, Stress Memorization Technique (SMT) Optimization for 45nm CMOS, VLSIT, pp. 78 – 79 (2006)
- [Pauli 46] W. Pauli, Exclusion principle and quantum mechanics, Nobel Lecture (1946)
- [Pelloux 14a] J. Pelloux-Prayer, M. Cassé, S. Barraud, J.-L. Rouvière, G. Reibold, Characterization of Piezoresistive Coefficients in Silicon Nanowire Transistors, ULIS, pp. 49-52 (2014)
- [Pelloux 14b] J. Pelloux-Paryer, M. Casse, S. Barraud, P. Nguyen, M. Koyama, Y.-M. Niquet, F. Triozon, I. Duchemin, A. Abisset, A. Idrissi-El Oudrhiri, S. Martinie, J.-L. Rouviere, H. Iwai, G. Reibold, Study of the piezoresistive properties of NMOS and PMOS Ω -gate SOI nanowire transistors: Scalability effects and high stress level, IEDM, pp. 20.5.1 - 20.5.4 (2014)
- [Pelloux 15] J. Pelloux-Prayer, M. Cassé, F. Triozon, S. Barraud, Y.-M. Niquet, J.-L. Rouvière, O. Faynot, G. Reibold, Strain Effect on Mobility in Nanowire

- MOSFETs down to 10nm Width: Geometrical Effects and Piezoresistance Model, ESSDERC, pp. 210 - 213 (2015)
- [Perreira 15] F.G. Perreira, D. Rideau, O. Nier, C. Tavernier, F. Triozon, D. Garetto, G. Mugny, B. Sklenard, G. Hiblot, M. Pala, Modeling study of the mobility in FDSOI devices with a focus on nearspacer-region, EUROSOCI-ULIS, pp. 49-52 (2015)
- [Pham-Nguyen 09] L. Pham-Nguyen, C. Fenouillet-Beranger, A. Vandooren, T. Skotnicki, G. Ghibaudo, S. Cristoloveanu, In-situ comparison of Si/High-k and Si/SiO₂ channels properties in SOI MOSFETs, IEEE Electron Device Letters, 30, pp. 1075-1077 (2009)
- [Planes 12] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, M. Haond, 28nm FDSOI technology platform for high-speed low-voltage digital applications, VLSI Technology (VLSIT), pp. 133 – 134 (2012)
- [Poiroux 15] T. Poiroux, O. Rozeau, P. Scheer, S. Martinie, M. -A. Jaud, M. Minondo, A. Juge, J. -C. Barbé, M. Vinet, Leti-UTSOI2.1 : A Compact Model for UTBB-FDSOI Technologies - Part II : DC and AC Model Description, Electron Devices, IEEE Transactions on, Vol. 62, Issue 9, pp. 2760 – 2768 (2015)
- [Rafferty 89] C. S. Rafferty, L. Borucki, R. W. Dutton, Plastic flow during thermal oxidation of silicon, Appl. Phys. Lett. 54, 1516 (1989)
- [Raymond 09] G. Raymond, Etude mécanique des films de nitrure de silicium fortement contraints utilisés pour augmenter les performances des transistors CMOS, thèse de doctorat (2009)
- [Richard 03] S. Richard, F. Aniel, G. Fishman, N. Cavassilas, Energy-band structure in strained silicon: A 20-band $k \cdot p$ and Bir-Pikus Hamiltonian model, JAP, vol. 94, No. 3, pp. 1795-1799 (2003)
- [Rochette 07] F. Rochette, M. Cassé, M. Mouis, G. Reibold, D. Blachier, C. Leroux, B. Guillaumot, F. Boulanger, Experimental evidence and extraction of the electron mass variation in [110] uniaxially strained MOSFETs, Solid-State Electronics, Vol. 51, pp. 1458–1465 (2007)
- [Rochette 08] F. Rochette, Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées, thèse de doctorat (2008)
- [Rochette 09] F. Rochette, M. Cassé, M. Mouis, A. Haziot, T. Pioger, G. Ghibaudo, F. Boulanger, Piezoresistance effect of strained and unstrained fully-depleted

- silicon-on-insulator MOSFETs integrating a HfO₂/TiN gate stack, *Solid-State Electronics*, Vol. 53, pp. 392–396 (2009)
- [Romanjek 04a] K. Romanjek, *Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà*, Thèse de Doctorat (2004)
- [Romanjek 04b] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo, Improved Split C–V Method for Effective Mobility Extraction in sub-0.1 μm Si MOSFETs, *IEEE Electron Device Letters*, Vol. 25, No. 8, pp. 583-585 (2004)
- [Rouvière 05] J.L. Rouvière, E. Sarigiannidou, Theoretical discussions on the geometrical phase analysis, *Ultramicroscopy* 106, pp. 1–17 (2005)
- [Rouvière 13] J.-L. Rouvière, A. Béch , Y. Martin, T. Denneulin, D. Cooper, Improved strain precision with high spatial resolution using nanobeam precession electron diffraction, *Applied Physics Letters* 103, 241913 (2013)
- [Roux 93] O. Roux-dit-Buisson, G. Ghibaudo, J. brini, Sensitive differential method for the extraction of the mobility variation in uniformly degraded MOS transistors, *IEE Proceedings G- Circuits, Devices and Systems*, Vol. 140, Iss. 2. pp. 123-126 (1993)
- [Rozeau 15] O. Rozeau, J. Lacord, S. Martinie, A. Idrissi-El Oudrhiri, M.-A. Jaud, S. Barraud, T. Poiroux, M. Vinet, J.-C. Barb , Performance benchmarking of device architectures for the sub-10nm CMOS technological nodes, *IWNA* (2015)
- [Saracco 10] E. Saracco, *Fabrication et Co int gration de transistors n-MOS   base de nanofils de silicium et de transistors p-MOS   base de nanofils de germanium*, th se de doctorat (2010)
- [Saurabh 09] S. Saurabh, M. J. Kumar, Impact of Strain on Drain Current and Threshold Voltage of Nanoscale Double Gate Tunnel Field Effect Transistor: Theoretical Investigation and Analysis, *The Japan Society of Applied Physics*, Vol. 48, Num. 6R, pp. 1-7 (2009)
- [Sayama 99] H. Sayama, Y. Nishida, H. Oda et al, Effect of $\langle 100 \rangle$ Channel Direction for High Performance SCE Immue pMOSFET with less than 0.15 μm Gate Length, *IEDM Technical Digest*, pp 657-660, *Electron Devices Meeting* (1999)
- [Selberherr 84] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*. Wien, New York, Springer (1984)
- [Sentaurus 14] Sentaurus Synopsys, User Guide, Version J-2014.06 (2014)
- [Sidoroff 10] F. Sidoroff, *M canique des milieux continus*,  cole Centrale de Lyon, pp. 53-55 (2010)
- [Smith 54] C. S. Smith, Piezoresistance Effect in Geruianium and Silicon, *Physical Review*, vol. 94, No. 1, pp. 42-49 (1954)

- [Sodini 82] C.G. Sodini, T.W. Ekstedt, J.L. Moll, Charge accumulation and mobility in thin dielectric MOS transistors, *Solid-State Electronics*, Vol. 25, Iss. 9, pp. 833-841 (1982)
- [Stoney 09] G. Stoney, The tension of metallic films deposited by electrolysis, *Proc. Roy. Soc.*, Vol. A. 82, No. 4, p. 172 (1909)
- [Stratton 62] R. Stratton, Diffusion of hot and cold electrons in semiconductor barriers, *Phys.Rev*, Vol. 126, pp. 2002-2014 (1962)
- [Strobl 07] G. Strobl, *The Physics of Polymers 2nd edn*, Springer (2007)
- [Subramanian 12] N. Subramanian, G. Ghibaudo, M. Mouis, D. K. Maude, Magnetoresistance mobility extraction in the saturation regime of short channel MOS devices, *International Semiconductor Conference Dresden-Grenoble (ISCDG)*, pp. 119 – 122 (2012)
- [Sun 07] Y. Sun, S. E. Thompson, T. Nishida, Hole mobility in silicon inversion layers: Stress and surface orientation, *1. Appl. Phys.* 102, 08450 1 (2007)
- [Sun 10] Y. Sun, S. Thompson, T Nishida “Strain Effect in Semiconductors”, Springer, pp. 1-6 (2010)
- [Sung-Jae 14] S.-J. Chang, M. Bawedin, S. Cristoloveanu, Mobility Investigation by Geometrical Magnetoresistance in Fully Depleted MOSFETs and FinFETs, *IEEE Transactions on Electron Devices*, Vol. 61, issue 6, pp. 1979 - 1986 (2014)
- [Suthram 07] S. Suthram, J. C. Ziegert, T. Nishida, S. E. Thompson, Piezoresistance Coefficients of (100) Silicon nMOSFETs Measured at Low and High (~1.5 GPa) Channel Stress, *IEEE Electron Device Letters*, Vol. 28, No. 1, pp. 58-61 (2007)
- [Takagi 94] S. Takagi, A. Toriumi, M. Iwase, H. Tango, On the universality of inversion layer mobility in Si MOSFET's: Part I – Effects of substrate impurity concentration. *IEEE Trans Electron Dev.*, Vol. 41, pp. 2357–62 (1994)
- [Tezuka 05] T. Tezuka, Nakaharai, S., Moriyama, Y., Sugiyama, N. and Takagi, S., High-mobility strained SiGe-on-insulator pMOSFETs with Ge-rich surface channels fabricated by local condensation technique. *Electron Device Letters, IEEE*, 26(4), pp.243–245 (2005)
- [Thevenod 07] L. Thevenod, M. Cassé, W. Desrat, M. Mouis, G. Reibold, D. K. Maude, and F. Boulanger, Magnetoresistance mobility extraction on TiN/HfO₂/SiO₂ metal-oxide-semiconductor field effect transistors, *Applied Physics Letters* 90, pp. 152111-1, 152111-3 (2007)

- [Thompson 02] S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, J. Bielefeld, R. Bigwood, J. Brandenburg, M. Buehler, S. Cea, V. Chikarmane, C. Choi, R. Frankovic, T. Ghani, G. Glass, W. Han, T. Hoffmann, M. Hussein, P. Jacob, A. Jain, C. Jan, S. Joshi, C. Kenyon, J. Klaus, S. Klopčič, J. Luce, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, P. Nguyen, H. Pearson, T. Sandford, R. Schweinfurth, R. Shaheed, S. Sivakumar, M. Taylor, B. Tufts, C. Wallace, P. Wang, C. Weber, M. Bohr, A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 /spl mu/m/sup 2/ SRAM cell, IEDM, pp. 61 – 64 (2002)
- [Thompson 06] S.E. Thompson, S. Suthram, Y. Sun, G. Sun, S. Parthasarathy, M. Chu, and T. Nishida, Future of Strained Si/Semiconductors in Nanoscale MOSFETs, IEDM Tech Dig., pp. 1-4 (2006)
- [Toda 08] A. Toda, H. Nakamura, T. Fukail, and N. Ikarashi, Channel strain in advanced complementary metal–oxide–semiconductor field effect transistors measured using nano-beam electron diffraction, Japanese. J. Appl. Phys. Vol. 47, pp. 2496 (2008)
- [Tsividis 87] T. Tsividis, Operation and Modeling of the MOS Transistor. Mc Graw-Hill, New York (1987)
- [Uchida 05] K. Uchida, T. Krishnamohan, K. C. Saraswat, Y. Nishi, Physical of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime, IEDM, pp. 129-132 (2005)
- [Usuda 04] K. Usuda, T. Mizuno, T. Tezuka, N. Sugiyama, Y. Moriyama, S. Nakaharai, and S. Takagi, Strain relaxation of Strained-Si layers on SiGe-on-insulator (SGOI) structures after mesa isolation, Appl. Surf. Sci., Vol. 224, Issues 1-4, pp. 113–116 (2004).
- [Van Roosbroeck 50] W. Van Roosbroeck. Theory of the Flow of Electrons and Holes in Germanium and Other Semiconductors, Bell System Technical J., Vol. 29, pp. 560-607 (1950)
- [Van Roosbroeck 52] W. Van Roosbroeck, The Transport of Added Current Carriers in a Homogeneous Semiconductor, Physical Review, Vol. 91 (2), pp. 282-289 (1952)
- [Vandooren 00] A. Vandooren, S. Crisoloveneanu, J.P. Colinge, Hall Mobility Measurement in Double-Gate SOI MOSFETs, IEEE International SOI Conference, pp. 118-119 (2000)
- [Vigouroux 14] M. P. Vigouroux, V. Delaye, N. Bernier, R. Cipro, D. Lafond, G. Audoit, T. Baron, J. L. Rouvière, M. Martin, B. Chenevier and F. Bertin, Strain mapping at the nanoscale using precession electron diffraction in

- transmission electron microscope with off axis camera, *Appl. Phys. Lett.* 105, pp. 191906-1 - 191906-4 (2014)
- [Vigouroux 15] M. Vigouroux, Mesure de déformation et cristallinité à l'échelle nanométrique par diffraction électronique en mode précession, thèse de doctorat INPG (2015)
- [Villalon 12] A. Villalon, C. Le Royer, M. Casse, D. Cooper, B. Prévitali, C. Tabone, J.-M. Hartmann, P. Perreau, P. Rivallin, J.-F. Damlencourt, F. Allain, F. Andrieu, O. Weber, O. Faynot and T. Poiroux, Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD, VLSIT, pp. 49 – 50 (2012)
- [Vincent 94] R. Vincent, P.A. Midgley, Double conical beam-rocking system for measurement of integrated electron diffraction intensities, *Ultramicroscopy*, Volume 53, Issue 3, Pages 271-282 (1994)
- [Wang 05] C.C. Wang, et al., Boron diffusion in strained and strain-relaxed SiGe. *Materials Science and Engineering B-Solid State Materials for Advanced Technology*, Vol. 124, pp. 39-44 (2005)
- [Wang 06] G. H. Wang, E-H. Toh, K. M. Hoe, S. Tripathy, S. Balakumar, G-Q. Lo, G. Samudra and Y-C. Yeo, Strained Silicon-Germanium-On-Insulator N-MOSFETs Featuring Lattice Mismatched Source/Drain Stressor and High-Stress Silicon Nitride Liner, *IEDM*, pp.1 – 4 (2006)
- [Weber 07] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, S. Takagi, Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs, *IEDM Tech. Dig.*, p.719-722 (2007)
- [Weber 14] O. Weber, E. Josse, F. Andrieu, A. Cros, E. Richard, P. Perreau, E. Baylac, N. Degors, C. Gallon, E. Perrin, S. Chhun, E. Petitprez, S. Delmedico, J. Simon, G. Druais, S. Lasserre, J. Mazurier, et al, 14nm FDSOI Technology for High Speed and Energy Efficient Applications, *VLSI Technology*, Honolulu, pp. 1-2 (2014)
- [Xiong 04] W. Xiong, G. Gebara, J. Zaman, M. Gostkowski, B. Nguyen, G. Smith, D. Lewis, C. R. Cleavelin, R. Wise, S. Yu, M. Pas, T.-J. King, J. P. Colinge, Improvement of FinFET Electrical Characteristics by Hydrogen Annealing, *IEEE Elec. Dev. Lett.*, Vol. 25, No. 8, pp. 541-543 (2004)
- [Xu 12] N. Xu, B. Ho, M. Choi, V. Mermoz, T. -J. K. Liu, Effectiveness of Stressors in Aggressively Scaled FinFETs, *IEEE Transactions on Electron Devices*, 59, No. 6, pp. 1592-98 (2012)
- [Yaur 01] Y. Taur, Analytic Solutions of Charge and Capacitance in Symmetric and Asymmetric Double-Gate MOSFETs, *IEEE Trans. on Elec. Dev.*, vol. 48, No. 12, pp. 2861 - 2869 (2001)

LISTE DES PUBLICATIONS

CONFERENCES INTERNATIONALES

A. Idrissi-El Oudrhiri, S. Martinie, J-C. Barbé, O. Rozeau, C. Le Royer, H. Niebojewski, M-A. Jaud, P. Rivallin, J. Lacord, Y. Morand, M. Cassé, J. Pelloux-Prayer, L. Grenouillet, M. Mouis, Mechanical Simulation of Stress Engineering Solutions in Highly Strained p-type FDSOI MOSFETs for 14-nm Node and beyond, International conference on Simulation of Semiconductor Process and Devices (SISPAD), pp. 206 – 209, Washington DC 2015.

I. Ouerghi, W. Ludurczak, L. Duraffourg, C. Ladner, **A. Idrissi-El Oudrhiri**, P. Gergaud, M. Vinet, T. Ernst, Piezoresistive transduction optimization of p-doped PolySilicon NEMS, European Solid State Device Research Conference (ESSDERC), pp. 149 – 152, Graz 2015.

J. Pelloux-Prayer, M. Cassé, S. Barraud, P. Nguyen, M. Koyama, Y.-M. Niquet, F. Triozon, I. Duchemin, A. Abisset, **A. Idrissi-El Oudrhiri**, S. Martinie, J.-L. Rouvière, H. Iwai, G. Reimbold, Study of the piezoresistive properties of NMOS and PMOS Ω -gate SOI nanowire transistors: Scalability effects and high stress level, International Electron Devices Meeting (IEDM), pp. 20.5.1 - 20.5.4, San Francisco 2014.

R. Coquand, M.-A. Jaud, O. Rozeau, **A. Idrissi-El Oudrhiri**, S. Martinie, F. Triozon, N. Pons, S. Barraud, S. Monfray, F. Boeuf, G. Ghibaudo, O. Faynot, Comparative simulation of TriGate and FinFET on SOI: Evaluating a multiple threshold voltage strategy on triple gate devices, SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pp. 1 – 2, Monterey 2013.

N. Pons, F. Triozon, M.-A. Jaud, R. Coquand, S. Martinie, O. Rozeau, Y.-M. Niquet, V.-H. Nguyen, **A. Idrissi-El Oudrhiri**, S. Barraud, Density Gradient calibration for 2D quantum confinement: Tri-Gate SOI transistor application, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp. 184 – 187, Glasgow 2013.

AUTRES COMMUNICATIONS

O. Rozeau, J. Lacord, S. Martinie, **A. Idrissi-El Oudrhiri**, M.-A. Jaud, S. Barraud, T. Poiroux, M. Vinet, J.-C. Barbé, Performance benchmarking of device architectures for the sub-10nm CMOS technological nodes, International Workshop on Nanotechnology and Application (IWNA), Vung Tau 2015.

A. Idrissi-El Oudrhiri, S. Martinie, J.-C. Barbé, C. Le Royer, O. Rozeau, M.-A. Jaud, J. Lacord, P. Rivallin, N. Bernier, Y. Morand, S. Barraud, L. Grenouillet, J. Pelloux-Prayer, M. Cassé, M. Mouis, 2D TCAD strain simulations from fully depleted to nanowire transistors : Efficiency of mechanical stressors, GDRi mécano, Grenoble 2015.

A. Idrissi-El Oudrhiri, M.-A. Jaud, S. Barraud, O. Rozeau, R. Coquand, S. Martinie, N. Pons, J.-C. Barbé, M. Mouis, Introduction aux effets des contraintes mécaniques sur les performances électriques : Simulation TCAD du transistor Tri-Gate sur SOI, Journées Nationales du Réseau des doctorants en Microélectronique (JNRDM), Grenoble 2013.

Titre : Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur SOI.

Résumé :

L'évolution des performances des dispositifs microélectroniques se heurte aux limites de la miniaturisation. Les contraintes mécaniques constituent un levier potentiel pour dépasser ces limitations. Il est cependant indispensable de bien maîtriser leur génération et de connaître leur influence sur le transport dans le canal. L'objectif de cette thèse vise à étudier l'évolution de la contrainte mécanique en technologie CMOS et son influence sur le transport électronique dans des technologies sub-20nm réalistes. Ce travail s'appuie sur des simulations mécaniques bidimensionnelles. Différentes architectures TriGate et FDSOI sont alors étudiées. Les contraintes obtenues sont comparées à des mesures issues de la diffraction électronique. Plusieurs méthodes de caractérisation électrique et d'extraction de paramètres de transistor MOS sont utilisées. Parmi elles figure notamment la technique de l'extraction de la mobilité par magnétorésistance. Nous analysons les variations de mobilité en fonction des dimensions et de leur impact sur la contrainte mécanique. Enfin nous utilisons la simulation TCAD pour explorer le potentiel de nouvelles briques technologiques innovantes en voie de développement pour des générations ultérieures. Parmi elles, citons l'intégration des zones fortement contraintes par des source-drains en SiGe à fort pourcentage en germanium ou l'impact des relaxations introduites par l'utilisation des grilles sacrificielles au cours de la fabrication. Dans cette perspective, des simulations électriques basées sur une approche piézo-résistive deviennent indispensables.

Mots Clés : CMOS avancés, contraintes mécaniques, simulation, transport canal, modélisation, caractérisation électrique.

Title: Understanding of mechanical stress contribution on the electrical performances of advanced transistors on SOI.

Abstract:

In microelectronic, the device's performance evolution is limited by the down-scaling. The mechanical stresses are a potential mobility booster to overcome these limitations. However it is essential to properly control their process integration and to understand their influence on channel transport. The aim of this thesis is to study the mechanical stress evolution in CMOS technology and its impact on electronic transport in sub-20nm realistic technologies. This work is based on bidimensional mechanical simulations. Different architectures FDSOI and TriGate are then studied. The simulated stress maps are compared to experimental characterization from electron diffraction. Several methods of electrical characterization and extraction of MOS transistor are used, especially the magnetoresistance technique. We analyze the mechanical stress impact on the mobility variations according to geometrical dimensions. Finally, we use the TCAD simulation in order to explore the potential of new innovative devices under development for future generations. Among them, the integration of high germanium concentration in source-drain regions or the impact of relaxations induced by dummy gates in process flow. In this perspective, electrical simulations based on piezoresistive approach become essential.

Keywords: Advanced CMOS, mechanical strain, simulation, channel transport, modeling, electrical characterization.
