



**HAL**  
open science

# Intégration de semi-conducteurs III-V sur substrat Silicium pour les transistors n-MOSFET à haute mobilité

Mathilde Billaud

► **To cite this version:**

Mathilde Billaud. Intégration de semi-conducteurs III-V sur substrat Silicium pour les transistors n-MOSFET à haute mobilité. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2017. Français. NNT : 2017GREAT010 . tel-01639514

**HAL Id: tel-01639514**

**<https://theses.hal.science/tel-01639514>**

Submitted on 20 Nov 2017

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

Pour obtenir le grade de

## DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nanoélectronique et Nanotechnologies**

Arrêté ministériel : 25 mai 2016

Présentée par

**Mathilde BILLAUD**

Thèse dirigée par **Thomas ERNST** et **Thierry BARON** et  
co-encadrée par **Hervé BOUTRY**

préparée au sein du **Laboratoire des Technologies de la  
Microélectronique (LTM-CNRS)**  
dans l'**École Doctorale électronique, électrotechnique,  
automatique et traitement du signal (EEATS)**

## Intégration de semi-conducteurs III-V sur substrat silicium pour les transistors n-MOSFET à haute mobilité

Thèse soutenue publiquement le **31 janvier 2017**,  
devant le jury composé de :

**Dr. Catherine BRU-CHEVALLIER**

Directrice de l'INL, Lyon (Présidente du jury)

**Pr. Georges BREMOND**

Professeur des universités à l'INSA, Lyon (Rapporteur)

**Pr. Sylvain BOLLAERT**

Professeur des universités à l'IEMN, Lille (Rapporteur)

**Dr. Hervé BOUTRY**

Ingénieur de recherche au CEA-Leti, Grenoble (Encadrant)

**Dr. Thomas ERNST**

Directeur de recherche au CEA-Leti, Grenoble (Directeur de thèse)

**Dr. Thierry BARON**

Directeur de recherche au LTM-CNRS, Grenoble (Directeur de thèse)





## Remerciements

Première page du manuscrit mais derniers mots rédigés pour conclure cette belle aventure.

Je commencerai par remercier Catherine Bru-Chevallier, Sylvain Bollaert et Georges Brémond pour avoir fait partie de ce jury de thèse.

Je remercie chaleureusement les « Riri, Fifi et Loulou » du CEA, alias, Thomas Ernst, Thierry Baron et Hervé Boutry. Merci, Thomas, pour les relectures du manuscrit et tes conseils avisés. Thierry, merci pour tes recommandations et encouragements pour faire avancer le projet. Hervé, merci pour ta patience et ta gentillesse au quotidien. Tu as su prendre le temps de répondre à toutes mes questions stupides, et de m'apprendre les fondamentaux de la microélectronique. Il faut dire que je parlais de loin ! Le projet III-V était, il faut bien l'avouer, terriblement casse-pied à gérer, mais c'était un plaisir de travailler dans ton équipe. Sans aucun doute, j'ai été entourée de beaucoup de bienveillance et de bonne humeur. Encore merci à vous trois, de m'avoir donné la chance d'apprendre autant de choses.

J'ai eu la chance de faire partie de deux laboratoires, qui m'ont accueillie très chaleureusement, le LTM et le LICL. Je remercie tout particulièrement l'équipe matériaux du LTM, et l'équipe III-V au LICL. Un grand merci à Zdenek Chalupa, Christophe Cantin, Valérie Lapras et Bernard Previtali pour leur aide et leur gentillesse tout au long de ma thèse. Je remercie particulièrement Romain C., Mika, Jérémy et Reynald pour leur expertise en matériaux III-V et les nombreuses épitaxies réalisées. Merci aussi pour votre bonne humeur et les chouettes soirées partagées au Carré ! Merci à Sylvain David pour les images TEM, Sébastien Labau et Bernard Pelissier pour les analyses XPS.

Je tiens à remercier de tout cœur toutes les équipes de DTSI qui se sont parfois arrachés les cheveux pour mettre au point les procédés III-V en salle. Tout d'abord, merci à Helen Grampeix pour les nombreuses heures passées en salle à traiter de (très) petits échantillons. Merci également à Philippe Rodriguez, Fabrice Nemouchi, Sandrine Perraudou et Stéphane Minoret. Un grand merci à Marie-Christine Roure et Mickaël Rebaud pour leur disponibilité et leur aide, notamment pour la relecture du manuscrit. Merci aussi à Virginie Loup et Laura Toselli. Merci à Pauline Burtin et Maxime Bizouerne pour les nombreux essais de gravure sur si peu de plaques ! Je remercie Julie Widiez et Sébastien Sollier pour la réalisation des plaques InGaAs-OI. Je tiens à remercier aussi le laboratoire de caractérisation électrique, et particulièrement Julien Duvernay, Mickaël Cassé, Charles Leroux, Philippe Ferrandis et Blend Mohamad pour leurs précieuses explications. Cette longue liste démontre bien tous les efforts qui ont été mobilisés pour ce projet !

Il y a aussi ceux avec qui j'ai partagé les joies de la thèse : mon bureau fétiche avec Julien B. *le roi du Massive Music Quizz*, Luca *Brutta Persona pizza-à-l'ananas*, Alex *Caiparinha punk à chien*, GÜlia *ma voisine de Sardaigne*. Et puis, la bande des Miam-miam: Lina *Kawaii*, Jose *Biking*, Coco *hipster du hockey subaquatique*, Julien D. *mécène généreux de la salle de gym*, Anouar *copain de BU*, Issam *la fierté d'Aubagne*, Loic *les bons tuyaux*, et

aussi Vincent, Elodie, Carlos (first and second)... Je n'oublierai pas les joyeuses pauses café, et débats du déjeuner.

Et puis, il y a les belles rencontres de Grenoble : la troupe Tête au cube et son imagination sans borne ; Marconot et ses Marconettes : Fanny, Virginie, Manon, Lise, Dorian, Christophe, Alban, Maxime, Clément. Que de belles soirées et randonnées passées avec vous. Vous allez me manquer !

Je pense aux amies de longue date, Maureen et Alice-Anne, avec qui je poursuis l'aventure de la vie. J'embrasse aussi tous les amis « Solvay » qui rendent la Belgique si sympathique : Saadia, Carole, Sophie, Maxime, Audrey et Thomas.

Au milieu de l'agitation grenobloise, des montagnes, pingouins et skieurs accros, il y a aussi Thomas.

Je finirai par remercier tendrement mes parents et mon frère pour leur amour et leur soutien depuis 27 longues années. Vous répétez sans cesse que vous n'y êtes pour rien dans tout ça, mais moi, je sais que vous en êtes entièrement responsables !





---

# Table des matières

---

REMERCIEMENTS .....	- 1 -
LISTE DES ACRONYMES .....	- 7 -
<b>Introduction générale .....</b>	<b>- 9 -</b>
<b>Chapitre 1. Intérêts et applications des semi-conducteurs III-V sur substrat de silicium ..</b>	<b>- 13 -</b>
INTRODUCTION DU CHAPITRE 1.....	- 14 -
1. L'EVOLUTION DU TRANSISTOR MOSFET .....	- 15 -
1.1. <i>Principe de fonctionnement des transistors MOSFET</i> .....	- 15 -
1.1.1. Effets de canaux courts .....	- 17 -
1.1.2. Vers une architecture non planaire .....	- 18 -
1.1.3. Intégration de « boosters » de mobilité .....	- 19 -
2. PLACE DES MATERIAUX III-V DANS L'INDUSTRIE DES SEMI-CONDUCTEURS .....	- 20 -
2.1. <i>Propriétés remarquables des III-V et leurs applications</i> .....	- 20 -
2.1.1. Energie de bande interdite.....	- 21 -
2.1.2. Mobilité des porteurs et réponse en fréquence.....	- 22 -
2.2. <i>Pourquoi le III-V sur Si peut faire la différence ?</i> .....	- 24 -
2.3. <i>Défauts cristallins induits dans le III-V par une épitaxie sur Silicium</i> .....	- 25 -
3. SOLUTIONS D'INTEGRATION D'UNE COUCHE III-V SUR UN SUBSTRAT DE SILICIUM.....	- 27 -
3.1. <i>Epitaxie en couche complète</i> .....	- 28 -
3.1.1. Hétéroépitaxie via des couches tampons .....	- 28 -
3.1.2. Croissance directe de III-V sur Si .....	- 29 -
3.1.3. Collage .....	- 30 -
3.2. <i>Epitaxie localisée</i> .....	- 32 -
3.2.1. Aspect ratio trapping (ART) .....	- 32 -
3.2.2. Confined lateral selective epitaxial growth (CLSEG) .....	- 34 -
3.3. <i>Comparaison des techniques d'intégration de III-V sur Si</i> .....	- 35 -
3.4. <i>Performances des MOSFET III-V actuels</i> .....	- 36 -
3.4.1. Performances sur substrat III-V.....	- 36 -
3.4.2. Performances des transistors III-V sur substrat Si .....	- 40 -
3.5. <i>Verrous technologiques à surmonter</i> .....	- 43 -
3.5.1. Interface III-V/diélectrique de grille.....	- 43 -
3.5.2. Résistance de contacts .....	- 45 -
4. OBJECTIFS DE CETTE THESE.....	- 46 -
CONCLUSION DU CHAPITRE 1 .....	- 48 -
<b>Chapitre 2. Fabrication du transistor III-V sur substrat de silicium .....</b>	<b>- 49 -</b>

INTRODUCTION DU CHAPITRE 2.....	- 50 -
1. GESTION DE LA CONTAMINATION III-V SUR UNE PLATEFORME SI.....	- 51 -
1.1. Tenue en température.....	- 51 -
1.2. Traitement en solution chimique par immersion .....	- 52 -
1.2.1. Cas des solutions peu gravantes .....	- 53 -
1.2.2. Cas des solutions fortement gravantes.....	- 53 -
1.2.3. Décontamination de la face arrière .....	- 55 -
2. PRESENTATION DE LA FILIERE TRANSISTOR INGAAS-OI SUR LA PLATEFORME SI-CMOS ....	- 57 -
2.1.1. Problème d'adhérence du SiN sur l'InGaAs .....	- 58 -
2.1.2. Evolution du collage .....	- 59 -
2.1.3. Vers un collage 300mm/300mm.....	- 59 -
2.2. Elaboration de la zone active et de la grille .....	- 60 -
2.2.1. Stratégie d'intégration .....	- 60 -
2.2.2. Choix de la chimie de gravure de l'InGaAs.....	- 62 -
2.3. Réalisation des zones source-drain .....	- 64 -
2.3.1. Nettoyage de l'InGaAs avant dépôt .....	- 64 -
2.3.2. Formation de l'intermétallique .....	- 65 -
2.3.3. Intégration de l'alliage.....	- 68 -
3. FILIERE ALTERNATIVE PSEUDO-OI INGAAS-INALAS .....	- 69 -
3.1. Epitaxie d'InGaAs sur substrat Si 200mm .....	- 70 -
3.2. Définition de la zone active et dépôt de la grille .....	- 71 -
3.2.1. Définition de la zone active.....	- 71 -
3.2.2. Définition de la grille .....	- 71 -
3.3. Réalisation des zones source-drain .....	- 72 -
CONCLUSION DU CHAPITRE 2 .....	- 73 -
<b>Chapitre 3. Etude de l'interface III-V/diélectrique de grille .....</b>	<b>- 75 -</b>
INTRODUCTION DU CHAPITRE 3.....	- 76 -
1. PRINCIPE DE FONCTIONNEMENT DES CAPACITES .....	- 77 -
1.1. Régimes de fonctionnement d'une capacité .....	- 77 -
1.2. Principe de la mesure C(V).....	- 78 -
1.3. Paramètres caractéristiques de la capacité .....	- 79 -
1.3.1. Capacité de l'oxyde .....	- 79 -
1.3.2. Tension de bandes plates.....	- 79 -
1.3.3. Densité d'états d'interface.....	- 80 -
2. REALISATION DES CAPACITES SUR ECHANTILLON ET CARACTERISATION .....	- 83 -
2.1. Elaboration des capacités sur échantillon.....	- 83 -
2.2. Caractérisation XPS de l'interface III-V/diélectrique .....	- 84 -
2.2.1. Principe de l'XPS.....	- 84 -
2.2.2. Analyse angulaire par XPS .....	- 85 -

3.	IMPACT DU TRAITEMENT DE SURFACE SUR LES CAPACITES INGAAS/AL <sub>2</sub> O <sub>3</sub> .....	- 86 -
3.1.	<i>Effet du dépôt ALD et du traitement chimique sur les oxydes de III-V</i> .....	- 87 -
3.2.	<i>Effet des traitements de surface sur les caractéristiques C(V)</i> .....	- 91 -
3.3.	<i>Analyses DLTS</i> .....	- 93 -
3.3.1.	Principe de la mesure DLTS .....	- 93 -
3.3.2.	Mesures préliminaires .....	- 94 -
3.3.3.	Résultats DLTS .....	- 97 -
4.	EVOLUTION DU DIELECTRIQUE AL <sub>2</sub> O <sub>3</sub> VERS UN BICOUCHE .....	- 100 -
4.1.	<i>Choix du diélectrique</i> .....	- 100 -
4.2.	<i>Dépôt d'un bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub></i> .....	- 101 -
5.	NITRURATION DE L'INTERFACE INGAAS/AL <sub>2</sub> O <sub>3</sub> .....	- 104 -
5.1.	<i>Première évaluation de l'implantation d'azote sur Si/Al<sub>2</sub>O<sub>3</sub></i> .....	- 105 -
5.2.	<i>Implantation d'azote par plasma N<sub>2</sub> sur InGaAs</i> .....	- 106 -
5.3.	<i>Implantation d'azote par plasma NH<sub>3</sub> sur InGaAs</i> .....	- 107 -
6.	ETUDE DE CAPACITES III-V SUR SUBSTRAT Si 300MM .....	- 110 -
6.1.	<i>Etapas de croissance du GaAs sur Si</i> .....	- 110 -
6.2.	<i>Epitaxie d'InGaAs sur Si</i> .....	- 113 -
6.3.	<i>Elaboration des capacités sur substrat Si 300mm</i> .....	- 114 -
6.4.	<i>Comparaison des capacités sur InGaAs et GaAs</i> .....	- 115 -
6.5.	<i>Comparaison des capacités InGaAs/Si élaborées en 300mm et sur échantillon ....</i>	- 116 -
6.5.1.	Conséquence de la remise à l'air après désoxydation .....	- 119 -
6.5.2.	Comparaison des diélectriques .....	- 121 -
6.5.3.	Uniformité des capacités sur substrat 300mm .....	- 122 -
	CONCLUSION DU CHAPITRE 3 .....	- 123 -
	<b>Conclusion générale &amp; perspectives</b> .....	- 125 -
	RÉFÉRENCES .....	- 129 -



## Liste des acronymes

<b>AFM</b>	Atomic Force Spectroscopy
<b>ALD</b>	Atomic Layer Deposition
<b>ART</b>	Aspect Ratio Trapping
<b>BOX</b>	Buried Oxide
<b>CELO</b>	Confined Epitaxial Lateral Overgrowth
<b>CLSEG</b>	Confined Selective Epitaxial Growth
<b>CET</b>	Capacitance Equivalent Thickness
<b>CMOS</b>	Complementary Metal-Oxide-Semiconductor
<b>CMP</b>	Chemical Mechanical Planarization
<b>C<sub>ox</sub></b>	Capacité de l'oxyde de grille
<b>DIBL</b>	Drain-induced barrier lowering
<b>D<sub>it</sub></b>	Density of interface states (densité d'états d'interface)
<b>DLTS</b>	Deep Level Transient Spectroscopy
<b>EDX</b>	Energy Dispersive X-ray Spectrometry
<b>EOT</b>	Equivalent Oxide Thickness
<b>FD-SOI</b>	Fully depleted Silicon-on-insulator
<b>HBT</b>	Heterojunction Bipolar Transistor
<b>HEMT</b>	High Electron Mobility Transistor
<b>ICPMS</b>	Induced Coupled Plasma Mass Spectrometry
<b>ITRS</b>	International Technology Roadmap for Semiconductors
<b>MBE</b>	Molecular Beam Epitaxy
<b>MEB</b>	Microscopie à balayage
<b>MOCVD</b>	Metalorganic Vapour Phase Epitaxy
<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor
<b>PEALD</b>	Plasma Enhanced Atomic Layer Deposition
<b>PVD</b>	Physical Vapor Deposition
<b>R<sub>RMS</sub></b>	Root Mean Square Roughness
<b>SS</b>	Subthreshold Slope (pente sous le seuil)
<b>SOI</b>	Silicon-on-Insulator
<b>V<sub>T</sub></b>	Threshold voltage (tension de seuil)
<b>TASE</b>	Template-assisted selective epitaxy
<b>TEM</b>	Transmission Electronic Microscopy
<b>TMA</b>	Triméthylaluminium
<b>TXRF</b>	Total Reflection X-Ray Fluorescence
<b>VLS</b>	Vapor-Liquid-Solid
<b>VPD</b>	Vapor-phase Decomposition
<b>XPS</b>	X-ray Photoelectron Spectroscopy



---

# Introduction générale

---

L'écrivain de science-fiction, **Isaac Asimov**, imagine en août 1964 à quoi pourrait ressembler l'exposition universelle de l'année 2014. Il écrit : « En 2014 les robots ne seront ni courants ni très élaborés mais ils existeront. L'exposition IBM n'a pas de robots aujourd'hui mais elle est dédiée aux ordinateurs, qui sont montrés dans toute leur incroyable complexité, notamment dans la tâche de traduction du russe vers l'anglais. Si les machines sont si intelligentes aujourd'hui, qui sait ce qu'elles feront dans 50 ans ? Ce seront des ordinateurs beaucoup plus miniaturisés qu'aujourd'hui, qui serviront de « cerveaux » aux robots. » [ASIMOV64][FRAMABLOG13]. Isaac Asimov avait vu juste sur ce point. La puissance de calcul démultipliée des ordinateurs permet maintenant aux machines d'apprendre par elles-mêmes. Intel a d'ailleurs affiché ses ambitions en matière d'intelligence artificielle en annonçant des investissements colossaux dans le « deep-learning » (apprentissage profond) et les réseaux de neurones artificiels pour 2017 [HERTEL16]. Pour comprendre comment la technologie a pu évoluer si vite depuis la création du premier ordinateur dans les années 1940, il faut se plonger au cœur des circuits intégrés.

Les **transistors** constituent la brique de base de tous les circuits électroniques. Plusieurs transistors connectés ensemble de manière précise forment des **portes logiques**. Un ensemble de portes logiques peut faire des calculs simples sur des nombres (addition, multiplication, mémorisation...). Un grand nombre de portes logiques assemblées constituent un **circuit intégré**, capable de faire de nombreux calculs complexes. La Figure 0-1 illustre l'augmentation du nombre de transistors par processeur depuis 1971, où Intel a commercialisé le premier microprocesseur au monde, l'Intel® 4004.

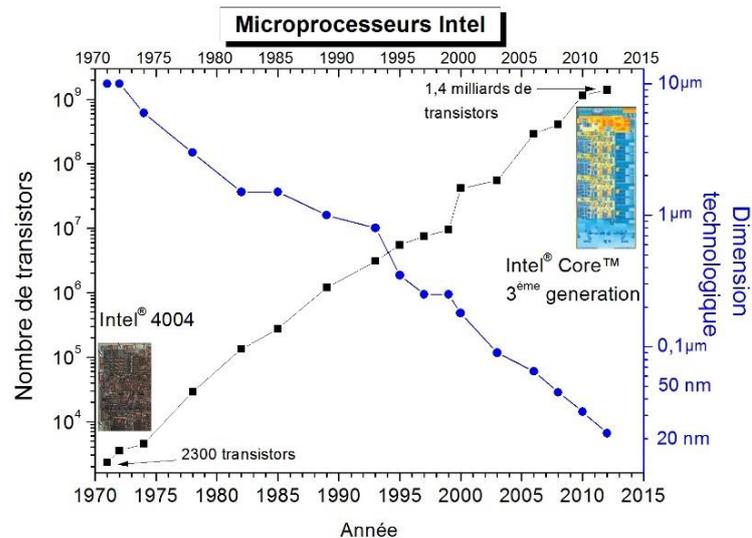
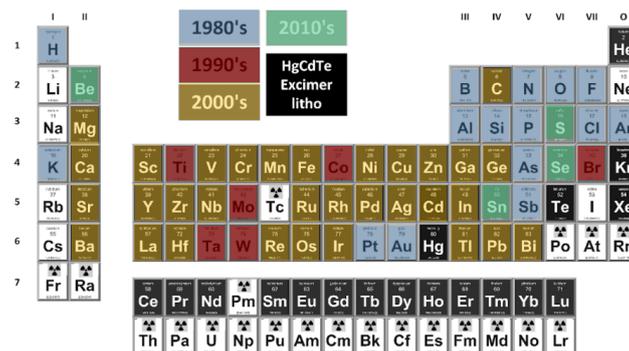


Figure 0-1: Nombre de transistors et la dimension technologique correspondante pour les processeurs Intel de 1971 à 2012 [INTEL CORPORATION12].

A l'époque, le processeur contenait 2300 transistors de 10µm de largeur de grille. Depuis, le nombre de transistors par puce n'a cessé d'augmenter grâce à la réduction des dimensions du transistor, multipliant ainsi la puissance de calcul des processeurs. La technologie Intel® Core™ en 2012 est composée de 1,4 milliards de transistors construits à l'échelle nanométrique.

L'amélioration des performances n'est pas uniquement due à la réduction des dimensions, mais aussi aux progrès des procédés de fabrication du transistor (lithographie, dépôt...) et à l'intégration de nouveaux matériaux. La Figure 0-2 montre l'introduction de nouveaux éléments dans l'industrie des semi-conducteurs depuis les années 1980, afin de perfectionner les propriétés des contacts ou des isolants par exemple. Les recherches se concentrent aussi sur la réduction de la consommation énergétique des circuits intégrés qui se multiplient parmi les objets du quotidien. Actuellement, on peut même constater que seules des innovations en terme de procédé et non plus de lithographie (qui reste bloquée à 193nm de longueur d'onde) permet de continuer à réduire les dimensions et augmenter les performances.



**Figure 0-2: Eléments utilisés dans l'industrie des semi-conducteurs depuis les années 1980 [COLINGE16].**

Dans ce contexte, nos travaux de thèse explorent une voie possible pour la réalisation de transistors à faible puissance de fonctionnement : le remplacement du silicium par un matériau dit « III-V » (matériau composé d'éléments III et V du tableau périodique). Certains matériaux III-V possèdent des propriétés de transport des électrons théoriquement supérieures comparées au Silicium, permettant de réaliser des circuits plus rapides.

Dans le premier chapitre, nous expliquerons les limites de la miniaturisation des transistors en silicium et en quoi les matériaux III-V sont intéressants pour cette application. L'intégration de ces nouveaux matériaux est loin d'être évidente sur des substrats standards de la microélectronique en silicium, mais nous verrons plusieurs solutions technologiques envisageables pour relever les défis de l'intégration.

Dans le deuxième chapitre, nous présenterons les deux filières technologiques mises au point au cours de cette thèse pour la réalisation de transistor tri-gate d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sur un substrat silicium dans les salles blanches du CEA-Leti.

Enfin, le troisième chapitre se concentrera sur des études de capacités MOS (métal/oxyde/semi-conducteur) pour réduire la densité d'états d'interface entre l'InGaAs et le diélectrique de grille, qui reste un point bloquant aujourd'hui pour les performances des transistors III-V.



---

**Chapitre 1.**  
**Intérêts et applications des semi-**  
**conducteurs III-V sur substrat de silicium**

---

## **Introduction du chapitre 1**

Ce premier chapitre définira les objectifs de ces travaux et leurs motivations.

Nous expliquerons, dans un premier temps, le fonctionnement du transistor MOSFET et les effets de canaux courts qui limitent le contrôle électrostatique de la grille sur le canal. Nous montrerons que l'évolution vers une architecture non-planaire et l'ajout de boosters de mobilité, comme les III-V, peuvent améliorer les performances.

Nous détaillerons ensuite les propriétés uniques des matériaux III-V et leurs applications commerciales actuelles. Après avoir expliqué les atouts de l'intégration de matériaux III-V sur un substrat de silicium, et plus particulièrement pour les transistors MOSFET, nous montrerons les défis à surmonter pour faire croître une couche III-V sur un substrat de silicium. Finalement, différentes solutions d'intégration seront comparées.

L'état de l'art des transistors MOSFET III-V sur un substrat III-V mettra en évidence les difficultés des MOSFETs III-V liées aux propriétés intrinsèques du matériau. Puis, la revue des MOSFET III-V sur Si montrera les approches choisies par les différentes équipes de recherche et les verrous technologiques qui persistent à l'heure actuelle.

## 1. L'évolution du transistor MOSFET

Les transistors **MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)** assemblés sous forme de portes logiques dans les processeurs permettent d'effectuer des opérations logiques. Les transistors MOSFET agissent comme des interrupteurs qui laissent ou non passer le courant. Nous détaillerons le fonctionnement de ces transistors MOSFET dans la partie 1.1 de ce chapitre. Un circuit **CMOS (Complementary Metal-Oxide-Semiconductor)** est constitué de p-MOS où la conduction s'opère par les trous et des n-MOS où la conduction s'opère par les électrons.

La réduction de la taille des transistors permet une croissance de la densité de transistors par puce et donc une augmentation de la puissance de calcul. En 1965, Gordon Moore publie un article dans lequel il prédit que la densité de transistors sur une puce doublerait tous les 18 mois. En 1974, Dennard et al. montrent les bénéfices de la miniaturisation (ou « scaling ») sur les performances électriques du transistor : diminuer la taille du transistor d'un facteur  $\kappa$  permet d'augmenter la vitesse de commutation de  $\kappa$ , de réduire la puissance dissipée par  $\kappa^2$  et de réduire la tension d'alimentation de  $\kappa$ .

L'industrie des semi-conducteurs a à peu près suivi la loi de Moore jusqu'en 2005. L'amélioration des performances des transistors grâce à la miniaturisation est aujourd'hui arrivée à saturation. Nous expliquerons les raisons de cette saturation dans la partie 1.1.1, puis nous discuterons de l'évolution de l'architecture du transistor pour contrebalancer les effets négatifs de la miniaturisation (partie 1.1.2).

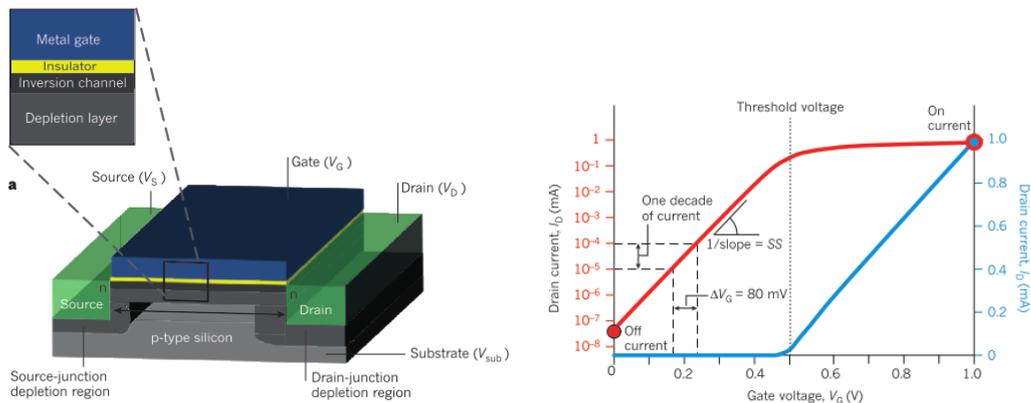
### 1.1.Principe de fonctionnement des transistors MOSFET

Le transistor MOSFET est un type de transistor qui repose sur l'effet « de champ ». Cet effet de champ module de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Le transistor peut être considéré comme un interrupteur caractérisé par deux régimes de fonctionnement : en régime bloqué (le courant ne passe pas) ou en régime actif (le courant passe). Le transistor est composé de quatre terminaux : la grille, la source, le drain et le substrat. L'intensité du courant circulant entre la source et le drain est commandée par la tension appliquée entre la grille et le substrat. Dans chaque type de MOSFET, on peut distinguer le MOSFET à canal n (le courant provient du déplacement d'électrons) et le MOSFET à canal p (le courant provient du déplacement de trous). Pour la suite de l'explication, nous prendrons le cas d'un transistor dopé n.

Comme schématisé sur la Figure 1-1Figure , le transistor est constitué de deux régions de semi-conducteur dopé n, appelées **source** et **drain**, qui sont séparées par une zone de semi-conducteur dopé p, appelé **substrat**. Un transistor p aura des dopages opposés pour la source, le drain et le substrat. Une fine couche d'isolant ( $\text{SiO}_2$ , par exemple) couvre la région entre la source et le drain. Cette couche est recouverte par une électrode métallique, appelée **grille**. L'oxyde est appelé « **oxyde de grille** ». La source et le substrat sont reliés à la masse, tandis qu'une tension positive est appliquée sur le drain. Dans ces conditions, aucun courant ne passe entre le drain et la source, et le transistor joue le rôle

d'un interrupteur ouvert. Si une tension positive suffisamment grande est appliquée sur la grille, les électrons de la source et du drain sont attirés par la grille, et forment une couche riche en électrons, appelée **canal**, sous l'oxyde de grille. Le canal connecte la source et le drain, et le courant peut passer entre les deux terminaux. Le transistor se comporte comme un interrupteur fermé. Sous le canal se forme une région où les trous, qui sont porteurs majoritaires dans le substrat, sont repoussés par la tension de grille positive : c'est une **zone de déplétion**.

Sur la Figure 1-1 est aussi représentée la courbe théorique du courant de drain ( $I_D$ ) en fonction de la tension de grille ( $V_G$ ). Les deux courbes montrent la même caractéristique mais l'une en échelle linéaire (courbe bleue) et l'autre en échelle logarithmique (courbe rouge). Quand la tension de grille augmente, le nombre d'électrons dans le canal augmente et le courant de la source au drain s'amplifie. Le courant au minimum de tension de grille ( $V_G = 0V$ ), est le courant à l'état bloqué, appelé  $I_{OFF}$ . Le courant à la tension maximum d'alimentation sur la grille est appelé  $I_{ON}$ . Au-delà d'une tension particulière, appelée **tension de seuil**  $V_T$  (« threshold voltage » en anglais), le courant de drain augmente linéairement avec  $V_G$ . En-deçà de la tension de seuil, le courant de drain augmente exponentiellement avec la tension de grille. La pente de la courbe exponentielle sur l'échelle logarithmique est appelée **pente sous le seuil**, ou « subthreshold slope » (SS) en anglais.



**Figure 1-1: Schéma d'un transistor MOSFET type n et courbes représentant le courant de drain ( $I_D$ ) d'un transistor en fonction de la tension de grille ( $V_G$ ) [FERAIN11].**

Le transistor n'étant pas idéal, le courant  $I_{OFF}$  ne vaut pas zéro et le courant  $I_{ON}$  est limité. De plus, le passage de l'état OFF à ON n'est pas instantané, il s'étale sur une plage de tension. A mesure que la taille des transistors diminue, la commutation devient de plus en plus lente. L'efficacité de la commutation est représentée par la **pente sous le seuil** (subthreshold slope, SS) et est définie par la relation :

$$SS = \frac{dV_g}{d(\log I_D)} \quad (1-1)$$

La pente sous le seuil s'exprime en millivolts par décade. Une valeur typique de la pente sous le seuil de 80mV/dec signifie qu'une augmentation de tension de 80mV entraîne une multiplication par dix du courant de drain. Elle peut s'exprimer selon la formule :

$$SS = \frac{k_B T}{q} (\ln(10)) n \quad (1-2)$$

où  $k_B$  est la constante de Boltzmann,  $T$  la température,  $q$  la charge d'un électron et  $n$  le facteur de forme. Le facteur de forme représente « l'inefficacité » avec laquelle la grille contrôle le canal. Il est proportionnel au changement de la tension de grille ( $V_G$ ) avec le potentiel du canal  $\Phi_{CH}$ , soit :

$$n = \frac{dV_G}{d\Phi_{CH}} \quad (1-3)$$

Dans le cas idéal, le couplage électrostatique de la grille sur le canal est 100% efficace, et

$$n = 1 \text{ et } \frac{k_B T}{q} (\ln(10)) = 59,6 \text{ mV/decade}$$

à température ambiante ( $T=300\text{K}$ ). La commutation d'un transistor MOSFET est donc limitée par la pente sous le seuil, qui ne peut être inférieure à 59,6mV/dec. En pratique, le contrôle de la grille sur le canal n'est jamais parfait, dû aux capacités parasites entre d'une part, le canal et le substrat, et d'autre part la source et le drain. Les états d'interface entre la grille et le canal peuvent également créer une capacité parasite supplémentaire. Ainsi, le facteur de forme vaut entre 1,2 et 1,5 pour les MOSFET Si, ce qui conduit à une pente sous le seuil entre 70 et 90mV/dec.

### 1.1.1. Effets de canaux courts

L'amélioration des performances des transistors grâce à la miniaturisation est aujourd'hui arrivée à saturation. Cette saturation est due aux **effets de canaux courts** (« short-channel effects », **SCE**). Les effets de canaux courts sont provoqués par le partage des charges électriques du canal entre la grille et les source/drain. Les jonctions de la source et du drain avec le substrat créent une zone de déplétion qui pénètre la zone du canal des deux côtés, et réduisent donc la longueur effective du canal. Les zones de déplétion sont porteuses d'un champ électrique qui réduit le contrôle de la grille sur le canal. Plus la tension de grille augmente, et plus la pénétration des zones de déplétion s'accroît. Le potentiel dans le canal et la concentration en électrons ne sont plus contrôlés uniquement par la grille, mais sont aussi influencés par la distance entre la source et le drain. Ces effets apparaissent lorsque la zone de déplétion autour des source/drain du même ordre de grandeur que la longueur du canal.

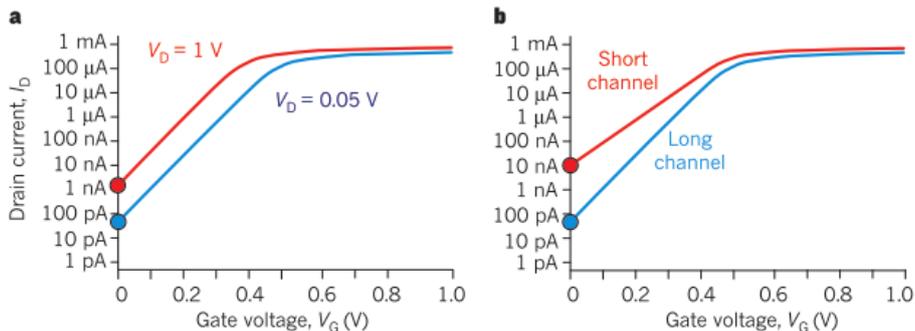


Figure 1-2: Illustration des effets de canaux courts sur les caractéristiques  $I_D(V_G)$ . La courbe bleue est prise à faible  $V_D$  (0,05V), et la courbe rouge à fort  $V_D$  (1V). (a) Le DIBL décale les caractéristiques

électriques vers la gauche quand la tension de drain est augmentée. (b) La pente sous le seuil augmente quand la longueur du canal diminue [FERAIN11].

Il y a deux effets observables qui résultent de cette perte de contrôle sur les charges dans le canal :

- le **DIBL (Drain-induced barrier lowering)**, soit l'abaissement de la barrière de potentiel par le drain, qui provoque la diminution de la tension de seuil quand  $V_D$  augmente. Ce phénomène est illustré sur la Figure 1-2 (a), où la caractéristique  $I_D(V_G)$  est décalée vers la gauche quand  $V_D$  augmente.
- la dégradation de la pente sous le seuil quand la longueur du canal est réduite, ce qui ralentit la vitesse de commutation du transistor.

Ces deux effets induisent une augmentation du courant de fuite (cf. Figure 1-2), fortement préjudiciable à la miniaturisation des transistors.

### 1.1.2. Vers une architecture non planaire

Le contrôle de la grille sur le canal s'opère via un couplage capacitif grâce à l'oxyde de grille. Afin d'augmenter le contrôle de la grille sur le canal, la capacité de l'oxyde doit être augmentée. La capacité de l'oxyde peut s'écrire comme :

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (1-4)$$

où  $\epsilon_0$  est la permittivité du vide,  $\epsilon_r$  la permittivité du diélectrique,  $e$  l'épaisseur du diélectrique et  $S$  la surface de la capacité. Le couplage capacitif de la grille sur le canal peut donc être amélioré par la réduction de l'épaisseur de l'oxyde de grille, mais aussi par le remplacement du  $\text{SiO}_2$  par un diélectrique à plus **haute permittivité (« high-k »)**. La couche de  $\text{SiO}_2$  a ainsi été remplacée par une fine couche d' $\text{HfO}_2$  qui présente une constante diélectrique cinq fois plus importante. La réduction de l'épaisseur d'oxyde est cependant limitée par le courant de fuite.

Le contrôle de la grille peut être renforcé en modifiant l'architecture du transistor, vers une structure dite multi-grille. En réalité, le transistor n'a qu'une seule grille mais qui enveloppe le canal sur plusieurs côtés. La Figure 1-3 montre différents exemples d'architectures, où la grille enveloppe le canal sur deux ou trois côtés, voire entoure totalement le semi-conducteur (nanofil). Les transistors **FinFET** sont caractérisés par la hauteur ( $H_{FIN}$ ) et la largeur du canal ( $L_{FIN}$ ), souvent appelé « Fin » dans cette configuration. La technologie 14nm commercialisée par Intel est composée de FinFETs de seulement 8nm de large.

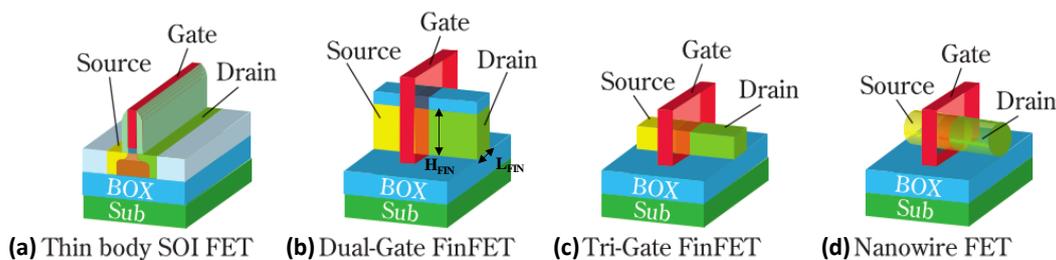


Figure 1-3: Architectures possibles de transistor pour l'amélioration du contrôle électrostatique de la grille sur le canal : de la structure classique planaire (a) au FinFET (b), Tri-gate (c) et jusqu'au nanofil (d) [HATA11].

STMicroelectronics a choisi d'accroître les performances des transistors par la technologie **FD-SOI (Fully depleted Silicon On Insulator)**.

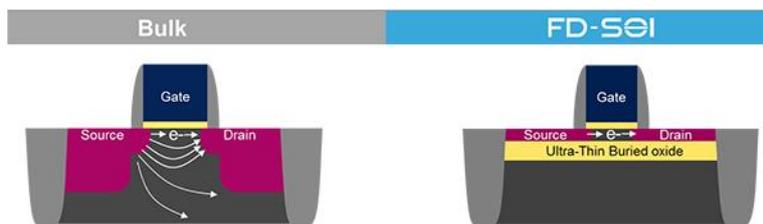


Figure 1-4: Comparaison d'un transistor MOSFET classique ("bulk") et d'un transistor FD-SOI. Dans cette technologie, le canal repose sur un oxyde fin. L'isolant réduit les capacités parasites liées aux source/drain et réduit le courant de fuite.

### 1.1.3. Intégration de « boosters » de mobilité

L'augmentation des performances du transistor ne se limite pas à la réduction des dimensions, et donc à la réduction des motifs lithographiques. Il est nécessaire d'améliorer les performances « extrinsèques » (grille, source et drain) mais aussi les performances « intrinsèques » du transistor (canal) [COLINGE16]. L'augmentation de la mobilité des porteurs dans le canal permet d'améliorer la vitesse de commutation entre l'état ON et l'état OFF. Nous détaillerons deux procédés principaux pour augmenter la mobilité des porteurs dans le canal.

#### Les contraintes dans le canal

L'application d'une contrainte sur le canal de Si est employée depuis le début des années 2000 comme *booster* de mobilité. Cette méthode consiste à forcer le canal à adopter un paramètre de maille différent de celui adopté naturellement. La contrainte peut être compressive ou en tension. L'application d'une contrainte diminue la symétrie du réseau cristallin et modifie la structure de bande. La forme des bandes est aussi perturbée, ce qui induit une modification de la masse effective [NIEBOJEWSKI14]. Une contrainte compressive dans le Si augmentera la mobilité des trous, tandis qu'une contrainte en tension augmentera la mobilité des électrons.

Les contraintes dans le canal peuvent être appliquées de deux manières :

- par le substrat pour introduire une contrainte sur tout le canal (épitaxie du canal Si sur un substrat contraint SiGe)

- par les procédés de fabrication pour introduire une contrainte locale (entre autre, épitaxie de source et drain contraints [NIEBOJEWski14]).

Cette technique est déjà appliquée à l'échelle industrielle. Mais dans l'objectif de réduire encore plus la consommation des transistors pour les nœuds les plus avancés, d'autres *boosters* de mobilité sont nécessaires.

### **Les matériaux III-V**

Le remplacement du canal Si par un matériau à plus forte mobilité électronique comme les matériaux III-V est une solution envisagée pour les nœuds sub-7nm. La partie 2 de ce chapitre se concentrera sur les propriétés des semi-conducteurs III-V afin d'expliquer l'intérêt des matériaux III-V pour les MOSFETs.

## **2. Place des matériaux III-V dans l'industrie des semi-conducteurs**

Les matériaux III-V rassemblent les alliages composés d'un ou plusieurs éléments de la colonne III du tableau périodique associé avec un ou plusieurs éléments de la colonne V. La liste des éléments est représentée sur la Figure 1-5. Le silicium et le germanium, appartiennent à la colonne IV du tableau périodique. Les composés III-V les plus répandus dans l'industrie des semi-conducteurs sont le GaN, le GaAs et l'InP. Ils existent en substrat et offrent donc une large gamme de paramètre de maille pour l'épitaxie de III-V sur III-V (cf. Figure 1-5).

III	IV	V
5 <b>B</b> 10,81	6 <b>C</b> 12,01	7 <b>N</b> 14,01
13 <b>Al</b> 26,98	14 <b>Si</b> 28,09	15 <b>P</b> 30,97
31 <b>Ga</b> 69,74	32 <b>Ge</b> 72,59	33 <b>As</b> 74,92
49 <b>In</b> 114,82	50 <b>Sn</b> 118,69	51 <b>Sb</b> 121,75

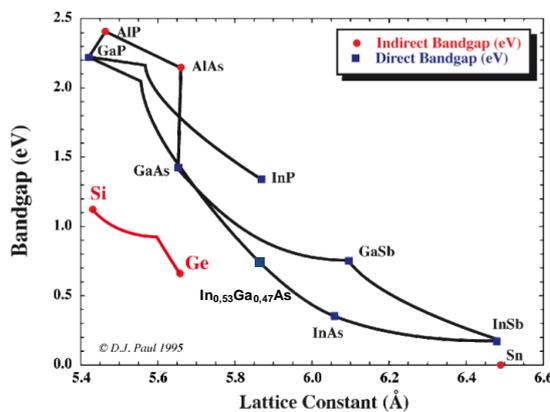


Figure 1-5: Extrait du tableau périodique montrant les éléments des colonnes III, IV et V et graphique représentant l'énergie de bande interdite en fonction du paramètre de maille de matériaux III-V.

### **2.1. Propriétés remarquables des III-V et leurs applications**

Les matériaux III-V sont principalement employés dans l'électronique (traitement de signaux électriques) et la photonique (signaux optiques) pour la transmission d'information. L'intérêt de ces matériaux III-V par rapport au Si, matériau phare de la microélectronique, se justifie par deux propriétés remarquables que nous allons développer : un gap direct et une mobilité des électrons élevée.

### 2.1.1. Energie de bande interdite

Les semi-conducteurs sont divisés en deux familles : les matériaux à « gap direct » ou « gap indirect ». Si le maximum de la bande de valence et le minimum de la bande de conduction sont alignés sur le même vecteur d'onde  $k$ , alors la bande interdite est dite directe (ou « **gap direct** »), comme illustré sur la Figure 1-6 pour le GaAs. C'est le cas de nombreux matériaux III-V (cf. Figure 1-5). Au contraire, s'ils possèdent des vecteurs d'onde différents alors la bande interdite est indirecte (ou « **gap indirect** »), comme pour le Si. Un photon dont l'énergie est proche de celle de la bande interdite, peut produire facilement une paire électron-trou dans un semi-conducteur direct, car il n'a pas besoin d'énergie pour modifier son vecteur d'onde.

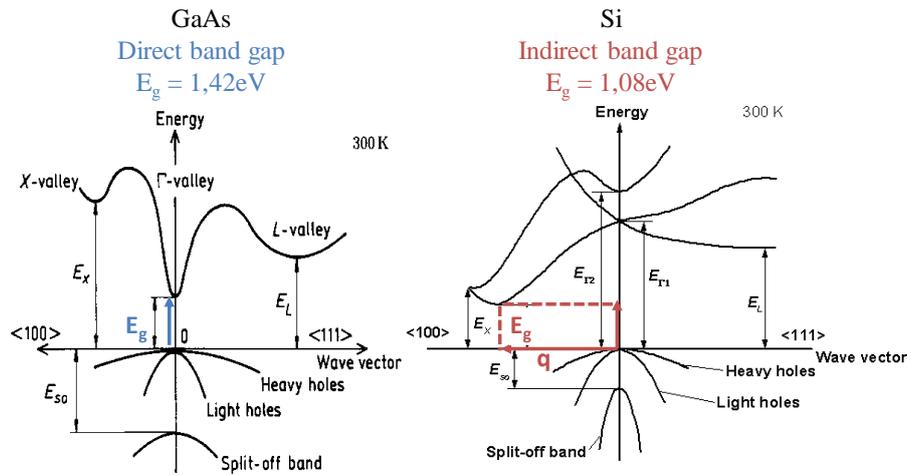


Figure 1-6: Structures de bandes du GaAs et du Si à 300K montrant le maximum de la bande de valence et le minimum de la bande de conduction en fonction du vecteur d'onde  $k$ .

L'énergie du photon est directement liée à l'énergie du gap :

$$\hbar\omega = E_g \quad (1-5)$$

Alors que dans un semi-conducteur indirect, il faut satisfaire la conservation de l'énergie et du vecteur d'onde  $k$ . Ceci n'est possible que si un phonon d'énergie  $\hbar\omega(q)$  et de vecteur d'onde  $q$  participe à la transition « en fournissant le vecteur d'onde qui manque ». La transition n'est possible que si l'énergie du photon est suffisante pour exciter un électron dans la bande de conduction et créer un phonon

$$\hbar\omega = E_g + \hbar\omega(q) \quad (1-6)$$

La création d'une paire électron-trou est donc plus lente dans un semi-conducteur indirect. C'est pourquoi les matériaux III-V présentant un gap direct sont utilisés pour les dispositifs optiques plutôt que le Si.

Les matériaux III-V entrent avec les fibres optiques dans la plupart des composants pour la télécommunication. Les matériaux binaires InP et GaAs sont majoritairement utilisés en optoélectronique comme source électroluminescente pour les fibres optiques, les LED (Light Emitting Diode) émettant dans le spectre visible et infrarouge. La Figure 1-7 montre différents matériaux III-V et II-VI particulièrement utilisés comme diodes laser en fonction du spectre de longueur d'onde.

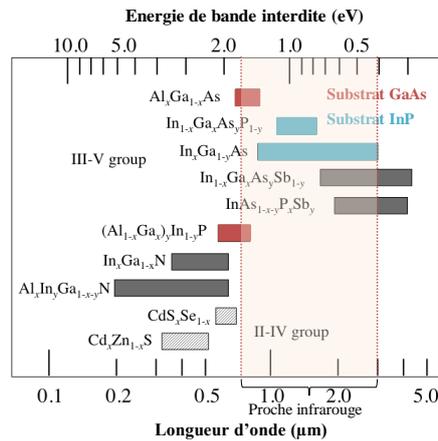


Figure 1-7: Couverture spectrale des lasers à base de matériaux III-V et II-VI en fonction de la longueur d'onde, graphe adapté de [Laser Diode14].

### 2.1.2. Mobilité des porteurs et réponse en fréquence

Les matériaux III-V présentent une mobilité des électrons environ 10 fois supérieure à celle du Si, grâce à leur faible **masse effective**. La masse effective d'un électron est liée à la forme de la bande de conduction près de son minimum et peut être déterminée par la relation :

$$\frac{d^2E}{dk^2} = \frac{\hbar^2}{m^*} \quad (1-7)$$

avec E l'énergie, k le vecteur d'onde,  $\hbar$  la constante de Planck réduite et  $m^*$  la masse effective de l'électron [HOWES85]. Sur la Figure 1-6, on remarque que la bande de conduction varie plus rapidement avec le vecteur d'onde dans la vallée  $\Gamma$  pour le GaAs que pour le Si. La masse effective des électrons dans le GaAs est donc plus faible que dans le Si. La force appliquée sur un électron dans un champ électrique accélère alors l'électron plus rapidement dans le GaAs que dans le Si [HOWES85]. Les mobilités des électrons et des trous pour plusieurs matériaux III-V, comparés au Si et Ge sont présentées sur la Figure 1-8 (a). Cette forte mobilité est exploitée, par exemple, dans les transistors **HEMT (High Electron Mobility Transistor)** qui répondent à des exigences de systèmes fonctionnant à des fréquences élevées (micro-ondes). Les vitesses d'injections de transistors HEMT (InAs,  $\text{In}_{0,7}\text{Ga}_{0,3}\text{As}$  et  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ ) sont comparées à celles de transistors Si MOSFET sur la Figure 1-8 (b). La faible masse effective des électrons dans le III-V a un impact sur la densité d'état des électrons dans la bande de conduction, puisqu'elles sont reliées par l'équation

$$N_c = 2 \left( \frac{2\pi m^* kT}{h^2} \right)^{3/2} \quad (1-8)$$

avec  $N_c$  la densité volumique effective des électrons dans la bande de conduction, h la constante de Planck et T la température [HOWES85]. La **densité d'états** (notée DOS « density of states ») est donc plus faible dans les III-V que dans le Si ( $2,1 \times 10^{17} \text{cm}^{-3}$  pour l'  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  contre  $2,8 \times 10^{19} \text{cm}^{-3}$  pour le Si). Nous verrons dans la suite de ce chapitre

que cette propriété s'avèrera être une difficulté pour l'application MOSFET traitée dans cette thèse.

Une autre propriété intéressante des III-V par rapport au Si est leur tenu à haute fréquence. A très fort champ électrique, la vitesse des porteurs atteint une vitesse maximum appelée « **vitesse de saturation** ». Au-delà d'un certain champ électrique, la vitesse des porteurs n'augmente plus à cause d'une trop forte interaction avec le cristal. Comme montré sur la Figure 1-9, la vitesse des électrons à fort champ électrique est plus importante dans le GaAs et l'InP que pour le Si.

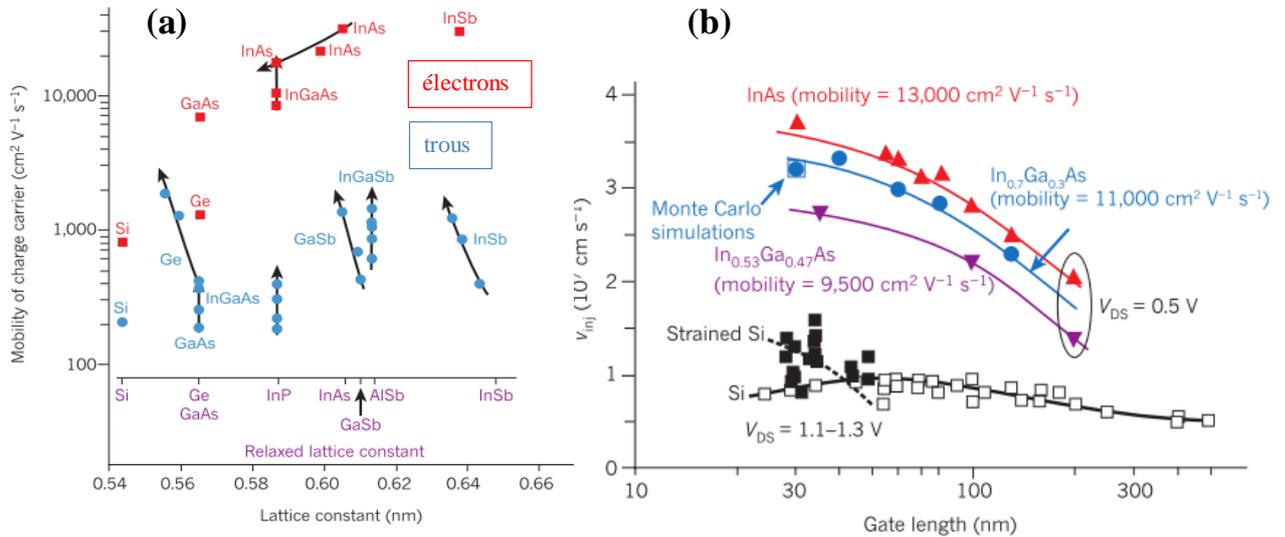


Figure 1-8: (a) Mobilité des porteurs (point bleu pour les trous, et carré rouge pour les électrons) en fonction du paramètre de maille des matériaux III-V, ainsi que pour le Si et le Ge. Les flèches représentent l'impact de la contrainte sur la mobilité. (b) Vitesse d'injection des électrons pour des HEMT III-V comparée au Si MOSFET en fonction de la longueur de grille [del Alamo11].

Pour le GaAs, les électrons sont majoritairement dans la vallée  $\Gamma$  à faible champ électrique. A plus fort champ, une partie des électrons peut passer dans la vallée L par le biais de phonons, puis dans la vallée X [HOWES85][ADACHI05]. La masse effective des électrons dans la vallée L étant plus importante que dans la vallée  $\Gamma$ , la vitesse des électrons et la vitesse moyenne de saturation sont donc réduites à plus fort champ électrique.

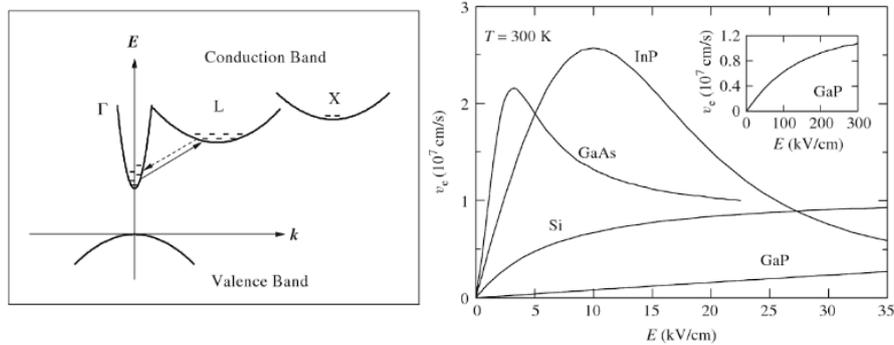


Figure 1-9: A gauche, le diagramme de bande approximatif du GaAs montrant le passage des électrons de la vallée  $\Gamma$  à la vallée L sous fort champ électrique. A droite, la vitesse de saturation des électrons en fonction du champ électrique appliqué pour le GaAs, l'InP, le GaP et le Si à température ambiante [ADACHI05].

La forte mobilité électronique et la vitesse de saturation élevée rendent les matériaux III-V (InP et GaAs principalement) attractifs pour les transistors fonctionnant dans le spectre

des **radiofréquences** (jusqu'à 300GHz), comme les HBT (Heterojunction Bipolar Transistor) ou HEMT (High Electron Mobility Transistor). Nous expliquerons plus en détail le fonctionnement des HEMT dans le chapitre 2, partie 2. Le GaAs est historiquement le leader des composants pour la radiofréquence (RF). La Figure 1-10 montre l'évolution des revenus générés par les dispositifs RF à base de GaAs de 1999 à 2013. Les revenus ont particulièrement augmenté à partir de 2004 et de la révolution « sans fil » et de la téléphonie mobile. A l'époque, le GaAs était le seul matériau capable d'apporter la couverture en fréquence, le coût et la fiabilité nécessaire pour la production en grand volume. A mesure que la complexité et la production augmentent, d'autres alternatives au GaAs émergent comme la technologie SOI, ou bien le SiGe et GaN. L'utilisation grandissante des smartphones et des LEDs devrait favoriser le marché des substrats de GaAs. Son taux de croissance est maintenant estimé à près de 13% entre 2016 et 2020 [TECHNAVIO16].

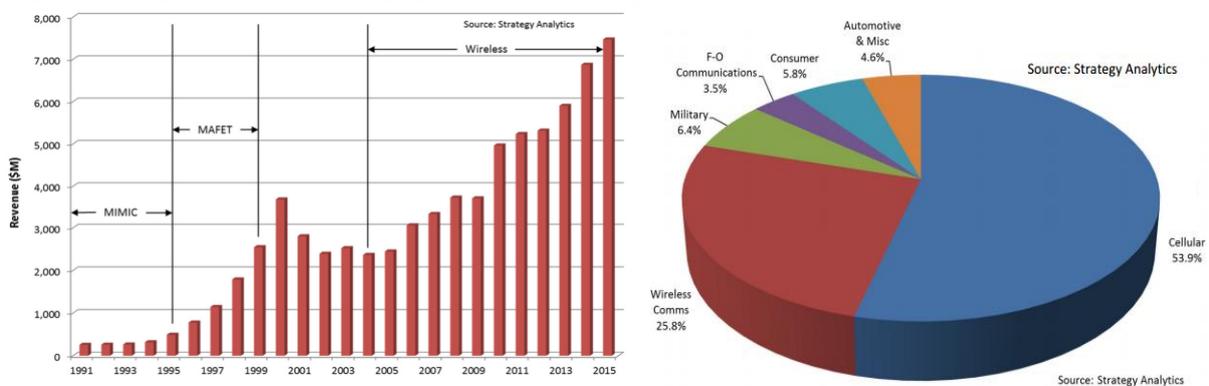


Figure 1-10 : A gauche, historique des revenus générés par les dispositifs RF à base de GaAs entre 1991 et 2015. A droite, segmentation de revenus des dispositifs GaAs [HIGHAM15].

## 2.2. Pourquoi le III-V sur Si peut faire la différence ?

L'assemblage de circuits CMOS, et autres dispositifs à base de III-V est une voie importante de la recherche actuelle car elle permettrait de densifier et d'augmenter la fonctionnalité des puces [KAZIOR14]. Il serait alors possible d'intégrer au sein d'une même puce des HBT InP et GaN HEMT, par exemple, avec un circuit Si CMOS. Les matériaux III-V peuvent également être utilisés pour les interconnexions des circuits CMOS. Dans les processeurs à multi-cœurs où plusieurs circuits sont assemblés et effectuent des calculs en parallèle, les interconnexions restent une limitation majeure pour les performances. La photonique, quant à elle, peut assurer le parallélisme des données (capacité de distribuer les informations sur différents nœuds qui les traitent en parallèle) et la distribution des données à très grande distance [Yoo16]. La combinaison de la photonique et de l'électronique pourrait donc profiter de tous ces avantages. Le Si et le Ge ne sont pas les matériaux les plus adaptés pour la réalisation de lasers ou modulateurs optiques. Il devient alors nécessaire d'intégrer des lasers haute-performance à base de matériaux III-V sur des circuits intégrés en Si. Le substrat Si est naturellement privilégié puisqu'il est le plus « extensible » et bon marché par rapport aux substrats III-V limités à 100 ou 150mm

de diamètre. La Figure 1-11 rapporte le nombre de publications répondant au mot clé « III-V on Silicon » et montre l'intérêt grandissant de la communauté pour ce sujet. Encore plus loin que l'intégration Si CMOS et dispositifs III-V, l'intégration de matériaux III-V au sein même du CMOS est une voie explorée pour le « Beyond CMOS ». La technologie Si MOSFET a profité de la miniaturisation pour l'amélioration des performances. Cependant, les dimensions sont actuellement tellement réduites que de nouveaux effets défavorables apparaissent (cf partie 1.1.1). L'introduction de matériaux III-V comme booster de mobilité est une des voies explorées, particulièrement depuis 2005 comme montré sur la Figure 1-11.

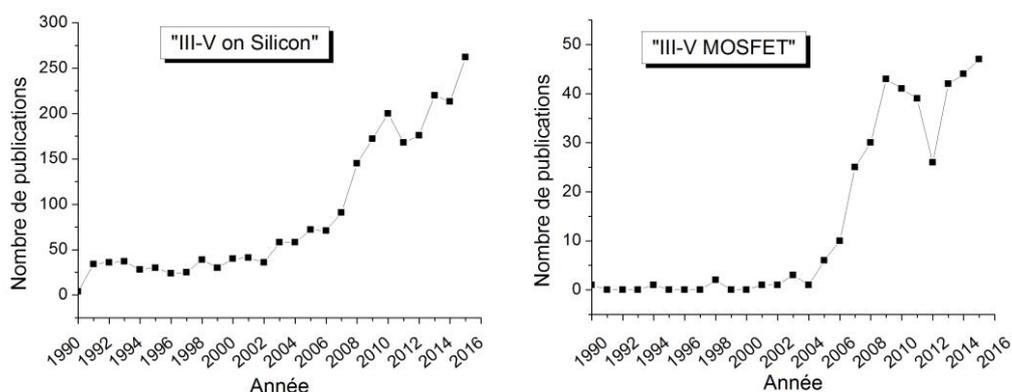


Figure 1-11: Nombre de publication par an de 1990 à 2015 indiquant les mots clés « III-V on Silicon » et « MOSFET III-V ».

### 2.3. Défauts cristallins induits dans le III-V par une épitaxie sur Silicium

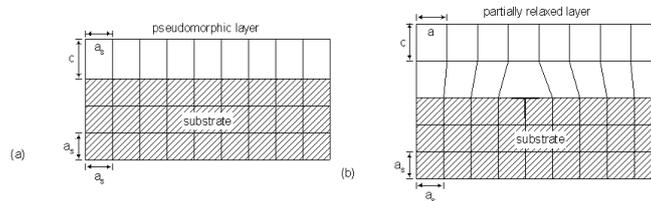
L'intégration d'un canal III-V sur substrat Si présente de nombreuses difficultés, mais le principal défi à relever est la réduction des défauts cristallins dans les couches III-V épitaxiées sur Si. Nous expliquerons les types de défauts induits lors de l'épitaxie de couches III-V sur Si, puis les solutions envisagées pour réduire la quantité de défauts cristallins.

Le Si et les matériaux III-V présentent des propriétés physiques intrinsèques différentes ce qui rend difficile l'épitaxie de III-V sur Si. Ces matériaux possèdent trois différences majeures :

(1) La différence de coefficient de dilatation thermique : le coefficient de dilatation thermique de l'InGaAs est environ 2,2 fois supérieur à celui du Si. L'épitaxie de l'InGaAs sur Si se faisant à haute température ( $\sim 600^\circ\text{C}$ ), des fissures peuvent apparaître dans l'InGaAs, dans le cas de couches épaisses ( $\sim 2\text{-}3\mu\text{m}$ ).

(2) La différence de paramètre de maille : l'InGaAs présente une différence de paramètre de maille avec le Si allant de 8 à 10% selon la composition (de 50 à 75% d'In). Pour une hétéroépitaxie à faible différence de paramètre de maille, la croissance est dite pseudomorphique. La couche épitaxiée est contrainte pour adopter le paramètre de maille du substrat  $a_s$  dans le plan de l'interface, comme schématisé sur la Figure 1-12 (a).

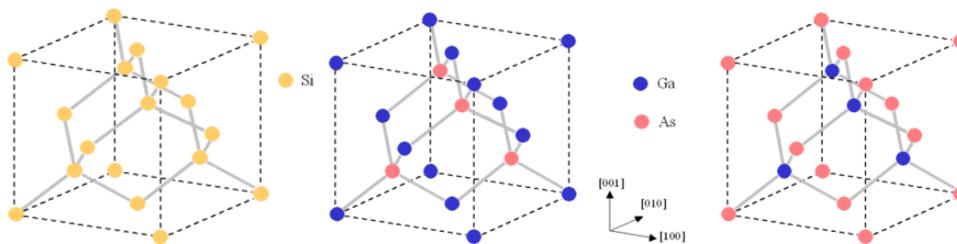
Dans le plan perpendiculaire, la couche est contrainte. A mesure que l'épaisseur de la couche croît, la contrainte augmente dans le matériau. A partir d'une épaisseur critique, il devient énergétiquement plus favorable de créer des dislocations pour relaxer une partie des contraintes (Figure 1-12-b). Ces dislocations créent des états dans la bande interdite du III-V, qui augmentent le courant de fuite et réduisent la durée de vie des porteurs du transistor.



**Figure 1-12: Croissance d'une couche sur un substrat en désaccord de paramètre de maille : (a) couche pseudomorphique et (b) couche partiellement relaxée [AYERS07].**

Le minimum de densité de dislocations émergentes de GaAs sur substrat Si reportée est de l'ordre de  $10^6 \text{cm}^{-2}$  en utilisant une couche tampon de Ge/GeSi [BOLKHOVITYANOV09]. La densité de dislocation peut atteindre  $10^9-10^{10} \text{cm}^{-2}$  pour une croissance directe de GaAs sur Si sans couche tampon.

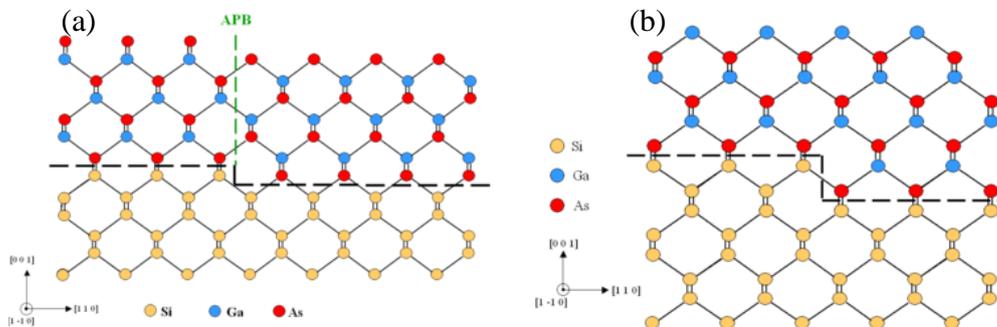
(3) La différence de polarité : le matériau III-V est constitué d'éléments de groupe III (Ga, In, Al) et V (As) il est donc polaire. Le Si est, quant à lui, constitué uniquement d'élément IV, il est apolaire. La croissance d'un matériau polaire sur un matériau apolaire peut conduire à la formation de domaines d'antiphase. Le Si cristallise selon la structure de type diamant, formée par deux sous-réseaux cubiques faces centrées (cfc) décalés d'un vecteur  $(\frac{1}{4}, \frac{1}{4}, \frac{1}{4})$ . Le GaAs et l'InGaAs ont une structure type zinc blende, identique à celle du Si sauf que les deux sous-réseaux sont occupés par des atomes différents. Les structures cristallines sont représentées sur la Figure 1-13.



**Figure 1-13: Structures cristallines type diamant du Si, et type zinc blende du GaAs. Deux orientations possibles du GaAs sont représentées (rotation de 90° autour de la direction [001]) [CHRIQUI05].**

Deux orientations possibles du GaAs sont représentées où une rotation de 90° est simplement effectuée autour de la direction [001]. Dans le cas de l'InGaAs, les atomes d'In remplacent les atomes de Ga dans son sous-réseau. L'épitaxie de l'(In)GaAs commence toujours par la saturation de la surface de Si en atomes d'As. Au niveau d'une marche monoatomique, comme illustré sur la Figure 1-14-a. les atomes d'As passent d'un sous-réseau à un autre. A l'intersection de ces domaines, de mauvaises liaisons As-As et Ga-Ga se créent et forment une paroi d'antiphase. Ce défaut cristallin naît au niveau des marches du substrat et peut émerger jusqu'à la surface du matériau et diminuer la mobilité des

porteurs. En effet, les parois d'antiphase agissent comme des centres de recombinaisons non-radiatives pour les porteurs. Deux parois d'antiphase peuvent se rencontrer et s'auto-annihiler. Pour éliminer les parois d'antiphase émergentes, un substrat Si désorienté ( $4-6^\circ$ ) est souvent utilisé. La désorientation du substrat implique une longueur de marche plus petite que pour un substrat non désorienté.



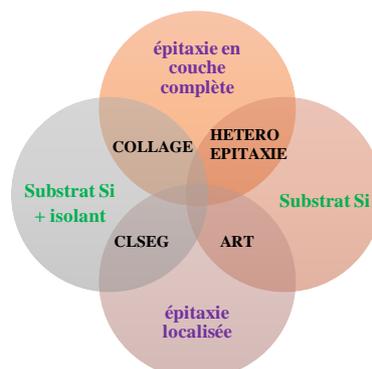
**Figure 1-14: Formation d'une paroi d'antiphase sur une marche monoatomique (a) et absence de paroi d'antiphase sur une marche biatomique (b) [CHRIQUI05].**

A haute température, une reconstruction de la surface favorise la formation de marches biatomiques sur lesquelles ne naissent pas de paroi d'antiphase. En effet, sur une marche biatomique, la première couche d'As appartient toujours au même sous-réseau (cf. Figure 1-14-b). Par contre, les substrats standards de la microélectronique ne présentent qu'une légère désorientation ( $0,1-0,3^\circ$ ).

Afin d'éliminer les parois d'antiphase et de réduire la densité de dislocations, plusieurs stratégies d'intégration sont possibles.

### 3. Solutions d'intégration d'une couche III-V sur un substrat de silicium

Pour remédier à ces difficultés d'épitaxie de III-V sur Si, plusieurs solutions d'intégration sur Si sont possibles. On peut les classer en deux grandes catégories, selon que l'épitaxie est faite en couche complète, ou localisée dans des motifs. Puis, deux types de substrats peuvent être employés : un substrat Si standard, ou un substrat Si avec isolant. Les combinaisons possibles sont résumées sur la Figure 1-15 et seront expliquées dans la suite de cette partie.

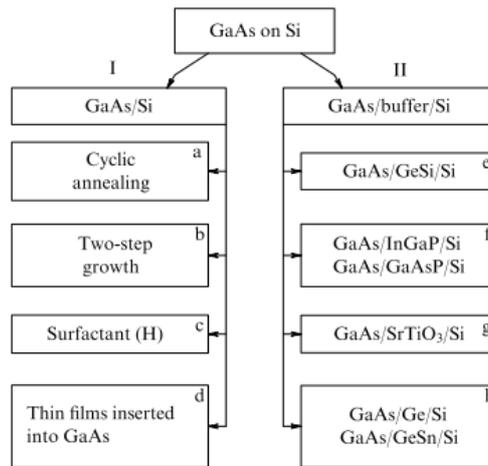


**Figure 1-15: Possibles intégrations d'un canal III-V sur substrat Si.** ART signifie « Aspect Ratio Trapping » et CLSEG « Confined Epitaxial Selective Lateral Overgrowth ».

### 3.1.Épitaxie en couche complète

Afin d'adapter le paramètre de maille entre le Si et le III-V (4% pour le GaAs et 8% pour l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ ), de nombreuses méthodes existent et sont résumées sur la Figure 1-16 pour l'exemple du GaAs. L'épitaxie du GaAs sur Si peut se faire via deux modes :

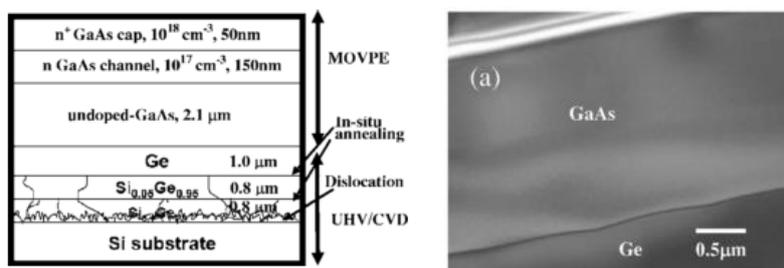
- la croissance directe sur substrat Si: les deux principales méthodes que nous décrirons ici sont la croissance en deux étapes et les cycles de recuit
- la croissance via l'insertion de couches tampons (dites «buffer») de compositions différentes, Ge et  $\text{Si}_{1-x}\text{Ge}_x$ , étant les plus courantes.



**Figure 1-16: Classement des méthodes d'épitaxie du GaAs sur substrat Si en deux catégories: (I) croissance directe sur Si et (II) croissance via insertion de couches tampons [BOLKHOVITYANOV08].**

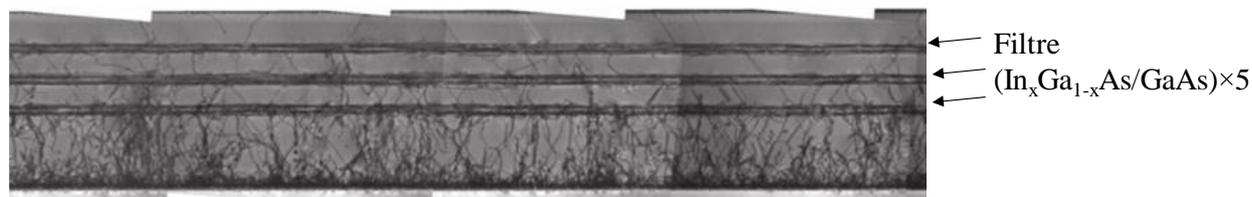
#### 3.1.1. Hétéroépitaxie via des couches tampons

Pour adapter la différence de paramètre de maille entre le Si et le III-V, des matériaux de paramètres de maille intermédiaires sont insérés entre le Si et la couche d'intérêt. Ces couches tampons assurent que la densité de défauts créés à l'hétérojonction est progressivement réduite. La couche de Ge est couramment employée car elle est en accord de paramètre de maille avec le GaAs. Une publication de Luo et al. rapporte la croissance de GaAs sur substrat Si désorienté ( $6^\circ$ ), à l'aide d'un buffer  $\text{Si}_{0,05}\text{Ge}_{0,95}/\text{Ge}$  [LUO07]. La densité de dislocations est l'une des plus faibles atteintes dans la littérature pour le GaAs sur Si, puisqu'elle atteint  $6\text{-}7 \times 10^6 \text{cm}^{-2}$  (cf. Figure 1-17), La mobilité des électrons mesurée est de  $2000 \text{cm}^2/\text{Vs}$  pour une concentration en électrons de  $5 \times 10^{17} \text{cm}^{-3}$ . Pour comparaison, la mobilité des électrons dans une couche de GaAs sur substrat GaAs atteint  $5000 \text{cm}^2/\text{Vs}$  pour la même concentration électronique [HAGEMAN92].



**Figure 1-17: Croissance de GaAs sur substrat Si désorienté (6°) et image MEB de l'interface Ga/GaAs [Luo07].**

Une autre solution élaborée pour réduire la densité de dislocations émergentes est la technique DFL (Dislocation Filter Layers), soit l'introduction de couches filtrantes. Dans l'étude de I. George et al., l'introduction de filtre GaAs/ $\text{In}_x\text{Ga}_{1-x}\text{As}$  réduit de 90% la densité de dislocation à la surface [GEORGE15], comme montré sur la Figure 1-18. La densité de dislocations émergentes atteint  $10^8\text{cm}^{-2}$  pour une croissance totale de plus de  $4\mu\text{m}$ .



**Figure 1-18: Image TEM d'une croissance sur substrat Si par la technique DFL [GEORGE15].**

Une méthode basée sur des cycles de recuit pendant la croissance de GaAs (TCA thermal cycling anneal) a aussi montré son efficacité pour réduire la densité de dislocations à  $10^6\text{cm}^{-3}$  avec une couche de GaAs de  $4\mu\text{m}$  d'épaisseur [UEN06].

### 3.1.2. Croissance directe de III-V sur Si

La technique des couches tampons implique la croissance de couches très épaisses qui peuvent induire une courbure du substrat. Cette courbure doit être compensée pour pouvoir traiter la plaque sur les équipements 300mm. La courbure est un problème particulièrement pour l'étape de lithographie puisque le focus est sensible à la planéité du substrat. Les couches tampons engendrent aussi un coût supplémentaire important en précurseur. La croissance directe de III-V sur Si est donc une voie privilégiée.

Une méthode pour faire croître le GaAs directement sur le Si est de déposer en premier une fine couche de GaAs à plus basse température ( $400\text{-}450^\circ\text{C}$ ) avant de continuer la croissance à la température standard ( $\sim 700^\circ\text{C}$ ) [AKIYAMA84]. La température joue sur le mode de nucléation du GaAs sur le Si. La nucléation du GaAs se fait toujours sous forme d'îlots sur Si. A basse température, les îlots sont plus nombreux, ce qui diminue la densité de dislocations créées à l'interface [BOLKHOVITYANOV08]. Le mécanisme sera détaillé dans le chapitre 3, partie 6.1.

Dans l'objectif d'intégrer le matériau III-V sur Si à l'échelle industrielle, en plus de la qualité cristalline, d'autres critères rentrent en jeu. Il s'avère notamment nécessaire de réaliser l'épitaxie sur des substrats de Si standards pour la microélectronique, c'est-à-dire d'orientation cristalline (100), sans forte désorientation et de diamètre 200 voire 300mm. Or dans la plupart des études, la croissance est réalisée sur un substrat désorienté ( $4\text{-}6^\circ$ ) afin d'éliminer les parois d'antiphase. Les substrats de Si standards ne présentent pas de désorientation, ou bien une désorientation très faible ( $<1^\circ$ ). Il est donc nécessaire de s'affranchir de cette désorientation pour adapter l'épitaxie dans un environnement Si.

Au LTM, la croissance par MOCVD de GaAs et d' $\text{InGaAs}$  a été optimisée sur substrat Si 300mm standard (100). La couche GaAs réalisée directement sur Si ne présente aucune

paroi d'antiphase, pour une épaisseur de 150nm seulement [ALCOTTE16], alors que le substrat montre seulement une légère désorientation de 0,15°. Les détails de la croissance, réalisée en deux étapes, seront donnés dans le chapitre 3. La mobilité des électrons dans le GaAs est de  $2000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  pour une concentration d'électrons de  $7 \times 10^{17} \text{ cm}^{-3}$ . La densité de dislocation de  $3 \times 10^9 \text{ cm}^{-2}$  peut encore être réduite afin d'améliorer la mobilité des porteurs. Pour la croissance de la couche d'InGaAs, une couche buffer d'InP est insérée entre le GaAs et l'InGaAs. La croissance sera détaillée dans le chapitre 3, partie 6.1.

### 3.1.3. Collage

Afin de s'affranchir des défauts cristallins induits par la différence de paramètre de maille, le moyen le plus direct est de faire croître la couche d'intérêt sur son substrat en accord de paramètre de maille, puis de reporter cette couche sur un substrat Si par collage moléculaire. Cette technique permet d'obtenir un canal III-V sans défauts cristallins, type paroi d'antiphase ou dislocations, sur un oxyde de silicium. Cependant, la taille des substrats III-V étant limitée à 100mm, le substrat Si 200 ou 300mm ne sera pas exploité au maximum. Après hétéroépitaxie d'une couche III-V au-dessus de couches tampons sur un substrat de Si 300mm, comme expliqué précédemment, la couche supérieure la moins défectueuse peut être reportée sur un autre substrat Si via un collage moléculaire. De cette manière, la couche III-V recouvre entièrement le substrat Si 300mm. Nous allons décrire plus en détail ces deux stratégies de collage.

La technique de collage a l'avantage de pouvoir réaliser un canal fin sur oxyde comme les substrats Silicon-on-insulator (SOI), utilisés pour la technologie FD-SOI développée au CEA et à STMicroelectronics. Dans cette technologie, un fin canal de Si repose sur un isolant afin d'améliorer le contrôle électrostatique. De la même manière, la structure III-V-OI désigne une couche de III-V sur un oxyde. La configuration canal sur oxyde permet d'utiliser l'oxyde comme deuxième grille sur la face arrière. L'application d'une tension sur la face arrière du transistor permet d'adapter la consommation du circuit en fonction des opérations réalisées. De la même manière que pour le FD-SOI, il a déjà été récemment montré que les caractéristiques d'un transistor InGaAs peuvent être modulées par l'application d'une tension en face arrière [LIN16].

#### **Collage depuis un substrat III-V**

La technique du collage direct consiste à mettre en contact deux surfaces de matériaux sans ajout de matière et sans compression [RAUER14]. A température ambiante, l'adhésion est due principalement aux forces de Van Der Waals, liaisons hydrogènes et forces de capillarité. Cependant, l'énergie de collage est assez faible, et les deux plaques peuvent encore être séparées. Pour rendre le collage irréversible, un traitement thermique est appliqué pour remplacer les liaisons de Van Der Waals par des liaisons covalentes, à plus forte énergie de liaison. Le collage direct Si/Si est possible mais pas le

collage III-V/Si. Il faut donc insérer une couche d'adhésion, qui est généralement un diélectrique ( $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$  ou  $\text{SiN}$  par exemple)

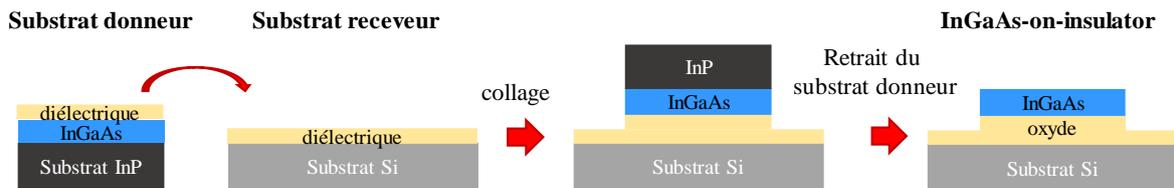


Figure 1-19: Schéma de collage d'une couche d'InGaAs, épitaxiée sur substrat InP, sur un substrat Si.

Le diélectrique est déposé sur le substrat donneur (canal III-V sur substrat III-V) et sur le substrat receveur en Si. Après collage et recuit, le substrat III-V est retiré par voie chimique et/ou mécanique (Chemical Mechanical Polishing, CMP) (cf. Figure 1-19). Bien que la couche d'InGaAs soit sans défaut, la qualité de l'interface entre le canal et le diélectrique de collage est fondamentale pour la mobilité des porteurs dans le canal. En effet, les principaux mécanismes affectant la mobilité des porteurs sont la diffusion de Coulomb, la rugosité de surface et diffusion de phonons. Leur effet est d'autant plus important que l'épaisseur du canal est faible.

Une équipe de l'université de Tokyo a réalisé le collage de film ultra-fin d'InGaAs (de 9 à 3,5nm d'épaisseur) sur substrat Si [YOKOYAMA11]. Afin d'obtenir des couches si fines, ils ajoutent lors de l'épitaxie une couche d'arrêt à la gravure, constituée d'InGaAs. Cela permet de faire une gravure rapide et grossière du substrat InP très épais, en s'arrêtant sur la couche d'arrêt d'InGaAs. Puis une gravure chimique fine de quelques nanomètres d'InP permet de révéler le canal d'InGaAs sans l'endommager.

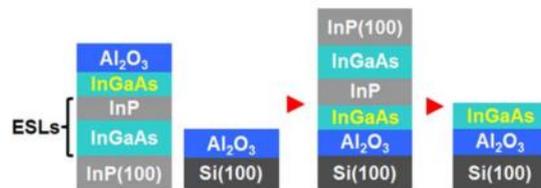


Figure 1-20: Stratégie de collage d'un film ultra fin d'InGaAs sur Si par l'université de Tokyo [YOKOYAMA11].

Le pic de mobilité mesuré dans le canal d'InGaAs à 9nm est de  $912\text{cm}^2/\text{Vs}$  pour une forte concentration  $N_D$  de  $1 \times 10^{19}\text{cm}^{-3}$ , ce qui est presque le double de la mobilité du Si.

### Collage depuis un substrat Si

La taille du substrat III-V étant limitée, des procédés de collage via une hétéroépitaxie sur Si ont été élaborés. L'épitaxie du canal d'InGaAs est réalisée sur un substrat de Si grâce à des couches tampons pour accommoder la différence de paramètre de maille. Le canal d'InGaAs est ensuite collé sur un nouveau substrat Si via un collage oxyde/oxyde. Seule la partie supérieure de l'épitaxie est gardée, soit la partie la moins défectueuse. Les chercheurs de l'université de Tokyo ont comparé les performances en mobilité dans un canal issu d'un substrat InP ou d'un substrat Si (cf. Figure 1-21) [KIMS14]. Les MOSFET InGaAs fabriqués à partir d'un substrat donneur Si montrent une mobilité équivalente à celle obtenue pour un substrat donneur InP.

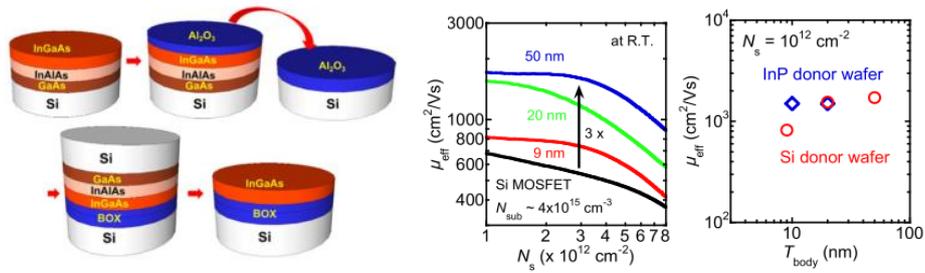


Figure 1-21: Stratégie de collage d'une couche d'InGaAs crue sur substrat Si, et mesure de la mobilité des électrons en fonction de l'épaisseur d'InGaAs. Les mobilités extraites sont comparées à celles mesurées pour un substrat donneur d'InP [KIMS14].

Le collage de couche III-V sur substrat Si peut également être réalisé par la technique Smart Cut™. Cette technologie, inventée et brevetée au LETI est commercialisée et développée par SOITEC. Elle permet la fabrication des substrats Silicon-on-insulator (SOI) sur lesquels les transistors FD-SOI, par exemple, sont réalisés. L'épitaxie d'InGaAs est réalisée sur Si grâce à des couches tampons de GaAs et d'InP. Le collage moléculaire est réalisé dans la couche de SiO<sub>2</sub>. Puis une implantation d'ions H<sup>+</sup> localisés dans la couche d'InP crée des micro-cavités qui vont fragiliser le matériau dans un plan bien précis. Un recuit à 350°C suffit à séparer les deux parties. Le substrat donneur peut être utilisé pour une nouvelle épitaxie III-V. Les mesures de mobilité sur les couches d'InGaAs sont en cours de réalisation.

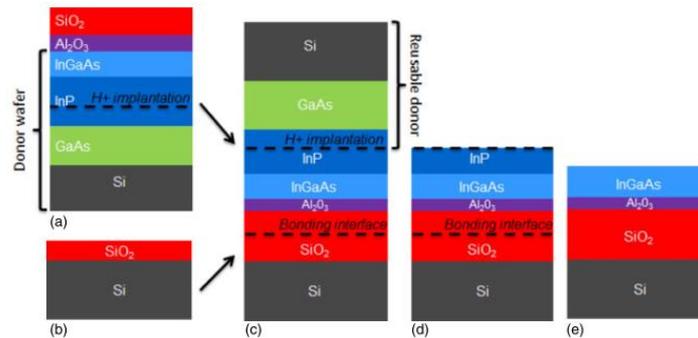


Figure 1-22: Collage d'une couche d'InGaAs sur substrat Si 300mm par la méthode Smart Cut™ [WIDIEZ16]

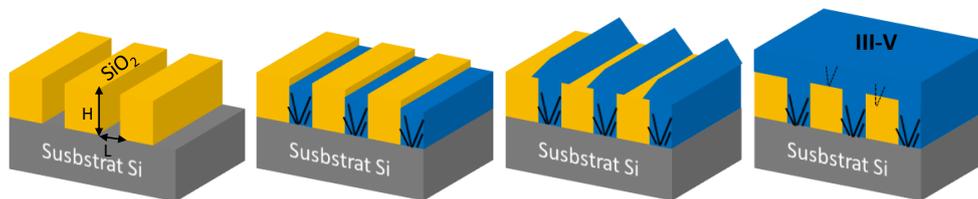
### 3.2.Epitaxie localisée

L'épitaxie localisée vise à réduire encore la densité de dislocations émergentes par la croissance sélective dans des trous ou tranchées à fort rapport d'aspect. Cette méthode présente aussi l'avantage de limiter l'épaisseur de matériau déposé et donc de réduire les coûts de l'épitaxie. Deux méthodes peuvent se distinguer : « Aspect ratio trapping » et « Confined lateral selective Epitaxial growth ».

#### 3.2.1. Aspect ratio trapping (ART)

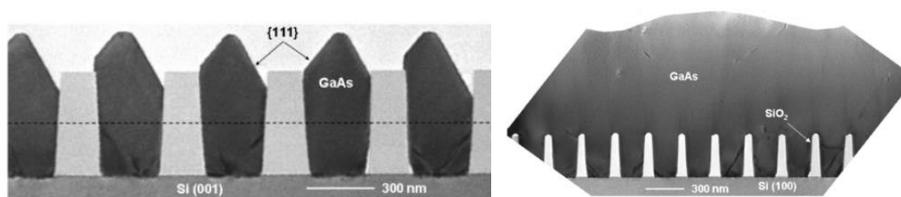
La méthode ART (Aspect Ratio Trapping) consiste à empêcher la propagation des dislocations par le confinement de la croissance dans des tranchées. Lors de la croissance, une partie des dislocations s'annihile sur les parois d'oxyde. La partie supérieure du matériau III-V contient donc moins de dislocations. Le taux d'annihilation dépendra du

rapport d'aspect de la cavité, c'est-à-dire du rapport hauteur/largeur. L'effet est observé dès que  $H/L > 1$ . Cette méthode a été adaptée pour le Ge/Si et pour le III-V/Si [CHENGZ08]. Le procédé Shallow Trench Isolation (STI) a été détourné pour créer des cavités d'oxyde. La technique STI sert dans la technologie CMOS à isoler les transistors p et n par de l'oxyde. Le Si est retiré sélectivement à l'oxyde pour créer la cavité.



**Figure 1-23: Principe de la croissance localisée ART (Aspect Ratio Trapping). Les traits noirs représentent les dislocations. Les traits en pointillé représentent les défauts (fautes d'empilement, dislocations) créés lors de la coalescence des lignes de III-V.**

La partie supérieure du matériau III-V peut être utilisée comme canal avant ou après coalescence des tranchées de matériaux (Figure 1-23 et Figure 1-24). La coalescence des îlots au-dessus de l'oxyde engendre des défauts cristallins comme des fautes d'empilement ou des dislocations.



**Figure 1-24: Images TEM de la croissance de GaAs sur Si par la technique ART : avant coalescence des tranchées de GaAs (à gauche) et après coalescence (GaAs) [LI08].**

Dans le cas « non-coalescé », la technique ART permet de faire croître des canaux individuels dans les tranchées, ou au-dessus des tranchées. C'est la stratégie choisie par IMEC pour la réalisation de MOSFET à base d'InGaAs [WALDRON12][WALDRON16]. Le canal d'InGaAs est isolé du substrat Si par une couche d'InP, car l'InP présente une plus grande énergie de bande interdite (1,34eV) que le Si (1,12eV). La matrice pour la croissance de l'InP est conçue, comme précédemment à partir des substrats STI. Cependant, la gravure du Si révèle les plans (111) et forme des sillons en forme de V, autrement appelés « V-groove » (Figure 1-25). Une première couche de Ge (50nm) est déposée afin de minimiser la formation de parois d'antiphase [NGUYEN10]. L'InP est déposé jusqu'à ce qu'il dépasse la tranchée. Après planarisation, la croissance localisée d'InGaAs est réalisée sur InP pour l'élaboration d'un transistor type FinFET. Sur la coupe TEM de la Figure 1-25, on remarque que les défauts sont principalement localisés près du Si.

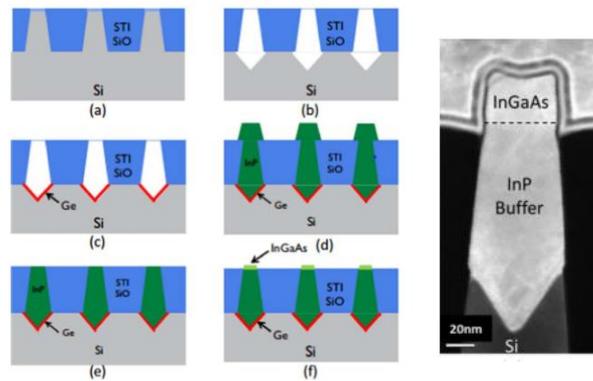


Figure 1-25: Réalisation d'un canal d'InGaAs par la technique ART par IMEC [WALDRON16].

### 3.2.2. Confined lateral selective epitaxial growth (CLSEG)

Le principe de l'ART peut être poussé plus loin, jusqu'à confiner totalement la croissance de III-V dans un moule d'oxyde. La technique « Confined Lateral Selective Epitaxial Growth » (CLSEG) consiste à faire croître sélectivement un matériau à l'intérieur d'une cavité d'oxyde depuis un germe sur Si. Cette méthode permet de faire croître une fine couche de semi-conducteur sur un isolant. Les étapes de fabrication sont illustrées sur la Figure 1-26. Un oxyde thermique est réalisé sur le substrat Si. Après lithographie, des ouvertures sur le Si sont réalisées. Une couche sacrificielle de Si amorphe est déposée et gravée pour couvrir le trou sur le Si. L'épaisseur et la forme de la couche sacrificielle définira les dimensions de la cavité. La couche sacrificielle est ensuite partiellement oxydée (Figure 1-26-a). Une ouverture est créée sur le Si amorphe afin de le retirer sélectivement à l'oxyde (Figure 1-26-b). La croissance du III-V peut être réalisée après une légère désoxydation du Si dans la zone de nucléation. Dans une cavité très petite, les dislocations peuvent être arrêtées dans plusieurs directions de croissance.

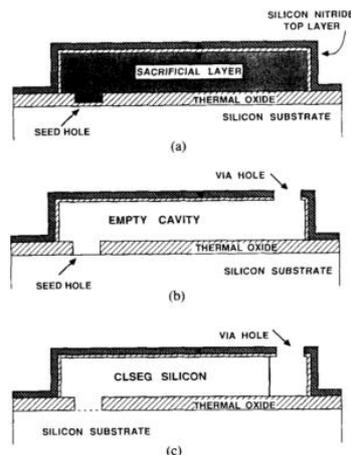


Figure 1-26: Etapes de fabrication pour la croissance CLSEG [SCHUBERT90]

Ce modèle a été adapté en 2015 par IBM pour la croissance de nanofils III-V sur oxyde. L'intégration « Template-assisted selective epitaxy » (TASE), inspirée du CLSEG, consiste à définir une matrice 3D dans laquelle le matériau III-V croît à partir de facettes (111) du Si, comme schématisé sur la Figure 1-27 [SCHMID15]. La mobilité des électrons dans un film d'InAs atteint  $5400\text{cm}^2/\text{Vs}$  ce qui montre que le film contient très peu de dislocation.

En effet, d'autres études ont montré qu'un film d'InAs de 100nm d'épaisseur passe de  $7000\text{cm}^2/\text{Vs}$  pour un matériau peu défectueux à  $\sim 2000\text{cm}^2/\text{Vs}$  pour un matériau avec une forte densité de dislocations [TAKITA10]. Le film d'InAs crû par la méthode TASE présente par contre des défauts d'empilement, clairement visibles le long du nanofil sur la coupe TEM de la Figure 1-27.

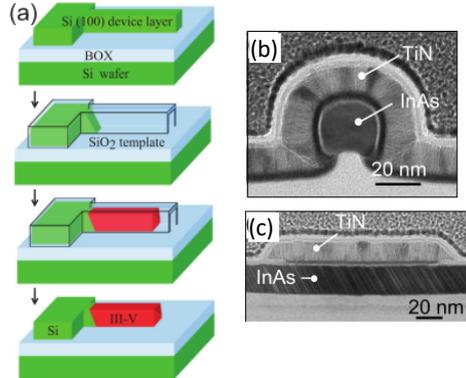


Figure 1-27: Schéma d'intégration d'un canal III-V sur substrat Si par la méthode TASE (a), images TEM en coupe du MOSFET nanofil d'InAs (b) et le long de la grille d'un nanofil de 55nm de large (c). Les fautes d'empilement perpendiculaires au canal sont clairement visibles [SCHMID15].

Une autre méthode développée par IBM, appelée CELO (Confined Epitaxial Layer Overgrowth), s'inspire des techniques CLSEG et ART [CZORNOMAZ15][CZORNOMAZ16]. Le cristal commence à croître dans les cavités à partir du Si, jusqu'à atteindre la paroi d'oxyde (Figure 1-28-a). La croissance du cristal change alors de direction et croît horizontalement. L'oxyde retiré, la couche de III-V peut être gravée pour ne garder que la partie la moins défectueuse, loin du site de nucléation. Ils présentent des croissances d'InP et  $\text{In}_{0,7}\text{Ga}_{0,3}\text{As}$  dans des cavités de 30nm d'épaisseur et de  $1,3\mu\text{m}$  de longueur de chaque côté du site de nucléation. La rugosité du film est déterminée par la rugosité du diélectrique et atteint 0,4nm, ce qui est suffisant pour la réalisation du transistor. La composition de l'InGaAs est par contre difficile à gérer le long du film.

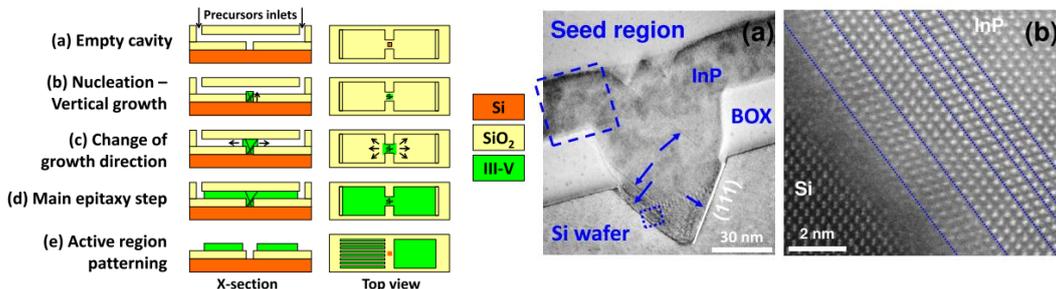


Figure 1-28: Schéma d'intégration d'un canal III-V sur substrat Si par la méthode CELO et images TEM d'une croissance d'InP sur Si [CZORNOMAZ16].

### 3.3.Comparaison des techniques d'intégration de III-V sur Si

Les techniques présentées précédemment sont comparées dans le Tableau 1-1. Nous allons aborder deux stratégies d'intégration dans ces travaux de thèse : le report d'une couche d'InGaAs depuis un substrat InP et la croissance directe d'InGaAs sur Si via une couche de GaAs. Au LTM , l'épitaxie de GaAs sur Si a été optimisée sur substrat Si standard

afin d'éliminer les parois d'antiphase [CIPRO16]. La couche supérieure montre une densité de dislocations encore assez élevée autour de  $10^9 \text{cm}^{-2}$  car la recherche s'est avant tout focalisée sur la réduction des parois d'antiphase. Afin de comparer les performances des transistors avec un canal sans dislocation, des transistors InGaAs-OI seront aussi élaborés après collage d'une épitaxie d'InGaAs sur InP sur un substrat Si.

Technique	Inconvénients	Avantages
Croissance sur Si	Coût élevé Forte densité de dislocations	Rapide et simple
Collage	Nombreuses étapes supplémentaires Coût élevé	Pas de dislocation si collage depuis III-V III-V-OI
ART		Réduction de la densité de dislocations Co-intégration rapprochée avec p-MOS
CLSEG	Composition d'InGaAs difficile à contrôler dans de très petites cavités	Réduction de la densité de dislocations III-V-OI Co-intégration rapprochée avec p-MOS

**Tableau 1-1: Comparaison des techniques d'intégration de III-V sur substrat Si.**

### 3.4. Performances des MOSFET III-V actuels

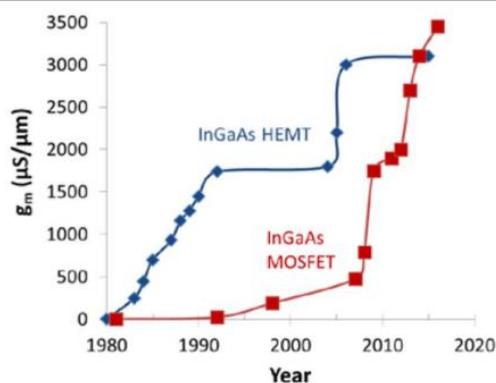
Les transistors III-V, tout comme les transistors Si ont connu l'évolution vers des architectures FinFET et nanofil afin de contrer les effets de canaux courts. La plupart des publications rapportent des études de transistors III-V sur substrat III-V. Les meilleures performances de transistors III-V sont d'ailleurs atteintes sur substrat III-V grâce à la qualité cristalline du canal. Nous résumerons d'abord les avancées réalisées sur substrat III-V. Puis, nous aborderons l'intégration de ces transistors III-V sur substrat Si. Les équipes de recherche travaillant sur cette intégration sur Si et montrant des performances à l'état de l'art sont peu nombreuses. Nous montrerons notamment les travaux de :

- SEMATECH (consortium aux Etats-Unis regroupant des universités, fabricants de circuits intégrés et équipementiers)
- Intel
- l'université de Tokyo
- IBM
- l'université de Lund
- IMEC (Belgique) en collaboration avec TSMC.

#### 3.4.1. Performances sur substrat III-V

##### **Transistors planaires sur substrat III-V**

Les transistors MOSFET à base d' $\text{In}_x\text{Ga}_{1-x}\text{As}$  ont été largement perfectionnés sur substrat InP. Pour la structure la plus simple, la configuration planaire, les transistors type « Quantum well » montrent de très bonnes performances [DEL ALAMO16]. En effet, le confinement d'un très fin canal à forte mobilité (InAs par exemple) permet d'améliorer la mobilité des porteurs dans le canal et de réduire le courant de fuite par effet tunnel.

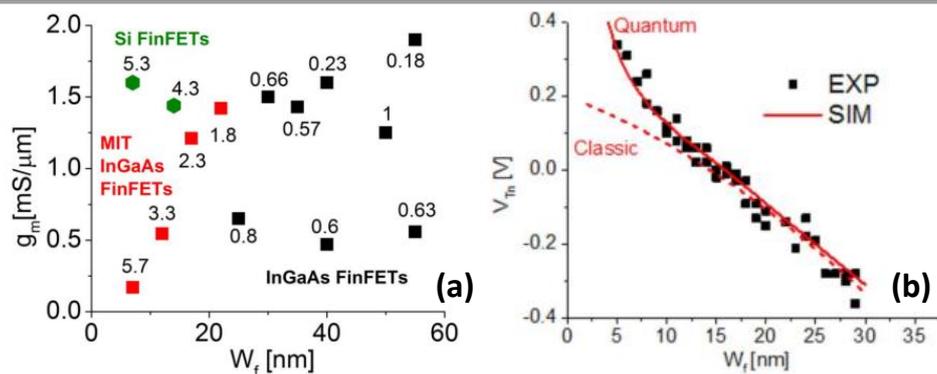


**Figure 1-29: Evolution de la conductance ( $g_m$ ) de 1980 à 2016 pour les transistors HEMT et MOSFET (composition  $In_xGa_{1-x}As$  variable) [DEL ALAMO16].**

La couche enveloppant le canal haute mobilité peut être sélectionnée afin d'optimiser la qualité de l'interface avec le diélectrique de grille. Un transistor MOSFET à base d'InAs élaboré par l'université de Santa Barbara a aussi montré un record de conductance, et une très faible pente sous le seuil [LEE14]. La Figure 1-29 montre l'évolution des performances des transistors MOSFET par rapport au HEMT depuis 1980. Les transistors III-V ont récemment dépassé la transconductance du meilleur HEMT en atteignant  $3,45mS/\mu m$  [LIN16] par une équipe du MIT. Les procédés de fabrication sont néanmoins inadaptés à la fabrication à grande échelle. Afin de réduire les résistances de contact, les zones source/drain sont auto-alignées sur le canal et non sur la grille, ce qui implique un chevauchement important de la grille sur la source et le drain. Cette configuration n'est pas adaptée à des dimensions agressives.

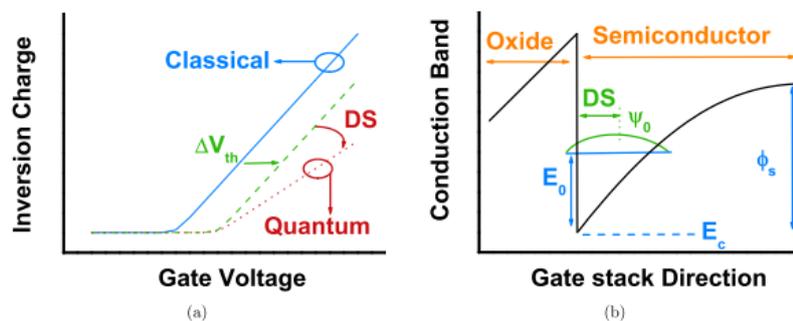
### **Transistors FinFETs sur substrat III-V**

Des transistors FinFET et tri-gate ont alors été développés, par l'approche « top-down » en gravant les Fin, et par l'approche « bottom-up » grâce à la croissance ART. Les transistors FinFETs d'InGaAs montrent de modestes performances pour le moment. En effet, les performances sont particulièrement dégradées pour des rapports d'aspect élevés (hauteur/largeur). La Figure 1-30-(a) compare les performances des FinFETs Si et III-V et montre que la diminution de la largeur du Fin (augmentation du rapport d'aspect) dégrade grandement la transconductance pour les transistors III-V. Plusieurs raisons peuvent l'expliquer. Tout d'abord, la qualité des flancs du Fin est très importante. Une forte rugosité, une concentration de défauts d'interface avec le diélectrique ou bien une différence de stœchiométrie engendrés pendant la gravure peuvent dégrader les performances. De plus, à cause de la faible masse effective des électrons dans les matériaux III-V, les transistors III-V montrent des caractéristiques électriques fortement dépendantes de la largeur du Fin. La Figure 1-30-(b) montre l'effet de la réduction de la largeur du Fin sur la tension de seuil des transistors III-V. La faible masse effective des électrons dans les matériaux III-V conduit à un fort effet de confinement quantique des électrons. En réduisant la largeur du canal, les porteurs se retrouvent confinés dans un puits de potentiel de plus en plus étroit.



**Figure 1-30: (a) Comparaison de la transconductance des transistors InGaAs FinFETs par rapport aux transistors Si FinFETs en fonction de la largeur du Fin ( $W_f$ ). Les chiffres annotés pour chaque point donnent le rapport d'aspect du canal (hauteur/largeur). (b) Variation de la tension de seuil des transistors FinFETs III-V en fonction de la largeur du Fin [DEL ALAMO16].**

Les porteurs n'occupent plus un continuum d'énergie dans la bande de valence et de conduction, mais peuvent être considérés comme un gaz 2D. Leur énergie est alors quantifiée, et des niveaux d'énergie discrets apparaissent dans le puits de potentiel. Le confinement quantique engendre la modification de la répartition des charges libres dans le canal et le décalage de la couche d'inversion vers l'intérieur du canal. La tension de seuil est alors augmentée puisque l'énergie de bande interdite du semi-conducteur est virtuellement augmentée par la création des niveaux d'énergie dans le puits de potentiel, comme illustré sur la Figure 1-31 [MOREAU10].

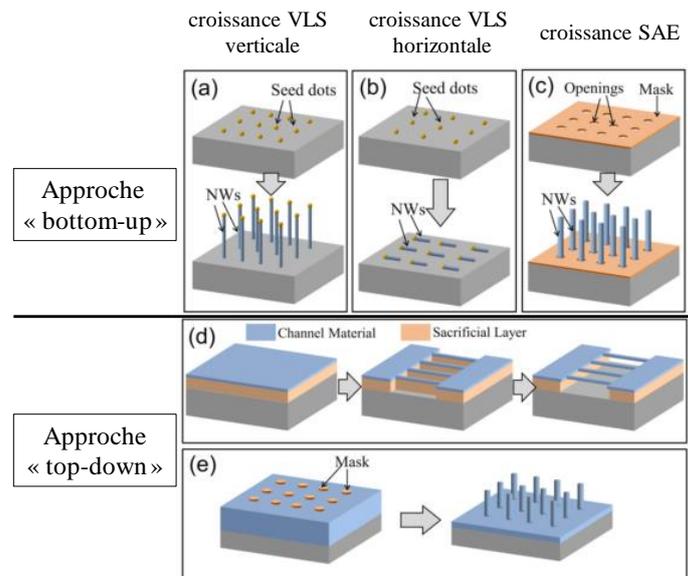


**Figure 1-31: (a) Illustration de l'effet du confinement quantique sur une courbe  $I_d(V_g)$  et (b) schéma représentant le confinement quantique sur une capacité MOS en inversion [HIBLOT15].**

Le premier niveau d'énergie  $\Psi_0$  augmente l'énergie de la bande de conduction d' $E_0$ , et décale la tension de seuil de  $\Delta V_{th}$ . La distance entre le diélectrique et la couche d'inversion est appelée « dark space » (DS) et se comporte comme une capacité supplémentaire en série avec la capacité de l'oxyde, ce qui diminue la capacité totale de la grille en inversion.

### **Transistors nanofils sur substrat III-V**

L'ultime architecture pour les transistors MOSFET est le nanofil où la grille enveloppe complètement le canal afin de maximiser le contrôle des charges. Sur substrat InP, des nanofils verticaux et horizontaux ont été démontrés. Les techniques de fabrication de nanofils sont résumées sur la Figure 1-32.



**Figure 1-32: Techniques de fabrication de nanofils III-V par les approches "top-down" ou « bottom-up" [ZHANG16].**

Dans l'approche « bottom-up », la croissance de nanofils peut être réalisée par croissance VLS (Vapor-Liquid-Solid) (Figure 1-32 a et b). Cette méthode, la plus répandue, utilise une goutte d'or comme catalyseur de la croissance. Grâce à sa structure unique, l'interface nanofil/substrat peut accommoder une différence de paramètre de maille bien plus importante que dans le cas d'une croissance en couche complète. En deçà d'une certaine épaisseur critique, des nanofils d'InAs ont été formés sur Si sans création de dislocations axiales [CHUANG07]. Par contre, l'utilisation du catalyseur d'or rend cette méthode incompatible à une intégration de CMOS Si. La croissance sélective SAE (Selective-Area Epitaxy) permet de s'affranchir du catalyseur d'or, puisque un masque d'oxyde permet de faire croître sélectivement le III-V sur les ouvertures du substrat Si ou III-V.

Peu de publications rapportent des nanofils de diamètre inférieure à 50nm, probablement à cause des limites de la technologie lithographique en milieu universitaire [ZHANG16]. L'approche « top-down » consiste à faire croître une couche complète de matériaux III-V et à graver le nanofil dans l'épaisseur de la couche (Figure 1-32 d et e). Cette méthode a l'avantage de pouvoir être employée facilement à grande échelle. Contrairement à l'approche « bottom-up », l'approche « top-down » est tributaire de la différence de paramètre de maille avec le substrat et rencontre les mêmes problématiques d'intégration sur Si que pour les transistors planaires ou FinFET III-V. De plus, la gravure du III-V peut créer des dommages importants sur les flancs des nanofils et dégrader la mobilité des porteurs.

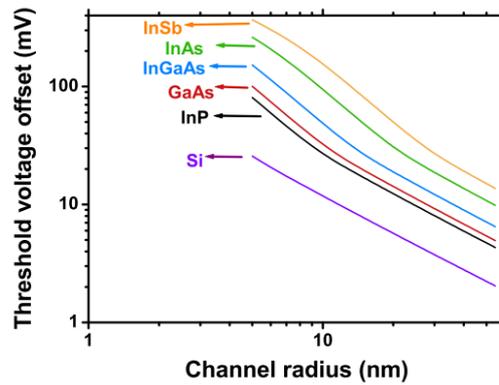


Figure 1-33: Variation de la tension de seuil en fonction du rayon d'un nanofil cylindrique pour le Si et les matériaux III-V [HIBLOT15].

Le confinement quantique observé sur les FinFETS à fort rapport d'aspect est évidemment aussi très important pour les nanofils. La Figure 1-33 représente la variation de la tension de seuil en fonction du rayon du nanofil pour le Si et plusieurs matériaux III-V [HIBLOT15]. Le Tableau 1-2 compare les performances de trois nanofils en Si, InAs et  $\text{In}_{0,65}\text{Ga}_{0,35}\text{As}$  élaborés par des approches différentes [ZHANG16]. Pour le moment, les nanofils III-V n'ont pas encore montré d'amélioration par rapport au Si en termes de densité de courant.

	d (nm)	$L_g$ (nm)	Méthode	$I_{ON}^a$ ( $\mu\text{A}/\mu\text{m}$ )	SS (mV/dec)	DIBL (mV/V)	Référence
Si	12,8	22	Top-down	550 <sup>b</sup>	85	57	IBM [BANGSARUNTIP13]
InAs	15	100	VLS	400	140	60	Université de Lund [DEY12]
$\text{In}_{0,65}\text{Ga}_{0,35}\text{As}$	~25	20	Top-down	500	88	7	Université Purdue [GU12]

<sup>a</sup> $I_{ON}$  est normalisé par rapport au périmètre total et estimé à  $V_{ds}=V_{dd}=0,5\text{V}$  et  $V_{gs}=V_{th}+(2/3)V_{dd}$ , où  $V_{th}$  est extrait par la méthode du pic de  $g_m$ .

<sup>b</sup> $I_{ON}$  atteint environ  $400\mu\text{A}/\mu\text{m}$  si il est extrait à  $V_{dd}=0,5\text{V}$  et  $I_{OFF}=100\text{nA}/\mu\text{m}$ .

Tableau 1-2: Comparaison des performances de nanofils Si et III-V [ZHANG16].

### 3.4.2. Performances des transistors III-V sur substrat Si

Les transistors III-V sur substrat Si sont beaucoup plus rares dans la littérature et leurs performances n'atteignent pas encore celles des transistors sur substrat III-V. Nous rapporterons ici les travaux d'Intel, IMEC et IBM qui sont les groupes de recherche les plus actifs dans ce domaine. La Figure 1-34 compare le courant  $I_{ON}$  et la pente sous le seuil (SS) en fonction de la longueur de grille ( $L_G$ ) pour différents MOSFETs III-V sur Si. Nous avons sélectionné les transistors avec une grille inférieure à 100nm. Plusieurs architectures de transistors  $\text{In}_x\text{Ga}_{1-x}\text{As}$  sont comparées (planaire, FinFET gate-all-around. Pour l'extraction des caractéristiques électriques des transistors III-V, la méthode suivante a été appliquée [DJARA15] : pour  $I_{OFF}$  à  $100\text{nA}/\mu\text{m}$ ,  $I_{ON}$  est relevé à  $V_{ON}=V_{OFF}+V_{DD}$  à  $V_{DD}=0,5\text{V}$ . Nous détaillerons dans la suite les propriétés de chaque transistor.

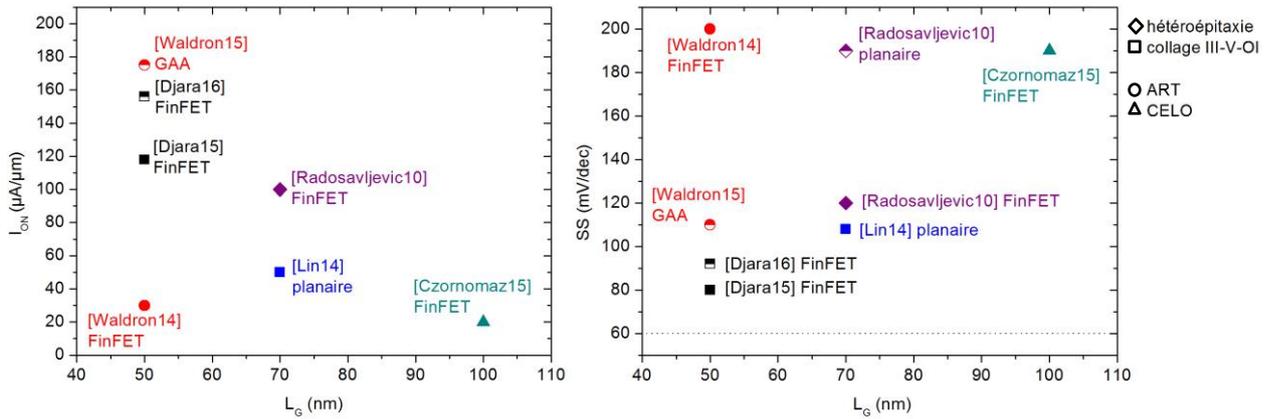


Figure 1-34: Comparaison du courant  $I_{ON}$  (pour  $I_{OFF}=100nA/\mu m$ ) et de la pente sous le seuil (SS) en fonction de la longueur de grille  $L_G$  de transistors  $In_xGa_{1-x}As$  réalisés selon différentes techniques d'intégration (hétéroépitaxie, collage, ART ou CELO) pour des longueurs de grille inférieures à 100nm.

**Intel**

En 2010, l'équipe d'Intel a réalisé un transistor planaire et FinFET à partir d'une hétéroépitaxie d'InGaAs sur substrat Si (désorienté de 4°) [RADOSAVLJEVIC10]. Le canal d'InGaAs est isolé du substrat par une couche d'InAlAs (cf. Figure 1-35). L'architecture FinFET réduit la pente sous le seuil de 190mV/dec à 120mV/dec mais reste élevée par rapport au FinFETs Si (entre 60 et 80mV/dec).

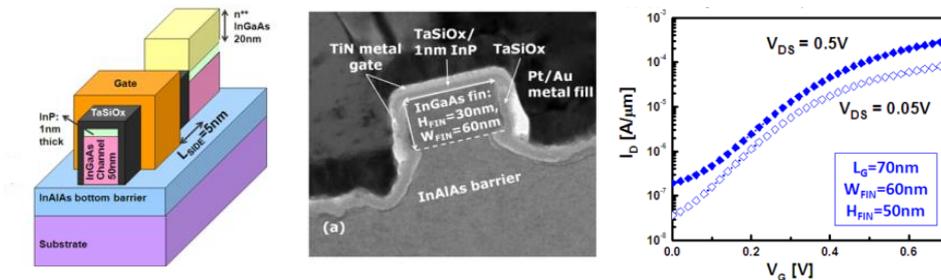


Figure 1-35: Transistor FinFET d'InGaAs sur substrat Si par Intel, et courbe  $I_D(V_G)$  pour un Fin de 50nm de hauteur, 60nm de largeur et pour une grille de 70nm [RADOSAVLJEVIC10].

**IMEC**

Les chercheurs d'IMEC ont choisi la voie de l'épitaxie localisée par ART pour élaborer des transistors FinFET [WALDRON14] puis nanofils (ou gate-all-around GAA) dont les caractéristiques  $I_d(V_G)$  et  $g_m(V_G)$  sont comparées sur la Figure 1-36. Dans le cas du FinFET, un fort courant de fuite par la couche d'InP non intentionnellement dopé est observé. La compensation par un dopage p réduit le courant de fuite mais diminue la mobilité des porteur, à cause de la diffusion de Coulomb et induit un faible  $I_{ON}$ . En passant à un transistor nanofil, le problème de courant de fuite via la couche d'InP est résolu, et la conductance est fortement améliorée. Le contrôle électrostatique de la grille sur le canal est aussi grandement amélioré, puisque la pente sous le seuil (en régime saturé) passe de 190mV/dec à 110mV/dec. Ce dispositif est l'un des meilleurs transistors III-V sur Si.

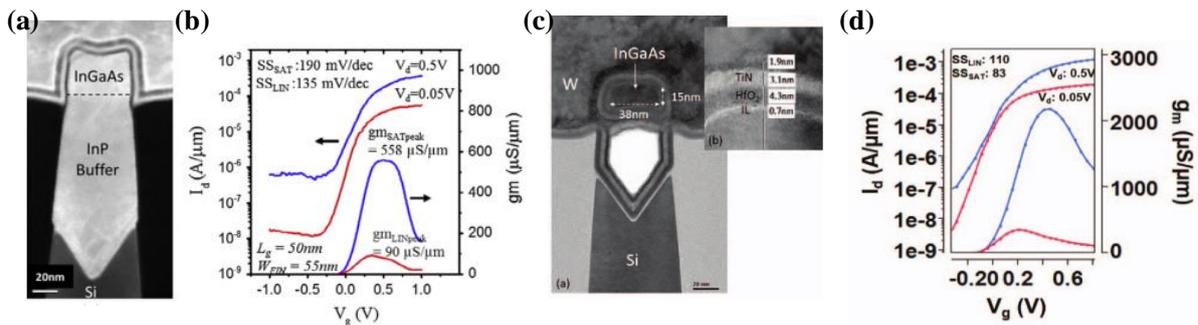


Figure 1-36: Coupe TEM du transistor (a) et courbe  $I_d$ - $V_g$  (b) pour le FinFET InGaAs d'IMEC ( $L_G=50\text{nm}$ ) [WALDRON14]. Coupe TEM (c) et courbe  $I_d$ - $V_g$  (d) pour le transistor nanofil [WALDRON15]. Le diélectrique de grille est différent pour le transistor nanofil.

**IBM**

Les équipes d'IBM adoptent deux techniques d'intégration : le collage et, plus récemment, l'épitaxie localisée type CLSEG. Ils ont élaboré des transistors FinFET après report d'une couche d'InGaAs depuis une épitaxie sur substrat InP [DJARA16] et depuis un substrat Si [DJARA15]. Dans le cas de l'épitaxie sur Si, une couche tampon épaisse de Ge ( $2,5\mu\text{m}$ ) et une couche métamorphique d' $\text{In}_x\text{Al}_{1-x}\text{As}$  graduelle permettent d'adapter la différence de paramètre de maille entre le Si et l'InGaAs. En comparant les caractéristiques électriques montrées sur la Figure 1-34, le transistor réalisé depuis la couche InGaAs/InP montre un meilleur courant  $I_{ON}$  que pour l'hétéroépitaxie ( $156$  et  $118\mu\text{A}/\mu\text{m}$ ). Cette différence peut être liée à la qualité de l'épitaxie, mais il est difficile de tirer de telles conclusions car les procédés de fabrication ont pu être améliorés entre 2015 et 2016. Les publications ne comparent pas directement ces transistors. Le FinFET élaboré à partir de l'hétéroépitaxie montre une faible pente sous le seuil ( $80\text{mV}/\text{dec}$ ), la plus faible rapportée pour un transistor III-V sur Si.

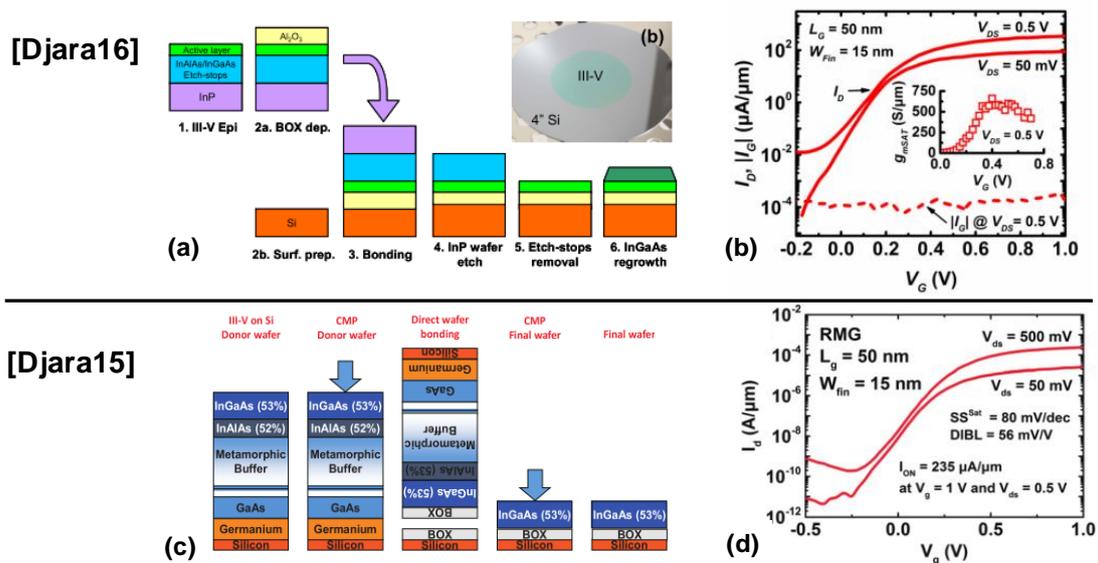


Figure 1-37: Schéma d'intégration de la couche d'InGaAs sur substrat Si par IBM (a) à partir d'une épitaxie sur substrat InP [DJARA16][CZORNOMAZ13], et (c) à partir d'une épitaxie sur substrat Si [DJARA15], et les courbes  $I_D(V_G)$  correspondantes ((b) et (d)), pour un Fin de 15nm de largeur et pour une grille de 50nm.

L'équipe d'IBM a réalisé pour la première fois sur une plateforme Si, en 2015, un circuit CMOS co-intégrant des p-FET SiGe et n-FET InGaAs, à forte densité d'intégration (comparable à celle d'un nœud 45nm). Des inverseurs CMOS fonctionnels ont été réalisés, par deux types d'intégration [CZORNOMAZ16]:

- l'intégration planaire (cf. Figure 1-38-a) où les FETs SiGe et InGaAs sont élaborés en parallèle, sur le même niveau, comme pour l'industrie standard Si-CMOS. Cette intégration demande moins d'étapes mais est très contrainte par l'incompatibilité des procédés en termes de budget thermique et de procédés de chimie entre le SiGe et l'InGaAs
- l'intégration 3D monolithique (cf. Figure 1-38-b) où les n et p-FETs sont réalisés indépendamment sur deux niveaux différents. La réalisation du niveau supérieure est tout de même contrainte par le budget thermique admis par le niveau inférieur.

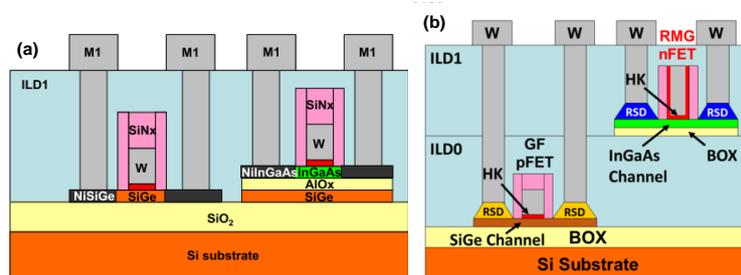


Figure 1-38: Schémas des circuits hybrides CMOS SiGe/InGaAs réalisés par IBM, (a) en co-intégration planaire et (b) en co-intégration 3D [CZORNOMAZ16].

Bien que les performances des inverseurs doivent encore être améliorées, ces résultats prometteurs révèlent les progrès qui ont été réalisés ces dernières années sur les transistors III-V.

### 3.5. Verrous technologiques à surmonter

Les performances des transistors III-V sur Silicium restent encore limitées par deux principaux verrous : la qualité de l'interface entre le III-V et le diélectrique de grille, et les fortes résistances de contact des source/drain.

#### 3.5.1. Interface III-V/diélectrique de grille

Une des raisons de la domination du Si pour les transistors MOSFET est l'existence de son oxyde natif utilisable comme diélectrique de grille et montrant une très bonne qualité d'interface avec le Si. L'interface entre deux matériaux de paramètres de maille et structures cristallographiques différentes est le lieu de nombreux défauts, comme les liaisons pendantes. Les défauts créent des états électroniques à l'intérieur du gap du semi-conducteur, qui peuvent être vides ou remplis. L'interface Si/SiO<sub>2</sub> présente peu de défauts à l'interface. Au contraire, les matériaux III-V ne présentent pas une bonne qualité d'interface avec leurs oxydes natifs et engendrent de nombreux états d'interface. Une partie des charges générées par la tension de grille participe alors à remplir les états d'interface et la courbe I(V) sous la tension de seuil est moins pentue. Une forte densité

d'états d'interface participe donc à un décalage de la tension de seuil, à l'augmentation de la pente sous le seuil, et à la réduction du courant  $I_{ON}$ .

Une forte densité d'états d'interface localisés dans la bande interdite peut aussi causer **l'ancrage du niveau de Fermi** (ou « Fermi level pinning »). Le niveau de Fermi désigne le niveau d'énergie pour lequel la probabilité d'occupation d'un état vaut 0,5. Pour une forte densité d'états d'interface, les électrons de la bande de valence remplissent ces états et bloquent le niveau de Fermi au niveau de ces états d'interface. L'origine de ce phénomène sur les III-V a longtemps questionné les chercheurs, jusqu'en 1986, où une équipe d'IBM montre que l'ancrage du niveau de Fermi sur le GaAs est dû aux oxydes et à un excès de liaisons As-As [OFFSEY86].

Dans le cas de l'InGaAs, l'oxyde est très complexe puisque les trois éléments peuvent s'oxyder à différents états d'oxydation ( $As_2O_3$ ,  $As_2O_5$ ,  $Ga_2O$ ,  $Ga_2O_3$ ,  $In_2O_3$ ...) entraînant la création de liaisons pendantes et des liaisons métalliques (In-In, As-As ou Ga-Ga). Des traitements chimiques permettent de retirer les oxydes sélectivement au semi-conducteur, mais la recroissance d'oxyde est immédiate au contact de l'air. Le dépôt de diélectrique par la méthode ALD (Atomic Layer Deposition) a été déterminant pour la réalisation des transistors III-V. L'effet réducteur entre le précurseur TMA (Triméthylaluminium) du dépôt d' $Al_2O_3$  et les oxydes de III-V (oxydes d'As majoritairement) entraîne la réduction des oxydes résiduels et donc la réduction des états d'interface. Cette réaction sera détaillée dans le chapitre 3.

Les oxydes privilégiés pour le diélectrique de grille sont des oxydes à haute permittivité  $\epsilon_r$  (high-k). La taille des transistors diminuant, l'épaisseur du diélectrique de grille est aussi réduite. Comme décrit dans la partie 1.1.2, le contrôle de la grille sur les charges du canal s'opère via un couplage capacitif, lié à la constante diélectrique de l'oxyde par la formule (1.3). En réduisant l'épaisseur du  $SiO_2$ , le contrôle électrostatique est améliorée mais jusqu'à une épaisseur minimum d'oxyde où le courant de fuite devient prépondérant. Des transistors Si avec un oxyde  $SiO_2$  d'épaisseur inférieure à 10-12Å ont des caractéristiques fortement dégradées par le courant tunnel à travers l'oxyde de grille [WILK01]. Afin d'augmenter le contrôle électrostatique de la grille sur le canal (et donc  $C_{ox}$ ) tout en maintenant une épaisseur physique du diélectrique suffisante pour limiter le courant de fuite, le  $SiO_2$  ( $\epsilon_r=3,9$ ) doit être remplacé par un autre diélectrique présentant une plus haute permittivité  $\epsilon_r$ . Les diélectriques les plus étudiés sur III-V sont  $Al_2O_3$  ( $\epsilon_r \sim 9$ ),  $HfO_2$  ( $\epsilon_r \sim 25$ ),  $ZrO_2$  ( $\epsilon_r \sim 25$ ) et  $La_2O_3$  ( $\epsilon_r \sim 30$ ). On évalue la capacité d'un oxyde high-k rapport à la référence  $SiO_2$  par l' **EOT (Equivalent Oxide Thickness)**. L'EOT représente l'épaisseur de  $SiO_2$  nécessaire pour produire le même effet qu'un diélectrique high-k. L'EOT s'exprime en nm selon la formule :

$$EOT = e_{high-k} \cdot \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \quad (1-9)$$

avec  $e_{high-k}$  l'épaisseur du diélectrique high-k,  $\epsilon_{SiO_2}$  et  $\epsilon_{high-k}$  les permittivités relatives du  $SiO_2$  et du diélectrique high-k. Il s'agit alors de trouver le compromis entre une bonne

qualité d'interface avec le III-V (réduire le  $D_{it}$  en deçà de  $1 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ ) et un EOT inférieur à  $15 \text{\AA}$ .

La qualité de l'interface étant primordiale pour les transistors III-V, l'optimisation du dépôt du diélectrique de grille sera l'objet du chapitre 3 de cette thèse.

### 3.5.2. Résistance de contacts

Afin de tirer profit de la forte mobilité des matériaux III-V et du fort courant de transfert, il est indispensable de réduire la résistance de contact de la source et du drain. Les transistors III-V et Si font face à la même problématique : à mesure que la taille du transistor diminue, les résistances séries des contacts deviennent prépondérantes et limitent le courant de transfert. Dans le cas général d'un contact métallique sur une zone semi-conductrice, un alliage métal/semi-conducteur est réalisé à l'interface entre le métal et le semi-conducteur. Cette couche, appelée **siliciure** pour la technologie Si, permet de diminuer la résistance spécifique du contact et d'assurer une résistance série du transistor aussi faible que possible.

Les principales résistances participant à la résistance série du transistor sont résumées sur la Figure 1-39. Afin de réduire la résistance série du transistor, plusieurs paramètres peuvent être optimisés :

- Réduire la résistance de contact  $R_c$  en choisissant un métal adéquat
- Réduire la résistance de la source et du drain  $R_{SD}$  en augmentant le dopage
- Réduire la résistance sous l'espaceur  $R_{esp}$  en réduisant l'espace entre la source et le canal. L'espaceur est un diélectrique qui isole la grille des zones de source et de drain pour éviter un court-circuit.

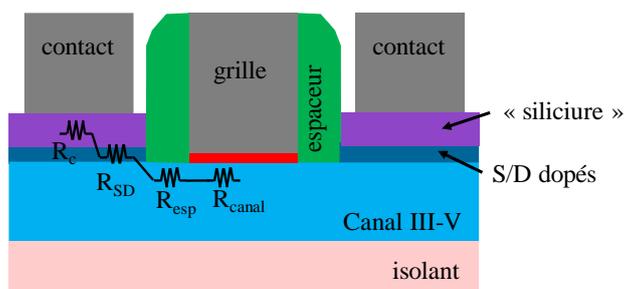


Figure 1-39: Différentes résistances participant à la résistance série du transistor.

#### Dopage des zones source/drain

Les zones source et drain dopées n peuvent être réalisées par implantation ionique ou par ré-épitaxie de III-V dopé *in situ*. L'implantation ionique n'est pas la voie privilégiée car elle nécessite un fort budget thermique et engendre beaucoup de défauts cristallins lors de l'étape amorphisation/recristallisation [LIND16]. La recroissance de la source et du drain par épitaxie sélective est plus largement utilisée par IBM, TSMC et IMEC. Dans le cas d'une intégration classique dite « high-k first » où les source/drain sont élaborés après le dépôt de la grille, l'épitaxie doit être réalisée à faible température ( $T < 500^\circ \text{C}$ ). En effet, un budget thermique supérieur à cette température dégradera l'interface III-V/diélectrique de grille. Des essais de dopage *in situ* par MOCVD réalisés au LTM de l'InGaAs, InAs et GaAs

montrent que des hauts niveaux de dopages ( $5 \times 10^{19} \text{cm}^{-3}$  avec Si comme dopant) peuvent être atteints à  $500^\circ\text{C}$ . Une intégration alternative, dite « high-k last » ou « remplacement metal-gate » est possible afin de ne pas exposer le diélectrique de grille à un fort budget thermique. Cette intégration consiste à déposer une fausse grille sacrificielle, puis à réaliser l'épitanie des source/drain et les contacts. Après retrait de la fausse grille, le diélectrique et le métal de grille d'intérêt sont déposés à la fin du procédé. L'épitanie des source/drain et la réalisation des contacts sont moins limités en budget thermique dans l'intégration « high-k last ».

### **Siliciure**

Pour la diminution des résistances de contacts, différents métaux ont été testés afin d'obtenir l'alliage le plus faiblement résistif. Le Ni est le plus couramment employé bien qu'il ne montre pas les plus faibles résistivités, car il est facilement compatible au procédé Si CMOS.

Pour les technologies à venir, l'ITRS (International Technology Roadmap for Semiconductors) préconise d'atteindre une résistivité du film ( $\rho_m$ ) de  $1,6 \times 10^{-5} \Omega \cdot \text{cm}$  (équivalent au siliciure sur Si) et une résistivité de contact ( $\rho_c$ ) de l'ordre de  $10^{-9} \Omega \cdot \text{cm}^2$ . Les résistivités réalisées avec différents métaux sur n-InGaAs sont comparées sur la Figure 1-40. Des progrès restent à faire pour atteindre cet objectif.

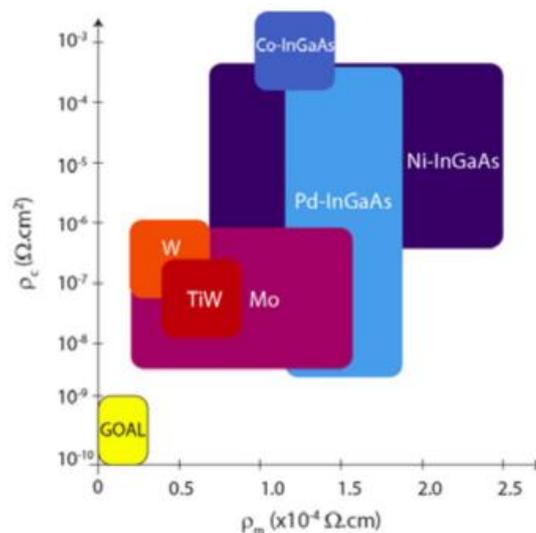


Figure 1-40: Représentation des contacts possibles sur InGaAs (dopé n) en fonction de la résistance du contact ( $\rho_c$ ) et de la résistance du film métallique ( $\rho_m$ ) [DEL ALAMO16].

L'optimisation des contacts sur InGaAs sera détaillée dans le chapitre 2.

## **4. Objectifs de cette thèse**

L'objectif principal de cette thèse est l'élaboration d'un transistor à canal  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sur substrat Si sur la plateforme Si CMOS du Leti. Comme nous l'avons vu dans ce premier chapitre, le transistor planaire est limité en performances à cause des effets de canaux courts. Nous souhaitons donc réaliser des transistors tri-gate et nanofils dans l'optique

d'une co-intégration avec des p-FET Si ou SiGe. Nous envisageons deux stratégies d'intégration de l'InGaAs sur Si : le report d'une couche d'InGaAs et l'épitaxie directe d'InGaAs sur Si.

Avant ces travaux de thèse, aucun transistor MOSFET III-V n'avait été réalisé dans les salles blanches du Leti. Quelques procédés spécifiques aux matériaux III-V existaient déjà au Leti pour des applications en collage moléculaire, ou bien en photonique. Les spécifications et les tailles de dispositifs sont néanmoins très différentes entre les applications photoniques et logiques. Une majeure partie de ce travail comporte donc la préparation et le suivi des étapes technologiques composant la « filière transistor III-V », en prenant en compte les contraintes de contamination des équipements. Ces travaux seront résumés dans le chapitre 2.

L'interface III-V/diélectrique de grille étant primordiale pour le contrôle électrostatique de la grille sur le canal, l'autre facette de ce projet est l'étude et l'optimisation de l'interface III-V/diélectrique de grille par des caractérisations XPS et mesures électriques de capacités MOS. Cette étude fera l'objet du chapitre 3.

---

## Conclusion du chapitre 1

La miniaturisation des transistors MOSFET arrive à ses limites. En effet, la perte du contrôle électrostatique de la grille sur le canal ne permet plus l'amélioration des performances avec la réduction des dimensions. Les matériaux III-V sont donc de potentiels candidats pour remplacer le canal Si des MOSFETs afin de profiter de la forte mobilité électronique. L'industrialisation des MOSFETs III-V ne sera possible que si les transistors III-V montrent de meilleures performances que celles du Si et si leur fabrication est compatible avec les lignes de production CMOS actuelles. L'intégration des III-V sur substrat Si standard représente un véritable défi. La communauté de chercheurs explore différentes options d'intégration: hétéroépitaxie sur Si, épitaxie localisée ou bien report de couche. Nous avons fait le choix de comparer une hétéroépitaxie directe sur Si et le collage d'une couche d'InGaAs depuis un substrat InP.

Les performances des MOSFETs III-V planaires sur substrat InP dépassent celles des transistors Si mais leurs procédés de fabrication ne sont pas adaptés aux dimensions requises pour les circuits CMOS avancés. Les transistors FinFETs et nanofils III-V ne dépassent pas encore les performances du Si à cause de la faible masse effective des III-V et la faible densité d'état. Le fort confinement quantique augmente la tension de seuil pour les FinFETs et nanofils aux dimensions agressives et réduit la capacité de la grille, donc la charge d'inversion. La forte densité d'états d'interface entre le III-V et le diélectrique a aussi longtemps été une limite pour atteindre des faibles pentes sous le seuil. Cependant, les progrès réalisés ces dernières années sur la réduction des états d'interface entre le canal et le diélectrique de grille aident à améliorer le contrôle électrostatique de la grille. Les plus récents FinFETs présentent des pentes sous le seuil de 80mV/dec. Pour la première fois en 2015, un circuit CMOS SiGe/InGaAs à forte densité a été élaboré sur une plateforme Si. La résistance de contact est, par contre, actuellement une décade supérieure à celle recommandée par l'ITRS.

Nous avons donc choisi de réaliser des transistors tri-gate et nanofils à canal d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sur substrat Si en comparant deux techniques d'intégration (collage et hétéroépitaxie). Nous allons détailler dans le chapitre 2 les étapes de réalisation des transistors MOSFETs III-V que nous avons mis au point sur la plateforme Si du Leti. L'interface InGaAs/diélectrique de grille a fait l'objet d'une étude approfondie afin de tenter de réduire la densité d'états d'interface. Cette étude sera résumée dans le chapitre 3.

---

**Chapitre 2.**  
**Fabrication du transistor III-V sur substrat**  
**de silicium**

---

## Introduction du chapitre 2

L'intérêt d'intégrer les dispositifs III-V sur Silicium est à la fois de profiter des outils existants d'une plateforme Si CMOS en minimisant les coûts de fabrication, mais également d'offrir l'opportunité de réaliser une intégration hétérogène de composants définis avec deux matériaux semi-conducteurs différents. Il faut, pour cela, adapter certains procédés inhérents à la fabrication des composants Si aux matériaux III-V, en prenant en compte, par ailleurs, les contraintes de contamination des équipements. Dans ce chapitre 2, nous présenterons l'ensemble des étapes qui constituent une « filière technologique ».

Nous avons mis au point deux filières technologiques pour la fabrication du transistor à canal III-V sur substrat Si 200mm.

- Dans un premier temps, nous avons élaboré la fabrication du transistor où le canal repose sur un isolant. Cette stratégie, dite « **InGaAs-OI** » (InGaAs On-Insulator) implique le collage d'une couche d'InGaAs sur un oxyde thermique d'un substrat Si. Le collage entraîne l'ajout de nombreuses étapes (dépôt, gravures mécanique et chimique) que nous détaillerons dans ce chapitre.
- Nous avons parallèlement mis au point une deuxième voie technologique, dite « **pseudo-OI** » qui ne nécessite pas de collage. La croissance du canal d'InGaAs est réalisée directement sur un substrat Si, ce qui réduit le nombre d'étapes à réaliser. Par contre, la couche d'InGaAs contiendra plus de défauts cristallins que l'épitaxie sur InP. Le canal repose cette fois-ci sur un matériau III-V à plus grand gap avec lequel il est en accord de paramètre de maille. Ce matériau, ici  $\text{In}_{0,52}\text{Al}_{0,48}\text{As}$  (1,42eV), a une plus grande énergie de bandes interdites que l'InGaAs (0,74eV) et confine donc les porteurs dans le canal. Nous appellerons cette stratégie « pseudo-OI » puisque l'InAlAs tient le rôle de couche isolante. La structure se rapproche plus d'un transistor HEMT (High Electron Mobility Transistor) que nous présenterons dans ce chapitre.

Nous souhaitons comparer les deux stratégies et observer l'impact d'une épitaxie métamorphique d'InGaAs sur les performances du transistor.

La réalisation d'un transistor à canal d'InGaAs dans les salles blanches du Leti a demandé la mise au point de nouveaux procédés technologiques spécifiques aux matériaux III-V (chimie de gravure, chimie de retrait des polymères de gravure, etc). Une autre contrainte importante dans cet environnement de travail a été la compatibilité de nos procédés avec les équipements dédiés au silicium. Certains équipements ne sont pas utilisables pour des plaques contenant des éléments III-V, pour ne pas risquer de contaminer les plaques Silicium. Nous commencerons par présenter dans ce chapitre deux études menées au Leti pour le gestion de la contamination dans la salle blanche. Puis nous détaillerons les filières InGaAs-OI et pseudo-OI et les défis relevés lors de la gravure de la zone active, la définition de la grille et des zones source et drain. Nous monterons principalement des résultats

morphologiques et des analyses physico-chimiques car les transistors n'ont pas pu être finalisés au cours de cette thèse.

## 1. Gestion de la contamination III-V sur une plateforme Si

Le traitement de plaques contenant des matériaux III-V dans les mêmes équipements que pour les traitements du Si est possible sous certaines conditions. En effet les éléments In, As, et Ga sont des dopants pour le Si. Ils peuvent affecter les propriétés finales des transistors Si, comme un décalage de la tension de seuil  $V_T$  (cf. partie 1.1). De plus, des mesures de sécurité supplémentaires doivent être suivies pour la maintenance des équipements et la gestion des déchets contaminés III-V. Les principaux risques de contamination se produisent lors de la montée en température des matériaux III-V et lors de traitements chimiques. Nous allons synthétiser dans cette partie certaines études menées par les responsables d'équipement du Leti pour évaluer la contamination des III-V lors du chauffage de matériaux III-V ou lors de leur immersion en solution.

### 1.1. Tenue en température

La montée en température des matériaux III-V peut engendrer une décomposition du matériau et la formation de sous-produits ( $AsH_3$  ou  $PH_3$  par exemple) relâchés dans l'équipement. Il est donc nécessaire d'évaluer l'impact de la température lors des étapes de recuit ou de dépôt.

L'effet du recuit a été étudié dans le cas d'une couche III-V encapsulée dans un diélectrique, après dépôt d'une couche d' $Al_2O_3$  et de  $SiO_2$ , nécessaire pour le collage d'une épitaxie d'InGaAs sur oxyde. L'analyse VPD-ICPMS (Vapor-Phase Decomposition & Induced Coupled Plasma Mass Spectrometry analysis) a été réalisée avant et après recuit d'une épitaxie de III-V encapsulée sur un substrat Si 300mm. L'épitaxie est constituée de GaAs, InP et InGaAs.

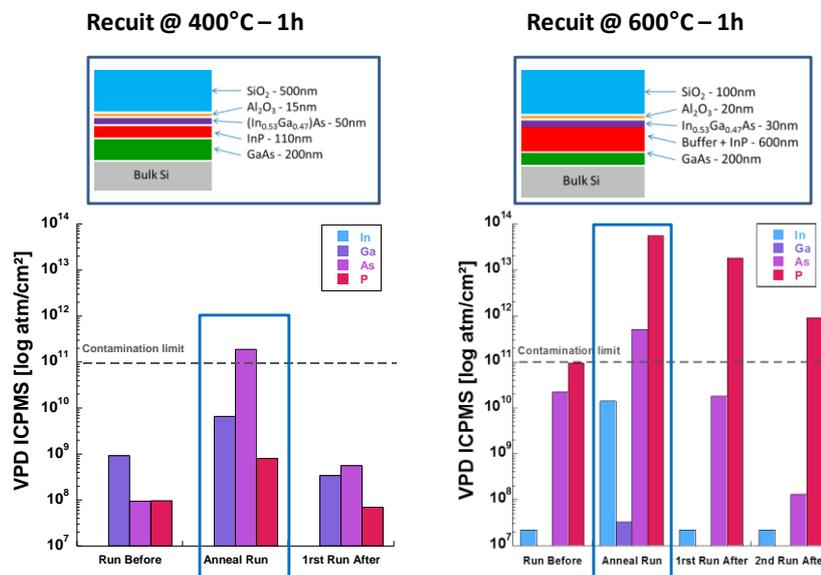


Figure 2-1: Analyses VPD-ICPMS des éléments In, Ga, As et P avant recuit de la plaque III-V, après le recuit, et après 1 ou 2 recuits de témoins Si [NEMOUCHI15].

Puis un ou deux substrats Si témoins ont suivi le même traitement thermique après le matériau III-V et ont aussi été analysés. Deux températures de recuit ont été testées : 400 et 600°C pendant 1heure. Les résultats d'analyses VPD-ICPMS sont résumés sur la Figure 2-1. Dans le cas 400°C, la première plaque Si passée sur l'équipement présente une concentration d'éléments III-V inférieure à la limite de contamination. Par contre, pour le recuit à 600°C, la concentration en phosphore reste deux décades supérieure à la limite de contamination après le passage de deux substrats Si témoins. En présence d'InP, le recuit à 600°C pendant 1h est impossible dans l'équipement. Les recuits seront limités à 400°C pendant 1h dans cet équipement traitant aussi des plaques Si. Des recuits à 500°C pour des temps plus courts sont possibles. Pour des températures plus élevées, il est nécessaire de traiter les plaques III-V sur des équipements destinés aux III-V ou bien acceptant un niveau de contamination plus élevé.

## 1.2. Traitement en solution chimique par immersion

La fabrication d'un MOSFET III-V requiert également des étapes de gravure chimique (de quelques nm à plusieurs microns) ou de nettoyage de surface (désoxydation, décontamination particulaire ou métallique). Il est donc impératif d'évaluer le risque de contamination lors d'un partage d'équipement de traitement chimique de la plateforme Si CMOS avec les matériaux III-V. Le traitement chimique peut se faire par l'immersion des plaques dans un bain ou par injection d'un spray sur une plaque en rotation. La contamination a été particulièrement évaluée lors de l'immersion de plaques III-V. En effet, le mode immersion implique généralement des temps longs de traitement et la gravure de quantités importantes de matériaux III-V.

Le transfert de contamination a été évalué lors du traitement de substrats InP et GaAs 100mm. Plusieurs solutions standards pour le Si ont été évaluées (SC1, SC2 et HF et O<sub>3</sub>/HCl) ainsi que des solutions de gravures spécifiques aux matériaux III-V. Les vitesses de gravure ont été mesurées sur GaAs et InP et sont résumées dans le Tableau 2-1 [ROURE14].

Chemistry	Dispense Mode	GaAs Etch Rate	InP Etch Rate
SC1 1/4/100 - RT	Static	0.35 ± 0.05 μm/min	0.45 ± 0.09 nm/min
SC1 0.02/1/20 - 65°C	Recirculated	1.9 ± 0.05 μm/min	0
SC2 1/1/80 - 65°C	Recirculated	0.48 ± 0.03 μm/min	47 ± 3 nm/min
HF 1% - 23°C	Recirculated	0.50 ± 0.08 nm/min	0.28 ± 0.09 nm/min
HF 0.2% - HCl 1% - 23°C	Recirculated	0.75 ± 0.08 nm/min	0.28 ± 0.09 nm/min
O <sub>3</sub> /DIW - RT	Overflow	0.75 ± 0.08 nm/min	0.37 ± 0.09 nm/min
O <sub>3</sub> /HCl/DIW - RT	Overflow	0.17 ± 0.08 nm/min	0.18 ± 0.09 nm/min

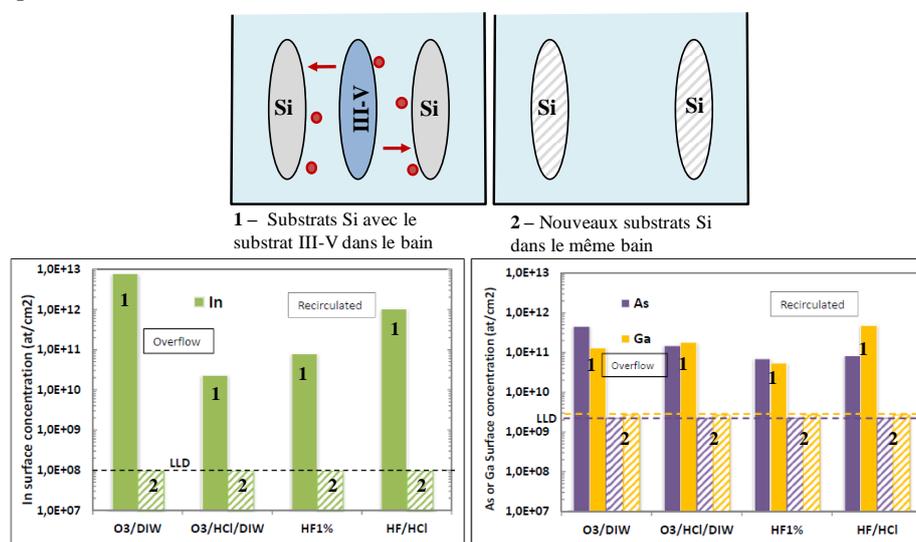
Tableau 2-1: Vitesses de gravure du GaAs et InP dans différentes solutions chimiques [ROURE14].

Nous pouvons distinguer les solutions très gravantes (de l'ordre du μm/min) des solutions peu gravantes (inférieures à 1nm/min). La solution SC1 est un mélange NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (1:1:80), et SC2, un mélange HCl/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (1:1:80). Selon les chimies, le mode de distribution peut changer. Le bain peut être statique, en recirculation ou à

débordement. Dans le cas d'un bain en recirculation, la solution est recirculée dans le bac grâce à une pompe et la solution est renouvelée à une certaine fréquence en fonction des chimies (48h pour HF ou HF/HCl par exemple). Pour un bain à débordement, la chimie est constamment renouvelée.

### 1.2.1. Cas des solutions peu gravantes

Le transfert de contamination a été contrôlé en immergeant un substrat III-V entouré par deux substrats Si pendant 15min, comme schématisé sur la Figure 2-2 (étape 1). Puis, les substrats sont retirés, et de nouveaux substrats Si sont immergés (étape 2). Les bains ne sont pas statiques : la solution est soit en débordement (overflow), soit en recirculation. La contamination des éléments In, As et Ga a été mesurée sur les substrats Si par VPD-DC (décomposition en phase vapeur HF et collecte des contaminants par une goutte de chimie acide sur la surface devenue hydrophobe) suivi d'une analyse ICPMS (Induced Coupled Plasma Mass Spectrometry analysis). Les résultats sont résumés sur la Figure 2-2. Les éléments III-V sont clairement détectés sur les substrats Si quelle que soit la solution choisie. Les éléments III-V ont donc une forte affinité pour le Si même pour des concentrations faibles, étant donné la faible vitesse de gravure de ces solutions. Après retrait du substrat III-V, tous les éléments passent sous le seuil de détection de la méthode d'analyse. La circulation du bain est donc efficace pour diluer ou évacuer la contamination métallique pour des faibles concentrations d'éléments III-V.



### 1.2.2. Cas des solutions fortement gravantes

Une étude a aussi été menée dans le cas de la solution SC1, qui grave très rapidement le GaAs. Le substrat GaAs est immergé dans un bain statique de SC1 en présence de deux substrats Si (étape 1 de la Figure 2-3). Puis, le substrat III-V est retiré, et de nouveaux substrats Si sont immergés (étape 2). Ensuite, le bac est conditionné en plusieurs étapes

et à chaque étape, de nouveaux substrats Si sont immergés pour évaluer le transfert de contamination. Tout d'abord, le bac est rincé trois fois à l'eau déionisée (étape 3). Puis, le bac est conditionné pendant 24h avec une solution d'acide nitrique HNO<sub>3</sub> (10%), et rincé à l'eau déionisée (étape 4). Enfin, la contamination est évaluée dans l'eau de rinçage du bac (étape 5).

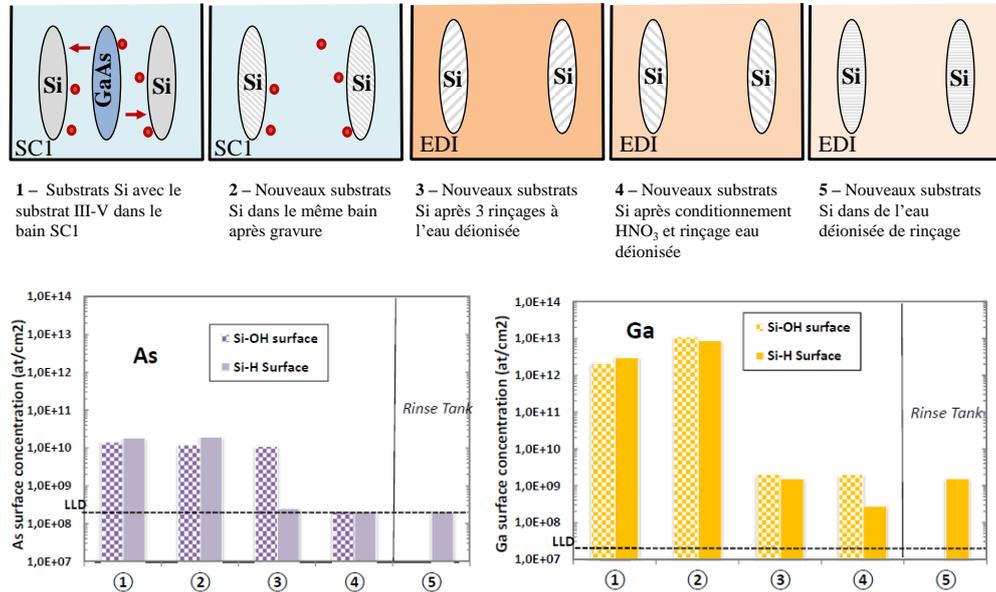


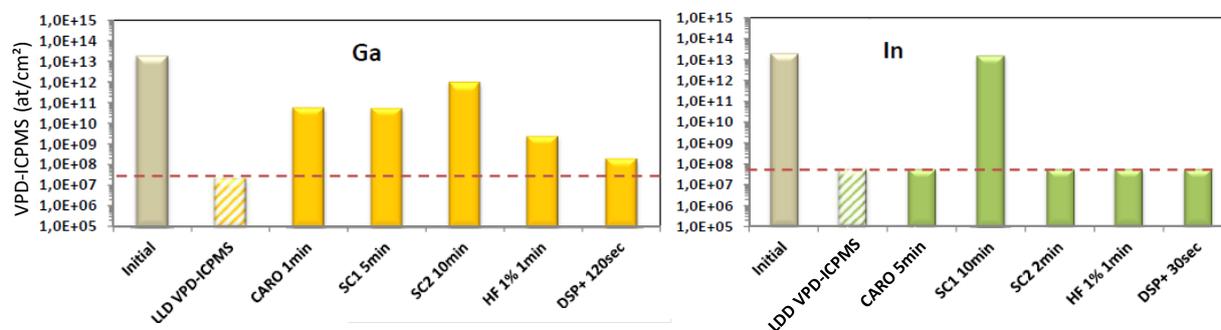
Figure 2-3: Procédure d'évaluation du transfert de contamination du substrat GaAs dans une solution SC1 et résultats de l'analyse ICPMS [ROURE14].

Deux types de substrats Si ont été employés : un substrat Si oxydé, donc présentant une surface Si-OH, et un substrat Si ayant subi une préparation HF-last donc passivé Si-H. Pendant toute la durée de l'immersion dans le SC1, à la surface du silicium, il y aura une compétition entre oxydation du Silicium et la gravure de l'oxyde formé. A la concentration utilisée ici, après le temps d'immersion, les deux types de substrats seront oxydés et ressortiront hydrophiles. Nous pouvons supposer que le mécanisme de déposition des espèces qui se seront solubilisées ne sera pas le même dans les deux cas : en effet, un piégeage de la contamination dans l'oxyde formé à partir d'un silicium hydrophobe peut être envisagé. Les résultats ICPMS des substrats Si successifs sont résumés dans la Figure 2-3. Après l'arrêt de la gravure du GaAs et le retrait de la source de contamination, la contamination Ga et As est toujours présente dans le bain et se redépose sur les substrats Si (étape 2). Le Ga présente une affinité particulièrement élevée pour le Si, puisque la contamination est deux décades supérieure à l'As. Après le rinçage du bain, la contamination persiste, excepté dans le cas de l'As sur la surface Si-H du Si. L'affinité de l'As semble faible sur un substrat Si hydrophobe. Le traitement HNO<sub>3</sub> permet de réduire la contamination As sous le seuil de détection pour les deux types de surface. Au contraire, la contamination Ga persiste dans l'eau déionisée et après traitement HNO<sub>3</sub> du bac. La concentration résiduelle en élément Ga aux alentours de 1<sup>E9</sup> at/cm<sup>2</sup>, sans équivoque vis-à-vis de la limite de détection de l'ICPMS, reste cependant inférieure à la limite de contamination tolérable pour un équipement de procédé humide fixée à 1<sup>E11</sup>at/cm<sup>2</sup>.

Le traitement du GaAs en solution SC1 doit être impérativement suivi d'un protocole de décontamination. La concentration en Ga n'est pas abaissée en-dessous du seuil de détection de l'ICPMS, même après conditionnement du bac. Il est alors recommandé de réaliser les traitements III-V pendant des campagnes où les plaques Si ne sont pas traitées.

### 1.2.3. Décontamination de la face arrière

Pour tous les équipements, les substrats 200 et 300mm sont transférés par des robots, qui supportent les substrats par la face arrière. Ils sont donc une source de transfert de contamination. Les FOUP, c'est-à-dire les boîtes qui contiennent les substrats 300mm entre les équipements, sont aussi des points de transfert de contamination si les espèces métalliques sont présentes en bord de tranches. Après épitaxie de matériaux III-V sur un substrat Si, la face arrière présente des éléments III-V qu'il faut retirer avant de continuer leur parcours sur d'autres équipements. Après contamination volontaire de substrats Si par les éléments III-V, nous avons étudié différentes chimies de décontamination, couramment employées pour la décontamination métallique sur substrat Si : CARO ( $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$ ), HF, SC1, SC2 et DSP+ ( $\text{H}_2\text{O}:\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{HF}$ ). Les analyses VPD-ICPMS réalisées sur les substrats après traitements sont résumées dans la Figure 2-4. L'In est retiré par toutes les chimies acides testées ainsi que par l'ozone, grâce à son fort pouvoir de complexation des métaux. Le Ga, quant à lui, est toujours présent au-dessus du seuil de détection quelle que soit la chimie employée. Les solutions appliquées pour la décontamination métallique s'avèrent être inefficaces pour le Ga sur Si.



**Figure 2-4: Analyses VPD-ICPMS des éléments Ga et In après contamination volontaire (état initial), et après différents traitements chimiques. La limite de détection (LDD) du Ga est de  $2\text{E}7\text{at}/\text{cm}^2$ , et  $4\text{E}7\text{at}/\text{cm}^2$  pour l'In.**

En s'inspirant de la décontamination de métaux nobles (Au, Pt, Ag, Ru) nécessitant des chimies spécifiques [BESSON15], deux solutions supplémentaires ont donc été testées pour réduire la contamination Ga : l'eau régale ( $\text{HCl}/\text{HNO}_3/\text{EDI}$ ) et une solution d'HF/nitrique ( $\text{HF}:\text{HNO}_3:\text{H}_2\text{O}$ ). Les analyses TXRF de la Figure 2-5 démontrent l'efficacité du traitement HF/nitrique pour réduire la contamination In et Ga en-dessous du seuil de détection de l'analyse TXRF.

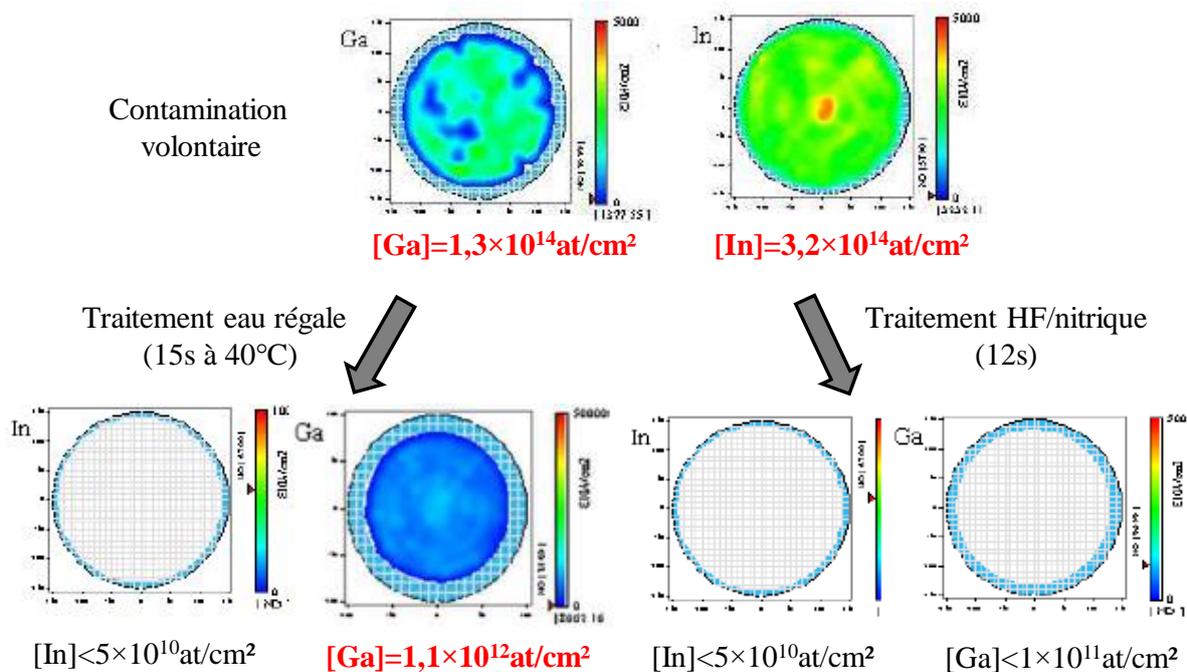


Figure 2-5: Analyses TXRF de plaques Si volontairement contaminées par les éléments In et Ga, avant et après traitement à l'eau régale ou à une solution d'HF/ nitrique.

L'eau régale réduit de deux décades la contamination initiale en Ga. L'efficacité de l'HF/HNO<sub>3</sub> peut s'expliquer par un retrait de la contamination par consommation du matériau du substrat silicium. Les contaminants sont ensuite gardés en solution et évacués vers le drain.

Finalement, pour limiter la consommation du substrat en limitant le temps de HF/nitrique, une combinaison eau régale puis HF/nitrique a été choisie pour décontaminer la face arrière des substrats Si. L'eau régale abaissant d'abord le niveau de Ga de deux décades, un temps court de HF/nitrique peut être appliqué pour obtenir une décontamination efficace. Le traitement a montré aussi son efficacité pour la décontamination après gravure d'une épitaxie de GaAs sur Si (Figure 2-6). Les éléments As et Ga sont détectés après le traitement eau régale, mais passent sous le seuil de détection après un deuxième traitement HF/nitrique.

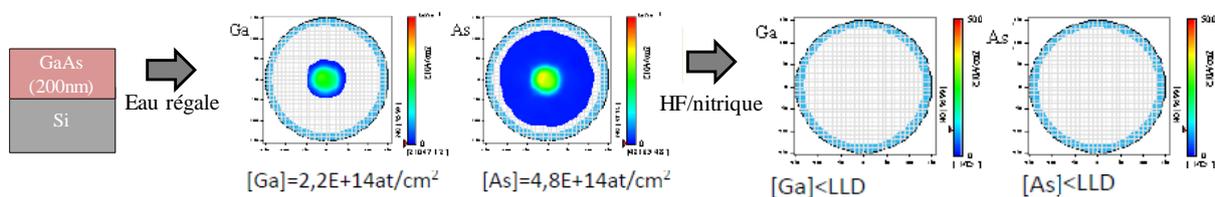


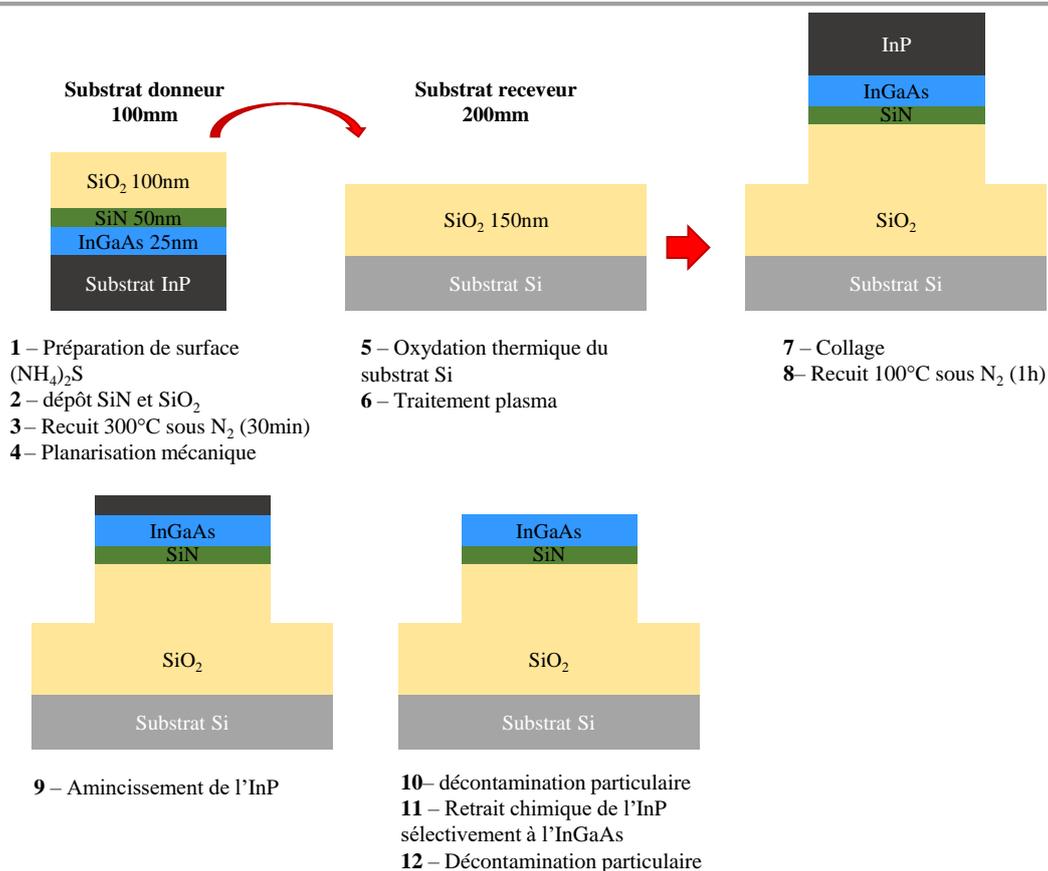
Figure 2-6: Analyses TXRF, après gravure de la couche de GaAs, traitement à l'eau régale et traitement HF/nitrique.

Un protocole de décontamination spécifique aux éléments III-V en face arrière des substrats Si a donc été mis en place après épitaxie ou après tout traitement susceptible de provoquer une contamination en face arrière.

## 2. Présentation de la filière transistor InGaAs-OI sur la plateforme Si-CMOS

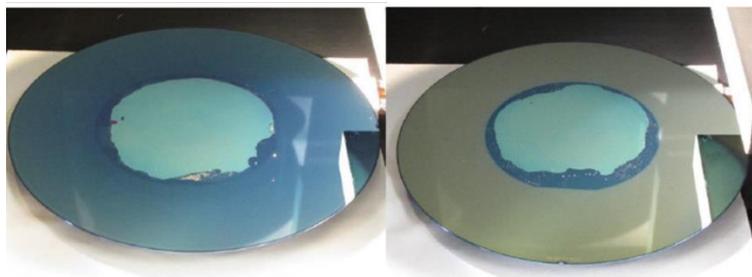
Nous détaillerons, dans cette partie, les étapes technologiques mises en place sur la plateforme 200mm du Leti pour la fabrication du transistor III-V sur substrat Silicium. L'objectif de cette **filière InGaAs-OI** est de faire croître une couche d'InGaAs de très bonne qualité cristallographique sur un substrat InP de 100mm de diamètre, puis de la reporter sur un substrat Si de 200mm de diamètre. Nous commencerons par détailler le report de couche d'InGaAs par collage moléculaire sur isolant. Puis nous aborderons la fabrication de la zone active, type tri-gate, de la définition de la grille et des zones source-drain. Collage de la couche d'InGaAs sur substrat SOI

La réalisation du transistor commence par le report de la couche d'InGaAs sur le substrat silicium 200mm via un collage direct. La technique du collage direct consiste à mettre en contact deux surfaces de matériaux sans ajout de matière et sans compression [RAUER14]. A température ambiante, l'adhésion est due principalement aux forces de Van Der Waals, liaisons hydrogènes et forces de capillarité. Cependant, l'énergie de collage est assez faible, et les deux plaques peuvent encore être séparées. Pour rendre le collage irréversible, un traitement thermique est appliqué pour remplacer les liaisons de Van Der Waals par des liaisons covalentes, à plus forte énergie de liaison. L'enchaînement des étapes technologiques réalisées au Leti sont résumées dans la Figure 2-7. L'épitaxie de la couche d'InGaAs est tout d'abord réalisée sur un substrat InP de diamètre 100mm par MOCVD. Après traitement de surface, un diélectrique bicouche SiN/SiO<sub>2</sub> est déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition). Avec un dépôt de SiO<sub>2</sub> simple sur l'InGaAs, la couche de III-V se désolidarise du substrat lors de l'abrasion mécanique. Nous avons donc inséré une couche de SiN pour améliorer l'adhérence entre le SiO<sub>2</sub> et l'InGaAs. Nous expliquerons les difficultés de l'adhérence dans la partie 2.1.1. Un recuit à 300°C sous N<sub>2</sub> est réalisé après le dépôt pour retirer les groupements OH piégés dans le SiO<sub>2</sub>. La surface de l'oxyde est planarisée afin de réduire la microrugosité présente à la surface du matériau, à cause des pics et trous présents initialement sur la couche d'InGaAs (**étapes 1 à 4**). On atteint ainsi une rugosité RMS (Root Mean Square) inférieure à 5Å pour le collage. Sur le substrat receveur en Si de diamètre 200mm, un oxyde thermique de 150nm d'épaisseur est réalisé. Un traitement plasma supplémentaire est réalisé pour créer des liaisons pendantes qui se lieront à l'oxyde du substrat donneur (**étapes 5 et 6**). Après collage, la structure est soumise à un recuit à 100°C sous N<sub>2</sub> pour consolider l'adhésion (**étapes 7 et 8**). Le substrat InP étant très épais (~525µm), il est d'abord aminci par une étape d'abrasion mécanique, appelée « grinding » (**étape 9**).



**Figure 2-7: Enchaînement des étapes technologiques pour le collage de la couche d’InGaAs 100mm sur une plaque silicium 200mm.**

Cette étape génère beaucoup de particules, donc une décontamination particulaire est nécessaire en face avant et en face arrière pour passer les plaques dans les équipements suivants. L’InP résiduel est retiré par voie chimique (HCl) sélectivement à l’InGaAs. La Figure 2-8 montre l’aspect final des plaques 200mm après collage de la couche d’InGaAs. Les bords de la zone 100mm ont été arrachés à certains endroits, mais la zone principale au centre est intacte. La couche d’InGaAs reportée présente une rugosité de 0,6nm, identique à la rugosité du substrat InP.



**Figure 2-8: Photographies de deux plaques Si 200mm après report d’une couche d’InGaAs de 100mm de diamètre.**

### 2.1.1. Problème d’adhérence du SiN sur l’InGaAs

Le problème principal auquel nous avons été confrontés était le manque d’adhérence entre l’InGaAs et le SiN. De nombreux essais ont été nécessaires pour parvenir à une adhérence suffisante pour ne pas délaminer la couche lors de la planarisation. Les premiers dépôts concluants ont été réalisés sur une machine PECVD de l’équipementier

STS (aujourd'hui SPTS). Mais après une panne, la machine a été finalement sortie de salle blanche. Nous avons tenté de reproduire les dépôts sur d'autres machines PECVD. Bien que la qualité du SiN soit la même, l'adhérence avec l'InGaAs n'était plus suffisante pour le collage. A priori, cela pourrait être dû à l'injection des précurseurs. Dans l'équipement STS, les précurseurs étaient injectés au-dessus du substrat où est formé le plasma. Le plasma  $\text{NH}_3$  à la surface de l'InGaAs a pu permettre de réduire les oxydes de III-V, et même de créer des liaisons nitrurées à la surface, améliorant ainsi l'adhérence du SiN. Au contraire, dans d'autres machines PECVD, le plasma est délocalisé et les précurseurs sont amenés sur le substrat. Cette technique permet d'éviter d'injecter des charges dans le diélectrique, mais dans notre cas, elle enlève aussi ce plasma nitrurant bien utile à l'adhérence InGaAs/SiN. Après de nombreux essais non concluants, nous avons sous-traité le dépôt SiN à un de nos partenaires qui possédaient un équipement STS.

### 2.1.2. Evolution du collage

Afin d'éviter de trop solliciter les interfaces de collage, nous avons cherché à retirer l'étape de planarisation mécanique. Cela est rendu possible aussi par l'amélioration des épitaxies d'InGaAs sur InP avec une plus faible rugosité, et moins de défauts ponctuels (trous ou pics). Pour atteindre une rugosité la plus faible possible, la méthode de dépôt a été changée. Tout d'abord, 5nm d' $\text{Al}_2\text{O}_3$  sont déposés par ALD, puis 10nm de  $\text{SiO}_2$  sont déposés par PEALD dans le même équipement, comme décrit sur la Figure 2-9. Le dépôt PEALD, très conforme, efface la rugosité d'InGaAs et permet d'atteindre les spécifications nécessaires ( $R_{\text{RMS}} < 5\text{\AA}$ ) pour le collage sans employer de planarisation. Le SiN est remplacé par l' $\text{Al}_2\text{O}_3$  car le SiN a tendance à piéger des charges. Les charges à l'arrière du canal sont indésirables car elles peuvent agir comme une deuxième grille et faire varier les propriétés du transistor (tension de seuil, densité de porteur, DIBL...). L' $\text{Al}_2\text{O}_3$ , présente moins de charges et est couramment employée pour le collage sur III-V [KIMS14][DJARA15].

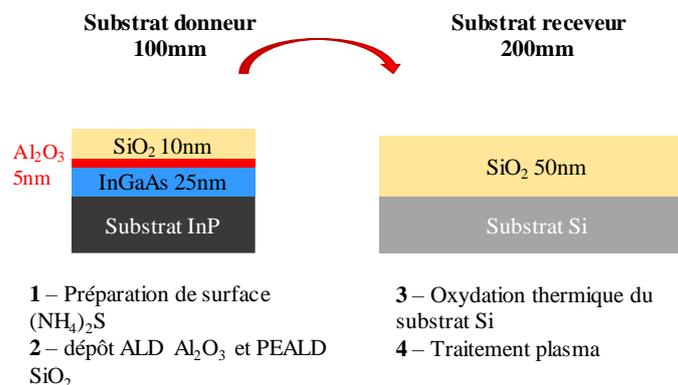
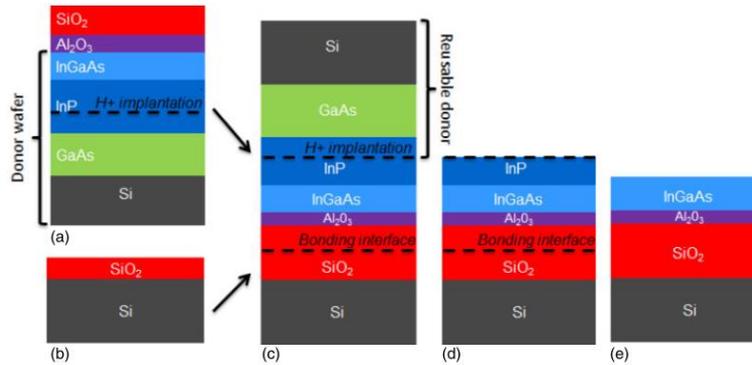


Figure 2-9: Evolution de la stratégie de collage avec  $\text{Al}_2\text{O}_3/\text{SiO}_2$

### 2.1.3. Vers un collage 300mm/300mm

L'idéal pour le collage, est de reporter la couche d'InGaAs sur la totalité d'un substrat 300mm. Les substrats InP n'existant pas en 300mm, il est nécessaire de faire une épitaxie de III-V sur substrat Si. Cette technique, décrite dans la Figure 2-10, a été développée au

sein du Leti avec le procédé Smart Cut™ [WIDIEZ16]. L'épithaxie d'InGaAs sur substrat Si est identique à celle décrite dans le chapitre 3 (partie 6.2). Par contre, une épaisseur d'InP plus importante est nécessaire pour réaliser le procédé Smart Cut™. La surface d'InGaAs ne montre aucune paroi d'antiphase, et présente une rugosité d'environ 2nm ( $5 \times 5 \mu\text{m}^2$ ). Ensuite, un bicouche  $\text{Al}_2\text{O}_3$  (10nm)/ $\text{SiO}_2$  (100nm) est déposé sur l'InGaAs. Après collage sur l'oxyde thermique du substrat Si receveur, une implantation d'hydrogène est réalisée afin d'introduire des microcavités dans un plan bien précis du substrat.



**Figure 2-10: Stratégie de fabrication d'InGaAs-OI en 300mm par la technologie Smart Cut™ [WIDIEZ16].**

Un recuit à 350°C engendre l'agrandissement de ces bulles d'hydrogène, ce qui diminue l'adhésion entre les deux parties du substrat et provoque la séparation. Pour la première fois, le procédé Smart Cut™ a été réalisé dans une couche d'InP épithaxié sur Si. Les implantations réalisées dans des substrats InP montrent que la fenêtre de température pour l'implantation est très restreinte: pour certains groupes, la température d'implantation doit être inférieure à 0°C [LUCE14] ou être comprise entre 80°C et 250°C [LUCE14][TONG99]. Au contraire, l'étude menée au Leti sur l'InP épithaxié sur Si révèle que les conditions de température possibles sont plus larges. La fracture a été réalisée à différentes températures entre 16 et 90°C, après un recuit à 300°C. Une fine couche d'InGaAs de 25nm d'épaisseur a été transférée dont la rugosité est identique à celle de l'épithaxie initiale sur Si.

Le procédé Smart Cut™ permet de reporter de fines couches d'InGaAs de diamètre 300mm sur substrat Si, et en même temps, de réutiliser le substrat donneur pour une nouvelle épithaxie d'InGaAs.

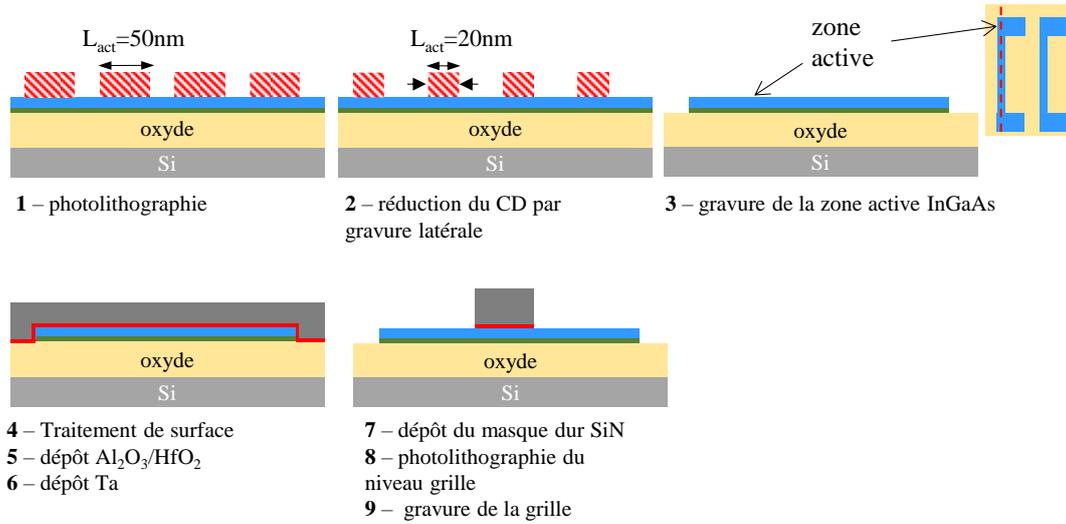
## 2.2.Elaboration de la zone active et de la grille

Après report de la couche d'InGaAs sur le substrat Si, les étapes de réalisation du transistor InGaAs-OI seront détaillées.

### 2.2.1. Stratégie d'intégration

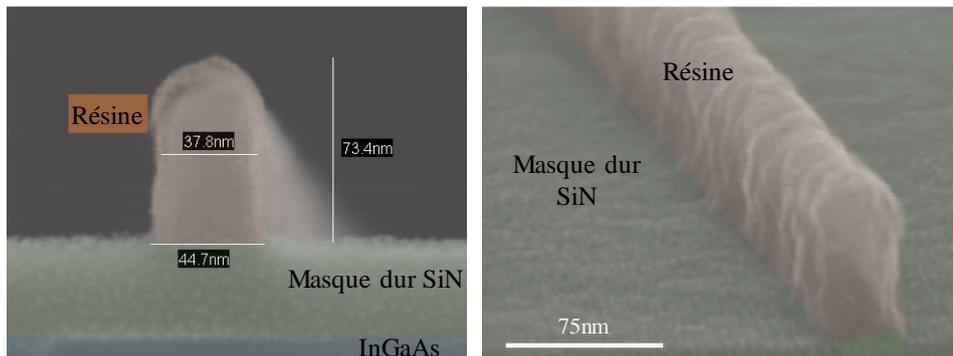
L'ensemble des étapes à réaliser pour la définition de la zone active et de la grille est présenté sur la Figure 2-11. La première étape de fabrication du transistor type « trigate » est la gravure du canal d'InGaAs. Afin d'atteindre des dimensions agressives, les motifs de la zone active ont été définis par lithographie électronique (e-beam) (**étape 1**). Les plus

petits motifs définis sont de 50nm de large, comme observé sur la Figure 2-12. La largeur du motif est réduite de 30nm en gravant latéralement la résine par plasma avec une combinaison HBr/O<sub>2</sub> (**étape 2**).



**Figure 2-11: Stratégie de fabrication de la zone active (en bleu) et de la grille. La couche d'adhérence SiN est représentée en vert, le diélectrique de grille en rouge, et le métal de grille Ta en gris.**

Les plus petits canaux sont finalement de 20nm de large. Une photographie STEM des motifs lithographiques est montrée sur la Figure 2-12. La couche d'adhérence de SiN sous l'InGaAs empêche l'utilisation d'un masque dur de même nature pour la gravure de l'InGaAs. En effet, le retrait du masque dur après gravure risque de graver la couche d'adhérence et d'éliminer les motifs. La gravure plasma de l'InGaAs a donc été réalisée avec la résine uniquement, en appliquant une chimie BCl<sub>3</sub>/Ar (**étape 3**). Nous expliquerons dans la partie 2.2.2 le choix de cette chimie de gravure. Les polymères issus de la gravure ont ensuite été oxydés par un plasma O<sub>2</sub> et retirés dans un bain de solvant.



**Figure 2-12: Images en coupe STEM après lithographie e-beam du niveau zone active. Le plus petit motif à 50nm sans gravure latérale de la résine est présenté en coupe et vu de côté.**

Les images MEB de la zone active après gravure à différentes dimensions sont montrées sur la Figure 2-13. La gravure latérale de la résine a permis de réduire la largeur des motifs de 30nm et d'atteindre une largeur de zone active minimum de 20nm.

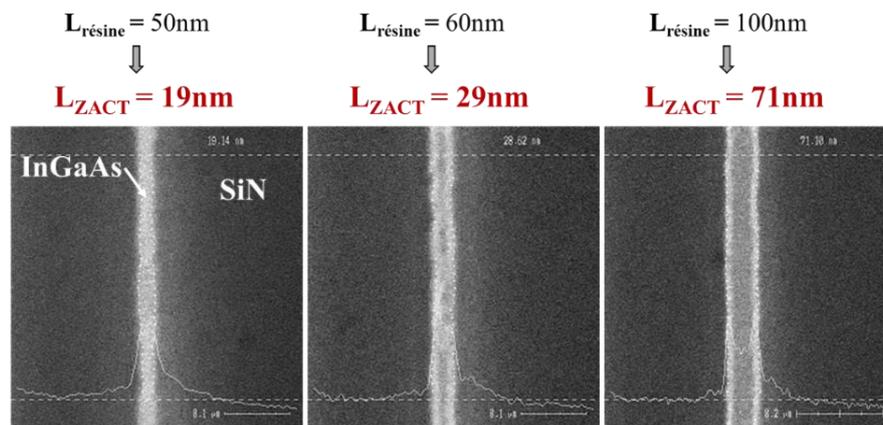


Figure 2-13: Images MEB de la zone active d'InGaAs en vue de dessus et mesure de la largeur du canal. La largeur initiale du motif lithographique est indiquée.

Après la gravure de la zone active, la grille est déposée. On commence par un traitement de surface pour désoxyder l'InGaAs (solution d'ammoniaque), puis le diélectrique de grille  $\text{Al}_2\text{O}_3/\text{HfO}_2$  est déposé par ALD (Atomic layer Deposition). Le choix du traitement et du diélectrique sera discuté dans le chapitre 3. Puis le métal Ta (40nm) est déposé par PVD (Physical Vapor Deposition) (**étapes 4 à 6**). Un masque dur SiN (40nm) est déposé pour la gravure de la grille car l'épaisseur de la résine électronique n'est pas suffisante pour la gravure. Le retrait du masque dur en présence du SiN d'adhérence est moins critique que pour la gravure de l'InGaAs car il est protégé par le diélectrique de grille. Cette étape reste cependant délicate, particulièrement lors du retrait des résidus de gravure qui peut altérer le diélectrique. Après lithographie électronique, le masque dur et le Ta sont gravés par un plasma  $\text{CH}_2\text{F}_2/\text{O}_2/\text{He}$ , et  $\text{CF}_4/\text{N}_2$ , respectivement (**étapes 7 à 9**).

### 2.2.2. Choix de la chimie de gravure de l'InGaAs

Dans un premier temps, plusieurs chimies de gravure ont été comparées sur des échantillons InGaAs/InP :  $\text{BCl}_3$ , Ar, HBr et  $\text{Cl}_2$ . Dans le cas d'une gravure  $\text{Cl}_2$ , HBr ou Ar, on observe l'apparition d'un voile, comme montré sur la Figure 2-14 (image à gauche).

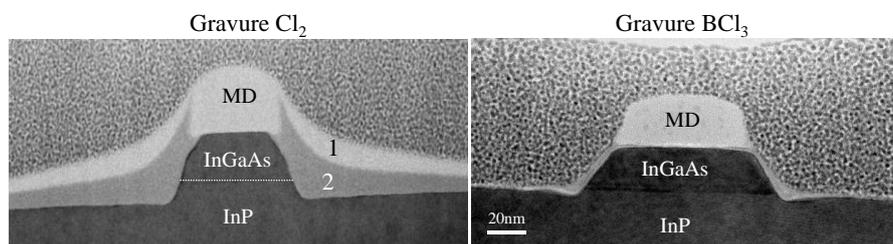
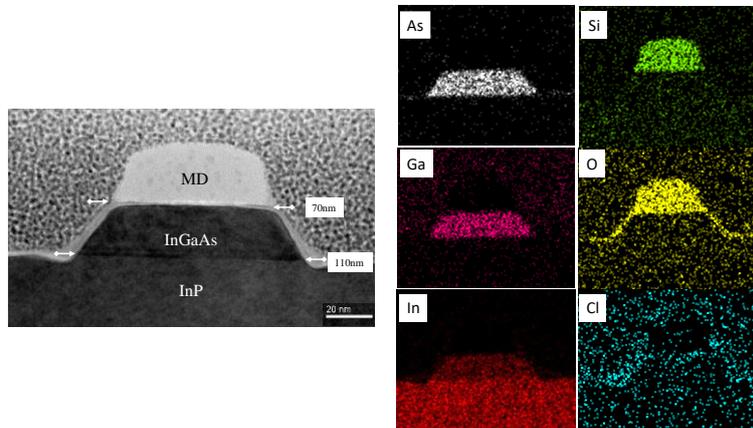


Figure 2-14: Images TEM après gravure InGaAs par un masque dur SiN, avec une gravure  $\text{Cl}_2$  (à gauche) et une gravure  $\text{BCl}_3$  (à droite).

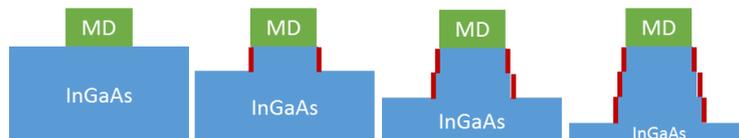
Il est constitué de deux couches : la couche supérieure (notée 1) est un dépôt de  $\text{SiO}_2$ , qui provient certainement du substrat support en  $\text{SiO}_2$ . En effet, les essais de gravure ont été réalisés sur des échantillons posés sur une substrat Si recouvert d'une couche de  $\text{SiO}_2$ . La couche inférieure (notée 2) est constituée d'InGaAs-O-Cl. Le voile n'est pas présent après gravure  $\text{BCl}_3$ . Le Bore est connu pour capter l'oxygène, et réduit donc le dépôt de  $\text{SiO}_2$  et InGaAs-O. Le  $\text{BCl}_3$  a donc été choisi pour la gravure de l'InGaAs afin de limiter ce redépôt.

Dans le cas de la gravure  $\text{BCl}_3$ , on remarque une pente importante dans la couche d'InGaAs qui agrandit la largeur du motif de 70 à 110nm au pied du motif, comme indiqué sur la Figure 2-15. Les produits de gravure  $\text{InCl}_x$  n'étant pas volatiles à moins de  $200^\circ\text{C}$ , ils restent sur les motifs. Les résidus localisés en fond de gravure sont pulvérisés par les ions du plasma très énergétiques.



**Figure 2-15: Image TEM après gravure de l'InGaAs avec  $\text{BCl}_3$ , et analyse EDX de cette coupe. Il s'agit d'un échantillon test InGaAs/InP, juste après gravure, sans retrait des résidus de gravure.**

Par contre, les résidus placés sur les flancs du motif y restent car les ions ont peu d'impact sur les flancs. Ils agissent comme un masque pour la suite de la gravure, comme schématisé sur la Figure 2-16 [PARGON04]. On observe d'ailleurs cette couche entourant l'InGaAs sur la coupe TEM (Figure 2-15). L'analyse EDX correspondante confirme qu'il s'agit d'une couche réactive d'InGaAs oxydé et chloré. Cette couche réactive est supprimée par une solution d'HF.



**Figure 2-16: Schéma montrant la passivation des flancs et son effet sur la pente des motifs lors de la gravure de l'InGaAs avec le masque dur (MD). Les bandes rouges représentent les produits de gravure.**

Des motifs d'InGaAs à flancs droits peuvent être obtenus à condition de graver à plus haute température (supérieure à  $200^\circ\text{C}$ ) afin de rendre volatiles les produits de gravure. Cependant, cette gravure à haute température n'est pas possible dans notre équipement si de la résine est présente. Les vitesses de gravure seront aussi beaucoup plus élevées à haute température, ce qui risque de rendre difficile le contrôle de la gravure. Nous continuons la fabrication du transistor malgré la pente des motifs car cela n'empêchera pas la formation du canal de conduction et le fonctionnement du transistor. Cette pente est néanmoins problématique car elle ajoute une variabilité sur les dimensions des transistors sur l'ensemble de la plaque. Pour la prochaine génération de transistor, nous envisageons de changer la stratégie de gravure pour aboutir à des flancs droits. Deux possibilités sont envisagées : graver l'InGaAs à plus haute température grâce à un masque dur, ou bien graver par la technique Digital Etching (DE). Cette méthode consiste à

amorphiser et donc oxyder la couche superficielle du matériau cristallin par implantation anisotrope, puis à retirer cette couche oxydée par voie chimique sélectivement au matériau cristallin. En répétant plusieurs fois ces étapes, on peut obtenir des flancs droits et peu rugueux [ZHAOX14].

### 2.3.Réalisation des zones source-drain

Le développement de S/D peu résistifs est critique pour des transistors à dimensions agressives où les résistances séries peuvent devenir prépondérantes, comme expliqué dans le chapitre 1. L'alliage à base de Ni est couramment utilisé pour la siliciuration des contacts sur Si et SiGe. Le Ni a donc été naturellement étudié pour les contacts sur InGaAs. L'alliage Ni-InGaAs montre des propriétés intéressantes pour les contacts MOSFET pour deux raisons principales [KIMS-H10][CHEN15] :

- Le Ni et l'InGaAs réagissent à faible température ( $\sim 230^\circ\text{C}$ ), ce qui permet de ne pas dégrader la grille lorsque la siliciuration est réalisée après le dépôt de cette dernière
- Le Ni diffuse vers l'InGaAs pour former l'intermétallique, et non l'inverse (diffusion de l'InGaAs vers le métal), ce qui est adapté à une structure tri-gate aux dimensions agressives. On évite de cette manière de former un film discontinu.

Nous verrons que l'alliage NiCo<sub>10%</sub> est une évolution intéressante pour la stabilité thermique de l'intermétallique. L'étude des propriétés microstructurales de l'intermétallique Ni-InGaAs fait partie des travaux de thèse de Seifeddine Zhiou [ZHIU16], dont nous rapportons ici une partie des résultats dans le paragraphe 2.3.2 afin de justifier les procédés utilisés dans cette intégration. Nous commencerons par détailler le procédé de nettoyage de la surface d'InGaAs avant le dépôt du Ni. Ensuite, nous expliquerons la formation de l'intermétallique Ni-InGaAs, et l'intérêt d'introduire du Cobalt dans l'alliage.

#### 2.3.1. Nettoyage de l'InGaAs avant dépôt

Avant l'étape de dépôt du métal, un traitement de surface d'InGaAs est nécessaire. En effet, la présence d'oxyde à la surface du semi-conducteur peut inhiber la réaction entre le semi-conducteur et le métal et augmenter les résistances parasites. Le couplage d'un traitement chimique avec un traitement plasma in situ, c'est-à-dire sans remise à l'air des plaques entre le traitement et le dépôt, est plus efficace qu'un traitement chimique seul car l'InGaAs s'oxyde rapidement à l'air. Le traitement in situ permet d'augmenter la stabilité thermique et l'homogénéité des contacts [BONNETIER07]. Plusieurs traitements plasma dans l'équipement de dépôt 300mm (Plateforme Endura d'Applied Materials) ont été comparés pour retirer les oxydes de III-V : des plasmas directs à base d'Ar ou d'He, ainsi que des plasmas délocalisés de NH<sub>3</sub>, H<sub>2</sub> ou encore NH<sub>3</sub>/NF<sub>3</sub> [RODRIGUEZ16]. Le plasma direct d'He s'est révélé être le plus efficace pour retirer les oxydes d'As et d'In sans endommager la surface d'InGaAs. Comme montré sur la Figure 2-17, la majorité des

oxydes d'In et d'As sont retirés. Une faible quantité d'oxyde est toujours présente, mais cela est certainement dû au temps de remise à l'air d'environ 30 à 45min entre le traitement et l'analyse XPS. Afin d'assurer un retrait complet des oxydes, un traitement chimique à base d'HCl est ajouté avant le traitement plasma.

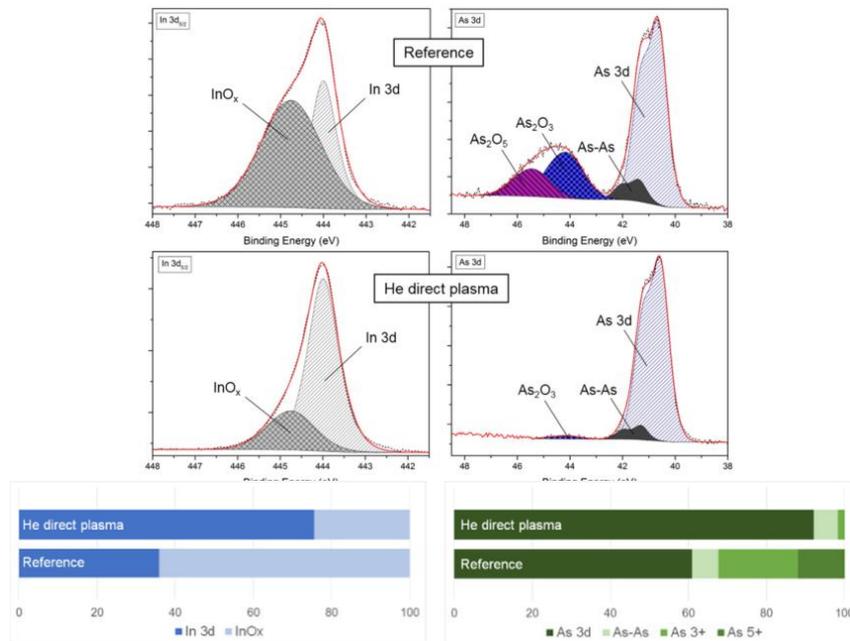
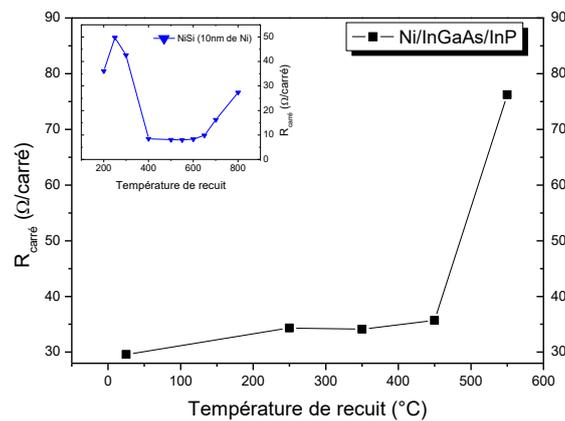


Figure 2-17: Spectres XPS de l'InGaAs brut (référence) et après traitement plasma direct He in situ [RODRIGUEZ16].

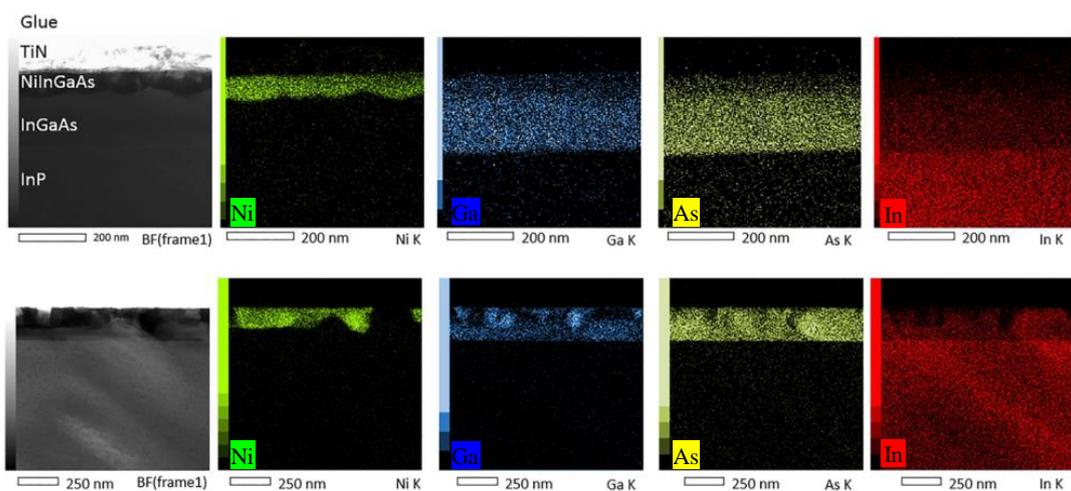
### 2.3.2. Formation de l'intermétallique

Après désoxydation in-situ, 7nm de métal sont déposés. L'épaisseur de Ni déposée est adéquate pour réagir totalement avec l'InGaAs sans pour autant « siliciurer » toute l'épaisseur d'InGaAs (25nm). Si la quantité de Ni est trop importante, l'intermétallique peut aller jusque sous la grille et engendrer un court-circuit, comme montré dans la publication d'IBM en 2012 [CZORNOMAZ12]. Un recuit rapide à 350°C pendant 60s permet la formation de l'intermétallique. La température du recuit a été optimisée sur des échantillons pleine plaque d'InGaAs/InP. La Figure 2-18 montre l'évolution de la résistance carré de la couche Ni/InGaAs en fonction de la température de recuit. Sans aucun recuit, la résistance mesurée est celle du TiN/Ni. Entre 250°C et 350°C, la résistance carré augmente légèrement car la formation de l'intermétallique est amorcée. En effet, la résistance d'un intermétallique est supérieure à celle d'une couche métallique. A 350°C, la résistance série diminue légèrement. L'intermétallique est donc le moins résistif à 350°C. C'est donc la température retenue pour la création de l'intermétallique du MOSFET. A 550°C, la résistivité augmente considérablement, indiquant un changement de nature et/ou de composition de cet intermétallique. Sur la Figure 2-18, la résistance carré de l'intermétallique NiSi (10nm de Ni) est aussi montrée dans l'encart pour comparaison. La phase la moins résistive est formée à 400°C et atteint 10Ω/carré (pour 35 Ω/carré pour Ni-InGaAs). La résistance carré de NiSi se dégrade à partir de 650°C.



**Figure 2-18: Evolution de la résistance carré en fonction de la température de recuit de l'échantillon TiN/Ni/InGaAs/InP pour un recuit de 60s [ZHIU16]. Pour comparaison, l'encart montre la résistance carré en fonction de la température pour NiSi (avec 10nm de Ni).**

Des analyses TEM/EDX, montrées sur la Figure 2-19, ont permis de révéler l'évolution de la morphologie de l'intermétallique ainsi que la répartition des espèces en fonction de la température dans le cas Ni-InGaAs. A 300°C, les éléments In, Ga et As gardent à peu près les mêmes proportions que dans le semi-conducteur. Au contraire, à plus haute température de recuit, les proportions changent. A 550°C, le Ni tend à s'agréger et les atomes de Ga et d'In sont renvoyés au niveau des joints de grain, ce qui explique l'augmentation de résistivité à cette température. Des analyses de diffraction de rayons X (DRX) complémentaires ont montré l'évolution de la stœchiométrie en fonction de la température [ZHIU16]. Le Ni réagit à l'état solide avec le semi-conducteur et forme un intermétallique  $Ni_3(In_{0,53}Ga_{0,57})As$  à 300°C. En augmentant la température, un changement de phase s'opère et l'intermétallique évolue vers  $Ni_2(In_{0,53}Ga_{0,57})As$  à 400°C. Puis, à plus haute température, la stœchiométrie évolue vers NiAs en rejetant des atomes de Ga et In.



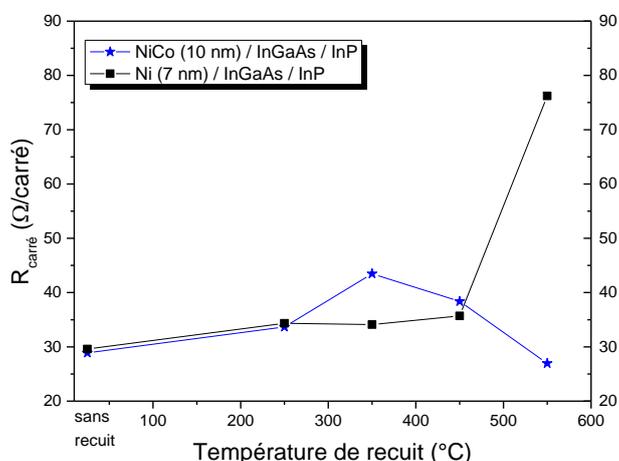
**Figure 2-19: Images TEM et EDX de l'échantillon TiN/Ni/InGaAs/InP recuit à 300°C (en haut) et recuit à 550°C (en bas) [ZHIU16].**

La stœchiométrie / phase de l'intermétallique évolue en fonction de la température, mais elle garde la même structure cristalline hexagonale. Cette étude révèle que, contrairement à ce qui était écrit dans la littérature, la phase formée autour de 350°C est

$\text{Ni}_3(\text{In}_{0,53}\text{Ga}_{0,57})\text{As}$  plutôt que  $\text{Ni}_4(\text{InGaAs})_2$  [PERRIN16]. Ces deux phases sont difficilement différenciables par DRX car elles possèdent la même structure cristallographique avec des paramètres de maille proches. La cartographie de l'espace réciproque élaborée par des analyses DRX à l'ESRF (European Synchrotron Radiation Facility) a permis de déterminer plus précisément les paramètres de maille en fonction de la température de recuit, et donc la stœchiométrie.

Un recuit à 350°C a été choisi pour la formation de l'intermétallique du MOSFET InGaAs. Ce budget thermique est suffisant pour consommer la totalité du Ni et atteindre une faible résistance carré de la couche intermétallique.

Une étude de l'université de Tokyo en 2012 [KIMS12] montre que l'alliage Co-InGaAs présente une résistance carré similaire à celle de Ni-InGaAs mais aussi une meilleure stabilité thermique (jusqu'à 600°C). Des travaux sur Si montrent qu'un siliciure à partir de  $\text{NiCo}_{10\%}$  présente une meilleure stabilité thermique que le traditionnel NiSi [CHENGCH14]. Nous avons donc examiné des contacts à partir de  $\text{NiCo}_{10\%}$  afin de bénéficier de la stabilité thermique du Co. La Figure 2-20 montre l'évolution de la résistance carré en fonction de la température de recuit pour l'intermétallique à base de NiCo comparé à Ni. A la différence de l'alliage Ni-InGaAs,  $\text{NiCo}_{10\%}$ -InGaAs présente une faible résistance carré même à 550°C. L'étude n'a pas été poussée à plus haute température car nous n'irons pas au-delà de 550°C pour la réalisation du transistor.



**Figure 2-20: Evolution de la résistance carré en fonction de la température de recuit pour Ni-InGaAs (carré noir) et  $\text{NiCo}_{10\%}$ -InGaAs (étoile bleue).**

Les raisons de cette différence de stabilité thermique ne sont pas clairement connues sur InGaAs. Nous savons seulement que les alliages Ni-InGaAs et NiCo-InGaAs ne présentent pas les mêmes paramètres de maille, ni la même texture cristallographique (orientation préférentielle des plans cristallographiques). Ces différences jouent nécessairement sur les propriétés des alliages formés. Afin d'augmenter la stabilité thermique de l'intermétallique face au budget thermique des étapes du back end of line qui connectent les transistors, l'alliage  $\text{NiCo}_{10\%}$  sera privilégié à l'alliage Ni. L'enchaînement des étapes est détaillé dans la partie suivante.

### 2.3.3. Intégration de l'alliage

La réalisation des S/D dans une technologie Silicium comprend une nouvelle épitaxie sélective de Si fortement dopé, afin de diminuer la résistance du contact, avant la siliciuration des S/D par le Ni. Une autre alternative est possible en dopant localement les zones S/D par implantation ionique avant la siliciuration. Pour notre intégration III-V, l'épitaxie sélective d'InGaAs fortement dopé ainsi que l'implantation n'étant pas encore complètement maîtrisées, nous n'avons pas réalisé ces étapes. Nous avons fait la siliciuration des S/D directement sur la zone active non dopée, comme montré sur la Figure 2-21.

Afin d'éviter de siliciurer le canal sous la grille, une étape d'isolation de la grille est nécessaire. Après dépôt d'une couche de SiN, une gravure plasma anisotrope est réalisée de manière à ne laisser qu'une couche de diélectrique sur les flancs de la grille (**étape 10**). Cette couche qui isole latéralement la grille est appelée « espaceur ». Pour la réalisation de l'alliage des zones source-drain, un traitement de surface pour désoxyder l'InGaAs est appliqué, d'abord par une solution d'HCl dilué, puis par un traitement plasma He in situ dans la chambre de dépôt. Ensuite, 7nm de NiCo et 7nm de TiN sont déposés. Le NiCo réagit avec l'InGaAs pour former un alliage peu résistif, tandis que le TiN sert de couche de protection pour éviter la diffusion de l'oxygène à travers le métal, qui pourrait reconduire à une oxydation du semi-conducteur, donc à une plus forte résistance parasite. Un recuit rapide est appliqué à 350°C (60sec) pour créer l'intermétallique NiCo-InGaAs. Pour finir d'isoler les contacts, le TiN et le NiCo non réagi sont retirés sélectivement par voie chimique (**étapes 11 à 13**).

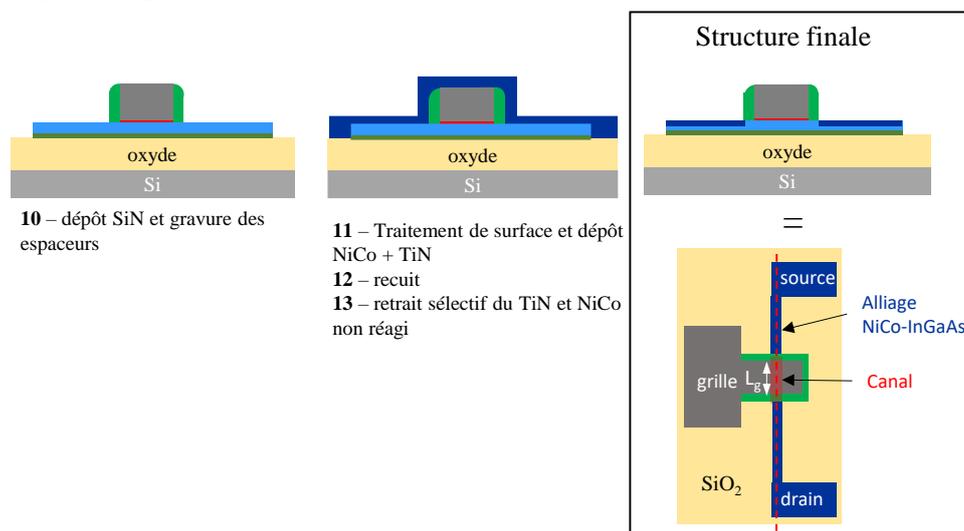


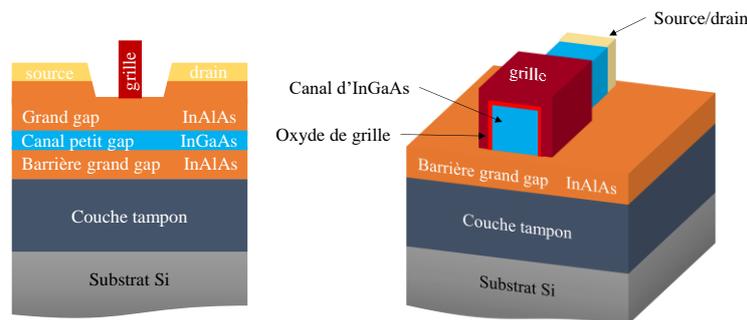
Figure 2-21: Stratégie de fabrication des zones source-drain auto-alignés. Le canal d'InGaAs est représenté en bleu clair, le diélectrique de grille en rouge, le métal en gris, les espaceurs en vert et le métal NiCo-TiN en bleu foncé.

La structure finale permet de mesurer le dispositif directement en posant les pointes sur la grille Ta, et les source-drain « siliciurés ». Cette technique de contacts auto-alignés ne nécessite pas de niveau lithographique supplémentaire, car la grille joue le rôle de

masque. Nous n'avons pas encore, à l'heure actuelle, réalisé cette étape. Il s'agit donc d'une description des étapes envisagées pour la suite du projet.

### 3. Filière alternative pseudo-OI InGaAs-InAlAs

Nous avons décrit la construction du transistor après report d'une couche d'InGaAs sur substrat Silicium. La difficulté principale à laquelle nous avons été confrontés est le manque d'adhérence entre l'InGaAs et le diélectrique, provoquant souvent le décollement de l'InGaAs du substrat Silicium. Nous avons donc choisi d'explorer une stratégie d'intégration parallèle sans collage, via une épitaxie directe d'InGaAs sur substrat Silicium.



**Figure 2-22: A gauche, la structure type HEMT et à droite, vue en coupe de la structure MOSFET trigate.**

Comme précisé dans le chapitre 1, les III-V ont particulièrement été employés pour le domaine de la puissance, et notamment dans des structures HEMT. La structure du transistor MOSFET dans la filière pseudo-OI est inspirée de la structure HEMT, illustrée sur la Figure 2-22.

Le transistor HEMT est constitué d'un matériau petit gap pour le canal (ici, l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ), entouré d'un matériau grand gap (l' $\text{In}_{0.52}\text{Al}_{0.47}\text{As}$ ). La juxtaposition de ces deux matériaux à gaps différents crée une discontinuité de bande de conduction. L'hétérojonction, schématisée sur la Figure 2-23, implique la formation d'un puits de potentiel dans le canal d'InGaAs où s'accumulent les électrons de la couche donneuse. On appelle gaz d'électrons bidimensionnel, l'accumulation des électrons dans ce puits. Les charges ionisées sont, au contraire, accumulées dans l'InAlAs. L'hétérojonction a donc créé une séparation spatiale des charges. Les électrons libres ne sont plus soumis aux interactions avec les impuretés et atteignent donc des mobilités beaucoup plus importantes quand dans un MOSFET. La structure MOSFET que nous voulons construire est dérivée de la structure HEMT, excepté que la grille métal-oxyde est posée directement sur le canal d'InGaAs.

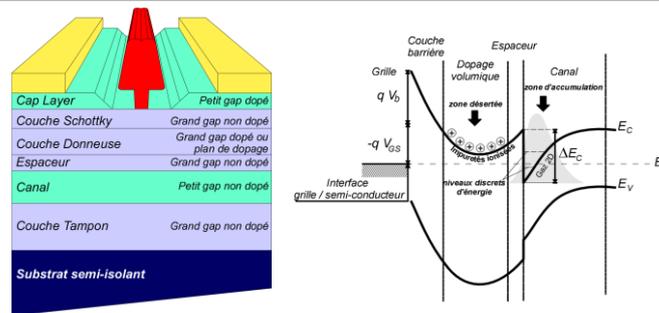


Figure 2-23: Descriptif de la structure HEMT, et le diagramme de bande associé [CHEVALIER99].

La filière pseudo-OI que nous allons maintenant décrire est similaire à celle sur isolant, mais certains procédés ont été adaptés à la structure différente. Nous commencerons par détailler l'étape d'épitaxie d'InGaAs sur Si qui se substitue à l'étape de collage. Puis nous montrerons les résultats morphologiques des niveaux zone active et grille.

### 3.1.Épitaxie d'InGaAs sur substrat Si 200mm

La croissance des couches III-V est élaborée dans l'équipement 300mm MOCVD sur des supports 200mm. L'épitaxie d'InGaAs sur Si impose la croissance de couches tampon pour adapter la différence de paramètre de maille. La description de l'empilement est donnée sur la Figure 2-24. Les étapes de désoxydation, nucléation et croissance du GaAs sont identiques sur substrat 200 et 300mm et sont détaillées dans le chapitre 3, partie 6. Les substrats 200mm de Si (001) présentent une légère désorientation d'environ 0,2°. Cette désorientation aide à éliminer les parois d'antiphase, comme expliqué dans le chapitre 3, partie 6. Les couches tampon de GaAs et InP permettent d'adapter le paramètre de maille à celui de l'InGaAs et de filtrer un maximum de défauts cristallins.

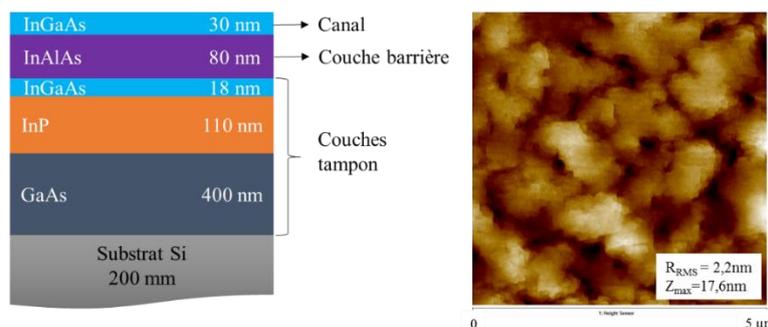


Figure 2-24: Schéma de l'épitaxie d'InGaAs sur substrat Si et mesure AFM correspondante en  $5 \times 5 \mu\text{m}^2$  de la surface d'InGaAs. La rugosité RMS est d'environ 2nm, et la profondeur maximale de 18nm.

Une fine couche d'InGaAs est ajoutée entre la couche d'InP et d'InAlAs car la croissance d'InAlAs directement sur InP présente de nombreux défauts. La couche d'InGaAs a été analysée par AFM dont l'image en  $5 \times 5 \mu\text{m}^2$  est présentée sur la Figure 2-24. La rugosité, autour de 2nm, est identique à celle obtenue sur substrat 300mm et les parois d'antiphase ont été éliminées lors de la croissance.

On observe sur la coupe TEM donnée en Figure 2-25 la présence de dislocations, principalement dans le GaAs et l'InP. Les couches supérieures filtrent petit à petit les dislocations pour arriver à une densité de dislocations émergentes d'environ  $10^9 \text{cm}^{-2}$ .

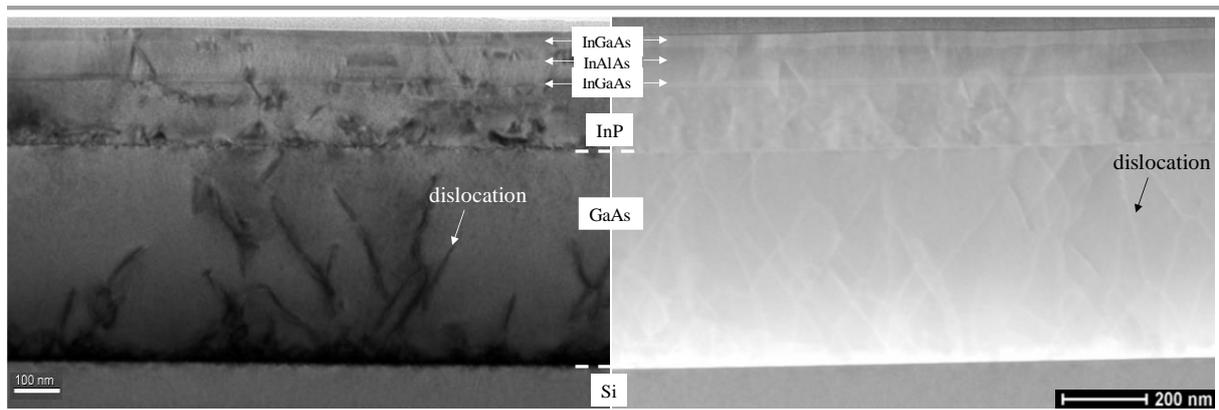


Figure 2-25: Images TEM en coupe de l'épitaxie d'InGaAs sur substrat Si. Imagerie en champ clair à gauche et imagerie à champ noir en détection annulaire à grand angle (HAADF) à droite.

## 3.2. Définition de la zone active et dépôt de la grille

### 3.2.1. Définition de la zone active

La définition du canal trigate est légèrement différente du cas InGaAs-OI car il n'y a pas de couche d'adhérence SiN comme dans le cas du collage. Nous avons donc pu utiliser un masque dur pour la gravure de la zone active. Après lithographie électronique, le SiN est d'abord gravé par un plasma  $\text{CH}_2\text{F}_2/\text{O}_2/\text{H}_2$  puis l'InGaAs est gravé de la même manière qu'en InGaAs-OI, par un plasma  $\text{BCl}_3/\text{Ar}$ . Les images en microscopie électronique à balayage (MEB) sont présentées sur la Figure 2-26. La largeur visée de ce motif est de 50nm. De la même manière que pour la gravure de l'InGaAs sur oxyde, le motif d'InGaAs présente une pente importante à cause des produits de gravure non volatiles (cf. partie 2.2.2). Le sommet du motif correspond à la largeur visée, à 57nm. Par contre, le pied du motif élargi est de 93nm de largeur. On observe aussi au pied du motif une surgravure de l'InAlAs, à cause de la déviation des ions de leur trajectoire verticale par le motif [McVITTIE08]. Ce phénomène n'est pas spécifique aux matériaux III-V, et est couramment observé lors de la gravure par plasma.

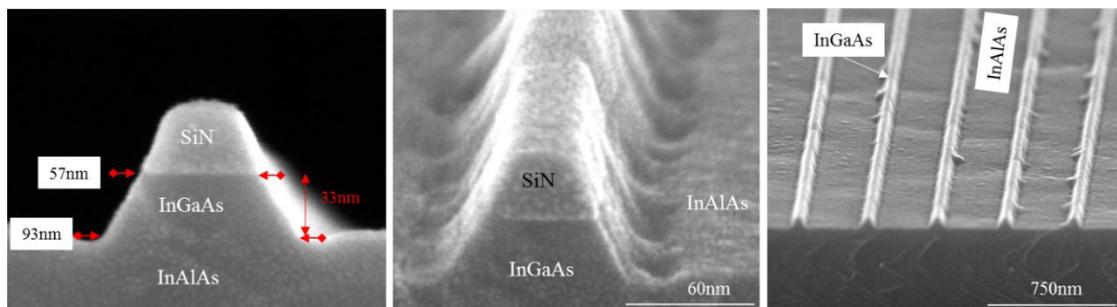


Figure 2-26: Images MEB après gravure de la zone active InGaAs, arrêt sur InAlAs. La largeur du motif visée est de 50nm. Le masque dur n'a pas encore été retiré.

### 3.2.2. Définition de la grille

Le dépôt et la gravure de la grille est identique à la filière InGaAs-OI.

Les chimies et temps de gravure ont été optimisés sur des plaques Si possédant le même empilement à graver  $\text{SiN}/\text{Ta}/\text{HfO}_2/\text{Al}_2\text{O}_3$ . Cependant, la Figure 2-27 montre que la

gravure du Ta n'est pas totalement uniforme et que l'épaisseur de Ta est plus faible au-dessus de la zone active. Il est possible que la résine soit plus fine au-dessus des motifs de zone active, et que l'épaisseur de la résine ne soit pas suffisante pour la gravure. Le masque dur et le Ta sont alors surgravés au-dessus de la zone active. L'épaisseur de Ta semble être tout de même suffisante pour la réalisation de la grille.

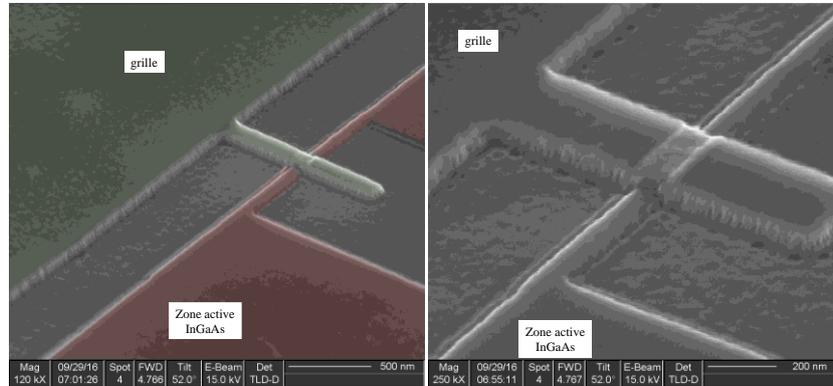


Figure 2-27: Images MEB après gravure de la grille et retrait des polymères de gravure.

### 3.3.Réalisation des zones source-drain

L'intermétallique décrit dans la partie 2.3.2 est transféré sur cette configuration. La structure finale est similaire à celle de l'InGaAs-OI, comme montré sur la Figure 2-28. Dans ce cas, le canal repose sur un semi-conducteur, l'InAlAs, contrairement à la configuration InGaAs-OI où il repose sur un isolant. Il faut donc maîtriser la diffusion du NiCo pour ne pas siliciurer la couche sous-jacente d'InAlAs.

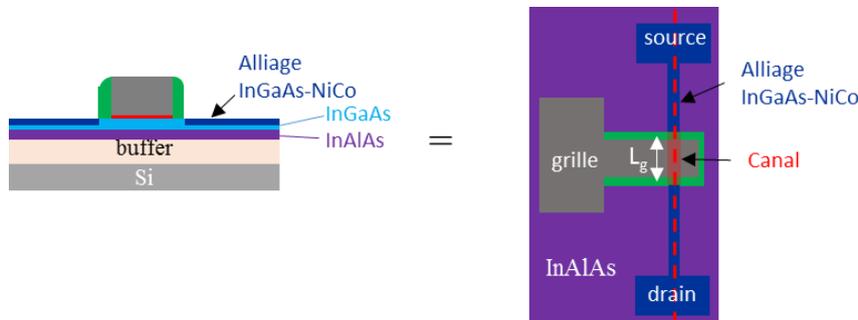
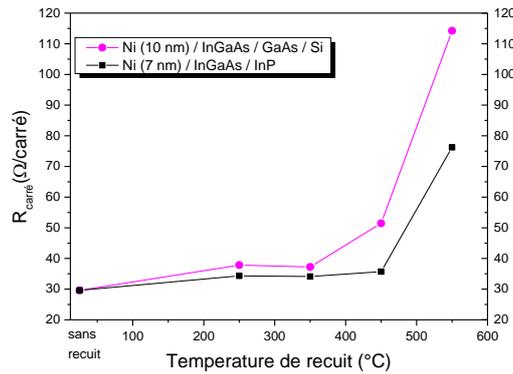


Figure 2-28: Schéma de la structure finale du transistor InGaAs sur InAlAs.

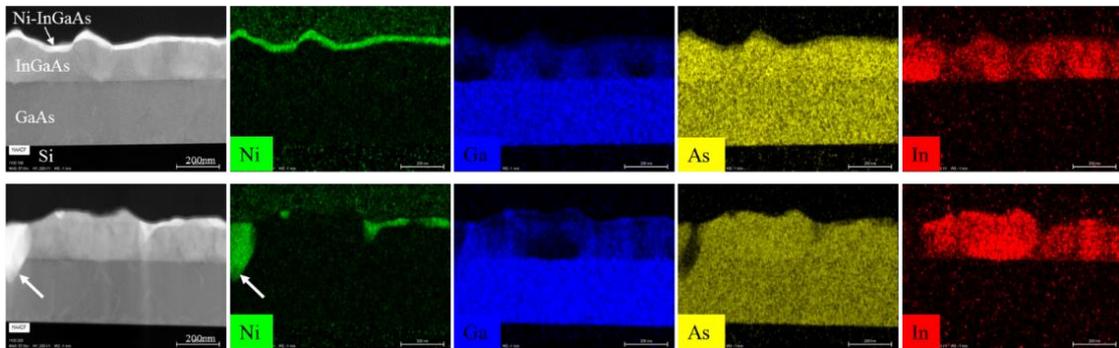
Le même procédé de « siliciuration » a été transféré sur une couche d'InGaAs épitaxiée sur substrat Si afin d'observer l'impact du substrat sur la formation de l'intermétallique. L'épitaxie d'InGaAs sur le substrat Si se fait par l'intermédiaire d'une couche buffer de GaAs. La qualité de la couche d'InGaAs est fortement dégradée car l'équipement d'épitaxie avait des problèmes de fonctionnement à ce moment-là. La couche présente des parois d'antiphase et une rugosité élevée de l'ordre de 20nm, au lieu de 2nm pour les épitaxies optimisées. La Figure 2-29 représente l'évolution de la résistance carré en fonction de la température de recuit pour les deux types d'épitaxie. Il faut noter que l'épaisseur de Ni est supérieure dans le cas de InGaAs/Si (10 nm vs. 7 nm). Les mesures de résistance carré montrent que l'intermétallique sur l'InGaAs métamorphique est toujours plus résistif et se dégrade plus rapidement que sur l'InGaAs/InP. La dégradation sera même accrue avec

une épaisseur de Ni équivalente (7nm), puisque la résistance carré diminue quand l'épaisseur de métal déposée augmente.



**Figure 2-29: Evolution de la résistance carré en fonction de la température de recuit pour l'InGaAs épitaxié sur InP (carré noir), et pour l'InGaAs épitaxié sur Si (rond rose). Pour ce dernier cas, l'épaisseur de Ni est supérieure au cas InGaAs/InP.**

Lorsque l'InGaAs présente de nombreux défauts cristallins et une forte rugosité, l'intermétallique est plus résistif et se dégrade à plus faible température que sur une couche d'InGaAs sans défaut. Les images TEM/EDX à 300°C et 550°C de la Figure 2-30 montrent bien la forte rugosité de la couche d'InGaAs. A 300°C, le Ni semble uniformément réparti, comme dans le cas InGaAs/InP de la Figure 2-19. A 550°C, le Ni s'est agrégé et a même percé l'InGaAs jusqu'au GaAs à certains endroits, comme indiqué par la flèche. L'alliage Ni-InGaAs est de moins bonne qualité sur un matériau défectueux et se dégrade à plus faible température.



**Figure 2-30: Images TEM et EDX de l'intermétallique Ni-InGaAs/GaAs/Si après un recuit à 300°C (en haut) et à 550°C (en bas). Les flèches blanches indiquent la diffusion du Ni jusqu'au GaAs.**

Malheureusement, nous n'avons pas encore reproduit cette expérience sur une couche d'InGaAs épitaxiée sur Si de meilleure qualité pour évaluer la résistance réelle des contacts dans notre intégration. Néanmoins, cette étude montre l'importance de la qualité de l'épitaxie d'InGaAs pour la réalisation des source et drain.

## Conclusion du chapitre 2

Le chapitre 2 a résumé les deux filières technologiques développées au Leti pour la réalisation d'un transistor à canal d'InGaAs sur substrat Silicium, pour un canal d'InGaAs reposant sur un oxyde, et pour un canal d'InGaAs sur InAlAs. Les deux stratégies reposent

sur deux techniques d'épithaxie : en accord de maille sur InP, ou épithaxie métamorphique d'InGaAs sur substrat Si. Nous souhaitons comparer les propriétés des transistors en fonction de la stratégie d'intégration employée. La stratégie InGaAs-OI implique plusieurs étapes supplémentaires pour la réalisation du collage du substrat 100mm sur le substrat Si 200mm. L'adhérence du diélectrique sur le III-V a été la difficulté majeure et a retardé de plus d'un an la réalisation du transistor. Finalement, la meilleure adhérence est obtenue lorsque, pour le dépôt SiN, le plasma NH<sub>3</sub> se trouve au-dessus du substrat et permet de réduire les oxydes de III-V, voire de créer des liaisons nitrurées. Les procédés de collage ont été optimisés au cours de cette thèse pour utiliser une fine couche d'Al<sub>2</sub>O<sub>3</sub> comme couche d'adhérence. Un collage d'une couche d'InGaAs 300mm sur substrat 300mm a été réalisée au Leti et ouvre de belles perspectives pour la réalisation de transistor MOSFET III-V. Après collage, la fabrication du transistor n'a été commencée qu'en mars 2016. A l'heure actuelle, la grille est en cours de dépôt.

Une stratégie parallèle InGaAs/InAlAs, type HEMT a été mise au point, et a été finalement plus rapide à mettre en œuvre au Leti. La gravure de la zone active, tout d'abord optimisée sur des échantillons InGaAs/InP a été adaptée avec succès sur l'empilement InGaAs/InAlAs. Des améliorations doivent encore être apportées afin d'obtenir des flancs droits. La gravure de la grille a présenté quelques difficultés, probablement à cause d'une épaisseur de résine trop faible. Le procédé de réalisation des source et drain ont été optimisés sur InGaAs/InP et pourront être appliqués rapidement sur les plaques InGaAs/InAlAs. Nous prévoyons de réaliser prochainement les zones source/drain. Les premières mesures électriques pourront être faites au début de l'année 2017.

---

**Chapitre 3.**  
**Etude de l'interface III-V/diélectrique de**  
**grille**

---

---

## Introduction du chapitre 3

Nous avons vu dans le chapitre 1 les avantages d'une intégration des dispositifs III-V sur substrat Si, afin de réduire les coûts et profiter de la plateforme Si CMOS. Nous avons ensuite, dans le chapitre 2, résumé l'enchaînement des étapes technologiques pour l'élaboration d'un MOSFET III-V sur substrat Si au CEA Leti. Les étapes de dépôt de la grille, et notamment l'interface de l'InGaAs avec le diélectrique sont déterminantes pour les performances du transistor (cf. chapitre 1). En parallèle de la fabrication de ce transistor, nous avons donc étudié plus particulièrement le traitement de surface de l'InGaAs et le dépôt du diélectrique de grille, afin d'optimiser ces étapes fondamentales et de les intégrer sur la route technologique III-V. Nous avons réalisé des capacités, qui sont des dispositifs simples, pour étudier électriquement l'empilement InGaAs/diélectrique, et plus précisément son interface. Comme expliqué dans le précédent chapitre, deux stratégies d'intégration sont possibles : une épitaxie d'InGaAs sur un substrat InP en accord de paramètre de maille, et une épitaxie sur un substrat Si en fort désaccord de paramètre de maille (croissance métamorphique). Nous avons donc voulu étudier l'interface InGaAs/diélectrique dans ces deux cas d'épitaxie à l'aide de capacité MOS dont nous expliquerons le principe. La littérature foisonne d'études de capacités en fonction des traitements de surface et des dépôts de diélectriques. Mais ces études sont principalement réalisées sur des couches d'InGaAs épitaxiées sur substrat InP, ce qui correspond à une intégration InGaAs-OI. Par contre, dans le cas d'une intégration pseudo-OI, où l'InGaAs est directement épitaxié sur silicium, seulement deux publications rapportent des mesures de capacité sur InGaAs métamorphique dans le courant de cette thèse : l'université de Taïwan et TSMC en 2014 [LINY14], et SEMATECH en 2015 [ORZALI15]. Nous avons donc élaboré des capacités sur ces deux types de substrats InP et Si afin de comparer la qualité de l'interface dans ces deux cas. Nous avons commencé par élaborer les capacités sur des échantillons d'InGaAs épitaxié sur InP. Deux traitements de surface ont été comparés :  $(\text{NH}_4)_2\text{S}$  et  $\text{NH}_4\text{OH}$ . La solution d' $(\text{NH}_4)_2\text{S}$  est couramment employée pour la désoxydation et la passivation de la surface de III-V, mais elle n'est pas envisageable sur les équipements de la plateforme 200 et 300mm. C'est pourquoi, nous avons aussi testé la solution d'ammoniaque, déjà disponible sur nos équipements. Le diélectrique  $\text{Al}_2\text{O}_3$  a ensuite été remplacé par un dépôt  $\text{HfO}_2$  combiné à une fine interface d' $\text{Al}_2\text{O}_3$  pour augmenter la capacité maximum, et diminuer l'EOT. Un traitement plasma a aussi été expérimenté pour tenter de diminuer la densité d'états d'interface. Finalement, les procédés optimisés sur les échantillons ont été transférés sur les épitaxies d'InGaAs sur substrat Si 300mm. Une cartographie des capacités a pu être réalisée pour qualifier l'interface et l'épitaxie à l'échelle d'une plaque 300mm. Dans les deux études nommées ci-dessus, les mesures montrent que les capacités sont similaires quel que soit le substrat utilisé, mais aucune étude statistique n'est donnée sur la plaque 300mm.

# 1. Principe de fonctionnement des capacités

## 1.1. Régimes de fonctionnement d'une capacité

La structure MOS se compose d'un métal, d'un isolant et d'un semi-conducteur. Nous allons décrire les différents régimes de fonctionnement de la capacité pour un semi-conducteur type n, c'est-à-dire un semi-conducteur dont les électrons sont les porteurs de charges majoritaires. Les capacités étudiées dans cette thèse sont de type n, c'est pourquoi nous décrivons cette conformation. Le principe est le même pour les semi-conducteurs de type p, à condition d'inverser les polarités.

La polarisation de la capacité engendre la création d'un champ électrique de part et d'autre de l'isolant et donc de charges opposées à ses interfaces. La variation de la tension appliquée sur le métal, notée  $V_G$ , modifie la valeur de cette charge et provoque différents régimes de fonctionnement, illustrés sur la Figure 3-1.

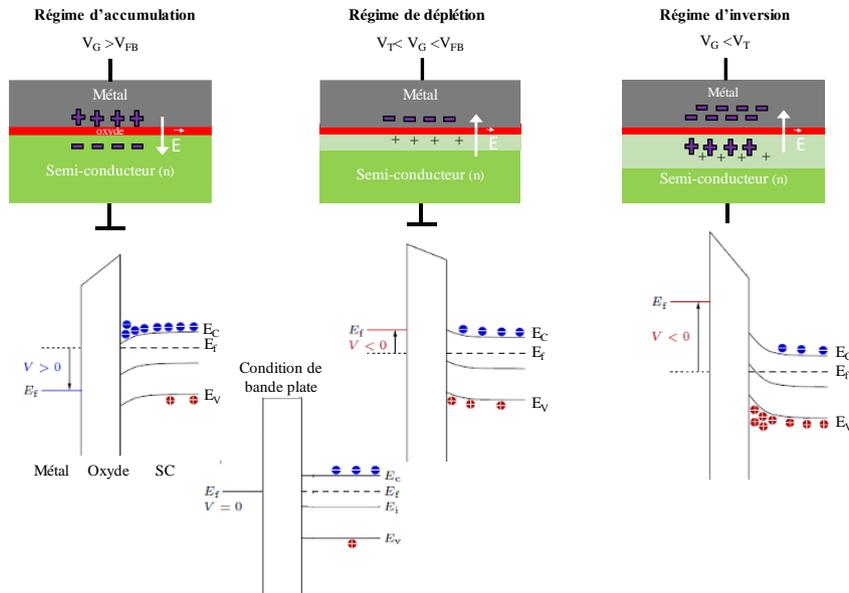


Figure 3-1: Schéma des différents régimes d'une capacité et les diagrammes de bandes correspondants [Hu10].

Le **régime d'accumulation** est atteint quand la tension appliquée est supérieure à la **tension de bandes plates** (tension positive dans le cas n), notée  $V_{FB}$ , pour laquelle aucun champ électrique ne traverse l'oxyde. En accumulation, des charges positives apparaissent dans le métal, et des électrons s'accumulent à la surface du semi-conducteur. En diminuant la tension,  $V_G$  atteint la tension  $V_{FB}$ . Au passage de cette tension, le champ électrique s'inverse. En diminuant encore la tension ( $V_G < V_{FB}$ ), la capacité passe dans le **régime de déplétion**. Les charges négatives dans le métal sont compensées par des impuretés ionisées chargées positivement dans le semi-conducteur. Lorsqu'il n'y a plus assez d'impuretés ionisées pour compenser la charge du métal, des trous sont attirés à la surface du semi-conducteur. C'est le **régime d'inversion**. Ce régime est défini par la tension  $V_T$ , appelée tension de seuil.

## 1.2.Principe de la mesure C(V)

La capacité mesurée est la capacité équivalente de deux capacités en série : la capacité du semi-conducteur et celle de l'oxyde, selon l'équation suivante :

$$\frac{1}{C} = \frac{1}{C_{SC}} + \frac{1}{C_{ox}} \quad (3-1)$$

où  $C_{SC}$  désigne la capacité du semi-conducteur, et  $C_{ox}$  la capacité de l'oxyde.

$C_{ox}$  est constant et est décrit par la relation

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (3-2)$$

avec  $\epsilon_0$ , la permittivité du vide,  $\epsilon_r$ , la permittivité du diélectrique,  $e$ , l'épaisseur du diélectrique et  $S$ , la surface de la capacité.

$C_{SC}$  dépend des différents régimes de fonctionnement de la capacité, mais en inversion et en accumulation,  $C_{SC}$  est très grand devant  $C_{ox}$ . On peut donc assimiler la capacité mesurée à la capacité de l'oxyde lorsqu'on fait la mesure en quasi-statique ou à basse fréquence.

En déplétion, la capacité du semi-conducteur est en série de la capacité de l'oxyde et s'exprime comme :

$$C_{SC} = \frac{\epsilon_{SC}}{l_{zD}} \quad (3-3)$$

avec  $\epsilon_{SC}$ , la permittivité du semi-conducteur et  $l_{zD}$ , la profondeur de la zone désertée.

Pour cette étude, les mesures de capacité ont été faites en mode dynamique, ce qui consiste à appliquer une tension alternative de faible amplitude aux bornes de la capacité selon :

$$V_G(t) = V_{G0} + \delta V \cdot \cos(\omega \cdot t) \quad (3-4)$$

en faisant varier la fréquence de 20Hz à 1 MHz ( $\omega=2\pi f$ ). Selon la fréquence, la courbe C(V) n'a pas la même allure, comme illustrée sur la Figure 3-2.

En faisant varier  $V_G$ , la charge en surface du semi-conducteur doit varier pour atteindre un état d'équilibre. En inversion, la variation de charge est lente. Pour que la charge d'inversion augmente, il faut attendre que des trous minoritaires soient créés et migrent jusqu'à l'interface avec le diélectrique.

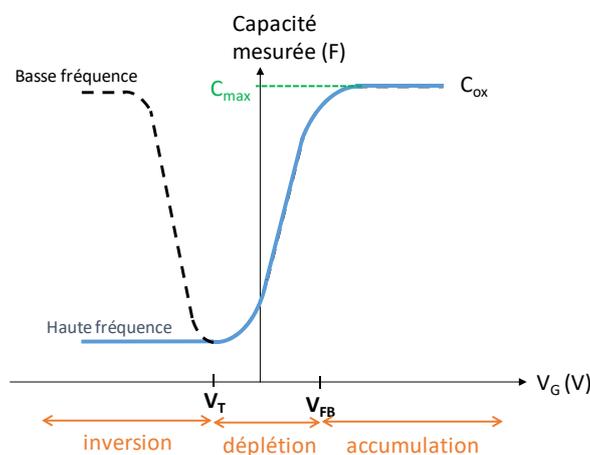


Figure 3-2: Allure théorique de la courbe C(V) selon les différents régimes de fonctionnement à haute et basse fréquence dans le cas d'un semi-conducteur n.

Dans le cas d'une mesure à basse fréquence (en régime quasi-statique, quelques Hz), la variation de la charge d'inversion peut compenser la variation de charge du métal, et la capacité mesurée est celle de l'oxyde. Dans le cas d'une mesure haute fréquence, la variation rapide de la charge du métal ne peut pas être compensée par la variation de la charge d'inversion, et la capacité reste constante.

### 1.3. Paramètres caractéristiques de la capacité

#### 1.3.1. Capacité de l'oxyde

L'extraction de la capacité maximum nous permet de calculer la capacité de l'oxyde suivant l'équation (3.1). En mesurant cette capacité pour plusieurs épaisseurs d'oxyde, nous pouvons remonter à la permittivité réelle du diélectrique.

Pour comparer à la capacité qu'on obtiendrait avec SiO<sub>2</sub>, deux grandeurs ont été définies :

- l'EOT (Equivalent Oxide Thickness) qui représente l'épaisseur de SiO<sub>2</sub> nécessaire pour produire le même effet qu'un diélectrique high-k. L'EOT s'exprime en nm selon la formule :

$$EOT = e_{high-k} \cdot \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \quad (3-5)$$

avec  $e_{high-k}$  l'épaisseur du diélectrique high-k,  $\epsilon_{SiO_2}$  et  $\epsilon_{high-k}$  les permittivités relatives du SiO<sub>2</sub> et du diélectrique high-k.

- Le CET (Capacitance Equivalent Thickness) qui représente l'épaisseur de SiO<sub>2</sub> nécessaire pour atteindre la même capacité mesurée avec un diélectrique high-k. Il s'exprime aussi en nm selon la formule :

$$CET = \frac{\epsilon_{SiO_2} \cdot S}{C_{mesurée}} \quad (3-6)$$

avec S la surface du contact et  $C_{mesurée}$  la capacité mesurée avec un diélectrique high-k.

#### 1.3.2. Tension de bandes plates

Comme précédemment expliqué, la tension de bandes plates est la tension à appliquer pour chasser les charges dans le semi-conducteur, et obtenir un champ électrique nul dans l'oxyde. Autrement dit, il s'agit de la tension nécessaire pour obtenir un diagramme de bande sans courbure, comme illustré sur la Figure 3-3.

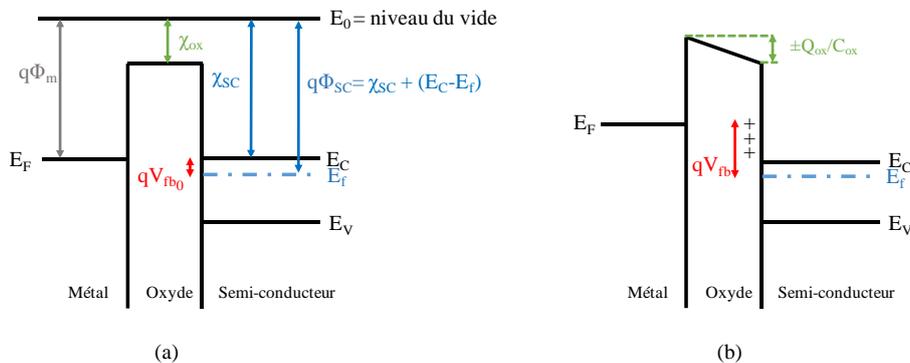


Figure 3-3: Diagrammes de bandes dans les conditions de bandes plates (a) dans le cas idéal avec  $V_{fb0}$  idéal et (b) dans le cas réel avec des charges  $Q_{ox}$  dans le diélectrique et  $V_{fb} > V_{fb0}$ .

Dans le cas idéal, la tension de bandes plates s'exprime :

$$V_{FB0} = \Phi_m - \Phi_{SC} = \Phi_m - \left( \chi_{SC} + \frac{E_g}{2q} - \Phi_f \right) \quad (3-7)$$

avec  $\Phi_m$  le travail de sortie du métal,  $\Phi_{SC}$  le travail de sortie du semi-conducteur,  $\chi_{SC}$  l'affinité du semi-conducteur,  $E_g$  le gap du semi-conducteur et  $\Phi_f$  le potentiel de Fermi qui représente l'écart entre le niveau de Fermi et le milieu du gap du semi-conducteur loin de la surface.

Dans le cas réel, où des charges  $Q_{ox}$  sont présentes dans le diélectrique, la tension de bandes plates varie et s'écrit :

$$V_{FB} = \Phi_m - \left( \chi_{SC} + \frac{E_g}{2q} + \Phi_f \right) \pm \frac{Q_{ox}}{C_{ox}} \quad (3-8)$$

Ces pièges dans l'oxyde induisent donc un décalage de la tension de bandes plates, vers les tensions négatives dans le cas de charges positives, et vers les tensions positives dans le cas de charges négatives.

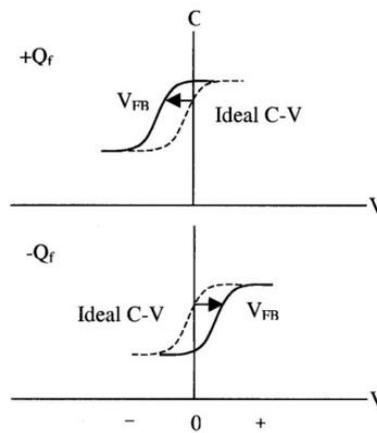


Figure 3-4: Illustration de l'influence d'une charge  $Q$  positive (en haut) ou négative (en bas) dans l'oxyde sur la tension de bande plate théorique  $V_{FB}$  dans le cas d'un semi-conducteur type n [WILK01].

### 1.3.3. Densité d'états d'interface

Les états d'interface, liés à la discontinuité du réseau entre le semi-conducteur et l'oxyde, introduisent des niveaux d'énergie dans la bande interdite du semi-conducteur. Ces niveaux d'énergie se remplissent lorsqu'ils sont en-dessous du niveau de Fermi. Ils créent donc des charges piégées, formant une capacité supplémentaire en parallèle de la capacité du semi-conducteur. La densité d'états d'interface,  $D_{it}$ , représente le nombre de défauts électriquement actifs par unité de surface et d'énergie ( $eV^{-1}cm^{-2}$ ). Les valeurs de  $D_{it}$  varient entre  $10^{10}eV^{-1}cm^{-2}$  pour une interface de qualité comme Si/SiO<sub>2</sub> après recuit sous N<sub>2</sub>/H<sub>2</sub>, jusqu'à  $10^{13}eV^{-1}cm^{-2}$  pour une interface de mauvaise qualité comme pour certaines interfaces GaAs/high-k. L'effet de ces  $D_{it}$  sur la capacité se traduit par l'apparition d'une « bosse » sur les mesures à plus faible fréquence en régime de déplétion, entre l'accumulation et l'inversion. Les  $D_{it}$  peuvent également causer un décalage en  $V_{FB}$ .

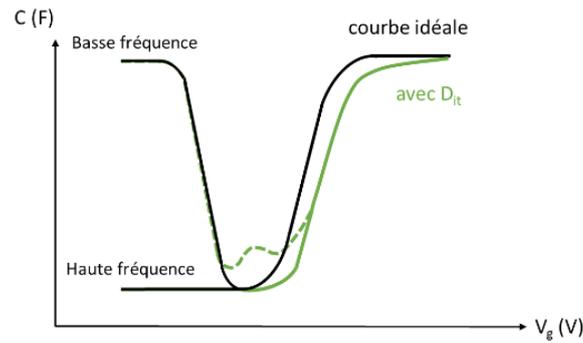


Figure 3-5: schéma illustrant l'effet des  $D_{it}$  sur la capacité : création d'une « bosse » dans la transition accumulation/inversion, décalage de la tension de bande plate.

Quant au transistor, une forte densité d'états empêche le contrôle des charges dans le canal par la grille, et par conséquent, la réalisation de transistor à faible pente sous le seuil et fort courant de fonctionnement.

Le position en énergie des pièges par rapport à la bande de conduction (les électrons sont les porteurs majoritaires),  $\Delta E$  peut s'exprimer à partir du temps de réponse des pièges,  $\tau$ . Le temps de réponse d'un piège est le temps nécessaire pour une charge capturée de se libérer d'un état de niveau d'énergie  $E_T$  et s'exprime comme :

$$\tau = \frac{1}{f} = \frac{\exp\left(\frac{\Delta E}{k_B T}\right)}{\sigma \cdot v_{th} \cdot D_{DOS}} \quad (3-9)$$

où  $f$  est la fréquence de mesure,  $\Delta E = E_C - E_T$  (ou  $\Delta E = E_T - E_C$ ) l'énergie par rapport à la bande de conduction (à la bande de valence),  $k_B$  la constante de Boltzmann,  $\sigma$  la section efficace de capture des pièges,  $v_{th}$  la vitesse thermique moyenne des électrons,  $D_{DOS}$  la densité d'état du semi-conducteur et  $T$  la température. La section efficace de capture des pièges peut être supposée à  $1 \times 10^{-16} \text{cm}^2$ , et la vitesse thermique moyenne des électrons est calculée par la relation

$$v_{th} = \sqrt{3k_B T / m^*} \quad (3-10)$$

avec  $m^*$  la masse effective des électrons dans la bande de conduction (ou des trous dans la bande de valence) du matériau.

Comme décrit sur la Figure 3-6, à température ambiante, la fréquence de mesure (100Hz-100kHz) permet de révéler les pièges environ au milieu du gap de l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ . A plus faible température, la mesure sonde des niveaux d'énergie plus proche de la bande de conduction. Cependant, l'hypothèse d'une section de capture efficace indépendante du type de piège et de sa position induit une erreur sur la position des pièges dans le gap. Elle est évaluée à environ 60meV par décade à température ambiante [LINHC09]. Nous montrerons dans ce chapitre des mesures à température ambiante.

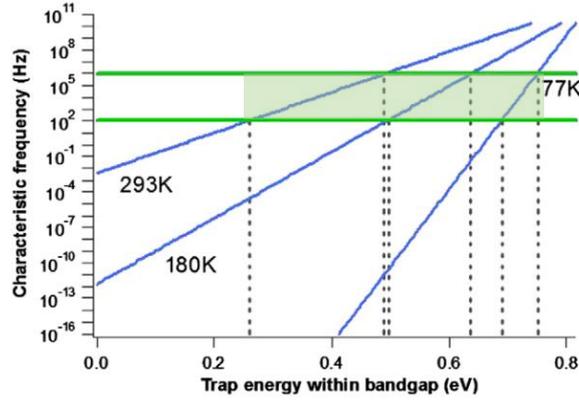


Figure 3-6: Fréquences caractéristiques des pièges calculées d'après l'équation (3.9) pour des mesures C(V) entre 100Hz et 100kHz (intervalle vert). Selon la caractéristique de piégeage, ces fréquences interagissent avec les pièges de différents niveaux d'énergie en fonction de la température. La bande de valence est à 0eV et les niveaux d'énergie sont calculés dans le cas d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  type n [LINHC09].

La détermination du  $D_{it}$  est réalisée par la mesure de capacité. Nous expliquerons deux méthodes principales qui ont été utilisées pour estimer le  $D_{it}$ .

### Méthode haute et basse fréquence

La méthode de Castagné-Vapaille [CASTAGNE71], aussi appelée « méthode haute et basse fréquence », consiste à comparer deux courbes C(V), l'une mesurée à haute fréquence et l'autre à basse fréquence. On considère qu'à haute fréquence, les états d'interface n'ont pas le temps de répondre, et que cette capacité représentera la capacité sans états d'interface. Au contraire, à faible fréquence, on fait l'hypothèse que tous les états d'interface répondent au signal. La différence entre ces deux courbes est donc la capacité due aux états d'interface. La densité d'états est alors donnée par la relation :

$$D_{it} = \frac{C_{ox}}{q} \cdot \left( \frac{C_{BF}}{C_{ox} - C_{BF}} - \frac{C_{HF}}{C_{ox} - C_{HF}} \right) \quad (3-11)$$

### Méthode de la conductance

La méthode de la conductance consiste à analyser la perte de la conductance lors du changement d'occupation d'un état d'interface. En effet, les pièges d'interface proche du niveau de fermi peuvent être occupés ou vides selon la position du niveau de Fermi. La conductance équivalente parallèle  $G_p$  est d'abord calculée à partir de la conductance mesurée  $G_m$  :

$$G_p = \frac{\omega^2 C_{ox}^2 G_m}{G_m^2 + \omega^2 (C_{ox} - C_m)^2} \quad (3-12)$$

d'après les circuits équivalents montrés sur la Figure 3-7. La réponse en fréquence de ces pièges dépend de taux de capture  $\tau$ . La perte maximum de conductance a lieu lorsque les défauts d'interface rentrent en résonance avec le signal alternatif, c'est-à-dire quand  $\omega\tau = 1$ . La densité d'états est alors estimée à partir de la conductance parallèle équivalente  $G_p$

$$D_{it} = \frac{2,5}{Aq} \left( \frac{G_p}{\omega} \right)_{max} \quad (3-13)$$

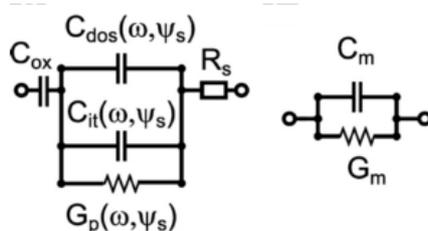


Figure 3-7: A gauche, le circuit équivalent de la capacité en déplétion, avec la capacité de l'oxyde  $C_{ox}$ , la capacité du semi-conducteur  $C_{DOS}$ , la capacité des états d'interface  $C_{it}$ , la conductance équivalente parallèle des états d'interface  $G_p$ . A droite, le circuit équivalent avec la capacité mesurée  $C_m$  et la conductance mesurée  $G_m$  [ENGEL-HERBERT10].

## 2. Réalisation des capacités sur échantillon et caractérisation

Nous avons réalisé des capacités pour deux types d'épitaxie : l'épitaxie d'InGaAs sur substrat InP, et l'hétéroépitaxie d'InGaAs sur Si. Dans cette partie, nous commençons par détailler les capacités élaborées sur une couche d'InGaAs épitaxiée sur substrat InP (100 mm). Ces capacités correspondent à la l'intégration InGaAs-OI, par la stratégie collage. Dans un second temps, les procédés optimisés sur échantillon sont transférés sur substrat Si 300mm avec une hétéroépitaxie d'InGaAs/Si (100), correspondant à la stratégie pseudo-OI. Ces capacités élaborées en 300mm seront décrites dans la suite du chapitre.

### 2.1.Élaboration des capacités sur échantillon

Une couche de 25nm d' $In_{0,53}Ga_{0,47}As$ , non-intentionnellement dopée, est épitaxiée sur un substrat InP de 100 mm dopé S à  $1 \times 10^{18} \text{ cm}^{-3}$ . L'épitaxie a été réalisée dans une chambre 300mm de MOCVD en utilisant un support pour substrat 100mm. L'épitaxie démarre par un fin buffer d'InP (~60nm) avant de commencer la croissance de l'InGaAs. L'image AFM en  $5 \times 5 \mu\text{m}^2$ , rapportée sur la Figure 3-8, montre une rugosité RMS (Root Mean Squared) d'environ 0,2 nm, et une hauteur maximum de pic d'environ 2 nm.

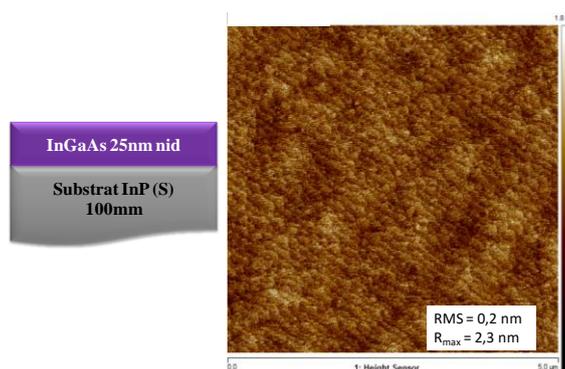


Figure 3-8: Schéma de l'épitaxie d'InGaAs sur substrat InP et image AFM en  $5 \times 5 \mu\text{m}^2$  de sa surface.

Pour l'élaboration des capacités, l'échantillon d'InGaAs est d'abord traité chimiquement pour désoxyder la surface et la préparer au dépôt du diélectrique. Le traitement se fait en paillasse et non dans un équipement 200/300mm. Par contre le dépôt diélectrique est réalisé dans l'équipement ALD 300mm d'ASM. L'échantillon est posé sur un substrat 300mm. Les conditions de dépôt sont donc les mêmes pour les plaques 200 et 300mm. Le dépôt de métal est fait dans une autre salle blanche, au sein de la Plateforme

Technologique Amont. Le métal est déposé à travers un masque troué. Les contacts sont des disques dont le diamètre varie de 200 à 500µm. Le dépôt de Ni/Au (40/60nm) est fait par évaporation par faisceaux d'ion à température ambiante. Aucun traitement de surface ou recuit n'est appliqué pour le contact. Le même dépôt est aussi fait sur toute la face arrière de l'échantillon afin de diminuer la résistance du contact.

## 2.2.Caractérisation XPS de l'interface III-V/diélectrique

La surface du III-V ainsi que l'interface III-V/diélectrique ont été étudiées par spectrométrie photoélectronique X (XPS) afin de connaître la nature chimique des liaisons à la surface du matériau, jusqu'à une profondeur d'environ 5nm. Les mesures ont été faites sur l'équipement Thermo Scientific Theta 300, qui peut analyser toutes les tailles d'échantillons, jusqu'à 300mm.

### 2.2.1. Principe de l'XPS

La technique consiste à bombarder à la surface d'un matériau des photons, qui seront absorbés en partie par les atomes le constituant. Ces atomes, en absorbant le photon, réémettent des électrons pour conserver un état stable. L'énergie incidente étant très élevée (1486.6eV), les électrons arrachés seront des électrons de cœur. Si leur énergie est suffisante, les électrons traversent le matériau et passent dans le vide. Ces électrons émis sont collectés dans un détecteur et comptés en fonction de leur énergie cinétique (Figure 3-9). Le principe de conservation de l'énergie permet d'écrire la relation suivante :

$$h\nu = E_c + E_l + W_f \quad (3-14)$$

avec  $h\nu$ , l'énergie des photos incidents,  $E_c$  l'énergie cinétique de l'électron émis,  $E_l$  l'énergie de liaison et  $W_f$  le travail de sortie du matériau.

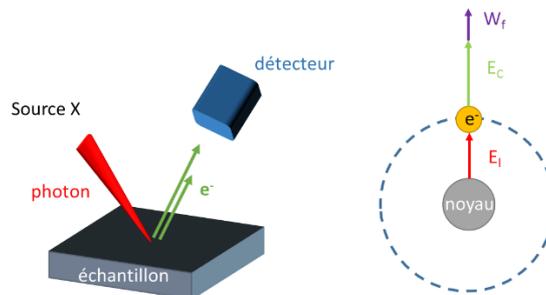


Figure 3-9: Schéma de principe de l'analyse XPS.

En mesurant l'énergie cinétique des électrons, on peut en déduire l'énergie de liaison de l'atome dont ils proviennent. L'énergie de liaison dépend de plusieurs facteurs :

- l'atome dont il est émis
- l'orbital atomique dont il provient
- l'environnement chimique de l'atome donc il provient

La méthode permet d'analyser tous les éléments sauf l'hydrogène et l'hélium.

### 2.2.2. Analyse angulaire par XPS

L'ARXPS, soit l'XPS par analyse angulaire, permet d'obtenir des informations supplémentaires sur la position en profondeur des liaisons chimiques. La profondeur d'analyse dépend du libre parcours inélastique moyen des électrons dans le matériau. Lorsque le détecteur est à la normale de l'échantillon, la profondeur d'analyse est d'environ 5nm. Quand on fait varier l'angle entre 0 et 75° par rapport à la normale, la profondeur d'analyse diminue, comme montré sur la Figure 3-10. A un angle perpendiculaire à la surface, les électrons collectés proviennent de la surface et du volume du matériau. Au contraire, à angle rasant, les électrons collectés sont issus de la surface du matériau.

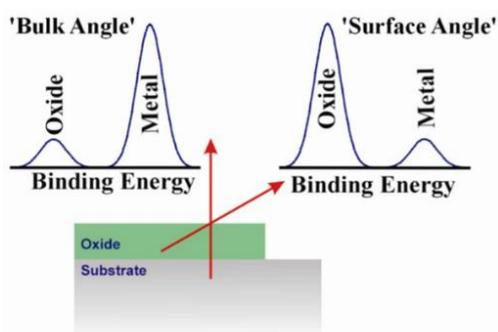
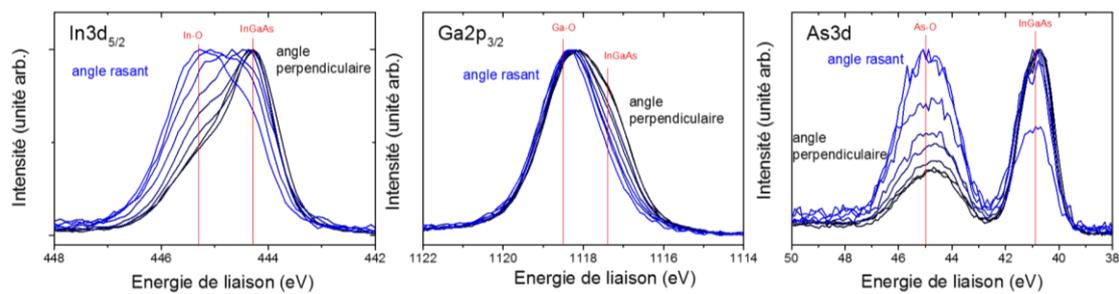


Figure 3-10: Schéma expliquant le principe de l'XPS angulaire [THERMO FISHER SCIENTIFIC08].

Dans les études menées au cours de cette thèse, l'ARXPS a été particulièrement utile pour aider à distinguer les liaisons oxydes des liaisons métalliques, notamment pour le signal Ga2p qui a une faible différence d'énergie de liaison entre la composante oxyde et la composante métallique. Les mesures ARXPS ont été faites à 8 angles différents entre 23 et 76° par rapport à la normale de l'échantillon. Les spectres ARXPS des pics In3d<sub>5/2</sub>, As3d, Ga2p<sub>3/2</sub> de l'InGaAs brut sont montrés sur la Figure 3-11. On voit que la composante oxydée de l'InGaAs (toujours à plus haute énergie de liaisons par rapport à l'InGaAs) s'amplifie à mesure que l'angle devient rasant. Les pics As2p et Ga2p sont plus sensibles à la surface qu'au volume du matériau par rapport aux pics As3d et Ga3d. En effet, les énergies de liaison de l'As2p et Ga2p sont très élevées (1320 et 1200eV contre 40 et 20eV pour As 3d et Ga3d) donc les photoélectrons issus des orbitales 2p ont une énergie cinétique plus faible. Les photoélectrons issus du volume du matériau sont plus écrantés que ceux de la surface. Le signal collecté est plus faible et plus représentatif de la surface du matériau. Le Ga2p a donc été préférentiellement étudié pour mieux détecter la présence d'oxyde de Ga. Par contre, l'As2p n'a pas pu être détecté lorsque de l'Al<sub>2</sub>O<sub>3</sub> était déposé sur l'InGaAs. L'énergie de liaison de l'As2p étant de 1320eV, il était d'autant plus écranté par la couche d'Al<sub>2</sub>O<sub>3</sub>.



**Figure 3-11: Spectres ARXPS d'As3d, Ga2p<sub>3/2</sub> et In3d<sub>5/2</sub> de l'InGaAs brut mesurés à 8 angles entre 23 et 76° par rapport à la normale de l'échantillon.**

Les analyses ont été réalisées dans l'équipement Theta 300 de Thermofisher, équipé d'une source d'Al K $\alpha$  dont l'énergie des photons émis est de 1486.6eV. L'acquisition des spectres a été réalisée avec un pas de 0,1eV, une énergie de passage de 100mV et un temps de mesure de 500ms. Pour une mesure angulaire, les spectres sont acquis à 8 angles : 23, 31, 39, 46, 53, 61, 68 et 72° par rapport à la normale de l'échantillon.

Pour la déconvolution des spectres de l'As3d, la composante 5/2 était séparée de la 3/2 de 0,69eV, en imposant une largeur à mi-hauteur égale et un rapport d'aire de 3:2. Tous les spectres ont été calibrés en énergie par rapport au signal du C à 285eV. Dans le cas du GaAs, le pic Ga3d a été étudié plutôt que Ga2p car le signal est plus intense et il n'est pas superposé à In4d. Le spectre Ga3d a été déconvolué en séparant la composante 5/2 et 3/2 de 0,46eV, en imposant une largeur à mi-hauteur égale et un rapport d'air de 3:2.

### 3. Impact du traitement de surface sur les capacités InGaAs/Al<sub>2</sub>O<sub>3</sub>

Les surfaces d'InGaAs et de GaAs s'oxydent instantanément à l'air. Tous les éléments sont présents à plusieurs degrés d'oxydation, et les oxydes stables de l'InGaAs sont As<sub>2</sub>O<sub>3</sub>, As<sub>2</sub>O<sub>5</sub>, Ga<sub>2</sub>O<sub>3</sub>, Ga<sub>2</sub>O, In<sub>2</sub>O<sub>3</sub>, In<sub>2</sub>O, GaAsO<sub>4</sub> and InAsO<sub>4</sub> [HOLLINGER94]. Les liaisons As-As, les liaisons pendantes d'As [ROBERTSON15] ou encore l'oxyde Ga<sub>2</sub>O<sub>3</sub> [HINKLE09] semblent contribuer à l'ancrage du niveau de Fermi (cf. chapitre 1). De nombreux traitements de surface ont été étudiés dans la littérature pour éliminer les oxydes de III-V et passiver la surface afin de ralentir la recroissance d'oxyde lors d'une exposition à l'air. Différentes solutions sont couramment utilisées comme HF, HCl, NH<sub>4</sub>OH pour retirer les oxydes. Des solutions à base de soufre comme (NH<sub>4</sub>)<sub>2</sub>S ou Na<sub>2</sub>S sont aussi employées (parfois en complément des précédentes) pour passiver la surface [HINKLE11]. D'autres options ont été étudiées comme le dépôt d'une fine couche de Si ou bien l'adsorption et la désorption d'une passivation As [AHN13]. Ces méthodes permettent d'encapsuler le III-V jusqu'au dépôt ALD.

Dans le cadre de cette étude, nous n'avons pas cherché à innover sur le traitement de surface, mais plutôt à transférer les méthodes utilisées dans la littérature sur notre plateforme CMOS. Le traitement à base d'(NH<sub>4</sub>)<sub>2</sub>S est le plus répandu dans la communauté. Cependant, cette solution est difficilement adaptable en 200 et 300mm dans

un environnement industriel. Aucun équipement ne propose la solution  $(\text{NH}_4)_2\text{S}$ . Elle n'est possible qu'en traitement manuel, ce qui complique la manipulation et augmente le risque de casser ou endommager les plaques. L'installation de la solution  $(\text{NH}_4)_2\text{S}$  sur un équipement est aussi très compliqué car les déchets doivent être traités séparément des autres déchets chimiques à cause de sa très grande réactivité. Cela demande une maintenance lourde sur tout le réseau d'évacuation des déchets. De plus, la solution  $(\text{NH}_4)_2\text{S}$  a une odeur nauséabonde, il faut donc un équipement adapté pour éviter toute fuite du produit. A la place du  $(\text{NH}_4)_2\text{S}$ , nous avons choisi d'étudier la solution  $\text{NH}_4\text{OH}$  pour désoxyder la surface d'InGaAs, car elle est efficace pour réduire les oxydes sélectivement à l'InGaAs. Elle est aussi disponible sur les équipements 200 et 300mm. Par contre, elle ne présente pas d'effet passivant comme la solution  $(\text{NH}_4)_2\text{S}$  qui permet de retarder la recroissance d'oxyde après traitement. Nous avons évalué l'efficacité de la solution  $\text{NH}_4\text{OH}$  par rapport à  $(\text{NH}_4)_2\text{S}$  sur des échantillons afin de nous comparer à la littérature. L'effet du traitement chimique sur InGaAs couplé au dépôt ALD a été étudié par XPS et par des mesures C(V).

### 3.1. Effet du dépôt ALD et du traitement chimique sur les oxydes de III-V

Dans un premier temps, la surface d'InGaAs brute est analysée par XPS. L'échantillon était à l'air depuis plusieurs mois. Les spectres des signaux  $\text{In}3d_{5/2}$ ,  $\text{Ga}2p_{3/2}$  et  $\text{As}3d$ , sont présentés dans la Figure 3-12. Les spectres ont été acquis en mode angulaire mais, pour plus de clarté, les spectres montrés ici sont la superposition de tous les angles.

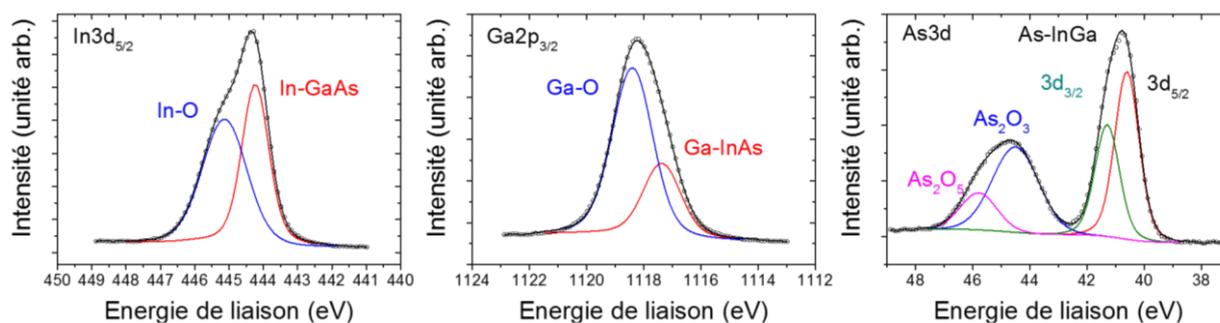


Figure 3-12: Spectres XPS des pics  $\text{In}3d_{5/2}$ ,  $\text{Ga}2p_{3/2}$ ,  $\text{As}3d$  de la surface d'InGaAs brute.

Pour analyser le Ga, le signal  $\text{Ga}2p$  a été étudié car il n'est pas superposé à d'autres éléments, contrairement au signal  $\text{Ga}3d$  qui est superposé à l' $\text{In}4d$ . Tous les éléments présentent une composante oxydée. On distingue clairement pour l'As, la présence d' $\text{As}_2\text{O}_3$  et  $\text{As}_2\text{O}_5$  à respectivement à 44,5eV et 45,8eV. Pour le Ga, une seule composante a été utilisée pour représenter  $\text{Ga}_2\text{O}$  et  $\text{Ga}_2\text{O}_3$  car leurs énergies de liaisons sont très proches, autour d'1eV.

Afin d'analyser l'interface  $\text{InGaAs}/\text{Al}_2\text{O}_3$ , l'échantillon a d'abord été traité par une solution chimique  $(\text{NH}_4)_2\text{S}$  (à 20% pendant 20min) ou  $\text{NH}_4\text{OH}$  (à 4% pendant 1min), puis rapidement mis sous vide dans la chambre de dépôt. La surface est remise à l'air environ

15min avant le dépôt de 2nm d'Al<sub>2</sub>O<sub>3</sub>, en utilisant le TMA comme premier précurseur. La Figure 3-13 présente les spectres des signaux In3d<sub>5/2</sub>, As3d et Ga2p<sub>3/2</sub> pour la référence brute d'InGaAs, après dépôt Al<sub>2</sub>O<sub>3</sub> sur InGaAs sans désoxydation préalable, et le dépôt d'Al<sub>2</sub>O<sub>3</sub> sur InGaAs après un traitement NH<sub>4</sub>OH. On remarque que le dépôt Al<sub>2</sub>O<sub>3</sub> seul a déjà un effet réducteur d'oxyde de III-V puisque le rapport entre les liaisons oxydées et les liaisons métalliques diminue après dépôt Al<sub>2</sub>O<sub>3</sub>.

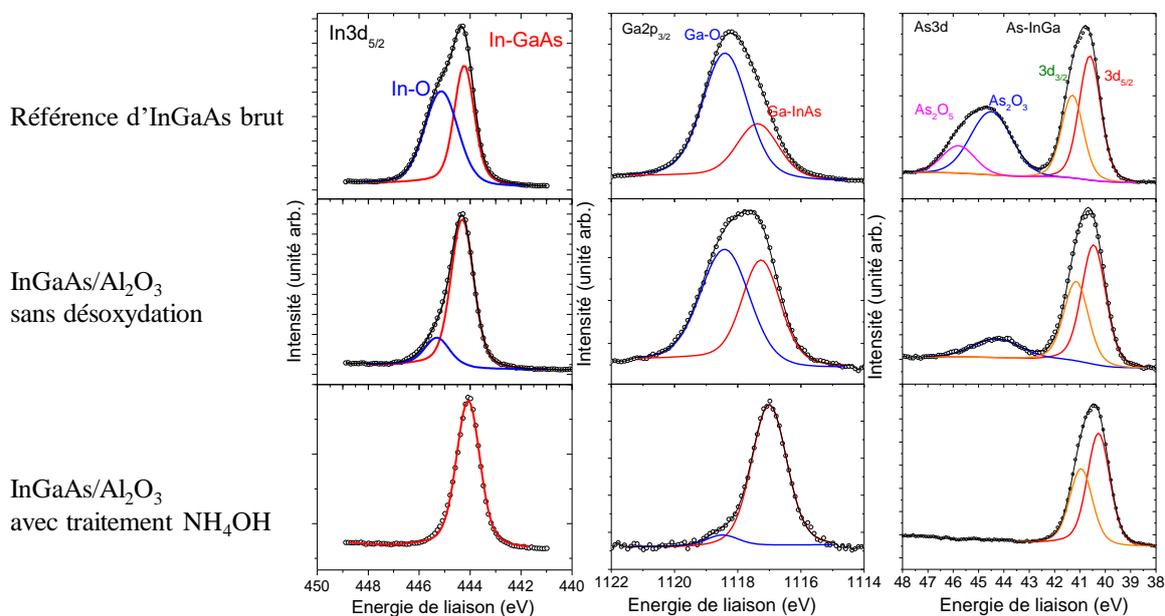


Figure 3-13: Spectres XPS des pics d'In3d<sub>5/2</sub>, Ga2p<sub>3/2</sub>, As3d pour l'échantillon d'InGaAs brut (en haut), l'interface InGaAs/Al<sub>2</sub>O<sub>3</sub> sans désoxydation avant le dépôt (au milieu), l'interface InGaAs/Al<sub>2</sub>O<sub>3</sub> avec un traitement NH<sub>4</sub>OH préalable au dépôt ALD (en bas).

Les pourcentages de liaisons oxydées sont résumés sur la Figure 3-14. La réduction des oxydes par le dépôt ALD est reporté dans la littérature comme le « self-cleaning effect » [HINKLE11][MILOJEVIC08][HUANG05]. Certaines équipes ont aussi observé ce phénomène lors du dépôt d'HfO<sub>2</sub> [CHANG06][SURI10], mais cela semble être dépendant du précurseur utilisé.

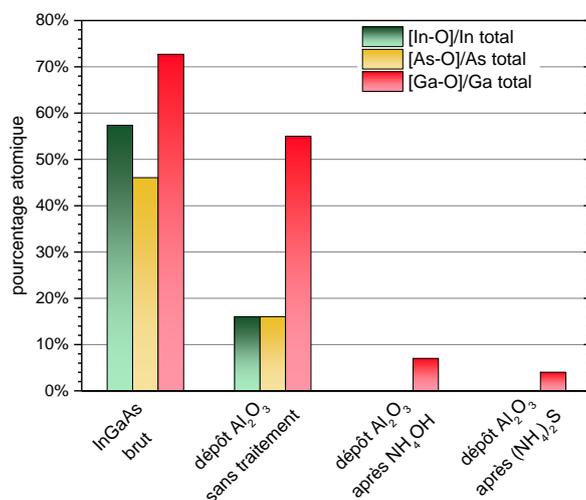


Figure 3-14: Pourcentage de liaisons oxydées pour chaque élément de l'InGaAs selon les différents traitements.

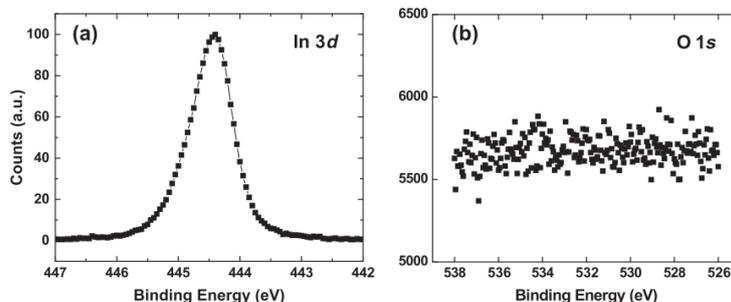
Le précurseur TMA réduit les oxydes d'As, de Ga et d'In par échange de ligand. Le TMA échange un groupement  $\text{CH}_3$  avec un oxyde de III-V à la place d'un groupement OH à la surface du matériau. Le mécanisme sera décrit plus en détail dans la suite de cette partie. L'effet semble particulièrement important sur l'As et l'In. Cette observation est cohérente avec les enthalpies libres des différents oxydes, données dans le Tableau 3-1.

L'oxyde  $\text{Ga}_2\text{O}_3$  est l'oxyde le plus stable par rapport aux oxydes d'As et d'In. La combinaison de cet effet « self-cleaning » avec un pré-traitement  $\text{NH}_4\text{OH}$  réduit encore la quantité d'oxyde. Les oxydes d'As et d'In ne sont plus détectés mais des oxydes de Ga persistent après traitement  $\text{NH}_4\text{OH}$  et dépôt  $\text{Al}_2\text{O}_3$ .

oxyde	Enthalpie libre $\Delta G$ (kcal/mol)
$\text{Ga}_2\text{O}$	-75,3
$\text{Ga}_2\text{O}_3$	-238,6
$\text{In}_2\text{O}_3$	-198,6
$\text{As}_2\text{O}_3$	-137,7
$\text{As}_2\text{O}_5$	-187

**Tableau 3-1: Enthalpies libres pour différents oxydes stables d'InGaAs [OKTYABRSKY10].**

En 2005, l'équipe de M.L Huang [HUANG05] montre que sans aucun traitement chimique, le TMA réduit les oxydes, mais uniquement  $\text{As}_2\text{O}_3$ . Alors que  $\text{Ga}_2\text{O}_3$  et  $\text{In}_2\text{O}_3$  restent présents à l'interface. En 2008, les travaux de M. Milojevic [MILOJEVIC08] détaillent le dépôt ALD d' $\text{Al}_2\text{O}_3$  cycle par cycle sur GaAs et montrent que la réduction des oxydes d'As et de Ga s'opère quasiment entièrement dès le premier cycle TMA. Ils observent que l'oxyde d'As passe en-dessous du seuil de détection, mais que des oxydes de Ga persistent à l'interface. Nous observons la même tendance bien que nous ayons utilisé un traitement de surface différent du leur ( $\text{NH}_4\text{OH}$  au lieu d' $(\text{NH}_4)_2\text{S}$  dans leur cas). Quant aux oxydes d'In, une étude menée par C.L. Hinkle [HINKLE11] en 2010 sur InAs après traitement  $(\text{NH}_4)_2\text{S}$  ou  $\text{NH}_4\text{OH}$  ne montre pas de différence sur la quantité d'oxyde entre les deux traitements : la composante  $\text{In}^{3+}$  est totalement réduite tandis que la composante  $\text{In}^{1+}$  persiste. Dans notre cas, les oxydes d'In ne sont plus détectés après traitement chimique et dépôt ALD. Il est vrai que le spectre In3d est assez complexe à déconvoluer car il présente une forme asymétrique même sans oxyde, comme montré sur la Figure 3-15.

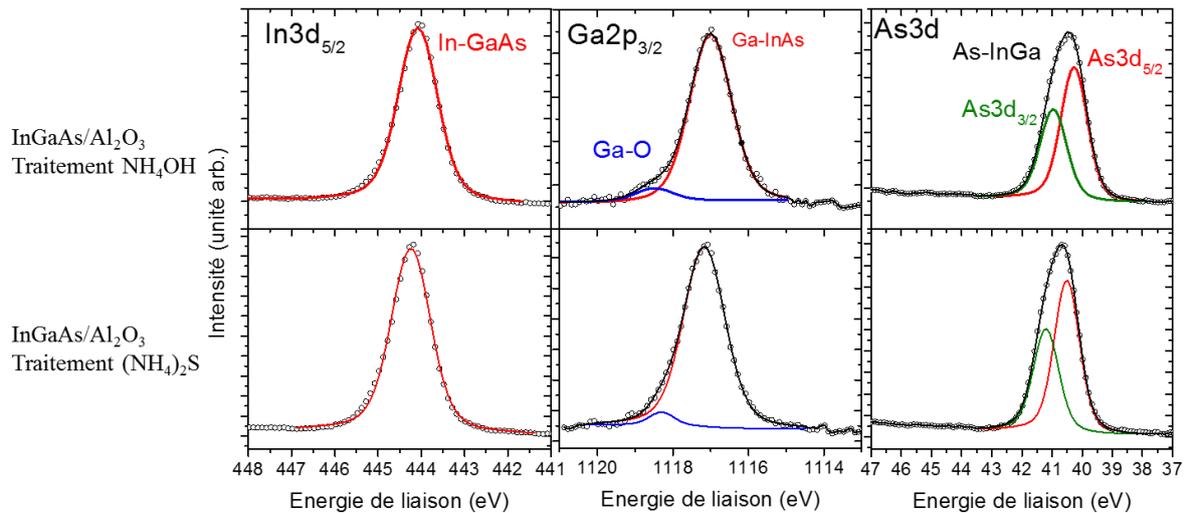


**Figure 3-15: Spectres XPS (a) de l'In3d et (b) de l'O1s montrant la forme asymétrique du pic d'In3d malgré l'absence totale d'oxygène [HINKLE11].**

Pour distinguer la présence d'oxyde et l'asymétrie du pic, nous avons utilisé la dépendance angulaire du signal de l'oxyde. Si la composante supplémentaire à 446eV

augmente d'intensité en tendant vers un angle plus rasant, alors il s'agit bien d'un oxyde à la surface de l'InGaAs. Si, au contraire, cette composante est indépendante de l'angle, nous avons considéré qu'elle n'était pas liée à un oxyde mais à l'asymétrie du pic. C'est pourquoi nous pouvons déduire des spectres XPS que l'oxyde d'In est en-dessous du seuil de détection de l'XPS.

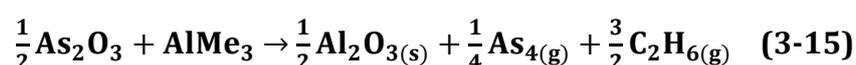
La solution  $(\text{NH}_4)_2\text{S}$  a aussi été testée avant le dépôt d' $\text{Al}_2\text{O}_3$ . On remarque sur la Figure 3-16 que la solution d' $(\text{NH}_4)_2\text{S}$ , couplée au dépôt ALD, élimine tout aussi bien les oxydes d'In et d'As que la solution d'ammoniaque. Les oxydes de Ga persistent toujours à l'interface mais en plus faible quantité, comme montré sur la Figure 3-16.



**Figure 3-16: Comparaison des traitements  $\text{NH}_4\text{OH}$  et  $(\text{NH}_4)_2\text{S}$  sur les pics d' $\text{In}3d_{5/2}$ ,  $\text{Ga}2p_{3/2}$ ,  $\text{As}3d$  de l' $\text{InGaAs}/\text{Al}_2\text{O}_3$ .**

Revenons plus en détail sur le mécanisme de l'effet "self-cleaning" observé sur nos échantillons et dans la littérature. Dans notre étude, l'effet semble efficace sur tous les oxydes de III-V. Un modèle développé par S. Klejna en 2012 [KLEJNA12] explique qu'il est particulièrement efficace entre  $\text{As}_2\text{O}_3$  et le TMA. En développant un modèle pour identifier les réactions les plus probables énergétiquement, ils distinguent plusieurs étapes et réactions pour expliquer l'effet « self-cleaning » entre le TMA et  $\text{As}_2\text{O}_3$  :

- (1) Ils expliquent d'abord que la réaction est possible car le TMA ne se décompose pas à la température de dépôt et arrive intact à la surface. De plus, le TMA est un acide de Lewis fort (Al possède une orbitale vide et peut accepter un doublet d'électrons) donc il s'adsorbe fortement sur les oxydes de III-V (O possède des doublets non liant et est donc donneur d'électrons) laissant suffisamment de temps à la réaction de se produire.
- (2) Ensuite, le transfert de ligand (le groupement méthyle), favorisé par la formation de liaisons Al-O, peut s'opérer via différentes réactions chimiques. Ces réactions en compétition produisent toutes de l' $\text{Al}_2\text{O}_3$  solide et des réactifs gazeux à base de C, H et As, comme par exemple :



En effet, les groupements méthyl du TMA sont des agents réducteurs qui réagissent avec l'oxygène métallique.

- (3) Ils peuvent aussi réagir avec des oxydes plus stables à l'état d'oxydation +3 comme Ga<sub>2</sub>O<sub>3</sub> et In<sub>2</sub>O<sub>3</sub> via un échange de ligand non-redox :

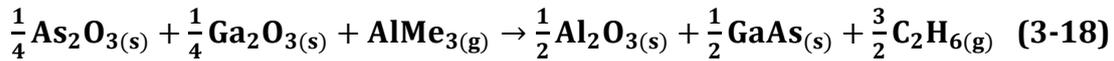


Cependant, cette réaction est thermodynamiquement beaucoup moins favorable que pour l'As. C'est pourquoi la réduction de l'oxyde d'As est plus efficace que sur les autres oxydes d'InGaAs.

- (4) Par contre, la réduction des oxydes de Ga et In peut être favorisée par un autre mécanisme indirect. Favorisé par la formation de GaAs, l'As réduit peut capter l'oxygène de Ga<sub>2</sub>O<sub>3</sub>, selon la réaction :



En ajoutant la réaction (3-15) on obtient le bilan suivant :



Une équation similaire peut être écrite pour In<sub>2</sub>O<sub>3</sub>.

Pour conclure cette discussion, nous observons l'effet réducteur du TMA quel que soit le traitement de surface sur tous les oxydes d'InGaAs. Le TMA réduit As<sub>2</sub>O<sub>3</sub> via l'échange de groupements méthyl et crée des sous-produits gazeux, comme l'As métallique. La réduction des oxydes de Ga et In se fait probablement de façon indirecte, par la réaction entre l'As métallique et les oxydes de Ga et d'In.

### 3.2.Effet des traitements de surface sur les caractéristiques C(V)

Les effets de ces deux traitements de surface ont aussi été comparés par mesures C(V). Les caractéristiques C(V) des capacités en fonction du traitement de surface sont présentées dans la Figure 3-17. Quel que soit le traitement de surface, la capacité maximum atteinte est de 0,8 μF/cm<sup>2</sup>.

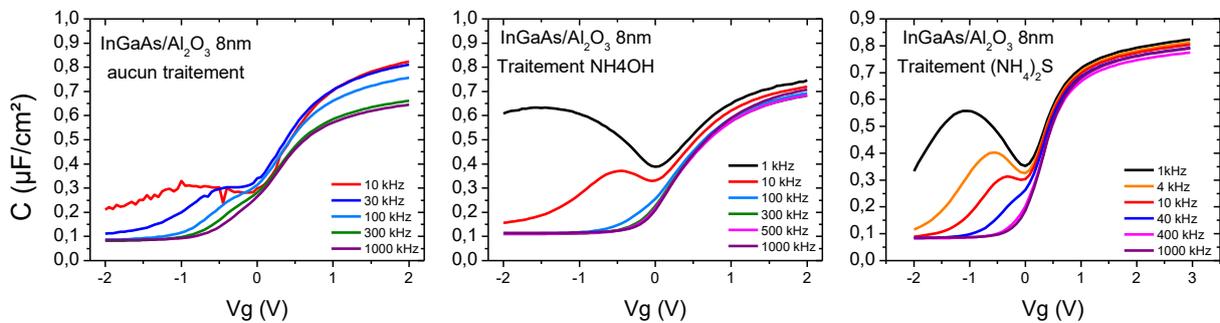


Figure 3-17: Courbes C(V) des capacités InGaAs/Al<sub>2</sub>O<sub>3</sub> (8nm) sans traitement désoxydant (à gauche), avec un traitement NH<sub>4</sub>OH (au milieu), avec un traitement (NH<sub>4</sub>)<sub>2</sub>S (à droite).

La constante diélectrique de l'Al<sub>2</sub>O<sub>3</sub> ALD sans recuit a été déterminée expérimentalement en mesurant la capacité maximum pour différentes épaisseurs d'Al<sub>2</sub>O<sub>3</sub> (4, 6, 8 et 9nm) en

utilisant la formule (3-1). Les épaisseurs des couches d' $\text{Al}_2\text{O}_3$  ont été mesurées par ellipsométrie. La permittivité de l' $\text{Al}_2\text{O}_3$  non recuit est déterminées à 7,5. La valeur est légèrement inférieure à la valeur théorique de 9, mais dans notre cas l' $\text{Al}_2\text{O}_3$  n'a pas été recuit. Sans aucun traitement de surface, la dépendance en fréquence est très importante en accumulation, à cause de pièges dans le diélectrique proche du semi-conducteur (« border traps ») qui peuvent communiquer avec la bande de valence ou de conduction par effet tunnel. Cette dépendance est réduite lorsqu'un traitement est appliqué avant dépôt. En retirant la majorité des oxydes et en préparant la surface par le traitement chimique, cela permet pour les précurseurs de couvrir de façon plus homogène la surface dès les premiers cycles et donc de former moins de défauts dans le diélectrique. Pour autant, le calcul de  $D_{it}$  par la méthode de la conductance ne révèle pas de différence significative selon si un traitement a été appliqué ou non. La Figure 3-18 montre le profil en énergie des  $D_{it}$  par rapport à l'énergie dans la bande interdite pour les deux traitements et le cas sans traitement. Avec  $(\text{NH}_4)_2\text{S}$ , les  $D_{it}$  sont légèrement inférieurs au traitement  $\text{NH}_4\text{OH}$ , mais la valeur minimale reste autour de  $1 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ . La valeur des  $D_{it}$  calculée par la méthode haute fréquence/basse fréquence (HF/BF) entre 10 et 1000kHz est aussi indiquée sur la figure et est cohérente avec la méthode de la conductance. Les oxydes de Ga résiduels peuvent être responsables de cette densité d'états. Les traitements de surface ne les éliminant pas totalement, la densité d'états d'interface reste supérieure à  $10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ . D'autres défauts, comme les liaisons As-As ou les liaisons pendantes peuvent participer aux  $D_{it}$  et les traitements  $\text{NH}_4\text{OH}$  et  $(\text{NH}_4)_2\text{S}$  ne semblent pas efficaces pour les éliminer. Pour comparaison, des valeurs de  $D_{it}$  pour la même structure  $\text{InGaAs}/\text{Al}_2\text{O}_3$  sont représentées par des étoiles sur la Figure 3-18. Dans les études de [BRAMMERTZ09] et [ZHAO09], la surface d' $\text{InGaAs}$  a été traitée par une solution de  $(\text{NH}_4)_2\text{S}$ . Un recuit a aussi été appliqué après le dépôt du diélectrique.

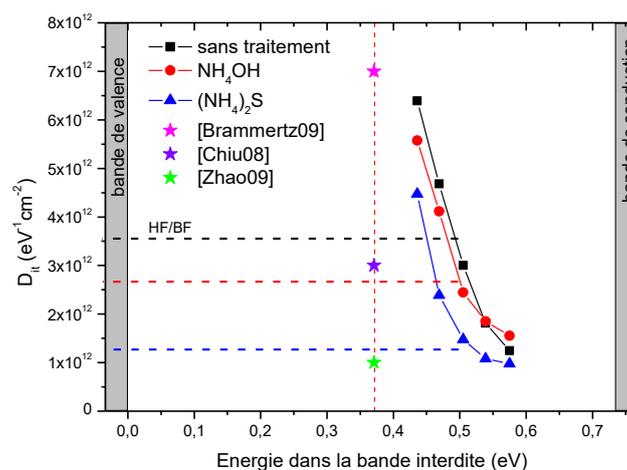


Figure 3-18: Profil en énergie du  $D_{it}$  par rapport à l'énergie dans la bande interdite ( $E-E_v$ , calculé par la méthode de la conductance) en fonction du traitement chimique avant dépôt. Les lignes en pointillé montrent la valeur du  $D_{it}$  calculée par la méthode haute fréquence/basse fréquence (HF/BF). Des valeurs de  $D_{it}$  (milieu de la bande interdite) de la littérature pour des capacités  $\text{InGaAs}/\text{Al}_2\text{O}_3$  sont désignées par une étoile pour comparaison [BRAMMERTZ09][CHIU08][ZHAO09].

Concernant la publication de [CHIU08], l'InGaAs a été épitaxié par MBE puis transféré sous vide dans la machine de dépôt ALD, limitant la croissance d'oxyde d'InGaAs. Les valeurs de  $D_{it}$  obtenues dans le cadre de notre étude sont du même ordre de grandeur que celles rapportées dans la littérature, pour la même structure. Néanmoins, cette valeur autour de  $10^{12} \text{eV}^{-1} \text{cm}^{-2}$  reste trop élevée pour atteindre les performances des transistors Si.

Nous discuterons dans la suite de ce chapitre d'un traitement plasma pour réduire cette densité d'états d'interface.

### 3.3. Analyses DLTS

Afin d'approfondir la comparaison des deux traitements chimiques, des analyses complémentaires de spectroscopie des niveaux profonds (DLTS) ont été réalisées. Cette technique permet de sonder des défauts dont les niveaux d'énergie sont au milieu du gap du semi-conducteur. Des premières mesures DLTS nous avaient indiqué la présence de défauts dans le volume de la couche d'InGaAs, qui pourraient être liés à une contamination de la couche. Pour vérifier cette hypothèse, de nouvelles analyses ont été menées en comparant des épitaxies d'InGaAs réalisées par MOCVD et par MBE. L'épitaxie par MBE est réalisée à partir de précurseurs élémentaires (Ga, As et In) sous ultra-vide, alors que la croissance MOCVD utilise des précurseurs organométalliques. La couche réalisée par MBE contient alors moins d'éléments contaminants que la couche MOCVD.

Trois échantillons, schématisés sur la Figure 3-19, sont comparés. Le dépôt d' $\text{Al}_2\text{O}_3$  (8nm) a été réalisé en même temps pour ces trois échantillons.

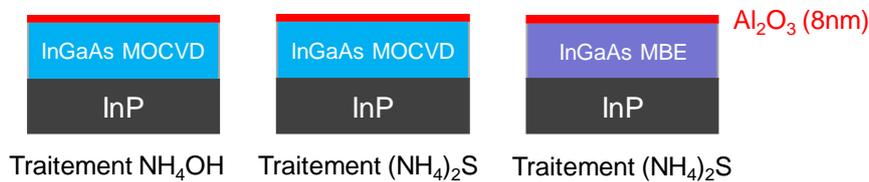


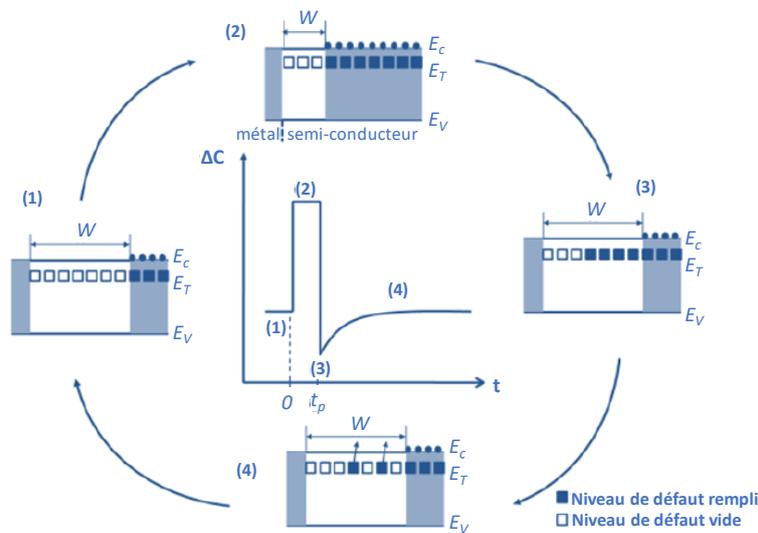
Figure 3-19: Schémas des échantillons comparés en DLTS.

Nous commencerons par expliquer le principe de la mesure DLTS, puis nous montrerons les résultats des analyses DLTS et des extractions de  $D_{it}$  à partir des courbes  $C(V)$ .

#### 3.3.1. Principe de la mesure DLTS

La **spectroscopie des niveaux profonds** ou DLTS (Deep Level Transient Spectroscopy) permet de sonder des défauts électriquement actifs dont les niveaux d'énergie sont situés dans la bande interdite d'un semi-conducteur. Le principe de cette méthode est d'appliquer une séquence d'impulsions de tension et d'observer les transitoires de capacité en fonction de la température. La Figure 3-20 explique le principe de la mesure pour un substrat de type n contenant un défaut ponctuel à électrons de type donneur. La capacité à l'équilibre en régime de déplétion présente une zone de charge d'espace (ZCE) d'épaisseur  $W$  et les pièges situés sous le niveau de Fermi sont remplis (1). En appliquant une impulsion de tension positive pendant un temps  $t_p$ , la capacité augmente, le niveau de Fermi augmente, les pièges à électrons situés sous le niveau de Fermi se remplissent et la

ZCE est réduite (2). A la fin de l'impulsion, le dispositif est de nouveau polarisé à la tension inverse, la ZCE reprend sa largeur  $W$  (3), les niveaux remplis se retrouvent au-dessus du niveau de Fermi et se vident thermiquement de leurs électrons en les émettant vers la bande de conduction (4). Le temps que les électrons retournent à l'équilibre, la capacité augmente de façon exponentielle jusqu'à son niveau initial. Les porteurs sont réémis avec une constante de temps qui dépend de la température et de la signature du piège [ZOUAOUI13]. L'application de l'impulsion de tension de remplissage induit une perturbation de l'état d'occupation des différents défauts dans le semi-conducteur. En observant les transitoires de capacité correspondants au retour à l'équilibre d'occupation d'un piège après la perturbation en fonction de la température, on peut mesurer la constante de temps de ces transitoires et déterminer la signature du piège.



**Figure 3-20: Variation de la largeur de la zone de déplétion et de la capacité après l'application d'une polarisation inverse et une impulsion de tension de remplissage pour des défauts à porteurs majoritaires (électrons) d'un semi-conducteur de type n [ZOUAOUI13].**

Un diagramme d'Arrhenius représentant  $\ln(e_n/T^2)$  en fonction de  $1000/T$ , permet de déterminer l'énergie d'activation  $E_a$  et la section efficace de capture  $\sigma_n$  à partir de l'équation

$$\ln(e_n/T^2) = \ln\left(\frac{\sigma_n \times 2.585 \times 10^8}{m_e^*{}^2}\right) - \frac{E_a}{kT} \quad (3-19)$$

où  $e_n$  représente le taux d'émission thermique des électrons.

L'amplitude des transitoires de capacité est reliée à la concentration de ce piège dans le semi-conducteur [LANG74]. Nous avons traité les transitoires de capacité par la méthode de la transformée de Fourier [WEISS88].

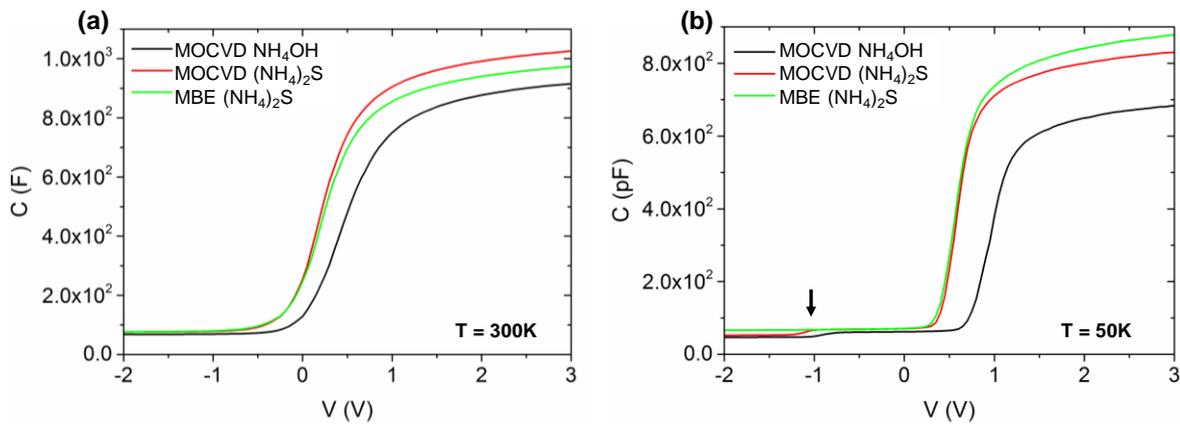
### 3.3.2. Mesures préliminaires

#### Courbes C(V)

Commençons par décrire les courbes  $C(V)$  mesurées à 300K et 50K sur les trois capacités, montrées sur la Figure 3-21. A 300K, on remarque que la capacité maximum atteinte pour les trois échantillons est légèrement différente. Cela peut provenir d'une faible variation

d'épaisseur d' $\text{Al}_2\text{O}_3$  entre les échantillons ou bien d'une différence de surface de l'électrode métallique déposée. On voit également un décalage de tension de bande plate ( $V_{fb}$ ) entre les échantillons traités par  $(\text{NH}_4)_2\text{S}$  (en rouge et vert) par rapport à l'échantillon traité par  $\text{NH}_4\text{OH}$  (en noir). A 300K, la tension  $V_{fb}$  est à 0V pour le traitement  $(\text{NH}_4)_2\text{S}$  alors qu'elle atteint 0,15V pour le traitement  $\text{NH}_4\text{OH}$ . La tension de bande plate est indépendante de la technique d'épitaxie mais est liée au nettoyage utilisé. Or, la tension  $V_{fb}$  est liée à la quantité de charges dans l'oxyde par la relation (3.8).

La différence de  $V_{fb}$  entre les échantillons MOCVD  $(\text{NH}_4)_2\text{S}$  et  $\text{NH}_4\text{OH}$  indique donc une quantité de charges négatives supérieure dans l' $\text{Al}_2\text{O}_3$  après traitement  $\text{NH}_4\text{OH}$ , ou bien une quantité de charges positives supérieure dans l' $\text{Al}_2\text{O}_3$  après traitement  $(\text{NH}_4)_2\text{S}$ . La différence est estimée à environ  $9 \times 10^{11} \text{C}/\text{cm}^2$ .



**Figure 3-21: Courbes  $C(V)$  mesurées à 300K (a) et à 50K (b) pour les capacités InGaAs/ $\text{Al}_2\text{O}_3$  (8nm) avec une couche III-V épitaxiée par MOCVD ou MBE, et avec traitement  $\text{NH}_4\text{OH}$  ou  $(\text{NH}_4)_2\text{S}$ .**

A 50K (Figure 3-21-b), on observe une réduction de la capacité en déplétion autour de -1V uniquement pour les échantillons épitaxiés par MOCVD. Il y a donc une capacité supplémentaire pour les échantillons épitaxiés par MOCVD qui n'apparaît pas dans le cas d'une épitaxie MBE. Cette capacité est liée à la discontinuité de bandes de conduction entre l'InP et l'InGaAs.

### **Evolution de $E_T$ - $E_c$ en fonction de $V_g$**

Regardons maintenant la position en énergie des pièges, calculée à partir des mesures  $C(V)$  à température ambiante. La position des pièges par rapport à la bande de conduction de l'InGaAs ( $E_c - E_T$ ) peut être calculée par l'expression suivante :

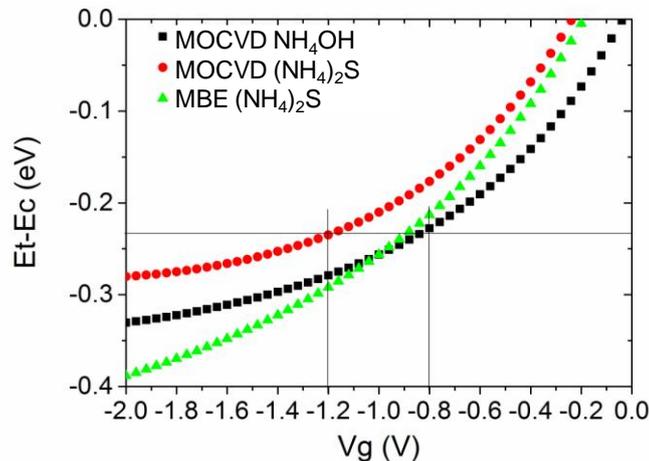
$$E_c - E_T = \frac{E_{gap}}{2} + qV_S - q\Phi_{Fi} \quad (3-20)$$

où  $\Phi_{Fi} = \frac{kT}{q} \ln\left(\frac{N_d}{N_i}\right) = 0,267 \text{eV}$  correspond à l'écart entre le niveau de Fermi et le milieu du gap.  $V_S$  est calculé par l'intégrale de Berglung :

$$V_S = \int_{V_{fb}}^{V_g} \left(1 - \frac{C_{tot}^{LF}(V_g)}{C_{ox}}\right) dV_g \quad (3-21)$$

avec  $V_g$ , la tension en déplétion.

La Figure 3-22 présente la position en énergie des pièges par rapport à la bande de conduction de l'InGaAs ( $E_T - E_C$ ) en fonction de la tension de grille appliquée. Dans le cas des épitaxies MOCVD, pour  $V_g$  inférieure à -1,5V, on remarque que  $E_T - E_C$  devient quasi constant. Ce phénomène correspond à un ancrage du niveau de Fermi (Fermi Level Pinning) au milieu du gap de l'InGaAs. Au contraire, pour l'épitaxie MBE,  $E_T - E_C$  continue de diminuer pour  $V_g$  inférieure à -1,5V. Il n'y a donc pas d'ancrage du niveau de Fermi pour cet échantillon.



**Figure 3-22: Position en énergie des pièges par rapport à la bande de conduction de l' $In_{0,47}Ga_{0,53}As$  ( $E_T - E_C$ ) en fonction de la tension de grille appliquée.**

On remarque également que la position en énergie ( $E_T - E_C$ ) est différente entre les échantillons MOCVD selon le traitement appliqué. Ce décalage est dû à la différence de tension de bande plate observée sur la courbe  $C(V)$  et est lié à la présence de charges plus importante dans l'un des deux échantillons.

### Extraction des $D_{it}$

Les valeurs de  $D_{it}$  calculées par la méthode HF-BF et par la méthode de la conductance sont comparées sur la Figure 3-23. Les valeurs calculées par la méthode HF-BF sont supérieures à celles de la méthode de la conductance. Les valeurs déterminées par la méthode de la conductance sont certainement sous-estimées compte tenu de la valeur des  $D_{it}$  par rapport à la capacité de l'oxyde [ENGEL-HERBERT10]. Cependant, la tendance est la même : le niveau de  $D_{it}$  est similaire entre les échantillons et la densité est plus élevée en allant vers le milieu du gap. Par contre, on remarque que l'évolution en énergie des  $D_{it}$  extraits par la méthode HF-BF est différente selon la méthode d'épitaxie. En effet, l'inflexion observée sur les échantillons MOCVD  $NH_4OH$  et  $(NH_4)_2S$  (en rouge et noir) n'apparaît pas sur l'échantillon MBE  $(NH_4)_2S$  (en bleu). Cette inflexion s'explique également par l'ancrage du niveau de Fermi au milieu du gap de l'InGaAs.

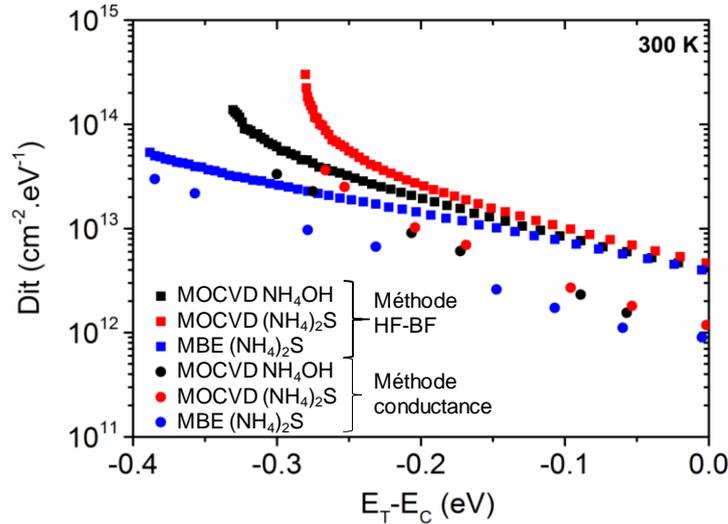


Figure 3-23:  $D_{it}$  en fonction de la position en énergie par rapport à la bande de conduction ( $E_T - E_C$ ) calculé par la méthode HF-BF et par la méthode de la conductance.

### 3.3.3. Résultats DLTS

#### Comparaison entre les épitaxies MOCVD et MBE

Les spectres DLTS des trois échantillons analysés sont reportés sur la Figure 3-24. La hauteur et la durée d'impulsion sont fixées à 3V ( $V_p$ ) et 1ms alors que la polarisation inverse ( $V_r$ ) est de -1,2V. On peut distinguer deux types de signaux DLTS. Le signal autour de 250K, noté 2, correspond à des défauts ponctuels et est observé sur tous les échantillons. Nous avons, dans nos premières expériences, attribué ce signal à une possible contamination de la couche d'InGaAs. C'est pour cette raison que nous avons comparé un échantillon supplémentaire élaboré par MBE. Le signal étant présent sur les deux types d'épitaxie, il n'est pas lié à une contamination mais plutôt à un défaut intrinsèque au matériau InGaAs.

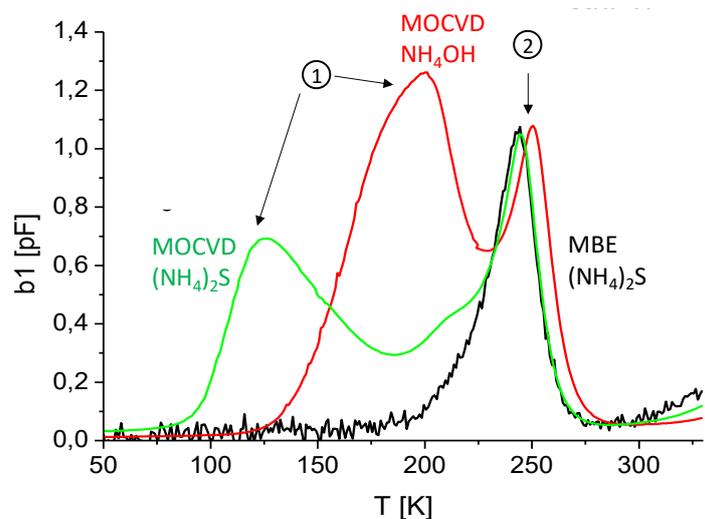


Figure 3-24: Spectres DLTS pour les trois échantillons (épitaxies MOCVD ou MBE, traitements  $NH_4OH$  ou  $(NH_4)_2S$ ). Une impulsion de tension ( $V_p=3V$ ) est appliquée pendant 1 ms pour une tension  $V_r=-1,2V$ .

Il peut s'agir de lacunes de Ga, d'As ou bien un substitution d'atomes de Ga par de l'As. Ce signal peut se diviser en au moins deux composantes, dont les signatures ont pu être calculées. La composante à plus faible température a une énergie d'activation de 0,38eV et une section efficace de capture de  $2 \times 10^{-16} \text{cm}^2$ . La composante à plus forte température a une énergie d'activation de 0,44-0,47eV et une section efficace de capture de  $1-4 \times 10^{-16} \text{cm}^2$ . Le deuxième signal DLTS, noté 1, correspond plutôt à des défauts à bande d'énergie. Ce signal n'est visible que sur les spectres des épitaxies MOCVD. Il s'agit donc de défauts liés à la technique d'épithaxie MOCVD. Il ne s'agit donc pas d'un défaut ponctuel dans l'épithaxie MOCVD puisqu'il se caractérise par une bande d'énergie large. On remarque également que le signal apparaît à plus haute température pour le traitement  $\text{NH}_4\text{OH}$  que pour  $(\text{NH}_4)_2\text{S}$ . Comme indiqué sur la Figure 3-22, pour la même position dans le gap ( $E_T - E_C = -0,23\text{eV}$  ou  $T = 125\text{K}$ ), le signal 1 apparaît à  $V_r = -1,2\text{V}$  pour le traitement  $(\text{NH}_4)_2\text{S}$  et  $V_r = -0,8\text{V}$  pour  $\text{NH}_4\text{OH}$ . Ce décalage en température est dû à la différence de tension de bande plate observée sur les caractéristiques  $C(V)$ . Il s'agit donc bien du même défaut lié à la technique d'épithaxie MOCVD et indépendant du traitement chimique utilisé.

**Epithaxie MOCVD**

La Figure 3-25 présente les différents signaux DLTS des deux échantillons MOCVD  $\text{NH}_4\text{OH}$  et  $(\text{NH}_4)_2\text{S}$  à  $V_p$  constant (3V) et  $V_r$  variant. La tendance est la même pour les deux traitements chimiques. D'un échantillon à l'autre, le décalage en température est uniquement dû au décalage de tension de bande plate. Le signal 1 à basse température varie en température lorsque la tension  $V_r$  varie. Le pic est indépendant de l'énergie et suit l'évolution du niveau de Fermi. Son intensité est constante quand  $V_r$  varie. On observe une augmentation de l'intensité vers 200K (courbes bleues) uniquement à cause de la superposition des pics 1 et 2.

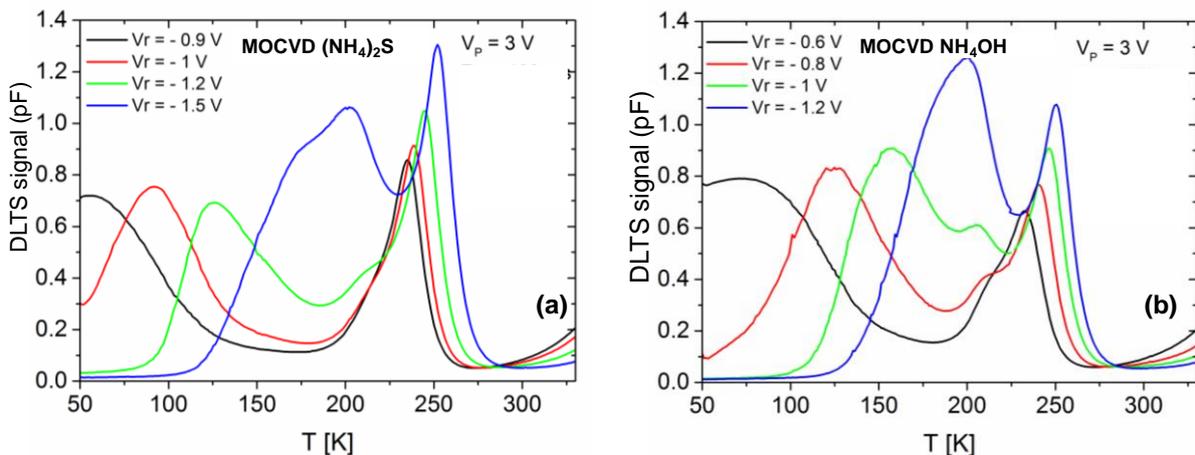
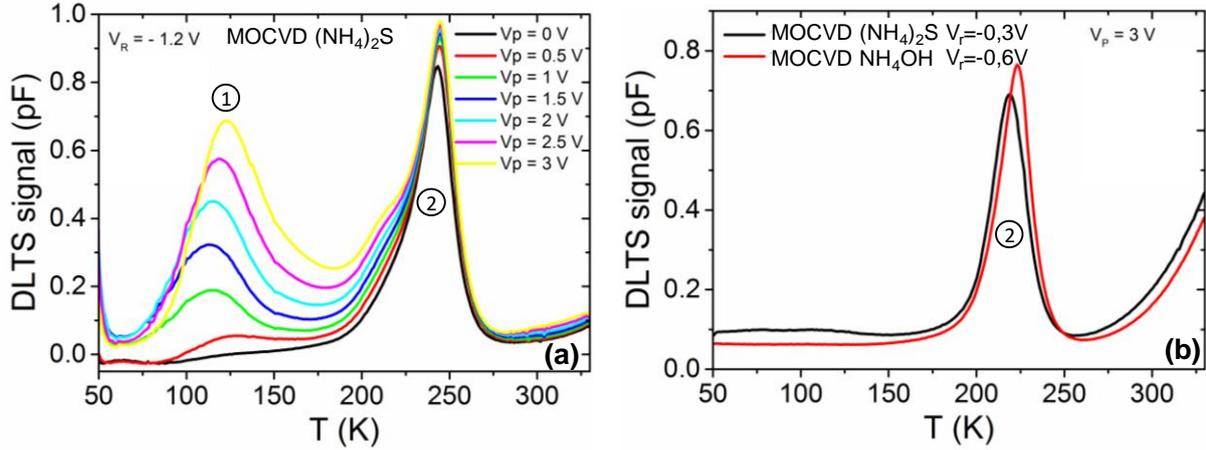


Figure 3-25: Signaux DLTS des échantillons (a) MOCVD  $(\text{NH}_4)_2\text{S}$  et (b) MOCVD  $\text{NH}_4\text{OH}$  pour un  $V_p = 3\text{V}$  et  $V_r$  variant.

La Figure 3-26 montre, cette fois-ci, les signaux DLTS (figure a) pour l'échantillon MOCVD  $(\text{NH}_4)_2\text{S}$  à  $V_r$  constant (-1,2V) et  $V_p$  variant de 0V (courbe noire) à 3V (courbe jaune). L'intensité du signal 1 augmente quand  $V_p$  augmente. Le signal n'est d'ailleurs pas visible

quand  $V_p=0V$ , c'est-à-dire, quand  $V_p$  est égale à la tension de bande plate. Le même phénomène est observé sur l'échantillon MOCVD  $NH_4OH$ . La Figure 3-26 (b) compare les signaux DLTS des deux traitements chimiques aux tensions  $V_r$  et  $V_p$  pour lesquelles le signal 1 n'apparaît pas. Encore une fois, la tension  $V_r$  est différente pour les deux échantillons à cause du décalage de la tension de bande plate.



**Figure 3-26 : Signaux DLTS (a) pour l'échantillon MOCVD  $(NH_4)_2S$  à  $V_r$  constant et  $V_p$  variant, et (b) comparaison des échantillons MOCVD  $(NH_4)_2S$  et  $NH_4OH$  aux tensions  $V_p$  et  $V_r$  pour lesquelles le signal 1 n'est plus visible.**

En reportant ces valeurs particulières de  $V_r$  (-0,3 V et -0,6V) sur la courbe  $(E_T-E_c)$  en fonction de  $V_g$  (cf. Figure 3-27), on en déduit que ces tensions correspondent à une énergie de -0,13eV sous la bande de conduction. Il existe donc une plage d'énergie entre  $E_c$  et  $E_c-0,13eV$  où le pic 1 n'est pas visible sur les échantillons MOCVD. Ce pic ne semble pas compatible avec la présence de  $D_{it}$  à l'interface  $InGaAs/Al_2O_3$  pour plusieurs raisons :

- la même densité d'états d'interface est mesurée pour les trois échantillons alors que le signal 1 n'est visible que sur les échantillons MOCVD
- l'amplitude du signal 1 en DLTS est constante alors que les  $D_{it}$  augmentent au milieu du gap de l' $InGaAs$
- il n'y a pas de signal entre  $E_c$  et  $E_c-0,13eV$ .

Par contre, ce signal DLTS pourrait être compatible avec la présence de défauts à l'interface  $InGaAs/InP$ . Il est tout à fait possible que l'interface  $InGaAs/InP$  en MOCVD présente plus de défauts qu'en MBE. En effet, la croissance sous ultra-vide de la MBE engendre une meilleure interface qu'en MOCVD. De plus, l'interface  $InP/InGaAs$  n'a pas été particulièrement optimisée en MOCVD.

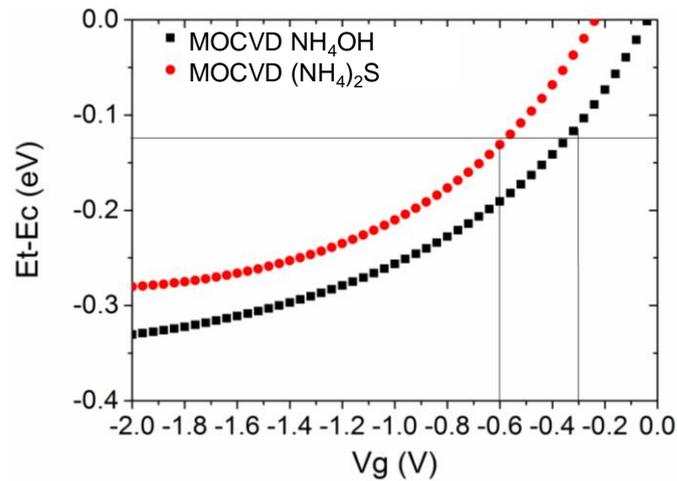


Figure 3-27: Position en énergie des pièges par rapport à la bande de conduction de l' $\text{In}_{0,47}\text{Ga}_{0,53}\text{As}$  ( $E_T-E_C$ ) en fonction de  $V_g$ . Les tensions  $V_T$  de  $-0,3\text{V}$  et  $-0,6\text{V}$  correspondent à une énergie de  $-0,13\text{eV}$  en-dessous de la bande de conduction.

### Conclusion de cette étude

Pour résumer cette analyse DLTS, deux signaux ont pu être identifiés :

- un signal correspondant à des défauts ponctuels dans le volume de l' $\text{InGaAs}$  présents dans les épitaxies MOCVD et MBE. Il peut s'agir de lacunes ou bien de défauts de substitution d'atomes de Ga ou d'As
- un signal plus large présent uniquement dans l'épitaxie MOCVD. Ce signal ne semble pas lié aux  $D_{it}$  à l'interface  $\text{InGaAs}/\text{Al}_2\text{O}_3$  mais plutôt à des défauts à l'interface  $\text{InGaAs}/\text{InP}$ . Il suggère donc que cette interface présente plus de défauts dans le cas d'une épitaxie MOCVD plutôt que par MBE.

L'analyse  $C(V)$  montre également que le traitement chimique  $\text{NH}_4\text{OH}$  engendre un plus grand piégeage de charges dans l' $\text{Al}_2\text{O}_3$  suivant le traitement chimique. Les raisons de cette différence ne sont pas encore complètement comprises.

## 4. Evolution du diélectrique $\text{Al}_2\text{O}_3$ vers un bicouche

### 4.1.Choix du diélectrique

Pour atteindre un EOT inférieur à  $1\text{nm}$  (cf. chapitre 1), un diélectrique d'une plus grande permittivité que l' $\text{Al}_2\text{O}_3$  ( $k \sim 9$ ) doit être employé. Le diélectrique doit répondre à différents critères comme une forte permittivité, un faible courant de fuite ou encore, une grande stabilité thermique. De nombreux diélectriques à forte permittivité ont été étudiés pour évaluer leurs propriétés d'interface, comme  $\text{HfO}_2$  ( $k \sim 25$ ),  $\text{La}_2\text{O}_3$  ( $k \sim 30$ ),  $\text{Ta}_2\text{O}_5$  ( $k \sim 26$ ),  $\text{ZrO}_2$  ( $k \sim 25$ ) sur  $\text{InGaAs}$  et  $\text{GaAs}$ . Dans le cadre de cette étude, nous devons aussi prendre en compte la disponibilité des matériaux sur l'équipement de dépôt, ainsi que les contraintes de traitement des plaques. Par exemple, il est difficile de changer la température de dépôt du diélectrique car l'équipement est principalement mobilisé pour des dépôts sur Si, qui ont été optimisés à  $300^\circ\text{C}$ .

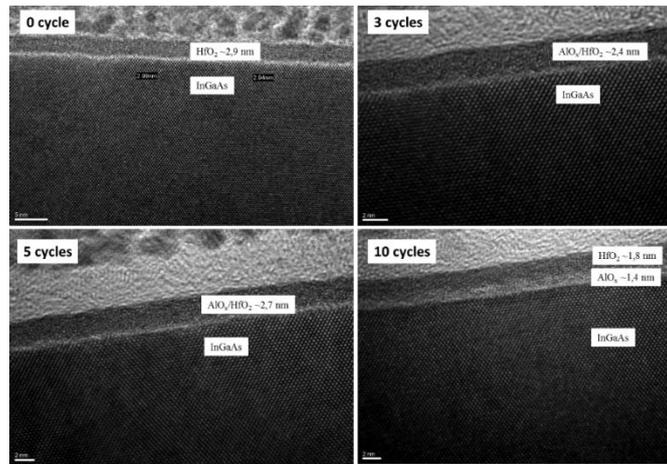
Les dépôts de  $ZrO_2$  à  $250^\circ C$  et de  $Ta_2O_5$  à  $200^\circ C$  sont néanmoins disponibles par PEALD (Plasma Enhanced Atomic Layer Deposition) qui est dans une chambre différente de l'ALD. Avec le dépôt PEALD, le dépôt est assisté par un plasma RF qui décompose les précurseurs. Le dépôt se fait donc à plus basse température qu'en ALD.

Nous avons choisi d'étudier le dépôt d' $HfO_2$  car il est disponible dans la même chambre que l' $Al_2O_3$ , ce qui facilite grandement le dépôt. En effet, le dépôt dans chaque chambre fonctionne en mode campagne, c'est-à-dire que le matériau est disponible pendant une durée limitée avant de changer de matériau. Il faut donc attendre souvent longtemps avant que deux matériaux soient disponibles simultanément dans les deux chambres. Cependant, l' $HfO_2$  déposé par ALD est connu pour ne pas montrer une bonne interface avec l'InGaAs, surtout lorsqu'il est déposé à  $300^\circ C$  [SUZUKI12]. Nous avons donc choisi d'étudier un bicouche  $Al_2O_3/HfO_2$  afin de profiter de l'interface InGaAs/ $Al_2O_3$  et de forte permittivité de l' $HfO_2$ . Ce bicouche a été rapporté dans la littérature pour des capacités sur InGaAs [CHU11][MONAGHAN11][DJARA15] mais aussi pour des transistors [CZORNOMAZ15].

#### 4.2. Dépôt d'un bicouche $Al_2O_3/HfO_2$

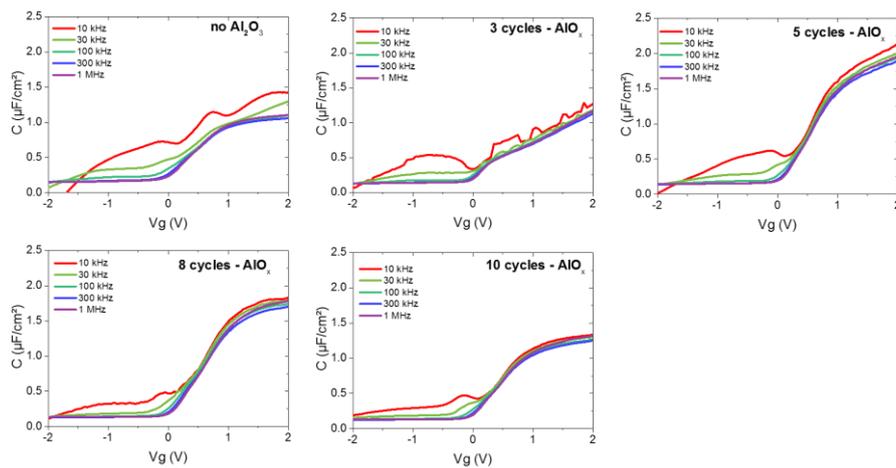
Afin d'optimiser le dépôt du bicouche  $Al_2O_3/HfO_2$  par ALD sur InGaAs, le traitement  $NH_4OH$  a été choisi, plutôt que  $(NH_4)_2S$ , puisqu'il est compatible avec les équipements 300mm. Nous avons fait varier le nombre de cycles ALD de l' $Al_2O_3$  (0, 3, 5, 8 et 10 cycles) en gardant constant le nombre de cycles d' $HfO_2$  (32 cycles). Le triméthylaluminium ( $Al_2(CH_3)_6$ ), le tetrachlorure d'hafnium ( $HfCl_4$ ) et  $H_2O$  sont les précurseurs du dépôt élaboré à  $300^\circ C$ . Nous ne connaissons pas la stœchiométrie exacte de l'alumine avec ce faible nombre de cycles, mais nous la noterons tout de même  $Al_2O_3$ .

Les dépôts ont été observés en TEM et les images sont présentées dans la Figure 3-28. Avec seulement 3 et 5 cycles, il est difficile de mesurer l'épaisseur de la couche intermédiaire  $Al_2O_3$ . Avec 10 cycles d'ALD, la couche d' $Al_2O_3$  est à environ 1,4nm pour 1,8nm d' $HfO_2$  à 32 cycles. L'épaisseur d' $HfO_2$  diminue avec l'introduction d' $Al_2O_3$ . De précédents dépôts sur Si ont déjà mis en évidence un retard à la nucléation de l' $HfO_2$  sur  $Al_2O_3$  par rapport à une surface de  $SiO_2$ , ce qui peut expliquer cette différence d'épaisseur.



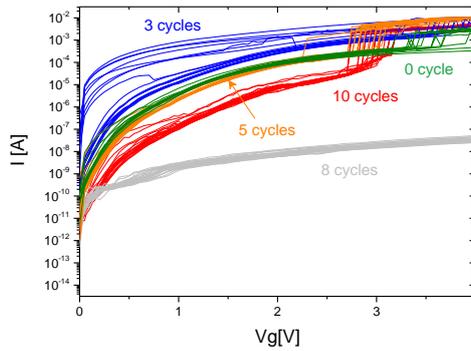
**Figure 3-28:** Images TEM après dépôt d'Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> selon le nombre de cycles de TMA/H<sub>2</sub>O. Le nombre de cycles d'HfCl<sub>4</sub>/H<sub>2</sub>O reste fixé à 32 cycles.

Les caractéristiques C(V) en fonction du nombre de cycles d'Al<sub>2</sub>O<sub>3</sub> sont présentées dans la Figure 3-29. Les courbes I(V) présentées sur la Figure 3-30 superposent plusieurs mesures pour mieux apprécier la dispersion sur l'échantillon. Sans interface Al<sub>2</sub>O<sub>3</sub>, la courbe C(V) est fortement dégradée et dispersée.



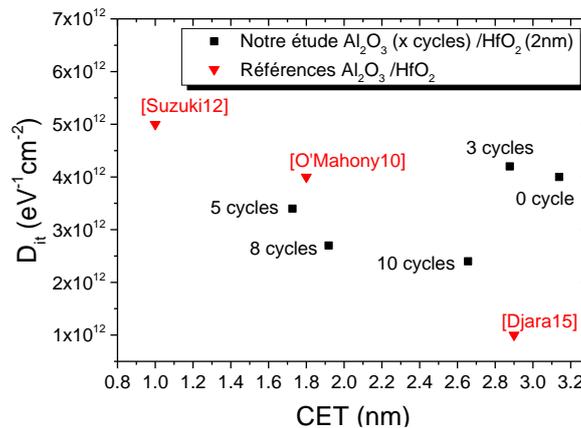
**Figure 3-29:** Courbes C(V) de 10 à 1000kHz des capacités InGaAs/Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> en fonction du nombre de cycles ALD de TMA/H<sub>2</sub>O : 0, 3, 5, 8 ou 10 cycles.

En insérant des cycles d'Al<sub>2</sub>O<sub>3</sub>, la caractéristique est progressivement améliorée. Seulement 3 cycles d'Al<sub>2</sub>O<sub>3</sub> ne suffisent pas à améliorer l'interface. La couche d'Al<sub>2</sub>O<sub>3</sub> n'est certainement pas continue. Le maximum de capacité atteinte (2 μF/cm<sup>2</sup>) est avec 5 cycles d'Al<sub>2</sub>O<sub>3</sub> mais le courant de fuite reste élevé, similaire à 0 cycle. Avec 8 cycles d'Al<sub>2</sub>O<sub>3</sub>, la capacité maximale est 1,8 μF/cm<sup>2</sup>, mais le courant de fuite est sensiblement réduit. A 10 cycles d'Al<sub>2</sub>O<sub>3</sub>, la capacité diminue à 1,3 μF/cm<sup>2</sup>, car l'épaisseur de l'Al<sub>2</sub>O<sub>3</sub> augmente. Le courant de fuite est étonnamment bien supérieur à celui de 8 cycles. La raison est pour l'instant inconnue.



**Figure 3-30: Courbes I(V) des capacités InGaAs/Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> en fonction du nombre de cycles ALD de TMA/H<sub>2</sub>O : 0, 3, 5, 8 ou 10 cycles. Plusieurs mesures ont été superposées.**

La Figure 3-31 montre la valeur du  $D_{it}$  en fonction du CET atteint pour chaque bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> (l'épaisseur équivalente de SiO<sub>2</sub> nécessaire pour atteindre la même capacité mesurée avec le diélectrique high-k). Sans aucune interface Al<sub>2</sub>O<sub>3</sub> ou avec seulement 3 cycles TMA/H<sub>2</sub>O, la capacité présente le  $D_{it}$  et le CET le plus élevé de tous les échantillons. En augmentant le nombre de cycles de TMA/H<sub>2</sub>O, le CET diminue à 1,7nm, montrant bien que la couche d'Al<sub>2</sub>O<sub>3</sub> est homogène à partir de ce nombre de cycles. En augmentant encore le nombre de cycles à 8 puis 10, la valeur du  $D_{it}$  diminue légèrement mais reste autour de  $2 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ .



**Figure 3-31: Graphique représentant le  $D_{it}$  en fonction du CET (Capacitance Equivalent Thickness) calculés pour les bicouches Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>. Le nombre de cycles TMA/H<sub>2</sub>O est indiqué pour chaque point.**

D'autres études sont rapportées pour comparaison sur le graphique. Les travaux de R. Suzuki de l'université de Tokyo montrent un bicouche similaire Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> [SUZUKI12]. Seulement 2 cycles d'Al<sub>2</sub>O<sub>3</sub>, (0,2nm soit moins d'une monocouche d'Al<sub>2</sub>O<sub>3</sub>), passent la surface d'InGaAs et améliorent la caractéristique C-V. Ils atteignent un CET de 1nm (0,2nm Al<sub>2</sub>O<sub>3</sub>/2nm d'HfO<sub>2</sub>) pour un  $D_{it}$  de  $5 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ . Nous obtenons un  $D_{it}$  du même ordre de grandeur mais pour un CET plus important, car l'épaisseur de notre couche d'Al<sub>2</sub>O<sub>3</sub> est plus élevée (1,4nm). Une autre étude de l'université de Cork détaille un bicouche Al<sub>2</sub>O<sub>3</sub> (1nm)/HfO<sub>2</sub> (3nm) [O'MAHONY10] caractérisé par un CET de 1,8nm et un  $D_{it}$  de  $4 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$ , ce qui est très proche de nos résultats, malgré la différence de précurseur de l'HfO<sub>2</sub>. Enfin, un bicouche déposé par PE-ALD (Plasma Enhanced ALD) (Al<sub>2</sub>O<sub>3</sub> 1,5nm/HfO<sub>2</sub> 4nm)

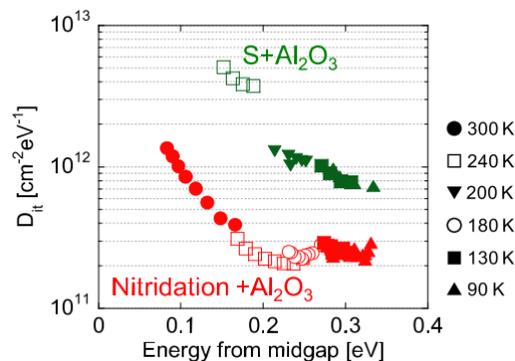
par l'équipe d'IBM atteint un  $D_{it}$  plus faible [DJARA15], mais pour une épaisseur de diélectrique plus importante.

Grâce à cette étude sur échantillon, nous avons mis au point un procédé de dépôt ALD d'un bicouche  $Al_2O_3$  (8 cycles) /  $HfO_2$  (32 cycles), comparable à ceux détaillés dans la littérature. Il sera ensuite transféré sur le transistor InGaAs (cf. chapitre 2). Dans la partie 6.3, nous verrons les caractéristiques électriques de ce même bicouche sur une couche d'InGaAs directement épitaxiée sur un substrat Si 300mm.

Dans la suite de ce chapitre, nous allons nous intéresser à un traitement plasma pour réduire la densité d'états à l'interface InGaAs/ $Al_2O_3$ .

## 5. Nitruration de l'interface InGaAs/ $Al_2O_3$

La densité d'états d'interface atteinte par le dépôt d' $Al_2O_3$  sur InGaAs reste élevée par rapport à l'interface Si/ $SiO_2$ . En effet, un recuit type « forming gas »  $N_2/H_2$  permet de combler les liaisons pendantes à l'interface, et diminue le  $D_{it}$  à une valeur autour de  $10^{10} \text{ eV}^{-1}\text{cm}^{-2}$  au milieu du gap. Des études montrent aussi l'effet bénéfique du recuit  $N_2/H_2$  sur la densité de charge dans le diélectrique et le  $D_{it}$  près de la bande de conduction [DJARA12][HURLEY13] à l'interface InGaAs/ $Al_2O_3$ . Une autre étude de l'université de Tokyo décrit un traitement plasma pour nitrurer les liaisons pendantes de Ga et retirer les résidus d'oxydes de Ga [HOSHII12]. Ils observent une diminution du  $D_{it}$  de presque une décade, comme montré sur la Figure 3-32.



**Figure 3-32: Distribution du  $D_{it}$  en fonction de l'énergie par rapport au milieu du gap à différentes températures pour InGaAs/ $Al_2O_3$  avec un traitement de surface  $(NH_4)_2S$  (en vert) et avec un traitement plasma  $NH_3$  supplémentaire (en rouge).**

Le principe de ce traitement plasma est d'incorporer des atomes d'azote à l'interface avec l'InGaAs sans dégrader le diélectrique. Pour cela, ils ont utilisé un plasma généré par résonance cyclotron électronique, dit « ECR » (Electron Cyclotron Resonance). C'est un plasma à haute densité donc la probabilité de collision des particules est élevée. L'énergie des ions arrivant à la surface est donc réduite, ce qui diminue les risques d'endommager le matériau. Néanmoins, ce type de plasma n'est pas disponible sur notre plateforme. Cependant, au Leti, la chambre PEALD, couplée à la chambre de dépôt ALD, possède un plasma capacitif à source RF (radiofréquence). Ce plasma est moins dense que le plasma

ECR, les ions arrivent à la surface avec une plus grande énergie et peuvent donc endommager le matériau.

Nous avons donc voulu adapter le procédé développé par l'université de Tokyo avec le plasma disponible sur l'équipement PEALD qui est de nature totalement différente.

### 5.1. Première évaluation de l'implantation d'azote sur Si/Al<sub>2</sub>O<sub>3</sub>

Nous avons commencé par étudier l'incorporation d'azote à travers une couche d'Al<sub>2</sub>O<sub>3</sub> sur un substrat Si par analyses XPS. Cette étude nous permet d'évaluer la quantité d'azote incorporée selon le type de plasma utilisée et donc d'affiner notre plan d'expérience sur InGaAs. Nous n'avons pas examiné en détail la nature des liaisons car le Si n'est pas notre matériau d'intérêt. Nous avons essayé deux atmosphères différentes, N<sub>2</sub> et NH<sub>3</sub>, à deux puissances de plasma, 50 et 300W. Pour cela, un oxyde chimique d'une épaisseur de 0,8nm a été préparée pour s'assurer de contrôler l'épaisseur de l'oxyde interfacial (traitement HF/HCl + O<sub>3</sub>). Ensuite, environ 1nm d'Al<sub>2</sub>O<sub>3</sub> a été déposé (soit 10 cycles ALD) avec le TMA comme premier précurseur. La plaque a été basculée dans la chambre PEALD pour subir le traitement plasma. Les plaques ont finalement été mesurées par XPS.

Le plasma N<sub>2</sub> a été comparé à deux puissances différentes (50 et 300W) et à deux durées de traitement (30 et 120 s). Les spectres N1s après traitement plasma N<sub>2</sub> sont représentés sur la Figure 3-33 en fonction de la puissance du plasma et de la durée du traitement. Plusieurs liaisons de l'azote semblent présentes. L'étude étant plus quantitative que qualitative, nous n'avons pas détaillé la nature de ces liaisons. Pour évaluer l'implantation d'azote, le ratio N/Al, montré sur la Figure 3-33 est calculé à partir des aires des pics N1s et Al2p. De la même façon, les spectres XPS et le ratio N/Al après traitement NH<sub>3</sub> sont montrés sur Figure 3-34.

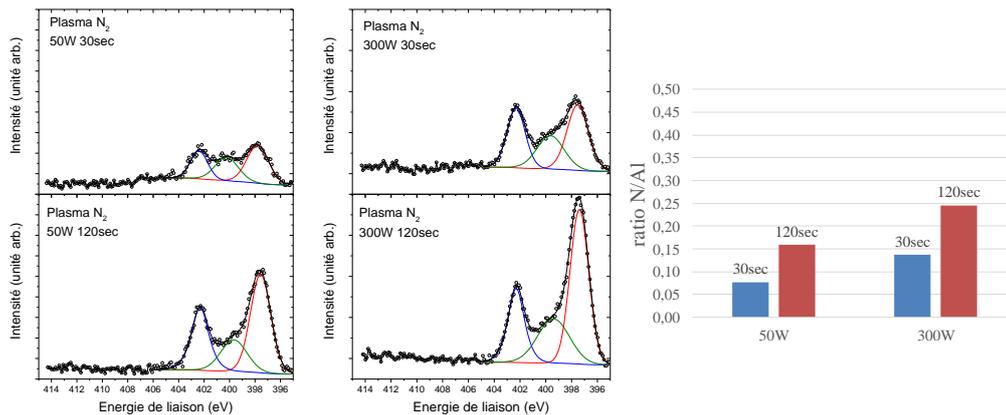


Figure 3-33: Spectres XPS de N1s après traitement N<sub>2</sub>, 50W à gauche et 300W à droite, en fonction de la durée du traitement plasma, et ratio N/Al en fonction des traitements.

On remarque qu'NH<sub>3</sub> est plus efficace pour implanter de l'azote que N<sub>2</sub>, car l'énergie électronique nécessaire à la dissociation de NH<sub>3</sub> est plus faible que pour N<sub>2</sub>. Dans le cas du plasma de N<sub>2</sub>, augmenter la puissance du plasma permet de créer plus d'espèces réactives et donc d'implanter plus d'azote. On observe l'effet inverse avec le plasma NH<sub>3</sub>, mais les raisons ne sont pas totalement comprises.

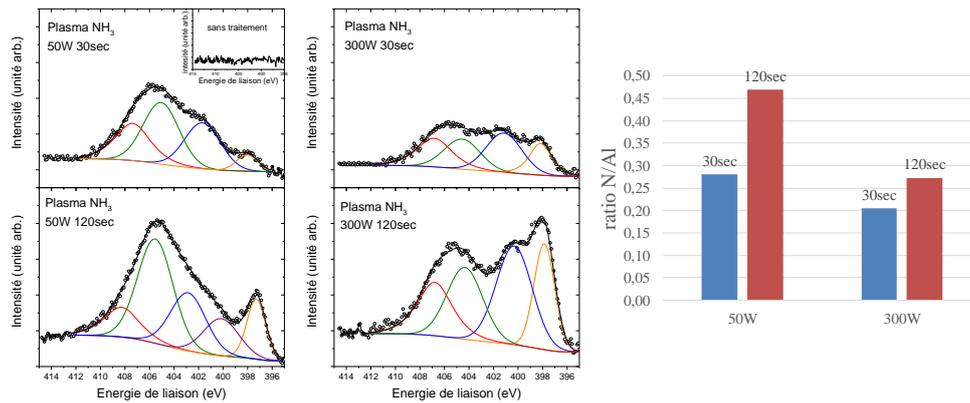


Figure 3-34: Spectres XPS de N1s après traitement plasma NH<sub>3</sub> en fonction de la puissance du plasma (50 ou 300W) et de la durée du traitement (30 ou 120 s) (le spectre sans traitement plasma est montré dans l'encart) et ratio N/Al en fonction des traitements.

Nous n'avons pas exploité plus en détail les spectres Si2p et Al2p car le Si n'est pas le matériau d'intérêt. L'effet de la nitruration sur la couche d'Al<sub>2</sub>O<sub>3</sub> sera étudié dans la partie suivant sur InGaAs.

Pour la suite des expériences sur InGaAs, nous nous sommes concentrés sur les conditions montrant la plus forte concentration d'azote soit, le plasma N<sub>2</sub> à 300W et le plasma NH<sub>3</sub> à 50W.

### 5.2.Implantation d'azote par plasma N<sub>2</sub> sur InGaAs

L'implantation d'azote par un plasma d'N<sub>2</sub> a été évaluée sur des échantillons d'InGaAs/InP. De la même manière que le Si, le traitement plasma est fait après désoxydation et le dépôt d'une fine couche d'Al<sub>2</sub>O<sub>3</sub> (10 cycles ALD). Les mesures XPS sont faites après le traitement plasma.

En parallèle, des capacités ont été élaborées pour étudier l'impact du traitement nitrurant sur les caractéristiques électriques. Pour cela, un nouveau dépôt d'Al<sub>2</sub>O<sub>3</sub> a été fait après le traitement plasma pour atteindre 8nm d'Al<sub>2</sub>O<sub>3</sub>.

Le plasma N<sub>2</sub> à 300W pendant 120s testé sur Si/Al<sub>2</sub>O<sub>3</sub> a été reproduit sur InGaAs/Al<sub>2</sub>O<sub>3</sub>. Les spectres XPS des éléments N, As, Ga et In sont résumés dans la Figure 3-35, avec et sans traitement N<sub>2</sub>.

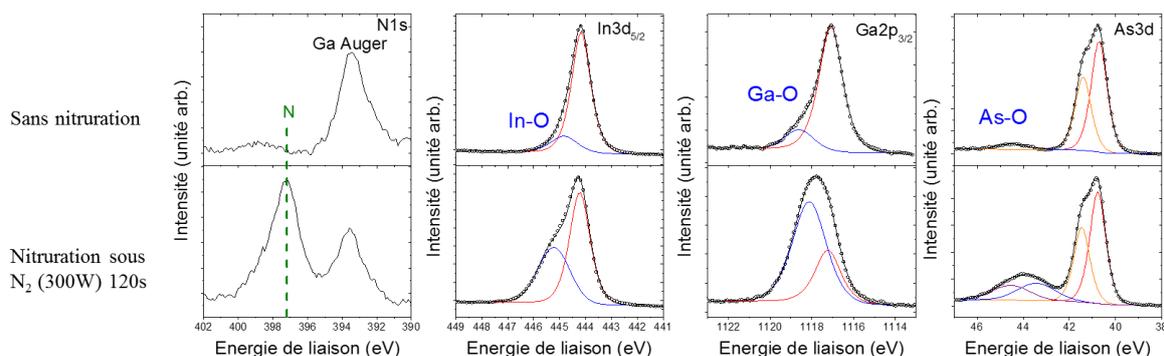


Figure 3-35: Spectres XPS de l'N1s, In3d<sub>5/2</sub>, Ga2p<sub>3/2</sub> et As3d sans et avec un traitement plasma N<sub>2</sub> 300w pendant 120s.

L'analyse de l'échantillon n'ayant pas subi de traitement plasma montre que des résidus d'oxydes de III-V subsistent malgré le traitement  $\text{NH}_4\text{OH}$ , et l'effet « self-cleaning » du dépôt  $\text{Al}_2\text{O}_3$  (cf. Figure 3-13). Les 10 cycles TMA/ $\text{H}_2\text{O}$  n'ont peut-être pas permis d'isoler complètement l'interface de la diffusion d'oxygène atmosphérique, permettant une réoxydation post-dépôt. Après 120s de traitement plasma  $\text{N}_2$ , de l'azote est bien détecté. Les pics correspondants à In-O, Ga-O et As-O augmentent après traitement plasma. Il peut s'agir d'une recroissance d'oxyde ou de la création de liaisons nitrurées car elles sont très proches en énergie. Les courbes  $C(V)$  mesurées sur ces échantillons sont montrées sur la Figure 3-36. Après traitement plasma sous  $\text{N}_2$ , la capacité passe de  $0,9\mu\text{F}/\text{cm}^2$  à  $0,6\mu\text{F}/\text{cm}^2$ . La valeur de  $D_{it}$  extraite par le méthode de la conductance est autour de  $5 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$  même après traitement.

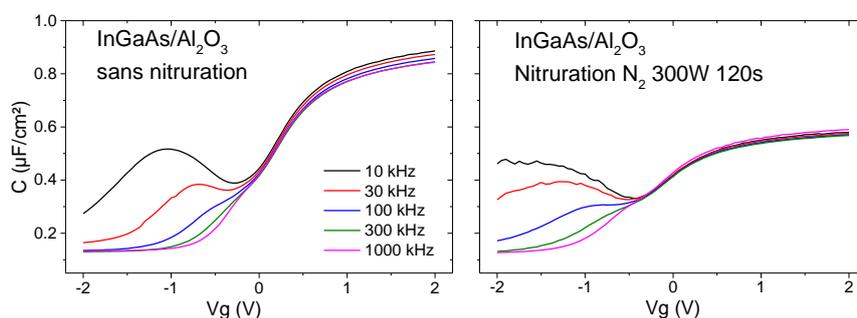


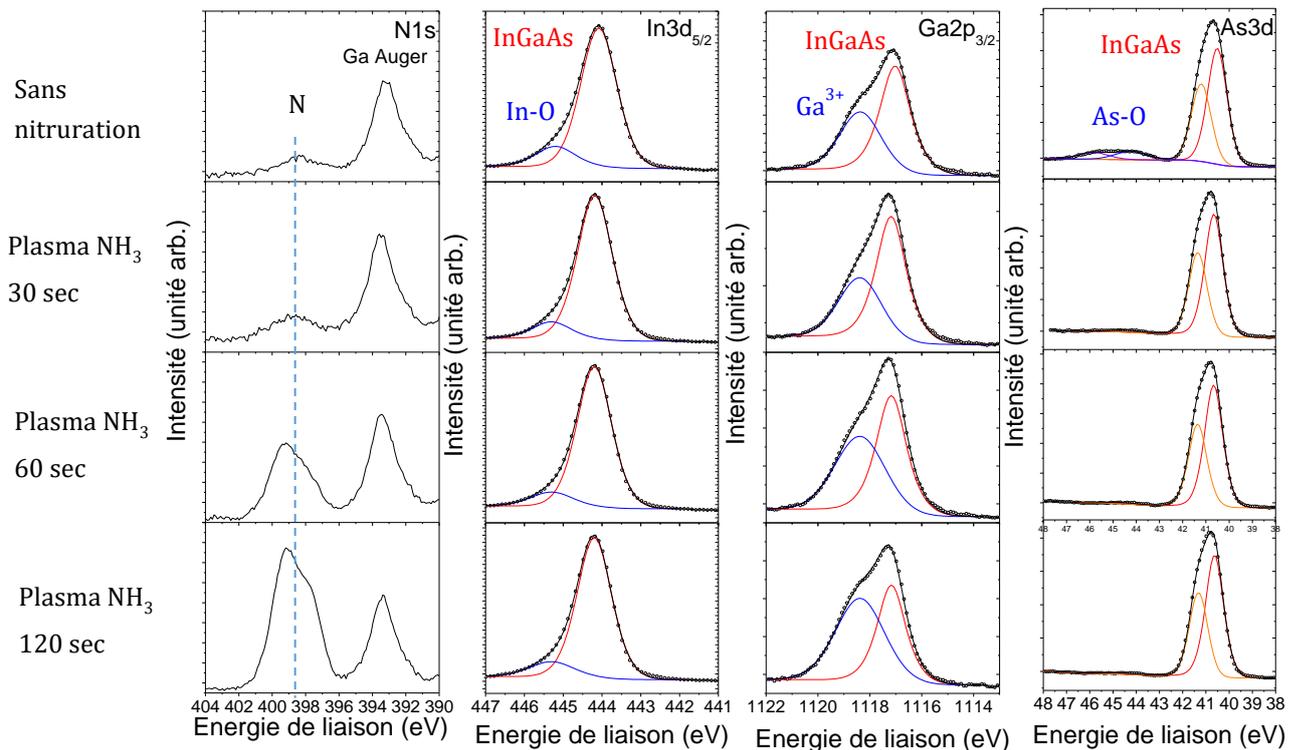
Figure 3-36: Courbes  $C(V)$  des capacités InGaAs/ $\text{Al}_2\text{O}_3$  sans traitement plasma (à gauche), avec nitruration  $\text{N}_2$  300W 120s (à droite).

Dans ces conditions, le traitement plasma  $\text{N}_2$  a diminué d'un tiers la capacité totale et n'a pas affecté le  $D_{it}$ .

### 5.3. Implantation d'azote par plasma $\text{NH}_3$ sur InGaAs

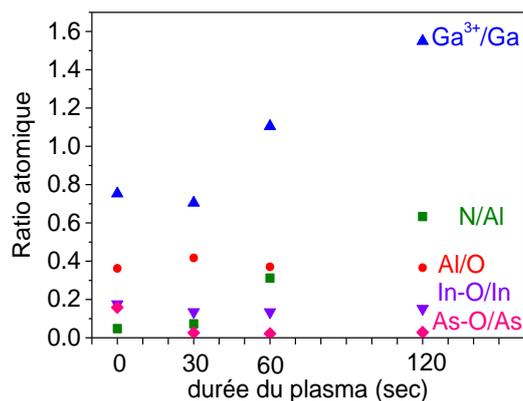
Nous avons choisi d'utiliser le plasma  $\text{NH}_3$  à 50W en changeant la durée de traitement à 10, 20, 30, 60 et 120s. Les spectres XPS de l' $\text{N}1s$ ,  $\text{In}3d_{5/2}$ ,  $\text{Ga}2p_{3/2}$  et  $\text{As}3d$  sont représentés sur la Figure 3-37 selon la durée du traitement plasma. De la même manière que pour l'essai avec le traitement  $\text{N}_2$  (cf. Figure 3-35), des résidus d'oxydes de Ga, In et As sont présents après traitement  $\text{NH}_4\text{OH}$  et dépôt d'une fine couche d' $\text{Al}_2\text{O}_3$ . Les spectres XPS après 10 et 20s de traitement plasma ne sont pas montrés, car ils ne présentent aucun changement, sauf pour les oxydes d'As qui commencent à être réduits dès 10s de plasma. Ils disparaissent complètement à partir de 30s de traitement. Une faible quantité d'azote est détecté, même sans aucun traitement plasma, dû au traitement  $\text{NH}_4\text{OH}$ . Le signal présent à 393eV est un pic d'électrons Auger du Ga. La quantité d'N détectée augmente à partir de 30s de traitement. Les liaisons de l'In ne sont, par contre, pas affectées par le traitement plasma, même après 2min. Les seules liaisons affectées par le traitement plasma sont celles du Ga. Les ratios atomiques pour l'In, le Ga, l'As et l'N sont présentés sur la Figure 3-38. Les liaisons Ga-N et Ga-O sont difficiles à discerner sur le spectre XPS. Il nous semble plus pertinent de comparer les liaisons  $\text{Ga}^{3+}$  totales par rapport au pic de Ga-InAs. Le rapport entre les liaisons  $\text{Ga}^{3+}$  et les liaisons Ga-InAs augmente avec l'incorporation d'azote, révélant la formation de liaisons Ga-N. Cela pourrait être aussi dû

à une recroissance d'oxyde, mais les autres éléments ne montrent pas de recroissance d'oxyde.



**Figure 3-37: Spectres XPS de l’N1s, In3d<sub>5/2</sub>, Ga2p<sub>3/2</sub> et As3d de l’interface InGaAs/Al<sub>2</sub>O<sub>3</sub> en fonction de la durée du traitement plasma NH<sub>3</sub> (50W).**

Le plasma NH<sub>3</sub> a donc permis d’incorporer de l’azote à l’interface InGaAs/Al<sub>2</sub>O<sub>3</sub>, créant ainsi des liaisons avec le Ga particulièrement. Nous ne savons pas, par contre, si les liaisons Ga-O ont été remplacées par des liaisons Ga-N.



**Figure 3-38: Ratios atomiques N/Al, Al/O, Ga<sup>3+</sup>/Ga, In-O/In et As-O/As en fonction de la durée du plasma NH<sub>3</sub> à 50W.**

L’équipe de Takagi fait suivre la nitruration par un recuit pour favoriser la formation des liaisons Ga-N. Nous avons donc exposé l’échantillon nitruré à un recuit sous N<sub>2</sub> à 500°C pendant 1min, avant le dépôt métallique.

Les échantillons montrant de l’azote par XPS ont été mesurés électriquement. Les courbes C(V) sans et avec nitruration, en fonction du temps de nitruration, sont présentées sur la

Figure 3-39. Le traitement plasma, même à 120s, n'a pas endommagé les capacités. Pour autant, le  $D_{it}$  reste identique quelle que soit la durée du traitement.

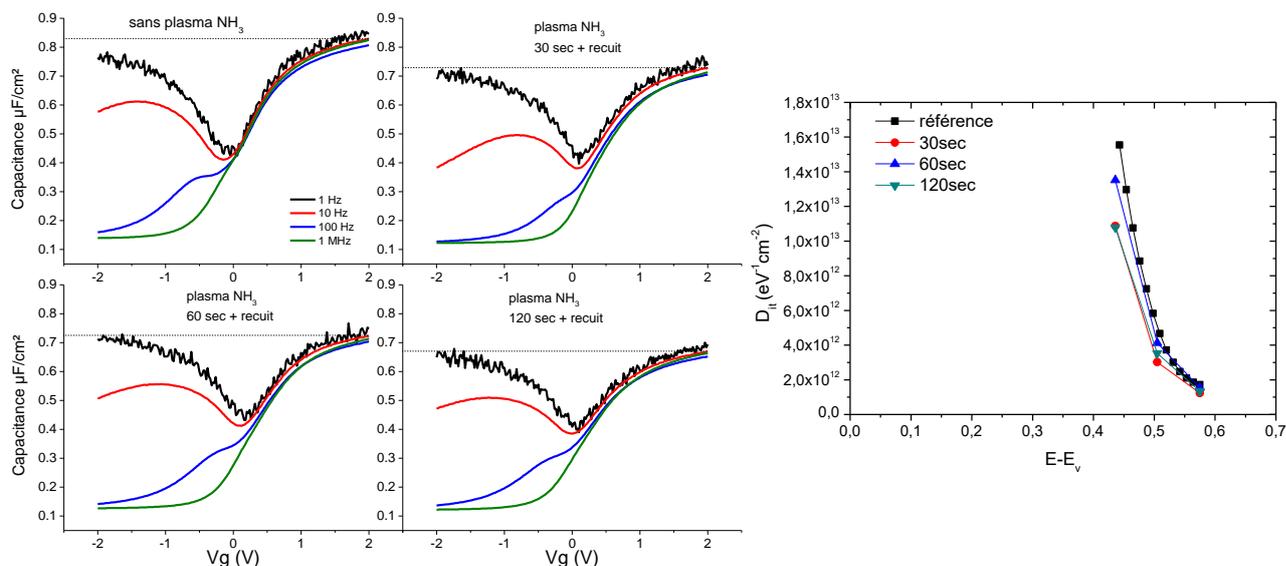


Figure 3-39: Courbes  $C(V)$  des capacités ayant subi un traitement plasma et un recuit sous  $N_2$  ( $500^\circ C$ , 1min) de 30, 60 ou 120s, et celle de la référence sans traitement plasma. A droite est représentée le profil en énergie des  $D_{it}$  par rapport à l'énergie de la bande de valence calculé par la méthode de la conductance.

Le plasma  $NH_3$  a permis d'introduire de l'azote et de créer préférentiellement des liaisons avec le Ga, mais aucun effet n'est observé sur le  $D_{it}$ . Plusieurs raisons peuvent expliquer la persistance du  $D_{it}$  élevé :

- On observe une création de liaisons Ga-N, mais il est difficile de distinguer par XPS les liaisons Ga-O des liaisons Ga-N. Il reste probablement encore des liaisons Ga-O qui participent au  $D_{it}$ .
- D'autres liaisons comme As-As ou In-O participent aussi au  $D_{it}$ .
- L'ajout d'une étape de recuit serait une piste d'amélioration pour favoriser la diffusion de l'azote à l'interface et libérer les éléments azotés non liés.

Dans cette partie, nous avons étudié la grille du transistor InGaAs-OI. Nous avons adopté un traitement de surface à base d'ammoniaque, plutôt qu'une solution soufrée  $(NH_4)_2S$  non adaptée pour la plateforme 200 ou 300mm. Le dépôt bicouche d' $Al_2O_3/HfO_2$  a ensuite été optimisé pour diminuer l'EOT. Nous avons enfin tenté un traitement plasma à base d' $NH_3$  dans l'équipement de dépôt afin de réduire la densité d'états d'interface. Les premiers essais de traitement plasma n'ont pas été suffisants pour réduire significativement la densité d'états.

Dans la suite de ce chapitre, nous avons souhaité étudier les propriétés de la grille dans la stratégie d'épitaxie d'InGaAs directement sur substrat Si.

---

## 6. Etude de capacités III-V sur substrat Si 300mm

Les procédés élaborés précédemment ont été transférés sur des épitaxies d'InGaAs sur substrat Si 300mm, afin d'étudier électriquement les propriétés de cet InGaAs métamorphe. Nous allons d'abord expliquer le procédé d'épitaxie développé sur l'équipement de MOCVD pour la croissance de GaAs et InGaAs sur substrat Si. Puis nous décrirons les différentes étapes de fabrication des capacités sur substrat 300mm. Nous finirons par les résultats électriques de ces capacités III-V.

### 6.1. Etapes de croissance du GaAs sur Si

La croissance du GaAs sur Si par MOCVD [CIPRO16] [ALCOTTE16] a été étudiée et optimisée dans le cadre d'une thèse au LTM dont nous résumerons une partie des résultats [CIPRO16]. Comme expliqué dans le chapitre 1, la différence de paramètre de maille entre l'InGaAs et le Si engendre de nombreux défauts cristallins qui réduisent la mobilité des porteurs dans le canal. Nous nous sommes concentrés particulièrement sur la réduction des parois d'antiphase. Plusieurs étapes déterminantes ont été identifiées pour réduire la quantité de parois d'antiphase dans le GaAs :

#### (a) Traitement de surface du substrat Si

La préparation de surface du substrat Si est indispensable, quelle que soit la nature du matériau à épitaxier. En effet, le substrat est recouvert d'une fine couche de SiO<sub>2</sub> qui empêche la croissance cristalline sur le substrat Si. En général, l'oxyde est retiré par une solution d'acide fluorhydrique (HF) diluée. Dans notre cas, une méthode alternative est utilisée car la chambre d'épitaxie MOCVD est couplée avec un module de désoxydation du Si par voie sèche, appelé SiCoNi™. Dans cette chambre, un plasma déporté au contact d'un mélange NH<sub>3</sub>/NF<sub>3</sub> crée des espèces réactives NH<sub>4</sub>F et NH<sub>4</sub>HF<sub>2</sub> [NISHINO93]. Ces espèces réagissent avec SiO<sub>2</sub> pour former des sels, comme (NH<sub>4</sub>)<sub>2</sub>SiF<sub>6</sub> qui se désorbent facilement en chauffant le substrat à 100°C. Le procédé grave le SiO<sub>2</sub> sélectivement au Si, et laisse la surface de Si saturée par les liaisons Si-H. Cette méthode est particulièrement intéressante car elle permet d'éviter toute remise à l'air entre l'étape de désoxydation et l'épitaxie, contrairement au traitement en solution aqueuse.

#### (b) Recuit du substrat avant épitaxie

Après la désoxydation, le substrat est transféré dans la chambre MOCVD où il subit un recuit avant l'épitaxie. Le substrat Si est recuit à haute température (870°C) 10min sous H<sub>2</sub> afin de favoriser une restructuration (2×1) de la surface du Si. Cette préparation de surface favorise la formation de marches biatomiques, et laisse une minorité de marches monoatomiques sur lesquelles les parois d'antiphase peuvent naître. Comme résumé sur la Figure 3-40, les marches biatomiques empêchent les atomes de Ga et d'As d'intégrer le même sous-réseau, et donc empêchent la création de paroi d'antiphase.

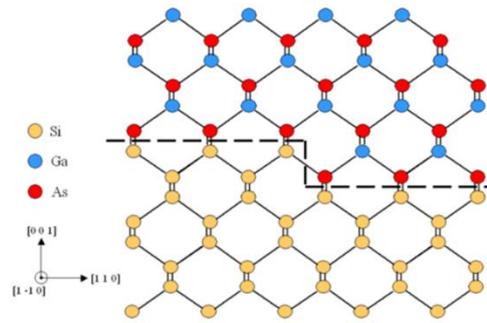


Figure 3-40: Schéma d'une épitaxie de GaAs sur substrat Si présentant des marches biatomiques [CHRIQUI05].

(c) Nucléation à basse température

La croissance commence par exposer le substrat à un flux du précurseur V, le tertiarybutylarsine (TBAs) pour déposer une couche monoatomique d'As, car le Ga a tendance à former des gouttelettes sur le substrat et à graver le Si. Plusieurs températures de nucléation ont été testées pour diminuer la quantité de dislocation. Au-delà de 300°C, la nucléation du GaAs se fait sous forme d'îlots tridimensionnels, comme illustré sur la Figure 3-41. A température élevée, les îlots de GaAs sont grands et peu nombreux, et la relaxation plastique du GaAs via des dislocations a déjà lieu dans ces îlots. Au contraire, à plus faible température, les îlots de GaAs sont de petite taille et nombreux car la diffusion des atomes est plus lente. La coalescence intervient avant la naissance des dislocations dans les îlots. Les dislocations n'apparaissent que lorsque le film est continu, et donc la quantité de dislocation est plus faible qu'à haute température. L'étude a montré que la nucléation était sensible à de très faibles variations de température, de l'ordre de quelques dizaines de degrés. La température retenue est de 375°C, compromis entre une forte densité d'îlots et une vitesse de croissance raisonnable pour un environnement industriel. La couche de nucléation a une épaisseur d'environ 35nm.

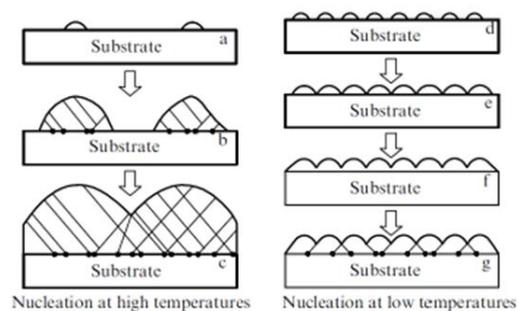
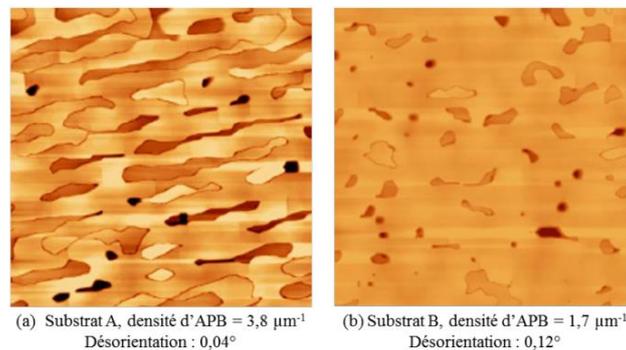


Figure 3-41: Mécanisme de nucléation du GaAs sur Si en fonction de la température. Les traits noirs représentent les dislocations émergentes, alors que les points noirs représentent les dislocations perpendiculaires au plan [BOLKHOVITYANOV08].

(d) Croissance à haute température

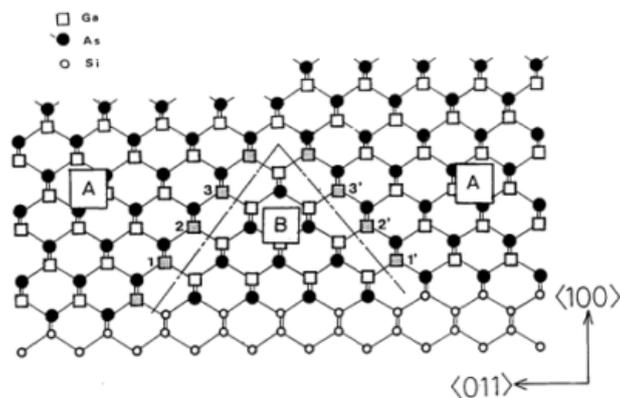
La croissance haute température s'apparente à une croissance de GaAs sur substrat GaAs. La croissance est réalisée entre 600°C et 700°C pour obtenir un matériau de bonne qualité.

La croissance de GaAs a été optimisée sur un substrat Si nominal 300mm présentant une légère désorientation dans la direction  $\langle 100 \rangle$ . En effet, même si les substrats nominaux sont orientés selon la direction (100), il existe en réalité une désorientation résiduelle due à la découpe du lingot en substrat. Nous nous sommes aperçus que pour une même croissance sur deux substrats présentant des désorientations différentes, la densité de parois d'antiphase était complètement différente. En effet, pour un substrat désorienté à  $0,04^\circ$  (substrat A), la densité de parois d'antiphase est trois fois plus importante que sur un substrat présentant une désorientation de  $0,12^\circ$  (substrat B), comme illustré sur la Figure 3-42 (les domaines d'antiphase apparaissent en AFM comme des boucles). La désorientation plus importante du substrat B engendre une distance entre les marches atomiques plus faible.



**Figure 3-42: Images AFM ( $5 \times 5 \mu\text{m}^2$ ) de couches de GaAs/Si réalisées selon le même procédé mais sur des substrats Si présentant une désorientation différente [CIPRO16]. les domaines d'antiphase apparaissent en AFM comme des boucles.**

Les parois d'antiphase qui prennent naissance au niveau des marches atomiques sont donc plus proches les unes des autres. La probabilité de rencontre et d'auto-annihilation entre deux parois d'antiphase est alors plus grande sur le substrat B que sur le substrat A. En effet, la rencontre de deux parois d'antiphase entraîne leur annihilation et empêche l'émergence du domaine d'antiphase, comme illustré sur la Figure 3-43. Cet effet nous a donc conduit à choisir la désorientation du substrat Si à environ  $0,1^\circ$ .



**Figure 3-43: Schéma illustrant la recombinaison (auto-annihilation) de deux parois d'antiphase [KAWABE87].**

Les étapes successives de croissance sur substrat nominal (mais légèrement désorienté de  $0,1^\circ$ ) contribuent à l'auto-annihilation des parois d'antiphase et aboutissent à une couche de GaAs de moins de 500nm dépourvue de paroi d'antiphase en surface.

Pour l'élaboration des capacités, le GaAs a été épitaxié sur un substrat Si dopé type n+ (Sb), pour assurer un bon contact en face arrière. L'épitaxie débute par une couche de GaAs (300nm) dopé n (Si) et termine par une couche de GaAs non-intentionnellement dopée (200nm), comme décrit sur la Figure 3-44. La surface du GaAs a été examinée par AFM, et les images en  $5 \times 5 \mu\text{m}^2$  sont présentées sur la Figure 3-44. La rugosité moyenne ( $R_{\text{RMS}}$ ) mesurée au centre de la plaque est d'environ 1,2nm. La profondeur maximale ( $R_{\text{max}}$ ) atteinte est de 19nm. Aucune paroi d'antiphase n'est visible, contrairement aux images AFM de la Figure 3-42.

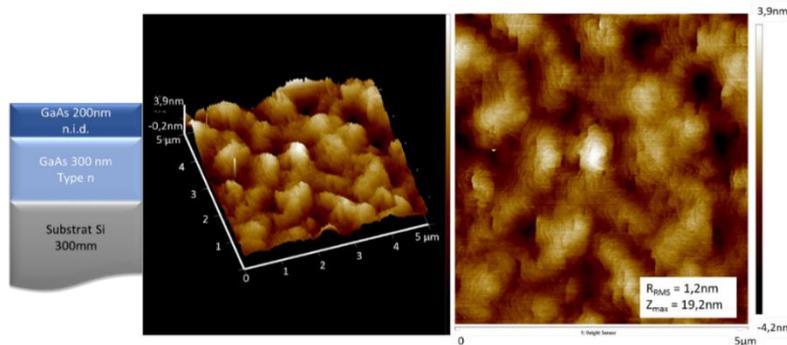


Figure 3-44: Description de l'épitaxie de GaAs sur Si et images AFM  $5 \times 5 \mu\text{m}^2$  correspondantes. La rugosité RMS est de 1,2nm, et la profondeur maximale de 19,2nm.

## 6.2.Épitaxie d'InGaAs sur Si

L'épitaxie d'InGaAs sur Si nécessite la croissance d'une couche intermédiaire tampon pour adapter la différence de paramètre de maille, comme indiqué par les flèches de la Figure 3-45. L'épitaxie commence par une couche de GaAs de 400nm, puis par une couche d'InP d'environ 280nm qui est en accord de paramètre de maille avec l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  dont l'épaisseur est de 75nm. Le substrat Si est identique à celui utilisé pour l'épitaxie de GaAs. La couche de GaAs a aussi été dopée type n (Si) afin d'assurer l'approvisionnement en porteur jusqu'à l'InGaAs. L'épitaxie de GaAs est identique à celle décrite en partie 6.1.

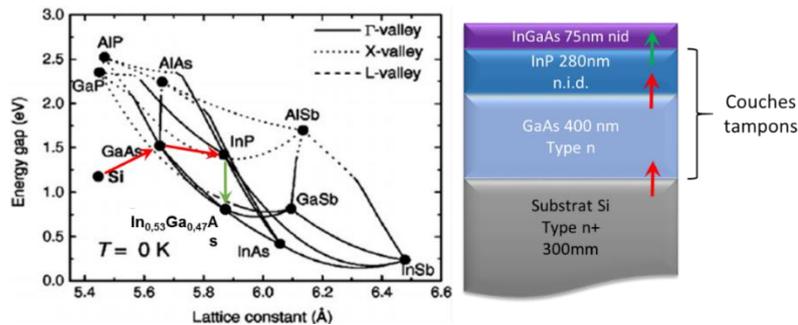


Figure 3-45: Énergie de bande interdite de différents matériaux III-V et du Si en fonction de leur paramètre de maille à 0K (à gauche), et schéma de l'épitaxie d'InGaAs sur substrat Si.

Pour l'épitaxie d'InGaAs, La rugosité extraite de l'image AFM en  $5 \times 5 \mu\text{m}^2$ , sur la Figure 3-46 est légèrement plus élevée que pour le GaAs, car la différence de paramètre de maille

est plus importante. La profondeur maximale reste à 19nm, ce qui est inférieur à l'épaisseur d'InGaAs. De la même manière que pour le GaAs, aucune paroi d'antiphase n'est visible.

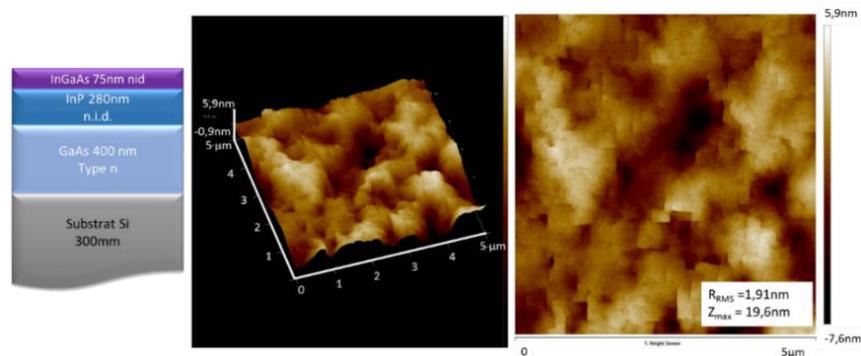


Figure 3-46: Description de l'épitaxie d'InGaAs sur Si et images AFM  $5 \times 5 \mu\text{m}^2$  correspondantes. La rugosité RMS est de 1,9nm, et la profondeur maximale de 19,6nm.

### 6.3. Elaboration des capacités sur substrat Si 300mm

Afin de caractériser électriquement ces épitaxies de GaAs et d'InGaAs sur substrat Si 300mm, des capacités ont été élaborées sur la plateforme Si du Leti. Nous avons adapté au matériau III-V une route technologique déjà créée sur Si. L'enchaînement des étapes est décrit sur la Figure 3-47. Le schéma présente le cas de l'InGaAs, mais le même procédé a été utilisé pour le GaAs. Nous commençons par déposer une couche d' $\text{Al}_2\text{O}_3$  (8nm) par ALD puis un bicouche SiN (50nm) /  $\text{SiO}_2$  (350nm) déposé par PECVD à  $350^\circ\text{C}$ . La couche d' $\text{Al}_2\text{O}_3$  améliore l'adhérence du SiN sur le III-V.

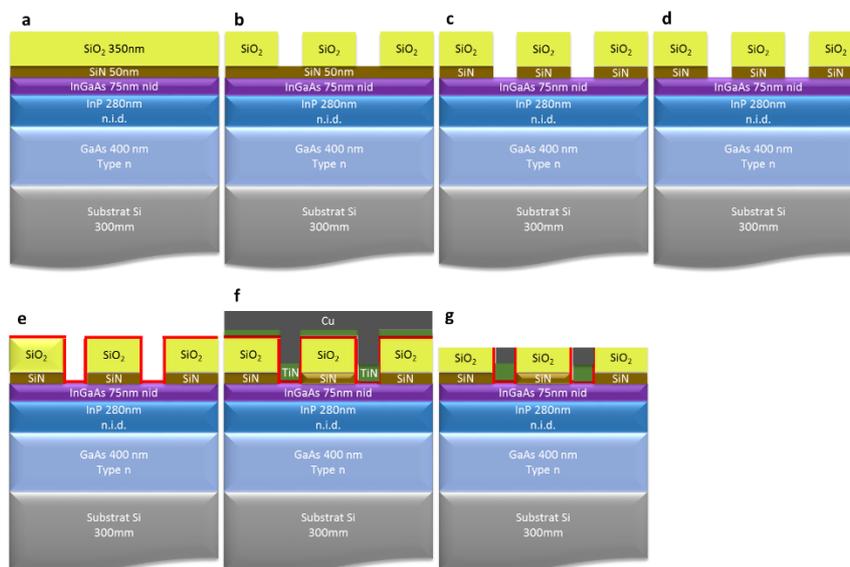


Figure 3-47: Schéma de fabrication des capacités sur InGaAs épitaxié sur substrat Si 300mm.

Le bicouche permet de faire la gravure en deux étapes. Le  $\text{SiO}_2$  est gravé par plasma (b), puis le SiN est retiré avec du HF pour éviter d'endommager la surface du III-V avec le plasma (c). La gravure humide est, par contre, anisotrope, donc le SiN est gravé latéralement. Les capacités étant de très grande taille ( $50 \times 50 \mu\text{m}^2$ ), une surgravure latérale ne cause pas de court-circuit. Une fois l'InGaAs révélé, l'oxyde d'InGaAs est retiré par un traitement  $\text{NH}_4\text{OH}$  (4% pendant 1min), et le diélectrique de grille est déposé par

ALD à différentes épaisseurs (e). L'enchaînement entre le traitement de surface et le dépôt est d'au minimum 10min. Cette remise à l'air sera discutée ultérieurement. Le diélectrique est recuit sous  $N_2$  pour retirer les molécules d' $H_2O$  encore présentes dans le diélectrique et aussi améliorer l'interface entre l'InGaAs et l' $Al_2O_3$ . Enfin, le Cu est déposé par iPVD avec une barrière TiN (10nm) déposé par PVD, pour éviter la diffusion du Cu dans le diélectrique (f). L'étape de polissage, appelée CMP (chemical mechanical planarization), finit d'isoler les dispositifs (g).

#### 6.4. Comparaison des capacités sur InGaAs et GaAs

Nous avons comparé les performances des capacités sur GaAs et InGaAs, épitaxiés sur substrat Si. Les courbes  $C(V)$  pour le même diélectrique sur InGaAs et GaAs sont comparées sur la Figure 3-48. Ces mesures ont été prises sur des échantillons, mais la même tendance est vue sur les plaques 300mm. Pour le même traitement de surface ( $NH_4OH$ ) et le même dépôt diélectrique ( $Al_2O_3$  8nm), le GaAs présente une très forte dépendance en fréquence. Ce comportement anormal a déjà été reporté dans plusieurs travaux [HINKLE09][HINKLE07][SONNET10], particulièrement sur du GaAs type n.

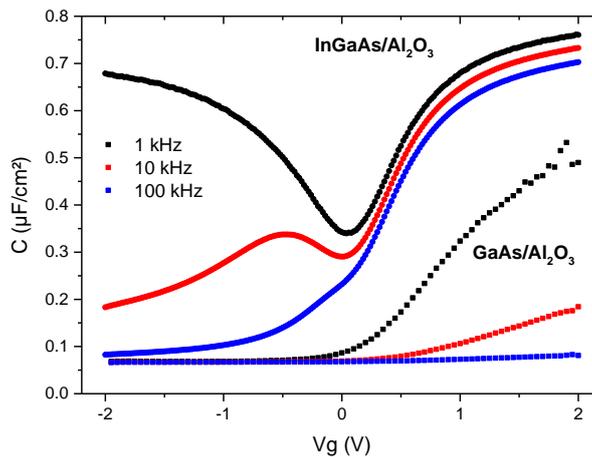


Figure 3-48: Courbes  $C(V)$  pour les capacités sur échantillons d'InGaAs/ $Al_2O_3$  (8nm) et GaAs/ $Al_2O_3$  (8nm) à 1, 10 et 100kHz.

Ils attribuent cette dispersion à une forte densité d'états à l'interface, provoquant un ancrage du niveau de Fermi. Deux raisons sont possibles pour expliquer cette différence de  $D_{it}$  :

- La première hypothèse est que les principaux défauts responsables de la dispersion en fréquence en accumulation se situent dans la moitié supérieure du gap du GaAs (soit près de la bande de conduction). Le minimum de la bande de conduction étant fortement dépendant de la concentration en In (cf. Figure 3-49), ces défauts se retrouvent dans la bande de conduction de l' $In_{0,53}Ga_{0,47}As$  et ne bloquent plus le niveau de Fermi.

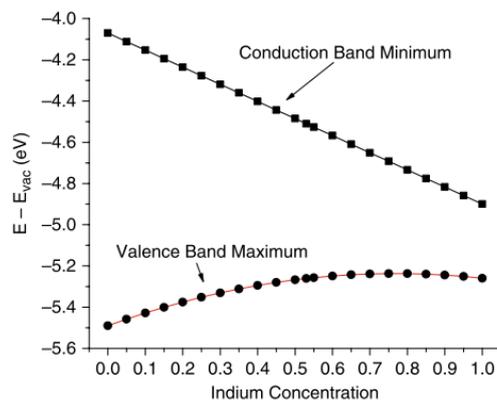


Figure 3-49: Energie du minimum de la bande de conduction et du minimum de la bande de valence par rapport au niveau du vide en fonction du pourcentage d'In dans  $\text{In}_x\text{Ga}_{1-x}\text{As}$  [HINKLE11].

- La deuxième hypothèse est que la densité d'états d'interface diminue quand la concentration d'In augmente [SONNET08]. Les spectres XPS du Ga2p et As3d de l'InGaAs et GaAs sur la Figure 3-50 ne montrent pas de différence d'oxydation du Ga ou de l'As. Le ratio GaO/Ga(In)As est identique entre le GaAs et l'InGaAs. Par contre, la concentration de Ga est plus importante dans le GaAs, donc le GaAs présente plus d'oxyde de Ga.

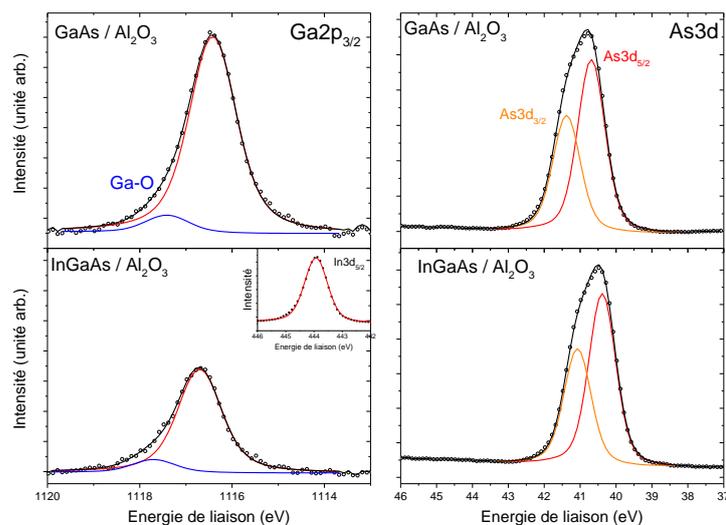


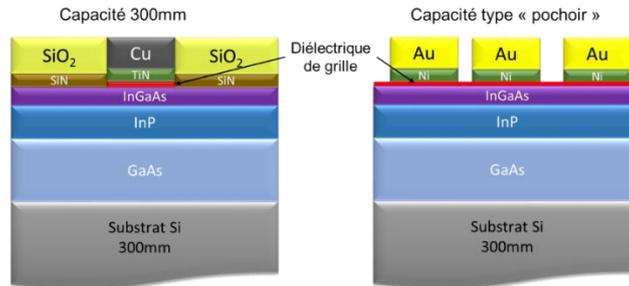
Figure 3-50: Spectres XPS de  $\text{Ga}2p_{3/2}$  et  $\text{As}3d$  pour l'interface  $\text{GaAs}/\text{Al}_2\text{O}_3$  (en haut) et  $\text{InGaAs}/\text{Al}_2\text{O}_3$  (en bas). L'encart montre le spectre d' $\text{In}3d_{5/2}$  pour l'interface  $\text{InGaAs}/\text{Al}_2\text{O}_3$ .

Nous avons optimisé le traitement de surface et le dépôt de diélectrique sur de l'InGaAs et non sur du GaAs car l'InGaAs nous intéresse particulièrement comme canal du transistor, grâce à sa meilleure mobilité des électrons. Il s'avère finalement que le procédé n'est pas adapté au GaAs. Nous n'avons pas cherché à optimiser davantage le traitement sur GaAs.

### 6.5. Comparaison des capacités InGaAs/Si élaborées en 300mm et sur échantillon

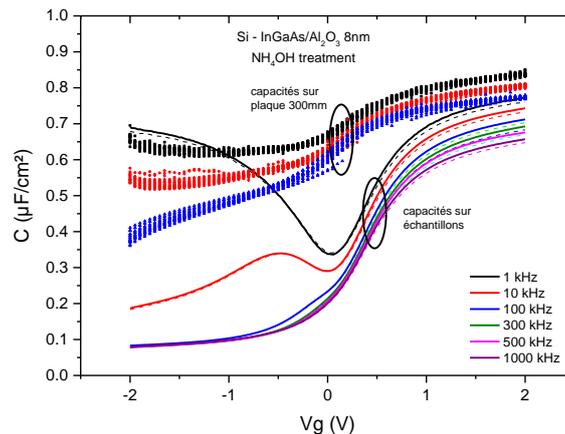
En parallèle de cette route 300mm, nous avons aussi élaboré des capacités en échantillon sur InGaAs via la méthode « pochoir » utilisée précédemment sur les échantillons InGaAs/InP. Nous avons suivi le même protocole que pour les échantillons InGaAs/InP.

L'échantillon a été traité par une solution d'ammoniaque (4%) pendant 1 min. Le diélectrique de grille a été déposé sur l'équipement ALD 300mm (le dépôt est identique au lot 300mm), puis le métal Ni/Au (40/60nm) a été déposé par évaporation par faisceau e-beam à travers un masque troué. Les deux structures sont schématisées sur la Figure 3-51. Les courbes  $C(V)$  des deux dispositifs sont comparées sur la Figure 3-52.



**Figure 3-51: Schéma des deux types de capacités : élaborées complètement en 300mm (à gauche) et les contacts déposés par la méthode « pochoir » en échantillon (à droite).**

Une vingtaine de capacités ont été testés sur la plaque 300mm entre 1 et 100 kHz, représentées en nuage de point. Nous observons, comme pour les capacités sur substrat InP, une dépendance en fréquence en accumulation liée aux pièges dans l'oxyde et aux défauts d'interface. En comparant à une capacité élaborée sur échantillon, on remarque un décalage en  $V_{fb}$  et en  $V_T$  très important. L'inversion n'est pas atteinte à  $V_g = -2V$  contrairement à l'échantillon. Ce comportement indique la présence de charges en grande quantité dans le diélectrique. Ces charges ont certainement dû être introduites lors du dépôt métallique TiN/Cu. Dans le cas de la capacité échantillon, le dépôt Ni/Au ne semble pas avoir induit autant de charges dans le diélectrique puisque l'inversion est atteinte à  $V_g = -2V$ .



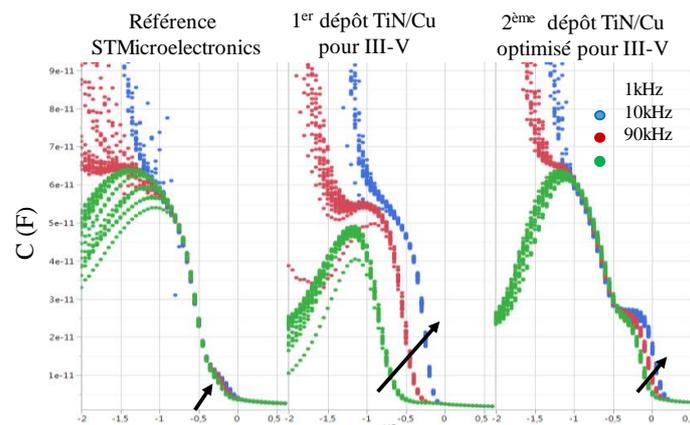
**Figure 3-52: Comparaisons des courbes  $C(V)$  de capacités InGaAs/ $Al_2O_3$  sur une plaque Si 300mm et sur des échantillons. Les mesures faites sur 300mm représentent une vingtaine de capacités mesurées entre 1 et 100kHz. Deux capacités sont montrées pour l'échantillon de 1 à 1000kHz.**

Pour mieux comprendre l'effet du dépôt métallique sur le diélectrique, essayons de comprendre les différences entre l'évaporation par faisceau d'électrons (cas Ni/Au) ou dépôt physique par phase vapeur (cas TiN/Cu). Dans les deux cas, le dépôt consiste à faire

passer un matériau de sa phase solide à sa phase gazeuse pour le déposer sur un substrat dans une chambre sous vide.

Pour l'évaporation par faisceau d'électrons (dépôt Ni/Au), la cible contenant le matériau à déposer est pulvérisée par un faisceau d'électrons créé par un filament de tungstène chauffé sous vide. Le dépôt se fait à température ambiante sous une pression de  $10^{-8}$  mBar. Pour le dépôt TiN/Cu, le dépôt se fait en deux temps : le TiN est tout d'abord déposé par RF-PVD, puis rapidement, le Cu est déposé dans un autre équipement par i-PVD (ionized PVD). La cible métallique est pulvérisée par des ions émis par un plasma situé entre le substrat et la cible à température ambiante sous un vide poussé. La puissance du plasma est de 4000W et les ions éjectés arrivent à très grande vitesse sur la surface. Par simple effet balistique, les ions peuvent engendrer des défauts dans la couche de diélectrique jusqu'au III-V.

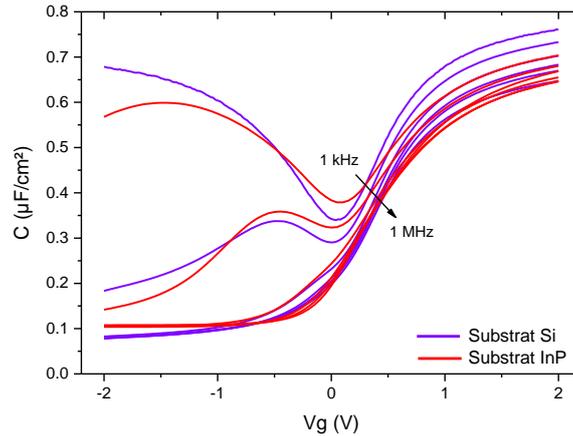
Un nouveau dépôt TiN a été élaboré à plus faible puissance plasma pour ne pas dégrader le diélectrique de grille. Le nouveau dépôt TiN a été évalué sur des capacités Si/HfO<sub>2</sub> (2nm). La Figure 3-53 compare les courbes C(V) de capacités ayant le même diélectrique de grille (HfO<sub>2</sub>) mais pour différents métaux de grille. La capacité référence du procédé de STMicroelectronics ne montre aucune dépendance en fréquence. Comme observé sur les capacités III-V, le premier dépôt TiN engendre un fort décalage de  $V_T$ . Avec le dépôt de TiN optimisé, il n'y a plus de décalage de  $V_T$  ce qui montre que la réduction de la puissance plasma lors du dépôt réduit considérablement les charges dans le diélectrique. Toutefois, on remarque toujours une dépendance en fréquence autour de 0V, due à une forte densité d'états d'interface. Cependant, cette plaque n'a pas reçu de recuit sous atmosphère N<sub>2</sub>/H<sub>2</sub> qui est standard pour la référence de STMicroelectronics. Ce nouveau procédé de dépôt TiN/Cu sera implémenté dans les futures réalisations de capacités III-V 300mm.



**Figure 3-53: Comparaison des courbes C(V) des capacités Si/HfO<sub>2</sub> (2nm) à 1, 10 et 90kHz pour différents métaux de grille : la référence de STMicroelectronics TiN/PolySi et les deux dépôts TiN/Cu des capacités III-V.**

Afin de s'affranchir des défauts induits par le dépôt TiN/Cu, nous pouvons comparer les capacités sur substrats InP ou Si réalisées en échantillon sur la Figure 3-54. La valeur de  $D_{it}$  extraite sur substrat Si est de  $6 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$  et est similaire à celle obtenue sur substrat InP. Cependant, cette densité d'états d'interface est certainement trop

importante pour distinguer une différence entre ces deux épitaxies. La capacité sur substrat Si montre une plus grande variation en fréquence en accumulation que sur substrat InP, Cette dispersion est due à une plus grande densité de « border traps », pièges dans le diélectrique, mais proche de l'interface. Une hypothèse possible pour expliquer cette différence est la différence de rugosité entre les deux couches d'InGaAs (rugosité sur Si 10 fois supérieure à celle sur InP). Une rugosité plus importante peut avoir un impact sur la nucléation de l' $\text{Al}_2\text{O}_3$  et engendrer la création de défauts à l'interface avec le semi-conducteur.



**Figure 3-54: Courbes C(V) des capacités InGaAs/ $\text{Al}_2\text{O}_3$  réalisées en échantillon sur substrat Si (violet) et sur InP (rouge).**

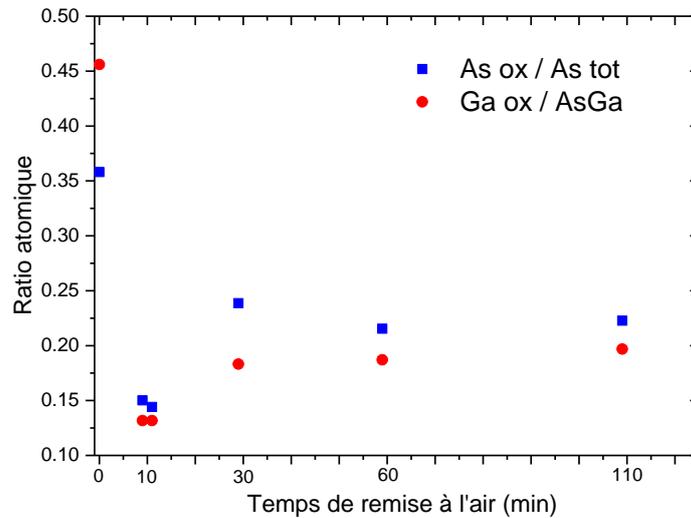
### 6.5.1. Conséquence de la remise à l'air après désoxydation

Un transfert rapide est possible entre la désoxydation et le dépôt lorsque nous traitons nous même les échantillons afin de minimiser la recroissance d'oxyde. Mais dans le cadre de la plateforme CMOS, les lots de plaques sont traités selon la disponibilité des équipements et du personnel ce qui impose une remise à l'air variant de quelques minutes à plusieurs heures. Nous avons voulu étudier l'influence de cette remise à l'air sur la quantité d'oxyde après le traitement  $\text{NH}_4\text{OH}$  qui n'a pas de propriété passivante. Nous avons d'abord étudié la cinétique de recroissance d'oxyde sur une épitaxie de GaAs/Si. Puis nous avons réalisé des capacités où la surface a été volontairement remise à l'air avant dépôt ALD.

#### (a) Cinétique de recroissance d'oxyde de GaAs

Le traitement à base d'ammoniaque utilisé sur échantillon a donc été transféré sur un équipement 300mm de traitement chimique de surface de l'équipementier DNS et a été testé sur une épitaxie de GaAs crue sur un substrat Si 300mm. A ce moment-là, nous n'avons pas d'épitaxie d'InGaAs pour cette étude donc nous l'avons faite sur GaAs. Cependant, nous pouvons supposer que la vitesse de recroissance des oxydes d'As et Ga sur InGaAs sera proche de celle du GaAs. La recroissance d'oxyde en fonction du temps après traitement  $\text{NH}_4\text{OH}$  a été étudiée par XPS. Sur la Figure 3-55, les pourcentages d'oxydes d'As et de Ga sont représentés en fonction du temps de remise à l'air. La proportion d'oxyde a été mesurée par XPS à l'état initial ( $t=0$ ) : environ 45% des liaisons

Ga et 35% des liaisons As sont oxydées. Ils ont été calculés sur les pics Ga3d et As3d. Après le traitement ammoniacal, la plaque a été transférée en 9min dans la chambre sous vide de l'XPS.



**Figure 3-55: Ratio oxydes/GaAs pour les éléments Ga (en rouge) et As (en bleu), calculé par XPS, en fonction de temps de remise à l'air d'une couche de GaAs crue sur un substrat Si 300mm.**

Comme le montrent les spectres XPS de la Figure 3-55, il reste des oxydes de Ga et As après traitement et remise à l'air, mais le pourcentage d'oxyde tombe à 13% et 15%, pour le Ga et l'As respectivement. Nous ne pouvons pas savoir s'il reste des résidus d'oxyde parce que le traitement ammoniacal n'est pas efficace ou bien à cause de quelques minutes de remise à l'air. En remettant la surface à l'air, la quantité d'oxyde se stabilise à partir de 30min. Après 8 jours de remise à l'air, le taux d'oxyde remonte à 35% et 27% pour le Ga et l'As respectivement.

Le traitement ammoniacal seul ne semble pas suffisant pour réduire la totalité des oxydes de GaAs. La reprise d'oxyde à l'air est rapide mais semble se stabiliser après 60min de remise à l'air. Il faut bien noter que cette étude ne prend pas en compte l'effet réducteur du dépôt d'Al<sub>2</sub>O<sub>3</sub>, observé dans la partie 3.1. Nous avons donc réalisé des capacités d'InGaAs, dont la surface a été exposée à différents temps de remise à l'air pour observer son effet sur les caractéristiques électriques.

### **(b) Effet de la remise à l'air sur les caractéristiques électriques**

Nous avons réalisé ces capacités sur des couches d'InGaAs épitaxiées sur substrat Si. La surface d'InGaAs a été volontairement remise à l'air après traitement NH<sub>4</sub>OH pendant 15min ou bien pendant 1heure avant le dépôt Al<sub>2</sub>O<sub>3</sub>. Les spectres XPS de l'interface InGaAs/Al<sub>2</sub>O<sub>3</sub> sont donnés sur la Figure 3-56. Quelle que soit la durée de remise à l'air, aucun oxyde d'In ou d'As n'est détecté. On retrouve la même quantité d'oxyde résiduel de Ga dans les deux cas. Malgré une exposition à l'air plus importante, et donc une recroissance des oxydes, l'effet « self-cleaning » du TMA réduit ces oxydes et neutralise l'exposition à l'air d'une heure.

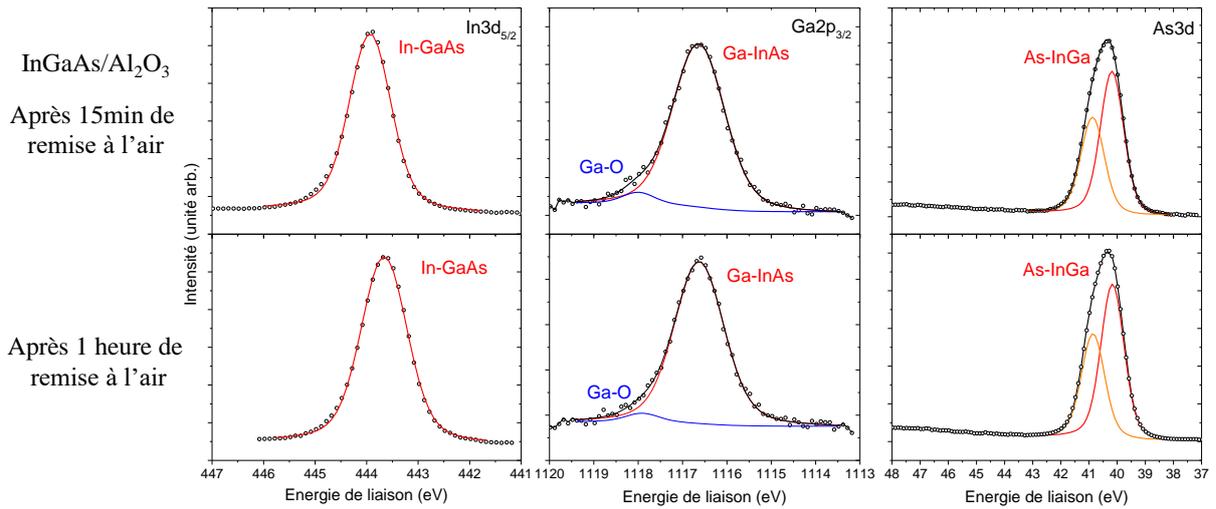


Figure 3-56: Spectres XPS de l'interface InGaAs/Al<sub>2</sub>O<sub>3</sub> sur substrat Si en fonction de la durée de remise à l'air entre le traitement NH<sub>4</sub>OH et le dépôt Al<sub>2</sub>O<sub>3</sub> : 15min de remise à l'air (en haut), comparé à 1h de remise à l'air (en bas).

Nous pouvons comparer aussi les caractéristiques C(V) de ces deux capacités sur la Figure 3-57.

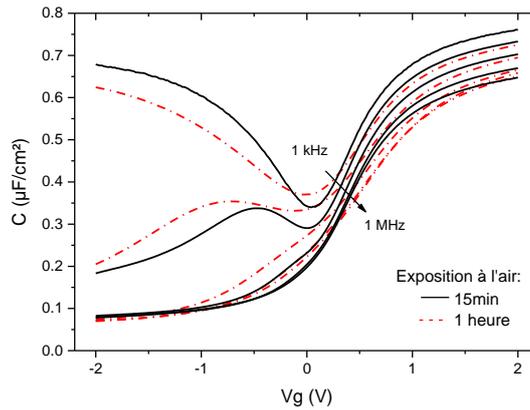


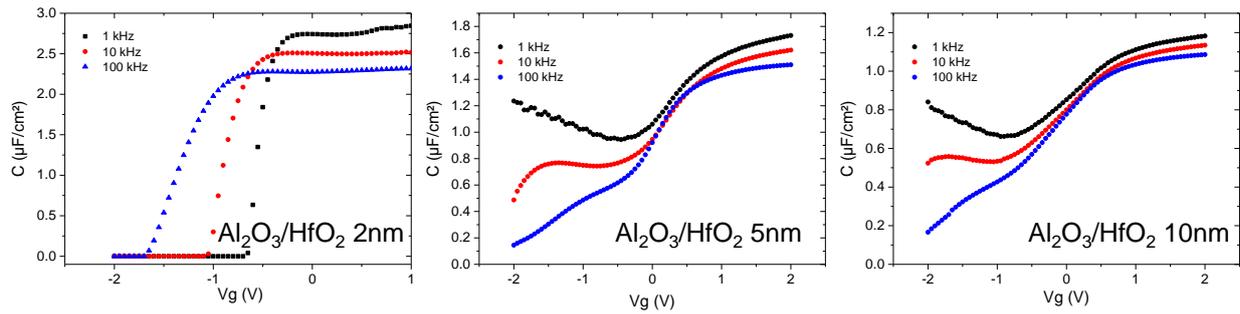
Figure 3-57: Courbes C(V) de 1kHz à 1MHz de capacités d'InGaAs/Al<sub>2</sub>O<sub>3</sub> (8nm) dans le cas où la surface d'InGaAs a été exposée 15 min à l'air (trait plein noir) ou 1 heure (trait pointillé rouge). Il s'agit d'une épitaxie d'InGaAs sur substrat Si.

On observe un faible décalage de  $V_{FB}$  après une heure de remise à l'air entre le traitement NH<sub>4</sub>OH et le dépôt Al<sub>2</sub>O<sub>3</sub>. La dépendance en fréquence est identique entre les deux échantillons et les valeurs de  $D_{it}$  sont aussi similaires. La remise à l'air ne semble pas avoir dégradé les caractéristiques électriques de la capacité. Cependant, la valeur du  $D_{it}$  pour l'échantillon de référence étant élevé ( $5 \times 10^{12} \text{eVcm}^{-2}$ ), l'effet de la remise à l'air peut ne pas être significatif. Nous pourrions mieux étudier l'effet de la remise à l'air en partant d'une valeur référence de l'ordre de  $10^{11} \text{eVcm}^{-2}$ .

### 6.5.2. Comparaison des diélectriques

Le bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> optimisé sur des échantillons InGaAs/InP a été transféré sur substrat 300mm. La couche intermédiaire d'Al<sub>2</sub>O<sub>3</sub> a été maintenue à la même épaisseur que pour les précédents essais sur InGaAs/InP, soit 8 cycles ALD (~1,4nm). L'épaisseur

d'HfO<sub>2</sub> atteint selon les plaques 2, 5 et 10nm. Les courbes C(V) des différents diélectriques sont présentées dans la Figure 3-58.

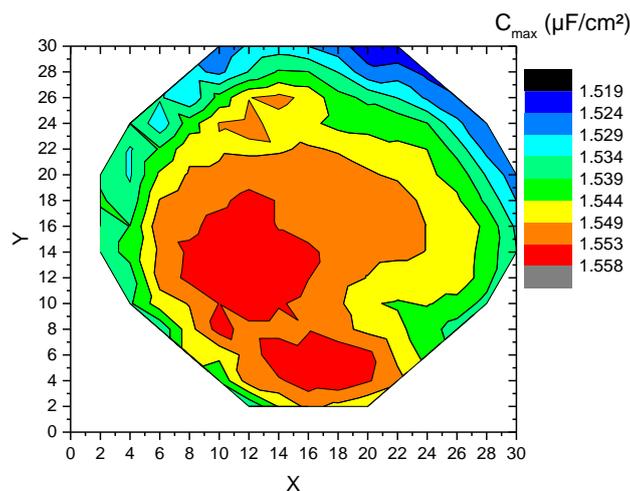


**Figure 3-58: Courbes C(V) à 1, 10 et 100kHz pour les bicouches avec différentes épaisseurs d'HfO<sub>2</sub> : 2, 5, ou 10nm.**

La mesure C(V) n'est pas possible dans le cas du bicouche le plus fin (2nm d'HfO<sub>2</sub>) car le courant de fuite est trop important, que ce soit sur les plaques 300mm ou sur l'échantillon. Pourtant, la même épaisseur de diélectrique donnait une capacité mesurable dans les précédents essais sur InGaAs épitaxié sur InP. L'épaisseur du diélectrique est certainement trop faible par rapport à la rugosité de l'InGaAs crû sur substrat Si (R<sub>RMS</sub> ~2nm). Le dépôt TiN/Cu a probablement dégradé encore plus le diélectrique. En augmentant l'épaisseur d'HfO<sub>2</sub> jusqu'à 5nm, la capacité devient mesurable. Nous allons nous concentrer sur le bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> 5nm pour la suite des extractions électriques.

### 6.5.3. Uniformité des capacités sur substrat 300mm

Malgré la présence de charges dans le diélectrique, les mesures nous permettent d'évaluer l'uniformité du dépôt bicouche que nous avons élaboré, et de l'épitaxie d'InGaAs sur substrat Si. Les capacités de 50×50μm<sup>2</sup> ont été mesurées sur une centaine de points sur toute la plaque 300mm. La Figure 3-59 représente la cartographie de la capacité maximum mesurée à V<sub>g</sub> = 2V sur la plaque 300mm.



**Figure 3-59: Cartographie de la variation de capacité maximum à 100kHz sur toute la plaque. Le gradient de capacité va de à 1,52 μF/cm<sup>2</sup> (en bleu) à 1,56 μF/cm<sup>2</sup> (en rouge).**

La capacité moyenne à 100kHz est de 1,54μF/cm<sup>2</sup>, soit un CET de 2 nm. Nous avons reproduit le même CET que dans le cas InGaAs/InP. L'écart moyen sur la plaque est

seulement de 0,5% ce qui montre la bonne homogénéité du dépôt du bicouche sur la plaque, malgré le faible nombre de cycles TMA/H<sub>2</sub>O. On observe une légère variation de la capacité sur la plaque qui est due à une faible surépaisseur du dépôt sur les bords de la plaque car l'injection des précurseurs est latérale. Le bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> élaboré sur échantillon a été transféré sur une épitaxie III-V 300mm avec succès.

### Conclusion du chapitre 3

Nous avons réalisé des capacités MOS sur InGaAs afin d'évaluer la qualité de l'interface entre l'InGaAs et le diélectrique de grille dans les deux perspectives d'intégration : InGaAs-OI et pseudo-OI. Dans le premier cas, l'interface a été évaluée sur une couche d'InGaAs épitaxiée sur InP, donc en accord de maille. Nous avons tout d'abord comparé l'efficacité du nettoyage NH<sub>4</sub>OH par rapport à la solution d'(NH<sub>4</sub>)<sub>2</sub>S, couramment employée pour les III-V mais non envisageable dans un environnement industriel. Le traitement ammoniacal, suivi du dépôt ALD d'Al<sub>2</sub>O<sub>3</sub>, s'est avéré efficace pour réduire les oxydes d'As et d'In, notamment grâce à l'effet « self-cleaning » du précurseur TMA. Il reste cependant des oxydes de Ga. La densité d'états d'interface évaluée à  $2 \times 10^{12} \text{eV}^{-1} \text{cm}^{-2}$  près de la bande de conduction, est comparable aux valeurs mentionnées dans la littérature pour le même empilement et traitement de surface. Néanmoins, cette valeur de  $D_{it}$  reste élevée par rapport à une interface Si/SiO<sub>2</sub>. Les analyses DLTS complémentaires sur les capacités MOS ont été réalisées sur des épitaxies MOCVD et MBE. Elles ont révélé que la qualité d'interface entre l'InGaAs et l'InP était différente selon le mode d'épitaxie. En effet, un ancrage du niveau de Fermi au niveau de cette interface a été observé uniquement sur les épitaxies MOCVD. Pour réduire les  $D_{it}$  à l'interface InGaAs/Al<sub>2</sub>O<sub>3</sub>, nous avons alors exploré un traitement plasma in-situ à base d'NH<sub>3</sub> afin de combler les liaisons pendantes à l'interface et de réduire les oxydes de III-V. Cette méthode a été élaborée par une équipe de l'université de Tokyo avec un plasma ECR haute densité. Nous avons reproduit ce traitement avec le plasma de la chambre PEALD couplé à la chambre de dépôt ALD, afin d'éviter une remise à l'air entre le plasma nitrurant et le dépôt diélectrique. Le traitement a permis d'incorporer de l'azote à travers une fine couche d'Al<sub>2</sub>O<sub>3</sub> sans endommager la capacité. L'azote s'est principalement lié au Ga mais, pour le moment, aucun effet bénéfique n'a été observé sur la densité d'états d'interface. Nous nous sommes aussi concentrés sur la réduction de l'EOT en remplaçant l'Al<sub>2</sub>O<sub>3</sub> par un bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> afin de profiter de la bonne qualité d'interface avec l'Al<sub>2</sub>O<sub>3</sub> et la permittivité élevée de l'HfO<sub>2</sub>. Les procédés de traitement et de dépôt ont ensuite été transférés sur des couches d'InGaAs et GaAs directement épitaxiées sur substrat Si. Nous avons ainsi évalué l'interface III-V/diélectrique dans le cas d'une intégration pseudo-OI, où le canal d'InGaAs est épitaxié directement sur substrat Si. De nombreuses charges ont été introduites dans le diélectrique à cause du dépôt TiN/Cu, trop puissant. De nouveaux procédés de dépôt ont été optimisés et seront adoptés pour les prochaines plaques. Les caractéristiques C(V) sont néanmoins exploitables pour apprécier l'uniformité des dispositifs sur la plaque

300nm. La capacité maximale est très peu dispersée sur toute la plaque pour le bicouche  $\text{Al}_2\text{O}_3/\text{HfO}_2$  5nm malgré le faible nombre de cycles TMA/ $\text{H}_2\text{O}$ . Les capacités réalisées sur des couches d'InGaAs épitaxiées sur InP ou sur Si, montrent les mêmes caractéristiques  $C(V)$  et une valeur de  $D_{it}$  similaire. Le bicouche aux dimensions les plus agressives,  $\text{Al}_2\text{O}_3/\text{HfO}_2$  2nm présente un niveau de fuite élevé dans le cas InGaAs/Si et non dans le cas InGaAs/InP, probablement à cause de la rugosité importante lors de l'épitaxie sur Si. Par contre, pour un diélectrique un peu plus épais, la qualité d'interface est similaire dans les deux stratégies d'intégration. La stratégie d'épitaxie directe sur substrat Si est donc une stratégie d'intégration valable pour la réalisation de transistor III-V. Une rugosité plus faible doit cependant être atteinte afin de diminuer l'épaisseur du diélectrique et atteindre un EOT inférieur à 1nm.

---

# Conclusion générale & perspectives

---

L'objectif de ces travaux était l'intégration de dispositifs tri-gate à canal  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sur substrat Silicium sur une plateforme Si CMOS. Jusqu'au début de cette thèse, aucun transistor III-V n'avait été conçu dans les salles blanches du Leti. Nous avons donc élaboré la succession des étapes de fabrication du transistor III-V à grande échelle. Nous nous sommes particulièrement concentrés sur l'optimisation de l'interface  $\text{InGaAs}/\text{Al}_2\text{O}_3$  afin de réduire la quantité d'oxyde de III-V, tout d'abord sur échantillons puis sur des épitaxies d' $\text{InGaAs}$  sur substrat Si 300mm.

Dans le **chapitre 1**, nous avons détaillé l'intérêt d'incorporer les matériaux III-V sur substrat Silicium. La co-intégration rapprochée des semi-conducteurs III-V et du Silicium permettrait de profiter, à la fois des propriétés uniques de ces matériaux, et aussi des lignes industrielles de la microélectronique. L'intégration de matériaux III-V comme canal des transistors MOSFET est également une voie explorée pour le « Beyond CMOS », afin de tirer profit de la forte mobilité électronique des III-V. Nous avons ensuite montré les défis à surmonter pour intégrer une couche III-V sur substrat Si. L'épitaxie sur substrat Si engendre de nombreux défauts cristallins nuisibles à la mobilité des électrons. Plusieurs méthodes d'intégration sont explorées par la communauté scientifique pour diminuer la quantité de défauts. Nous avons choisi de comparer deux stratégies d'intégration : l'épitaxie directe du canal d' $\text{InGaAs}$  sur Si et le report par collage moléculaire d'une couche d' $\text{InGaAs}$  épitaxiée sur InP. L'épitaxie directe a l'avantage d'être rapide et moins coûteuse que le collage depuis un substrat InP. Jusqu'à présent, les MOSFETs III-V dont les performances dépassent celles du Si sont élaborés sur substrat III-V et non sur substrat Si. De plus, leurs procédés de fabrication ne sont pas adaptés aux dimensions agressives et à la production à grande échelle.

Parmi les obstacles qui limitent encore les performances des transistors III-V aux nœuds avancés, nous pouvons citer :

- la faible masse effective des électrons entraîne un plus fort confinement quantique pour les FinFET et nanofils à très faible dimension, et augmente la tension de seuil. Un excellent couplage électrostatique est alors nécessaire pour éviter une forte dégradation des caractéristiques électriques en réduisant les dimensions des Fin et nanofils.
- la forte densité de défauts d'interface ( $\sim 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ ) entre le canal III-V et le diélectrique de grille augmente également la pente sous le seuil et réduit le courant  $I_{\text{ON}}$ . Cependant, les récents progrès réalisés pour le dépôt du diélectrique de grille ont permis d'élaborer des FinFETs III-V sur Silicium avec une pente sous le seuil de 80mV/dec [DJARA15].

- les résistances de contact sur la source et le drain restent encore trop élevées pour tirer profit de la forte mobilité des porteurs.

En 2015, le premier circuit CMOS à base de SiGe/InGaAs a été réalisé par IBM, démontrant la capacité de co-intégration de ces matériaux sur une plateforme CMOS Si.

Le **chapitre 2** nous a permis de comparer les stratégies de réalisation des transistors III-V sur Si, le collage moléculaire et l'épithaxie directe sur Si. Avant le début de ces travaux, aucun procédé de fabrication d'un MOSFET au Leti n'était adapté aux matériaux III-V. Nous avons donc développé l'enchaînement des étapes pour la réalisation du MOSFET III-V sur substrat Si 200mm, en prenant en compte les contraintes de contamination des équipements. Les principales étapes qui ont été développées sont :

- la définition de la zone active tri-gate par gravure sèche [**BIZOUERNE17**]
- le traitement de surface compatible avec les équipements 200/300mm et le dépôt du diélectrique de grille Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> par ALD
- la réalisation de l'intermétallique Ni-InGaAs pour le contact des source et drain [**RODRIGUEZ16**].

Les transistors III-V pourront être mesurés au début de l'année 2017.

Le **chapitre 3** a consisté à optimiser l'interface InGaAs/diélectrique de grille, puisque c'est l'une des étapes clés de la fabrication du transistor. Nous avons commencé par étudier la solution d'ammoniaque pour désoxyder la surface d'InGaAs à la place de la solution d'(NH<sub>4</sub>)<sub>2</sub>S couramment utilisée, mais incompatible avec la plateforme Si. Le traitement NH<sub>4</sub>OH, couplé à l'effet réducteur du TMA lors du dépôt Al<sub>2</sub>O<sub>3</sub> s'avère efficace pour réduire les oxydes. La densité d'états d'interface, identique pour NH<sub>4</sub>OH et (NH<sub>4</sub>)<sub>2</sub>S, reste importante pour atteindre de faibles pentes sous le seuil mais n'empêche pas pour autant le fonctionnement du transistor. Un traitement plasma a été élaboré dans la chambre PEALD, couplée à la chambre de dépôt ALD afin d'essayer de réduire la densité d'états d'interface en remplaçant les liaisons Ga-O par des liaisons Ga-N. Les analyses XPS ont montré que des liaisons Ga-N ont été préférentiellement créées mais elles n'ont pas réduit le D<sub>it</sub>. Nous avons ensuite cherché à augmenter la capacité de la grille en remplaçant l'Al<sub>2</sub>O<sub>3</sub> par un bicouche Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>. Le CET minimum atteint est de 2 nm sur une épithaxie d'InGaAs sur InP. Ce bicouche de 3,5nm d'épaisseur présente un fort niveau de fuite lorsqu'il est transféré sur une épithaxie d'InGaAs sur Si. L'épaisseur du diélectrique est certainement trop proche de la rugosité de l'InGaAs. Il sera nécessaire de réduire cette rugosité afin d'atteindre des faibles EOT. Nous envisageons donc d'ajouter une étape de planarisation. Une cartographie de la capacité InGaAs/Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> sur substrat Si 300mm a pu être réalisée avec un bicouche un peu plus épais (CET=2,5nm). La capacité est homogène sur l'ensemble de la plaque, malgré le faible nombre de cycles de TMA/H<sub>2</sub>O pour l'Al<sub>2</sub>O<sub>3</sub>.

Malgré les progrès réalisés ces dernières années, la réalisation de MOSFET III-V à des longueurs de grille agressives ( $L_g < 20\text{nm}$ ) et montrant une faible variabilité à l'échelle d'un substrat 300mm demandera encore beaucoup d'optimisation.

Ces recherches sont cependant intéressantes pour d'autres applications que la logique VLSI. Elles peuvent également profiter à l'intégration hétérogène de dispositifs III-V avec des circuits CMOS Si. Traditionnellement, les « Multi-chip Module » assemblent les différentes fonctions, radiofréquences et CMOS par exemple. Les progrès réalisés en packaging ont permis de réduire la taille de ces modules, mais cette approche reste limitée en taille et induit des pertes au niveau des interconnexions [KAZIOR14]. L'intégration hétérogène des dispositifs III-V et des circuits CMOS sur des substrats Si permettrait d'intégrer les fonctions de calcul et de traitement du signal au sein d'une même puce. Des travaux de SOITEC et Raytheon ont déjà montré une co-intégration rapprochée de transistors HBT (à base d'InP) et de CMOS Si sur substrat Si de diamètre 200mm (cf. figure 3) [LAROCHE09][KAZIOR14]. Les HEMT III-V sont également pressentis pour les communications sans fil dans le domaine du terahertz, qui pourraient être utilisées dans le futur réseau 5G [AKYILDIZ14]. Les matériaux III-V peuvent également être employés pour des fonctions optiques au cœur des puces. Les principaux avantages de cette intégration seraient la forte compacité du circuit et les fortes performances des lasers III-V.

Toutes ces réalisations demandent l'intégration rapprochée de matériaux III-V sur les lignes industrielles de la microélectronique. Leur intégration sur silicium telle que proposée dans cette thèse, prépare cette nouvelle génération de dispositifs hétérogènes.

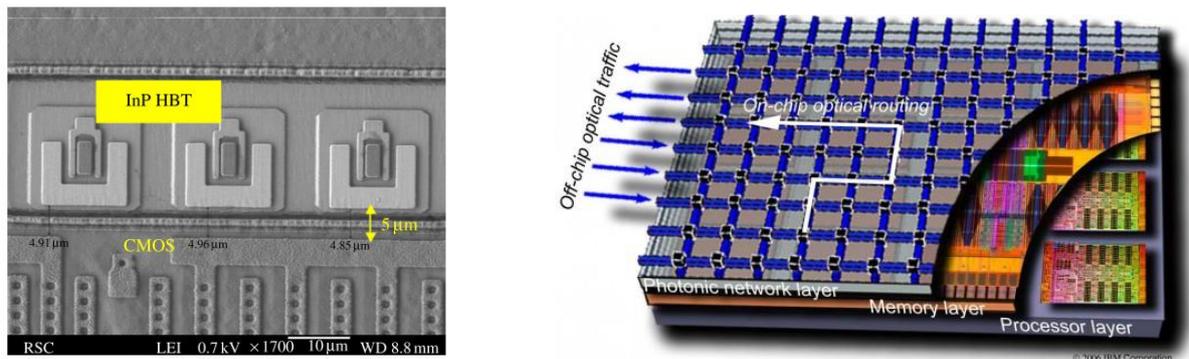


Figure 3: A gauche, co-intégration de HBT à base d'InP et de circuits CMOS [KAZIOR14] et à droite, schéma illustrant l'intégration de fonctions optiques avec les processeurs [IBM].



## Références

- Adachi S.(2005).***Properties of Group-IV, III-V and II-VI Semiconductors.* John Wiley & Sons.
- Ahn J, Kent T, Chagarov E, Tang K, Kummel AC, and McIntyre PC.(2013).**“Arsenic Decapping and Pre-Atomic Layer Deposition Trimethylaluminum Passivation of Al<sub>2</sub>O<sub>3</sub>/InGaAs(100) Interfaces.” *Applied Physics Letters* 103 (7).
- Akiyama M, Kawarada Y, and Kaminishi K.(1984).**“Growth of Single Domain GaAs Layer on (100)-Oriented Si Substrate by MOCVD.” *Japanese Journal of Applied Physics* 23 (11).
- Akyildiz IF, Jornet JM, and Han C.(2014).**“Terahertz Band: Next Frontier for Wireless Communications.” *Physical Communication* 12. Elsevier B.V.
- Alcotte R, Martin M, Moeyaert J, Cipro R, David S, Bassani F, Ducroquet F, Bogumilowicz Y, Sanchez E, Ye Z, Bao XY, Pin JB, and Baron T.(2016).**“Epitaxial Growth of Antiphase Boundary Free GaAs Layer on 300 Mm Si(001) Substrate by Metalorganic Chemical Vapour Deposition with High Mobility.” *APL Materials* 4 (4).
- Asimov I.(1964).**“Visit to the World’s Fair of 2014.” *The New York Times on the Web*, 1–6.
- Ayers J. .(2007).***Heteroepitaxy of Semiconductors: Theory, Growth and Characterization.*
- Bangsaruntip S, Balakrishnan K, Cheng SL, Chang J, Brink M, Lauer I, Bruce RL, Engelmann SU, Pyzyna A, Cohen GM, Gignac LM, Breslin CM, Newbury JS, Klaus DP, Majumdar A, Sleight JW, and Guillorn MA.(2013).**“Density Scaling with Gate-All-around Silicon Nanowire MOSFETs for the 10 Nm Node and beyond.” *Technical Digest - International Electron Devices Meeting, IEDM*, 526–29.
- Besson P, Roure MC, Kachtouli R, Jourdan M, Gabette L, Royer A, and Loup V.(2015).**“Backside and Bevel Contamination Removal.” *Solid State Phenomena* 219.
- Bizouerne M.(2017).**“Développement de Procédés de Gravure Plasma Pour L’intégration de Matériaux III-V Comme Canal de Transistor nMOSFET Pour Les Noeuds Technologiques Sub-11nm.”
- Bolkhovityanov YB, and Pchelyakov OP.(2008).**“GaAs Epitaxy on Si Substrates: Modern Status of Research and Engineering.” *Physics-Uspekhi* 178 (5).
- Bolkhovityanov YB, and Pchelyakov OP.(2009).**“III-V Compounds-on-Si: Heterostructure Fabrication, Application and Prospects.” *The Open Nanoscience Journal* 3 (1).
- Bonnetier S, Imbert B, Hopstaken M, Galpin D, Gwoziecki R, Barge D, Zoll S, Anilturk O, Sicurani E, Caillat C, Barr A, Gonella R, Espinoux Y, Mur P, Mayet N, Gotti A, and Basso MT.(2007).**“Silicide Pre-Clean Effects on NiPtSi Thermal Stability for 65 Nm Technologies and beyond.” *Microelectronic Engineering* 84 (11).
- Brammertz G, Lin H-CC, Caymax M, Meuris M, Heyns M, and Passlack M.(2009).**“On the Interface State Density at In<sub>0.53</sub>Ga<sub>0.47</sub>As/oxide Interfaces.” *Applied Physics Letters* 95 (2009).
- Castagne R, and Vapaille A.(1971).**“Description of the SiO<sub>2</sub>-Si Interface Properties by Means of Very Low Frequency MOS Capacitance Measurements.” *Surface Science* 28 (680).
- Chang CH, Chiou YK, Chang YC, Lee KY, Lin TD, Wu TB, Hong M, and Kwo J.(2006).**“Interfacial Self-Cleaning in Atomic Layer Deposition of HfO<sub>2</sub> Gate Dielectric on In<sub>0.15</sub>Ga<sub>0.85</sub>As.” *Applied Physics Letters* 89 (24).
- Chen R, and Dayeh SA.(2015).**“Size and Orientation Effects on the Kinetics and Structure

- of Nickelide Contacts to InGaAs Fin Structures." *Nano Letters* 15 (6).
- Cheng C-H, and Hsin C-L.(2014).**"A Novel Silicide and Germanosilicide by NiCo Alloy for Si and SiGe Source/drain Contact with Improved Thermal Stability." *CrystEngComm* 16 (48). Royal Society of Chemistry.
- Cheng Z, Park JS, Bai J, Li J, Hydrick J, and Fiorenza J.(2008).**"Aspect Ratio Trapping Heteroepitaxy for Integration of Germanium and Compound Semiconductors on Silicon." *International Conference on Solid-State and Integrated Circuits Technology Proceedings, ICSICT*, 1425–28.
- Chevalier P.(1999).**"Le Transistor HEMT: Du Matériau Au Composant." *Polytech Lille*. <http://www.polytech-lille.fr/cours-transistor-effet-champ/hemt/hemtc1a.htm>.
- Chiu HC, Tung LT, Chang YH, Lee YJ, Chang CC, Kwo J, Hong M, and Al A.(2008).**"Achieving a Low Interfacial Density of States in Atomic Layer Deposited Al<sub>2</sub>O<sub>3</sub> on In<sub>0.53</sub>Ga<sub>0.47</sub>As." *Applied Physics Letters* 93 (2008).
- Chobpattana V, Mikheev E, Zhang JY, Mates TE, and Stemmer S.(2014).**"Extremely Scaled High-k/In<sub>0.53</sub>Ga<sub>0.47</sub>As Gate Stacks with Low Leakage and Low Interface Trap Densities." *Journal of Applied Physics* 116 (12).
- Chriqui Y.(2005).**"Intégration Monolithique Sur Silicium D'émetteurs de Lumière À Base de GaAs Par Épitaxie En Phase Vapeur Aux Organométalliques Sur Pseudo-Substrat de Ge / Si." Université Paris VI.
- Chu LK, Merckling C, Alian a., Dekoster J, Kwo J, Hong M, Caymax M, and Heyns M.(2011).**"Low Interfacial Trap Density and Sub-Nm Equivalent Oxide Thickness in In<sub>0.53</sub>Ga<sub>0.47</sub>As (001) Metal-Oxide-Semiconductor Devices Using Molecular Beam Deposited HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> as Gate Dielectrics." *Applied Physics Letters* 99 (4).
- Chuang LC, Moewe M, Chase C, Kobayashi NP, Chang-Hasnain C, and Crankshaw S.(2007).**"Critical Diameter for III-V Nanowires Grown on Lattice-Mismatched Substrates." *Applied Physics Letters* 90 (4).
- Cipro R.(2016).**"Épitaxie En Phase Vapeur Aux Organométalliques et Caractérisation de Semi-Conducteurs III-As Sur Substrat Silicium Dans Une Plateforme Microélectronique." Université Grenoble Alpes.
- Colinge J-P, and Greer JC.(2016).***Nanowire Transistors: Physics of Devices and Materials in One Dimension*. Cambridge University Press.
- Czornomaz L.(2016).**"Hybrid InGaAs / SiGe Technology Platform for CMOS Applications." Université Grenoble Alpes.
- Czornomaz L, Daix N, Kerber P, Lister K, Caimi D, Rossel C, Sousa M, Uccelli E, and Fompeyrine J.(2013).**"Scalability of Ultra-Thin-Body and BOX InGaAs MOSFETs on Silicon." In *European Solid-State Device Research Conference*, 143–46.
- Czornomaz L, El Kazzi M, Hopstaken M, Caimi D, Mächler P, Rossel C, Bjoerk M, Marchiori C, Siegart H, and Fompeyrine J.(2012).**"CMOS Compatible Self-Aligned S/D Regions for Implant-Free InGaAs MOSFETs." *Solid-State Electronics* 74.
- Czornomaz L, Uccelli E, Sousa M, Deshpande V, Djara V, Caimi D, Rossell MD, Erni R, and Fompeyrine J.(2015).**"Confined Epitaxial Lateral Overgrowth (CELO): A Novel Concept for Scalable Integration of CMOS-Compatible InGaAs-on-Insulator MOSFETs on Large-Area Si Substrates." In *Digest of Technical Papers - Symposium on VLSI Technology*, T172–73.
- del Alamo JA.(2011).**"Nanometre-Scale Electronics with III–V Compound Semiconductors." *Nature* 479 (7373).

- del Alamo JA, Antoniadis DA, Lin J, Lu W, Vardi A, and Zhao XIN.(2016).**“Nanometer-Scale III-V MOSFETs.” *Journal of the Electron Devices Society* 4 (5).
- Dey AW, Thelander C, Lind E, Dick KA, Borg BM, Borgstrom M, Nilsson P, and Wernersson LE.(2012).**“High-Performance InAs Nanowire MOSFETs.” *IEEE Electron Device Letters* 33 (6).
- Djara V, Cherkaoui K, Schmidt M, Monaghan S, O’Connor E, Povey IM, O’Connell D, Pemble ME, and Hurley PK.(2012).**“Impact of Forming Gas Annealing on the Performance of Surface-Channel InGaAs MOSFETs with an ALD Al<sub>2</sub>O<sub>3</sub> Gate Dielectric.” *IEEE Transactions on Electron Devices* 59 (4).
- Djara V, Deshpande V, Sousa M, Caimi D, Czornomaz L, and Fompeyrine J.(2016).**“CMOS-Compatible Replacement Metal Gate InGaAs-OI FinFET With ION=156μA/μm at VDD= 0.5V and IOFF=100nA/μm.” *IEEE Electron Device Letters* 37 (2).
- Djara V, Deshpande V, Uccelli E, Daix N, Caimi D, Rossel C, Sousa M, Siegwart H, Marchiori C, Hartmann JM, Shiu KT, Weng CW, Krishnan M, Lofaro M, Steiner R, Sadana D, Lubyshev D, Liu A, Czornomaz L, and Fompeyrine J.(2015).**“An InGaAs on Si Platform for CMOS with 200 Mm InGaAs-OI Substrate, Gate-First, Replacement Gate Planar and FinFETs down to 120 Nm Contact Pitch.” *Digest of Technical Papers - Symposium on VLSI Technology 2015–August*.
- Djara V, Sousa M, Dordevic N, Czornomaz L, Deshpande V, Marchiori C, Uccelli E, Caimi D, Rossel C, and Fompeyrine J.(2015).**“Low Dit HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/In<sub>0.53</sub>Ga<sub>0.47</sub>As Gate Stack Achieved with Plasma-Enhanced Atomic Layer Deposition.” *Microelectronic Engineering* 147.
- Engel-Herbert R, Hwang Y, and Stemmer S.(2010).**“Comparison of Methods to Quantify Interface Trap Densities at dielectric/III- V Semiconductor Interfaces.” *Journal of Applied Physics* 108 (124101).
- Ferain I, Colinge C a., and Colinge J-P.(2011).**“Multigate Transistors as the Future of Classical Metal–oxide–semiconductor Field-Effect Transistors.” *Nature* 479 (7373).
- Framablog.(2013).**“Comment Isaac Asimov Voyait 2014 En 1964.” <https://framablog.org>.
- George I, Becagli F, Liu HY, Wu J, Tang M, and Beanland R.(2015).**“Dislocation Filters in GaAs on Si.” *Semiconductor Science and Technology* 30 (11).
- Gu JJ, Wang XW, Wu H, Shao J, Neal AT, Manfra MJ, Gordon RG, and Ye PD.(2012).**“20 – 80nm Channel Length InGaAs Gate-All-around Nanowire MOSFETs with EOT= 1.2nm and Lowest SS = 63mV/dec.” *Technical Digest - International Electron Devices Meeting, IEDM* 335.
- Hageman PR, de Croon MHJM, Reek JNH, and Giling LJ.(1992).**“Pressure and Temperature Dependence of Silicon Doping of GaAs Using Si<sub>2</sub>H<sub>6</sub> in Metalorganic Chemical Vapour Deposition.” *Journal of Crystal Growth* 116 (1–2).
- Hertel O.(2016).**“La Guerre de L’intelligence Artificielle Est Déclarée.” *Sciences et Avenir* 11/2016. [http://www.sciencesetavenir.fr/high-tech/intelligence-artificielle/la-guerre-de-l-intelligence-artificielle-est-declaree\\_108261](http://www.sciencesetavenir.fr/high-tech/intelligence-artificielle/la-guerre-de-l-intelligence-artificielle-est-declaree_108261).
- Hiblot G.(2015).**“Compact Modeling of MOSFET Transistors with III-V.” Université de Grenoble.
- Higham E.(2015).**“A Retrospective and a Forecast for the RF Semiconductor Industry.” *High Frequency Electronics*. [highfrequencyelectronics.com](http://highfrequencyelectronics.com).
- Hinkle CL, Milojevic M, Brennan B, Sonnet a. M, Aguirre-Tostado FS, Hughes GJ,**

- Vogel EM, and Wallace RM.(2009).**“Detection of Ga Suboxides and Their Impact on III-V Passivation and Fermi-Level Pinning.” *Applied Physics Letters* 94 (16).
- Hinkle CL, Sonnet a. M, Vogel EM, McDonnell S, Hughes GJ, Milojevic M, Lee B, Aguirre-Tostado FS, Choi KJ, Kim J, and Wallace RM.(2007).**“Frequency Dispersion Reduction and Bond Conversion on N -Type GaAs by in Situ Surface Oxide Removal and Passivation.” *Applied Physics Letters* 91 (16).
- Hinkle CL, Vogel EM, Ye PD, and Wallace RM.(2011).**“Interfacial Chemistry of Oxides on  $\text{In}_x\text{Ga}_{(1-x)}\text{As}$  and Implications for MOSFET Applications.” *Current Opinion in Solid State and Materials Science* 15 (5).
- Hollinger G, Skheyta-Kabbani R, and Gendry M.(1994).**“Oxides on GaAs and InAs Surfaces: An X-Ray-Photoelectron-Spectroscopy Study of Reference Compounds and Thin Oxide Layers.” *Physica Review B* 49 (16).
- Hoshii T, Lee S, Suzuki R, Taoka N, Yokoyama M, Yamada H, Hata M, Yasuda T, Takenaka M, and Takagi S.(2012).**“Reduction in Interface State Density of  $\text{Al}_2\text{O}_3/\text{InGaAs}$  Metal-Oxide-Semiconductor Interfaces by InGaAs Surface Nitridation.” *Journal of Applied Physics* 112 (7).
- Howes MJ.(1985).***Gallium Arsenide: Materials, Devices, and Circuits.*
- Hu CC.(2010).***Chapter 5: MOS Capacitor. Modern Semiconductor Devices for Integrated Circuits.*
- Huang ML, Chang YC, Chang CH, Lee YJ, Chang P, Kwo J, Wu TB, and Hong M.(2005).**“Surface Passivation of III-V Compound Semiconductors Using Atomic-Layer-Deposition-Grown  $\text{Al}_2\text{O}_3$ .” *Applied Physics Letters* 87 (25).
- Hurley P, O’Connor E, Djara V, Monaghan S, Povey I, Long R, Sheehan B, Lin J, McIntyre P, Brennan B, Wallace R, Pemble M, and Cherkaoui K.(2013).**“The Characterization and Passivation of Fixed Oxide Charges and Interface States in the  $\text{Al}_2\text{O}_3/\text{InGaAs}$  MOS System.” *IEEE Transactions on Device and Materials Reliability* 13 (4).
- Kawabe M, and Ueda T.(1987).**“Self-Annihilation of Antiphase Boundary in GaAs on  $\text{Si}(100)$  Grown by Molecular Beam Epitaxy.” *Japanese Journal of Applied Physics* 26 (110).
- Kazior TE.(2014).**“Beyond CMOS: Heterogeneous Integration of III-V Devices, RF MEMS and Other Dissimilar Materials/devices with Si CMOS to Create Intelligent Microsystems.” *Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences* 372 (20130105).
- Kim S, Ikku Y, Yokoyama M, Nakane R, Li J, Kao YC, Takenaka M, and Takagi S.(2014).**“Direct Wafer Bonding Technology for Large-Scale InGaAs-on-Insulator Transistors.” *Applied Physics Letters* 105 (4).
- Kim S, Yokoyama M, Taoka N, Nakane R, Yasuda T, Ichikawa O, Fukuhara N, Hata M, Takenaka M, and Takagi S.(2012).**“In  $0.53\text{Ga}_{0.47}\text{As}$  Metal-Oxide-Semiconductor Field-Effect Transistors with Self-Aligned Metal Source/drain Using Co-InGaAs Alloys.” *Applied Physics Letters* 100 (7).
- Kim S-H, Yokoyama M, Taoka N, Iida R, Lee S, Nakane R, Urabe Y, Miyata N, Yasuda T, Yamada H, Fukuhara N, Hata M, Takenaka M, and Takagi S.(2010).**“Self-Aligned Metal Source/Drain  $\text{In}_x\text{Ga}_{1-x}\text{As}$  N-MOSFETs Using Ni-InGaAs Alloy.” *Technical Digest - International Electron Devices Meeting, IEDM*, 596–99.
- Klejna S, and Elliott S.(2012).**“First-Principles Modeling of The ‘clean-Up’ of Native Oxides during Atomic Layer Deposition onto III-V Substrates.” *Journal of Physical Chemistry C* 116 (1).

- Lang D V.(1974).**“Deep-Level Transient Spectroscopy: A New Method to Characterize Traps in Semiconductors.” *Journal of Applied Physics* 45 (7).
- Laroche JR, Hoke WE, Kazior TE, Urteaga M, Ha W, Bergman J, Choe MJ, Brar B, Bulsara MT, Fitzgerald E a, Smith D, Clark D, and Thompson R.(2009).**“Monolithically Integrated III-V and Si CMOS Devices on Silicon on Lattice Engineered Substrates ( SOLES ).” In *CS MANTECH Conference*, 18–20.
- Laser Diode.(2014).***Chapter 5 : Application of Laser Diode.* Idselection.com.
- Lee S, Chobpattana V, Huang C-Y, Thibeault BJ, Mitchell W, Stemmer S, Gossard a C, and Rodwell MJW.(2014).**“Record Ion(0.50 mA/μm at VDD= 0.5 V and Ioff= 100 nA/μm) 25 Nm-Gate-Length ZrO<sub>2</sub>/InAs/InAlAs MOSFETs.” *2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers*, 1–2.
- Li JZ, Bai J, Major C, Carroll M, Lochtefeld A, and Shellenbarger Z.(2008).**“Defect Reduction of GaAs/Si Epitaxy by Aspect Ratio Trapping.” *Journal of Applied Physics* 103 (10).
- Lin HC, Wang WE, Brammertz G, Meuris M, and Heyns M.(2009).**“Electrical Study of Sulfur Passivated In<sub>0.53</sub>Ga<sub>0.47</sub>As MOS Capacitor and Transistor with ALD Al<sub>2</sub>O<sub>3</sub> as Gate Insulator.” *Microelectronic Engineering* 86 (7–9). Elsevier B.V.
- Lin J, Cai X, Wu Y, Antoniadis DA, and Del Alamo JA.(2016).**“Record Maximum Transconductance of 3.45 mS/μm for III-V FETs.” *IEEE Electron Device Letters* 37 (4).
- Lin J, Czornomaz L, Daix N, Antoniadis DA, and del Alamo JA.(2016).**“Ultrathin Body InGaAs MOSFETs on III-V-On-Insulator Integrated With Silicon Active Substrate (III-V-OIAS).” *IEEE Transactions on Electron Devices* 63 (8).
- Lin Y, Huang M-L, Chen C-Y, Chen M-K, Lin H-T, Tsai P, Lin C, Chang H-C, Lee T-L, Lo C, Jang S-M, Diaz CH, Hwang H-Y, Sun Y, and Chang EY.(2014).**“Low Interface Trap Density Al<sub>2</sub>O<sub>3</sub> /In<sub>0.53</sub> Ga<sub>0.47</sub> As MOS Capacitor Fabricated on MOCVD-Grown InGaAs Epitaxial Layer on Si Substrate.” *Applied Physics Express* 7 (4).
- Lind AG, Aldridge HL, Hatem C, Law ME, and Jones KS.(2016).**“Review—Dopant Selection Considerations and Equilibrium Thermal Processing Limits for N+ In<sub>0.53</sub>Ga<sub>0.47</sub>As.” *ECSJ. Solid State Sci. Technol.* 5 (5).
- Luce FP, Reboh S, Vilain E, Madeira F, Barnes JP, Rochat N, Salvetat T, Tauzin a., Milesi F, Mazen F, and Deguet C.(2014).**“Influence of Implantation Temperature on the Formation of Hydrogen-Related Defects in InP.” *Proceedings of the International Conference on Ion Implantation Technology*.
- Luo GL, Hsieh YC, Chang EY, Pilkuhn MH, Chien CH, Yang TH, Cheng CC, and Chang CY.(2007).**“High-Speed GaAs Metal Gate Semiconductor Field Effect Transistor Structure Grown on a Composite Ge/GexSi<sub>1-x</sub>/Si Substrate.” *Journal of Applied Physics* 101 (8).
- McVittie J.(2008).**“Fundamentals of Plasma Etching Part 2 - Focus on Plasma/surface Interactions.” *2008 NNIN Etch Workshop*.
- Milojevic M, Hinkle CL, Aguirre-Tostado FS, Kim HC, Vogel EM, Kim J, and Wallace RM.(2008).**“Half-Cycle Atomic Layer Deposition Reaction Studies of Al<sub>2</sub>O<sub>3</sub> on In<sub>0.2</sub>Ga<sub>0.8</sub>As (100) Surfaces.” *Applied Physics Letters* 93 (20).
- Monaghan S, O’Mahony A, Cherkaoui K, O’Connor E, Povey IM, Nolan MG, O’Connell D, Pemble ME, Hurley PK, Provenzano G, Crupi F, and Newcomb SB.(2011).**“Electrical Analysis of Three-Stage Passivated In<sub>0.53</sub>Ga<sub>0.47</sub>As Capacitors with Varying HfO<sub>2</sub> Thicknesses and Incorporating an Al<sub>2</sub>O<sub>3</sub> Interface Control Layer.” *Journal of Vacuum Science Technology B: Microelectronics and Nanometer Structures*

29 (1).

- Moreau M.(2010).**“Modelisation et Simulation Numerique Des Nano-Transistors Multi-Grilles a Materiaux Innovants.” Université de Provence (Aix-Marseille 1).
- Nemouchi F, Hutin L, Boutry H, Rodriguez P, Ghegin E, Borrel J, Morand Y, Kerdiles S, Batude P, and Vinet M.(2015).**“Challenges of 3D VLSI-CoolCube TM Process with P-Ge-OI and N-InGaAs-OI for Ultimate CMOS Nodes.” *Silicon Nanoelectronics Workshop (SNW), 2015*, 1–2.
- Nguyen ND, Wang G, Brammertz G, Leys M, Waldron N, Winderickx G, Lismont K, Dekoster J, Loo R, Meuris M, Degroote S, Buttitta F, O’Neil B, Féron O, Lindner J, Schulte F, Schineller B, Heuken M, and Caymax M.(2010).**“Selective Epitaxial Growth of III-V Semiconductor Heterostructures on Si Substrates for Logic Applications.” *Transactions, E C S Society, The Electrochemical Society* 33 (6).
- Niebojewski H.(2014).**“Contacts Auto-Alignés Pour La Technologie CMOS 10nm FDSOI.” Université Lille 1.
- Nishino H, Hayasaka N, and Okano H.(1993).**“Damage-Free Selective Etching of Si Native Oxides Using NH<sub>3</sub>/NF<sub>3</sub> and SF<sub>6</sub>/H<sub>2</sub>O down-Flow Etching.” *Journal of Applied Physics* 74 (2).
- O’Mahony A, Monaghan S, Provenzano G, Povey IM, Nolan MG, O’Connor E, Cherkaoui K, Newcomb SB, Crupi F, Hurley PK, and Pemble ME.(2010).**“Structural and Electrical Analysis of the Atomic Layer Deposition of HfO<sub>2</sub>/n-In<sub>0.53</sub>Ga<sub>0.47</sub>As Capacitors with and without an Al<sub>2</sub>O<sub>3</sub> Interface Control Layer.” *Applied Physics Letters* 97 (5).
- Offsey SD, Woodall JM, Warren AC, Kirchner PD, Chappell TI, and Pettit GD.(1986).**“Unpinned (100) GaAs Surfaces in Air Using Photochemistry.” *Applied Physics Letters* 48 (7).
- Orzali T, Vert A, Kim TW, Hung PY, Herman JL, Vivekanand S, Huang G, Kelman M, Karim Z, Hill RJW, and Rao SSP.(2015).**“Growth and Characterization of an In<sub>0.53</sub>Ga<sub>0.47</sub>As-Based Metal-Oxide-Semiconductor Capacitor (MOSCAP) Structure on 300 Mm on-Axis Si (001) Wafers by MOCVD.” *Journal of Crystal Growth* 427.
- Pargon E.(2004).**“Analyse Des Mécanismes Mis En Jeu Lors de L’élaboration Par Gravure Plasma de Structures de Dimensions Déca-Nanométriques: Application Au Transistor CMOS Ultime.” Université Joseph Fourier.
- Perrin C, Ghegin E, Zhiou S, Nemouchi F, Rodriguez P, Gergaud P, Maugis P, and Umr I.(2016).**“Formation of Ni<sub>3</sub>InGaAs Phase in Ni/InGaAs Contact at Low Temperature.” *Applied Physics Letters* 109 (131902).
- Radosavljevic M, Dewey G, Fastenau JM, Kavalieros J, Kotlyar R, Chu-Kung B, Liu WK, Lubyshev D, Metz M, Millard K, Mukherjee N, Pan L, Pillarisetty R, Rachmady W, Shah U, and Chau R.(2010).**“Non-Planar, Multi-Gate InGaAs Quantum Well Field Effect Transistors with High-K Gate Dielectric and Ultra-Scaled Gate-to-Drain/gate-to-Source Separation for Low Power Logic Applications.” *Technical Digest - International Electron Devices Meeting, IEDM* 6.
- Rauer C.(2014).**“Collage de Silicium et D ’Oxyde de Silicium : Mécanismes Mis En Jeu.” Université de Grenoble.
- Robertson J, Guo Y, and Lin L.(2015).**“Defect State Passivation at III-V Oxide Interfaces for Complementary Metal-Oxide-Semiconductor Devices.” *Journal of Applied Physics* 117 (11).
- Rodriguez P, Toselli L, Ghegin E, Chevalier N, Rochat N, Martinez E, and Nemouchi**

- F.(2016).**“In Situ Cleaning of InGaAs Surfaces prior to Low Contact Resistance Metallization.” *Microelectronic Engineering* 156.
- Roure MC, Vialle S, Rebaud M, Fontaine H, and Besson P.(2014).**“Cross-Contamination Risk Evaluation during Fabrication of III-V Devices in a Silicon Processing Environment.” *Solid State Phenomena* 219.
- Schmid H, Borg M, Moselund K, Gignac L, Breslin CM, Bruley J, Cutaia D, and Riel H.(2015).**“Template-Assisted Selective Epitaxy of III-V Nanoscale Devices for Co-Planar Heterogeneous Integration with Si.” *Applied Physics Letters* 106 (23).
- Schubert PJ, and Neudeck GW.(1990).**“Confined Lateral Selective Epitaxial Growth of Silicon for Device\ fabrication.” *IEEE Electron Device Letters* 11 (5).
- Sonnet A., Hinkle C, Heh D, Bersuker G, and Vogel EM.(2010).**“Impact of Semiconductor and Interface-State Capacitance on Metal / High-K / GaAs Capacitance – Voltage Characteristics.” *IEEE Transactions on Electron Devices* 57 (10).
- Sonnet A., Hinkle CL, Jivani MN, Chapman R a., Pollack GP, Wallace RM, and Vogel EM.(2008).**“Performance Enhancement of N-Channel Inversion Type In<sub>x</sub>Ga<sub>1-x</sub>As Metal-Oxide-Semiconductor Field Effect Transistor Using Ex Situ Deposited Thin Amorphous Silicon Layer.” *Applied Physics Letters*.
- Suri R, Lichtenwalner DJ, and Misra V.(2010).**“Interfacial Self Cleaning during Atomic Layer Deposition and Annealing of HfO<sub>2</sub> Films on Native (100)-GaAs Substrates.” *Applied Physics Letters* 96 (11).
- Suzuki R, Taoka N, Yokoyama M, Kim S-H, Hoshii T, Maeda T, Yasuda T, Ichikawa O, Fukuhara N, Hata M, Takenaka M, and Takagi S.(2012).**“Impact of Atomic Layer Deposition Temperature on HfO<sub>2</sub>/InGaAs Metal-Oxide-Semiconductor Interface Properties.” *Journal of Applied Physics* 112 (8).
- Suzuki R, Taoka N, Yokoyama M, Lee S, Kim SH, Hoshii T, Yasuda T, Jevasuwan W, Maeda T, Ichikawa O, Fukuhara N, Hata M, Takenaka M, and Takagi S.(2012).**“1-Nm-Capacitance-Equivalent-Thickness HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/InGaAs Metal-Oxide-Semiconductor Structure with Low Interface Trap Density and Low Gate Leakage Current Density.” *Applied Physics Letters* 100 (13).
- Takita H, Hashimoto N, Nguyen CT, Kudo M, Akabori M, and Suzuki TK.(2010).**“Electron Transport Properties of InAs Ultrathin Films Obtained by Epitaxial Lift-off and van Der Waals Bonding on Flexible Substrates.” *Applied Physics Letters* 97 (1).
- Technavio.(2016).**“Global Gallium Arsenide Wafer Market to Grow at a CAGR of 13 % Through 2020 , Reports Technavio.” *Buisness Wire*.
- Tong Q-Y, and Gösele UM.(1999).**“Wafer Bonding and Layer Splitting for Microsystems.” *Advanced Materials* 11 (17).
- Uen WY, Li ZY, Huang YC, Chen MC, Yang TN, Lan SM, Wu CH, Hong HF, and Chi GC.(2006).**“Heteroepitaxial Growth of GaAs on Si by MOVPE Using a-GaAs/a-Si Double-Buffer Layers.” *Journal of Crystal Growth* 295 (2).
- Waldron N, Merckling C, Guo W, Ong P, Teugels L, Ansar S, Tsvetanova D, Sebaai F, Van Dorp DH, Milenin A, Lin D, Nyns L, Mitard J, Pourghaderi A, Douhard B, Richard O, Bender H, Boccardi G, Caymax M, Heyns M, Vandervorst W, Barla K, Collaert N, and Thean AVY.(2014).**“An InGaAs/InP Quantum Well Finfet Using the Replacement Fin Process Integrated in an RMG Flow on 300mm Si Substrates.” *Digest of Technical Papers - Symposium on VLSI Technology*.
- Waldron N, Merckling C, Teugels L, Ong P, Sebaai F, Barla K, Collaert N, and Thean**

- VY.(2016).**“Replacement Fin Processing for III-V on Si: From FinFets to Nanowires.” *Solid-State Electronics* 115. Elsevier Ltd.
- Waldron N, Sioncke S, Franco J, Nyns L, Vais A, Zhou X, Lin HC, Boccardi G, Maes JW, Xie Q, Givens M, Tang F, Jiang X, Chiu E, Opdebeeck A, Merckling C, Sebaai F, Van Dorp D, Teugels L, Hernandez AS, De Meyer K, Barla K, Collaert N, and Thean Y V.(2015).**“Gate-All-around InGaAs Nanowire FETS with Peak Transconductance of  $2200\mu\text{S}/\mu\text{m}$  at 50nm Lg Using a Replacement Fin RMG Flow.” In *Technical Digest - International Electron Devices Meeting, IEDM*, 3111–14.
- Waldron N, Wang G, Nguyen ND, Orzali T, Merckling C, Brammertz G, Ong P, Winderickx G, Hellings G, Eneman G, Caymax M, Meuris M, Horiguchi N, and Thean A.(2012).**“Integration of InGaAs Channel N-MOS Devices on 200mm Si Wafers Using the Aspect-Ratio-Trapping Technique.” *ECS Transactions* 45 (4).
- Weiss S, and Kassing R.(1988).**“Deep Level Transient Fourier Spectroscopy (DLTFS)-A Technique for the Analysis of Deep Level Properties.” *Solid State Electronics* 31 (12).
- Widiez J, Sollier S, Baron T, Martin M, Gaudin G, Mazen F, Madeira F, Favier S, Salaun A, Alcotte R, Beche E, Grampeix H, Veytizou C, and Moulet J-S.(2016).**“300 Mm InGaAs-on-Insulator Substrates Fabricated Using Direct Wafer Bonding and the Smart Cut™ Technology.” *Japanese Journal of Applied Physics* 55 (4S).
- Wilk GD, Wallace RM, and Anthony JM.(2001).**“High-K Gate Dielectrics: Current Status and Materials Properties Considerations.” *Journal of Applied Physics* 89 (10).
- Yokoyama M, Iida R, Kim S, Taoka N, Urabe Y, Takagi H, Yasuda T, Yamada H, Fukuhara N, Hata M, Sugiyama M, Nakano Y, Takenaka M, and Takagi S.(2011).**“Sub-10-Nm Extremely Thin Body InGaAs-on-Insulator MOSFETs on Si Wafers with Ultrathin Al<sub>2</sub>O<sub>3</sub> Buried Oxide Layers.” *IEEE Electron Device Letters* 32 (9).
- Yoo SJ Ben, Guan B, and Scott RP.(2016).**“Heterogeneous 2D/3D Photonic Integrated Microsystems.” *Microsystems & Nanoengineering* 2 (April).
- Zhang C, and Li X.(2016).**“III-V Nanowire Transistors for Low-Power Logic Applications: A Review and Outlook.” *IEEE Transactions on Electron Devices* 63 (1).
- Zhao H, Huang J, Chen YT, Yum JH, Wang Y, Zhou F, Xue F, and Lee JC.(2009).**“Effects of Gate-First and Gate-Last Process on Interface Quality of In<sub>0.53</sub>Ga<sub>0.47</sub>As Metal-Oxide-Semiconductor Capacitors Using Atomic-Layer-Deposited Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub> Oxides.” *Applied Physics Letters* 95 (25).
- Zhao X, and del Alamo J.(2014).**“Nanometer-Scale Vertical-Sidewall Reactive Ion Etching of InGaAs for 3-D III-V MOSFETs.” *IEEE Electron Device Letters* 35 (5).
- Zhiou S.(2016).**“Analyses Microstructurales de Composés Intermétalliques Sur Substrats III-V - Applications Aux Contacts Alliés Pour MOSFETs Sub 10 Nm –.” Université Grenoble Alpes.
- Zhiou S, Nguyen-Thanh T, Rodriguez P, Nemouchi F, Rapenne L, Blanc N, Boudet N, and Gergaud P.(2016).**“Reaction of Ni Film with In<sub>0.53</sub>Ga<sub>0.47</sub>As: Phase Formation and Texture.” *Journal of Applied Physics* 120 (135304).
- Zouaoui M.(2013).**“Etude Des Propriétés Électroniques Des Boîtes Quantiques InAs / InP Par Spectroscopie de Défauts Profonds (DLTS) Pour Des Applications Optoélectroniques.” Institut national des sciences appliquées de Lyon.



---

**Titre : Intégration de semi-conducteurs III-V sur substrat de silicium pour des transistors n-MOSFET à forte mobilité**

---

**RESUME**

La substitution du canal de Silicium par un semi-conducteur III-V est une des voies envisagées pour accroître la mobilité des électrons dans les transistors n-MOSFET et ainsi réduire la consommation des circuits. Afin de réduire les coûts et de profiter des plateformes industrielles de la microélectronique, les transistors III-V doivent être réalisés sur des substrats de silicium. L'objectif de cette thèse est la réalisation de transistors à canal III-V sur substrat de silicium au sein de la plateforme microélectronique du CEA Leti. Dans le cadre de ces travaux, deux filières technologiques d'intégration ont été développées pour la réalisation de transistors tri-gate à base d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sur substrat de silicium : par un collage moléculaire d'une couche d'InGaAs sur InP et par une épitaxie directe de la couche d'InGaAs sur substrat Si. Les différentes étapes technologiques spécifiques à l'InGaAs ont été mises au point au cours de ces travaux, en prenant en compte les contraintes de contamination des équipements. Le traitement de surface de l'InGaAs et le dépôt du diélectrique de grille à haute permittivité (type high-k) par ALD ont été particulièrement étudiés afin de réduire la quantité d'états d'interface ( $D_{it}$ ) et d'optimiser l'EOT. Pour cela, des analyses XPS, des mesures électriques C(V) et DLTS de capacités MOS ont été réalisées sur échantillons et également à l'échelle d'un substrat de 300mm de diamètre.

**MOTS CLES :** Semi-conducteurs III-V, n-MOSFET, Substrat silicium, capacité MOS, densité d'états d'interface, InGaAs

---

**Titre : III-V semiconductor integration on Silicon substrate for high-mobility n-MOSFET transistors**

---

**ABSTRACT**

The replacement of the silicon channel by III-V materials is investigated to increase the electron mobility in the channel and reduce the power consumption. In order to decrease the cost and to take advantage of the microelectronic silicon platform, III-V transistors must be built on Silicon substrates. The aim of this thesis is to realize III-V transistors on silicon substrate in the CEA-Leti microelectronic clean room. In the frame of this PhD, two integration processes are elaborated to realize  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  tri-gate transistors on silicon: the molecular bonding of an InGaAs layer grown on a InP substrate, and the direct epitaxy of InGaAs on a silicon substrate. The fabrication steps for InGaAs transistors were developed, taking into account the clean room contamination restriction. InGaAs surface treatment and high-permittivity dielectric deposition by ALD are studied in order to reduce the density of interface states ( $D_{it}$ ) and to optimize the EOT. XPS analysis, DLTS and C(V) measurement are performed on samples and also on 300mm Silicon substrate.

**KEYWORDS :** III-V semiconductors, n-MOSFET, Silicon substrate, MOS capacitor, interface states density, InGaAs