



HAL
open science

Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors FinFET et GAA NWFET sub-10 nm

Dimitri Boudier

► **To cite this version:**

Dimitri Boudier. Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors FinFET et GAA NWFET sub-10 nm. Electronique. Normandie Université, 2018. Français. NNT : 2018NORMC220 . tel-01894563

HAL Id: tel-01894563

<https://theses.hal.science/tel-01894563v1>

Submitted on 12 Oct 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Normandie Université

THÈSE

Pour obtenir le diplôme de doctorat

**Spécialité ELECTRONIQUE, MICROELECTRONIQUE, OPTIQUE ET LASERS,
OPTOELECTRONIQUE MICROONDES**

Préparé au sein de l'Université de Caen Normandie

**Etude des phénomènes de transport de porteurs et du bruit basse
fréquence en fonction de la température dans les transistors
FinFET et GAA NWFET sub-10 nm**

**Présentée et soutenue par
Dimitri BOUDIER**

**Thèse soutenue publiquement le 30/08/2018
devant le jury composé de**

M. GERARD GHIBAUDDO	Directeur de recherche au CNRS, INSTITUT NAT. POLYTECHNIQUE DE GRENOBLE	Rapporteur du jury
M. JEAN-GUY TARTARIN	Professeur des universités, UNIVERSITE TOULOUSE 3 PAUL SABATIER	Rapporteur du jury
Mme MARYLINE BAWEDIN	Maître de conférences, INP Grenoble	Membre du jury
M. JEAN-MARC ROUTOURE	Professeur des universités, UNIVERSITE CAEN NORMANDIE	Président du jury
M. EDDY SIMOEN	Directeur de recherche, Université de Gand	Membre du jury
M. BOGDAN MIHAIL CRETU	Maître de conférences HDR, UNIVERSITE CAEN NORMANDIE	Directeur de thèse

**Thèse dirigée par BOGDAN MIHAIL CRETU, Groupe de recherche en informatique,
image, automatique et instrumentation (Caen)**



UNIVERSITÉ
CAEN
NORMANDIE



Remerciements

Ce rapport décrit les travaux menés pendant trois années dans le cadre de ma thèse. Néanmoins, tout ce travail n'aurait pu aboutir sans le soutien de nombreuses personnes.

Tout d'abord, je tiens à remercier le docteur Bogdan Cretu, directeur de cette thèse. Je le remercie pour tout son soutien apporté pendant trois ans, trois ans de conseils, trois ans de partage. Je le remercie pour toute l'expérience qu'il a su me transmettre sur les plans scientifique et pédagogique. Je le remercie d'avoir su me laisser acquérir et prendre de l'autonomie dans mes travaux tout en me guidant aux moments opportuns.

Je remercie également tous les collègues qui, de près ou de loin, ont participé à ces travaux. Ainsi je remercie le professeur Régis Carin, le professeur Jean-Marc Routoure et le docteur Bruno Guillet qui m'ont donné des conseils avisés sur mes travaux. Je remercie également Julien Gasnier, Sylvain Lebargy, Jean-Pierre Salandin et Thomas Dietsch pour leur soutien technique, indispensable à la mise en œuvre des expériences réalisées pendant cette thèse.

Je pense également au professeur Eddy Simoen, au docteur Anabela Veloso et au docteur Geert Hellings. Je les remercie de m'avoir accueilli au cœur d'imec à Leuven. Ces rencontres m'ont permis d'accéder à des technologies avancées de composants, mais surtout à une expertise scientifique essentielle au bon déroulement des travaux.

D'une manière générale, je remercie l'ensemble de l'équipe Électronique du GREYC pour les moments de convivialité et leur amitié. Cette ambiance très positive permet de venir travailler avec le sourire, ce que je considère comme une richesse.

Enfin, je remercie ma famille de m'avoir soutenu pendant toutes mes études, tout particulièrement mes parents et ma compagne. Aussi je dédie cette thèse à mon grand-père, à qui je dois énormément. Je lui dois notamment ma curiosité, ma soif d'apprendre et ma passion de transmettre, à la fois en électronique et dans la vie de tous les jours.

Merci à tous.

Table des matières

Introduction	5
1 Le MOSFET : soixante ans d'évolution, et quel avenir ?	9
1.1 Principe de fonctionnement du MOSFET planaire	10
1.1.1 Semi-conducteur, dopage et énergie	10
1.1.2 Capacité MOS : contrôle du canal en fonction de la tension de grille .	12
1.1.3 Structure d'un MOSFET	15
1.1.4 Régimes de fonctionnement	15
1.2 Modélisation en régime statique	17
1.2.1 Régime linéaire (régime ohmique)	17
1.2.2 Régime de saturation	19
1.2.3 Mobilité des porteurs	20
1.3 Miniaturisation des MOSFET : évolutions technologiques et problèmes ren-	
contrés	22
1.3.1 Prise en compte des défauts de fabrication	22
1.3.2 Porteurs chauds et LDD	24
1.3.3 Effets de canaux courts - Short Channel Effects	25
1.3.4 Isolant high- κ et matériau de la grille	26
1.3.5 SOI MOSFET	27
1.3.6 MOSFET à grille multiple (MUGFET)	29
1.3.7 Raisons industrielles	31
1.4 Composants étudiés	33
1.4.1 FinFET et nanofils pour le nœud technologique 10 nm	33
1.4.2 Nanofils et superlattice FinFET pour le nœud technologique 5 nm . .	34
2 Bruit basse fréquence dans les transistors	37
2.1 Défauts	38
2.2 Origine du bruit électrique	39
2.2.1 Définition	39
2.2.2 Bruit et fluctuations de courant	40
2.2.3 Modèle de bruit d'un MOSFET	41

2.3	Représentations fréquentielles du bruit électrique	43
2.3.1	Bruit blanc	44
2.3.2	Bruit de Génération-Recombinaison	44
2.3.3	Bruit en $1/f$	50
3	Performances des transistors en régime statique	59
3.1	Étude à température ambiante	60
3.1.1	Étude en régime linéaire	60
3.1.2	Étude en régime de saturation	70
3.2	Étude en température	73
3.2.1	Premières considérations sur le mécanisme de transport des porteurs	73
3.2.2	Extraction de paramètres statiques sous mécanisme de transport clas- sique	76
3.3	Observation de transport quantique	85
3.4	Synthèse des paramètres extraits	88
4	Étude du bruit électrique basse fréquence	89
4.1	Banc de mesures et système d'acquisition	90
4.2	Étude du bruit en $1/f$	91
4.2.1	Détermination de l'origine du bruit en $1/f$	91
4.2.2	Étude à très basse température	93
4.2.3	Impact du transport quantique sur le bruit électrique basse fréquence	96
4.3	Bruit en $1/f$ dans des superlattices FinFET	99
4.4	Étude du bruit de génération-recombinaison : spectroscopie de bruit	100
4.4.1	Lorentziennes associées aux pièges du film de silicium	100
4.4.2	Identification des pièges du film de silicium	101
4.4.3	Estimation de la densité surfacique des pièges	103
4.4.4	Identification des procédés responsables des défauts	104
5	Synthèse	109
	Conclusion générale	113
	Annexes	i
A	Liste des publications et conférences pendant la thèse	iii
B	Système de mesure du bruit électrique basse fréquence	vii

Tables	ix
Bibliographie	xi
Liste des figures	xix
Liste des tableaux	xxiii
Acronymes	xxv
Notations	xxvii

Introduction

Le *transistor à effet de champ métal-oxyde-semi-conducteur* (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) est l'une des révolutions du vingtième siècle. Son principe a été breveté en 1925 par J.E. Lilienfeld, mais le premier MOSFET ne fut produit qu'en 1960 par les laboratoires Bell. Entre temps, les scientifiques américains W.B. Shockley, J. Bardeen et W.H. Brattain reçurent le prix Nobel de Physique en 1956, pour « leurs recherches sur les semi-conducteurs et la découverte de l'effet transistor » en étudiant une autre structure de transistor : le transistor à jonction bipolaire [1].

Depuis, les utilisations du MOSFET se sont extrêmement diversifiées : de l'informatique aux convertisseurs de puissance en passant par les télécommunications. Les domaines d'emploi de ces composants couvrent l'électronique analogique et numérique, même si une très grande proportion de la production mondiale est destinée à la fabrication de processeurs et de mémoires. Le rythme effréné des applications sur les marchés impose toujours plus d'évolutions technologiques. Depuis les années 1980, l'industrie de l'informatique demandait aux fabricants de semi-conducteurs des composants plus petits afin d'augmenter la puissance de calcul des processeurs. Aujourd'hui c'est le marché des mobiles et objets connectés qui impose ses contraintes, particulièrement en terme de puissance et de réductions des coûts [2]. La course à la miniaturisation des transistors, à l'origine de la hausse continue de performances de l'informatique, s'est faite au prix d'innovations permanentes des procédés de fabrication.

Le mot clé de ces quelques décennies fut la miniaturisation des transistors (afin d'augmenter la densité de données stockées ou traitées). La miniaturisation est symbolisée par la *loi de Moore*, stipulant de manière empirique que le nombre de transistors dans un processeur double environ tous les deux ans tandis que le prix par composant se verra divisé par deux. Cette loi, d'abord exprimée en 1965 [3] puis affinée en 1975 [4] par l'ingénieur Gordon Moore (co-fondateur de Fairchild Semiconductor, puis d'Intel), s'est vérifiée en pratique jusqu'à la fin du siècle dernier. Elle a été notamment considérée comme un objectif par l'*International Technology Roadmap for Semiconductors* (ITRS).

Année de production	2017	2019	2021	2024	2027	2030	2033
Nœud technologique (nm)	10	7	5	3	2.1	1.5	1.0
Structure de composant	FinFET	FinFET	L-GAA	L-GAA	L-GAA	V-GAA	V-GAA
Tension d'alimentation (V)	0,75	0,70	0,65	0,65	0,65	0,60	0,55
Longueur de grille (nm)	20	18	16	14	12	12	12
Largeur minimale (nm)	8,0	7,0	7,0	7,0	6,0	6,0	6,0

TABLEAU 1 – Extrait de la feuille de route IRDS pour les spécification des composants logiques [6] (L-GAA : *Lateral Gate-All-Around* ; V-GAA : *Vertical Gate-All-Around*).

Depuis le début des années 2000, la simple réduction des dimensions ne suffit plus à vérifier la loi de Moore [5]. De nouveaux procédés, architectures et matériaux ont vu le jour afin de poursuivre la quête du doublement de la puissance de calcul tous les deux ans. Il s'agit de l'ère *More Moore*. Auparavant gérées par l'ITRS, les feuilles de routes des spécifications des circuits logiques sont fixées depuis 2016 par l'*International Roadmap for Devices and Semiconductors* (IRDS). Le tableau 1 est un extrait des spécifications publiées par IRDS en 2017. On y voit notamment la structure des composants, leurs dimensions (longueur et largeur de grille) ainsi que la tension d'alimentation. Alternativement à la stratégie *More Moore* dédiée au silicium, la stratégie *More Than Moore* a pour objectifs d'améliorer les performances des MOSFET en utilisant d'autres matériaux et de créer des systèmes compacts de type *Microelectromechanical system* (système micro-électro-mécanique, MEMS) et *System on Chip* (système sur puce, SoC).

Outre la réduction des dimensions des composants, les recommandations successives de l'ITRS puis de l'IRDS montrent une diminution des tensions d'alimentation. Pour les circuits numériques, cela implique que le bruit intrinsèque (généré par le composant lui-même) pourrait à terme devenir une contrainte car un niveau de bruit trop important peut fausser les niveaux logiques. À plus faible tension d'alimentation un composant sera donc plus sujet aux erreurs de niveaux logiques, d'autant plus que le niveau de bruit intrinsèque augmente quand les dimensions diminuent. Dans le cas de mémoires numériques telles que les *Random Access Memory* (RAM), le niveau de bruit influe également sur la durée de rétention de l'information binaire. Enfin, dans des applications analogiques, la réduction du bruit intrinsèque d'un composant permet d'améliorer son *Rapport Signal à Bruit* (RSB), facteur de mérite traduisant la capacité d'un composant à détecter ou transmettre des signaux de faible puissance.

Il s'avère également que l'étude du bruit intrinsèque d'un composant permet d'étudier la qualité de fabrication de celui-ci. Une étude du bruit en $1/f$ donne des informations sur la qualité de l'oxyde de grille (et donc du procédé d'oxydation), servant ainsi de facteur de mérite. Le suivi du bruit de génération-recombinaison en fonction de la température permet quant à lui d'identifier la nature physique des défauts présents dans le film de silicium, menant ainsi jusqu'à l'identification des étapes de fabrication critiques.

Afin de présenter le contexte scientifique des travaux réalisés pendant cette thèse, le premier chapitre rappellera la physique du MOSFET. Le principe de fonctionnement du transistor sera présenté à partir de la technologie planaire, certes ancienne (en comparaison aux MOSFET dans les processeurs modernes) mais dans laquelle la physique peut être simplifiée. Les effets de la miniaturisation seront cités, afin de détailler les problèmes engendrés ainsi que les évolutions technologiques permettant de s'affranchir de ces problèmes.

Le deuxième chapitre apportera les éléments nécessaires à la compréhension du bruit électrique basse fréquence dans les MOSFET. Les sources de bruit intrinsèque (canal et résistances d'accès) seront présentées. Le bruit électrique est une combinaison de trois formes de bruit indépendantes : le bruit blanc, le bruit en $1/f$ et le bruit de génération-recombinaison (GR). Le modèle de chacune de ces formes sera détaillée et accompagnée du protocole expérimental associée à son étude.

Le troisième chapitre rassemblera les différentes études en régime statique des composants. L'extraction des paramètres électriques nécessaires au développement du modèle statique et du modèle de bruit seront synthétisés à température ambiante et en fonction de la température, en descendant jusqu'à 4,2 K. À très faible température et tension de drain, la présence de transport quantique (*subband scattering*) sera mise en évidence.

Les études de bruit en $1/f$ et de génération-recombinaison seront détaillées dans le quatrième chapitre. Le comportement bruit en $1/f$ sera d'abord étudié pour différentes températures et l'impact du transport sur le bruit quantique sera abordé. La spectroscopie de bruit, soit l'étude de l'évolution du bruit de génération-recombinaison en fonction de la température, apportera des informations sur les étapes technologiques responsables du bruit de génération-recombinaison basse fréquence.

Un chapitre de synthèse viendra lier et conclure les résultats des études. Pour cela les divers composants de cette thèse seront d'abord comparés entre eux, puis à des technologies de composants de générations antérieures. Enfin, deux annexes présenteront respectivement la liste des travaux publiés pendant cette thèse et le banc de mesure de bruit électrique basse fréquence.

Chapitre 1

Le MOSFET : soixante ans d'évolution, et quel avenir ?

Depuis le dépôt de brevet du premier *transistor à effet de champ métal-oxyde-semi-conducteur* (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) en 1925 et la fabrication du premier en 1960, l'architecture de ces composants beaucoup évolué. Cependant le principe de fonctionnement est quasiment resté identique.

Ce chapitre couvre donc le principe de fonctionnement du MOSFET. Tout d'abord, la structure conventionnelle du MOSFET (transistor planaire) sera décrite. Les contraintes liées à la miniaturisation et les réponses technologiques associées seront abordées successivement. Cela permettra d'aborder une structure simple pour ensuite détailler le modèle de fonctionnement des technologies avancées.

1.1 Principe de fonctionnement du MOSFET planaire

Le MOSFET planaire correspond à l'architecture du composant à ses débuts, il sera alors plus aisé d'aborder les différents défis technologiques imposés par la miniaturisation et relevés par l'industrie micro-électronique. Les propriétés des semi-conducteurs sont d'abord mises en avant, pour ensuite présenter la structure *Metal-Oxide-Semiconductor* (métal-oxyde-semi-conducteur, MOS), qui est l'essence même du MOSFET. La structure complète sera alors étudiée et son modèle sera détaillé.

1.1.1 Semi-conducteur, dopage et énergie

Un semi-conducteur est un matériau dont la conductivité électrique est fonction de diverses conditions, qui peuvent être contrôlées pour le rendre soit isolant soit conducteur. On parle de semi-conducteur mono-cristallin lorsque les atomes le constituant sont périodiquement ordonnés dans l'espace. Un poly-cristal est constitué de plusieurs mono-cristaux : les atomes sont donc ordonnés par morceau, mais ils ne suivent pas de structure organisée globalement. D'autre part, on parle de cristal intrinsèque lorsque celui-ci est pur (un seul type d'atome est présent) par opposition au cristal extrinsèque (contenant des atomes étrangers).

Tous les matériaux possèdent une *bande de valence* et une *bande de conduction*. La bande de valence est la bande d'énergie dans laquelle se trouvent les électrons participant aux liaisons covalentes, c'est à dire les électrons partagés par deux atomes voisins afin les lier et constituer le réseau cristallin. Cette bande d'énergie se caractérise par son niveau maximal d'énergie E_V . Quant à la bande de conduction, elle contient les électrons libres qui peuvent passer aisément d'atome en atome grâce à deux mécanismes : la diffusion (lorsque la concentration d'électrons libres n'est pas homogène dans un matériau) ou la conduction (sous l'effet d'un champ électrique). Pour atteindre cette bande, les électrons doivent acquérir une énergie supérieure à $E_C - E_V$, où E_C est le niveau minimal d'énergie de la bande de conduction.

Pour un matériau conducteur, les bandes de valence et de conduction se chevauchent : n'importe quel électron peut participer à la circulation d'un courant. Pour un isolant, les deux bandes sont très écartées et il est quasiment impossible à un électron de la bande de valence d'acquérir l'énergie $E_C - E_V$ nécessaire pour atteindre la bande de conduction. Cette distance entre les niveaux E_V et E_C est appelée *bande interdite*, aucun électron ne peut s'y trouver. Dans le cas d'un semi-conducteur, cette bande interdite est relativement faible, si bien qu'il est possible d'apporter suffisamment d'énergie (champ électrique, photon, température, ...) pour permettre le passage d'électrons de la bande de valence vers la bande de conduction et améliorer la conductivité du cristal.

À ce jour, le matériau semi-conducteur le plus utilisé dans l'industrie micro-électronique est le silicium (Si). Un atome Si possède quatre électrons sur sa couche électronique externe. Dans un cristal pur, également appelé *semi-conducteur intrinsèque*, chaque atome s'associe avec quatre autres et tous les électrons des couches externes servent aux liaisons covalentes. À une température $T = 0$ K, les électrons sont immobiles et il n'y a donc aucun porteur de charge électrique disponible pour la circulation d'un courant (tous les électrons étant dans la bande de valence). Cependant, l'augmentation de la température provoquera une agitation thermique qui pourra s'avérer suffisante pour permettre à quelques électrons d'acquérir assez d'énergie pour passer dans la bande de conduction. Ces électrons sont alors appelés *électrons libres* et apportent des charges électriques négatives dans la bande de conduction, tout en laissant autant d'atomes chargés positivement dans la bande de valence. Ces charges positives sont appelées des *trous* car elles correspondent à des absences d'électrons pour les liaisons covalentes. La génération d'une charge négative et d'une charge positive correspond à la création d'une *paire électron-trou*. Depuis la bande de conduction, un électron libre voyage facilement dans le cristal. De même, un trou dans la bande de valence peut passer à l'atome voisin, qui peut ensuite le retransmettre à une autre atome voisin. Tous ces porteurs peuvent participer à la circulation d'un courant. Dans un semi-conducteur intrinsèque, les concentrations d'électrons libres n_i et de trous p_i sont égales. On appelle alors généralement n_i la concentration de porteurs intrinsèques.

Il est possible de contrôler la proportion d'électrons libres et de trous en insérant des atomes étrangers dans le cristal. Ces atomes sont appelés *dopants* ou *impuretés* et le cristal devient *extrinsèque*. Les atomes contenant cinq électrons dans leur couche externe (par exemple phosphore P, arsenic As ou antimoine Sb) vont apporter un électron supplémentaire : ils sont dits *donneurs* et augmentent la population d'électrons libres. Les atomes avec seulement trois électrons dans leur couche externe (par exemple bore B, gallium Ga ou indium In) vont prendre un électron de valence aux atomes de silicium voisins : ils sont dits *accepteurs* et augmentent la population de trous.

Pour les atomes donneurs, quatre des électrons de valence vont chercher à se lier aux atomes de silicium voisins tandis que le cinquième, ne pouvant participer à une liaison covalente, sera faiblement lié à l'atome dopant. À température ambiante l'agitation thermique sera largement suffisante pour envoyer cet électron dans la bande de conduction, sans pour autant créer un trou dans les liaisons covalentes. L'atome dopant possède désormais une charge électrique positive (on dit que l'atome est *ionisé* ou *découvert*) mais cette charge n'est pas disponible pour la circulation d'un courant, car l'atome est figé dans le réseau cristallin.

Sur le même principe, les atomes accepteurs vont augmenter la population de trous. En effet ces dopants n'ont que trois électrons à offrir aux quatre atomes voisins pour se lier. Il en résulte un manque dans les liaisons, que le dopant comblera en prélevant un électron de

la bande de valence d'un atome voisin. Le trou ainsi créé correspond à une charge électrique positive qui pourra transiter d'atome en atome et participer à la circulation d'un courant. L'atome dopant a acquis une charge électrique négative (il a accepté un électron), mais ne peut participer à la circulation d'un courant car celui-ci est immobile.

À température ambiante, on peut considérer que chaque dopant donne naissance à un porteur. De plus, la concentration de dopants est généralement très supérieure à la concentration intrinsèque de porteurs n_i . Pour un semi-conducteur dopé aux atomes donneurs, la charge électrique totale des porteurs libres est donc négative : on dit que le semi-conducteur est de type N. La concentration d'électrons libres n est quasiment égale à la concentration d'atomes donneurs n_D : $n = n_D + n_i \simeq n_D$. Les électrons libres étant majoritaires par rapport aux trous, on appelle les premiers *porteurs majoritaires* et les seconds *porteurs minoritaires*. De manière analogue, pour un semi-conducteur dopé aux atomes accepteurs, la charge électrique totale des porteurs est positive : on dit que le semi-conducteur est de type P. La concentration de trous disponibles p pour la circulation d'un courant est quasiment égale à la concentration d'atomes accepteurs n_A : $p = n_A + n_i \simeq n_A$. Les porteurs majoritaires sont ici les trous les porteurs minoritaires sont les électrons.

1.1.2 Capacité MOS : contrôle du canal en fonction de la tension de grille

Le fonctionnement des MOSFET repose sur la structure *Metal-Oxide-Semiconductor* (métal-oxyde-semi-conducteur, MOS), de laquelle ils tiennent leur nom. Cette structure, également appelée *capacité MOS*, est un empilement de substrat semi-conducteur (dans notre cas du silicium), d'isolant électrique (couramment appelé « oxyde » car fait à partir de dioxyde de silicium SiO_2) et de la grille (à l'origine du silicium poly-cristallin, maintenant en métal). Elle est présentée sur la figure 1.1, où le semi-conducteur est de type P. La concentration de porteurs dans le canal, et donc la quantité de courant le traversant, est modulée par la tension grille-substrat V_{GB} .

Sur la figure 1.1 sont représentés les différents niveaux d'énergie. On rappelle que E_V est l'énergie maximale de la bande de valence et E_C est l'énergie minimale de la bande de conduction. On note E_i le niveau d'énergie intermédiaire de la bande interdite, E_F le niveau d'énergie de Fermi dans le substrat et E_{FM} le niveau d'énergie de Fermi dans le métal de la grille. Le niveau d'énergie de Fermi est une caractéristique propre d'un matériau et dépend de la température. Pour un matériau de type P, E_F sera proche de E_V ; pour un matériau de type N, E_F sera proche de E_C . ϕ_S est le potentiel de surface du canal (chute de potentiel dans le substrat), ϕ_F le potentiel de Fermi dans le substrat et q la charge électrique élémentaire. Les différents régimes de fonctionnement, contrôlés par l'effet de champ électrique de la grille, sont expliqués dans les sections suivantes.

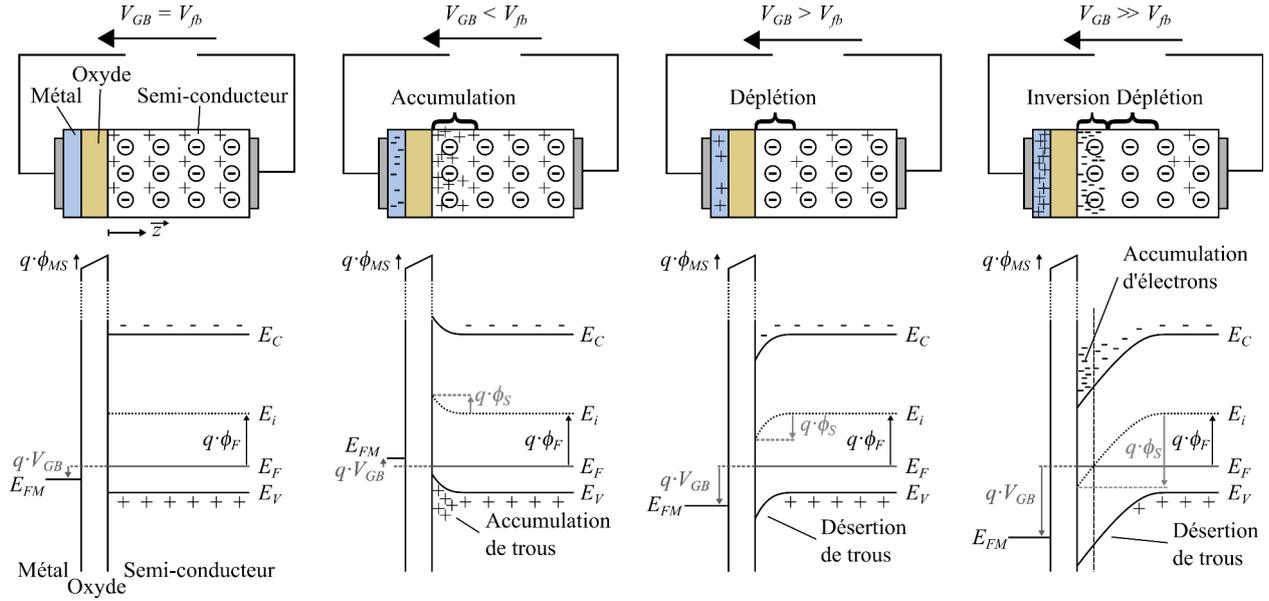


FIGURE 1.1 – Régimes de bandes plates, d'accumulation, de déplétion et d'inversion dans une structure MOS à substrat P (\ominus : atomes accepteurs, $+$: trous libres, $-$: électrons libres) et diagrammes d'énergie correspondants.

1.1.2.1 Tension de bandes plates V_{FB}

En l'absence de polarisation du composant, les charges électriques dans celui-ci sont équitablement réparties. En d'autres termes les concentrations d'atomes accepteurs (chargés négativement) et de porteurs majoritaires (des trous) sont homogènes dans le semi-conducteur. En reliant la grille et le substrat par un court-circuit, une chute de potentiel se crée dans le substrat. Elle est due à la différence de potentiels ϕ_{MS} des travaux de sortie du métal et du semi-conducteur, le travail de sortie étant l'énergie nécessaire pour arracher un électron à son matériau d'origine. Cela se traduit par un niveau d'énergie de Fermi constant dans toute la structure MOS ($E_F = E_{FM}$) mais aussi par des courbures des autres bandes d'énergies.

Imposer une tension $V_{GB} = \phi_{MS}$ va compenser l'effet des travaux de sortie, mais cette polarisation entraine l'activation de charges électriques de part et d'autre de l'oxyde. Il faut donc également compenser ces charges par la tension $-Q_0/C_{ox}$, où Q_0 est la charge parasite surfacique d'interface et C_{ox} la capacité surfacique de l'oxyde de grille. Ainsi pour que la capacité MOS soit de charge neutre il faut appliquer $V_{GB} = V_{FB}$, où V_{FB} est la *tension de bandes plates* qui permet d'annuler l'effet des travaux de sorties et des charges parasites [7] :

$$V_{FB} = \phi_{MS} - Q_0/C_{ox} \quad (1.1)$$

Ceci correspond au schéma et au diagramme à gauche de la figure 1.1.

1.1.2.2 Régime d'accumulation et régime de déplétion

Toujours dans le cas d'un substrat dopé P, si la tension V_{GB} diminue en dessous de V_{FB} , des charges électriques négatives s'accumulent dans la grille et des charges positives s'accumulent dans le substrat, près de l'oxyde. À l'interface oxyde-substrat, il y a donc une *accumulation* de trous, comme le montre la deuxième colonne de la figure 1.1.

Au contraire si la tension V_{GB} augmente et devient supérieure à V_{FB} , les charges positives sont repoussées de l'interface. Il s'agit du *régime de déplétion*, de *désertion* ou encore d'*appauvrissement*. La troisième colonne de la figure 1.1 montre ce régime, où les trous sont représentés loin de l'interface, au profit des atomes accepteurs découverts. Ces derniers sont chargés négativement mais sont immobiles et ne peuvent donc pas contribuer à la circulation d'un courant. En régime de déplétion, la structure MOS peut être vue comme la mise en série de la capacité surfacique d'oxyde C_{ox} et de la capacité surfacique de déplétion C_{dep} . Les défauts liés à l'interface sont modélisés par une capacité surfacique d'états d'interface C_{it} , mise en parallèle de C_{dep} .

1.1.2.3 Régime d'inversion

En régime de déplétion, augmenter davantage la tension V_{GB} va repousser encore les trous libres et ainsi laisser apparaître de plus en plus d'atomes accepteurs. Par conséquent les électrons libres (créés par les paires électron-trou du matériau intrinsèque) sont plus fortement attirés vers l'interface oxyde-substrat.

Si la tension V_{GB} est telle que $\phi_F < \phi_S < 2\phi_F$, la concentration d'électrons en surface est plus grande que la concentration de trous au même endroit : une inversion du type du substrat a été effectuée à l'interface oxyde-substrat. Il s'agit du *régime de faible inversion* et il est représenté à droite sur la figure 1.1. Le type du substrat s'étant inversé en surface (passé du type P vers le type N dans cet exemple), il est possible d'y faire circuler un courant à partir des zones de source et de drain, également dopées N.

En augmentant encore V_{GB} de telle sorte que $\phi_S > 2\phi_F$, la concentration d'électrons en surface devient supérieure à la concentration de trous dans le volume. Il s'agit alors du *régime de forte inversion*. La tension grille-substrat pour laquelle le régime de forte inversion est atteint découle de l'équation 1.1. Elle est appelée *tension de seuil* V_t et vaut :

$$V_t = \phi_{MS} + 2\phi_F - Q_0/C_{ox} \quad (1.2)$$

Notons que la grandeur V_{GT} définie par $V_{GT} := V_{GB} - V_t$ est souvent utilisée pour des raisons de simplicité. Les anglophones appellent cette grandeur *gate overdrive voltage*.

1.1.3 Structure d'un MOSFET

La structure classique du MOSFET (technologie planaire conventionnelle) est schématisée sur la figure 1.2. On retrouve la structure MOS, avec un substrat de dopage de type P et de résistivité élevée, et un oxyde d'épaisseur t_{ox} . En dehors de la surface couverte par la grille, deux zones fortement dopées et opposées au substrat (ici N+) sont appelées *source* et *drain*. Elles sont réalisées par diffusion ou implantation ionique. La tension de grille est appliquée sur le métal de grille, permettant ainsi de contrôler une zone dans le substrat via son champ électrique (dit transversal) \mathcal{E}_z .

Cette zone appelée *canal* est en réalité une inversion locale (à l'interface Si/SiO₂) du type du substrat, qui correspond alors à celui de la source et du drain. Par conséquent, le canal autorise la circulation d'un courant du drain vers la source lorsqu'un champ électrique longitudinal \mathcal{E}_x (suivant l'axe \vec{x}) est appliqué. L'oxyde a pour rôle de permettre le contrôle des porteurs du canal via le champ électrique transversal tout en empêchant la circulation de courant vers la grille. Le type de canal indique le type du composant : dans le composant de la figure 1.2 le substrat est de typé P, mais le canal sera de type N afin de correspondre au dopage des zones de source et de drain : on parle alors de transistor à canal N ou de n-MOSFET. Les points de contacts de la grille, de la source, du drain et du substrat (*bulk* en anglais) sont notés G, S, D et B, respectivement.

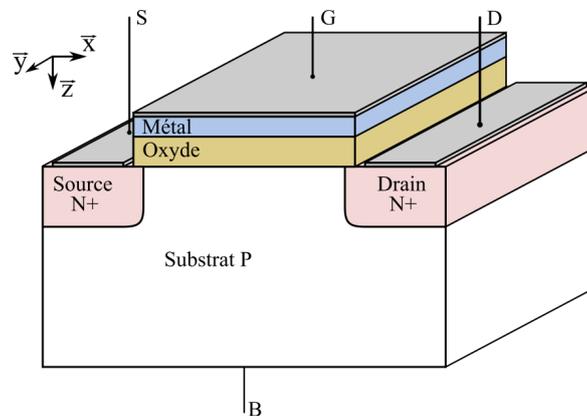


FIGURE 1.2 – Structure d'un MOSFET planaire à canal N.

1.1.4 Régimes de fonctionnement

Un MOSFET est constitué d'une capacité MOS située entre deux zones de dopage opposé au substrat : la source et le drain. Nous avons vu dans la section 1.1.2 que si la tension V_{GB} est négative ou trop faible, l'interface Si/SiO₂ reste de type P. Les zones source-substrat et substrat-drain forment alors deux jonctions P-N, c'est à dire deux diodes disposées têtes bèches et empêchant ainsi la circulation d'un courant significatif.

Nous avons aussi observé qu'il est possible de contrôler la formation d'un canal d'inversion en jouant avec la tension grille-substrat V_{GB} . Une fois le canal formé, il est possible de faire circuler un courant entre les zones de source et de drain en imposant une tension V_{DS} entre ces zones, puisque la source, le drain et le canal sont désormais du même type. Cependant la polarisation du canal par l'effet de champ électrique de la grille sera perturbée par la polarisation drain-source, variant tout au long du canal. Notons qu'en général la source et le substrat sont reliés, les tensions V_{GB} et V_{DS} ont donc la même référence de potentiel.

Dans le cas où $V_{DS} \ll V_{GB} = V_{GS}$, on peut considérer que la polarisation du canal n'est due qu'à l'effet de champ électrique de la grille et qu'elle est uniforme de la source jusqu'au drain. La caractéristique $I_D = f(V_{DS})$ est linéaire tant que V_{DS} reste négligeable devant V_{GS} , ce qui rappelle la caractéristique d'une résistance : la valeur de cette résistance est imposée par V_{GS} , tandis que l'intensité du courant circulant dans cette résistance est contrôlée par V_{DS} . Ce régime de fonctionnement s'appelle *régime linéaire* ou *régime ohmique* et correspond à la situation de la figure 1.3a.

Si V_{DS} augmente, le potentiel du canal se réduit du côté du drain, ce qui diminue localement la densité de porteurs dans la couche d'inversion jusqu'à ce que la zone d'inversion disparaisse au niveau du drain, comme illustré sur la figure 1.3b. Ce phénomène de *pincement du canal* apparaît lorsque le champ transversal du côté drain est nul, c'est-à-dire quand la tension V_{DS} atteint le point de pincement V_P défini par [8] :

$$V_P := V_{DS} \mid_{V_{GS}=V_t} \quad (1.3)$$

Quand $V_{DS} > V_P$, le champ électrique résultant s'inverse au niveau du drain et le point de pincement du canal se déplace vers la source. Le potentiel au point de pincement est indépendant de V_{DS} et vaut toujours V_P , car il est défini par la condition de champ transversal nul. Ainsi la quantité de porteurs dans le canal et sa résistance restent fixes quelque soit $V_{DS} > V_P$, car $V_P - V_S$ reste constant. D'autre part, le champ électrique longitudinal \mathcal{E}_x présent au niveau du drain est suffisamment important pour faire passer les porteurs depuis le point de pincement jusqu'au drain, en leur faisant traverser la zone pincée de longueur λ_p . Par conséquent lorsque V_{DS} augmente encore, le courant de drain reste (presque) constant, comme le montre la figure 1.3c : il s'agit du *régime de saturation*. Le point de pincement indiquant le début de la zone de saturation, la tension de saturation $V_{DS,sat}$ et le courant de saturation $I_{D,sat}$ sont donnés par [8] :

$$V_{DS,sat} := V_P := V_{DS} \mid_{V_{GS}=V_t} \quad (1.4)$$

$$I_{D,sat} := I_D \mid_{V_{DS,sat}} \quad (1.5)$$

1.2 Modélisation en régime statique

Cette section présente le modèle électrique utilisé pour la technologie MOSFET planaire ainsi que les considérations nécessaires quant à la mobilité des porteurs de charge électrique. Elle sera complétée par la section suivante (1.3) qui traitera des avancées technologiques jusqu'aux transistors actuels et présentera les évolutions du modèle par rapport au modèle dit « classique » détaillé dans cette section.

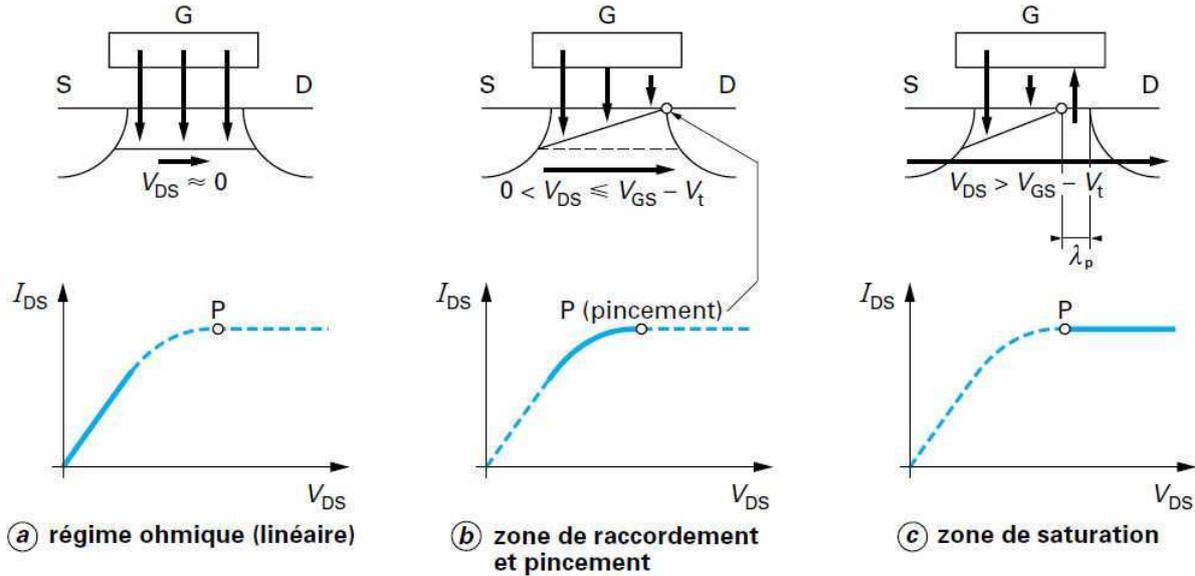


FIGURE 1.3 – Régimes de fonctionnement d'un MOSFET en fonction de V_{DS} [8]. La zone de saturation correspond à celle d'un transistor long (longueur de grille $L \gg \lambda_p$).

1.2.1 Régime linéaire (régime ohmique)

1.2.1.1 En faible inversion

En faible inversion ($|V_{DS}| \ll |V_{DS,sat}|$ et $|V_{GS}| \lesssim |V_t|$), le courant I_D s'exprime par [9] :

$$I_D = \frac{W}{L} \frac{k_B T}{q} \mu_0 C_{dep} V_{DS} \exp \left[\frac{q (V_{GS} - V_t)}{k_B T} \frac{C_{ox}}{C_{dep} + C_{it} + C_{ox}} \right] \quad (1.6)$$

où μ_0 est la mobilité des porteurs à faible champ électrique, k_B est la constante de Boltzmann et T est la température. Les dimensions du canal sont notées W pour la largeur (suivant l'axe \vec{y} de la figure 1.2) et L pour la longueur (suivant l'axe \vec{x}).

La transconductance g_m est définie dans tous les régimes de fonctionnement à tension de drain V_{DS} constante par :

$$g_m := \frac{\partial I_D}{\partial V_{GS}} \quad (1.7)$$

En faible inversion, la transconductance g_m vaut alors :

$$g_m = \frac{q}{k_B T} \frac{C_{ox}}{C_{dep} + C_{it} + C_{ox}} I_D \quad (1.8)$$

La transconductance varie proportionnellement avec le courant de drain. Il est donc possible d'estimer la densité des états d'interface via C_{it} .

Pente sous le seuil SS Lorsque le transistor est en régime de faible inversion, l'inverse de la pente sous le seuil SS (de l'anglais *Subthreshold Swing*) indique la quantité avec laquelle il faut faire varier V_{GS} pour modifier d'une décade le courant de drain I_D . Elle est définie comme étant l'inverse de la pente $\log_{10}(I_D) = f(V_{GS})$ et vaut :

$$SS := \frac{\partial V_{GS}}{\partial \log_{10}(I_D)} = \frac{k_B T}{q} \ln(10) \left(1 + \frac{C_{dep} + C_{it}}{C_{ox}} \right) \quad (1.9)$$

La dépendance de la pente sous le seuil avec la capacité surfacique due aux pièges à l'interface C_{it} permet de l'utiliser comme indicateur de la qualité de l'interface. De manière idéale $C_{it} \ll C_{ox}$ et $C_{dep} \ll C_{ox}$, donnant une pente sous le seuil optimale d'environ 60 mV/décade à température ambiante pour la technologie planaire en silicium.

1.2.1.2 En forte inversion

En forte inversion ($|V_{DS}| \ll |V_{DS,sat}|$ et $|V_{GS}| \geq |V_t|$), le canal se comporte comme une résistance et le courant de drain est alors donné par [8] :

$$I_D = \frac{W}{L} \mu_{eff} |Q_{inv}| V_{DS} \quad (1.10)$$

où μ_{eff} est la mobilité effective des porteurs dans le canal, et Q_{inv} est la charge surfacique dans la zone d'inversion donnée par :

$$|Q_{inv}| = C_{ox} \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) \quad (1.11)$$

La valeur $\frac{V_{DS}}{2}$ signifie que la variation du champ électrique longitudinal le long du canal est considérée comme linéaire.

La mobilité effective des porteurs dans le canal μ_{eff} est exprimée à partir de la mobilité à faible champ électrique μ_0 par la relation :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right)} \quad (1.12)$$

avec le facteur intrinsèque d'atténuation de mobilité θ_0 représentant la diminution de la mobilité des porteurs à fort champ électrique [10].

Finalement, le courant de drain en régime linéaire et en forte inversion s'écrit en injectant les équations 1.11 et 1.12 dans 1.10 :

$$I_D = \frac{W}{L} \mu_0 C_{ox} \frac{\left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) V_{DS}}{1 + \theta_0 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right)} \quad (1.13)$$

L'expression de la transconductance en forte inversion s'extrait en utilisant l'équation précédente dans la définition de g_m (équation 1.7) :

$$g_m = \frac{W}{L} \mu_0 C_{ox} \frac{V_{DS}}{2} \frac{1}{\left[1 + \theta_0 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) \right]^2} \quad (1.14)$$

Effet de substrat En forte inversion, la polarisation du substrat a un effet sur la couche d'inversion. Supposons que la tension V_{GS} soit maintenue constante et que la tension V_{SB} augmente. Maintenir V_{GS} constante revient à n'effectuer (quasiment) aucun changement au niveau de la grille, qui conserve donc sa charge. Par contre, augmenter V_{SB} revient à élargir la zone de déplétion de la jonction PN substrat-source. Ainsi plus d'atomes accepteurs sont « découverts » sous la surface. Ceux-ci apportent une charge négative supplémentaire à la zone d'inversion mais, pour maintenir l'équilibre de charges électriques dans le matériau, les électrons libres dans la zone d'inversion quittent celle-ci. Par conséquent le niveau d'inversion diminue quand V_{SB} augmente (moins de porteurs sont disponibles), ce qui donne à de mêmes V_{GS} des valeurs de courant de canal plus faibles.

1.2.2 Régime de saturation

Au point de saturation, $V_{DS} = V_{DS,sat} = V_{GS} - V_t$. Le courant de saturation $I_{D,sat}$ est constant et s'écrit [11] :

$$I_{D,sat} = \frac{W}{L} \mu_0 C_{ox} \frac{V_{GS} - V_t}{\theta_0} \left[1 - \frac{1}{\theta_0 (V_{GS} - V_t)} \ln (1 + \theta_0 (V_{GS} - V_t)) \right] \quad (1.15)$$

En régime de saturation ($V_{DS} > V_{DS,sat}$), le courant de drain s'exprime en fonction de la longueur maximale du canal (L) et de la longueur du canal pincé ($L - \lambda_p$) :

$$I_D = I_{D,sat} \frac{L}{L - \lambda_p} = I_{D,sat} \left(1 + \frac{V_{DS} - V_{DS,sat}}{V_{EA}} \right) \quad (1.16)$$

où V_{EA} est la tension d'Early [8].

Tension d'Early V_{EA} En premier lieu, nous avons décrit que le courant de drain reste constant quand V_{DS} augmente en régime de saturation. En réalité l'augmentation de la tension de drain réduit la tension de seuil et le courant de drain augmente donc. La tension d'Early V_{EA} traduit ce phénomène : en considérant linéaire la variation $I_D(V_{DS})$ en régime de saturation, la tension d'Early est la valeur pour laquelle la linéarisation de $I_D(V_{DS})$ croise l'axe des abscisses. Plus précisément, on définit la tension d'Early par :

$$V_{EA} := \frac{I_D}{g_{ds}} \quad \text{avec} \quad g_{ds} := \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=\text{constant}} \quad (1.17)$$

En pratique, on considère la valeur absolue de cette tension. Cette grandeur est une figure de mérite pour les composants : plus V_{EA} est grande, moins le courant dépend de V_{DS} .

1.2.3 Mobilité des porteurs

En l'absence de champ électrique les porteurs de charge sont soumis aux mouvements dus à l'énergie thermique. Ils se déplacent dans des directions aléatoires (ce qui ne génère pas de courant moyen). Les porteurs sont dispersés par les vibrations du réseau cristallin (phonons) et les impuretés (défauts et dopants), qui provoquent de brusques changements de la vitesse des porteurs. Le temps entre deux dispersions, dénommé *temps de collision* τ_c , est de l'ordre de 0,1 ps. Entre deux collisions, les porteurs sont accélérés par le champ électrique longitudinal [12]. La mobilité des porteurs représente leur capacité à se déplacer dans un matériau soumis à un champ électrique : à faible champ, la vitesse de déplacement des porteurs est proportionnelle à leur mobilité $v_d = \mu \cdot \mathcal{E}$. Dans le cas du MOSFET, il s'agit du champ longitudinal imposé par la tension de drain V_{DS} . La mobilité quant à elle dépend de la température, du champ électrique transversal (suivant l'axe \vec{z} présenté dans la figure 1.2) et peut être limitée par plusieurs phénomènes de collision.

La première source essentielle de diminution de la mobilité est le réseau cristallin : les porteurs entrent en collisions avec les phonons (vibrations du réseau). Principalement observée à haute température, la mobilité liée aux collisions avec les phonons μ_{ph} se dégrade avec l'augmentation de la température et du champ électrique transversal \mathcal{E}_z . Les collisions avec

les rugosités de surface (*surface roughness* en anglais), c'est à dire les défauts à l'interface Si/SiO₂, affectent également la mobilité. La mobilité associée μ_{sr} est indépendante de la température et diminue quand le champ électrique transversal augmente. Enfin, les impuretés ionisées et charges piégées dans l'oxyde de grille près de l'interface perturbent également la mobilité avec ce que l'on appelle des collisions sur les centres coulombiens. Ces collisions sont principalement observées à faible température car la mobilité μ_C augmente avec T et le champ électrique transversal [13, 14].

La figure 1.4 reflète la contribution des différents mécanismes de diffusion sur la mobilité effective des porteurs de charge électrique. La mobilité effective μ_{eff} des porteurs dans la couche d'inversion d'un MOSFET est donnée par la loi empirique de Matthiessen [15] :

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_C} \quad (1.18)$$

Cette loi considère que les différents mécanismes de diffusion de mobilité sont indépendants et qu'ils ont la même dépendance en énergie. Bien que ces hypothèses soient rarement vérifiées en pratique, la loi de Matthiessen reste toutefois une bonne approximation de la mobilité effective.

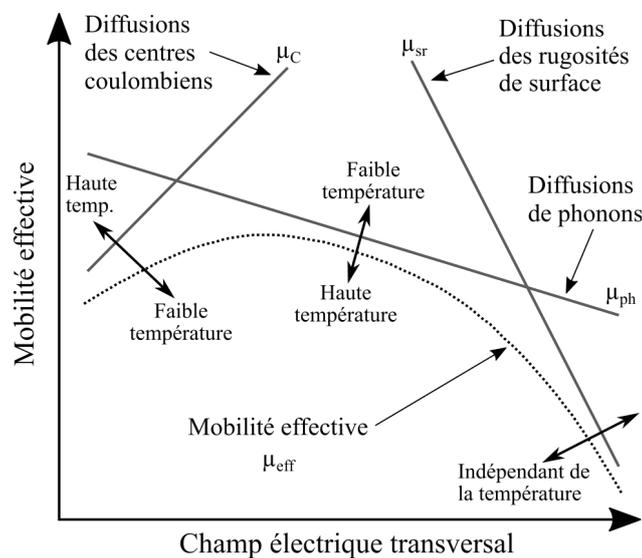


FIGURE 1.4 – Évolution de la mobilité effective limitée par les collisions en fonction de la température et du champ électrique transversal \mathcal{E}_z (adaptée de [16]).

1.3 Miniaturisation des MOSFET : évolutions technologiques et problèmes rencontrés

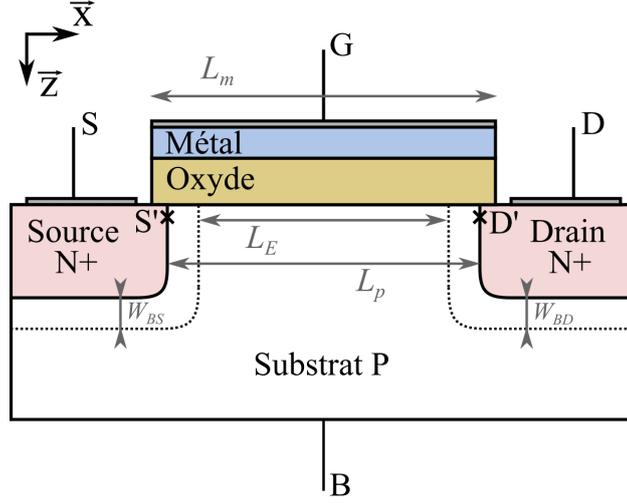
La miniaturisation des transistors est une préoccupation majeure des fabricants de composants depuis la production des premiers circuits intégrés et les raisons sont multiples : réduction des coûts de production à grande échelle (plus de transistors sur un même *wafer*), augmentation de la fréquence de travail (transistors plus courts), réduction de la consommation (avec la diminution des tensions d'alimentation) ou encore réalisation de circuits plus complexes (finesse de gravure). L'informatique est le premier domaine à profiter de ces avancées, car très dépendante des MOSFET. En effet, les processeurs jouissent d'une puissance de calcul de plus en plus élevée pendant que les mémoires - mémoires vives de type RAM ou mémoires de masse comme les *Solid-State Disks* (SSDs) - offrent désormais une capacité de stockage phénoménale par rapport à leurs débuts. Cependant la miniaturisation est très souvent accompagnée de phénomènes néfastes. Afin de palier à cela, les modèles mathématiques et les procédés de fabrication ont également évolué.

1.3.1 Prise en compte des défauts de fabrication

La miniaturisation commence évidemment par la réduction des dimensions des composants, rendue possible grâce à l'amélioration continue de la finesse de gravure des outils de production. De fait, les écarts entre les dimensions du masque de gravure et les dimensions effectives du canal doivent désormais être pris en compte.

Prenons par exemple le cas d'un transistor dont la longueur du masque est notée L_m . La longueur physique L_p du canal est légèrement plus petite, car les opérations de dopage des zones de source et de drain peuvent diffuser dans le substrat initialement protégé par le masque, c'est à dire que certains dopants se retrouvent dans le film de silicium, aux abords des zones de source et de drain. De plus, en fonctionnement, deux zones de charge d'espace se forment : l'une à la jonction substrat-source et l'autre à la jonction substrat-drain. L'épaisseur de ces zones de charge d'espace (respectivement notées W_{BS} et W_{BD}) viennent réduire la longueur réelle du canal, appelée longueur effective L_E . Les différentes longueurs énoncées sont représentées dans la figure 1.5 et se lient par $L_m > L_p > L_E$, avec $L_p \simeq L_E + W_{BS} + W_{BD}$.

Ainsi, pour prendre en compte les dimensions effectives du canal dans les modèles cités précédemment, les expressions vues dans ce chapitre se voient modifiées remplaçant les valeurs L et W par L_E et W_E . Pour plus de commodités, on définit respectivement $\Delta L := L_m - L_E$ et $\Delta W := W_m - W_E$ les écarts de longueur et de largeur entre le masque et le canal effectif.


 FIGURE 1.5 – Longueurs de masque L_m , physique L_p et effective L_E d'un MOSFET.

De plus la résistance du canal devient comparable à celles de la zone de source et de drain. On note S et D les points de contacts des zones source et drain, puis S' et D' les limites entre les zones source-substrat et drain-substrat et présentées sur la figure 1.5. Le transistor contient trois zones résistives : la source (R_S , entre S et S'), le canal (R_{ch} , entre S' et D') et le drain (R_D , entre D' et D). En considérant que les zones source et drain sont identiques ($R_S = R_D$), on note $R_{accès} = R_S + R_D$ la *résistance d'accès* du transistor et la résistance totale du transistor vaut $R_{tot} = R_S + R_{ch} + R_D = R_{accès} + R_{ch}$.

L'impact des dimensions effectives et des résistances d'accès sont deux effets à prendre en compte dans le modèle du courant de drain développé dans la section 1.2.1. Le modèle en forte inversion et régime linéaire détaillé dans l'équation 1.10 a donc évolué avec les considérations suivantes :

$$I_D = \frac{W_E}{L_E} \mu_{eff} |Q_{inv}| V_{D'S'} \quad (1.19)$$

où la charge d'inversion surfacique $|Q_{inv}| = C_{ox}(V_{GS'} - V_t - V_{D'S'}/2)$ en supposant linéaire la variation du champ électrique longitudinal dans le canal.

La section sur la mobilité effective (1.2.3 page 20) montre qu'en forte inversion (i.e. à fort champ électrique transversal) les diffusions coulombiennes sont négligeables. La mobilité effective $\mu_{eff}^{-1} \approx \mu_{ph}^{-1} + \mu_{sr}^{-1}$ dépend de la mobilité à faible champ μ_0 :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS'} - V_t - \frac{V_{D'S'}}{2} \right) + \theta_2 \left(V_{GS'} - V_t - \frac{V_{D'S'}}{2} \right)^2} \quad (1.20)$$

où le facteur d'atténuation de mobilité au second ordre θ_2 traduit l'effet des rugosités de surface, qui provoquent une importante réduction de la transconductance en (très) forte inversion [17].

L'expression 1.19 devient alors :

$$I_D = \frac{W_E}{L_E} \mu_0 C_{ox} V_{D'S'} \frac{V_{GS'} - V_t - \frac{V_{D'S'}}{2}}{1 + \theta_0 \left(V_{GS'} - V_t - \frac{V_{D'S'}}{2} \right) + \theta_2 \left(V_{GS'} - V_t - \frac{V_{D'S'}}{2} \right)^2} \quad (1.21)$$

En prenant en compte le courant de drain I_D et les résistances R_S et R_D , on peut écrire $V_{D'S'} = V_{DS} - V_{DD'} - V_{S'S} = V_{DS} - I_D(R_D + R_S)$ et $V_{GS'} = V_{GS} - V_{S'S} = V_{GS} - I_D \cdot R_S$. En insérant ces éléments dans l'équation précédente et en isolant I_D , et sous l'hypothèse que $R_S = R_D$, on peut alors exprimer le courant de drain à partir des tensions imposées aux bornes du composant :

$$I_D = \frac{W_E}{L_E} \mu_0 C_{ox} V_{DS} \frac{V_{GS} - V_t - \frac{V_{DS}}{2}}{1 + \theta_1 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) + \theta_2 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right)^2} \quad (1.22)$$

avec le facteur extrinsèque d'atténuation de mobilité θ_1 défini par :

$$\theta_1 := \theta_0 + \frac{W_E}{L_E} \mu_0 C_{ox} R_{accès} \quad (1.23)$$

De même, la transconductance en régime linéaire exprimée dans l'équation 1.14 devient :

$$g_m = \frac{W_E}{L_E} \mu_0 C_{ox} V_{DS} \frac{1 - \theta_2 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right)^2}{\left[1 + \theta_1 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) + \theta_2 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right)^2 \right]^2} \quad (1.24)$$

1.3.2 Porteurs chauds et LDD

Grâce aux champ électrique longitudinal \mathcal{E}_x , les porteurs acquièrent de l'énergie. Les porteurs entrant en collision avec les phonons, cette énergie est en partie dissipée dans le réseau cristallin. Mais avec un fort champ électrique, les porteurs reçoivent plus d'énergie qu'ils n'en émettent. La température des porteurs devient alors supérieure à la température du réseau cristallin : on qualifie alors ceux-ci de *porteurs chauds*. Ce phénomène est d'autant plus important quand la longueur du canal est faible. Avec une énergie cumulée suffisante, les porteurs chauds vont notamment dissiper leur énergie en ionisant par impact les atomes du réseau. La conséquence de cela est la création de paires électron-trou, à travers l'*ionisation primaire* et l'*ionisation secondaire*. L'ionisation primaire est due aux porteurs du canal. Dans le cas d'un transistor à canal N, les électrons créés avec l'ionisation seront attirés par le drain (augmentation du courant de drain, même si non significative) alors que les trous seront collectés par le substrat (augmentation du courant de fuite par le substrat).

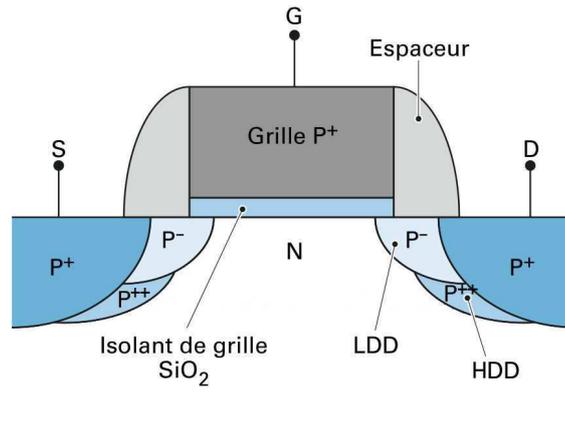


FIGURE 1.6 – Poches HDD et LDD dans un MOSFET (adaptée de [19]).

Les répercussions peuvent être une augmentation des états d'interface (si l'ionisation a lieu dans le canal) ou une augmentation de la résistance de drain R_D (si l'ionisation a lieu dans le drain). Dans tous les cas la fiabilité et la durée de vie du composants s'en retrouvent diminuées. Une ionisation secondaire se produit lorsque les trous créés suite à l'ionisation primaire (et repoussés par le drain) impactent cette fois-ci un atome dans le volume du film. Les trous créés sont encore attirés pas le substrat alors que les électrons générés seront cette fois-ci attirés par la grille (augmentation du courant de fuite par la grille) [18].

Les conséquences de l'ionisation par impact sont donc très critiques pour les systèmes numériques. Néanmoins il est possible de limiter l'apparition de porteurs chauds en agissant directement sur le champ électrique longitudinal. La figure 1.6 montre des zones *Lightly Doped Drain* (poche de drain faiblement dopée, LDD) placées entre le canal et les zones de source et drain. Leur principal effet est de diminuer le champ électrique maximal du côté du drain, mais elles augmentent également les résistances de source et de drain.

1.3.3 Effets de canaux courts - Short Channel Effects

On note également la présence d'un certain nombre d'effets négatifs regroupés sous le nom de *Short-Channel Effects* (effets de canaux courts, SCEs). On y trouve par exemple l'effet de *partage de charge*, qui traduit le fait que la partie de la charge contrôlée par les jonctions de source et de drain devient non négligeable devant celle contrôlée par la grille, provoquant une réduction de la tension de seuil. Autre phénomène, la tension de *punchthrough* correspond à la tension V_{DS} lorsque les zones de charge d'espace des jonctions B-S et B-D se touchent. Il n'y a donc plus de canal entre la source et le drain et un fort courant circule dans le transistor.

Dans ces deux cas (favorisés par l'ajout de poches LDD), les effets de canaux courts peuvent être contrés en ajoutant des zones *Highly Doped Drain* (poche de drain fortement

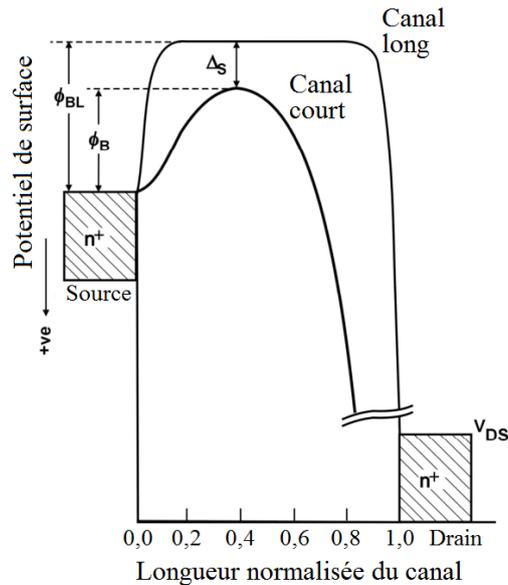


FIGURE 1.7 – Représentation de l'effet DIBL pour deux longueurs de canal (traduite de [20]).

dopée, HDD) au bord des zones de sources et de drain (cf figure 1.6). Ces zones étant plus fortement dopées que la source et le drain, leur zone de charge d'espace est réduite. Ainsi le contrôle des charges par le champ longitudinal est réduit au profit du champ transversal, et la tension de *punchthrough* est plus élevée [18].

Enfin, le *Drain-Induced Barrier Lowering* (abaissement de la barrière dû au potentiel de drain, DIBL) est causé par le potentiel de drain qui va affecter les niveaux d'énergie jusqu'à une zone proche de la source. La barrière d'énergie à franchir pour les porteurs est plus faible et la tension de seuil s'en trouve diminuée quand V_{DS} augmente, ce qui conduit à une augmentation du courant de drain [20]. Cet effet est représenté sur la figure 1.7.

1.3.4 Isolant high- κ et matériau de la grille

L'existence du dioxyde de silicium SiO_2 est une des nombreuses raisons qui font que le silicium est aujourd'hui le matériau semi-conducteur le plus utilisé. Ses principaux avantages sont d'être naturellement stable et facile à fabriquer et à faire croître sur du silicium. Ces facteurs sont des arguments de poids pour la production industrielle de circuits électroniques. Cependant, la miniaturisation des transistors entraîne la réduction non seulement des dimensions du canal mais également de l'épaisseur t_{ox} de l'oxyde de grille, laissant passer du canal vers la grille un plus grand nombre de porteurs. Il s'agit d'un courant de fuite par effet tunnel, qui est un effet quantique : bien que l'énergie des porteurs soit théoriquement trop faible pour passer à travers l'oxyde, il existe une probabilité non nulle que les porteurs traversent cette barrière si elle est suffisamment fine. En continuant d'utiliser du SiO_2 comme isolant de grille, on risque de voir augmenter le courant de fuite par effet tunnel.

Pour contrer cet effet, l'industrie micro-électronique utilise désormais des matériaux dits « high- κ », c'est-à-dire à haute constante diélectrique en comparaison au dioxyde de silicium ($\kappa_{SiO_2} = 3,9$). Cela signifie que pour arriver à la même valeur de capacité d'oxyde qu'avec du SiO_2 , l'isolant réalisé à partir d'un matériau high- κ sera plus épais et diminuera drastiquement le courant de fuite par effet tunnel. En pratique l'isolant de grille est constitué avec un *empilement de grille* d'une fine couche de SiO_2 sur le canal (pour réduire les défauts d'interface), sur laquelle se trouve la couche d'isolant high- κ .

Afin de comparer différentes technologies, l'épaisseur de l'empilement de grille est couramment donnée en *Equivalent Oxide Thickness* (épaisseur d'oxyde équivalente, EOT). Il s'agit de l'épaisseur de SiO_2 qui donnerait la même capacité surfacique C_{ox} .

$$EOT = t_{SiO_2} + t_{high-\kappa} \frac{\kappa_{SiO_2}}{\kappa_{high-\kappa}} \quad (1.25)$$

Le matériau de grille a également évolué, passant du silicium poly-cristallin (utilisé pour sa facilité de production) à du métal, améliorant ainsi le contrôle électrostatique du canal. Le métal employé pour la grille est sélectionné afin de réduire au maximum la différence des travaux de sortie ϕ_{MS} entre la grille et le substrat, permettant ainsi d'abaisser la tension de seuil comme expliqué dans la section 1.1.2.

1.3.5 SOI MOSFET

Bien que la consommation électrique des transistors de taille réduite soit plus faible, les courants de fuite ont tendance à augmenter à procédés de fabrication identiques. Il est parfois observé un courant de fuite à travers le contact de substrat, qui peut être empêché en ajoutant un isolant entre le film actif et le contact de substrat lui-même : c'est le cas des technologies *Silicon On Insulator* (silicium sur isolant, SOI). Il s'agit d'une technologie où les transistors sont réalisés sur un isolant (généralement du SiO_2), lui-même sur une couche de silicium.

Le modèle de transistor présenté sur la figure 1.8 est un SOI MOSFET. Ceux-ci sont donc constitués d'une couche de silicium (le substrat, qui ne sert désormais que de support mécanique) et d'une couche d'isolant appelée *Burried Oxide* (oxyde enterré, BOX), sur laquelle on retrouve les transistors classiques. La partie en semi-conducteur située entre l'oxyde enterré et l'oxyde de grille est dénommée *film actif*. On note alors t_{Si} l'épaisseur du film actif et t_{BOX} l'épaisseur de l'oxyde enterré. Les composants SOI sont prometteurs en terme de RAM à transistor unique (1T-DRAM) car il est possible de stocker l'information binaire à l'interface film-BOX, réduisant considérablement les dimensions par rapport aux mémoires classiques (les condensateurs utilisés traditionnellement sont difficilement réductibles).

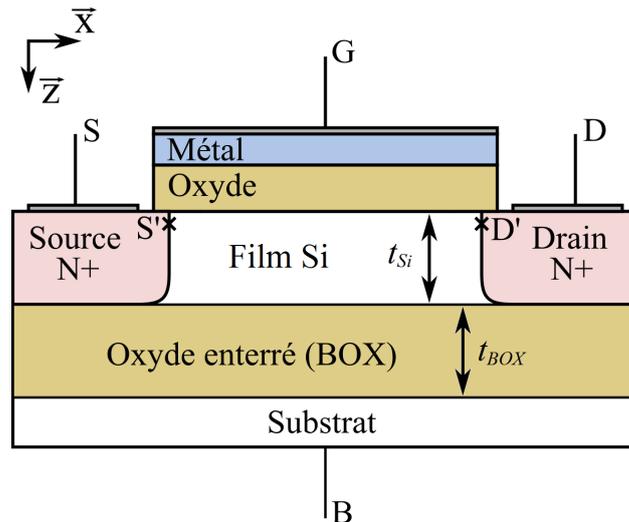


FIGURE 1.8 – MOSFET *Silicon On Insulator* (silicium sur isolant, SOI) : le film de silicium est compris entre l'oxyde de grille et l'oxyde enterré (*Burried Oxide*, BOX).

Le principal avantage apporté par l'oxyde enterré est l'isolation électrique : il n'y a plus de courant de fuite par le substrat et les transistors sont isolés entre eux. De plus les zones de source et de drain s'étalent jusqu'à l'oxyde enterré, réduisant la capacité des jonctions substrat-source et substrat-drain ainsi que la largeur des zones de charge d'espace. La réduction de ces capacités permet notamment d'augmenter la fréquence de fonctionnement des transistors. Cependant la chaleur due à la puissance développée dans le film ne peut pas s'échapper car l'oxyde enterré est un mauvais conducteur thermique, contrairement au substrat massif. Les SOI MOSFET sont donc sujets à des phénomènes d'auto-échauffement, pouvant provoquer des changements de comportements au fil de l'utilisation [19].

On distingue deux type de SOI MOSFET selon l'épaisseur du film actif. Les *Partially Depleted* (à déplétion partielle, PD) ont une épaisseur de film assez importante. Ils se comportent quasiment comme des MOSFET classiques. Lorsque que l'épaisseur t_{Si} est plus faible, les SOI sont dits *Fully Depleted* (à déplétion totale, FD). Cela signifie que la zone de déplétion recouvre toute l'épaisseur du film de silicium. Dans ce cas la polarisation du substrat peut également contrôler un canal à l'interface film-BOX, qu'on appelle le *back-channel* ou canal arrière. De plus, les transistors FD-SOI ont une tension de seuil plus faible (celle-ci étant limitée par la profondeur de la zone de déplétion, elle-même limitée par l'épaisseur du film de silicium), une pente sous le seuil proche de la valeur théorique (car la capacité de déplétion C_{dep} est constante) et un courant en saturation plus élevé.

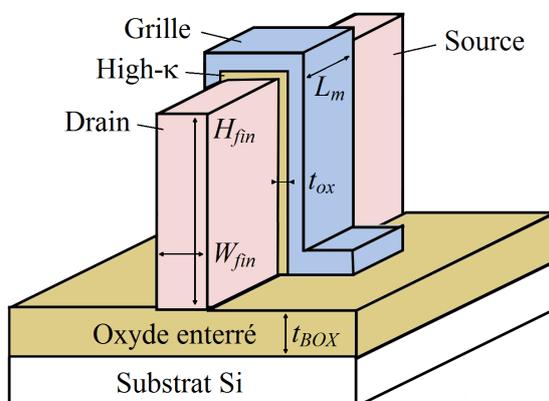
Bien que les avantages du SOI soient connus depuis plusieurs décennies, les techniques de fabrication pour les grands volumes de production ne sont apparus que très récemment, AMD faisant partie des premiers fabricants de processeurs sur SOI en 2001.

1.3.6 MOSFET à grille multiple (MUGFET)

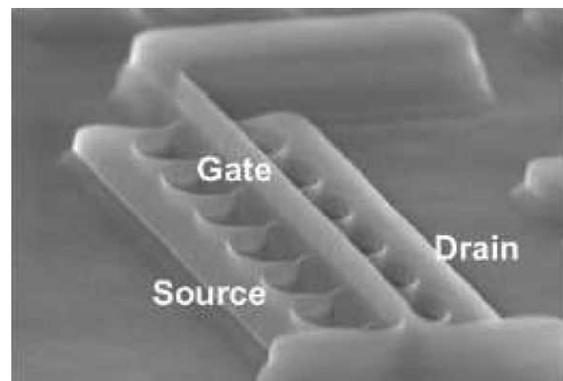
Plusieurs innovations ont fait leur apparition sous le nom générique de *Multiple-Gate Field-Effect Transistor* (transistor à effet de champ à grille multiple, MUGFET). Il s'agit de transistors en trois dimensions (c'est à dire que le canal n'est plus sur un seul plan) et à grille multiple, ce qui permet à la fois d'augmenter la densité des transistors tout en offrant un meilleur contrôle du canal. Les premiers MUGFET étaient des transistors SOI dont le substrat était utilisé pour contrôler le *back-channel*.

Les *Finger-Field-Effect-Transistors* (FinFETs) sont des transistors à triple grille dont la structure est présentée sur la figure 1.9. En général plusieurs doigts en parallèle sont utilisés pour former un transistor. La largeur totale du canal est donnée par la hauteur H_{fin} et la largeur W_{fin} des N_{fin} doigts : $W_m = N_{fin}(2 \cdot H_{fin} + W_{fin})$. Lorsque les doigts sont de largeur faible en comparaison à leur hauteur, ils se comportent comme des transistors à double grille. Cette technologie permet d'offrir un meilleur contrôle électrostatique du canal et une meilleure pente sous le seuil SS . Du point de vue industriel, ses performances pour des applications logiques sont confirmées et elle est compatible avec les procédés CMOS planaires. Le fabricant Intel a été le premier à utiliser des composants multi-grille dans de gros volumes de production, en introduisant des FinFET à triple-grille en 2011 pour le nœud technologique 22 nm [21].

Les meilleures performances des transistors à grille multiple peuvent en partie être expliquées par l'inversion en volume plutôt qu'en surface. Le canal se formant au cœur du film actif plutôt qu'à l'interface film-oxyde, les porteurs ne sont plus perturbés par les défauts d'interface et leur mobilité et leur pente sous le seuil s'en trouvent augmentées. La formation du canal dans le volume est montrée à faible tension de grille sur la figure 1.10, dans le cas d'un transistor à double grille (ou d'un FinFET à faible largeur de doigt). On y observe que



(a) Structure d'un doigt de SOI-FinFET.



(b) Image TEM d'un FinFET [22].

FIGURE 1.9 – Structure d'un doigt de FinFET à triple-grille (gauche) et réalisation de plusieurs doigts en parallèle constituant un FinFET (droite).

la concentration de porteurs à faible tension de grille est quasiment constante au centre du film, alors qu'elle est plus importante en surface pour de fortes tensions [23].

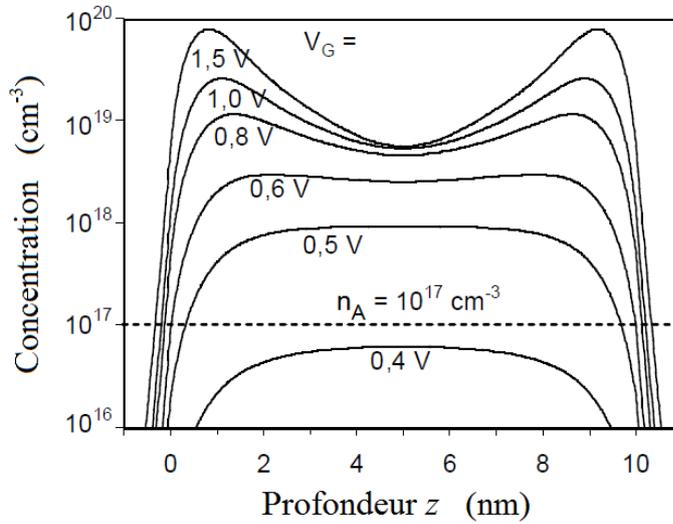


FIGURE 1.10 – Effet de la tension de grille sur la concentration d'électrons dans la profondeur du film actif d'un MOSFET à double grille large de 10 nm (adaptée de [23]).

Les MUGFET offrant le meilleur contrôle électrostatique du canal sont les transistors *Gate-All-Around* (à grille enrobante, GAA), comme par exemple les *Quadriple-Gate FETs*. Les *Nanowire Field-Effect Transistors* (transistor nanofil à effet de champ, NW-FETs) sont promis à un grand avenir dans le domaine de la micro-électronique de part la forme cylindrique de leur film (Fig. 1.11), qui offre un contrôle homogène dans tout le matériau [23]. Comme pour les FinFETs, plusieurs nanofils sont utilisés en parallèle et la formation du canal se fait dans le volume. L'IRDS considère le nanofil comme étant le transistor idéal, comme le montre la figure 1.11 issue de leur dernier rapport de synthèse [24].

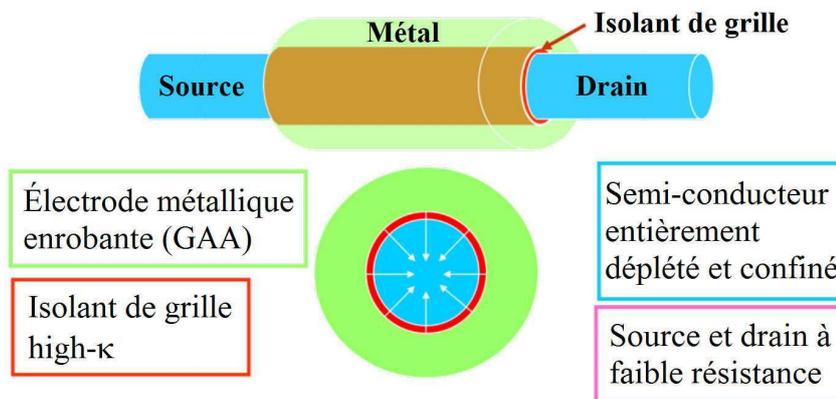
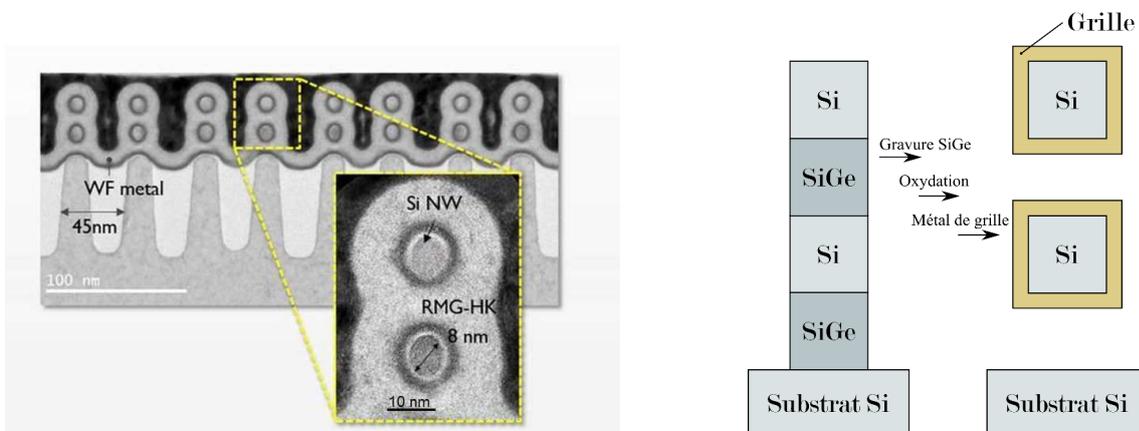


FIGURE 1.11 – Représentation du MOSFET idéal selon l'IRDS : le nanofil (adaptée de [24]).

1.3.7 Raisons industrielles

Limiter les effets négatifs de la miniaturisation n'est pas la seule raison de l'existence de certaines technologies : d'autres sont liées à des contraintes industrielles. Prenons l'exemple d'un circuit intégré pour lequel les transistors au cœur sont des GAA NW-FET dont les courants de drain sont relativement faibles par rapport aux transistors en périphérie du circuit. Dans cet exemple, les GAA NW-FET sont constitués de plusieurs paires de nanofils en silicium, chaque paire correspondant à deux nanofils horizontaux suspendus l'un au dessus de l'autre (cf figure 1.12a). Pour les fabriquer, le silicium du premier nanofil est réalisé par croissance épitaxiale sur une couche de SiGe, reposant lui-même sur du silicium (le substrat). Le film de Si est recouvert d'une couche de SiGe, puis d'une nouvelle couche de Si (pour réaliser le second nanofil). La structure obtenue est illustrée sur la figure 1.12b. Le SiGe est qualifié d'espaceur : il est gravé, pour transformer l'empilement Si/SiGe/Si/SiGe/Si par un empilement Si/vide/Si/vide/Si. Les deux nanofils sont ensuite recouverts par l'isolant et le métal de la grille, formant ainsi une paire de nanofils superposés.

Les transistors dédiés aux entrées et sorties du circuit intégré, appelés *I/O transistors* (*Input/Output*) ont des contraintes moindres en terme de performances, mise à part la circulation d'un courant de plus grande intensité. Ils sont habituellement fabriqués en suivant une technologie FinFET entièrement en Si, ce qui implique d'ajouter des étapes technologiques à la conception du circuit électronique. Afin de réduire le nombre d'étapes de fabrication (et donc le coût de production), il a dans cet exemple été décidé de reprendre la même structure (empilement de Si/SiGe/Si/SiGe/Si) que les GAA NW-FET au centre du circuit (figure 1.12b). Cependant, les étapes de gravures du SiGe ne sont pas effectuées, donnant ainsi naissance à des FinFET donc le film est composé d'un empilement de Si et de SiGe : ce sont les *Superlattice FinFET* (abrégiés en super-FF) [25].



(a) Nanofils horizontaux GAA au cœur du circuit électronique (technologie « 0,7 V CORE ») [25]. (b) Fabrication des nanofils à partir d'un empilement Si/SiGe/Si/SiGe/Si.

FIGURE 1.12 – Réalisation de nanofils horizontaux à grille enrobante (GAA hNW-FET).

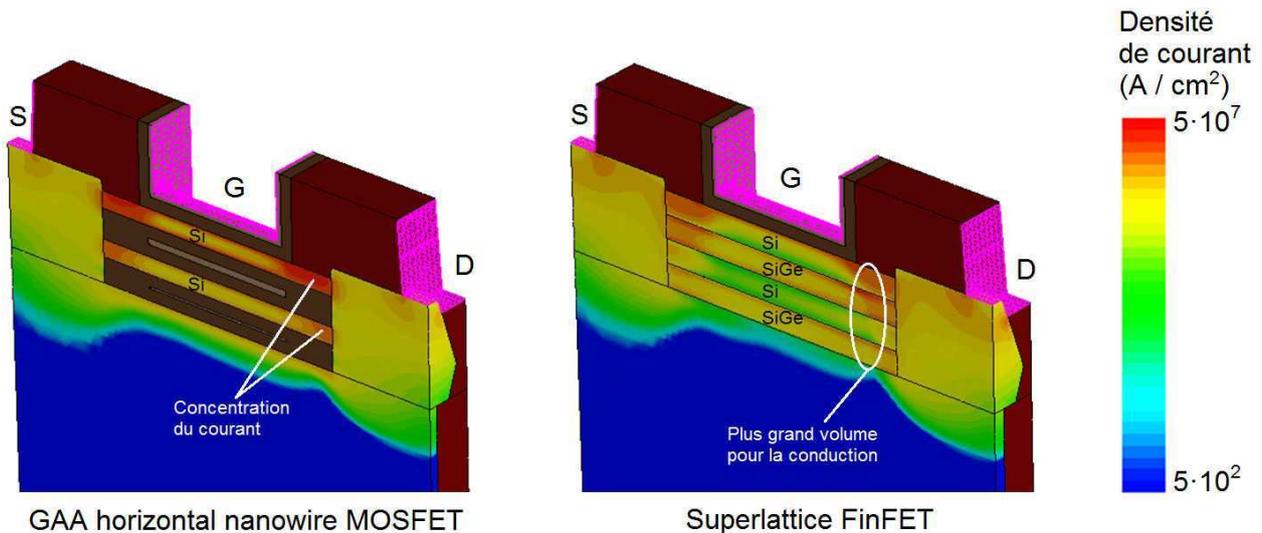


FIGURE 1.13 – Simulation TCAD d'un GAA hNW-FET et d'un super-FF à l'état *on* [25].

Par rapport au cas idéal (la gravure des espaceurs n'affecte pas le silicium des nanofils), les superlattices FinFET offrent un courant à l'état *on* supérieur de 25 %. En pratique, le silicium des nanofils est légèrement attaqué par la gravure du SiGe. En prenant le cas où 1 nm de silicium est gravé, le courant des superlattices FinFET est jusqu'à 55 % plus élevé [25]. Par conséquent les superlattices FinFET offrent la possibilité d'une intensité de courant plus grande en comparaison aux GAA NW-FET présents en milieu de circuit intégré, comme le montrent les résultats d'une simulation TCAD présentée sur la figure 1.13. Le courant maximal est cependant plus faible que dans un FinFET traditionnel (entièrement en silicium).

Toutefois, l'intérêt d'une telle technologie est son coût de production de fabrication : la fabrication repose sur les mêmes étapes que les autres transistors du circuit. Même si dans ce cas un FinFET entièrement en silicium aurait apporté de meilleures performances, le fait d'utiliser quasiment la même recette de fabrication pour tous les transistors permet de réduire le coût de fabrication d'une puce électronique, d'autant plus si elle est destinée à une production à très grande échelle.

1.4 Composants étudiés

Les composants étudiés pendant cette thèse ont été fabriqués à imec¹ (Leuven, Belgique). Trois premiers lots ont été conçus pour le nœud technologique 10 nm dans le cadre d'une étude comparative entre FinFET et nanofils GAA. Deux autres lots, développés pour le nœud technologique 5 nm, comparent nanofils et superlattice FinFET.

1.4.1 FinFET et nanofils pour le nœud technologique 10 nm

Trois premiers lots ont été fabriqués en suivant quasiment les mêmes étapes de fabrication. Il s'agit d'un lot de FinFET à triple grille et de deux lots de nanofils à grille enrobante (GAA NW-FET). La différence entre les deux lots de GAA NW-FET est le métal de grille : le premier lot a simplement une grille en nitrure de titane (TiN) et l'autre est un empilement de différents métaux (TiN/TaN/TiAl/TiN). Le métal de grille des FinFET est en TiN. Une coupe de ces composants est présentée sur la figure 1.14.

Tous les composants ont été fabriqués sur un substrat SOI. Le film actif de silicium n'est pas intentionnellement dopé. L'isolant de la grille est constitué d'une couche d'interface SiO₂ épaisse de 1,5 nm, suivie d'une couche d'isolant high- κ HfO₂ également de 1,5 nm d'épaisseur. L'oxyde d'hafnium est composé à 60 % de HfO₂ (de constante diélectrique $\kappa_{\text{HfO}_2} = 20$) et à 40 % de SiO₂. Ainsi l'épaisseur équivalente d'oxyde de cette dernière couche est de 0,43 nm, donnant une EOT totale pour les composants :

$$EOT = t_{\text{SiO}_2} + t_{\text{high-}\kappa} \frac{\kappa_{\text{SiO}_2}}{0,6 \kappa_{\text{HfO}_2} + 0,4 \kappa_{\text{SiO}_2}} = 1,5 + 1,5 \frac{3,9}{0,6 \times 20 + 0,4 \times 3,9} = 1,93 \text{ nm} \quad (1.26)$$

On en déduit donc la capacité surfacique d'oxyde C_{ox} :

$$C_{ox} = \frac{\kappa_{\text{SiO}_2} \epsilon_0}{EOT} = \frac{3,9 \times 8,854 \cdot 10^{-12}}{1,93 \cdot 10^{-9}} = 1,79 \cdot 10^{-2} \text{ F/m}^2 = 1,79 \cdot 10^{-6} \text{ F/cm}^2 \quad (1.27)$$

La fabrication de la grille se poursuit par un *Atomic Layer Deposition* (dépôt par couche atomique, ALD) de métal (TiN ou TiN/TaN/TiAl/TiN). Du tungstène est ensuite déposé par ALD puis par *Chemical Vapor Deposition* (dépôt chimique en phase vapeur, CVD) afin de réduire la différence des travaux de sortie des différents matériaux du transistor.

Les doigts et nanofils sont horizontaux, les nanofils sont suspendus. Cinq doigts (N_{fin}) ou cinq nanofils (N_{NW}) sont disposés en parallèle, tous sont séparés de 200 nm. La hauteur

1. <https://www.imec-int.com/en/home>

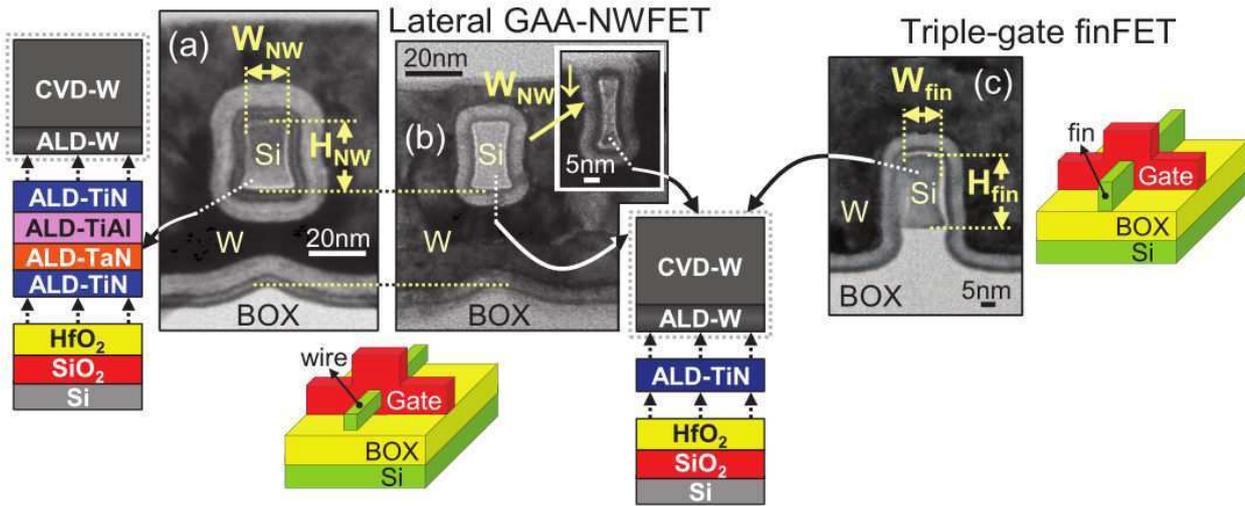


FIGURE 1.14 – Images des composants étudiés par microscope électronique en transmission (TEM). Les composants (a) et (b) sont des GAA NW-FET, les composants (c) des FinFET. Les composants (b) et (c) ont une grille en TiN, les composants (a) ont un empilement de TiN, TaN et TiAl [26].

du doigt H_{fin} ou du nanofil H_{NW} est de 22-23 nm et la largeur du doigt W_{fin} ou nanofil W_{NW} varie de 5 nm à 1 μm . La largeur totale du masque de grille est donc donnée par la relation $W_m = N_{fin} \cdot (2 H_{fin} + W_{fin}) = N_{NW} \cdot (2 H_{NW} + 2 W_{NW})$. La longueur du masque de grille des FinFET L_m ou des GAA NW-FET varie entre 20 nm et 10 μm .

1.4.2 Nanofils et superlattice FinFET pour le nœud technologique 5 nm

Les deux lots présentés ci-après sont des nanofils à grille enrobante et des superlattice FinFET. Ils ont été fabriqués en technologie « 2,5V I/O » selon la méthodologie expliquée dans la section 1.3.7. Les hGAA NW-FET sont constitués de cinq paires de nanofils, chaque paire étant faite de deux nanofils horizontaux superposés, comme le montre la figure 1.15. Les superlattice FinFET sont composés de cinq doigts en parallèle (figure 1.17).

Tous les composants disposent d'un empilement de grille $\text{SiO}_2/\text{HfO}_2$ suivi d'un métal de grille. La couche interfaciale fait soit 3 nm soit 5 nm, l'isolant high- κ fait 2 nm.

Ces composants ont fait l'objet d'une étude préliminaire en terme de niveau de bruit en $1/f$. Des simulations et mesures à imec ont déjà montré les meilleures performances statiques (SS , I_{on}) des super-FF par rapport aux GAA hNW-FET ainsi qu'une fiabilité et des paramètres analogiques comparables à ceux des FinFET entièrement en silicium [25].

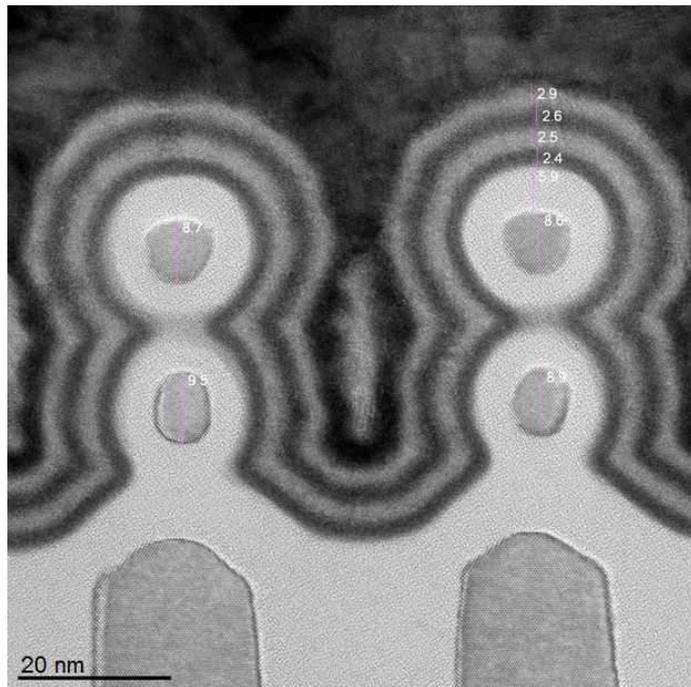


FIGURE 1.15 – Nanofils horizontaux fabriqués en technologie « 2,5V I/O » [25].

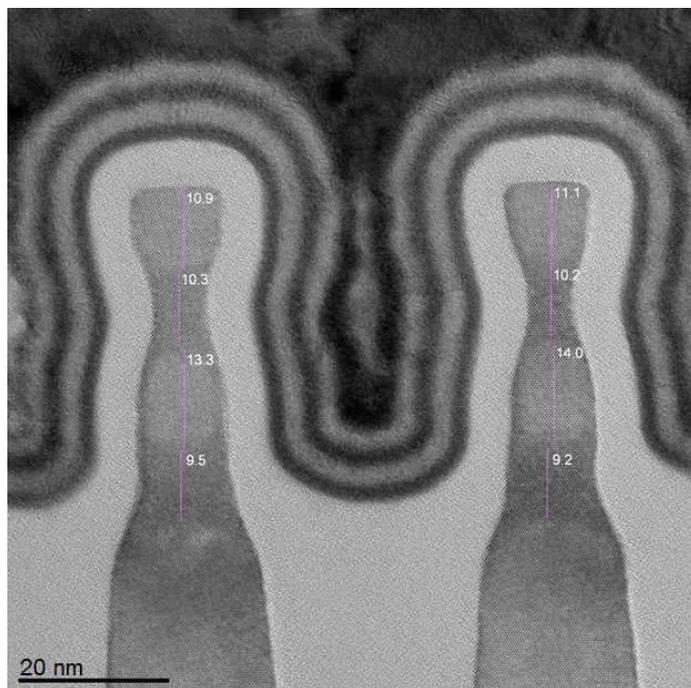


FIGURE 1.16 – Superlattice FinFET (super-FF).

FIGURE 1.17 – Superlattice-FinFET fabriqués en technologie « 2,5V I/O » [25].

Chapitre 2

Bruit basse fréquence dans les transistors

Les procédés de fabrication ont suivi une évolution spectaculaire, capables aujourd'hui de graver les substrats à une résolution de quelques dizaines de nanomètres grâce à l'emploi de photolithographie à extrême ultraviolet (technologie EUV). Néanmoins les nombreuses étapes de fabrication qui se succèdent (plusieurs dizaines pour certains circuits intégrés) ne permettent pas d'obtenir un composant exempt de défauts. Ces derniers peuvent être liés aux matériaux utilisés pour le composant (dopants, métal de grille, ...) ou aux étapes de fabrications elles-mêmes (impuretés utiles pour réaliser l'étape, mais pas pour le fonctionnement).

Ces défauts peuvent avoir un impact significatif sur les porteurs de charge électrique et donc sur le fonctionnement des composants. Ceci est d'autant plus vrai qu'avec la réduction des composants le bruit devient un facteur de plus en plus limitant. Ce chapitre présentera dans la première section l'origine des défauts et leurs caractéristiques. Le formalisme du bruit sera introduit dans la deuxième section, puis complété dans la troisième en détaillant la représentation fréquentielle du bruit dans les transistors.

2.1 Défauts

Le terme générique « défaut » a un sens très large et regroupe plusieurs situations. On peut néanmoins considérer très simplement qu'un défaut est une anomalie dans la structure du cristal. Les cas les plus courants sont représentés dans la figure 2.1. Le premier cas représenté est un défaut interstitiel. Il s'agit d'un atome étranger situé entre les sites du réseau cristallin. Il peut aisément circuler à travers le cristal grâce au phénomène de diffusion : à température suffisamment élevée (comme pendant la phase de recuit lors de la fabrication des composants) le réseau vibre et permet une circulation plus facile des impuretés interstitielles.

Dans le deuxième cas de la figure 2.1, on trouve un défaut substitutionnel : l'atome étranger est cette fois-ci à la place d'un atome du cristal. L'impureté ne peut se déplacer dans la structure qu'avec l'aide d'une lacune (atome du cristal manquant). Les énergies mises en jeu peuvent créer une forte liaison entre un tel défaut et une lacune : on parle alors de paire défaut-lacune (cas (c)). Enfin on parle de défaut auto-interstitiel lorsque deux atomes du cristal occupent le même site. Ce défaut est souvent associé à une impureté substitutionnelle, donnant à cette dernière la possibilité de diffuser dans le cristal (cas (d)). De plus, cette formation donne une probabilité de dissociation non nulle : l'impureté peut migrer vers un site interstitiel, redonnant ainsi le cas (a) de la figure. L'opération inverse, c'est à dire du cas (a) vers le cas (d), est également possible.

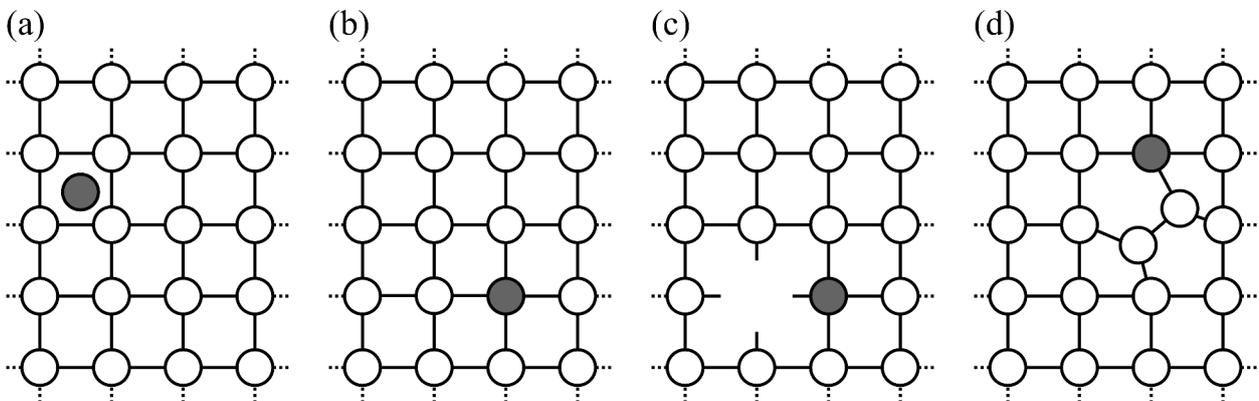


FIGURE 2.1 – Illustrations de défauts dans un réseau cristallin : (a) défaut interstitiel - (b) défaut substitutionnel - (c) paire défaut-lacune - (d) défaut auto-interstitiel.

L'existence de ces défauts est due à plusieurs paramètres technologiques. Les défauts interstitiels sont dus à des impuretés légères, telles que l'hélium ou l'hydrogène, ou à certains métaux de transition. Les lacunes et substitution peuvent être causées par les étapes d'implantation ionique, pendant lesquelles les atomes dopants sont projetés à grande vitesse dans le substrat. Certains atomes de silicium se trouvent ainsi éjectés de leur site, qui est soit laissé vacant soit occupé par un dopant. Les opérations de recuit qui interviennent plus tard dans le processus de fabrication permettent la diffusion de ces défauts jusque dans le film de silicium, donc dans la zone d'inversion pour les FD-SOI. D'autres défauts peuvent

arriver par diffusion jusqu'à l'oxyde de grille et créer des pièges près du canal d'inversion du transistor [27].

D'un point de vue énergétique, on appelle plus généralement « piège » l'impact du défaut. Il va créer un niveau d'énergie E_T situé dans la bande interdite et va donc permettre localement à certains porteurs d'accéder à un niveau d'énergie normalement indisponible. Ceci va provoquer une variation du nombre de porteurs de charge électrique disponibles et donc de l'intensité du courant. De plus, l'état du piège (neutre ou chargé) peut perturber localement le champ électrique et la mobilité des porteurs. L'ensemble des perturbations apportées par les défauts au courant contribue au bruit électrique dans les composants. Afin d'identifier les étapes du procédé de fabrication impactant le niveau de bruit des MOSFET, la nature physique des pièges peut être identifiée grâce à la méthode de spectroscopie de bruit basse fréquence qui sera détaillée dans la section 4.4 page 100.

2.2 Origine du bruit électrique

2.2.1 Définition

Le bruit peut, s'il est relativement élevé, perturber voire compromettre la détection, la transmission ou l'interprétation d'une information. Pour quantifier cela, le *Signal-to-Noise Ratio* (Rapport Signal-sur-Bruit, SNR) indique pour un signal la quantité d'information ramenée à la quantité de bruit (rapport des tensions efficaces). Du point de vue de la physique des composants, le bruit électrique est une caractéristique des composants actifs et passifs. Le niveau et le comportement fréquentiel du bruit dépendent de la conception et de la réalisation du composant, par conséquent l'étude du bruit permet de juger de la qualité des procédés de fabrication. Évidemment il est important de réduire le niveau de bruit dans un composant, surtout dans des applications de télécommunications ou de mesures dans lesquelles les signaux relevés sont très faibles : le signal utile y est particulièrement perturbé par le bruit intrinsèque du composant. C'est pourquoi le SNR est à la fois une figure de mérite et un critère de sélection important d'un composant lors de la conception d'un circuit électronique.

Un des objectifs des études de bruit effectuées pendant cette thèse est d'estimer la qualité de la fabrication des MOSFET, et donc la qualité du film de silicium (substrat) et de l'isolant de grille. Les pièges identifiés permettent d'indiquer quelles étapes de fabrication apportent des défauts et donc quels sont les procédés à améliorer pour diminuer leur présence. Cela permet pour des applications analogiques d'améliorer le SNR d'un composant et, dans le cas des applications mémoire (1T-DRAM), d'améliorer le temps de rétention de l'information.

Pour des circuits numériques plus poussés, les tensions mises en jeu sont très faibles et le bruit intrinsèque ne doit pas corrompre l'information binaire [28].

2.2.2 Bruit et fluctuations de courant

En régime permanent, le bruit dans le domaine temporel est équivalent à des fluctuations (perturbations) autour d'une valeur moyenne. Le courant correspond quant à lui à une quantité de charges transportées par unité de temps. Le courant moyen dans un matériau de longueur L peut s'écrire [29] :

$$\bar{I} = q \bar{N} \bar{v}_d / L \quad (2.1)$$

La valeur de la charge électrique q et la longueur L du matériau observé sont fixes, ce qui n'est pas le cas du nombre de porteurs de charge N ou de la vitesse de déplacement v_d de ceux-ci. On écrit alors respectivement les expressions suivantes pour le nombre de porteurs de charge et la vitesse de déplacement individuelle des porteurs (i.e. pour chaque porteur) :

$$N(t) = \bar{N} + \Delta N(t) \quad (2.2)$$

$$v_i(t) = \bar{v}_i + \Delta v_i(t) \quad (2.3)$$

Lorsque le champ électrique \mathcal{E} subit par les porteurs est uniforme, la vitesse de déplacement moyenne est identique pour tous les porteurs et l'expression des fluctuations de courant est donnée par :

$$\Delta I(t) = \frac{q}{L} \bar{v}_d \Delta N(t) + \frac{q}{L} \sum_{i=1}^N \Delta v_i(t) \quad (2.4)$$

On observe dans l'équation précédente que les fluctuations de courant sont dues aux fluctuations du nombre de porteurs de charge (premier terme de l'équation) et aux fluctuations de la vitesse de déplacement de ces porteurs (second terme). Pour de faibles valeurs du champ électrique \mathcal{E} , la vitesse de déplacement des porteurs est proportionnelle à celui-ci :

$$v_d = \mu \mathcal{E} \quad \text{ou encore} \quad v_i = \mu_i \mathcal{E} \quad (2.5)$$

μ étant la mobilité des porteurs et μ_i la mobilité individuelle. On parle dans ce cas de fluctuations de mobilité des porteurs.

En conclusion, les fluctuations de courant dans un matériau peuvent être dues aux fluctuations du nombre de porteurs de charge et/ou aux fluctuations de mobilité de ces mêmes porteurs. Les paragraphes suivants présentent les différentes origines physiques du bruit électrique et leur comportement dans le domaine fréquentiel.

2.2.3 Modèle de bruit d'un MOSFET

Le bruit électrique est représenté par sa *Densité Spectrale de Puissance* (DSP) en tension ou en courant, exprimées en V^2/Hz et en A^2/Hz respectivement. En pratique une résistance génère du bruit à travers plusieurs mécanismes rappelés dans ce chapitre. Schématiquement, une telle résistance est représentée par une résistance idéale (sans bruit) à laquelle est associée une source de tension de bruit ou une source de courant de bruit selon les théorèmes de Thévenin et Norton, comme présenté sur la Figure 2.2.

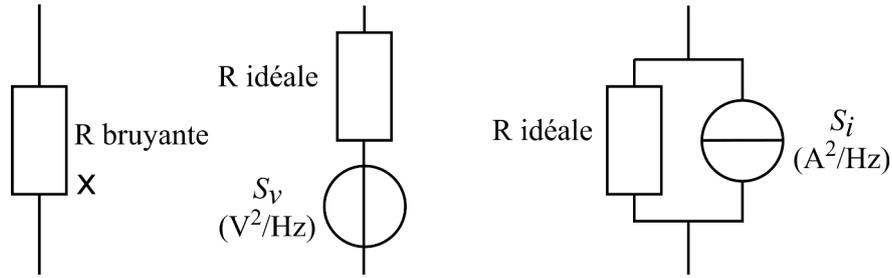


FIGURE 2.2 – Modèles de bruit d'une résistance.

Un MOSFET peut se décomposer en trois zones résistives : la zone de source (de résistance dynamique r_S), la zone de drain (r_D) et le canal ($r_{ch} = g_{ch}^{-1}$). Pour les délimiter on note S et D les points de contact des zones source et drain, et S' et D' les points d'interface source/canal et canal/drain, respectivement. La figure 2.3 présente le schéma équivalent en petits signaux d'un MOSFET, en y incluant les sources de bruit dans les zones $S - S'$ (source), $S' - D'$ (canal) et $D' - D$ (drain). On peut écrire l'expression du bruit de courant de drain total i_d lorsque la sortie du transistor est court-circuitée ($V_{DS} = 0 \text{ V}$) :

$$i_d = i_{ch} + g_m v_{G'S'} + g_{ch} v_{D'S'} \quad (2.6)$$

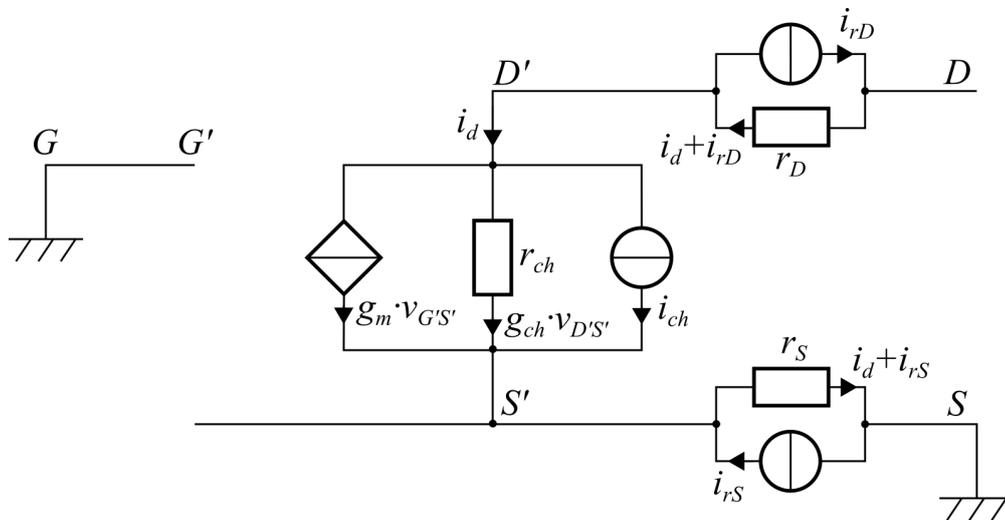


FIGURE 2.3 – Schéma équivalent en petits signaux d'un MOSFET incluant les sources de bruit [15].

Sachant que $v_{G'S'} = v_{GS} - v_{S'S} = 0 - r_S(i_d + i_{r_S})$ et que $v_{D'S'} = v_{DS} - v_{DD'} - v_{S'S} = 0 - r_D(i_d + i_{r_D}) - r_S(i_d + i_{r_S})$, on peut alors réécrire l'expression 2.6 en isolant i_d :

$$i_d = \frac{i_{ch} - i_{r_S}g_m r_S - i_{r_S}r_S g_{ch} - i_{r_D}r_D g_{ch}}{1 + g_m r_S + g_{ch}r_S + g_{ch}r_D} \quad (2.7)$$

Cette expression peut se simplifier en considérant que $g_m \ll g_{ch} = r_{ch}^{-1}$, d'où :

$$i_d = \frac{i_{ch}r_{ch} - i_{r_S}r_S - i_{r_D}r_D}{r_{ch} + r_S + r_D} \quad (2.8)$$

Les sources de bruit $S_{i_{r_S}}$, $S_{i_{ch}}$ et $S_{i_{r_D}}$ n'étant pas corrélées, la DSP totale (appelée DSP du bruit en courant de drain) S_{i_d} est obtenue en remplaçant chaque bruit de courant (i_x) par sa DSP (S_{i_x}) et en mettant les autres termes au carré :

$$S_{i_d} = \frac{S_{i_{ch}}r_{ch}^2 + S_{i_{r_S}}r_S^2 + S_{i_{r_D}}r_D^2}{[r_{ch} + r_S + r_D]^2} \quad (2.9)$$

On considère par symétrie que les zones de sources et de drain sont identiques : elles ont la même résistance ($r_S = r_D = r_{accès}/2$). De plus ces résistances d'accès génèrent la même DSP de bruit en courant ($S_{i_{r_{accès}}} := S_{i_{r_S}} = S_{i_{r_D}}$). On obtient ainsi :

$$S_{i_d} = S_{i_{ch}} \frac{r_{ch}^2}{(r_{ch} + r_{accès})^2} + S_{i_{r_{accès}}} \frac{r_{accès}^2}{2(r_{ch} + r_{accès})^2} \quad (2.10)$$

avec :

$$S_{i_{r_{accès}}} = \frac{K_r}{f} I_D^2 \quad (2.11)$$

où K_r est une constante [30]. Ce paramètre peut donner des informations sur la qualité de fabrication des zones de source et de drain.

2.3 Représentations fréquentielles du bruit électrique

Selon le mécanisme à l'origine du bruit, la DSP de bruit en tension (ou en courant) peut prendre plusieurs formes dans les domaines fréquentiel et temporel. Les principales évolutions du bruit en fonction de la fréquence sont dues à une combinaison de bruit blanc (indépendant de la fréquence), de bruit en $1/f$ et de bruit de Génération-Recombinaison (ou GR, avec un comportement de type lorentzien, similaire à un système passe-bas du deuxième ordre).

L'ensemble de ces formes est représenté sur la figure 2.4 et suit le modèle décrit par la relation :

$$S_v = K_w + \frac{K_f}{f^\gamma} + \sum_{i=1}^{N_{lor}} \frac{A_i}{1 + (f/f_{0,i})^2} \quad (2.12)$$

où K_w est le niveau du bruit blanc, K_f le niveau du bruit en $1/f$ et γ est un exposant dépendant de la répartition des pièges d'oxyde. Cette formule comprend la contribution de N_{lor} lorentziennes, chacune ayant un niveau de plateau A_i et une fréquence caractéristique $f_{0,i}$.

Cette section 2.3 a pour but de présenter ces trois formes de bruit (blanc, GR, $1/f$) ainsi que les mécanismes physiques inhérents afin de faire le lien avec les paramètres décrits dans le modèle de l'équation 2.12.

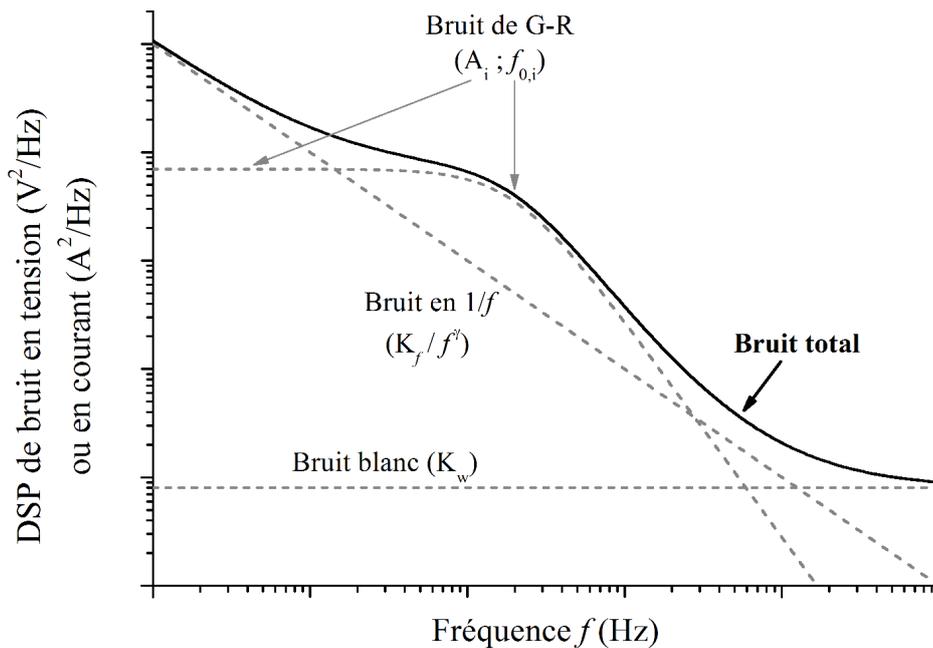


FIGURE 2.4 – Représentation fréquentielle du bruit électrique, où la DSP est une combinaison des contributions de bruit blanc, de bruit en $1/f$ et de bruit de génération-recombinaison.

2.3.1 Bruit blanc

2.3.1.1 Bruit thermique

Le bruit thermique (bruit de Johnson [31] ou bruit de Nyquist [32]) est dû aux mouvements thermiques des électrons dans le réseau cristallin. Les vibrations provoquent ainsi une modification aléatoire de la trajectoire et de la vitesse de déplacement des porteurs. Il s'agit d'un bruit blanc car considéré comme indépendant de la fréquence sur une large bande de fréquence (< 1 THz) [29]. La DSP du bruit thermique en courant et en tension dans une résistance de valeur R sont respectivement :

$$S_i = 4k_B T / R \quad (\text{A}^2/\text{Hz}) \quad (2.13)$$

$$S_v = 4k_B T R \quad (\text{V}^2/\text{Hz}) \quad (2.14)$$

2.3.1.2 Bruit de grenaille

Le courant qui circule à travers une barrière de potentiel est à valeur discrète, car constitué d'un nombre de porteurs de charge lui-même discret. Le bruit de grenaille, découvert par Schottky en 1918 [33], est dû au nombre variable (aléatoire) de porteurs traversant la barrière de potentiel à un instant donné. La DSP de ce bruit en courant est donnée par :

$$S_i = 2q\bar{I} \quad (2.15)$$

avec q la charge élémentaire et \bar{I} le courant moyen traversant la barrière de potentiel. Au même titre que le bruit thermique, le bruit de grenaille est un bruit blanc, indépendant de la fréquence sur une large gamme de fréquence.

2.3.2 Bruit de Génération-Recombinaison

2.3.2.1 Cas général du bruit de Génération-Recombinaison

Le bruit de *Génération-Recombinaison* (GR) est attribué aux pièges localisés à l'interface de l'oxyde de grille ou dans la couche d'inversion. Ils sont dus à la présence d'impuretés et de défauts qui capturent et émettent aléatoirement des porteurs de charge, provoquant ainsi une variation du nombre de porteurs de charge disponibles pour le transport du courant. Ces mécanismes de piégeage et dépiégeage sont représentés sur la figure 2.5. Les pièges sont caractérisés par des niveaux d'énergie se situant dans la bande interdite (voir section 2.1) et peuvent être aussi bien électriquement neutres que chargés.

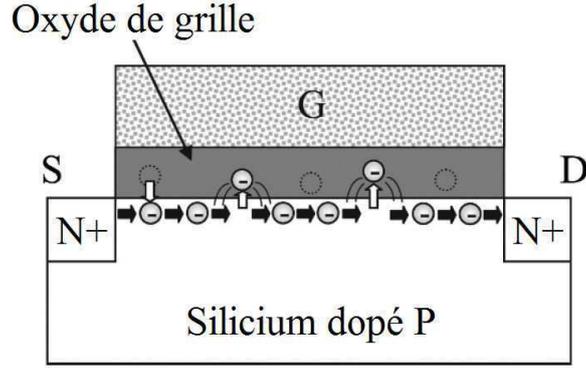


FIGURE 2.5 – Illustration des mécanismes de piégeage et dépiégeage de porteurs de charge par des pièges situés dans l'oxyde de grille [15].

La DSP de fluctuations du nombre de porteurs est donnée par [34] :

$$S_N(f) = 4 \overline{\Delta N^2} \frac{\tau}{1 + (2\pi f \tau)^2} \quad (2.16)$$

avec τ la constante de temps caractéristique des transitions, elle-même fonction des temps de capture τ_c et d'émission τ_e par la relation $\tau^{-1} = \tau_c^{-1} + \tau_e^{-1}$.

Cette DSP a une allure lorentzienne, c'est à dire qu'elle comporte un plateau dans les basses fréquences suivie d'une décroissance en $1/f^2$ à partir d'une fréquence caractéristique $f_0 = (2\pi\tau)^{-1}$. Le bruit GR devient important quand le niveau d'énergie de Fermi est proche (à quelques $k_B T$ près) du niveau d'énergie des pièges. Si, au contraire, le niveau d'énergie de Fermi est relativement loin du niveau d'énergie des pièges, peu de transitions se produiront. Le bruit GR est donc fortement dépendant de la température. En considérant que le nombre de porteurs N est très supérieur au nombre de pièges N_T , la variance de fluctuations du nombre de porteur s'écrit [30] :

$$\overline{\Delta N^2} = N_T/4 \quad (2.17)$$

Les équations 2.1, 2.4, 2.16 et 2.17 mènent alors à la DSP du bruit de courant S_i :

$$S_i = \frac{S_N}{N^2} I^2 = I^2 \frac{N_T}{N^2} \frac{\tau}{1 + (2\pi f \tau)^2} \quad (2.18)$$

2.3.2.2 Constante de temps et fréquence caractéristiques des pièges

D'après les statistiques de Shockley-Read-Hall, la constante de temps caractéristique τ d'un piège impliquant des générations-recombinaisons peut être écrite [35] :

$$\tau = \frac{1}{C_n(n_1 + n) + C_p(p_1 + p)} \quad (2.19)$$

Cette expression est fonction des concentrations d'électrons libres et de trous libres, notés respectivement n et p . $C_n = \sigma_n \sqrt{3k_B T / m_e^*}$ et $C_p = \sigma_p \sqrt{3k_B T / m_h^*}$ sont les coefficients de capture des électrons et des trous, exprimés à partir des sections efficaces de capture des électrons et des trous (σ_n et σ_p) et de leur masse effective (m_e^* et m_h^*).

Enfin les concentrations n_1 et p_1 sont les concentrations des électrons et des trous lorsque le niveau de Fermi E_F correspond au niveau du piège E_T . Ils dépendent de la concentration intrinsèque de porteurs n_i et de la température selon :

$$n_1 = n_i \cdot \exp\left(\frac{E_T - E_i}{k_B T}\right) \quad (2.20)$$

$$p_1 = n_i \cdot \exp\left(\frac{E_i - E_T}{k_B T}\right) \quad (2.21)$$

La concentration intrinsèque de porteurs s'écrit $n_i = \sqrt{n_C n_V} \exp\left(-\frac{E_C - E_V}{k_B T}\right)$ avec n_C et n_V les densités effectives de niveaux d'énergie dans les bandes de conduction et de valence, telles que :

$$n_C = 2 M_C \left(\frac{2\pi m_e^* k_B T}{h^2}\right)^{3/2} \quad (2.22)$$

$$n_V = 2 \left(\frac{2\pi m_h^* k_B T}{h^2}\right)^{3/2} \quad (2.23)$$

où h est la constante de Planck et M_C le nombre de minima d'énergie dans la bande de conduction [36].

Tous les paramètres de l'équation 2.19 dépendent de la température. Par conséquent la constante de temps caractéristique d'un piège évoluera avec T , qu'il soit situé dans l'oxyde ou dans le film de silicium. En revanche la zone dans laquelle se trouve le défaut impactera sur le comportement en tension de la constante de temps caractéristique τ .

Pièges d'interface Les pièges situés à l'interface Si/SiO₂ ont des niveaux d'énergie distribués sur toute la largeur de la bande interdite [14]. Tout comme le niveau de Fermi, le niveau d'énergie de ces pièges ne dépend pas de la tension de grille. En d'autres termes, le niveau de Fermi correspondra toujours au niveau d'énergie d'un même piège, et ce quelque soit la valeur de tension de grille V_{GS} [37]. On a donc $n = n_1$ et $p = p_1$ et l'équation 2.19 devient :

$$\tau = \frac{1}{2(C_n n_1 + C_p p_1)} \quad (2.24)$$

Par conséquent, la constante de temps τ des pièges d'interface diminue avec $|V_{GS}|$ dans un premier temps, avant d'augmenter. En effet, en régime de déplétion (troisième schéma de la figure 1.1), le niveau de Fermi croise des pièges à l'interface dont le niveau est proche de la bande des porteurs majoritaires, avec qui les pièges échangent des porteurs. La tension $|V_{GS}|$ augmentant, le niveau de Fermi s'éloigne de cette bande, les pièges mettent plus de temps à échanger les porteurs et la constante de temps caractéristique τ augmente. En passant la tension de seuil, le niveau de Fermi coïncide désormais avec des pièges dont l'énergie est plus proche de la bande des porteurs minoritaires (quatrième schéma de la figure 1.1). Les pièges échangent alors les porteurs avec la bande de porteurs minoritaires. Augmenter encore $|V_{GS}|$ revient à rapprocher le niveau de Fermi cette dernière, ce qui a pour effet de réduire la constante de temps τ des pièges d'interface [37].

Pièges dans la zone de déplétion Parmi les pièges situés dans la zone de déplétion (i.e. dans le film de silicium), on distingue deux cas : les pièges proches du niveau d'énergie intermédiaire E_i de la bande interdite (e.g. piège de niveau E_1 de la figure 2.6), et ceux d'énergie proche des bandes de conduction ou de valence (e.g. piège de niveau E_2 de la figure 2.6). Les pièges situés au milieu de la bande interdite participent exclusivement à des mécanismes de génération, c'est à dire qu'ils prélèvent des électrons depuis la bande de valence pour les émettre ensuite dans la bande de conduction [38]. Ceci est symbolisé par les deux flèches ascendantes sur chaque diagramme de bande d'énergies de la figure 2.6. Au milieu de la zone de déplétion, on considère que $n = p = 0$ (les électrons et trous libres sont quasiment absents) et l'équation 2.19 devient :

$$\tau = \frac{1}{C_n n_1 + C_p p_1} \quad (2.25)$$

Le bruit GR est maximal lorsque la proportion de pièges chargés est égale à la proportion de pièges non-chargés, ce qui implique $n_1 \simeq p_1 \simeq n_i$ (si $C_n \simeq C_p$) [37]. La constante de temps caractéristique s'écrit alors $\tau = 1/[(C_n + C_p)n_i]$ et ne dépend pas de la tension de grille.

Les pièges profonds, caractérisés par $|E_T - E_i| > 0,1 \text{ eV}$, ne permettent pas l'hypothèse des trous et électrons libres absents utilisée ci-dessus. Ces pièges vont plutôt avoir tendance à échanger des porteurs avec la bande de porteurs la plus proche (bande de conduction pour le piège 2 de la figure 2.6) : il s'agit donc de mécanismes de piégeage-dépiégeage des porteurs, illustrés par les flèches à double-sens sur la figure 2.6. D'autre part, varier la tension de grille changera la courbure des bandes mais pas le niveau de Fermi. Celui-ci pourra donc toujours croiser le niveau d'un piège profond, mais situé à une différente profondeur du film : sur la figure 2.6, on observe que plus la courbure des bandes est importante (i.e. plus $|V_{GT}|$ est grand) plus le piège est éloigné de l'interface Si/SiO₂. Par conséquent, la constante de temps des pièges profonds est indépendante de la tension de grille [36].

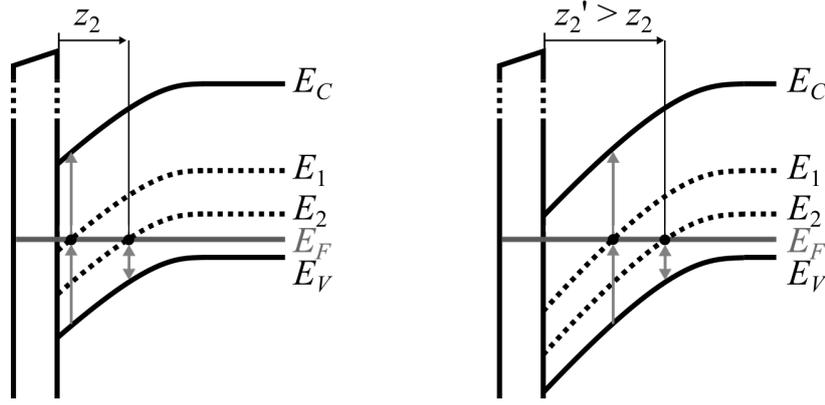


FIGURE 2.6 – Diagrammes de bandes d'énergies représentant deux pièges dans le film de silicium. Sur le diagramme de droite, la tension V_{GS} est plus importante qu'à gauche, courbant davantage les bandes et révélant des pièges plus profonds mais de même niveau d'énergie.

Pour un piège dont l'énergie est supérieure au niveau d'énergie intermédiaire de la bande interdite ($E_T > E_i$), p_1 est négligeable et on peut utiliser les équations 2.19 à 2.25 pour écrire la relation suivante [39] :

$$\ln(\tau \cdot T^2) = \frac{E_C - E_T}{k_B T} + \ln \left(\frac{h^3}{4k_B^2 \sigma_n \sqrt{6\pi^3 M_C m_e^{*1/2} m_h^{*3/2}}} \right) \quad (2.26)$$

De la même manière, pour un piège dont l'énergie est inférieure au niveau d'énergie intermédiaire ($E_T < E_i$), n_1 est négligeable et on obtient :

$$\ln(\tau \cdot T^2) = \frac{E_T - E_V}{k_B T} + \ln \left(\frac{h^3}{4k_B^2 \sigma_p \sqrt{6\pi^3 M_C m_e^{*3/2} m_h^{*1/2}}} \right) \quad (2.27)$$

Le tracé de $\ln(\tau \cdot T^2)$ en fonction de $1/(k_B \cdot T)$ est un diagramme d'Arrhenius qui doit se présenter sous forme de droite en échelle semi-logarithmique. La pente de cette droite donne l'énergie du piège par rapport à la bande de conduction ou la bande de valence, et l'ordonnée à l'origine mène à l'identification de la section efficace de capture σ_n ou σ_p [39, 40, 41].

Pour conclure, il est intéressant de noter que, quel que soit le type de piège (accepteur ou donneur) et quelle que soit sa position (dans la zone de déplétion ou à l'interface Si/SiO₂), la constante de temps caractéristique τ du piège dépend de la température. Ainsi, les lorentziennes associées à un défaut verront leur fréquence caractéristique $f_0 = (2\pi\tau)^{-1}$ varier avec la température. Les pièges d'oxyde et du film de silicium peuvent être distingués grâce à la dépendance avec la tension de grille des fréquences caractéristiques associées : pour les pièges d'oxyde f_0 varie avec V_{GS} alors que pour les pièges situés dans le film de silicium f_0 est indépendante de V_{GS} .

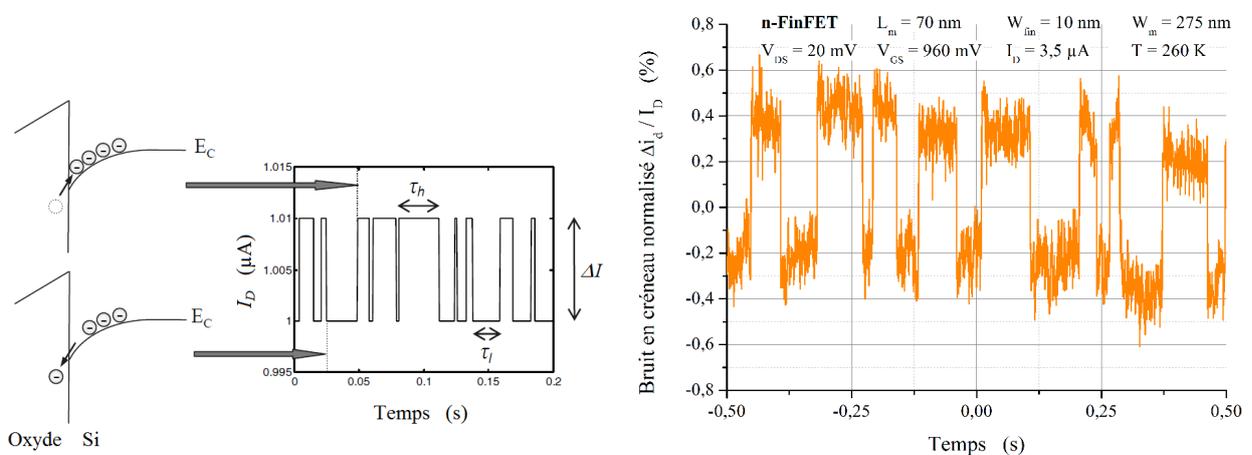
2.3.2.3 Bruit en créneaux

Le bruit *Random Telegraph Signal* (bruit en créneaux, RTS) est un cas particulier du bruit GR qui se produit dans le domaine temporel sous la forme de transitions du courant entre plusieurs valeurs. Ceci apparaît lorsque le nombre de pièges mis en jeu est très faible : il devient donc possible d'observer les phénomènes de piégeage et dépiégeage des porteurs à partir de l'allure du courant, comme sur la figure 2.7.

Lorsque que le courant varie entre deux valeurs d'un écart ΔI (un seul piège est observé) et que les durées du courant à l'état bas τ_L et à l'état haut τ_H suivent une distribution de Poisson, la DSP des fluctuations de courant s'écrit [42] :

$$S_I(f) = \frac{4(\Delta I)^2}{(\tau_L + \tau_H) \left[\left(\frac{1}{\tau_L} + \frac{1}{\tau_H} \right)^2 + (2\pi f)^2 \right]} \quad (2.28)$$

Le bruit RTS suit également une allure lorentzienne dans le domaine fréquentiel. Le bruit GR peut d'ailleurs être vu comme étant la somme de plusieurs bruits RTS avec des constantes de temps identiques mais il ne peut être observé dans le domaine temporel que si le nombre de pièges observés est faible. Par conséquent le bruit RTS est observé dans des composants ayant une faible surface de grille (en dessous de $1 \mu\text{m}^2$). Les bruits RTS et GR dépendent du niveau d'énergie de Fermi et sont donc très dépendants de la température. Des informations sur le niveau d'énergie du piège et son emplacement dans le composant peuvent être extraites à partir d'études du bruit RTS en fonction de la température et de la polarisation du composant [29] : c'est une technique analogue à la spectroscopie de bruit basse fréquence présentée dans la section 4.4 page 100.



(a) Illustration du piégeage-dépiégeage.

(b) Bruit en créneau (ou RTS) dans un FinFET.

FIGURE 2.7 – Les fluctuations en créneau (RTS) du courant sont dues aux piégeages et dé-piégeages des porteurs par les pièges dans l'oxyde de grille [29].

2.3.3 Bruit en $1/f$

Le bruit en $1/f$ (bruit de scintillement ou *flicker noise* en anglais) se caractérise par sa DSP de la forme :

$$S_i = \frac{K_f I^\beta}{f^\gamma} \quad (2.29)$$

où K_f est une constante, β un exposant de courant et γ proche de 1, généralement compris entre 0,7 et 1,3.

Les équations 2.4 et 2.5 montrent que deux principaux phénomènes sont à l'origine des fluctuations de courant dans le canal : les fluctuations du nombre de porteurs de charge (couramment appelées « fluctuations de nombre » et abrégées en ΔN) et les fluctuations de mobilité des porteurs (abrégées en « fluctuations de mobilité » $\Delta\mu$). Ces phénomènes ont donné naissance à deux modèles cherchant à expliquer l'origine du bruit.

Le premier est celui formulé par McWhorter en 1957 [43], stipulant que le bruit en $1/f$ dans les transistors MOS est dû aux pièges situés dans l'oxyde de grille qui capturent et émettent, par effet tunnel, des électrons du canal. Cela provoque des fluctuations du nombre de porteurs de charge (ΔN) et donc des fluctuations du courant de drain. Le second modèle a été proposé en 1969 par Hooge [44] et cite comme origine au bruit en $1/f$ les vibrations du réseau cristallin (phonons) qui induisent des fluctuations de la mobilité des porteurs ($\Delta\mu$) dans le canal. Ce modèle est purement empirique et aucune explication physique n'a été validée.

Les modèles ΔN et $\Delta\mu$ ont été séparément soutenus pendant plusieurs années. Cependant il apparaît avec les technologies avancées de composants qu'une combinaison de ces deux sources de bruit contribue au bruit en $1/f$ dans le canal. En effet, les porteurs piégés peuvent également influencer la mobilité dans le canal, un modèle de fluctuations de mobilité corrélées aux fluctuations de nombre a été élaboré [45, 46]. Dans ce dernier modèle ($\Delta N + \Delta\mu$), l'un des deux mécanismes prédomine en fonction du matériau, du composant ou encore des conditions de fonctionnement.

Dans les métaux et semi-conducteurs massifs, le bruit en $1/f$ peut s'expliquer par le modèle de Hooge [47]. En revanche dans un transistor MOS, les porteurs circulent dans un canal étroit proche de l'interface avec l'oxyde de grille. La cause prédominante du bruit en $1/f$ dans le canal s'avère donc être les pièges dans l'oxyde de grille [48, 49, 50]. Toutefois le bruit en $1/f$ dans les p-MOS est mieux expliqué par la fluctuation de mobilité [51]. Chacun de ces modèles est développé dans les sections suivantes.

2.3.3.1 Fluctuations de nombre de porteurs (ΔN)

L'origine physique des fluctuations du nombre de porteurs de charge (ΔN) dans les transistors MOS est l'interaction entre les pièges (niveaux d'énergie dans la bande interdite) contenus dans l'oxyde de grille et les porteurs dans le canal, comme présenté dans la figure 2.5. Les pièges échangent des porteurs avec le canal, ce qui provoque des variations dans le potentiel de surface, d'où des fluctuations dans la densité de la charge d'inversion, qui résultent en des fluctuations du courant de drain. S'agissant de bruit GR, chaque piège a une signature fréquentielle de forme lorentzienne.

Cependant si pour un grand nombre de pièges les constantes de temps sont réparties d'une certaine manière, alors la somme des bruits GR s'apparente à une décroissance en $1/f$ sur tout le spectre [29, 52]. Ceci est vrai sous certaines conditions : le bruit GR de différents pièges ne peut s'additionner que si les différents type de piège n'interagissent pas et il faut que les pièges agissent de manière identique sur le courant (même exposant β pour tous les pièges, voir l'équation 2.29). Si ces hypothèses sont vérifiées, la superposition de bruits GR (et donc de pièges idéalement répartis dans l'oxyde) mène à un bruit en $1/f$, comme le montre la figure 2.8.

Dans sa théorie, McWhorter a considéré que l'origine des fluctuations du nombre de porteurs est l'ensemble des transitions par effet tunnel de porteurs dans des pièges situés dans l'oxyde de grille. Le bruit généré par un seul piège d'oxyde est un bruit GR d'allure lorentzienne. Réécrivons ci-dessous la DSP de bruit en nombre de porteurs pour un seul piège d'oxyde, en reprenant l'équation 2.16 :

$$S_N = 4 \overline{\Delta N_T^2} \frac{\tau}{1 + (2\pi f\tau)^2} \quad (2.30)$$

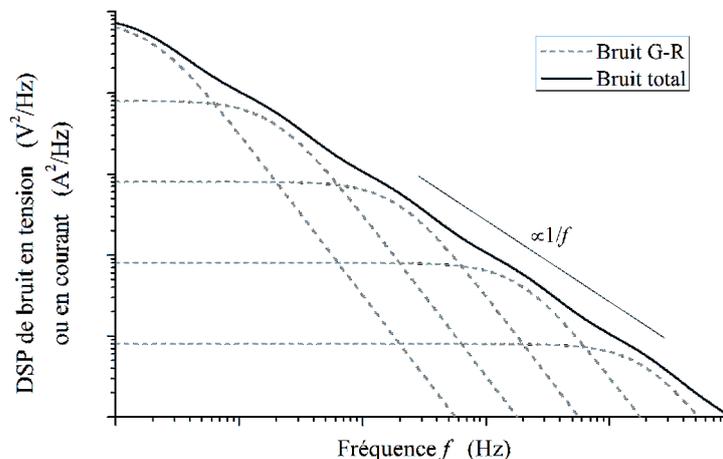


FIGURE 2.8 – Superposition de lorentziennes menant à du bruit en $1/f$ sur plusieurs décades [29].

Afin de prendre en compte la contribution de tous les pièges d'oxyde, nous considérons désormais une densité de pièges d'oxyde $n_T(x, y, z, E)$ en volume et en énergie. En remplaçant le nombre de pièges N_T par la densité $n_T(x, y, z, E)$, une intégration de l'expression précédente permet d'obtenir la DSP totale de fluctuations de charges :

$$S_{N_{totale}} = \int_0^W \int_0^L \int_0^{t_{ox}} \int_{E_V}^{E_C} 4 n_T(x, y, z, E) \frac{\tau}{1 + (2\pi f\tau)^2} dx dy dz dE \quad (2.31)$$

Tout d'abord, on suppose que la densité de pièges est uniforme sous la surface de la grille (dimensions \vec{x} et \vec{y}). L'équation précédente devient :

$$S_N = 4 W L \int_0^{t_{ox}} \int_{E_V}^{E_C} n_T(z, E) \frac{\tau}{1 + (2\pi f\tau)^2} dz dE \quad (2.32)$$

Notons dans un deuxième temps que la probabilité qu'un piège d'énergie E soit occupé est donné par la distribution de Fermi-Dirac $f(E) = [1 + e^{(E-E_{F,n})/k_B T}]^{-1}$, d'où la densité de pièges en fonction de l'énergie :

$$n_T(E) = f(E) [1 - f(E)] = -k_B T \frac{df(E)}{dE} \quad (2.33)$$

Or l'hypothèse de McWhorter stipule que seuls les pièges près du quasi-niveau de Fermi $E_{F,n}$ contribuent au bruit en $1/f$ (les autres pièges sont soit toujours vides, soit toujours occupés). La densité de probabilité est alors concentrée autour de $E_{F,n}$, avec $E_V < E_{F,n} < E_C$. Intégrer $df(E)/dE$ entre les niveaux E_V et E_C dans l'équation 2.32 donne donc une probabilité de -1 (le signe négatif vient du fait que la probabilité qu'un piège ait l'énergie E décroît quand E augmente, la dérivée $df(E)/dE$ est donc négative). Il en résulte que l'expression 2.32 peut être réécrite :

$$S_N = 4 W L \frac{k_B T}{q} \int_0^{t_{ox}} n_T(z) \frac{\tau}{1 + (2\pi f\tau)^2} dz \quad (2.34)$$

Enfin, le piégeage et dé-piégeage des porteurs se fait par effet tunnel. On peut donc relier la longueur d'atténuation tunnel λ , avec $\lambda \approx 0,1$ nm pour les interfaces Si/SiO₂ [53], à la constante de temps caractéristique τ du piège pour un électron situé à une distance z de l'interface canal/oxyde :

$$\tau = \tau_0(E) \exp(z/\lambda) \quad (2.35)$$

La constante de temps τ_0 vaut 0,1 ns. Les deux équations précédentes donnent $z = 2,3$ nm pour une fréquence de 0,1 Hz et $z = 0,7$ nm pour $f = 1$ MHz. Cela signifie que les pièges trop

proches de l'interface sont trop « rapides » pour générer du bruit en $1/f$ et que les pièges situés au delà de 2,3 nm sont trop « lents ». La relation suivante est démontrée pour des pièges dont la constante de temps est distribuée en suivant une loi en $1/\tau$ [52, 54] :

$$\int_0^{t_{ox}} n_T(z) \frac{\tau}{1 + (2\pi f\tau)^2} dz = \frac{\lambda n_T}{4 f^\gamma} \quad (2.36)$$

L'exposant γ est égal à 1 si la densité de piège est uniforme dans l'oxyde. Si $\gamma > 1$ la densité de pièges n_T est plus élevée à proximité de l'interface, si $\gamma < 1$ les pièges sont plus concentrés en profondeur dans l'oxyde. Ce facteur γ peut varier avec la tension de grille [15].

En utilisant la relation précédente dans l'équation 2.34, on peut en déduire la DSP totale de fluctuations du nombre de charges dans l'oxyde $S_N(f)$, la DSP de fluctuations de charges d'oxyde $S_{Q_{ox}}(f) = S_N \cdot q^2 / (W^2 L^2)$ et la DSP de bruit en tension de grille $S_{v_g}(f) = S_{Q_{ox}} / C_{ox}^2$:

$$S_N(f) = \frac{W L k_B T \lambda n_T}{q f^\gamma} \quad (2.37)$$

$$S_{Q_{ox}}(f) = \frac{q k_B T \lambda n_T}{f^\gamma W L} \quad (2.38)$$

$$S_{v_g}(f) = \frac{q k_B T \lambda n_T}{f^\gamma W L C_{ox}^2} = S_{v_{fb}} \quad (2.39)$$

On peut remarquer que la DSP de bruit en tension est indépendante de la tension de grille V_{GS} ou du courant de drain I_D . En régime linéaire $S_{i_d} = S_{v_g} \cdot g_m^2$, ce qui permet de déterminer la DSP de bruit en courant de drain :

$$\frac{S_{i_d}}{I_D^2} = \frac{q k_B T \lambda n_T}{f^\gamma W L C_{ox}^2} \frac{g_m^2}{I_D^2} \quad (2.40)$$

En régime de faible inversion, la DSP normalisée du bruit de courant de drain est quasiment constante.

2.3.3.2 Fluctuations de mobilité des porteurs ($\Delta\mu$)

L'autre phénomène physique qui donne lieu à du bruit en $1/f$ est expliqué par les fluctuations de mobilité des porteurs. Ce mécanisme a été décrite par Hooge en 1969 et suit la loi empirique pour les fluctuations de résistance [44] :

$$\frac{S_r}{R^2} = \frac{\alpha_H}{f N} \quad (2.41)$$

α_H est le paramètre de Hooge, sans dimension et dépend de la qualité du cristal. Les valeurs relevées expérimentalement couvrent plusieurs ordres de grandeurs (de 10^{-7} à 10^{-3} [51, 30]); plus la valeur est faible, plus la qualité de fabrication est bonne. Le paramètre de Hooge peut donc être utilisé comme figure de mérite pour comparer plusieurs technologies. Le facteur $1/N$ indique que les N porteurs subissent indépendamment les fluctuations [55].

Les fluctuations de résistance S_R sont dues aux fluctuations de résistivité du matériau (car les dimensions du matériau sont constantes), donc aux fluctuations de conductivité. En considérant un nombre constant de porteurs, les fluctuations de conductivité sont directement liées aux fluctuations de mobilité des porteurs.

Hooge et Vandamme ont suggéré que seules les diffusions de phonons contribuent aux fluctuations de mobilité [56], et que les porteurs de charge subissent indépendamment ces fluctuations [55]. En considérant cette hypothèse, la DSP de bruit de résistance permet d'obtenir les DSP de bruit de mobilité suivantes [29] :

$$\frac{S_r}{R^2} = \frac{S_\mu}{\mu^2} = \frac{1}{N} \frac{S_{\mu_i}}{\mu_i^2} \quad (2.42)$$

ce qui permet d'écrire pour la DSP des fluctuations individuelles de mobilité S_{μ_i} :

$$\frac{S_{\mu_i}}{\mu_i^2} = \frac{\alpha_H}{f} \quad (2.43)$$

À partir de la loi empirique de Hooge de l'équation 2.41, et sachant que le nombre de porteurs s'écrit $N = WLQ_{inv}/q$, la DSP de bruit en courant de drain devient :

$$\frac{S_{i_d}}{I_D^2} = \frac{q \alpha_H}{f W L Q_{inv}} \quad (2.44)$$

En régime ohmique $Q_{inv} = C_{ox}(V_{GT} - V_{DS}/2)$, la DSP normalisée du bruit de courant de drain S_{i_d} est donc inversement proportionnelle à la tension de grille V_{GS} :

$$\frac{S_{i_d}}{I_D^2} = \frac{q \alpha_H}{f W L C_{ox}} \frac{1}{V_{GT} - \frac{V_{DS}}{2}} \quad (2.45)$$

$$S_{v_g} = \frac{q \alpha_H}{f W L C_{ox}} \left(V_{GT} - \frac{V_{DS}}{2} \right) \left[1 + \theta_1 \left(V_{GT} - \frac{V_{DS}}{2} \right) \right]^2 \quad (2.46)$$

Le paramètre de Hooge peut être considéré constant, mais le bruit de fluctuations de mobilité est impacté par plusieurs phénomènes comme la dépendance en tension de plusieurs mécanismes de diffusion ou encore la position du canal sous l'oxyde de grille.

D'autre part l'expression précédente n'est valide que lorsque la densité de porteurs est uniforme, ce qui n'est pas le cas en régime de saturation. En pratique, la densité de porteurs varie le long du canal, l'équation 2.44 devient alors [57] :

$$\frac{S_{i_d}}{I_D^2} = \frac{q \alpha_H \mu_{eff} V_{DS}}{f L^2 I_D} \quad (2.47)$$

Cette relation est valide pour tous les régimes de fonctionnement, en remplaçant V_{DS} par $V_{DS,sat}$ en régime de saturation.

2.3.3.3 Fluctuations de mobilité corrélée aux fluctuations de nombre ($\Delta N + \Delta\mu$)

L'influence des fluctuations du nombre de porteurs sur leur mobilité a donné naissance à un troisième modèle, dit « modèle des fluctuations de mobilité corrélées aux fluctuations du nombre de porteurs » abrégé en $\Delta N + \Delta\mu$. Ce modèle a été développé séparément par K.K. Hung [46] et G. Ghibaudo [45] et explique l'interaction entre pièges et mobilité des porteurs.

Les pièges (libres ou occupés) dans l'oxyde de grille ne vont pas seulement changer le nombre de porteurs dans le canal mais également affecter le champ électrique environnant et donc la mobilité des porteurs. Les pièges peuvent également provoquer des fluctuations de mobilité, du coefficient de diffusion, du champ électrique, de la barrière de potentiel ... L'impact des variations de charges dans l'oxyde sur la mobilité est défini par un *coefficient de couplage* ou *paramètre de diffusion* noté α_C (en V/A) :

$$\alpha_C = \frac{\pm 1}{\mu_{eff}^2} \frac{\partial \mu_{eff}}{\partial Q_{ox}} \quad (2.48)$$

(signe + pour les n-MOSFET, - pour les p-MOSFET).

Les DSP de bruit en courant de drain et en tension de grille s'écrivent ainsi [45] :

$$\frac{S_{i_d}}{I_D^2} = S_{v_{fb}} \frac{g_m^2}{I_D^2} \left(1 + \frac{\alpha_C \mu_{eff} C_{ox} I_D}{g_m} \right)^2 \quad (2.49)$$

$$S_{v_g} = S_{v_{fb}} \left(1 + \frac{\alpha_C \mu_{eff} C_{ox} I_D}{g_m} \right)^2 \quad (2.50)$$

Le premier terme entre parenthèses est lié aux fluctuations du nombre des porteurs d'inversion et le second aux fluctuations de mobilité corrélées aux fluctuations du nombre de porteurs. Cette expression est générale et n'implique aucune hypothèse concernant les phénomènes de fluctuations de la tension de bandes plates.

2.3.3.4 Bruit dû aux résistances d'accès

Nous avons vu dans la section 2.2.3 que le bruit en $1/f$ peut provenir du canal et/ou des résistances d'accès (équation 2.10). Le modèle théorique de McWhorter, le modèle empirique de Hooge ou encore le modèle de fluctuations corrélées apportent une explication au bruit provenant du canal, mais ne prennent pas en compte l'influence des résistances d'accès. Avec les équations 2.10 et 2.11, nous pouvons constater que le bruit dans les résistances d'accès donne une DSP de bruit en courant de la forme :

$$S_{i_d} = \frac{K_r I_D^2}{f} \frac{r_{accès}^2}{(r_{ch} + r_{accès})^2} \quad (2.51)$$

Le terme $(r_{ch} + r_{accès})$ correspond à la résistance totale du transistor vue entre les points de contact D et S . On peut donc écrire $(r_{ch} + r_{accès}) = V_{DS}/I_D$ et, en réutilisant la relation $I_D = g_m \cdot (V_{GS} - V_t)$ en régime linéaire, on arrive aux relations suivantes pour les DSP de bruit dans les résistances d'accès :

$$\frac{S_{i_d}}{I_D^2} = \frac{K_r}{f} \frac{r_{accès}^2}{V_{DS}^2} I_D^2 \quad (2.52)$$

$$S_{v_g} = \frac{K_r}{f} \frac{r_{accès}^2}{(r_{ch} + r_{accès})^2} \frac{I_D^2}{g_m^2} \quad (2.53)$$

2.3.3.5 Synthèse sur le bruit en $1/f$

Le bruit total généré par un MOSFET sera dû au bruit dans le canal et au bruit dans les résistances d'accès, en considérant toutefois que le bruit de ces différentes zones n'est pas corrélé [30, 58]. On peut donc rassembler les contributions de ces deux zones dans une seule expression (dépendant du modèle de bruit dans le canal) :

$$\Delta N + \Delta\mu : S_{v_g} = \frac{r_{ch}^2}{r_{tot}^2} S_{v_{fb}} \left(1 + \frac{\alpha_C \mu_{eff} C_{ox} I_D}{g_m} \right)^2 + \frac{r_{accès}^2}{2 r_{tot}^2} \frac{K_r}{f} \frac{I_D^2}{g_m^2} \quad (2.54)$$

$$\Delta\mu : S_{v_g} = \frac{r_{ch}^2}{r_{tot}^2} \frac{q\alpha_H}{f W L C_{ox}} V_{GT} (1 + \theta_1 V_{GT})^2 + \frac{r_{accès}^2}{2 r_{tot}^2} \frac{K_r}{f} \frac{I_D^2}{g_m^2} \quad (2.55)$$

Afin d'identifier la source à l'origine du bruit en $1/f$, il est nécessaire de connaître l'évolution du niveau de bruit en fonction de la tension de grille et/ou du courant de drain. C'est pourquoi le tableau ci-après fait la synthèse des équations vues précédemment, en fonction de V_{GT} .

Bien qu'il soit possible d'identifier le mécanisme de bruit en $1/f$ en observant l'évolution du niveau K_f en fonction de la tension de grille, l'extraction des paramètres de bruit ($S_{v_{fb}}$,

α_C, α_H, K_r) ne peut se faire qu'en ayant une connaissance précise des paramètres statiques des transistors. Or les paramètres de bruit sont très intéressants en terme de comparaison de différentes technologies, car ils sont utilisés comme figures de mérite. Ainsi leur extraction est une étape primordiale de la caractérisation des MOSFET et, pour affiner la précision obtenue, nous chercherons dans un premier temps à obtenir les valeurs de plusieurs paramètres statiques, à savoir : tension de seuil V_t , résistances d'accès $r_{accès}$, mobilité effective μ_{eff} , dimensions effectives L_E et W_E . L'objectif du chapitre suivant est donc de présenter les méthodes d'extraction des paramètres statiques ainsi que les résultats obtenus sur les composants étudiés pendant la thèse.

	Bruit dans le canal			Résistances d'accès
	McWhorter	Fluctuations corrélées	Hooge	
	ΔN	$\Delta N + \Delta\mu$	$\Delta\mu$	
$S_{v_g} \propto$	constant	V_{GT}^2	V_{GT}	V_{GT}^4
	constant	$(I_D/g_m)^2$	I_D/g_m^2	$I_D^4/(g_m^2 V_{DS}^2)$
$S_{i_d} / I_D^2 \propto$	$1/V_{GT}^2$	constant	$1/V_{GT}$	V_{GT}^2
	$(g_m/I_D)^2$	constant	$1/I_D$	$(I_D/V_{DS})^2$

TABLEAU 2.1 – Récapitulatif de l'évolution des DSP en fonction de la tension de grille et du courant de drain en régime linéaire.

Chapitre 3

Performances des transistors en régime statique

La caractérisation des composants en régime statique est essentielle pour plusieurs raisons.

D'une part cela permet de comparer différentes technologies de composants en utilisant les mêmes critères. Les paramètres classiquement extraits dans ce but sont la tension de seuil V_t , la mobilité à faible champ électrique μ_0 , les courants de drain à l'état bloqué I_{off} et à l'état passant I_{on} , la tension d'Early V_{EA} , le gain intrinsèque A_V , ...

D'autre part les MOSFET sont étudiés en régime statique afin d'obtenir une modélisation fine, qui dans notre cas sera utile pour établir les modèles de bruit des composants, tels que ceux détaillés dans le chapitre précédent. Les paramètres essentiels à ces modèles sont la mobilité des porteurs μ_{eff} , les dimensions effectives L_E et W_E , la résistance d'accès $R_{accès}$ et le facteur d'atténuation de mobilité θ_1 .

Le travail présenté dans ce chapitre traitera donc de diverses méthodes d'extractions des paramètres statiques. Les études en régime linéaire et en régime de saturation ont pour objectif d'obtenir des modèles précis, en particulier pour l'étude de bruit qui sera présentée dans le prochain chapitre. Elles permettront également de comparer différentes technologies, principalement les FinFET et GAA NW-FET décrits dans la section 1.4.1. L'évolution des paramètres électriques avec la température sera étudiée. De plus, les études en fonction de la température montreront la présence de transport quantique.

3.1 Étude à température ambiante

3.1.1 Étude en régime linéaire

D'après les modèles de bruit en régime linéaire décrits dans le chapitre précédent (équations 2.54 et 2.55), les paramètres statiques nécessaires à l'étude du bruit sont les dimensions effectives du canal W_E et L_E , la tension de seuil V_t , la mobilité effective μ_{eff} et la résistance d'accès $r_{accès}$. L'ensemble de ces paramètres peut être extrait à partir de la caractéristique de transfert en régime linéaire, c'est-à-dire de la caractéristique $I_D = f(V_{GS})$, et de la transconductance $g_m(V_{GS})$ à tension de drain constante.

Ces courbes sont relevées à l'aide d'un analyseur de caractéristiques HP 4156B directement sur *wafers*, placé dans une station sous pointes Lakeshore TTP4. Des exemples de caractéristiques de transfert et de transconductance sont présentées pour différentes longueurs de FinFET sur la figure 3.1. Les caractéristiques ont été mesurées pour des valeurs de $|V_{GS}|$ croissantes puis décroissantes : aucune différence n'a été observé entre les deux sens.

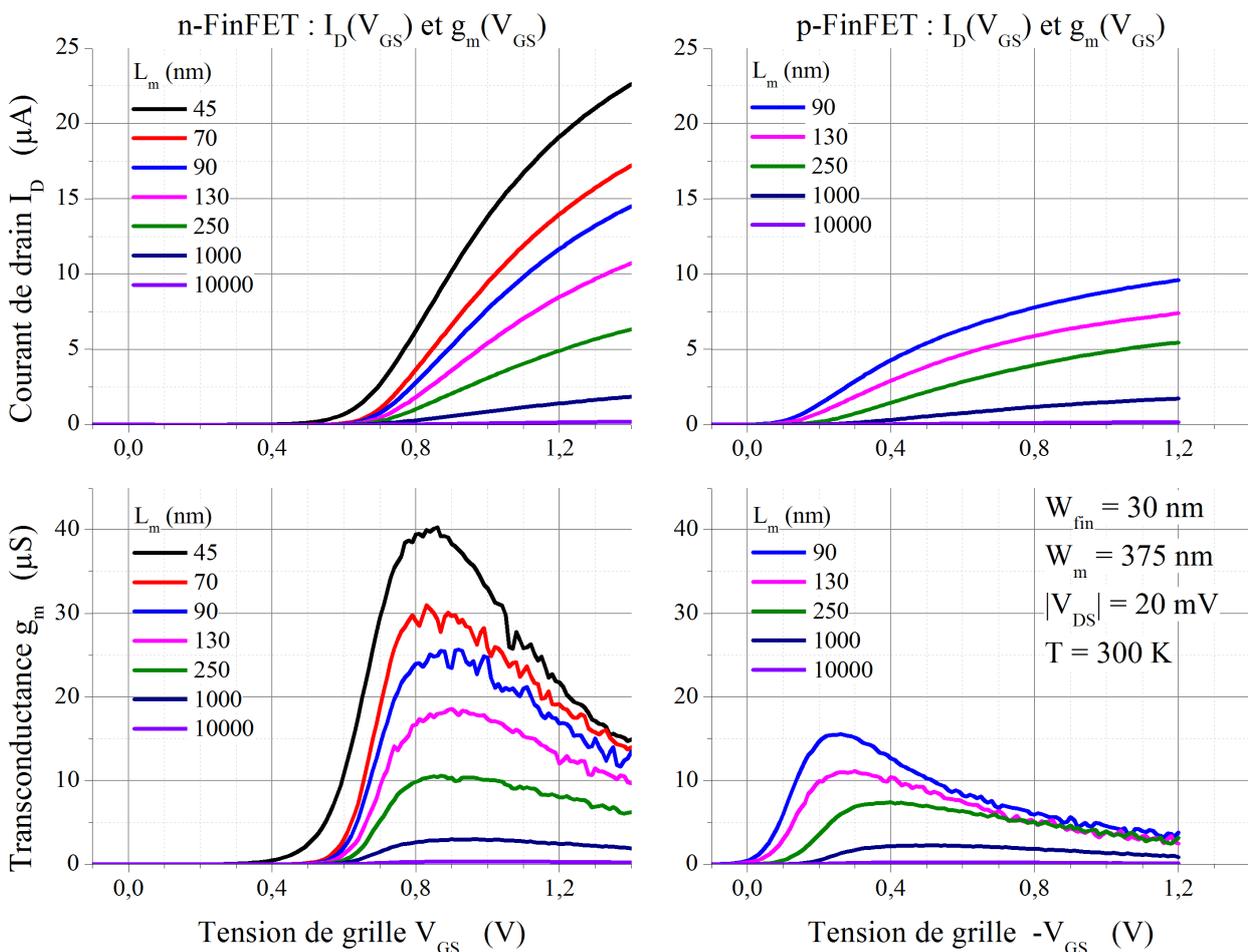


FIGURE 3.1 – Caractéristiques statiques typiques de FinFET.

Pour plus de commodités, rappelons tout d'abord les expressions des modèles de courant de drain et de transconductance en régime linéaire (respectivement équations 1.22 et 1.24 de la page 24) :

$$I_D = \frac{W_E}{L_E} \mu_0 C_{ox} V_{DS} \frac{V_{GS} - V_t - \frac{V_{DS}}{2}}{1 + \theta_1 (V_{GS} - V_t - \frac{V_{DS}}{2}) + \theta_2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2} \quad (3.1)$$

$$g_m = \frac{W_E}{L_E} \mu_0 C_{ox} V_{DS} \frac{1 - \theta_2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2}{\left[1 + \theta_1 (V_{GS} - V_t - \frac{V_{DS}}{2}) + \theta_2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2\right]^2} \quad (3.2)$$

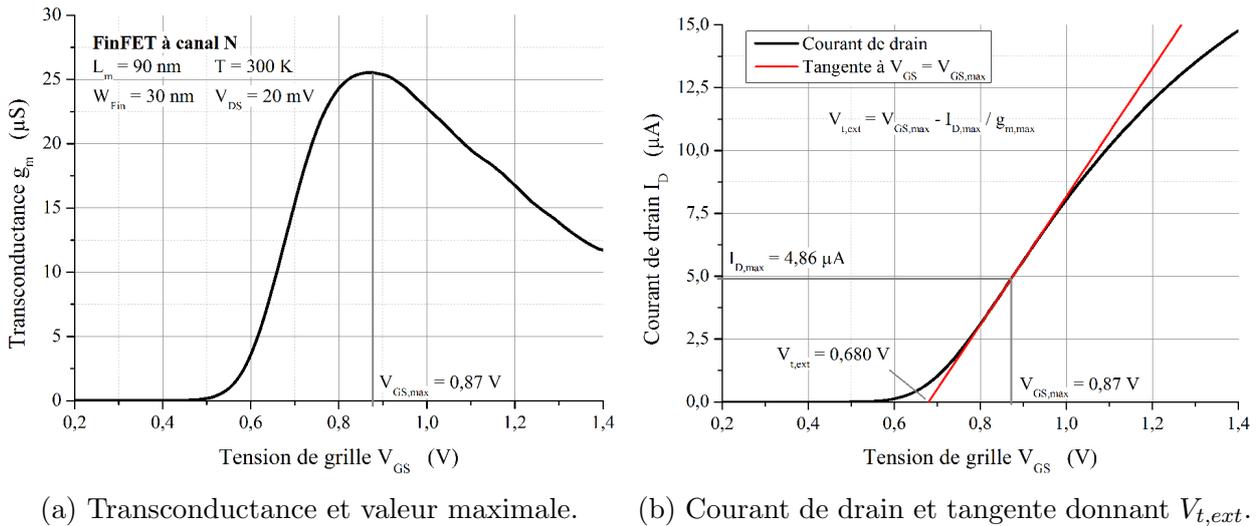
3.1.1.1 Tension de seuil

La tension de seuil V_t est en réalité appelée *tension de seuil de charge* car elle correspond à la tension à partir de laquelle la charge à l'interface Si/SiO₂ change de signe (cf. équation 1.2). Cependant la tension de seuil de charge est rarement relevée de manière exacte, car plusieurs techniques d'estimation apportent généralement des résultats satisfaisants [59]. Chaque technique part d'une définition différente, impactant implicitement sur la simplicité d'extraction, la précision ou encore la robustesse face aux perturbations de mesures. On note par exemple la tension de seuil à courant constant $V_{t,CC}$ définie par $V_{t,CC} := V_{GS}|_{I_D=10^{-7} W_m/L_m}$ ou encore la tension de seuil de dérivée seconde $V_{t,SD}$, définie comme étant la valeur tension de grille au point maximal de la dérivée seconde du courant $\partial^2 I_D / \partial V_{GS}^2$.

La technique d'estimation la plus courante reste toutefois l'obtention de la tension de seuil extrapolée $V_{t,ext}$. Elle consiste à prendre $V_{t,ext}$ comme étant l'intersection avec l'axe des abscisses de la tangente de $I_D = f(V_{GS})$ au point d'inflexion, c'est à dire au point où la transconductance $g_m = f(V_{GS})$ atteint son maximum. En pratique, on détermine le maximum de la caractéristique $g_m(V_{GS})$ et on note $V_{GS,max}$ la valeur de V_{GS} pour laquelle la transconductance est maximale (cf figure 3.2a). Sur la caractéristique de transfert, la tangente au point d'abscisse $V_{GS,max}$ est tracée. Son intersection avec l'axe des abscisses donne la tension de seuil extrapolée $V_{t,ext}$ (figure 3.2b).

Cette méthode est simple et rapide à mettre en œuvre, d'où son usage très répandu. Cependant elle ne donne qu'une valeur approchée de la tension de seuil de charge. La surestimation peut être calculée en utilisant la méthode décrite dans les lignes précédentes avec les équations 3.1 et 3.2 (en négligeant l'impact de θ_2) :

$$V_{t,ext} = V_t + \frac{V_{DS}}{2} - \theta_1 \left(V_{GS,max} - V_t - \frac{V_{DS}}{2} \right) \quad (3.3)$$

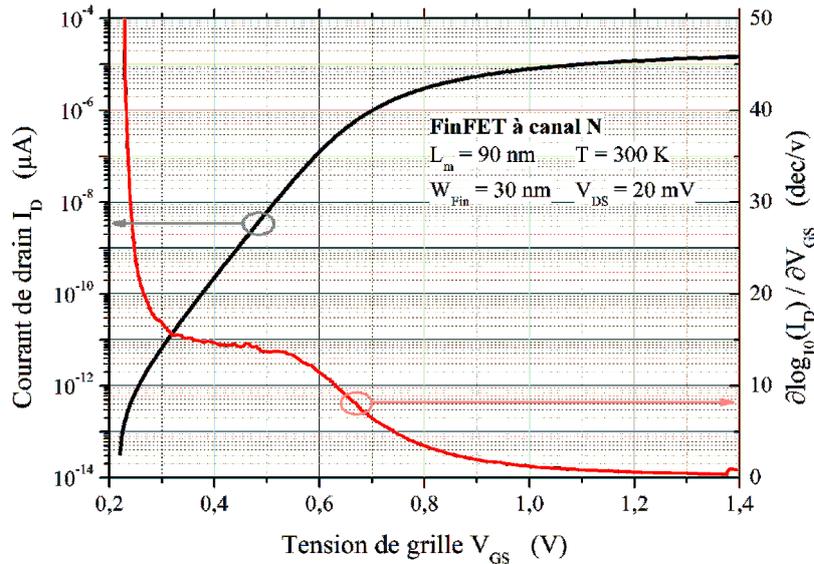

 FIGURE 3.2 – Extraction de la tension de seuil extrapolée $V_{t,ext}$.

3.1.1.2 Pente sous le seuil

L'inverse de la pente sous le seuil est un paramètre également très important, tant il reflète l'aptitude d'un transistor à contrôler une grande plage de courant de drain à partir d'une faible variation de la tension de grille. Le paramètre $SS := \partial V_{GS} / \partial \log_{10}(I_D)$ est en réalité l'inverse de la pente sous le seuil, mais le terme anglophone *subthreshold swing* SS est souvent confondu avec *subthreshold slope*, d'où l'appellation erronée mais souvent usitée de pente sous le seuil. Plus le paramètre est faible, moins la variation de tension de grille nécessaire pour faire varier le courant d'une décade sera importante, ce qui traduit la « rapidité » de conversion d'une commande en tension de grille vers une sortie en courant de drain.

Sur la figure 3.3 se trouve la caractéristique de transfert en échelle semi-logarithmique. Une pente presque constante est observable sur l'intervalle $0,30 \text{ V} \geq V_{GS} \geq 0,55 \text{ V}$, soit dans la zone du passage de l'inversion faible vers l'inversion forte. Les valeurs de courant correspondant sont respectivement de $6,71 \text{ pA}$ et $29,7 \text{ nA}$, on en déduit un coefficient directeur de 14 décade/V. On en déduit alors l'inverse de la pente sous le seuil $SS = 68,8 \text{ mV/dec}$. Cette valeur est relativement proche du minimal théorique de 60 mV/dec , traduisant l'aptitude du composant pour les applications numériques.

Une autre manière d'extraire SS se base sur la dérivée $\partial \log_{10}(I_D) / \partial V_{GS}$ du courant de drain, représentée en rouge sur la figure 3.3. Cette courbe comporte un plateau, dont le niveau est égal à l'inverse du paramètre SS d'après la définition donnée en début de section. Les courbes tracées sur le graphique montre un plateau à environ $14,5 \text{ dec/V}$, ce qui correspond à une valeur d'inverse de pente sous le seuil $SS = 69,0 \text{ mV/dec}$. Le résultat obtenu précédemment est alors validé par cette seconde méthode.

FIGURE 3.3 – Extraction de l'inverse de la pente sous le seuil SS .

3.1.1.3 Méthode de la fonction Y

Afin d'obtenir les paramètres statiques importants, plusieurs méthodologies d'extraction existent. Nous pouvons par exemple citer les méthodes de Hamer [60], de la fonction Y [61], *Shift and Ratio* [62] ou encore de McLarty [63]. La première méthode se base sur l'équation 3.1. Elle consiste à minimiser l'erreur de ce modèle par rapport aux mesures en utilisant quatre variables libres (V_t , θ_1 , θ_2 et μ_0). Cette technique est facile à mettre en œuvre, mais les résultats peuvent dépendre de la zone de tension dans laquelle les mesures et le modèle sont comparés. La méthode appelée *Shift and Ratio* permet d'extraire la tension de seuil et les dimensions effectives du canal. Elle est peu sensible au bruit de mesure mais la plage de tension de grille prise en compte peut faire significativement varier les résultats. La technique d'extraction de McLarty reprend le modèle de l'équation 3.1 et utilise une dérivée seconde afin d'extraire V_t , θ_2 et μ_0 . Cette méthode s'affranchit de θ_1 et donc de l'impact des résistances d'accès, mais l'introduction d'une dérivée seconde peut amener des courbes très bruitées, sur lesquelles il sera difficile d'extraire les paramètres souhaités.

La technique d'extraction choisie pour les travaux menés pendant cette thèse est la fonction Y [61, 17, 64]. Elle permet d'obtenir les paramètres V_t , θ_1 et θ_2 dans un composant, et peut être complétée en utilisant les paramètres de plusieurs composants pour obtenir $R_{accès}$, ΔL , ΔW et μ_0 . Cette fonction offre l'avantage d'être indépendante des résistances d'accès, sous réserve que $R_S \simeq R_D$. Si cette condition n'est pas vérifiée, il est toujours possible d'utiliser la fonction Y en deux temps : en effectuant une première mesure puis en inversant les contacts de source et drain pour une seconde mesure. La moyenne des deux fonctions Y obtenues permet alors de s'affranchir de l'effet des résistances d'accès [61]. Les composants étudiés ne nécessitent pas cette opération. En effet, les caractéristiques statiques sont identiques lorsque les bornes de source et drain sont interverties.

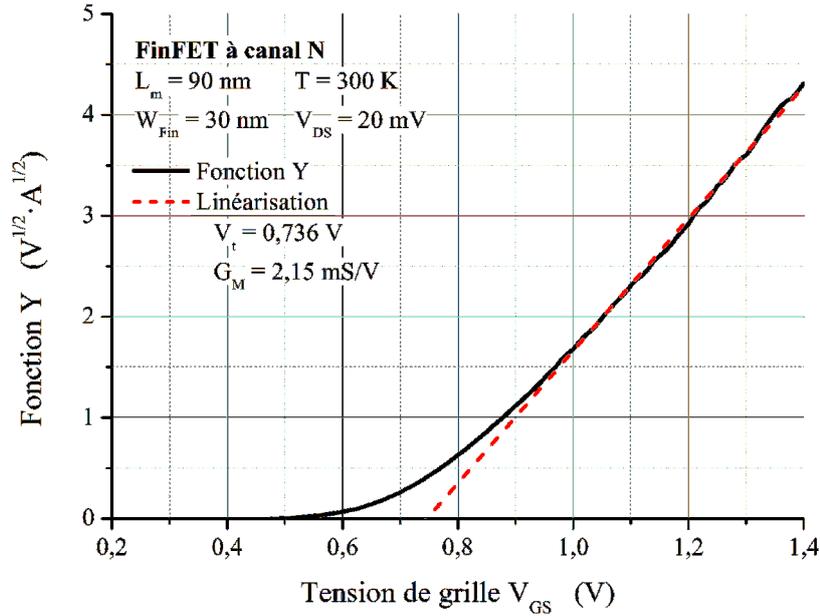


FIGURE 3.4 – Extraction des paramètres V_t et G_M à partir de la linéarisation de la fonction Y en inversion modérée.

Du point de vue du modèle, la fonction Y est linéaire et n'utilise pas la dérivée seconde du courant de drain, limitant ainsi l'impact du bruit de mesures. Elle est définie en régime linéaire à partir du courant de drain et de la transconductance des équations 3.1 et 3.2 :

$$Y(V_{GS}) := \frac{I_D}{\sqrt{g_m}} = \sqrt{\frac{G_M V_{DS}}{1 - \theta_2 (V_{GS} - V_t - V_{DS}/2)^2}} \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) \quad (3.4)$$

où $G_M = \mu_0 C_{ox} W_E / L_E$ (en S/V) est appelé paramètre de transconductance. Un exemple de fonction Y est présenté sur la figure 3.4.

Cette fonction est indépendante de θ_1 mais pas de θ_2 . La courbe $Y(V_{GS})$ a donc un comportement linéaire en inversion modérée, mais dévie en forte inversion en raison de l'impact de θ_2 . En linéarisant la fonction Y en inversion modérée (i.e. avec $\theta_2 = 0$), il est possible d'extraire les paramètres V_t et G_M à partir de l'intersection avec l'axe des abscisses et la pente, respectivement. C'est le cas de la droite tracée sur la figure 3.4, donnant ainsi une première estimation de ces paramètres.

À l'aide des deux paramètres V_t et G_M , il est maintenant possible de déterminer la valeurs des facteurs d'atténuation de mobilité au premier ordre θ_1 et au deuxième ordre θ_2 . En effet le facteur effectif d'atténuation de mobilité dépend de la tension de grille et s'écrit [17] :

$$\theta_{eff}(V_{GS}) = \theta_1 + \theta_2 \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) \quad (3.5)$$

Il est possible d'exprimer autrement cette grandeur à partir des équations 3.1 et 3.5, pour arriver à une expression de la forme [17] :

$$\theta_{eff}(V_{GS}) = \frac{G_M V_{DS}}{I_D} - \frac{1}{V_{GS} - V_t - V_{DS}/2} \quad (3.6)$$

Ainsi il est possible de tracer l'évolution de θ_{eff} à partir des grandeurs V_{GS} , V_{DS} et I_D mesurées et des paramètres V_t et G_M estimés, comme sur la figure 3.5. L'équation 3.5 étant une fonction affine, les paramètres θ_1 et θ_2 sont obtenus en effectuant une régression linéaire de l'expression 3.6 en forte inversion, comme par exemple sur la figure 3.5.

Les paramètres extraits peuvent être affinés car la fonction Y est itérative. Ainsi, la fonction Y_{k+1} est construite à partir de la fonction Y_k et des paramètres extraits lors de la première itération $V_{t,k}$ et $\theta_{2,k}$. Cela permet d'annuler l'effet de ce dernier dans la définition de la fonction Y en écrivant :

$$Y_{k+1}(V_{GS}) = Y_k(V_{GS}) \sqrt{1 - \theta_{2,k} \left(V_{GS} - V_{t,k} - \frac{V_{DS}}{2} \right)^2} \quad (3.7)$$

Les paramètres $V_{t,k+1}$ et $G_{M,k+1}$ peuvent alors être extraits en linéarisant la fonction $Y_{k+1}(V_{GS})$ et la construction de la fonction $\theta_{eff,k+1}(V_{GS})$ donne finalement accès aux paramètres $\theta_{1,k+1}$ et $\theta_{2,k+1}$. Notons que, généralement, deux itérations sont suffisantes pour parvenir à une précision satisfaisante [17].

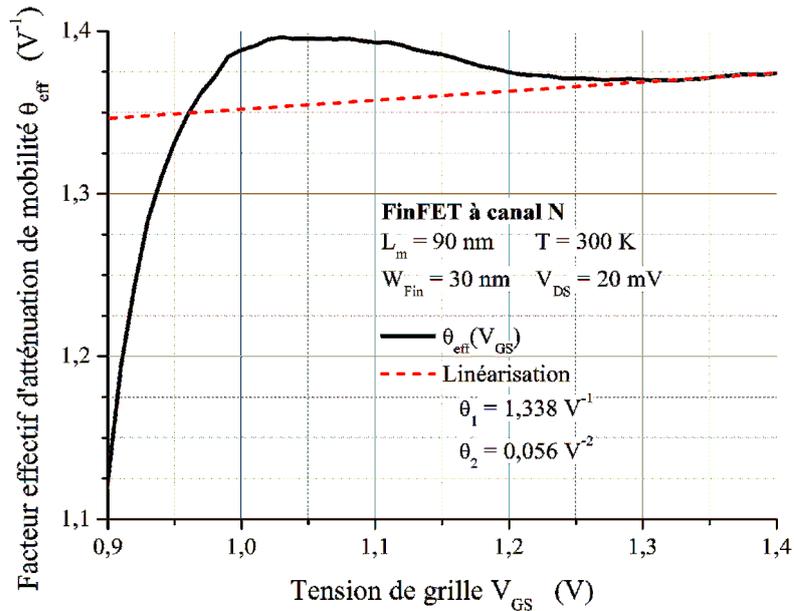


FIGURE 3.5 – Extraction des paramètres θ_1 et θ_2 à partir de la linéarisation du facteur d'atténuation de mobilité effectif θ_{eff} . La faible valeur de θ_2 explique le faible écart de linéarité de la fonction Y de la figure 3.4.

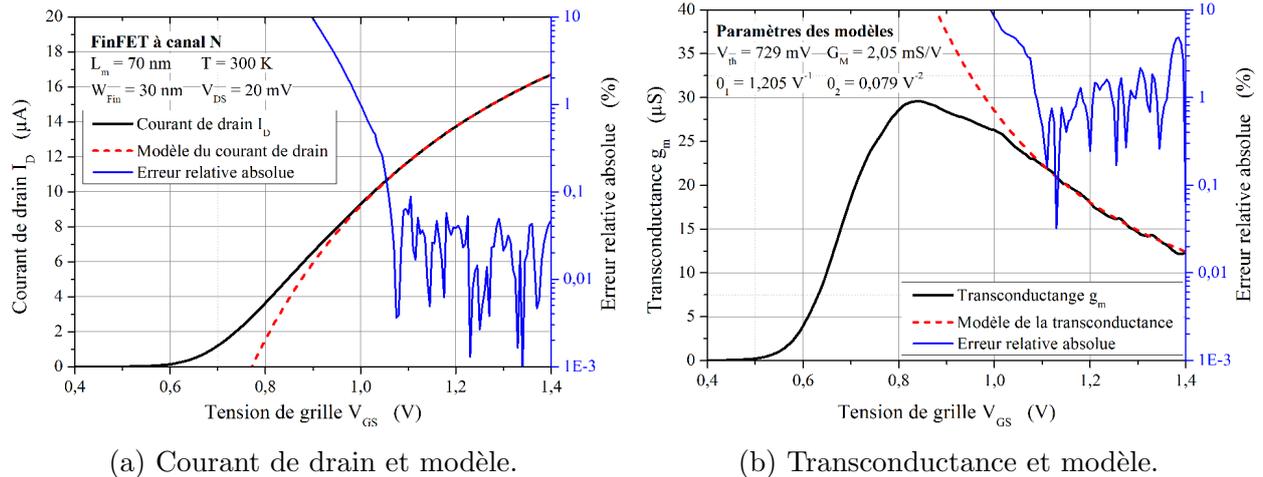


FIGURE 3.6 – Vérification du modèle obtenu à partir des paramètres de la fonction Y.

Enfin il est possible de valider l'extraction des paramètres en traçant le courant de drain et la transconductance, respectivement à partir des équations 3.1 et 3.2 et en utilisant les paramètres obtenus. Notons que les figures 3.4 et 3.5 ont permis d'obtenir les paramètres statiques lors d'une première linéarisation des courbes. Une deuxième itération a été effectuée afin d'affiner la valeur de ces derniers. Les figures 3.6a et 3.6b montrent les modèles obtenus et les erreurs relatives après deux itérations de la fonction Y [65, 66], les valeurs de paramètres étant indiquées dans la figure de droite.

3.1.1.4 Extraction des dimensions effectives, de la mobilité à faible champ et des résistances d'accès

Une fois les paramètres V_t , G_M , θ_1 et θ_2 extraits à l'aide de la fonction Y, il est possible de déterminer la valeur d'autres paramètres, à savoir la résistance d'accès $R_{accès}$, la mobilité à faible champ μ_0 et les dimensions effectives L_E et W_E .

Nous avons vu dans l'équation 3.4 que le paramètre de transconductance s'écrit $G_M = \mu_0 C_{ox} W_E / L_E$. Il est également possible de l'exprimer sous les formes [67] :

$$G_M = \frac{\mu_0 C_{ox} W_E}{L_E} = \frac{\mu_0 C_{ox}}{L_E} (W_m - \Delta W) \quad (3.8)$$

$$\frac{1}{G_M} = \frac{L_E}{\mu_0 C_{ox} W_E} = \frac{1}{\mu_0 C_{ox} W_E} (L_m - \Delta L) \quad (3.9)$$

En considérant que la mobilité à faible champ μ_0 ne dépend pas des dimensions du canal, les expressions ci-dessus montrent que les fonctions $G_M = f(W_m)$ et $G_M^{-1} = f(L_m)$ sont linéaires. Pour obtenir la valeur de ΔW , il faut étudier plusieurs composants de largeurs de masque W_m différentes mais de longueur L_m fixe. Avec la fonction Y, il est possible de

recupérer la valeur du paramètre de transconductance G_M pour chaque composant, puis de tracer l'ensemble des points G_M en fonction de W_m . D'après l'équation 3.9, l'interception avec l'axe des abscisses donne la valeur de ΔW .

De la même manière avec des composants de longueurs différentes mais de largeur fixe, il est possible d'obtenir la valeur de ΔL à partir du tracé de $G_M^{-1} = f(L_m)$ comme le montre la figure 3.7. Les deux expressions ci-dessus donnent également accès à la valeur de μ_0 une fois L_E et W_E identifiés. Cela permet de vérifier que l'hypothèse de départ (μ_0 indépendante de L_m et W_m) est respectée.

Une autre méthode permettant d'estimer ΔL et ΔW est la celle dite « de la résistance totale » [67]. La résistance totale est la somme de la résistance du canal et de la résistance d'accès ($R_{tot} = R_{ch} + R_{accès}$) et est obtenue à partir de la relation $R_{tot} = V_{DS}/I_D$. La méthode de la résistance totale permet aussi d'obtenir la valeur de la résistance d'accès $R_{accès}$. Elle se base sur le fait que la résistance du canal R_{ch} ne dépend que de la tension de grille, d'où :

$$R_{tot} = R_{ch} + R_{accès} = \frac{L_E}{W_E Q_{inv} \mu_{eff}} + R_{accès} = \frac{L_m - \Delta L}{W_E Q_{inv} \mu_{eff}} + R_{accès} \quad (3.10)$$

Ainsi, en traçant $R_{tot} = V_{DS}/I_D$ en fonction de L_m pour différentes valeurs de V_{GT} , les coordonnées de l'intersection commune des ces droites donnera le couple de valeurs ($L_m; R_{accès}$). L'exemple donné sur la figure 3.8 montre le tracé des points $R_{tot} = f(L_m)$ pour différentes valeurs de V_{GT} . Les droites obtenues convergent en un point dont les coordonnées donnent les valeurs $\Delta L = 5,5$ nm et $R_{accès} = 375 \Omega$.

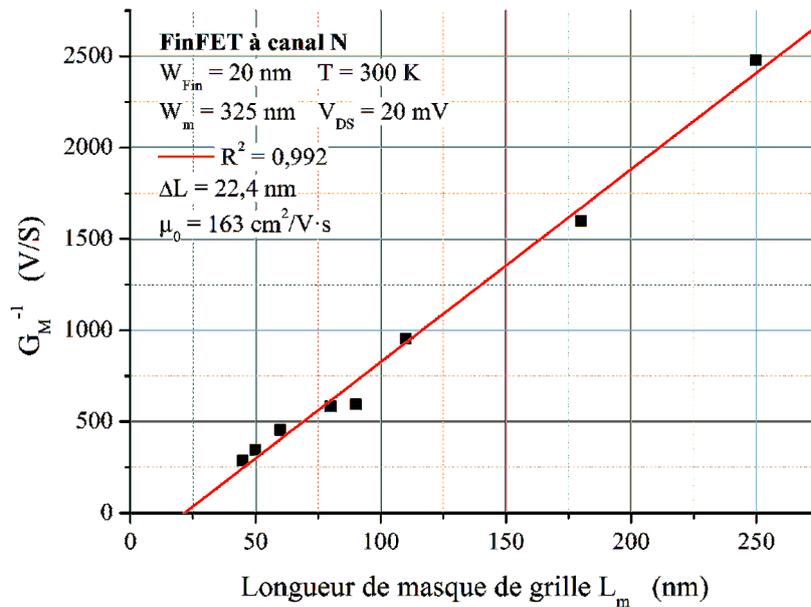


FIGURE 3.7 – Extraction de la mobilité à faible champ μ_0 et de ΔL à partir de la relation 3.9.

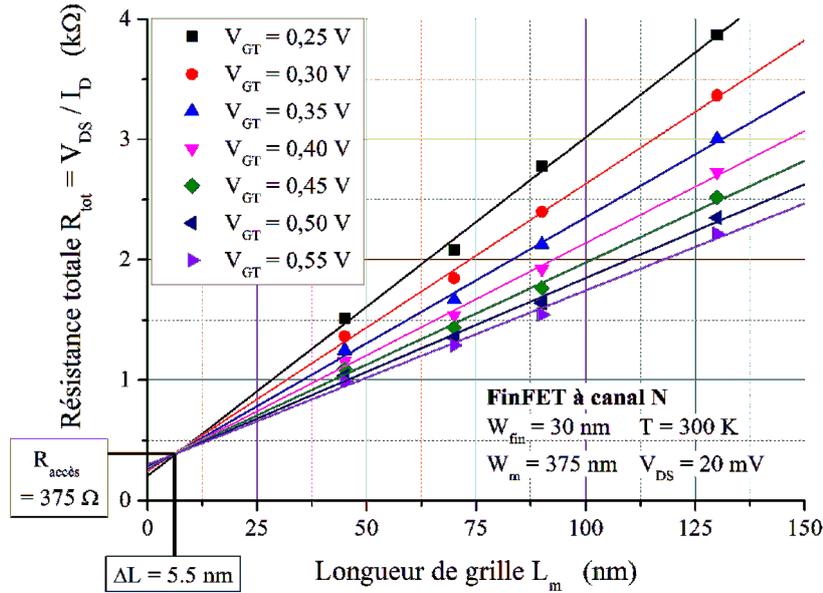


FIGURE 3.8 – Extraction de la résistance d'accès $R_{accès}$ et de ΔL à partir de la méthode de la résistance totale $R_{tot} = f(L_m)$.

Enfin, la relation 1.23 peut être ré-écrite en fonction du paramètre de transconductance : $\theta_1 = \theta_0 + G_M R_{accès}$. Les valeurs de θ_1 et G_M sont connues grâce à la méthode de la fonction Y appliquée à plusieurs composants. De cette manière, la pente de la droite formée par les points $\theta_1 = f(G_M)$ est égale à la valeur de la résistance d'accès $R_{accès}$ et son ordonnée à l'origine donne la valeur du facteur intrinsèque de réduction de mobilité θ_0 [67]. La figure 3.9 montre les valeurs θ_1 et G_M obtenues avec la fonction Y, qui donnent ensuite les valeurs de θ_0 et $R_{accès}$.

Certains paramètres peuvent être estimés en utilisant deux de ces méthodes. Celles-ci peuvent être utilisées ensemble afin de valider le protocole d'extraction des paramètres statiques et de confirmer les valeurs obtenues [66].

Afin de comparer les différentes technologies à disposition, le tableau 3.1 a été dressé à partir des extractions de paramètres statiques en régime linéaire. Sauf pour les GAA à empilement de métal de grille, il est aisément observable que la tension de seuil V_t est plus grande (en valeur absolue) dans les transistors à canal N que dans ceux à canal P. Toujours en valeur absolue, la tension de seuil diminue légèrement lorsque la largeur de doigt ou de nanofil augmente. L'effet de partage de charge est donc plus grand dans les composants à canal N et à canal étroit.

La grandeur ΔL semble avoir un lien avec le métal de grille. Les valeurs relevées dans les FinFET et GAA à métal de grille TiN se concentrent autour de 20 nm, tandis qu'elle se situe à 6,5 nm pour les nanofils à grille en TiN/TaN/TiAl/TiN. Ces derniers possèdent donc un meilleur contrôle électrostatique du canal par la grille.

La mobilité à faible champ μ_0 est plus grande dans les FinFET fins que dans les FinFET larges, alors que la tendance opposée est observée dans les GAA. Elle s'avère être plus grande dans les FinFET que dans les nanofils. Ceci peut être lié aux rugosités de surface plus grandes dans les composants à grille enrobante, car le dernier côté de la grille (côté inférieur) est fabriqué après les trois autres et ne bénéficie donc pas de la même qualité d'oxydation. En revanche les résistances d'accès $R_{accès}$ sont plus faibles dans les nanofils à grille en métal TiN.

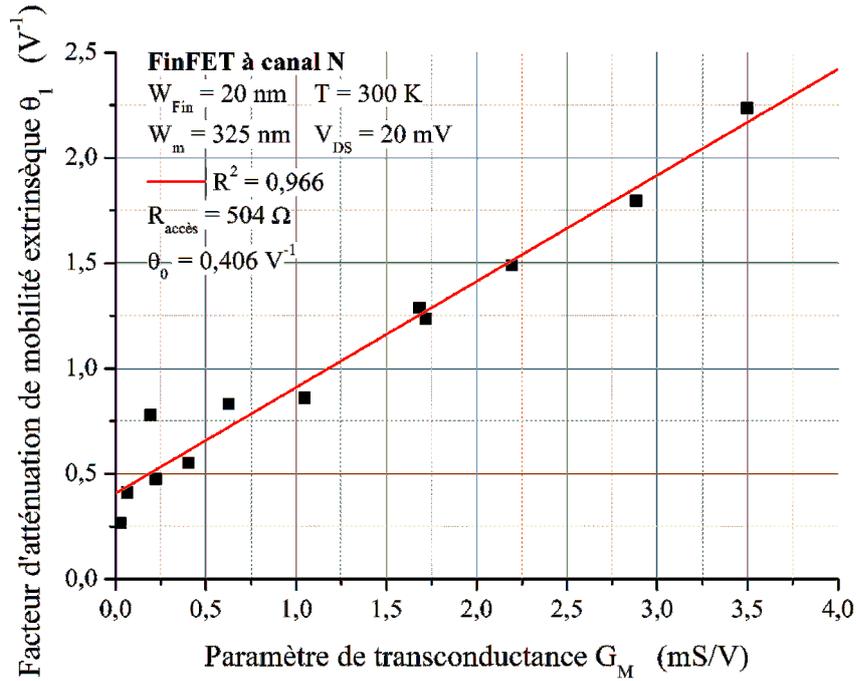


FIGURE 3.9 – Extraction de la résistance d'accès $R_{accès}$ et du facteur intrinsèque de réduction de mobilité θ_0 à partir de la relation $\theta_1 = f(G_M)$.

	W_{fin} / W_m nm / nm	ΔL nm	μ_0 $cm^2/V \cdot s$	$R_{accès}$ Ω	θ_0 V^{-1}	V_t^* V
n-FinFET ¹	20 / 325	22,4	338	375	0,406	0,793
	30 / 375		256	441		0,726
p-FinFET ¹	20 / 325		190	1210	0,784	-0,131
	30 / 375		167	594		-0,232
n-GAA ¹	20 / 425	17,6	125	233	0,548	0,729
	30 / 475	25,3	238	229	0,764	0,716
p-GAA ¹	20 / 425	2,4	98,2	392	0,493	-0,530
	30 / 475	3,5	114	385	0,802	-0,452
n-GAA ²	20 / 425	6,5	197	116	1,194	0,471
p-GAA ²	20 / 425	7,2	87,4	661	0,189	-0,795

TABLEAU 3.1 – Synthèse des paramètres extraits en régime linéaire ($|V_{DS}| = 20 \text{ mV}$; $T = 300 \text{ K}$). Métal de grille : ¹TiN; ²empilement TiN/TaN/TiAl/TiN.

*Les tensions de seuil sont données pour une longueur de grille $L_m = 250 \text{ nm}$.

3.1.2 Étude en régime de saturation

L'effet *Drain-Induced Barrier Lowering* (abaissement de la barrière dû au potentiel de drain, DIBL) est un effet de canaux courts qui implique une diminution de la tension de seuil V_t avec l'augmentation de la tension de drain V_{DS} . Il peut être caractérisé avec le paramètre λ_{DIBL} de la relation :

$$V_t(V_{DS}) = V_{t,0} - \lambda_{DIBL} \cdot V_{DS} \quad (3.11)$$

où $V_{t,0}$ correspond à la tension de seuil pour $V_{DS} \simeq 0$ V. Un ensemble de caractéristiques $I_D(V_{GS})$ à différentes valeurs tension de drain permet l'obtention de λ_{DIBL} .

De plus la diminution de V_t quand V_{DS} augmente est due à l'abaissement de la barrière de potentiel de la jonction source/substrat à fort V_{DS} . Il est donc possible de caractériser l'effet DIBL d'une autre manière, en utilisant les caractéristiques $I_D(V_{DS})$. Pour cela on définit le paramètre *DIBL* :

$$DIBL := \left. \frac{\partial \log(I_{DS})}{\partial V_{DS}} \right|_{V_{GS}=\text{constant}} \quad (3.12)$$

Les deux précédents paramètres sont liés par l'inverse de la pente sous le seuil *SS* : $\lambda_{DIBL} = SS \cdot DIBL$. La figure 3.10 montre l'évolution du paramètre *DIBL* en fonction de la longueur de grille. Globalement, les points associés aux différents composants suivent une tendance en L_m^{-1} . Les transistors à canal N sont moins sensibles à l'effet DIBL que leur équivalent en canal P. D'autre part les nanofils présentent de plus faibles valeurs du paramètre *DIBL* que leurs homologues FinFET, ce qui atteste d'un meilleur contrôle des charges par la grille.

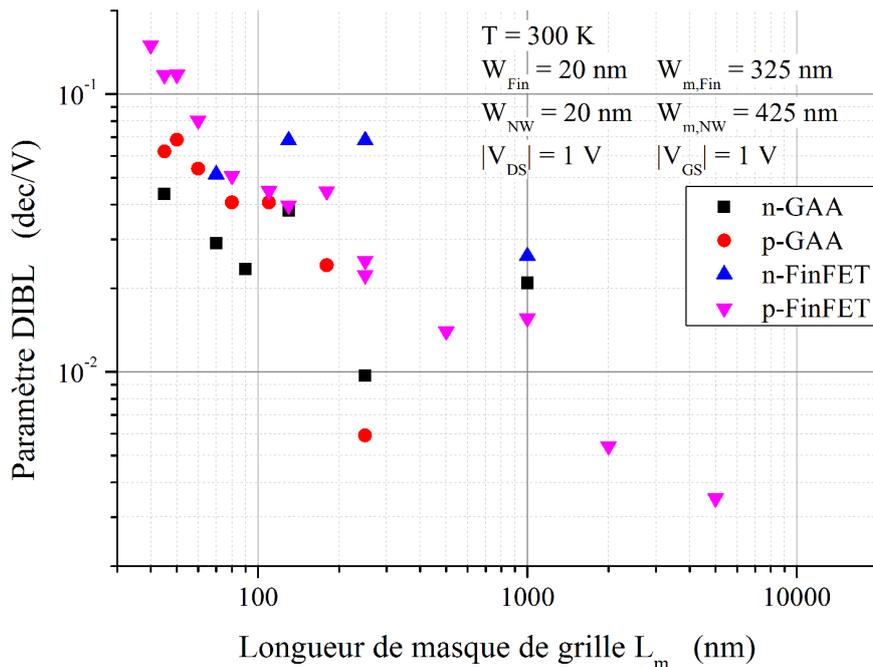
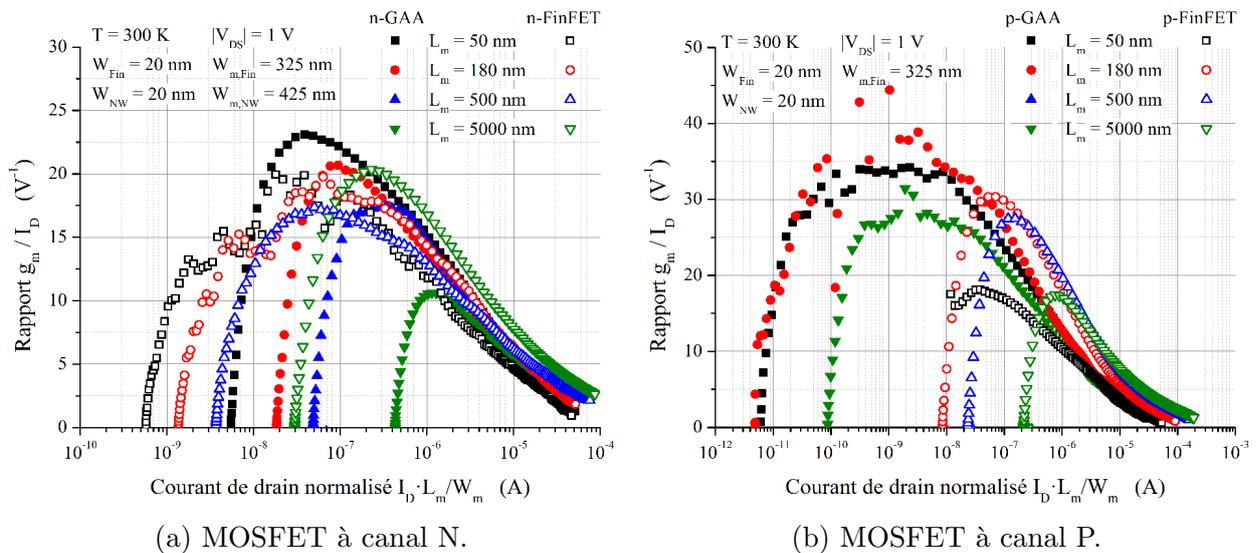


FIGURE 3.10 – Évolution du paramètre *DIBL* en fonction de la longueur de grille.

Le rapport entre la transconductance et le courant de drain g_m/I_D est un paramètre important dans la conception des circuits analogiques car il représente la capacité du composant à fournir de la puissance à partir du courant de polarisation. En inversion faible, ce rapport dépend de l'inverse de la pente sous le seuil ($\ln(10)/SS$), tandis qu'en inversion forte il varie avec $1/\sqrt{I_D}$. Sur les courbes tracées dans les figures 3.11a et 3.11b (respectivement pour les composants à canal N et canal P), on peut noter l'évolution de g_m/I_D pour différentes longueurs de grille. Pour les transistors à canal N, la plus courte longueur ($L_m = 50$ nm) donne la plus grande valeur de g_m/I_D et donc la plus grande valeur de pente sous le seuil, tandis que ce maximum est atteint pour un transistor plus long ($L_m = 180$ nm) dans les p-MOSFET. Les effets de canaux courts s'expriment davantage dans les p-MOSFET est une explication à ce phénomène.

D'autre part, la valeur maximale de g_m/I_D est environ 40 % plus importante dans les transistors à canal P. En effet le maximum est compris entre 17 V^{-1} et 37 V^{-1} dans les canaux de type P, et entre 12 V^{-1} et 26 V^{-1} pour ceux de type N. Cela correspond à des valeurs de SS situées entre 135 mV/dec et $62,2 \text{ mV/dec}$ et entre 192 mV/dec et $88,6 \text{ mV/dec}$, respectivement. À longueurs égales, les composants à canal P offrent donc une meilleure pente sous le seuil, avec une valeur proche du minimal théorique de 60 mV/dec (valeur minimale atteinte par le p-GAA à $L_m = 180$ nm). Les nanofils à grille enrobante affichent de meilleures caractéristiques que leur correspondant en technologie FinFET à triple-grille, sauf dans le cas du long canal N ($L_m = 5000$ nm). Ceci est en accord avec les études en régime linéaire, zone de fonctionnement dans laquelle les GAA affichaient également une pente sous le seuil plus faible que les triple-grille. Il est intéressant de noter que, en forte inversion, les composants courts présentent un meilleur comportement que ceux de plus grande longueur. En effet, à même courant de drain, le rapport g_m/I_D est plus grand dans ces premiers.


 FIGURE 3.11 – Rapport g_m/I_D pour différents composants.

La tension d'Early, représentant la variation du courant de drain avec V_{DS} en régime de saturation, est calculée à partir de l'expression $V_{EA} = I_D/g_{ds}$ à $|V_{DS}| = |V_{GS}| = 1$ V. Sur la figure 3.12, les n-GAA NW-FET offrent de meilleures performances que les n-FinFET à triple-grille. La différence entre les deux technologies à canal P n'est pas flagrante, les points à faibles longueurs semblant suivre la même évolution.

La tension d'Early permet d'obtenir la valeur du gain intrinsèque A_V , autre figure de mérite et définie par $A_V := V_{EA} \cdot g_m/I_D$. Les données rassemblées dans la figure 3.13 confirment la supériorité des n-NW-FET par rapport aux n-FinFET. Elle met aussi en avant l'avantage des nanofils à canal P en comparaison aux FinFET équivalents, offrant un gain intrinsèque légèrement supérieur.

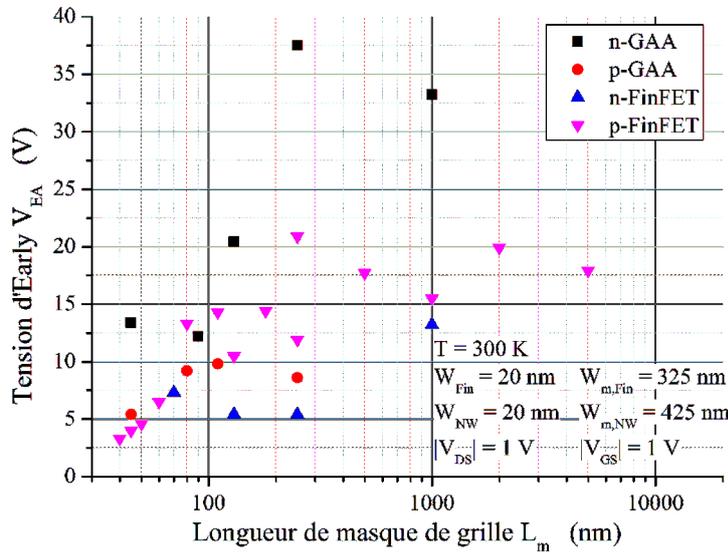


FIGURE 3.12 – Tension d'Early V_{EA} obtenue en régime de saturation ($|V_{DS}| = |V_{GS}| = 1$ V).

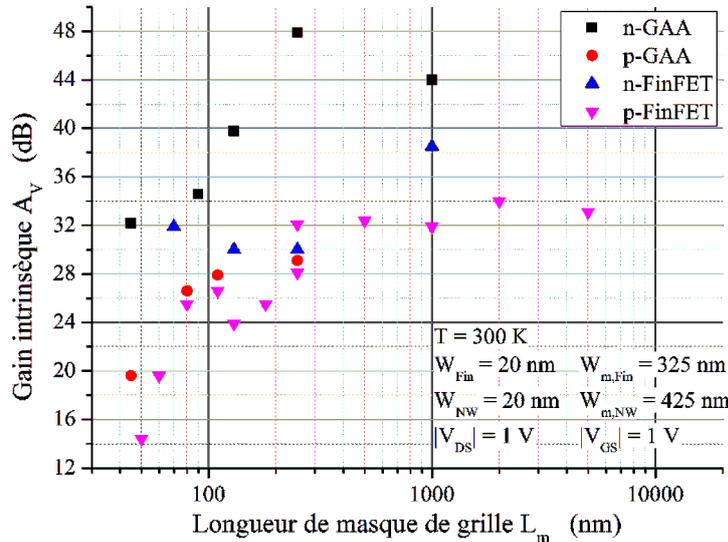


FIGURE 3.13 – Estimation du gain intrinsèque A_V à partir de la tension d'Early.

3.2 Étude en température

3.2.1 Premières considérations sur le mécanisme de transport des porteurs

Des études en température ont également été menées. D'une part, l'utilisation de composants à très basse température peut correspondre à certaines applications (certes exceptionnelles, mais néanmoins critiques) telles que l'électronique dédiée au spatial. Les circuits internes aux satellites sont généralement maintenus à température constante avec de l'azote ou de l'hélium liquides. D'autre part, les composants peuvent voir certaines de leurs performances améliorées avec la diminution de la température. L'agitation thermique étant plus faible, le nombre de collisions des porteurs est diminué et la mobilité effective est augmentée. La pente sous le seuil est améliorée, augmentant la fréquence de fonctionnement en commutation. On peut également observer une diminution des courants de fuites, des résistances d'accès, de la puissance consommée et du bruit thermique. Cependant des effets néfastes peuvent aussi apparaître (comme le gel de certaines impuretés ou des réponses transitoires anormales) et dégrader les fonctionnalités d'un circuit intégré.

Bien que quelques publications ont mis en avant un changement de mécanisme de transport de porteurs à températures cryogéniques [68, 69, 70, 71, 72], très peu d'études récentes ont étudié ces phénomènes dans des technologies avancées. Un des objectifs de cette thèse était donc d'étudier les phénomènes de transport de porteurs à très basse température. Les composants ont alors été placés dans une station sous pointes Lakeshore TTP4, dont la chambre centrale était sous vide et refroidie à l'azote ou à l'hélium liquide. La température était asservie par un contrôleur Lakeshore 331. Les mesures statiques ont été réalisées avec un analyseur de paramètres HP 4156B.

Des exemples de caractéristiques de transfert en fonction de la température sont présentées pour des FinFET sur la figure 3.14 [73]. Graphiquement, on observe que le courant en inversion forte augmente avec la diminution de la température (effet principalement dû à l'augmentation de la mobilité des porteurs) tandis que le courant à l'état *off* diminue. De plus la pente sous le seuil semble plus élevée à faible température. L'évolution de ces trois paramètres montre clairement que l'abaissement de la température améliore les performances en commutation des composants, comme la théorie l'indiquait. En regardant plus en détail cette figure pour de faibles températures (grossissement de la figure 3.14), il apparaît que certaines transitions *off-on* (inversion faible vers modérée) contiennent des niveaux intermédiaires de courant.

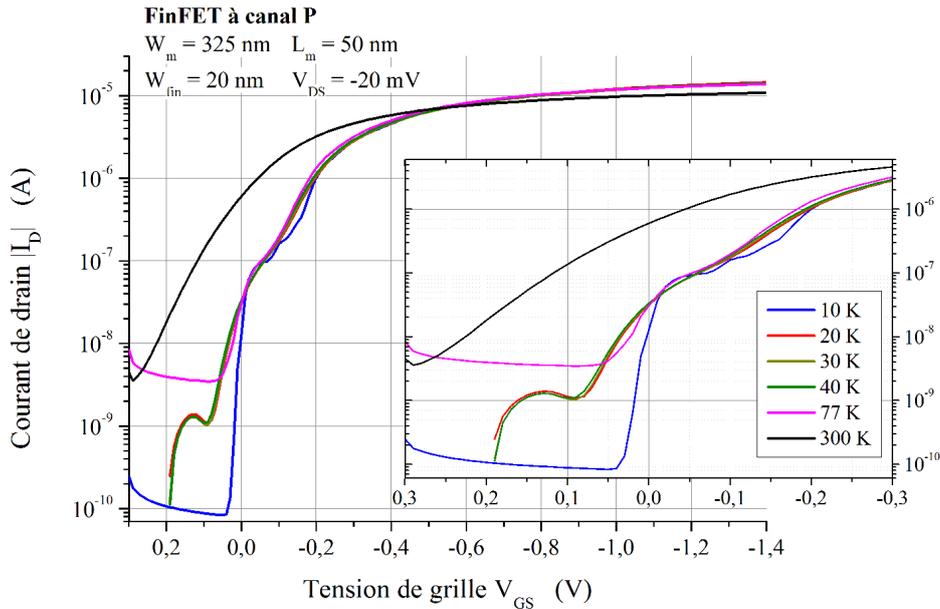


FIGURE 3.14 – Évolution des caractéristiques de transfert $I_D(V_{GS})$ en fonction de la température. La miniature est un grossissement mettant en évidence les paliers de la transition *off-on*.

Il faut néanmoins être rigoureux sur l'interprétation de ces paliers car plusieurs phénomènes peuvent expliquer leur présence. En régime linéaire, l'expression 1.22 montre que les caractéristiques $I_D(V_{GS})$ sont proportionnelles à V_{DS} sous l'hypothèse (vérifiée ici) que $|V_{DS}|/2 \ll |V_{GT}|$. La conductance $G_{DS} = I_D(V_{GS})/V_{DS}$ est donc indépendante de la tension de drain. Les caractéristiques de transfert $I_D(V_{GS})$ de la figure 3.15a montrent la présence de paliers de courant, cette fois-ci dans des FinFET à canal N. Les courbes de la figure 3.15b permettent de valider la relation de proportionnalité avec V_{DS} . Cela indique que les porteurs sont soumis à une conduction classique, modélisée par le régime linéaire.

L'explication la plus probable pour justifier la présence de marches est la non-uniformité du potentiel sur la largeur du canal [73]. Ceci peut causer la création de plusieurs canaux en parallèle, chacun ayant une tension de seuil différente et résultant en un courant de drain variant en allure d'escalier. De plus ces FinFET ont un canal qui n'est pas intentionnellement dopé et une architecture en trois dimensions. Or le potentiel le long du canal peut être impacté par un dopage non-uniforme, la présence de défauts dans l'oxyde de grille ou encore la largeur effective variable entre la source et le drain [23].

Les dimensions du canal ont un impact important sur la manifestation des paliers de courant. Les caractéristiques de transfert $I_D(V_{GS})$ et de transconductance $g_m(V_{GS})$ sont montrées à même V_{DS} pour quatre composants (deux n-FinFET et deux p-FinFET, un canal court et un canal long pour chaque type) sur la figure 3.16. Malgré quelques oscillations au niveau de la transconductance, on peut observer pour les composants de longueur $L_m = 500$ nm que les caractéristiques ne présentent pas d'irrégularité. En revanche les caractéristiques de transfert

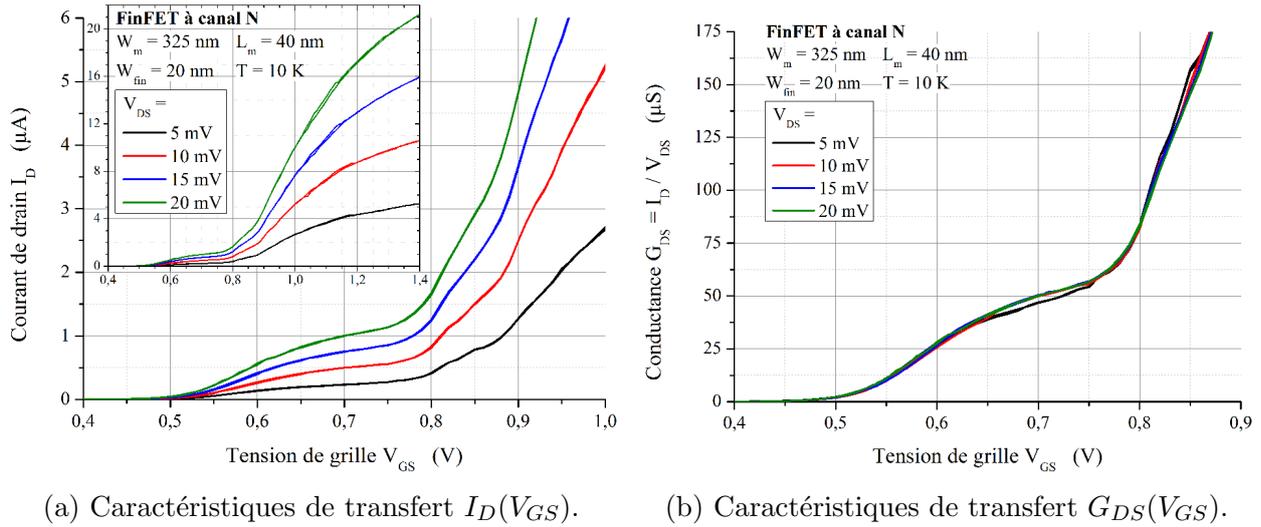


FIGURE 3.15 – Manifestation de paliers dans les caractéristiques de transfert $I_D(V_{GS})$ et de conductance du canal $G_{DS}(V_{GS})$. Les caractéristiques de conductance se superposent : régime de conduction classique en régime linéaire.

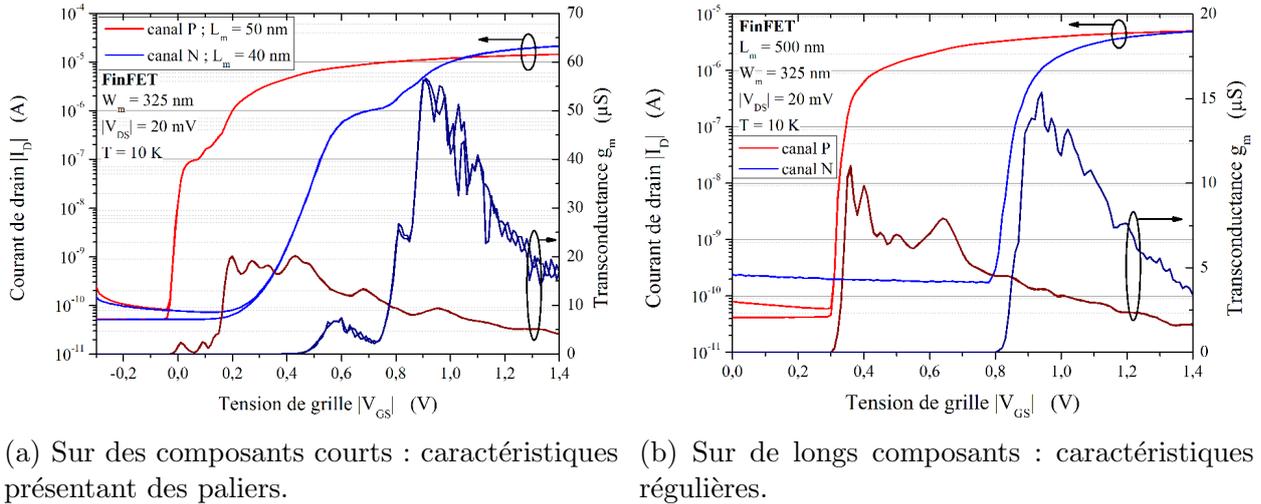


FIGURE 3.16 – Caractéristiques de transfert en régime linéaire à très faible température.

composants plus courts possèdent au moins un palier visible au niveau du passage de l'inversion faible à l'inversion modérée. Cela se traduit par la présence de bosses prononcées dans la transconductance, particulièrement visibles pour le transistor à canal N ($L_m = 40$ nm). Ce phénomène semble être indépendant de la manière dont la tension de grille est appliquée ($|V_{GS}|$ croissante de $-0,3$ V à $1,4$ V, puis décroissante).

Toutefois, la non-uniformité du potentiel dans le canal n'est pas forcément la seule responsable de l'évolution du courant de drain. Tout comme pour la figure précédente (3.15), les courbes de la 3.17 évoluent en suivant la forme d'un escalier [74]. Cependant les caractéristiques ne montrent pas ici d'évolution proportionnelle à la tension de drain. En effet les courbes de conductance $G_{DS}(V_{GS})$ devraient en théorie se superposer pour différentes valeurs de V_{DS} , ce qui n'est pas le cas pour les faibles valeurs de tension de drain.

Dans ce cas, la non-uniformité du potentiel dans le canal n'explique plus à elle seule l'évolution par paliers du courant de drain. Le fait que $G_{DS}(V_{GS})$ ne soit plus indépendante de V_{DS} indique que l'hypothèse de conduction des porteurs en régime linéaire n'est plus valide. Le régime de conduction a changé : il s'agit désormais d'un transport quantique dû aux diffusions des sous-bandes d'énergie. Ce mécanisme sera détaillé dans la section 3.3.

Nous pouvons néanmoins indiquer que ces effets se manifestent à très faible température, à faible tension de drain et pour de faibles dimensions de composant. D'ailleurs les courbes de la figure 3.15 ont été relevées dans des conditions moins favorables que celles de la figure 3.17 (T et V_{DS} plus élevées), il est donc plausible de penser que les FinFET sont également sujet à ce type de transport quantique mais que les conditions nécessaires n'étaient pas réunies.

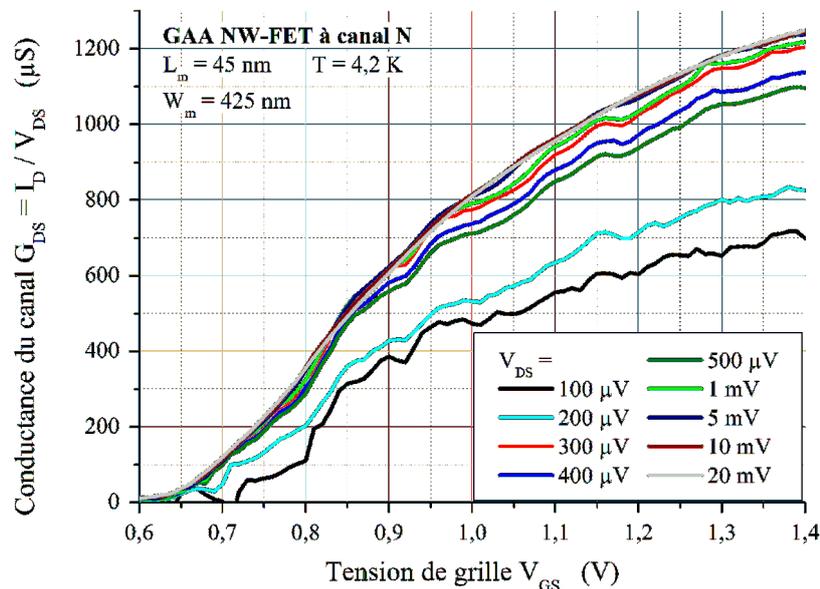


FIGURE 3.17 – Manifestation de paliers dans les caractéristiques de conductance du canal $G_{DS}(V_{GS})$. Les caractéristiques de conductance ne se superposent pas : transport quantique.

3.2.2 Extraction de paramètres statiques sous mécanisme de transport classique

3.2.2.1 Fonction Y adaptée aux très basses températures

À de très basses températures, le modèle du courant de drain défini dans l'équation 3.1 n'est plus valable. En effet les phénomènes qui impactent la mobilité des porteurs ne sont plus les mêmes : les rugosités de surface sont la principale cause de diffusion de mobilité à très basses températures, comme indiqué dans la section 1.2.3 page 20.

La mobilité effective évolue avec la charge d'inversion Q_{inv} en suivant une forme en cloche, modélisée empiriquement par :

$$\mu_{eff} = \frac{2 \mu_m}{\frac{Q_{inv}}{Q_m} + \frac{Q_m}{Q_{inv}}} \quad (3.13)$$

où μ_m est la mobilité maximale et Q_m la charge surfacique d'inversion correspondante [10]. Cette dernière est liée au facteur d'atténuation de mobilité à très faible température $\theta_{it} = C_{ox}/Q_m$. Sachant que la charge d'inversion s'écrit $Q_{inv} = C_{ox}(V_{GS} - V_t - V_{DS}/2)$ en forte inversion, la mobilité effective est exprimée désormais par la relation :

$$\mu_{eff} = \frac{2 \mu_m \theta_{it} (V_{GS} - V_t - \frac{V_{DS}}{2})}{1 + \theta_{it}^2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2} \quad (3.14)$$

Notons que la mobilité maximale μ_m peut être observée sur une gamme de température inférieure à 40 K, la mobilité à faible champ μ_0 étant observée pour des températures plus hautes [10, 17]. Par conséquent, les modèles de courant de drain, de transconductance et de fonction $Y_{low T}$ décrits ci-après ne sont valables que pour $T \leq 40$ K.

Le courant du drain en forte inversion, écrit d'après l'équation 1.10, devient à très faible température :

$$I_D = \frac{W_E}{L_E} Q_{inv} \mu_{eff} V_{DS} = 2 \frac{W_E}{L_E} C_{ox} \mu_m \theta_{it} V_{DS} \frac{(V_{GS} - V_t - \frac{V_{DS}}{2})^2}{1 + \theta_{it}^2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2} \quad (3.15)$$

Ainsi, la transconductance $g_m := \partial I_D / \partial V_{GS}$ devient :

$$g_m = 4 \frac{W_E}{L_E} C_{ox} \mu_m \theta_{it} V_{DS} \frac{V_{GS} - V_t - \frac{V_{DS}}{2}}{\left[1 + \theta_{it}^2 (V_{GS} - V_t - \frac{V_{DS}}{2})^2\right]^2} \quad (3.16)$$

Cette dernière admet un maximum de coordonnées $(V_{GS,max}; g_{m,max})$ tel que :

$$V_{GS,max} = V_t + \frac{V_{DS}}{2} + \frac{1}{\theta_{it} \sqrt{3}} \quad (3.17)$$

$$g_{m,max} = \frac{3\sqrt{3}}{4} \frac{W_E}{L_E} C_{ox} \mu_m V_{DS} \quad (3.18)$$

De même manière que pour la fonction Y à plus haute température ($T > 40$ K), une combinaison judicieuse des équations 3.15 et 3.16 peut mener à une fonction qui permet une

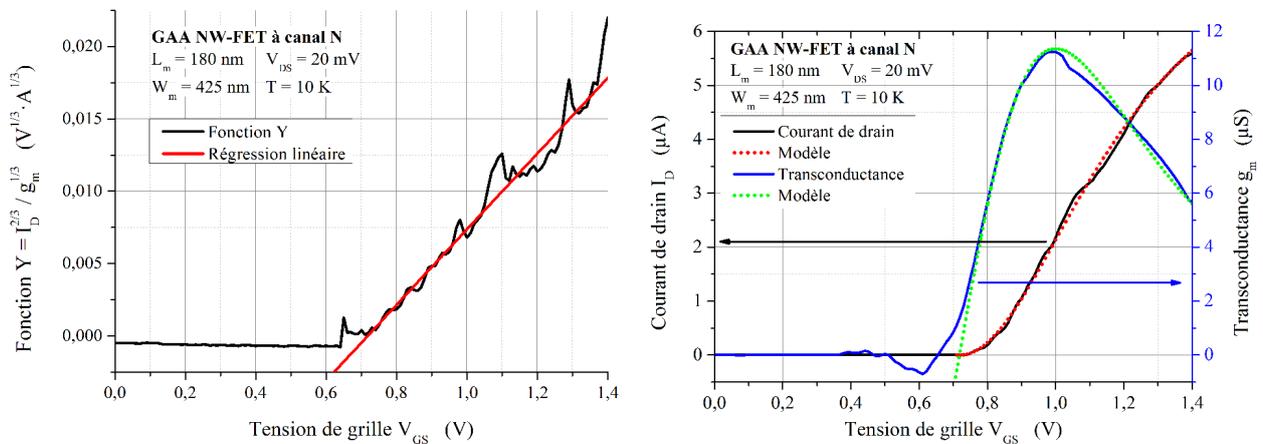
extraction basée sur une régression linéaire :

$$Y_{\text{low T}} := \frac{I_D^{2/3}}{g_m^{1/3}} = \left(\frac{W_E}{L_E} C_{ox} \mu_m \theta_{it} V_{DS} \right)^{1/3} \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) \quad (3.19)$$

Cette fonction $Y_{\text{low T}}$ adaptée aux très basses températures permet l'extraction de la tension de seuil de charge V_t à partir de l'intersection de la linéarisation avec l'axe des abscisses, comme le montrent la figure 3.18a. La mobilité maximale μ_m et le facteur d'atténuation de mobilité à basse température θ_{it} peuvent être obtenus grâce au point maximal de la transconductance ($V_{GS,max}$; $g_{m,max}$) à l'aide des expressions 3.17 et 3.18. La validité des valeurs de V_t , μ_m et θ_{it} peut être vérifiée en construisant le modèle linéaire avec ces paramètres, comme le montre la figure 3.18b.

3.2.2.2 Paramètres en régime linéaire

La mobilité a été relevée pour différentes températures (figure 3.19a). Rappelons que la mobilité maximale μ_m est estimée pour $T \leq 40$ K et que la mobilité à faible champ μ_0 est obtenue pour des températures plus élevées. Dans le paragraphe 1.2.3 traitant de la mobilité des porteurs, il a été indiqué que les diffusions de phonons diminuent avec la température, ce qui permet à la mobilité d'augmenter quand la température descend de 300 K à 77 K. Par rapport à la température ambiante, la mobilité se trouve améliorée de 90 % à $T = 77$ K. Quand la température diminue davantage, les diffusions des centres coulombiens deviennent dominantes et réduisent la mobilité des porteurs. À $T = 10$ K, la mobilité est même jusqu'à 35 % plus faible qu'à température ambiante. Nous pouvons également observer que le rapport entre la mobilité du n-FinFET et celle du p-FinFET reste relativement constante (autour de 1,8).



(a) Linéarisation de la fonction Y.

(b) Construction des modèles.

FIGURE 3.18 – Linéarisation de la fonction Y d'un nanofil à canal N. L'extraction des paramètres V_t , μ_m et θ_{it} est validée en construisant les modèles de courant de drain et de transconductance.

Pour les nanofils GAA, la même tendance est observée (figure 3.19b). Cependant l'impact des rugosités de surface devient évident à plus basse température ($T \leq 20$ K). Les FinFET et nanofils présentés ici ont les mêmes hauteur et largeur de doigt/fil. Les nanofils ont toutefois une largeur totale plus grande due à la grille enrobante.

L'écart entre la tension de seuil pour un canal court et un canal long ($\delta V_t = V_{t,50\text{nm}} - V_{t,500\text{nm}}$) est présenté en fonction de la température sur la figure 3.20a. La valeur de δV_t traduit l'effet de partage de charges, une faible valeur étant synonyme de meilleur contrôle des porteurs par la grille. En valeur absolue, l'écart de tension de seuil diminue avec la température. L'effet de partage de charges est donc réduit à faible T , et ce de manière plus prononcée pour les composants à canal N. Le choix d'un long canal comme référence est justifié par le fait que l'effet de partage de charges y est moins significatif. La tension de

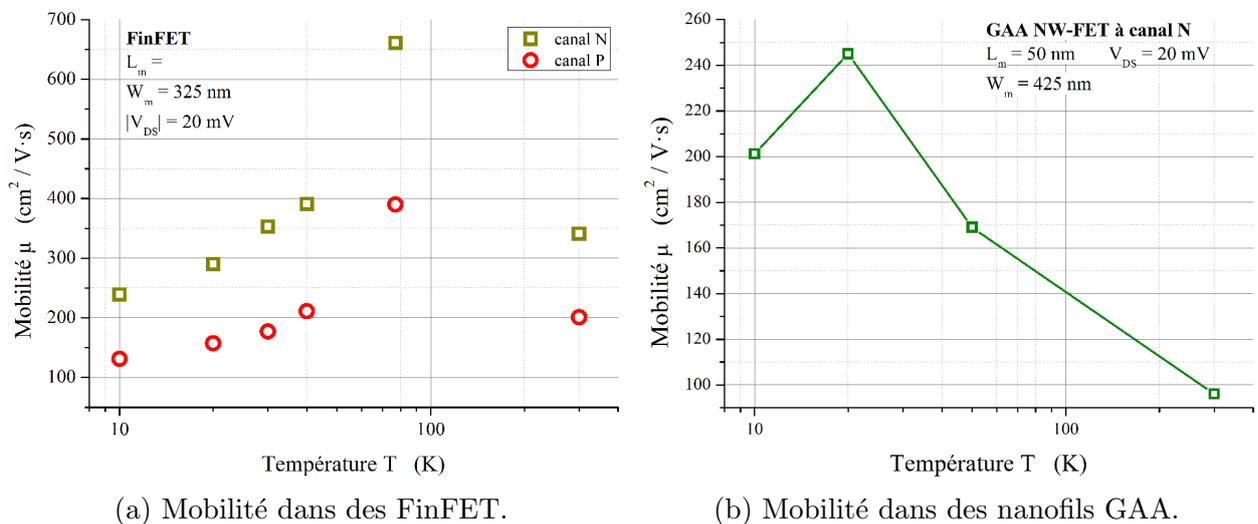


FIGURE 3.19 – Extraction de la mobilité en fonction de la température.

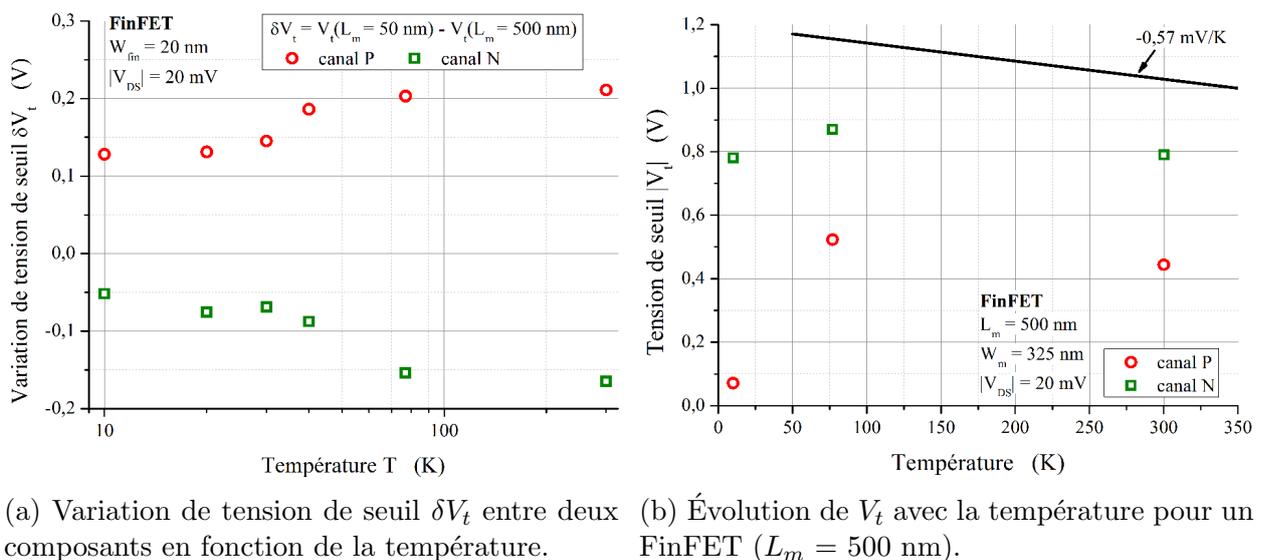


FIGURE 3.20 – Comportement de la tension de seuil en fonction de la température

seuil pour $L_m = 500$ nm est incluse dans la figure 3.20b. Une dépendance de V_t à $-0,57$ mV/K a été relevée dans des FinFET en technologie 32 nm [75, 76], mais elle n'est pas suivie ici à très faible température. Ce phénomène peut être lié aux comportements en température du niveau d'énergie de Fermi E_F et du potentiel de surface ϕ_S , principalement dus à la concentration intrinsèque des porteurs (elle-même dépendante de la température) [14].

Le tableau 3.2 reprend l'évolution de différents paramètres dans des nanofils en fonction de la température [77]. À partir de la température ambiante, la tension de seuil V_t augmente quand T diminue. La pente de cette variation est de $\Delta V_t / \Delta T = -0,24$ mV/K jusqu'à $T = 20$ K. Comme pour les FinFET, la tension de seuil diminue pour $T = 10$ K. La dépendance de la tension de seuil en température est nettement mieux maîtrisée que pour des technologies antérieures : autour de $-0,96$ mV/K pour des composants à simple grille [75], puis autour de $-0,57$ mV/K pour des FinFET 32 nm [75, 76], la variation de $-0,24$ mV/K obtenue dans ces composants montre une très bonne stabilité en température de la tension de seuil.

On observe également la décroissance de SS avec la température, jusqu'à atteindre une valeur limite de 15 mV/dec, éloignée du minimal théorique de $1,98$ mV/dec. D'une part les nanofils comme les FinFET sont soumis au même phénomène de rugosité de surface, ce qui vient ainsi altérer SS . D'autre part les états d'interface aux abords des bandes d'énergie augmentent et détériorent également l'inverse de la pente sous le seuil.

Le tableau 3.3 fait la synthèse des paramètres statiques extraits en régime linéaire dans des FinFET et nanofils à $T = 10$ K. On observe que l'inverse de la pente sous le seuil est plus élevé dans les nanofils, contrairement à ce qui a été observé à température ambiante. La mobilité maximale μ_m est également plus faible dans les GAA. Ces deux altérations peuvent être dues aux diffusions de rugosités de surface, dominantes à faible température. Les composants à grille enrobante sont d'autant plus sujets à ces diffusions que leur quatrième grille a été réalisée séparément des trois autres, peut-être avec un procédé d'oxydation moins bien maîtrisé. La tension de seuil est plus faible dans les n-GAA que dans les n-FinFET, et plus faible (en valeur absolue) dans les p-FinFET que dans les p-GAA.

T (K)	10	20	30	50	300
V_t (mV)	594	689	689	684	624
SS (mV/dec)	15,6	16,8	20,0	32,4	85,6
μ_{eff} (cm ² / V.s)	201	245	-	169	96,0

TABLEAU 3.2 – Évolution de plusieurs paramètres statiques en fonction de la température pour un n-GAA MOSFET ($L_m = 50$ nm ; $W_m = 425$ nm ; $V_{DS} = 20$ mV).

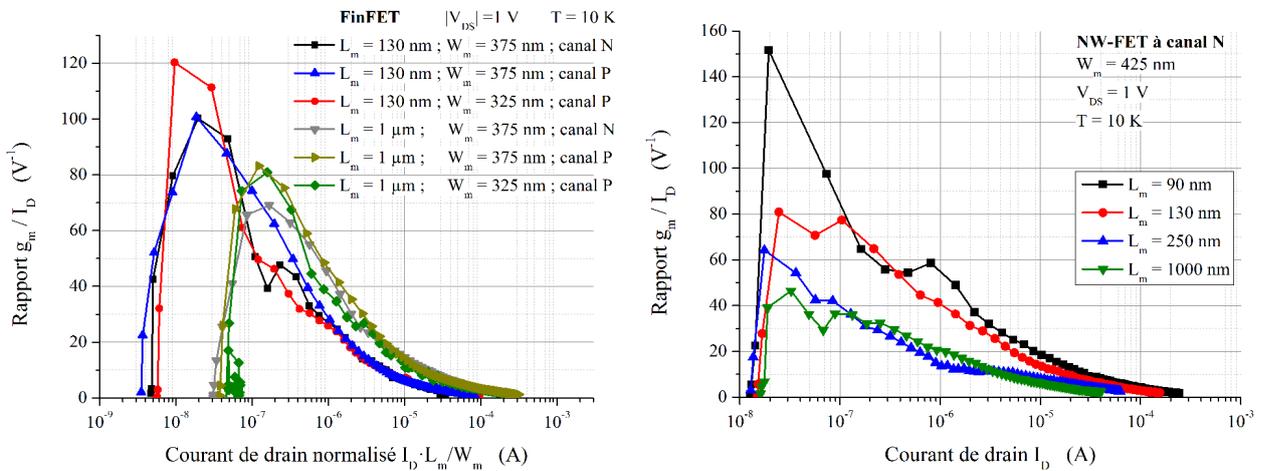
	L_m nm	W_m nm	SS mV/dec	V_t mV	θ_{it} V^{-1}	μ_m $cm^2/V \cdot s$
n-FinFET	50	325	16,1	769	4,78	581
	250	325	11,2	810	2,75	
p-FinFET	50	325	12,8	-18,3	1,37	414
	250	325	13,6	-203	6,66	
n-GAA	50	425	42,2	632	3,46	201
	250	425	25,3	741	3,62	
p-GAA	50	425	21,2	-389	2,87	218
	250	425	14,5	-519	3,37	

TABLEAU 3.3 – Synthèse des paramètres extraits à l’aide de la fonction $Y_{low T}$ adaptée aux basses températures. $W_{fin} = W_{NW} = 20$ nm ; $|V_{DS}| = 20$ mV ; $T = 10$ K.

3.2.2.3 Paramètres en régime de saturation

Les caractéristiques du rapport g_m/I_D sont tracées sur la figure 3.21a. En forte inversion, le rapport g_m/I_D est dégradé pour les composants de faible longueur ($L_m = 130$ nm) en comparaison aux composants longs ($L_m = 1 \mu m$). Cela s’explique facilement par les effets de canaux courts qui se manifestent davantage dans les composants courts. En inversion faible, le maximum de ces caractéristiques se présente.

Pour les composants courts on obtient $\ln(10)/SS \simeq 100\text{-}120 V^{-1}$ alors que les composants plus longs montrent une valeur maximale plus faible, autour de $80 V^{-1}$. Il est alors surprenant de voir que, dans ce régime d’inversion faible, les composants courts présentent de meilleures performances. Cette tendance se retrouve également dans les nanofils GAA, comme le montrent les figures 3.21b et 3.24.



(a) Comparaison entre n-FinFET et p-FinFET. (b) g_m/I_D en fonction de L_m dans des nanofils.

FIGURE 3.21 – Rapport g_m/I_D en régime de saturation, de l’inversion faible à l’inversion forte.

La figure 3.22 montre l'évolution du paramètre $DIBL$ en fonction de la longueur de grille. Les FinFET à canal N sont plus sensibles à l'effet DIBL que leurs homologues à canal P. Pour de faibles longueurs de canal, le paramètre $DIBL$ ne suit plus de dépendance linéaire, ce qui représente une aggravation de cet effet DIBL. Les GAA NW-FET affichent des paramètres DIBL moins élevés, ce qui signifie que l'effet de partage de charges est moindre dans ce type de composants. De plus, l'effet DIBL semble moins dépendre de la longueur de grille.

La transition de l'état *off* à l'état *on* est présentée sur la figure 3.23. Elle permet d'obtenir la valeur de l'inverse de la pente sous le seuil SS . Pour le composant dont la caractéristique de transfert est donnée sur la figure 3.23, la valeur extraite est $SS = 20,2$ mV/dec. Cela donne $\ln(10)/SS \simeq 114$ V⁻¹, ce qui correspond de près à la valeur $g_m/I_D = 120$ V⁻¹ obtenue précédemment. D'après l'équation 1.9, la valeur minimale théorique de SS à $T = 10$ K est de 1,98 mV/dec. Les diffusions dues aux rugosités de surface, plus nombreuses à cause des très basses températures, ou les états d'interface aux abords des bandes d'énergie peuvent être à l'origine de la grande différence entre la valeur théorique [78] et les valeurs déterminées et rassemblées dans le tableau 3.3.

La figure 3.24 montre que le paramètre SS dépend aussi de la longueur de canal, avec un minimum d'environ 11 mV/dec pour $L_m = 110$ nm et une dégradation de ce paramètre pour d'autres longueurs. L'impact de plus en plus important des effets de canaux courts lorsque L_m diminue explique l'altération de l'inverse de la pente sous le seuil.

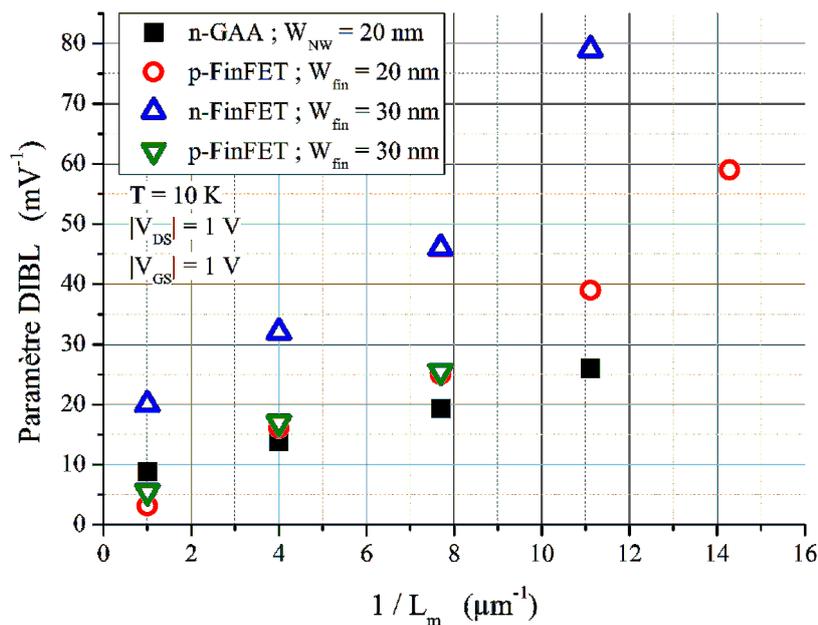


FIGURE 3.22 – Évolution du paramètre $DIBL$ en fonction de L_m à $T = 10$ K.

Les valeurs d'inverse de pente sous le seuil SS rassemblées dans le tableau 3.4 confirment les conclusions apportées par le rapport g_m/I_D (figure 3.21). En effet SS est plus important dans les nanofils que dans les FinFET. Pour une longueur de grille fixe, les valeurs relevées dans les FinFET restent relativement proches, quel que soit le type ou la largeur de canal.

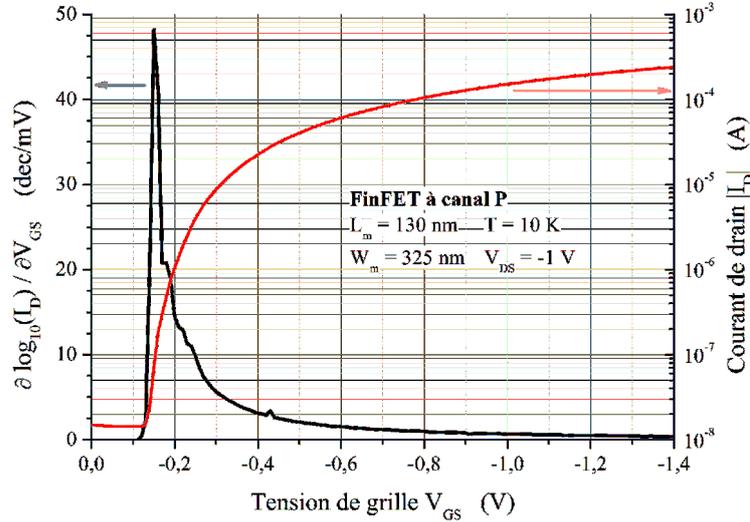


FIGURE 3.23 – Extraction de l'inverse de la pente sous le seuil SS à $T = 10$ K.

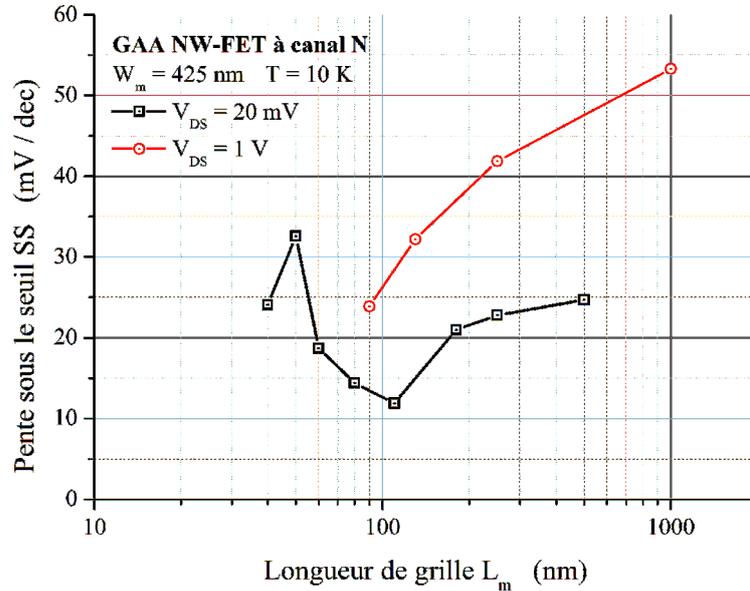


FIGURE 3.24 – SS en fonction de L_m en régime linéaire et saturation ($T = 10$ K).

	n-GAA	p-FinFET	n-FinFET	p-FinFET
	$W_{NW} = 20$ nm	$W_{fin} = 20$ nm	$W_{fin} = 30$ nm	$W_{fin} = 30$ nm
$L_m = 130$ nm	32,2	20,2	25,5	25,1
$L_m = 1$ μ m	53,3	29,8	34,4	30,0

TABLEAU 3.4 – Valeurs de l'inverse de la pente sous le seuil SS (mV/dec) pour différents composants ($T = 10$ K ; $|V_{DS}| = 1$ V).

La tension d'Early V_{EA} semble dépendre linéairement de la longueur de grille, comme l'atteste la figure 3.25a. La dépendance est plus marquée dans les transistors à canal P. Les moins bonnes performances des n-FinFET peuvent être expliquées par les étapes d'implantation des zones HDD ou de croissance épitaxiale des zones de source et de drain. Dans ces deux cas, le dopage au niveau de la jonction drain-canal est plus élevé et le champ électrique latéral se retrouve augmenté, menant à une dégradation de la tension d'Early. Néanmoins l'architecture en trois dimensions de la grille permet d'obtenir de plus grandes valeurs de V_{EA} que pour des composants FinFET 32 nm [79].

Bien que V_{EA} soit plus faible pour les FinFET à canal N, le gain intrinsèque des composants courts sont comparables à celui des p-FinFET. On peut également noter une amélioration de 8 dB à 10 dB en comparaison à des FinFET 32 nm [79]. La figure 3.25b ne montre pas de dépendance significative du gain intrinsèque avec la largeur de grille des composants. Enfin, le gain intrinsèque est plus élevé dans les GAA que dans les FinFETs, rejoignant ainsi les résultats obtenus à température ambiante.

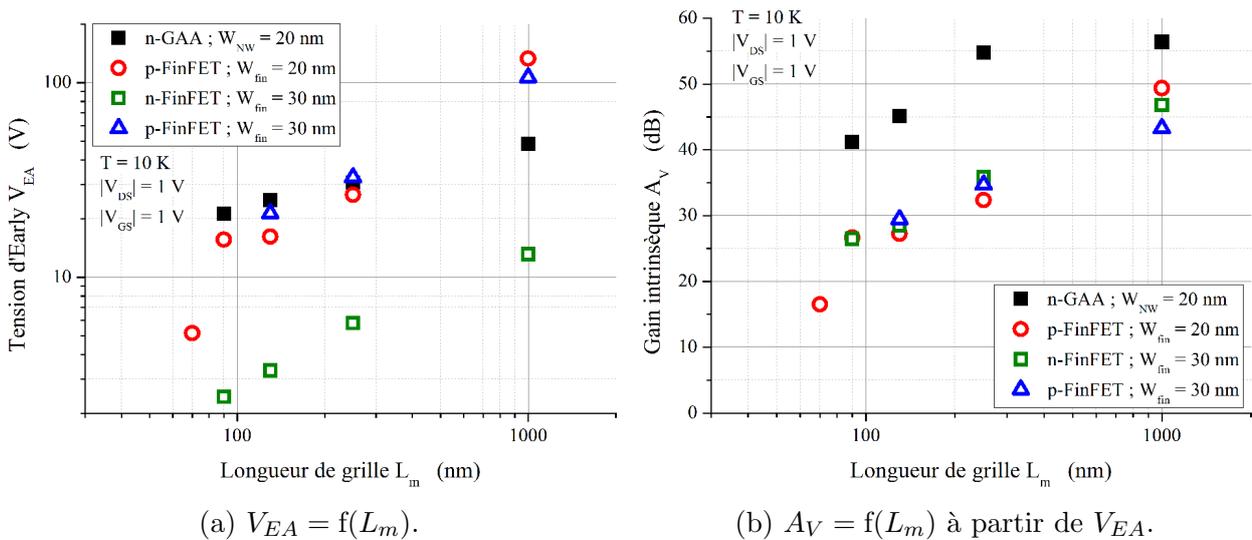


FIGURE 3.25 – Estimations de la tension d'Early V_{EA} et du gain intrinsèque A_V en régime de saturation ($|V_{DS}| = |V_{GS}| = 1$ V).

3.3 Observation de transport quantique

Les figures 3.14 et 3.17 montrent la présence de paliers dans les caractéristiques de transfert, apparaissant respectivement avec la diminution de la température et de la tension de drain. Par conséquent, des études à hélium liquide et très basse tension de drain V_{DS} ont été menées sur certains composants dans le but d'obtenir davantage d'informations sur les phénomènes de transport des porteurs [74, 77, 80]. Des caractéristiques de conductance $G_{DS} = I_D/V_{DS}$ typiques sont présentées sur la figure 3.26a. D'après l'équation 3.15, le courant de drain est censé évoluer linéairement avec la tension de drain, les courbes de conductance devraient donc se superposer. Or il apparaît clairement que celles-ci ne se confondent pas pour des tensions $V_{DS} \leq 1$ mV, alors qu'elles se rejoignent pour de plus fortes valeurs. Ce phénomène peut être expliqué par les diffusions de sous-bandes d'énergie, c'est à dire que les bandes d'énergie se décomposent en plusieurs niveaux discrets (sous-bandes) à basse température. Cependant ceci ne peut être observé que si les contributions de l'énergie thermique $k_B \cdot T$ et de la tension de drain $q \cdot V_{DS}$ sont plus faibles que la différence d'énergie entre ces sous-bandes ΔE [81]. Pour une température $4,2 \text{ K} \leq T \leq 10 \text{ K}$ et $V_{DS} \leq 500 \mu\text{V}$, on obtient alors $0,362 \text{ meV} \leq k_B \cdot T \leq 0,862 \text{ meV}$ et $q \cdot V_{DS} \leq 0,5 \text{ meV}$.

Il est intéressant de noter que la présence de transport quantique n'est pas seulement liée aux basses tensions de polarisation ou aux basses températures, mais également aux faibles dimensions du canal. La figure 3.27 montre l'évolution de la caractéristique de transfert pour des composants de différentes longueurs. Il apparaît que les composants de grande longueur sont moins impactés par les effets de paliers dans la caractéristiques $I_D(V_{GS})$. Cette tendance a été observée dans d'autres études qui montrent que ces marches disparaissent lorsque la largeur des doigts devient supérieure à 40 nm [82].

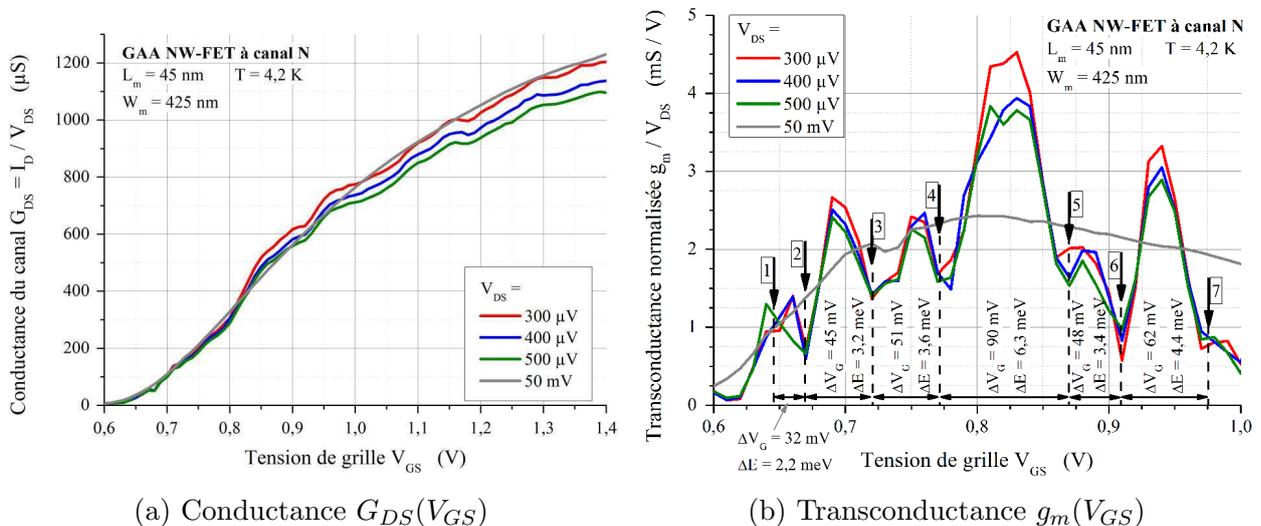


FIGURE 3.26 – Caractéristiques en régime linéaire à 4,2 K pour différentes tensions de drain V_{DS} .

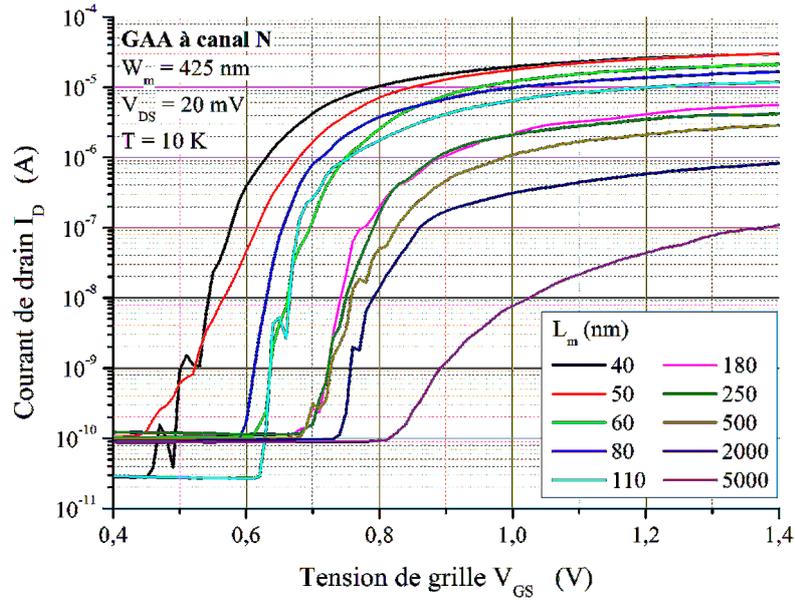


FIGURE 3.27 – Évolution de la caractéristique de transfert pour différentes longueurs de canal.

Un autre élément indiquant l'impact des niveaux discrets des sous-bandes d'énergie est l'évolution par paliers du courant de drain pour de faibles tension de drain. Ceci se traduit par le remplissage successif de chacune des sous-bandes d'énergie dans la bande de conduction. Sur la figure 3.26a, les paliers ne sont pas clairement identifiables, car l'effet des sous-bandes d'énergie est également accompagné d'une conduction de courant classique, ce qui « lisse » la caractéristique de transfert. D'ailleurs, la conduction classique devient prédominante à plus forte tension de drain, masquant ainsi l'effet de discrétisation des sous-bandes d'énergie.

Toutefois, les caractéristiques de transconductance présentées sur la figure 3.26b montrent plusieurs pics qui correspondent aux paliers des caractéristiques $I_D(V_{GS})$. De plus les maxima et minima locaux des ces pics se confondent à différentes valeurs de $V_{DS} \leq 500 \mu\text{V}$, ce qui corrobore les franchissements successifs de sous-bandes d'énergie (chaque sous-niveau d'énergie est franchi à une certaine valeur de tension de grille). L'écart en tension ΔV_{GS} entre les minima (numérotés de 1 à 8 sur la figure 3.26b) permet de remonter jusqu'à l'écart en énergie ΔE entre les sous-bandes d'après la relation [81, 83] :

$$\Delta E = \Delta V_{GS} \frac{\pi \hbar C_{ox}}{2 m_e^* q} \quad (3.20)$$

avec $\hbar = h/2\pi$ la constante réduite de Planck. Pour $27 \text{ mV} \leq \Delta V_{GS} \leq 90 \text{ mV}$, on obtient alors un écart d'énergie $1,9 \text{ meV} \leq \Delta E \leq 6,3 \text{ meV}$. Ces valeurs sont effectivement supérieures à $k_B \cdot T \leq 0,862 \text{ meV}$ et $q \cdot V_{DS} \leq 0,5 \text{ meV}$, ce qui confirme l'hypothèse des effets de sous-bandes d'énergie. D'autre part, pour de plus fortes valeurs de tension de drain, l'effet des sous-bandes d'énergie diminue drastiquement en comparaison au phénomène de conduction classique. En effet, $q \cdot V_{DS}$ est désormais suffisamment supérieure à ΔE , ce qui implique que de nombreuses sous-bandes d'énergie sont déjà peuplées.

Les effets de la conduction mixte (conduction classique et conduction par remplissage successif des sous-bandes d'énergie) sont visibles pour une faible tension de drain sur la figure 3.28. On y voit que l'augmentation de la tension de grille entraîne une augmentation du courant de drain, et donc de la conductance du canal. Les paliers numérotés correspondent aux minima de transconductance de la figure 3.26b. On peut observer sur cette figure que la hauteur (en μS) du premier palier est la même que l'écart entre les paliers 1 et 2, ce qui semble indiquer qu'une sous-bande d'énergie a été remplie dans les deux cas. Pour les cas suivants, l'écart entre deux paliers successifs semble être un multiple du premier écart, indiquant que plusieurs sous-bandes ont été remplies simultanément [81].

De cette manière, l'axe des ordonnées de droite a été construit pour indiquer le nombre de sous-bandes d'énergie peuplées à chaque palier, en prenant le plus petit écart comme élément de gradation. Ce faisant, on peut remarquer que les paliers de conductance numérotés sont associés à un nombre entier de sous-bandes.

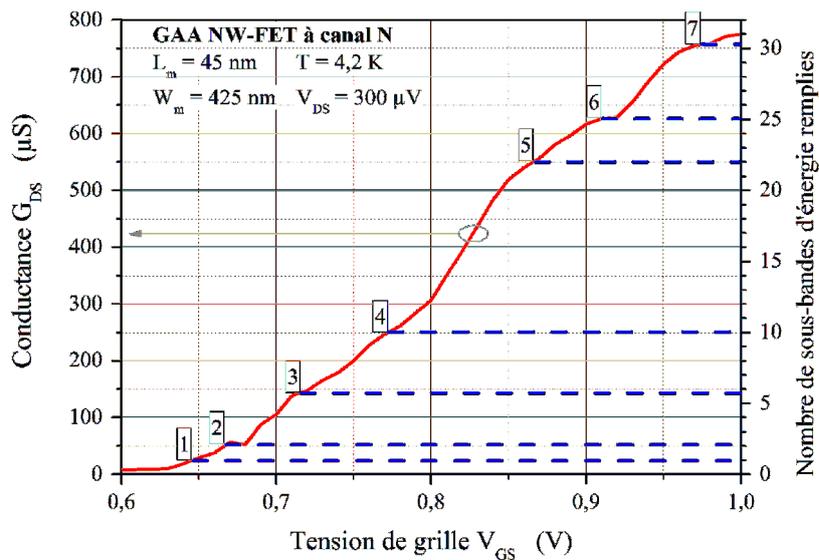


FIGURE 3.28 – Conductance du transistor à $V_{DS} = 300 \mu\text{V}$. Chacun des paliers de la caractéristique de conductance (axe de gauche) correspond à un nombre de sous-bandes remplies (axe de droite). La numérotation des paliers, et donc sous-bandes peuplées, correspond à celle de la figure 3.26a.

3.4 Synthèse des paramètres extraits

Les différentes études en régimes statiques et à température ambiante ont permis d'extraire de nombreux paramètres traduisant le comportement des composants. En régime linéaire, la résistance d'accès $R_{accès}$ et le facteur d'atténuation de mobilité intrinsèque θ_0 sont plus faibles dans les nanofils. En revanche la mobilité à faible champ μ_0 est plus favorable dans les FinFET à triple grille.

En régime de saturation, les nanofils affichent clairement leurs meilleures performances. Les plus faibles valeurs de paramètre $DIBL$ indiquent un meilleur contrôle des charges par la grille. L'inverse de la pente sous le seuil SS est plus faible dans les GAA que dans les FinFET, ce qui favorise les nanofils pour les applications numériques. D'autre part, les grandes valeurs de tension d'Early V_{EA} et de gain intrinsèque A_V confirment l'avantage des GAA par rapport aux FinFET.

Les transistors à canal N sont moins sensibles aux effets de canaux courts, comme l'atteste le paramètre $DIBL$. Les résistances d'accès sont également plus faibles dans les zones de source et de drain de type N. En revanche, bien que les effets de canaux courts soient plus visibles dans les transistors à canal P, ceux-ci manifestent une tension de seuil et un inverse de pente sous le seuil plus faibles. Ces effets sont davantage prononcés lorsque la largeur de doigt ou de nanofil est faible. D'autre part, une plus grande mobilité μ_0 est observée dans les canaux fins, qu'ils soient de type N ou de type P. Cela peut être lié à la largeur effective du canal.

À faible température, la mobilité reste supérieure dans les FinFET que dans les NW-FET. Les FinFET bénéficient désormais d'une meilleure pente sous le seuil en régime linéaire, ce qui peut être dû à l'augmentation des rugosités de surface de manière plus importante dans les nanofils. Le paramètre $DIBL$ reste quant à lui favorable aux GAA, tout comme la tension d'Early et le gain intrinsèque.

Enfin, lorsque la température, la tension de drain et les dimensions sont suffisamment faibles, un changement du mécanisme de transport des porteurs est observé. La conduction classique laisse place à un mécanisme de transport quantique lié aux sous-bandes d'énergie. Dans le prochain chapitre, l'éventuel impact de ce changement de mécanisme de transport sur le bruit basse fréquence sera étudié.

Chapitre 4

Étude du bruit électrique basse fréquence

Le bruit électrique est un outil de caractérisation non destructif très puissant, comme nous avons pu le voir dans le chapitre 2. Le niveau de bruit en $1/f$ peut mener à deux principaux paramètres, selon le modèle expliquant l'évolution des fluctuations avec la tension de grille. Dans le cas de fluctuations du nombre de porteurs de charge, l'estimation de la *Densité Spectrale de Puissance* (DSP) de tension de bandes plates $S_{v_{fb}}$ renseigne directement sur la qualité d'oxydation de la grille. Si le bruit en $1/f$ est plutôt expliqué par les fluctuations de mobilité des porteurs de charge, le paramètre de Hooge α_H est utilisé comme facteur de mérite pour comparer plusieurs technologies.

Quant au bruit de génération-recombinaison, son étude en fonction de la température (spectroscopie de bruit) peut mener à l'identification de la nature physique des défauts présents dans le film de silicium. Il devient alors possible de déterminer quelles étapes de la fabrication du composants ont permis l'apparition de ces défauts dans l'objectif d'améliorer celles-ci. Ces retours sur les procédés de fabrication permet d'augmenter la qualité des composants des générations suivantes.

Les DSP de bruit en tension de grille S_{v_g} ou de bruit en courant de drain S_{i_d} ont toutes été modélisées en suivant le modèle des contributions indépendantes de trois sources de bruit. Il s'agit du modèle présenté dans la section 2.3 page 43, et dont la formule est rappelée ci-dessous :

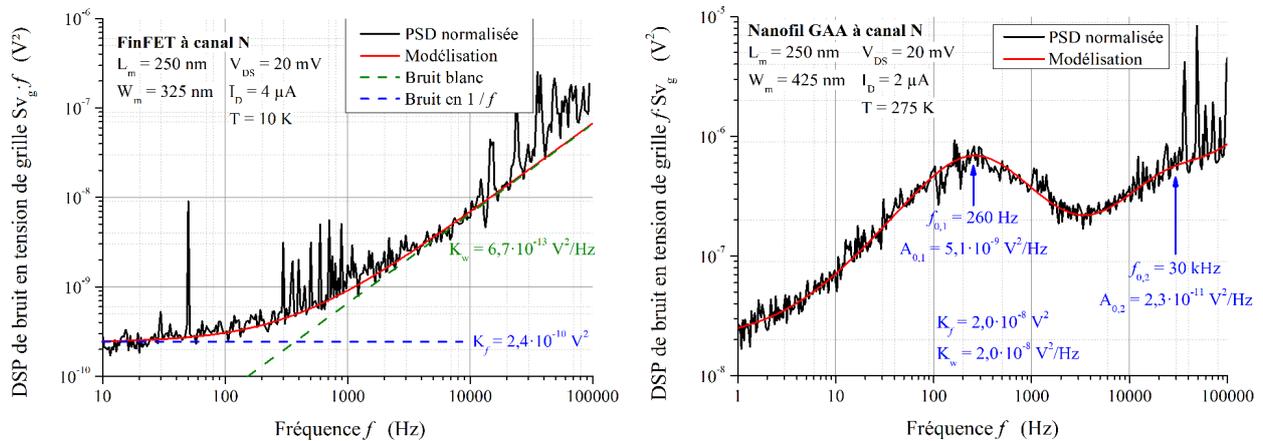
$$S_v(f) = K_w + \frac{K_f}{f^\gamma} + \sum_{i=1}^{N_{lor}} \frac{A_i}{1 + (f/f_{0,i})^2} \quad (4.1)$$

avec K_w le niveau du bruit blanc, K_f le niveau du bruit en $1/f$, A_i le niveau de plateau de la $i^{\text{ème}}$ lorentzienne (parmi N_{lor} lorentziennes) et $f_{0,i}$ la fréquence caractéristique associée.

4.1 Banc de mesures et système d'acquisition

Le banc de mesures utilisé pour effectuer les mesures de bruit est principalement constitué d'une station sous points Lakeshore TTP4, d'un analyseur de spectre HP 3562A et d'un circuit électronique réalisé au laboratoire. Les tensions de drain V_{DS} et de grille V_{GS} sont imposées par des alimentations continues stabilisées, le courant de drain I_D est mesuré. Le circuit électronique permet la polarisation du composant et le conditionnement du bruit de courant de drain S_{i_d} [84]. La DSP $S_{v_{out}}$ mesurée en sortie permet de remonter jusqu'à S_{i_d} puis jusqu'à la DSP de bruit de tension de grille S_{v_g} grâce à la mesure du gain du système complet pour chaque point de polarisation. Cette méthode permet notamment de s'affranchir de la limite en bande passante du système de mesures. Parallèlement au système de mesure, la station sous pointes Lakeshore TTP4 permet de mettre l'échantillon sous vide, afin de le refroidir avec de l'azote liquide, voire de l'hélium liquide. Plus d'informations sur le banc de mesures sont rassemblées dans l'annexe B.

Habituellement, les DSP mesurées sont multipliées par la fréquence. Sur ces courbes ($S_{v_g} \cdot f$ ou $S_{i_d} \cdot f$), le bruit blanc devient donc proportionnel à f , le bruit en $1/f$ devient assimilable à un plateau, mais surtout les lorentziennes se trouvent représentées par des bosses centrées autour de leur fréquence caractéristique. De cette manière la précision d'estimation de $f_{0,i}$ est améliorée. Il en découle une plus grande précision d'estimation pour les autres paramètres, notamment les niveaux de plateau A_i . La figure 4.1 montre une DSP normalisée par la fréquence. À gauche, une combinaison de bruit blanc et bruit en $1/f$ suffit à modéliser la DSP de bruit en tension de grille. À droite, deux lorentziennes ont été utilisées pour correspondre au modèle de l'équation 4.1. Le bruit blanc s'exprime alors à partir d'environ 60 kHz, alors que l'impact du bruit en $1/f$ plutôt visible en deçà de 30 Hz.



(a) Bruit blanc et bruit en $1/f$.

(b) Bruit blanc, bruit en $1/f$ et bruit de génération-recombinaison.

FIGURE 4.1 – Exemples de modélisation de DSP de bruit en tension de grille S_{v_g} à partir de l'équation 4.1.

Cette modélisation des DSP de bruit est nécessaire pour toutes les études qui suivent, car l'évolution des paramètres du modèle nous permettra de juger de la qualité du procédé de fabrication des composants. Dans un premier temps l'étude du bruit en $1/f$ sera détaillée, puis ensuite présenter la spectroscopie de bruit.

4.2 Étude du bruit en $1/f$

4.2.1 Détermination de l'origine du bruit en $1/f$

Afin de déterminer le mécanisme à l'origine du bruit en $1/f$, il est nécessaire d'étudier l'évolution du niveau de bruit K_f en fonction de la tension de grille V_{GT} ou du courant de drain I_D . Grâce aux paramètres K_f extraits en modélisant les DSP avec l'équation 4.1 pour différentes valeurs de V_{GS} et I_D , il est possible d'observer si $K_f(V_{GS})$ ou $K_f(I_D)$ suit une des tendances présentées dans le tableau 2.1. Il est cependant nécessaire d'avoir une estimation précise de plusieurs paramètres avant de modéliser ces courbes. En effet les formules 2.39, 2.46, 2.50 et 2.53 (correspondant respectivement aux modèles ΔN , $\Delta\mu$, $\Delta N + \Delta\mu$ et résistances d'accès) utilisent les paramètres statiques W_E , L_E , μ_{eff} , V_t , θ_1 et $r_{accès}$. Il est donc primordial de mener une étude similaire à celle présentée dans le chapitre précédent, afin d'extraire les paramètres de bruit essentiels des modèles de bruit tels que α_C , α_H et K_r .

La figure 4.2 montre l'évolution du niveau K_f du bruit en $1/f$ en fonction du courant de drain I_D dans deux FinFET de dimensions identiques. Le transistor à canal N montre une dépendance suivant $(I_D/g_m)^2$. Cela correspond au modèle de fluctuations de mobilité corrélées aux fluctuations du nombre de porteurs ($\Delta N + \Delta\mu$), exprimé par la relation 2.49.

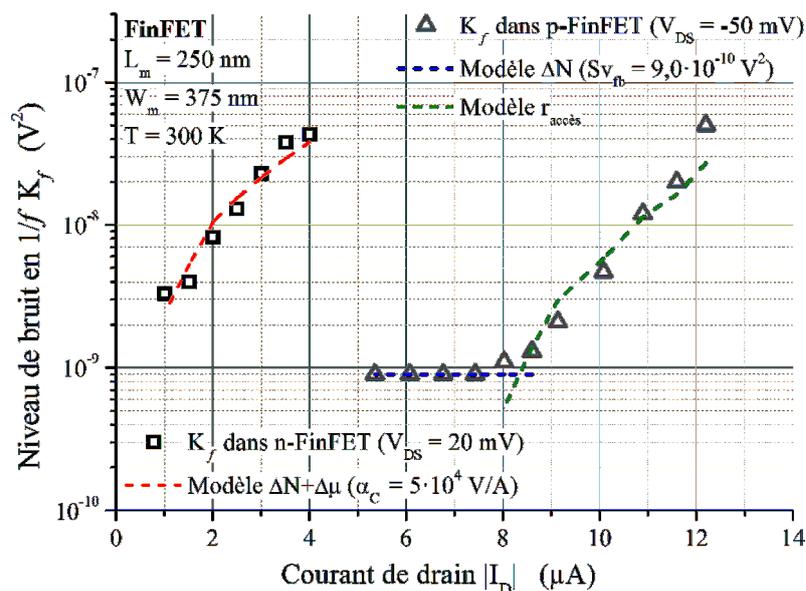


FIGURE 4.2 – Évolution du niveau de bruit en $1/f$ K_f pour différents FinFET en régime linéaire.

Quant au transistor à canal P, il montre deux évolutions différentes. En inversion modérée le niveau de bruit en $1/f$ est constant, ce qui correspond au modèle des fluctuations du nombre de porteurs (ΔN). En forte inversion, le niveau de bruit suit variation explicable par l'impact désormais dominant du bruit dans les résistances d'accès. Les points suivent en effet l'expression 2.53 [65].

L'étude des nanofils révèle des comportements similaires, comme l'atteste la figure 4.3. Pour le composant le plus court ($L_m = 60$ nm), le bruit en $1/f$ est expliqué par le modèle de McWhorter (fluctuations du nombre de porteurs). Le composant plus long ($L_m = 250$ nm) de même type de canal est sujet aux fluctuations de mobilité corrélées aux fluctuations du nombre de porteurs, tout comme son équivalent en FinFET. Enfin, le comportement du p-GAA NW-FET ($L_m = 250$ nm) est modélisé par les fluctuations corrélées en inversion modérée, mais la polarisation du composant en inversion forte provoque un impact plus important du bruit en $1/f$ provenant des zones de source et de drain.

Tous ces composants présentent du bruit en $1/f$ en partie due aux fluctuations du nombre de porteurs de charge. Les valeurs de DSP de tensions de bandes plates $S_{v_{fb}}$ correspondantes sont rassemblées dans le tableau 4.1. Elles évoluent entre $1,5 \cdot 10^{-9} \text{ V}^2/\text{Hz}$ et $8 \cdot 10^{-9} \text{ V}^2/\text{Hz}$ pour les transistors à canal N et entre $0,6 \cdot 10^{-9} \text{ V}^2/\text{Hz}$ et $2,2 \cdot 10^{-9} \text{ V}^2/\text{Hz}$ pour les canaux de type P. Ces valeurs de $S_{v_{fb}}$ présentent donc des variations faibles, respectivement d'un facteur 5,3 et 3,1. Toutefois elles ne montrent pas de différence significative entre les FinFET et les NW-FET. Ceci montre que la fabrication de la grille est un procédé maîtrisé en dépit de l'oxydation d'une grille supplémentaire pour les nanofils.

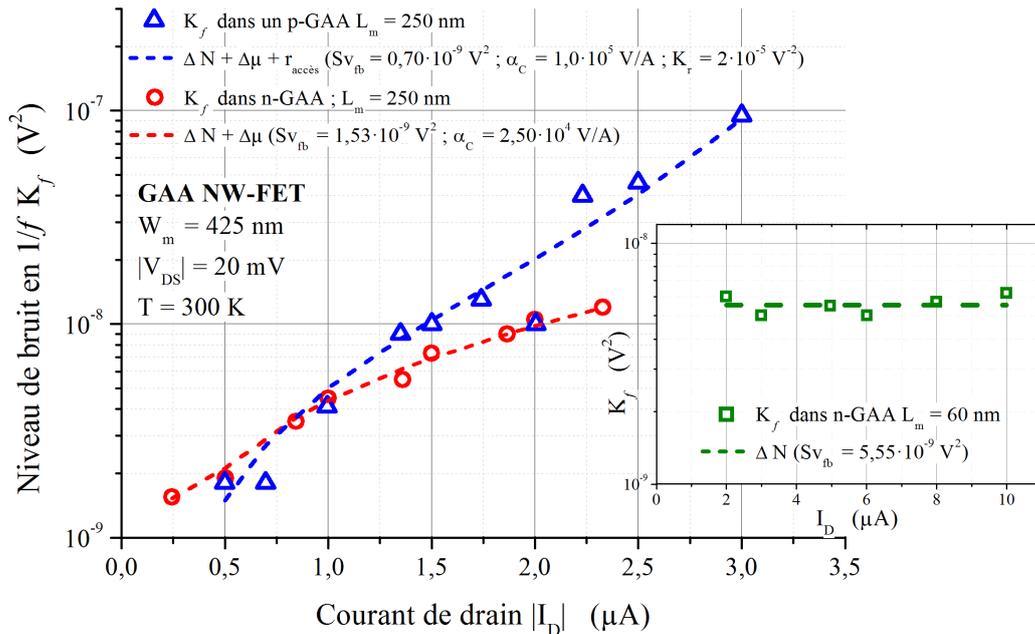


FIGURE 4.3 – Évolution du niveau de bruit en $1/f$ K_f pour différents nanofils en régime linéaire. Les pointillés correspondent aux modèles de fluctuations utilisés.

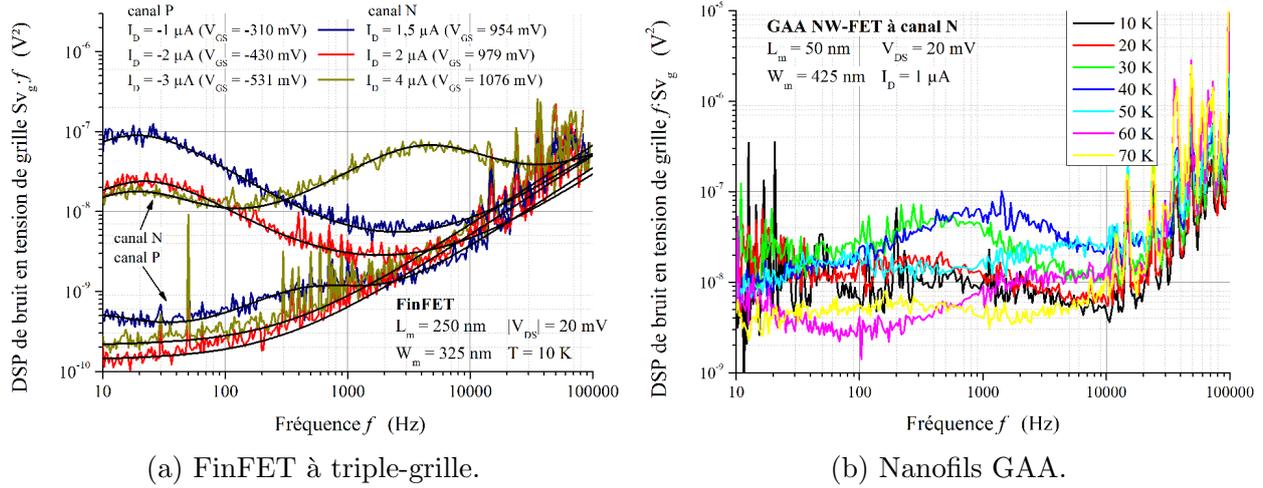
	L_m	W_{fin} / W_m	$S_{v_{fb}}$	n_T
	nm	nm / nm	V ² /Hz	eV ⁻¹ ·cm ⁻³
FinFET canal N	70	20 / 325	$6 \cdot 10^{-9}$	$11 \cdot 10^{17}$
	70	30 / 375	$3 \cdot 10^{-9}$	$20 \cdot 10^{17}$
	250	20 / 325	$8 \cdot 10^{-9}$	$16 \cdot 10^{17}$
	250	30 / 375	$2 \cdot 10^{-9}$	$15 \cdot 10^{17}$
FinFET canal P	70	20 / 325	$2,2 \cdot 10^{-9}$	$3,9 \cdot 10^{17}$
	70	30 / 375	$1,2 \cdot 10^{-9}$	$7,4 \cdot 10^{17}$
	250	20 / 325	$0,6 \cdot 10^{-9}$	$1,2 \cdot 10^{17}$
	250	30 / 375	$0,7 \cdot 10^{-9}$	$5,1 \cdot 10^{17}$
Nanofil canal N	60	20 / 425	$5,6 \cdot 10^{-9}$	$4,8 \cdot 10^{17}$
	250	20 / 425	$1,5 \cdot 10^{-9}$	$7,3 \cdot 10^{17}$
p-Nanofil	250	20 / 425	$0,7 \cdot 10^{-9}$	$3,5 \cdot 10^{17}$

TABLEAU 4.1 – Synthèse des DSP de bandes plates $S_{v_{fb}}$ et densités de pièges d'oxyde n_T de plusieurs MOSFET ($|V_{DS}| = 20$ mV; $T = 300$ K).

L'utilisation de l'équation 2.39 donne accès à la densité de pièges d'oxyde n_T à partir de la DSP de tension de bandes plates $S_{v_{fb}}$. Les valeurs de densités se concentrent autour entre $1 \cdot 10^{17}$ eV⁻¹·cm⁻³ et $2 \cdot 10^{18}$ eV⁻¹·cm⁻³ pour tous les composants. Ces valeurs, associées à la faible variabilité du niveau de bruit en $1/f$, attestent d'une bonne qualité de l'oxyde de grille pour l'ensemble des composants. D'un côté les p-FinFET semblent avoir une densité de pièges d'oxyde proche de celle du p-NW-FET présenté. De l'autre, les transistors à canal N tendent à montrer que les nanofils contiennent une densité de défauts moindre en comparaison aux FinFET.

4.2.2 Étude à très basse température

Comme nous avons pu le voir dans le chapitre précédent, le transport quantique peut devenir dominant par rapport au mécanisme de conduction classique sous certaines conditions (i.e. $\Delta E > k_B \cdot T + q \cdot V_{DS}$). Dans un premier temps certains composants ont été étudiés à très faible température ($T \leq 10$ K) afin d'observer le comportement du bruit électrique dans cette gamme de températures. Ensuite la tension de drain été appliquée avec de faibles valeurs ($V_{DS} \leq 500$ μ V) afin de favoriser le mécanisme de transport quantique par rapport au transport classique. Cette section traite ainsi du bruit sous régime de conduction classique. Elle sera complétée par la section suivante, traitant du bruit sous l'effet du transport quantique.


 FIGURE 4.4 – Densités spectrales de puissance de bruit en tension de grille $S_{v_g}(f)$.

Les figures 4.4a et 4.4b montrent les DSP de bruit en tension de grille S_{v_g} à $T = 10$ K dans des FinFET triple-grille et des nanofils, respectivement. Celles-ci ont été modélisées à l'aide de l'équation 4.1. Les p-FinFET affichent un niveau de bruit basse fréquence plus faible que les n-FinFET. Ces DSP sont principalement composées de bruit en $1/f$ à basse fréquence ($f < 100$ Hz) et de bruit blanc à fréquence plus haute, alors que du bruit de génération-recombinaison important s'exprime dans les n-FinFET. On observe d'ailleurs qu'une lorentzienne centrée autour de 20 Hz est présente pour trois points de polarisation différents ($I_D = 1 \mu A$; $2 \mu A$; $3 \mu A$). Cela suggère l'existence d'un piège actif dans le film de silicium [36], malgré la très faible température.

Le niveau de bruit en $1/f$ évoluant avec la tension de grille, il est possible d'identifier les sources de bruit à partir des relevés $K_f(I_D)$ présentés sur la figure 4.5. Pour ces FinFET, le niveau K_f semble rester constant en inversion modérée, ce qui correspond au modèle de fluctuations du nombre de porteurs (ΔN). Le comportement du niveau $K_f(V_{GT})$ en inversion forte correspond ici au modèle des résistances d'accès (équation 2.54) : à fort I_D , le bruit des zones de source et drain est prédominant par rapport au bruit du canal.

Une étude menée sur 4 nanofils (canal N avec $L_m = 50$ nm et 250 nm; canal P avec $L_m = 50$ nm et 250 nm) apporte les mêmes conclusions. Les composants longs montrent une évolution du niveau de bruit en $1/f$ expliquée par le modèle de fluctuations corrélées $\Delta N + \Delta \mu$. Toutefois les composants courts ont un niveau de bruit indépendant de la tension de grille, ce qui s'explique par le modèle des fluctuations du nombre de porteurs de charge ΔN .

Pour tous ces composants, les résultats de l'extraction du niveau de bandes plates $S_{v_{fb}}$ sont inscrits dans le tableau 4.2. L'utilisation de l'expression 2.39 mène à une estimation de la densité de pièges d'oxyde n_T , ajoutée dans le même tableau. Pour chaque type de composant,

la densité de pièges est plus grande dans les composants longs ($L_m = 250$ nm) que dans les composants courts ($L_m \leq 50$ nm). Les FinFET ont une densité de pièges allant de $2,2 \cdot 10^{17}$ eV $^{-1} \cdot$ cm $^{-3}$ à $19 \cdot 10^{17}$ eV $^{-1} \cdot$ cm $^{-3}$ et les nanofils une densité variant entre $3,4 \cdot 10^{17}$ eV $^{-1} \cdot$ cm $^{-3}$ à $230 \cdot 10^{17}$ eV $^{-1} \cdot$ cm $^{-3}$. Malgré cette forte densité, les valeurs de n_T obtenues sont le résultats d'une très bonne maîtrise des étapes de fabrication de la grille dans tous les composants.

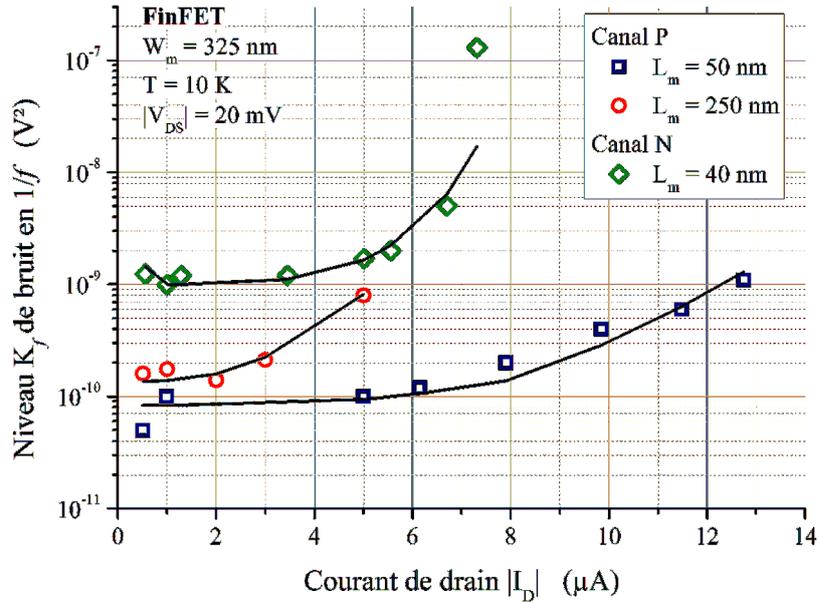


FIGURE 4.5 – Évolution du niveau de bruit en $1/f$ à $T = 10$ K.

	L_m	W_{fin} / W_m	$S_{v_{fb}}$	n_T
	nm	nm / nm	V 2 /Hz	eV $^{-1} \cdot$ cm $^{-3}$
n-FinFET	40	20 / 325	$1,6 \cdot 10^{-10}$	$19 \cdot 10^{17}$
FinFET	50	20 / 325	$0,17 \cdot 10^{-10}$	$2,2 \cdot 10^{17}$
canal P	250	20 / 325	$9,2 \cdot 10^{-10}$	$19 \cdot 10^{17}$
Nanofil	50	20 / 425	$1,1 \cdot 10^{-10}$	$3,4 \cdot 10^{17}$
canal N	250	20 / 425	$15 \cdot 10^{-10}$	$230 \cdot 10^{17}$
Nanofil	50	20 / 425	$2,8 \cdot 10^{-10}$	$8,5 \cdot 10^{17}$
canal P	250	20 / 425	$2,3 \cdot 10^{-10}$	$35 \cdot 10^{17}$

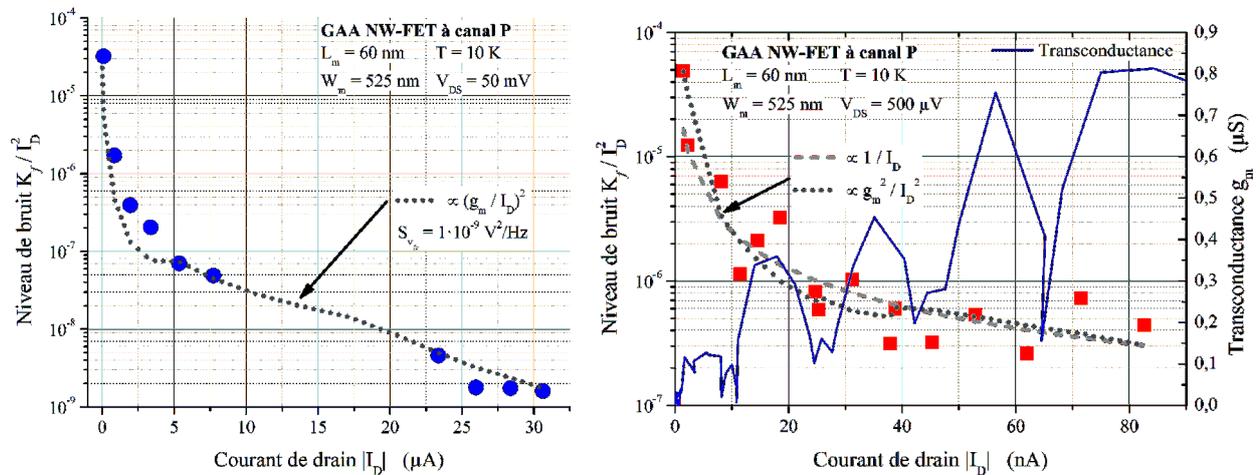
TABLEAU 4.2 – Synthèse des DSP de bandes plates $S_{v_{fb}}$ et densités de pièges d'oxyde n_T de plusieurs MOSFET ($|V_{DS}| = 20$ mV ; $T = 10$ K).

4.2.3 Impact du transport quantique sur le bruit électrique basse fréquence

La figure 4.6 montre l'évolution du niveau de bruit en courant de drain K_f/I_D^2 d'un nanofil GAA à canal P ($L_m = 60$ nm, $W_{NW} = 30$ nm). Le bruit a été ici étudié en fonction de V_{GS} à tension de drain constante. La figure 4.6a est établie sous régime de conduction classique ($V_{DS} = 50$ mV, d'où $q \cdot V_{DS} \gg \Delta E$). Les points relevés évoluent en suivant l'allure de $(g_m/I_D)^2$, ce qui correspond au modèle de fluctuations du nombre de porteurs ΔN .

Sur la figure 4.6b, K_f/I_D^2 est tracé alors que le composant est sous effet du transport quantique ($V_{DS} = 500$ μ V, d'où $q \cdot V_{DS} \ll \Delta E$). Les points semblent beaucoup fluctuer. Une tendance globale en $1/I_D$ se dessine, permettant d'envisager les fluctuations de mobilité $\Delta\mu$ comme étant responsables du bruit en $1/f$. Les variations du niveau de bruit en $1/f$ autour de cette tendance peuvent être expliquées par le transport quantique qui, via les sauts des charges électriques d'un sous-niveau à un autre, va modifier la mobilité de ces-dites charges. La transconductance présentée sur la figure 4.6b permet d'afficher une corrélation entre les variations du niveau de bruit en $1/f$ et les pics de transconductance causés par les paliers de courant, ce qui confirme la précédente hypothèse.

Les variations du niveau de bruit en $1/f$ pour un n-GAA sont montrées sur la figure 4.7. Celle-ci rassemble les points K_f/I_D^2 pour deux valeurs de V_{DS} (300 μ V et 50 mV), mettant le transistor respectivement sous l'effet de transport quantique et transport classique. La tendance nette à $V_{DS} = 20$ mV correspond au modèle de McWhorter (ΔN). La DSP de tension de bandes plates s'élève dans ce cas à $S_{v_{fb}} = 3 \cdot 10^{-9}$ V²/Hz.



(a) $V_{DS} = 50$ mV (transport classique).

(b) $V_{DS} = 500$ μ V (transport quantique).

FIGURE 4.6 – Évolution du niveau de bruit en $1/f$ en fonction de V_{GS} . On observe un changement du mécanisme de bruit en $1/f$ avec le mécanisme de transport des porteurs.

À faible tension de drain, les points suivent une tendance mais sont relativement dispersés. Il est possible de faire correspondre les deux modèles ΔN et $\Delta\mu$ (respectivement équations 2.54 et 2.55). En partant de l'hypothèse que le bruit en $1/f$ subit le même mécanisme qu'à fort V_{DS} (c'est à dire ΔN), l'évolution de K_f/I_D^2 donne une valeur de DSP de tension de bandes plates $S_{v_{fb}} = 6 \cdot 10^{-11} \text{ V}^2/\text{Hz}$. Or, d'après le modèle de McWhorter, la valeur de $S_{v_{fb}}$ est indépendante de la tension de drain. L'hypothèse du bruit en $1/f$ dû aux fluctuations du nombres de porteurs est par conséquent éliminée.

D'après ceux décrits dans le deuxième chapitre, le seul autre modèle pouvant expliquer l'évolution de ces points est celui des fluctuations de mobilité décrit par Hooge. De manière analogue à la figure 4.6b, l'évolution des points de la figure 4.7 à faible V_{DS} peut être expliquée par une tendance en $1/I_D$ (correspondant au modèle $\Delta\mu$) autour de laquelle les points fluctuent.

Le relevé de la transconductance ne permet pas de relier les variations de K_f/I_D^2 aux paliers de la caractéristique de transfert, car le nombre de points de mesure n'est pas suffisant. Néanmoins, il a été montré dans des UTBOX que la présence d'un point quantique (*quantum dot*) apporte une augmentation du niveau de bruit même sous condition de conduction classique ($V_{DS} = 20 \text{ mV}$) [85]. Or ce phénomène n'est observé dans aucun des composants étudiés. L'hypothèse la plus vraisemblable pour expliquer ces variations de K_f/I_D^2 autour de la tendance en $1/I_D$ reste donc les diffusions de sous-bandes d'énergie.

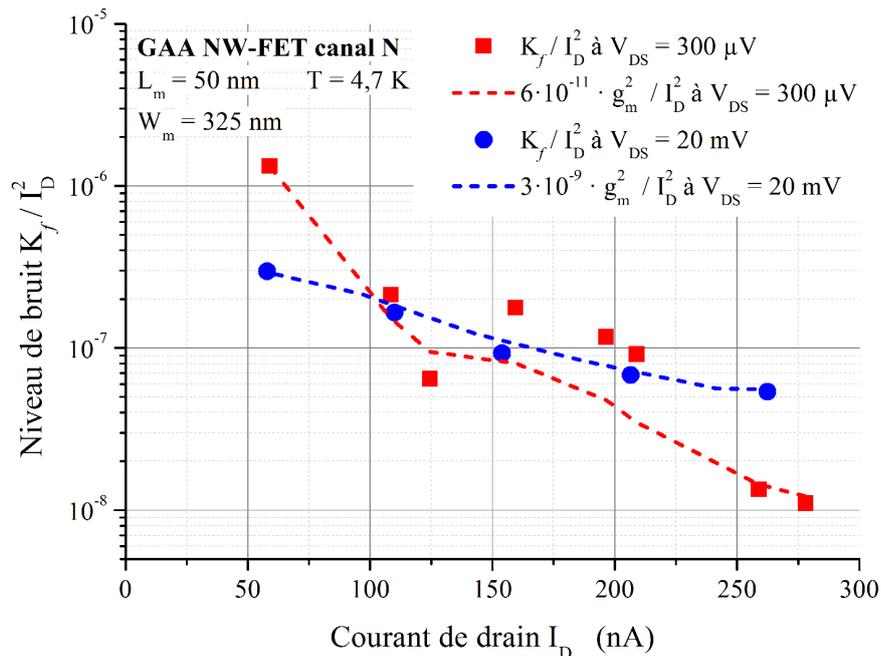


FIGURE 4.7 – Évolution du niveau de bruit en $1/f$ en fonction de V_{GS} pour deux valeurs de V_{DS} .

Nous avons pu constater que les points K_f/I_D^2 semblent suivre à la fois des variations en $(g_m/I_D)^2$ et en $1/I_D$ sous régime de transport quantique. Celles-ci correspondent respectivement aux modèles de McWhorter (ΔN) et de Hooge ($\Delta\mu$), comme indiqué dans le tableau 2.1. L'hypothèse d'une évolution du bruit en $1/f$ expliquée par les fluctuations du nombre de porteurs de charge a été éliminée. En effet, selon le modèle de McWhorter, la valeur de $S_{v_{fb}}$ doit être indépendante de V_{DS} , ce qui n'est pas le cas dans les composants montrés ici (cf. figures 4.6b et 4.7). Les fluctuations de mobilité sont donc responsables du bruit en $1/f$ dans le canal sous régime de transport quantique.

Jusqu'à présent dans cette section, le bruit a été étudié en fonction de la tension de grille sous deux régimes distincts : transport quantique et transport classique (respectivement à faible et forte valeurs de tension de drain). Afin d'observer le comportement du bruit pendant la transition d'un régime à une autre (i.e. quand la conduction classique devient prédominante en comparaison au transport quantique), les DSP de bruit ont ici été étudiées en fonction de V_{DS} , à V_{GS} constant (correspondant à une inversion modérée). Les figures 4.8a et 4.8b (transistors à canal P et N, respectivement) montrent cette transition.

À forte tension de drain, le niveau de bruit K_f/I_D^2 semble rester constant dans les deux composants. Ceci correspond au modèle de fluctuations de mobilité corrélées aux fluctuations de nombre de porteurs $\Delta N + \Delta\mu$. À faible V_{DS} , le niveau de bruit en $1/f$ dans le transistor à canal P semble suivre une tendance en $1/I_D$, ce qui correspond aux fluctuations de mobilité. Pour le n-MOSFET, le comportement n'est pas aussi clair : K_f/I_D^2 varie quasiment selon $1/I_D^2$, ce qui ne correspond à aucun des modèles décrits dans la section 2.3.3.

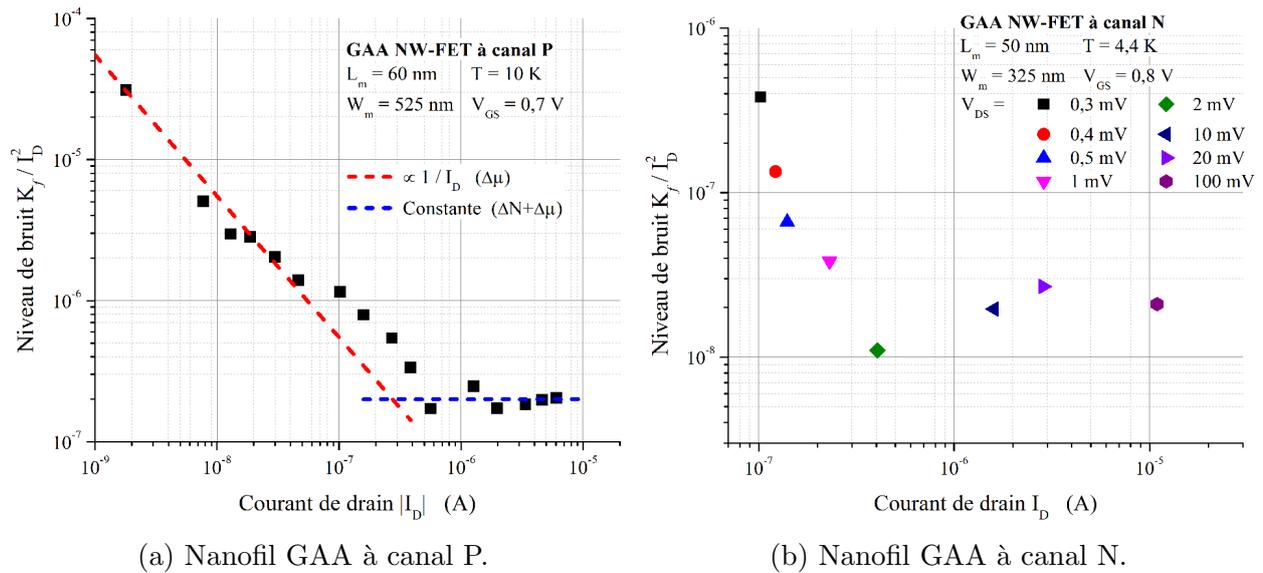


FIGURE 4.8 – Évolution du niveau de bruit en $1/f$ en fonction de V_{DS} , passant du transport quantique vers la conduction classique.

4.3 Bruit en $1/f$ dans des superlattices FinFET

Une étude préliminaire a été menée afin de comparer les nanofils et superlattices FinFET conçus avec les mêmes étapes technologiques. Cette étude ayant été menée à imec, les mesures ont été effectuées à partir d'un analyseur de semi-conducteur Keysight B1500A associé à un module d'interface avancé de bruit basse fréquence Keysight E4727A. L'ensemble des composants montre un impact important du bruit en $1/f$. Certains composants présentent des lorentziennes dont la fréquence caractéristique est indépendante de V_{GS} , ce qui suggère la présence de pièges dans le film de silicium.

L'évolution du bruit en $1/f$ en fonction de la tension de grille indique que la grande majorité des composants sont sujets aux fluctuations du nombre de porteurs de charge. La DSP de tension de bandes plates $S_{v_{fb}}$ a été relevée pour plusieurs composants. Les valeurs ont été normalisées par la longueur de grille, variant de 70 nm à 1 μm . La figure 4.9 montre une grande dispersion, jusqu'à près de quatre décades pour les nanofils présentés. Moins prononcée dans les super-FF, il est possible de justifier cette forte dispersion par la gravure espaceurs SiGe pouvant attaquer le silicium des nanofils et jouant ainsi sur la largeur effective de la grille des composants. Au contraire les super-FF à canal P semblent avoir des valeurs de $S_{v_{fb}} \cdot L_m$ relativement proches, quelle que soit l'épaisseur de la couche interfaciale (IL) d'oxyde.

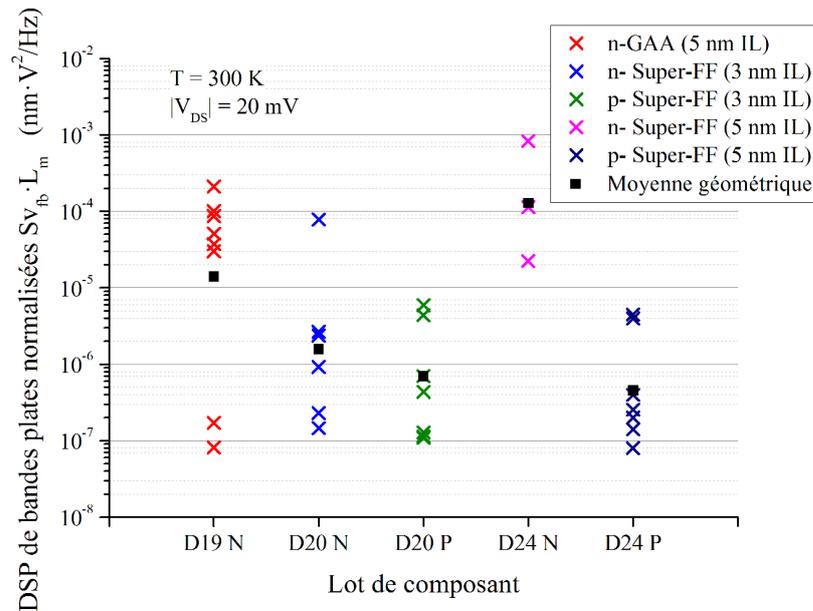


FIGURE 4.9 – DSP de bandes plates $S_{v_{fb}}$ dans les superlattices FinFET.

4.4 Étude du bruit de génération-recombinaison : spectroscopie de bruit

Parallèlement à l'étude du bruit en $1/f$, les mesures de bruit ont permis de mettre en avant la présence de lorentziennes dans la plupart des courbes relevées. Ces lorentziennes correspondent au bruit de génération-recombinaison causé par les pièges présents dans l'oxyde ou le film de silicium. Les travaux de cette thèse s'étant portés exclusivement sur les pièges de la zone de déplétion via la spectroscopie de bruit, il est important de distinguer les lorentziennes dues aux pièges du film de celles dues aux pièges d'oxyde.

4.4.1 Lorentziennes associées aux pièges du film de silicium

La première étape de l'étude consiste donc à étudier l'évolution des lorentziennes à température fixe et tension de grille variable. À l'aide des DSP mesurées et des modèles obtenus à partir de l'équation 4.1, il est possible de rassembler sur un graphique l'ensemble des fréquences caractéristiques $f_{0,i}$ obtenues pour chaque valeur de V_{GS} . Dans la section 2.3.2, il est expliqué que la fréquence caractéristique de tous les pièges varie avec la température, mais que seuls les pièges d'interface présentent une dépendance avec la tension de grille. Cette dépendance est exponentielle : $f_{0,i} = \alpha \cdot \exp(\beta \cdot V_{GT})$. Classiquement, les pièges d'oxyde ont un facteur exponentiel $22 \text{ V}^{-1} \lesssim \beta \lesssim 33 \text{ V}^{-1}$ [37] tandis que les pièges dans la zone de déplétion ont un facteur $\beta \simeq 0 \text{ V}^{-1}$ [45, 86]. Cependant la très faible épaisseur de film peut causer une légère dépendance des pièges de film, donnant ainsi un facteur $\beta \lesssim 10 \text{ V}^{-1}$ [87].

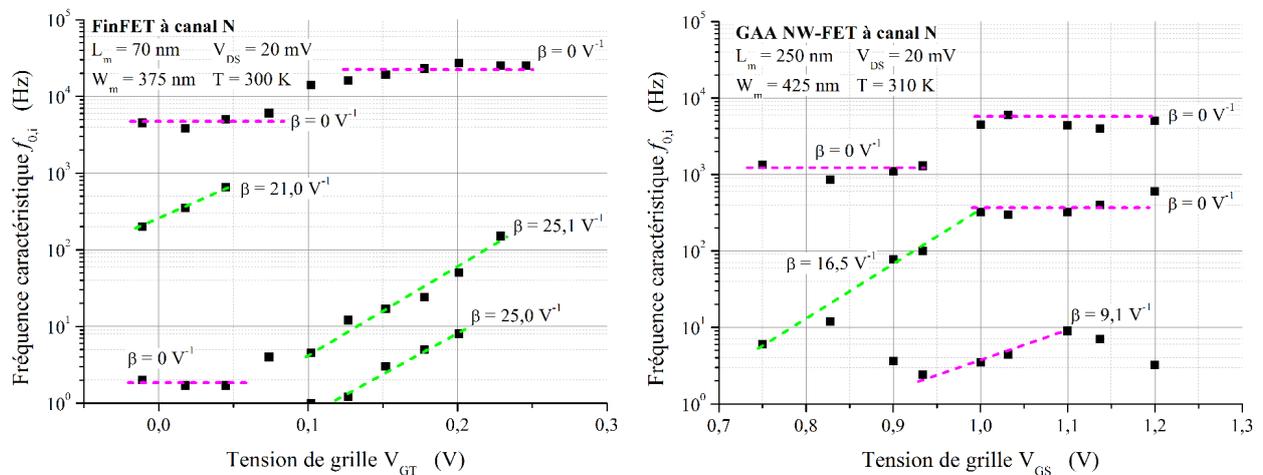


FIGURE 4.10 – Évolution des fréquences caractéristiques de lorentziennes en fonction de la tension de grille. Les points de valeur constante (magenta) sont associés à des pièges d'oxyde, les points de valeur croissante (vert) sont associés à des pièges situés dans le film de silicium.

Il est donc possible de localiser la zone dans laquelle est situé chaque piège, en observant l'évolution de $f_{0,i} = f(V_{GS})$. Sur la figure 4.10, les points ayant une fréquence caractéristique proche (donc variation quasiment nulle) sont associés à des pièges d'oxyde, tandis que les autres sont associés à des pièges présents dans la zone de déplétion.

4.4.2 Identification des pièges du film de silicium

Une fois les lorentziennes des pièges de la zone de déplétion déterminées, une étude en fonction de la température permettra de déterminer les caractéristiques des pièges en utilisant les relations 2.26 ou 2.27 : c'est le cœur de la spectroscopie de bruit basse fréquence. Afin d'observer le même piège d'une température à une autre, il est primordial de garder le même niveau d'énergie de Fermi E_F en conservant la même tension de drain V_{DS} et le même courant de drain I_D tout au long de l'étude. La figure 4.11 présente l'évolution de S_{v_g} en fonction de la température à V_{DS} et I_D constants [88]. À chaque température, deux lorentziennes sont visibles. Leur fréquence caractéristique semble augmenter avec la température. Ces lorentziennes ont été associées à des pièges du film de silicium dans l'étape précédente : elles sont donc observées selon la technique décrite ci-dessous afin d'identifier la nature des pièges responsables du bruit de génération-recombinaison.

En pratique, la tension de drain est imposée par une source de tension continue. Le courant de drain est mesuré et sa valeur est ajustée via la tension de grille V_{GS} , de sorte à ce qu'il reste constant. Afin d'augmenter les probabilités de détecter la présence de défauts, la spectroscopie est menée à plusieurs points de polarisation : pour un composant et une température donnée, la DSP est relevée pour plusieurs valeurs de courant de drain.

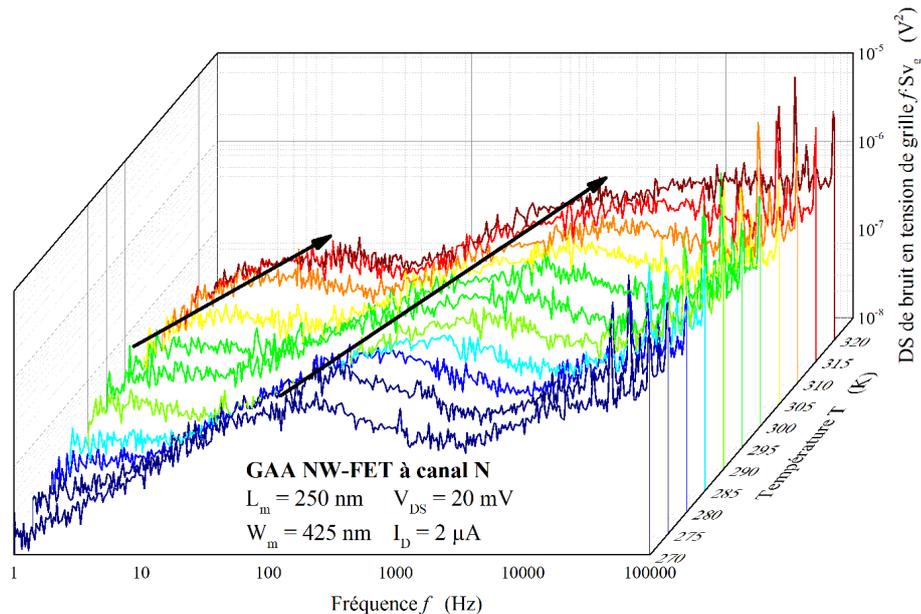


FIGURE 4.11 – Visualisation de l'augmentation de la fréquence caractéristique des lorentziennes avec la température.

Comme dans les cas précédents, les courbes de bruit sont mesurées à l'aide d'un analyseur de spectre et les DSP sont modélisées. Les valeurs de fréquences caractéristiques sont obtenues, et la relation $\tau_i = (2\pi f_{0,i})^{-1}$ permet de tracer un diagramme d'Arrhenius $\ln(\tau_i T^2) = f(q/k_B T)$, tel que présenté sur la figure 4.12. Les constantes de temps associées à un même pièges doivent présenter un évolution linéaire.

D'après les expressions 2.26 ou 2.27, la pente d'une régression linéaire donnera la valeur de la différence ΔE_T entre le niveau d'énergie du piège et le niveau d'énergie de la bande des porteurs minoritaires ($\Delta E_T = E_C - E_T$ pour un n-MOSFET, $\Delta E_T = E_T - E_V$ pour un p-MOSFET), alors que l'ordonnée à l'origine permettra de connaître la section efficace de capture des porteurs (σ_n ou σ_p). La figure 4.12 montre deux séries de points obtenus dans un seul composant à polarisation constante. Les régressions linéaires effectuées permettent d'identifier deux pièges dont les valeurs sont indiquées dans l'encadré. Le tableau 4.3 contient l'ensemble des paramètres de pièges extraits pour plusieurs composants.

D'autres méthodes de caractérisation, comme la *Deep-Level Transient Spectroscopy* (spectroscopie transitoire des niveaux profonds, DLTS), ont permis d'obtenir et répertorier les valeurs de paramètres ΔE_T et $\sigma_{n,p}$ pour de nombreux pièges. Une fois ces paramètres obtenus avec la spectroscopie de bruit basse fréquence, une comparaison de leurs valeurs avec la littérature permettra d'identifier la nature physique des défauts.

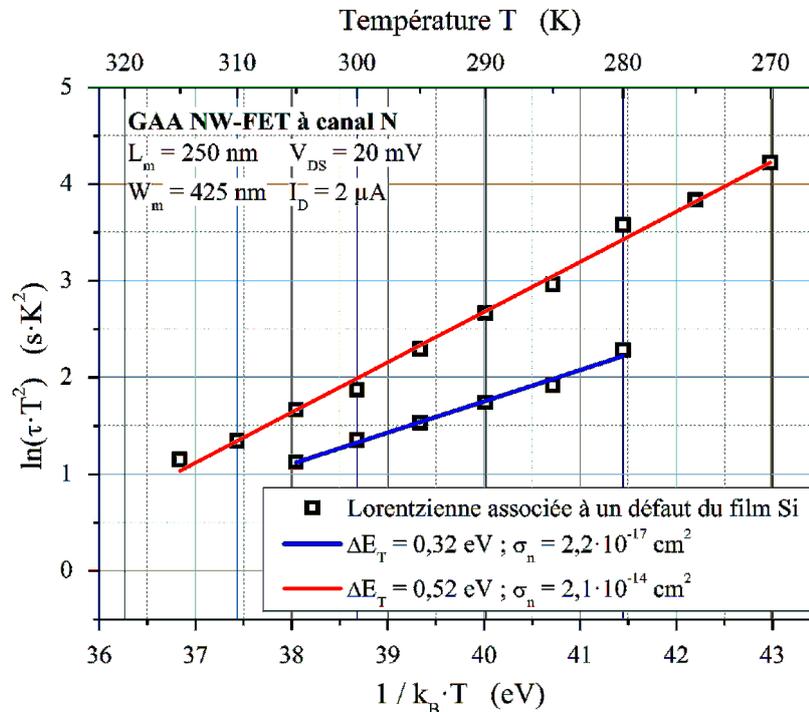


FIGURE 4.12 – Diagramme d'Arrhenius explicitant l'évolution de la constante de temps caractéristique des pièges du film de silicium en fonction de la température. Les points du graphique ont été associés à des défauts du film de silicium (points magenta de la figure 4.10b).

4.4.3 Estimation de la densité surfacique des pièges

Une dernière étape est nécessaire pour compléter la spectroscopie de bruit. Elle consiste à tracer pour chaque piège l'évolution du niveau de plateau A_i des lorentziennes en fonction de la constante de temps caractéristique τ_i associée. Une relation de proportionnalité existe entre ces paramètres, donnée par :

$$A_i = \frac{q^2 n_{eff}}{W_E L_E C_{ox}^2} \tau_i = \frac{q^2 B W_d n_T}{W_E L_E C_{ox}^2} \tau_i \quad (4.2)$$

où $n_{eff} = B W_d n_T$ est la densité surfacique des pièges, n_T est la densité volumique des pièges, W_d est la profondeur de la zone de déplétion et B est un coefficient [37].

Bien que la présence de pièges dans le film de silicium soit un effet volumique, il a été préféré dans ces travaux de se concentrer uniquement sur la densité surfacique n_{eff} des pièges. En effet les résultats originaux de Yau et Sah montraient dans des composants à substrat massif que $B = 1/3$ [38], cependant il apparait que cette valeur déterminée pour ces technologies planaires n'est plus valable pour les composants entièrement déplétés (FD-SOI) [86, 89]. La valeur de n_T serait donc erronée, alors que n_{eff} pourra toujours être utilisée comme facteur de mérite, indépendamment de la technologie.

La première utilité de la relation 4.2 est qu'elle permet de confirmer que les lorentziennes attribuées à un piège dans l'étape précédente sont cohérentes. En effet, même s'il est possible de distinguer des pièges d'oxyde de pièges de film en observant l'évolution de $f_{0,i}$ en fonction de V_{GS} , il est parfois plus délicat de déduire à quel piège de film une lorentzienne appartient, surtout si ces pièges sont nombreux. Les points $(\tau_i ; A_i)$ d'un seul piège doivent former une droite et les points en dehors de cette droite appartiennent donc à une lorentzienne associée à un autre piège.

La seconde utilité de la relation précédente est qu'elle permet d'estimer la densité de pièges. Bien que les pièges soient distribués dans le volume, c'est la densité surfacique des pièges n_{eff} qui est estimée dans les composants multi-grilles car elle n'émet pas d'hypothèse sur la valeur du coefficient B .

La figure 4.13 répond aux deux fonctions de l'équation 4.2 : les points $(A_i ; \tau_i)$ sont tracés et montrent bien deux tendances linéaires nettes et indépendantes. Cela valide d'une part les points qui ont été associés à un piège dans l'étape précédente (linéarisation dans la figure 4.12) et permet d'autre part d'estimer la densité effective de ces deux pièges à partir de la pente des régressions linéaires.

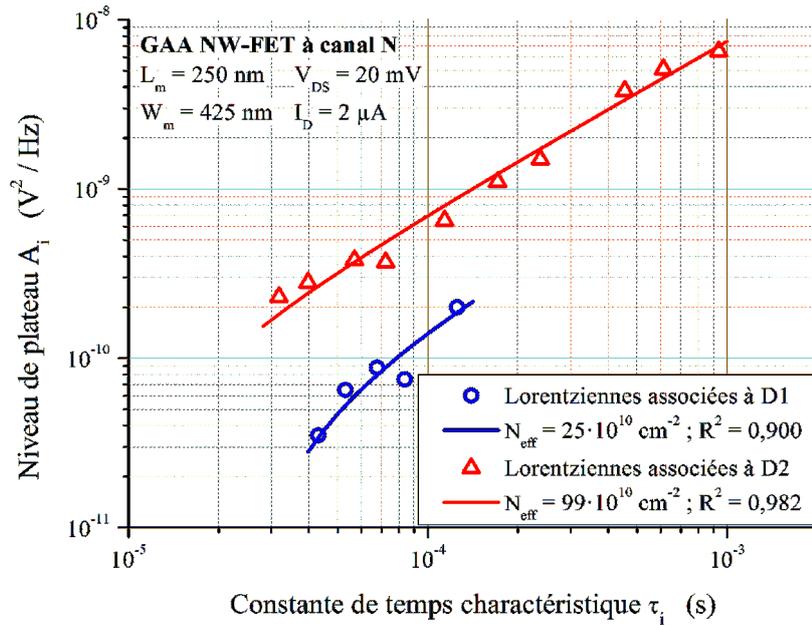


FIGURE 4.13 – Évolution du niveau de plateau A_i en fonction de la constante de temps caractéristique τ_i . La couleur des points correspond à la couleur des pièges identifiés dans la figure 4.12.

4.4.4 Identification des procédés responsables des défauts

Les différentes études de spectroscopie de bruit, comme celles présentées dans la figure 4.14, ont permis d'identifier plusieurs pièges dans les différents composants. Les paramètres des pièges sont rassemblés dans le tableau 4.3. En comparant avec les données de la littérature (obtenue notamment grâce aux techniques DLTS), il est possible de déterminer la nature physique des défauts et donc l'étape technologique ayant participé à l'augmentation du niveau de bruit intrinsèque.

Autour de la température ambiante, on note la présence d'un défaut associant hydrogène et bilacune (V_2H) [90]. Ce piège est observé sur les deux types de canal, dans une gamme de température allant de 260 K à 315 K. La section efficace de capture varie d'une décade et la densité surfacique des défauts est dans le même ordre de grandeur pour les deux canaux. L'existence de ce type de défaut peut être expliquée par l'étape de croissance épitaxiale sélective des zones de source et de drain. En effet, du SiH_4 est employé pour le dépôt chimique en phase vapeur. Ainsi les atomes d'hydrogène intègrent le réseau cristallin et s'associent à une bilacune pour trouver un état stable.

Également lié à l'hydrogène et référencé dans les deux types de canal, le défaut complexe hydrogène-oxygène-lacune (VOH) possède un niveau d'énergie $\Delta E_T = 0,32 \text{ eV}$. Il est observé à des températures légèrement plus faibles que pour le V_2H (de 220 K à 305 K). Entre le n-GAA et le n-FinFET la densité de pièges varie d'un facteur 2, alors qu'elle varie d'une décade entre le p-FinFET et le n-FinFET. Cependant aucun type de canal ne semble être

plus désavantagé par les défauts liés à l'hydrogène, car la tendance observée pour le VOH est inversée pour le V₂H. Comme pour ce dernier, la présence de VOH semble provenir de l'étape de croissance épitaxiale sélective du drain et de la source.

Le défaut bilacune accepteur V₂(0/-) se situe au dessus du niveau intermédiaire E_i de la bande interdite ($E_T = E_C - 0,42$ eV) [90]. Observé en relativement faible densité par rapport aux autres pièges ($0,86 \cdot 10^{10}$ cm⁻²), il peut être créé suite à la recombinaison de défauts instables vers un état stable. Ces défauts instables peuvent être par exemple des paires de Frenkel, provoquées par l'étape d'implantation ionique.

Cette même étape du procédé de fabrication est probablement la cause du défaut complexe phosphore-lacune VP. Uniquement répertorié dans des composants à canal N, la pré-

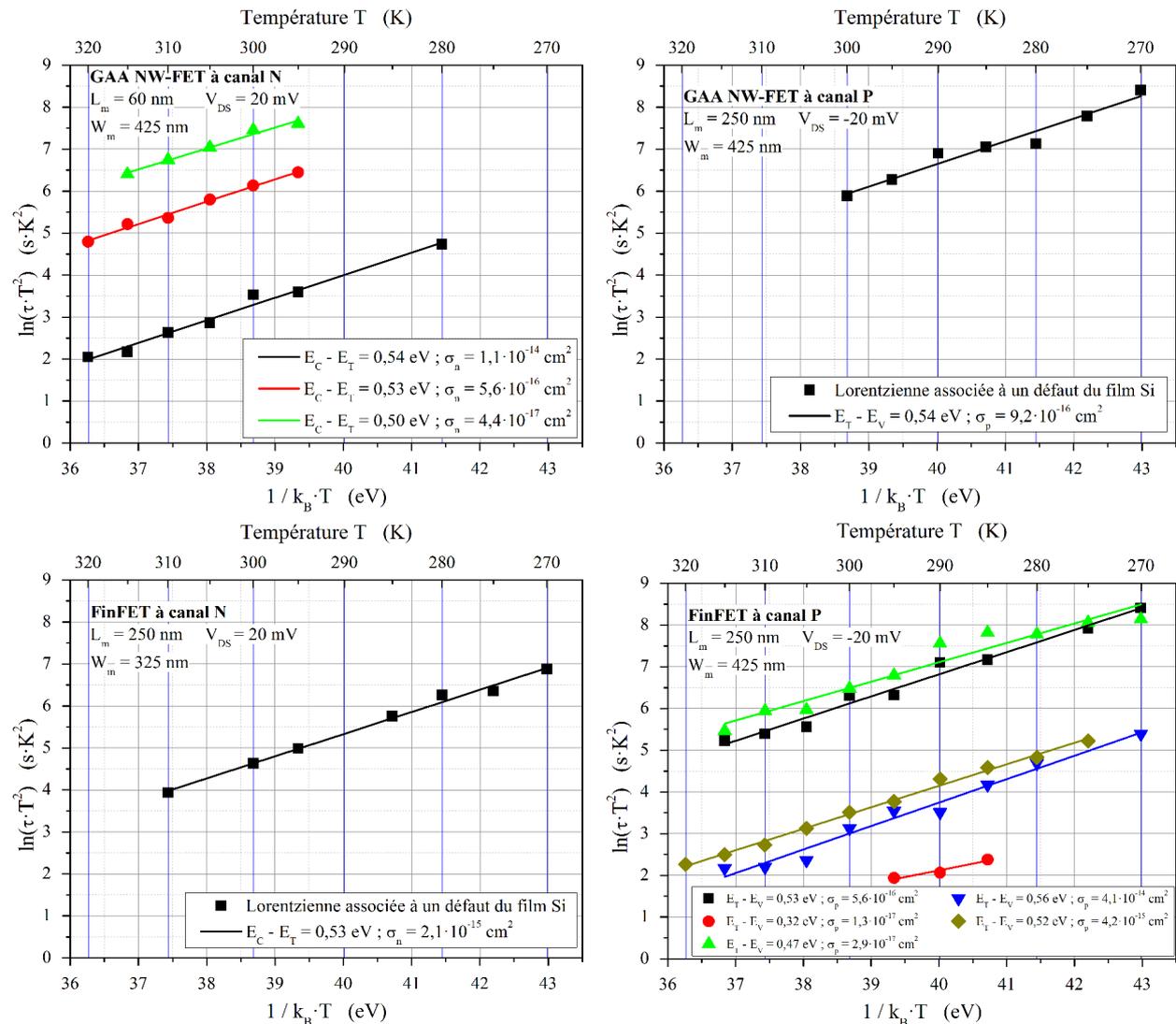


FIGURE 4.14 – Diagrammes d'Arrhenius dans plusieurs composants. Les points proches en ordonnée correspondent à des lorentziennes observées à différents points de polarisation (i.e. à différentes valeurs de I_D).

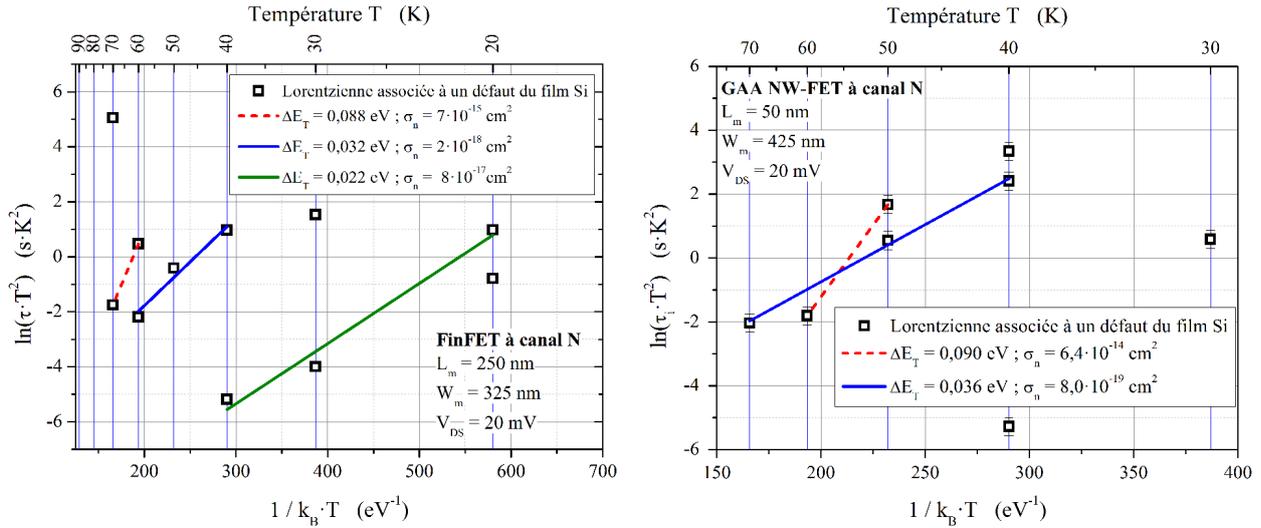
sence de phosphore s'explique par l'implantation ionique ayant pour objectif de doper les zones de source et de drain au phosphore. Le phosphore, instable dans le réseau cristallin, s'associe à une lacune pour trouver un état stable. Il peut être éliminé en effectuant un recuit de température supérieure à 300 °C [22].

Enfin, on remarque que plusieurs pièges avec une énergie $\Delta E_T = 0,52-0,56$ eV se retrouvent de manière récurrente. En considérant une erreur de mesure d'environ 4 % (erreur sur la valeur du courant de drain I_D), une erreur d'environ 10 % sur l'estimation des paramètres des lorentziennes et les variations des valeurs de σ_n et σ_p de l'ordre d'une décennie et demie, il est probable que tous ces pièges répertoriés soient en réalité dus au même type de défaut, qui n'a jusqu'à lors été identifié dans la littérature. Ils ont été regroupés sous l'appellation D1.

Une spectroscopie de bruit a été également menée de 10 K à 70 K par pas de 10 K dans plusieurs composants [73, 77]. Deux exemples de diagramme d'Arrhenius sont représentés dans la figure 4.15. Le piège représenté en pointillés rouges est présents dans ces deux composants. À ces températures, d'autres pièges sont révélés. Leurs paramètres sont rassemblés dans le tableau 4.3.

Bien que seulement deux points soient utilisés, un piège avec les mêmes caractéristiques est observé dans les deux composants. De plus il s'agit d'un piège dont les paramètres sont connus de la littérature : le complexe carbone interstitiel - carbone substitutionnel $C_iC_s(0/+)$ [91]. Il est observé dans une gamme de température restreinte (50 K à 70 K) et sa section efficace de capture varie d'une décennie. La contamination du film de silicium par du carbone peut provenir de l'étape d'alignement à base de SiC.

D'autres pièges référencés à très faibles températures ne sont pas connus de la littérature (D2, D3 et D4 dans le tableau 4.3). Ils sont néanmoins proches de la bande de conduction et correspondent donc à des pièges dits profonds, qui peuvent être liés aux étapes d'implantation ou de gravure sèche. Concernant les défauts D2 et D3, on peut remarquer qu'ils sont situés presque à même distance de la bande de conduction. De plus les valeurs de sections efficaces ne diffèrent que du simple au triple. il est donc plausible que ces deux pièges soient de même nature.


 (a) FinFET à canal N ($L_m = 250$ nm).

 (b) Nanofil à canal N ($L_m = 50$ nm).

 FIGURE 4.15 – Diagrammes d'Arrhenius issues de spectroscopies à $T \leq 70$ K.

	ΔE_T eV	σ_n/σ_p cm^2	T K	n_{eff} cm^{-2}	Relevé dans
V₂H	0,47	$2,9 \cdot 10^{-17}$	270-315	$9,7 \cdot 10^{10}$	p-FinFET [88]
	0,45	$1,4 \cdot 10^{-16}$	260-300	$4,32 \cdot 10^{10}$	n-FinFET [66]
VP	0,44	$75 \cdot 10^{-16}$	240-260	-	n-FinFET [66]
V₂(0/-)	0,42	$3,8 \cdot 10^{-16}$	220-260	$0,86 \cdot 10^{10}$	n-FinFET [66]
VOH	0,32	$13 \cdot 10^{-16}$	220-260	$12,8 \cdot 10^{10}$	n-FinFET [66]
	0,32	$2,2 \cdot 10^{-17}$	280-305	$22 \cdot 10^{10}$	n-GAA [88]
	0,32	$1,3 \cdot 10^{-17}$	285-295	$1,1 \cdot 10^{10}$	p-FinFET [88]
D1	0,52-0,54	$5,8-201 \cdot 10^{-14}$	270-320	$7,4-99 \cdot 10^{-10}$	n-GAA [88]
	0,53	$2,1 \cdot 10^{-15}$	270-310	$17 \cdot 10^{-10}$	n-FinFET [88]
	0,54	$9,2 \cdot 10^{-16}$	270-300	$14 \cdot 10^{-10}$	p-GAA [88]
	0,52-0,56	$5,6-401 \cdot 10^{-16}$	270-320	$3,7-5,2 \cdot 10^{-10}$	p-FinFET [88]
C_iC_s(0/+)	0,088	$7 \cdot 10^{-15}$	60-70	-	n-FinFET [73]
	0,090	$6,4 \cdot 10^{-14}$	50-60	$2,1 \cdot 10^{-10}$	n-GAA [77]
D2	0,036	$8,0 \cdot 10^{-19}$	40-70	$0,7 \cdot 10^{-10}$	n-GAA [77]
D3	0,032	$2 \cdot 10^{-18}$	40-60	-	n-FinFET [73]
D4	0,022	$8 \cdot 10^{-17}$	20-40	-	n-FinFET [73]

 TABLEAU 4.3 – Synthèse des paramètres des pièges identifiés ($|V_{DS}| = 20$ mV).

Chapitre 5

Synthèse

Après avoir rappelé le modèle des MOSFET pour différents régimes de fonctionnement dans le premier chapitre, puis des caractéristiques du bruit électrique intrinsèque dans le second, les deux derniers chapitres ont permis d'apporter des éléments de compréhension dans des technologies avancées de composants. Une grande partie des travaux présentés dans ce rapport amenaient les résultats d'une comparaison entre des FinFET à triple-grille et des nanofils à grille enrobante (GAA NW-FET), fabriqués en suivant quasiment le même procédé de fabrication. Les paragraphes suivants rappellent les résultats majeurs issus des travaux de cette thèse.

FinFET à triple-grille vs nanofils à grille enrobante

À température ambiante, la fonction Y a été utilisée pour extraire de nombreux paramètres en régime linéaire. Elle a permis de montrer les meilleures performances des nanofils par rapport aux FinFET : la résistance d'accès, le facteur d'atténuation de mobilité intrinsèque sont à l'avantage des NN-FET, même si la mobilité à faible champ y est plus faible.

Les paramètres statiques extraits en régime de saturation confirment ce constat. La tension d'Early et le gain intrinsèque sont supérieurs dans les nanofils, indiquant de meilleures performances dans le domaine analogique. L'inverse de la pente sous le seuil est plus faible dans les NW-FET, ce qui les avantage pour des applications numériques. Enfin, les plus faibles valeurs du paramètre DIBL montrent un meilleur contrôle des charges électriques par la grille dans les GAA en comparaison aux triple-grille.

Il a donc été montré que les GAA NW-FET surpassent les FinFET en régime statique, confortant ainsi le choix de cette structure pour les prochains nœuds technologiques.

Impact des très basses températures

Des travaux ont été menés à très basse température, afin d'observer l'évolution des paramètres électriques des composants. Dans cette gamme de température, les rugosités de surface deviennent un mécanisme important de diffusions de mobilité. Les nanofils voient leurs paramètres s'améliorer moins rapidement que les FinFET, comme par exemple l'inverse de la pente sous le seuil. En revanche la tension d'Early, le gain intrinsèque et le paramètre DIBL restent plus avantageux dans les nanofils. Il en résulte que les nanofils restent plus performants que les FinFET bien qu'ils soient plus impactés par les basses températures.

Étude du bruit en $1/f$

Les études de bruit autour de la température ambiante ont permis d'observer deux éléments. Tout d'abord, l'étude du bruit en $1/f$ a révélé que les composants étaient plutôt impactés par des fluctuations du nombre de porteurs de charge, parfois corrélées aux fluctuations de mobilité. En très forte inversion, le bruit dans les résistances d'accès devient prédominant. D'autre part, le niveau de bruit en $1/f$, et donc la densité de pièges d'oxyde, est comparable dans les différentes technologies de composants. Les valeurs de densités de pièges extraites (autour de 10^{17} eV⁻¹.cm⁻³) sont très intéressantes.

En effet, il a été observé dans des technologies plus anciennes (FinFET pour le nœud 32 nm) une densité de pièges variant entre 10^{18} eV⁻¹.cm⁻³ et 10^{19} eV⁻¹.cm⁻³ [22]. Ces composants sont fabriqués avec le même oxyde de grille que ceux étudiés pendant cette thèse (HfO₂). Par conséquent les densités de pièges obtenues dans ces travaux montrent une amélioration considérable du procédé d'oxydation pour la technologie 10 nm car les densités de pièges sont inférieures, d'autant plus que celles-ci sont censées augmenter lorsque les dimensions diminuent (pour un même procédé de fabrication). L'ordre de grandeur relevé pendant ces travaux correspond à celui observé dans des transistors UTBOX 16 nm [92].

Identification des défauts du film de silicium

Grâce à la technique de spectroscopie, l'étude du bruit de génération-recombinaison a mené à l'identification de plusieurs défauts. À température ambiante, des défauts de type V₂H et VOH sont relevés dans les deux types de canaux. Ils sont vraisemblablement dus au dépôt chimique en phase vapeur utilisé pendant la croissance épitaxiale sélective des zones de sources et de drain. Des défauts V₂(0/-) et VP ont été identifiés uniquement dans les composants à canal N. Ils sont provoqués par l'implantation ionique pour le dopage de la source et du drain. L'implantation va créer des lacunes ou insérer du phosphore dans le film de

silicium. Ces défauts instables vont s'associer pour trouver un état stable. Un autre défaut, non identifié, a été répertorié. Il est détecté dans les FinFET et nanofils, de type N et P.

À plus basse température ($T \leq 70$ K), un défaut a été clairement identifié. Le complexe $C_i C_s(0/+)$ peut être causé par l'étape d'alignement à base de SiC. D'autres défauts ont été répertoriés, sans être identifiés. Ces pièges profonds sont très proches de la bande de conduction et d'autres études (telles que la DLTS) n'ont peut-être pas permis de les observer auparavant.

Ces résultats sont une nouvelle fois encourageants par rapport à d'autres technologies. Les composants précédemment cités pour la comparaison de la densité de pièges d'oxyde ont révélé la présence de quinze défauts différents, dont dix n'étaient pas répertoriés dans la littérature [22]. Les transistors de cette thèse ont montré moins de défauts (neuf, dont quatre inconnus). Parmi les pièges identifiés, le $V_2(0/-)$ apparaît en plus grande densité effective dans les FinFET 32 nm (environ $1\text{-}13 \cdot 10^{10} \text{ cm}^{-2}$ contre $8,6 \cdot 10^9 \text{ cm}^{-2}$ dans les FinFET 10 nm). En revanche, la présence de VOH semble plus importante d'un facteur 5 dans les nanofils et FinFET de cette thèse. Malgré ce dernier point, la quantité globale de défaut semble être plus faible dans ces nanofils et FinFET, que ce soit en terme de diversité ou de densité effective. Les pièges V_2H , VOH, VP et $V_2(0/-)$ ont également été identifiés dans des UTBOX 16 nm [92, 86]. La densité effective des pièges est du même ordre de grandeur que les FinFET et GAA 10 nm. Cela confirme encore une fois l'intérêt de l'utilisation des études de bruit électrique en tant qu'outil de diagnostic non destructif, dans le cadre d'une amélioration continue des procédés de fabrication.

Mise en évidence de transport quantique lié aux diffusions des sous-bandes d'énergie

L'élément le plus intéressant des travaux est certainement la mise en évidence de transport quantique. Lorsque la température et la tension de drain sont suffisamment réduites dans des composants de faibles dimensions, le mécanisme de conduction classique s'amenuise et laisse apparaître un mécanisme de transport quantique lié aux diffusions de sous-bandes d'énergie. L'agitation thermique n'est plus suffisante pour que les porteurs passent facilement entre les niveaux discrets d'énergie constituant les bandes d'énergies. Les caractéristiques de transfert présentent alors une évolution en escalier, où chaque palier correspond au remplissage d'une sous-bande d'énergie par les porteurs de charge. Les études de bruit en $1/f$ sous ce régime de fonctionnement montre un changement du mécanisme de fluctuations, passant des fluctuations du nombre de porteurs de charge sous conduction classique aux fluctuations de mobilité sous transport quantique.

Conclusion générale

Les travaux effectués pendant cette thèse ont permis de mettre en évidence plusieurs résultats notables. Ceux-ci ont été détaillés dans les chapitres précédents et sont résumés dans cette liste :

- comparaison des performances statiques des FinFET à triple-grille et des nanofils à grille enrobante, confirmant le choix de ces derniers pour les prochains nœuds technologiques ;
- étude du bruit en $1/f$, principalement dû aux fluctuations du nombre de porteurs de charge électrique dans le canal ;
- identification des défauts du film de silicium, l'implantation ionique et la croissance épitaxiale sélective provoquant une grande partie des défauts ;
- mise en évidence du changement de mécanisme de transport de charges à très faibles température et tension de drain, passant vers un mécanisme de transport quantique dû aux diffusions des sous-bandes d'énergie ;
- découverte du changement de mécanisme de bruit $1/f$ avec le changement de mécanisme de transport des charges en régime statique.

Outre ces résultats, l'originalité des études réalisées pendant la thèse réside en plusieurs points.

Le premier point est les technologies avancées dont nous disposions : des FinFET à triple-grille et nanofils à grille enrobante conçus pour le nœud technologique 10 nm. L'emploi de telles technologies a permis de confirmer la validité de la fonction Y pour des structures à grille multiple et d'extraire les paramètres statiques nécessaires à une comparaison objective des différents composants.

Ensuite, la méthodologie de la spectroscopie de bruit basse fréquence a été adaptée pour améliorer l'identification des défauts. À chaque température et pour chaque composant, plusieurs DSP ont été mesurées à des valeurs précises de courant de drain. Cela a permis d'augmenter les probabilités de détecter des pièges. La relation entre le niveau de plateau A_i

et la constante de temps caractéristique τ_i a été exploitée afin de confirmer l'appartenance des lorentziennes à un piège donné. Enfin, la densité surfacique n_{eff} des pièges a été calculée, plutôt que la densité volumique n_T . Ce choix permet de s'affranchir d'une constante arbitraire dont la valeur, admise pour les technologies planaires à substrat massif, n'est plus valable pour les nouvelles technologies (multi-grille SOI). Par conséquent une figure de mérite indépendante de la technologie, n_{eff} , a été employée.

Enfin, les travaux réalisés à faible température ont révélé des effets de transport quantique dans des technologies MOSFET avancées, jusqu'à lors peu répertoriés dans la littérature. Par conséquent, les résultats obtenus présentent un intérêt certain pour la compréhension des mécanismes de transport. À notre connaissance, le changement de mécanisme de bruit en $1/f$ avec l'apparition de transport quantiques des porteurs de charge a été mis en évidence pour la première fois dans des MOSFET avancés.

Pour conclure, les technologies 10 nm étudiées montrent de meilleures performances en régime statiques et en bruit électrique que des composants plus anciens. Les études de bruit ont montré un niveau de bruit électrique plus faible, ce qui constitue une grande amélioration. En effet, en utilisant les mêmes procédés technologiques, le niveau de bruit est censé augmenter lorsque les dimensions diminuent. Ainsi la qualité de fabrication de ces composants a été nettement améliorée en comparaison à ceux de la génération précédente.

L'utilisation du bruit électrique comme outil de diagnostic non destructif a grandement contribué à établir des facteurs de mérite et critères objectifs de comparaison des composants. Ces résultats sont encourageants dans le cadre de la philosophie *More Moore* en confirmant qu'il est toujours possible d'augmenter la densité d'intégration des composants en utilisant des technologies en trois dimensions, sans pour autant sacrifier les performances des transistors.

Le bruit RTS n'a pas été étudié dans ces composants, la présence de bruit en créneaux à un seul niveau s'étant avérée relativement rare. Les études préliminaires des nanofils horizontaux et des superlattices FinFET conçus pour le nœud 5 nm ont montré la présence de lorentziennes qui n'ont pas été traitée par la spectroscopie de bruit basse fréquence. Par conséquent, les travaux de cette thèse ouvrent la voie à des études encore plus approfondies pour ces divers composants avancés.

Annexes

Annexe A

Liste des publications et conférences pendant la thèse

Publications dans des revues internationales

E. Simoen, A. Vinícius de Oliveira, **D. Boudier**, J. Mitard, L. Witters, A. Veloso, P. Ghedini Der Agopian, J.A. Martino, R. Carin, B. Cretu, R. Langer, N. Collaert, A. Thean and C. Claeys, « (Invited) Generation-recombination noise in advanced CMOS devices », *Electrochemical Society Transactions*, vol. 75, no. 5, pp. 111-120, Sept. 2016. DOI : 10.1149/07505.0111ecst.

B. Cretu, **D. Boudier**, E. Simoen, A. Veloso et N. Collaert, « Assesment of DC and low-frequency noise performances of triple-gate FinFETs at cryogenic temperatures », *Semiconductor Science and Technology*, vol. 31, no. 12, pp. 1-9, Nov. 2016. DOI : 10.1088/0268-1242/31/12/124006.

D. Boudier, B. Cretu, E. Simoen, R. Carin, A. Veloso, N. Collaert et A. Thean, « Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs : Part I : Theory and methodology », *Solid-State Electronics*, vol. 128, pp. 102-108, 2017. DOI : 10.1016/j.sse.2016.10.012.

D. Boudier, B. Cretu, E. Simoen, R. Carin, A. Veloso, N. Collaert et A. Thean, « Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs : Part II : Measurements and results », *Solid-State Electronics*, vol. 128, pp. 109-114, 2017. DOI : 10.1016/j.sse.2016.10.013.

D. Boudier, B. Cretu, E. Simoen, A. Veloso and N. Collaert, « Detailed characterisation of Si Gate-All-Around Nanowire MOSFETs at cryogenic temperatures », *Solid-State Electronics*, vol. 143C, pp. 27-32, Mar. 2018. DOI : 10.1016/j.sse.2018.02.015.

Publications dans des conférences internationales avec comité de lecture et actes

D. Boudier, B. Cretu, E. Simoen, R. Carin, A. Veloso, N. Collaert et A. Thean, « Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs », *2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, Vienna, Jan. 2016.

D. Boudier, B. Cretu, E. Simoen, A. Veloso and N. Collaert, « On quantum effects and low frequency noise spectroscopy in Si Gate-All-Around Nanowire MOSFETs at cryogenic temperatures », *2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, Athens, Jul. 2017, pp. 5-8. DOI : 10.1109/ULIS.2017.7962578.

D. Boudier, B. Cretu, E. Simoen, A. Veloso and N. Collaert, « On trap identification in triple-gate FinFETs and Gate-All-Around nanowire MOSFETs using low frequency noise spectroscopy », *2017 International Conference on Noise and Fluctuations (ICNF)*, Vilnius, Jul. 2017, pp. 1-4. DOI : 10.1109/ICNF.2017.7985990.

D. Boudier, B. Cretu, E. Simoen, A. Veloso and N. Collaert, « Discussion on the 1/f noise in Si gate-all-around nanowire MOSFETs at liquid helium temperatures », *2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, Granada, Mar. 2018, accepté pour publication.

G. Hellings, H. Mertens, A. Subirats, E. Simoen, T. Schram, L.-A. Ragnarsson, M. Simicic, S.-H. Chen, B. Parvais, **D. Boudier**, B. Cretu, J. Machillot, V. Pena, S. Sun, N. Yoshida, N. Kim, A. Mocuta, D. Linten and N. Horiguchi, « Si/SiGe Superlattice I/O FinFETs in a Vertically-stacked Gate-All-Around Horizontal Nanowire Technology », *2018 Symposia on VLSI Technology and Circuits*, Honolulu, United-States, June 2018, accepté pour publication.

Participations à des conférences nationales

D. Boudier, B. Cretu, E. Simoen, R. Carin, A. Veloso, N. Collaert et A. Thean, « Étude du bruit électrique basse fréquence dans des technologies FinFETs sub-10 nm », JNRDM 2016, 11-13 Mai 2016, Toulouse (France).

Annexe B

Système de mesure du bruit électrique basse fréquence

Afin de procéder aux mesures de bruit électrique basse fréquence, les composants sont placés dans une station sous pointes Lakeshore TTP4, qui permet l'étude en température des composants de 4 K à 400 K. La polarisation du composant est assurée par deux alimentations stabilisées et faible bruit (une source de tension pour imposer la tension V_{GS} , une autre pour la tension V_{DS}). Les densités spectrales de puissance de bruit sont relevées à l'aide d'un analyseur de spectre HP 3562A pouvant effectuer des mesures sur une gamme de fréquence de 0,1 Hz à 100 kHz.

Un circuit électronique développé au laboratoire permet de faire l'interface entre les sources de tension et le composant, puis entre le composant et l'analyseur de spectre. Le schéma synoptique de ce circuit est présenté sur la figure B.1. Les grandeurs en majuscules correspondent aux grandeurs continues (i.e. polarisation), celles en minuscules aux fluctuations (ou bruit électrique). Les densités spectrales de puissance sont notées en gris en plusieurs points du schéma.

À l'entrée de ce circuit, deux filtres passe-bas sont présents afin d'assurer la polarisation du composant tout en éliminant les perturbations provenant des alimentations stabilisées. Le courant de drain (polarisation et fluctuations) circule du MOSFET vers l'amplificateur de transimpédance. Celui-ci fournit à sa sortie une tension fonction du courant de drain $V_{transimp} = V_{DS} + R \cdot (I_D + i_d)$. Sur le schéma synoptique, l'impact de V_{DS} est négligé.

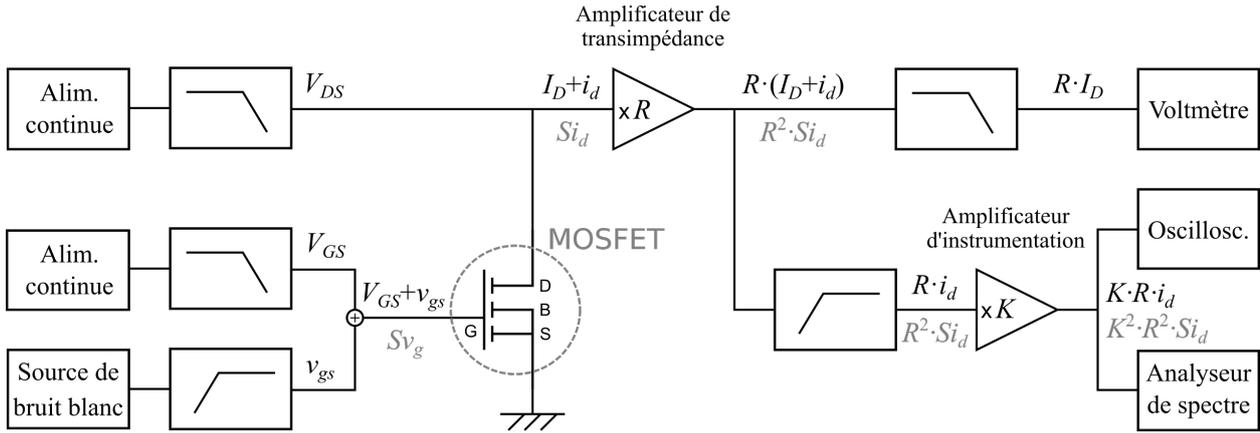


FIGURE B.1 – Schéma synoptique du circuit de mesures de bruit électrique basse fréquence.

Ensuite, les deux parties du signal sont traitées différemment. Un filtre passe-bas permet d'obtenir la valeur moyenne en sortie de l'amplificateur de transimpédance et donc de mesurer l'image du courant de drain moyen I_D à l'aide d'un voltmètre. En parallèle, un filtre passe-haut vient supprimer la composante continue du signal pour ne conserver que les fluctuations (bruit). L'amplificateur d'instrumentation placé en série rend le signal suffisamment important pour être mesuré par l'analyseur de spectre et visualisé par un oscilloscope. Les DSP de bruit en sortie mesurées par l'analyseur de spectre sont ensuite récupérées et enregistrées par un *Virtual Instrument* de LabVIEW, afin d'exploiter ultérieurement les données. La DSP mesurée est une DSP de bruit en tension de sortie $S_{v_{out}}$. Elle est égale à la DSP de bruit en courant de drain multipliée par le carré des gains des amplificateurs : $S_{v_{out}} = S_{i_d} \cdot R^2 \cdot K^2$.

À chaque point de polarisation, lorsqu'une mesure de bruit en sortie a été réalisée, du bruit blanc est injecté sur la grille. Le circuit passe-haut en entrée du circuit électronique permet d'ajouter le bruit blanc à la tension de polarisation V_{GS} via un sommateur. L'analyseur, en mesurant le bruit blanc injecté et la DSP en sortie, établit le gain du système complet et permet de retrouver la DSP de bruit en tension de grille car $S_{v_{out}} = S_{v_g} \cdot gain^2$. Ainsi la DSP de bruit en tension de grille est obtenue tout en s'affranchissant de la bande passante des éléments du circuit. Une fois les DSP d'intérêt obtenues (S_{v_g} ou S_{i_d}), elles sont finalement modélisées en prenant en compte le modèle de contributions indépendantes du bruit blanc, du bruit en $1/f$ et du bruit de génération-recombinaison (équation 2.12 ou 4.1).

Tables

Bibliographie

- [1] NOBELPRIZE.ORG : The Nobel Prize in Physics 1956, 2018. [En ligne, visité le 17/01/2018].
- [2] IRDS : Application Benchmarking. Rapport technique, International Roadmap for Devices and Systems, 2017.
- [3] Gordon E. MOORE : Cramming more components onto integrated circuits. *Electronics*, 38, 1965.
- [4] Gordon E. MOORE : Progress in digital integrated electronics. *IEEE Technical Digest*, pages 11–13, 1975.
- [5] Gordon E. MOORE : No exponential is forever : but "Forever" can be delayed! [semiconductor industry]. In *2003 IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, volume 1, pages 20–23, 2003.
- [6] IRDS : More Moore. Rapport technique, International Roadmap for Devices and Systems, 2017.
- [7] Yannis TSIVIDIS et Colin MCANDREW : *Operation and modeling of the MOS transistor*, chapitre 2, pages 65–111. Oxford University Press, 3 édition, 2012.
- [8] Thomas SKOTNICKI : *Transistor MOS et sa technologie de fabrication*, volume e2430. Techniques de l'Ingénieur, 2000.
- [9] Yannis TSIVIDIS et Colin MCANDREW : *Operation and modeling of the MOS transistor*, chapitre 4, pages 151–232. Oxford University Press, 3 édition, 2012.
- [10] Gérard GHIBAUO et Francis BALESTRA : A method for MOSFET parameter extraction at very low temperature. *Solid-State Electronics*, 32(3):221–223, 1989.
- [11] Gérard GHIBAUO : Analytical modelling of the MOS transistor. *Physica Status Solidi (a)*, 113:223–240, 1989.
- [12] Y. TAUR et T.H. NING : *Fundamentals of modern VLSI devices*. Cambridge University Press, 1998.
- [13] D.S. JEON et D.E. BURK : MOSFET electron inversion layer mobilities - a physically based semi-empirical model for a wide temperature range. *IEEE Transactions on Electron Devices*, 36(8):1456–1463, 1989.

- [14] S.M. SZE et Kwok K. NG : *Physics of semiconductor devices*. John Wiley & Sons, Inc., Hoboken, New Jersey, troisième édition, 2007.
- [15] Martin von HAARTMAN et Mikael ÖSTLING : *Low-frequency noise in advanced MOS devices*, chapitre 3, pages 53–96. Springer, 2007.
- [16] Shin-ichi TAGAKI, Akira TORIUMI, Masao IWASE et Hiroyuki TANGO : On the universality of inversion layer mobility in Si MOSFET's : Part I - Effects of substrate impurity concentration. *IEEE Transactions on Electron Devices*, 42(12):2357–2362, 1994.
- [17] C. MOURRAIN, Bogdan CRETU, Gérard GHIBAUDO et P. COTTIN : New method for parameter extraction in deep submicrometer MOSFETs. *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pages 181–186, 2000.
- [18] Krunoslav ROMANJEK : *Caractérisation et modélisation des transistors CMOS des technologies 50 nm et en deçà*. Thèse de doctorat, Institut National Polytechnique de Grenoble, 2004.
- [19] Sorin CRISTOLOVEANU et Francis BALESTRA : *Technologie silicium sur isolant (SOI)*, volume e2380. Techniques de l'ingénieur, 2013.
- [20] S.G. CHAMBERLAIN et S. RAMANAN : Drain-induced barrier lowering analysis in VLSI MOSFET devices using two-dimensional numerical simulation. *IEEE Transactions on Electron Devices*, 33(11):1745–1751, 1986.
- [21] INTEL : Intel® 22 nm Technology, 2018. [En ligne, visité le 24/05/2018].
- [22] Rachida TALMAT : *Étude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)*. Thèse de doctorat, Université de Caen Basse-Normandie, 2011.
- [23] Jean-Pierre COLINGE : *FinFETs and other multi-gate transistors*. Springer, 2008.
- [24] IRDS : Executive Summary. Rapport technique, International Roadmap for Devices and Systems, 2017.
- [25] G. HELLINGS, H. MERTENS, A. SUBIRATS, E. SIMOEN, T. SCHRAM, L.-A. RAGNARSSON, M. SIMICIC, S.-H. CHEN, B. PARVAIS, D. BOUDIER, B. CRETU, J. MACHILLOT, V. PENA, S. SUN, N. YOSHIDA, N. KIM, A. MOCUTA, D. LINTEN et N. HORIGUCHI : Si/SiGe superlattice I/O FinFETs in a vertically-stacked gate-all-around horizontal nanowire technology. *In 2018 Symposia on VLSI Technology and Circuits proceedings*. 2018 Symposia on VLSI Technology and Circuits, 2018. Accepted.
- [26] Anabela VELOSO, M.J. CHO, Eddy SIMOEN, Geert HELLINGS, P. MATAGNE, Nadine COLLAERT et Aaron THEAN : Gate-All-Around Nanowire FETs vs. Triple-Gate FinFETs : on gate integrity and device characteristics. *ECS Transactions*, 72(2):85–95, 2016.
- [27] Daniel MATHIOT : *Dopage et diffusion dans le silicium*. Institut d'Électronique du Solide et des Systèmes, Strasbourg.

-
- [28] S.D. DOS SANTOS, B. CRETU, V. STROBEL, J.-M. ROUTOURE, R. CARIN, J.A. MARTINO, M. AOULAICHE, M. JURCZAK, E. SIMOEN et C. CLAEYS : Low-frequency noise assessment in advanced UTBOX SOI nMOSFETs with different gate dielectrics. *Solid-State Electronics*, 97:14–22, 2014.
- [29] Martin von HAARTMAN et Mikael ÖSTLING : *Low-frequency noise in advanced MOS devices*, chapitre 1, pages 1–22. Springer, 2007.
- [30] F.N. HOOGE : $1/f$ noise sources. *IEEE Transactions on Electron Devices*, 41(11):1926–1935, 1994.
- [31] J.B. JOHNSON : Thermal agitation of electricity in conductors. *Physics Review*, 32:97–109, 1928.
- [32] H. NYQUIST : Thermal agitation of electric charge in conductors. *Physics Review*, 32:110–113, 1928.
- [33] W. SCHOTTKY : Über spontane Stromschwankungen in verschiedenen Elektrizitätsleitern. *Annalen der Physik*, 57:541–567, 1918.
- [34] A. van der ZIEL : *Noise in solid state devices and circuits*. John Wiley & Sons, 1989.
- [35] William SHOCKLEY et William Thornton Jr READ : Statistics of the Recombinations of Holes and Electrons. *Physical review*, 87(5):835–842, 1952.
- [36] David C. MURRAY, Alan G. R. EVANS et Julian C. CARTER : Shallow defects responsible for GR noise in MOSFET’s. *IEEE Transactions on Electron Devices*, 38(2):407–416, 1991.
- [37] Natalia B. LUKYANCHIKOVA : *Noise and fluctuations control in electronic devices*, chapitre Sources of the Lorentzian Components in the Low-Frequency Noise Spectra of Submicron Metal-Oxide-Semiconductor Field-Effect Transistors, pages 201–233. American Scientific Publishers, Riverside, CA, 2002.
- [38] L. D. YAU et C. T. SAH : Theory and experiments of low-frequency generation-recombination noise in MOS transistors. *IEEE Transactions on Electron Devices*, ED-16:170–177, 1969.
- [39] F. SCHOLZ, J.M. HWANG et D.K. SCHRODER : Low frequency noise and DLTS as semiconductor device characterization tools. *Solid-State Electronics*, 31(2):205–217, 1988.
- [40] V. GRASSI, C.F. COLOMBO et D.V. CAMIN : Low frequency noise versus temperature spectroscopy of recently designed Ge JFET’s. *IEEE Transactions on Electron Devices*, 48(12):2899–2905, 2001.
- [41] D.V. CAMIN, C.F. COLOMBO et V. GRASSI : Low frequency noise versus temperature spectroscopy of Ge JFETs, Si JFETs and Si MOSFETs. *Journal de Physique IV*, 12:37–44, mai 2002.
- [42] S. MACHLUP : Noise in semiconductors : spectrum of a two-parameter random signal. *Journal of Applied Physics*, 25:341–343, 1954.

- [43] A.L. MCWHORTER : *Semiconductor surface physics*. University of Philadelphia Press, 1957.
- [44] F.N. HOOGE : 1/f noise is no surface effect. *Physics Letters A*, 29a:139–140, 1969.
- [45] Gérard GHIBAUDO, O. ROUX, Ch. NGUYEN-DUC, Francis BALESTRA et J. BRINI : Improved analysis of low frequency noise in Field-Effect MOS transistors. *Physica Status Solidi (a)*, pages 124–571, 1991.
- [46] K.K. HUNG, P.K. KO et Y.C. CHENG : A unified model for the flicker noise in metal-oxide-semiconductor field-effect-transistors. *IEEE Transactions on Electron Devices*, 37:654–665, 1990.
- [47] F.N. HOOGE, T.G.M. KLEINPENNING et L.K.J. VANDAMME : Experimental studies on 1/f noise. *Reports on Progress in Physics*, 44:479–531, 1981.
- [48] Gérard GHIBAUDO et T. BOUTCHACHA : Electrical noise and RTS fluctuations in advanced CMOS devices. *Microelectronics Reliability*, 42:573–582, 2002.
- [49] E. SIMOEN et C. CLAEYS : On the flicker noise in submicron silicon MOSFETs. *Solid State Electronics*, 43:865–882, 1999.
- [50] C. CLAEYS, A. MERCHA et E. SIMOEN : Low-frequency noise assessment for deep submicrometer CMOS technology nodes. *Journal of Electrochemical Society*, 151:G307–G318, 2004.
- [51] L.K.J. VANDAMME, X. LI et D. RIGAUD : 1/f noiser in MOS devices, mobility or number fluctuations? *IEEE Transactions on Electron Devices*, 41:1936–1945, 1994.
- [52] Olivier Roux dit BUISSON, Gérard GHIBAUDO et J. BRINI : Model for drain current RTS amplitude in small-area MOS transistors. *Solid-State Electronics*, 35(9):1273–1276, 1992.
- [53] S. CHRISTENSSON, I. LUNDSTRÖM et C. SVENSSON : Low-frequency noise in MOS transistors. *Solid-State Electronics*, 11:797–812, 1968.
- [54] Ray JAYARAMAN et Charles G. SODINI : A 1/f noise technique to extract the oxide trap density near the conduction band edge of silicon. *IEEE Transactions on Electron Devices*, 36:1773–1782, 1989.
- [55] F.N. HOOGE : Discussion of recent experiments on 1/f noise. *Physica*, 60:130–144, 1972.
- [56] F.N. HOOGE et L.K.J. VANDAMME : Lattice scattering causes 1/f noise. *Physics Letters A*, 66:130–144, 1978.
- [57] I.M. HAFEZ, Gérard GHIBAUDO et Francis BALESTRA : A study of flicker noise in MOS transistors operated at room and liquid helium temperatures. *Solid-State Electronics*, 33(12):1525–1529, 1990.
- [58] Xiaosong LI et L.K.J. VANDAMME : 1/f noise in series restance of LDD MOSTs. *Solid-State Electronics*, 35(10):1471–1475, 1992.

-
- [59] Adelmo ORTIZ-CONDE, Francisco J. GARCÍA-SÁNCHEZ, Juan MUCI, Alberto TERÁN BARRIOS, Juin J. LIOU et Ching-Sung HO : Revisiting MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, 53:90–104, 2013.
- [60] M. F. HAMER : First-order parameter extraction on enhancement silicon MOS transistors. *IEEE Proceedings I - Solid-State and Electron Devices*, 133(2):49–54, 1986.
- [61] Gérard GHIBAUO : New method for the extraction of MOSFET parameters. *Electronics Letters*, 24:543, 1988.
- [62] Y. TAUR, D. S. ZICHERMAN, D. R. LOMBARDI, P. J. RESTLE, C. H. HSU, H. I. NANAFI, M. R. WORDEMAN, B. DAVARI et G. G. SHAHIDI : A new "shift and ratio" method for MOSFET channel-length extraction. *IEEE Electron Device Letters*, 13(5):267–269, 1992.
- [63] P.K. McLARTY, S. CRISTOLOVEANU, O. FAYNOT, V. MISRA, J.R. HAUSER et J.J. WORTMAN : A simple parameter extraction method for ultra-thin oxide MOSFETs. *Solid-State Electronics*, 38(6):1175 – 1177, 1995.
- [64] D. FLEURY, A. CROS, H. BRUT et Gérard GHIBAUO : New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs. *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pages 160–165, 2008.
- [65] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Régis CARIN, Anabela VELOSO, Nadine COLLAERT et Aaron THEAN : Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs. *2016 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)*, 2016.
- [66] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs : Part II : Measurements and results. *Solid-State Electronics*, 128:109–114, 2017.
- [67] Gérard GHIBAUO : Critical MOSFETs operation for low voltage/low power IC's : Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations. *Microelectronic Engineering*, 39:31–57, 1997.
- [68] Francis BALESTRA, I. M. HAFEZ et Gérard GHIBAUO : Characterization and modelling of Si MOSFETs at liquid helium temperature. *In Proceedings of the Workshop on Low Temperature Semiconductor Electronics*, Burlington, VT, USA, USA, 1989. *Low Temperature Semiconductor Electronics*, IEEE.
- [69] Francis BALESTRA et Gérard GHIBAUO : Brief review of the MOS device physics for low temperature electronics. *Solid-State Electronics*, 37(12):1969–1975, 1994.
- [70] Gérard GHIBAUO et Francis BALESTRA : Low temperature characterization of silicon CMOS devices. *Microelectronics Reliability*, 37(9):1353–1366, 1997.

- [71] I.M. HAFEZ, Gérard GHIBAUDO et Francis BALESTRA : Assessment of interface state density in silicon metal-oxide-semiconductor transistors at room, liquid-nitrogen, and liquid-helium temperatures. *Journal of Applied Physics*, 67(4):1950–1952, 1990.
- [72] Eddy SIMOEN, B. DIERICKX, L. WARMERDAM, J. VERMEIREN et Cor CLAEYS : Freeze-out effects on NMOS transistor characteristics at 4.2 K. *IEEE Transactions on Electron Devices*, 36(6):1155–1161, 1989.
- [73] Bogdan CRETU, Dimitri BOUDIER, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : Assesement of DC and low-frequency noise performances of triple-gate FinFETs at cryogenic temperatures. *Semiconductor Science and Technology*, 31(12):1–9, 2016.
- [74] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : On quantum effects and low frequency noise spectroscopy in Si Gate-All-Around Nanowire MOSFETs at cryogenic temperatures. *2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, pages 5–8, 2017.
- [75] M.A. PAVANELLO, J.A. MARTINO, E. SIMOEN, R. ROOYACKERS, N? COLLAERT et C. CLAEYS : Temperature influences on FinFETs with undoped body. *Electrochemical Society Transactions*, 6(4):211–216, 2007.
- [76] R. TALMAT, S. PUT, N. COLLAERT, A. MERCHA, C. CLAEYS, W. GUO, B. CRETU, A. BENFDILA, J.-M. ROUTOURE, R. CARIN et E. SIMOEN : High-temperature characterization of advanced strained nMuGFETs. In *EUROSOI'2010*, page 2 p., Grenoble, France, 2010. hal-00993868.
- [77] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : Detailed characterisation of Si Gate-All-Around Nanowire MOSFETs at cryogenic temperatures. *Solid-State Electronics*, 134C:27–32, 2018.
- [78] Hakim ACHOUR, Rachida TALMAT, Bogdan CRETU, Jean-Marc ROUTOURE, A. BENFDILA, Régis CARIN, Nadine COLLAERT, Eddy SIMOEN, A. MERCHA et Cor CLAEYS : DC and low frequency noise performances of SOI p-FinFETs at very low temperature. *Solid-State Electronics*, 90:160–165, 2013.
- [79] Hakim ACHOUR, Bogdan CRETU, Jean-Marc ROUTOURE, Régis CARIN, Rachida TALMAT, A. BENFDILA, Eddy SIMOEN et Cor CLAEYS : In depth static and low-frequency noise characterization of n-channel FinFETs on SOI substrates at cryogenic temperature. *Solid-State Electronics*, 98:12–19, 2014.
- [80] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : Discussion on the 1/f noise in Si gate-all-around nanowire MOSFETs at liquid helium temperatures. *2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)*, 2018. À paraître.

-
- [81] Lihong MA, Weihua HAN, Hao WANG, Xiang YANG et Fuhua YANG : Observation of degenerate one-dimensional subbands in single n-channel junctionless nanowire transistors. *IEEE Electron Device Letters*, 36(9):941–943, 2015.
- [82] Bruna Cardoso PAZ, Mikaël CASSÉ, Sylvain BARRAUD, Gilles REIMBOLD, Maud VINET, Olivier FAYNOT et Marcelo Antonio PAVANELLO : Cryogenic operation of Omega-Gate p-type SiGe-on-Insulator nanowire MOSFETs. In *Proceedings of the 2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)*. IEEE, 2018. À paraître.
- [83] Lihong MA, Weihua HAN, Hao WANG, Wenting HONG, Qifeng LYU, Xiang YANG et Fuhua YANG : Electron transport behaviors through donor-induced quantum dot array in heavily n-doped junctionless nanowire transistors. *Journal of Applied Physics*, 117, 2015.
- [84] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : Low frequency noise assessment in n- and p-channel sub-10 nm triple-gate FinFETs : Part I : Theory and methodology. *Solid-State Electronics*, 128:102–108, 2017.
- [85] Baya NAFAA, B CRETU, N ISMAIL, O TOUAYAR et E SIMOEN : Impact of channel orientation on low frequency noise performances of UTBOX nMOSFETs operated at liquid nitrogen temperature. *2017 International Conference on Noise and Fluctuations (ICNF)*, pages 1–4, 2017.
- [86] Bogdan CRETU, Eddy SIMOEN, Jean-Marc ROUTOURE, Régis CARIN, Marc AOULAICHE et Cor CLAEYS : Low frequency noise spectroscopy in rotated UTBOX nMOSFETs. In *International Conference on Noise and Fluctuations*, 2015.
- [87] Eddy SIMOEN, Bogdan CRETU, Wen FANG, Marc AOULAICHE, Jean-Marc ROUTOURE, Régis CARIN, Sara DOS SANTOS, Jun LUO, Chao ZHAO, Joao Antonio MARTINO et Cor CLAEYS : Towards single-trap spectroscopy : Generation-recombination noise in UTBOX SOI nMOSFETs. *Physica Status Solidi C*, 12(3):1–7, 2015.
- [88] Dimitri BOUDIER, Bogdan CRETU, Eddy SIMOEN, Anabela VELOSO et Nadine COLLAERT : On trap identification in triple-gate FinFETs and Gate-All-Around nanowire MOSFETs using low frequency noise spectroscopy. *2017 International Conference on Noise and Fluctuations (ICNF)*, pages 1–4, 2017.
- [89] Hakim ACHOUR, Bogdan CRETU, Eddy SIMOEN, Jean-Marc ROUTOURE, Régis CARIN, A. BENFDILA, Marc AOULAICHE et Cor CLAEYS : Identification of Si film traps in p-channel SOI FinFETs using low temperature noise spectroscopy. *Solid-State Electronics*, 112:1–6, 2015.
- [90] Anders HALLÉN, Niclas KESKITALO, Ferenc MASSZI et Viliam NAGL : Lifetime in proton irradiated silicon. *Journal of Applied Physics*, 79(8):3906–3914, 1996.
- [91] Cor CLAEYS et Eddy SIMOEN : *Radiation Effects in Advanced Semiconductor Materials and Devices*, volume 57. Springer-Verlag Berlin Heidelberg, 2002.

- [92] Bogdan CRETU, Eddy SIMOEN, Jean-Marc ROUTOURE, Régis CARIN, Marc AOU-LAICHE et Cor CLAEYS : Low frequency noise characterization in n-channel UTBOX devices with 6 nm Si film. *In International Conference on Noise and Fluctuations*, 2013.

Liste des figures

1.1	Régimes d'accumulation et d'inversion dans une structure MOS à substrat P.	13
1.2	Structure d'un MOSFET planaire à canal N.	15
1.3	Régimes de fonctionnement d'un MOSFET planaire en fonction de la tension de drain V_{DS} .	17
1.4	Évolution de la mobilité effective limitée par les collisions en fonction de la température et du champ électrique transversal.	21
1.5	Longueurs de masque L_m , physique L_p et effective L_E d'un MOSFET.	23
1.6	Poches HDD et LDD dans un MOSFET.	25
1.7	Représentation de l'effet DIBL pour deux longueurs de canal.	26
1.8	MOSFET <i>Silicon On Insulator</i> (silicium sur isolant, SOI) : le film de silicium est compris entre l'oxyde de grille et l'oxyde enterré (<i>Burried Oxide</i> , BOX).	28
1.9	Structure d'un doigt de FinFET à triple-grille (gauche) et réalisation de plusieurs doigts en parallèle constituant un FinFET (droite).	29
1.10	Effet de la tension de grille sur la concentration d'électrons en profondeur d'un MOSFET à double grille.	30
1.11	Représentation du MOSFET idéal : le nanofil	30
1.12	Réalisation de nanofils horizontaux à grille enrobante (GAA hNW-FET).	31
1.13	Simulation TCAD d'un GAA hNW-FET et d'un Superlattice FinFET à l'état <i>on</i> .	32
1.14	Images des composants étudiés par microscope électronique en transmission (TEM).	34
1.15	Nanofils horizontaux fabriqués en technologie « 2,5V I/O ».	35
1.16	Superlattice FinFET (super-FF).	35
1.17	Superlattice-FinFET fabriqués en technologie « 2,5V I/O ».	35
2.1	Illustrations de défauts dans un réseau cristallin.	38
2.2	Modèles de bruit d'une résistance.	41
2.3	Schéma équivalent en petits signaux d'un MOSFET incluant les sources de bruit.	41

2.4	Représentation fréquentielle du bruit électrique, où la DSP est une combinaison des contributions de bruit blanc, de bruit en $1/f$ et de bruit de génération-recombinaison.	43
2.5	Illustration des mécanismes de piégeage et dépiégeage de porteurs de charge par des pièges situés dans l'oxyde de grille.	45
2.6	Diagrammes de bandes d'énergies représentant deux pièges dans le film de silicium.	48
2.7	Représentation temporelle du bruit en créneaux (RTS).	49
2.8	Superposition de lorentziennes menant à du bruit en $1/f$	51
3.1	Caractéristiques statiques typiques de FinFET.	60
3.2	Extraction de la tension de seuil extrapolée $V_{t,ext}$	62
3.3	Extraction de l'inverse de la pente sous le seuil SS	63
3.4	Extraction des paramètres V_t et G_M à partir de la linéarisation de la fonction Y en inversion modérée.	64
3.5	Extraction des paramètres θ_1 et θ_2 à partir de la linéarisation du facteur d'atténuation de mobilité effectif θ_{eff}	65
3.6	Vérification du modèle obtenu à partir des paramètres de la fonction Y.	66
3.7	Extraction de la mobilité à faible champ μ_0 et de ΔL à partir de la relation 3.9.	67
3.8	Extraction de la résistance d'accès $R_{accès}$ et de ΔL à partir de la méthode de la résistance totale $R_{tot} = f(L_m)$	68
3.9	Extraction de la résistance d'accès $R_{accès}$ et du facteur intrinsèque de réduction de mobilité θ_0 à partir de la relation $\theta_1 = f(G_M)$	69
3.10	Évolution du paramètre $DIBL$ en fonction de la longueur de grille.	70
3.11	Rapport g_m/I_D pour différents composants.	71
3.12	Tension d'Early V_{EA} obtenue en régime de saturation ($ V_{DS} = V_{GS} = 1$ V).	72
3.13	Estimation du gain intrinsèque A_V à partir de la tension d'Early.	72
3.14	Évolution des caractéristiques de transfert $I_D(V_{GS})$ en fonction de la température. La miniature est un grossissement mettant en évidence les paliers de la transition <i>off-on</i>	74
3.15	Manifestation de paliers dans les caractéristiques de transfert $I_D(V_{GS})$ et de conductance du canal $G_{DS}(V_{GS})$ dans un FinFET.	75
3.16	Caractéristiques de transfert en régime linéaire à très faible température.	75
3.17	Manifestation de paliers dans les caractéristiques de conductance du canal $G_{DS}(V_{GS})$ dans un nanofil.	76
3.18	Linéarisation de la fonction Y d'un nanofil à canal N. L'extraction des paramètres V_t , μ_m et θ_{it} est validée en construisant les modèles de courant de drain et de transconductance.	78
3.19	Extraction de la mobilité en fonction de la température.	79
3.20	Comportement de la tension de seuil en fonction de la température	79
3.21	Rapport g_m/I_D en régime de saturation, de l'inversion faible à l'inversion forte.	81

3.22	Évolution du paramètre $DIBL$ en fonction de L_m à $T = 10$ K.	82
3.23	Extraction de l'inverse de la pente sous le seuil SS à $T = 10$ K.	83
3.24	SS en fonction de L_m en régime linéaire et saturation ($T = 10$ K).	83
3.25	Estimations de la tension d'Early V_{EA} et du gain intrinsèque A_V en régime de saturation ($ V_{DS} = V_{GS} = 1$ V).	84
3.26	Caractéristiques en régime linéaire à 4,2 K pour différentes tensions de drain V_{DS}	85
3.27	Évolution de la caractéristique de transfert pour différentes longueurs de canal.	86
3.28	Conductance du transistor à $V_{DS} = 300$ μ V. Chacun des paliers de la caractéristique de conductance (axe de gauche) correspond à un nombre de sous-bandes remplies (axe de droite). La numérotation des paliers, et donc sous-bandes peuplées, correspond à celle de la figure 3.26a.	87
4.1	Exemples de modélisation de DSP de bruit en tension de grille S_{v_g} à partir de l'équation 4.1.	90
4.2	Évolution du niveau de bruit en $1/f$ K_f pour différents FinFET en régime linéaire.	91
4.3	Évolution du niveau de bruit en $1/f$ K_f pour différents nanofils en régime linéaire.	92
4.4	Densités spectrales de puissance de bruit en tension de grille $S_{v_g}(f)$	94
4.5	Évolution du niveau de bruit en $1/f$ à $T = 10$ K.	95
4.6	Évolution du niveau de bruit en $1/f$ en fonction de V_{GS} . On observe un changement du mécanisme de bruit en $1/f$ avec le mécanisme de transport des porteurs.	96
4.7	Évolution du niveau de bruit en $1/f$ en fonction de V_{GS} pour deux valeurs de V_{DS}	97
4.8	Évolution du niveau de bruit en $1/f$ en fonction de V_{DS} , passant du transport quantique vers la conduction classique.	98
4.9	DSP de bandes plates $S_{v_{fb}}$ dans les superlattice FinFET.	99
4.10	Évolution des fréquences caractéristiques de lorentziennes en fonction de la tension de grille.	100
4.11	Visualisation de l'augmentation de la fréquence caractéristique des lorentziennes avec la température.	101
4.12	Diagramme d'Arrhenius explicitant l'évolution de la constante de temps caractéristique des pièges du film de silicium en fonction de la température.	102
4.13	Évolution du niveau de plateau A_i en fonction de la constante de temps caractéristique τ_i	104
4.14	Diagrammes d'Arrhenius dans plusieurs composants.	105
4.15	Diagrammes d'Arrhenius issues de spectroscopies à $T \leq 70$ K.	107
B.1	Schéma synoptique du circuit de mesures de bruit électrique basse fréquence.	viii

Liste des tableaux

1	Extrait de la feuille de route IRDS pour les composants logiques.	6
2.1	Récapitulatif de l'évolution des DSP en fonction de la tension de grille et du courant de drain en régime linéaire.	57
3.1	Synthèse des paramètres extraits en régime linéaire ($ V_{DS} = 20$ mV ; $T = 300$ K).	69
3.2	Évolution de plusieurs paramètres statiques en fonction de la température pour un n-GAA MOSFET.	80
3.3	Synthèse des paramètres extraits à l'aide de la fonction $Y_{low T}$ adaptée aux basses températures. $W_{fin} = W_{NW} = 20$ nm ; $ V_{DS} = 20$ mV ; $T = 10$ K. . .	81
3.4	Valeurs de l'inverse de la pente sous le seuil SS (mV/dec) pour différents composants ($T = 10$ K ; $ V_{DS} = 1$ V).	83
4.1	Synthèse des DSP de bandes plates $S_{v_{fb}}$ et densités de pièges d'oxyde n_T de plusieurs MOSFET ($ V_{DS} = 20$ mV ; $T = 300$ K).	93
4.2	Synthèse des DSP de bandes plates $S_{v_{fb}}$ et densités de pièges d'oxyde n_T de plusieurs MOSFET ($ V_{DS} = 20$ mV ; $T = 10$ K).	95
4.3	Synthèse des paramètres des pièges identifiés ($ V_{DS} = 20$ mV).	107

Acronymes

ALD	Atomic Layer Deposition (dépôt par couche atomique)
BOX	Burried Oxide (oxyde enterré)
CMOS	Complementary Metal-Oxide-Semiconductor
CVD	Chemical Vapor Deposition (dépôt chimique en phase vapeur)
DIBL	Drain-Induced Barrier Lowering (abaissement de la barrière dû au potentiel de drain)
DLTS	Deep-Level Transient Spectroscopy (spectroscopie transitoire des niveaux profonds)
DSP	Densité Spectrale de Puissance
EOT	Equivalent Oxide Thickness (épaisseur d'oxyde équivalente)
FD	Fully Depleted (à déplétion totale)
FinFET	Finger-Field-Effect-Transistor
GAA	Gate-All-Around (à grille enrobante)
GR	Génération-Recombinaison
HDD	Highly Doped Drain (poche de drain fortement dopée)
IRDS	International Roadmap for Devices and Semiconductors
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain (poche de drain faiblement dopée)
MEMS	Microelectromechanical system (système micro-électro-mécanique)
MOS	Metal-Oxide-Semiconductor (métal-oxyde-semi-conducteur)
MOSFET	transistor à effet de champ métal-oxyde-semi-conducteur (Metal-Oxide-Semiconductor Field-Effect Transistor)
MUGFET	Multiple-Gate Field-Effect Transistor (transistor à effet de champ à grille multiple)

NW-FET	Nanowire Field-Effect Transistor (transistor nanofil à effet de champ)
PD	Partially Depleted (à déplétion partielle)
RAM	Random Access Memory
RSB	Rapport Signal à Bruit
RTS	Random Telegraph Signal (bruit en créneaux)
SCE	Short-Channel Effect (effets de canaux courts)
SNR	Signal-to-Noise Ratio (Rapport Signal-sur-Bruit)
SoC	System on Chip (système sur puce)
SOI	Silicon On Insulator (silicium sur isolant)
SSD	Solid-State Disk

Notations

α_C	Coefficient de couplage ou paramètre de diffusion	[V/A]
α_H	Coefficient ou paramètre de Hooge	
ΔE	Écart d'énergie entre les sous-bandes	[eV]
ΔE_T	$\Delta E_T = E_C - E_T$ pour les n-MOS ; $\Delta E_T = E_T - E_V$ pour les p-MOS	[eV]
ΔL	$\Delta L = L_m - L_E$	[m]
ΔW	$\Delta W = W_m - W_E$	[m]
ϵ_0	Permittivité du vide, $\epsilon_0 = 8,854 \cdot 10^{-12}$ F/m	[F/m]
γ	Exposant de décroissance du bruit en $1/f^\gamma$	
λ	Longueur d'atténuation tunnel	[m]
λ_p	Longueur de la zone pincée du canal	[m]
μ_0	Mobilité des porteurs à faible champ électrique	[m ² /V·s]
μ_m	Mobilité maximale	[m ² /V·s]
μ_{eff}	Mobilité effective des porteurs	[m ² /V·s]
ϕ_F	Potentiel de Fermi	[V]
ϕ_S	Potentiel de surface (chute de potentiel dans le substrat)	[V]
ϕ_{MS}	Différence de potentiel des travaux de sortie du métal de grille et du substrat	[V]
σ_n	Section efficace de capture des électrons	[m ²]
σ_p	Section efficace de capture des trous	[m ²]
τ_i	Constante de temps caractéristique des pièges	[s]
θ_0	Facteur intrinsèque d'atténuation de mobilité (sans résistance d'accès)	[V ⁻¹]
θ_1	Facteur effectif d'atténuation de mobilité au premier ordre	[V ⁻¹]
θ_2	Facteur effectif d'atténuation de mobilité au second ordre	[V ⁻²]
θ_{eff}	Facteur effectif d'atténuation de mobilité	[V ⁻¹]
θ_{it}	Facteur d'atténuation de mobilité à très basse température	[V ⁻¹]
$A_{0,i}$	Niveau de plateau de lorentzienne	[V ² /Hz]
C_n	Coefficient de capture des électrons	[m ³ /s]
C_p	Coefficient de capture des trous	[m ³ /s]

C_{dep}	Capacité surfacique de la couche de déplétion dans le substrat	[F/m ²]
C_{it}	Capacité surfacique dues aux pièges d'interface	[F/m ²]
C_{ox}	Capacité surfacique d'oxyde	[F/m ²]
\mathcal{E}_x	Champ électrique longitudinal (imposé par V_{DS})	[V/m]
\mathcal{E}_z	Champ électrique transversal (imposé par V_{GB})	[V/m]
E_C	Limite inférieure d'énergie de la bande de conduction	[eV]
E_F	Niveau d'énergie de Fermi dans le semi-conducteur	[eV]
E_i	Niveau intermédiaire de la bande interdite	[eV]
E_T	Niveau d'énergie du piège	[eV]
E_V	Limite supérieure d'énergie de la bande de Valence	[eV]
$E_{F,n}$	Quasi-niveau d'énergie de Fermi	[eV]
E_{FM}	Niveau d'énergie de Fermi dans le métal de grille	[eV]
EOT	Épaisseur d'oxyde équivalent (<i>Equivalent Oxide Thickness</i>)	[m]
$f_{0,i}$	Fréquence caractéristique de la lorentzienne i	[Hz]
G_M	Paramètre de transconductance dans la fonction Y	[S/V]
g_m	Transconductance, $g_m := \partial I_D / \partial V_{GS}$	[S]
g_{ch}	Conductance du canal	[S]
\hbar	Constante réduite de Planck, $\hbar = h / (2\pi) = 1,054571800 \cdot 10^{-34}$ J·s	[J·s]
h	Constante de Planck, $h = 6,626070040 \cdot 10^{-34}$ J·s	[J·s]
H_{fin}	Hauteur de doigt d'un FinFET	[m]
H_{NW}	Hauteur de fil d'un GAA NW-FET	[m]
I_D	Courant de drain	[A]
$I_{D,sat}$	Courant de drain de saturation	[A]
k_B	Constante de Boltzmann, $k_B = 8,6173324 \cdot 10^{-5}$ eV/K	[eV/K]
K_f	Niveau de bruit en $1/f$	[V ²]
K_r	Coefficient de bruit dans les résistances d'accès	[V ⁻²]
K_w	Niveau de bruit blanc	[V ² /Hz]
L	Longueur du canal pour un canal long	[m]
L_E	Longueur effective du canal	[m]
L_m	Longueur du canal sur le masque	[m]
L_p	Longueur physique du canal	[m]
M_C	Nombre de minima d'énergie dans la bande de conduction	
m_e^*	Masse effective des électrons $m_e^* = 0,19 \cdot 9,109383 \cdot 10^{-31}$ kg	[kg]
m_h^*	Masse effective des trous $m_h^* = 0,56 \cdot 9,109383 \cdot 10^{-31}$ kg	[kg]
N	Nombre de porteurs de charge électrique	
n	Concentration d'électrons libres	[m ⁻³]
n_1	Concentration d'électrons lorsque $E_T \approx E_F$	[m ⁻³]

n_A	Concentration d'atomes accepteurs (dopage P)	$[\text{m}^{-3}]$
n_C	Densité effective d'états dans la bande de conduction	$[\text{m}^{-3}]$
n_D	Concentration d'atomes donneurs (dopage N)	$[\text{m}^{-3}]$
n_i	Concentration intrinsèque de porteurs	$[\text{m}^{-3}]$
N_T	Nombre de pièges	
n_T	Densité en énergie et en profondeur de pièges dans l'oxyde de grille	$[\text{eV}^{-1} \cdot \text{m}^{-3}]$
n_V	Densité effective d'états dans la bande de valence	$[\text{m}^{-3}]$
n_{eff}	Densité surfacique des pièges du film actif	$[\text{m}^{-2}]$
N_{fin}	Nombre de doigts d'un FinFET	
N_{lor}	Nombre de lorentziennes	
N_{NW}	Nombre de fils d'un GAA NW-FET	
N_{ox}	Nombre de charges dans l'oxyde	
p	Concentration de trous libres	$[\text{m}^{-3}]$
p_1	Concentration de trous lorsque $E_T \approx E_F$	$[\text{m}^{-3}]$
p_i	Concentration intrinsèque de trous	$[\text{m}^{-3}]$
q	Charge électrique élémentaire, $q = 1,602176565 \cdot 10^{-19}$ C	$[\text{C}]$
Q_0	Charge surfacique parasite d'interface	$[\text{C}/\text{m}^2]$
Q_m	Charge surfacique correspondant à la mobilité maximale μ_m	$[\text{C}/\text{m}^2]$
Q_{inv}	Charge surfacique dans la zone d'inversion	$[\text{C}/\text{m}^2]$
Q_{ox}	Charge surfacique de pièges d'oxyde	$[\text{C}/\text{m}^2]$
R_D	Résistance de la zone de drain	$[\Omega]$
r_D	Résistance dynamique de la zone de drain	$[\Omega]$
R_S	Résistance de la zone de source	$[\Omega]$
r_S	Résistance dynamique de la zone de source	$[\Omega]$
$R_{accès}$	Résistance d'accès ($R_{accès} = R_S + R_D$),	$[\Omega]$
$r_{accès}$	Résistance d'accès dynamique ($r_{accès} = r_S + r_D$),	$[\Omega]$
R_{ch}	Résistance du canal	$[\Omega]$
r_{ch}	Résistance dynamique du canal	$[\Omega]$
R_{tot}	Résistance totale ($R_{tot} = R_S + R_{ch} + R_D$),	$[\Omega]$
r_{tot}	Résistance dynamique totale ($r_{tot} = r_S + r_{ch} + r_D$),	$[\Omega]$
S_r	DSP de fluctuations de résistance	$[\Omega^2/\text{Hz}]$
$S_{i,ch}$	DSP du bruit en courant dans le canal	$[\text{A}^2/\text{Hz}]$
$S_{i,d}$	DSP du bruit en courant de drain	$[\text{A}^2/\text{Hz}]$
$S_{i,r,D}$	DSP du bruit en courant dans la zone du drain	$[\text{A}^2/\text{Hz}]$
$S_{i,r,S}$	DSP du bruit en courant dans la zone de la source	$[\text{A}^2/\text{Hz}]$
$S_{Q_{ox}}$	DSP de fluctuations de charges dans l'oxyde	$[\text{C}^2/\text{Hz}]$
S_{v_g}	DSP du bruit en tension de grille	$[\text{V}^2/\text{Hz}]$

$S_{v_{fb}}$	DSP du bruit la tension de bandes plates	[V ² /Hz]
SS	Inverse de la pente sous le seuil (<i>Subthreshold Swing</i>)	[V/A]
T	Température	[K]
t_{BOX}	Épaisseur de l'oxyde enterré	[m]
t_{ox}	Épaisseur d'oxyde	[m]
t_{Si}	Épaisseur du film actif (silicium)	[m]
V_B	Tension de substrat (bulk)	[V]
V_D	Tension de drain	[V]
v_d	Vitesse de déplacement des porteurs de charge électrique	[m/s]
V_E	Tension d'Early	[V]
V_G	Tension de grille	[V]
V_P	Tension de pincement du canal	[V]
V_S	Tension de source	[V]
V_t	Tension de seuil de charge	[V]
$V_{DS,sat}$	Tension de saturation	[V]
V_{DS}	Tension drain-source	[V]
V_{FB}	Tension de bandes plates	[V]
V_{GB}	Tension grille-substrat	[V]
V_{GS}	Tension grille-source	[V]
V_{GT}	Tension grille ou <i>gate overdrive voltage</i> $V_{GT} := V_G - V_t$	[V]
$V_{t,ext}$	Tension de seuil extrapolée	[V]
W	Largeur du canal pour un canal large	[m]
W_E	Largeur effective du canal	[m]
W_m	Largeur du canal sur le masque	[m]
W_{BD}	Largeur de la zone de charge d'espace de la jonction substrat-drain	[m]
W_{BS}	Largeur de la zone de charge d'espace de la jonction substrat-source	[m]
W_d	Profondeur de la zone de déplétion	[m]
W_{fin}	Largeur de doigt d'un FinFET	[m]
W_{NW}	Largeur de fil d'un GAA NW-FET	[m]
z	Profondeur de pièges dans l'oxyde	[m]

Résumé

Étude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors FinFET et GAA NWFET sub-10 nm

Les travaux menés pendant cette thèse se concentrent sur l'étude de technologies avancées de MOSFET, plus précisément de FinFET à triple-grille et de nanofils à grille enrobante. Ils ont été fabriqués pour le nœud technologique 10 nm, suivant le même procédé de fabrication à l'exception de la fabrication d'une quatrième grille pour les nanofils. Ces composants sont étudiés en régime statique afin de déterminer les principaux paramètres de leur modèle électrique. Des études à très faible température (< 10 K) et faible tension de drain (< 1 mV) montrent la présence de transport quantique dû aux niveaux d'énergie discrets dans les bandes de conduction et de valence. L'étude du bruit électrique en $1/f$ montre une bonne maîtrise du procédé d'oxydation de la grille ainsi que le changement de mécanisme de bruit sous l'effet de transport quantique. Différentes spectroscopies de bruit basse fréquence (i.e. étude du bruit de génération-recombinaison en fonction de la température) ont permis d'identifier les pièges contenus dans le film de silicium, donnant ainsi la possibilité d'incriminer les étapes de fabrications les plus critiques.

Study of carrier transport phenomena and of low frequency noise as a function of the temperature in sub-10 nm FinFETs and GAA NWFETs

The work led within this thesis focuses on the study of advanced MOSFET technologies, more precisely of triple-gate FinFETs and Gate-All-Around nanowire FETs. They were fabricated for the 10-nm technological node, following the same recipe except for the build of a fourth gate in nanowire devices. The devices have been studied in static regime in order to determine the main parameters of their electrical model. Low temperature (<10 K) and low drain voltage (1mV) studies highlighted the existence of quantum transport that is due to discrete energy levels within the conduction and valence bands. The study of the $1/f$ noise testifies the good control of the gate oxidation process and evidences a change in the noise mechanism under quantum transport. Numerous low frequency noise spectroscopies (i.e. study of the generation-recombination noise as a function of the temperature) let us identify silicon film traps, thus giving indication of the critical process steps that are responsible for the generation-recombination noise.

Discipline : Electronique, Microelectronique, Optique et Lasers, Optoélectronique Microondes.

Mots-clés : Transistor ; MOSFET ; FinFET ; nanofil ; bruit électrique ; spectroscopie ; défaut ; transport quantique.

Laboratoire : GREYC (Groupe de Recherche en Informatique, Image, Automatique et Instrumentation de Caen), Équipe Électronique.