



HAL
open science

Contribution to condition monitoring of Silicon Carbide MOSFET based Power Module

Malorie Hologne

► **To cite this version:**

Malorie Hologne. Contribution to condition monitoring of Silicon Carbide MOSFET based Power Module. Electric power. Université de Lyon, 2018. English. NNT : 2018LYSE1317 . tel-02061648

HAL Id: tel-02061648

<https://theses.hal.science/tel-02061648v1>

Submitted on 8 Mar 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N° d'ordre NNT : 2018LYSE1317

THÈSE DE DOCTORAT DE L'UNIVERSITÉ DE LYON

opérée au sein de
l'Université Claude Bernard Lyon 1

École Doctorale ED160
Electronique, Electrotechnique, Automatique

Spécialité de doctorat : Génie Electrique

Soutenue publiquement le 13/12/2018, par :
Malorie Hologne

Contribution to condition monitoring of Silicon Carbide MOSFET based Power Module

Devant le jury composé de :

Péra Marie-Cécile, Professeur, Université de Franche-Comté	Présidente du jury
Wang Jiabin, Professeur, Université de Sheffield (UK)	Rapporteur
Castellazzi Alberto, Professeur associé, Université de Nottingham (UK)	Rapporteur
Lesecq Suzanne, Directrice de recherche, CEA de Grenoble	Rapporteuse
Berkani Mounira, Maître de conférence, Université Paris Est Créteil	Examinatrice
Venet Pascal, Professeur, Université Claude Bernard Lyon 1	Examineur
Razik Hubert, Professeur, Université Claude Bernard Lyon 1	Directeur de thèse
Asfaux Pacal, Ingénieur, Airbus	Invité
Dupont Laurent, Chargé de recherche, IFSTTAR	Invité
Clerc Guy, Professeur, Université Claude Bernard Lyon 1	Invité
Allard Bruno, Professeur, INSA Lyon	Invité

UNIVERSITÉ CLAUDE BERNARD – LYON 1

Président de l'Université	M. Frédéric FLEURY
Président du Conseil Académique	M. Hamda BEN HADID
Vice-président du Conseil d'Administration	M. Didier REVEL
Vice-président du Conseil Formation et Vie Universitaire	M. Philippe CHEVALIER
Vice-président de la Commission Recherche	M. Fabrice VALLÉE

COMPOSANTES SANTÉ

Faculté de Médecine Lyon Est – Claude Bernard	Directeur : M. Gilles RODE
Faculté de Médecine et de Maïeutique Lyon Sud – Charles Mérieux	Directrice : M ^{me} Carole BURILLON
Faculté d'Odontologie	Directrice : M ^{me} Fabienne CAZET
Institut des Sciences Pharmaceutiques et Biologiques	Directrice : M ^{me} Christine VINCIGUERRA
Institut des Sciences et Techniques de la Réadaptation	Directeur : M. Xavier PERROT
Département de formation et Centre de Recherche en Biologie Humaine	Directrice : M ^{me} Anne-Marie SCHOTT

COMPOSANTES ET DÉPARTEMENTS DE SCIENCES ET TECHNOLOGIES

Faculté des Sciences et Technologies	Directeur : M. Fabien DE MARCHI
Département Biologie	Directrice : M ^{me} Kathrin GIESELER
Département Chimie–Biochimie	Directrice : M ^{me} Caroline FELIX
Département Génie Electrique et des Procédés	Directrice : M ^{me} Rosaria FERRIGNO
Département Informatique	Directeur : M. Behzad SHARIAT
Département Mathématiques	Directeur : M. Ita'IBEN YAACOV
Département Mécanique	Directeur : M. Marc BUFFAT
Département Physique	Directeur : M. Jean-Claude PLENET
UFR Sciences et Techniques des Activités Physiques et Sportives	Directeur : M. Yannick VANPOUILLE
Observatoire des Sciences de l'Univers de Lyon	Directrice : M ^{me} Isabelle DANIEL
Polytech Lyon	Directeur : M. Emmanuel PERRIN
École Supérieure de Chimie Physique Électronique	Directeur : M. Gérard PIGNAULT
Institut Universitaire de Technologie de Lyon 1	Directeur : M. Christophe VITTON
École Supérieure du Professorat et de l'Éducation	Directeur : M. Alain MOUGNIOTTE
Institut de Science Financière et d'Assurances	Directeur : M. Nicolas LEBOISNE

Contents

1	Silicon Carbide MOSFET based power module	7
1.1	Power module composition and functions	7
1.1.1	Power converter in an aircraft energy system	7
1.1.2	Power modules	12
1.1.3	SiC/Si MOSFET	13
1.2	Failure modes of SiC MOSFET based power module	16
1.2.1	Overview of failure modes: Basic notions	16
1.2.2	Failure modes of SiC MOSFET chip	17
1.2.3	Packaging and chip environment issues	19
1.3	Project technical choices and study focuses	25
1.3.1	Project specifications for module design	25
1.3.2	<i>I²MPECT</i> power modules designs	27
1.3.3	Expected failure modes	29
1.4	Conclusion	30
2	Triggering and detection of failure modes	31
2.1	Reliability study requirements	32
2.2	State of the art: how to trigger and detect a failure mode	34
2.2.1	Main failure mechanism causes	35
2.2.2	Failure mechanism precursors	46
2.2.3	conclusion	54
2.3	Condition monitoring set-up	55
2.3.1	Condition monitoring approach	55
2.3.2	Specific modules designed for condition monitoring tests	58
2.3.3	Tests presentation	59
2.3.4	TSEP choice and use	61
2.3.5	Choice of failure mode indicators	62
2.4	Conclusion	65
3	Test benches for accelerated tests	67
3.1	HTGB test	69
3.1.1	Protocol	69
3.1.2	Characterization processes	71
3.1.3	Conclusion on HTGB tests	76
3.2	Power Active Cycling (PAC) test bench	80
3.2.1	Test bench description	80
3.2.2	Focus on characterization phases	85

3.2.3	Test protocol in PAC test bench	92
3.2.4	Multiphysics approach in condition monitoring	98
3.2.5	Conclusion on the PAC test bench	101
3.3	Conclusion	102
4	Data analysis towards prognosis	103
4.1	Study issues in terms of data analysis	105
4.2	From raw data to ageing features	107
4.3	Parameters analysis	110
4.3.1	Parameters correlation to ageing	110
4.3.2	Information contained in parameters drift	113
4.3.3	Feature selection	114
4.4	Estimation of the Remaining Useful Lifetime (RUL)	115
4.4.1	Problem reduction (PCA) and classes construction	117
4.4.2	Comparison of several methods of supervised classification on learning data	119
4.4.3	Prognosis approach	124
4.5	Conclusion and outlook	128
5	Conclusions and perspectives	131
A	Datasheet of tested dies	137
B	Matlab algorithm for Miller plateau extraction	157
C	Labview interface for accelerated tests	161
C.1	TSEP calibration	161
C.2	Double-pulse phase with LabVIEW	163
C.3	Cycling profile	163
C.4	Cycling process	164

List of Figures

1	Global view of the complete converter (Safran’s picture)	2
1.1	Evolution of electric parts in large commercial airliner [9]	8
1.2	Global hydraulic, pneumatic and electric grid in A330 and MEA (A380) [55] .	10
1.3	Views of a complete converter (Labinal Power Systems)	11
1.4	Cross-sectional view of a power module [85]	12
1.5	Comparison between Si and SiC component in terms of power density and switching frequency [50]	13
1.6	Losses in Si and SiC components [56]	13
1.7	Temperature versus voltage withstand [12]	14
1.8	Structure of a SiC DMOSFET [67]	14
1.9	Threshold voltage of SiC MOSFET compared to Si MOSFET according to doping concentration [56]	15
1.10	(a) Modelisation of a planar SiC MOSFET with (b) a zoom on the Gate oxide field application during Gate stress [33], (c) Health and damaged gate oxide and (d) damaged gate oxide zoomed [60]	18
1.11	Effect on Gate voltage after several short-circuits [56]	19
1.12	Failure modes distribution [16]	20
1.13	Intermetallic growth at metallization and wire bond interface [16]	20
1.14	Wire bond lift off illustration [85] [16]	21
1.15	Wire bond cracking [44] [85]	21
1.16	Electromigration mechanism creating voids in conductors [16]	21
1.17	Pressed power module without wire bond for power transmission [32]	22
1.18	metallization reconstruction phenomena: (a) health surface and (b) damaged surface [32]	22
1.19	Cracks in solder layer [53]	23
1.20	Cracks in Direct Bonded Copper (DBC) [44]	23
1.21	Power module geometrical modification, between (a) and (b), to improve commutation loop stray inductance [82]	26
1.22	Power module manufactured by SIEMENS	27
1.23	Power module manufactured by DYNEX	28
1.24	Comparative study on CREE, STmicroelectronics and ROHM SiC MOSFETs [6]	29
2.1	Failure modes and Effect Analysis principle [18]	33
2.2	HTGB test circuit, (a) circuit part for stress application, (b) circuit part for measurement [23]	35
2.3	Threshold voltage drift, (a) during an HTGB test and (b) during a switching test [23]	36

2.4	Threshold voltage drift measurement, (a) during an HTGB test and (b) after a recovery time for several HTGB stresses [36]	37
2.5	Threshold voltage drift measurement during a NGBT stress [65]	37
2.6	HTRB test bench in [60]	38
2.7	Threshold voltage drift measurement during a HTRB stress [6] (error rates included)	38
2.8	Short-circuit test, (a) schematic circuit in [59] [49], (b) schematic circuit and (c) test bench in [19]	39
2.9	Illustration of Power MOSFET thermally stable and unstable operation depending on bias and load conditions [19]	40
2.10	Power cycling notions [42]	41
2.11	DC conventional power cycling test circuit (a); control signal, power and temperature waveforms (b); DC power cycling circuit with saturation mode of DUT (c) and AC power cycling circuit (d) [26]	42
2.12	Illustration of ΔT and T_{min} influence on the plastic strain increment in die attach [25]	43
2.13	Electrical circuit in relation to radiation tests [41]	44
2.14	Gate leakage current according to gate voltage after radiation [41]	44
2.15	Ageing precursors during an HTRB test [60]	46
2.16	Ageing precursors during an HTGB test: (a) Threshold voltage, (b) Drain current, (c) On state resistance and (d) capacitance C_{iss} [24]	47
2.17	Precursor of wire bond lift-off mechanism: V_{CE} for an IGBT module [10]	48
2.18	Schematic 2-D vertical cross section throught the temperature sensor with one terminal in the MOSFET structure [13]	50
2.19	(a) Resistivity and (b) current in the integrated sensor according to temperature [13]	50
2.20	Simplified 3-D model for junction temperature determination with NTC mapping [86]	51
2.21	Optic fiber insertion in power module for junction and case temperature direct measurement [40]	51
2.22	TSEP calibration [84]	53
2.23	Electro-thermal reduced model of a power module [84]	53
2.24	Condition monitoring logical diagram	56
2.25	Condition monitoring approach for IGBT power module [62]	57
2.26	Specific test module from SIEMENS for the reliability study	58
2.27	Specific test module from DYNEX for the reliability study	59
2.28	Test plan of the complete study	60
2.29	Succession of several cycling and characterization phases	60
2.30	Temperature sensitivity of transconductance	61
3.1	Use of the several experimental ressources	68
3.2	Electrical circuits to measure the threshold voltage: (a) with a Drain to Source voltage and (b) with Gate and Drain short-circuited	69
3.3	High Temperature Gate Bias test circuit on C2M0080120D from WOLFSPEED	70
3.4	Test plan for characterization during HTGB ageing	71
3.5	I_{DS} vs V_{DS} pulse measurement by the B1505 for the SIEMENS test module N°2 (measurement at ambient temperature 25°C)	72

3.6	Threshold voltage evaluation (I_{DS} vs V_{GS}) with B1505, $V_{DS}=10V$, on a C2M0080120D device at 25 °C	73
3.7	Threshold voltage evaluation (I_{DS} vs V_{GS}) with B1505, $V_{DG}=0V$, on a C2M0080120D device at 25 °C	73
3.8	Typical electrical signals during a SiC power MOSFET turn-On	74
3.9	Setup to measure the Gate voltage turn-On: (a) test bench and (b) electrical circuit	75
3.10	Threshold voltage evaluation according to temperature for 2 stress conditions (Healthy and after 424h of HTGB)	76
3.11	Automated routine to detect the Miller ‘pseudo-plateau’ on the V_{GS} turn-On curve (Healthy packaged MOSFET C2M0080120D at 25 °C)	77
3.12	Miller plateau identification and its associated polynomial fitting fonctions	78
3.13	Rise time definition	78
3.14	(a) electrical circuit of PAC test bench and (b) module configuration for TSEP calibration	81
3.15	(a) Electrical circuit and (b) logical diagram of the PAC test bench	82
3.16	Timeline of different phases in the PAC test	83
3.17	Caption of V_{GS} and I_{GS} during turn-on	84
3.18	Focus on the TSEP measurement after the heating phase in odd cycles: electrical and thermal aspects	85
3.19	Transconductance at ambient temperature for different gate charge state	86
3.20	Transconductance at ambient temperature after different negative Gate voltage application, after a bias at $V_{GS}=15$ V during 10 minutes (C2M0080120D)	87
3.21	Exerimental setup for TSEP calibration	88
3.22	Gate voltage and Drain current measurement methods	88
3.23	Transconductance and curve fittings (Test module TM2)	89
3.24	Temperature map from calibration (First calibration of TM4)	90
3.25	Focus on the ‘‘Double Pulse’’ phase after heating phases in even cycles (2, 4, 6...)	91
3.26	Protocol inside the PAC test bench	92
3.27	Observation: (a) Healthy MOSFET (TM2), (b) Failed MOSFET (TM2), (c) Failed MOSFET with top metallization lift-off (TM3) and (d) Gate of a MOSFET with a manufacturing defect (TM8)	93
3.28	(a) Damaged MOSFET connections with needles and (b) Zoom on the MOSFET	94
3.29	Network plot: (a) in healthy state (TM2), (b) with degraded performances due to a partial Gate oxide perforation (TM2) and (c) for a destructed MOSFET due to the internal diode breakdown (TM3)	94
3.30	$I_{DS_{off}}=f(V_{DS})$ characteristics: (a) MOSFET with healthy conduction path (TM4) and (b) MOSFET with a degraded conduction path (TM8)	95
3.31	$I_{DS}=f(V_{GS})$ transconductance for a MOSFET with a damaged conduction path (TM8)	95
3.32	$I_{GS_{off}}=f(V_{GS})$ characteristics: (a) MOSFET with healthy Gate oxide (TM8) and (b) MOSFET with a degraded Gate oxide (TM2)	96
3.33	Cross-section view by a SEM of a top metallization lift-off (Characterization realized by Siemens)	97
3.34	PAC test bench functions, more detailed in Annex C	98
3.35	Structure of a strain gauge [37]	99
3.36	Strain evaluation with a SG [37]	99

3.37	TM7 instrumented with a strain gauge	100
3.38	Strain measurement during power module TM7 lifespan	100
4.1	Feature selection method for diagnosis and prognosis	103
4.2	Parameters treatment for classification	104
4.3	Results of PAC test	105
4.4	Modules lifespan according to the thermal stress level	106
4.5	Occurrence of failure impact according to stress level	106
4.6	Logical process of data treatment to transform raw data into signals of features	108
4.7	Principle of cycles harmonization to obtain 50 signals at the same time scale	109
4.8	Filtering method based on moving average principle (example of On-state resistance during TM2 lifespan)	110
4.9	Examples of scatter diagrams with different values of Pearson correlation coefficient (ρ) [73]	111
4.10	Calculation of Pearson and Spearman coefficient on the same signal [46]	112
4.11	Calculation of Pearson and Spearman coefficient on a random signal [46]	112
4.12	Example of two signals correlated to the time	113
4.13	Approach for RUL evaluation based on ageing precursors classification	116
4.14	Construction of classes for learning phase	117
4.15	3-D representation of the 120 samples of the signature according to the 4 learning classes	118
4.16	Principle of the SVM methods [77]	119
4.17	Confusion matrix of the SVM fine Gaussian method applied to the 120 learning samples	120
4.18	Fine Gaussian separation principle of two classes in a 2D random example	121
4.19	Principle of the kNN methods	121
4.20	Confusion matrix of (a) Fine kNN method and (b) Subspace kNN method applied to the 120 learning samples	122
4.21	Neural Network modelisation of S_{10} in order to attribute the 4 classes	122
4.22	Neural Network confusion matrices issued from the learning phase (84 signatures), from the validation phase (18 signatures) and from the test phase (18 signatures) gathered in the all confusion matrix view	123
4.23	Application of the Subspace kNN model on new data issued from TM10 (55% of efficiency)	124
4.24	Application of the Neural Network model on new data issued from TM10 (96% of efficiency)	125
4.25	Classification method for signature extracted from an unknown module	125
4.26	Classification of signatures from TM10 during its healthy state	126
4.27	Classification of signatures from TM10 around 30% of its lifespan	127
4.28	Classification of signatures from TM10 around 60% of its lifespan	127
4.29	Classification of signatures from TM10 at the end of its lifespan	128
5.1	Threshold voltage shift as a function of radiation dose with different HTGB time, compared to the value right before the radiation experiment. Transparent symbols present data measured after annealing.	134
5.2	Classes attribution for signatures extracted from a power module after an ageing test (module not use in the learning database (TM10))	134

C.1 LabVIEW interface for hot plate temperature regulation	161
C.2 LabVIEW interface for transconductance recording	162
C.3 Driver signals and electrical parameters measurement	163
C.4 Temperature map obtained thanks to TSEP	164
C.5 Heating cluster for the choice of self-heating current	164
C.6 Cycling interface of LabVIEW	165

List of Tables

1.1	Electrical module specifications (<i>I²MPECT</i>)	25
1.2	Thermal and mechanical specifications	26
1.3	Initial objectives in terms of reliability	26
1.4	Chosen material for module	27
2.1	Summary of physics of failure reliability related of SiC MOSFET power modules extracted from [58]	34
2.2	Precursors for Gate oxide issues under several stresses	48
2.3	TSEP candidates for the condition monitoring of an IGBT power module [48] .	52
2.4	TSEP comparative study for condition monitoring on a MOSFET-based module [35]	52
2.5	Failure modes: Causes, mechanisms and precursors	54
2.6	TSEP candidates comparison in terms of accessibility	55
2.7	Ageing parameters extracted or calculated from “Vgslow” file	62
2.8	Ageing parameters extracted from Dpulse and Miller files	64
3.1	Monotonous evolution of precursors for Gate issues	79
4.1	Entropy calculation for correlated parameters of each tested module	114
4.2	Comparison of some SVM methods efficiency for supervised classification	120

Remerciements

Je tiens à remercier monsieur Wang, professeur à l'université de Sheffield (UK), monsieur Castellazzi, professeur associé à l'université de Nottingham (UK), ainsi que madame Lesecq, directrice de recherche au CEA de Grenoble pour avoir accepté de rapporter mon travail de thèse.

Je remercie tout particulièrement madame Péra, professeur à l'université de Franche Comté d'avoir très efficacement présider le jury de ma soutenance malgré son grand nombre de membres. Je la remercie d'avoir su jauger la quantité de travail réalisée et les difficultés rencontrées durant ces travaux.

Je remercie madame Berkani, enseignant-chercheur à l'université Paris Est Créteil et monsieur Venet, professeur à l'université Claude Bernard Lyon 1 pour leur implication dans leur rôle d'examineur de mon travail.

Je remercie mon directeur de thèse, Hubert Razik, professeur à l'université Claude Bernard Lyon 1 pour sa totale confiance en mes capacités de recherche, de gestion et de communication.

Je remercie chaleureusement Guy Clerc, professeur à l'université Claude Bernard Lyon 1, qui a co-encadré cette thèse et m'a permis une évolution en compétences tout au long de ces trois années grâce à un suivi régulier de mon travail et de longues heures de réflexion devant des schémas confus sur le tableau blanc de son bureau. Merci pour tout ce temps consacré.

Je tiens également à remercier Bruno Allard, professeur à l'INSA Lyon et également directeur du laboratoire Ampère sur une bonne partie de ma thèse pour son encadrement malgré son emploi du temps très encombré. Un merci tout particulier pour avoir réussi à me fournir les coups de pouces essentiels en des temps records. Merci d'avoir joué le rôle de manager sur le projet *I²MPECT* afin que le travail que je fournissais entre dans les attentes d'un projet industriel.

Comme je viens de l'évoquer précédemment, ce travail de thèse a été réalisé en collaboration avec des partenaires industriels et académiques afin de répondre à un projet du programme européen Horizon 2020. A ce titre, je remercie la commission européenne du financement qui a permis tout ce projet. Je remercie également les partenaires avec qui j'ai le plus travaillé, notamment Joachim Mertz, notre manager, Anne Harris, ingénieur Dynex (UK) and Oliver Raab, ingénieur Siemens (D). J'ai particulièrement travaillé avec Siemens sur les deux dernières années de ma thèse et Oliver a su être un partenaire de travail efficace. Merci pour toutes les

prises en compte de mes besoins dans les prototypes fabriqués.

Au sein de ce projet, le laboratoire Ampère était lié au laboratoire du CETHIL (INSA Lyon) afin d'apporter plusieurs compétences au projet. Mon sujet étant à la frontière de la discipline des deux laboratoires par plusieurs aspects j'ai beaucoup collaboré avec ces membres et je dois dire que ça a toujours été un plaisir. Merci Antoine pour ton travail qui m'a permis de bien comprendre les enjeux de l'aspect thermique au début de mes travaux. Merci aussi pour la régulation thermique du banc expérimental (surtout connaissant les variations en température de la salle de manipulation...). Merci à Ronnie, nous n'avons pas réellement travaillé ensemble mais très souvent représenté le partenaire INSA aux réunions semestrielles du projet, on a toujours bien rigolé, merci pour ta bonne humeur et ton optimisme. Je voulais finir ces remerciements "cethilien" en remerciant Jacques Jay. Merci d'avoir porté ce grand intérêt sur mes travaux durant ces trois années. Ton air émerveillé à chaque nouveau pas franchi à été très réconfortant pour moi (tout autant que les tasses de thé en vrac dans la salle de pause du CETHIL!).

Mon laboratoire d'accueil, le laboratoire Ampère, a également été le siège de belles rencontres au fil des trois années de ce doctorat. Je vais commencer par remercier Pascal Bevilacqua, l'ingénieur du laboratoire. Pascal a été mon support technique sur la réalisation expérimentale de mes travaux, il m'a appris à souder, il m'a appris à faire une carte de driver... et j'en passe je pourrais faire deux pages de ce que j'ai appris avec Pascal. Je le remercierai jamais assez de tout le temps qu'il a consacré à faire avancer la réalisation de ce banc à mes côtés (sauf peut être avec son poids en chocolat noir ...). Je pense pouvoir dire qu'apprendre toutes ces choses a été la partie la plus intéressante de ma thèse, j'ai passé de bons moments devant cette paillasse. Merci pour tout ça !

Les belles rencontres, elles se sont aussi faites avec le PAF (oui maintenant que j'ai fait trois ans de conseil de laboratoire, les acronymes c'est du gâteau !). Merci à Sandrine, Maguy, Edwige, Anne-Cécile, Bérengère et Michelle pour votre efficacité, votre rigueur, tout est toujours nickel. Merci également pour votre enthousiasme et votre bonne humeur, je sais que ce n'est pas toujours le positionnement le plus facile, on se repose tous sur vous.

Les belles rencontres elles se poursuivent dans les couloirs avec les collègues permanents et doctorants. Il n'y a de différence que le titre quand on se retrouve tous une fois par semaine en "réunion de cohésion" autour d'un verre. Merci pour cet accueil chaleureux et ces moments festifs partagés. Merci Christian, Charles, Fabien, Hervé, Oriol, Lulu, Rémy, Florian, Shiqin, Besar, J-B, Dominique, Pierre, Roberta, Edgar.... Le principe de la cohésion c'est qu'elle est ouverte au plus grand nombre alors on va s'arrêter là. Merci également à Sabina, doctorante sur autre école doctorale mais rencontrée à l'occasion de formation transverse. On a fait beaucoup de chemin depuis ce premier cours d'anglais, merci d'avoir été présente durant ces trois années.

Les belles rencontres, en tout cas les plus fortes, elles se vivent dans le bureau. On a vécu tellement de trucs ensemble que ça va être dur d'en faire un résumé en quelques lignes. Merci Aurélien, Maxime et Sébastien pour m'avoir accueillie dans votre bureau. Vous avez été là dans tout les bons et les mauvais moments, j'ai trouvé plein de choses durant cette thèse mais j'ai surtout trouvé des amis. Merci pour ça et j'espère que ça n'est pas fini !

A l'heure où j'écris ces remerciements, j'ai déjà entamé un début de nouvelle vie avec un nouveau travail. Je suis depuis 6 mois enseignant chercheur à l'ECAM Lyon. J'y ai trouvé une équipe accueillante qui m'a beaucoup ménagée pour que je finisse de soutenir cette thèse sereinement mais surtout j'y ai retrouvé une autre doctorante Ampère. Merci Nagham pour ta gentillesse et ta disponibilité, je n'ai jamais collaboré avec toi lorsque nous étions au laboratoire mais je suis contente de faire équipe avec toi aujourd'hui et je suis sûre que nous allons réaliser de grandes choses.

Je souhaite terminer ces remerciements avec ceux qui constituent les bases de ce que l'on est, la famille et les amis. Je remercie d'abord mes parents d'avoir toujours cru en mes capacités et m'avoir permis de toujours viser plus haut. Et puis surtout maman pour les longues heures au téléphone quand y'a un passage à vide (et on va pas mentir en thèse y'a des passages à vide). Je tiens à remercier ma soeur Maggy, également enseignant chercheur à Lyon 1, une proximité géographique et professionnelle qui nous a beaucoup rapprochées durant cette thèse. On a 16 ans d'écart mais ces trois années passées ensemble nous ont fait rattraper le temps perdu. Merci pour ton accompagnement et ton soutien. Je remercie mes soeurs Maryline et Coralie ainsi que leur maris Aurélien et Julien, pour avoir su m'offrir des petits moments de joies en famille avec mes neveux et nièces, moments qui ont été essentiels pour remonter les fameux passages à vide. On dit toujours que quand on est tout seul on avance moins bien. Je voudrais rebondir sur cette phrase, en remerciant Pierre Blondel, mon meilleur ami qui a entrepris l'aventure thèse à l'autre bout de la France en même temps que moi. C'est super d'avoir pu vivre ça avec toi, merci pour toute la compassion dont tu as pu faire preuve.

Je souhaite consacrer ce dernier paragraphe à la personne qui partage ma vie tous les jours. Merci Quentin ! Nous avons fait un bon bout de chemin en parallèle de cette thèse puisque nous nous sommes mariés l'an dernier. Je concède que mon moral n'a pas été au beau fixe chaque jour et que sans le soutien et le réconfort que tu m'as apporté, je n'aurais peut être pas eu la confiance en moi pour achever tout ce travail. Je suis quelqu'un de très perfectionniste et le retour imparfait du travail de recherche qui est par définition exploratoire a été très difficile à accepter pour moi. Merci Quentin pour avoir su démêler les noeuds que se faisait mon cerveau face à ces problématiques en m'apprenant à rationaliser et à voir ce que j'apportais afin de comprendre que, en fait, je progressais dans mon travail. Merci de m'avoir appris à avoir confiance en moi et en mes capacités.

Abstract

More electrical aircraft requires power modules of higher performances, especially in terms of reliability with a control of lifetime. The replacement of hydraulic and pneumatic systems by electric actuators and their associated converters is the present trend to reduce maintenance cost and fuel consumption. Adding more electric components is also thought as a good way to increase reliability in systems. Reliability is still analysed from accelerated stress cycles. A large volume of data must be obtained in various conditions to assert a pertinent extrapolation of remaining lifetime during operation. A trend is to embed some condition monitoring functions in power modules to help predict the remaining lifetime. This approach is the field of hardware developments with respect to sensors and decorrelation methods but mainly dedicated to one particular failure. When the power semiconductor device is considered as mostly reliable like an IGBT, the lifetime of the power module is related to weaknesses in materials and interfaces in the various interconnections. Indeed, the global thermal impedance of the module is a strong indicator of any incipient defect, hence much literature about junction temperature evaluation from temperature-sensitive-electrical parameters (TSEPs) and compact thermal models. Condition monitoring will then be obtained from combination of 3 issues: first the temperature cycling is evaluated generally with a rainflow algorithm, second some damage accumulation is computed from models, and third remaining lifetime is deduced from a combining algorithm. However, in the case of power modules with new geometries, new fabrication process and materials or immature power devices like SiC MOSFETs, a different approach must be considered.

This thesis presents an overview of the expected failure modes in the new power module. Then it is discussed how triggering realistic failure modes in an accelerated way, to be able to work on failure indicators in laboratory conditions (industry-oriented power modules but at early age of maturity). A test plan has been drawn from other studies in literature to realise a learning phase during which many indicators (TSEPs) are monitored on a dedicated test bench. A failure signature is then identified, thanks to data analysis tools, for several accelerating ageing profiles. This signature could then be used in normal operating conditions to determinate the state of health of the power module.

Résumé

L'avion plus électrique demande des modules de puissances de plus en plus performants dans les domaines de la fiabilité et de la maîtrise de la durée de vie restante. Le remplacement des systèmes hydrauliques et pneumatiques par des actionneurs électriques et leurs convertisseurs associés est, aujourd'hui, un moyen efficace de réduire les coûts de maintenance et la consommation de carburant. L'ajout de composantes électriques est également un bon moyen d'augmenter la fiabilité des systèmes. La fiabilité est toujours étudiée à partir de contraintes cycliques accélérées. Une large quantité de données doit être obtenue dans des conditions variées pour extraire une estimation de la durée de vie restante en fonctionnement qui soit le plus pertinente possible. La tendance actuelle est d'embarquer des fonctions de suivi de l'état de santé dans les modules de puissance pour permettre la prédiction de la durée de vie restante. Cette approche implique des modifications du circuit afin de mettre en place des capteurs et est souvent dédiée à un mode de défaillance en particulier. Quand le module de puissance est considéré comme plutôt fiable (IGBT), la durée de vie des modules de puissance est liée aux défauts dans les matériaux et les interconnexions. Dans ce cas, l'impédance thermique du module est un bon indicateur de défaut. Il est calculé à partir de la température de jonction qui peut être estimée par des paramètres électriques thermo-sensible (PETS) ou par un modèle thermique compact. Ensuite, le suivi de l'état de santé se traduit en trois étapes : la température de cyclage est calculée, généralement avec un algorithme de rainflow, puis des modèles permettent de traduire l'accumulation de dégradation et enfin la durée de vie restante est déterminée par un algorithme combiné. Cependant, dans le cas de modules présentant de nouvelles géométries, de nouveaux processus de fabrication ou des technologies immature de puce, comme le MOSFET SiC, une approche différente doit être considérée.

Cette thèse propose une vue d'ensemble des modes de défaillance attendus dans ce nouveau module de puissance. Il est ensuite question de la manière de déclencher des modes de défaillances réalistes grâce à des tests accélérés, pour être capable de travailler sur des indicateurs de défauts en condition de laboratoire sachant que les modules de puissance sont développés dans une optique industrielle mais sont peu matures. Un plan de test a ensuite été déterminé à partir de la littérature pour réaliser une phase d'apprentissage dans laquelle plusieurs indicateurs (PETS) sont surveillés sur un banc spécifique. Une signature de défaut est ensuite identifiée, grâce à des outils d'analyse de données, pour différents profils de vieillissement accélérés. Cette signature pourra ensuite être utilisée en mode de fonctionnement normal pour déterminer l'état de santé du module de puissance.

Résumé étendu

Cette partie propose un résumé de synthèse en français du contenu du manuscrit.

This section offers an extended summary of the manuscript content in French.

Introduction générale

Les convertisseurs de puissance sont des éléments clés pour un large spectre d'application. Leurs fonctionnalités multiples et leurs performances sont fortement appréciées dans les industries de pointe telles que l'aéronautique. L'étude présentée dans ce manuscrit propose un focus sur les modules de puissances qui composent ces convertisseurs leur permettant une grande modularité. Les enjeux actuels des convertisseurs reposent sur une augmentation des densités de puissance mais aussi sur l'évaluation de la fiabilité. C'est dans ce cadre que nous nous sommes intéressés à la problématique de fiabilité des modules de puissance. Le suivi de l'état de santé s'est rapidement imposé comme un moyen efficace pour mettre en œuvre une évaluation de la fiabilité.

Répondre aux enjeux de demain dans le monde des transports

Dans un contexte de mobilité plus électrique, de nombreux projets se sont développés autour de l'avion plus électrique. Le but de ces projets est de remplacer les systèmes de transmission hydrauliques et pneumatiques par des actionneurs électriques dans les appareils de vol. Ces actionneurs seront les terminaisons d'un nouveau réseau électrique qui sera plus puissant et plus grand que dans les appareils actuels. Les atouts d'un passage au plus électrique sont nombreux. Les systèmes électriques sont généralement plus compacts et plus légers pour une même puissance. Ils sont également facilement contrôlables et plus fiables. Ils sont considérés comme plus fiables pour plusieurs raisons : leur petite taille et leurs propriétés permettent une mise en redondance plus simple et leur niveau de maintenance est moins contraignant que pour des systèmes hydrauliques et pneumatiques. On peut également ajouter que le niveau de fiabilité d'un système complet est lié à sa complexité. Plus notre système évite de croiser différentes technologies, moins le risque de défaillance est élevé. C'est dans ce contexte que le projet Européen H2020, *I²MPECT*, a permis de travailler à la conception d'un convertisseur de puissance innovant. Dans le nouveau réseau électrique des futurs appareils, les convertisseurs seront requis à la commande de chaque actionneur. Ces éléments seront donc en grand nombre dans chaque appareil et représenteront des éléments clés en termes d'efficacité énergétique et de fiabilité du système global. Le projet *I²MPECT* a été mené par un consortium de partenaires industriels et académiques. Chaque partenaire a permis d'apporter une compétence spécifique à la conception de ce nouveau convertisseur. Le convertisseur a pu être dimensionné grâce aux spécifications techniques de Safran Electrical and Power et d'Airbus.

Les prototypes de module de puissance ont été réalisés par Siemens et Dynex. La gestion de la compatibilité électromagnétique a été étudiée par l'ETHZ et le laboratoire Ampère (sous la tutelle du partenaire INSA de Lyon). L'aspect thermique du convertisseur a été traité par le laboratoire du CETHIL (INSA de Lyon). Enfin, la partie fiabilité a été traitée par l'université de Sheffield avec un modèle de fiabilité basée sur l'acquisition de paramètres électriques thermo-sensible (PETS). Ma contribution entre également dans la partie fiabilité avec une approche différente de celle des partenaires de Sheffield.

Contexte scientifique

Le suivi de l'état de santé des actionneurs électriques est reconnu comme essentiel dans un grand nombre de publications. Les convertisseurs de puissance étant directement connectés à ces actionneurs, leur fiabilité constitue un enjeu tout aussi important. Les convertisseurs sont des éléments clés dans de nombreuses applications mais sont aussi responsables de nombreuses défaillances. Dans notre contexte, l'utilisation de technologies à large bande interdite est requise afin d'optimiser le poids, le volume et le rendement. Les composants à large bande interdite créent de grandes contraintes thermomécaniques dans leur environnement en dépit des optimisations en termes de choix des matériaux et du design. Les modèles physiques étant propres à chaque type de module de puissance, le suivi de l'état de santé de ces modules semble être la meilleure piste pour évaluer la fiabilité d'un module. La majeure partie des publications concernant les composants à large bande interdite et plus spécifiquement les composants en carbure de silicium (SiC), sont concentrées sur les performances des puces et sont réalisées en conditions de laboratoire. Les informations sur les comportements de ces nouvelles puces sont très intéressantes pour construire un suivi de l'état de santé mais les tests effectués ne peuvent bien souvent pas être mis en œuvre dans un module complet en état de fonctionnement. La puce choisie par les membres du projet est le MOSFET SiC. Son comportement étant assez différent de la technologie précédente (Si), il ne peut pas être assimilé aux modèles connus de MOSFET en silicium. Notre étude se situe à la rencontre des domaines du composant et de la conception de module. Notre approche tend à considérer le module de puissance comme une boîte noire et à travailler sur le plus grand nombre de mécanismes de défaillance possibles de la puce jusqu'aux interconnexions. Dans la littérature, les études de fiabilité se concentrant sur l'estimation d'une durée de vie restante s'appuie sur des algorithmes du type "rainflow". D'autres proposent des modèles linéaires d'accumulation de fatigue. Dans les deux cas, des tests accélérés sont utilisés pour mettre en œuvre les défauts et un modèle physique précis du module est requis. Le module utilisé dans cette étude est innovant en termes de technologie de puce, de choix des matériaux et de méthodes d'interconnexion. Donc aucun modèle de ce module n'existe pour le moment, l'approche de modélisation a rapidement été abandonnée au profit d'un apprentissage expérimental grâce à la mise en place de tests accélérés.

Méthodologie générale

La part initiale de la méthode repose sur une large étude bibliographique permettant de relever les principaux modes de défaillances pouvant s'établir dans des modules de puissances de technologie similaire. Une fois que les modes de défaillances les plus probables sont identifiés, nous recherchons dans la littérature les tests accélérés permettant de mettre au jour ces défauts en un temps réduit. Une dernière phase de recherche concerne les indicateurs de défauts, aussi appelés précurseurs. Il s'agit de grandeurs thermiques, électriques ou mécaniques qui

présentent une évolution notable au fil du vieillissement. Selon les modes de défaillances, certains indicateurs sont plus ou moins sensibles au vieillissement, il s'agira donc d'identifier les indicateurs liés aux modes de défaillance probables. Après cette phase de bibliographie, un plan de test en deux parties est mis en place. La première partie va concerner la puce elle-même avec le choix d'un test HTGB (High Temperature Gate Bias) et la seconde partie le module tout entier avec un test de cyclage actif. Ce plan de test implique la création et la réalisation de deux 2 bancs de tests spécifiques. Pour chaque banc des caractérisations ont été possibles, hors ligne pour le test HTGB et en ligne (intégrées au banc) pour le test de cyclage. Le test HTGB a été un test préliminaire au test de cyclage. Il nous a permis de tester un grand nombre de puces en parallèle pour comprendre le comportement des puces SiC et intégrer les bons choix d'indicateurs au banc de cyclage. Le test de cyclage produit, quant à lui, des bases de données importantes pour chaque module testé, comprenant 50 précurseurs de défauts potentiels enregistrés en ligne durant toute la durée du test accéléré. Ces bases de données servent de point de départ à la dernière partie de la méthodologie. Il s'agit de déterminer l'état de santé du module de puissance à partir de ces données. Le nombre de modules de tests disponible étant réduit (10 échantillons), nous ne pouvions pas nous orienter vers des méthodes statistiques classiques. Le traitement des données a été orienté vers la construction d'une signature de défaut issue d'une combinaison des paramètres obtenus précédemment. La signature a été conçue grâce à des méthodes de sélection de paramètres pour assurer la meilleure information possible en termes de vieillissement. Une phase d'apprentissage a été réalisée avec 6 modules pour créer 4 classes : Sain, 30% de durée de vie écoulé, 60% de durée de vie écoulé et fin de vie. Le but final étant de prédire le pourcentage de durée de vie restant pour un module en fonctionnement selon la classification de sa signature à un instant donné.

Problématiques

Les points évoqués dans les paragraphes précédents peuvent être formulés en deux principales problématiques :

- Etablir un suivi de l'état de santé en ligne de module de puissance à base de MOSFET en carbure de Silicium
- Etablir une signature de défaillance afin de prédire une durée de vie restante

Les objectifs qui découlent de ces problématiques sont les suivants :

- Etablir un plan de test où les modes de défaillances attendus sont déclenchés et peuvent être caractérisés en ligne par des précurseurs électriques
- Réaliser un banc de test grâce auquel les défaillances peuvent être observées à travers l'évolution de précurseurs électriques dans un test accéléré
- Construire une signature de défaillance permettant la détection du maximum de mécanismes de défaillance en utilisant des méthodes de classification afin d'estimer une durée de vie restante.

Plan du manuscrit

Le **chapitre 1** est axé sur les modules de puissance à base de MOSFET en carbure de silicium en décrivant d'abord leur composition et leurs fonctions. Une attention particulière est accordée

aux changements induits par la technologie du carbure de silicium. Le MOSFET en carbure de silicium utilisé pour cette étude présente de nombreux avantages (densité de puissance, fréquence de commutation et température d'utilisation), mais des problèmes concernant sa Grille de contrôle persistent. Ensuite, les principaux modes de défaillance observés dans les modules de puissance sont détaillés. Enfin, le module du projet est présenté afin de concentrer l'étude sur les modes de défaillance pertinents. La conception du module du projet a été étudiée afin qu'il soit optimisé en termes d'interconnexions et de conditionnement (module plan). Ainsi, le nombre de modes de défaillance attendus peut être réduit par rapport à l'étude de la littérature.

Le **chapitre 2** est dédié au déclenchement et à la détection des modes de défaillance. Un aperçu des tests accélérés existants sera présenté. Les précurseurs de défaillance les plus prometteurs seront présentés en fonction des modes de défaillance attendus. Les tests concernant les puces elles-mêmes sont d'abord examinés. Le but est de trouver un test qui permette l'extraction de paramètres de vieillissement pertinents en déclenchant un vieillissement suffisant en peu de temps. Une seconde partie est dédiée aux tests accélérés pour les modules de puissance. Ces tests sont souvent issus du cyclage thermique. Les avantages et les inconvénients de chaque type de cyclage thermique sont discutés. Une dernière partie présente le plan de test établi pour l'étude avec deux tests accélérés : HTGB et cyclage actif. Tous les précurseurs potentiels que nous voulons explorer seront décrits. Le test HTGB est réalisé afin de parfaire nos connaissances sur le comportement du MOSFET SiC souffrant d'un vieillissement de son oxyde de Grille afin d'intégrer ces informations dans le test accéléré global (cyclage actif), et faire vieillir tout le module sous cyclage thermique.

Le **chapitre 3** présente les deux bancs d'essais réalisés pour appliquer le plan de test. Les problématiques autour de la réalisation de ces bancs d'essais (comportement des modules, problèmes de mesure des précurseurs ...) sont discutées et l'utilisation des bancs d'essai est décrite. La première partie est dédiée au test HTGB et les résultats sur le comportement des MOSFET SiC sont analysés pour en extraire des précurseurs prometteurs. Une deuxième partie est dédiée à la description du banc d'essai en cyclage actif avec toutes les fonctionnalités demandées par le plan de test. Une importance particulière est apportée au protocole d'estimation de la température de jonction grâce à des paramètres électriques thermosensibles (PETS) et à la caractérisation par double impulsion afin d'enregistrer des paramètres pendant la commutation du MOSFET.

Le **chapitre 4** est consacré au traitement des données afin de construire une signature de défaillance permettant de déterminer l'état de santé du module de puissance. Ce chapitre détaille comment les données sont filtrées pour obtenir des signaux exploitables. Ces signaux sont ensuite analysés dans un processus de sélection pour extraire les signaux corrélés au vieillissement présentant le maximum d'informations. Après la phase de sélection, une signature de dimension 10 est construite et est discriminée selon 4 classes représentatives du vieillissement du module. Dans une dernière partie, les classes sont modélisées par plusieurs modèles à travers une phase d'apprentissage (machine à support de vecteurs, k-plus proches voisins, réseau de neurones) afin de prédire une durée de vie restante avec des données d'un module de test non utilisé pour construire l'apprentissage.

Chapitre 1 : État de l'art des modules de puissance constitués de MOSFET en carbure de Silicium

Les convertisseurs de puissance sont des éléments clés pour relever les défis ciblés par l'avion plus électrique. Ces objectifs visent à remplacer les systèmes hydrauliques et pneumatiques par des systèmes électriques pour optimiser le volume, le poids, l'efficacité et le coût avec une fiabilité similaire. Les charges électriques sont diverses dans un avion et un réseau électrique à courant continu avec des convertisseurs modulaires peut être la solution pour alimenter les actionneurs des volets de l'appareil au système de freinage. De nombreux projets ont été lancés au cours de ces dernières décennies pour contribuer à ce futur avion plus électrique et notamment à la conception de convertisseurs. Le projet *I²MPECT* (2015-2018) vise à concevoir un convertisseur de puissance intégré, intelligent, modulaire où tous les aspects de la conception seront traités par un consortium d'industriels et d'académiques. Cette thèse s'inscrit dans ce projet à travers une étude de la fiabilité des modules de puissance. Ce premier chapitre donne un aperçu des modes de défaillance pour les puces utilisés mais aussi pour les différents matériaux et composants utilisés. La dernière section est consacrée à la présentation du module *I²MPECT* et aux solutions qui ont été choisies pour réduire les occurrences des modes de défaillance. Les modes de défaillance résiduels pouvant survenir dans le module de puissance seront précisés.

Composition et fonctions d'un module de puissance

Les modules de puissance sont les éléments constitutifs des convertisseurs de plus en plus développés dans les réseaux de bord aujourd'hui. La première partie de cette section propose un rapide historique de l'électrification des appareils. La seconde partie propose un descriptif des éléments qui constituent le module de puissance. Enfin, une troisième partie se focalisera sur les changements induits par le passage de la technologie silicium à une technologie carbure de silicium.

De l'électrification des avions au projet *I²MPECT*

L'électrification progressive des appareils de vols initiée depuis les années 50 reste encore un défi aujourd'hui. Le premier avion commercial était simplement composé d'un réseau électrique 28 V pour une consommation totale de 27kW. La majeure partie de la consommation énergétique est assurée par des actionneurs hydrauliques et pneumatiques. Dans les années 70, l'A300 d'Airbus présentait un réseau électrique 400Hz / 115V afin de fournir 250kW de puissance électrique aux systèmes de l'appareil. On peut remarquer que la plage de fréquence utilisée n'est pas celle des installations domestiques. Une fréquence plus élevée va permettre de réduire la taille des machines électriques. Avec l'électrification, les commandes de vols ont aussi beaucoup évoluées. Dès les années 80, les cabines de pilotages ont des commandes digitales permettant un plus grand contrôle des éléments de l'appareil. Depuis l'A320 et plus récemment avec l'A330, l'électrification de l'appareil a aussi permis d'améliorer le confort des passagers avec des sièges électriques, des systèmes de vidéo et des services de cuisine. Les avions, de plus en plus électriques gagnent également en fiabilité avec des systèmes électriques pour les actionneurs, les multiples capteurs, le système de freinage ou encore le système de dégivrage des ailes. Le passage des technologies d'avion actuelles à l'avion plus électrique vont permettre de nombreuses réductions de consommation d'énergie en majeure partie dû à l'al-

lèvement de l'appareil mais aussi une réduction des coûts de maintenance avec des appareils plus simple d'entretien que l'hydraulique ou le pneumatique. Enfin, l'augmentation de la fiabilité reste un but important de l'électrification des appareils de vols. L'avion plus électrique présentera un réseau électrique continu de 350V sur lequel seront rattachés de multiples charges (actionneurs, systèmes de freinage...). Les convertisseurs vont permettre à toutes ces charges d'appartenir au même réseau en adaptant les niveaux et les types de puissance à mettre en jeu dans chaque charge. Les convertisseurs permettront également de relier un réseau de secours au besoin.

Dans cette optique d'avion plus électrique, les membres du projet *I²MPECT* se sont fixés les objectifs suivants afin de concevoir un convertisseur pertinent pour l'avion plus électrique :

- Réaliser un convertisseur compact à haute densité d'énergie (45kW, 130Arms, 10kW/Kg)
- Une haute efficacité énergétique grâce à une réduction des pertes permise par des puces de technologie à large bande interdite
- Un système de refroidissement efficace et peu volumineux
- Améliorer les aspects de fiabilité et de sûreté en préservant le poids et le volume avec un suivi de l'état de santé actif
- Assurer des coûts de maintenance réduit (modularité, facilité de maintenance)

Les modules de puissances

Les modules de puissances qui composent les convertisseurs présentent des matériaux et des technologies d'assemblage très variés. Le but de ce paragraphe est de comprendre le lien entre les éléments principaux afin de mieux appréhender les mécanismes de défaillances possibles. Nous allons grossièrement décrire les éléments du module de puissance de la base de celui-ci vers les connexions supérieures. Le module repose sur une semelle en cuivre de quelques millimètres d'épaisseur. On trouve sur cette semelle ce qu'on appelle le substrat du module. Il s'agit d'une superposition de cuivre puis de céramique puis de cuivre. Ce substrat est un isolant électrique mais un bon conducteur thermique. C'est grâce à lui que la puissance dégagée par les puces sous forme de chaleur peut être évacuée. La partie de cuivre supérieure de ce substrat représente une zone de connexion (dans le cas de puces verticales) et une broche de connexion y est soudée. On vient également y braser le Drain des puces de puissance, le plus souvent avec de l'argent. On procède ensuite à un dépôt d'isolant afin de recouvrir toute la surface de cuivre. On prend garde à laisser la partie supérieure de la puce à jour. La partie supérieure de la puce possède deux surfaces conductrices distinctes, une petite pour la Grille de commande et une plus large pour la Source du composant. Dans le cas de notre étude, la Grille permettra de mettre le composant dans deux états : soit il sera passant (commande 15V) et un courant circulera entre Drain et Source, soit il sera ouvert (commande -5V) et aucun courant ne circulera. Les surfaces de Grille et Source sont ensuite métallisées, souvent avec de l'aluminium, et les connexions supérieures sont assurées. La plupart du temps des connexions supérieures sont assurées par plusieurs petits fils en aluminium qui relient la métallisation à la broche de connexion adéquate (Grille ou Source). L'ensemble des fils de connexions est ensuite noyé dans un isolant en gel, et un boîtier plastique vient refermer le tout laissant les broches de connexions de Grille, de Drain et de Source accessibles pour la connexion du module au reste du convertisseur.

Passage de la technologie Si à la technologie SiC

Dans notre cas, les puces utilisées sont des MOSFET SiC (C2M0025120D). Ce paragraphe permet de mesurer le changement technologique entre les composants en silicium et ceux en carbure de silicium. Les puces en carbure de silicium promettent des performances de fonctionnement améliorées avec une fréquence de commutation et une densité de puissance 10 fois plus grande qu'avec une technologie silicium. De plus, les MOSFET SiC présentent un bilan énergétique très avantageux avec une réduction importante des pertes. Même si les pertes à la fermeture sont similaires dans les deux technologies, les pertes à l'ouverture du composant sont quasi-inexistantes et les pertes en conduction sont presque divisées par 4 en SiC par rapport à des transistors silicium. En termes de température d'utilisation, les puces en silicium présentant une tenue en tension de 1200V peuvent, en général, tolérer une température de jonction maximale de 200 °C. Des études sur puces nues en carbure de silicium ont montré qu'une température de jonction de 1200 °C pouvait être atteinte. Ce résultat est à prendre avec attention car les technologies d'interconnexions et les matériaux des boîtiers ne sont pas capables d'endurer de telles températures.

Le passage du MOSFET Si au MOSFET SiC a impliqué quelques modifications en termes d'architecture de la puce elle-même. En effet, pour des raisons de tension de seuil (tension minimum appliquée sur la Grille qui permet la mise en conduction du composant), la couche d'oxyde de Grille du composant en carbure de silicium est très fine. Cette finesse rend cet élément diélectrique plus fragile et peut être la source de défaillance comme expliquées dans la section suivante. Le matériau diélectrique utilisé est de l'oxyde de silicium SiO₂. Ce composé s'obtient naturellement avec le silicium par oxydation. Dans le cas du carbure de silicium, l'opération de création de l'oxyde est la même mais la présence de carbone altère la qualité de l'interface SiC/SiO₂.

Les principaux modes de défaillances des modules de puissance constitués de MOSFET SiC

Cette partie propose un tour d'horizon des modes de défaillances attendus dans les modules de puissances. Avant de se concentrer sur les modes de défaillances, il est important de définir les termes utilisés dans cette partie.

- Mécanisme de défaillance : "Le processus physique, chimique, électrique, mécanique ou autre aboutissant à une défaillance ". Les mécanismes de défaillance observés dans un module de puissance sont souvent dus à des contraintes thermiques ou mécaniques créées par les échauffements et les refroidissements successifs de la puce. Les mécanismes de défaillances sont souvent liés les uns aux autres et il est difficile de trouver un seul mécanisme de défaillance responsable d'un défaut dans un module de puissance.
- Dégradation : "La dégradation fait référence aux effets cumulatifs du stress ou du vieillissement des matériaux entraînant une diminution de la performance dans la fonction prévue ». Les mécanismes de défaillance par dégradation sont détectables par un suivi de l'état de santé et un diagnostic. Si un mode de défaillance se met en place progressivement, il est plus facile de le détecter à l'aide de dérives de paramètres. Au contraire, si un mode de défaillance est soudain, aucun pronostic ne peut être appliqué.

- Détection de la défaillance : "Le processus de décider qu'une défaillance existe". La détection de défaillance est montrée par la dégradation des caractéristiques électriques dans le module de puissance. Par exemple, si le composant ne peut pas réagir correctement à un ordre de contrôle, le module subit une défaillance.
- Précurseurs de défaillance : "Un précurseur de défaillance est un paramètre du système dont la dérive précède l'occurrence d'une défaillance ". Cette notion sera très importante dans les prochains chapitres de ce rapport. Les approches du suivi de l'état de santé et de pronostic reposent sur la dérive des précurseurs. Nous verrons au chapitre 2 comment les paramètres sont liés à des modes de défaillance spécifiques.
- Défaillance : "La performance inacceptable de la fonction demandée".
- Durée de vie restante : Remaining Useful Life (RUL) : "Le temps écoulé entre le moment présent et l'estimation du moment où le système (ou le produit) ne devrait plus remplir sa fonction prévue dans les limites des spécifications souhaitées ». Être capable d'estimer la durée de vie restante du module de puissance est l'un des objectifs finaux de l'étude.
- Mode de défaillance : "L'effet par lequel une défaillance se produit".
- Défaut : "Une cause physique ou logique interne au système qui explique un échec".

Mode défaillance du MOSFET SiC

Le principal défaut observé dans les MOSFET SiC est une perforation partielle de son oxyde de Grille. L'oxyde étant un isolant, chaque petite perforation altère ses propriétés d'isolant et suite à plusieurs accumulations de défauts de ce type, l'oxyde peut claquer, c'est-à-dire devenir conducteur. Dans ce cas, le composant n'est plus contrôlable et le convertisseur complet n'assure plus sa fonction.

Les mécanismes de défaillances responsables de la perforation de l'oxyde peuvent être nombreux. Les stress d'ordre électrique sont les plus évidents. En effet, lorsque le module subit une surtension ou encore une surintensité (lors d'un court-circuit par exemple), alors une grande quantité de chaleur est libérée. C'est cet effet thermique qui peut être un facteur dangereux pour la grille du MOSFET et favoriser sa perforation. La température est un facteur d'accélération de la plupart des phénomènes physiques et nombre d'entre eux sont susceptibles de se produire autour de l'oxyde de Grille. Un des risques concerne des possibles décharges électrostatiques. Une autre possibilité serait liée à l'impureté de l'interface SiC/SiO₂. En effet, sous l'effet de la température et des champs électriques mis en jeu certaines particules électriquement chargées pourraient migrer dans l'oxyde et altérer ainsi ces propriétés d'isolant.

Mode défaillance des éléments du module de puissance

Dans un module de puissance classique, quelle que soit la technologie intégrée, une partie des modes de défaillance est attribuée à la puce. Cependant, une partie conséquente dépend des autres composants. Une étude comparative a permis de prouver que 25% des défauts sont déclenchés par des fils d'interconnexion. D'autres interconnexions comme les brasures et les métallisations représentent 15% des défaillances et le boîtier est responsable de 5% d'entre eux. Les effets de contamination ou de diffusion représentent également 18% des modes de

défaillance. Etudier ces modes de défaillances et comprendre leur apparition est essentiel dans une approche de suivi de l'état de santé.

Les deux principaux modes de défaillances observés sur les interconnexions des modules sont le court-circuit et le circuit ouvert. Dans le premier cas, il s'agit souvent de la fonte d'un connecteur qui s'est mis en contact avec un autre connecteur, ou encore du claquage d'un isolant. Dans le second cas, il s'agit de fissurations de connecteurs ou de décollement de ces derniers. Les différents mécanismes de défaillances sont abordés ci-dessous :

Défauts des fils d'interconnexion : Plusieurs mécanismes de défaillance peuvent participer à l'altération de la fonction. Tout d'abord des phénomènes d'électro-migration peuvent venir modifier la structure de la soudure des fils d'interconnexions sur la métallisation. L'effet est en général une augmentation locale de la résistivité et donc de la température. Les effets de température favorisant le déclenchement d'autres phénomènes physiques. De plus, si la métallisation et les fils sont issus de deux matériaux différents, leur coefficient thermique d'expansion ne seront pas les mêmes et les comportements mécaniques des deux matériaux proposeront une réponse différente aux sollicitations thermique du module. En effet, lorsque la puce conduit les interconnexions chauffent et se dilatent et lorsque la puce est non-conductrice, les interconnexions refroidissent. Ce cyclage thermique peut induire l'apparition de fissure à la jonction entre deux matériaux et aboutir, dans des cas plus avancés, à un décollement des fils d'interconnexion.

Electro-migration dans les connecteurs : Sous les effets de la chaleur, les matériaux métalliques peuvent subir des migrations de particules créant des vides dans les conducteurs. Ces vides participent à l'augmentation locale de la résistivité et donc de la température ce qui peut déclencher d'autres mécanismes de défaillances.

Reconstruction métallique de la métallisation supérieure : Cette partie est une des plus exposées aux variations de température de la puce. La métallisation supérieure est souvent une couche d'aluminium très fine permettant un meilleur contact entre la puce et les fils d'interconnexions. La finesse de la couche la rend vulnérable aux effets de déformations mécaniques au sein de la matière. En effet, l'aluminium est composé de grains, à l'origine les grains sont bien alignés à la surface de la puce afin d'assurer un bon contact. Avec la chaleur la forme de ces grains s'altère et le contact est moins bon. Le mauvais contact entraîne une augmentation locale de la température et donc un risque toujours plus grand de décollement de la métallisation.

Fissure dans le report de puce : Le report de puce est selon les technologies de module, une brasure ou un frittage. Dans les deux cas, la jonction entre plusieurs matériaux dans un milieu où la température varie beaucoup est propice à l'apparition de fissures, les matériaux possédant chacun leur propre coefficient thermique d'expansion. La création de fissures entraînent une baisse de la conductivité et donc une augmentation locale de la température ne faisant qu'amplifier le phénomène.

Malgré les études de matériaux et l'évolution des technologies, les problèmes de fiabilité dans les modules de puissance sont toujours une préoccupation majeure. L'émergence de nouvelles

technologies de puces à large bande interdite, comme le carbure de silicium, impliquera plus de densité de puissance dans les modules et plus de contraintes thermomécaniques. Le MOSFET SiC présente également une faiblesse liée à la Grille, qui doit être une priorité dans l'étude de fiabilité globale du module de puissance. Cette section donne un aperçu des défauts potentiels dans le module de puissance.

Objectifs de l'étude au sein du projet I^2MPECT

L'objectif de cette section est de présenter les modules conçus par SIEMENS et DYNEX. Ces conceptions ont été optimisées en tenant compte des informations disponibles dans des projets antérieurs ou des études scientifiques pour choisir les meilleurs compromis en termes de gestion de la compatibilité électromagnétique, de la thermique et des aspects de fiabilité. Certaines technologies récentes choisies pour le module de puissance impliquent que l'apparition de modes de défaillance est toujours envisagée. Le travail de cette thèse consiste d'abord à déterminer les modes de défaillance attendus en fonction des choix technologiques du module.

Les modules conçus par les industriels du projet ne présentent pas de fils d'interconnexions. Il s'agit de modules plans dans lesquels la connexion supérieure est assurée dans un cas par un circuit imprimé flexible et dans un autre cas par une métallisation en cuivre. Cette architecture nous permet de retirer les défaillances liées aux fils d'interconnexions de notre liste de défaillances possibles. Une telle architecture va augmenter les risques d'échauffement autour de la puce, notamment pour la métallisation supérieure. Les modes de défaillances envisagés sont donc :

- La perforation de l'oxyde de Grille du MOSFET SiC
- La reconstruction métallique et/ou le décollement de la métallisation supérieure
- La fissuration ou l'électro-migration au sein des reports de puces

Conclusion du chapitre 1

Ce chapitre a permis de comprendre les défis actuels concernant la conception de convertisseur de puissance. Il a été montré comment les nouvelles technologies de puces et de matériaux peuvent augmenter la fiabilité et l'efficacité des modules de puissance. Cependant, il a également été vu que les modes de défaillance sont toujours observés dans les modules de puissance et peuvent compromettre la généralisation des systèmes d'électronique de puissance dans des systèmes complexes. Même si la conception des modules tient compte des modes de défaillance les plus courants, des mécanismes de défaillances sont toujours possibles. Le prochain chapitre détaillera comment déclencher et détecter ces modes de défaillance pour mieux comprendre leurs mécanismes et contribuer à une meilleure gestion de la fiabilité.

Chapitre 2 : État de l'art des tests de vieillissement accélérés et des précurseurs de défauts

Comprendre les mécanismes de défaillance pour améliorer la prévention et la protection a toujours été une préoccupation pour les scientifiques et les industriels. Plusieurs tests ont été créés et des normes ont émergé pour qualifier les modules de puissance et les puces. Les normes fournissent un grand panel de tests et de méthodes souvent utilisés par les chercheurs. Ils seront décrits dans ce chapitre. Les conditions des tests sont détaillées avec précision et des précurseurs de défaillance pertinents sont souvent indiqués. Pour mettre en place un pronostic en ligne sur un système, une phase d'apprentissage importante est nécessaire. Ce chapitre permettra un aperçu des tests et méthodes de déclenchement de certains modes de défaillance. Ces derniers se produisent après des mécanismes de dégradation liés à des contraintes mécaniques, électriques ou thermiques. Le but de l'analyse de la littérature est de classer quelle sollicitation conduit à quel mode de défaillance spécifique et quels sont les principaux précurseurs associés.

Pour comprendre les mécanismes d'un mode de défaillance, deux approches sont possibles. D'un côté, le module est normalement stressé jusqu'à l'apparition d'une défaillance. D'un autre côté, le module subit un niveau de contrainte plus élevé qu'en fonctionnement normal. Le but de la seconde approche est d'accélérer le processus de vieillissement pour obtenir les mêmes informations que dans un vieillissement classique. Tous les tests étudiés dans ce chapitre seront des tests de vie accélérés. Cette notion spécifique sera expliquée dans la section 1. Dans ce chapitre, nous devons garder à l'esprit l'objectif du pronostic, et donc d'étudier l'accessibilité des précurseurs proposés par la littérature.

La première section précisera quelques notions autour de la fiabilité et des tests. Puis une section sera consacrée à une étude comparative de plusieurs tests de fiabilité. Et enfin, une troisième section exposera le plan de test choisi conformément à l'objectif du projet et aux recommandations de la littérature.

Définitions des notions de fiabilité

Fournir des systèmes plus fiables a toujours été une priorité industrielle. Pour atteindre un tel objectif, de longues périodes sont consacrées à des phases d'apprentissage pour comprendre le comportement des nouvelles technologies. Même si un retour d'expérience sur une longue période de test, en conditions opérationnelles est le meilleur moyen d'assurer la fiabilité du système, il n'est pas le plus efficace en termes de compétitivité et rentabilité. Ainsi, les tests accélérés sont considérés comme répondant à la mission de certification de la fiabilité.

Cette section présente les différentes notions extraites des Normes CEI. La notion de fiabilité est souvent utilisée de manière erronée et doit être définie avec précision. La fiabilité fait référence à deux notions. L'une est la plus proche de l'idée de performance et qui donc la «capacité d'une entité à remplir une fonction requise, dans des conditions données, dans un laps de temps donné». L'autre approche est proche de la mesure de fiabilité et est définie comme "la probabilité qu'une entité remplisse une fonction requise dans des conditions données, dans un laps de temps donné". Dans le cadre de cette étude, nous allons toujours nous référer à la première définition concernant la capacité à réaliser une fonction. Dans ce chapitre, de

nombreuses notions sur les tests de fiabilité seront discutés. Les tests mentionnés à la section 2 sont des tests accélérés définis comme étant "un test au cours duquel les contraintes appliquées sont choisies au-delà du niveau de référence afin de réduire le temps à défaillance ou de souligner l'effet de la défaillance dans un laps de temps donné. Pour être valide, un test accéléré ne doit pas modifier les mécanismes de défaillance, les modes de défaillance et leur importance relative ". Les tests accélérés représentent un réel gain de temps et d'efficacité dans la conception d'un produit. Ils sont permis grâce à une gestion adéquate des facteurs d'accélération définis comme étant "le rapport entre les temps nécessaires pour obtenir une même proportion d'entités défaillantes pour deux échantillons identiques soumis à des contraintes différentes conduisant au même mode de défaillance par le même mécanisme de défaillance ". Ainsi, le défi réside dans le choix des conditions de stress pour déclencher le même mode de défaillance, à travers le même mécanisme de défaillance, en jouant sur le temps à défaillance.

Comment déclencher et détecter les défauts

Cette section présentera les différentes façons de déclencher un mode de défaillance et quels sont les précurseurs d'un mécanisme de défaillance. Un aperçu de la littérature rassemble des études sur les MOSFET en carbure de silicium mais aussi sur d'autres types de module de puissance pour avoir une idée plus large des tests pouvant être utilisés pour réaliser notre phase d'apprentissage. Peu d'études sont dédiées aux mécanismes de défaillance du module de puissance à base de MOSFET SiC. Le but de cette section est de réaliser un travail d'association des mécanismes de défaillance à leurs précurseurs et à leurs causes. Dans le cas du module *I²MPECT*, de nombreuses études ont été rassemblées pour obtenir une vue d'ensemble des mécanismes de défaillance.

Quel stress pour quels mécanismes de défaillance ?

Les causes des mécanismes de défaillance sont diverses et dépendent des contraintes de l'application. Dans notre étude l'accent est mis sur les contraintes électriques et thermiques choisies pour des raisons pragmatiques :

- Elles sont plus facile à mettre en œuvre dans notre laboratoire
- Elles ont une grande importance dans les profils aéronautiques

D'autres causes liées à l'humidité, aux vibrations ou aux rayonnements ne seront pas développées dans cette étude.

Influence des stress électriques et thermiques sur l'oxyde de Grille : Pour stresser les MOSFET de puissance SiC, deux tests sont principalement utilisés dans la littérature : la polarisation de Grille à haute température (HTGB) et la polarisation inverse à haute température (HTRB). Ces tests ont été créés pour mettre en exergue la dégradation de l'oxyde de la grille du MOSFET.

Le test HTGB consiste à appliquer une polarisation de grille constante sous une température ambiante élevée. Pendant ce test, aucun courant ne traverse le MOSFET. La température et les contraintes électriques doivent être choisies en fonction de plusieurs paramètres : les valeurs en fonctionnement normal pour la polarisation de la Grille et la température maximale permise par le boîtier. Plusieurs conditions ont été choisies dans la littérature pour voir différents

niveaux de dégradation de l'oxyde de Grille. Un MOSFET 10A-1200V a subi une polarisation de grille constante de 20V, 25V et 30V sous une température ambiante de 50 °C, 80 °C et 1000 °C. Ces tests ont été réalisés pendant 600 heures. Des conditions plus sévères ont été envisagées, avec une plage de température comprise entre 125 °C et 175 °C et une polarisation de la Grille entre 20V et 40V. Le temps des tests a été réduit à 3 heures. Une dernière étude montre la mise en place d'un test HTGB avec une polarisation de la Grille faible (22V) mais avec une température très élevée de 200 °C sur les composants de plusieurs fabricants. Le test a été réalisé pendant 1000 heures avec des arrêts réguliers pour caractériser la Grille du MOSFET. Dans toutes ces études, plusieurs précurseurs potentiels sont mesurés et seront détaillés dans la prochaine partie, mais la tension de seuil est choisie dans la plupart des études pour quantifier la dégradation de l'oxyde de Grille. Elle est parfois mesurée hors ligne grâce à un analyseur. Mais dans certaines études, la tension de seuil est directement mesurée sur le banc d'essai HTGB. Dans une autre étude, deux approches ont été explorées : une contrainte continue inférieure à 20V et une contrainte en commutation avec une tension de Grille comprise entre -4V et 20V avec un rapport cyclique de 50% et une fréquence de commutation de 70kHz. La dérive observée sur la tension de seuil (0,2V après 24h de stress) dans le premier cas est similaire aux études précédentes, alors que la dérive de tension de seuil est très faible dans le second cas, avec seulement 0,05V après 24h de contrainte. Une polarisation continue ou non a donc une influence sur la vitesse de vieillissement.

Une autre étude met également en avant ce phénomène souvent rencontré dans le MOSFET en carbure de silicium. Quand une tension positive continue est appliquée sur la Grille, la tension de seuil subit une dérive plus importante par rapport à une sollicitation en commutation. Cela est dû à l'épaisseur de l'oxyde de Grille. La tension de seuil n'est pas stable à cause de la migration de certaines charges, comme expliqué au chapitre 1, et un stress électrique constant accentue ce phénomène. Ce phénomène n'est pas dû au vieillissement et est réversible avec le temps. Une étude a montré que la tension de seuil dérive avec un stress croissant (temporellement). Dès l'arrêt du stress, une dérive inverse permet de revenir à la valeur initiale de la tension de seuil, cependant le temps de récupération est très long et s'accroît avec l'augmentation du niveau de stress (jusqu'à plusieurs heures).

Un autre test, appelé Negative Gate Bias Test (NGBT), a également été analysé. Ce test est très similaire à l'HTGB. Une polarisation négative constante est imposée à la Grille. Drain et Source sont court-circuités comme dans l'HTGB. Les tests sont effectués à température ambiante. Après 1000 heures de stress continu, les MOSFET 1200 V de WOLFSPEED ont montré une dérive moyenne de 0,03V sur la tension de seuil. Une dérive lente est observée car un faible niveau de stress est appliqué dans ce genre de test. La dégradation de la Grille avec le test HTGB montre une dérive de la tension de seuil presque dix fois plus élevée (0,2V). Cette observation démontre que la température joue un rôle important dans le mécanisme de dégradation de la Grille simplement parce que la haute température devrait augmenter le taux de réactions dans l'interface de la Grille.

Le test HTRB consiste à faire commuter un MOSFET dans des conditions de haute température. Dans une étude, il a été choisi de placer les puces sur une plaque chauffante à 250 °C. Assurer une contrainte thermique constante a permis d'éviter la mise en place d'un cyclage thermique qui aurait favorisé des défauts d'interconnexion. Durant l'essai, chaque MOSFET commute un courant de Drain de 5A à une fréquence de 10kHz sous 500V avec une commande de Grille

de -5V à 20V. Pendant l'essai, les indicateurs de vieillissement des MOSFET ont été surveillés à intervalles réguliers (toutes les 50h pour un temps d'expérience total de 1000h) grâce à un analyseur. En raison de la nature sensible de l'interface d'oxyde de Grille, le premier précurseur est la tension de seuil et est défini comme la valeur de la tension de répondeur à un courant de Drain continu de $100\mu\text{A}$. La dégradation de l'oxyde pourrait initier des fuites dans la Grille. Le courant de fuite a été mesuré à $V_{GS} = 5\text{V}$. Les dégradations, telles que la dérive de la mobilité dans le canal de conduction ou l'altération des contacts ohmiques, pourraient changer la valeur de la résistance à l'état passant du composant.

Le déclenchement de modes de défaillance est également possible avec des tests de court-circuit. Dans ces tests, les conditions sont sévères mais des courts-circuits peuvent se produire dans le système réel et les mécanismes de défaillance doivent être évalués. De nombreuses études ont porté sur des essais de court-circuit sur des MOSFET SiC. Le déclenchement d'un court-circuit dans le composant peut être effectué par un circuit simple, en dessous d'une certaine énergie critique le composant peut survivre à plusieurs courts-circuits. Dans une étude, le dispositif testé est maintenu sur passant. Une tension de 600V lui est appliquée. Un commutateur statique, ici un IGBT, est connecté en série avec le composant pour le protéger. Lorsque le courant dépasse un certain niveau (ici 200A), l'IGBT s'ouvre pour éviter la destruction complète du composant étudié. Dans cette étude, le composant subit des courts-circuits dans les conditions décrites pour des temps compris entre $1\mu\text{s}$ et $13\mu\text{s}$ sans montrer de défaillance. Pour le court-circuit d'une durée de $14\mu\text{s}$, le composant présente une défaillance. Certains paramètres, qui seront détaillés après, sont enregistrés entre chaque court-circuit (courant de fuite de la porte et du drain, résistance à l'état passant et tension de Grille).

Cette partie a présenté une vue d'ensemble de plusieurs tests accélérés dédiés à la dégradation de l'oxyde de Grille des MOSFET. Les tests HTGB, HTRB, NGBT et de court-circuit ont été décrits. Chacun d'entre eux présente des avantages et des inconvénients. Les tests présentant une contrainte de température, montrent une dérive plus importante des précurseurs en fonction du vieillissement et sont plus intéressants pour réaliser des tests accélérés en laboratoire. Dans notre approche, nous voulons avoir le maximum d'informations sur le mécanisme de défaillance. Pouvoir tester un maximum d'échantillons dans un minimum de temps est considéré comme un avantage. Le test NGBT a été éliminé parce qu'il n'y a pas de stress de température. Parmi les trois autres, le test de court-circuit nécessitait un banc d'essai spécifique et une qualification particulière. Pour des raisons pratiques, il a également été éliminé. Enfin, entre HTGB et HTRB, l'efficacité des tests HTGB a été préférée. Dans ce test, le banc d'essai est simple et les ressources engagées ne sont pas nombreuses et sont toutes rapidement disponibles en laboratoire. Le banc d'essai sera décrit au chapitre 3.

Influence des stress électriques et thermiques sur les interconnexions Après un focus sur les problèmes d'oxyde de Grille, le module de puissance a été étudié. Les modules de puissance sont particulièrement sensibles aux cycles de température. Posons rapidement le vocabulaire nécessaire à la compréhension des tests de cyclage thermique.

Pendant un cycle de température, le composant subit une variation thermique. La valeur minimale de la température est nommée T_{min} et la valeur maximale T_{max} . La différence entre ces deux valeurs, est l'amplitude de variation de température, notée ΔT . Un cycle temporel est défini par "l'intervalle de temps entre un extrême à haute température et le suivant, ou

d'un extrême à basse température et le suivant, pour un échantillon donné ". Enfin, la rampe de température qui donne une information importante sur le comportement dynamique est définie par "le taux d'augmentation ou de diminution de la température par unité de temps pour l'échantillon ", toujours mesuré entre 10% et 90% de ΔT .

En cyclage thermique, deux approches sont présentes dans la littérature : le cyclage passif et le cyclage actif. Dans le premier mode, les modules sont placés dans une enceinte régulée thermiquement de manière cyclique afin de faire subir des cycles en température assez long (plusieurs minutes à 1 heure pour un cycle). Dans le second mode, les modules de puissance sont auto-échauffés grâce à la dissipation de puissance de la puce. Les tests sont différents et conduisent à des modes de défaillances différents.

Une étude s'est concentrée sur la fiabilité des interconnexions dans un module de puissance encapsulé. Pour stimuler l'occurrence de modes de défaillance, les échantillons passent cycliquement de -45°C à 125°C avec un temps de repos de 30 minutes entre chaque phase de chauffage. Le taux de rampe imposé est de $110^{\circ}\text{C}/\text{min}$. La résistance de l'interconnexion concernée est mesurée tous les 1000 cycles sur un banc de caractérisation hors-ligne. Dans une seconde étude, le cyclage de température passif est également appliqué pour étudier le comportement des interconnexions de modules. Deux chambres thermiques sont utilisées, la première réglée à 180°C et la deuxième à -55°C . Le module est placé sur une nacelle qui traverse d'une chambre à l'autre. Chaque phase dure 30 minutes et le taux de rampe est de $68^{\circ}\text{C}/\text{min}$, ce qui peut être considéré comme un choc thermique. Dans cette étude, les caractérisations thermiques sont également effectuées par un analyseur hors banc de test. Le cyclage passif est intéressant pour obtenir une grande quantité de données en conditions de laboratoire, mais il nécessite d'autres bancs d'essais pour caractériser le module thermiquement ou électriquement. Le cyclage passif ne sera pas une solution pour les tests accélérés orientés vers un suivi de l'état de santé en ligne.

Les tests de cyclage actif sont souvent abordés dans la littérature. Il existe plusieurs types de banc de test qui permettent de réaliser un cyclage actif. Nous nous sommes concentrés sur le cyclage actif de puissance à courant continu. Il est simple et peu coûteux, il permet de contrôler le courant d'auto-échauffement du MOSFET et la tension de Grille. Mesurer certains paramètres pour la surveillance de l'état de santé est simple et de nombreux échantillons peuvent être testés en parallèle en théorie. Le principal inconvénient est que le composant n'est pas dans des conditions réalistes : un courant élevé est nécessaire à déclencher un auto-échauffement et les conditions d'essai sont limitées. Les autres solutions, sont plus complexes à réaliser et pas vraiment adaptées à un suivi de paramètres en ligne, ce qui est rédhibitoire dans notre cas. Dans une étude, un test de cyclage de puissance conventionnel DC est choisi pour étudier la fatigue des liaisons de soudure et les liaisons filaires. La durée d'un cycle est très courte avec 3 secondes d'auto-échauffement et 3 secondes de refroidissement. Dans ce cas, le module est instrumenté pour mesurer les indicateurs thermiques et électriques des mécanismes de défaillance (tension collecteur-émetteur, pertes totales, température). Une étude sur la fiabilité du report de puce, montre l'influence de la variation de température (ΔT) et de la température minimale choisie des cycles thermiques (T_{min}). L'étude a été menée expérimentalement en faisant varier T_{min} entre -40°C et 80°C avec un ΔT de 70°C . Dans un deuxième temps, la déformation plastique a été mesurée pour plusieurs ΔT entre 20°C et 140°C pour trois températures ambiantes. Toutes ces données expérimentales ont conduit à un modèle

d'estimation directe de la déformation plastique en fonction de la variation de température et la température minimum.

Grâce à cette vue d'ensemble sur des essais de cyclage thermique, nous avons vu que deux types de cyclage sont possibles, un passif et un actif. Les cycles de température passifs sont efficaces pour mettre en œuvre la fatigue des interconnexions : il est cependant plus difficile d'utiliser un banc d'essai dans une optique de suivi de l'état de santé. La mesure des précurseurs est souvent effectuée hors ligne par des analyseurs spécifiques. Les cycles actifs sont plus dédiés à la surveillance de l'état de santé. De nombreux circuits sont possibles pour le cyclage actif mais le circuit DC conventionnel, plus simple, est souvent utilisé. Il permet un contrôle aisé et une réelle accessibilité aux précurseurs des mécanismes de défaillance.

Conclusion sur les stress électriques et thermiques : Les contraintes électriques et thermiques sont souvent utilisées dans les tests standards pour déclencher des mécanismes de défaillance attendus dans un usage normal. Les rayonnements, les vibrations et l'humidité sont connus comme étant les facteurs aggravants. Des actions préventives peuvent être entreprises pour protéger le module des vibrations et de l'humidité. La question des rayonnements est appliquée au domaine particulier de l'aérospatiale et pourrait concerner le projet *I²MPECT* mais dans un deuxième temps. Un accent sera porté sur les tests utilisant la température et les stress électriques dans la section suivante afin de déterminer les précurseurs appliqués à la surveillance de l'état de santé.

Détermination des principaux précurseurs de défaillance

Lorsqu'un mécanisme de défaillance est en cours dans un module de puissance, certains paramètres électriques, thermiques ou mécaniques dérivent de leurs valeurs initiales. Le but de cette partie est de déterminer les liens entre les défauts apparus après la mise en place des mécanismes de défaillance et les précurseurs qui ont montré une évolution. La première partie mettra l'accent sur les précurseurs de la défaillance de l'oxyde de Grille. Ensuite, une deuxième partie traitera des précurseurs des mécanismes de défaillance des interconnexions du module. La dernière partie présentera l'évaluation de la température qui représente une grandeur clé.

Précurseurs des défauts de Grille : Les précurseurs ont été mesurés et comparés dans les études décrites dans les parties précédentes. Pour synthétiser, on peut extraire 5 potentiels précurseurs de défaut de l'oxyde de Grille. Les plus sensibles au vieillissement (surtout lors d'un test HTGB) sont la tension de seuil, le courant de fuite de Grille et la capacité d'entrée du MOSFET. Ces trois éléments sont assez compliqués à mesurer en ligne. La tension de seuil nécessite de court-circuiter Drain et Source pour être mesurée (ce qui est compliqué dans un bras d'onduleur). Ensuite le courant de fuite de Grille est un paramètre qui présente de très faibles variations (trop faibles pour être mesurées sur un banc de puissance). Enfin, la mesure de la capacité d'entrée du MOSFET nécessite l'ajout d'un circuit de mesure spécifique. Deux autres paramètres proposent une sensibilité plus moyenne au vieillissement mais sont plus faciles à mesurer. Il s'agit de la résistance à l'état passant et du courant de fuite de Drain.

Précurseurs des défauts des interconnexions : La plupart des études sur la fatigue des interconnexions propose des précurseurs de trois types : électriques, mécaniques et thermiques.

Les précurseurs électriques proposés sont la tension Drain-Source à l'état passant et la résistance à l'état passant. Les dérives sont plus visibles sur la valeur de la tension. Les paramètres mécaniques reposent souvent sur la mesure de contraintes de déformation élastiques ou plastiques. Enfin, des paramètres thermiques tels que la résistance thermique ou l'impédance thermique sont souvent proposés. Ces paramètres sont réputés comme étant très sensibles au vieillissement et ayant une variation permettant un suivi de l'état de santé. La problématique majeure repose dans le fait que ces deux paramètres sont calculés grâce à la température de jonction de la puce de puissance. Cette dernière est difficile à obtenir. Les méthodes d'évaluation de la température de jonction sont présentées dans le paragraphe suivant.

Comment déterminer la température du module : La température de jonction n'est pas une grandeur évidente à mesurer. En effet, il s'agit d'une température interne à la puce, connaissant les formats des puces (1 ou 2 mm d'épaisseur), il est impossible d'y insérer un capteur de type thermocouple. Les publications ont permis de mettre à jour de nombreuses méthodes pour évaluer cette température de jonction sans mesure directe. Les méthodes sont rapidement présentées ci-dessous :

- Un capteur de température inclus dans la puce. Il s'agit d'une méthode assez précise mais qui nécessite de concevoir une puce sur mesure dans laquelle un micro capteur est ajouté aux différentes couches qui constituent la puce. Cette méthode demande de pouvoir réaliser ses propres puces dans un laboratoire performant et est assez onéreuse.
- Faire une modélisation thermique de tous les éléments du module et placer des capteurs de température là où cela est possible (Sur les métallisations, sous la semelle du module, au niveau des connecteurs...). On pourrait ainsi remonter à la température de jonction à partir des températures mesurées par les capteurs placés dans l'environnement. Cette méthode demande une connaissance parfaite des matériaux utilisés et des dimensions de chaque dépôt constituant le module (informations sur la puce comprises). Il est dans les faits assez difficile d'obtenir des informations précises pour un module commercial. La possibilité de faire un modèle par caractérisations est possible mais c'est un travail de longue haleine.
- Une mesure de température par fibre optique. C'est une opération délicate qui consiste à insérer une fibre optique dans le report de puce. Cette méthode est intrusive et peut modifier le fonctionnement du module, surtout concernant l'évacuation des pertes vers la semelle et le système de refroidissement.
- Utiliser des paramètres électriques thermosensibles (PETS). Les PETS sont des grandeurs électriques plus ou moins facilement mesurables qui ont une variation liée de manière connue et modélisable à l'augmentation de la température. C'est une méthode non-intrusive qui nécessite seulement une phase de calibration. Les principaux PETS issus de la littérature pour un module de puissance à base de MOSFET SiC sont la tension Drain-Source à l'état passant, la tension de seuil, la rampe de montée en courant lors de la fermeture du composant et la résistance interne de la Grille du MOSFET.

Plan de test afin d'établir un suivi en ligne de l'état de santé

Grâce à l'étude bibliographique, un plan de test en deux parties a été élaboré. Une première partie est dédiée à l'étude du comportement de la puce seule grâce à un vieillissement HTGB.

Ce premier test va nous permettre d'extraire des potentiels précurseurs de défauts qui ne sont pas encore proposés par la littérature afin de les inclure dans les mesures en ligne du banc de cyclage actif. Le cyclage actif constitue la deuxième phase de ce plan de test avec une optique de fatigue du module complet grâce à un cyclage en température permis par l'auto-échauffement de la puce. Ce banc de test prévoit d'être instrumenté pour permettre l'acquisition en ligne d'un maximum de potentiels précurseurs de défauts.

Test HTGB préliminaire : Le test HTGB est mené sur 30 puces en boîtier de référence C2M0080120D. Ces puces présentent une résistance à l'état passant de 80 m Ω alors que le module de puissance est doté de puce C2M0025120D qui ont une résistance à l'état passant de 25 m Ω . Les puces C2M0080120D avait un coût moindre et une plus grande disponibilité pour réaliser ce test à large échelle. En effet, nous avons placé, dans une enceinte thermique réglée à 200 °C, les 30 puces en parallèle avec Drain et Source court-circuités. Nous avons appliqué une polarisation de 22V sur les Grilles. Ce test a duré 664h avec 3 caractérisations, une avant le début du test, une après 424h de test et une à l'issue des 664h de test. Ces caractérisations ont été réalisées par deux circuits annexes : un analyseur de référence B1505 et un circuit de type UIS (Unclamped Inductive Switching), réalisé au laboratoire. Ces caractérisations ont permis de mettre à jour de nouveaux précurseurs potentiels de défauts de l'oxyde de Grille. Ces précurseurs pourront ensuite être intégrés au banc de cyclage actif.

Test de cyclage actif instrumenté : Le test de cyclage actif instrumenté est mené sur 10 modules de puissances. Les modules de puissance utilisés sont des modules simplifiés par rapport au bras d'onduleur final, ils sont uniquement composés d'un seul MOSFET pour l'interrupteur inférieur du bras et d'une diode pour l'interrupteur supérieur. Les modules sont des prototypes et seulement 10 exemplaires ont été en mesure d'être testés. En revanche, ils sont réalisés avec les mêmes technologies et méthodes que le module final du projet.

Le test de cyclage actif est constitué de cycles d'auto-échauffement de 1 seconde afin d'atteindre une température de jonction comprise entre 110 °C et 150 °C selon les profils de vieillissement. Entre chaque cycle d'auto-échauffement, une période de refroidissement de 4 secondes est opérée grâce à un radiateur régulé à la température minimum de 40 °C. Durant ce cyclage thermique, nous avons choisi de réaliser 2 types de caractérisation en ligne. La première caractérisation est une estimation de température par PETS et est réalisée tous les cycles impairs. La seconde caractérisation est une double impulsion afin de mesurer les paramètres dynamiques du module et est réalisée tous les cycles pairs.

Le PETS choisi pour notre banc d'essai est lié à la tension de seuil puisque sa sensibilité à la température est importante. Nous ne pouvions pas directement assurer la mesure de la tension de seuil alors nous avons réalisé la mesure des transconductances des modules de puissance. Il s'agit de mesurer le courant de Drain pour des faibles valeurs de la tension de Grille (entre 2V et 6V). On obtient ainsi une courbe dont les valeurs dérivent à chaque augmentation de température. Le tracé en trois dimensions (courant, tension et température) des points de la calibration forment un plan bijectif 3D dans lequel on pourra aisément retrouver une température connaissant le couple (courant, tension) mesuré. La mesure de ce couple pendant les phases de caractérisations par PETS permettront de calculer 10 potentiels précurseurs de défauts (Températures, courants de Drain, transconductances...)

La caractérisation par double impulsion consiste à ouvrir et refermer le MOSFET deux fois de suite. A la première fermeture, le courant initial de l'inductance a un niveau de 5 A afin de faire des commutations par la suite. Puis, on ouvre très brièvement le MOSFET et on le referme. Durant la montée de la deuxième fermeture on enregistre les courbes du courant et de la tension de Grille pendant leur front montant. Une fois le régime permanent atteint lors de la deuxième impulsion, on enregistre la tension à l'état passant et le courant de Drain. Ces mesures permettent le calcul de 40 potentiels précurseurs de défauts (Tension à l'état passant, résistance à l'état passant, temps de montée, courant maximum de Grille à l'ouverture, énergie dissipé dans la Grille à l'ouverture ...). Le front montant de la tension de Grille demande une attention particulière. En effet, l'une des caractéristiques du MOSFET est de présenter une sorte de plateau sur le front montant de sa tension de Grille. Ce plateau est dû à la charge d'une capacité interne au MOSFET, nommée capacité de Miller. Ce plateau, nommé par extension plateau Miller est caractéristique de l'état de santé de la Grille du MOSFET selon certaines études. Ses variations, d'amplitude, de durée ou encore de forme, pourraient constituer des précurseurs de défauts pertinents.

Conclusion du chapitre 2

Dans ce chapitre, il a été montré que de nombreuses études sont dédiées aux précurseurs de défaillances dans une optique de surveillance de l'état de santé du module de puissance. Plusieurs tests normalisés ont été décrits et certains d'entre eux sont utilisés dans cette étude comme l'HTGB et le cyclage actif. Il a été souligné que la température joue un rôle important dans les mécanismes de vieillissement du module de puissance. Les moyens d'obtenir la température sont multiples et ont été détaillés, du capteur intégré aux méthodes PETS, en passant par des modèles thermiques. Enfin, un plan de test a été présenté afin de réaliser la surveillance de l'état de santé d'un module de puissance à base de MOSFET SiC. Ce plan de test est en deux parties. La première partie est une phase d'apprentissage sur les défaillances de l'oxyde de Grille. La seconde partie constitue un apprentissage sur le comportement de l'ensemble du module sous la contrainte d'un cyclage actif à différents niveaux de stress. La réalisation pratique des bancs d'essais sera détaillée au chapitre 3 et les résultats seront discutés au chapitre 4.

Chapitre 3 : Bancs expérimentaux des tests accélérés

Des moyens expérimentaux ont été développés pour atteindre les objectifs fixés par le plan de test. Différents bancs d'essai vont être utilisés afin de mener l'étude. Le test de vieillissement HTGB est réalisé pour étudier le comportement de la puce MOSFET SiC. Pour travailler sur les précurseurs de défaillance, nous avons utilisé deux équipements de caractérisation spécifiques qui sont le B1505 et un circuit de commutation inductive (UIS). Ce vieillissement préliminaire sur les puces permettra d'extraire des précurseurs pertinents du signal de tension Grille-Source qui sera utilisé dans le banc de cyclage actif. Avant le test de cyclage, le module subit une première phase de caractérisation (analyseur B1505 et un microscope binoculaire). Le banc de cyclage est conçu pour réaliser un calibrage du PETS choisi avant de lancer un vieillissement instrumenté. A la fin de la période de stress, le module est caractérisé à nouveau grâce aux deux équipements précédents.

La première section est consacrée à l'étude préliminaire concernant les enjeux de la Grille. Un test HTGB et les circuits de caractérisation (circuit B1505 et UIS) permettront de trouver des précurseurs concernant les problèmes de Grille. La deuxième section détaillera le banc d'essai de cyclage. Nous devons garder à l'esprit que nous travaillons sur une technologie non-mature et que le test de cyclage constitue une phase d'apprentissage. L'accent sera mis sur les méthodes de mesure des précurseurs et en particulier sur le calibrage du PETS (couple I_{DS} , V_{GS}). Le PETS choisi est fortement lié à la tension de seuil qui peut présenter une instabilité. Il sera montré comment éviter cet effet. Le protocole pour réaliser un test de cyclage complet sera également présenté et la recherche des conséquences du mode de défaillance sera discutée.

Test HTGB

Un travail spécifique a été mené sur les problématiques de Grille pour explorer le plus largement possible les précurseurs de défauts. Avec le vieillissement, les caractéristiques du front montant de la tension de Grille évoluent. Il est connu que la résistance de Grille et la température ont un effet sur le front montant de la tension de Grille et surtout sur le pseudo-plateau de Miller pour un niveau de vieillissement donné. Pour observer, sous plusieurs conditions, l'évolution des caractéristiques du plateau de Miller avec le vieillissement, cette courbe a été mesurée pour plusieurs valeurs de résistance de grille et plusieurs valeurs de température ambiante à différents niveaux de vieillissement. Le but est d'assurer que l'évolution des caractéristiques du front montant de la tension de Grille sont toujours similaires, quelles que soient les conditions. En d'autres termes, nous voulons extraire les précurseurs de vieillissement les plus robustes possibles. L'étude a été réalisée sur un large lot de composants (30 MOSFET SiC C2M0080120D) et est décrit dans le prochain paragraphe.

Protocole du test HTGB

Le vieillissement par HTGB a été réalisé pour les 30 composants simultanément. Une tension de 22V a été appliquée sur les Grilles et, les Drains et les Sources étant court-circuités. L'ensemble des puces a été soumis à un stress en température grâce à une enceinte thermique réglée à 200 °C. Au cours de ce vieillissement 3 phases de caractérisation ont été opérées : avant le vieillissement, après 424h de stress et après 664h de stress.

La première phase assurée par le B1505, décrit dans le paragraphe suivant, a permis de véri-

fier l'état de fonctionnement des puces grâce à une caractérisation statique à chaque phase. Il a également permis de vérifier la valeur de la tension de seuil. La tension de seuil étant validée comme bon indicateur, nous avons arrêté le vieillissement à 664h car la tension de seuil montrait une dérive de 20% par rapport à sa valeur initiale.

La seconde phase de caractérisation est assurée par un circuit UIS (Unclamped Inductive Switching). Il va nous permettre de relever le front montant de la tension de Grille à chaque phase de vieillissement pour toutes les conditions suivantes :

- Des résistances de grille de 47Ω , 100Ω , 150Ω et 200Ω
- Des températures ambiantes de 25°C , 80°C et 150°C

Les modifications observées sur le front montant de la tension de seuil selon la variation de ces paramètres seront des bonnes pistes pour trouver des précurseurs de vieillissement. En effet, lorsque le composant est stressé, sa résistance interne de Grille peut augmenter. L'effet d'une augmentation de la résistance de Grille peut donc être une indication pour l'étude. Les effets créés par une élévation de la température à un même niveau de vieillissement est également intéressante à observer.

Moyens de caractérisation

B1505 : Il s'agit d'un analyseur de puce de puissance qui permet des mesures précises sur une large gamme de conditions d'exploitation. Cet analyseur sera utilisé dans notre étude pour caractériser des MOSFET sains, afin de comparer leurs performances avec les fiches techniques, mais aussi de réaliser soit une surveillance de vieillissement soit une analyse post-expérimentale. Les fonctionnalités utiles dans cette partie sont :

- Tracé de la caractéristique I_{DS} en fonction de V_{DS} pour plusieurs valeurs de V_{GS} afin de vérifier les performances initiales des MOSFET
- Tracé de la transconductance I_{DS} en fonction de V_{GS} pour déterminer la tension de seuil

Circuit UIS : Le circuit UIS est conçu pour faire commuter un MOSFET sur une charge inductive. Il va nous permettre d'explicitier le déroulement de la fermeture d'un MOSFET SiC qui se déroule en 3 phases. Pendant la phase 1, V_{GS} augmente et I_{GS} diminue progressivement : c'est la charge de la capacité Grille-Source. A ce moment-là, le MOSFET est toujours bloqué, le courant de Drain est presque nul. La tension de drain reste presque constante. Pendant la phase 2, un courant de Drain apparaît et la tension de Drain diminue à cause de la fin de la charge de la capacité de Grille. La capacité Drain-Grille est chargée avec le courant circulant à travers la capacité Grille-Source. Cette rétroaction, appelée effet Miller, crée un "pseudo-plateau". Les caractéristiques de ce pseudo-plateau constitueront une référence dans cette étude car ils sont liés à la santé de l'oxyde de Grille. Pendant la phase 3, la tension Grille-Source augmente jusqu'au point de fonctionnement en mode conducteur. Le courant de Drain atteint sa valeur nominale et la tension Drain-Source atteint sa valeur la plus basse.

Le test UIS est un test de robustesse à l'avalanche qui prend en compte l'inductance parasite présente dans une cellule de commutation à très grande vitesse, ce qui est le cas avec les MOSFET SiC. Au cours des mesures, le MOSFET est placé sur une plaque chauffante régulée pour

sélectionner une condition de température selon le protocole présenté. Le circuit électrique est composé d'une inductance de $1.1\mu\text{H}$ et d'une résistance de 100Ω en série avec le composant. Le terminal de Grille est équipé d'un connecteur pour modifier facilement la valeur de résistance externe de Grille en fonction du plan de test. Une tension de 50 V est appliquée au Drain. Le composant commute selon une séquence de motifs d'impulsion. Une mesure différentielle de la tension de grille pendant la fermeture du composant est autorisée grâce à une configuration à deux sondes.

Conclusion sur les test HTGB

Grâce à un script, les points du plateau de Miller sont extraits automatiquement des courbes enregistrées. Ce script est basé sur la création d'un tube avec une longueur et une hauteur définies. La première étape consiste à parcourir la courbe de la tension de Grille avec un tube. À chaque position, le nombre de points inclus dans le tube est compté et enregistré. Dans une seconde étape le tube est placé sur une position où un maximum de points est inclus. Une troisième étape consiste à prolonger le tube du côté droit jusqu'à ce qu'il n'y ait pas de point supplémentaire inclus dans le tube. Une quatrième étape fait la même chose du côté gauche. Enfin, le plateau est inclus dans le tube étendu. Le seul inconvénient de cette méthode est le choix de la hauteur du tube. Une phase d'apprentissage est nécessaire pour déterminer la valeur minimale de la hauteur en fonction du fait que le plateau n'est pas plat mais courbé en technologie SiC.

Les paramètres suivant peuvent ainsi être identifiés sur le plateau extrait :

- Son niveau moyen
- Sa durée
- Son minimum et maximum
- Les paramètres d'une fonction affine identifiée sur le plateau
- Les paramètres d'une fonction polynomiale d'ordre 3 identifiée sur le plateau

D'autres éléments ont également été extraits du front montant complet, comme des temps de montée. La plupart des paramètres ont révélés une évolution monotone avec le vieillissement et seront intégrés au banc de cyclage actif.

Test de cyclage actif

Cette section est dédiée à la description du banc de cyclage actif et de son fonctionnement. Ce banc d'essai est au cœur de l'étude car c'est le principal moyen d'obtenir des données sur le vieillissement des modules. Nous nous concentrerons sur les différentes phases permises par le banc (stress et caractérisation) mais aussi sur plusieurs méthodes pour obtenir des pré-curseurs de défaillances. Le premier paragraphe est consacré à la description des éléments du banc d'essai, leurs rôles et leur intégration selon les différentes phases. Un deuxième paragraphe se concentre sur les deux phases de caractérisation : l'estimation de température et la double impulsion, avec tous les capteurs associés à l'enregistrement de potentiels pré-curseurs de défaillance. Le troisième paragraphe se concentre sur le fonctionnement du banc avec un protocole spécifique assisté par une interface LabVIEW à chaque étape. Un dernier

paragraphe présente une piste de suivi de l'état de santé multi-physique avec la mise en place d'une jauge de déformation sur la métallisation supérieure du MOSFET. Cette exploration n'a été effectuée que sur deux MOSFET mais permet d'avoir une idée des possibilités en termes d'approche multi-physique dans le suivi de l'état de santé.

Description du banc de test

Le banc d'essai permet au composant de test de commuter entre une phase d'auto-échauffement et une phase de refroidissement. Pendant la phase de refroidissement, deux caractérisations sont possibles : une estimation de température et une double impulsion. Avec un minimum de matériel spécifique, le banc permet également d'étalonner le PETS pour l'estimation de la température. Toutes ces fonctions sont réalisées grâce aux éléments suivants :

- Une interface LabVIEW et un appareil d'acquisition National Instrument
- Un oscilloscope et un trigger isolé pour la mesure du test à double impulsion
- Une source régulée en courant pour l'auto-échauffement, une source de tension pour la mesure de température et une source de tension pour la caractérisation à double impulsion
- Un shunt précis pour la mesure du courant (PETS)
- Un capteur LEM pour la mesure du courant de drain pendant le test de double impulsion
- Des drivers et 4 MOSFET pour répartir le courant entre la phase d'auto-échauffement du composant et les phases de caractérisation
- Deux sondes de tension pour mesurer la tension de Grille avec une configuration différentielle
- Un driver pour le composant de test avec de sortie classique -5V / 15V pour les phases de chauffe et de refroidissement et une sortie réglable -5V / 0-10V pour la partie PETS. Le driver est équipé avec un capteur de courant CT6 pour enregistrer le courant de Grille à la fermeture du MOSFET
- Un dissipateur de chaleur avec son régulateur pour la phase de cyclage. Il est composé de ventilateurs et de résistances qui sont alimentés respectivement pour garder une température basse de cyclage autour de 40 °C
- Pour la phase d'étalonnage du PETS, une boîte adiabatique spécifique garnie de laine de verre limite les variations de température. Le module est fixé sur une plaque chauffante. Une résistance est insérée dans la plaque chauffante et un thermocouple lié au dispositif d'acquisition permet de calibrer le PETS
- Un plan de masse afin d'éviter la propagation de perturbations électromagnétiques

Pour une meilleure organisation, la première caractérisation (PETS) est appliquée à chaque cycle impair (cycle 1,3,5 ...). La double impulsion est effectuée tous les cycles pairs (cycle 2,4,6 ...). La phase PETS enregistre le couple I_{DS} , V_{GS} trois fois pour observer la diminution de température pendant la phase de refroidissement. La phase à double impulsion enregistre le front montant d' I_{GS} et V_{GS} à la fermeture du MOSFET mais aussi le comportement dynamique pendant l'état passant avec l'enregistrement d' I_{DS} et V_{DS} . Ces phases sont détaillées dans le prochain paragraphe.

Phases de caractérisation

Phase d'estimation de la température et point d'attention sur la dérive de la tension de seuil : La phase d'estimation de la température repose sur la mesure du couple I_{DS} , V_{GS} . Pour fonctionner, ce PETS a besoin d'être calibré. Pendant la phase de calibration, une caractéristique I_{DS} en fonction de V_{GS} pour des valeurs de V_{GS} comprise entre 2 V et 6 V est réalisée. Ces valeurs doivent rester faibles pour que le MOSFET soit dans un régime autour de sa tension de seuil. Si les valeurs de V_{GS} étaient plus élevées, le courant de drain le serait également et des phénomènes d'auto-échauffement viendraient perturber la mesure. Cette caractéristique I_{DS} en fonction de V_{GS} est une transconductance et est liée à la valeur de la tension de seuil. Il a été remarqué dans la littérature d'abord puis dans les premiers essais que la tension de seuil et que les courbes de transconductances acquises à la même température avaient tendance à dériver selon l'état précédent de la Grille. Si la Grille est polarisée à 15V sans faire passer de courant, la transconductance dérive (jusqu'à 10% de sa valeur en quelques minutes de polarisation). Lorsque l'on polarise après coup la Grille à 0V, la dérive s'atténue jusqu'à revenir à la transconductance initiale. Le recouvrement de la transconductance initiale peut prendre plusieurs heures. Pour ne pas risquer de mesurer un paramètre erroné dans notre estimation de la température, il a fallu trouver un moyen d'empêcher ces dérives et d'altérer nos mesures. Pour cela, nous avons mené une campagne d'essais où nous avons volontairement fait dériver la transconductance grâce à une polarisation à 15V. Nous avons ensuite imposé des polarisations négatives pour recouvrir l'état initial. Nous avons conclu qu'une tension de -5V pour mettre le MOSFET en position ouverte permettait de supprimer les effets de dérives accumulés pendant les commutations précédentes. Dans notre profil de test le composant est donc toujours polarisé à -5V pour être en position bloquée. Pour réaliser la calibration, des transconductances sont tracées pour différentes températures ambiantes de 40 °C à 150 °C. Une surface bijective température, courant de drain et tension de grille est ensuite créée. Un algorithme est ensuite capable de déterminer une température connaissant le couple de I_{DS} , V_{GS} mesuré.

La phase d'estimation de la température intervient donc juste après un cycle d'auto-échauffement et en trois temps. La première mesure du couple de PETS intervient 80 μ s après la phase de chauffe, la seconde mesure 100ms et la troisième 200ms. Cela nous permet d'obtenir 3 températures lors de la phase de refroidissement et d'étudier la dynamique thermique du module.

Phase de caractérisation par double impulsion : La phase de caractérisation à double impulsion est constituée d'une première conduction du composant afin de charger une inductance jusqu'à obtenir un courant de Drain de 5 A. Le composant est ensuite très rapidement bloqué, pendant 5 μ s, puis mis en conduction durant 30 μ s. La dernière impulsion permet d'effectuer la mesure des fronts montants d' I_{GS} et V_{GS} à la fermeture du MOSFET et les mesures des paramètres en conduction I_{DS} et V_{DS} .

Protocole de test de cylage actif

Un protocole particulier a été mis en place pour chaque module testé :

- Analyse visuelle au microscope binoculaire pour détecter de potentielles faiblesses dans la fabrication (bulles d'air dans les isolant, fissures...)
- Caractérisation au B1505 pour vérifier le bon fonctionnement des modules

- Calibration du couple I_{DS} , V_{GS} pour l'estimation de la température
- Choix d'un profil de cyclage (soit le choix d'une température maximal de cyclage)
- Cyclage instrumenté
- Arrêt régulier du cyclage pour une vérification de la dérive des paramètres et une recalibration du couple I_{DS} , V_{GS} si nécessaire
- Arrêt du cyclage quand la commutation n'est plus assurée
- Analyse post-expérimentale au microscope binoculaire et avec des caractérisations statiques de l'état de la Grille et de la diode interne du MOSFET.

Piste d'une approche multi-physique

Sur seulement deux modules, nous avons instrumenté la métallisation supérieure du MOSFET (qui a tendance à se décoller en cyclage) avec une jauge de déformation mécanique. Les deux essais ont montré une accentuation des déformations plastiques avec le vieillissement et une réelle modification de l'amplitude des déformations lors d'apparition de défaut de type perforation de la Grille. Les données sont intéressantes et méritent une campagne de mesure plus large pour confirmer les quelques pistes évoquées ici.

Synthèse

Ce chapitre a présenté les ressources expérimentales déployées pour réaliser un banc orienté vers la surveillance de l'état de santé d'un module de puissance. La première section a été consacrée à un test de vieillissement spécifique, le test HTGB, pour étudier les précurseurs de défaut de Grille. Plusieurs précurseurs monotones ont été identifiés sur le "pseudo plateau" de Miller et dans la forme d'onde de la tension de Grille. Ces paramètres sont inclus dans le test de cyclage instrumenté afin de discriminer les problèmes de Grille des autres (interconnexions). La deuxième section est dédiée aux fonctionnalités du banc de cyclage. Une partie a été consacrée à la mesure PETS qui nécessite une attention particulière concernant la potentielle dérive de la tension de seuil. Enfin, une piste pour une approche de suivi de l'état de santé plus multi-physique a été exploré avec l'instrumentation de deux modules.

Chapitre 4 : Vers un pronostic de durée de vie restante

Ce chapitre est dédié à l'analyse des données collectées lors des tests de vieillissement. Plusieurs étapes sont requises pour former une signature de défaillance pertinente. La première partie est la sélection des paramètres. Elle consiste à sélectionner des paramètres parmi tous les paramètres de vieillissement potentiels (50) car il est difficile de travailler avec un grand nombre de paramètres car ils ne sont pas tous pertinents. La deuxième partie, résume les différentes étapes de la classification pour estimer l'état de vieillissement d'un module de puissance.

Les données brutes sont obtenues pendant toute la durée de vie du module et sont rassemblées dans des fichiers dédiés. Ces fichiers sont parcourus par un script MATLAB Mathworks pour calculer 50 paramètres potentiels. Pour chaque paramètre, une corrélation avec le vieillissement est vérifiée grâce au critère de Spearman. En outre, la quantité d'informations contenue dans la dérive d'un paramètre est évaluée grâce au calcul de l'entropie de Shannon pour sélectionner les paramètres qui vont avoir une évolution monotone avec le vieillissement mais aussi une variation suffisante au cours de la vie du module pour être observable. A la fin de la sélection, 10 paramètres sont enregistrés pour continuer vers la construction d'une signature de défaut et sa classification selon l'état de santé du module.

Pour commencer la construction de la signature, les paramètres sélectionnés sont standardisés en amplitude et en temps. Pour mettre à la même échelle de temps tous les modules, les cycles de durée de vie ont été traduits en pourcentage de la vie. Ensuite, des classes ont été construites pour apprécier le niveau de vieillissement sur la dérive des paramètres. A cette étape, la signature est composée de 10 paramètres. Pour en réduire la dimension, une analyse en composantes principales (ACP) est appliquée sur la signature pour créer 3 prédicteurs pertinents issus d'une combinaison linéaire des paramètres. Une dernière étape est nécessaire pour classer la signature réduite dans les classes. Pour cela, plusieurs modèles sont comparés (K-plus proches voisins (KPPV), machine à vecteurs de support (MVS), Réseau neuronal...).

La première section de ce chapitre permettra une vue d'ensemble des résultats obtenus lors de la campagne de tests de cyclage actif. Seulement 10 modules de test étaient disponibles pour le cyclage, car nous travaillons sur des prototypes. Une approche statistique est donc difficile dans cette configuration. Ce chapitre montrera comment les informations pertinentes en termes de pronostic peuvent être déduites d'une telle étude avec si peu d'échantillons.

Problématique de traitement des données

Au cours de l'étude, les modules testés étaient des prototypes fabriqués par SIEMENS. La conception spécifique du module de test est décrite au chapitre 2. Deux versions de ce prototype ont été testées. La première version contient seulement 3 échantillons et un seul module a été cyclé (TM1), les autres présentant des défaillances précoces. Dans la deuxième version, 9 modules étaient disponibles pour le cyclage (TM2 à TM10). Les résultats obtenus sont résumés ci-dessous :

- Des profils de vieillissement variés ont été testés avec des température maximales de jonction entre 74% et 96% de la température maximale autorisée par la fiche constructeur (150°C).

- Les durées de vie du module ont également balayées une large plage avec un nombre de cycle à défaillance variant de 6400 à 176 000 cycles.
- Le mode de défaillance observé n'a pas toujours été de même nature avec 5 défaillances de la diode interne du MOSFET, 3 défaillance de la Grille par perforation et deux modules dans lesquels ni la Grille ni la diode ont été mis en cause et dans lesquels nous n'avons pas pu déterminer la conséquence de la défaillance.

Les résultats présentés ci-dessus nous amènent à un constat : nous avons un nombre réduit d'échantillons (seulement 10) et aucune évolution logique en termes de vieillissement sous contraintes ne peut être facilement déduit de ces résultats. En effet, les profils de température imposés à chaque module varient de 74% à 96% de la température de jonction recommandée par la fiche technique. De plus, la durée de vie de chaque module ne peut pas être corrélée au niveau de stress. Selon cette observation, il sera impossible de déterminer un facteur d'accélération avec les tests réalisés. Cette observation est surprenante parce que l'on s'attendait à ce que la durée de vie augmente avec une diminution de la contrainte en température. Dans une étude avec un grand nombre d'échantillons, une loi logarithmique de vieillissement peut être obtenue afin de déterminer une durée de vie en connaissant le niveau de contrainte. Dans notre étude, la dispersion des résultats est due au fait que les modules sont des prototypes. Cela confirme qu'il est impossible de travailler avec des approches statistiques.

Puisque qu'aucune corrélation n'a été démontrée entre la durée de vie et le niveau de stress, on peut s'interroger sur une corrélation entre le niveau de stress et l'impact de la défaillance. Plusieurs modes de défaillance sont observés, en particulier des problèmes concernant l'oxyde de la Grille et la diode interne du MOSFET. Si nous nous concentrons sur cet aspect spécifique, nous pouvons également conclure qu'il n'y a pas de corrélation entre l'impact du mode de défaillance et le niveau de contrainte appliqué. Il sera donc difficile d'estimer l'impact d'un mode de défaillance simplement en connaissant un niveau de stress.

Cette section a montré que la quantité de résultats étant très faible, toute conclusion est difficile à établir en termes de pronostic de durée de vie du module. Les approches statistiques classiques ne peuvent pas être utilisées dans notre cas en raison du petit nombre d'échantillons. Il a été remarqué qu'aucune corrélation entre le niveau de contrainte appliqué et l'impact du mode de défaillance ne peut être observée et ainsi qu'avec le temps à défaillance. Dans la littérature, certaines études sont basées sur la prédiction de la durée de vie avec un comptage de cycle de type Rainflow. D'autres, utilisent des modèles de dommages de fatigue linéaire. Toutes ces méthodes nécessitent des modèles précis à réaliser. Dans notre cas, les modules sont des prototypes et ne sont pas adaptés pour ces méthodes, car aucun modèle n'est connu. Puisque nous ne pouvons pas travailler avec des approches statistiques, nous avons choisi de nous concentrer sur d'autres méthodes.

La piste la plus prometteuse de notre étude est l'approche par classification. En effet, de nombreux précurseurs potentiels de défauts ont été enregistrés pendant la durée des tests accélérés. Ces précurseurs constituent une grande base de données qui regroupe un grand nombre de candidats pour composer une signature de défaillance qui pourra alors être classée en fonction de l'état de santé du module. Notre étude propose de travailler sur les 50 précurseurs de défaillances potentiels enregistrés lors de tous les tests de cyclage. L'objectif est de trouver les plus pertinents pour établir une signature de défaillance fiable propre à ce type de module.

Différentes étapes sont nécessaires et seront présentées dans ce chapitre. La section suivante est dédiée au processus de calcul de ces 50 potentiels précurseurs de défaillance.

Transformation de données brutes en indicateurs de vieillissement

Un script MATLAB Mathworks est créé pour calculer les valeurs des paramètres au fil de la durée de vie du module. Ce script est conçu pour concaténer la valeur des paramètres à chaque lancement du calcul pour un même module afin de créer une base de données reflétant la vie entière du module quel que soit le nombre de jours de vieillissement. Dans le banc d'essai actuel, les données sont enregistrées pendant une journée entière et un calcul des 50 paramètres est réalisé une fois par jour. Après le premier jour du test de cyclage, le script commence par un étalonnage du PETS si nécessaire. Dans un deuxième temps, le script lance le calcul des 50 précurseurs potentiels grâce à d'autres scripts (celui pour évaluer la température de jonction et celui pour extraire le pseudo-plateau de Miller du signal de Grille). Les paramètres calculés sont ensuite stockés dans une feuille Excel avec le numéro de cycle d'enregistrement correspondant. Au deuxième jour, si le courant de Drain a varié de 5% durant la première journée, alors on re-calibre le PETS pour l'estimation de la température. On lance ensuite le calcul des 50 précurseurs potentiels et on vient les ajouter aux données du premier jour (en concaténant les cycles).

Avec, les re-calibrations de l'estimateur de température, les bruits et différentes erreurs de mesures, les signaux obtenus sur la durée de vie des modules ne sont pas facilement exploitables. Ils possèdent quelques points aberrants qui pourraient poser problème dans la suite de l'étude. En effet, dans une recherche de corrélation entre deux signaux le moindre point aberrant fait chuter le coefficient de corrélation alors que les signaux sont bel et bien liés. Pour remédier à cela, nous avons filtré les signaux des 50 paramètres de durée de vie grâce à un script de filtrage reposant sur le calcul d'une moyenne glissante avec un taux d'erreur adaptatif permettant de plus larges variations en fin de vie du composant afin de ne pas supprimer des points qui montreraient un changement de l'état de santé du module.

La prochaine section est dédiée à la sélection des paramètres les plus pertinents dans l'optique de construire une signature de défaillance du module de test.

Analyse des indicateurs de défauts et sélection des paramètres pertinents

Un paramètre pertinent pour constituer une signature de défaut est un paramètre qui est corrélé au vieillissement et qui est suffisamment porteur d'information. La corrélation reposera sur une évolution monotone selon le vieillissement, la quantité d'information reposera sur la dispersion des valeurs prises par le paramètre en fonction du vieillissement.

Corrélation des paramètres au vieillissement

Un coefficient de corrélation est toujours recherché entre deux signaux. Le premier signal, appelé X, est placé en abscisse. Ses valeurs sont indexées par l'indice i entre 1 et le nombre de points du signal n . De la même manière, le deuxième signal est placé en ordonnée et est nommé Y. Il est également indexé. Les deux signaux doivent avoir le même nombre de points pour calculer un coefficient de corrélation. La valeur du coefficient est toujours comprise entre -1 et 1. Lorsque le coefficient est proche de 1, les deux signaux sont positivement corrélés.

Lorsque le coefficient est proche de -1, les deux les signaux sont négativement corrélés. Ces deux possibilités assurent une corrélation. Enfin, quand le coefficient est proche de 0, les deux signaux ne sont pas corrélés. Dans notre étude, le signal X est le pourcentage de durée de vie et le signal Y est successivement l'un des 50 précurseurs de défaillance potentiels. Pour connaître les précurseurs les plus pertinents, nous avons considéré deux types de corrélation :

- Critère de Pearson
- Critère de Spearman

Le critère de Pearson tente d'établir une relation linéaire entre les deux paramètres. Le fait de rechercher une corrélation linéaire est une contrainte assez stricte. Deux signaux peuvent présenter une corrélation forte sans être liés de manière linéaire. Avec cette méthode, il était possible de mettre de côté des paramètres liés au vieillissement, tout simplement parce que leurs évolutions n'étaient pas linéaire.

Le critère de Spearman permet une contrainte plus douce en termes de recherche de corrélation. En effet, il permet d'estimer si deux signaux ont une évolution monotone en termes de rang. Ainsi un signal logarithmique aura un coefficient de corrélation au temps bien plus élevé avec le critère de Spearman qu'avec le critère de Pearson. L'évolution de ses points est toujours monotone donc corrélés au temps mais non-linéaire. Le second avantage du critère de Spearman repose sur sa capacité à discriminer les courbes très bruitées. Un nuage de points aléatoires (qui n'est donc pas corrélé au temps) va produire un coefficient de Pearson plus élevé qu'un coefficient de Spearman, car une régression linéaire du nuage est toujours possible si on ne fait pas attention à l'ordre de succession des points (et donc à leurs rangs).

Pour cette étude, nous avons donc soumis tous les précurseurs potentiels au calcul d'un coefficient de corrélation de Spearman. Nous n'avons gardé que les précurseurs montrant un coefficient supérieur à 0.8. Cela nous a laissé encore plus d'une vingtaine de paramètres. Il a donc fallu réduire la sélection à l'aide d'un second outil présenté dans la partie suivante.

Quantité d'information contenue dans un signal

Pour déterminer la quantité d'information contenue dans un signal, nous avons utilisé le calcul de l'entropie de Shannon. Cet outil est un calcul permettant de quantifier la quantité d'information contenue dans un signal en déterminant son étalement relatif. Prenons l'exemple de deux signaux connus pour illustrer cette méthode : le signal A est une droite linéaire avec une plage de variation comprise entre 0 et 500 d'amplitude et le signal B est une courbe logarithmique avec une plage de variation comprise entre 0 et 150 d'amplitude. Pour commencer, on crée des classes par dizaine. Les points compris entre 6 et 15 sont dans la classe 10, ceux compris entre 16 et 25 dans la classe 20... On peut déjà observer que les classes du signal linéaire sont équilibrées et celles du signal logarithmique sont de plus en plus vastes au fur et à mesure du temps croissant. Le calcul de l'entropie de Shannon, reposant sur le calcul de probabilité de rencontrer chaque classe, donne donc un résultat plus élevé (3.53) dans le cas linéaire que dans le cas logarithmique (2.23).

Cet outil sera donc utilisé pour extraire les paramètres montrant les plus grandes variations d'amplitude selon le vieillissement parmi ceux qui montrent déjà une corrélation suite à l'application du critère de Spearman.

Sélection des paramètres

Nous avons donc appliqué ces deux outils aux 50 paramètres des 10 modules testés. Il n'a pas été évident de trouver des paramètres permettant une bonne détection de l'état de santé connaissant la variabilité des profils et des défaillances observées. Cependant, 10 paramètres ont montré dans tous les cas des évolutions permettant de les sélectionner pour la signature de défaut. Ce sont les suivants : la température estimée, la résistance à l'état passant, la tension Drain-Source à l'état passant, le produit $I_D \cdot V_{GS}$ durant la phase d'estimation de la température, le courant de Drain durant la phase d'estimation de la température, La puissance dissipée en mode passant, l'amplitude moyenne du plateau Miller, Le temps de montée de 1 à 8 V, le coefficient directeur du plateau Miller et le temps moyen d'atteinte du plateau Miller.

Estimation de la durée de vie restante

Pour réaliser une estimation de la durée de vie restante à partir des paramètres sélectionnés il a fallu construire une signature de défaut. Cette signature est composée des 10 paramètres sélectionnés précédemment. Afin d'étudier le comportement des modules sur un nombre de points raisonnable, 5 signatures ont été extraites à 4 moments de la durée de vie des modules. Ces extractions nous permettront de connaître la valeur de la signature dans 4 classes distinctes : lorsque le module est sain (0%-55%), lorsque que le module est autour de 30% de la durée de vie, lorsque le module est autour de de 60% de sa durée de vie et lorsque le module est à la fin de sa vie (95%-100%).

Nous avons réalisé ces extractions pour 6 modules de test qui constitueront la base d'apprentissage pour les différentes approches d'estimation de la durée de vie détaillées ci-dessous.

Modélisation par méthodes de classification (MVS et kPPV)

L'approche par classification propose de travailler avec un faible nombre d'échantillons dans la base d'apprentissage. C'est pourquoi elles ont semblé pertinentes. Ces méthodes reposent sur une séparation des signatures dans un hyper-espace de même dimension que celle de la signature. Nous avons actuellement une signature contenant 10 paramètres. Cette dimension est un peu élevée et entraîne un risque sur la discrimination des 4 classes que nous cherchons à mettre en exergue. Pour appliquer ces méthodes dans un espace qui puisse être représentable nous avons choisi de réduire la dimension de la signature à 3 paramètres. Afin de ne pas choisir seulement 3 paramètres parmi les 10, nous avons recours à l'utilisation d'une analyse en composante principale (ACP).

L'ACP repose sur un changement de base de représentation d'un ensemble de données afin d'exprimer nos 10 variables en seulement 3 qui seront combinaison linéaire des 10. Cette méthode va nous permettre de travailler dans un espace en 3 dimensions sans trop perdre d'information sur la variation des signaux. Nous allons donc tester deux méthodes de classification sur la représentation 3D de nos signatures dans la nouvelle base de représentation : la machine à vecteurs de support et la méthode des k-plus proches voisins.

Machine à vecteur de support : La méthode MVS repose sur la création de frontière entre les différents groupes de points d'un espace. Ces frontières peuvent être de simples plans ou des formes plus complexes comme des noyaux gaussiens. Dans tous les cas, la méthode crée

une surface de séparation entre les classes puis une marge entre cette surface et les premiers points rencontrés de part et d'autre. L'algorithme fait évoluer la surface jusqu'à maximiser la marge autour de la surface ce qui permet une séparation optimale des deux classes voisines. Dans notre cas, les points des trois premières classes sont assez proches, nous avons donc opté pour une surface de type noyau gaussien, offrant une grande adaptabilité à la répartition des points dans l'espace 3D. Nous avons réalisé une phase d'apprentissage avec les signatures des 6 modules de test prévus. Le modèle créé grâce à l'apprentissage donne une attribution dans la vraie classe dans 83.3% des cas. Le modèle arrive à distinguer clairement la quatrième classe car les signatures sont bien séparées dans l'espace. En revanche, le modèle fait des confusions lorsqu'il doit classer les signatures issus des classes 1, 2 et 3. Ce modèle ne sera donc pas retenu pour estimer une durée de vie restante puisque les valeurs d'apprentissage ne sont déjà pas correctement attribuées dans les bonnes classes.

k plus proche voisins : Cette méthode repose sur des calculs de distance entre les points de l'espace afin de former des groupes. Les points les plus proches sont ainsi regroupés dans une même classe. Lors de l'arrivée d'un nouveau point à classer, on vérifie que sa distance au premier point d'une classe n'est pas plus grande que la distance de ce premier point au barycentre de la classe. On vérifie également qu'il est assez loin des barycentres des autres classes. Dans ce cas, il est attribué à la classe en question. Sinon, il peut être rejeté s'il est trop loin de toutes les classes ou s'il est à la frontière entre deux classes. Cette méthode a été appliquée à nos signatures d'apprentissage. Le modèle ainsi créé a permis de classer correctement 88.3% des signatures de l'apprentissage lors du test du modèle. Ici les classes 3 et 4 sont plutôt bien discriminées lorsqu'il s'agit de classer les signatures, en revanche une confusion existe toujours entre les classes 1 et 2. Pour confirmer que ce modèle n'était pas pertinent, nous avons extrait des signatures d'un septième module (TM10), qui n'appartenait pas à la base d'apprentissage afin de vérifier l'attribution des classes. Le modèle a montré un taux de bon classement des signatures de seulement 55 %. Cette méthode ne sera donc pas non pas utilisée pour l'estimation de la durée de vie restante.

Modélisation par réseaux de neurones

Les réseaux de neurones permettent une approche avec notre signature initiale de dimension 10. Cette méthode est assez difficile à interpréter mais présente de nombreux avantages. Un calcul en différentes couches (autant que la dimension de la signature) en parallèle permet une réponse de diagnostic rapide. L'algorithme est très adaptable et aucun modèle physique n'est requis. Avec cette méthode, chacun des 10 paramètres sont analysés et un biais et un poids sont attribués à chacun. Ces paramètres pondérés subissent ensuite une fonction d'activation de type sigmoïde. Le résultat est ensuite envoyé à la couche de calcul de sortie qui permet l'attribution des classes. Cette méthode a été appliquée à la base d'apprentissage et 100% des données d'apprentissage ont été correctement réattribuées aux bonnes classes lors du test du modèle.

Pour confirmer les performances du modèle, nous avons testé les données provenant du module TM10 comme nous l'avons fait avec la méthode kPPV. Dans ce cas, 96% des signatures ont été attribuées aux vraies classes. On peut donc être confiant sur la mise en place de réseaux neuronaux pour l'estimation de la durée de vie restante pour ces modules de test.

Approche de pronostic

Suite à ces résultats nous avons imaginé une méthode de pronostic de la durée de vie restante associant réseaux de neurones et logique floue. La part de logique floue viendra aider à la décision lors d'attribution ambiguë.

Pour éviter une mauvaise décision en termes de classification sur des points isolés, nous proposons de prendre une décision en étudiant une série de points. Au début, nous extrayons une signature à classer dans les quatre classes : 1 (sain), 2 (30% de la durée de vie), 3 (60% de la durée de vie) et 4 (fin de vie). Le pourcentage d'adhésion de cette signature à chaque classe est calculé par le modèle par réseau de neurones. Si le pourcentage d'adhésion à une classe i est supérieur à 85%, la signature est attribuée à classe i . Si ce n'est pas le cas, nous devons étudier les signatures suivantes pour classer la première. Lorsque chaque pourcentage d'adhésion est inférieur à 85%, nous examinons la composition de 2 signatures extraites juste après la précédente. Si ces signatures ont un maximum de probabilité à être dans la même classe que la première signature, par conséquent la première signature est attribuée à la classe en question. Si les 2 signatures de validation ne montrent pas la même tendance d'adhésion, nous pouvons passer à une classification par logique floue en donnant une information d'appartenance selon le pourcentage calculé pour chacune des classes. L'exemple de cet algorithme est détaillé dans le manuscrit et montre des résultats prometteurs.

Conclusion du chapitre 4

Dans ce chapitre, nous avons proposé une analyse de données afin de réaliser une estimation de la durée de vie utile restante pour les modules de test. La première section était consacrée à la présentation des problématiques. Le module de puissance étudié étant un prototype, le nombre de modules disponibles pour les tests a été très réduit (seulement 10). Les profils de contrainte étaient similaires mais les profils de température étaient très variables d'un module à l'autre. Étant donné le nombre de module et la variabilité des profils, une approche statistique était impossible. Pour traiter efficacement les données, une approche autour d'une signature de défaillance a été choisie. Un maximum de précurseurs de défaillance potentiels a été calculé pour chaque module (50 paramètres). Ils ont ensuite été filtrés et harmonisés en temps pour être comparés. Une étape importante réside dans la sélection des précurseurs pour construire la signature de défaillance. Premièrement, un calcul de corrélation de Spearman a été fait pour identifier les précurseurs montrant une évolution monotone avec le vieillissement. Dans un second temps, un calcul d'entropie de Shannon a permis de réduire le nombre de candidats passé à dix. A la fin de cette étape, une signature de dimensions 10 est construite et constitue une image de la santé du module tout au long de sa durée de vie.

La dernière partie de l'étude est axée sur l'utilisation de la signature de défaillance pour déterminer la durée de vie restante. Nous avons choisi trois méthodes de classification potentielles pour déterminer l'état de santé d'un module de puissance en fonction de sa valeur de signature. La méthode la plus prometteuse est le réseau neuronal. La première étape consiste à réaliser une phase d'apprentissage sur des signatures extraites à des durées de vie connues. Ces signatures sont utilisées pour construire un modèle afin de déterminer si une signature appartient à l'une ou l'autre des classes. Ce modèle a ensuite été testé sur de nouvelles données d'un module qui n'a pas été utilisé pour la phase d'apprentissage. Nous avons extrait des signatures que le modèle a attribué à la classe la plus appropriée. Dans l'ensemble, le

modèle discrimine bien l'appartenance de chaque signature. Cependant, une grande amélioration pourrait être apportée sur la précision de l'estimation de durée de vie restante, les classes actuelles ne permettant que de déterminer si le module est proche de 0%, 30%, 60% et 100% de sa durée de vie.

Conclusion

Ce rapport a présenté les défis actuels concernant la généralisation des dispositifs d'électronique de puissance dans des systèmes complexes, en particulier dans le domaine de l'aéronautique. Il a proposé de mettre l'accent sur un module de puissance conçu par les membres du projet *I²MPECT*. Ce module de puissance vise à composer un convertisseur de puissance le plus intégré, intelligent et modulaire possible. L'aspect fiabilité était au cœur de ma contribution au projet avec un objectif final autour du pronostic de la durée de vie des modules de puissance grâce à la mise en place d'une signature de défaut spécifique acquise en fonctionnement. Pour atteindre cet objectif, plusieurs étapes ont été mises en place.

Bilan

Dans un premier temps, une analyse de la littérature a permis de comprendre la mise en place des mécanismes de défaillance de plusieurs technologies de modules et de puces. Certaines similitudes avec des modules de puissance étudiés ont permis d'extraire les modes de défaillance les plus attendus dans notre module de puissance planaire sans liaison filaire composé de MOSFET en carbure de silicium. Les modes de défaillance considérés pour l'étude ont été :

- Défaillances de l'oxyde de grille : perforation partielle ou claquage de l'isolant
- Défaillances de la métallisation : reconstruction ou décollement du connecteur de Source
- Défaillance du report de puce : fissures, électro-migration, reconstruction sous effets thermiques

Après une vue d'ensemble des normes en termes de tests de durée de vie accélérée et de pré-curseurs associés dans une optique de suivi d'une défaillance spécifique, nous avons créé un plan de test en deux parties. La première partie a été dédiée à l'analyse du comportement de la puce avec un test HTGB afin de trouver les précurseurs potentiels des défauts de Grille (C2M0080120D). La deuxième partie était dédiée à un test de cyclage actif. Le but du cyclage actif était de déclencher des modes de défaillance dans l'ensemble du module grâce à un cyclage thermique permis par la dissipation de puissance de la puce en fonctionnement. Plusieurs profils thermiques ont été testés pour essayer de déclencher différents modes de défaillance. Pendant tout le test de cyclage actif, de nombreux précurseurs potentiels (50) ont pu être mesurés afin de construire une signature de défaut en fonction de l'évolution des précurseurs vis-à-vis du vieillissement.

Pour appliquer ce plan d'essai, deux bancs d'expérimentations ont été réalisés et des outils de caractérisation ont été utilisés. Le test préliminaire HTGB a été mené avec une puce packagée (plus disponible que les modules complets) afin de tester une grande quantité de dispositifs et d'obtenir un résultat plus précis dans le choix des précurseurs. Le test HTGB a permis de vieillir les 30 puces simultanément, cependant les caractérisations ont été faites individuellement par un B1505 et un circuit UIS. A contrario, le banc d'essai de cyclage actif était autonome pour appliquer le cyclage de puissance et les deux phases de caractérisation choisies (estimation de la température et caractérisation par double impulsion). Les phases de caractérisation étaient réalisées en ligne et ont produit une base de 50 précurseurs potentiels qui ont été analysés dans le dernier chapitre du rapport.

Au cours de la période du doctorat, seulement 10 modules de test ont été disponibles pour réaliser les tests de cyclage. La quantité de données en termes de durée de vie en fonction du niveau de stress ne suffit pas pour mettre en place une approche statistique ou appliquer une loi d'accélération. En outre, les modules étant des prototypes et non fabriqués à la chaîne, le temps à défaillance et les modes de défaillance étaient divers d'un module à un autre. Certaines défaillances ont concerné l'oxyde de Grille et d'autres les interconnexions (en particulier la métallisation supérieure). Par conséquent, l'approche de la fiabilité a été axée sur la construction d'une signature de défaillance qui couvre les deux types de modes de défaillance pour pouvoir donner une estimation de la durée de vie restante dans les deux cas. Parmi les 50 précurseurs potentiels disponibles à la fin d'un cyclage, nous avons sélectionné les principaux précurseurs les plus prometteurs grâce à un calcul de corrélation de Spearman et un calcul d'entropie de Shannon. Ces outils mathématiques ont permis d'extraire les précurseurs qui ont une évolution monotone avec le vieillissement, mais aussi qui montre une grande plage de variation. Après cette étape, nous avons réussi à construire une signature de défaillance de dimension 10 (10 paramètres) qui montre une variation représentative en fonction du vieillissement quelle que soit le mécanisme de défaillance en cours. Selon cette évolution de la signature, nous avons créé 4 classes grâce à une phase d'apprentissage utilisant 6 modules parmi les 10 disponibles. La première classe représente une signature de module sain, la seconde une signature d'un module autour de 30% de sa durée de vie, la troisième une signature d'un module autour de 60% de sa durée de vie et enfin une quatrième classe qui représente une signature d'un module à la fin de sa vie. Le modèle le plus efficace pour discriminer ces classes en connaissant la signature de défaillance est un réseau de neurones. Le modèle a été testé sur un nouveau module et a attribué les signatures extraites dans les vraies classes à 96%. Enfin, une méthode d'estimation de la durée de vie restante a été proposée mais n'a pas pu être mise en œuvre sur plus d'un module.

Contribution scientifique

Ce travail a proposé une approche de type boîte noire pour évaluer la fiabilité des modules de puissance à base de technologies innovantes. La méthode proposée basée sur une grande phase d'apprentissage permet d'établir une estimation assez fiable de la durée de vie restante sans la construction d'un modèle physique. Une élaboration de modèle physique n'est pas toujours possible car les informations sur la conception du module et/ou de la puce ne sont pas toujours disponibles. La méthode proposée sera un bon moyen, pour un utilisateur industriel, d'établir un diagnostic et un pronostic du module de puissance après un apprentissage selon les profils de mission qui l'intéresse. La méthode ne nécessite pas un grand nombre d'échantillons et peu de temps pour trouver une signature pertinente, propre à un profil de mission. Le banc d'essai créé permet un cyclage actif pour le vieillissement de modules avec la mesure en ligne de 50 paramètres pendant la durée totale du test. Chaque mesure a été étudiée pour être la plus précise possible en dépit d'une commutation de puissance qui peut créer des perturbations.

Perspectives

Certaines améliorations techniques peuvent être apportées au banc d'essai en cyclage actif. Certains paramètres ont été laissés de côté en raison de difficultés de mesure mais sont cependant très prometteurs comme par exemple le courant de fuite de Grille. Des solutions techniques peuvent être trouvées avec un circuit de mesure isolée. Ensuite, jusqu'à présent,

le calcul des 50 paramètres est réalisé par une routine MATLAB qui est lancée séparément. Pour avoir un banc d'essai efficace, les paramètres devraient être vraiment calculés en ligne et la mise en place de limites doit exister pour pouvoir arrêter le cyclage si certains paramètres présentent une dérive trop élevée.

Concernant l'estimation de la durée de vie restante, une perspective plus large peut être envisagée. Tout d'abord, le nombre de modules de test disponibles est très réduit pour cette étude. Appliquer notre modèle sur un plus grand nombre d'échantillons pourrait être intéressant. Deuxièmement, nous avons créé une signature de défaut qui n'est pas discriminante de chaque mode de défaillance. Nous avons remarqué que certains paramètres ont une certaine évolution dans un mode de défaillance et une évolution moins importante dans un autre, mais nous n'avons pas réussi à établir une classification qui permet de distinguer les mécanismes de défaillances propres à l'oxyde de Grille et ceux propres aux interconnexions. Enfin, le modèle construit donne des informations floues sur la durée de vie restante en raison de la création de 4 classes seulement. La raison principale est la variabilité de l'évolution des paramètres selon chaque module. Même si l'évolution des paramètres présente toujours la même tendance quel que soit le mécanisme de défaillance en cours, nous remarquons un étalement de la signature sur une amplitude qui n'est pas négligeable par rapport à la dérive complète de la durée de vie. Par conséquent, si nous voulons obtenir des classes plus précises, comme un intervalle de 5% de la durée de vie par exemple, nous aurons une superposition des classes en raison de la variabilité de chaque module et une information totalement confuse sur l'estimation de la durée de vie. Je pense qu'un travail sur la répétabilité doit être fait pour améliorer ces problèmes d'estimation de durée de vie. Le module de test doit être plus reproductible et le profil thermique des tests également. La principale difficulté dans la répétabilité du profil de contrainte thermique était que nous ne pouvions pas faire une boucle de contrôle sur la température de jonction (car cette valeur est estimée par PETS hors ligne). Nous avons seulement réalisé une boucle de contrôle sur le courant d'auto-échauffement, tous les prototypes présentant une réponse différente à cette consigne, les profils thermiques ont différé à chaque test.

Ce rapport a proposé d'évaluer le niveau de fiabilité d'une nouvelle technologie de module au fil de sa conception par les membres du projet. Ce travail constitue un premier essai de méthode de classification afin d'estimer une durée de vie restante sur des nouvelles technologies sans modèles physiques. Les modules testés étant des prototypes, l'efficacité du modèle de classification ne peut être assurée à échelle plus large.

General introduction

Power electronics converters are key elements for a large spectrum of systems. Their various functionalities and their performances are well appreciated in competitive industries as aeronautics. One of their assets is the modularity of converters. The presented study makes a focus on power module constituting the power converters that allow such a modularity. The present issues concerning power modules and converters more generally are focused on power density optimization and reliability assesment. In this frame, we are interested in power module reliability issues. The condition monitoring has rapidly emerged as a efficient way to determine a reliabilty assesment method.

Meet tomorrow's challenges in transportation

In a context of more electrical mobility, many projects have emerged around the development of a more electric aircraft (MEA). The aim of these projects is to replace hydraulics and pneumatics transmission sytems by electric actuators in aircrafts. These actuators will be the terminations of a larger electrical network than in actual aircrafts. The assets of an electrical installation compare to hydraulics or pneumatics ones are numerous. The electrical systems are generally smaller and lighter. But they are also easily controlable and more reliable. The reliability aspect is improved with electrical systems for many reasons. Fristly, their smaller volume and their fonctionnalities allow more redundancy than hydraulics and pneumatics systems. When a converter is faulty, its role can be fulfilled by a second one with reduced arrangements of the whole system. Secondly, the maintenance aspect is less constraining. The last advantage is the simplicity of an only network type. The level of reliability of a system is linked to its complexity. If many different technologies are gathered, the risk of failure is higher.

It is in this context that the European H2020 project, *I²MPECT*, participates to the design of an innovative power converter. In the new electrical system of the MEA, power converters will be required to drive every actuators and to switch from an electrical grid to another. These elements are numerous in the final aircraft and represent key elements in terms of power efficiency and reliability of the whole electrical installation.

The *I²MPECT* project was lead by a consortium of industrial and academic partners. Each partner is chosen to bring its competence to a specific aspect of the converter. The designed converter must propose innovative solutions in terms of power module design (management of power density, Electromagnetic Interference (EMI), thermal aspect) but also in terms of driver solutions and filtering functions (sizing and optimization of passive elements). The final converter is designed thanks to specifications from Airbus and Safran Electrical and Power.

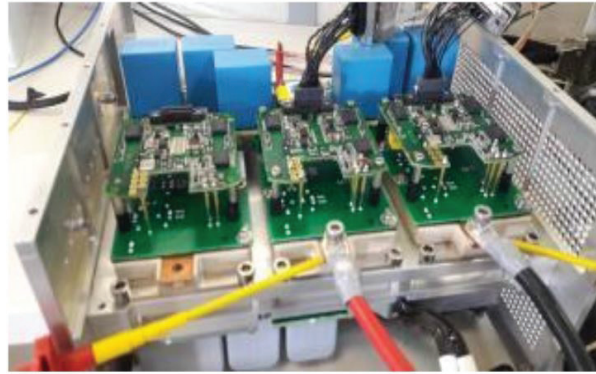


Figure 1 – Global view of the complete converter (Safran's picture)

The collaboration of the different partners has allowed to explore several research tracks to design an innovative power converter.

Scientific background

The condition monitoring of actuators is recognised as being essential in many publications. The converters being directly linked to actuators, their reliability constitutes a concern equally important [62]. Converters are key elements in numerous applications (transportation, photovoltaics...) and are responsible of many failures [28]. In our context, to gain in volume, weight and efficiency, the use of Wide Band Gap (WBG) technologies is required [47]. The WBG creates more thermomechanical strains in despite of all material and design optimization and the condition monitoring is the only way to insure a suitable reliability for such systems [69].

A major part of publications concerning WBG technologies and especially Silicon Carbide focuses on the die performances and are realised in lab conditions. Information brought by literature on this new technology is really helpful to understand these die behaviour. However, laboratory tests cannot be realized on a die included in a whole module in working order. The die chosen to realise the project module is a silicon carbide MOSFET. The behaviour of this MOSFET cannot be assimilated to the silicon MOSFET [56]. It is so impossible to use any modelisation produced for a silicon MOSFET.

The publications concerning the module interconnections and the packaging reliability are often led with passive thermal test, in which the die influence is not highlighted. Many studies are also produced on modules composed of better known dies: the IGBT. We have also to keep in mind that a large quantity of designs are possible to construct a power module especially to realise the interconnections (wire bonds or not and types of solder). Only few studies are interested in the issue of a whole planar module composed of silicon carbide MOSFETs.

Our study is placed at the meet point between component and packaging specialities. We want to consider the whole module as a black box and work on as many failure modes as it is possible concerning issues from the die and the interconnections.

In literature, reliability studies focusing on a Remaining Useful Lifetime (RUL) use lifetime prediction methods with rainflow counting, as in [27], [54] and [64]. Some others, as [34], [51] use models of linear fatigue damages. In both cases, accelerated lifetime tests are performed and precise physical models of the power module and the die are required. The studied power module in this study is quite innovative in terms of die technology and interconnections materials and methods. As no model already exists for this type of power module, the previous approaches have been let down for the benefit of an experimental behaviour learning approach based on accelerated lifetime tests.

General methodology

First, a literature study is required in order to determine the most expected failure modes in the project module knowing what the mechanisms are in similar technologies. Once potential failure modes are identified, a literature study is necessary to find out methods, and especially accelerated lifetime tests, that allow to trigger these expected failure modes in a shorter time than in a normal use. The study being limited in time, we have to obtain the maximum of experimental data in a short time. When the most promising accelerated lifetime tests are selected, we have to research the better failure indicators among the measurable parameters, in order to make the most complete condition monitoring as possible. The failure indicators selection must cover the previously determined failure mechanisms.

In a second time, a test plan is determined to trigger failure modes relative to the die itself (High Temperature Gate Bias (HTGB) test) and to the whole module (Power Active Cycling (PAC) test). This test plan implies the development, the design and the realization of two dedicated test benches. These test benches are both instrumented for precise characterization phases, off-line for HTGB and on-line for PAC. The HTGB test bench will perform a large quantity of tests on packaged MOSFET dies, in order to learn more on MOSFET dies behaviour given that no precise model exists until now. HTGB test has allowed to emphasize some failure indicators proper to the die failure mechanisms. These indicators measurement have then been introduced in the PAC test to monitor a potential die failure mechanism in the global module ageing. The PAC test has allowed to produce a database with 50 potential failure indicators whose evolution are recorded on-line along all the module lifespan.

In final time, the created database is used to determine the health state of the power module along its lifespan. The number of module samples available for testing being very reduced (10 components), a classical statistical approach has not been foreseen. The data treatment was oriented to a failure signature construction in order to locate this signature in a classification space where the different area will define some intervals of lifespan. The signature is composed of failure indicators combination. The signature failure indicators have been chosen through selection methods to assure the best response in terms of signature variation according to ageing. A learning phase is realized with 6 modules among 10 to create the 4 classes: healthy time, 30% of lifespan (already over), 60% of lifespan (already over) and end of lifespan (near). The final aim is to predict the present percentage of lifespan for a module in a normal use just by knowing its signature classification in proposed classes.

PhD issues

To summarize the previous lines, the key issues of this PhD lies in:

- Establish an on-line monitoring of SiC-MOSFET-based power module
- Establish a failure signature in order to predict a Remaining Useful Lifetime (RUL)

The main objectives can be translated into the following points:

- Establish a test plan in which expected failures are triggered and are characterized on line by electric precursors
- Realise a test bench in which expected failures are observed through electric precursors within an accelerated life test
- Construct a failure signature allowing the detection of the maximum of failure mechanisms in the studied module technology by using classification methods in order to estimate a RUL

Manuscript content

The first chapter focuses on silicon carbide MOSFET based power modules by first describing their composition and their functions. A particular attention is given to the changes induced by the silicon carbide technology. The silicon carbide MOSFET used for this study presents many advantages but issues concerning the control Gate still persist. Then main failure modes observed in power modules are detailed and finally the project module is presented to tighten the study on relevant failure modes. The design of the project module was studied to be optimized in terms of interconnections and packaging with a planar technology. Thus the number of expected failure modes can be reduced compared to the literature study.

The second chapter is dedicated to the triggering and the detection of failure modes. A large overview of existing accelerated lifetime tests is made and a comparison of the most promising failure precursors will be presented according to expected failure modes. The accelerated tests concerning the die itself are first considered. The aim is to find a test that allows some relevant ageing parameters extraction by triggering a sufficient level of ageing in a short time. Second, a part is dedicated to the accelerated tests for power modules. These tests are often thermal cycling ones. Advantages and drawbacks of each type of thermal cycling is discussed. A last part presents the test plan established for the study with two accelerated lifetime tests, HTGB and PAC, and all the potential precursors that we want to explore. The HTGB is realized to learn more about the SiC MOSFET behaviour suffering from a Gate oxide ageing, in order to incorporate these informations in the global accelerated test, which is the PAC test, and will made the whole module age under thermal cycling.

The third chapter presents the two test benches realized to apply the test plan. Issues about the realization of these test benches (module behaviour, precursors measurement issues...) are discussed and the use of test benches is described. The first part is dedicated to the HTGB test bench and the results about SiC MOSFET dies behaviour recorded during the accelerated test. A second part is dedicated to the test bench description with all the functionalities

asked by the test plan. Especially, the protocol to estimate the junction temperature thanks to a thermal sensitive parameters (TSEP) and the double pulse characterization to record parameters during MOSFET switching.

The fourth chapter is dedicated to the data treatment in order to construct a failure signature to determine the health state of the power module. This chapter details how data are filtered to obtain relevant signals. These signals are then analyzed through a selection process to extract the signals that are correlated with ageing and which present the maximum of information level. After the selection phase, a 10 dimension signature is constructed and classified into 4 classes representative of the module ageing. In a final part, the classes are modeled by several models through a learning phase (SVM, kNN, Neural Network) in order to predict a remaining useful lifetime with unknown module data.

Chapter 1

Silicon Carbide MOSFET based power module

Power converters are key elements to meet challenges targeted by the More Electric Aircraft (MEA) objectives. These objectives aim to replace hydraulic and pneumatic systems by electric systems to gain some volume, weight, efficiency and cost at similar reliability. Electrical loads in an aircraft are various and an electric DC grid with modular converters is one solution to supply the different functions required from spoiler actuators to braking systems. Many projects have been launched during this last decade to contribute to this future MEA and namely the converters. *I²MPECT* project (2015-2018), targets an integrated, intelligent, modular power converter where all aspects of design will be treated by a consortium of industrials and academics. My PhD takes place in this project through a study of the reliability aspect of power modules. This first chapter gives an overview of failure modes in power modules focusing on the dies but also on the different materials and components which are used. The last section is dedicated to the *I²MPECT* module design and the solutions that has been chosen to reduce failure modes occurrences. The residual failure modes which can occur in the power module will be pointed.

1.1 Power module composition and functions

Power converters have an important place in an energy chain. The first subsection will establish how converters are used more and more in the field of transportation among others. The second subsection will be dedicated to power module description in order to highlight the relation between each component. The last part will compare Silicon Carbide MOSFET die features by comparison with Silicon technology one.

1.1.1 Power converter in an aircraft energy system

History of aircraft electrification

As described in [9], progressive electrification of aircraft is a process initiated in the 50's and it is again a challenge today. The first commercial airliner was composed of a simple electric grid at 28 V for a global consumption of 27kW. Main actuators used were hydraulic or mechanic energy. Over the years, gain in terms of weight imposes the electrification process. In the 70's, the A300 from airbus welcomed a 400Hz / 115V grid to provide 250kW to the

aircraft systems. The high frequency also participates to the reduction of machine volume and weight. With electrification, size of actuators has been reduced and flight commands have also evolved. Since the 80's, cockpits radically changed to become totally digital and allowed an augmented control of the aircraft. Since the A320 and more recently with the A330, electrification allows also passengers convenience with electric seats, video systems and kitchen services. Aircrafts are also more reliable thanks to electrical systems for actuators, sensors, braking or again defrosting. Fig. 1.1 describes the present hydraulic, mechanic, pneumatic and electric distribution systems of a A330 and what will be these systems in a future commercial airliner.

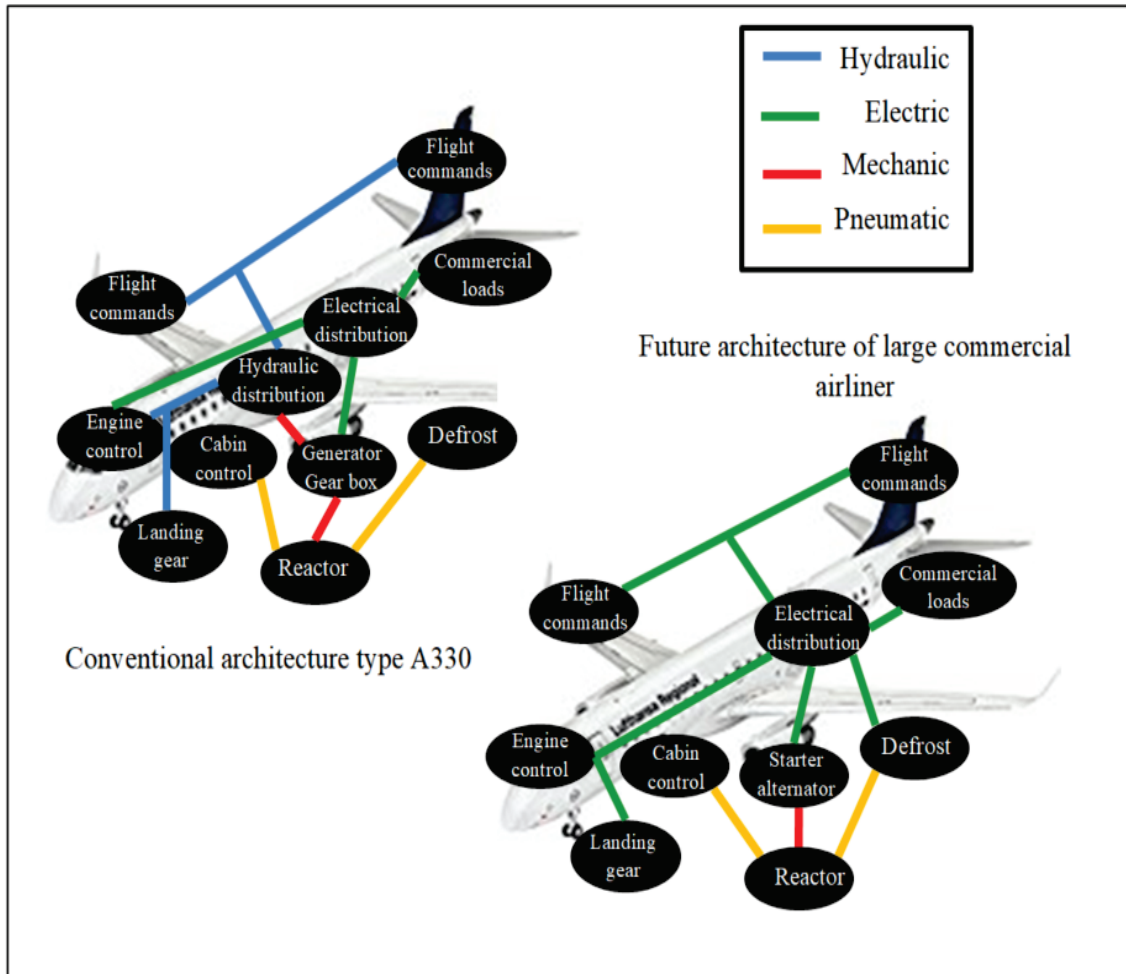


Figure 1.1 – Evolution of electric parts in large commercial airliner [9]

This future aircraft will benefit from the More Electric Aircraft (MEA) projects. As explained in [9], the objectives of MEA projects are ambitious with the willing to obtain:

- A reduction in power consumption in propulsive phase of 25%.
- A reduction in global power consumption
- A reduction of 5% in kerosene consumption
- A reduction in global aircraft weight
- A reduction in maintenance cost

- A stability in equipment cost
- An increase in reliability and safety

The main concern deals with the aircraft grid. In MEAs, it will be a DC one at 350V. The grid will deserve a lot of actuators more specific than previous ones to fulfil all functions of the aircraft from braking to air cooling and from spoiler control to defrost system. Power converters will be the key feature to interconnect to this new DC grid, all these different loads. The place of converters in present aircraft will be presented in the next paragraph. A discussion about their modularity and how to adapt them in a MEA approach will be done.

Place of converters in an aircraft grid

[55] has highlighted the difference between the electric grid in a A330 and the grid in a MEA (A380), illustrated in Fig. 1.2.

In the A330 grid, there are hydraulic actuators driven by electric commands. Hydraulic grid is responsible of flights commands, braking system and landing gear. The backup solution for hydraulic system is a wind turbine. This wind turbine supports the hydraulic system which is linked to the AC safety grid (AC ESS BUS) to provide energy to essential parts in case of emergency. This AC grid is also supported by a DC one fed by batteries, through an inverter. In the A330, electrical grid is composed of an AC system (115V / 200V at 400Hz) fed by Integrated Drive Generators (IDG) to supply power parts and a DC system (28V) fed by the AC one through Transformer-Rectifier Units (TRU) dedicated to electronic parts of the aircraft. In the A380, electric parts take a more important place with a third of the actuators fed by electrical power. The safety is totally assured by electric parts. Indeed, the emergency wind turbine supplies the power AC grid through a system of inverters and rectifiers. The last improvement concerns the power generation. Variable Frequency Generator (VFG) is used to sweep a frequency range between 360Hz and 800Hz, allowing a speed variation without any heavy speed variator as used in the A330.

Between A330 and A380, we can notice a real development of electric grids in aircrafts and particularly the implementation of power electronic converters in different structures: inverters, rectifiers or DC-DC converters.

Modularity of converters

Multiplicity of converter structures and functions has led industrialists to work for an optimized way. Instead of designing each converter according to a specific function, the idea is to realize modular converters in which specific modules can be assembled differently from one converter to another one. Above all, it will reduce the maintenance cost thanks to the replacement of one failing module and avoid the replacement of a power converter in the whole. If all aircraft converters are composed of the same modules, it would also create a possibility for reduced manufacturing cost. Therefore the European project I²MPECT (Integrated Intelligent Modular Power Electronics Converter) targets the development of a converter composed of separate power modules to create a DC/AC converter and meet challenges exposed in the next section.

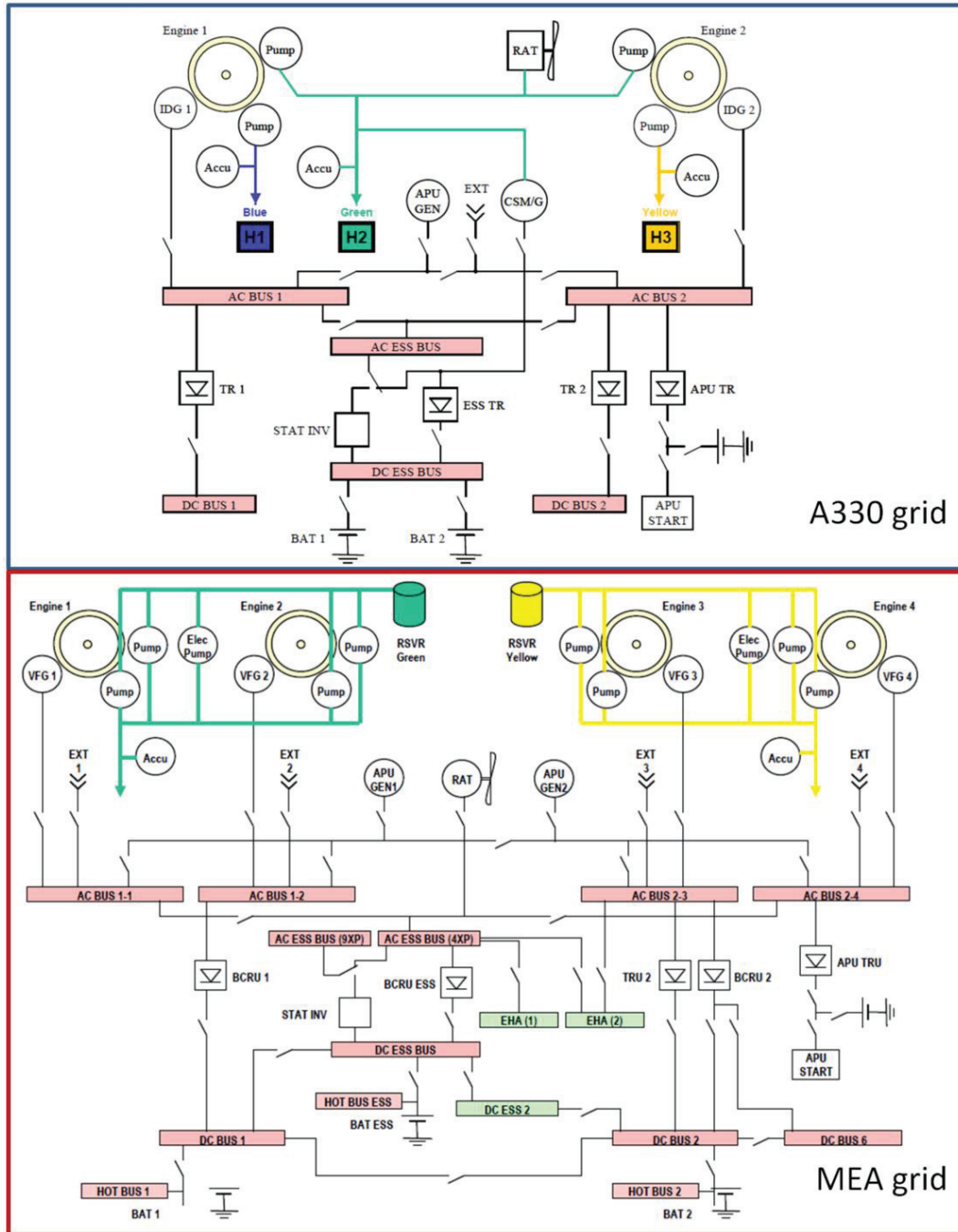


Figure 1.2 – Global hydraulic, pneumatic and electric grid in A330 and MEA (A380) [55]

I²MPECT challenges

In order to address present issues of a more electric aircraft, I²MPECT project members have set ambitious objectives realizing the complete converter shown in Fig. 1.3. These objectives can be grouped in five lots:

- Realize a high power density, compact converter (45KW, 130Arms, 10kW/Kg)
- High energy efficiency with losses reduced by about 50% thanks to wide band gap chips

- Efficient cooling system
- Address in a different manner safety and reliability aspects to preserve weight and size with active condition monitoring
- Reduced maintenance cost

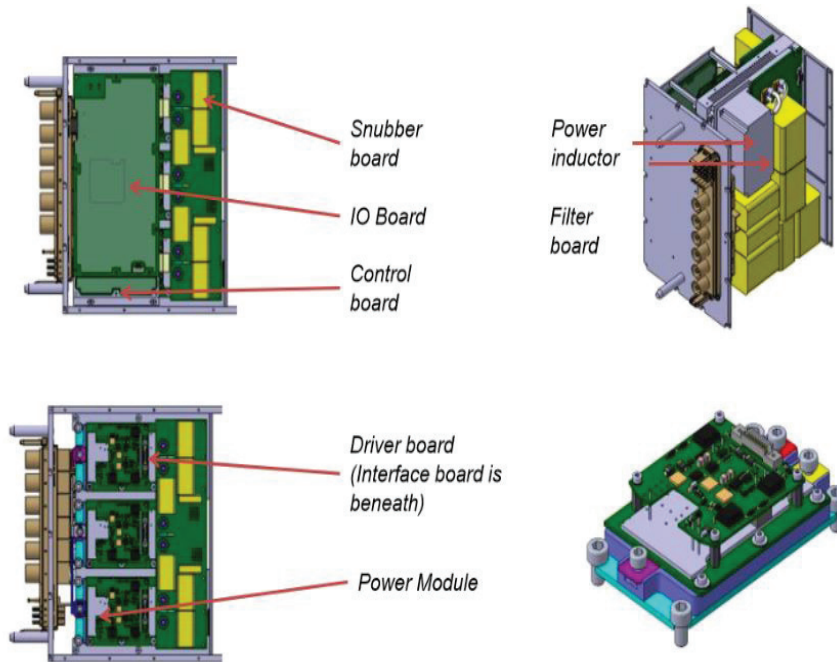


Figure 1.3 – Views of a complete converter (Labinal Power Systems)

For the first point, technical solutions are considered. Dies with high current density will be embedded in a planar module to save volume. The die gate drivers will be joined with control and protection units, and all will be integrated in the converter. Converter and module design will be optimized to reduce passive components size and will allow compact encapsulation. Concerning the second point, the efficiency will be principally based on the technology of the chips because SiC MOSFETs are supposed to cut power module losses by about 50%. Concerning the cooling concept, it has to be efficient to extract heat produced by the module at high power and has to be innovative, integrated and lighter than prevailing solutions. The safety and reliability will be assisted by on line condition monitoring based on temperature sensing thanks to Temperature Sensitive Electrical Parameters (TSEP). Technologies composing the module are also studied to avoid expected failure modes. For instance, the module will be wire bond free. Finally, a suitable choice of materials and design combined to condition monitoring will benefit to maintenance cost. Even more if a life prediction of the module can be extracted from condition monitoring data.

In figure 1.3, different views of the complete converter are pictured. It shows how different parts, such as power modules, passives elements in EMI filter or driver board are combined to propose a more integrated converter. Although all converter components will play a role in the achievement of the previous objectives, this PhD contribution proposes a focus on power modules.

1.1.2 Power modules

Power module can be various in terms of materials and technology choices. The description will not be exhaustive but the aim is to understand the main relations between elements constituting a power module. A simplified cross-view of a power module is shown in Fig. 1.4 [85]. The module substrate is composed of a copper baseplate and a Direct Bonded Copper (DBC) that is a ceramic layer between two copper layers, allowing a better conduction of heat to the cooling system. Drain face of chips is sintered (often with Ag) or brazed on the DBC. Gate and source pads are connected thanks to wire bonds in general case. Between these conductive elements, space is filled with a dielectric gel. All is contained in a plastic frame and connectors are placed on the top of the module alone.

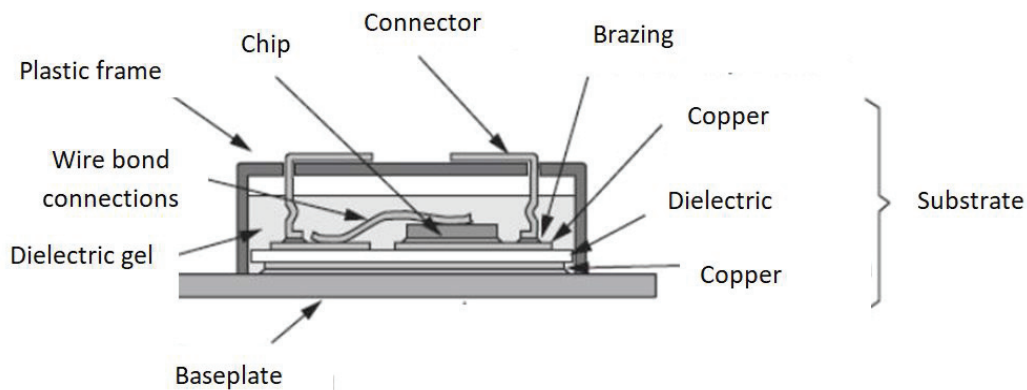


Figure 1.4 – Cross-sectional view of a power module [85]

Designing a power module is not only related to the function of the final converter. Many elements have to be taken into account. An optimization between ElectroMagnetic Interference (EMI), thermal and reliability aspects has to be realized to propose an efficient power module. The reliability is mainly addressed to component choices and interconnections manufacturing. Indeed, several materials composing power modules are different in terms of mechanical behaviour, presenting different coefficients of thermal expansion (CTE) what implies different deformations under thermal constrains when in use. Trade-offs in terms of material choice and assembly will be details in the next section, along with the main failure modes expected in such modules. It will be shown that mechanical studies have lead to a real improvement in reliability but haven't achieved the full cancelling of faults, especially in power module with silicon carbide chips.

EMI and thermal management trade-off stays an important issue in power module designing. To improve EMI aspect, power modules must present the shortest possible connections to offer optimized commutation loop. The frequency is also very high to reduce passive components size but stimulate perturbations. To sum up, EMI aspect optimization leads to a reduction in global size of the system and high operating frequencies. However, thermal management requires large system to evacuate heat produced by active and passive components. Thermal management requires innovative solutions to evacuate the losses in a compact system.

Issues on frequency, passive components size and thermal management have been a big con-

cern in I²MPECT project because of the silicon carbide MOSFETs. Next part will detail main differences between silicon and silicon carbide chips in terms of efficiency and structure.

1.1.3 SiC/Si MOSFET

Since project members have chosen *a priori* a silicon carbide MOSFET chip (C2M0025120D from Wolfspeed), the comparative study between silicon and silicon carbide technology will be focused on MOSFET. SiC MOSFET promises improvement in terms of power density, commutation speed and losses dissipation. Several studies as [50] and [79] gather information about silicon and silicon carbide device which are described in Fig. 1.5. SiC MOSFET shows a power density twice better than silicon and a maximum switching frequency ten times higher.

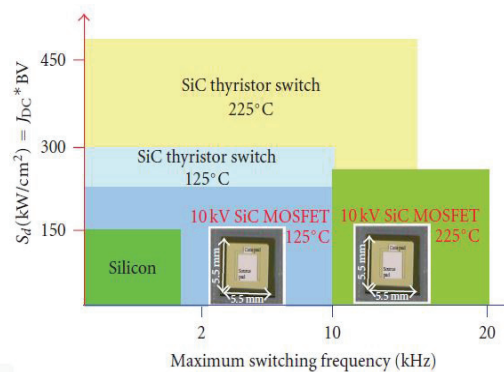


Figure 1.5 – Comparison between Si and SiC component in terms of power density and switching frequency [50]

Losses are also reduced in SiC technology as shown in Fig. 1.6 [56]. We can notice that switching losses during turn-OFF are practically suppressed and conduction losses are drastically reduced thanks to a lower on-state resistance in silicon carbide. This must be unfortunately correlated to a large switching speed and consequently a large contribution to EMI. Said differently, the gain offered by semiconductor dies should not be compromised by EMI filters (weight, losses).

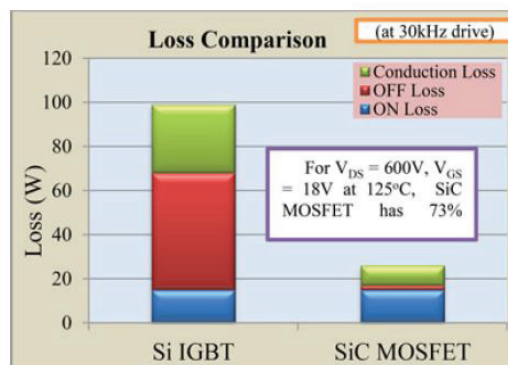


Figure 1.6 – Losses in Si and SiC components [56]

Operating temperature may be also higher in silicon carbide technology as shown in Fig. 1.7 [12]. The diagram presents the temperature withstanding versus the breakdown voltage. Silicon technology is plotted in red and the silicon carbide of our studied MOSFET is plotted in

purple. This diagram shows how wide band gap technologies allow reaching high operating temperature. The temperatures reached here concern the semi-conductor material in itself and not the global module. It is an important point to precise, as we will later see that the chip and furthermore the global module will not be able to withstand 250 °C.

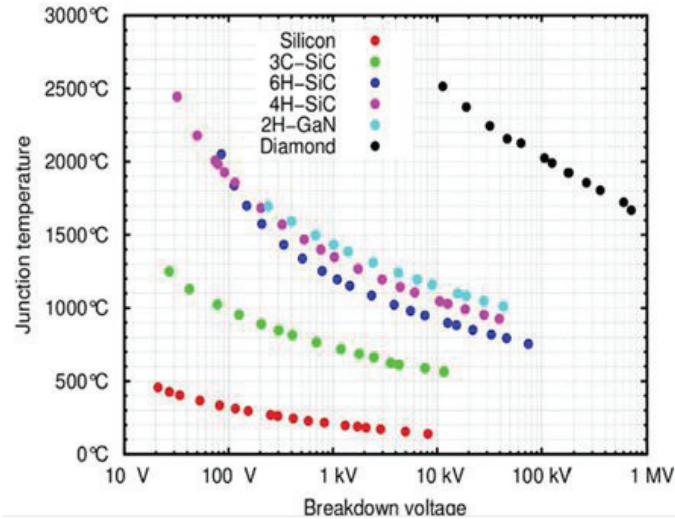


Figure 1.7 – Temperature versus voltage withstand [12]

Despite these advantages, silicon carbide MOSFET presents a structural change which can become a weakness when in operation. Fig. 1.8 shows the typical architecture of a D-MOSFET with the drain connector at the bottom and the source and gate connector at the top.

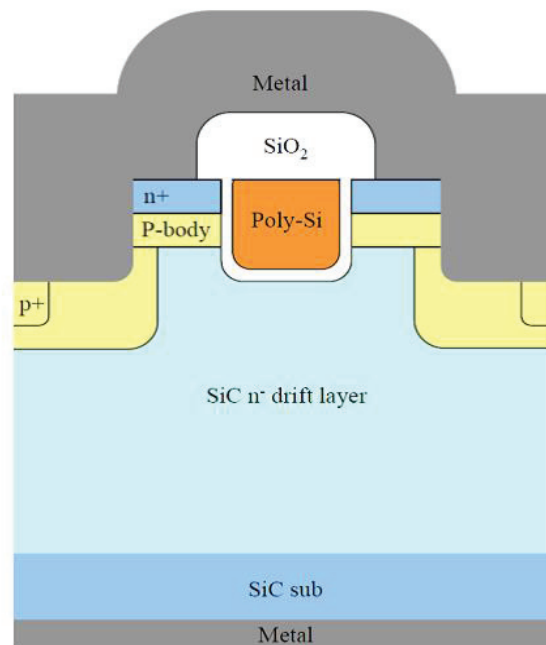


Figure 1.8 – Structure of a SiC DMOSFET [67]

The gate connector (Poly-Si) is inserted under the source one and is insulated by a dielectric (SiO_2). When the MOSFET is ON, a positive electric field is applied through gate oxide to

create a charge inversion in P+ part and allowing electrons to flow when the gate voltage is upper than a threshold voltage determined by MOSFET characteristics (doping, architecture...). Thanks to it, current flows from Drain to Source. When the MOSFET is OFF, a negative electric field is applied through the gate oxide and the P+ zone doesn't undergo a charge inversion. The conduction channel stays closed and any current flows between Drain and Source.

This general diagram is valid for both silicon and silicon carbide MOSFETs but a structural change concerning gate oxide thickness is imposed by silicon carbide technology. Figure 1.9 shows that the oxide thickness has to be very fine in silicon carbide technology if the component requires a threshold voltage lower than 6V [56]. It is important to have a low threshold voltage to keep a large range of conduction mode in relation with the gate voltage. The oxide thickness and the oxide-semiconductor interface imposed by silicon carbide will imply a weakness in use that will be detailed in the next section.

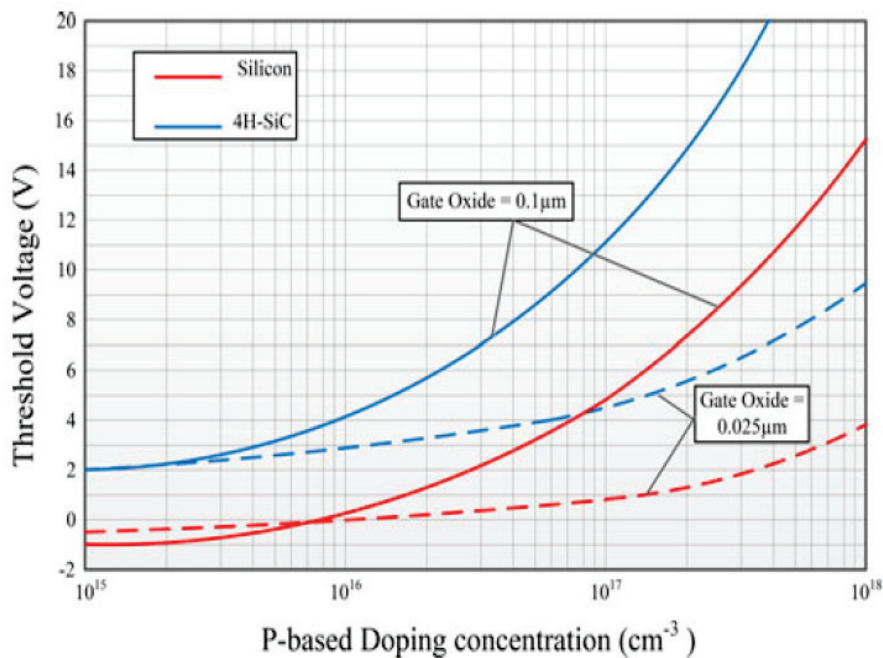


Figure 1.9 – Threshold voltage of SiC MOSFET compared to Si MOSFET according to doping concentration [56]

In this section, it has been mentioned the increased use of electrical power converters in aeronautic applications. A demand in efficiency and reduced cost has led industrials and researchers to adopt new technologies for power module to make the converter modular, integrated and intelligent. Future power modules are studied to propose better performances in terms of thermal management, EMI and reliability aspects. New technologies as silicon carbide have emerged to meet efficiency issues. Silicon carbide MOSFET presents a structural change which can be a weakness when in use. The next part covers what remains an issue in the chip itself and how module design is adapted to SiC MOSFET.

1.2 Failure modes of SiC MOSFET based power module

In this section, a brief part on failure mode notion will be presented to define a framework for discussing the SiC MOSFET based power modules. A second part will be dedicated to failure modes of SiC MOSFET. Although this component promises great performances, current chips available on the market present some weaknesses. A last part will focus on global power module failure modes and present the materials which are the most adapted to SiC technology to reduce these common failure modes.

1.2.1 Overview of failure modes: Basic notions

This paragraph presents the different notions used in this chapter which are extracted from IEEE standard [3].

- Failure mechanism: “The physical, chemical, electrical, mechanical, or other process(es) that results in a failure”. The failure mechanisms unfolded in a power module are often due to thermal or mechanical stresses created by the chip heating and cooling successive phases. Failure mechanisms are often linked to each other and it is difficult to find only one failure mechanism responsible of one fault in a power module.
- Degradation: “Degradation refers to the cumulative effects of stress or ageing in equipment or materials that results in the decreased performance of intended function”. Failure mechanism by degradation are the most adapted to a health monitoring and diagnosis approach. If a failure mode is setting up progressively, it is easier to detect parameters or indicators drift before a complete stop of converter functions. In the contrary, if a failure mode is sudden, any prognosis can't be applied.
- Failure detection: “The process of deciding that a failure exists”. The failure detection is shown by electrical characteristic degradation in the power module. For example, if the component can not react correctly to a control order, the module undergoes a failure.
- Failure precursor: “A failure precursor is any change in system parameter(s) that precedes the onset of failure”. This notion will be very important in the next chapters of this report. Health monitoring and prognosis approaches lay on parameters drift and evolution. We will see in chapter 2 how parameters are linked to specific failure modes.
- Failure: “The unacceptable performance of intended function”. A failure can be characterized by several adjectives described in the norm X60-500 [78]. The failure can be partial or complete, catastrophic, relevant or non-relevant, early or sudden, primary or common cause. The aim of the study presented here is to focus on relevant complete failure, in which the failure mode has to be taken into account in reliability study and the function can't be assured anymore. A catastrophic failure is a failure which is sudden and complete. This kind of failure isn't easy to study in a monitoring approach and is the more binding in industries with financial and time costs. Common cause failure will be the main issue in this work because failure modes are linked together in such a system. Finally, early failure detection will be a point of attention before setting up accelerated ageing tests as described in chapter 2.
- Remaning Useful Life (RUL): “The length of time from the present time to the estimated time at which the system (or product) is expected to no longer perform its intended

function within desired specifications”. Be able to estimate the power module RUL at each time of power module life is one of the final objectives of the study.

- Failure mode: “The effect by which a failure is observed to occur”.
- Fault: “A physical or logical cause internal to the system that explains a failure”.

1.2.2 Failure modes of SiC MOSFET chip

As seen in the first section, the studied SiC MOSFET is composed of an oxide layer to insulate Gate connector from semi-conductor. This oxide layer is obtained from silicon carbide oxidation and the result is SiO_2 . The presence of carbon in SiC is a pollutant to SiO_2 . As a result, the interface between SiC and SiO_2 is less “clean” than in a silicon MOSFET. Many traps, charges and other hot carriers are present at this interface and are moved by electric field in the semi-conductor or in the oxide layer [83]. This phenomenon is emphasized by the thinner thickness of oxide layer in silicon carbide MOSFET because traps, charges and hot carriers modify oxide layer properties. This modification and the high electric field applied, as shown in [33], on such a thin layer of insulator can lead to the creation of conductive paths through the oxide, as shown in [60]. The phenomenon is described in Fig. 1.10. (a) and (b) picture an electric field modelisation of a SiC planar MOSFET. On (b), we can notice that the Gate oxide layer undergoes a high homogenous electric field around $3.68 \cdot 10^5 \text{ V/cm}^2$ during a Gate stress of 20V.

Fig. 1.10(c) pictures an healthy cell and (d) one presenting a fault. We clearly see the creation of voids which will become conductive paths through the oxide layer. The consequence of such a failure mode is the non-controllability of the MOSFET. Thus, the conduction function can't be assured anymore.

The previous phenomenon can occur in normal use but is favored in the following conditions. [83] has gathered several causes in a review and explain their actions. Gate oxide is very sensitive to:

- Overcurrent and overvoltage which can occur in hard commutation or with oversized load (out of the Safe Operated Area (SOA)). The heating effects produced by electrical overstress can be significant.
- Electrostatic discharges which can partially puncture the oxide layer and after a certain time of operation can trigger a failure mode.
- Parasitics triggering. In a MOSFET, a bipolar junction transistor is included and can be triggered creating a failure mode.
- Electromigration. This is phenomena linked to hot carriers, charges and traps migration which degrade the oxide properties before participating to the failure mode.

It has been demonstrated that the gate oxide layer is particularly sensitive to heat effects. The next paragraph focuses on the special case of short circuit conditions. Short-circuit imposes high current condition and consequently an overheat in the conduction channel which is very close to the oxide layer. Short-circuit in SiC MOSFET have been particularly described in [56] or [19]. Short-circuit laboratory tests have been carried out on 1200V SiC MOSFETs available

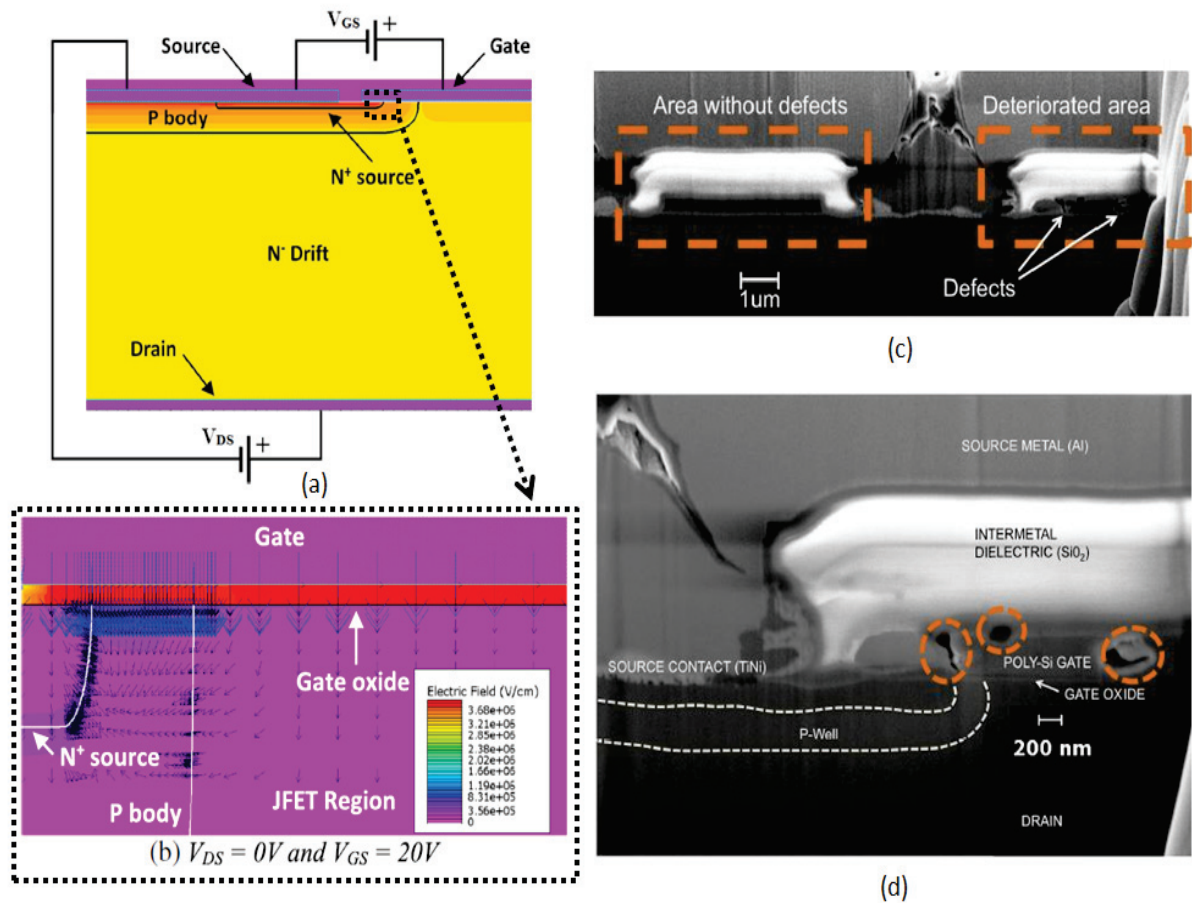


Figure 1.10 – (a) Modelisation of a planar SiC MOSFET with (b) a zoom on the Gate oxide field application during Gate stress [33], (c) Health and damaged gate oxide and (d) damaged gate oxide zoomed [60]

on the market. A short-circuit test consists in applying a positive voltage on the gate. As a result, the drain current reaches rapidly a high value thanks to a high $\frac{di}{dt}$. Instantaneously, drain-to-source voltage drops under the effect of parasitic inductance. A sudden rise of temperature is noticed and the internal impedance of the chip leads to an inverse thermal effect allowing the reduction of the drain current.

As seen previously, the thickness of oxide layer is very small, between $0.025\mu\text{m}$ and $0.1\mu\text{m}$ [56], and the electric field involved is high [33]. During a short-circuit, the device undergoes all the DC voltage with high drain current. Such a rise of drain-to-source voltage leads to a high electric field between different doped areas in the MOSFET and consequently an increase of the depletion zone. As a result, a leakage current goes through the path between gate and source. These phenomena are amplified by high temperature. [56] has notably shown the effects of short-circuit on gate oxide layer by measuring the gate-to-source voltage before and after a short circuit test in Fig. 1.11. It can be noted that the gate oxide is damaged because the voltage is no more sustained. It will imply degradations on the threshold voltage and so on drain current reachable by the damaged component [19]. Specific tests, notably High Temperature Gate Bias (HTGB) and High Temperature Reverse Bias (HTRB) [41], allow degradations analysis on MOSFET characteristics and will be detailed in chapter 2.

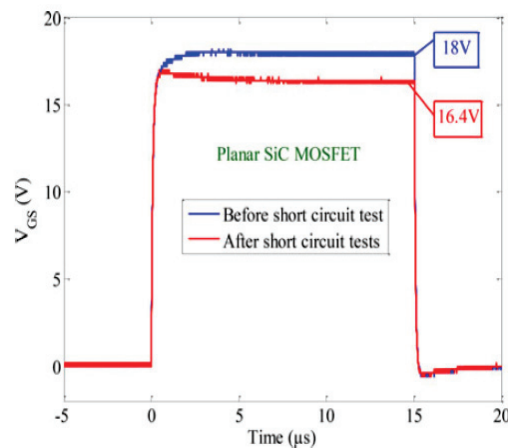


Figure 1.11 – Effect on Gate voltage after several short-circuits [56]

It has been seen in this part that SiC MOSFET, although their great performances, has to be used with precaution because of this oxide layer weakness. SiC MOSFETs will be sensitive to heat and high electric field application. It is an important issue because applications targeted for SiC are often embedded applications in severe environment in terms of temperature and electric conditions. In addition, the concentration of power is higher in an SiC chip compared to an Si chip, and may imply increase of failure mode occurrence already known in power modules.

1.2.3 Packaging and chip environment issues

In a classical power module, whatever the integrated technology, a part of failure modes is attributed to the chip. However a consequent part depends on the other components. A comparative study in [16] has allowed to produce Fig. 1.12. In this diagram, we can notice that 25% of failures are triggered by wirebonds. Others interconnections as die attach and metallization represent 15% of failures and the package is responsible of 5% of them. Effect of contamination or diffusion represent also 18% of the failure modes. In [16], the complexity to obtain results is also demonstrated with a high rate of test errors (19%). Studying these faults and understanding how they occur is essential in an health monitoring approach. In this part, different faults will be explained and then some studies about how avoiding these faults will be discussed.

The two main failure mode consequences observed in power module are the open-circuit or the short circuit. In the first case, a conductor part is fissured or lift-off and in the second case an insulator is perforated or a conductive part has melted around an insulator to rebuild an electric contact. The most expected faults responsible for these failure modes are listed below and will be detailed next:

- Bonding wires lift-off or cracking [16] [85] [44]
- Electromigration in connectors [16]
- Metallization reconstruction [32]
- Cracks in die attach [22] [53]

- DBC cracking [44] [81]



Figure 1.12 – Failure modes distribution [16]

Wire bond lift-off or cracking: This issue being the main fault in failure modes occurrence, many studies have been led during the last decades. Wire bond lift-off is a progressive mechanism and [16] has shown that several phenomena can occur at the interface between wire bond and the top metallization. The first one is noticed when the metal of wire bonds and metallization are dissimilar. Figure 1.13 shows how the interdiffusion effect leads to the formation of a gold-aluminum compound at this interface. This compound is often less conductive and more brittle than pure metal and creates a resistive area triggering a local overheating.

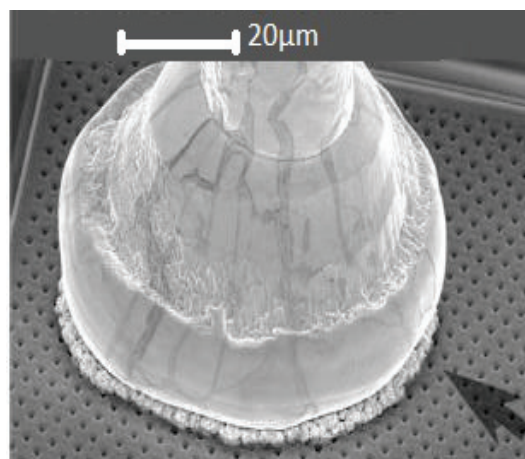


Figure 1.13 – Intermetallic growth at metallization and wire bond interface [16]

Having different metals in the top metallization and wire bond, can also induce Coefficients of Thermal Expansion (CTE) mismatching and trigger a wire bond lift-off. This mechanism results in small shear stress due to dilation and retraction of metal at each thermal cycle. At each cycle, mechanical constraints are accumulated and result in a progressive lift-off of the

wire bond as illustrated in Fig. 1.14 [85] and [16]. Thus, accumulative damages can be modelised and it allows better understanding of the failure mechanism set up [64].

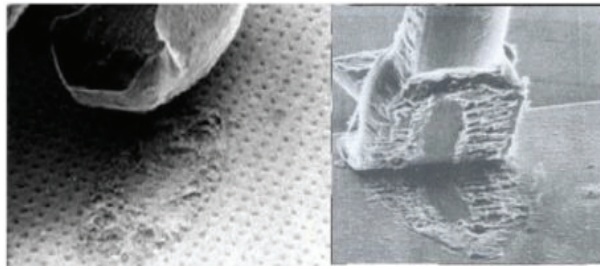


Figure 1.14 – Wire bond lift off illustration [85] [16]

Mechanicals constraints applied on a wire bond is sometimes not focused on the interface but along the wire bond itself because of a previous weakness in the wire. As a result, the wire bond cracks as shown in Fig. 1.15 [44] and [85].

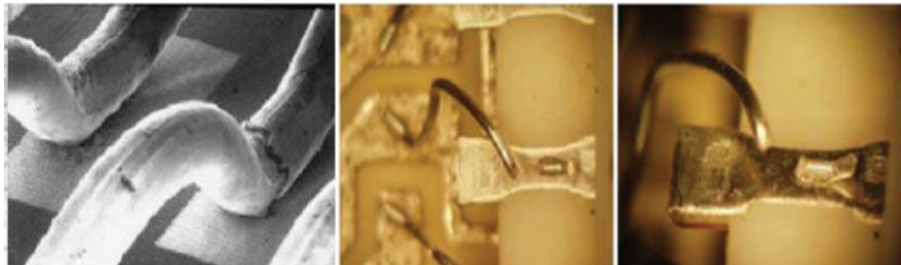


Figure 1.15 – Wire bond cracking [44] [85]

Electromigration in connectors: Power modules are composed of several connection parts to join chip and external connectors. Connectors are metallic and can undergo an electromigration especially under heat and high current conditions. This failure mechanism can lead to void creation in metallic conductors and so to a local increase in the resistivity. A higher resistivity will create a local overheating and an increase of further failure apparition rate. This fault has been studied in [16] and is illustrated in Fig. 1.16.

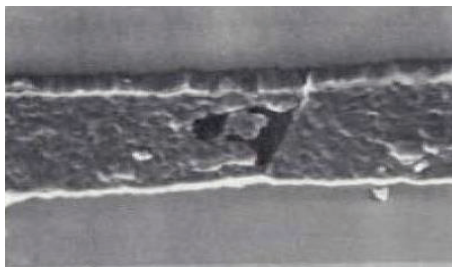


Figure 1.16 – Electromigration mechanism creating voids in conductors [16]

Metallization reconstruction: [32] collects a study about failure in a wire-bond-free module for source connection. The top metallisation is directly soldered to a copper clip as shown in Fig. 1.17. In this configuration, CTE mismatching leads to an another type of degradation.

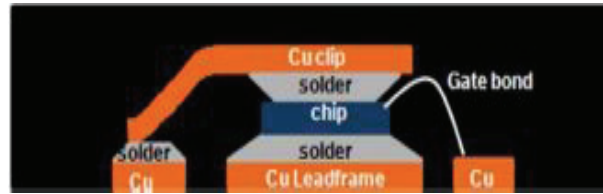


Figure 1.17 – Pressed power module without wire bond for power transmission [32]

The closest layer from the chip being the top metallization, the effect of CTE mismatching can be seen on it, during power active cycling (PAC) test. Figure 1.18 shows the top metallisation before and after the PAC test.

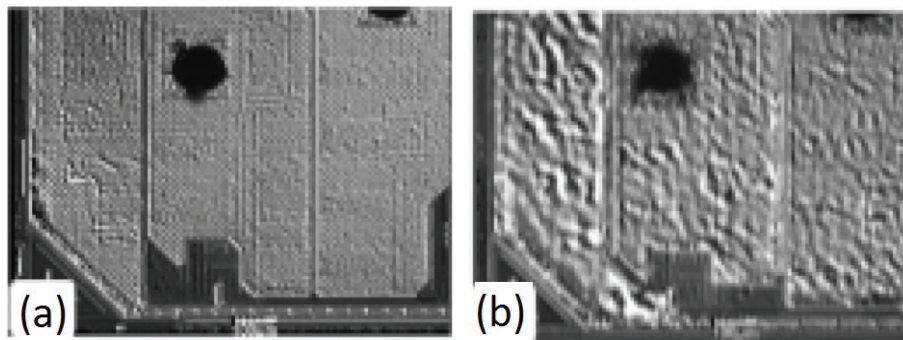


Figure 1.18 – metallization reconstruction phenomena: (a) health surface and (b) damaged surface [32]

We can see that the surface is smooth in the healthy state and no more after Power Active Cycling (PAC) test. During a thermal cycling, metallization layer undergoes compressive stresses between several relaxation phases. This phenomenon infers a plastic deformation at the grain boundaries. These successive plastic deformations will create cracks and, thus, some voids between semi-conductor part and the metallization: it is a metallization reconstruction, because the material changes its configuration under thermal and mechanical constrains. This fault will trigger a local resistivity and so a local overheating which emphasized a failure mode occurrence.

Cracks in die attach: Die attach is a key element in power modules. Beyond its mechanical function to insure an electrical contact between connectors and the chip, the die attach is also the path to evacuate heat to the baseplate. This layer, very close to the chip, undergoing important thermo-mechanical constrains and being, according to [22], the main failure mode in IGBT power modules. A lifetime estimation in [53], has focused on solder failure modes. It is concluded that the main fault is cracks formation in the solder layer between the chip and the DBC, as shown in Fig. 1.19. This failure mechanism lays on progressive and successive degradations which lead to a general cracks and a rise of resistivity and overheating as previously stated.

[44] gives a comparative study of solder technologies with respect to reliability. With silicon technology, lead solder was used. It was sufficient to insure electrical conductivity and mechanical strength for large chip, at not too high temperature. With silicon carbide, lead

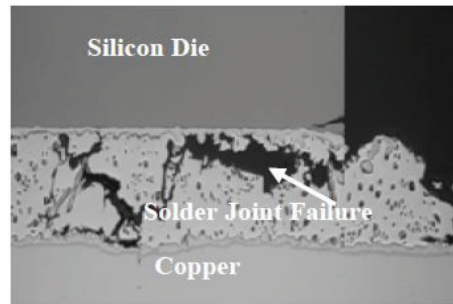


Figure 1.19 – Cracks in solder layer [53]

solutions are not competitive any more. Silicon carbide dies will present reduced contact surface and higher operating temperature. Four other technical solutions have been studied to determine the most relevant one through reliability passive cycling tests with two different sizes of die. The four solutions are described below:

- A solution with a lead, silver and tin alloy does not present any deterioration after 1000 cycles.
- A solution with silver nanoparticles presents cracks after 100-300 cycles.
- A solution with a silver sintering presents delamination phenomena after 1000 cycles.
- A solution with a gold alloy does not present any deterioration through 1000 cycles.

The first and fourth solutions seem to be equivalent in terms of reliability. An economical reason will push industrial to choose the first one to improve die attach reliability in module with SiC chips.

Direct Bonding Copper cracking: [44] and [81] are studies on DBC issues. The main observed fault is DBC cracking as shown in Fig. 1.20.



Figure 1.20 – Cracks in Direct Bonded Copper (DBC) [44]

The choice of substrate (ceramic between copper layers) is essential to meet three main issues: assure a good heat transfer, be used in a DBC process and have a CTE close to silicon and silicon carbide. The most common flavours are Al_2O_3 ¹ and AlN ². The first one is low cost but not good enough to transfer heat while the second one has a CTE close to Si and SiC and will be suitable for high temperature application. Both can be used in a DBC process. As seen on Fig. 1.20, a crack generally comes from the edge of interface between copper and the substrate. To

¹Aluminum oxide

²Aluminum nitride

avoid cracks occurrence, authors recommend some modification of DBC structure, according to mechanical simulations. They suggest to realize a copper layer as thinner as possible, to reduce the metal collar down, to striate copper edges and to add a toughening agent in the ceramic.

Despite material studies and technologies evolution, the reliability issue in power module is still a main concern. The rise of new wide-band-gap chip technologies, as the silicon carbide MOSFET, will imply more power density in modules and more thermomechanical constraints. The SiC MOSFET presents also a weakness related to the gate, which has to be a priority in global power module reliability study. This section gives an overview of expected failure modes and faults in power module for any technology of the chips, conductive materials or architecture. The next section will present the power module proposed by *I²MPECT*. Hereafter, the choice of relevant failure modes according to the *I²MPECT* power module design will be explained.

1.3 Project technical choices and study focuses

The objective of this section is to present module designs and their manufacturing at SIEMENS and DYNEX. These designs have been optimized taking into account the information available in previous projects or scientific studies to choose better compromises in terms of EMI, thermal and reliability aspects. Some recent technologies chosen for the power module imply that failure modes occurrence is still an issue. My PhD work consists first in determining the most expected failure modes and faults according to technology choices in the module. The study of selected failure modes and an experimental approach will be described in chapter 2 and 3.

1.3.1 Project specifications for module design

Electrical specifications gathered in table 1.1.

Table 1.1 – Electrical module specifications (I^2MPECT)

Type of die	SiC MOSFET 1200V / 90A (25 °C), 50 A (150 °C) C2M0025120D from WOLFSPEED
Architecture	half bridge or six pack
Vdc link	540V (min = 400V, max = 750V)
Current	130Arms at 100 °C
Short circuit current	520A, 10 μ s at 150 °C
Power output	45kW
Maximum power losses	550W at 90 °C
Maximum switching frequency	30kHz
Commutation loop tray inductance	15nH

These specifications guarantee the electrical module performances. High frequencies and low losses can be targeted thanks to silicon carbide. The chosen die is the silicon carbide MOSFET from WOLFSPEED (C2M0025120D). The electrical needs in terms of voltage is sustainable by SiC MOSFET (1200V for 540V), but the current will be too high for one die (130Arms for a 90A die at 25 °C). It has been decided to put six dies (22A per die) in parallel per switch to share constraints and to perform a better thermal management. These multi-die configurations will be an attention point in gate driver design to impose the same signal at the same time on each die. Multi-die configuration will be an advantage to reach 45kW output power and the short circuit current that a module should sustain. To reach good performances concerning EMI aspect, the commutation loop stray inductance of the module is limited to 15nH. It will have consequences on the module design. Then bus bar for connections is mandatory to have the shortest possible commutation loop. [82] is dedicated to the modelisation of the complete module in order to find the optimized solution in terms of parasitic capacitors and commutation loop stray inductance. It is shown, in Fig. 1.21, how geometrical modification of DC link allows reducing the stray inductance around 50%, from 9.1nH to 5.37nH.

Thermal and mechanical constraints are also decisive, table 1.2.

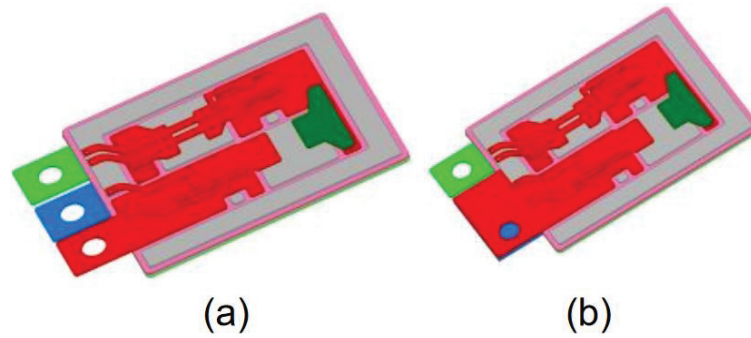


Figure 1.21 – Power module geometrical modification, between (a) and (b), to improve commutation loop stray inductance [82]

Table 1.2 – Thermal and mechanical specifications

Maximum junction temperature	175 °C
Ambiant temperature range for all applications	−55 °C to 100 °C
Thermal resistance between junction and case	0.1 to 0.13K/W
Dimension of combined three legs	150x100x20mm
Cooling	forced air

With thermal and mechanical constrains, it is clear that integration is a key point in the design. The dimension of the three one-leg modules has to be confined in a small volume. Cooling will be insured by forced air to manage a maximal junction temperature of 175 °C in a large range of ambiant temperature conditions. Reliabilty and lifetime targets are listed in table 1.3.

Table 1.3 – Initial objectives in terms of reliability

Temperature storage	−55 °C to 85 °C durnig 3 hours
Powerc cycling	100 °C, dwell time (2 min), 15000 cycles
Atmospheric pressure	0.1 to 1 bar
HTRB	960V, 1000 hours
HTGB	+/- 20V, 1000 hours
Lifetime	150000 flight hours, 40 years
Others	Vibration and humidiy tolerance

The objective in terms of lifetime is 150000 flight hours, that is to say 40 years of service on an aircraft. This objective puts high constrains on global module reliability, knowing the severe environement in terms of temperature range, humidity, vibrations and pressure. It has

been demonstrated that material choices were determinant for module reliability. Table 1.4 gathered the elements chosen in the specifications. Project members have chosen to design a wire bond free module to be protected from 25% of fault occurrence in a power module. Two industrial partners will manufacture the power module: one with a PCB and the other with a leadframe. The die attach technology is silver sintering. The constraints on silicon carbide MOSFET in terms of temperature will be not so high (6 dies in parallel) and the technology was preferred to the lead-silver alloy demonstrated more reliable in the literature. For the substrate, the choice is in accordance with literature trends. Si₃N₄³ is a robust ceramic and recommended. Finally, the module will be equipped with embedded sensors like NTC for temperature sensing and current sensors to bring on line information to the gate driver.

Table 1.4 – Chosen material for module

Die attach	on a lead frame or PCB by silver sintering
Connections	wire bond free, lead free
Sensors	Sinterable NTC and current sensor
Substrate	Si ₃ N ₄

1.3.2 I^2MPECT power modules designs

SIEMENS power module is presented in Fig. 1.22.

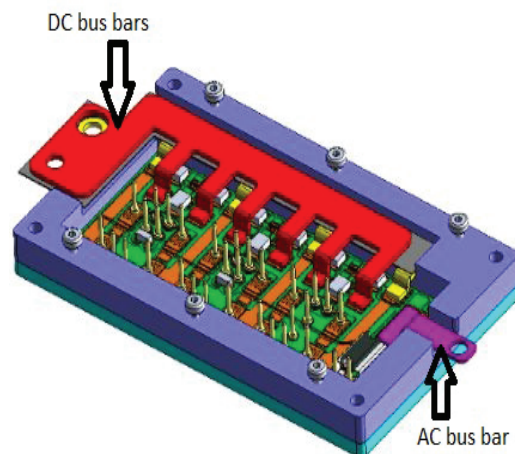


Figure 1.22 – Power module manufactured by SIEMENS

The module is only one leg of the final converter with six SiC MOSFET dies for the upper switch and the same structure for the lower switch. Each module contains twelve dies (C2M0025120D SiC MOSFET) connected to the copper leadframe at the bottom. Gate connections are realized by trails on an insulator above the leadframe, connected to pins dedicated

³Silicon nitride

to each die. Source connections are also realized thanks to pins directly soldered on the chip top metallisation.

A specific driver and power card will be plugged on the module to connect all pins. The module has an DC and an AC side. DC bus bars are planar and very close to each other to improve EMI aspect. AC side is also connected thanks to a bus bar. Distances between chips and conductors are studied to manage EMI aspect and thermal management.

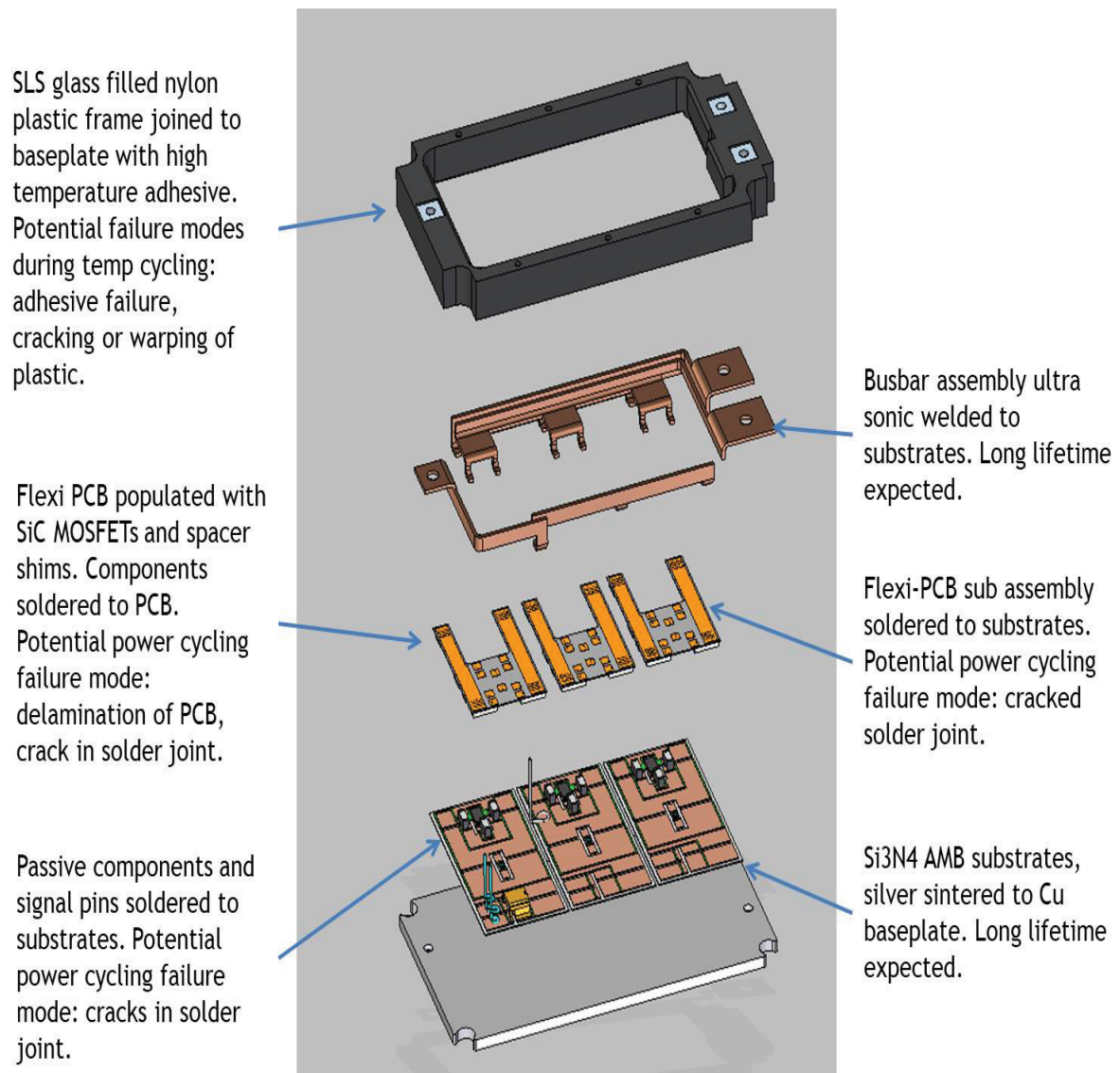


Figure 1.23 – Power module manufactured by DYNEX

DYNEX power module has the same organization in terms of die placement, number and connection types. The main differences from SIEMENS module are the choice of the die support and the DC bus bar integration. In the DYNEX module, presented in Fig. 1.23, drains are connected to a PCB. Using PCB instead of a metallic leadframe will bring more flexibility under thermomechanical constraints. DC bus bars are also planar and close to each other, but they are vertical and not horizontal.

The two modules are quite similar. The study of failure modes and faults can be reduced to several failure modes which are explained in the next part.

1.3.3 Expected failure modes

The list of expected failure modes can be reduced. Project modules are wire-bond free. Wire bonding are replaced by pins soldered on top metallization. Such a contact between pins and top metallization will be a point of attention in a reliability study. The DBC used in project module is composed of Si₃N₄ between two thin copper layers with adapted edge. It has been demonstrated robust in [31] and [81]. Thus, DBC faults will be eliminated from the list of expected ones. Finally, the chip used in the projet module is the C2M0025120D SiC MOSFET from WOLSPEED. The weakness of the component Gate still stays a concern. For example, HTGB tests realized in [6], detailed in section 2.2, have shown that the Gate reliability varies according to manufacturers' MOSFET, pictured in Fig. 1.24. The study conclusion is that WOLFSPEED (new name of CREE) MOSFETs present the main threshold voltage drift under stress.

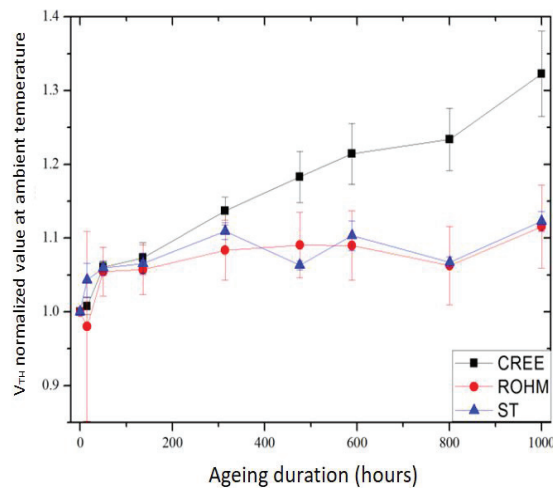


Figure 1.24 – Comparative study on CREE, STmicroelectronics and ROHM SiC MOSFETs [6]

Expected faults in the manufactured power module will be the following:

- Gate oxide issues: partial perforation or breakdown
- Top metallization issues: metallization reconstruction and source connector lift off
- Die attach issues: cracks, electromigration, reconstruction under thermal effects

1.4 Conclusion

This chapter has allowed to understand actual challenges concerning converter set up in transportation field. Indeed, the More Electrical Aircraft requires a larger electrical network to feed many different loads. The flexibility required can be achieved thanks to modular and intelligent power converters. The transition between hydraulic and electric actuators allows a real gain in mass, upkeep constraints and environment impact. These changes do not suppress the failure establishment risk in the future MEA. Converters, composed of power modules, are still a concern to the global reliability of the aircraft.

It has been shown how new technologies of dies and materials can increase reliability and efficiency of power modules. However, it has also been seen that failure modes are always noticed in power modules and can compromise the generalisation of electrical devices in complex systems. Even if the design of modules takes into account concerns about most-occurring modes, failure is still expected. The project module design integrates silicon carbide MOSFETs, known to present a weakness: Gate oxide thinner than in silicon technology. The chosen design is a planar one in which the thermo-mechanical constraints can be responsible of the following failure modes : the top metallization reconstruction (even a lift-off) and the solder layer cracking.

The next challenges in the aeronautic field will focus on the reliability issues due to the strength condition of systems in use. Reliability studies, as this one, have to be realized accurately to be able to diagnosis an aeronautic system state of health and assure the aircraft reliability in the dedicated mission profiles (Thermal cycling, radiations effects, electrostatic discharges...). To begin the study of thermal and electrical constraints application on SiC MOSFET based power modules, the next chapter details how to trigger and detect the previous failure modes to better understand their mechanisms and contribute to a better management of reliability.

Chapter 2

Triggering and detection of failure modes

Understanding failure mechanisms to improve prevention and protection has always been a concern for scientists and industrials. Several tests have been created and standards have emerged to qualify power modules and dies [43]. These articles [6] [19] [41] constitute a guide for studies on dies' robustness and [85] [7] [21] for power modules' reliability. Standards provide a large panel of tests and methods, often used by researchers. They will be described in this chapter. The conditions of tests are accurately detailed and failure precursors are often noticed that must be monitored to obtain information on failure mechanisms. To set up an online prognosis process on a system, an important learning phase is necessary. This chapter will allow an overview of tests and methods about main failure modes triggering. Failure modes occur after degradation mechanisms linked to mechanical, electrical or thermal constrains. The aim of literature overview is to classify which sollicitation lead to which specific failure mode and what are the main associated precursors.

To understand the failure mode mechanisms, two approaches are possible. In a first one, the module is normally stressed until death and in the second one, the module undergoes a specific level of stress higher than in normal operation. The aim of the second approach is to save time to obtain the same information as in a real life ageing. All tests studied in this chapter will be accelerated life tests. This specific notion will be explained in section 1. In this chapter, we have to bear in mind the aim of prognosis of this PhD, and so to study the accessibility of each precursors proposed by the literature.

The first section will specify some notions around reliability and tests. Then a large section will be dedicated to a comparative study of several reliability tests. And finally, a third section will expose the test plan chosen for the PhD study in accordance with the aim of the project and the literature recommendations.

2.1 Reliability study requirements

Providing more reliable systems has always been an industrial priority. To achieve such an objective, long periods are dedicated to learning phases to understand the behaviour of new technologies or systems. Even if a feedback of a long period of test, in operational conditions, is the better way to ensure the system reliability, it isn't the more efficient in terms of competitiveness and profitability. Thus, accelerated tests are considered to fulfil the reliability certification mission.

This section presents the different notions mentioned above and are extracted from [78] and IEC standards [1]. The reliability notion is often used in a wrong way and needs to be defined accurately. Reliability refers to two notions. One is the closest to the idea of performance as the "Ability of an entity to fulfil a required function, in given conditions, in a given time laps". The other one is close to the reliability measurement and is defined as "the probability that an entity fulfils a required function in given conditions, in a given time laps". Since we don't make any reliability calculation in this study, we will always talk about the first definition concerning the ability of realizing a function. In this chapter, many notions on reliability tests will be discussed. The second section will constitute a learning process for our study. Most of the tests mentioned in section 2, will be accelerated tests that are defined as being "Test during which the applied constrains are chosen beyond the reference level in order to reduce the time to failure or to emphasize failure effect in a given time laps. To be valid, a accelerated test must not alter failure mechanisms, failure modes and their relative importance". These accelerated tests represent a real gain in time and in efficiency in a product design. They are allowed thanks to an adequate management of accelerarating factors defined as being "Ratio between times needed to obtain a same proportion of failed entities for two identical samples subjected to different constrain conditions, leading to the same failure mode and the same failure mechanism". Thus, the challenge lies in stress conditions' choice to trigger the same failure modes, throught the same failure mechanism, according to different time to failure.

Before addressing an overview of several accelerated tests we can compare our approach and the standard approach used in the industry and which is described in [18]. Figure 2.1 describes the Failure Modes and Effect Analysis (FMEA) used in industry for decades to analyze the reliability aspect in system design.

This logical diagram presents the relations between notions in a FMEA. Systems are composed by entities, also called items, which can be ranked. These items are associated to functions in the systems, which can be affected by failure modes. These failure modes lead to effects that can be characterized by a level of severity. Causes, which are the heart of FMEA, are responsible for failure modes. They can be also ranked and preventive or corrective actions can be set up. Causes present also a certain occurence and can be detected by a detection control. The product of severity¹, occurence² and detection³ gives a coefficient called the Risk Priority Number (RPN). It can characterize and rank the causes in a reliability study.

¹"ranking number associated with the most serious effect for a given failure mode"

²"ranking number associated with the likelihood that the failure mode and its associated cause will be present in the item being analyzed"

³"ranking number associated with the best control from the list of detection-type controls, based on the criteria from the detection scale"

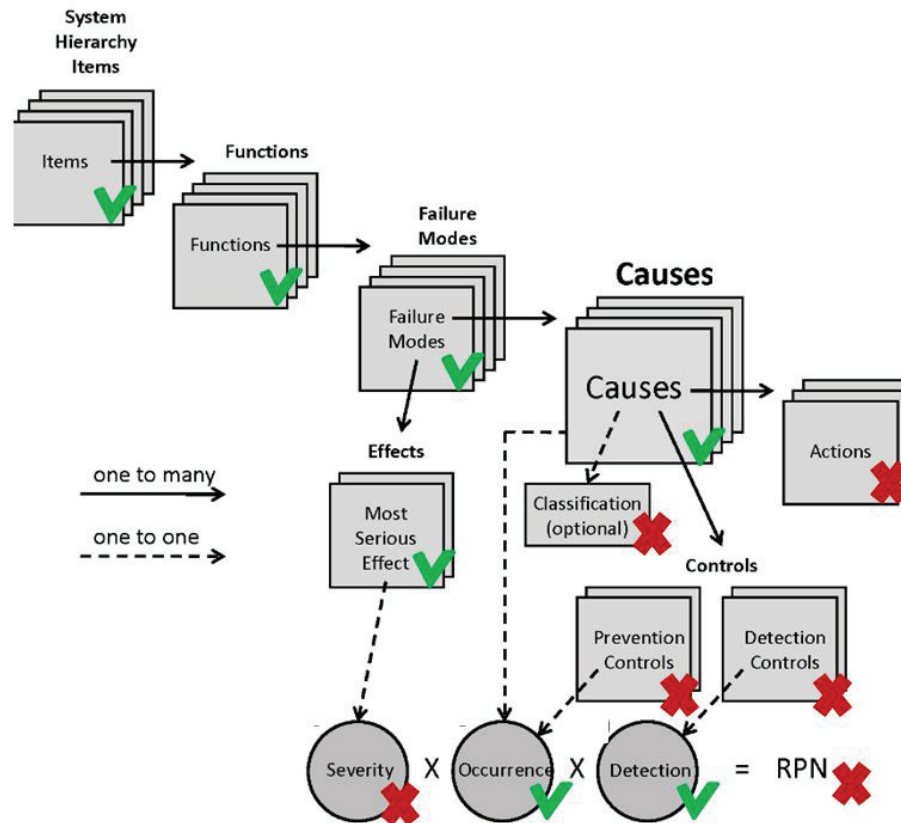


Figure 2.1 – Failure modes and Effect Analysis principle [18]

Figure 2.1 places our study with respect to an industrial system design with some elements ticked or crossed. The ticked elements are treated in our approach and the crossed ones will not be discussed. In the first chapter, we have detailed the power module elements and their respective functions. We have also given some causes and effects. Next section will be dedicated to failure modes and we will give a careful analysis in terms of stress conditions what trigger specific failure modes. We will see effects thanks to on-line characterization of electrical parameters called precursors, that allow detecting a failure mechanism in progress. Repetitive tests can give us an idea on the causes occurrence under several mission profile as detailed in section 3. In our study, the number of samples is very limited since they are not produced in an automatic way. We have not enough information to quantify the severity of the effects and the actions to undertake to avoid the occurrence of causes.

The aim of the PhD is not to fulfil a global reliability study. Several objectives are focused on failure mechanisms, how they are triggered and how they can be detected. These two concerns will be the basis of a test plan elaboration in order to realize a learning phase by monitoring module life under accelerated tests presented in this chapter.

2.2 State of the art: how to trigger and detect a failure mode

This section presents different ways to excite a failure mode and the precursors of a failure mechanism process. Literature overview gathers studies about silicon carbide based MOSFET modules but also about other types of power module to have a large idea of tests that can be used to realize our learning phase on the I^2MPECT module. Few studies are dedicated to the failure mechanisms of SiC MOSFET-based power module as summarized in [58] and the table 2.1. The author has studied the power module as a black box, gathering failure modes associated to the chip or to the module. The aim of this section is to realize a similar work, by associating failure mechanisms with their precursors and their causes. To achieve that in the I^2MPECT module case, many studies have been gathered to obtain a large overview of the failure mechanisms.

Table 2.1 – Summary of physics of failure reliability related of SiC MOSFET power modules extracted from [58]

Precursors	Cause	Mechanism	Criteria	Location
Gate leakage current	HTRB stress	Gate oxide breakdown	five time the initial value	Gate oxide
Threshold voltage shift	HTGB stress	Charge trapping at interface	20% drift	Gate oxide
Body diode current variation rate	Low carrier lifetime Thin epitaxial drift layer	High $\frac{dV}{dt}$ coupled with drain to body parasitic inductance	Not found	Body diode
On state drain voltage	High mechanical stress level	High junction temperature	Variation around 5 to 20%	Wire bond
Junction-case thermal resistance	uneven current distributions at solder joints	Crack propagation	Variation around 10 to 20%	Solder layer

This section is divided into two main paragraphs. The first one focuses on causes which lead to failure mechanisms and the ways to use to trigger a failure mode in order to study it. The second paragraph will gather the main precursors proposed by literature and a comparison is made about their sensitivity with respect to failure mechanisms. A last paragraph proposes a summary table in the same idea as [58], adapted to our power module technology.

2.2.1 Main failure mechanism causes

Failure mechanism causes are various and depend of the application constrains. In our study a focus on electrical and thermal stresses is chosen for pragmatic reasons:

- It is easier to test in laboratory conditions
- It has a high relative importance in aeronautic profiles

Others causes linked to humidity, vibrations or radiations will be mentioned but not developed in this study.

Electrical stresses and temperature influence

To stress SiC power MOSFETs, two tests are mainly used in literature: the High Temperature Gate Bias (HTGB) and the High Temperature Reverse Bias (HTRB). These tests have been created to emphasize MOSFET gate oxide degradation.

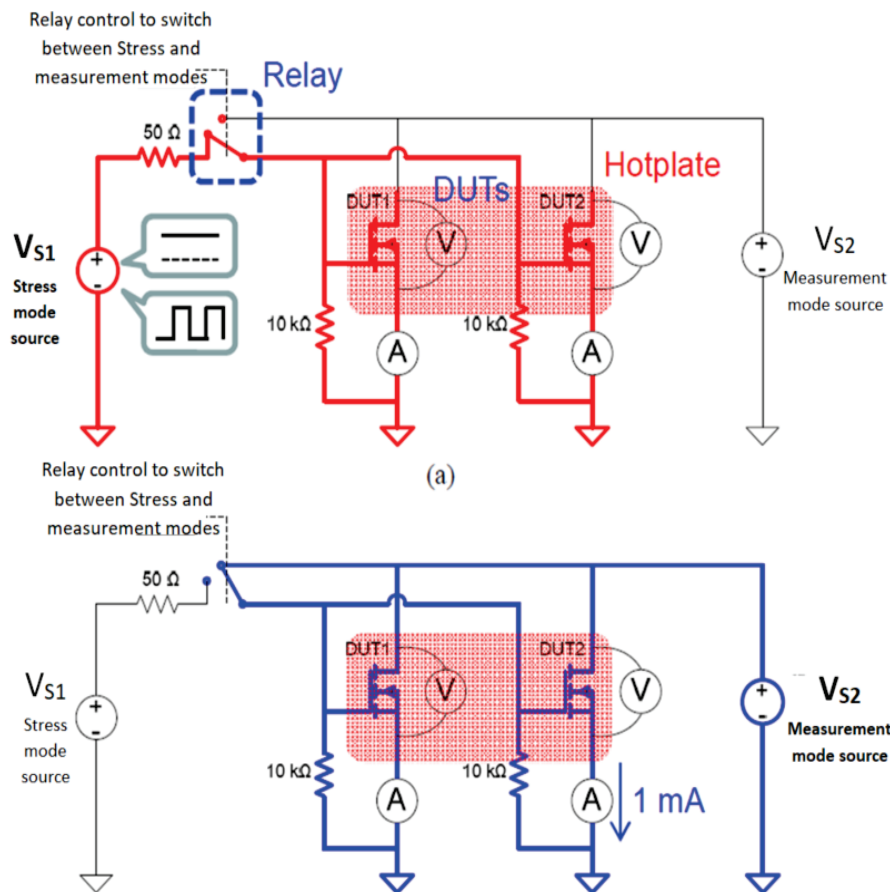


Figure 2.2 – HTGB test circuit, (a) circuit part for stress application, (b) circuit part for measurement [23]

The HTGB test consists in applying a constant gate bias under a high ambient temperature, as pictured Fig. 2.2. During this test, no current flows through the MOSFET. Temperature and electrical stresses have to be chosen following several parameters: the normal operating values for the gate bias and the maximum temperature allowed by the packaging. In [68],

several conditions have been chosen to see different level of degradation in the gate oxide. A 10A-1200V MOSFET has undergone a constant gate bias of 20V, 25V and 30V under an ambient temperature of 50 °C, 80 °C and 100 °C. These tests have been carried out during 600 hours. In [41], the conditions are more severe, with a temperature range between 125 °C and 175 °C and a Gate bias between 20V and 40V. The time of tests was seriously reduced until 3 hours. A last study [6], shows the setting up of an HTGB with a low gate bias (22V) but a very high temperature 200 °C on components from several manufacturers. The test was carried out during 1000 hours with regular stops to characterize the MOSFET gate. In all these studies several precursor candidates are measured and will be detailed in next part, but the threshold voltage is chosen in [6] to quantify the gate oxide degradation, as pictured in Fig 1.24. It is sometimes measured out of the HTGB test bench as in [6] thanks to an analyzer. But in some studies [23] [41], the threshold voltage is measured on the same test bench as shown in Fig. 2.2. In [23], a choice is possible between a continuous stress under 20V and a switching stress with a Gate voltage between -4V and 20V and a duty cycle of 50% and 70kHz switching frequency. The drift observed on the threshold voltage (0.2V after 24h of stress) in the first case is similar to the previous studies, whereas the threshold voltage drift is very low in the second case, with only 0.05V after 24h of stress, as pictured in Fig. 2.3.

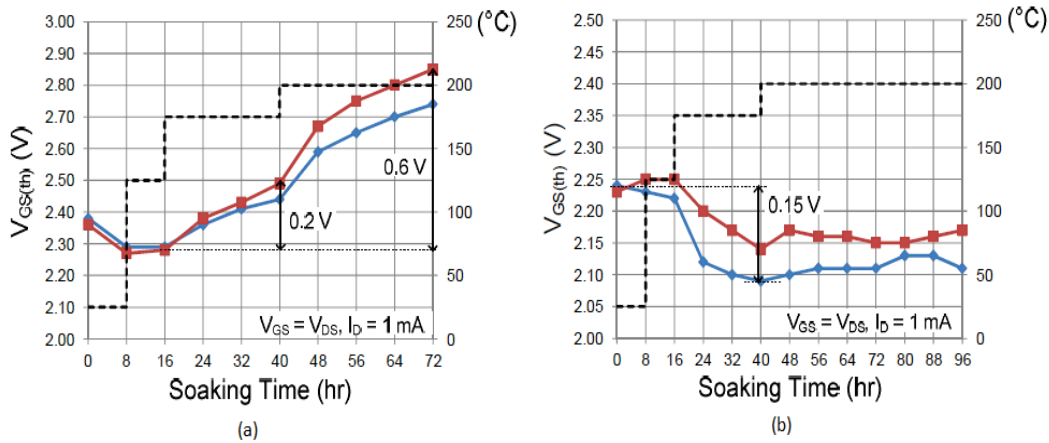


Figure 2.3 – Threshold voltage drift, (a) during an HTGB test and (b) during a switching test [23]

[23] puts forward a phenomenon often met in Silicon Carbide MOSFET. When a constant positive stress is applied to the Gate, the threshold voltage undergoes a more important drift compared to a switching solicitation. It is due to the gate oxide thickness in Silicon Carbide. Threshold voltage is not stable because of traps migration as explained in chapter 1 and a constant electrical stress emphasize this phenomenon. This phenomenon is not due to the ageing process and is reversible with time as demonstrated in [36]. In Fig. 2.4(a), we can see that the threshold voltage drifts according to an increasing HTGB stress. In Fig. 2.4(b), we can notice that the recovery time is very long and increases the stress level. The recovery time can reach the order of hours and it is a too long time for commutations. The switching test in [23] shows that a negative bias application can reverse the voltage drift phenomenon. In chapter 3, it will be detailed how to choose the negative bias to apply to “clean” the Gate oxide from traps or other contaminations. Recovery requirements needs will be also detailed on 1200 V MOSFET from WOLSPEED.

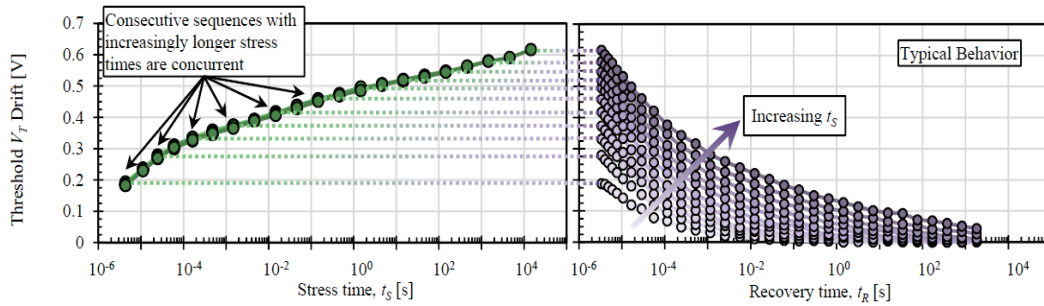


Figure 2.4 – Threshold voltage drift measurement, (a) during an HTGB test and (b) after a recovery time for several HTGB stresses [36]

Another test, called Negative Gate Bias Test (NGBT), has been carried out in [65]. This test is very similar to HTGB. A constant negative bias is imposed to the Gate. Drain and Source connectors are short-circuited as in HTGB, but tests are carried out at ambient temperature. After 1000 hours of continuous stress, 1200 V MOSFETs from WOLFSPEED have shown a mean drift of 0.03 V on the threshold voltage. In Fig. 2.5, a slow drift is observed proving a low stress level in this kind of tests. Gate degradation with HTGB test in [23] shows a threshold voltage drift almost ten times higher (0.2 V). This observation demonstrates that temperature plays an important role in Gate degradation mechanism simply because high temperature should increase the rate of reactions in the Gate interface, as high temperature accelerates all physic or chemical reactions.

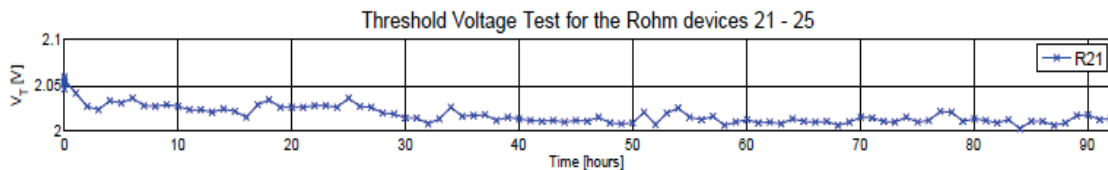


Figure 2.5 – Threshold voltage drift measurement during a NGBT stress [65]

The HTRB test consists in a MOSFET switching under high temperature conditions. [60] uses the following protocol thanks to the test bench pictured in Fig. 2.6. "Test vehicles were attached to a heating baseplate to maintain their case temperature at 250°C. The steady temperature avoids thermal cycles that generate package related failures. To insure a constant thermal stress set up, a relay board was used to stop the switching test and proceed to static characterization. The test vehicles are never removed from the test bench during the test duration. Upon set up, the characterization is performed using an Agilent B1505. Each MOSFET switches 5A drain current at 10 kHz under 500V with V_{GS} from -5V to 20V. During the test, the ageing indicators of the MOSFETs were monitored at regular intervals of time (every 50h for a total experiment time of 1000h). Due to the sensitive nature of the Gate oxide interface, the first precursor is the threshold voltage and is defined as the value of the gate voltage corresponding to a DC drain current (I_D) of 100 μ A. The degradation of the oxide could initiate leakages in the Gate. The leakage current was measured at $V_{GS} = 5V$. Degradations, such as channel drift mobility or ohmic contacts, could modify the on-resistance of the device. $R_{DS(ON)}$ was monitored at $V_{GS} = 20V$ and $I_D = 5A$. The drain leakage current was monitored at $V_{GS} = 0V$ and $V_{DS} = 600V$ ". (Leakage path detection between Drain and Source).

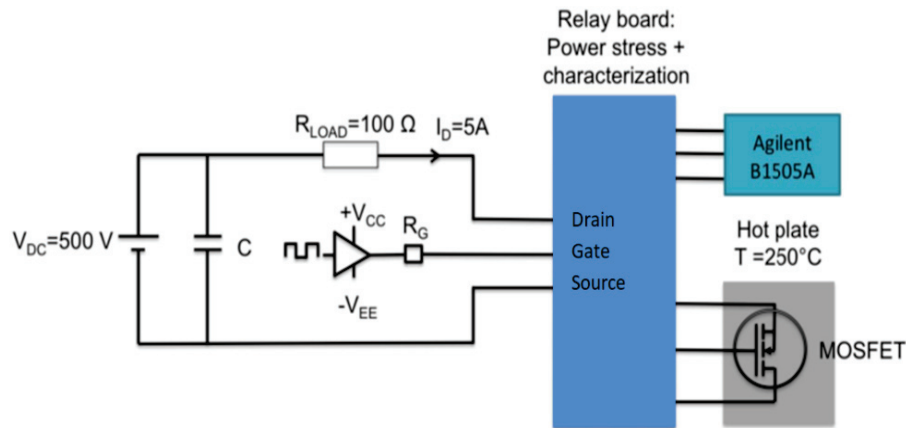


Figure 2.6 – HTRB test bench in [60]

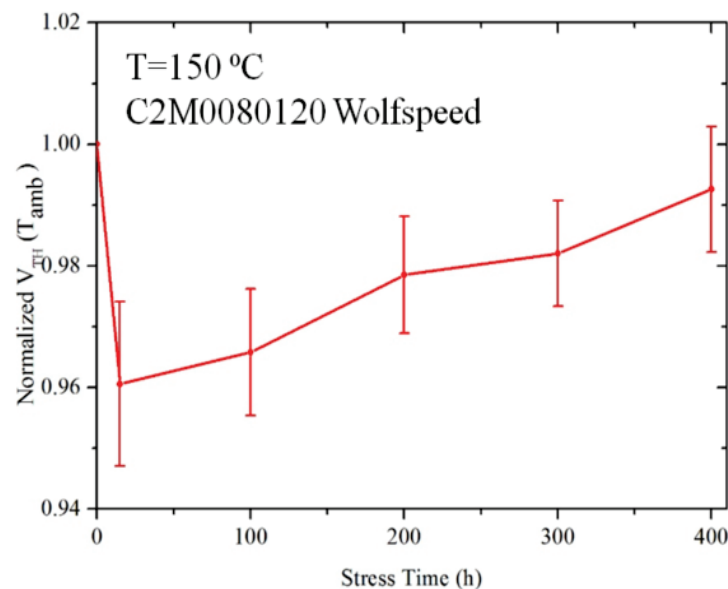


Figure 2.7 – Threshold voltage drift measurement during a HTRB stress [6] (error rates included)

[41] presents also an HTRB test on a Silicon Carbide MOSFET. In this case, the aim is just to measure the drain leakage current as an ageing precursor. Details on precursors measured during the HTRB test will be given in the next part of this section but we can see that HTGB is relevant to study the ageing with a measurable drift of the threshold voltage during such a stress as pictured in Fig. 2.7, in [6].

Triggering failure modes are also possible with short circuit tests. In these tests, conditions are severe but short-circuits can happen in the real system and failure mechanisms have to be evaluated. Many studies [70] [49] [59] [19] focused on short-circuit tests on SiC MOSFETs. Triggering a short-circuit in the device under test (DUT) can be made by a simple circuit, pictured in Fig. 2.8. In [59], the aim of the short-circuit test is to determine the critical energy E_C , which is defined by the energy above which the component is destroyed in only one short-circuit. Under this energy, the component can survive repetitive short-circuits. To realize the

test with the test bench in Fig. 2.8(a), the DUT is maintained ON. A voltage of 600V is applied to the DUT. A static switch, here an IGBT, is connected in serie with the DUT to protect it. When the current exceeds a certain level (here 200A), the IGBT is turned OFF to avoid the complete destruction of the DUT. In this study, the component undergoes short-circuits in described conditions for times from $1\mu\text{s}$ to $13\mu\text{s}$ without failure. For the short-circuit duration of $14\mu\text{s}$, the DUT fails. Some parameters, which will be detailed after, are recorded between each short-circuit (Gate and Drain leakage current, on-state resistance and Gate voltage).

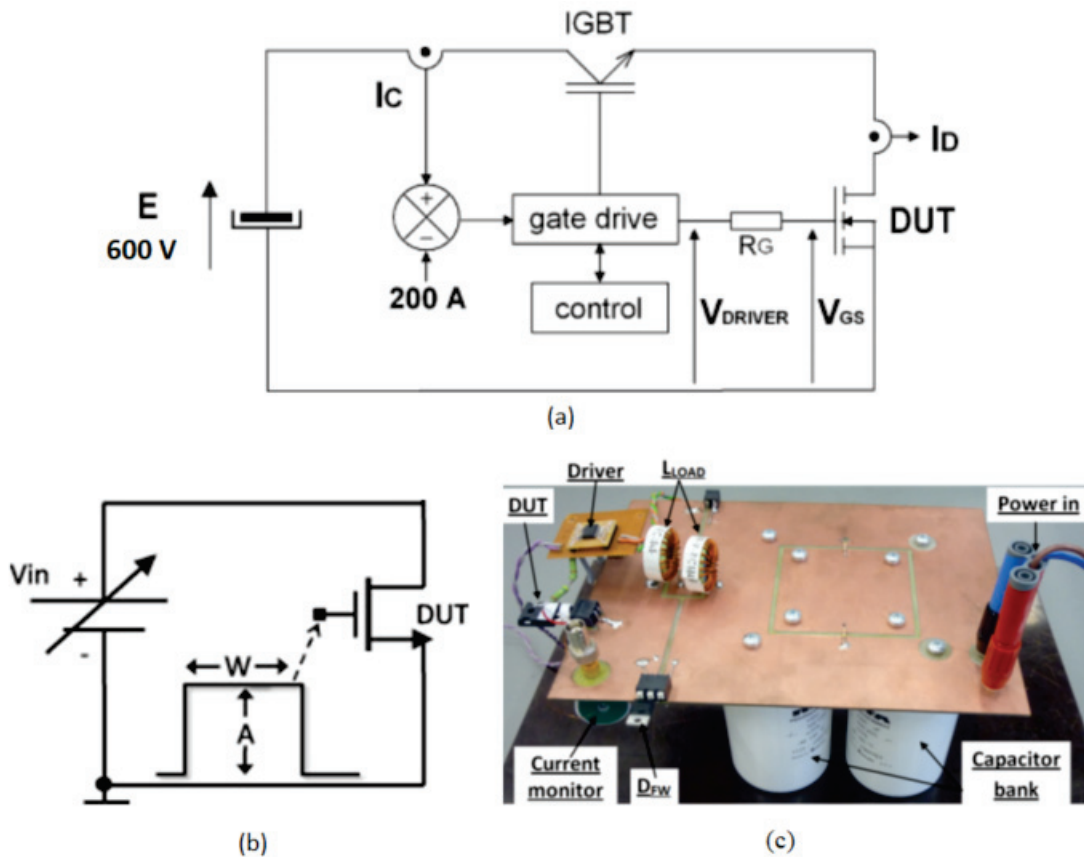


Figure 2.8 – Short-circuit test, (a) schematic circuit in [59] [49], (b) schematic circuit and (c) test bench in [19]

[19] shows also a short-circuit test of Silicon Carbide MOSFETs. Circuit and test bench, are pictured in Fig. 2.8(b,c). The DUT is a $160\text{m}\Omega$ MOSFET with a nominal current rate of 24A. The DUT is mounted on a hot plate to study the influence of ambient temperature in short-circuit tests, for 20°C and 90°C . Different values of Drain-to-Source voltage are tested, between 100V and 400V. And finally the Gate-to-Source voltage influence is also studied with two values 16V and 18V. In [19], Drain current is measured under previous conditions to set up a dynamic model shown in Fig. 2.9.

This model describes how the thermal coefficient, defined by $\alpha_T = \frac{di}{dT}$, plays a role on thermal stability according to the drain current. At the beginning of a short-circuit, Drain current is increasing. As a consequence of power dissipation, the temperature is also increasing. During this phase the thermal coefficient is positive but the system stays thermally stable. Behind a limit (I_1), the thermal coefficient remains positive but the system becomes thermally unstable.

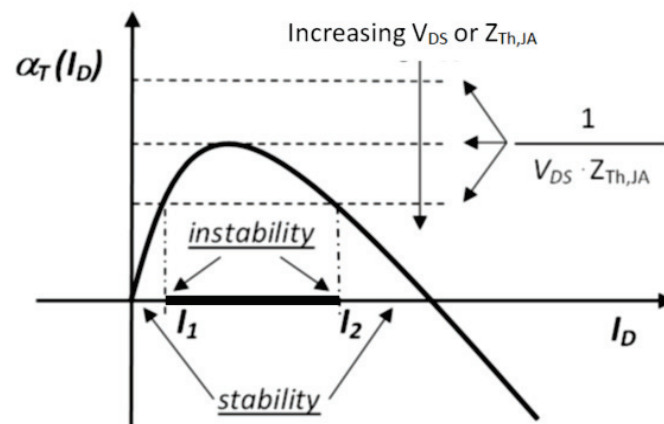


Figure 2.9 – Illustration of Power MOSFET thermally stable and unstable operation depending on bias and load conditions [19]

This instability is due to the threshold voltage decrease according to temperature rise what implies a current increase. The only way to come back to a thermally stable state is to introduce a negative thermal coefficient, that is to say a decrease in temperature with an increase in Drain current (I_2). The instability area is more or less extended according to the Drain voltage and the device thermal impedance. This study allows a better understanding of short-circuit mechanism but is not dedicated to condition monitoring. However, it addresses interesting parameters for our studies as the impedance Z_{Th} or the Drain current.

This section has introduced an overview of several accelerated tests dedicated to trigger failure modes in the Gate oxide of MOSFETs. HTGB, HTRB, NGBT and short-circuit tests have been described and compared. Each of them shows advantages and drawbacks. The test, that presents a temperature stress, shows a more important drift in precursors according to ageing and are more interesting to realize accelerated tests in laboratory. In our approach, we want to have the maximum information on failure mechanism. To be able to test a maximum of samples in a minimum of time is considered as an advantage. NGBT test has been eliminated because there is no temperature stress. Of the three others, the short-circuit test required a specific test bench and a specific qualification to be used. For pragmatic reasons, it has also been eliminated. Finally, between HTGB and HTRB, the effectiveness of HTGB tests has been preferred. In this test, the electrical test bench is simple and resources engaged in such a long test are not numerous and are all quickly available in the laboratory. The test bench will be described in chapter 3.

After a focus on Gate oxide issues, power module have been addressed. Power modules are particularly sensitive to temperature cycles [45] [21]. Power module temperature cycling is characterized in [42], where specific terms are accurately defined. The main notions used in this paragraph are illustrated in Fig 2.10.

During Temperature cycling, the DUT undergoes thermal variation. The minimum value of temperature is named T_{min} and the maximal value T_{max} . The difference between T_{max} and T_{min} , is the temperature swing, noted ΔT . A time cycle is defined by “the time interval between one high-temperature extreme to the next, or from one low-temperature extreme to the next,

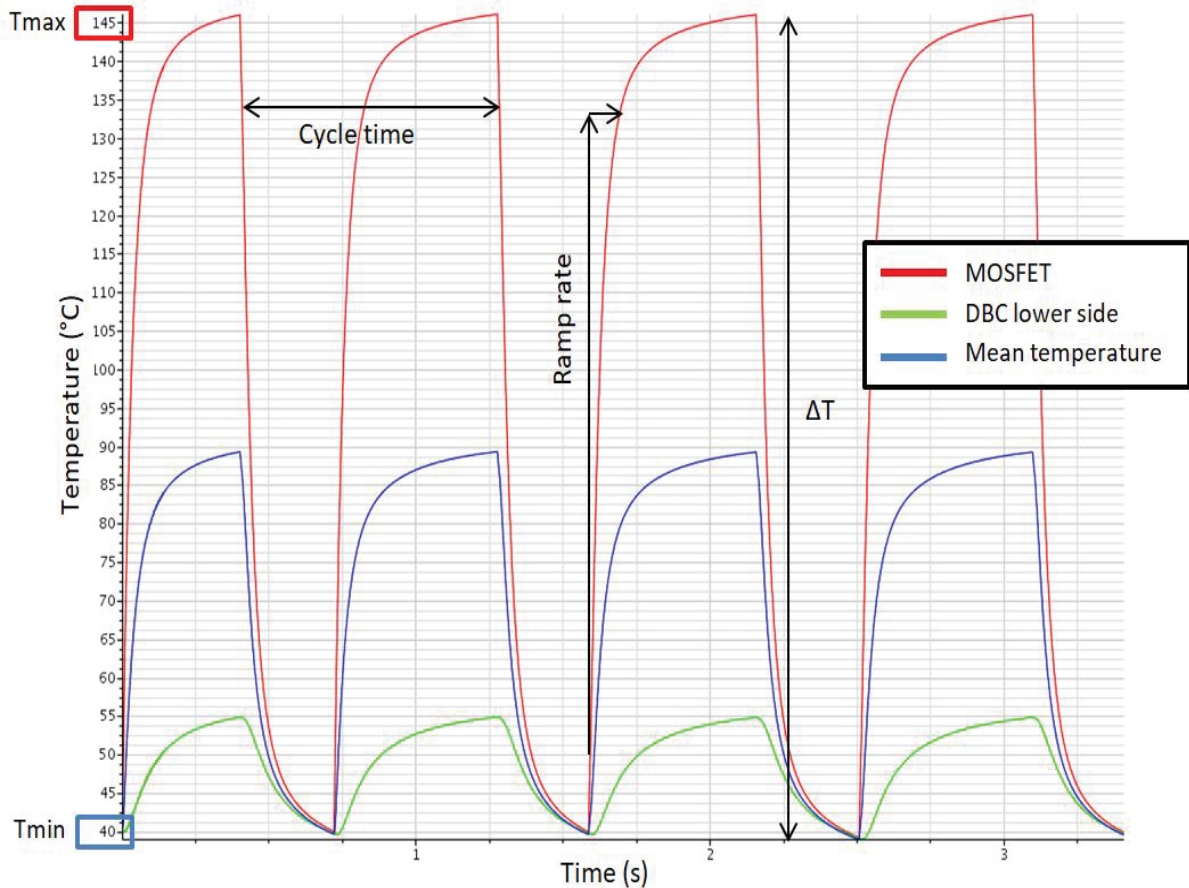


Figure 2.10 – Power cycling notions [42]

for a given sample”. Finally, the ramp rate which gives an important information on thermal dynamic behaviour is defined by “the rate of temperature increase or decrease per unit of time for the sample”, always measured between 10% and 90% of ΔT .

In temperature cycling, two approaches are present in literature: the passive temperature cycling [85] [21] and the Power Active Cycling (PAC) [45] [26]. In the first one, power modules are placed in an ambient temperature which varies cyclically. The temperature is controlled and the module is often in a thermal chamber. In the second one, power modules are self-heated thanks to power dissipation. Tests are different and lead to different failure mechanisms.

[21] has studied the interconnections reliability in an encapsulated power module. To stimulate the failure mode, samples are passively cycled from -45°C to 125°C with a dwell time of 30 minutes between each heating phase. The ramp rate imposed is $110^{\circ}\text{C}/\text{min}$. The resistance of the concerned interconnection is measured every 1000 cycles on an external test bench. In [85] passive temperature cycling is also applied to study the module interconnections reliability. Two thermal chambers are used, the first one regulated at 180°C and the second one at -55°C . The DUT is placed on a nacelle which goes through one chamber to the other. Each phase lasts 30 minutes and the ramp rate is $68^{\circ}\text{C}/\text{min}$, which can be considered as a thermal shock. In this study, thermal characterizations are also made on an external

analyzer. Passive power cycling are interesting to obtain a large amount of data in laboratory conditions, but it requires other test benches to characterize the DUT thermally or electrically. Passive temperature cycling will not be a solution for accelerated tests oriented to condition monitoring.

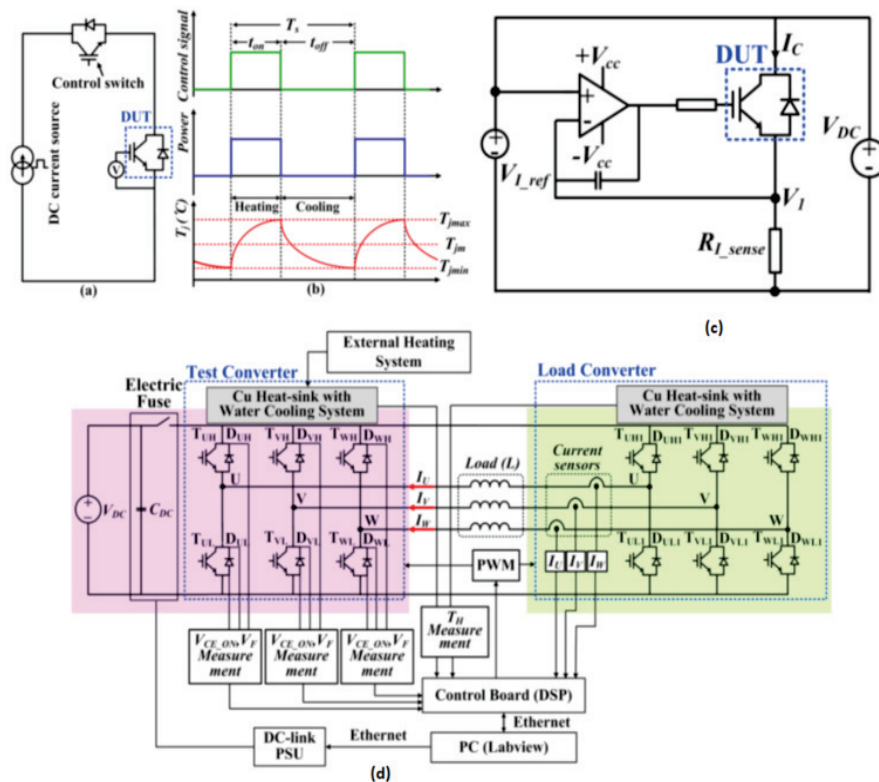


Figure 2.11 – DC conventional power cycling test circuit (a); control signal, power and temperature waveforms (b); DC power cycling circuit with saturation mode of DUT (c) and AC power cycling circuit (d) [26]

PAC tests are addressed in literature [45] [26] [25] and will be described in details. In [26], a comparative study is led between three types of power cycling test circuits as pictured in Fig. 2.11. The conventional DC power cycling circuit is simple and low cost. It allows controlling the current, the temperature and the Gate voltage. Measuring some parameters for condition monitoring is simple and many samples can be tested in parallel. The main drawback is that the DUT is not under realistic conditions: a high current is required and the conditions of test are limited. The second type of circuit allows a temperature stress thanks to the conduction losses as in the previous one. It is low cost but more complex to realize. The control of Drain-to-Collector voltage is now possible. This configuration allows more various test conditions, but it is not applicable to power modules where drivers are embedded and it is more difficult to measure some parameters on line for condition monitoring. In the last one, which is more complex and expensive, the thermal switching stress is assured by conduction and commutation losses. The output voltage, frequency and power factor can also be controlled. The main advantages of this configuration are the realistic conditions of the test and the variety of test conditions. However, tests are complex to operate and the monitoring parameters are difficult to measure.

This study allows an overview of power cycling test variety and shows what will be the trade-off between an easy test to perform with accessible monitoring parameters but with a non realistic stress and tests which allow a realistic stress but with limited access to information.

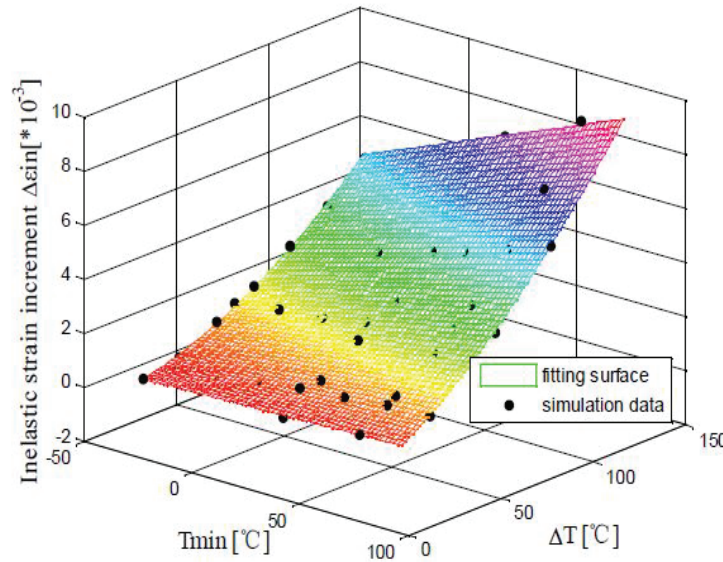


Figure 2.12 – Illustration of ΔT and T_{min} influence on the plastic strain increment in die attach [25]

In [25], a DC conventional power cycling test is chosen to study solder joint and wire bonds' fatigue. The cycle duration is very short with 3 seconds of heat and 3 seconds cooling. In this case, the module is instrumented to measure thermal and electrical parameters to monitor failure mechanisms (Collector-emitter voltage, total losses, temperature). A study on die attach reliability presented in [45], shows the influence of temperature swing (ΔT) and the chosen minimum temperature of thermal cycles (T_{min}). The study was experimentally led for T_{min} varying between -40°C and 80°C and a ΔT of 70°C . In a second time, the plastic strain increment ($\Delta\epsilon_{in}$) was measured for several ΔT between 20°C and 140°C for three ambient temperatures (-40°C , 25°C and 60°C). All these experimental data have led to a model described by (2.1) which is pictured in Fig. 2.12.

$$\Delta\epsilon_{in} = a(\Delta T)^b + c.T_{min} + d.T_{min}.\Delta T + e \quad (2.1)$$

with a , b , c , d and e constants relative to ambient temperatures and material properties. In Fig. 2.12, the slope of strain according to ΔT is higher than the slope of strain according to T_{min} . The influence of temperature swing is an important parameter in a power cycling.

Thanks to this overview on temperature cycling tests, we have seen that two types of cycling are possible, a passive one and an active one. Passive temperature cyclings are efficient to trigger interconnections' fatigue: however it is more difficult to use passive temperature cycling in a condition monitoring test bench. The precursors' measurement are often made off-line with specific analyzers. Power active cyclings are more dedicated to condition monitoring. Several circuits are possible for PAC but the more simple, the conventional DC circuit, is often used. It allows an easy control and a real accessibility to failure mechanism precursors.

Other causes

SiC power modules are intended for an aerospace system. The extra concern in aerospace application is the radiation. This issue was studied in [41]. The study focuses only on bare dies concerning the radiations effects but it gives interesting results on SiC MOSFET behaviour under radiations. Figure 5.1 shows the electrical circuit set up for measurement in relation to radiation tests.

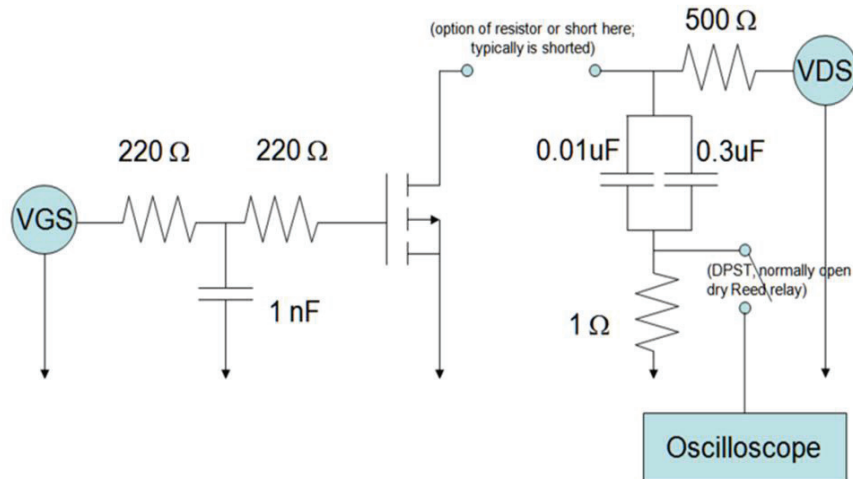


Figure 2.13 – Electrical circuit in relation to radiation tests [41]

For radiation tests, a 0 V gate voltage and a 600 V Drain-to-Source voltage are applied to the DUT. Two types of radiations are produced: one with a xenon source and the second one with an argon source. The radiation beam is applied under several temperature conditions, 28 °C, 75 °C and 97 °C, to see the effect on the DUT. Figure 2.14 shows the degradation of the Gate created by xenon radiation exposure. The test was led for several fluence of radiation. The fluence describes the intensity of a particles' flow throught a surface. A measurable change is noticed with the two highest fluence, with a gate leakage current up to 1 μ A.

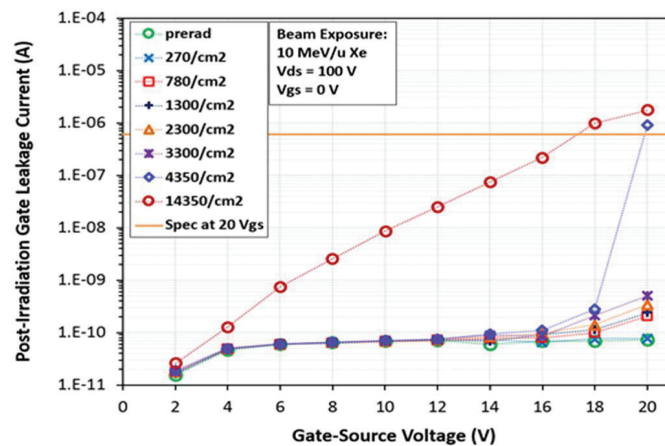


Figure 2.14 – Gate leakage current according to gate voltage after radiation [41]

In aeronautic and rail applications, vibrations and humidity are also often a cause of failure

mechanisms. In [66], a standard test called, Temperature Humidity Bias (THB) is realized, a drift of 6.5 % on the breakdown voltage is observed after 1000h of 85 % humidity stress. For the same stress, a drift of 50 % is observed on the Drain leakage current. Tests was carried out on 1200 V SiC MOSFET. In [63], a comparative study of failure mechanisms presents several mechanisms triggered by humidity :

- Top metallization and interconnexions oxidation
- Dielectrique resine properties evolution
- Encapsulation material cracking, delaminating or swelling

Vibrations are often noticed as an attention point, this direction of test was not choosen for the PhD study because of appropriate material unavailability.

Conclusion on stresses

Electric and temperature stresses are often used in standard tests to trigger failure mechanisms expected in a normal usage. Radiations, vibrations and humidity are known as being aggravating factors. Preventive actions can be undertaken to protect module from vibrations and humidity. The radiation issue is applied to the particular field of aerospace which concerns I^2MPECT project but in a second step. A focus on tests using temperature and electric stresses will be presented in the next section to work with respect to the precursors applied in condition monitoring.

2.2.2 Failure mechanism precursors

When a failure mechanism is in progress in a power module, electrical, thermal or mechanical properties drift from initial values. The aim of this part is to determine links between failure mechanisms' set up and precursors change. The first part will give a focus on Gate oxide failure mechanism precursors. Then a second part will deal with module mechanism precursors. The last part will present the temperature evaluation which represents a key issue.

Detection of gate oxide issues

In [60], precursors measured during an HTRB test give the graphs pictured in Fig. 2.15. All these measurements are made thanks to an analyzer, connected to the test bench, which gives the threshold voltage, the Gate current, the On-state resistance and the Drain current versus time.

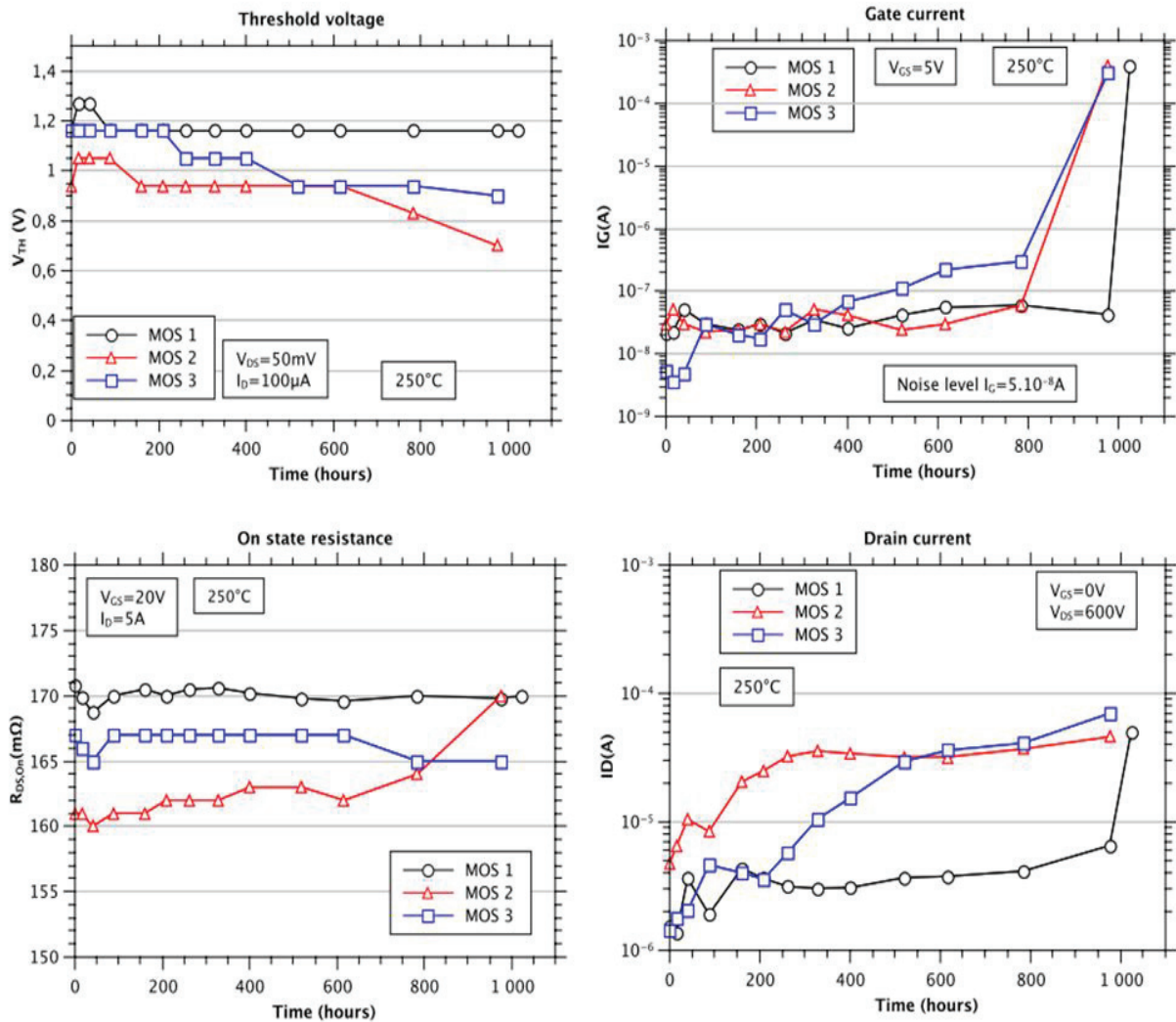


Figure 2.15 – Ageing precursors during an HTRB test [60]

In [60], the main precursor of Gate issues in an HTRB test seems to be the gate current because of the monotonous evolution of the parameter for the three tested MOSFETs. The threshold

voltage shows interesting results for MOSFET 2 and 3. The drain current is also a good precursor in this case. The On-state resistance does not give relevant information on the degradation in progress. Another study [24] has led an investigation on precursors during an HTGB test. Graphs are pictured in Fig. 2.16.

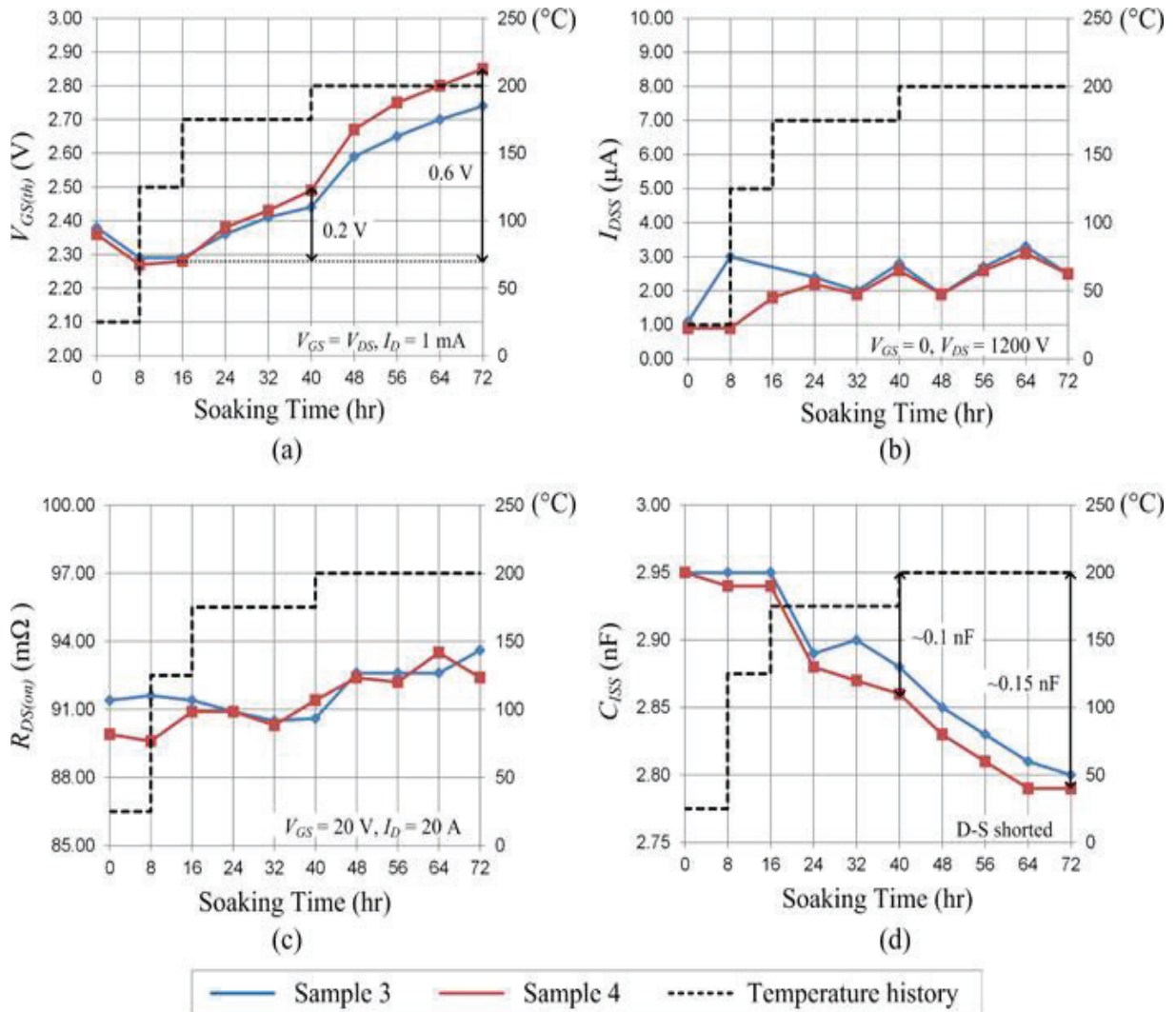


Figure 2.16 – Ageing precursors during an HTGB test: (a) Threshold voltage, (b) Drain current, (c) On state resistance and (d) capacitance C_{iss} [24]

In this case, the threshold voltage is a good precursor of Gate issues. The Drain current and the On-state resistance show an evolution but the slope is not so steep. The capacitance C_{iss} is also a good precursor for gate issues. The accessibility of internal capacitance in the MOSFET can be a concern in precursors' choice.

Concerning short-circuit tests [59] [19], even if the shape of Drain current curve is important, the chosen precursors for ageing monitoring are the Gate leakage current and the On-state resistance. Drain leakage current and threshold voltage are also monitored but do not show any drift after short-circuit tests.

Table 2.2 gathers information on precursors sensitivity following the accelerated tests under-

gone.

Table 2.2 – Precursors for Gate oxide issues under several stresses

Precursors	Sensitivity	Type of test
Threshold Voltage	high	HTGB
	medium	HTRB
	low	short-circuit
Gate leakage current	high	HTRB and short-circuit
In capacitance	high	HTRB
On-state resistance	medium	HTGB and short-circuit
	low	HTRB
Drain leakage current	medium	HTGB and HTRB
	low	short-circuit

Detection of chip environment failure modes

In many studies [21] [25], thermomechanical simulations are led and strain measurements are realized. In an on-line condition monitoring approach, mechanical measurements requires specific instrumentation in the power module. We will see an example of realization in chapter 3, with a strain gauge on I^2MPECT test module metallization during a cycling. A literature overview aims here to find out electrical or thermal parameters which can be measured on-line during cycling without many transformations of the initial set up.

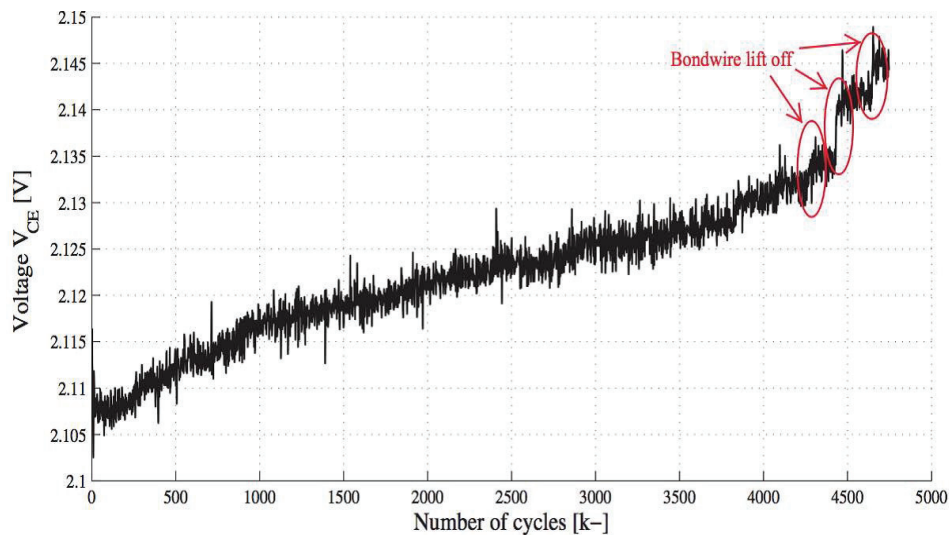


Figure 2.17 – Precursor of wire bond lift-off mechanism: V_{CE} for an IGBT module [10]

In [10], the direct voltage (Collector-to-Emitter), the forward voltage (across the diode) are recorded on-line to characterize the wire bond lift-off failure mechanism in an IGBT power

module as shown in Fig. 2.17. The evolution of voltage parameters are monotonous and give an image of the degradation in progress.

In [5], it is demonstrated how the On-state resistance is a precursor which is possible to obtain. When the module is used for motor drives, it is easy to obtain the value of On-state resistance with the PWM (Pulse width Modulation) signals. On-state resistance has been recognised as being a good precursor of Gate issues in the previous part, but at a high level of current, upper than 100A, as 50% of On-state resistance value is due to the quality of interconnections [17].

In the case of metallization reconstruction issue, the method of Eddy current can be used as in [57]. This method gives great results on the metallization properties' changes but it requires an Eddy current sensor which can be difficult to integrate in a power module. This solution remains a good one in laboratory conditions.

Other studies propose the thermal resistance (R_{Th}) [30] [80] or the thermal impedance (Z_{Th}) [38] to characterize modules' interconnections along cycling. All these methods lay on the determination of the so-called junction temperature. The junction temperature is the temperature observed at the interface between the chip and its report. The report means often sintering or brazing and no sensor can be placed here. Different ways are explored in the literature to find out the junction temperature since it is not directly measurable. The next paragraph will detail these approaches.

How to obtain a junction temperature

The junction temperature is not related to the temperature condition of a semiconductor junction per se. It is a parameter. The important issue is the sensitivity of the parameter to the change under monitoring. This parameter may also be calibrated with respect to specific conditions. The junction temperature is not related to a question of physical meaning but practical effectiveness with respect to evaluation and sensitivity. A repeatable determination of the junction temperature is a key element to characterize power module elements' ageing. Temperature is linked to the major part of the phenomena present in the module under solicitations. Researchers have developed several strategies to obtain so-called junction temperature values:

- Temperature sensor included in the chip [13]
- Temperature sensors distribution in the module [86]
- Temperature measurement by optic fiber [40] [26]
- Thermal Sensitive Electrical Parameters (TSEP) [84] [35] [15] [48] [76]

The first point could be the ideal solution [13]. A material, sensitive to temperature, was monolithically included in the MOSFET structure as pictured in Fig. 2.18. It has been demonstrated in this study that the material chosen had an interesting variation of resistivity and current according to temperature variations. The sensitivity graphs are depicted in Fig. 2.19. This solution requires a specific manufacturing process by adding layers in the MOSFET structure. This method has a high cost and the chips equipped in this way are not frequent on the market. Other solutions have to be found to estimate temperature in a MOSFET, which is not equipped with integrated sensors.

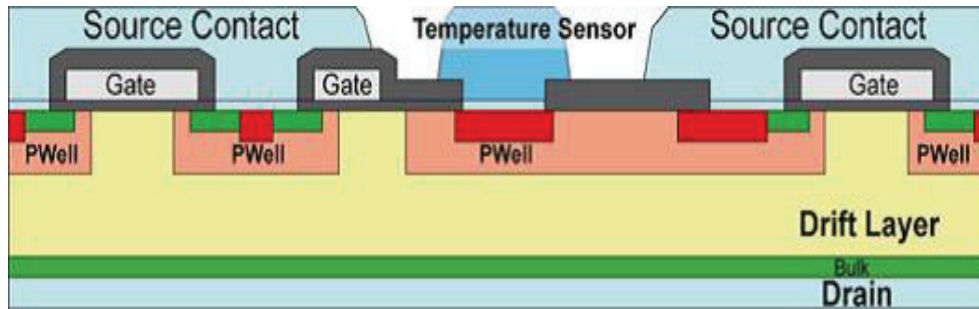


Figure 2.18 – Schematic 2-D vertical cross section through the temperature sensor with one terminal in the MOSFET structure [13]

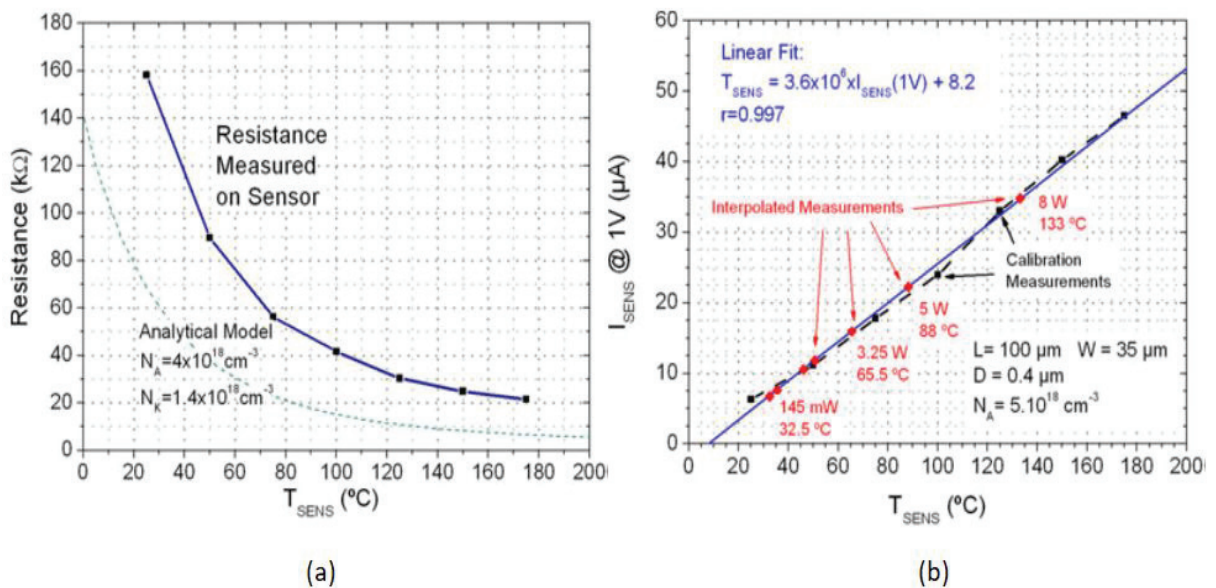


Figure 2.19 – (a) Resistivity and (b) current in the integrated sensor according to temperature [13]

When the module package is accessible, the solution of a sensor grid is possible. [86] uses Negative Temperature Coefficient (NTC) sensors integrated in the module. These sensors give the temperature information thanks to the variation of its own resistance. Figure 2.20 shows a simplified 3-D model including NTCs which are placed in the module to estimate junction temperature values. The realization of a model requires a knowledge of power module element dimensions and thermal properties to be able to calculate diffusion and conduction equations through the layers.

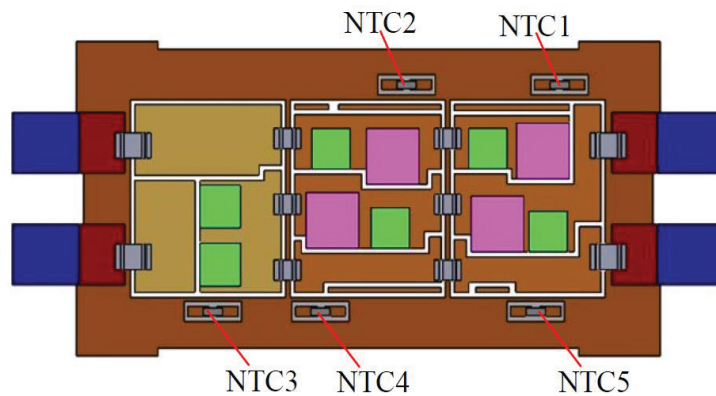


Figure 2.20 – Simplified 3-D model for junction temperature determination with NTC mapping [86]

A simple method based on optic fiber allows a direct measurement of the temperature between the chip and the report [26] [40]. It requires the insertion of an optic fiber and it is a bit invasive for the module but it allows to reach a direct information. It can be used for on-line measurement.

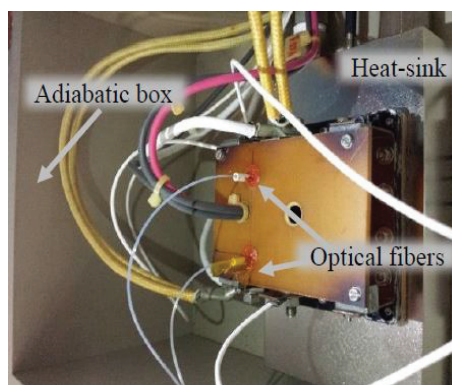


Figure 2.21 – Optic fiber insertion in power module for junction and case temperature direct measurement [40]

The less invasive method is the a TSEP. A recent study [48] has analyzed many TSEP candidates for an IGBT power module, as in Table 2.3.

This study is focused on the determination of these candidates and does not proceed to a ranking in terms of sensitivity. This specific analysis was led in [35] for a module composed of SiC MOSFETs. The precursors studied here are the On-state voltage $V_{DS_{ON}}$, the threshold voltage V_{Th} , the internal gate resistance $R_{G_{int}}$ and the current rate $\frac{di_{DS}}{dt}$. A comparative study has led to Table 2.4 describing advantages and disadvantages of each precursor.

Issues on TSEP sensitivity are essential for on-line condition monitoring. The variation of the TSEP has to be as large as possible according to temperature to reflect the smallest swing of temperature.

Table 2.3 – TSEP candidates for the condition monitoring of an IGBT power module [48]

Precursors	Identifier	Category
Turn-off delay time	t_{doff}	Time based
Current fall time	t_{if}	TSEPs
Turn-off time	t_{off}	
Turn-on time	t_{on}	
Voltage fall time	t_{vf}	
Maximum turn-off current rate	$\frac{di_c}{dt} max_{off}$	Voltage based
Maximum turn-on current rate	$\frac{di_c}{dt} max_{on}$	TSEPs
Diode reverse recovery	$\frac{di_d}{dt} max$	
IGBT forward storage charge	Q_{rrI}	Charge-based
Diode recovery storage charge	Q_{rrD}	TSEPs
Maximum reverse recovery peak current	I_{rrm}	Other electrical
Maximum turn-on peak collector current	I_{peak}	parameters
Maximum turn-off peak collector voltage	V_{peak}	

Table 2.4 – TSEP comparative study for condition monitoring on a MOSFET-based module [35]

Precursors	Advantages	Disadvantages
V_{DSon}	Good potential sensitivity No modification to module	Not linear in SiC Current dependant Small value Non trivial circuit isolation
V_{Th}	On line monitoring possible via an auxillary Kelvin source and parasitic inductance	Auxillary source required Less temperature sensitive in SiC Susceptible to noise
$\frac{di_{DS}}{dt}$	On line monitoring possible via an auxillary Kelvin source and parasitic inductance	Low temperature sensitivity Complex behavior in SiC
R_{Gint}	No module modification	High resolution is required Susceptible to noise

To be sure of the TSEP sensitivity, calibrations are led in the studies [84] [15]. In [84], the chosen TSEP is the voltage rate $\frac{dv}{dt}$ and its calibration is pictured in Fig. 2.22. Concerning [15], the chosen TSEPs are the direct voltage across IGBTs and the forward voltage of diodes

of the module.

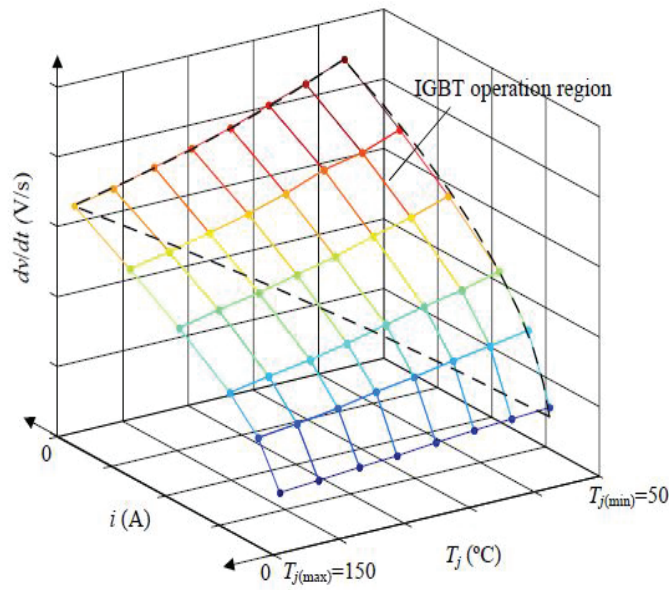


Figure 2.22 – TSEP calibration [84]

TSEPs are relevant tools to obtain a junction temperature information. A comparison with the real temperature has to be made before choosing a TSEP, as in [15] and [8], where the TSEPs (On-state voltage and peak Gate current) are validated thanks to an embedded thermal camera or IR measurements. Once this verification is made, TSEPs' measurement can be integrated in driver functionalities as in [75], [74] and [29], where the typical electrical measurements are the On-state voltage, the threshold voltage, the Miller plateau width or the power losses. The advantages of temperature evaluation by electrical parameters present in the driver, is the lack of additional sensors. When sensors are added and embedded in a converter, these elements bring noise and influence on the real electrical characteristics. It is so required to extract the sensor measurement noise by deducting the sensor embedding influence with respect to the measured parameter [4].

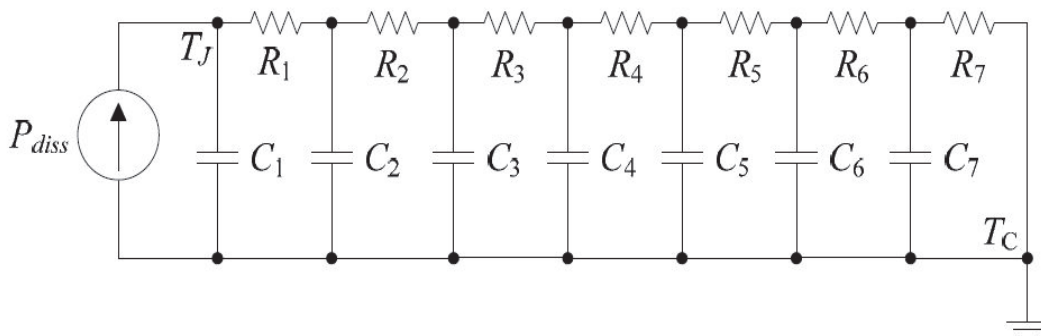


Figure 2.23 – Electro-thermal reduced model of a power module [84]

Estimating the junction temperature can also be made by modeling. In [61] and [62], an electro-thermal analytical model for junction temperature estimation in a multi-chip power module in motor drive is presented. This model is complex and difficult to implement in a

driver. To simplify electro-thermal model, [76], [52] and [20] present reduced thermal models as pictured in Fig. 2.23. To construct these reduced model, an accurate knowledge of module layers' properties and dimensions is required to determine the thermal resistance of each element and the thermal capacitance between each element. The electrical potentials are replaced by temperature. The case temperature is often measured and the junction temperature is determined by a TSEP with the dissipated power or by the successive calculation of potentials in the equivalent circuit, knowing the case temperature. Such a model can be evolutive if the ageing of each materials composing the module are known. This model is often extracted from a 3-D finite element model which is more complete and also unusable in an on-line condition monitoring because of its complexity.

2.2.3 conclusion

This section has given an overview of stresses and precursors concerning power module failure modes with a summary in Table 2.5.

Table 2.5 – Failure modes: Causes, mechanisms and precursors

	Gate oxide	Interconnections
Tests (Causes)	HTGB / HTRB / NGBT short-circuit	Passive thermal cycling Power active cycling
Mechanisms	Charge trapping Gate perforation Dielectric Breakdown	Cracks propagation Interface degradations (Electromigration, metallization reconstruction...)
Precursors	Threshold Voltage Gate leakage current In capacitance On-state resistance Drain leakage current	On-state voltage Forward voltage On-state resistance Thermal resistance Thermal impedance

A large part of this section was dedicated to the determination of the junction temperature required to calculate the thermal impedance or resistance of power module components. The TSEP method is very attractive because of its simple implementation in certain cases. Many TSEP candidates have been discussed in this section and Table 2.6 resumes their accessibility.

Table 2.6 – TSEP candidates comparison in terms of accessibility

TSEP candidates	Accessible at driver level	Oscilloscope measurement	Measurable by analyzer
V_{Th}			X
$\frac{di_{DS}}{dt}$			X
Q_{rrI}			X
Q_{rrD}			X
$V_{DS_{ON}}$	X		
$R_{G_{int}}$	X		
t_{doff}			
t_{if}			
t_{off}			
t_{on}			
t_{vf}		X	
$\frac{d_{ic}}{dt} max_{off}$		X	
$\frac{d_{ic}}{dt} max_{on}$		X	
$\frac{d_{id}}{dt} max$		X	
I_{rrm}			
I_{peak}			
V_{peak}			

2.3 Condition monitoring set-up

Literature covers many issues to construct a specific test plan in order to realize condition monitoring on power module composed of SiC MOSFETs. The aim of this section is to present the condition monitoring approach in the project. As seen in the previous section, thermal and ageing processes are linked and they are both considered. The first part of this section details the condition monitoring approach targeted by the project consortium. In a second part, simplified test modules designed for condition monitoring tests will be described with a synthesis of the targeted failure modes. Finally, a last part will present the different accelerated tests chosen to realise the condition monitoring. Some details on chosen parameters will be given also.

2.3.1 Condition monitoring approach

The condition monitoring approach is described in Fig. 2.24. This model links thermal and condition monitoring models. As it has been shown in the previous section, many ageing precursors are linked to temperature because they are potential TSEPs. The aim of this model

is to propose a condition monitoring where temperature evolution and ageing precursors can be decorrelated.

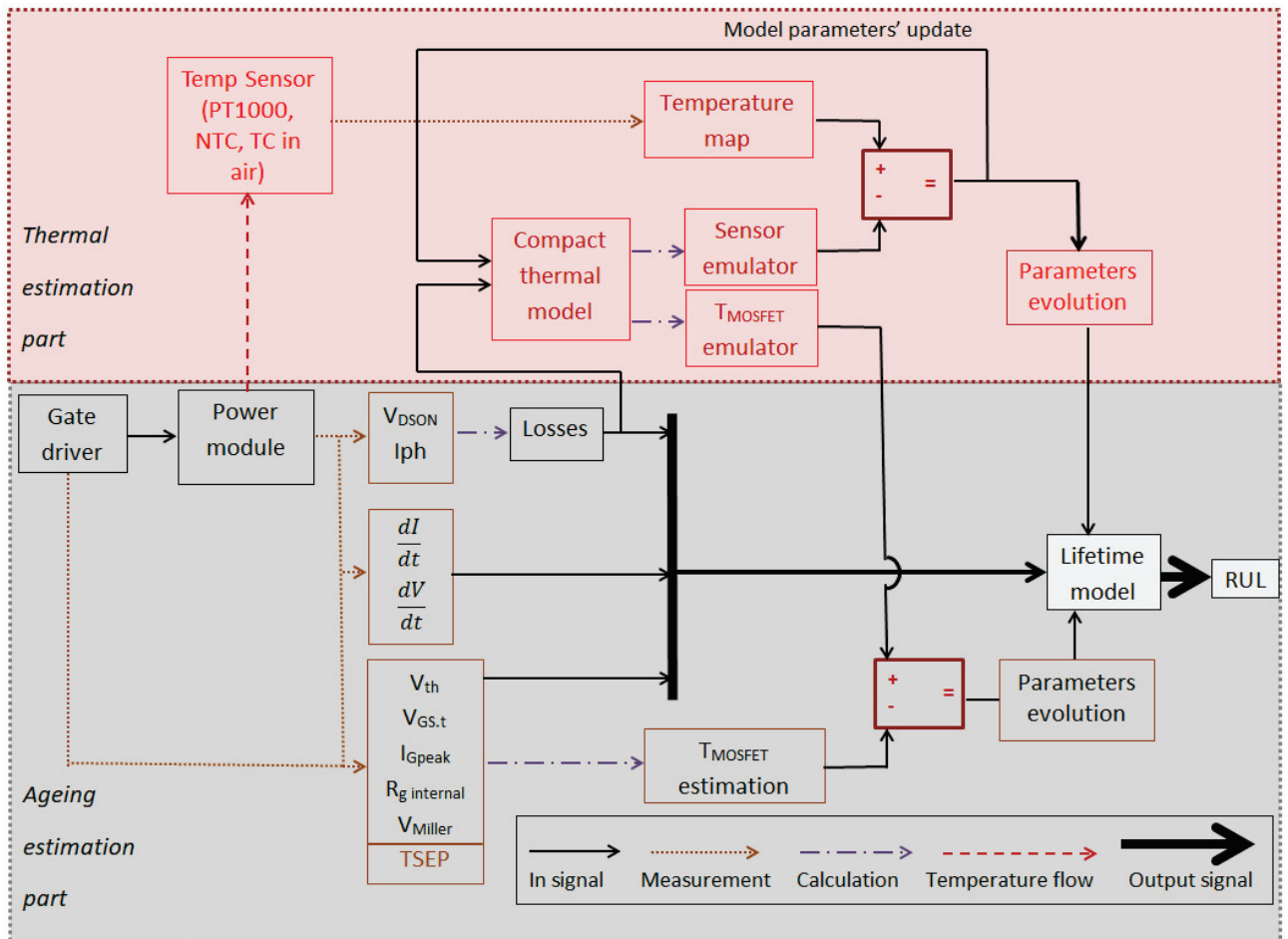


Figure 2.24 – Condition monitoring logical diagram

Losses of the power module produce an increase in temperature which is measured by temperature sensors integrated in the module. Previously, a compact thermal model has been created from a 3-D approach in the initial condition (initial properties of material and initial power dissipation in an healthy MOSFET). Regularly, temperature from sensors and from the model are compared. If the values are different a modification of parameters in the compact model is taken into account. In the same way, TSEPs are measured by the driver and are compared to the temperature from the compact model. When the values are different, a long term deviation of parameters is noticed in the lifetime model. Ageing parameters as current and voltage rates, or On-state voltage and current are also recorded to feed the lifetime model. Finally, power losses electrically calculated in the MOSFET are regularly sent to the compact model for an update.

This approach gathers two PhD studies led in the I^2MPECT project. The present one and a study about the thermal compact model [11]. The two contributions could not be gathered in this report and a future work will have to be done to achieve this goal.

The work detailed here focuses on the ageing estimation part. Until now, an estimated remain-

ing useful lifetime (RUL) is calculated without the thermal model which is not yet available. Potential ageing parameters and the junction temperature estimated by the TSEPs are sent to the lifetime model. The lifetime model, detailed in chapter 4, analyses the parameters evolution and is based on supervised classification (after a learning phase). Main advantages of this approach are the realistic triggering of failure modes and the possibility of estimating a RUL without any knowledge of material lifetime laws in terms of degradations. However, a learning phase on similar modules is required to fix degradation thresholds. Once the learning phase is done, three classes are created according to the health state of the module (healthy, failure mechanism in progress and end of life). These classes are successive in time and linked to the percentage of life. Knowing a component class will allow to estimate quickly the RUL.

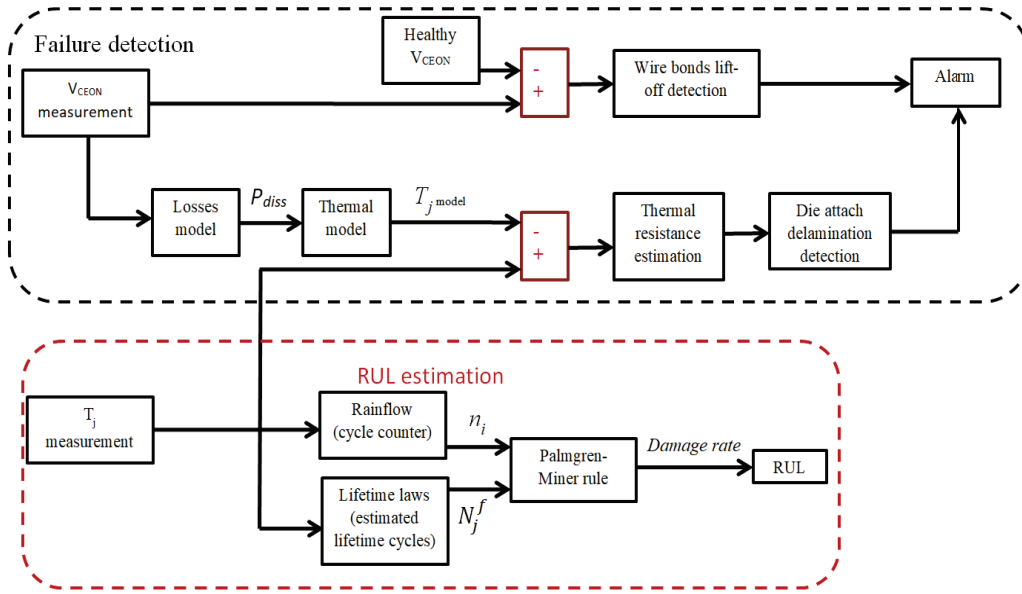


Figure 2.25 – Condition monitoring approach for IGBT power module [62]

In [62], a similar study is presented with the on-line condition monitoring of an IGBT power module. The approach is presented in Fig. 2.25. Main failure modes identified in this case are the wirebonds lift-off and the die attach delamination. A first part is dedicated to failure detection. The precursors chosen are the On-state voltage V_{CEON} and the thermal resistance. In this part a compact thermal model is also involved. This part shows many similarities with our approach. The differences appear in the RUL estimation. The number of cycles is directly deduced from thermal cycle and the junction temperature measurement. This number of cycles is compared to a number of cycles given by a lifetime law via the Palmgren-Miner's rule [62] to obtain a damage rate. The Palmgren-Miner's rule, presented in (2.2), is a linear law for the damage accumulation estimation.

$$D = \sum_{j=1}^n \frac{n_j}{N_f^j} \quad (2.2)$$

where n_j are the number of cycle applied under a fixed level of constrains and N_f^j the number of cycle to failure that correspond to the j^{th} constrains amplitude.

This damage rate gives different thresholds which are linked to the RUL. A main drawback, in

this approach, is that the knowledge of materials behaviour is required to establish the lifetime laws. Besides, several models are combined to obtain the RUL. Point is also to keep realistic lifetime laws according to ageing and the parameters drift.

2.3.2 Specific modules designed for condition monitoring tests

This part presents the simplified power modules for condition monitoring tests. Each manufacturer, SIEMENS and DYNEX have proposed a single MOSFET per switch simplified module to realise their preliminary reliability tests and allow a condition monitoring feasibility study. The module represented in Fig. 2.26, is manufactured by SIEMENS. The number of dies has been reduced to one per chip to allow a more precise monitoring of the chip in the module.

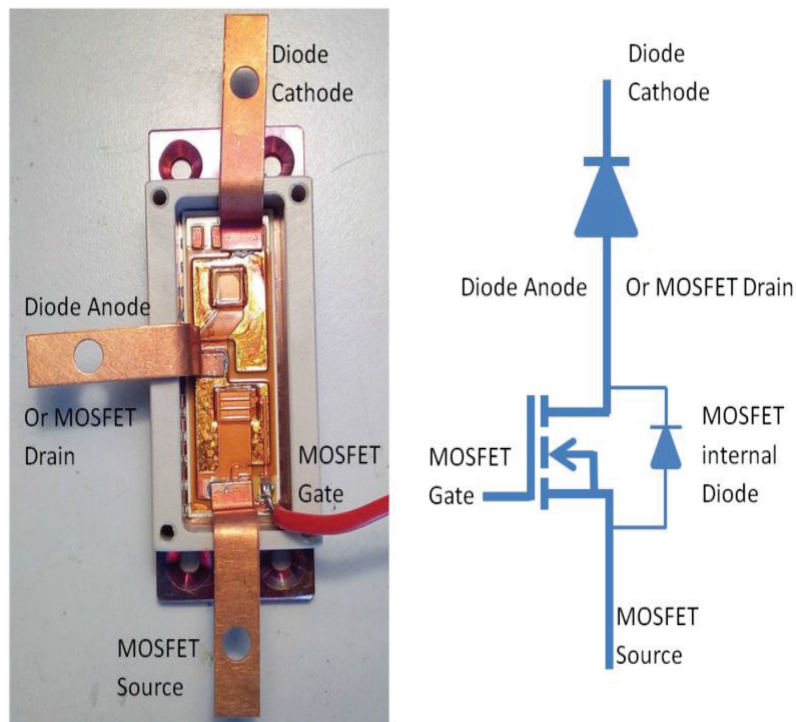


Figure 2.26 – Specific test module from SIEMENS for the reliability study

The test plan created for condition monitoring includes a power cycling test on an inverter leg. The bidirectionality of the leg is not a priority in a first step. The MOSFET will be the device under test and the diode only a freewheeling diode for some on line characterizations described later. The test module is wire bond free as the final one and small busbars have been soldered on connection pads. As in the final module, we have connections to the DC side (at the diode Cathode and at the MOSFET source) and a connection to the AC side (at the MOSFET Drain).

DYNEX test module is differently designed. MOSFETs are used in both case (upper and lower switch of the inverter leg). In this design, chips are soldered on a PCB and conductive shims are used to contact several elements to AC connectors or DC connectors. Gate connections are assured by small pins. DYNEX module is pictured in Fig. 2.27.

Fonctionnal DYNEX modules have not been available. SIEMENS module will be used for

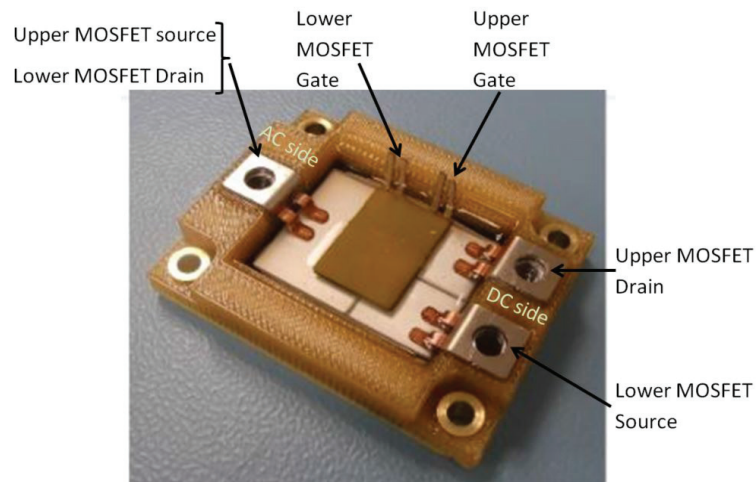


Figure 2.27 – Specific test module from DYNEX for the reliability study

condition monitoring set up because of their availability. The test module is wire-bond free and manufactured with the same materials as the complete one. Thus, the condition monitoring test plan presented later will focus on the failure modes considered at the end of chapter 1, that is to say:

- o Gate oxide issues
- o metallization reconstruction
- o Die attach cracking

2.3.3 Tests presentation

According to information found in the previous literature study, several tests have been created to trigger expected failure modes and measure the promising precursors. Two types of ageing processes have been led: the first one is an HTGB test, dedicated to Gate failure modes analysis and the second one is an active power cycling (PAC) dedicated to fatigue the whole module, including dies. Each of them is detailed in chapter 3. Fig. 2.28 presents the whole test plan and the approach chosen in the study.

The first step is composed of an HTGB test and an Off-line characterization along lifespan to study potential precursors of Gate oxide failure modes. The aim of this study is to realize a learning phase on Gate oxide issues. Thirty samples have been tested simultaneously in this test. For economic reason, the MOSFETs tested were the TO-220 packaged, $80m\Omega$ C2M0080120D from WOLFSPEED, not the $25m\Omega$ C2M0025120D (four times more expensive). The two MOSFETs ($25m\Omega$ and $80m\Omega$) present the same manufacture process and should logically present the same behaviour in terms of ageing. The HTGB test is carried out during 664h, which is sufficient to observe a significant ageing (20% of drift on V_{Th} value). The Off-line characterization allows to study several potential failure precursors at three steps of the module lifespan (0h, 424h and 664h). Most promising precursors are used in the PAC test, to decouple failure modes concerning Gate oxide from the others, and will be presented further (In Table 2.8).

The second step is a Power Active Cycling (PAC) test. In this case, a test power module is used. The aim is to study the establishment of failure modes in the whole module under a thermal cycling stress. In this test, the power module undergoes a succession of self-heating cycle of 1 seconds and cooling cycle of 4 seconds. The self-heating cycles make the MOSFET temperature swings between a lower value imposed by a cooling system (40 °C) and a maximal value adjustable thanks to a DC current flowing into the MOSFET (around 130 °C). During cooling phases, two types of On-line characterization are performed.

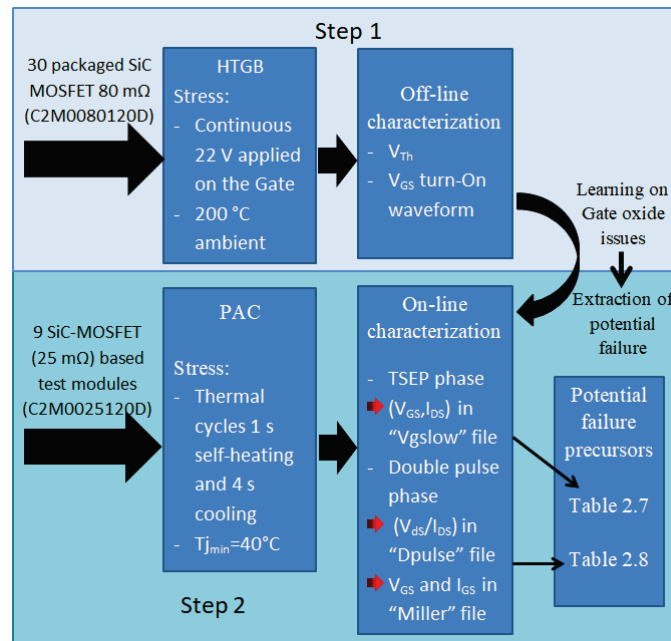


Figure 2.28 – Test plan of the complete study

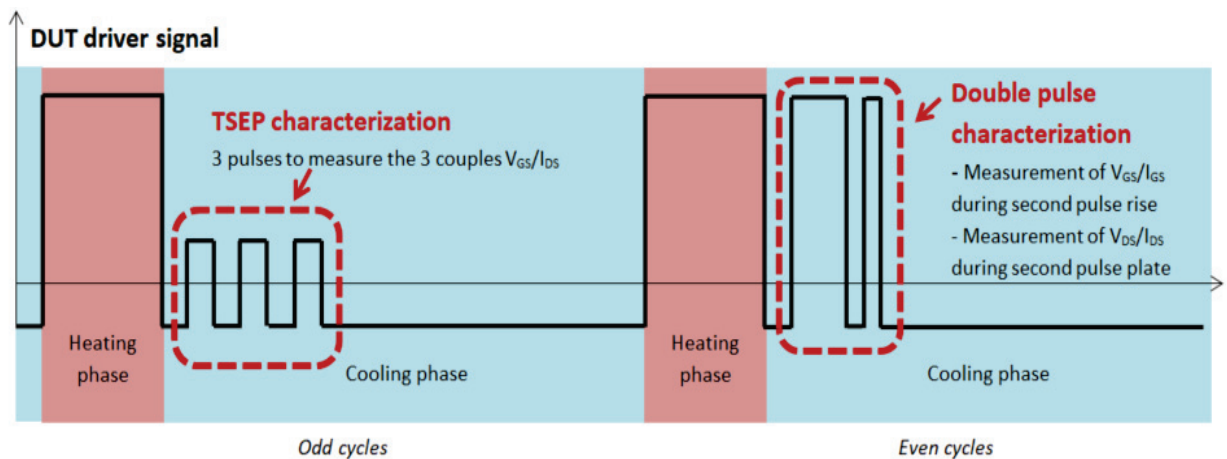


Figure 2.29 – Succession of several cycling and characterization phases

Figure 2.29 shows the succession of stress and characterization phases. This pattern is composed of two stress cycles to well understand the characterization phases repartition: TSEP phase is applied each odd cycle number and the double phase is applied during each even cycle number. Each of them gathers information detailed below. The first characterization is called “TSEP phase” and records (I_{DS}, V_{GS}) to evaluate a so-called junction temperature. (I_{DS}, V_{GS}) is the chosen TSEP for this study and this choice is justified in the following subsection. Data recorded during this phase are stored in a specific file called “Vgslow”. This file of raw data is then used to compute failure precursors as presented in Table 2.7. A double pulse test is performed in a second characterization phase. It allows the measurement of V_{GS} and I_{GS} waveforms during a turn-On of the MOSFET. This measurement is realized with an oscilloscope. The raw data are stored in a file called “Miller”. The double pulse test also allows the measurement of (I_{DS}, V_{DS}) when the MOSFET is On. Raw data are stored in a file called “Dpulse”. “Miller” and “Dpulse” files are then used to compute the potential failure precursors described in Table 2.8.

Through the PAC test, different active thermal cycling will be applied to the power module. Expected failure modes concern all the parts, from the MOSFET gate oxide to the interconnections in the module. Stresses are mainly thermal ones. The drain self-heating current will impose an initial temperature swing (ΔT_i) to the module at the initial time. With ageing and module degradation, the temperature swing should increase. The test bench regulates only the minimum temperature (T_{min}) and the self-heating drain current. Thus, this PAC test installs a constant electric stress but not at a constant thermal stress.

2.3.4 TSEP choice and use

The threshold voltage seems to be an effective thermal sensitive parameter. The difficulty noticed with this parameter is the accessibility, it requires a specific analyzer. Parameters that we have chosen are the Drain current and its associated low Gate voltage, that is to say a couple (I_{DS}, V_{GS}) where $V_{GS} \approx V_{Th}$. Curves plotted in Fig. 2.30 show the temperature sensitivity of this couple.

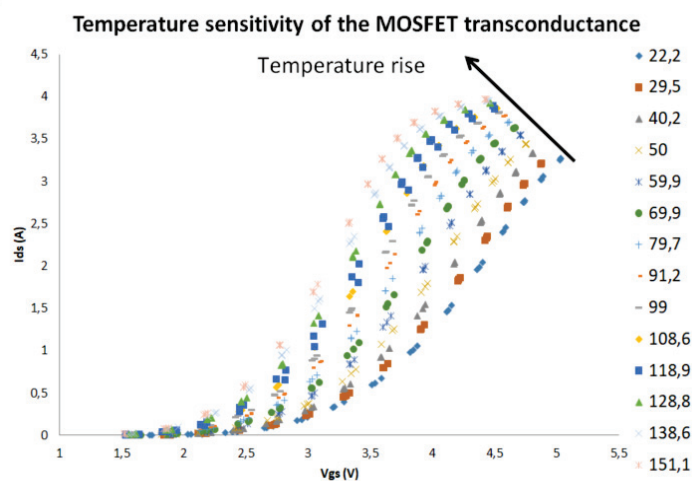


Figure 2.30 – Temperature sensitivity of transconductance

These curves were obtained during the TSEP calibration which will be detailed in chapter 3. Temperature values are included between the ambient (around 20 °C) and the maximum temperature specified in the device datasheet 150 °C. These curves present a wide zone where couples (I_{DS}, V_{GS}) will allow to evaluate the junction temperature. This zone is between 3 V and 4.5 V. A value of Gate voltage in this zone will be chosen in the experimental set up for the Gate voltage pulse amplitude in the TSEP phase of the PAC.

2.3.5 Choice of failure mode indicators

To obtain on-line precursors, some electrical parameters are recorded during the module life. The first type of recording occurs during the TSEP phase, the file is named “Vgslow”. This document is a table and gathers the following information on pulses settings and couples (I_{DS}, V_{GS}) :

- The timestamp of the current cycle
- The current cycle number
- The heating and cooling phases’ duration
- The imposed drain current for self-heating phase
- The duration and interval of pulses during the TSEP characterization
- The three couples $(I_{DS_{pulse(i)}}, V_{GS_{pulse(i)}})$

This document file allows to calculate 10 potential ageing parameters gathered in Table 2.7.

Table 2.7 – Ageing parameters extracted or calculated from “Vgslow” file

Parameters	Description	File	Ageing test
TP(i)	Estimated temperature at pulse 1,2 and 3	Vgslow	Cycling
IdVg(i)	$I_{DS} \cdot V_{GS}$ at pulse 1, 2 and 3		
IdP(i)	I_{DS} at pulse 1, 2 and 3		
MIId	$\frac{1}{3} \sum_{i=1}^3 I_{DS_{p(i)}}$ at pulse 1, 2 and 3		

The second type of recording occurs in the double pulse phase and its name is “Dpulse”. It contains the following information:

- The timestamp of the current cycle
- The current cycle number
- The heating and cooling phases’ duration
- The imposed drain current for self-heating phase
- The durations of the two pulses and the interval between pulses during the “double pulse” characterization
- The couple (I_{DS} , V_{DS})

The last type of recording occurs during the Gate voltage turn-On at the second pulse of the “double pulse” characterization. It is a file, named Miller, provided by an oscilloscope acquisition which gathers the values of Gate voltage and Gate current during turn-On. Thanks to all these recordings, we can study the potential precursors presented in Table 2.8.

A major part of precursors proposed in literature are measured in our test bench: the temperature via the TSEP couple (I_{DS} , V_{GS}), the On-state resistance and Drain voltage, the instantaneous electrical power, the Gate peak current and the duration of the Miller Plateau. Some of them have been skipped because of a too high difficulty of implementation: the drain leakage current or the capacitance (C_{iss}) of the MOSFET. Noise from the MOSFET switching is incompatible with precise measurement of low values. To complete the monitored precursors, some of them have been added by groups. For the “Vgslow” part, values have been added (IdVg, IdP and MIId). Concerning the “Dpulse” file, the monitoring of the Drain current has been added to ensure that the voltage and resistance evolution were relevant. Many possible precursors have also been extracted from V_{GS} and I_{GS} during turn-On. Several characteristics of the Miller plateau are recorded: the mean level of the plateau, affine and polynomial fittings. Precursors extracted from the previous file and “Dpulse” are also considered such as E_{ON} , E_{ON_N} and $E_{ON_{N^2}}$. The injected energy is defined by the area under the product of V_{GS} and I_{GS} during turn-On, that is to say between $V_{GS}=0$ and $V_{GS}=15$ V. The combination of all these parameters will constitute a solid basis to establish a failure signature for the several failure modes expected in such a module design.

Table 2.8 – Ageing parameters extracted from Dpulse and Miller files

Parameters	Description	File	Ageing test
$R_{DS_{ON}}$	On state resistance	Dpulse	Cycling
P_{Miller}	Current power during the second pulse		
$V_{DS_{ON}}$	Voltage during the second pulse		
$I_{DS_{ON}}$	Current during the second pulse		
E_{ON}	Injected energy in the gate	Miller	Cycling and HTGB
E_{ON_N}	Injected energy in the gate normed by I_D		
$E_{ON_{N^2}}$	Injected energy in the gate normed by I_D^2		
$I_{G_{max}}$	maximum gate current		
$V_{G_{max}}$	maximum gate voltage		
$Area_{I_G}$	Area under I_G during turn ON		
F_{I_G}	Pseudo-frequency of I_G during turn ON		
$Rise_{Time_i}$	Rise time to reach i V with i from 1 to 15		
$Area_{V_{GS}}$	Area under V_{GS} during turn ON		
$Area_{plateau}$	Area under V_{GS} plateau during turn ON		
$Max_{plateau}$	Maximum point of V_{GS} plateau		
$Min_{plateau}$	Minimum point of V_{GS} plateau		
$Mean_{plateau}$	Mean level of V_{GS} plateau		
$Length_{plateau}$	Length of V_{GS} plateau		
$T_{mean_{plateau}}$	Mean time of V_{GS} plateau		
$Coef_{linear}$	linear function fitting on V_{GS} plateau		
$Coef_{poly}$	3th order function fitting on V_{GS} plateau		

2.4 Conclusion

In this chapter, the reliability notions used in this study have been explained and placed in the industrial context of the safety assesment. To approach the reliability aspect of the designed power module, a large litterature overview has been undertaken. A first focus has been made on standard tests concerning the ageing of SiC MOSFET chips. They are numerous in the litterature but four main tests have been deeply analyzed and compared to choose the most efficient one to trigger and monitor a failure establishment in the Gate oxide of the SiC MOSFET. The four tests studied are:

- The High Temperature Gate Bias (HTGB)
- The High Temperature Reverse Bias (HTRB)
- The Negative Gate Bias Test (NGBT)
- The Short-circuit test

The final chosen one is the HTGB test because of its electrical and thermal stresses on the chip. Besides, a good failure precursor, the threshold voltage, shows an important drift when a failure mechanism is in progress during this test. This test is a easy way to obtain rapidly information to realise a condition monitoring on SiC MOSFET (for Gate oxide issues).

Concerning the condition monitoring of the module interconnections, the main way to obtain an early failure establishment is to realize a thermal cycling of the module. Two different approaches have been compared in this chapter: the Power Active Cycling (PAC) test and the passive thermal cycling test. Finally, the PAC test has been prefered to fatigue prematurely both the SiC MOSFET chip and the power module. In this test, the heating phase is triggered by the chip self-heating under a current conduction and it is so more die failure oriented than in a passive cycling where the thermo-mechanical constraints trigger only a CTE mismatching between the different material layers and so preferably interconnections issues.

In both cases, Gate oxide and interconnections failure modes, it is necessary to measure some failure precursors. Failure precursors are electrical parameters whose values drift with ageing. The main challenge explained in this chapter is to select precursors of failure modes and be able to estimate also the chip temperature in order to decorrelate regularly the temperature effect from the ageing effect. The chip temperature has to be estimated because it is not directly measurable. The chosen solution to estimate the temperature is the TSEP method. This method lays on regular calibrations of an electrical parameter to be able to associate the temperature of the MOSFET to the TSEP value. The chosen TSEP is the measured value of the Drain current for a set value of the Gate voltage. This couple of parameters is linked to the threshold volatge known to be a good TSEP (but not easy to access).

After studying the standard tests, a test plan in two parts has been established. The first part is a preliminary study, dedicated to the ageing of SiC MOSFET chips under an HTGB test. During the ageing period, some potential precursors are recorded on the Gate voltage turn-on characteristics to understand their evolution with ageing and select the ones which can be Gate oxide failure mode precursors. In a second time, the main study is presented. It is a PAC test in order to trigger both Gate oxide and interconnections failure modes in a same

ageing test. During this test, a condition monitoring approach is implemented. 50 parameters inspired from the literature are online recorded. They constitute a base of data to find out the most relevant failure precursors of failure modes.

The practical realisation of the test benches (HTGB and PAC) will be detailed in chapter 3 and the results will be discussed in chapter 4.

Chapter 3

Test benches for accelerated tests

Experimental resources have been developed to meet objectives set by the test plan as shown in Fig. 3.1. This diagram shows the succession of the different test benches used in the study. HTGB ageing test is carried out to study the MOSFET die behaviour. To work on failure precursors, we used two specific characterization equipments which are the B1505 analyzer and an Unclamped Inductive Switching (UIS) circuit. This preliminary ageing on dies will allow to extract relevant precursors from Gate-to-Source signal that will be used in the Power Active Cycling (PAC) test bench. Before the PAC test, the module undergoes an initial characterization phase (B1505 analyzer and a binocular microscope). The PAC test bench is designed to realize TSEP calibration before launching an instrumented ageing. At the end of the stress period, the module is characterized again thanks to the two previous equipments.

The first section is dedicated to the preliminary study concerning Gate issues. An HTGB test and characterization setups (B1505 and UIS circuit) will allow to find potential ageing precursors concerning Gate issues. The second section will detail the PAC test bench. We have to keep in mind that we work on a non-mature technology and that the PAC test constitutes a learning phase. A focus will be made on precursors measurement methods and especially on TSEP (couple I_{DS} , V_{GS}) calibration. TSEP is strongly linked to the threshold voltage which can present an instability [40]. It will be shown how to avoid this effect. The protocol to realize a complete monitored PAC test will be also presented and the research of failure mode impacts will be discussed.

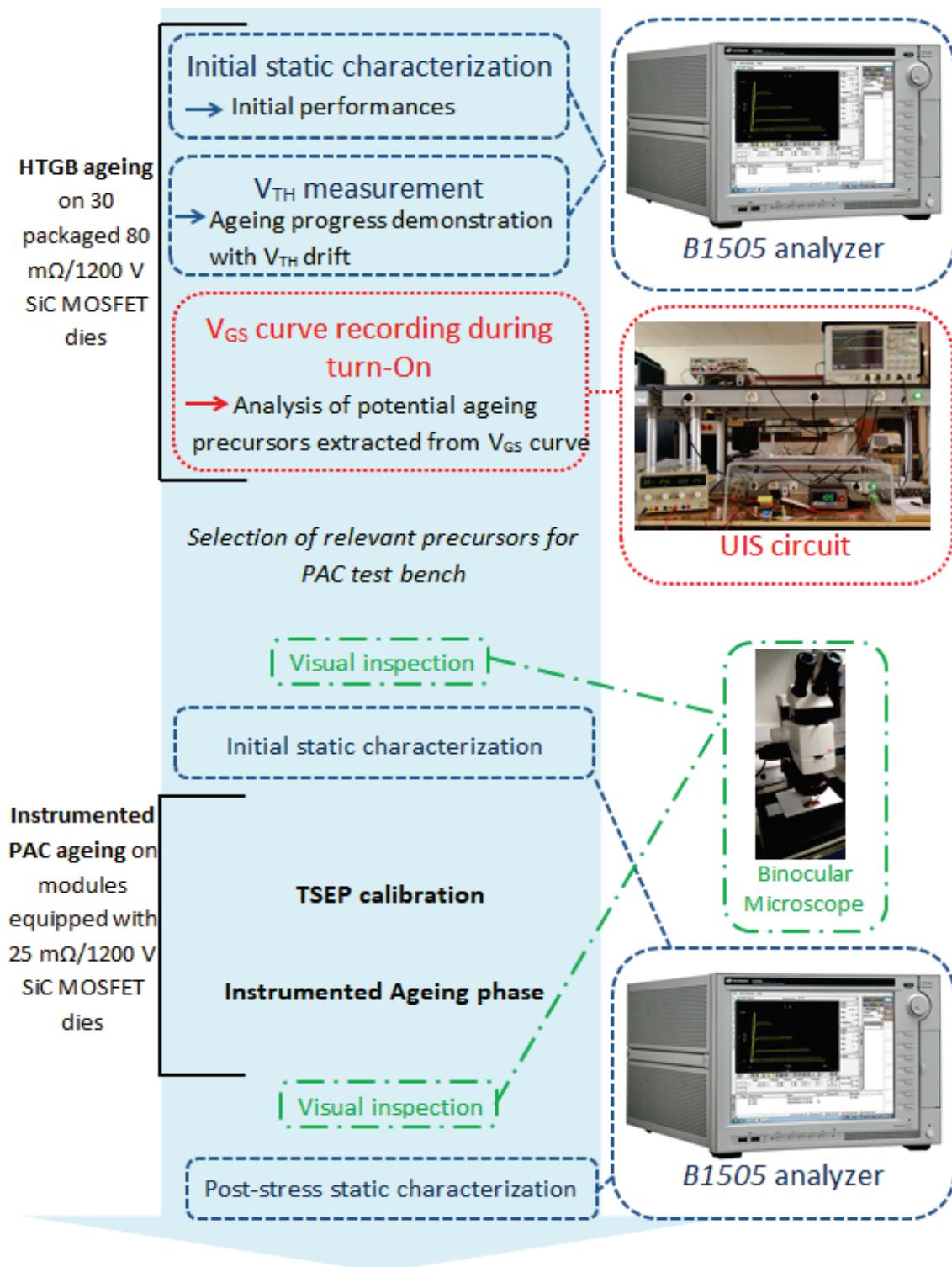


Figure 3.1 – Use of the several experimental resources

3.1 HTGB test

A specific work has been carried out on Gate issues to explore more widely the possible ageing precursors. With ageing, characteristics of the Gate voltage turn-On curve will evolve. It is known that the Gate resistance and the temperature have an effect on the Gate voltage turn-On curve and especially on the Miller pseudo-plateau for a given ageing level. To observe, under several conditions, the evolution of the Miller plateau characteristics with ageing, measurements on this curve have been made for several Gate resistance values and several ambient temperature values at different level of ageing. The aim is to assure that the evolution of Gate voltage turn-On characteristics are always similar, whatever the conditions. In other words, we want to extract the more robust ageing precursors. The study has been carried out on a large batch of components (thirty C2M0080120D SiC MOSFETs) and is described in the next paragraphs.

3.1.1 Protocol

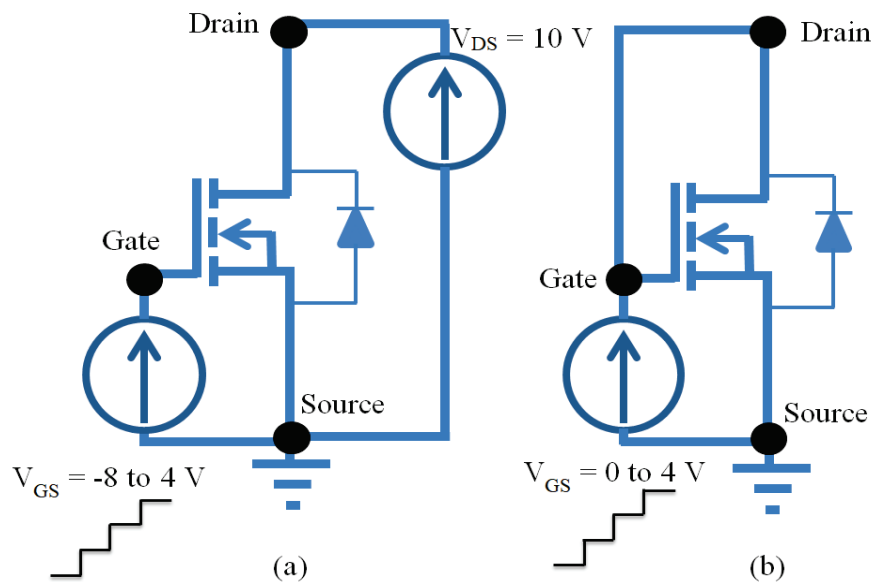


Figure 3.2 – Electrical circuits to measure the threshold voltage: (a) with a Drain to Source voltage and (b) with Gate and Drain short-circuited

As detailed in chapter 2, the threshold voltage is a good precursor for Gate oxide issues. It is chosen as the reference precursor to monitor, in off-line, the Gate degradation during the HTGB test. Two methods are considered to extract the threshold voltage information. The first one is described in Fig. 3.2(a). In this circuit, a DC voltage of 10V is applied between Drain and Source. The Gate voltage is adjustable from -8V to 4V with a step of 0.25V during the transconductance test. The threshold voltage is the value of Gate voltage when the Drain current reaches 5mA in this configuration. In [4] it was shown that the “under threshold” current is a very sensitive parameter to the temperature of the MOSFET region between the extremity of the channel and the drain. In that perspective, the test in Fig. 3.2(a) cumulates two advantages: the evaluation of an effective value of the threshold voltage and the drain current sensitive to an effective value of a junction temperature.

The second method is presented in Fig. 3.2(b). Here, Drain and Gate are short-circuited and the Gate voltage is adjustable from 0V to 4V during the test. In both cases, the Gate voltage ramps up at each step of measurement. The device is progressively turned-On with no return to a negative low value. These threshold voltage measurements are performed using the B1505 analyzer which proposes standardized tests that can not be modified. That is why we can not go to a negative value between each measurement points. Returning to a low value between each step would be a solution to “clean” the Gate oxide interface between each measurement. This phenomenon will be explained in section 2 and a protocol has been presented to avoid the oxide interface contamination. The two characterization tests do not give a similar value for the threshold voltage. The MOSFET batch will be divided into two groups: one characterized with the first method and the second one with the second method in order to check if there is an influence of a characterization type on the threshold voltage drift with ageing.

To stress the MOSFETs under HTGB, the test bench presented in Fig. 3.3 is used.

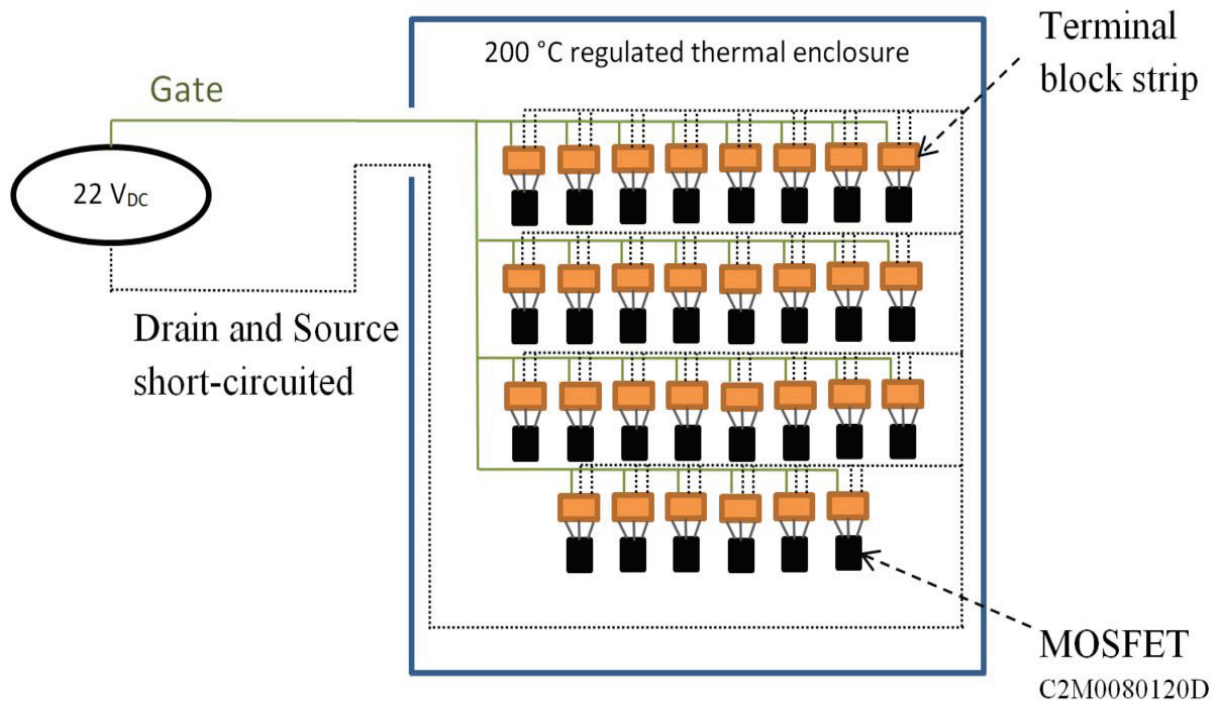


Figure 3.3 – High Temperature Gate Bias test circuit on C2M0080120D from WOLFSPEED

For this test, Drain and Source are short-circuited and a 22V_{DC} Gate-to Source voltage is applied continuously during the test. The test duration is fixed to 664 hours, which is a sufficient time to see 20% threshold voltage drift. Three external characterizations were performed: at the initial time, after 424 hours and after 664 hours. External characterizations are realized with two equipments: B1505 analyzer from KEYSIGHT and a specific designed Unclamped Inductive Switching (UIS) circuit [2]. The two test benches will be described in this paragraph.

To check the MOSFET ageing after each stress period, the threshold voltage is measured at

three ambient temperature values (25 °C, 80 °C and 150 °C) according to the two methods seen previously (and before ageing, after 424 hours and after 664 hours of ageing). In order to understand the influence of ageing on Gate oxide, some precursors measurement are carried out under several conditions.

Figure 3.4 presents the experimental conditions for MOSFETs characterization: at 25 °C, 80 °C and 150 °C, each time with all the external Gate resistance values successively. The operation is repeated for three level of ageing. For the 30 MOSFETs, for three level of ageing, for three temperature values and the four resistance values, a total of 1080 Gate voltage turn-On measurements have been carried out with the UIS circuit (described in the next paragraph). The modifications observed on the Gate voltage turn-On curve according to these parameters variation will be a good track to find ageing precursors. Indeed, when the DUT is stressed, its internal Gate resistance can increase. The effect of an external Gate resistance increase on the Gate voltage turn-On curve can be an indication for the study. Effects created by a temperature rise at a same level of ageing are also interesting to observe.

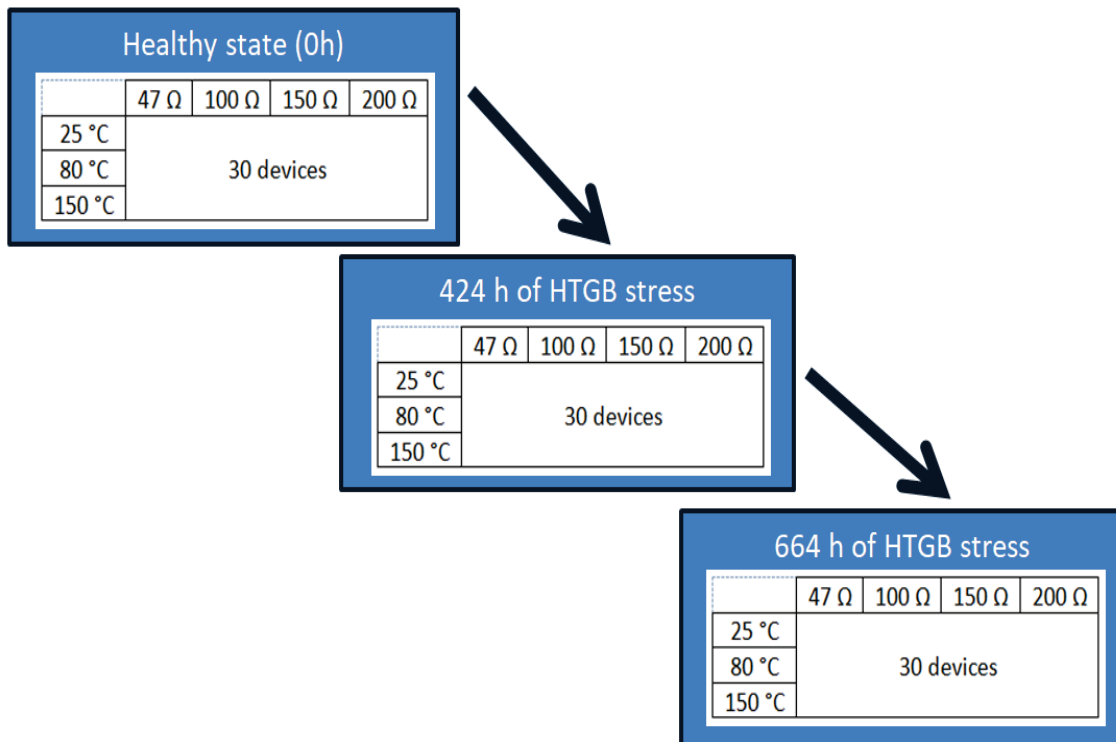


Figure 3.4 – Test plan for characterization during HTGB ageing

3.1.2 Characterization processes

Two characterization circuits are used for precursors measurements. The first one is the B1505 analyzer from KEYSIGHT and the second one is a dedicated Unclamped Inductive Switching (UIS) for several conditions.

B1505 analyzer

B1505 is a power device analyzer which allows precise measurements across a wide range of operating conditions. This analyzer will be used in our study to characterize healthy MOSFETs, in order to compare their performances with datasheets, but also to realise either an ageing monitoring or post-experiment analysis. The useful features in this part are:

- I_{DS} vs V_{DS} characteristic in order to check initial performances of MOSFETs (Example in Fig. 3.5)
- I_{DS} vs V_{GS} , pictured in Fig. 3.7 and 3.6, to determine the threshold voltage according to the two circuits in Fig. 3.2.

In Fig. 3.5, the On-state resistance can be calculated to verify the initial performance of the studied MOSFET. The On-state resistance is the slope of the linear part of I_{DS} vs V_{DS} characteristic. This measurement is extracted from the study of a module constituted of a $25\text{m}\Omega$ / 1200V die (C2M0025120D). The calculated On-state resistance for $V_{GS}=15\text{V}$ is $35\text{m}\Omega$ at ambient temperature (25°C). This value represents the global on-state resistance of the power module and not only the die one (because we can not access the die without destructing the module). The two values being similar, we can conclude that the MOSFET operates correctly, but we have to take in account the global on-state resistance of the module and not only the value in the device datasheet (bare die).

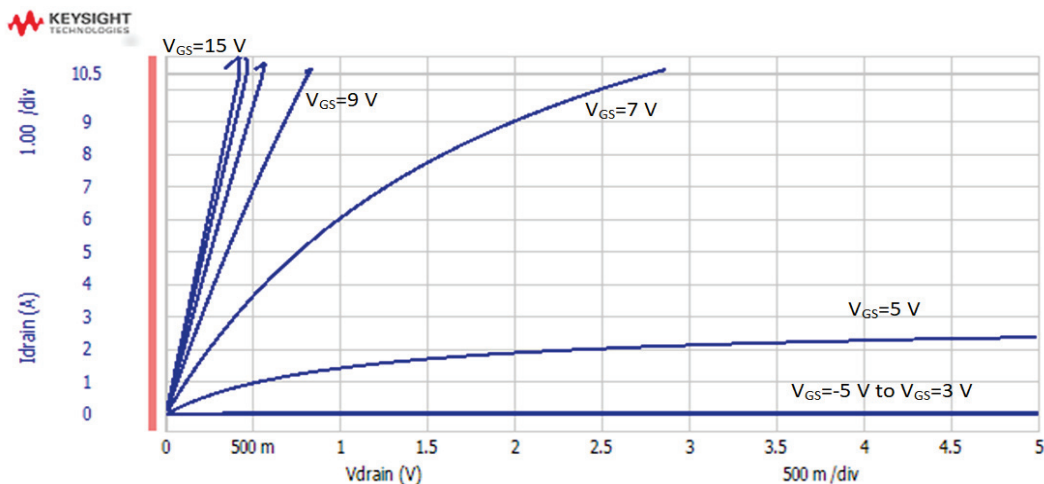


Figure 3.5 – I_{DS} vs V_{DS} pulse measurement by the B1505 for the SIEMENS test module N°2 (measurement at ambient temperature 25°C)

Fig. 3.6 shows the threshold voltage evaluation with 10V applied between Drain and Source. The measurement mode is explained in Fig. 3.2(a) and is performed at ambient temperature (25°C) on packaged devices (C2M0080120D).

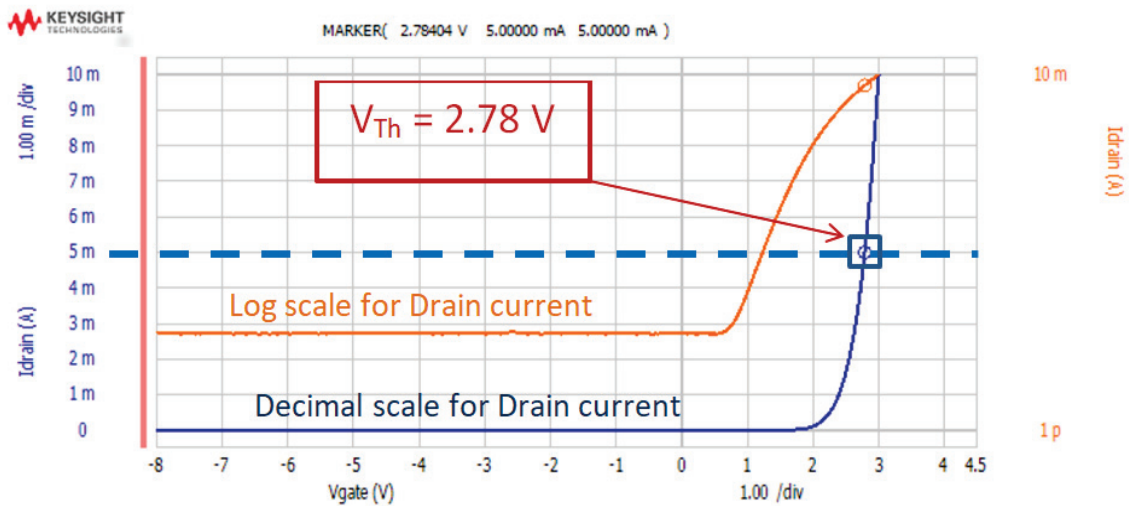


Figure 3.6 – Threshold voltage evaluation (I_{DS} vs V_{GS}) with B1505, $V_{DS}=10V$, on a C2M0080120D device at 25 °C

Fig. 3.7 shows the threshold voltage evaluation when Drain and Gate are short-circuited. We can notice that the value of the threshold voltage depends on the method: 3.34V under Drain polarization and 2.78V with $V_{DG}=0V$. It is due to the fact that the same Drain current is reached in the saturation mode in the first case and in a triode mode in the second case.

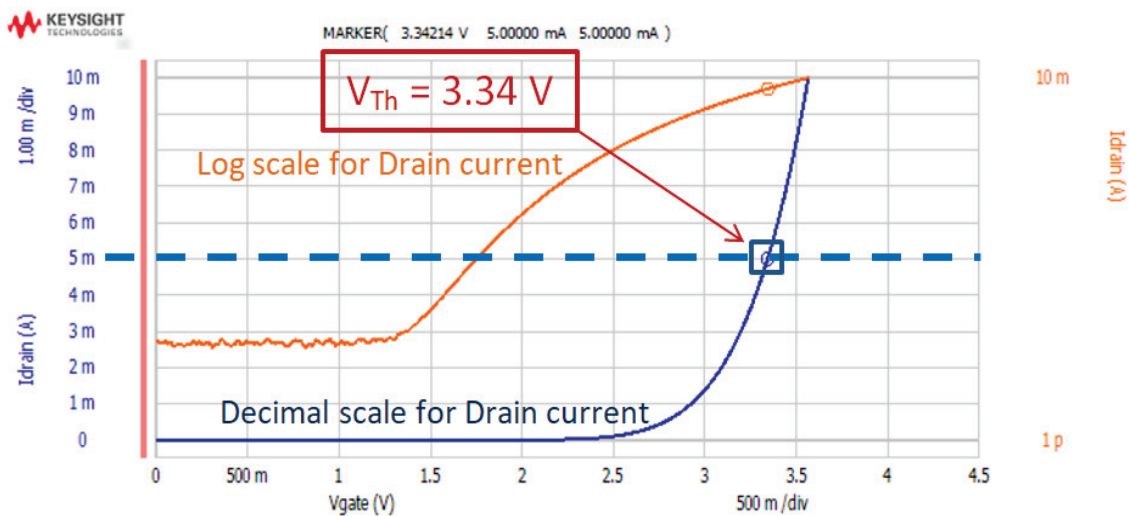


Figure 3.7 – Threshold voltage evaluation (I_{DS} vs V_{GS}) with B1505, $V_{DG}=0V$, on a C2M0080120D device at 25 °C

UIS circuit

During a switching transient, the following process is observed. Signals V_{GS} and I_{DS} from a practical MOSFET turn-On, are pictured in Fig. 3.8.

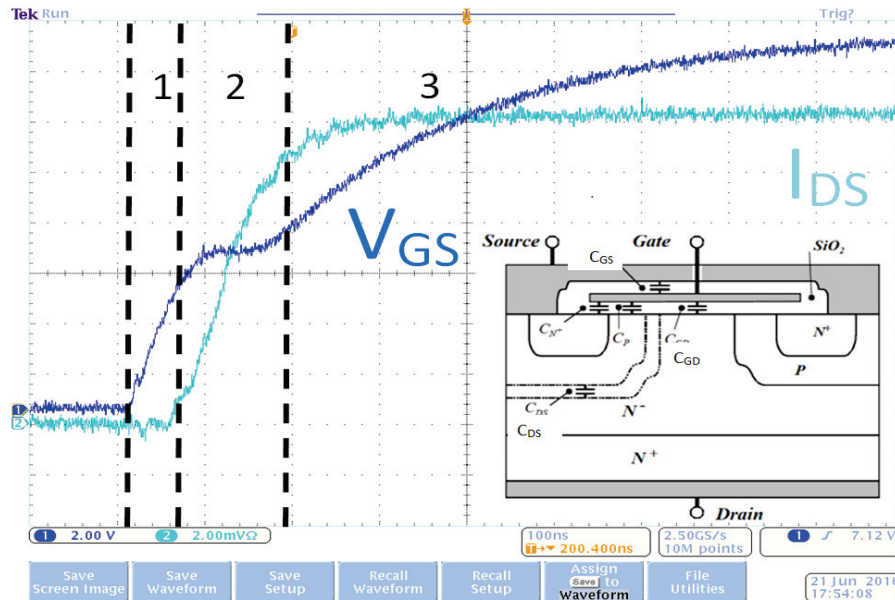


Figure 3.8 – Typical electrical signals during a SiC power MOSFET turn-On

During phase 1, V_{GS} increases and I_{GS} decreases regularly: it is the Gate-to-Source capacitance charging. The MOSFET is Off and the Drain current is nearly zero. Drain voltage remains mostly constant.

During phase 2, a Drain current appears and the Drain voltage decreases, because of the Drain-to-Gate capacitance end of charge. The Drain-to-Gate capacitance is charged with the current flowing in the Gate-to-Source capacitance. This negative feedback, called Miller's effect, creates a "pseudo-plateau". Features of this pseudo-plateau will constitute a reference in this study because they are linked to the health of the Gate oxide, as seen in chapter 2.

During phase 3, the Gate-to-Source voltage increases until the driver operating point. Drain current reaches its nominal value and the Drain-to-Source voltage reaches its lowest value.

As explained in [2], the UIS circuit pictured in Fig. 3.9, is designed to install a power MOSFET switching.

The UIS test is an avalanche ruggedness test that takes into account the parasitic inductance present in a very high speed switching, what is the case with SiC MOSFETs. During the characterization, the MOSFET is placed on a regulated hot plate to select a condition between 25 °C, 80 °C and 150 °C. The electrical circuit presented in Fig. 3.9(b) is composed of an inductance of 1.1 μ H and resistance of 100 Ω in series with the DUT. The gate terminal is equipped with a connector to change easily the external gate resistance value according to the test plan. 50 V is applied to Drain. The DUT switches according to a pulse-pattern sequence. A differential

measurement of the Gate voltage during turn-ON is allowed thanks to a two-probe configuration.

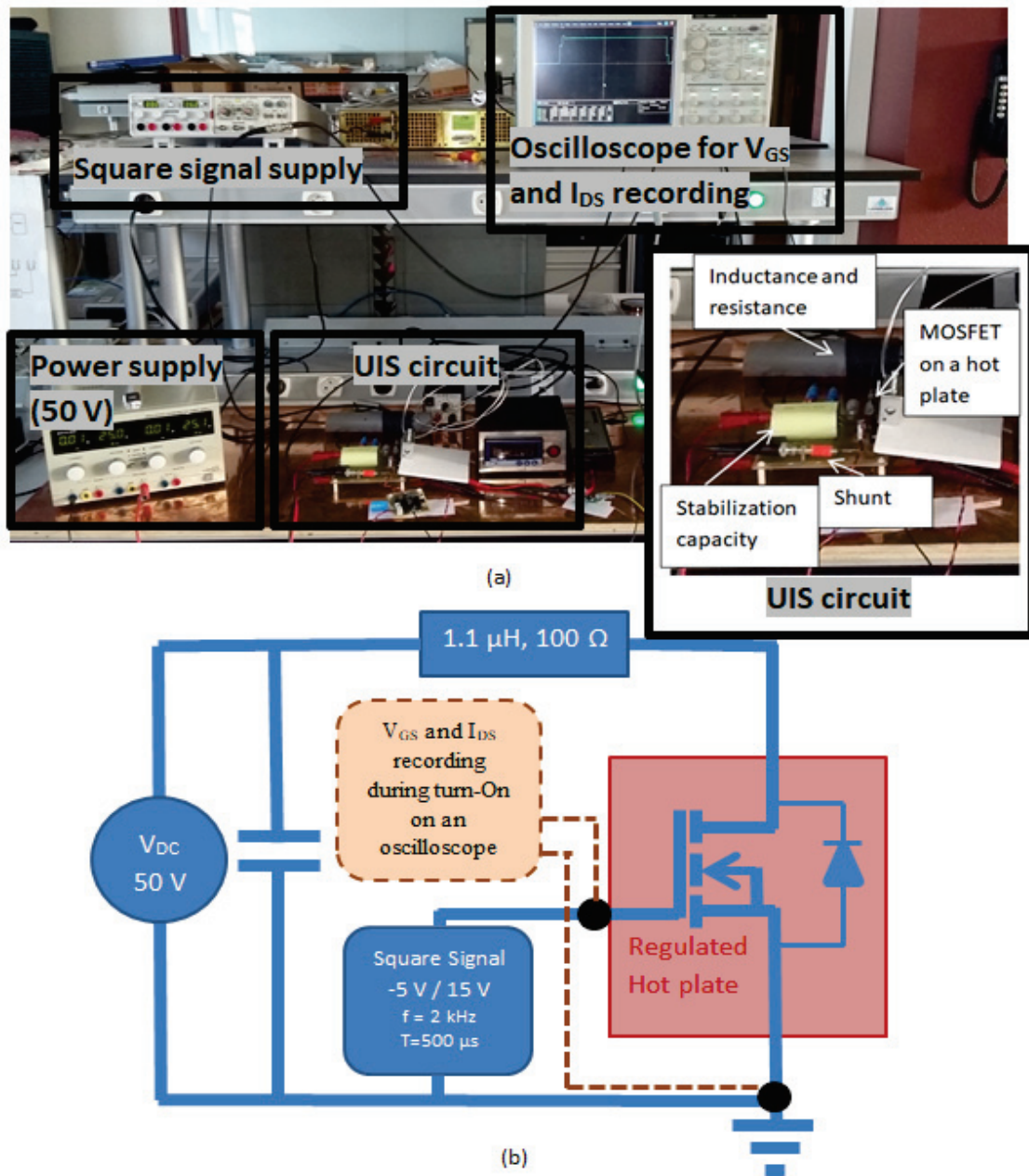


Figure 3.9 – Setup to measure the Gate voltage turn-On: (a) test bench and (b) electrical circuit

3.1.3 Conclusion on HTGB tests

The comparison of the two methods to evaluate the threshold voltage is pictured in Fig. 3.10. The threshold voltage measurement has been carried out under three ambient temperature values to ensure that the threshold voltage remains a relevant ageing precursor whatever the conditions in temperature.

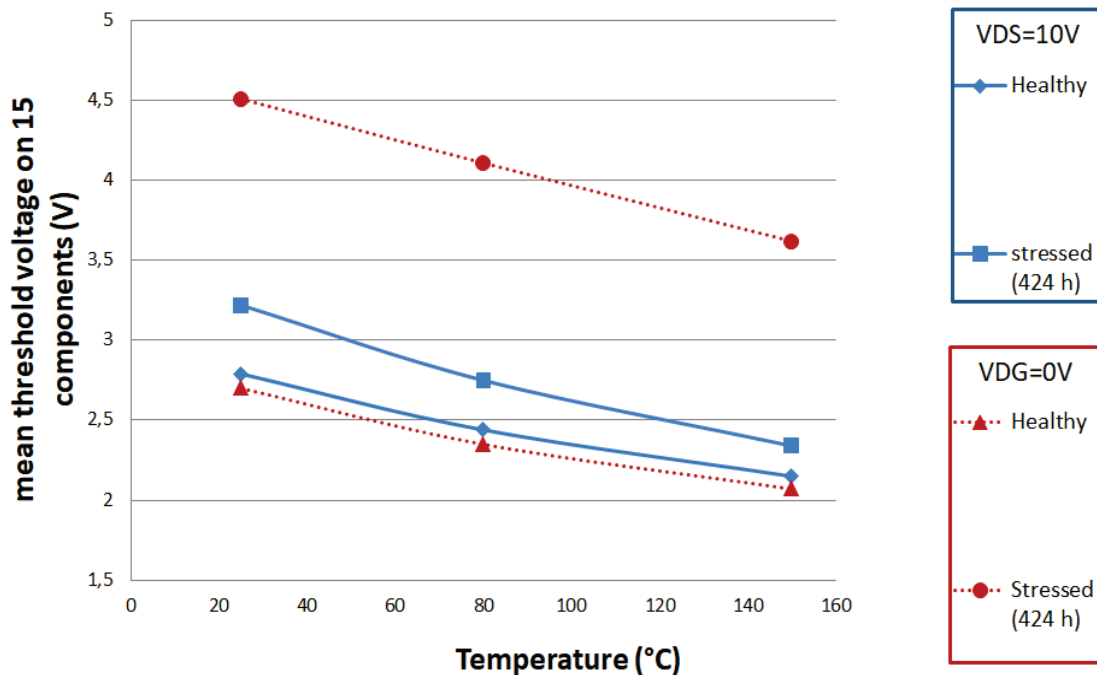


Figure 3.10 – Threshold voltage evaluation according to temperature for 2 stress conditions (Healthy and after 424h of HTGB)

We can see in Fig 3.10 that the method with $V_{DG}=0V$ provides a larger variation according to ageing. It gives a better sensitivity to detect a potential failure mechanism. However, $V_{DG}=0V$ in an on-line monitoring test bench is impossible. To use the threshold voltage sensitivity in an on-line test bench, we will have to use the condition $V_{DS}=10V$.

Thanks to an on-line automated routine, illustrated in Fig. 3.11, points of Miller plateau are extracted. The Matlab algorithm is given in Annex B. This routine is based on the creation of a tube with a defined length (L) and a height (ϵ). The first step consists in browsing the Gate voltage curve with the tube. At each position, the number of points included in the tube is counted and registered. In a second step the tube is placed on a position where a maximum of points are included. A third step consist in extending the tube to the right side until there is no additional point included in the tube. A fourth step does the same thing to the left side. Finally, the plateau is included in the extended tube. The only drawback of this method is the choice of the tube height ϵ . A learning phase is necessary to determine the minimum value of ϵ according to the fact that the plateau is not flat but curved (Fig. 3.12).

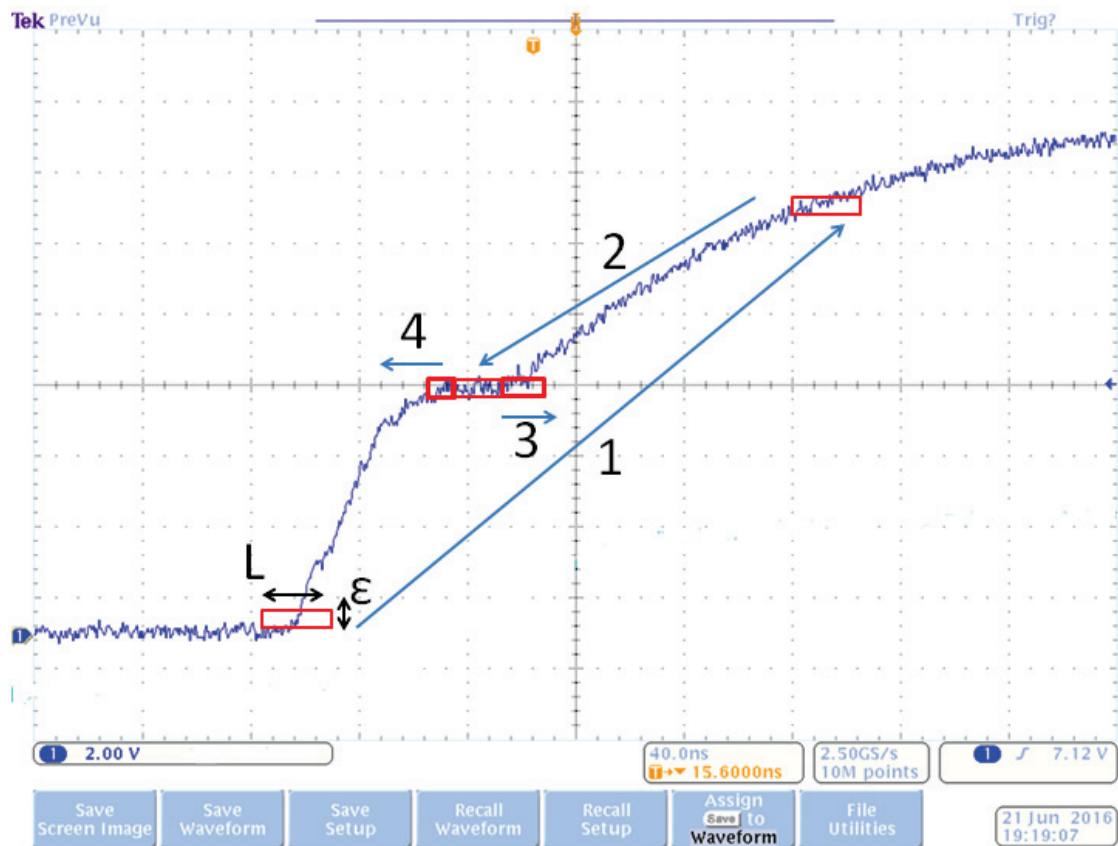


Figure 3.11 – Automated routine to detect the Miller ‘pseudo-plateau’ on the V_{GS} turn-On curve (Healthy packaged MOSFET C2M0080120D at 25 °C)

The extracted information is then treated for identification as pictured in Fig. 3.12. Several parameters are identified:

- The average level
- The duration
- The minimum value
- The maximum value

Other parameters are extracted from the fitting polynomial functions:

- The slope and the intercept identified from the first order function (3.1).

$$f(V_{GS}) = Slope \cdot V_{GS} + Intercept \quad (3.1)$$

- The parameters a_3 , a_2 , a_1 and a_0 composing the third order function (3.2).

$$f(V_{GS}) = a_3 \cdot V_{GS}^3 + a_2 \cdot V_{GS}^2 + a_1 \cdot V_{GS} + a_0 \quad (3.2)$$

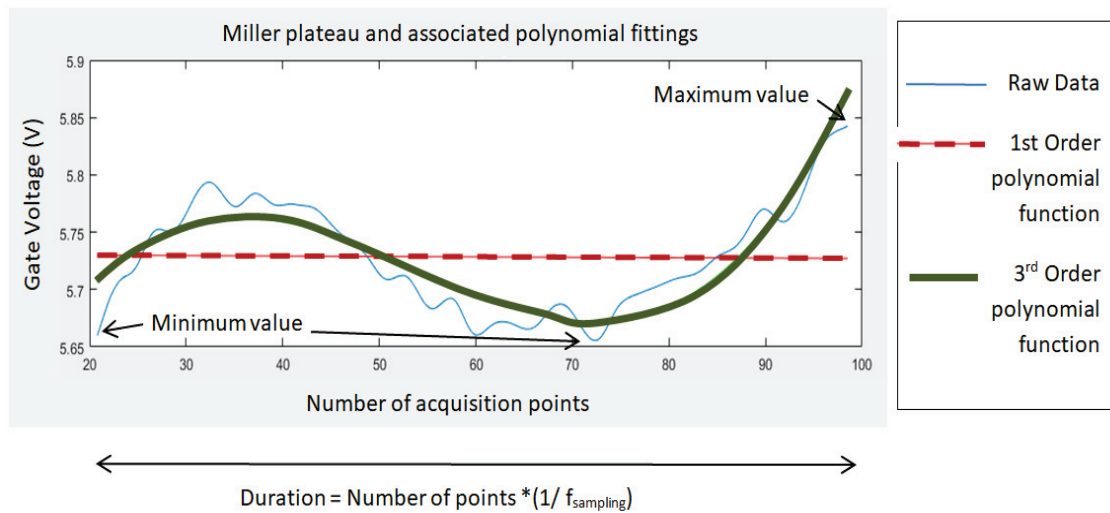


Figure 3.12 – Miller plateau identification and its associated polynomial fitting functions

A last group of parameters are extracted from V_{GS} turn-On. It is a kind of rise time between two chosen voltage values. An example is given in Fig. 3.13. The reference time is fixed when the Gate voltage reaches 1V. A duration is registered when the Gate voltage is equal to 2V, then to 3V.. until 15V.

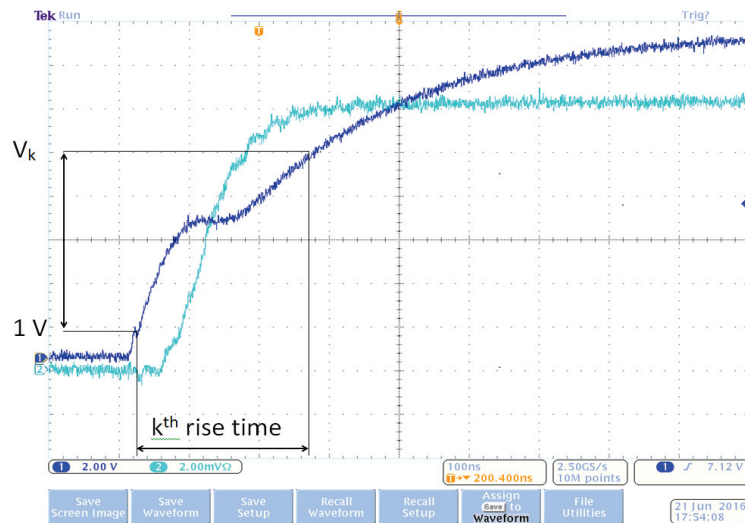


Figure 3.13 – Rise time definition

A monotonous evolution according to ageing has been observed for all the latter parameters for all the thirty tested MOSFETs. The monotonous evolution is sometimes an increase and sometimes a negative trend given the studied parameters. Evolutions are gathered in Table 3.1.

Table 3.1 – Monotonous evolution of precursors for Gate issues

Parameter	Increase with ageing	Decrease with ageing
Mean level	X	
Duration		X
Maximum and Minimum value	X	
Slope	X	
Intercept	X	
a_3 and a_0	X	
a_2 and a_1		X
Rise Time for $V_{GS} < V_{Th}$	X	
Rise Time for $V_{Th} < V_{GS} < 15V$		X

It has been shown in this section that ageing precursors are provided by the Gate voltage curve. The precursors discussed here will be integrated in the on-line condition monitoring process.

3.2 Power Active Cycling (PAC) test bench

This section is dedicated to the PAC test bench description and operation. This test bench constitutes the heart of the study because it is the main way to obtain data about module ageing under stress. We will focus on different phases allowed by the bench (stress and characterization modes) but also on several methods to obtain failure precursors (sensor and LabVIEW equipment). The first paragraph is dedicated to the description of the test bench elements, their role and integration according to the different phases. A second paragraph focuses on the two characterization phases: TSEP and double pulse, with all the sensors associated to record potential failure precursors. The third paragraph concentrates on the operation of the test bench with a specific protocol assisted by a LabVIEW interface at each step. A last paragraph presents a track of multiphysics monitoring with the implementation of a strain gauge on the MOSFET top metallization. This exploration was conducted only on two MOSFETs to observe the spectrum of possibilities in terms of multiphysics approach in condition monitoring.

3.2.1 Test bench description

The test bench, pictured in Fig.3.14, allows the DUT to switch between a phase of self-heating and a phase of cooling. During the phase of cooling, two characterizations are processed: a measurement of TSEP and a double pulse test. With a minimum of specific material, the test bench also achieves a temperature calibration of the TSEP during cycling. All these functions are performed thanks to the following elements:

- A LabVIEW interface
- An acquisition device from National Instrument (CRIO-9074)
- An oscilloscope and an insulated trigger for Double Pulse test measurement
- A power source regulated in current for self-heating
- A voltage source for the on-line TSEP measurement
- A voltage source for the on-line Double Pulse characterization
- A precise shunt for TSEP measurement
- A LEM sensor for Drain current measurement during Double Pulse test
- Drivers and 4 MOSFETs to distribute the current between DUT self-heating phase and characterization phases
- Two voltage probes to measure VGS with a differential configuration
- Driver for the DUT, with -5/15V and an adjustable -5/0-10V output. Driver is equipped with a CT6 current sensor to record I_{GS} during V_{GS} turn ON
- A heat dissipater with its regulator for cycling phase. It is composed of fans and resistive wires which are supplied respectively to keep 40 °C on the baseplate
- For the calibration phase, a specific adiabatic box filed with glass wool limits temperature variations. The module is fixed on a hot plate. A resistor is inserted in the hot plate and a thermocouple linked to the acquisition device allows calibrating the TSEP with temperature

- A grounded plane to reduce EMI issues.

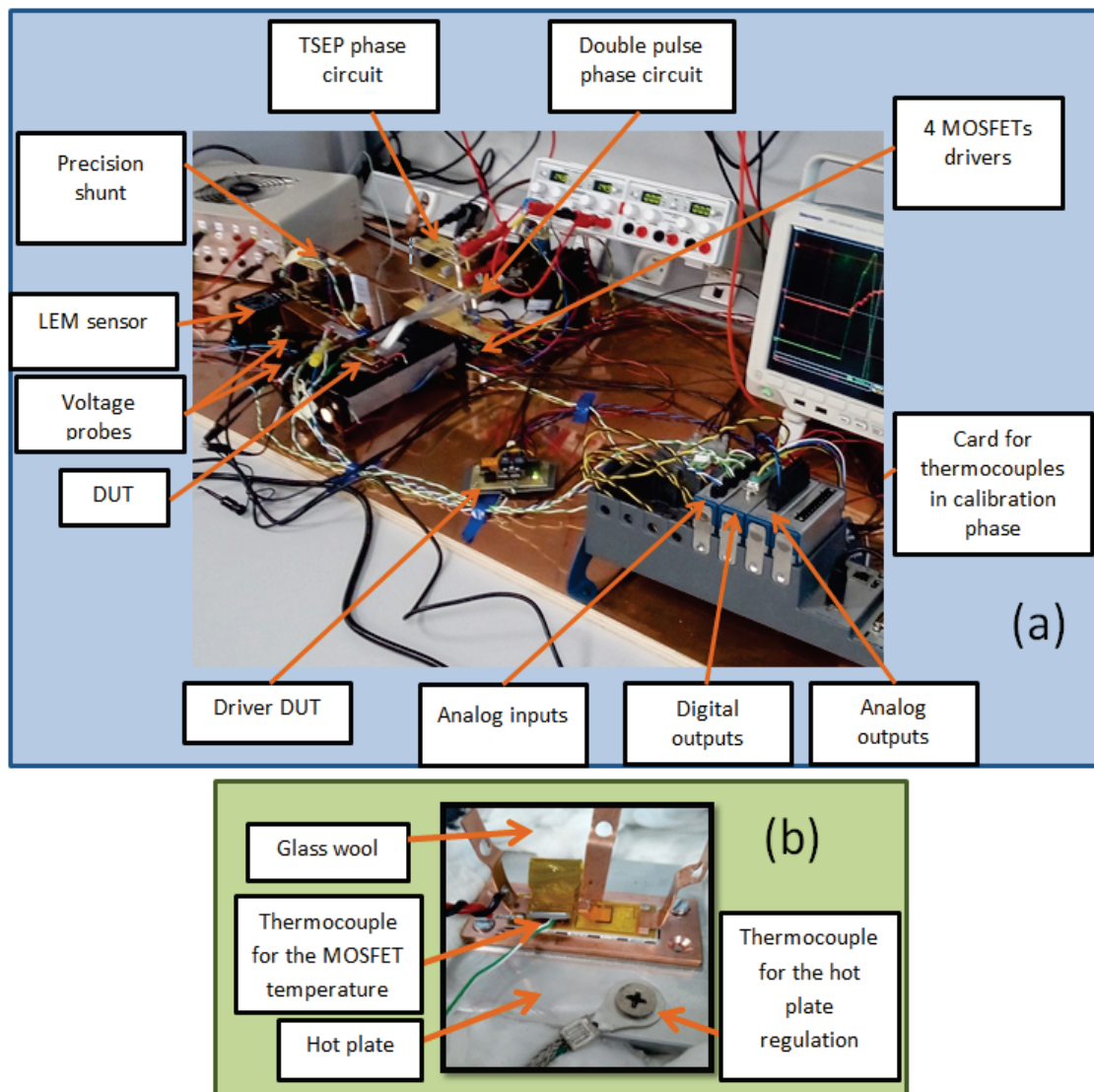


Figure 3.14 – (a) electrical circuit of PAC test bench and (b) module configuration for TSEP calibration

The electrical circuit of the PAC test bench is pictured in Fig. 3.15(a). The DUT is linked to three circuit loops, dedicated each to a specific mode. A detailed timeline of phases is given in Fig. 3.16.

The red dash-point line represents the self-heating electrical loop. A regulated current source is activated through the DUT thanks to the T4 switch. The chosen DC current will allow to cycle the DUT between 40°C (imposed by the heat dissipator) and a maximal junction temperature (between 110°C and 130°C according to several stress profiles). Figure 3.15(b) shows the relation between circuit elements and the control interface. The current source is directly controlled by the computer thanks to a GPIB link. Each self-heating phase has a duration of 1 second. During this period DUT, T4, T2 are On and T1, T3 are Off. Signals are

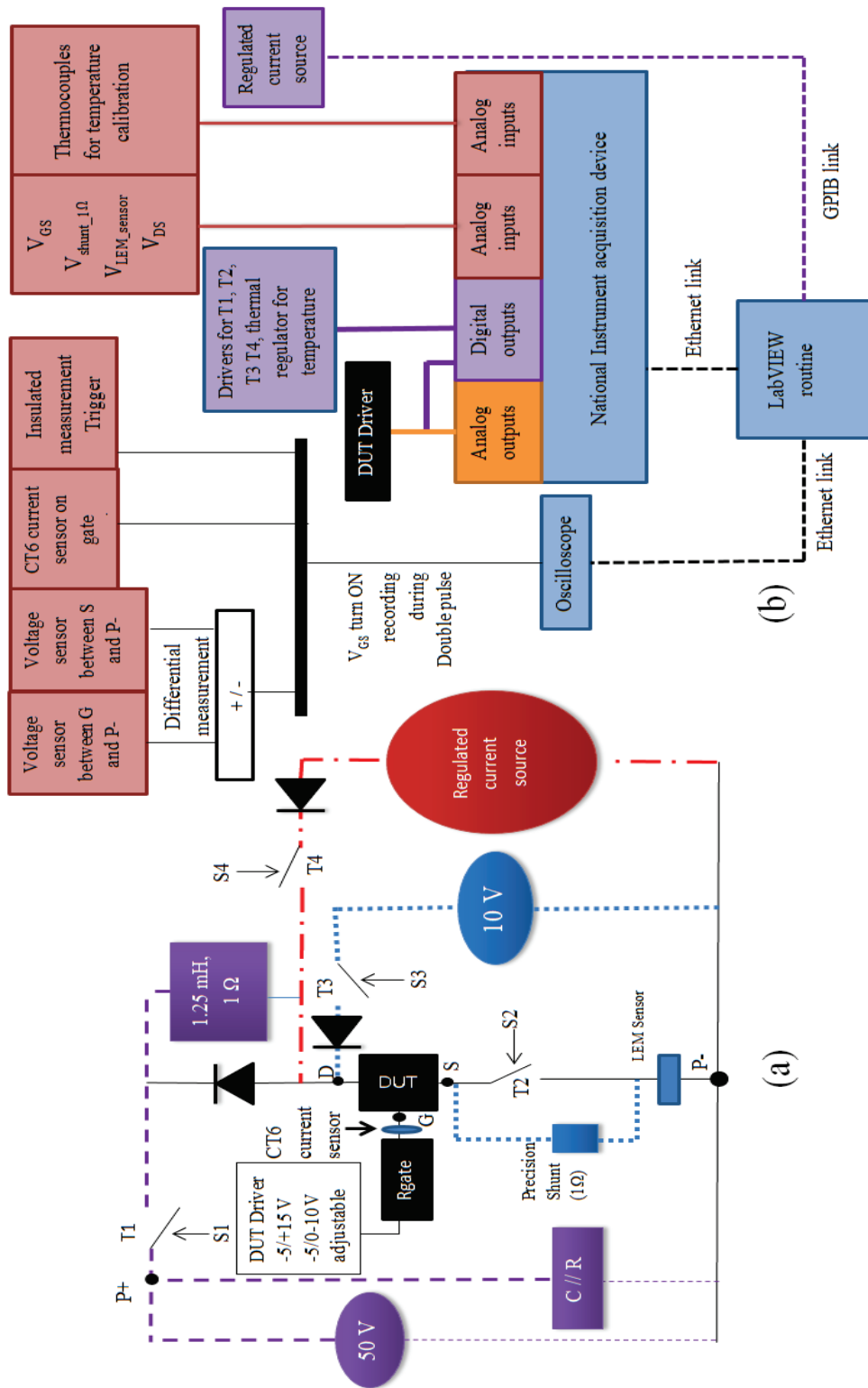


Figure 3.15 – (a) Electrical circuit and (b) logical diagram of the PAC test bench

sent by the computer through the National Instrument board and drivers in the circuit. No measurement is achieved in this phase.

Between each self-heating phase, a cooling phase of 4 seconds is applied, what gives place for measurement. The test bench performs two kinds of characterization each time just after the heating phase (hot conditions).

For a better organization, pictured in 3.16, the first characterization concerning TSEP is performed every odd cycle number (cycle 1,3,5...) and is symbolized by the blue point circuit loop in Fig. 3.15(a). The double pulse one is performed every even cycle number (cycle 2,4,6...) and is represented by the purple dashed circuit loop. The TSEP phase records the chosen TSEP three times to observe the temperature decrease during the cooling phase. The double-pulse phase records the turn-On effect on V_{GS} and I_{GS} but also the dynamic behaviour during the On-state with the recording of V_{DS} and I_{DS} . These phases are detailed in the next paragraph.

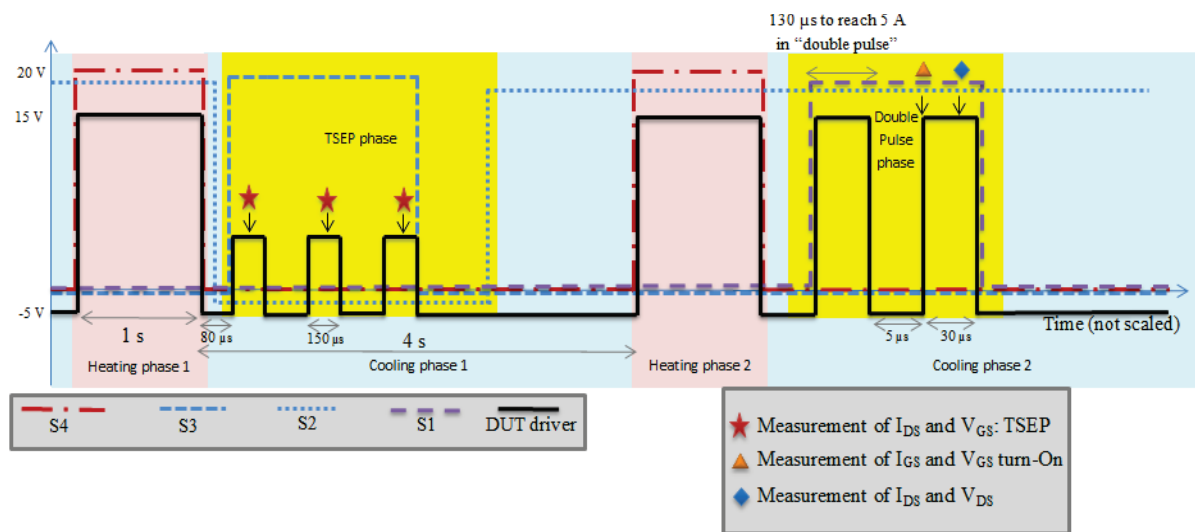


Figure 3.16 – Timeline of different phases in the PAC test

On the one hand, the measurement methods have to be the less invasive possible of the cycling process. On the other hand, electrical parameters measurement has to be accurate enough and insensitive to power switching.

According to Fig. 3.15(b), measurements during TSEP phase are performed directly by the acquisition board. The couples (V_{GS} , I_{DS}) are synchronously measured thanks to a precision shunt for I_{DS} and a direct differential measurement for V_{GS} . The value of I_{DS} can be very low (some mA), and a specific shunt is required to have an accurate measurement. The shunt is placed in a dedicated loop (blue point loop in Fig. 3.15(a)) and is only activated during the TSEP phase.

Concerning the double-pulse phase, measurements are performed in two ways:

- via an oscilloscope for V_{GS} and I_{GS}
- By the acquisition board for $I_{DS_{ON}}$ (via the voltage $V_{LEM_{sensor}}$) and V_{DS}

The oscilloscope records V_{GS} and I_{GS} during the MOSFET turn-On. The recording is triggered by an external trigger handled by the LabVIEW routine. This trigger is external to avoid

perturbations from the power switchings. Gate current is sensed by a CT6 current sensor. This sensor is not invasive. It is based on the Hall effect principle. CT6 sensor is placed at the output of the MOSFET driver board. The value measured here is the Gate Peak current because it is very difficult to monitor the Gate leakage current in such a test bench (switchings). A differential probe with two voltage probes is installed for V_{GS} , with their reference grounded together. A simple operation on the oscilloscope allows to see the Gate-to-Source voltage without noise (Fig 3.15(b)). A view of V_{GS} and I_{GS} is pictured in Fig. 3.17.

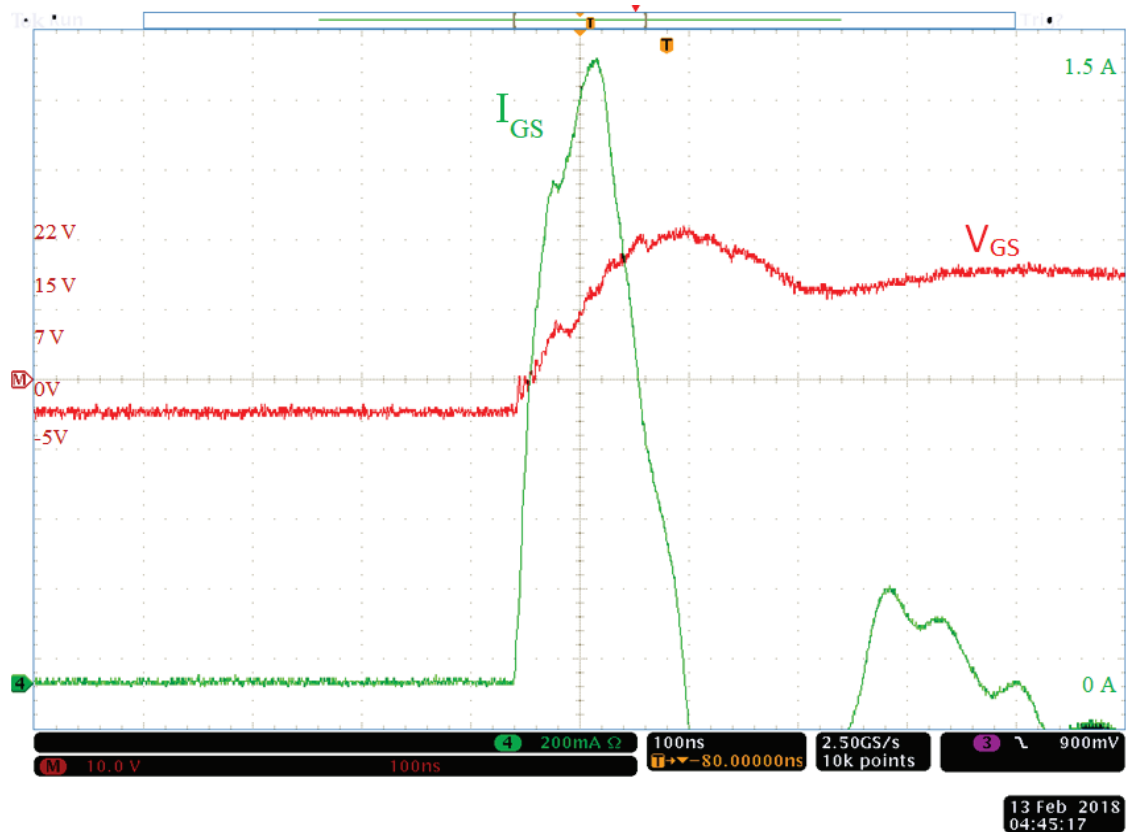


Figure 3.17 – Caption of V_{GS} and I_{GS} during turn-on

In the double-pulse phase, a Drain current around 6 to 8 A is measured. The sensor can be placed in the power loop (where the self-heating current flows) with no loss of information. A LEM sensor sized to withstand the self-heating current is placed in the power loop (black continuous line in Fig. 3.15(a)). The direct differential measurement of $V_{DS_{on}}$ is possible thanks to the acquisition board. Measurements of the two electrical parameters are synchronous to insure a good evaluation of instantaneous power dissipation for example.

In Fig. 3.14(b), the TSEP calibration function of the test bench is also presented. This calibration will be detailed in the next paragraph but we can see in Fig. 3.15(b) that all the control and measurement connections are assumed by the acquisition board and the LabVIEW routine: thermal regulator control and measurement of temperature by thermocouples.

The measurement methods detailed in this paragraph are integrated in the two characterization phases presented in the following paragraph. Each solution has been chosen to optimize the accuracy of measurement and the good progress of the ageing process.

3.2.2 Focus on characterization phases

This subsection is dedicated to the on-line measurement issues. We have created a test bench where electrical signals require for on-line monitoring, can be measured without stopping the ageing power active cycling. Choices have been made to provide measurable and reachable parameters during the module ageing. The first part focuses on the TSEP phase, with a particular attention on the potential threshold voltage drift. The second paragraph details the double-pulse phase.

TSEP phase

The TSEP phase, detailed in Fig. 3.18, consists in three successive measurements of the couple (I_{DS}, V_{GS}) .

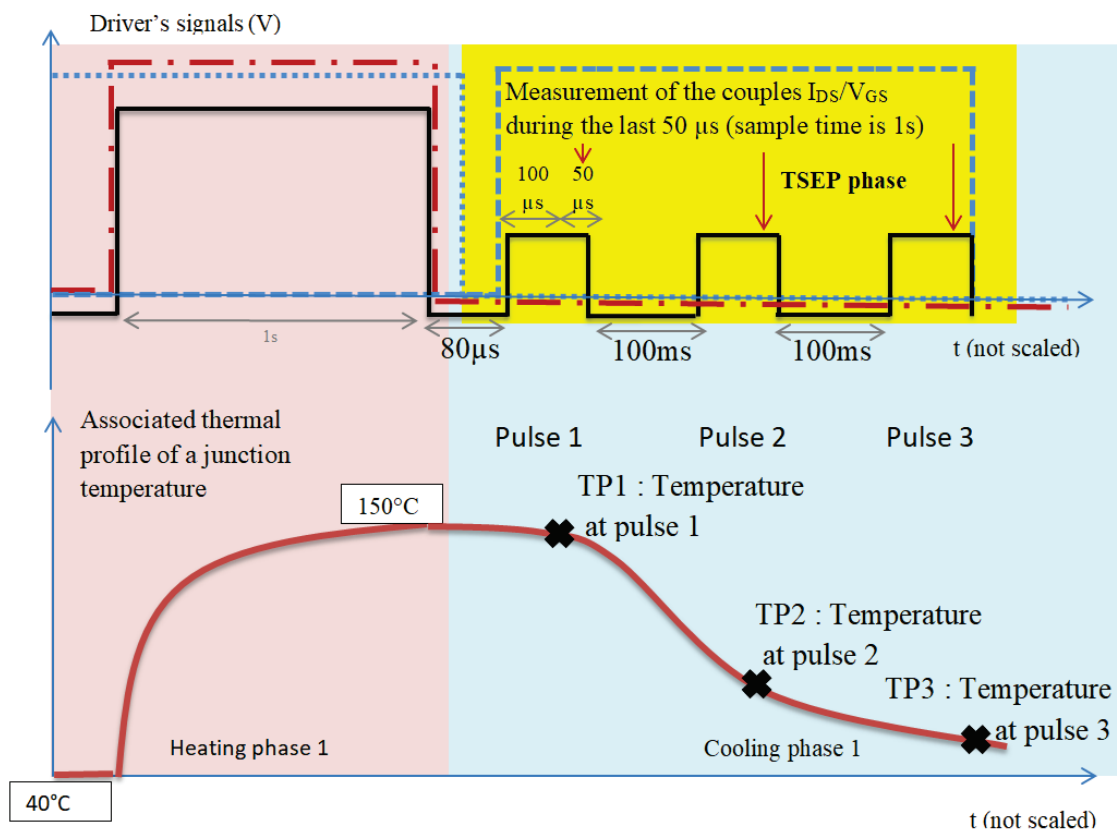


Figure 3.18 – Focus on the TSEP measurement after the heating phase in odd cycles: electrical and thermal aspects

The first pulse is triggered just after the heating phase ($80 \mu s$) to obtain a first temperature estimation. The chosen time of $80 \mu s$ is imposed by the setting time of the whole circuit. Under this time limit, the first pulse of V_{GS} is noisy (self-heating pulse). A second pulse is triggered $0.1s$ after and the third one, $0.2s$ after the heating phase. The time interval can be adjusted in the limit of the total four seconds of cooling. The aim of this pulse spreading is to estimate a more real junction temperature in the module at the end of the heating phase, based on a thermal RC equivalent model.

As seen in chapter 2, the chosen TSEP is strongly linked to the threshold voltage which can

present instability, as discussed in the next paragraph.

SiC MOSFET threshold voltage drift: To estimate temperature, the couple (I_{DS} , V_{GS}) is chosen as TSEP. The repetitive measurement of the Drain current and the Gate voltage is essential to have a reliable estimation of temperature. Some studies as [40] have shown that the threshold voltage, and the transconductance also, drift according to the Gate charge state. In other words, our measurement will depend on the previous state of the Gate drive (15 V or 0 V).

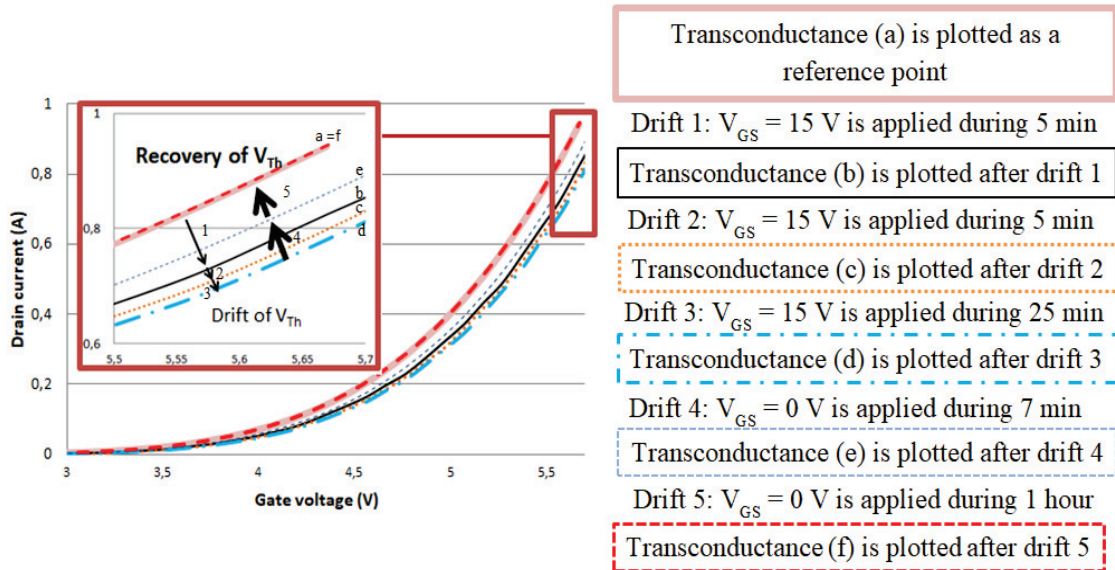


Figure 3.19 – Transconductance at ambient temperature for different gate charge state (C2M0080120D)

In Fig. 3.19, we have plotted the transconductance for the same power module in different charge state conditions of the Gate. When a power MOSFET is used, a voltage of 0 V is applied to the Gate in order to turn-Off the device and a voltage of 15 V is applied in order to turn-On the device. These two values of voltage haven't the same effect on the Gate oxide interface. When 15 V is applied to the Gate, some charges are trapped at the SiO₂/SiC interface and degrade the transconductance. For this experiment, we have plotted initially the transconductance by imposing 0 V between each point. Between two several transconductance plots, we have imposed a Gate-to-Source voltage of 15 V with no Drain current to see the drift effect on the next transconductance plot (drifts 1,2 and 3). We have then imposed a Gate-to-Source voltage of 0 V to observe the reverse drift of transconductance (drifts 4 and 5).

In Fig. 3.19, we can see that the transconductance is degraded after 5 minutes under $V_{GS}=15$ V (Transconductance (b)). This cannot be an effect of self-heating because no current flows between Drain and Source. When 0 V is applied to the Gate, charges are released but very slowly. We can see in Fig. 3.19 that 7 minutes at $V_{GS}=0$ V is not sufficient to reach the initial charge state (Transconductance (e)). This initial state is reached after one hour at $V_{GS}=0$ V (Transconductance (f)). The trapping phenomenon modifies the Gate oxide interface and so the transconductance has to be controlled to obtain a reliable TSEP measurement. Since the return to an initial state of charge is a long phenomenon at $V_{GS}=0$ V, we have to find which

negative voltage can bring quickly the initial charge state back after a measurement, whatever it is.

Several negative values of V_{GS} have been tested to reach back an initial state after a bias at $V_{GS}=15$ V applied during 10 minutes (Fig. 3.20).

Condition 1 and 2 are not sufficient to “clean” the interface quickly. The transconductance plot remains on the drift plot. Condition 3 allows a partial “cleaning” of the interface. However, one second is not sufficient to restore the initial state. Finally, condition 4 is the minimum value which is efficient to clean the interface. Condition 5 will be chosen to be sure of the interface “cleaning”.

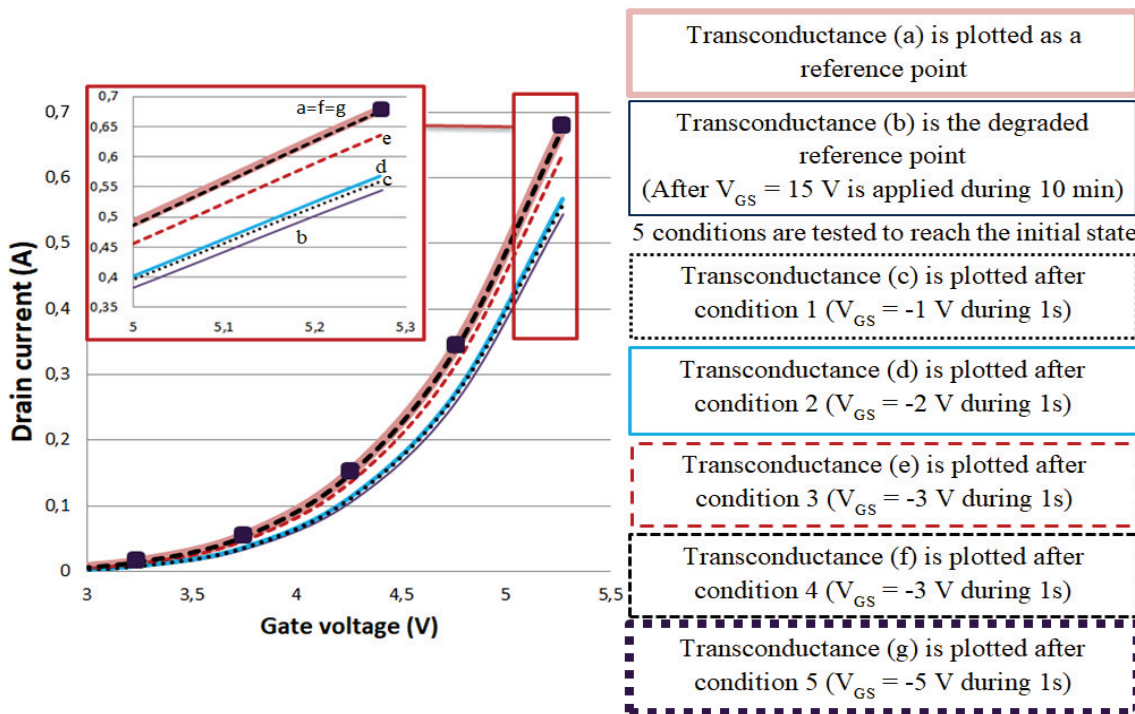


Figure 3.20 – Transconductance at ambient temperature after different negative Gate voltage application, after a bias at $V_{GS}=15$ V during 10 minutes (C2M0080120D)

Protocols for TSEP calibration and measurement: The couple (I_{DS}, V_{GS}) is selected for TSEP (with $V_{DS}=10$ V). A calibration is required and the setup pictured in Fig. 3.14(c), is introduced. DUT is placed on a hot plate to control temperature between 25 °C and 150 °C. A thermocouple is dedicated to the hot plate regulation and another one for the MOSFET temperature estimation. This second thermocouple is placed on the top metallization of the MOSFET. All this system is then recovered by glass wool in order to be in an pseudo-adiabatic environment during the calibration. The measurement of Drain current is possible thanks to a precision shunt (1.2Ω, DC current) and the Gate-to-Source voltage is directly measured with a differential probe. Both are connected to the acquisition board linked to LabVIEW. The blue point circuit loop of the test bench (Fig. 3.15(a)) is activated during this phase to impose a Drain-to-Source voltage of 10V and allow the measurement of Drain current with the shunt.

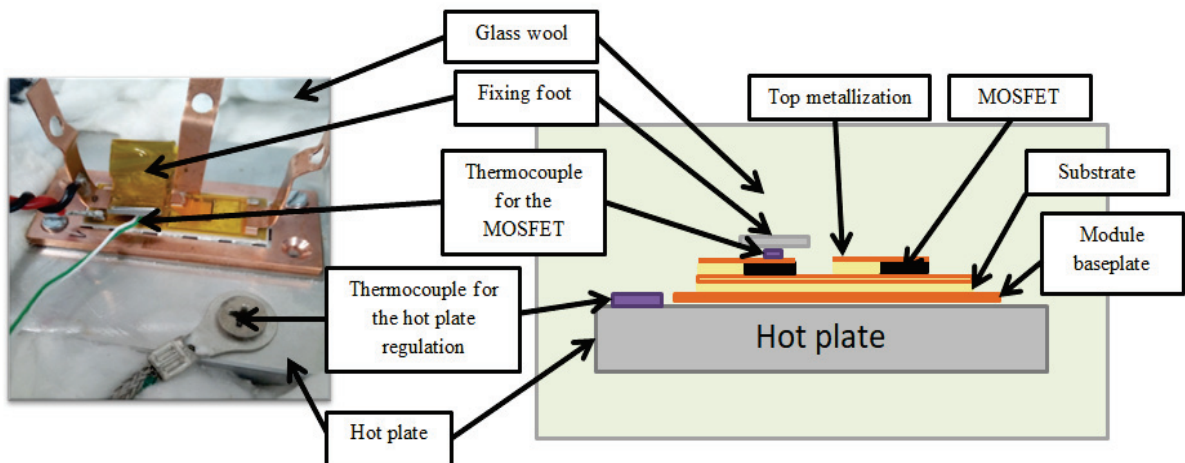


Figure 3.21 – Exerimental setup for TSEP calibration

In the TSEP calibration phase, we have three successive measurements for each condition (Temperature and bias). Gate-to-Source voltage and Drain current value are then averaged to have one couple for a given temperature. In the LabVIEW interface, described in the next paragraph and detailed in Annex C, we can fix a start and a stop value for V_{GS} with an incremental step of measurement.

In Fig. 3.22, the start value is $V_{GS}=2V$ and the stop value is $V_{GS}=5V$. The step is $0.5V$. As seen previously to avoid any threshold voltage instability, the MOSFET is turned-off with $-5V$ Gate-to-Source bias. LabVIEW generates three pulses and each time V_{GS} and I_{DS} are measured. An average value is calculated to yield (V_{GS}, I_{DS}) for each step of V_{GS} and each temperature values. At the end of the calibration phase, we obtain a transconductance evaluation for temperature values between $25^{\circ}C$ and $150^{\circ}C$ (Fig. 3.23).

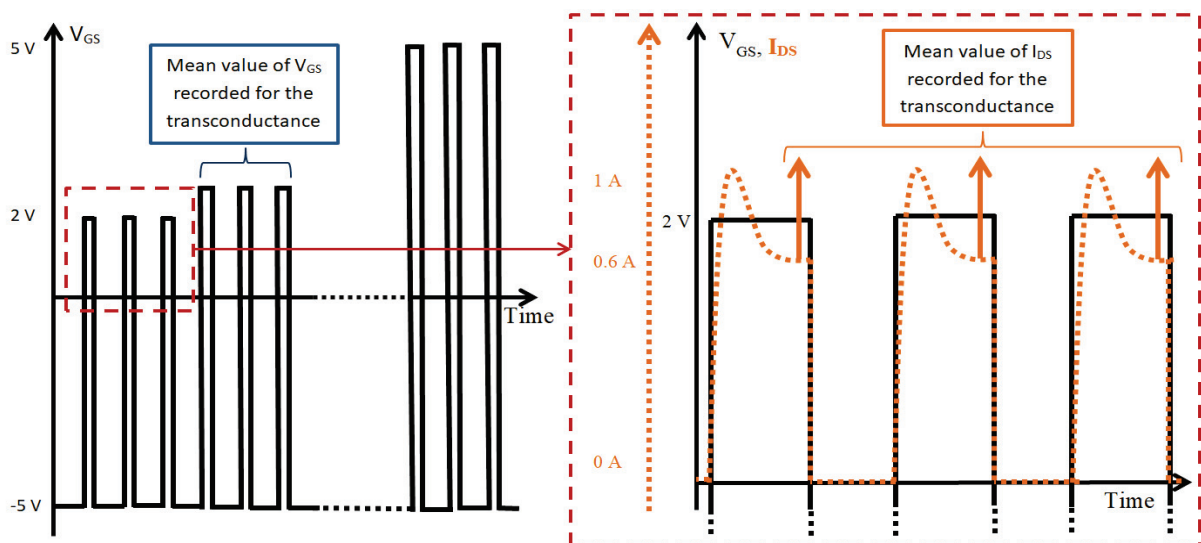


Figure 3.22 – Gate voltage and Drain current measurement methods

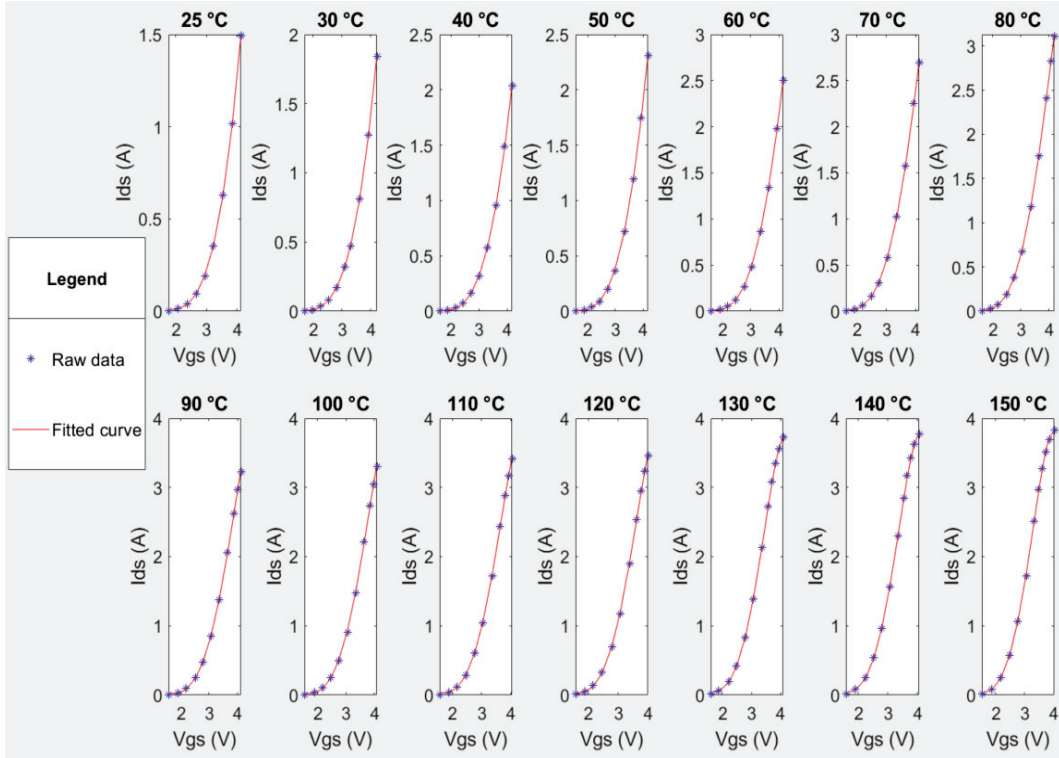


Figure 3.23 – Transconductance and curve fittings (Test module TM2)

An optimization of polynomial fitting (3.3) provides fitting curves used latter during PAC.

$$f(V_{GS}) = a_6 \cdot V_{GS}^6 + a_5 \cdot V_{GS}^5 + a_4 \cdot V_{GS}^4 + a_3 \cdot V_{GS}^3 + a_2 \cdot V_{GS}^2 + a_1 \cdot V_{GS} + a_0 \quad (3.3)$$

where a_i parameters are saved in a matrix, whose columns correspond to each temperature and lines to each parameters.

The fitting data are plotted in Fig. 3.24. During power cycling, a TSEP value is treated in 2 steps. First the TSEP value is situated on the map and the nearest calibration neighbours are identified. An extrapolation over the three variables T , V_{GS} and I_{DS} , evaluates the temperature value.

The TSEP depends on the MOSFET health state. A calibration has to be repeated regularly during DUT ageing. It is a practical way to decorrelate temperature and ageing effect on the TSEP values.

Once this calibration phase is completed, the temperature value estimation will be used in the post-data treatment detailed in chapter 4. During cycling, couples (V_{GS}, I_{DS}) are recorded on-line. The choice of a V_{GS} value is required for the TSEP measurement. In Fig. 3.24, we can see that an interval between 3V and 4V allows a better spreading of I_{DS} value and so a more accurate estimation of the temperature. To avoid a threshold voltage instability due to the gate oxide charge state, a Gate-to-Source voltage of -5V is applied to turn-Off the MOSFET during the tests (between each measurement and during cooling phases).

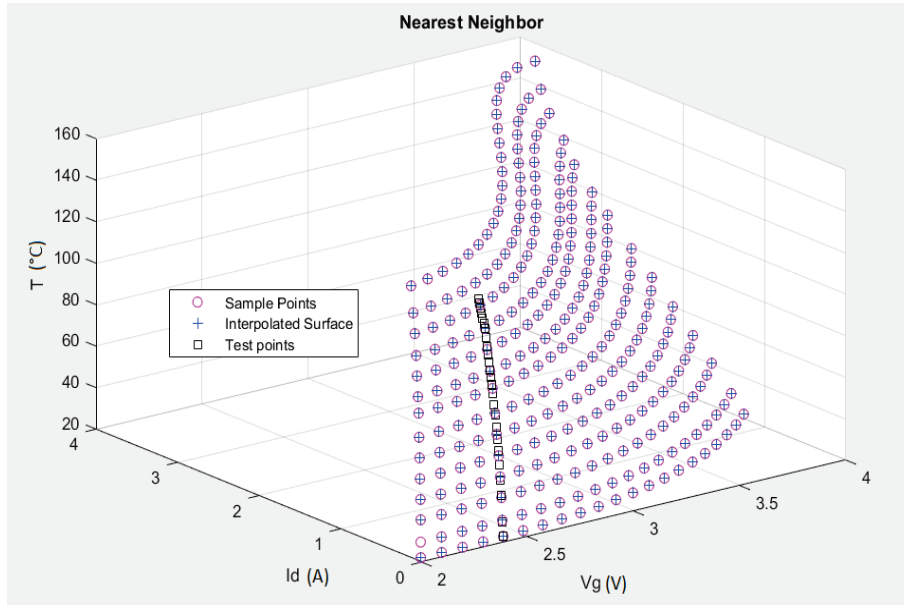


Figure 3.24 – Temperature map from calibration (First calibration of TM4)

Double-pulse phase

This second characterization is detailed in Fig. 3.25. The first pulse is sized to charge an inductance and obtain a Drain current around 5A (sufficient to be in On-mode). This characterization is assumed by the purple dash-line in the test bench circuit pictured in Fig. 3.15(a). After this first pulse, the MOSFET is turned-Off quickly during $5 \mu\text{s}$. This turn-Off allows a kind of initialization of the MOSFET internal capacitances. The short time avoid a significant decrease in the current in the inductance. When the MOSFET is turned-On in the second pulse, the rising edge of Gate-to-Source voltage (V_{GS}) and Gate current (I_G) are recorded via an oscilloscope. Many potential failure precursors are extracted from these waveforms as detailed in chapter 2. Information on the dynamic behaviour of the MOSFET are also given with the recording of the couple (V_{DS} , I_{DS}) in the steady-state part of the pulse.

Details on the Double-pulse phase settings will be given in the next paragraph and in Annex C.

Conclusion on characterization phases

In this paragraph, a TSEP method for temperature estimation is introduced. Discussion is given on Gate oxide charge state to understand the behaviour of the studied MOSFET according to Gate voltage solicitations. The choice of a negative voltage on the gate before each solicitation has been selected to insure the Gate oxide charge state and so the behaviour of the component. After this preliminary study, a protocol for the TSEP couple (V_{GS} , I_{DS}) calibration according to temperature has been described. A routine of fitting has led to a V_{GS}/I_{DS} /Temperature map which will be used for temperature estimation knowing the couple (V_{GS} , I_{DS}) in the post-processing phase with regular calibrations during lifespan.

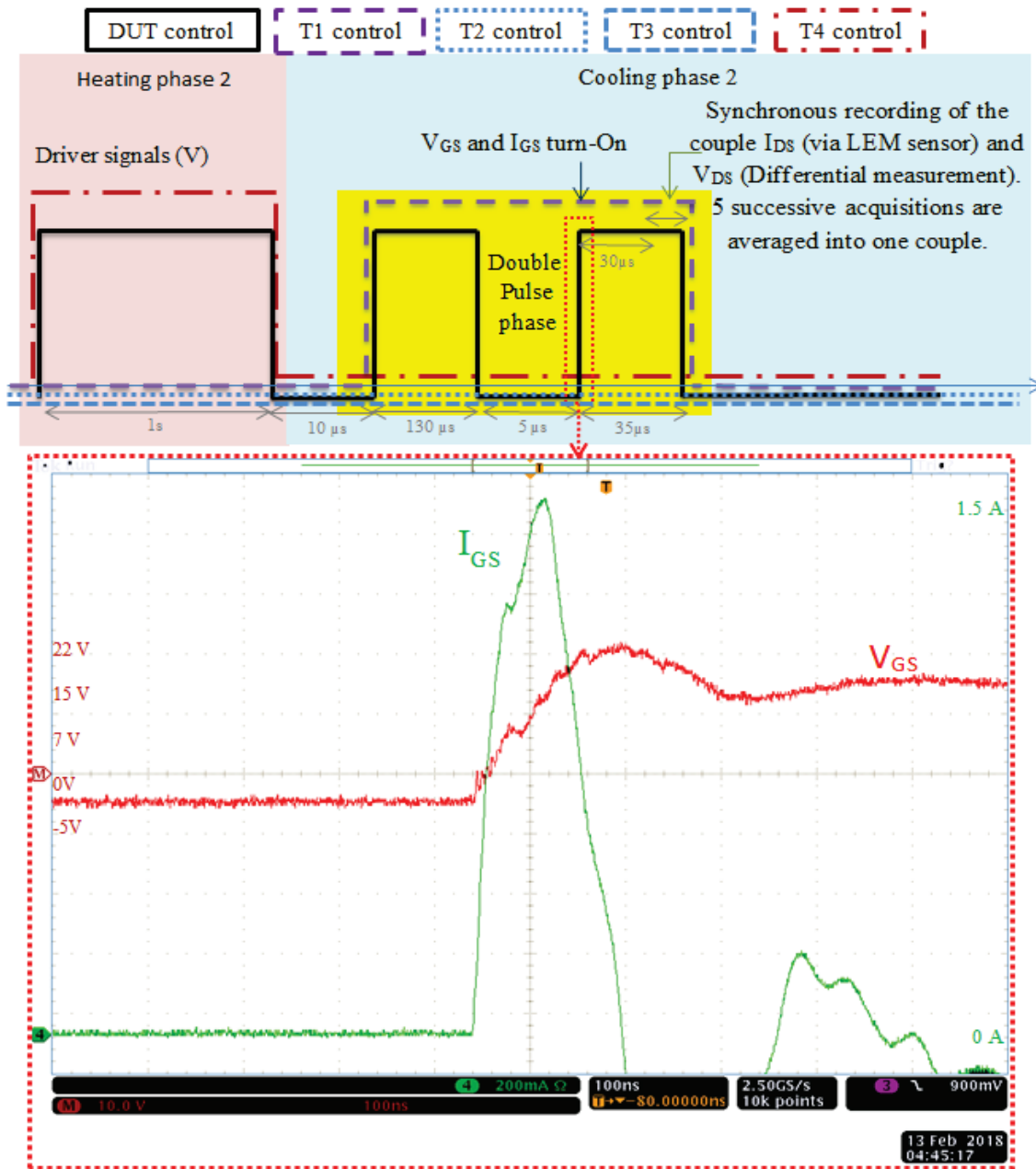


Figure 3.25 – Focus on the “Double Pulse” phase after heating phases in even cycles (2, 4, 6...)

The double-pulse phase is also described in this paragraph. This test is chosen to obtain a repetitive acquisition of a Gate-to-Source voltage waveform during turn-On. The aim is to obtain information related to the Miller “pseudo-plateau”. This phenomenon is probably linked to the ageing of the Gate oxide as seen in section 1 but its duration (around 60ns) required an accurate measurement method. Other information are nonetheless obtained during double pulse. The most promising is the couple (V_{DS} , I_{DS}) in the On state, as $V_{DS_{On}}$ is recognised as a good failure precursor in literature. A track around the Gate current has also been explored by placing a CT6 sensor to observe the Gate peak current during turn-On.

3.2.3 Test protocol in PAC test bench

This subsection presents the protocol applied to each module tested inside the PAC test bench. The protocol is pictured in Fig. 3.26.

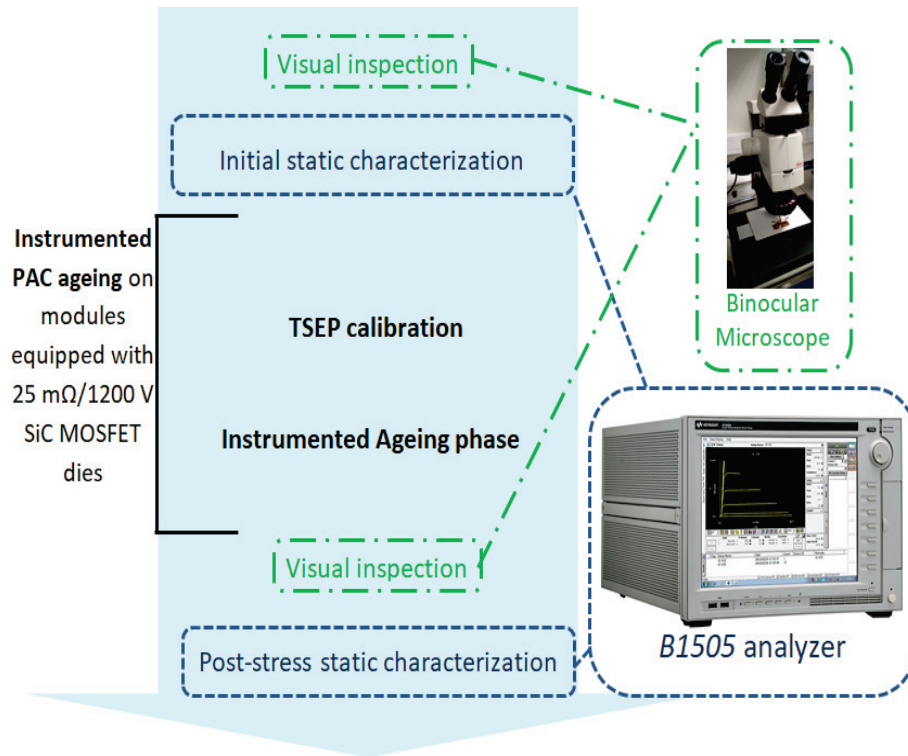


Figure 3.26 – Protocol inside the PAC test bench

Module visual inspection

This preliminary observation allows seeing potential imperfections in the module or colour changes over the module lifespan.

Figure 3.27(a) shows a satisfying module (Test module TM2) with no potential defect a priori. Figure 3.27(d) shows a kind of bubble under the Gate metallization (TM8). It can be a defect in the insulation resin, beyond the metallization. A particular attention has to be given about Gate issues with this particular module.

In Fig. 3.27, we can also see some views for post-mortem analyses. In Fig. 3.27(b), we can see a module (TM2) whose top metallization has a different colour from the rest of the connector. It is the sign of an overheating. On several test modules, a tin bubble has been added on the top metallization as a wear indicator. When this tin bubble is burnt, it is the sign of a high overheating. In certain case (Fig. 3.27(c), TM3), the heat is so high that the top metallization lifts-off (under mechanical constraints).

No correlation has been established between the top metallization lift-off and the type of failure mode responsible of MOSFET failure. A top metallization lift-off has been observed in 45% of ageing tests whatever the stress level (46A or 48A for self-heating phase) and whatever

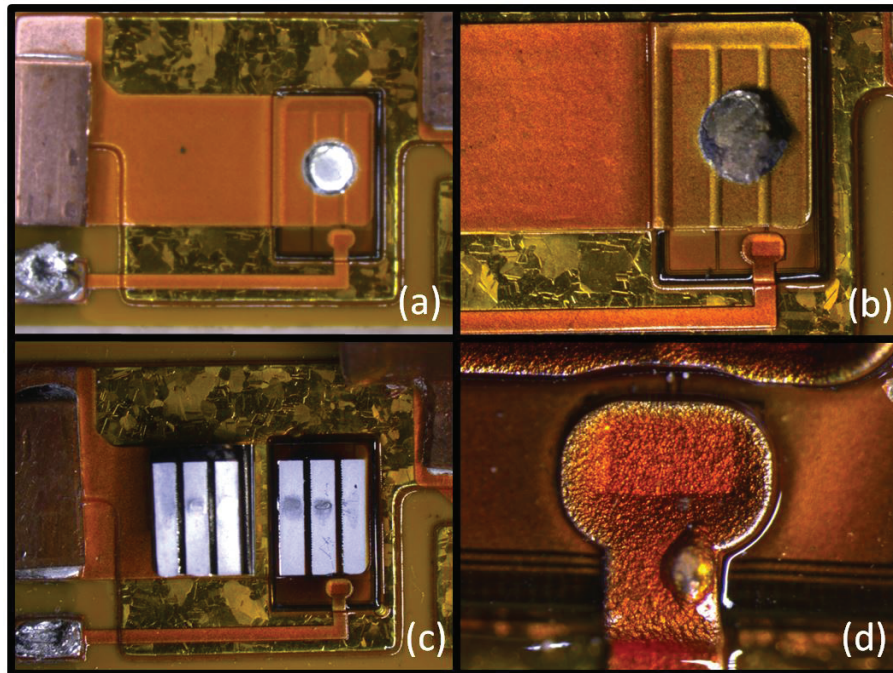


Figure 3.27 – Observation: (a) Healthy MOSFET (TM2), (b) Failed MOSFET (TM2), (c) Failed MOSFET with top metallization lift-off (TM3) and (d) Gate of a MOSFET with a manufacturing defect (TM8)

the failure mode impact observed (Gate oxide or conduction path issues). A visual inspection is not sufficient to determine a possible failure mode impact in a failed module. Characterization with the B1505 analyzer brings some answer.

Static characterization

In the protocol, the analyzer offers two characterizations in order to verify the performance of healthy MOSFETs before cycling. For that, we first proceed to a static characterization to obtain a I_{DS} vs V_{DS} for several V_{GS} values network. As said previously, this characterization allows estimating the On-state resistance in healthy state of the power module (and not only the resistance of the die), (pictured in Fig. 3.5). A second characterization, also described in section 1, is realized before cycling: the threshold voltage measurement. The aim is to compare the actual threshold voltage with datasheet values. An example is pictured in Fig. 3.6.

The B1505 analyzer plays an important role after the power active cycling. It allows investigate a failure mode impact. Indeed, if we want to correlate evolution of ageing precursors to a failure mode, we have to insure the failure mode occurrence. If the top metallization is not removed after the cycling, we can connect easily the module. However, when the metallization is lifted-off, we use a probing station linked to the analyzer. Connections are assured by tungsten needles and the 4 point-measurements is possible thanks to a precise contact of these needles. Figure 3.28 shows the probing station and a MOSFET under test.

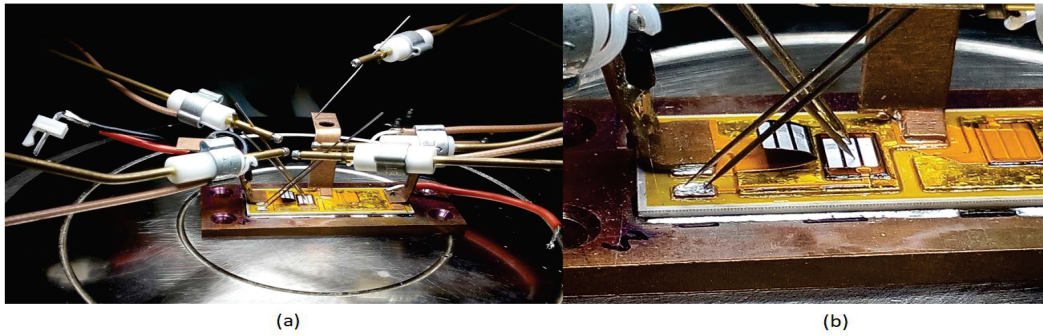


Figure 3.28 – (a) Damaged MOSFET connections with needles and (b) Zoom on the MOSFET

There are two possibilities of I-V curves listed in Fig. 3.29. The I-V curve is either possible (Fig. 3.29(b)) or not (Fig. 3.29(c)).

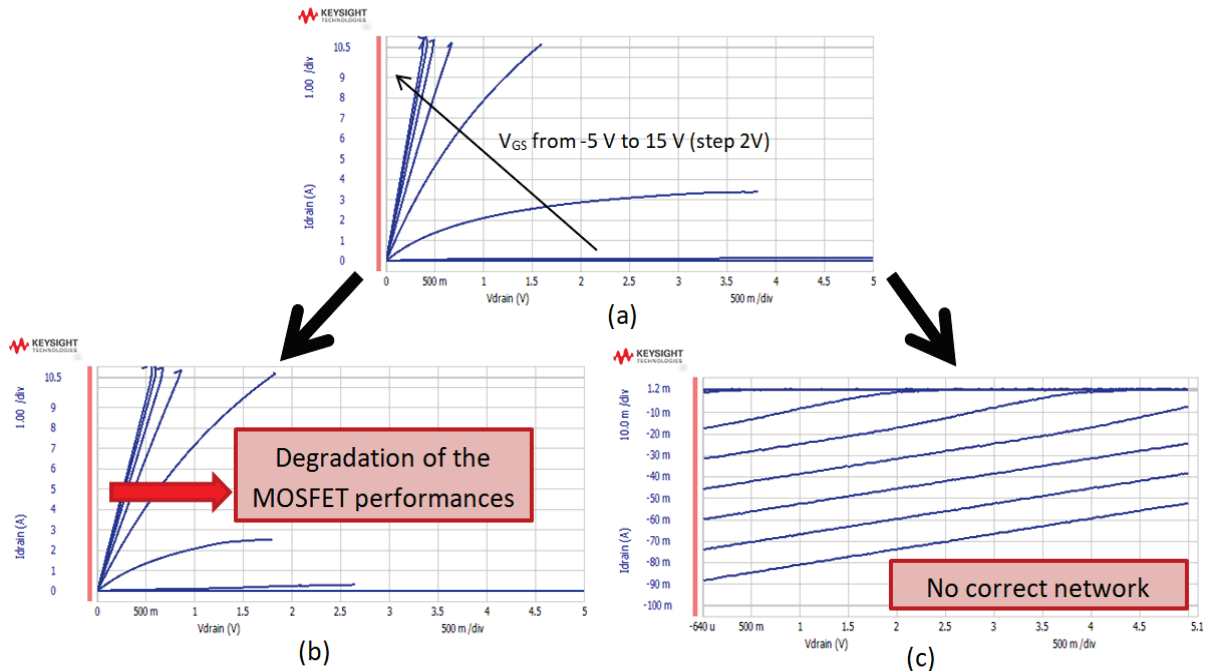


Figure 3.29 – Network plot: (a) in healthy state (TM2), (b) with degraded performances due to a partial Gate oxide perforation (TM2) and (c) for a destructed MOSFET due to the internal diode breakdown (TM3)

The second step consists in plotting $I_{DS_{off}} = f(V_{DS})$. If the conduction path is not degraded, the $I_{DS_{off}}$ stays at a normal level. Figure 3.30(a) shows this characteristic for a MOSFET with an healthy conduction path after cycling. Figure 3.30(b) for a MOSFET with a conduction path degradation after cycling. This characterization also shows that the internal diode of the power MOSFET constitutes a weakness for the component [6]. In Fig. 3.30(a), we can notice that the Drain current reaches a leakage level of $20 \mu A$ at $V_{DS} = 800 V$. This leakage is quite small and shows that the MOSFET has a correct internal diode. In Fig. 3.30(b), the Drain current has a quasi-linear behaviour. It shows that the internal diode is destroyed or short-circuited and is not able to withstand a voltage during the MOSFET off mode.

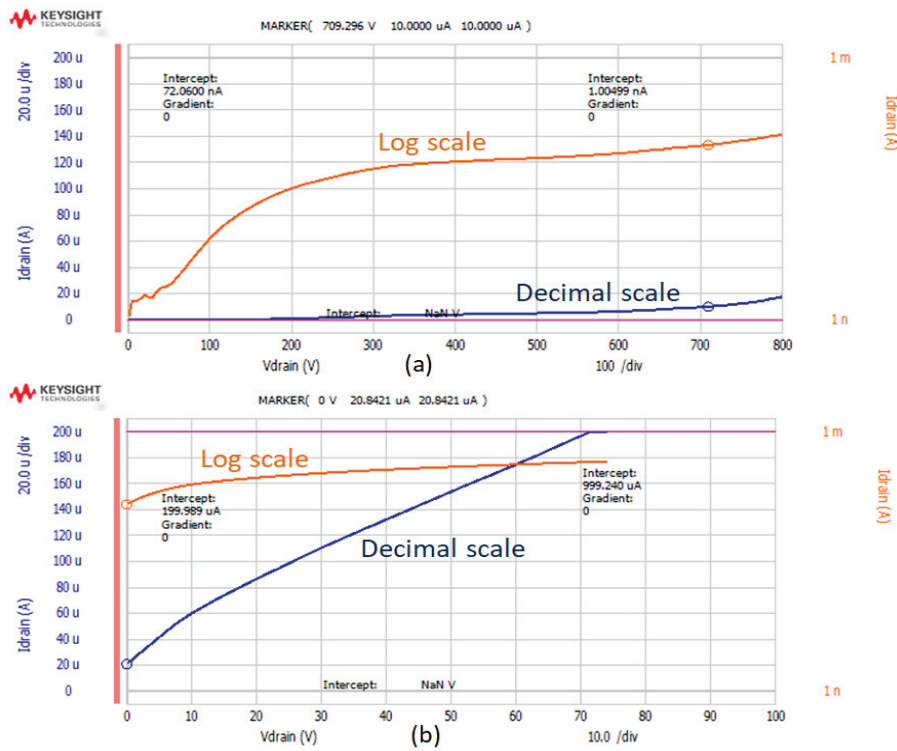


Figure 3.30 – $I_{D_{off}}=f(V_{D_{off}})$ characteristics: (a) MOSFET with healthy conduction path (TM4) and (b) MOSFET with a degraded conduction path (TM8)

The transconductance is also plotted in the “post-stress” analyses. When the MOSFET Gate is degraded, the plot is impossible: only one point appears in the graph. When the MOSFET has suffered a conduction path degradation, the transconductance is smaller as shown in Fig. 3.31. To obtain information on a potential Gate oxide issues, we realise a characterization: $I_{G_{off}}=f(V_{G_{off}})$. When the Gate oxide is healthy the Gate leakage current remains around some nano-amperes. But when the Gate is partially or totally affected, a linear behaviour is observed, as shown in Fig. 3.32.

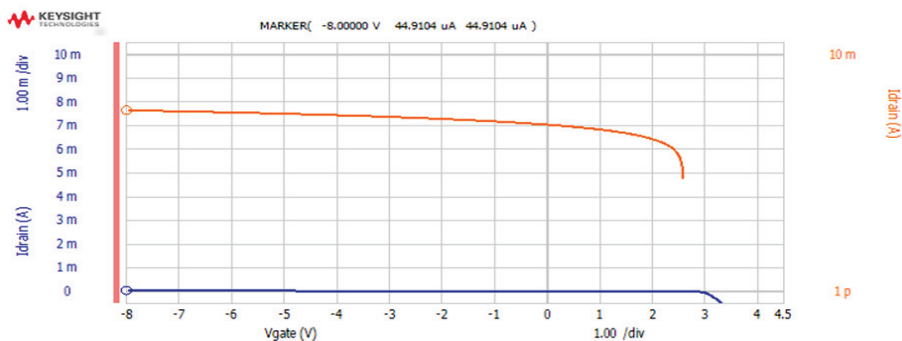


Figure 3.31 – $I_{D_{off}}=f(V_{G_{off}})$ transconductance for a MOSFET with a damaged conduction path (TM8)

Static characterization does not allow us to discriminate failure modes that could occur: metalization reconstruction, cracks in die reports, metal melting... A study with a Scanning Electron

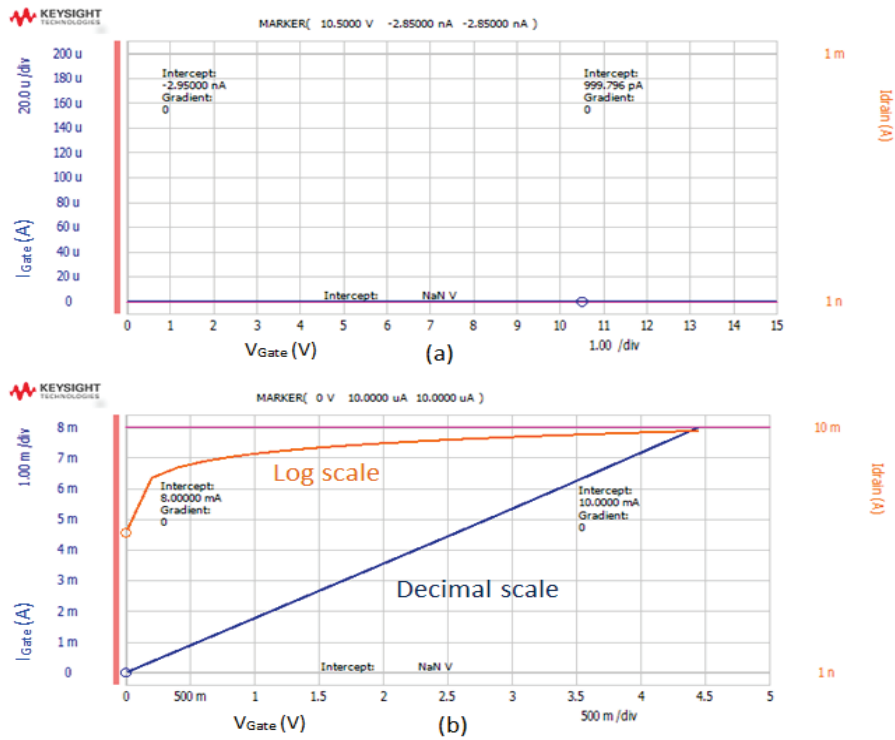


Figure 3.32 – $I_{GS_{off}} = f(V_{GS})$ characteristics: (a) MOSFET with healthy Gate oxide (TM8) and (b) MOSFET with a degraded Gate oxide (TM2)

Microscope (SEM) or a tomography study will be required for this kind of identifications. Figure 3.33 pictures a cross-section of a failed MOSFET where we can see a gap creation between the SiC MOSFET and the top metallization.

PAC test bench operation

PAC is organized with a LabVIEW routine which is described in Fig. 3.34.

The LabVIEW routine is composed of 4 primary blocks (Temperature, TSEP, Double Pulse and Self-Heating). Each of them can be used separately. Another block, which is call Cycling, allows a combination of the previous primary blocks.

A cycle is defined by a self-heating and its cooling phase. The duration of these phases are adjustable. Every cycle is counted, registred by the LabVIEW routine and associated to the measurement realized. For instance, if we choose to have a measurement every 31 cycles, TSEP will be recorded at cycle 31, 63, 95... and Double Pulse signals will be recorded at cycle 32, 64, 96...

After setting up the “TSEP”, “Double Pulse” and “Self-heating” modes, we can work with the “Cycling” mode. This mode combines, as shown by the timeline pictured in Fig. 3.16, each mode to allow a thermal cycling with on-line characterizations. The “Cycling” mode launches alternatively a sequence of self-heating followed by a TSEP measurement or a double pulse.

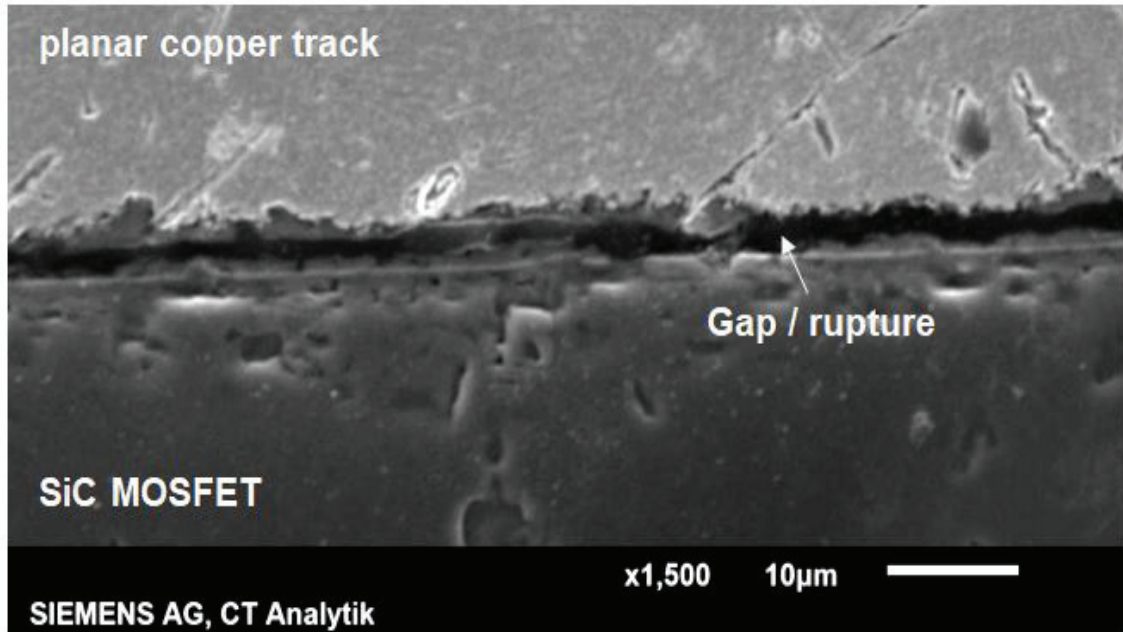


Figure 3.33 – Cross-section view by a SEM of a top metallization lift-off (Characterization realized by Siemens)

For each new module, pulses profile of self-heating, TSEP and double pulse phases are pre-viewed on the scope to check that signals (V_{GS} , I_{GS} , V_{DS} and I_{DS}) are well measured in steady state. It is also a way to check that the timeline is respected. To check the expected temperature swing, according to the chosen stress of DC current, a cycling is launched with a recording every odd cycles for the TSEP. After the transient phase (the maximum temperature requires some cycles to be stabilized), the temperature given by the couple (I_{DS} , V_{GS}) will be the maximum temperature reached in a healthy state of the DUT. Thus, the stress current is validated for a given module under test. Once these verification are made, a continuous cycling can be launched.

The cycling is regularly stopped to re-calibrate the TSEP. When the MOSFET shows a failure mode, the cycling is stopped and the MOSFET is characterized as described previously. We verify that a failure mode has occurred when we see one of the following consequences:

- The top metallization is lifted-off (TM3, TM4, TM5, TM9)
- The Gate voltage guideline is no more sustained by the DUT Gate during TSEP phase (TM2, TM4, TM8)
- No Drain current is measured during TSEP phase (TM2, TM4, TM8)
- A high Drain-to-Source voltage is measured during double-pulse phase (50V instead of 200-400 mV) (TM1, TM3, TM5, TM6, TM7, TM10)
- A negative Drain current is measured during double pulse phase (TM1, TM3, TM5, TM6, TM7, TM10)

The next subsection presents a track of multiphysics condition monitoring which has been experimented on the PAC test bench for only 2 modules.

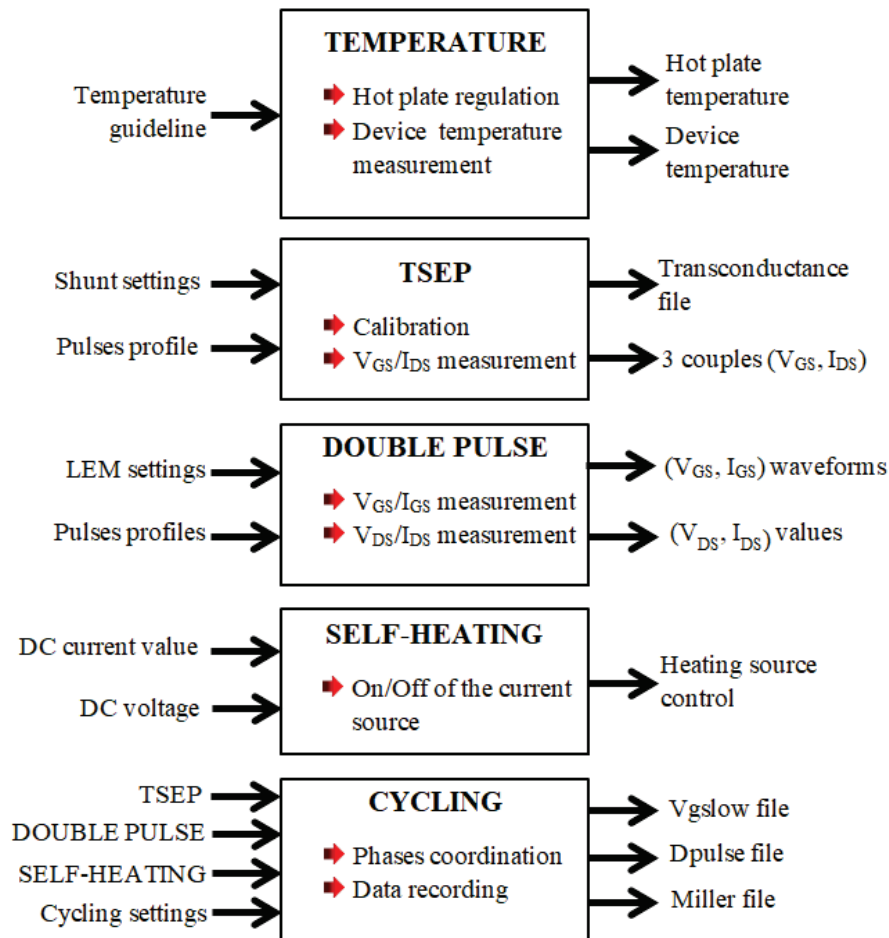


Figure 3.34 – PAC test bench functions, more detailed in Annex C

3.2.4 Multiphysics approach in condition monitoring

To complete analysis, strain gauges (SG) have been stuck on the MOSFET source and diode Anode connector of two modules. These sensors require a second acquisition board and a specific associated software. Besides, the strain gauges are difficult to fix, so only two modules are instrumented in this way. However, it allows a great opportunity for multiphysics analysis.

A strain gauge structure is pictured in Fig. 3.35. The strain gauge is composed of a measuring grid (an elastic resistive wire whose active length is linked to its resistivity as pictured in Fig. 3.36). This elastic wire is stuck on a carrier layer and covered by another layer, both in polyimide. The elastic wire is linked to connectors to the acquisition board which measures the resistivity of the wire.

Figure 3.36 shows the principle of use. The SG is stuck on the surface to study, here it is the top metal connection of DUTs. When the surface is contracting, the carrier is contracted too and the wire length reduces. The resistivity drops. When the surface is dilatating, the carrier does also and the resistivity increases. During the cycling, the source connector undergoes a thermal cycling which leads to successive contractions and dilatations. This instrumentation

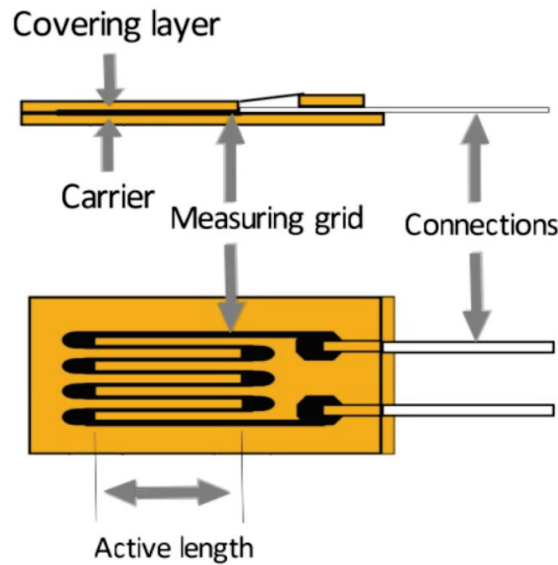


Figure 3.35 – Structure of a strain gauge [37]

will allow linking the strain evolution to ageing.

The glue (X60 from HMB GmbH) is used to stick the SG on the Source connector (which is in copper). The glue softening point is around 110°C. It is an attention point because the source connector can reach values of temperature from 40°C to 100°C. We have to keep in mind this weakness in the interpretation of results. Concerning the strain gauge fatigue, the data sheet gives one million of cycles of lifespan. The two PAC tests realized with strain gauge had respectively a duration of 12000 and 35000 cycles. Except the glue, the strain gauge information seems reliable. Indeed, when the DUT reaches its end of lifespan the SG reaches 3.5% of its lifespan.

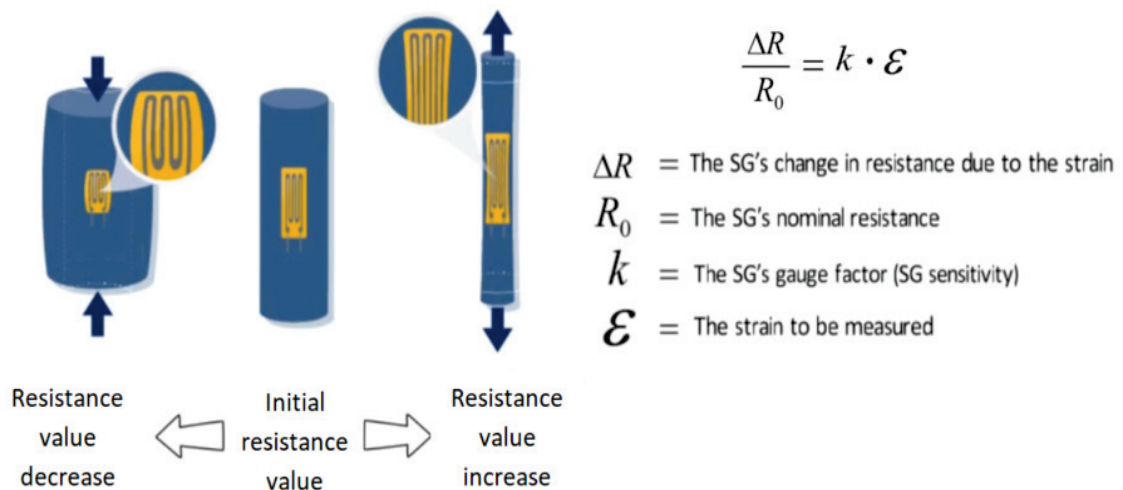


Figure 3.36 – Strain evaluation with a SG [37]

Fig. 3.37 shows module TM7 with a strain gauge.

The strain recording is allowed by the acquisition board linked to a dedicated software called

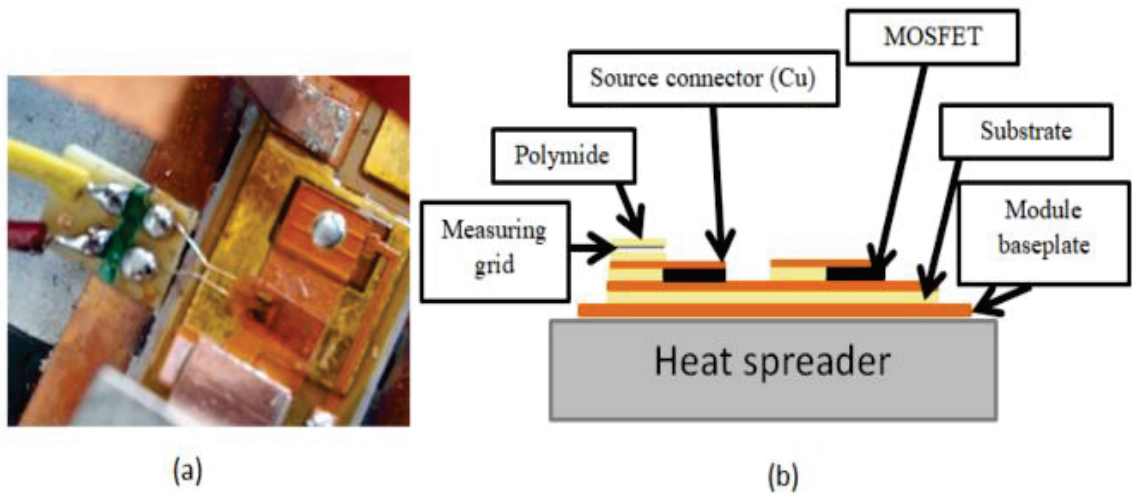


Figure 3.37 – TM7 instrumented with a strain gauge

DEWesoft. The recording is continuous and lasts all the module lifespan. The aim is to correlate the mechanical data with the electrical parameters recorded with respect to ageing. To have an overview of information given by the strain gauge, we can refer to Fig. 3.38 which shows the registered strain during TM7 lifespan.

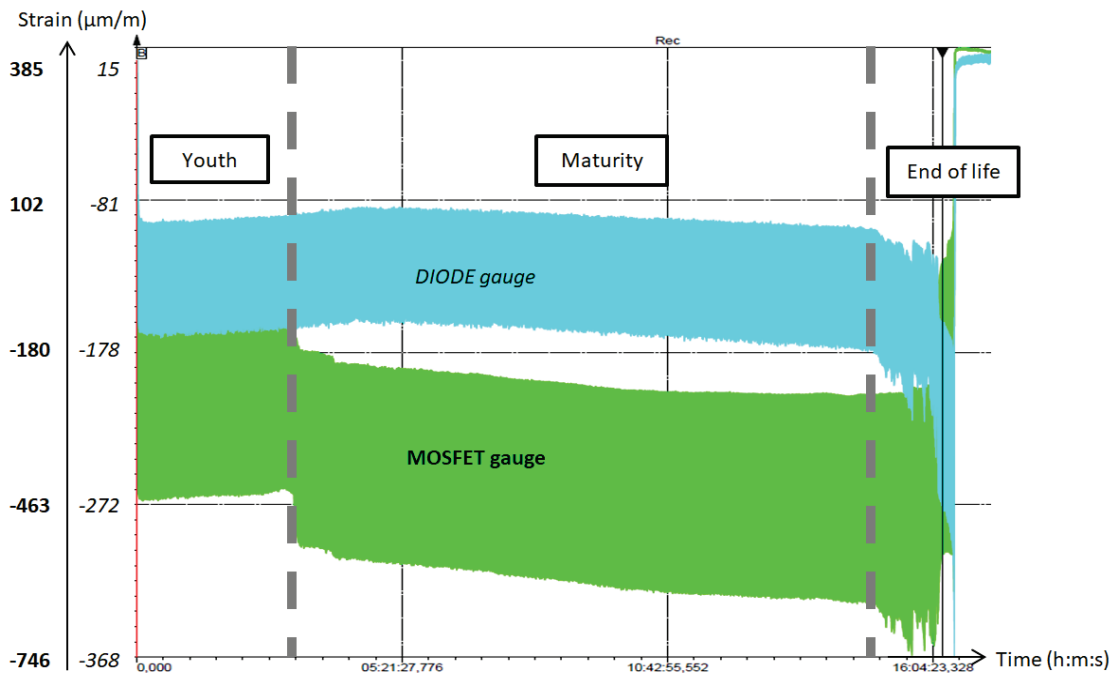


Figure 3.38 – Strain measurement during power module TM7 lifespan

In Fig. 3.38, it clearly appears three phases called “youth”, “maturity” and “End of life”. We have to take into account that 2 tests have been carried out with this parameter. The instrumentation is a promising route to follow. More modules should be tested to validate the sensitivity of such a mechanical parameter. If this kind of parameter is useful in condition monitoring, it could be inserted in power module during manufacturing and allows an easy

access to the health state of a module.

3.2.5 Conclusion on the PAC test bench

This section has presented the experimental resources that have been deployed to realize a PAC on a power module. Trade-offs have been installed to ensure a constant ageing stress level with an accurate control of a current source which triggers self-heating in the module. This section has described how the different ageing functions and the precursor evaluation functions are organized together to allow the test. This section also describes the general protocol that a module undergoes in this study since its arrival to a failure.

The ageing test durations depend on the modules. A large flexibility in the recording frequency and the automated log of data is allowed by the LabVIEW routine.

3.3 Conclusion

This chapter has presented the experimental resources deployed to construct a learning test bench towards condition monitoring.

The first section was dedicated to a specific ageing test, HTGB, to study precursors of Gate issues. Several monotonous precursors have been identified on the Miller “pseudo plateau” and in the V_{GS} turn-On waveform. These parameters are included in the monitored PAC test bench in order to discriminate Gate issues from other ones (metallizations).

The second section was dedicated to the PAC test bench and its use on prototypes. Firstly, a protocol included characterizations offline and online has been presented. This protocol allows the checking of initial value of MOSFET performances thanks to an analyzer, the instrumented ageing phase and at the end a kind of post-mortem analysis.

A large part was dedicated to the TSEP measurement. The TSEP requires a regular re-calibration to be able to decorrelate the ageing effect from the temperature effect on the TSEP drift. The establishment of a calibration and a measurement protocol has required a high attention because of the threshold voltage instability. Indeed, it has been demonstrated that the threshold voltage was sensitive to field effect and can present a drift because of charge trapping phenomena. A dedicated study has been led to find out the driver set values to impose in order to switch the MOSFET On and Off and retrieve each time the initial value of the threshold voltage. That’s why a value of -5V has been chosen to “clear” the SiC-oxide interface at each switching.

Trade-offs in the choice of sensors were detailed for TSEP and double-pulse phases. We have developed technical solutions to measure these several parameters:

- TSEP couple (V_{GS} , I_{DS})
- V_{DS}
- I_{DS}
- I_{Gate}

Unfortunately, many parameters, known to be great failure precursors in the litterature, have not been measured on this test bench. The main perspective concerning the test bench is to develop technical solutions to obtain the most precursors as possible in the less invasive way as possible. This is a challenge and this choice of parameters to record has to be thought with the integration possibility in a classic driver technology.

A track of multiphysics condition monitoring has been explored in the last part of this chapter. Some strain gauges have been stucked on the top metallization of the power module in order to find out a mechanical signature of failure. This method has been tested on two prototypes (TM7 and TM10) and has shown promising results with a consequent drift of the measured strain at the end of the module lifespans. This method can be an easy way to detect rapidly a failure mechanism occurrence. However, the drift was not very progressive and maybe not easy to use for RUL estimation. Other tests have to be performed to obtain a typical trend of drift according to a specific failure mode.

Chapter 4

Data analysis towards prognosis

This chapter is dedicated to the analysis of data gathered during ageing tests. Several steps are required to form a relevant failure signature. The first part is the feature selection based on several criteria, as pictured in Fig. 4.1. It consists in selecting features among all the potential ageing parameters because it is difficult to work with a large number of parameters at the same time. The second part, pictured in Fig. 4.2, summarizes the different steps of classification to estimate the ageing state of a power module.

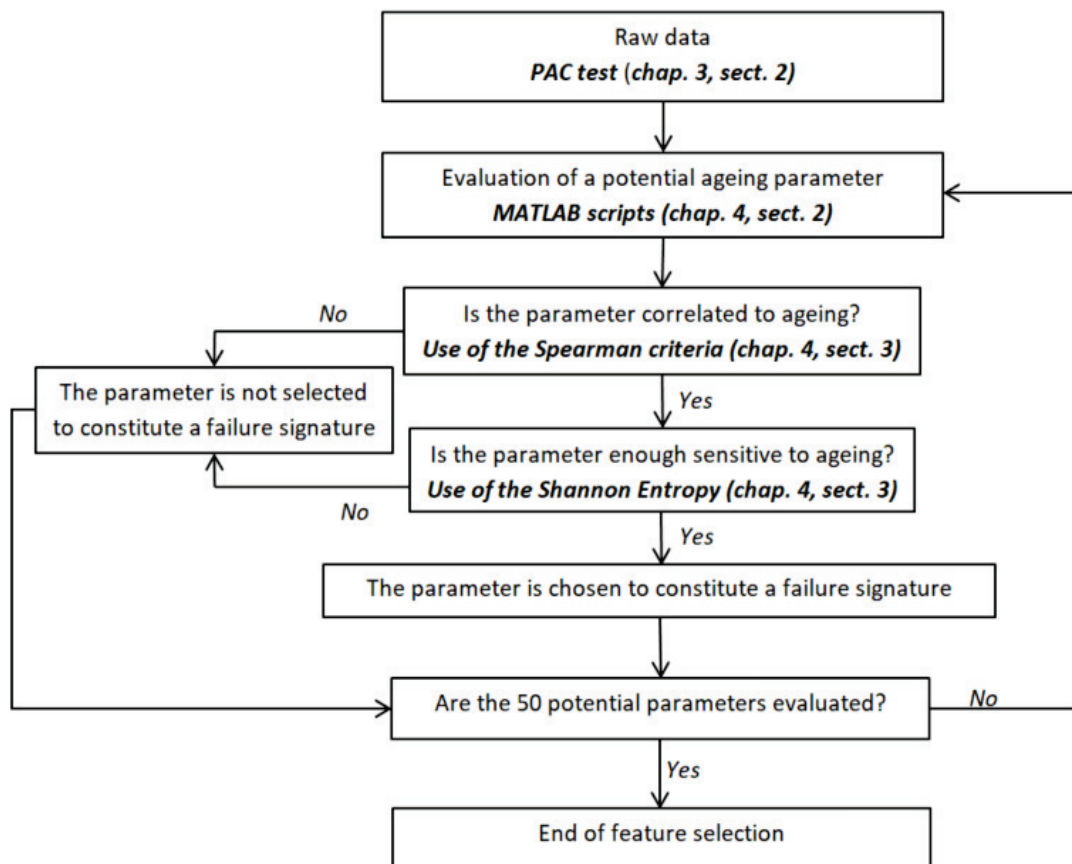


Figure 4.1 – Feature selection method for diagnosis and prognosis

As explained in Fig. 4.1, Raw data are obtained during module lifespan and are gathered in dedicated files. These files are browsed by a MATLAB script (detailed in section 2) to compute 50 potential parameters (described in chapter 2). For each parameter, a correlation with ageing is checked thanks to the Spearman criterion which is detailed in section 3. Besides, the quantity of information contained in a parameter drift is evaluated thanks to the Shannon entropy to select parameters which have a monotonous evolution with ageing but also a sufficient variation over lifespan to be observable. At the end of the feature selection, 10 parameters are selected to continue into a failure signature construction and classification according to ageing. These 10 parameters have shown a monotonous evolution with respect to ageing with a Spearman correlation coefficient over 0.8 and a Shannon entropy over 2, which are chosen as selection criteria.

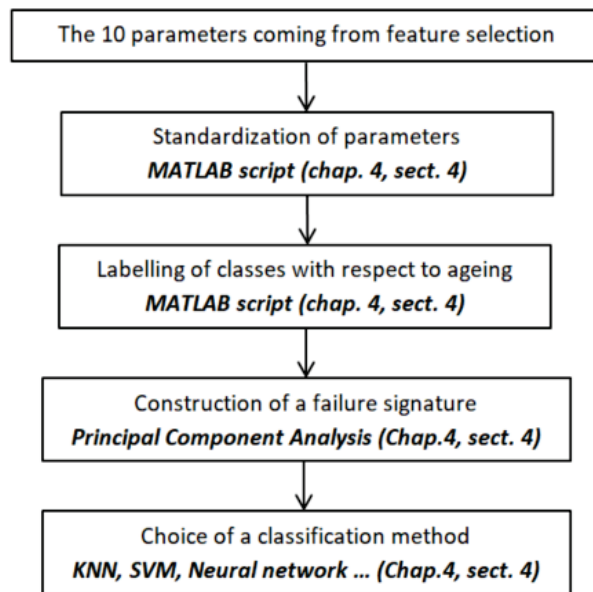


Figure 4.2 – Parameters treatment for classification

Ageing signature is detailed in section 4. To begin the signature construction, the selected parameters are standardized both in amplitude and time. To scale all modules lifespan on a same range, cycles of lifespan have been translated in percentage of life. Then classes have been constructed to appreciate the level of ageing from parameters drift. At this step, the signature is composed of 10 parameters. To reduce the problem, a Principal Component Analysis (PCA) is applied on the signature to create 3 relevant predictors issued from a linear combination of parameters. A final step is required to classify the reduced signature in classes. For that, several methods are compared (K-Nearest Neighbours (KNN), Support Vector Machine (SVM), Neural Network...).

The first section of this chapter gives an overview of results obtained during the PAC test campaign. Only 10 test modules were available for test, since they are prototypes. A statistical approach is difficult in this configuration. This chapter will show how relevant information in terms of prognosis can be deduced from such a study with few samples.

4.1 Study issues in terms of data analysis

During the study, the tested modules were prototypes manufactured by SIEMENS. Their specific design is described in chapter 2. Two versions of this prototype have been tested. The first version contains only 3 samples and only one module has been cycled (TM1). In the second version, 9 modules were available for cycling (TM2 to TM10). Figure 4.3 represents the obtained results. Each axis corresponds to the module tested and three informations relative to this specific module are given:

- The level of stress applied during cycling with the percentage of the maximum junction temperature imposed during self-heating phases
- The lifespan of the module: lifespans are given in percentage of the actual lifespan obtained over the test campaign
- The failure root cause: numbers have been chosen, 10 for a diode failure, 50 for a Gate failure and 100 if the impact is not determined (probably the interconnexions).

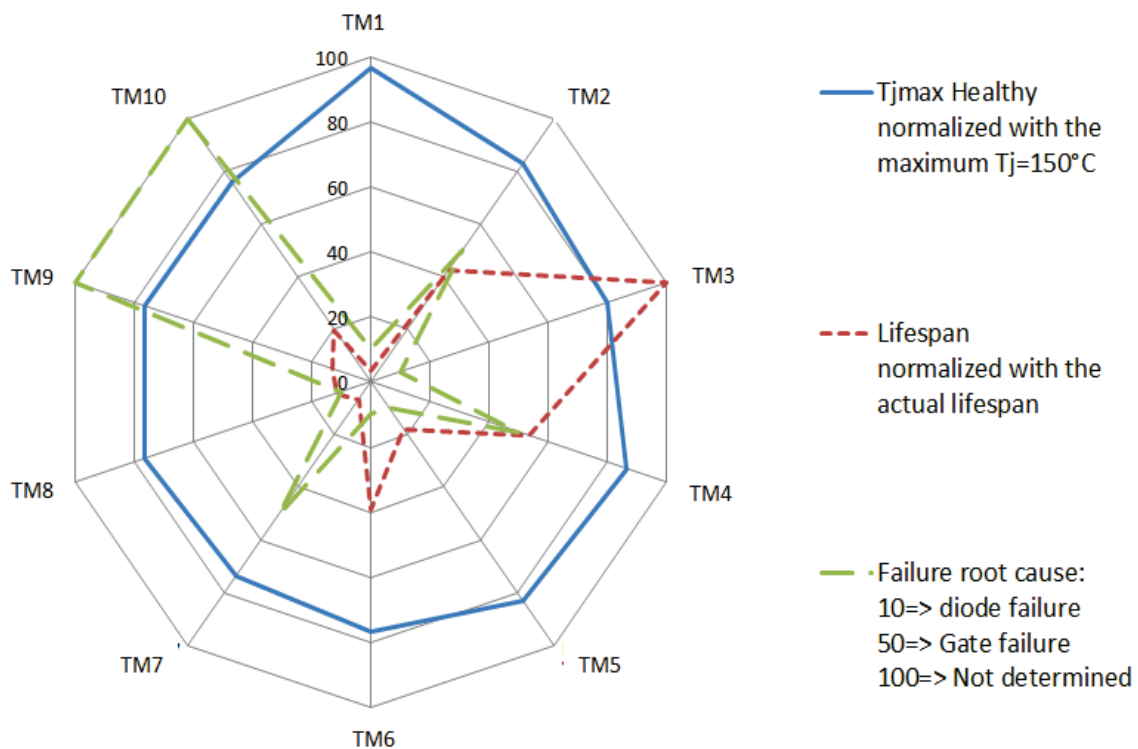


Figure 4.3 – Results of PAC test

The aim of Fig. 4.3 is to give an objective acknowledgment: we have a reduced number of samples (only 10) and no logical evolution in terms of ageing under constrains can be easily deduced from these results.

Indeed, the temperature profiles imposed to each module vary from 74 % to 96 % of the maximum recommended junction temperature in the datasheet (Annex A) which is 150°C. As pictured in Fig. 4.4, the lifespan of each module cannot be correlated to the level of stress

(blue diamonds dot). According to this observation, it will be impossible to determine an acceleration factor with the tests. This observation is surprising because we would have expected an increasing lifespan with decreasing stress as pictured in Fig. 4.4 (red dots). In a study with a larger number of samples, the kind of ageing law obtained is pictured by the red dots in Fig. 4.4. This type of law is easy to model with a logarithmic law. In our study, the dispersion of results is due to the fact that modules were prototypes. In our case, it is so impossible to work on statistical approaches.

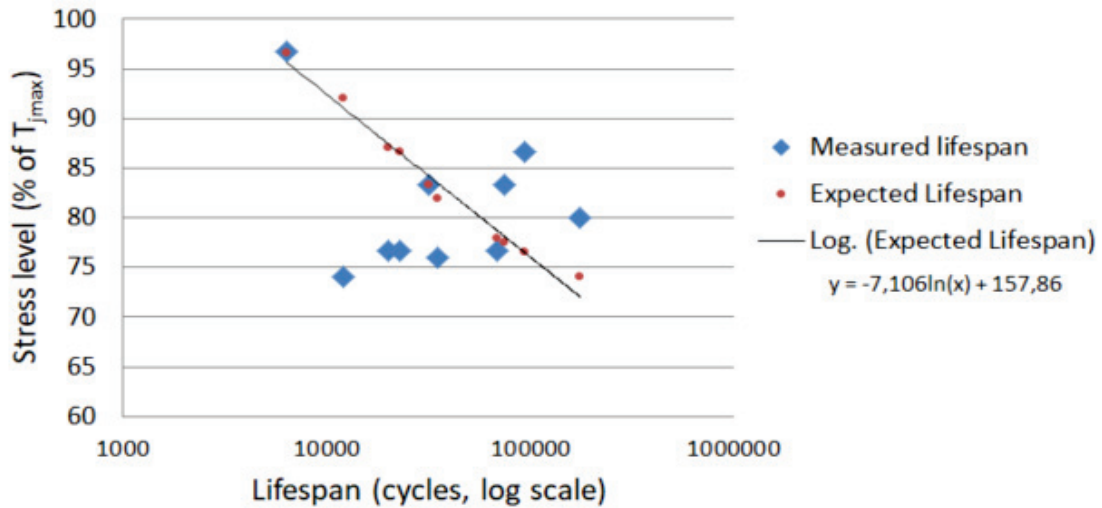


Figure 4.4 – Modules lifespan according to the thermal stress level

Since no correlation has been demonstrated between lifespan and stress level, maybe there is a correlation between stress level and failure. In Fig. 4.3, we can see cause issues concerning Gate oxide and the internal diode of the die. If we focus on this specific aspect, we can conclude that there is no correlation between failure mode and the stress level applied as pictured in Fig. 4.5. It will be difficult to estimate the failure mode just by knowing a stress level.

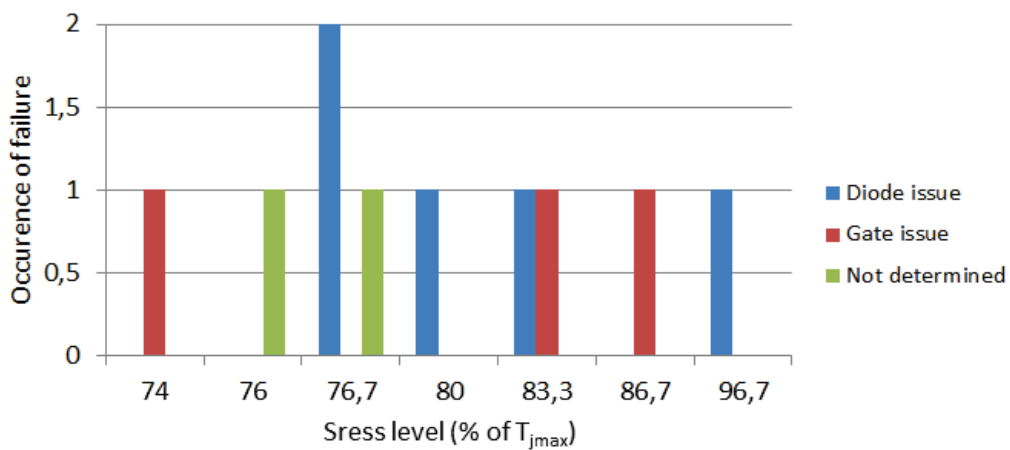


Figure 4.5 – Occurrence of failure impact according to stress level

This section has shown that the quantity of results is quite very small and that no conclusion can be established in terms of module prognosis. Classical statistical approaches cannot be used in our case because of the small number of samples. It has been noticed no correlation between the stress level applied and the failure mode observed and the lifespan before failure. In literature, some studies are based on the lifetime prediction with rainflow counting, as in [27], [54] and [64]. Some others, as [34] and [51], use models of linear fatigue damages. All these methods required precise models to be established from a solid reality. In our case, modules are prototypes and not adapted to use these methods, because no model are known.

Since we cannot work with statistical approaches, we have chosen to focus on other methods. The most promising track in our study is the classification approach. Indeed, many potential failure precursors have been recorded during lifespan. These precursors constitute a large group of features that become candidates to compose a failure signature that can be then classified according to the health state of the module.

Our study propose to work on the 50 potential failure precursors recorded during all module lifespans. The aim is to find out the most relevant among the failure precursors to establish a reliable ageing signature proper to this kind of module. Different steps are required and will be presented in this chapter. The next section is dedicated to the computation process of these 50 potential precursors of failure.

4.2 From raw data to ageing features

During the PAC test, several electrical signals have been recorded and stored in three dedicated files:

- *Vgslow* file for signals acquired during the “TSEP” phase (Fig. 3.18 in chapter 3)
- *Dpulse* file for signals acquired during the “Double pulse” phase (Fig. 3.25 in chapter 3)
- *Miller* file for signals acquired during the “MOSFET turn-On” (Fig. 3.25 in chapter 3)

These files are specifically related to the module number and the time of recording, to be treated automatically by the routine described in Fig. 4.6.

A main MATLAB script, called “Add parameters” is created to compute parameter values along the module lifespan. This general script is designed to concatenate the value of parameters days after days. In the current test bench, data are recorded during a whole day and a parameters evaluation is realised once a day. After the first day of PAC test, the script begins by a calibration of the TSEP if it is required. In a second part, the script launches the computation of the 50 potential precursors thanks to others scripts (“Run temperature” to evaluate the Junction temperature and “Detect Miller” to extract the Miller pseudo-plateau from the V_{GS} curve). Parameters computed are then stored in a sheet with their corresponding recording cycle number.

After the second day of PAC test, the main script uses the previous recorded sheet and increment the number of cycles from the last one recorded in the previous sheet. By the way, parameters are concatenated as if the recording has been continuous. The same phases are

followed by the script: TSEP calibration, parameters computation and parameters table storage with a new version name. With this script data on module health state can be added as often as necessary during lifespan.

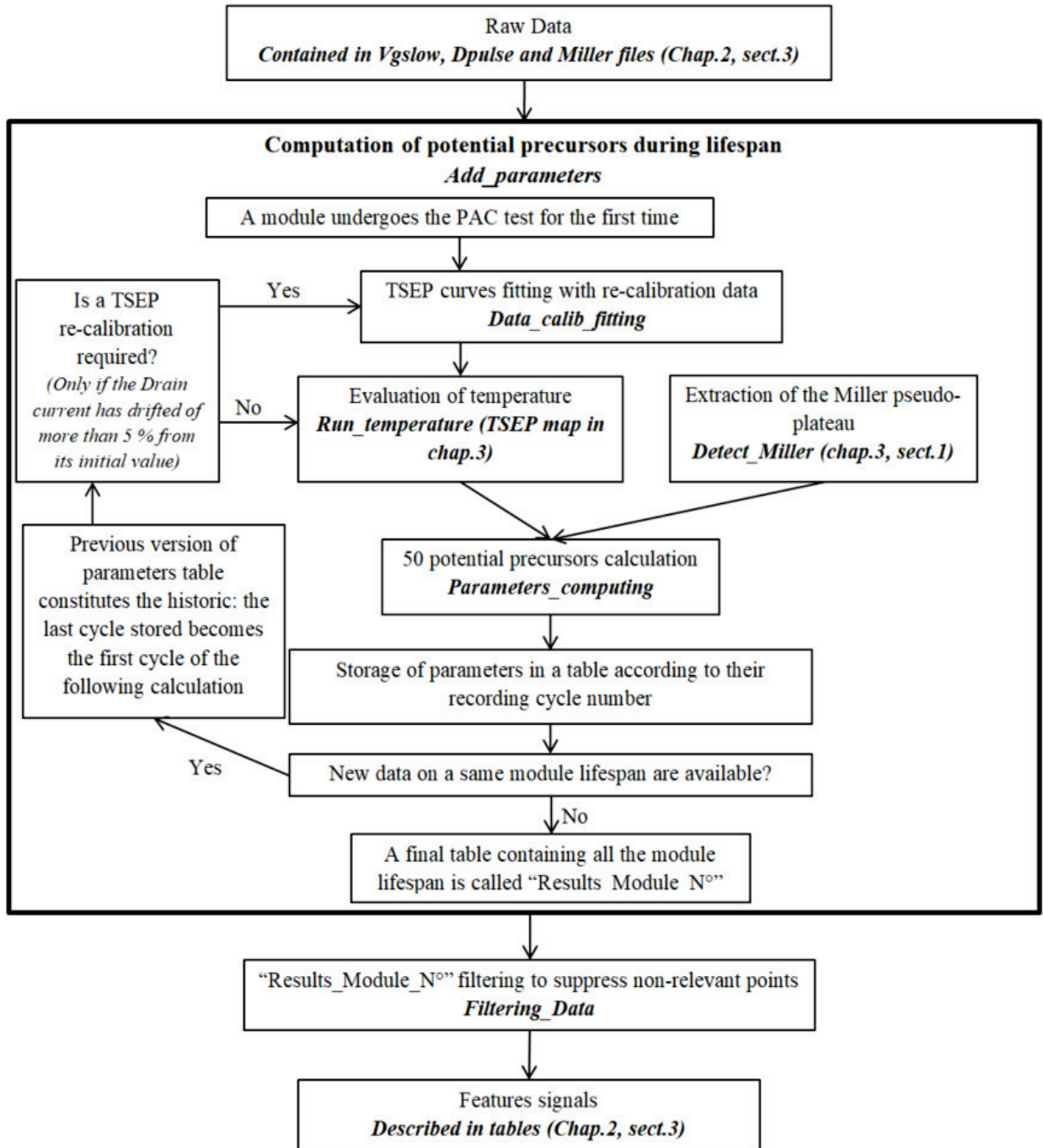


Figure 4.6 – Logical process of data treatment to transform raw data into signals of features

At the end of the module lifespan, the last uploaded table of parameters is sent to another MATLAB script. This script works on parameters evolution by considering them like noisy signals. It is dedicated to the filtering of these signals. This script contains three main functions:

- The suppression of non-relevant points thanks to a dedicated algorithm based on moving average principle, illustrated in Fig. 4.8.
- A fine filtering of the signal thanks to a wavelet decomposition filtering
- The attribution of the same cycle number to all parameters for a same lifespan duration. Indeed, until now, parameters issued from the “TSEP” phase were recorded at odd cycle numbers and parameters issued from the “Double Pulse” phase were recorded at even cycle numbers. In this configuration we cannot use correlation calculation between parameters from “TSEP” and from “Double Pulse” and it will be a serious loss of information. To avoid that, parameters issued from the “TSEP” phase are placed on the nearest even cycle number which corresponds to the cycle number of all other parameters (issued from “Double pulse” phase).

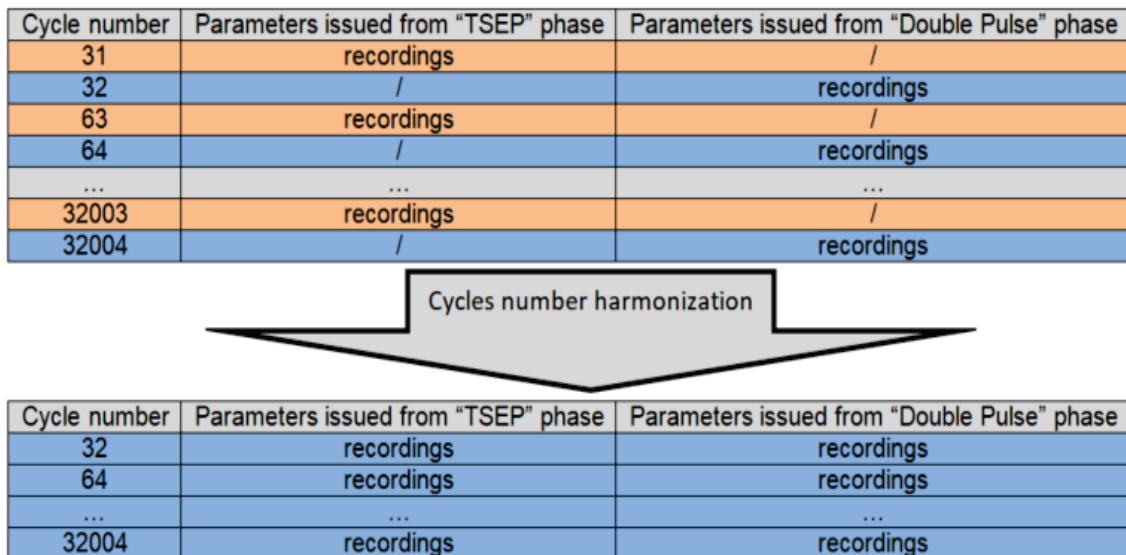


Figure 4.7 – Principle of cycles harmonization to obtain 50 signals at the same time scale

Figure 4.8 pictured the filtering method applied on noisy parameter signals. The measurement points are pictured with blue crosses. The trend of this signal, that we want to obtain, is pictured with the red curve. The filtering algorithm lays on two principle: an adaptative error rate to follow the signal trend and a moving interval for average calculation. The interval of points considered for calculating an average and rejecting the points that are too far from it, is composed of two groups of points. The first group of point α_1 , is composed of points issued from the part of the signal which is filtered. The second group of points α_2 is composed of points issued from the noisy signal. At the beginning of the filtering, the moving average is only composed of points from α_2 type. At each iteration, the studied point is compared to the average thanks to the acceptable error rate and is rejected if it is necessary. Progressively, with the moving interval, more and more points are considered in the α_1 part. At the end, the α_2 part of the interval is reduced as the iteration process reaches the last points.

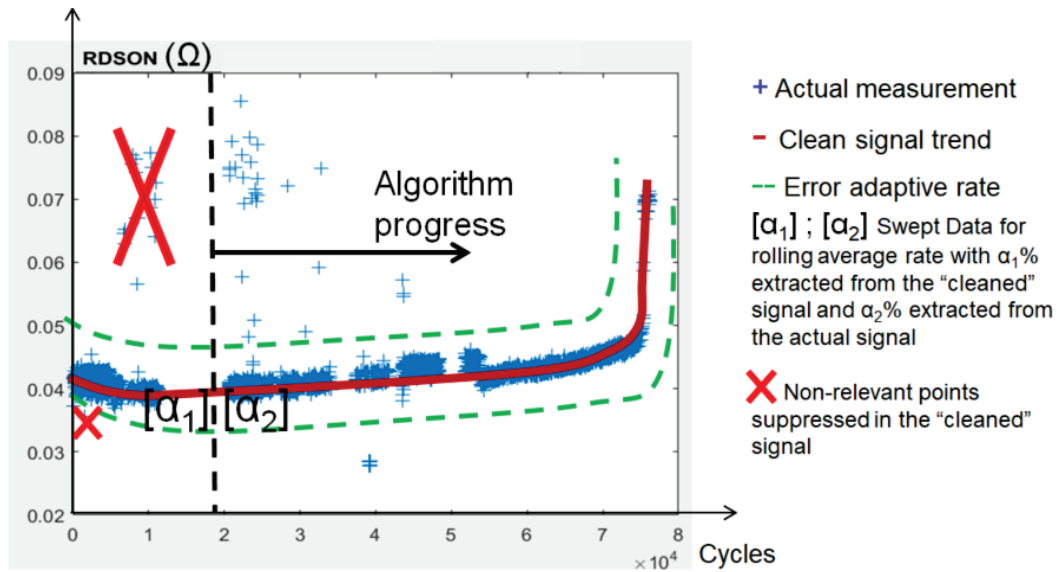


Figure 4.8 – Filtering method based on moving average principle (example of On-state resistance during TM2 lifespan)

With this method, signals issued from “TSEP” and “double pulse” phases are filtered separately and non-relevant points are suppressed for a better use of correlation tools. When cycle numbers of “TSEP” and “double pulse” phases are harmonized, the algorithm only keeps points where measurements from the two characterizations exist. In this phase, some information can be lost, a particular attention is required at this step to check that the filtered signal still contains enough information. If it is not the case, the filtering constraint can be softened.

At the end of this step, signals are filtered. Some of them will be correlated with ageing or not. Some of them will be good information carriers or not. The aim of the next section is to determine these two properties by using tools from the information theory. Knowing these two properties will allow to select the most relevant feature for prognosis and especially the best candidates to compose a ageing signature.

4.3 Parameters analysis

The aim of this section is to find out the most relevant ageing precursors to constitute a relevant failure signature. A good failure precursor is a signal which is correlated to ageing and which carries enough information. These two aspects are presented in the following paragraphs.

4.3.1 Parameters correlation to ageing

A first signal, called X , is put in abscissa. Its values are indexed by i between 1 and the number of points in the signal n . In the same way, the second signal is put in ordinate and is called Y . It is also indexed. The two signals must have the same number of points to calculate a correlation coefficient (4.1) or (4.2). The coefficient value is always included between -1 and 1. When the coefficient is near 1, the two signals are positively correlated. When the coefficient is near -1, the two signals are negatively correlated. These two possibilities assure a correlation. Finally, when the coefficient is near 0, the two signals are not correlated.

In our study, the signal X is the percentage of lifespan and the Y signal is successively one of the 50 potential failure precursors. To find out which precursors is more relevant we have considered two types of correlation coefficient calculation:

- o Pearson type [73]
- o Spearman type [46]

The Pearson coefficient tries to find out a linear relationship between the two studied signals as pictured in Fig. 4.9. The coefficient is calculated thanks to the formula (4.1).

$$\rho = \frac{\sum_{i=1}^n (x_i - \bar{x})(y_i - \bar{y})}{\sqrt{\sum_{i=1}^n (x_i - \bar{x})^2} \sqrt{\sum_{i=1}^n (y_i - \bar{y})^2}} \quad (4.1)$$

where n is the signal size and (x_i, y_i) are the individual points indexed. (\bar{x}, \bar{y}) are the geometric average defined by $\frac{1}{n} \sum_{i=1}^n x_i$ (and analogously for y).

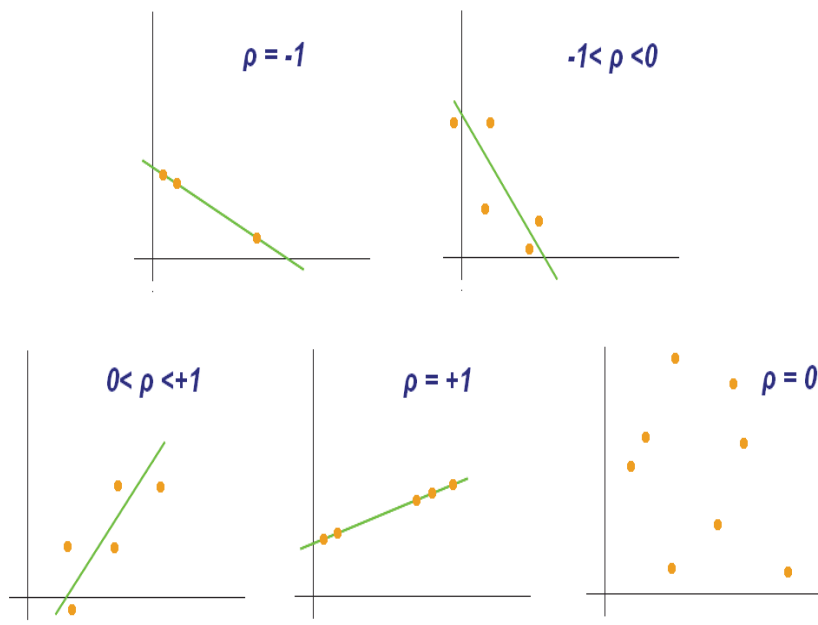


Figure 4.9 – Examples of scatter diagrams with different values of Pearson correlation coefficient (ρ) [73]

Finding a linear relation between two signals is a severe constraint. A correlation between two signals can be found even if there is no probant linear relation. This approach is allowed by the Spearman correlation coefficient calculation. Fig. 4.10 shows that the coefficient calculated with the Spearman approach is higher than the one calculated with the Pearson approach.

The Spearman approach lays on a research of a monotonous behaviour at each rank iteration. This criteria is softer than the Pearson one and is well adapted to parameters drift during ageing because the evolution could not be linear. The calculation of the coefficient is given by (4.2). This formula is simplified by the fact that all the ranks are distinct. Indeed, we work with signals recorded according to cycle numbers which are always increasing, so ranks are

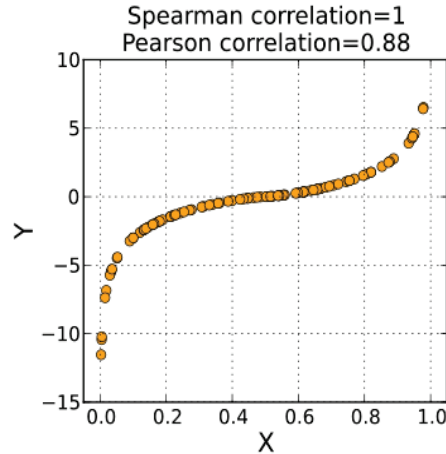


Figure 4.10 – Calculation of Pearson and Spearman coefficient on the same signal [46]

all distinct, a cycle number appears only one time during the lifespan.

$$\rho_S = 1 - \frac{6 \sum_{i=1}^n (rg(X_i) - rg(y_i))^2}{n(n^2 - 1)} \quad (4.2)$$

where $rg(X_i) - rg(y_i)$ is the difference between the two ranks (two recordings) of each point and n is the number of points.

The second advantage of the Spearman approach is that it is more discriminant if points have a random distribution as pictured in Fig. 4.11. The Pearson coefficient has a higher value than the Spearman one because it is always possible to draw a line in a points cloud. In the Spearman approach, if no monotonous behaviour is noticed, the coefficient remains low.

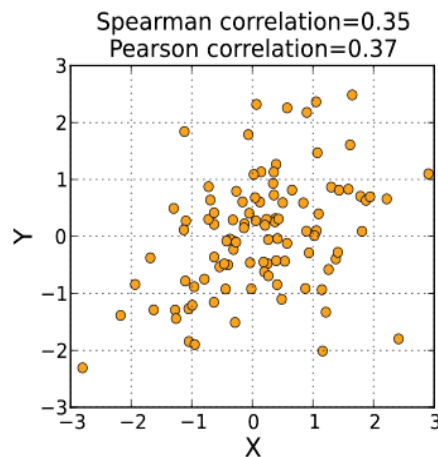


Figure 4.11 – Calculation of Pearson and Spearman coefficient on a random signal [46]

The value of a correlation coefficient is not sufficient to determine a good failure precursor. The signal must contain as much information as possible to be efficient in a failure diagnosis. The next paragraph explains why the Shannon entropy is a good tool to determine signal level of information.

4.3.2 Information contained in parameters drift

The entropy calculation established in [71], constitutes a good tool to find out the best information carrier among the correlated failure precursors. The Shannon entropy is a coefficient, noted H , that evaluates the level of information contained in a signal. If the coefficient is near 0, the quantity of information is very low. However, the quantity of information increases with the value of the obtained coefficient.

The coefficient is given by the formula (4.3) [71]:

$$H(X) = \sum_{i=1}^n P_i \cdot \log_2(P_i) \quad (4.3)$$

where X is the studied signal and P_i is the probability to meet the i^{th} class of the signal.

To understand the use of (4.3), we can refer to the example pictured in Fig. 4.12(a). We have two signals both correlated to time. The blue one is linear and the red one have a logarithmic behaviour. We want to know which of them is the most important information carrier.

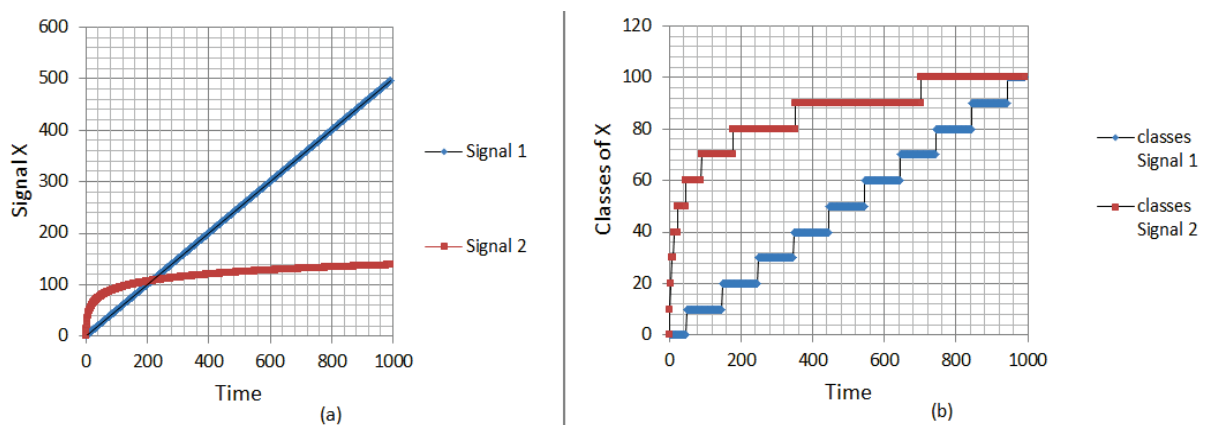


Figure 4.12 – Example of two signals correlated to the time

To begin with, we have to create classes in the signal to apply the Shannon entropy formula. Figure 4.12(b) shows the repartition of points in 10 classes according to the amplitude of the signals. To create classes, the signal has been standardized and values have been rounded to the nearest 10's. We can then calculate the Shannon entropy in each case. Signal 1 obtains a coefficient of 3.53 and signal 2 obtain a coefficient of 2.23. The Shannon entropy allows to appreciate the quantity of information contained in a signal. In this case, it was obvious that the linear waveform is more informative than the logarithmic waveform. But, in our study, no linear behaviour has been noticed on the parameters evolution. The next paragraph is dedicated to the application of correlation methods and Shannon entropy calculation.

4.3.3 Feature selection

To select features for the failure signature, we have chosen to use the Spearman correlation criteria which will select the parameters whose evolution is correlated with ageing even if it is not a linear correlation. The level of selection for the Spearman coefficient has been fixed at 0.8, that represents a strong correlation. After this first step, we will see that many parameters are always candidates to compose the failure signature. To discriminate the most relevant, a Shannon entropy calculation is made. Table 4.1 gathers the results concerning parameters (12 among 50) that have shown a correlation coefficient over 0.8 for 2 modules or more. We haven't presented all the parameters results to avoid a large non-relevant table. When the parameter is not correlated to ageing for a module, a cross is inserted instead of the entropy coefficient. The entropy coefficient for a non-correlated parameter is a non-relevant information.

Table 4.1 – Entropy calculation for correlated parameters of each tested module

Parameters \ Modules	TM1	TM2	TM3	TM4	TM5	TM6	TM7	TM8	TM9	TM10
Temperature	2.5	2.8	2.3	3.2	3.1	2.6	2.6	2.2	2.4	3.1
IdVg	2	X	2.25	3	2.9	2.6	X	2.3	2.8	2.9
IdP	2	X	2.25	3	2.95	2.5	X	2.3	2.8	2.6
$Rise_{Time}$	1.1	2	X	2.7	X	2.3	X	X	X	3.2
$T_{mean_{plateau}}$	0.5	1.6	X	2.3	X	2.	X	X	X	3
$R_{DS_{ON}}$	X	3	2.5	2.8	3	2.5	2.9	2.5	2.6	3
$V_{DS_{ON}}$	X	3	2.4	2.9	3	2.5	2.5	2.3	2.5	3.1
P_{Miller}	X	2.7	2.3	2.5	3	2.3	2.5	2.3	2.3	3
E_{ON}	X	2.6	X	X	X	X	X	X	X	X
$Area_{I_G}$	X	2.6	X	3	3	X	X	X	X	X
$Mean_{plateau}$	X	2.7	X	2.9	X	X	X	X	X	X
$Coef_{linear}$	X	3	X	2.7	X	X	X	X	X	X

In table 4.1, we can see that, apart temperature, no parameter is correlated to ageing with all modules. To choose relevant parameters with this acknowledgment, we have to bring more information. The first module is issued from a first version and it is the only sample of this version that has been tested. The stress profile was very strong (96 % of the maximum junction temperature). For these two reasons we have decided to set apart module 1 in our progress.

According to the specific failure reached at the end of a module lifespan, some parameters

selection can change. We can see that modules TM2, TM4 and TM6 in which we have detected a Gate failure, show an important correlation with the parameter $Rise_{Time}$. Module that have shown Drain-to-Source issues are not correlated with this parameter. Maybe, there is an opportunity to discriminate the failure just by knowing the parameters drift.

This idea is attractive but not easy to implement. It requires the creation of a model in which we can discriminate the state of health of a module and the failure mode in progress. This track was explored but signals were not enough numerous and clean to reach a viable classification.

In a first approach, we have decided to select parameters that have a satisfying correlation level with ageing and that cover more than one failure mode. To achieve that, we have taken parameters which are strongly correlated to ageing when we have a diode or a Gate failure. 10 parameters are so selected and are cited from the most common in failure mode to the less common:

- Temperature
- $R_{DS_{ON}}$
- $V_{DS_{ON}}$
- IdVg
- IdP
- P_{Miller}
- $Mean_{plateau}$
- $Rise_{Time}$ to 8 V
- $Coef_{linear}$
- $T_{mean_{plateau}}$

These selected parameters will tentatively provide the failure signature. We do not have to work with 10 elements to classify the health state of a power module. A reduction of this signature will be explained in the next part which is dedicated to the diagnosis and prognosis implementation.

4.4 Estimation of the Remaining Useful Lifetime (RUL)

At this step, we have selected 10 parameters to constitute a failure signature. This signature is composed of precursors that are the more sensitive to Gate oxide issues and some others to internal diode issues. The combination of these precursors allows us to determine a failure mechanism in progress in several cases. Figure 4.13 proposes an overview of next steps towards the Remaining Useful Lifetime evaluation. We cannot work with a signature that has a too large dimension (10). A too large signature can provide overfittings. We have to reduce the signature to a dimension 3 vector. To achieve that, we use a Principal Component Analysis (PCA) algorithm, detailed in the first paragraph of this section. Once the signature

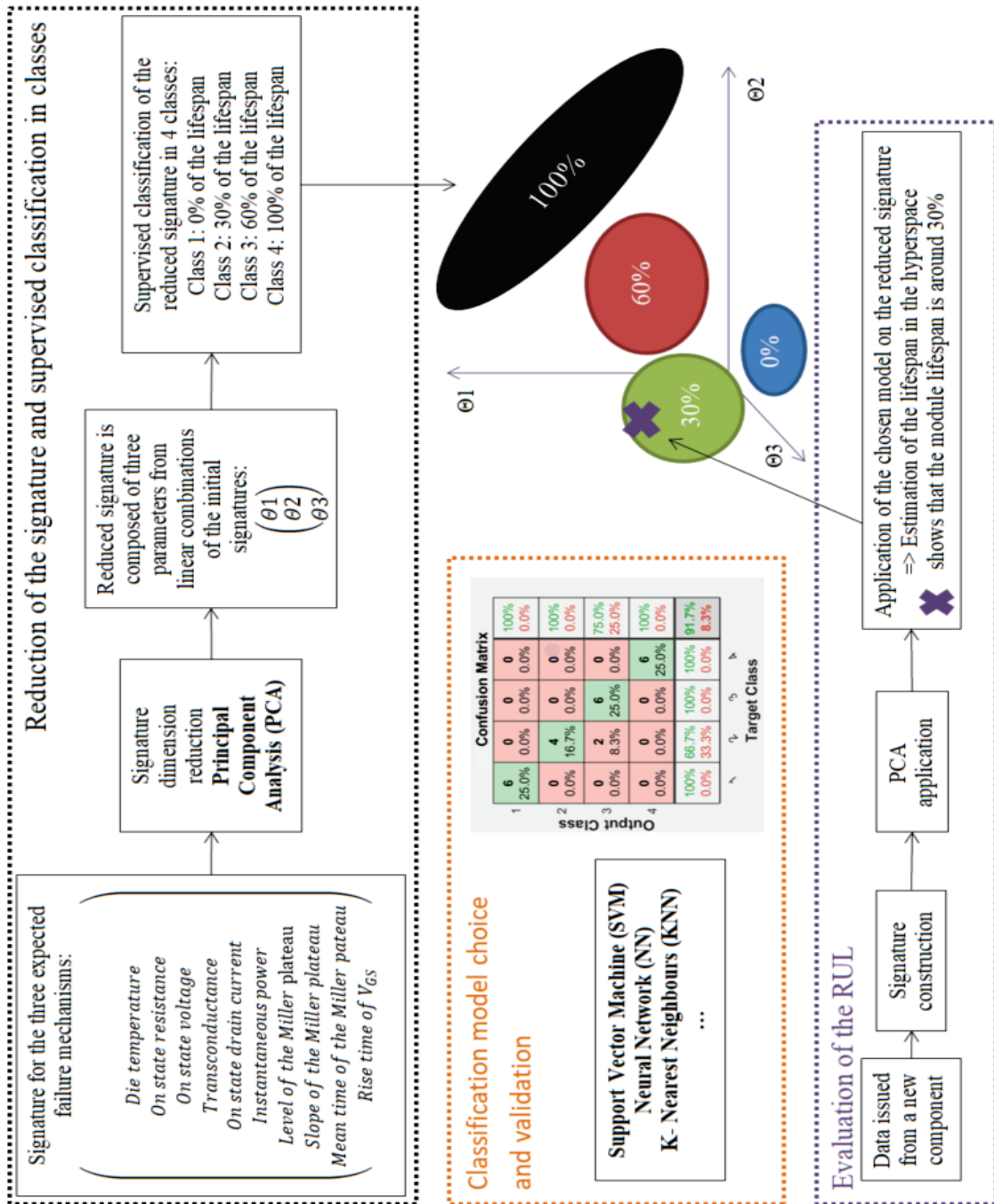


Figure 4.13 – Approach for RUL evaluation based on ageing precursors classification

is reduced, we have to find a way to know the health state just by knowing the 3D signature value.

We have decided to extract the value of the signature at specific dated time of the learning module lifespan (0%, 30%, 60% and 100%). 6 modules have been chosen to constitute the learning base (modules TM2, TM3, TM5, TM6, TM8 and TM9). They have shown various failures under different stress level and so, they constitute a base to construct a model of classification. At the end of this step, when we plot the signature in the space defined by the

PCA, we want to observe that classes are independant. The next step is to find a model of classification which validates that classes are well seperated. This phase will be detailed in the second paragraph. Finally, the chosen model will be extracted to welcome new points from a module which was not used in the learning base to place it in the 3D space of classification and determine if the current module lifetime is around 0%, 30%, 60% or 100% with respect to estimation.

4.4.1 Problem reduction (PCA) and classes construction

The implementation of a PCA requires data of same dimension. In our case, modules have various lifespans and the quantity of data is very different from one module to another one. To avoid this issue, we have constructed 4 learning classes by extracting the value of the signature around 0%, 30%, 60% or 100% of module lifespan, as pictured in Fig. 4.14. For each module we have defined a range of 5% of lifespan around the reference values by extracting 5 values of the signature for each class. The learning phase is realised with 5 points extracted for 4 classes during the lifespan of 6 learning modules. A total of 120 points is used to establish, firstly a PCA, and then a supervised classification. This gives a centered normalized data matrix of dimension 120 x 10.

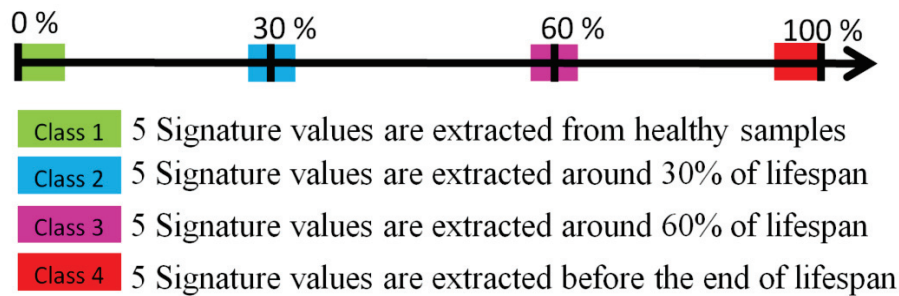


Figure 4.14 – Construction of classes for learning phase

After the signature extraction at dated times, the dimension of the signature is always 10. To reduce it to 3, we apply a PCA script. The aim of this script is to transform the 10-dimension signature into a 3-dimension signature without too much loss of information to discriminate the signature in classes.

During the PCA, the 10-column data matrix S_{10} is transformed into a covariance square matrix as shown in (4.4).

$$A = S'_{10} \cdot S_{10} \quad (4.4)$$

with S'_{10} the transposed matrix of S_{10}

Then, the eigen values of the constructed matrix A (λ_i with i from 1 to 10) are extracted and are ascendly sorted. We only keep the 3 major values of λ_i that we name λ_1 , λ_2 and λ_3 . We calculate then the new vector basis V to satisfy the equation (4.5).

$$A.V = V * \begin{bmatrix} \lambda_1 & 0 & 0 \\ 0 & \lambda_2 & 0 \\ 0 & 0 & \lambda_3 \end{bmatrix}$$

with

$$\text{size}(V) = (10, 3) \quad (4.5)$$

To obtain the 3-dimension signature (S_3), we have to project the S_{10} into the new basis V by realizing the operation in (4.6).

$$S_3 = S_{10}.V$$

with

$$\text{size}(S_3) = (120, 3) \quad (4.6)$$

We have now the 120 samples points in a 3-D space which is representable as shown in Fig. 4.15.

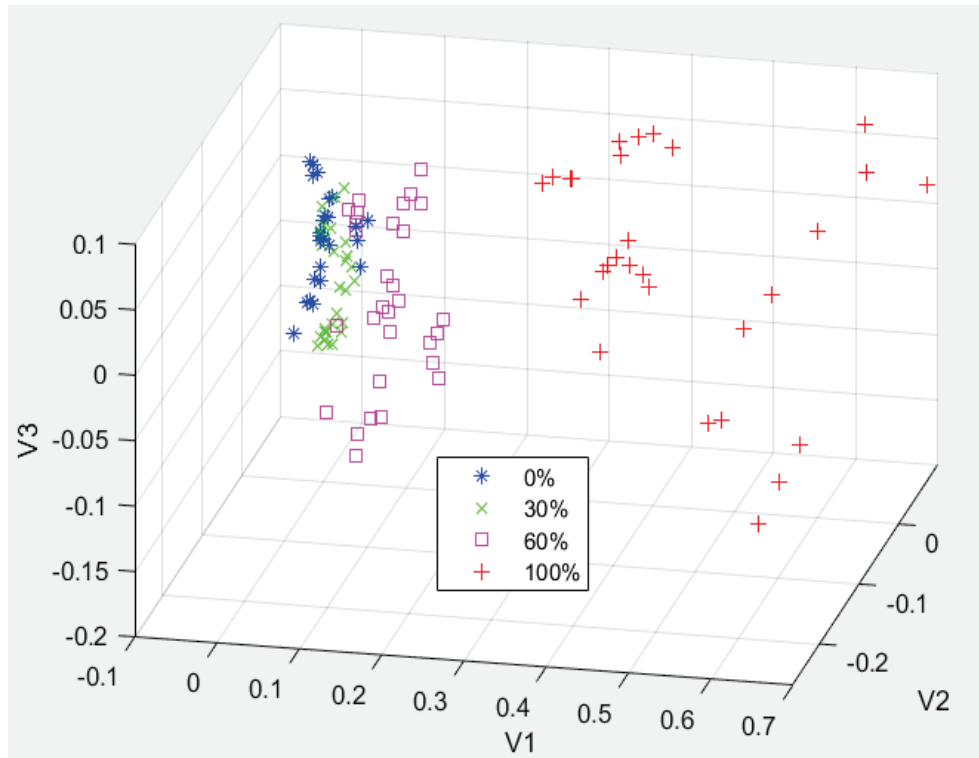


Figure 4.15 – 3-D representation of the 120 samples of the signature according to the 4 learning classes

We can guess that the data are separated by looking at the 3-D view but it is not trivial. The aim of the next paragraph is to find a model that allows a good separation of the different classes. By this way, a supervised classification can be realised and will allow an estimation of the RUL for an unknown module.

4.4.2 Comparison of several methods of supervised classification on learning data

Numerous methods of classification exist. This paragraph is not exhaustive but focuses on 3 promising methods.

- The Support Vector Machine (SVM) [77]
- The k-Nearest Neighbours (kNN) [39]
- The Neural Network (NN) [72]

Support Vector Machine (SVM): SVM method gathers several approaches that are based on the same principle [77]. Points of each class are separated in different spaces. In simple cases, the separation can be a straight line. In more complex case, the separations can be curves or surfaces as a sphere for instance. In our case, the 3D representation imposes a surface to separate the different classes. The basic principle of SVM is explained in Fig. 4.16. The margin of classes separation is defined by $d = \frac{2}{\|\omega\|}$. The aim of the algorithm is to find a hyperplan that maximize the margin d .

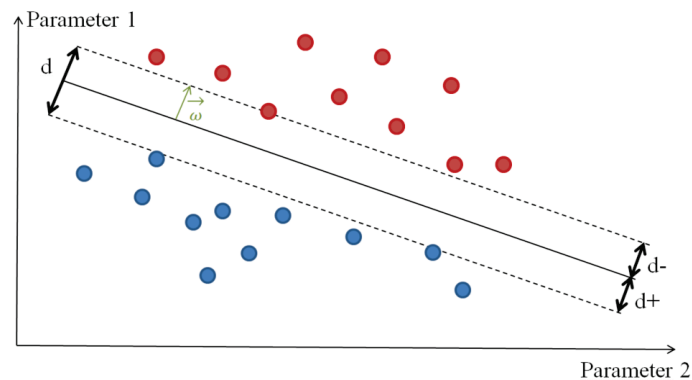


Figure 4.16 – Principle of the SVM methods [77]

In Fig. 4.15, we can easily guess that planar surfaces are not relevant to separate the 120 points in 4 classes. To assist our investigation, tools of machine learning from MATLAB software have been used. We have compared the different SVM methods proposed and studied the one presenting the best efficiency to classify the signatures.

Each SVM method is used to realise a learning phase and a test phase with signatures issued from modules TM2, TM3, TM5, TM6, TM8 and TM9. The learning phase creates a model, and the test phase puts the signatures in the model to predict the class. Each time a confusion matrix is produced. Figure 4.17 shows the confusion matrix of the SVM fine Gaussian method applied on 120 signatures extracted from learning modules as an example.

The confusion matrix proposed a schematic view of samples points attribution in classes. We have to read the matrix line by line. For instance in the first line, we can see the attribution of the 30 signatures of true class 1 which has been tested: 24 points have been attributed to class 1, 4 points to class 2 and 3 points to class 3. With this method, numerous mistakes are

True class	1	23	4	3	
	2	8	20	2	
	3	1	2	27	
	4				30
		1	2	3	4
		Predicted class			

Figure 4.17 – Confusion matrix of the SVM fine Gaussian method applied to the 120 learning samples

made in classes attribution between classes 1, 2 and 3. The fourth class is well discriminated with this method.

For each method, the percentage of correct classification is calculated. Table 4.2 presents the results of the comparison.

All tested SVM methods present a correct percentage of class attribution (around 80%), except the coarse Gaussian one (54.2%) because a coarse approach is not relevant in our case. The classes 1, 2 and 3 are close to each other in the 3D space. The better score is obtained with a fine Gaussian method.

Table 4.2 – Comparison of some SVM methods efficiency for supervised classification

Type of SVM method	Percentage of good attribution
Linear SVM	79.2%
Quadratic SVM	80.8%
Cubic SVM	82.5%
Fine Gaussian	83.3%
Medium Gaussian	80.8%
Coarse Gaussian	54.2%

The SVM fine Gaussian [77], is based on the calculation of Gaussian kernels to separate each class in the 3D space. It is the SVM method proposing the better adaptability to samples spreading in the space of classification. The fine Gaussian can be very adaptative to the shape

of classes. Figure 4.18 shows a 2D principle with a random example.

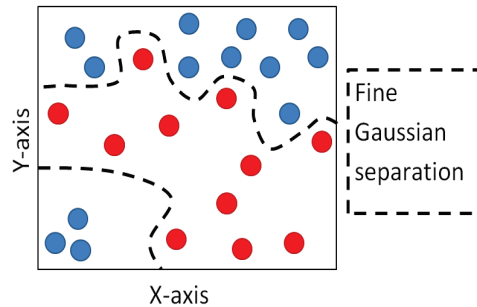


Figure 4.18 – Fine Gaussian separation principle of two classes in a 2D random example

Despite a great adaptability the SVM fine Gaussian proposes a percentage of good attribution of 83.3% by testing signatures issued from the learning base. It is not enough to be sure that this method brings relevant results with an unknown module signature. This approach is finally not chosen to estimate the RUL.

Subspace k-Nearest Neighbours (SubspaceKNN) [39]: The kNN methods consists in attributing a point to the same class than its nearest neighbours. Figure 4.19 explains the methodology. We have made a learning phase that has lead to 3 discriminated classes (points in black, blue and red). We want to classify white points A, B and C. Point A is attributed to the black class because all its nearest neighbours belong to this class. Point B is in the ambiguity area (between 2 classes). It will be rejected if the number of neighbours belonging to the most represented class is inferior to the number of all its nearest neighbours. Point C is in a rejection area, the distance between point C and its nearest neighbours is many times higher than the distance between each learning points and their barycenters.

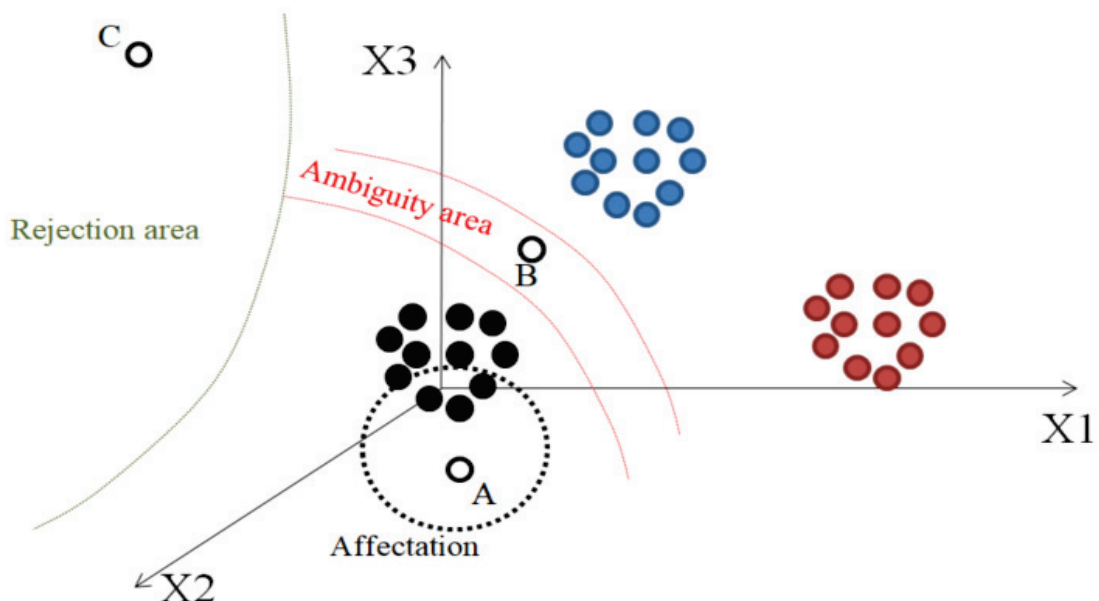


Figure 4.19 – Principle of the kNN methods

After a comparison of different kNN methods, the one is the fine kNN with a good percentage of classes attribution of 84.2%. This score being near the one of SVM fine Gaussian, we have looked for a way to improve this result.

The weak point of the kNN methods is that their efficiency decreases with the number of signatures. In our case, 120 signatures must be discriminated. We have studied a solution which proposes to realize several kNN methods in subspaces of dimension 5 [39]. The routine realizes 30 successive learning phases during which signatures are discriminated in the 4 classes. The groups of 5 points are always different to harmonize the global result. This method presents an efficiency of 88.3%. Figure 4.20 shows the confusion matrix of the classical fine kNN method and the fine kNN method with 30 successive learning phases of 5 signatures.

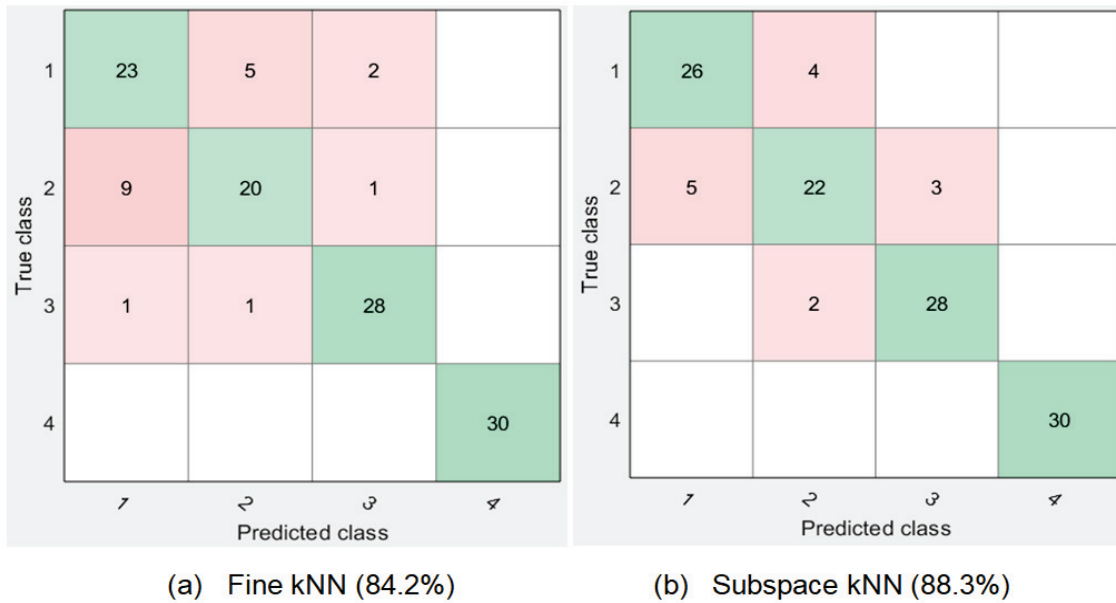


Figure 4.20 – Confusion matrix of (a) Fine kNN method and (b) Subspace kNN method applied to the 120 learning samples

The accuracy level of the Subspace kNN method being near 90%, the method will be tested for prognosis on a new module.

Neural Network (NN) : As described in [72], the Neural Network methods are difficult to interpret but present many advantages. The calculation by parallel layers allows a fast detection and diagnosis. The algorithm presents a high adaptability and no physical model is required. A schematic view of the used Neural Network is presented in Fig. 4.21.

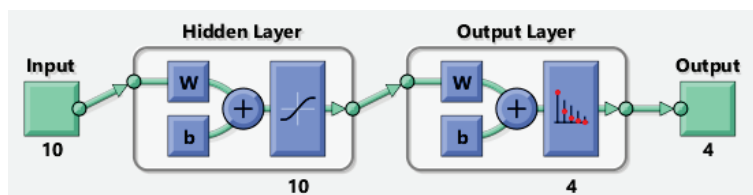


Figure 4.21 – Neural Network modelisation of S_{10} in order to attribute the 4 classes

The algorithm works on the 10 dimension signature, S_{10} . The 10 parameters are treated in 10 parallel hidden layers. In each hidden layer, a weight (W) and a bias (B) are attributed to each point. Then an activation function f is applied. It can be boolean, linear or sigmoide. In our case, a sigmoide was chosen for better result. After the hidden layer, the data reaches the output layer of dimension 4. The 4 dimensions are due to the 4 different classes. In this layers, points are attributed to their classes thanks to a weight and a bias.

A learning phase has been realized with 84 signatures among the 120 constituting the learning data. A validation has been realized with 18 signatures and finally, an attribution test has been made with 18 signatures. The results are presented in the confusion plots in Fig. 4.22.

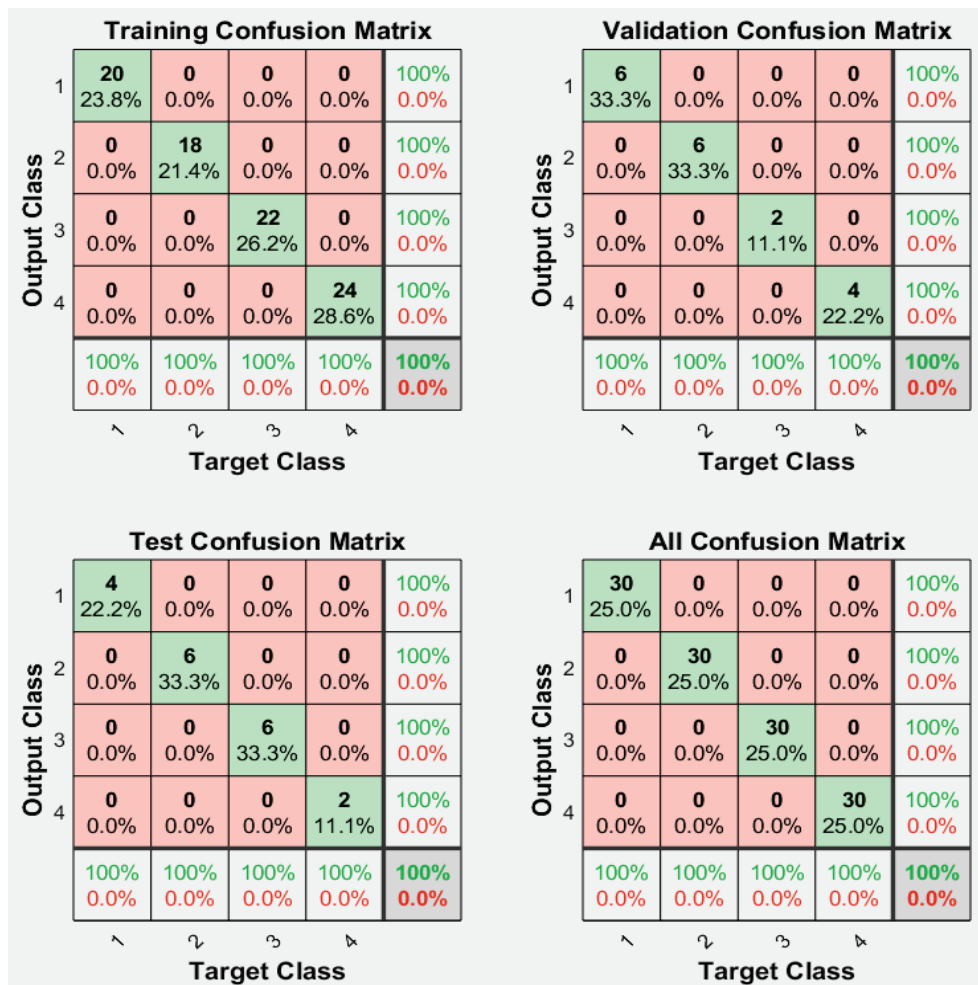


Figure 4.22 – Neural Network confusion matrices issued from the learning phase (84 signatures), from the validation phase (18 signatures) and from the test phase (18 signatures) gathered in the all confusion matrix view

Results shows an efficiency of 100% in classes attribution. We have to appreciate this result carefully. The preliminary choice of points for the training part is random. According to the chosen points the created model efficiency can vary. On 10 successive launches of the algorithm, the mean efficiency rate is around 95%.

For the prognosis part of the study, detailed in the next paragraph, we have chosen the model

generated when 100% efficiency were obtained in learning phase.

Synthesis on classification methods: In this paragraph, only 3 methods have been tested. Other methods as decision trees and discriminant analysis have been tested thanks to the MATLAB toolbox. They were not relevant to discriminate our data base of classes. The choice of the 3 studied methods was also determined by previous study [72].

The next paragraph is dedicated to the application of the two most promising methods, on data from an unknown module: the Subspace kNN and the Neural Network. The prognosis approach is also detailed.

4.4.3 Prognosis approach

Two different models have been extracted from the previous study: the first one issued from the Subspace kNN approach and the second one from the Neural Network approach. A test module (TM10) which has not been used in the learning phase is used in this validation phase to assert or not the models. Signatures have been extracted as in the learning phase. We have 5 points for each class.

The application of the Subspace kNN model on data extracted from the module TM10 shows bad results as presented in Fig. 4.23. Indeed, only 55% of signatures are well discriminated by the model. We can conclude that the model adaptability has allowed a focus on the learning data but is not adapted to new data which are although similar. The fourth class is well discriminated because it is far from other points in the classification space. The first class is almost well discriminated, however classes 2 and 3 show a real confusion in classes attribution. Class 3 is almost never recognised by the modelisation.

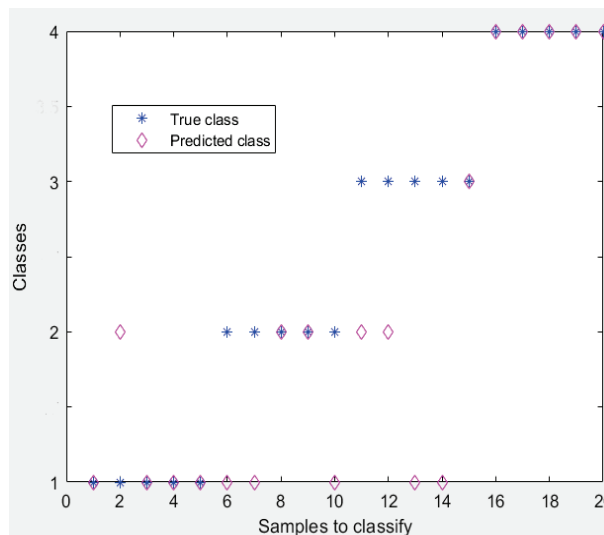


Figure 4.23 – Application of the Subspace kNN model on new data issued from TM10 (55% of efficiency)

The application of the Neural Network on data from module TM10 presents more hopeful results as in Fig.4.24, with 96% of good attribution to classes. Classes 1, 3 and 4 are well

discriminated with this model. Class 2 is not determined for the last signature. We can suppose that this class is not enough discriminative for this module.

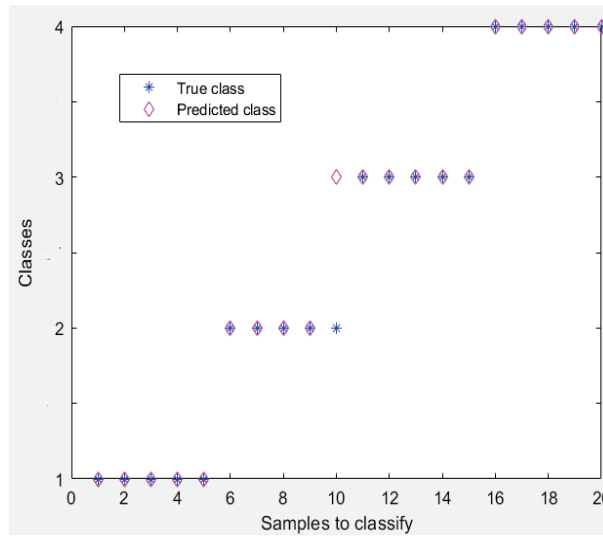


Figure 4.24 – Application of the Neural Network model on new data issued from TM10 (96% of efficiency)

To avoid a wrong decision in terms of classification on isolated points, we propose, for a future work, to take a decision by studying a serie of points. An approach, linked to fuzzy logic, can be a good track and is described in Fig. 4.25.

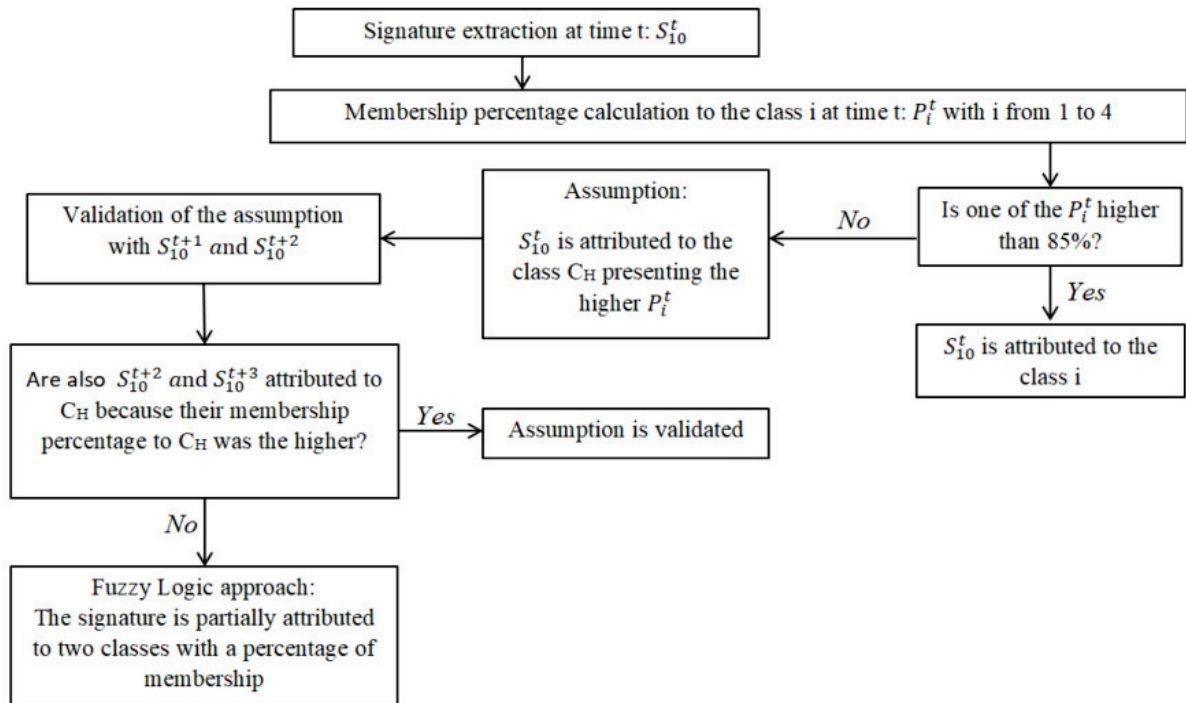


Figure 4.25 – Classification method for signature extracted from an unknown module

At the beginning, we extract a signature to classify it in the four classes: 1 (healthy), 2 (30% of

lifespan), 3 (60% of lifespan) and 4 (end of life). The membership percentage of this signature to each class is calculated. If the percentage of membership to a class i is higher than 85 %, the signature is attributed to the class i . If it is not the case, we have to study the next signatures to classify the first one. When every percentage of membership are lower than 85 %, we look at the membership of 2 signatures extracted just after the one to classify. If these signatures have a maximum of propability to be in the same class as the first signature, consequently the first signature is attributed to the considered class. If the 2 signatures of validation do not show the same membership trend, we can switch to a fuzzy logic classification by giving an information of belonging, according to the percentage calculated for all classes.

We have applied this approach to the module TM10 and calculated the membership percentage to classes thanks to the model of Neural Network presented in the previous paragraph.

We have extracted 5 signatures at the beginning of TM10 lifespan. These signatures are supposed to be in the healthy class (1). Figure 4.26 shows the classification results. For the 5 extractions, the percentage of membership to class 1 is very high. The classification is well discriminative for healthy signatures.

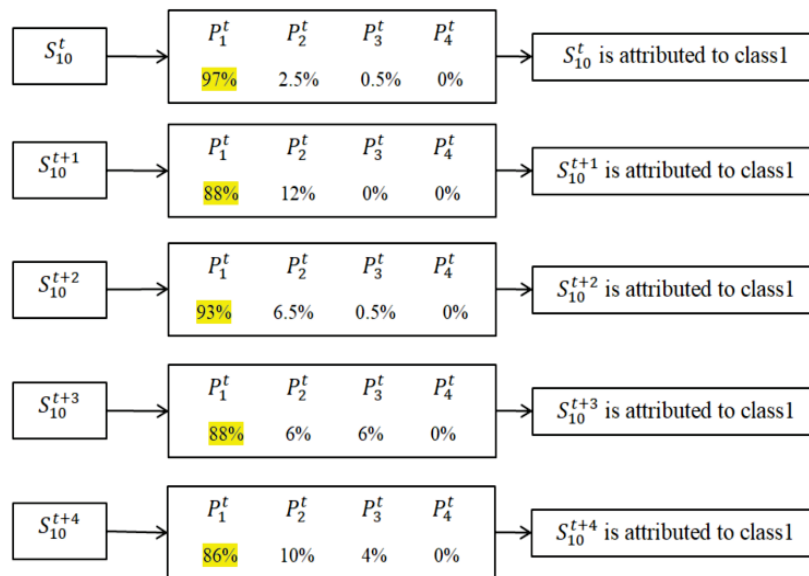


Figure 4.26 – Classification of signatures from TM10 during its healthy state

We have then extracted 5 signatures around 30% of lifespan of the module TM10 and applied the model. We are supposed to be in the second class. Figure 4.27 shows the classification results.

For the class 2, signatures are not well discriminated. The fuzzy logic can play an important role in this case to propose an estimation of the remaining lifetime without any real identification. If we take the example of S_{10}^{t+2} , we can see in Fig. 4.27 that the signature is in a space between class 2 and 3 with a similar percentage of membership (42% fro class 2 and 38% for class3). The user will have an information on the remaining lifetime which is fuzzy but useful, the module lifespan is between 30% and 60%. More points have to be extracted to give a more precise estimation.

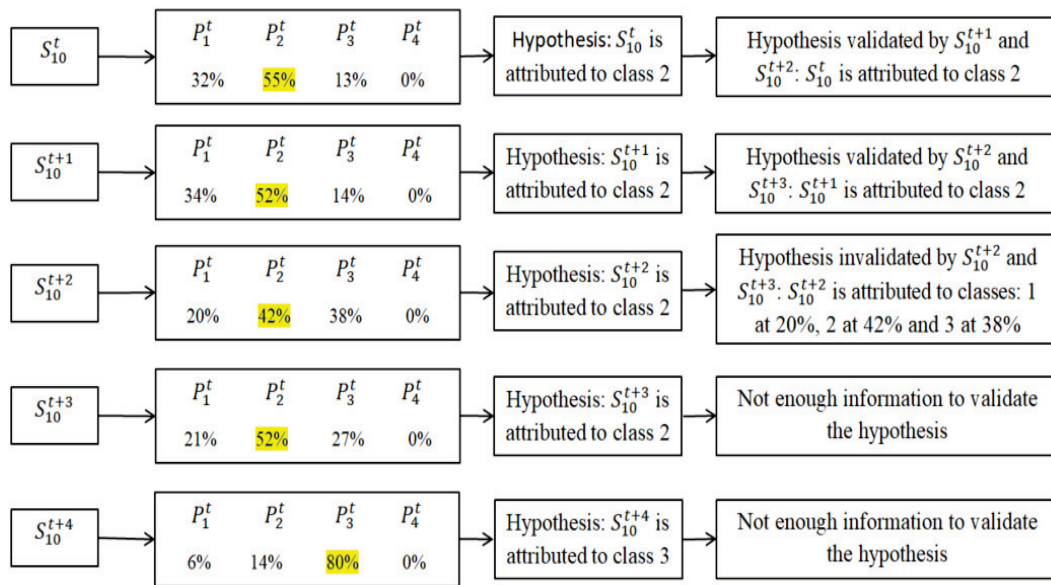


Figure 4.27 – Classification of signatures from TM10 around 30% of its lifespan

Then a focus is made on signatures extracted around 60% of lifetime. Figure 4.28 shows the classification results. The model is efficient to discriminate signature around 60 % of lifetime. The good recognition of signature in class 3 is very important because of the end of life eminence after this class.

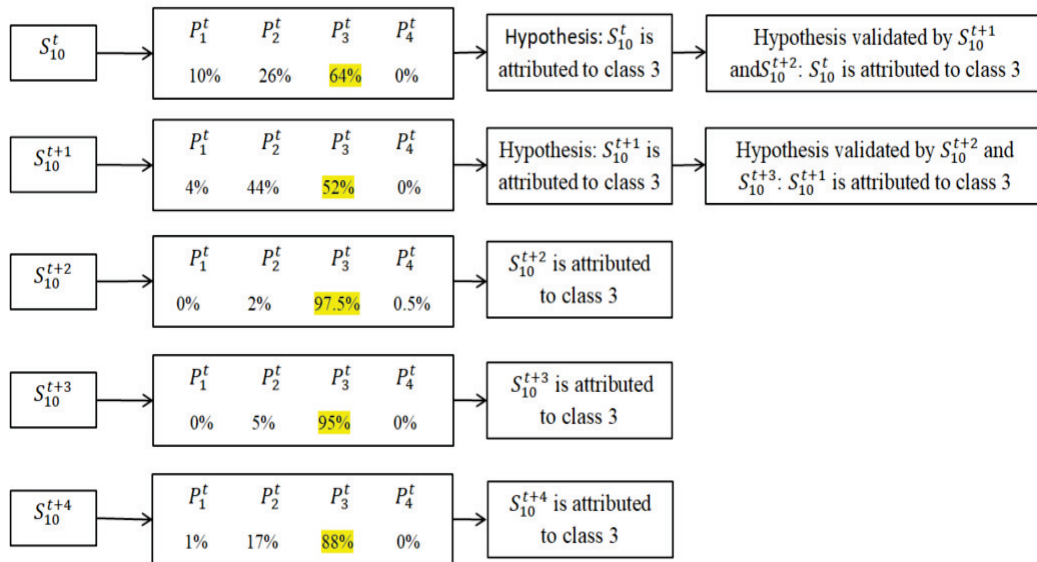


Figure 4.28 – Classification of signatures from TM10 around 60% of its lifespan

Finally, signatures are extracted at the end of lifetime. Figure 4.29 shows the classification results. The last class is well discriminated, every signature has a percentage of membership to the fourth class higher than 98%.

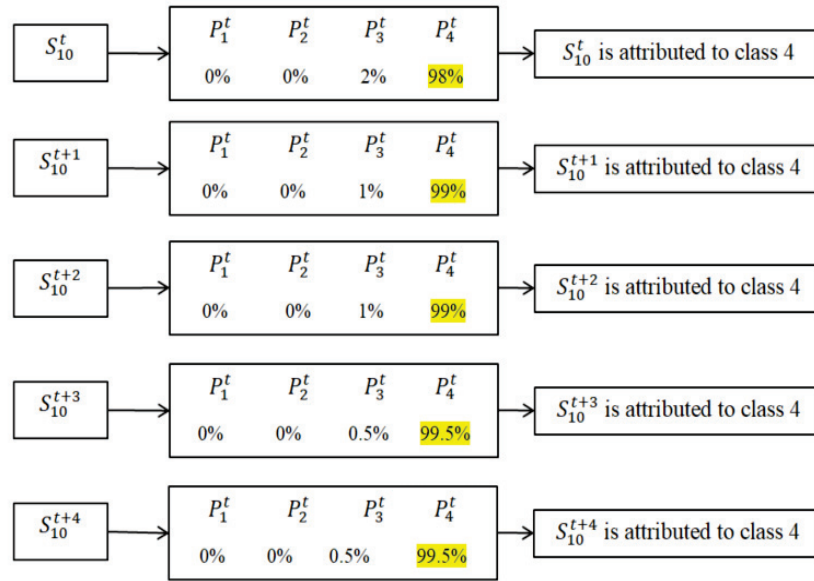


Figure 4.29 – Classification of signatures from TM10 at the end of its lifespan

Among the two selected models (kNN and NN), the neural network shows promising results. Signatures are well discriminated for the healthy state and above 60% of lifespan. The proposed algorithm to determine an estimation of the remaining useful lifetime is a rough draft and can constitute a great track to explore. The first results obtained with a little quantity of samples are promising.

4.5 Conclusion and outlook

In this chapter, we have proposed a data analysis in order to realise a remaining useful lifetime estimation for tested power modules.

The first section was dedicated to the presentation of issues. The power module studied is a lab-scale prototype. As a consequence the number of module available for testing was reduced (only 10). The stress profiles were similar but the temperature profiles were very variable from one module to another. Given that the number of modules and the variability of temperature profiles, a statistical approach was impossible.

To work properly the data, an approach about failure signature has been chosen. A maximum of potential failure precursors have been calculated for each module (50 parameters). They have then been filtered and harmonized in time to be compared.

A important step lies in the precursors selection to construct the failure signature. Firstly, a Spearman correlation calculation has been used to identify the precursors showing a monotonous evolution with ageing. In a second time, a Shannon entropy calculation has allowed to reduced the candidates number to ten. At the end of this step, a 10-dimension signature is constructed and constitutes an image of the module health along its lifespan.

The last part of the study is focused on using the failure signature to determine the remaining useful lifetime. We have chosen three potential methods of classification to determine the health of a power module according to its signature value. The most promising method is the neural network. The first step is to realise a learning phase on signatures extracted at known level of lifetime. These signatures are used to construct a model to determine if a signature belongs to one or another classes. This model has then been tested with new data from a module that has not been used for the learning phase. We have extracted signatures at known dates of lifetime and let the model predicts the most appropriate class. At the end, the model discriminates well the class membership of each signature. However, a large improvement could be brought in the RUL accuracy, the present classes only allow to determine if the module is near 0%, 30%, 60% and 100% of its lifespan.

Chapter 5

Conclusions and perspectives

This report has presented the actual challenges concerning the generalisation of electrical devices in complex systems, especially in aeronautic field. It has proposed a focus on a specific power module designed within the *I²MPECT* project. This power module aims to compose a most integrated, intelligent and modular power converter. The reliability aspect was the core of my contribution to the project with a final objective with power module health state prognosis with an estimation of the RUL thanks to a specific signature acquired on-line. To achieve this aim, several steps have been set up.

Outcomes

In a first step, a literature analysis has allowed to understand the physics of failure of several modules and die technologies. Some similarities with studied power modules have allowed to extract the most expected failure modes in our power module, composed of silicon carbide MOSFET dies and which is a planar module without wire bonds for interconnections. The failure modes considered for the study have been:

- Gate oxide issues: partial perforation or breakdown
- Top metallization issues: reconstruction or source connector lift-off
- Die attach issues: cracks, electromigration, reconstruction under thermal effects

After an overview of standards in terms of accelerated lifetime tests and associated precursors to monitor a specific failure mode, we have created a test plan in two parts. The first part was dedicated to the die behaviour analysis with an HTGB test in order to find out relevant potential ageing precursors concerning the silicon carbide MOSFET Gate oxide issues (C2M0080120D dies). The second part was dedicated to a PAC test. The aim of the PAC was to trigger failure modes in the whole module thanks to an accelerated thermal cycling allowed by self-heat dissipation. Several thermal profiles have to be tested to try to trigger different failure modes. During all PAC tests, many potential presursors (50) could be measured in order to construct a failure signature according to precursors evolution with respect to ageing.

To apply this test plan, two test benches have been realized and characterization tools have been used. The preliminary HTGB test was led with packaged die (more available than complete modules) in order to test a large quantity of devices and obtain more accurate results in

the precursor choice. The HTGB allowed to age 30 dies at the same time, however the characterizations have been made individually (B1505 and an UIS circuit). On the contrary, the PAC test bench was designed to apply ageing power cycling and the two chosen characterization phases (TSEP estimation and double-pulse characterization). The on-line performed characterization phases of the PAC test bench have produced a database of 50 potential precursors that have been analyzed in the last chapter of the report.

During the PhD period, only 10 test modules have been available for PAC testing. The quantity of data in terms of lifespan according to the level of stress is not sufficient to work with statistical approach or apply a kind of acceleration law. Besides, modules being prototypes, the time to failure and the failure modes were various from one module to another one. Some failures have concerned the Gate oxide and some others the interconnections (especially the top metallization). Consequently, the reliability approach has been focused on the construction of a failure signature that covers the two types of failure modes to be able to give a RUL estimation in both cases. Among the 50 potential precursors available at the end of a PAC test, we have selected the most promising precursors thanks to a Spearman correlation and a Shannon entropy calculation. These mathematical tools have allowed to extract the precursors that have a monotonous evolution within ageing but also that have the larger variation range. After this step, we have achieved to construct a 10-dimension failure signature that has a representative variation according to ageing whatever the failure mechanism in progress. According to this signature evolution, we have created 4 classes thanks to a learning phase using 6 modules among the 10 modules available. The first class represents a healthy signature, the second one a signature around 30% of lifespan, the third one a signature around 60% of lifespan and finally a fourth class that represents a signature at the end of lifespan. The most efficient model to discriminate these classes by knowing the failure signature is a neural network. The model was tested on a new module and has attributed the signature in the true class at 96%. Finally, a RUL estimation method has been proposed but not implemented.

Scientific contribution

This PhD has proposed a black box approach to assess the reliability of power module with of innovative technologies. The proposed method based on a large learning phase allows to establish a quite reliable estimation of the RUL without the construction of a physical model. A physical model elaboration is not ever possible because information about module or die design can not ever be available. The proposed method will be a good way, for an industrial user, to establish a power module diagnosis and prognosis after a learning phase according to its proper mission profile. The method does not require a large number of samples and not so much time to find out a relevant signature, proper to a mission profile.

The test bench created allows a PAC for module ageing with the on-line measurement of 50 parameters during lifespan. Each measurement have been studied to allow the most accurate measurement despite of power switching which can create noise.

Perspectives

Some technical improvements can be brought to the PAC test bench. Some parameters have been let alone because of measurement difficulties and are however very promising as the Gate leakage current. Technical solutions can be found with isolated measurement circuit. Then, until now the calculation of the 50 parameters is realized by a matlab routine which is launched separately. To have an efficient test bench, parameters have to be really calculated on-line and the set up of limits can be instaured to be able to stop the PAC if some parameters present a too large drift.

Concerning the RUL estimation, a large outlook can be considered. First, the number of available test modules was very reduced for this study. Applying our model on a larger number of samples could be interesting. Second, we have created a failure signature which is not discriminative according to each failure mode. We have noticed that some parameters have a certain evolution in a failure mode and a less important evolution in another one but we have not achieved a classification which allows to discriminate Gate oxide from interconnections issues. Finally, the constructed model gives fuzzy information on the RUL because of the creation of only 4 classes. The main reason is the variability of parameter evolution according to each modules. Even if the parameter evolution presents always the same trend whatever the failure mechanism in progress, we notice a spread of the signature within a range which is not insignificant with respect to the lifespan. Consequently, if we want to obtain more precise classes, as interval of 5% of the lifespan for instance, we will face a class recovering issue because of each module variability and a totally confused information on the RUL. I think that a work on repeatability has to be done to improve these issues of RUL estimation precision. The test module manufacturing has to be more repeatable and the thermal profile of tests too. The main difficulty in thermal stress profile repeatability was that we could not make a control loop on the junction temperature (because this value was estimated by TSEP off-line). We have only realized a control loop on the self-heating current, but prototypes presenting a different answer to this regulation, the thermal profiles have differed at each test.

This report has proposed to assess the reliability level of a new module technology along its design. This work constitutes a first draft to set up classification method in order to estimate a RUL on new technologies without any physical models. The tested modules being prototypes, the efficiency of the classification model cannot be insured so far.

The project was led to feed the aeronautic industry. The strength environnement of use is defined by electric and thermal stresses as studied in this manuscript but also by radiations stresses. This aspect is very important in embedded systems and as been treated in [14]. This study has combined the HTGB and variation stresses on the same module than in my preliminary study (C2M0080120D wolfsped dies). The result of ageing process on the threshold voltage value is given in Fig. 5.1. It can be noticed that the drift created by the HTGB stress is less important than the one created by radiation dose. The annealing effect was also studied by plotting the threshold voltage value after a rest time. We can understand with this study that the radiation effect is cumulative on MOSFET performance degradation and presents a wider drift of ageing precursor. It could be interesting to apply some radiation doses to complete power module stressed by a thermal cycling constraints to obtain a more realistic stress profile for aeronautic systems.

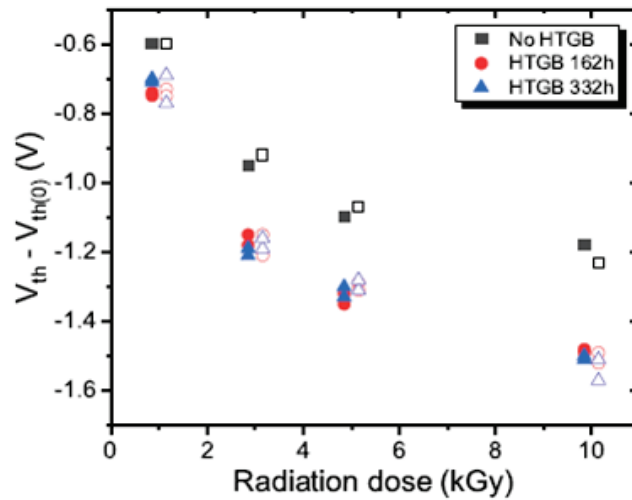


Figure 5.1 – Threshold voltage shift as a function of radiation dose with different HTGB time, compared to the value right before the radiation experiment. Transparent symbols present data measured after annealing.

Concerning the global aim of the I^2MPECT project, which was to design a compact and intelligent three-phase inverter, we can discuss on the possibility to use the developed condition monitoring method on the final inverter. Several points have to be addressed to feed this discussion. Firstly, to obtain an online condition monitoring, the precursors selection have to be oriented towards an accessibility aspect. We have to construct the diagnosis model with only accessible precursors. A neural network model has been constructed with only accessible data (Temperature, On state resistance, On state voltage, Drain current, transconductance and the instantaneous power). The model constructed has shown an efficiency of 95% on learning data and a good classes attribution for 90% of the cases with unknown signature (Fig. 5.2).

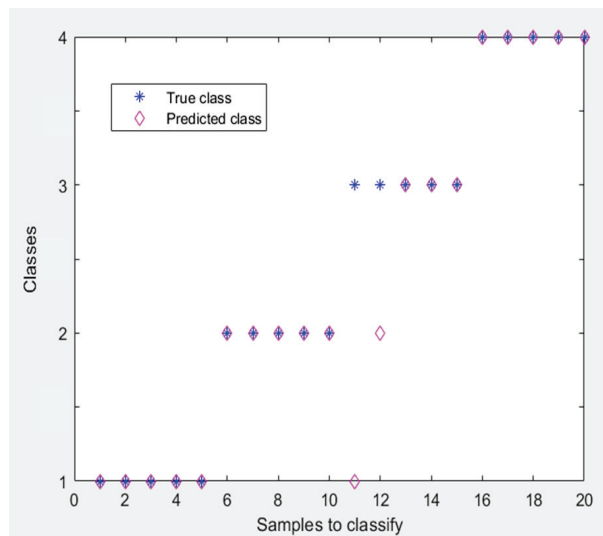


Figure 5.2 – Classes attribution for signatures extracted from a power module after an ageing test (module not use in the learning database (TM10))

This quick study shows that there are some possibilities to reduce the number of parameters and to remain able to establish an online condition monitoring.

In the final inverter, there will be three power modules composed of 6 MOSFETs per switch. The main challenge in this case is to access the parameters and design a suitable driver for each module. A real work on stresses distribution is necessary to be able to estimate the value of each parameter in each die. This is a real challenge to undertaken in order to make this study applicable to the global inverter.

Appendix A

Datasheet of tested dies



C2M0025120D

Silicon Carbide Power MOSFET
C2M™ MOSFET Technology
 N-Channel Enhancement Mode

Features

- High Blocking Voltage with Low On-Resistance
- High Speed Switching with Low Capacitances
- Easy to Parallel and Simple to Drive
- Avalanche Ruggedness
- Resistant to Latch-Up
- Halogen Free, RoHS Compliant

Benefits

- Higher System Efficiency
- Reduced Cooling Requirements
- Increased Power Density
- Increased System Switching Frequency

Applications

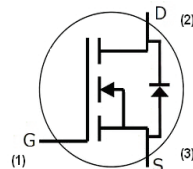
- Solar Inverters
- Switch Mode Power Supplies
- High Voltage DC/DC converters
- Battery Chargers
- Motor Drive
- Pulsed Power Applications

V_{DS}	1200 V
$I_D @ 25^\circ\text{C}$	90 A
$R_{DS(on)}$	25 m Ω

Package



TO-247-3



Part Number	Package
C2M0025120D	TO-247-3

Maximum Ratings ($T_c = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Value	Unit	Test Conditions	Note
V_{DSmax}	Drain - Source Voltage	1200	V	$V_{GS} = 0\text{ V}, I_b = 100\ \mu\text{A}$	
V_{GSmax}	Gate - Source Voltage	-10/+25	V	Absolute maximum values	
V_{GSop}	Gate - Source Voltage	-5/+20	V	Recommended operational values	
I_D	Continuous Drain Current	90	A	$V_{GS} = 20\text{ V}, T_c = 25^\circ\text{C}$	Fig. 19
		60		$V_{GS} = 20\text{ V}, T_c = 100^\circ\text{C}$	
$I_{D(pulse)}$	Pulsed Drain Current	250	A	Pulse width t_p limited by T_{jmax}	Fig. 22
P_D	Power Dissipation	463	W	$T_c = 25^\circ\text{C}, T_j = 150^\circ\text{C}$	Fig. 20
T_J, T_{stg}	Operating Junction and Storage Temperature	-55 to +150	$^\circ\text{C}$		
T_L	Solder Temperature	260	$^\circ\text{C}$	1.6mm (0.063") from case for 10s	
M_d	Mounting Torque	1	Nm lbf-in	M3 or 6-32 screw	
		8.8			


Electrical Characteristics ($T_c = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions	Note
$V_{(BR)DSS}$	Drain-Source Breakdown Voltage	1200			V	$V_{GS} = 0\text{ V}, I_D = 100\ \mu\text{A}$	
$V_{GS(th)}$	Gate Threshold Voltage	2.0	2.6	4	V	$V_{DS} = V_{GS}, I_D = 15\text{mA}$	Fig. 11
			2.1		V	$V_{DS} = V_{GS}, I_D = 15\text{mA}, T_J = 150^\circ\text{C}$	
I_{DSS}	Zero Gate Voltage Drain Current		2	100	μA	$V_{GS} = 1200\text{ V}, V_{DS} = 0\text{ V}$	
I_{GSS}	Gate-Source Leakage Current			600	nA	$V_{GS} = 20\text{ V}, V_{DS} = 0\text{ V}$	
$R_{DS(on)}$	Drain-Source On-State Resistance		25	34	m Ω	$V_{GS} = 20\text{ V}, I_D = 50\text{ A}$	Fig. 4,5,6
			43			$V_{GS} = 20\text{ V}, I_D = 50\text{ A}, T_J = 150^\circ\text{C}$	
g_{fs}	Transconductance		23.6		S	$V_{DS} = 20\text{ V}, I_{DS} = 50\text{ A}$	Fig. 7
			21.7			$V_{DS} = 20\text{ V}, I_{DS} = 50\text{ A}, T_J = 150^\circ\text{C}$	
C_{iss}	Input Capacitance		2788		pF	$V_{GS} = 0\text{ V}$ $V_{DS} = 1000\text{ V}$ $f = 1\text{ MHz}$	Fig. 17,18
C_{oss}	Output Capacitance		220				
C_{res}	Reverse Transfer Capacitance		15			$V_{AC} = 25\text{ mV}$	
E_{oss}	C_{oss} Stored Energy		121		μJ		Fig. 16
E_{AS}	Avalanche Energy, Single Pulse		3.5		J	$I_D = 50\text{ A}, V_{DD} = 50\text{ V}$	Fig. 29
E_{on}	Turn-On Switching Energy		1.4		mJ	$V_{DS} = 800\text{ V}, V_{GS} = -5/20\text{ V}$ $I_D = 50\text{ A}, R_{G(ext)} = 2.5\ \Omega, L = 412\ \mu\text{H}$	Fig. 25
E_{off}	Turn Off Switching Energy		0.3				
$t_{d(on)}$	Turn-On Delay Time		14		ns	$V_{DD} = 800\text{ V}, V_{GS} = -5/20\text{ V}$ $I_D = 50\text{ A},$ $R_{G(ext)} = 2.5\ \Omega, R_t = 16\ \Omega$ Timing relative to V_{DS} Per IEC60747-8-4 pg 83	Fig. 27
t_r	Rise Time		32				
$t_{d(off)}$	Turn-Off Delay Time		29				
t_f	Fall Time		28				
$R_{G(int)}$	Internal Gate Resistance		1.1		Ω	$f = 1\text{ MHz}, V_{AC} = 25\text{ mV}, \text{ESR of } C_{iss}$	
Q_{gs}	Gate to Source Charge		46		nC	$V_{DS} = 800\text{ V}, V_{GS} = -5/20\text{ V}$ $I_D = 50\text{ A}$ Per IEC60747-8-4 pg 83	Fig. 12
Q_{gd}	Gate to Drain Charge		50				
Q_g	Total Gate Charge		161				

Reverse Diode Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
V_{SD}	Diode Forward Voltage	3.3		V	$V_{GS} = -5\text{ V}, I_{SD} = 25\text{ A}$	Fig. 8, 9, 10
		3.1		V	$V_{GS} = -5\text{ V}, I_{SD} = 25\text{ A}, T_J = 150^\circ\text{C}$	
I_S	Continuous Diode Forward Current		90		$T_c = 25^\circ\text{C}$	Note 1
t_{rr}	Reverse Recovery Time	45		ns	$V_{GS} = -5\text{ V}, I_{SD} = 50\text{ A}, T_J = 25^\circ\text{C}$ $VR = 800\text{ V}$ $dif/dt = 1000\text{ A}/\mu\text{s}$	Note 1
Q_{rr}	Reverse Recovery Charge	406		nC		
I_{rrm}	Peak Reverse Recovery Current	13.5		A		

Note (1): When using SiC Body Diode the maximum recommended $V_{GS} = -5\text{V}$

Thermal Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
$R_{\theta JC}$	Thermal Resistance from Junction to Case	0.24	0.27	$^\circ\text{C}/\text{W}$		Fig. 21
$R_{\theta JA}$	Thermal Resistance from Junction to Ambient		40			



Typical Performance

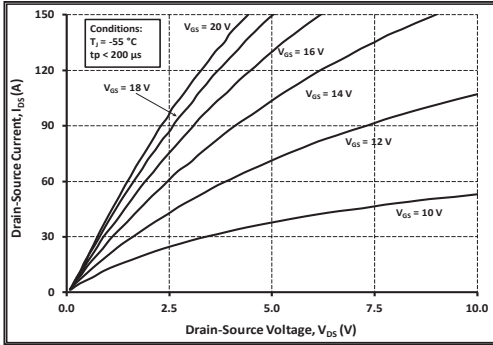


Figure 1. Output Characteristics $T_J = -55\text{ }^\circ\text{C}$

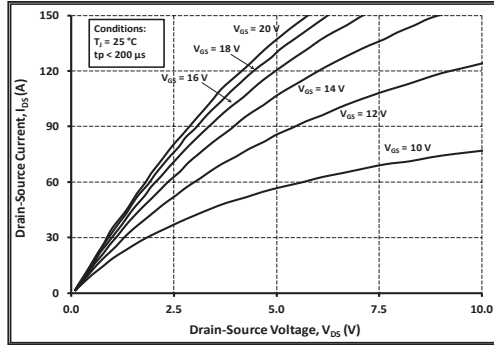


Figure 2. Output Characteristics $T_J = 25\text{ }^\circ\text{C}$

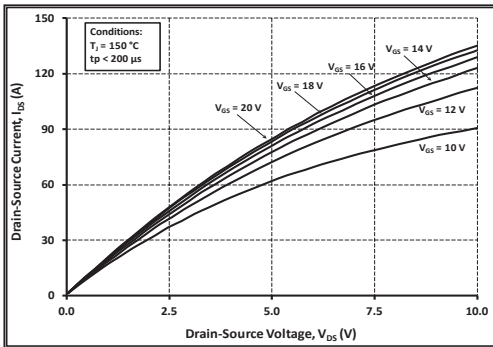


Figure 3. Output Characteristics $T_J = 150\text{ }^\circ\text{C}$

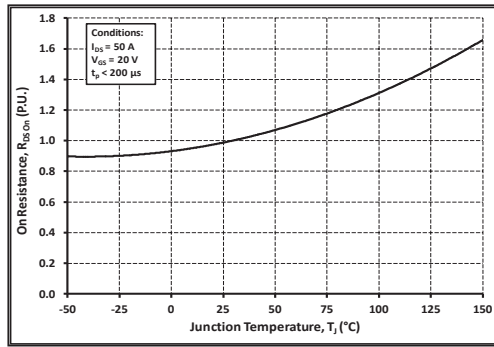


Figure 4. Normalized On-Resistance vs. Temperature

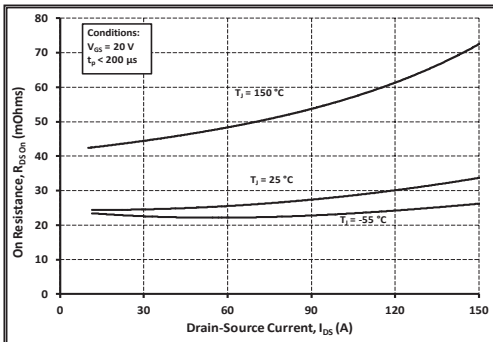


Figure 5. On-Resistance vs. Drain Current For Various Temperatures

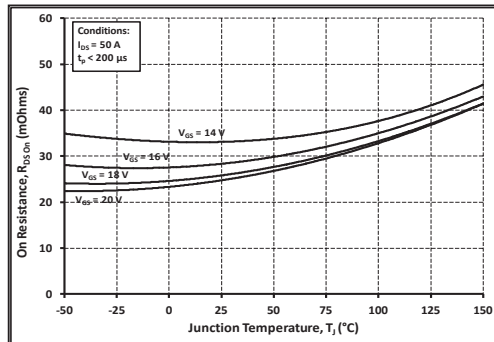


Figure 6. On-Resistance vs. Temperature For Various Gate Voltage



Typical Performance

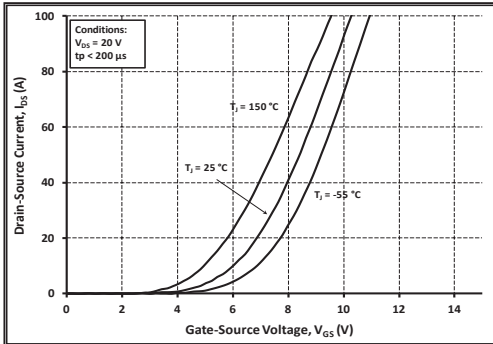


Figure 7. Transfer Characteristic For Various Junction Temperatures

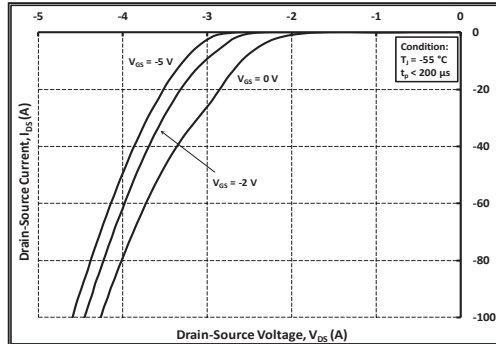


Figure 8. Body Diode Characteristic at -55 °C

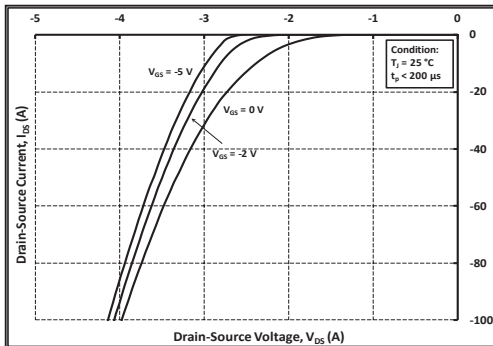


Figure 9. Body Diode Characteristic at 25 °C

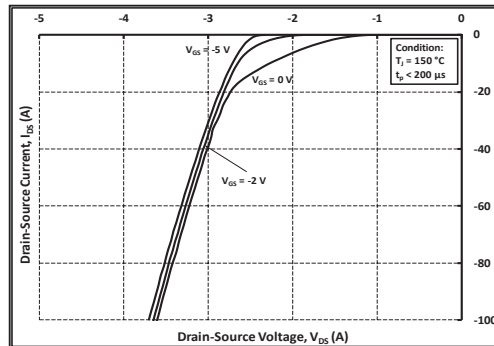


Figure 10. Body Diode Characteristic at 150 °C

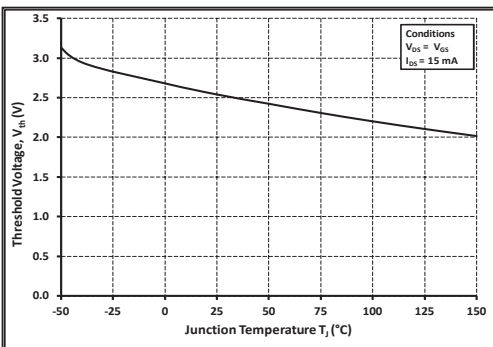


Figure 11. Threshold Voltage vs. Temperature

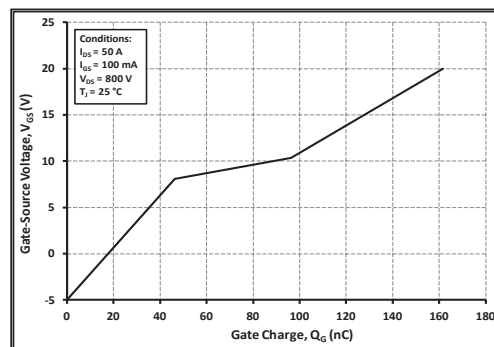


Figure 12. Gate Charge Characteristic



Typical Performance

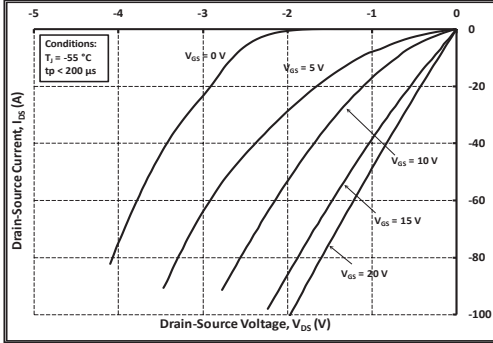


Figure 13. 3rd Quadrant Characteristic at -55 °C

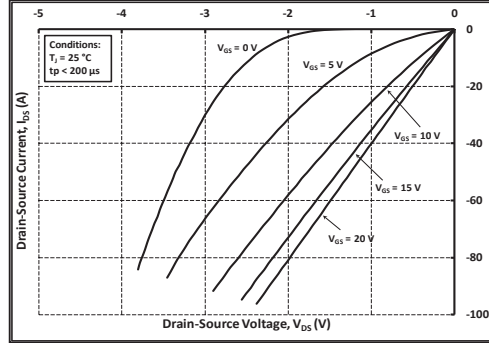


Figure 14. 3rd Quadrant Characteristic at 25 °C

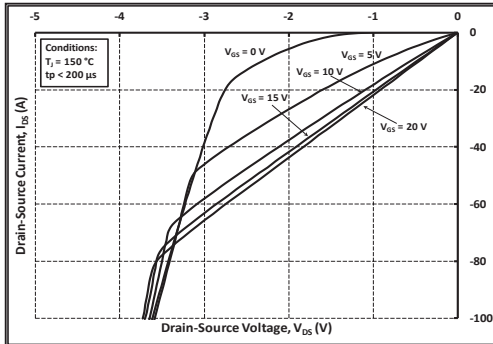


Figure 15. 3rd Quadrant Characteristic at 150 °C

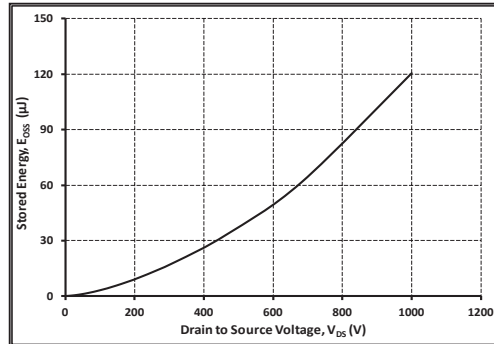


Figure 16. Output Capacitor Stored Energy

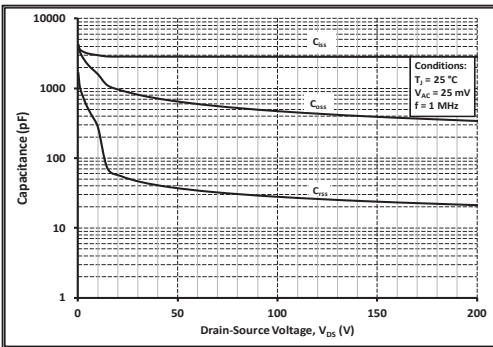


Figure 17. Capacitances vs. Drain-Source Voltage (0-200 V)

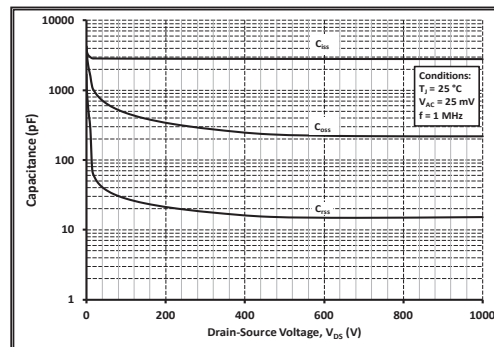


Figure 18. Capacitances vs. Drain-Source Voltage (0-1000 V)



Typical Performance

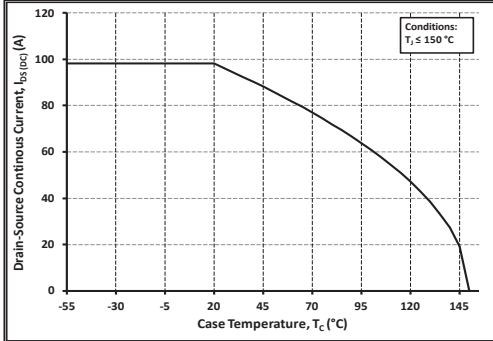


Figure 19. Continuous Drain Current Derating vs. Case Temperature

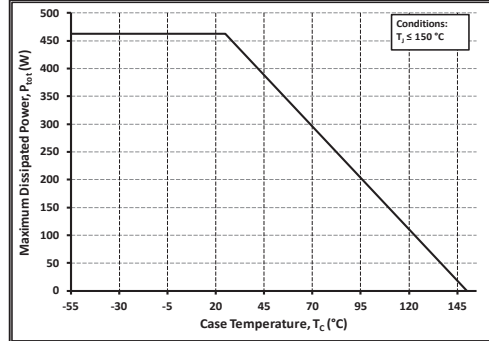


Figure 20. Maximum Power Dissipation Derating vs. Case Temperature

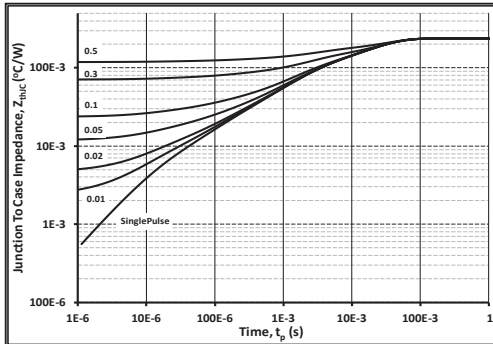


Figure 21. Transient Thermal Impedance (Junction - Case)

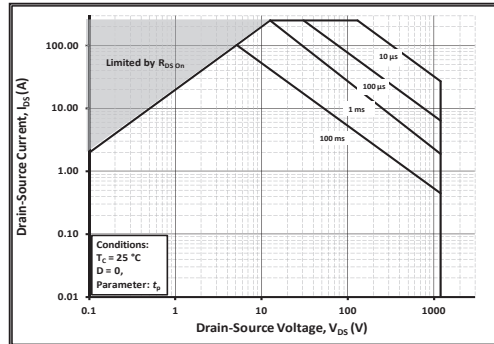


Figure 22. Safe Operating Area

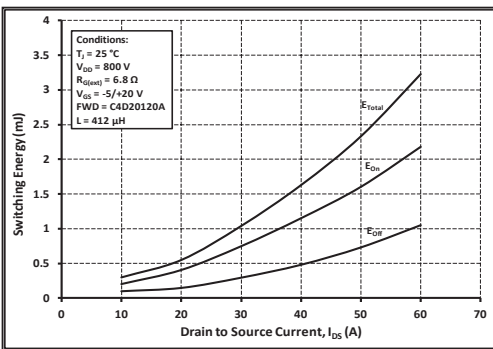


Figure 23. Clamped Inductive Switching Energy vs. Drain Current ($V_{DD} = 800V$)

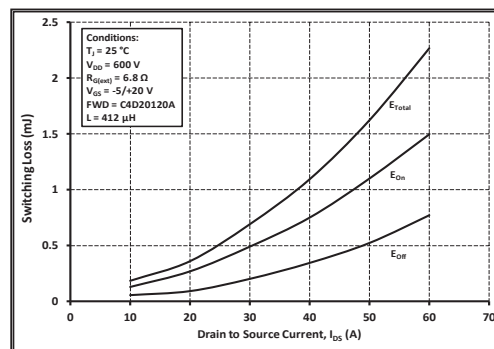


Figure 24. Clamped Inductive Switching Energy vs. Drain Current ($V_{DD} = 600V$)



Typical Performance

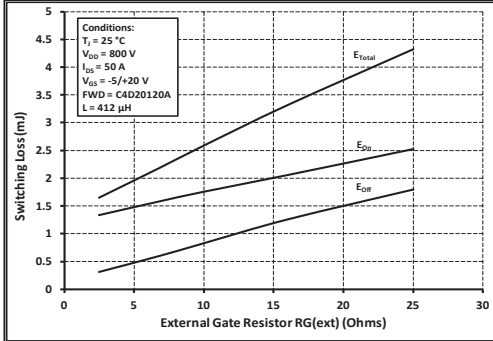


Figure 25. Clamped Inductive Switching Energy vs. $R_{G(ext)}$

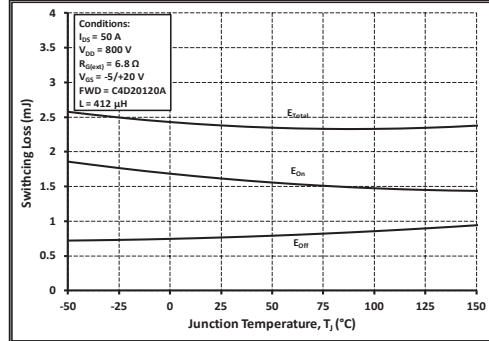


Figure 26. Clamped Inductive Switching Energy vs. Temperature

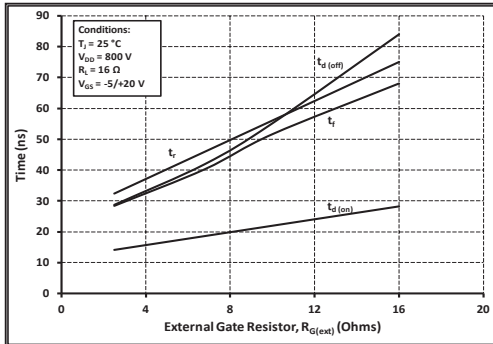


Figure 27. Switching Times vs. $R_{G(ext)}$

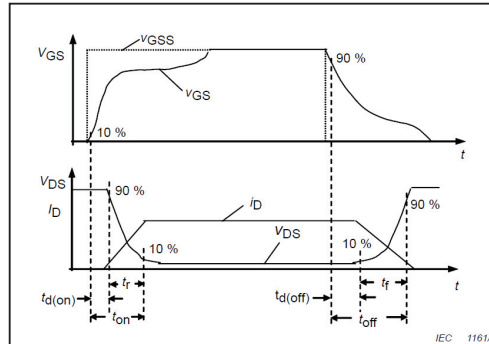


Figure 28. Switching Times Definition

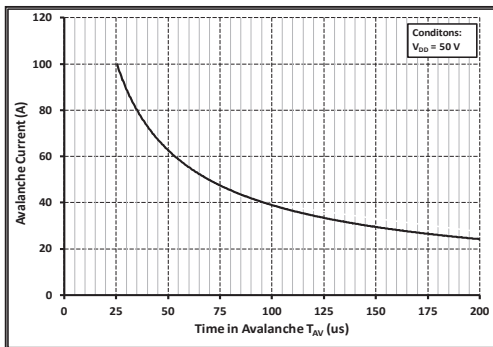


Figure 29. Single Avalanche SOA curve



Test Circuit Schematic

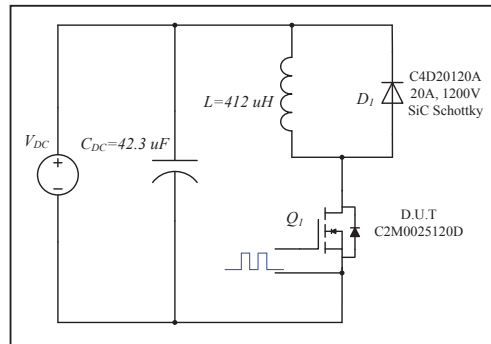


Figure 30. Clamped Inductive Switching Waveform Test Circuit

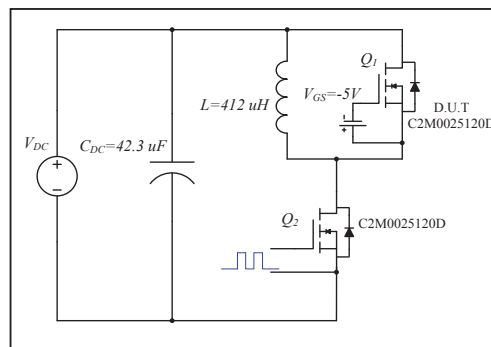


Figure 31. Body Diode Recovery Test Circuit

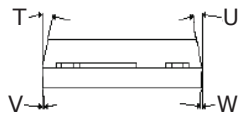
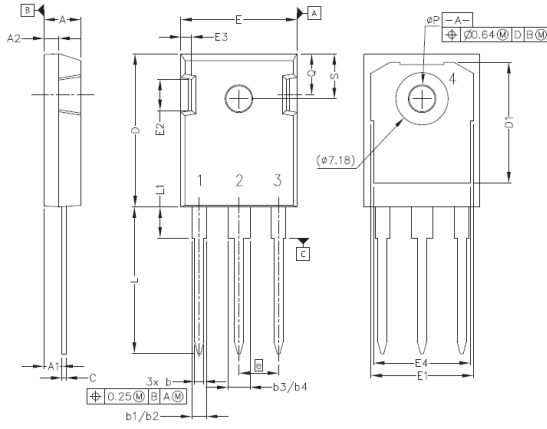
ESD Ratings

ESD Test	Total Devices Sampled	Resulting Classification
ESD-HBM	All Devices Passed 1000V	2 (>2000V)
ESD-MM	All Devices Passed 400V	C (>400V)
ESD-CDM	All Devices Passed 1000V	IV (>1000V)



Package Dimensions

Package TO-247-3

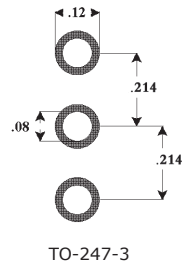


Pinout Information:

- Pin 1 = Gate
- Pin 2, 4 = Drain
- Pin 3 = Source

POS	Inches		Millimeters	
	Min	Max	Min	Max
A	.190	.205	4.83	5.21
A1	.090	.100	2.29	2.54
A2	.075	.085	1.91	2.16
b	.042	.052	1.07	1.33
b1	.075	.095	1.91	2.41
b2	.075	.085	1.91	2.16
b3	.113	.133	2.87	3.38
b4	.113	.123	2.87	3.13
c	.022	.027	0.55	0.68
D	.819	.831	20.80	21.10
D1	.640	.695	16.25	17.65
D2	.037	.049	0.95	1.25
E	.620	.635	15.75	16.13
E1	.516	.557	13.10	14.15
E2	.145	.201	3.68	5.10
E3	.039	.075	1.00	1.90
E4	.487	.529	12.38	13.43
e	.214 BSC		5.44 BSC	
N	3		3	
L	.780	.800	19.81	20.32
L1	.161	.173	4.10	4.40
ØP	.138	.144	3.51	3.65
Q	.216	.236	5.49	6.00
S	.238	.248	6.04	6.30
T	9°	11°	9°	11°
U	9°	11°	9°	11°
V	2°	8°	2°	8°
W	2°	8°	2°	8°

Recommended Solder Pad Layout



Part Number	Package	Marking
C2M0025120D	TO-247-3	C2M0025120



C2M0080120D

Silicon Carbide Power MOSFET Z-FET™ MOSFET

N-Channel Enhancement Mode

Features

- High Speed Switching with Low Capacitances
- High Blocking Voltage with Low $R_{DS(on)}$
- Easy to Parallel and Simple to Drive
- Avalanche Ruggedness
- Resistant to Latch-Up
- Halogen Free, RoHS Compliant

Benefits

- Higher System Efficiency
- Reduced Cooling Requirements
- Increased System Switching Frequency

Applications

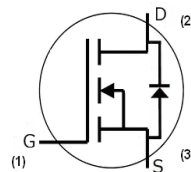
- Solar Inverters
- High Voltage DC/DC Converters
- Motor Drives
- Switch Mode Power Supplies
- UPS

V_{DS}	1200 V
$I_D @ 25^\circ\text{C}$	31.6 A
$R_{DS(on)}$	80 m Ω

Package



TO-247-3



Part Number	Package
C2M0080120D	TO-247-3

Maximum Ratings ($T_c = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Value	Unit	Test Conditions	Note
$I_{DS(DC)}$	Continuous Drain Current	31.6	A	$V_{GS}@20\text{ V}, T_C = 25^\circ\text{C}$	Fig. 16
		20		$V_{GS}@20\text{ V}, T_C = 100^\circ\text{C}$	
$I_{DS(pulse)}$	Pulsed Drain Current	80	A	Pulse width $t_p = 50\ \mu\text{s}$ duty limited by $T_{jmax}, T_C = 25^\circ\text{C}$	
V_{GS}	Gate Source Voltage	-10/+25	V		
P_{tot}	Power Dissipation	208	W	$T_c=25^\circ\text{C}$	Fig. 15
T_j, T_{stg}	Operating Junction and Storage Temperature	-55 to +150	$^\circ\text{C}$		
T_L	Solder Temperature	260	$^\circ\text{C}$	1.6mm (0.063") from case for 10s	
M_d	Mounting Torque	1	Nm lbf-in	M3 or 6-32 screw	
		8.8			


Electrical Characteristics ($T_C = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions	Note
$V_{(BR)DSS}$	Drain-Source Breakdown Voltage	1200			V	$V_{GS} = 0\text{ V}, I_D = 100\ \mu\text{A}$	
$V_{GS(th)}$	Gate Threshold Voltage	1.7	2.2		V	$V_{DS} = 10\text{ V}, I_D = 1\ \text{mA}$	Fig. 8
			3.2		V	$V_{DS} = 10\text{ V}, I_D = 10\ \text{mA}$	
		1.2	1.7		V	$V_{DS} = 10\text{ V}, I_D = 1\ \text{mA}, T_J = 150^\circ\text{C}$	
			TBD		V	$V_{DS} = 10\text{ V}, I_D = 10\ \text{mA}, T_J = 150^\circ\text{C}$	
I_{DSS}	Zero Gate Voltage Drain Current		1	100	μA	$V_{DS} = 1200\text{ V}, V_{GS} = 0\text{ V}$	
			10	250	μA	$V_{DS} = 1200\text{ V}, V_{GS} = 0\text{ V}$ $T_J = 150^\circ\text{C}$	
I_{GSS}	Gate-Source Leakage Current			0.25	μA	$V_{GS} = 20\text{ V}, V_{DS} = 0\text{ V}$	
$R_{DS(on)}$	Drain-Source On-State Resistance		80	98	$\text{m}\Omega$	$V_{GS} = 20\text{ V}, I_D = 20\ \text{A}$	Fig. 6
			150	208	$\text{m}\Omega$	$V_{GS} = 20\text{ V}, I_D = 20\ \text{A}, T_J = 150^\circ\text{C}$	
g_{fs}	Transconductance		9.8		S	$V_{DS} = 20\text{ V}, I_{DS} = 20\ \text{A}$	Fig. 4
			8.5		S	$V_{DS} = 20\text{ V}, I_{DS} = 20\ \text{A}, T_J = 150^\circ\text{C}$	
C_{iss}	Input Capacitance		950		pF	$V_{GS} = 0\text{ V}$	Fig. 13, 14
C_{oss}	Output Capacitance		80		pF	$V_{DS} = 1000\text{ V}$	
C_{rss}	Reverse Transfer Capacitance		6.5		pF	$f = 1\ \text{MHz}$	
E_{oss}	C_{oss} Stored Energy		40		μJ	$V_{AC} = 25\ \text{mV}$	Fig. 12
$t_{d(on)jv}$	Turn-On Delay Time		12.0		ns	$V_{DD} = 800\text{ V}, V_{GS} = 0/20\text{ V}$ $I_D = 20\ \text{A}$ $R_{G(ext)} = 0\ \Omega, R_L = 40\ \Omega$ Timing relative to V_{DS}	Fig. 20
t_{fv}	Fall Time		18.4		ns		
$t_{d(off)jv}$	Turn-Off Delay Time		23.2		ns		
t_{rv}	Rise Time		13.6		ns		
R_G	Internal Gate Resistance		4.6		Ω	$f = 1\ \text{MHz}, V_{AC} = 25\ \text{mV}$	

Built-in SiC Body Diode Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
V_{SD}	Diode Forward Voltage	3.3		V	$V_{GS} = -5\text{ V}, I_F = 10\ \text{A}, T_J = 25^\circ\text{C}$	
		3.1		V	$V_{GS} = -2\text{ V}, I_F = 10\ \text{A}, T_J = 25^\circ\text{C}$	
t_{rr}	Reverse Recovery Time	40		ns	$V_{GS} = -5\text{ V}, I_F = 20\ \text{A}, T_J = 25^\circ\text{C}$	
Q_{rr}	Reverse Recovery Charge	165		nC	$V_R = 800\text{ V}$	
I_{rrm}	Peak Reverse Recovery Current	6.4		A	$di_F/dt = 350\ \text{A}/\mu\text{s}$	

Thermal Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
$R_{\theta JC}$	Thermal Resistance from Junction to Case	0.60	0.65			Fig. 17
$R_{\theta CS}$	Case to Sink, w/ Thermal Compound	TBD		K/W		
$R_{\theta JA}$	Thermal Resistance From Junction to Ambient		40	K/W		

Gate Charge Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
Q_{gs}	Gate to Source Charge	10.8		nC	$V_{DS} = 800\text{ V}, V_{GS} = 0/20\text{ V}$ $I_D = 20\ \text{A}$ Per JEDEC24 pg 27	Fig. 28
Q_{gd}	Gate to Drain Charge	18.0				
Q_g	Gate Charge Total	49.2				



Typical Performance

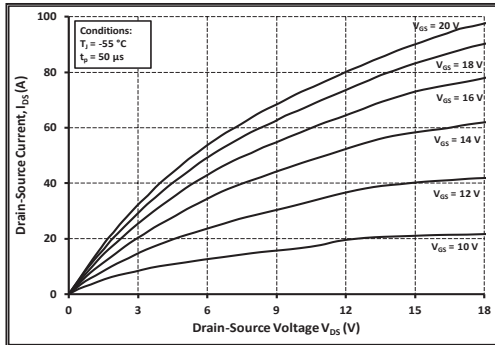


Figure 1. Typical Output Characteristics $T_j = -55\text{ }^\circ\text{C}$

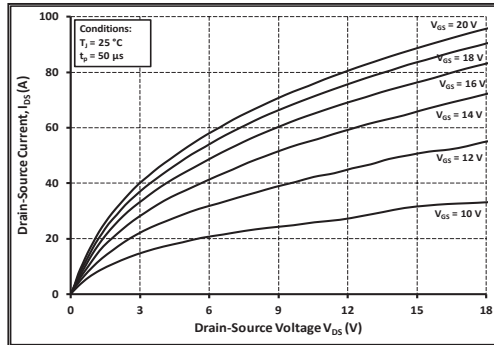


Figure 2. Typical Output Characteristics $T_j = 25\text{ }^\circ\text{C}$

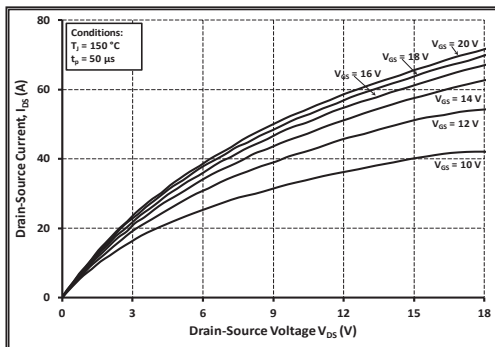


Figure 3. Typical Output Characteristics $T_j = 150\text{ }^\circ\text{C}$

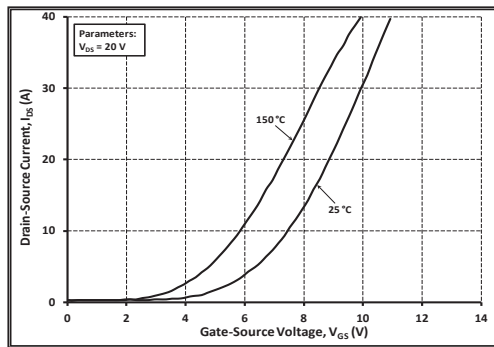


Figure 4. Typical Transfer Characteristics

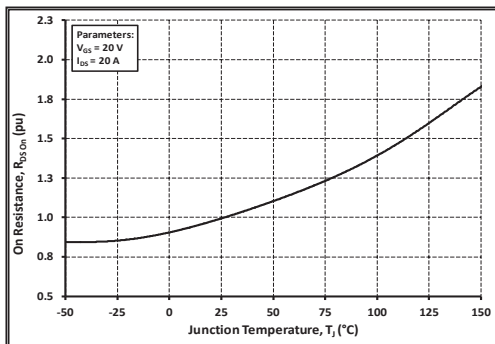


Figure 5. Normalized On-Resistance vs. Temperature

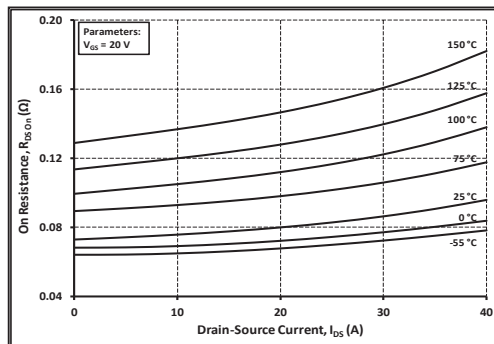


Figure 6. On-Resistance vs. Drain Current



Typical Performance

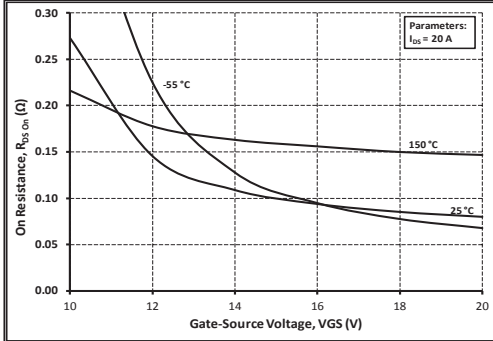


Figure 7. On-Resistance vs. Gate Voltage

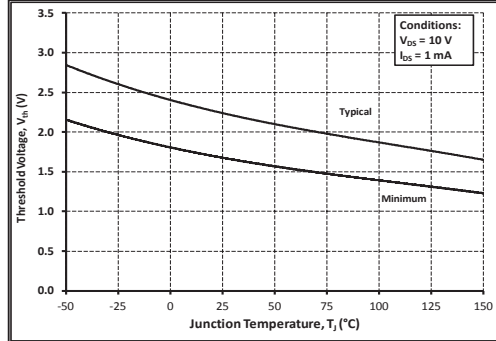


Figure 8. Typical and Minimum Threshold Voltage vs. Temperature

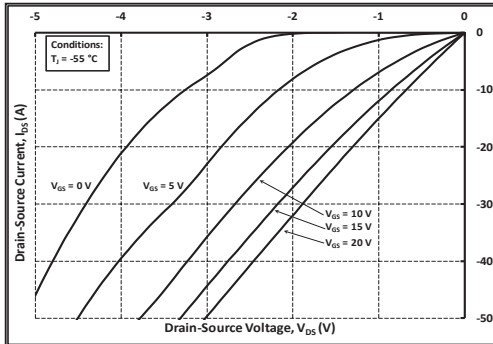


Figure 9. Typical 3rd Quadrant Characteristics
 $T_J = -55\text{ °C}$

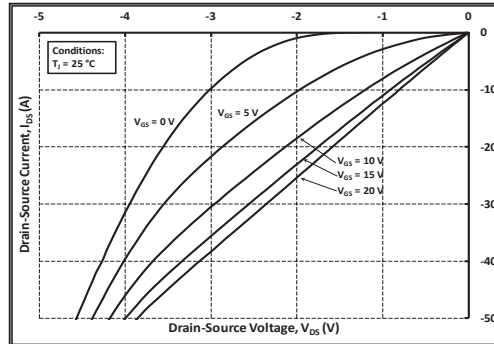


Figure 10. Typical 3rd Quadrant Characteristics
 $T_J = 25\text{ °C}$

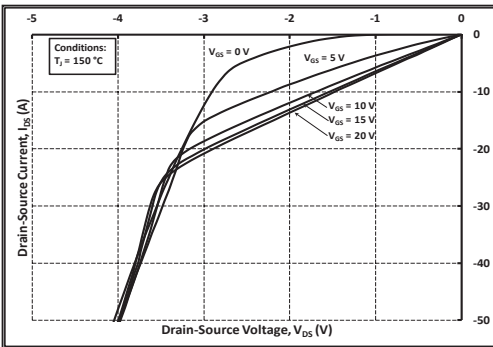


Figure 11. Typical 3rd Quadrant Characteristics
 $T_J = 150\text{ °C}$

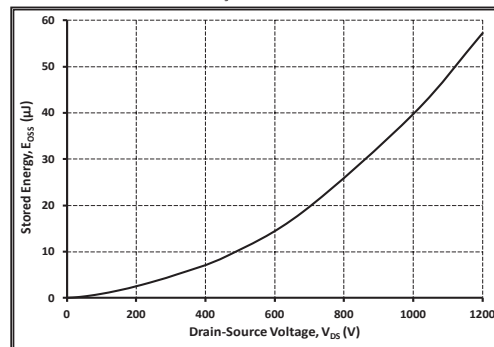


Figure 12. Typical transfer Characteristics



Typical Performance

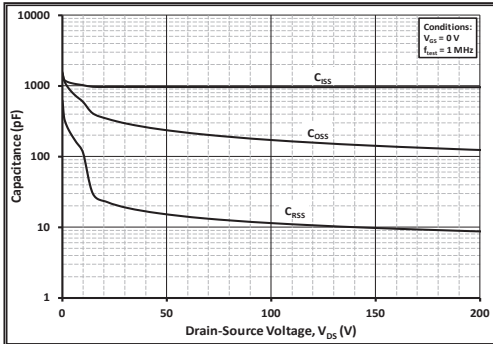


Figure 13. Typical Typical Capacitances vs. Drain-Source Voltage (0 - 200V)

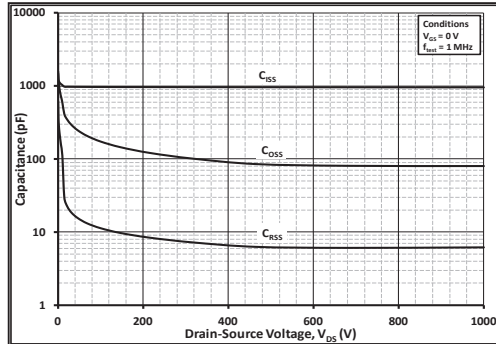


Figure 14. Typical Typical Capacitances vs. Drain-Source Voltage (0 - 1000V)

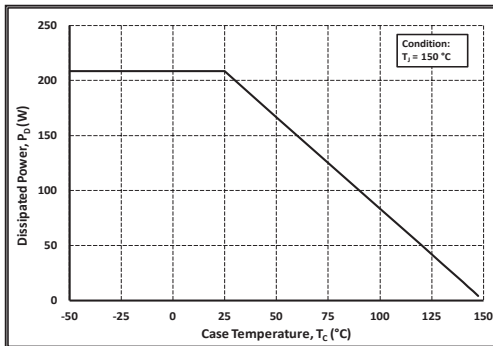


Figure 15. Power Dissipation Derating Curve

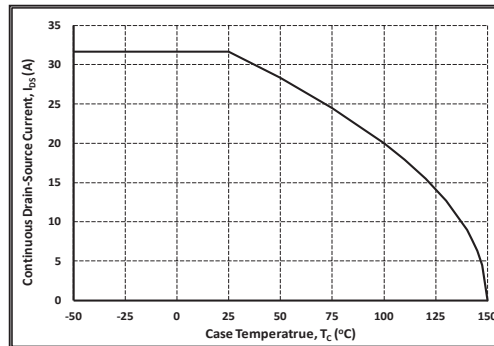


Figure 16. Continuous Current Derating Curve

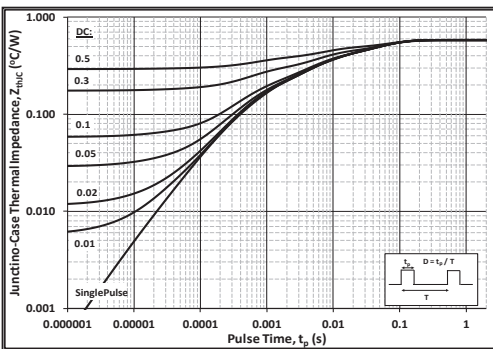


Figure 17. Typical Transient Thermal Impedance (Junction - Case) with Duty Cycle

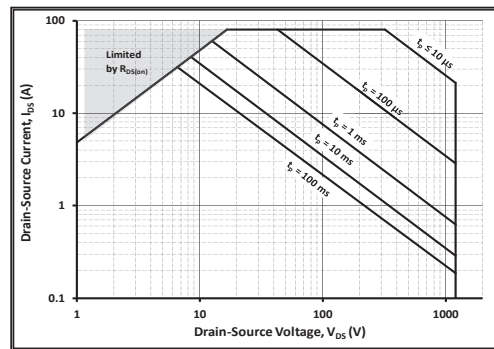


Figure 18. Safe Operating Area



Typical Performance

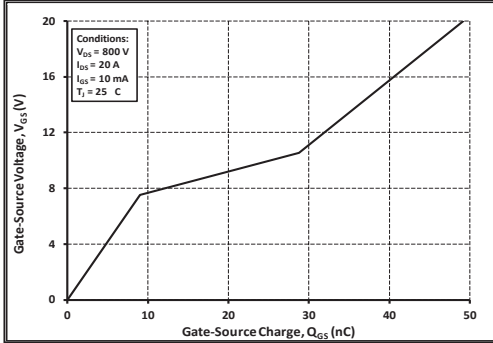


Figure 19. Typical Gate Characteristic 25 °C

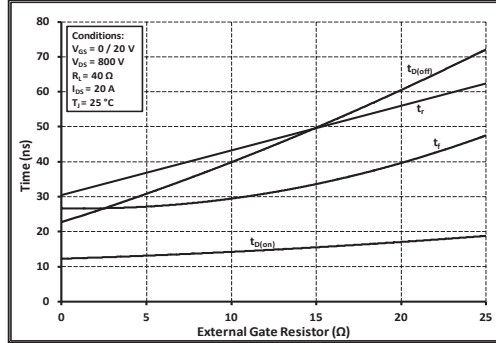


Figure 20. Resistive Switching Times vs. R_G

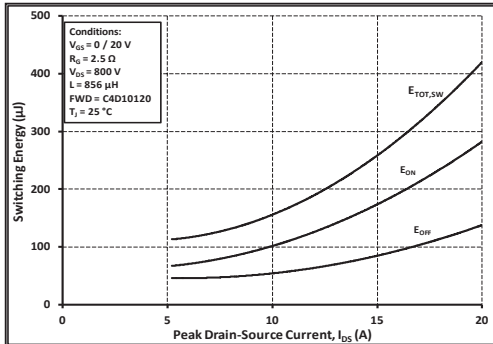


Figure 21. Clamped Inductive Switching Energy vs. Drain Current (Fig. 24)

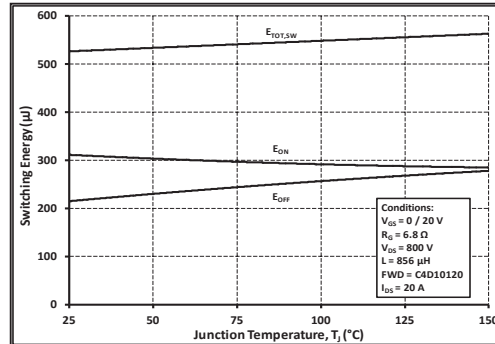


Figure 22. Clamped Inductive Switching Energy vs. Junction Temperature (Fig. 24)



Clamped Inductive Switch Testing Fixture and Waveforms

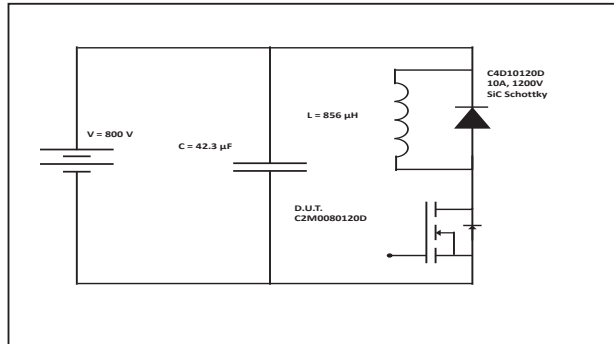


Figure 23. Clamped Inductive Switching Waveform Test Circuit

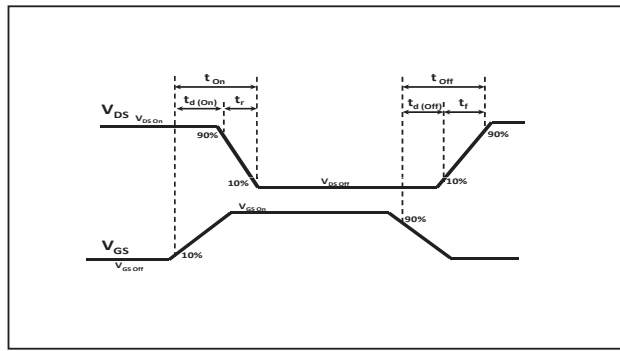


Figure 24. Switching Test Waveforms for Transition Times

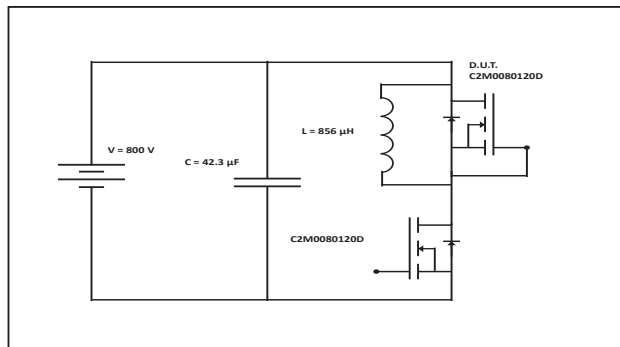


Figure 25. Body Diode Recovery Test Circuit



Test Circuit Diagrams and Waveforms

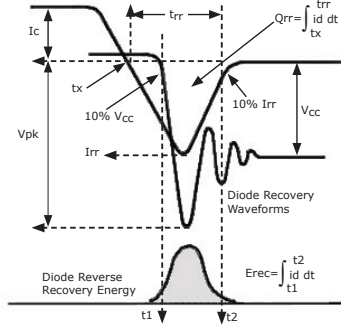


Figure 26. Body Diode Recovery Waveform

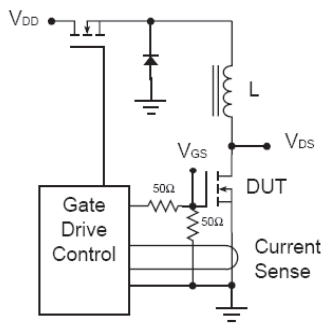


Figure 27. Unclamped Inductive Switching Test Circuit

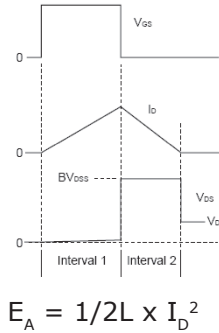


Figure 28. Unclamped Inductive Switching waveform for Avalanche Energy

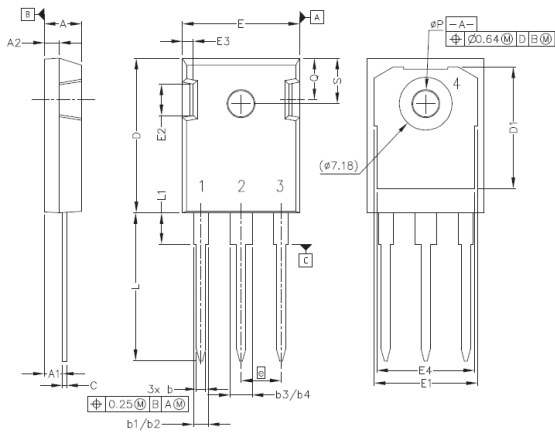
ESD Ratings

ESD Test	Total Devices Sampled	Resulting Classification
ESD-HBM	All Devices Passed 1000V	2 (>2000V)
ESD-MM	All Devices Passed 400V	C (>400V)
ESD-CDM	All Devices Passed 1000V	IV (>1000V)

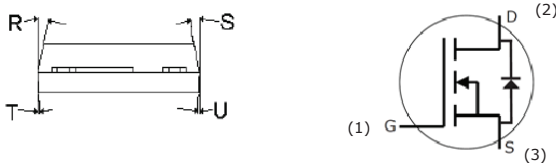


Package Dimensions

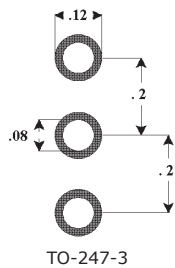
Package TO-247-3



POS	Inches		Millimeters	
	Min	Max	Min	Max
A	.190	.205	4.83	5.21
A1	.090	.100	2.29	2.54
A2	.075	.085	1.91	2.16
b	.042	.052	1.07	1.33
b1	.075	.095	1.91	2.41
b2	.075	.085	1.91	2.16
b3	.113	.133	2.87	3.38
b4	.113	.123	2.87	3.13
c	.022	.027	0.55	0.68
D	.819	.831	20.80	21.10
D1	.640	.695	16.25	17.65
D2	.037	.049	0.95	1.25
E	.620	.635	15.75	16.13
E1	.516	.557	13.10	14.15
E2	.145	.201	3.68	5.10
E3	.039	.075	1.00	1.90
E4	.487	.529	12.38	13.43
e	.214 BSC		5.44 BSC	
N	3		3	
L	.780	.800	19.81	20.32
L1	.161	.173	4.10	4.40
ØP	.138	.144	3.51	3.65
Q	.216	.236	5.49	6.00
S	.238	.248	6.04	6.30



Recommended Solder Pad Layout



Part Number	Package	Marking
C2M0080120D	TO-247-3	C2M0080120

This product has not been designed or tested for use in, and is not intended for use in, applications implanted into the human body nor in applications in which failure of the product could lead to death, personal injury or property damage, including but not limited to equipment used in the operation of nuclear facilities, life-support machines, cardiac defibrillators or similar emergency medical equipment, aircraft navigation or communication or control systems, air traffic control systems, or weapons systems.

Copyright © 2013 Cree, Inc. All rights reserved. The information in this document is subject to change without notice. Cree and the Cree logo are registered trademarks and Z-REC and Z-FET are trademarks of Cree, Inc.

Cree, Inc.
4600 Silicon Drive
Durham, NC 27703
USA Tel: +1.919.313.5300
Fax: +1.919.313.5451
www.cree.com/power

Appendix B

Matlab algorithm for Miller plateau extraction

```

%%Méthode d'extraction par tube (mai 2017)
%%extraction du plateau de Miller
%%Malorie Hologne & Amine Belaziz (Stage M2)

%% Entête
clearvars; clear all ; close all; clc;
fprintf('\nDétection du plateau de miller par nombre de points\n\n');

%% Constantes
Largeur_tube=300; % Longueur de départ
Epsilon=0.7; % Largeur optimale
Coupe_H=8; % Coupe haute de la courbe Vgs
Coupe_B=3; % Coupe bas de la courbe Vgs
Nombre_fichier=30; % Nombre de fichiers à traiter

%% Lecture fichier de données
for lec=1:Nombre_fichier
filename=sprintf('HC%d.csv',lec); % Création du nom du fichier
num=csvread(filename,6,3); % Lecture du fichier csv
t_1=num(:,1); % T1 prend toute la première colonne du fichier num
Vgs=num(:,2); % Vgs fichier de base non manipulé
Vgs_1=num(:,2); % Vgs_1 prends toute la deuxième colonne du fichier
t_1=t_1*1e9; % Mise en ns
Dt= t_1(2)-t_1(1); % Calcul delta t= pas d'incrémentatation dans le temps ici 100ps

%% Filtrage
Vgs_1 = Debruiteur (Vgs,3,'sym8'); % Fonction debruiteur de Guy Clerc, ondelettes

%% Coupe de la courbe
P=find(Vgs_1>Coupe_B); P_bas=P(1); % Recherche du points ou Vgs > Coupe_B
P=find(Vgs_1>Coupe_H); P_haut=P(1); % Recherche du points ou Vgs > Coupe_H
Vgs_2=Vgs_1(P_bas:P_haut); % Découpe de Vgs sur l'axe des tensions
t_2=t_1(P_bas:P_haut); % Découpe de Vgs sur l'axe du temps

%% Balayage tube horizontal
Nb_Points=length(t_2); % Nombre de points de la courbe découpée

for j=1:Nb_Points % Loop de balayage de toutes les valeurs de la courbe découpée
Compteur=0; % Initialisation compteur de points contenue dans le tube
v_milieu=Vgs_2(j); % La valeur Vgs(j) comme point milieu de largeur du tube
t_milieu=j; % Prise du point j comme points milieu de longueur du tube
t_gauche=t_milieu-Largeur_tube/2; % Extrémité gauche du tube
if t_gauche<=0 % Assuré que le tube ne prend pas des valeurs inexistante
t_gauche=1;
end
t_droite=t_milieu+Largeur_tube/2; % Extrémité droite du tube
if t_droite>Nb_Points ;
t_droite=Nb_Points ;
end
v_haut=v_milieu+Epsilon/2; % Borne haute du tube
v_bas=v_milieu-Epsilon/2; % Borne basse du tube

for i=t_gauche:t_droite % Loop balayant toutes les valeurs de temps contenues dans le
tube
if (Vgs_2(i)>v_bas && Vgs_2(i)<v_haut) % Comptage du nombre de points
contenue dans le tube
Compteur=Compteur+1; % Les points doivent être compris
dans les bornes haute et basse
tableCompt(j,:)=Compteur; % Stockage du compteur dans un
tableau longueur de Nb_Points
end
end
end
end

```

```

% Recherche du maximum
maxvalue=max(tableCompt); % Recherche du nombre maximum de points contenus
dans le tube
P=find(tableCompt==maxvalue); % Sauvegarde de l'ensemble des points ou la
valeur maximale est atteinte
P=ceil(mean(P)); % Calcule de la moyenne et arrondi au supérieur
de tous les points maximum pour trouver le point milieu du plateau

%% Découpe autour du maximum
v_milieu=Vgs_2(P); % Définition du milieu du tube
v_haut=v_milieu+Epsilon/2; % Définition du haut du tube
v_bas=v_milieu-Epsilon/2; % Définition du bas du tube
t_milieu=P; % Définitions du milieu du tube
t_gauche=P-Largeur_tube/2; % Borne gauche à partir du milieu du plateau
t_droite=P+Largeur_tube/2; % Borne droite à partir du milieu du plateau
Vgs_3=Vgs_2(t_gauche:t_droite); % Découpe de Vgs sur l'axe verticale
t_3=t_2(t_gauche:t_droite); % Découpe de Vgs sur l'axe horizontale

%% Augmentation des points en longueur droite
Compare=1;
etat=0;
while (etat<1) % Loop de balayage de toutes les valeurs de la courbe découpée
    Compteur=0; % Initialisation compteur de points contenue dans le tube
    for i=t_gauche:t_droite % Loop balayant toutes les
valeurs de temps contenu dans le tube
        if (Vgs_2(i)>=v_bas && Vgs_2(i)<=v_haut) % Comptage du nombre de points
contenus dans le tube
            Compteur=Compteur+1; % Les points doivent être compris
dans les bornes haute et basse
        end
    end
    if (Compare==Compteur) % Vérification de l'égalité pour comparaison avant
après balayage
        etat=1; % Changement de l'état si en effet la valeur de pts précédent est
la même et arrêt de while
    end
    if (etat<1) % Initialisation à la valeur du compteur si l'état est toujours à 0
        Compare=Compteur;
    end
    t_droite=t_droite+1; % Incrémentation de la largeur du tube du côté droit
end

%% Augmentation des points en longueur gauche
Compare=1;
etat=0;
while (etat<1) % Loop de balayage de toutes les valeurs de la courbe découpée
    Compteur=0; % Initialisation compteur de points contenus dans le tube
    for i=t_gauche:t_droite % Loop balayant toutes les valeurs de temps contenu
dans le tube
        if (Vgs_2(i)>=v_bas && Vgs_2(i)<=v_haut) % Comptage du nombre de points
contenus dans le tube
            Compteur=Compteur+1; % Les points doivent être compris dans les bornes
haute et basse
        end
    end
    if (Compare==Compteur) % Vérifications de l'égalité pour comparaison avant
après balayage
        etat=1; % Changement de l'état si en effet la valeur de pts précédent est
la même et arrêt de while
    end
    if (etat<1) % Initialisation à la valeur du compteur si l'état est toujours à 0
        Compare=Compteur;
    end
    t_gauche=t_gauche-1; % Incrémentation de la largeur du tube du côté gauche
end
t_3=t_2(t_gauche:t_droite);
Vgs_3=Vgs_2(t_gauche:t_droite); % Découpe de Vgs sur l'axe verticale

```


Appendix C

Labview interface for accelerated tests

The interface was developed by Pascal Bevilacqua (development engineer).

C.1 TSEP calibration

LabVIEW interface allows to choose the DUT temperature before a transconductance measurement as pictured in Fig. C.1. On this interface, a PID controller of the hot plate is adjustable. Values have been optimized to reduce overshoot (2 % maximum). This optimization leads to a long rise time too. We have used this configuration because the adiabatic environment makes a cooling phase difficult if the overshoot is too high. A slow rise in temperature is preferable to avoid thermal shock during calibration and degrades prematurely the module.

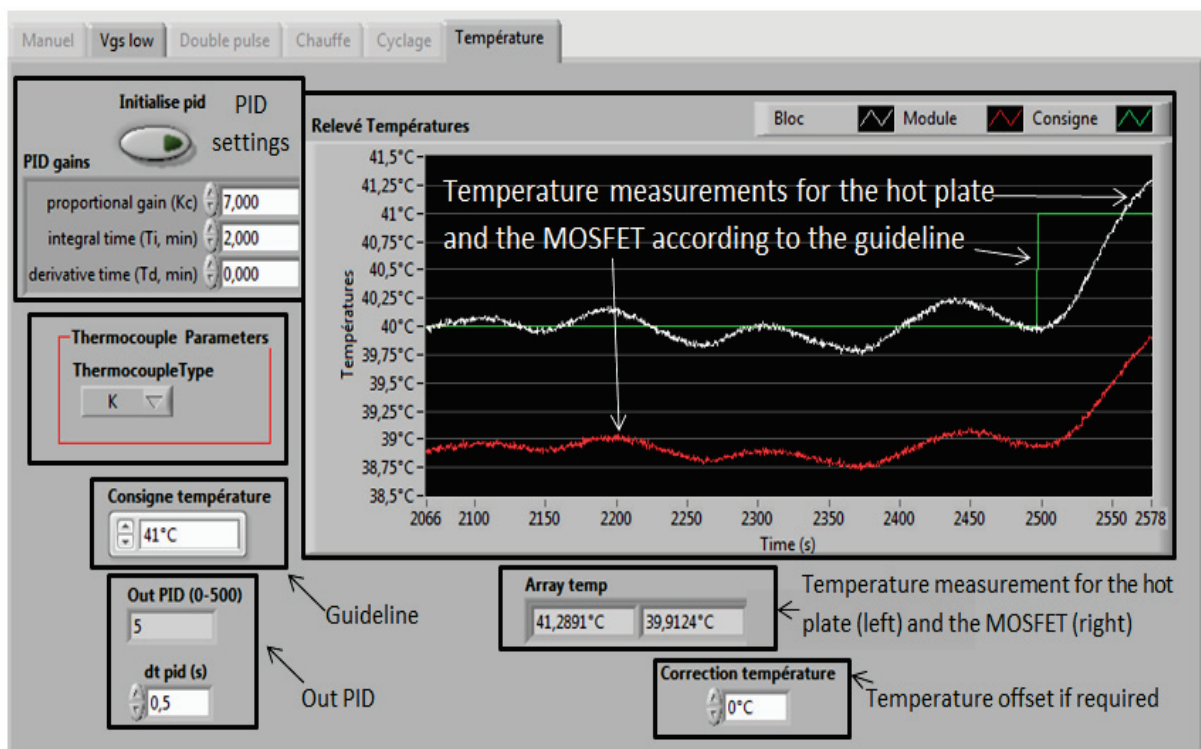


Figure C.1 – LabVIEW interface for hot plate temperature regulation

The interface allows imposing a guideline for thermal plate temperature (green line), a mea-

surement of the thermal plate temperature (white line) and a measurement of the DUT top metalization temperature (red line). To measure the transconductance, we have to wait the stabilization of the two temperature measurements when the hot plate has reached the target. A gap will persist between the hot plate and the DUT top metalization temperature. It is due to the thermal resistance of the whole module. In the recordings, we will keep the DUT top metallization temperature value.

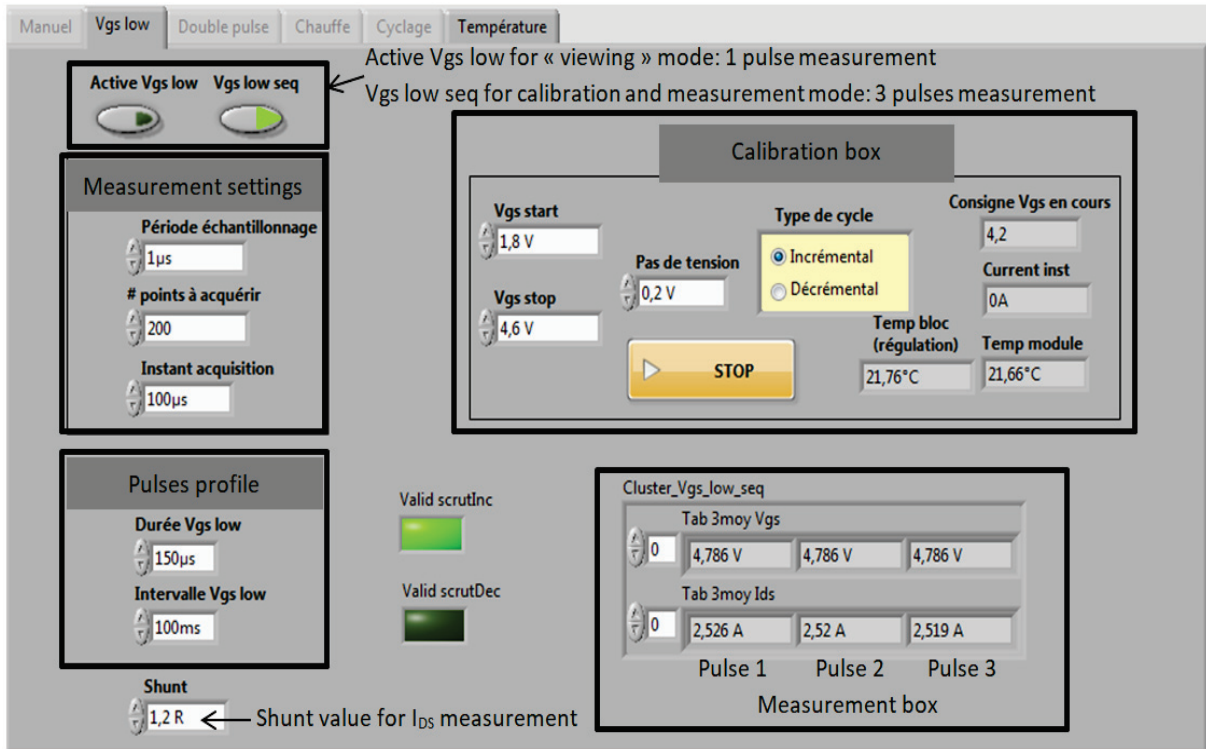


Figure C.2 – LabVIEW interface for transconductance recording

To launch a transconductance acquisition, we have to open another tab. This tab has three modes: calibration, curve viewing and measurement. The tab in calibration mode is pictured in Fig. C.2. In this interface, we can adjust the time of acquisition and the number of points in the “Measurement settings” box. We can also adjust the duration of a Gate voltage pulse and the gap between each measurement pulse in the ‘Pulses profile’ box. The measurement of the three pulses are recaped in the “Measurement box”.

The following part explains the parameters measurement with the LabVIEW routine. Fig. C.3 precises the timeline with the succession of cycling and characterization phases. The occurrence of measurement are placed in the timeline.

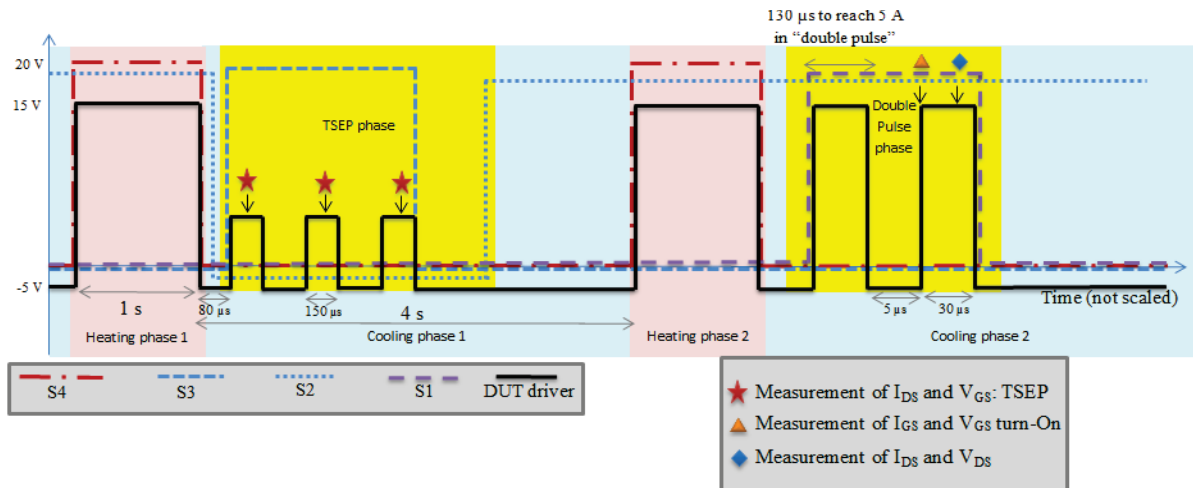


Figure C.3 – Driver signals and electrical parameters measurement

C.2 Double-pulse phase with LabVIEW

This phase is handled through the tab of the LabVIEW interface pictured in Fig. C.4. The interface pictured in Fig. C.4 allows also to adjust the profile of double pulse characterization: time of inductance loading, interval time and time of the second pulse. Another time is adjustable at the top left of the interface. It is called dead-time before measurement. It is here to adjust the measurement occurrence to be sure that the Drain current is stabilized. Before each cycling, transient evolution of Drain current is checked to define this time and obtain the more reliable Drain current information. The black framed box at the bottom left is also dedicated to Drain current measurement. It is the box dedicated to the parameters of the LEM current sensor used for measuring Drain current during the double pulse phase. This LEM sensor is in the power circuit unlike the precision shunt (for Drain current during TSEP phase). The LEM is designed as to support the maximum value of cycling current which is 90 A.

C.3 Cycling profile

To choose a self-heating current, the tab “Chauffe” of the LabVIEW interface has to be completed, as shown in Fig. C.5. The stress current is chosen and a compatible voltage as to be given. If the level of voltage is too low, the current will not be imposed to the DUT during cycling. We have to take care at the beginning of the cycling, of the potential rise of the system resistance. The tab controls the current of the power supply and is able to switch it On or Off.



Figure C.4 – Temperature map obtained thanks to TSEP

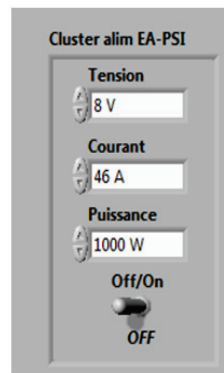


Figure C.5 – Heating cluster for the choice of self-heating current

C.4 Cycling process

Fig. C.6 pictures the cycling interface. On this tab, we can find a recap of the previous parameters, concerning the TSEP phase, the double-pulse phase or again the current profile for self-heating. Under this recap box, we can find a box dedicated to the cycling configuration. The duration of heating and cooling phases are adjustable. We can also choose the occurrence frequency of the measurements. It has to be kept in mind that the parameters extracted from the TSEP phase are recorded on odd cycles and ones from the double-pulse phase are recorded during even cycles. In this way, phases are always distinguished. The TSEP measurement occurrence is adjustable and the double-pulse parameters are automatically recorded a cycle

after the TSEP one. This tab also controls the launching of cycling, with the central button. Before launching a cycling the name of the DUT has to be indicated to ease the post-treatment. Indeed, the files which have been created contains the name of the DUT allowing an automatic treatment of data, according to their origin. Finally, when the cycling runs, the right part of the tab shows the number of cycles in progress and if we are in a heating or in a cooling phase.

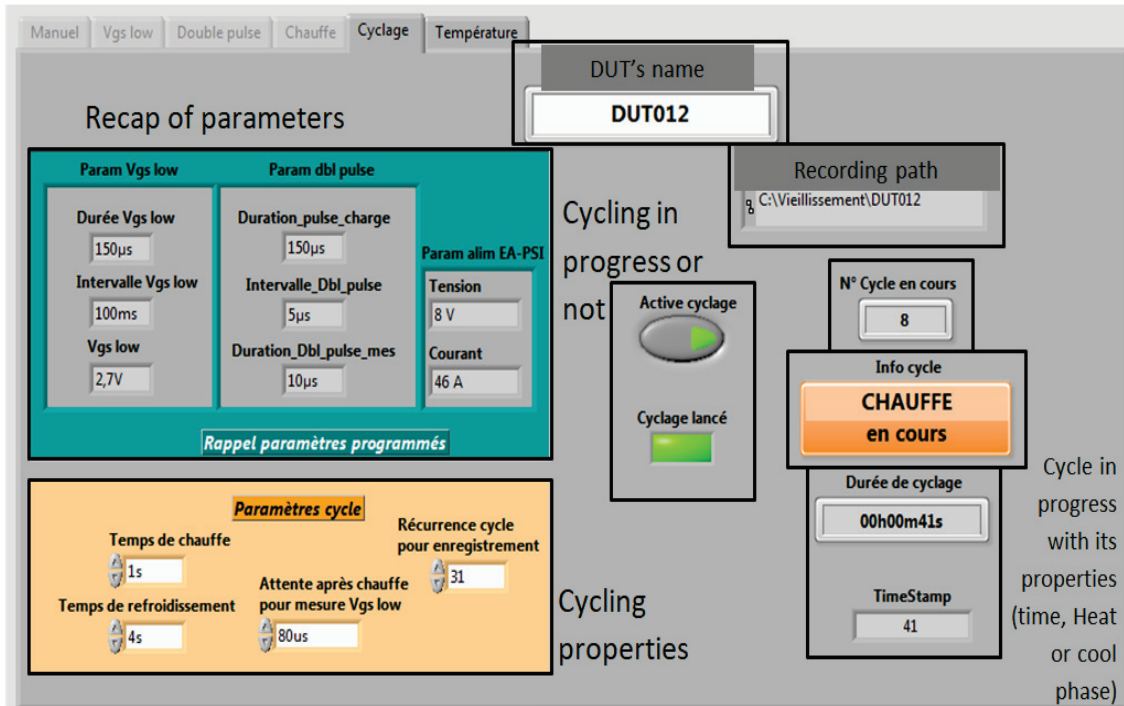


Figure C.6 – Cycling interface of LabVIEW

During the cycling, files described in chapter 2 are automatically registered in the indicated folder (thanks to the recording path). The denomination of the file is standardized to allow an automatic treatment of data. The first file concerns the TSEP phase and was called Vgslow in chapter 2. When a cycling is launched, two files are created:

- “DUT011_Vgslow_TOUT_29_11_2017_09h35”
- “DUT011_Dpulse_TOUT_29_11_2017_09h35”

The three numbers after “DUT” allow to enter the DUT reference and the 6 characters place just after the underscore allows to write if it is TSEP phase (Vgslow) or double-pulse phase (Dpulse). At the end, the day and the time are recorded, it represents the initial time of the accelerated test. These files are completed during all module lifespan according to the choice of measurement occurrence frequency. Date and hour never change in the file name. Time is incremented in a specific column of these files. A third type of file is created at every measurement occurrence in double-pulse phase: The Gate voltage and current waveform during the DUT turn On. This type of file is called “Miller” and its name is “DUT011_Miller_00000030_29_11_2017_09h37”. The two first arguments are the same as the previous ones (DUT number and type of file). After that, we have an argument of 8 characters which is incremented along the module lifespan and corresponds to the cycle of the recording. Dates and hours are also incremented and correspond to the moment of acquisition.

Bibliography

- [1] *Telecontrol equipment and systems*. Geneva: IEC, 1990. [Online]. Available: <https://cds.cern.ch/record/502649>
- [2] “Unclamped inductive switching (UIS) test and rating methodology,” RENESAS, Tech. Rep., 2015.
- [3] “IEEE Standard Framework for Prognostics and Health Management of Electronic Systems,” *IEEE Std 1856-2017*, pp. 1–31, Dec 2017.
- [4] A. Ammous, B. Allard, and H. Morel, “Transient temperature measurements and modeling of IGBT’s under short circuit,” *IEEE Transactions on Power Electronics*, vol. 13, no. 1, pp. 12–25, Jan 1998.
- [5] J. M. Anderson and R. W. Cox, “On-line condition monitoring for MOSFET and IGBT switches in digitally controlled drives,” in *2011 IEEE Energy Conversion Congress and Exposition*, Phoenix, AZ, USA, Sept 2011, pp. 3920–3927.
- [6] O. Avino-Salvado, C. Cheng, C. Buttay, H. Morel, D. Labrousse, S. Lefebvre, and M. Ali, “SiC MOSFETs robustness for diode-less applications,” *EPE Journal*, pp. 1–8, 2018. [Online]. Available: <https://doi.org/10.1080/09398368.2018.1456836>
- [7] C. Bailey, H. Lu, and T. Tilford, “Predicting the reliability of power electronic modules,” in *8th International Conference on Electronic Packaging Technology (ICEPT)*, Shanghai, China, Aug 2007.
- [8] N. Baker, L. Dupont, S. Munk-Nielsen, F. Iannuzzo, and M. Liserre, “IR camera validation of IGBT junction temperature measurement via peak gate current,” *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 3099–3111, April 2017.
- [9] F. Barruel, “Analyse et conception des systemes électriques embarqués. Application aux réseaux de bord d’avion,” Ph.D. dissertation, Université Joseph Fourier, Grenoble, 2005.
- [10] S. Beczkowski, P. Ghimre, A. R. de Vega, S. Munk-Nielsen, B. Rannestad, and P. Thogersen, “Online Vce measurement method for wear-out monitoring of high power IGBT modules,” in *15th European Conference on Power Electronics and Applications (EPE)*, Lille, France, Sept 2013.
- [11] H. Ben Aissia, J. Jay, R. Knikker, and S. Xin, “Modèle thermique réduit appliqué a une carte d’électronique de puissance.” Société française de thermique, May 2017.
- [12] O. Berry, “Contribution à l’étude d’un onduleur haute température à base de JFET en carbure de silicium,” Ph.D. dissertation, Université de Lorraine, 2012.

- [13] M. Berthou, P. Godignon, and J. Millan, "Monolithically integrated temperature sensor in silicon carbide power MOSFETs," *IEEE Transactions on Power Electronics*, vol. 29, no. 9, pp. 4970–4977, Sept 2014.
- [14] J. Bi, T. Zhang, and B. Allard, "The synergetic effects of high temperature gate bias and total ionization dose on 1.2 kv sic devices," in *ESREF*, 2018.
- [15] B. E. B. Bidouche, Y. Avenas, M. Essakili, and L. Dupont, "Thermal characterization of an IGBT power module with on-die temperature sensors," in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, USA, March 2017, pp. 2317–2322.
- [16] G. Bower, P. Rogan, J. Kozlowski, and M. Zugger, "SiC power electronics packaging prognostics," in *IEEE Aerospace Conference*, Big Sky, MT, USA, March 2008.
- [17] C. Buttay, "Contribution to the design of power electronics: application to the low-voltage inverter," Theses, INSA de Lyon, Nov. 2004. [Online]. Available: <https://tel.archives-ouvertes.fr/tel-00327164>
- [18] C. S. Carlson, *The Philosophy and Guiding Principles for Effective FMEAs*. John Wiley & Sons, Inc., 2012, pp. 12–20. [Online]. Available: <http://dx.doi.org/10.1002/9781118312575.ch2>
- [19] A. Castellazzi, A. Fayyaz, L. Yang, M. Riccio, and A. Irace, "Short-circuit robustness of SiC power MOSFETs: Experimental analysis," in *IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, Waikoloa, HI, USA, June 2014, pp. 71–74.
- [20] H. Chen, B. Ji, V. Pickert, and W. Cao, "Real-time temperature estimation for power MOSFETs considering thermal aging effects," *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 1, pp. 220–228, March 2014.
- [21] L. Chen, Z. Lai, Z. Cheng, and J. Liu, "Reliability investigations for encapsulated isotropic conductive adhesives flip chip interconnection," in *Proceeding of the Sixth IEEE CPMT Conference on High Density Microsystem Design and Packaging and Component Failure Analysis*, Shanghai, China, June 2004, pp. 134–140.
- [22] Y. Chen, M. Chen, W. Lai, L. Ran, S. Xu, N. Jiang, O. Alatise, and P. Mawby, "Study on the effects of small swing of junction temperature cycles on solder layer in an IGBT module," in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Heifei, China, May 2016, pp. 3236–3240.
- [23] Z. Chen, Y. Yao, M. Danilovic, and D. Boroyevich, "Performance evaluation of SiC power MOSFETs for high-temperature applications," in *15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, vol. 8, Novi Sad, Serbia, Sept 2012, pp. 1–9.
- [24] Z. Chen, Y. Yao, D. Boroyevich, K. D. T. Ngo, P. Mattavelli, and K. Rajashekara, "A 1200-V, 60-A SiC MOSFET multichip phase-leg module for high-temperature, high-frequency applications," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2307–2320, May 2014.
- [25] Y.-C. Chiang, F.-M. Hsu, Y.-F. Su, and K.-N. Chiang, "Thermal analysis and reliability assessment of power module under power cycling test using global- local finite element

- method,” in *9th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, Taipei, Taiwan, Oct 2014, pp. 335–338.
- [26] U. M. Choi, F. Blaabjerg, and S. Jorgensen, “Power cycling test methods for reliability assessment of power device modules in respect to temperature stress,” *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2531–2551, March 2018.
- [27] M. Ciappa, F. Carbognani, and W. Fichtner, “Lifetime prediction and design of reliability tests for high-power devices in automotive applications,” *IEEE Transactions on Device and Materials Reliability*, vol. 3, no. 4, pp. 191–196, Dec 2003.
- [28] M. Dbeiss, Y. Avenas, and L. Dupont, “In-situ condition monitoring system to study the ageing of power semiconductor devices in photovoltaic inverters,” in *10th International Conference on Integrated Power Electronics Systems*, Stuttgart, Germany, 2018.
- [29] M. Denk and M. M. Bakran, “An igbt driver concept with integrated real-time junction temperature measurement,” in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, May 2014, pp. 1–8.
- [30] M. Denk, M. M. Bakran, and S. Schafferhans, “Case sensitive condition monitoring of an IGBT inverter in a hybrid car,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, Nuremberg, Germany, March 2016, pp. 1–6.
- [31] L. Dupont, Z. Khatir, S. Lefebvre, and S. Bontemps, “Effects of metallization thickness of ceramic substrates on the reliability of power assemblies under high temperature cycling,” *Microelectronics Reliability*, vol. 46, no. 9, pp. 1766 – 1771, 2006, proceedings of the 17th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis. Wuppertal, Germany 3rd-6th October 2006. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0026271406002022>
- [32] C. Durand, M. Klingler, D. Coutellier, and H. Naceur, “Confrontation of failure mechanisms observed during active power cycling tests with finite element analyze performed on a mosfet power module,” in *14th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, Cardiff, UK, April 2013, pp. 1–4.
- [33] A. Fayyaz and A. Castellazzi, “High temperature pulsed-gate robustness testing of SiC power MOSFETs,” *Microelectronis Reliability*, vol. 55, July 2015.
- [34] H. Gao, H.-Z. Huang, S.-P. Zhu, Y.-F. Li, and Y. R., “A modified nonlinear damage accumulation model for fatigue life prediction considering load interaction effects,” *The Scientific World Journal*, vol. 2014, no. ID 164378, pp. 1–7, 2014.
- [35] A. Griffo, J. Wang, K. Colombage, and T. Kamel, “Real-time measurement of temperature sensitive electrical parameters in SiC power MOSFETs,” *IEEE Transactions on Industrial Electronics*, vol. 65, no. 3, pp. 2663–2671, March 2018.
- [36] D. B. Habersat, R. Green, and A. J. Lelis, “Evaluations of threshold voltage stability on COTS SiC DMOSFETs using fast measurements,” in *IEEE International Reliability Physics Symposium (IRPS)*, Pasadena, CA, USA, April 2016.

- [37] HBM, “Strain gauge manufacturer website,” Hottinger Baldwin Messtechnik GmbH, Tech. Rep., 2018. [Online]. Available: <https://www.hbm.com>
- [38] S. Hiller, M. Beier-Moebius, S. Frankeser, and J. Lutz, “Using the Zth(t) - power pulse measurement to detect a degradation in the module structure,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, May 2015, pp. 1–7.
- [39] T. K. Ho, “Nearest neighbors in random subspaces,” in *Advances in Pattern Recognition*, A. Amin, D. Dori, P. Pudil, and H. Freeman, Eds. Berlin, Heidelberg: Springer Berlin Heidelberg, 1998, pp. 640–648.
- [40] A. Ibrahim, J. P. Ousten, R. Lallemand, and Z. Khatir, “Power cycling tests in high temperature conditions of SiC-MOSFET power modules and ageing assessment,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, Stuttgart, Germany, March 2016, pp. 1–6.
- [41] S. A. Ikpe, J. M. Lauenstein, G. A. Carr, D. Hunter, L. L. Ludwig, W. Wood, C. J. Iannello, L. Y. D. Castillo, F. D. Fitzpatrick, M. M. Mojarradi, and Y. Chen, “Long-term reliability of a hard-switched boost power processing unit utilizing SiC power MOSFETs,” in *IEEE International Reliability Physics Symposium (IRPS)*, vol. 1, Pasadena, CA, USA, April 2016, pp. 1–8.
- [42] *Temperature cycling*, JEDEC Std., Oct 2014. [Online]. Available: <https://www.jedec.org>
- [43] *Failure mechanisms and models for semiconductor devices*, JEDEC Std., sept 2016. [Online]. Available: <https://www.jedec.org>
- [44] B. Ji, V. Pickert, and B. Zahawi, “In-situ bond wire and solder layer health monitoring circuit for IGBT power modules,” in *7th International Conference on Integrated Power Electronics Systems (CIPS)*, Nuremberg, Germany, March 2012, pp. 1–6.
- [45] N. Jiang, M. Chen, S. Xu, W. Lai, G. Bin, and Y. Chen, “Lifetime evaluation of solder layer in an igbt module under different temperature levels,” in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Heifei, China, May 2016, pp. 3137–3141.
- [46] M. G. Kendall and A. Stuart, *The Advanced Theory of statistics*. Griffin, 1973, vol. 2, no. Sections 31.19-31.21.
- [47] J. Kozak, D. DeVoto, J. Major, and K. Ngo, “Trends in SiC MOSFET threshold voltage and ON-state resistance measurements from thermal cycling and electrical switching stresses,” in *10th International Conference on Integrated Power Electronics Systems (CIPS)*, Nuremberg, Germany, 2018.
- [48] H. Luo, W. Li, F. Iannuzzo, X. He, and F. Blaabjerg, “Enabling junction temperature estimation via collector-side thermo-sensitive electrical parameters through emitter stray inductance in high-power IGBT modules,” *IEEE Transactions on Industrial Electronics*, vol. 65, no. 6, pp. 4724–4738, June 2018.

- [49] S. Mbarek, P. Dherbecourt, O. Latry, F. Fouquet, D. Othman, M. Berkani, and S. Lefebvre, "Robustness study of SiC MOSFET under harsh electrical and thermal constraints," Lisbon, Portugal, 2014.
- [50] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A survey of wide bandgap power semiconductor devices," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, May 2014.
- [51] M. Miner, "Cumulative damage in fatigue," *Journal of applied mechanics*, vol. 67, pp. A159–A164, 1945.
- [52] S. MRad, "Application de la représentation diffusive à la modélisation thermique compacte," Ph.D. dissertation, INSA Lyon, 2008.
- [53] M. Musallam, C. Johnson, C. Yin, C. Bailey, and M. Mermet-Guyennet, "Real-time life consumption power modules prognosis using on-line rainflow algorithm in metro applications," in *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, Atlanta, GA, USA, Sept 2010, pp. 970–977.
- [54] M. Musallam, C. Yin, C. Bailey, and M. Johnson, "Mission profile-based reliability design and real-time life consumption estimation in power electronics," *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2601–2613, May 2015.
- [55] H.-H. Nguyen, "Methods and tools for the design of integrated components in an embedded electrical system," PhD dissertation, Universite Joseph-Fourier - Grenoble I, 2008. [Online]. Available: <https://tel.archives-ouvertes.fr/tel-00345608>
- [56] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park, "Gate oxide reliability issues of SiC MOSFETs under short-circuit operation," *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2445–2455, May 2015.
- [57] T. Nguyen, P.-Y. Joubert, S. Lefebvre, and S. Bontemps, "Monitoring of ageing chips of semiconductor power modules using eddy current sensor," *Electronics Letters*, vol. 49, no. 6, pp. 415–417, March 2013.
- [58] Z. Ni, X. Lyu, O. P. Yadav, and D. Cao, "Review of SiC MOSFET based three-phase inverter lifetime prediction," in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, USA, March 2017, pp. 1007–1014.
- [59] Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, "Investigation of 1.2 kV investigation of SiC MOSFETs for aeronautics applications," in *2013 15th European Conference on Power Electronics and Applications (EPE)*, Lille, France, Sept 2013, pp. 1–9.
- [60] R. Ouaida, M. Berthou, J. Leon, X. Perpina, S. Oge, P. Brosselard, and C. Joubert, "Gate oxide degradation of SiC MOSFET in switching conditions," *Electron Device Letters, IEEE*, vol. 35, no. 12, pp. 1284–1286, Dec 2014.
- [61] M. Ouhab, Z. Khatir, A. Ibrahim, J. P. Ousten, R. Mitova, and M. X. Wang, "New analytical model for real-time junction temperature estimation of multichip power module used in a motor drive," *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 5292–5301, June 2018.

- [62] M. Ouhab, “Estimation de durée de vie restante de modules de puissance en fonctionnement dans des convertisseurs industriels,” Ph.D. dissertation, ENS Cachan, 2017.
- [63] G. Parent, “Evaluation de la durée de vie de composants d’électroniques de puissance commerciaux soumis à des tests de vieillissement et détermination des mécanismes de défaillance,” Ph.D. dissertation, Université de Toulouse, 2017.
- [64] P. Rajaguru, H. Lu, and C. Bailey, “Application of nonlinear fatigue damage models in power electronic module wirebond structure under various amplitude loadings,” *Advances in Manufacturing*, vol. 2, no. 3, pp. 239–250, Sep 2014. [Online]. Available: <https://doi.org/10.1007/s40436-014-0054-5>
- [65] D. P. Sadik, J. K. Lim, P. Ranstad, and H. P. Nee, “Investigation of long-term parameter variations of SiC power MOSFETs,” in *Power Electronics and Applications (EPE’15 ECCE-Europe)*, 2015 17th European Conference on, Heifei, China, Sept 2015, pp. 1–10.
- [66] D. P. Sadik, H. P. Nee, F. Giezendanner, and P. Ranstad, “Humidity testing of sic power mosfets,” in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, May 2016, pp. 3131–3136.
- [67] T. Santini, “Contribution à l’étude de la fiabilité des MOSFET en carbure de silicium,” Ph.D. dissertation, INSA Lyon, 2016.
- [68] T. Santini, M. Sebastien, M. Florent, L.-V. Phung, and B. Allard, “Gate oxide reliability assessment of a SiC MOSFET for high temperature aeronautic applications,” in *ECCE Asia Downunder*, Melbourne, Australia, June 2013, pp. 385–391.
- [69] U. Scheuermann, M. Junghaenel, and S. E. GmbH, “Limitation of power module lifetime derived from active power cycling tests,” in *10th International Conference on Integrated Power Electronics Systems (CIPS)*, Nuremberg, Germany, 2018.
- [70] J. Schrock, B. Pushpakaran, A. Bilbao, W. Ray, E. Hirsch, M. Kelley, S. Holt, and S. Bayne, “Failure analysis of 1200-V / 150-A SiC MOSFET under repetitive pulsed overcurrent conditions,” *Power Electronics, IEEE Transactions on*, vol. PP, no. 99, pp. 1–1, 2015.
- [71] C. E. Shannon, “A mathematical theory of communication,” *Bell System Technical Journal*, vol. 27, no. 3, pp. 379–423, 1948. [Online]. Available: <http://dx.doi.org/10.1002/j.1538-7305.1948.tb01338.x>
- [72] A. Soualhi, “Du diagnostic au pronostic de pannes des entraînements électriques,” Ph.D. dissertation, Université Claude Bernard Lyon 1, Lyon, France, 2013.
- [73] S. M. Stigler, “Francis galton’s account of the invention of correlation,” *Statist. Sci.*, vol. 4, no. 2, pp. 73–79, 05 1989. [Online]. Available: <https://doi.org/10.1214/ss/1177012580>
- [74] B. Strauss and A. Lindemann, “Indirect measurement of junction temperature for condition monitoring of power semiconductor devices during operation,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, May 2015, pp. 1–6.

- [75] V. K. Sundaramoorthy, E. Bianda, R. Bloch, and F. Zurfluh, "Simultaneous online estimation of junction temperature and current of igbts using emitter-auxiliary emitter parasitic inductance," in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, May 2014, pp. 1–8.
- [76] B. Tian, W. Qiao, Z. Wang, T. Gachovska, and J. Hudgins, "Monitoring IGBT's health condition via junction temperature variations," in *Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Fort Worth, TX, USA, March 2014, pp. 2550–2555.
- [77] D. Tibaduiza Burgos and H. Ceron-M, "Damage classification based on machine learning applications for an unmanned aerial vehicle," in *The 11th International Workshop on Structural Health Monitoring*, Stanford, CA, USA, September 2017.
- [78] A. Villemeur, *Sûreté de fonctionnement des systèmes industriels*, Eyrolles, Ed., 1988.
- [79] J. Wang, G. Wang, J. Li, A. Huang, J. Melcher, and S. Atcitty, "Silicon carbide emitter turn-off thyristor," *International Journal of Power Management Electronics*, vol. Volume 2008, no. ID 891027, 2008.
- [80] D. Xiang, L. Ran, P. Tavner, A. Bryant, S. Yang, and P. Mawby, "Monitoring solder fatigue in a power module using case-above-ambient temperature rise," *IEEE Transactions on Industry Applications*, vol. 47, no. 6, pp. 2578–2591, Nov 2011.
- [81] L. Xu, Y. Zhou, and S. Liu, "DBC substrate in Si- and SiC-based power electronics modules: Design, fabrication and failure analysis," in *Electronic Components and Technology Conference (ECTC), 2013 IEEE 63rd*, Las Vegas, NV, USA, May 2013, pp. 1341–1345.
- [82] O. Yade, C. Martin, C. Vollaie, A. Bréard, M. Ali, R. Meuret, and M. Hervé, "Improved Layout of Inverter for EMC Analysis," in *More Electrical Aircraft (MEA)*, Bordeaux, France, Feb. 2017. [Online]. Available: <https://hal.archives-ouvertes.fr/hal-01715021>
- [83] S. Yang, D. Xiang, A. Bryant, P. Mawby, L. Ran, and P. Tavner, "Condition monitoring for device reliability in power electronic converters: A review," *IEEE Transactions on Power Electronics*, vol. 25, no. 11, pp. 2734–2752, Nov 2010.
- [84] Y. Yuan, D. Xiang, and C. Ning, "Self-calibration for igbt junction temperature measurement in power converter," in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMEC-ECCE Asia)*, Hefei, China, May 2016, pp. 3125–3130.
- [85] L. Zhang, "Etude de fiabilité des modules d'électronique de puissance à base de composant SiC pour applications haute temperature," Ph.D. dissertation, Université Bordeaux 1, 2012.
- [86] Y. Zhong, C. Li, and D. Xu, "A novel method for on-line junction temperature measurement of power modules," in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMEC-ECCE Asia)*, Hefei, China, May 2016, pp. 3120–3124.