



HAL
open science

Mise en oeuvre de moyens de vieillissement accéléré et d'analyses dédiés aux composants de puissance grand gap.

Jian Zhi Fu

► **To cite this version:**

Jian Zhi Fu. Mise en oeuvre de moyens de vieillissement accéléré et d'analyses dédiés aux composants de puissance grand gap.. Energie électrique. Normandie Université, 2018. Français. NNT : 2018NORMR075 . tel-02162634

HAL Id: tel-02162634

<https://theses.hal.science/tel-02162634>

Submitted on 22 Jun 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le diplôme de doctorat

Spécialité ELECTRONIQUE, MICROELECTRONIQUE, OPTIQUE ET LASERS, OPTOELECTRONIQUE
MICROONDES

Préparée au sein de l'Université de Rouen Normandie

Mise en œuvre de moyens de vieillissement accéléré et d'analyses dédiés aux composants de puissance grand gap

Présentée et soutenue par
Jian-Zhi FU

Thèse soutenue publiquement le 21/12/2018
devant le jury composé de

M. Nadir IDIR	Professeur des Universités - Université de Lille	Rapporteur
M. Jean-Charles LEBUNETEL	Professeur des Universités - Université de Tours	Rapporteur
Mme. Catherine ALGANI	Professeur des Universités - Le CNAM	Examineur
M. Daniel PASQUET	Professeur des Universités- ENSEA	Examineur
M. Moncef KADI	Enseignant/Chercheur HDR - ESIGELEC	Directeur de thèse
M. Pascal DHERBECOURT	Maitre de Conférences HDR - Université de Rouen	Codirecteur de thèse
M. François FOUQUET	Enseignant/Chercheur - ESIGELEC	Encadrant

Thèse dirigée par : **M. Moncef KADI**
M. Pascal DHERBECOURT

laboratoire IRSEEM
laboratoire GPM



irseem

Remerciements

“始于初见，止于终老”

Ce travail a été réalisé en cotutelle entre l'institut de Recherche en Systèmes Electroniques (IRSEEM) de l'école supérieure d'ingénieurs en génie électrique (ESIGELEC) et le laboratoire de recherches « Groupe de Physique des Matériaux (GPM) » de l'université de Rouen Normandie. Dans ce cadre, je tiens à remercier mon directeur Moncef KADI de l'ESIGELEC, pour son accueil et sa confiance en moi afin de réaliser ces travaux, son guide et nos discussions scientifiques.

Grand merci à mon co-directeur Pascal DHERBECOURT de l'Université de Rouen Normandie, de m'avoir accueillie dans l'équipe ERDEFi du GPM et de m'avoir offert les meilleures conditions de travail tout au long de ma thèse.

Je remercie particulièrement mon encadrant François FOUQUET de l'ESIGELEC, pour me former à la réalisation du banc de test associé. A travers ces trois années de doctorat, il m'a transmis sa rigueur scientifique et son exigence.

Je remercie sincèrement Madame ALGANI, Professeur du CNAM, Monsieur Nadir IDIR, Professeur de l'université de Lille, Monsieur Jean-Charles LEBUNETEL, Professeur de l'université de Tours, et Monsieur Daniel PASQUET, Professeur de l'ENSEA, qui me font l'honneur de juger ce travail en qualité de rapporteurs et examinateurs. Je leurs suis très reconnaissante de l'intérêt qu'ils ont porté à mes travaux.

J'exprime mes grandes gratitudes envers les membres d'équipe d'IFSTTAR : Monsieur Zoubir KHATIR, Monsieur Ali IBRAHIM et Monsieur Fadi KADI pour leurs guides et leurs patiences de m'avoir intégrer dans mon stage de fin d'étude sur le domaine de composant de puissance en Nitrure de Gallium (GaN).

Je remercie à mes chers collègues Léa, Marwa, Shawki, Jiawei, Chadia, Christel, Shirin, Andrès, Tristan etc. Une pensée particulière à mon meilleur pote Zhifei XU. Je tiens aussi à exprimer ma gratitude à mes amis Kali, Haoen, Orange, Lefulan, Ritian, Chenchen, Gufeng, Lulibin, Chenzeyuan, Tao et Xiaojingcha pour leurs accompagnements pendant ces trois années.

Pour finir, une énorme pensée à ma famille. Grâce à vous je n'aurai jamais peurs d'essayer.

Résumé

Cette thèse constitue un des éléments du projet de recherche EMOCAVI (Evolution des Modèles des Composants de puissance grand gAp au cours du Vieillissement). Elle porte sur l'étude de la fiabilité des transistors de puissance en Nitrure de Gallium (GaN) récemment apparus sur le marché. Ces travaux se focalisent sur la réalisation d'une méthodologie pour paramétrer le modèle du composant GaN GIT (Gate Injection Transistor) en fonction du vieillissement auquel il a été soumis. Pour atteindre cet objectif, nous sommes passés par plusieurs étapes. La première a été consacrée à la définition, la mise en place et la validation d'un banc de vieillissement et à la caractérisation de ces composants avant et en cours de vieillissement. Un banc de test de vieillissement en court-circuit répétitif à faible puissance a été conçu et mis en œuvre. Ce banc a permis de valider l'hypothèse du vieillissement lié à l'énergie, d'identifier son niveau déterminant d'un point de vue fiabilité du composant et enfin mettre en évidence la dégradation progressive du composant afin d'identifier les paramètres du transistor les plus sensibles au vieillissement. La deuxième étape de nos travaux a été consacrée à l'établissement d'une méthodologie de création de modèle de vieillissement du composant GaN-GIT. En reproduisant le modèle COBRA présenté dans la littérature, nous avons réussi dans nos travaux à proposer une approche novatrice permettant d'intégrer les dépendances en température et en énergie subie par le composant pendant le stress (la durée d'impulsion T_{sc} et le nombre de pulse subi N_{sc}). La dernière étape de nos travaux a été dédiée à l'analyse physique de défaillance afin de confirmer les hypothèses faites sur les mécanismes de dégradation obtenus après vieillissement du composant. Pour réaliser ces analyses, nous avons commencé par la décapsulation du composant en combinant l'ouverture laser aux attaques chimiques de la résine constituant le packaging. Une fois le défaut localisé par photoluminescence, une analyse approfondie par des vues au microscope électronique à balayage MEB puis par découpe PFIB (Plasma Focused Ion Beam) a été réalisée afin de déterminer le mécanisme de défaillance. Il s'agissait principalement de fissures situées dans le métal d'Al au niveau du drain ainsi que la présence de cavités dans la couche métallique qui sert à réaliser le contact ohmique au niveau de la source, ce qui explique l'augmentation de la résistance $R_{DS(on)}$.

Mots clés : GaN GIT, vieillissement, court-circuit, modèle, analyse microstructurale.

Abstract

This thesis constitute one of the elements of the EMOCABI research project (Evolution of the Large gAp Power Component Models during the Vieillissement). It deals with the study of the reliability of Gallium Nitride (GaN) power transistors which are recently appeared on the market. This work focuses on the realization of a methodology to parameterize the model of GaN GIT component (Gate Injection Transistor) according to the aging to which it has been subjected. To achieve this goal, it will be necessary to go through several steps. The first step was dedicated to the definition, implementation and validation of an aging bench for the component and the characterization of these components before and during aging. A low power repetitive short-circuit aging test bench was designed and implemented. This bench is used to validate the energy-related aging hypothesis, to identify its determining level from a point of view of the reliability of the component and finally to highlight the progressive degradation of the component in order to identify the parameters of the transistor which are the most sensitive to aging. The second step of our work was devoted to the establishment of a methodology to create the aging model for the GaN-GIT component. By reproducing the COBRA model presented in the literature, we have succeeded in our work in proposing an innovative approach to integrate the dependencies in temperature and energy suffered by the component during stress (the Tsc pulse duration and the number of pulse suffered Nsc). The last step of our work was dedicated to the physical failure analysis in order to confirm the hypothesis made on the degradation mechanisms obtained after aging of the component. To carry out these analyzes, we started with the de-capsulation of the component by combining the laser cutting with the chemical attacks of the resin constituting the packaging. Once the defect was localized by photoluminescence, an in-depth analysis by SEM scanning and then PFIB (Plasma Focused Ion Beam) scans was performed to determine the mechanism of failure. These were mainly cracks in the Al metal at the drain and the presence of cavities in the metal layer which is used to make the Ohmic contact at the source, which explains the increase in resistance $R_{\text{DS(on)}}$.

Keywords: GaN GIT, aging, short-circuit, model, microstructural analysis

Table de figures

Figure 1.1	Résumé des propriétés les plus pertinentes du Si, SiC et GaN [6].....	21
Figure 1.2	Schéma de la structure cristalline de GaN de type Wurtzite [15].....	25
Figure 1.3	Schéma de la structure cristalline de GaN Wurtzite pour le Ga-face et le N-face [16].....	25
Figure 1.4	Effet de contrainte sur la polarisation et la charge surfacique d'une couche GaN polarité gallium [14].....	27
Figure 1.5	Vue en coupe du HEMT AlGaIn/GaN [20].....	28
Figure 1.6	(a) Schéma des charges induites dans la structure AlGaIn/GaN (b) Distribution de charges présentes dans la structure, (c) Illustration de la courbure du diagramme de bandes de l'hétérostructure AlGaIn/GaN [8].....	30
Figure 1.7	Schéma de l'effet des pièges de la couche de GaN sur les performances électriques de HEMT AlGaIn/GaN sur le substrat Si.....	32
Figure 1.8	Mise en évidence d'effet de drain-lag [32].....	33
Figure 1.9	Comparaison des caractéristiques I(V) obtenues sur un transistor GaN pour deux polarisations de repos [33].....	34
Figure 1.10	Schéma de l'effet des pièges de la surface de HEMT AlGaIn/GaN [34]..	35
Figure 1.11	Exemple de comparaison des caractéristiques I(V) obtenues sur un transistor GaN pour deux polarisations de repos V_{GS0} [33].....	36
Figure 1.12	Feuille de route des domaines de commercialisation des HEMTs à base de GaN en fonction des fréquences de fonctionnement [36].....	37
Figure 1.13	Schéma HEMT GaN + MOSFET Si en cascode [41].....	38
Figure 1.14	Pourcentage de la résistance à l'état passant de MOSFET-Si au composant en cascode [43].....	39
Figure 1.15	Schéma de coupe transversale du composant avec le traitement plasma [47]. (b) Schéma de coupe transversale du composant avec l'isolant AlN [49].....	40

Figure 1.16 Dépendance de V_{TH} sur la profondeur de gravure pour le HEMT AlGaIn/GaN avec la grille gravée [51].....	41
Figure 1.17 Schéma de coupe transversale de MIS-HEMT par Sharp [52].....	42
Figure 1.18 (a) Schéma de coupe transversale du GaN-GIT (b) Diagramme de bande du GaN-GIT sous un biais de la grille de 0V [56].....	43
Figure 1.19 Schéma des différentes conditions de fonctionnement du GIT avec différentes tensions V_{GS} . (a) $V_{GS}=0V$, (b) $V_{TH}<V_{GS}<V_F$, (c) $V_{GS}>V_F$	44
Figure 1.20 Schéma de coupe transversale du HD-GIT [57].....	45
Figure 1.21 Caractéristique $I_{DS}-V_{DS}$ pulsé avec différentes polarisations de repos V_{GS0} pour le GaN-GIT. (b) La tension de seuil V_{TH} en fonction de V_{GS0}	47
La variation de la tension de seuil V_{TH} en fonction du temps de stress avec les différentes tensions V_{GS} (de 6V à 14V) [60].....	47
Figure 1.23 La bande de diagramme dans les conditions (a) d'équilibre, et (b) une forte tension V_{GS} , ex. $V_{GS}=10V$ [61].....	48
Figure 1.24 (a) Le courant I_{GS} en fonction du temps de stress sous $V_{GS}=9V$, (b) la distribution de la lumière (EL) émise par la jonction de grille pendant le stress, à différents intervalles de temps [59].....	48
Figure 1.25 Champ électrique pour le HEMT à l'état off avec $V_{DS} = 300V$ [59].....	49
Figure 1.26 Mécanisme de défaillance induite par la forte tension V_{DS} [65].....	49
Figure 2.1 Banc de mesure IVCAD développé par la société AMCAD.....	54
Figure 2.2 Chronogramme défini pour le pulse de drain et de grille, le point de mesure est enregistré après la stabilisation du courant I_{DS}	54
Figure 2.3 Caractéristique $I_{DS}-V_{DS}$ avec V_{GS} variant de 1.5V à 2.5V par pas de 0.2V..	55
Figure 2.4 Caractéristique $I_{DS}-V_{GS}$ avec $V_{DS}=10V$	56
Figure 2.5 Le courant I_{DS} et I_{GS} en fonction de V_{GS} pour $V_{DS}=1V$	57
Figure 2.6 (a).Mesure du courant de fuite I_{GSS} , et (b) I_{DSS}	58
Figure 2.7 Le courant de fuite de drain I_{DSS} en fonction de la tension V_{DS} pour $V_{GS}=0V$	59

Figure 2.8 Montage pour la mesure de la capacité C_{ISS} en fonction de la tension V_{DS}	61
Figure 2.9 Montage pour la mesure de la capacité C_{OSS} en fonction de la tension V_{DS}	61
Figure 2.10 Montage pour la mesure de la capacité C_{RSS} en fonction de la tension V_{DS}	62
Figure 2.11 (a) Monture de test (b) Schéma de principe de la monture de test.....	62
(a) Mesure des capacités C_{ISS} , C_{OSS} et C_{RSS} en fonction de la tension V_{DS} (b) Capacités fournies par le fabricant.....	63
Figure 2.13 Mesure de la capacité C_{DS} (ligne verte) en fonction de la tension V_{DS} ...	64
Figure 2.14 Mesure de la capacité C_{GS} en fonction de la tension V_{GS}	65
Figure 2.15 Mesure de la capacité C_{GD} en fonction de la tension V_{GD}	65
Figure 2.16 Caractéristique I_{DS} - V_{DS} pour V_{GS} variant de 1.5V à 2.5V par pas de 0.2V, pour deux températures de 25°C et 125°C.....	67
Figure 2.17 Evaluation de l'effet de la température variant entre 25°C à 125°C sur la caractéristique I_{DS} - V_{DS} pour $V_{GS}=3.7V$	67
Figure 2.18 (a) Caractéristique I_{DS} - V_{GS} pour des températures variant de 25°C à 125°C pour une tension $V_{DS}=10V$ et (b) la forme logarithme de cette caractéristique.....	68
Figure 2.19 (a) Evolution de la tension V_{GS} pour un pulse lors de la mesure de la caractéristique I_{DS} - V_{DS} (b) Evolution du courant I_{DS} dans le pulse.....	70
Figure 2.20 (a) Caractéristiques I_{DS} - V_{DS} à $V_{GS}=2.5V$ pour $V_{GS0}=0V, 4V, \text{ et } -4V$. (b) Caractéristique I_{DS} - V_{GS} à $V_{DS}=10V$ pour $V_{GS0}=0V, 4V, \text{ et } -4V$	71
Figure 2.21 Les évolutions de I_{DSSAT} , $R_{DS(ON)}$ et V_{TH} pour des V_{GS0} variant de -4V à 4V par pas de 1V.....	72
Figure 2.22 (a) Caractéristiques I_{DS} - V_{DS} à $V_{GS}=10V$ pour $V_{DS0}=0V, 50V, \text{ et } 100V$. (b) Caractéristiques I_{DS} - V_{GS} à $V_{DS}=10V$ pour $V_{DS0}=0V, 50V, \text{ et } 100V$	73
Figure 2.23 Les évolutions d' I_{DSSAT} , $R_{DS(ON)}$ et V_{TH} pour des V_{DS0} allant de 0V à 100V par pas de 25V.....	74

Figure 2.24 Ouverture par ablation laser du (a) DUT à l'état neuf et (b) DUT après une ablation laser.....	75
Figure 2.25 Surface active de la puce après la décapsulation complète observée par le microscope optique.....	76
Figure 2.26 Vue de La surface active de la puce observée par le MEB.....	77
Figure 2.27 Vue des différents doigts élémentaires de la puce.....	78
Figure 2.28 Composition chimique de la surface autour le fil de bonding par EDS....	78
Figure 2.29 Coupe transversale des cellules élémentaires (a)sans fenêtre et (b) avec la fenêtre sur le drain par PFIB.....	79
Figure 2.30 Coupe transversale de la puce côté de grille-source et l'analyse EDS sur la zone choisie (ligne pointillée).....	80
Figure 2.31 Coupe transversale d'une cellule complète, (a) Coupe transversale de la structure HD-GIT [74].....	81
Figure 3.1 Evolution du courant de court-circuit I_{DS} avec les différentes tensions d'alimentation V_{DS} (50V, 75V, 100V, 125V) pour un 200V HEMT AlGaIn/GaN commercial [79].....	86
Figure 3.2 Evolution du courant de court-circuit I_{DS} avec la tension d'alimentation $V_{DS}=270V$ et 400V pour un 600V HEMT AlGaIn/GaN commercial [80].....	86
Figure 3.3 Evolution du courant I_{DS} et de la tension V_{GS} durant le test répétitifs en court-circuit avec la tension $V_{DS}=300V$ pour un 600V transistor en GaN commercial [82].....	87
Figure 3.4 (a) Vue du banc de vieillissement en court-circuit répétitif (b) Le schéma équivalent du banc de vieillissement en court-circuit répétitif.....	89
Figure 3.5 Formes d'ondes I_{DS} , V_{DS} et V_{GS} pendant un pulse.....	89
Figure 3.6 Evolution du courant de court-circuit I_{DS} en fonction de la tension V_{DS}	90
Figure 3.7 Evolution du courant de court-circuit I_{DS} en fonction de la durée d'impulsion T_{sc}	91
Figure 3.8 Conditions des tests de vieillissements comparés aux limites de la zone de fonctionnement (SOA) pour $V_{DS}=35V$	92
Figure 3.9 Evolution du courant I_{DS} et de la tension $T_{sc}=4ms$ et $V_{DS}=35V$	93

Figure 3.10	Courant I_{DS} avant et après vieillissement pour le composant PAC#3.....	96
Figure 3.11	Courant I_{DS} avant et après le vieillissement pour le composant PAC#2.....	97
Figure 3.12	Caractéristique I_{DS} - V_{DS} à $V_{GS}=2.5V$ durant le vieillissement pour PAC#3.....	99
Figure 3.13	Caractéristique I_{DS} - V_{GS} à $V_{DS}=10V$ durant le vieillissement pour PAC#3.....	99
Figure 3.14	Evolution de R_{DSON} en fonction du nombre de court-circuit, mesurée à $25^{\circ}C$ pour PAC#1, PAC#2 et PAC#3.....	100
Figure 3.15	Caractéristique I_{DS} - V_{DS} -état neuf, -état dégradé (après 32000 pulses) pour PAC#3.....	101
Figure 3.16	Tension de seuil V_{TH} , en fonction du nombre de court-circuit, mesurée à $25^{\circ}C$ pour PAC#1, PAC#2 et PAC#3.....	102
Figure 3.17	Courant de grille I_{GSS} en fonction du nombre de court-circuit, mesuré à $25^{\circ}C$ pour PAC#1, PAC#2 et PAC#3.....	103
Figure 3.18	...Courant de drain I_{DSS} en fonction du nombre de court-circuit mesuré à $25^{\circ}C$ pour PAC#1, PAC#2 et PAC#3.....	104
Figure 3.19	Capacités C_{GS} , C_{ISS} et C_{RSS} en fonction de V_{GS} , mesurée à $25^{\circ}C$ pour le PAC#3.....	105
Figure 3.20	Capacités C_{DS} , C_{OSS} et C_{RSS} en fonction de V_{DS} , mesurée à $25^{\circ}C$ pour le PAC#3.....	106
Figure 3.21	Capacité C_{GD} (équivalente à C_{RSS}) en fonction de V_{GD} , mesurée à $25^{\circ}C$ pour le PAC#3.....	107
Figure 3.22	Effet de piégeage et dé-piégeage proposé durant le test de vieillissement accéléré.....	108
Figure 3.23	Courant I_{DS} et I_{GS} à $V_{DS}=1V$ en fonction de V_{GS} , mesurée à $25^{\circ}C$ pour PAC#4.....	109
Figure 3.24	Signature en photoémission du composant à l'état neuf à (a) $V_{GS}=1.2V$ et (b) $V_{GS}=1.8V$	110
Figure 3.25	Signature en photoémission du composant à l'état dégradé à (a) $V_{GS}=1.2V$ et (b) $V_{GS}=1.5V$	111

Figure 3.26	Vue de la surface de la puce pour un composant détruit en court-circuit.....	112
Figure 3.27	Vue de la découpe par PFIB pour le composant à l'état dégradé (PAC#2).....	112
Figure 3.28	Coupe transversale de la région grille-source pour (a) le composant à l'état neuf et (b) le composant à l'état dégradé (PAC#2).....	113
Figure 4.1	Modèle non-linéaire pour le GaN GIT de notre étude.....	117
Figure 4.2	Synoptique de la phase d'optimisation.....	121
Figure 4.3	Comparaison mesures / modèle des réseaux IV en impulsion pour V _{GS} variant de 1.5V à 2.5V par pas de 1V pour le GaN-GIT.....	126
Figure 4.4	Comparaison mesure/modèle du courant de grille I _{GS} en fonction de V _{GS} pour V _{DS} =1V.....	127
Figure 4.5	Comparaison entre mesure et modèle de capacités (a) C _{GS} en fonction de V _{GS} et (b) C _{GD} en fonction de V _{GD}	128
Figure 4.6	Evolution des paramètres de la source de courant en fonction de la température ambiante.....	130
Figure 4.7	Comparaison mesures-modèle des courbes I _{DS} - V _{DS} avec V _{GS} allant de 2V à 2.5V pour 50°C (a), 75°C (b), 100°C (c) et 125°C (d).....	131
Figure 4.8	Evolution des paramètres β , α et V _{t0} de la source de courant en fonction de T _{sc} et N _{sc}	133
Figure 4.9	Evolutions de A et B en fonction de la durée de pulse pour β	135
Figure 4.10	Evolutions de A et B en fonction de la durée de pulse pour α	136
Figure 4.11	Evolutions de A et B en fonction de la durée de pulse pour V _{t0}	136
Figure 4.12	Le modèle SDD d'une source de courant.....	138
Figure 4.13	L'interface utilisateur pour la simulation.....	138
Figure 4.14	Comparaison mesures-modèle des courbes I _{DS} - V _{DS} avec V _{GS} allant de 2V à 2.5V, T _{sc} =2ms et à (a) N _{sc} =14série, (b) N _{sc} =46série.....	139
Figure 4.15	Caractéristique I _{DS} -V _{DS} avec V _{GS} allant de 2V à 2.5V par pas de 0.25V à la 8 ^{ième} série de court-circuit pour différentes durées d'impulsion.....	140

Figure 4.16 Caractéristique I_{DS} - V_{DS} avec V_{GS} allant de 2V à 2.5V par pas de 0.25V pour une impulsion de court-circuit $T_{SC}=3ms$ en fonction du nombre de série.....140

Table des matières

Remerciements	2
Résumé	3
Abstract	4
Table de figures	5
Table des matières	12
Introduction générale	16
CHAPITRE I:	19
Généralités sur les transistors à base de GaN	19
1. Introduction	19
2. Le contexte des semi-conducteurs grands gaps	20
2.1 Introduction	20
2.2 Propriétés physiques et électriques des semi-conducteurs grands gaps	21
2.2.1 Bande d'énergie interdite (gap).....	21
2.2.2 Mobilité des porteurs de charge (électrons)	22
2.2.3 Conductivité thermique.....	23
2.2.4 Conclusion	23
2.3 Le GaN vis-à-vis des autres semi-conducteurs grands gaps.....	24
3. La technologie de transistor à base de GaN	27
3.1 La structure de HEMT AlGaIn/GaN	27
3.2 Le gaz d'électrons bidimensionnel (2DEG).....	29
3.3 Mécanismes de piégeage dans les transistors HEMT AlGaIn/GaN	31
3.3.1 Effet de drain-lag	31
3.3.2 Effet de Gate-lag.....	34
3.4 Le HEMT AlGaIn/GaN normalement bloqué.....	37
3.4.1 Solution hybride : Structure cascode (HEMT passant + MOSFET bloqué)	38
3.4.2 Structure de grille gravée (<i>Recessed gate</i>)	40
4. Transistors GaN-GIT (Gate Injection Transistor)	42
4.1 Présentation des technologies GaN-GIT	42
4.2 Etat de l'art sur les mécanismes de dégradation pour le GaN-GIT	45
4.2.1 L'instabilité de la tension de seuil V_{TH}	46

4.2.2	La dégradation induite par la forte tension V_{GS}	47
4.2.3	La dégradation induite par la forte tension V_{DS}	49
5.	Conclusion.....	50
 CHAPITRE II:		52
Caractérisations électrique et microscopique du transistor GaN-GIT		52
1.	Introduction	52
2.	Evaluation des caractérisations statiques des transistors GaN-GIT	53
2.1.	La caractérisation en courant-tension.....	53
2.1.1.	La caractéristique de sortie $I_{DS}-V_{DS}$	55
2.1.2.	La caractéristique de transfert $I_{DS}-V_{GS}$	56
2.1.3.	Le courant de fuite de drain et de grille	57
2.2.	Mesures capacitives	59
2.2.1.	La capacité drain-source.....	63
2.2.2.	La capacité grille-source	64
2.2.3.	La capacité grille-drain.....	65
3.	Mesures complémentaires.....	66
3.1.	Le comportement thermique	66
3.2.	Mise en évidence de phénomènes de pièges	68
3.2.1.	Effets de polarisation V_{GS} au repos	69
3.2.2.	Effets de polarisation V_{DS} au repos	72
4.	Caractérisation microstructurale	75
4.1.	Préparation de l'échantillon	75
4.2.	Caractérisation structurale au microscope électronique à balayage	77
5.	Conclusion.....	81
 CHAPITRE III:.....		83
Test de vieillissement accéléré en court-circuit		83
1.	Introduction	83
2.	Etat de l'art sur les régimes de court-circuit.....	84
2.1.	Introduction.....	84
2.2.	Aperçu sur les tests de court-circuit des transistors à base de GaN	85
3.	Méthodologie retenue et description du banc de test associé.....	88
3.1.	Méthodologie des essais de vieillissements.....	88
3.2.	Synoptique du banc de test.....	88

3.3.	Le comportement du composant pendant le court-circuit	90
4.	Vieillessement accéléré des transistors GaN-GIT en régime de court-circuit.....	92
4.1.	Stratégie de vieillissement	92
4.2.	Suivi du vieillissement par court-circuit	94
4.3.	Analyse et discussions des résultats.....	95
4.3.1.	La forme d'onde de courant I_{DS} de court-circuit.....	96
4.3.2.	L'évolution de caractéristique courant-tension	98
4.3.3.	L'évolution de la résistance à l'état passant R_{DSON}	100
4.3.4.	L'évolution de la tension de seuil V_{TH}	102
4.3.5.	L'évolution du courant de fuite de grille	103
4.3.6.	L'évolution du courant de fuite de drain	104
4.3.7.	Les mesures complémentaires – l'évolution des capacités.....	105
4.3.8.	Les mesures complémentaires – l'évolution du courant de grille à l'état on.....	108
5.	Analyse microscopique des défaillances	109
5.1.	Analyses en électroluminescence	110
5.2.	Analyses microstructurales en MEB	111
6.	Conclusion.....	114
 CHAPITRE IV:		 116
Modélisation de vieillissement d'un transistor GaN-GIT.....		116
1.	Introduction	116
2.	Modèle empirique non-linéaire.....	117
2.1.	Introduction.....	117
2.2.	Modèle de source de courant commandée en tension	118
2.3.	Modèle du courant de diode.....	119
2.4.	Modèle des capacités intrinsèques	120
3.	Méthodologie d'extraction des paramètres	120
3.1.	La procédure d'extraction des paramètres	120
3.2.	Méthodes d'optimisation	122
4.	Extraction des paramètres des modèles	125
4.1.	Détermination des paramètres de source de courant	125
4.2.	Détermination de la diode D_{GS}	126
4.3.	Détermination des capacités C_{GS} , C_{GD}	127
5.	Modélisation complémentaire et validation du modèle	129
5.1.	L'effet thermique	129
5.2.	Modélisation et validation du processus de vieillissement.....	132
5.2.1.	Modélisation du vieillissement.....	132
5.2.2.	La validation du modèle	137

6. Conclusion.....	141
<i>Conclusion générale et perspectives.....</i>	<i>143</i>
<i>Publications relatives à ce travail.....</i>	<i>147</i>
<i>Références bibliographiques</i>	<i>148</i>

Introduction générale

Dans l'objectif de répondre aux enjeux économiques et environnementaux liés à la maîtrise des dépenses énergétiques et au remplacement des énergies fossiles par des énergies alternatives notamment électriques, l'électronique de puissance a pris de plus en plus d'importance au cours des dernières années. Cette importance est justifiée par les besoins croissants en convertisseurs de puissance performants dans différentes applications civiles et militaires (domaine de l'automobile, de l'aéronautique, de l'énergie, ...). Les filières des composants de l'électronique de puissance dits "à grand gap" sont alors proposées en tant que nouvelles solutions plus efficaces et moins encombrantes dans la réalisation de ces convertisseurs. Etant l'un des semi-conducteurs grands gaps, le nitrure de gallium (GaN) ayant une énergie de bande interdite directe de 3,39 eV est très prometteur avec des qualités intrinsèques remarquables caractérisées notamment par : une mobilité électronique et un champ (ou tension) de claquage élevés.

Grâce à leurs excellentes propriétés physiques, les composants à base de GaN peuvent être utilisés à la fois pour la mise en œuvre de dispositifs hautes fréquences, par exemple, les amplificateurs RF, que pour des applications de puissance, par exemple, les cellules de commutation de puissance. Dans ces composants, et en raison de la présence du gaz bidimensionnel d'électrons (2DEG), le problème le plus important qui empêche leur utilisation en commutation est leur tension de seuil négative. Cette dernière, rend le fonctionnement d'un transistor HEMT (*High Electron Mobility Transistor*) AlGaN/GaN par exemple normalement passant (Normally-ON). Pour remédier à cette limite, différentes techniques sont employées pour rendre ces composants normalement bloqués (Normally-OFF) pour faciliter et sécuriser ainsi leur intégration dans le système de commutation tout en gardant une simplicité de conception notamment au niveau des circuits de commande utilisés (drivers).

Cependant, les technologies à base de GaN sont encore peu matures et nécessitent des études approfondies de leur fiabilité afin de comprendre les principaux mécanismes de défaillances responsables de leur dégradation au cours du processus de vieillissement. C'est dans ce contexte que nos travaux de thèse s'inscrivent. Ils sont intégrés au projet de recherche EMOCAMI (Evolution des Modèles des Composants de puissance grand Gap au cours du Vieillissement) dans lequel sont impliqués les deux laboratoires IRSEEM (Institut de Recherche en Systèmes Electroniques Embarqués) et GPM (Groupe Physique des Matériaux).

Introduction générale

L'objectif de notre thèse, dans le cadre de ce projet, est alors d'apporter des solutions innovantes en termes de caractérisation et de modélisation de la fiabilité des transistors de puissance en technologie GaN. Au démarrage de ces travaux, nous voulions dans un premier temps valider l'hypothèse du vieillissement, de ces composants, lié à l'énergie tout en identifiant la composante de cette énergie déterminante dans l'estimation de la fiabilité de cette technologie. Pour atteindre cet objectif, nous avons mis en place des bancs innovants pour le stress du composant et la caractérisation électrique de ses paramètres. Dans un second temps, nous voulions proposer un modèle de vieillissement de ces composants en exploitant l'évolution des paramètres électriques du composant en fonction des stress appliqués. Ce volet de la thèse est novateur, car il permet aux utilisateurs de ces technologies d'estimer par simulation, le comportement des composants soumis à certains cycles de stress de type court-circuit, et de définir ainsi assez aisément et très en amont l'énergie critique qu'ils peuvent supporter.

En terme de choix de dispositif sous test (DUT), la technologie retenue pour nos études est une technologie GaN – GIT (Gate Injection Transistor) fabriquée par *PANASONIC*. Elle sera détaillée dans le reste du rapport qui se structure en quatre chapitres :

Dans le premier chapitre nous présentons tout d'abord une comparaison générale des propriétés physiques des technologies GaN (Nitrure de Galium), SiC (Carbure de Silicium) et Si (Silicium). Nous nous focalisons ensuite sur les propriétés du GaN ainsi que les différentes techniques permettant la réalisation de composants ayant un fonctionnement Normally OFF (normalement bloqué). Parmi ces technologies, le GaN-GIT (*Gate Injection Transistor*) qui consiste en un rajout d'une couche p-GaN ou p-AlGaN dans la structure, est retenu pour notre étude, est présentée en détail. Ce chapitre se termine par un état de l'art des principaux mécanismes de défaillances connus pour cette technologie de transistor.

Le deuxième chapitre est consacré à la caractérisation électrique et microscopique de transistors GaN-GIT. Après une présentation détaillée des bancs de caractérisations utilisés (I-V, C-V, ...), les caractéristiques électriques en fonction de la température de GaN-GIT sont présentées et les effets de pièges sont mis en évidence. Ces caractérisations sont complétées, par une analyse à l'échelle microscopique du DUT dans son état neuf. Cette analyse, permet de comprendre la structure physique du composant et facilite, dans une certaine mesure, l'identification et la localisation des défauts générés par les stress durant le test de vieillissement accéléré. Les résultats de ce chapitre, constituent une bonne base de données du composant neuf. Ils sont

Introduction générale

essentiels avant d'aborder les essais de vieillissement, les analyses et les modélisations dans les deux chapitres suivants.

Les tests de vieillissement accéléré sont abordés dans le troisième chapitre de ce rapport. Le régime de court-circuit qui est un mode de fonctionnement accidentel est retenu comme méthode de stress dans nos travaux. Ce mode est l'un des plus utilisés pour l'évaluation et la qualification des semi-conducteurs de puissance pendant la phase de conduction. Afin d'obtenir suffisamment d'informations du composant avant sa complète défaillance au cours des essais (dégradations progressives), nous proposons un test de vieillissement accéléré en court-circuit répétitif à faible puissance mais à énergie élevée. Cette méthodologie ainsi que le banc de test associé sont présentés en détail dans ce chapitre. Durant le vieillissement, les caractéristiques électriques, relevées dans le second chapitre, sont mesurées régulièrement afin d'explorer la variation du comportement du composant étudié. Pour finir, une analyse microscopique est proposée par comparaison entre le composant à l'état neuf et celui à l'état dégradé pour détecter et localiser les principales dégradations au niveau de la structure.

Le quatrième et dernier chapitre de ce mémoire est réservé à la modélisation électrique du transistor GaN étudié. Nous commençons par présenter en détail les éléments constituant l'ensemble du modèle (la source du courant, les capacités intrinsèques, ...). Ces éléments, capables de représenter de façon fidèle le comportement électrique du composant, sont décrits par des équations empiriques qui contiennent un nombre de paramètres inconnus. La méthodologie d'extraction de ces paramètres inconnus est alors détaillée par la suite. Pour compléter le modèle de source de courant, nous rajoutons tout d'abord une dépendance en température. Ensuite, des modifications sur certains paramètres sont effectuées afin de modéliser le processus de vieillissement lié à l'énergie dissipée. Enfin, le modèle développé est implémenté dans le logiciel ADS (*Advanced Design System*) par le moyen de SDD (*Symbolically-defined device*), permettant ainsi à l'utilisateur la simulation du processus de vieillissement pour un profil de stress donné

CHAPITRE I:

Généralités sur les transistors à base de GaN

1. Introduction

L'électronique de puissance est une discipline qui est apparue au début du siècle dernier. De bonnes performances des composants clés comme, les transistors de puissance, sont nécessaires pour la conception de systèmes électroniques de puissance plus efficaces. Jusqu'à aujourd'hui, l'utilisation des transistors de puissance à base de silicium (Si) reste encore la plus répandue. Malgré les améliorations successives et continues qu'ont connu ces transistors, ils ont atteint leur limites face à des exigences fonctionnelles de plus en plus sévères dans bon nombre d'applications [1]. Ces limites concernent principalement la température maximale d'opération, la résistance à l'état passant $R_{DS(on)}$, la tension de claquage et la vitesse de commutation. Afin de repousser les limites du Si, les transistors de puissance envisagés dans le domaine de conversion d'énergie font appel à de nouvelles technologies de semi-conducteurs à large bande interdite (grand gap) tels que le nitrure de gallium (GaN) et le carbure de silicium (SiC) qui présentent un meilleur potentiel intrinsèque [2], [3]. Cependant, ces technologies n'ont pas atteint une maturité suffisante pour remplacer complètement le Si dans les applications commerciales. En effet, les retours d'expérience sur ces composants sont peu nombreux et il y a donc un déficit en modèle pour l'estimation de leur fiabilité prédictive.

Dans ce premier chapitre, le contexte des semi-conducteurs grands gaps est présenté dans un premier temps afin de comprendre leur intérêt et les avantages qu'ils possèdent par rapport au Si. Notre étude se focalise principalement sur les transistors de commutation fabriqués avec du GaN. Il est à signaler que contrairement au SiC, les premiers composants GaN avec des tensions maximales de 600V sont apparus sur le marché que depuis quelques années [4], même si *EPC* est entré sur le marché dès 2009 avec ses premiers transistors basse tension [5]. Dans cet état de l'art concernant les transistors à base de GaN, nous présentons tout d'abord les propriétés physiques du

Chapitre I : Généralités sur les transistors à base de GaN

GaN. Ensuite, nous abordons les différentes technologies pour réaliser un fonctionnement normalement bloqué (Normally OFF : la tension de seuil $V_{TH} > 0V$), sachant que le GaN est largement utilisé dans la technologie HEMT (*High Electrons Mobility Transistor*) qui est connue pour être Normally ON. Parmi ces technologies, nous nous focaliserons principalement sur le GaN GIT (*Gate Injection Transistor*) que nous avons choisi pour l'étude de fiabilité dans le cadre de la thèse. Enfin, nous terminons le chapitre par quelques notions issues de la littérature sur les aspects de fiabilité, en particulier le mécanisme de dégradation et défaillance prédominant dans ces technologies.

2. Le contexte des semi-conducteurs grands gaps

2.1 Introduction

A la place des transistors usuels à base de silicium, l'intégration des transistors à semi-conducteurs grand gap est donc indispensable dans l'électronique de puissance pour répondre à des exigences en termes de tenue en tension, de haute fréquence de commutation et de température de fonctionnement tout en conservant un haut niveau de rendement et de fiabilité.

Les transistors à semi-conducteurs grands gaps tirent leurs avantages des propriétés physiques et électriques nettement supérieures à celles des composants en silicium (Si). Dans cette partie, nous proposons, dans un premier temps, de balayer les propriétés intrinsèques de quelques semi-conducteurs grands gaps afin de pouvoir comparer leurs performances pour l'électronique de puissance. Parmi les candidats possibles de matériaux semi-conducteurs grands gap, le carbure de silicium (SiC) et le nitrure de gallium (GaN) restent les plus rencontrés dans la littérature. Comme l'illustre la Figure 1.1 [6], certaines propriétés des semi-conducteurs grands gaps montrent clairement la quasi équivalence entre GaN et SiC sauf pour la conductivité thermique qui reste considérablement à l'avantage du SiC. C'est pour cette raison d'ailleurs, que dans certaines technologies GaN, le substrat utilisé est un substrat SiC apportant une meilleure conductivité thermique. En termes de champs critique et fréquence de commutation le GaN se place légèrement devant.

Chapitre I : Généralités sur les transistors à base de GaN

Dans la suite de ce chapitre, nous nous focalisons uniquement sur le transistor à base de GaN vis-à-vis des autres semi-conducteurs grands gaps.

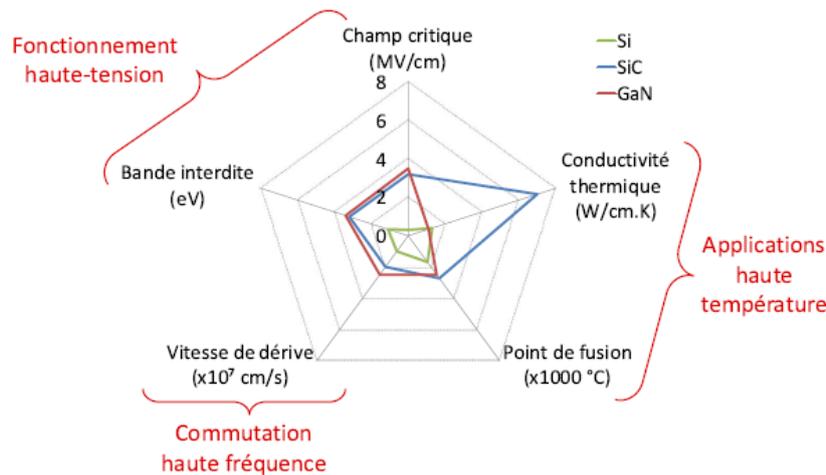


Figure 1.1. Résumé des propriétés les plus pertinentes du Si, SiC et GaN [6].

2.2 Propriétés physiques et électriques des semi-conducteurs grands gaps

2.2.1 Bande d'énergie interdite (gap)

Le SiC et le GaN possèdent une bande interdite (notée E_g , unité : eV), respectivement de 3.2eV et 3.4eV, qui est au minimum supérieure trois fois au Si ($E_g=1.1$ eV), ce qui implique, qu'à énergie d'excitation minimale, il est moins probable à un électron de traverser la bande de valence vers la bande de conduction. Une large bande interdite confère un plus fort champ électrique de claquage (noté E_c , unité : V/cm) que peut supporter le composant selon la relation (1.1). Le fait d'avoir un E_c important permet aux transistors de supporter des tensions de polarisation importante sans détérioration, ce qui se traduit par une plus grande disposition aux applications de puissance. Ceci est d'autant plus intéressant au regard notamment de certaines applications, comme celles du domaine du transport, où les tensions mises en jeu par les batteries d'alimentations avoisinent facilement la centaine de Volts.

$$E_C \propto E_G^{\frac{3}{2}} \quad (1.1)$$

Pour finir, nous pourrions préciser qu'une large bande interdite induit une faible densité de porteurs intrinsèques, ce qui permet d'envisager un fonctionnement à des températures sensiblement plus élevées [7], et donc de pouvoir potentiellement réduire la taille des systèmes de dissipation thermique souvent encombrants dans la mise en œuvre de ces composants.

2.2.2 Mobilité des porteurs de charge (électrons)

La mobilité des porteurs de charge (notée μ_n , unité : $\text{cm}^2/\text{V}\cdot\text{s}$) est une notion qui est liée à la conductivité électrique. Cette notion est souvent couplée à la vitesse de saturation (vitesse de dérive, notée V , unité : cm/s) pour caractériser un matériau. En fonction du type de matériau, lorsque le champ électrique (E) devient important, la loi de variation de la mobilité par rapport au champ électrique se traduit généralement par une variation non linéaire de la vitesse de saturation, selon la relation 1.2. De plus, une faible mobilité des porteurs entraîne une augmentation de la résistance à l'état passant R_{ON} , soit une augmentation des pertes, ce qui sera d'autant plus important pour des applications à hautes fréquences [8].

$$V = E \cdot \mu_n \quad (1.2)$$

Par comparaison au Si ($\approx 1400 \text{cm}^2 \cdot \text{v}^{-1} \cdot \text{s}^{-1}$), le SiC et le GaN ont des mobilités électroniques plus faibles : respectivement 700 et 900 $\text{cm}^2 \cdot \text{v}^{-1} \cdot \text{s}^{-1}$ [9]. Cependant, à titre d'exemple, la mobilité d'électrons du GaN couplée à la capacité de résister à une forte tension permet d'atteindre une vitesse de saturation plus élevée ($\approx 2.5 \times 10^7 \text{cm}/\text{s}$), ce qui est près de 2 fois supérieure à celle du Si. En effet, les transistors à base de GaN utilisent souvent une hétérostructure afin de confiner les électrons dans un puits de potentiel et créer un canal bidimensionnel qui rend la mobilité comprise entre 1200-2000 $\text{cm}^2 \cdot \text{v}^{-1} \cdot \text{s}^{-1}$. Comme la capacité des semi-conducteurs à fonctionner à des hautes fréquences de découpage est directement proportionnelle à la vitesse de saturation selon l'équation 1.3 [10], on peut considérer que les composants à semi-conducteurs à grand gap seront aptes à commuter à des fréquences plus élevées. Cet avantage des

Chapitre I : Généralités sur les transistors à base de GaN

semi-conducteurs à grands gaps par rapport au Si est très apprécié pour des applications en radiofréquence et aussi en commutations qui se veulent de plus en plus rapides.

$$f = \frac{V_{sat}}{2\pi L_g} \quad (1.3)$$

Où le paramètre L_g représente la longueur de grille.

2.2.3 Conductivité thermique

La conductivité thermique (notée K_{th} , unité : W/cm.K) d'un matériau se traduit par sa capacité à évacuer la chaleur provenant de la puissance dissipée par le fonctionnement du composant. Sans avoir une bonne conductivité thermique, une forte température induite par la puissance dissipée va engendrer une chute de la mobilité des porteurs de charges, ce qui diminue la performance du composant. Selon la Figure 1.1, la conductivité thermique du SiC est 4.5W/cm.k, ce qui la rend meilleure que celle du GaN (1.3 W/cm.k) et du Si (1.5 W/cm.k). Cet avantage déterminant a permis au SiC d'être retenu comme substrat dans certains transistors à base de GaN [11] pour des applications critiques (militaires, hautes performances). Pour des raisons de coût, le silicium reste le substrat le plus utilisé pour les GaN des applications civiles (low cost) [12].

2.2.4 Conclusion

Résumés par le Tableau 1.1, ces paramètres physiques nous permettent donc de comprendre l'intérêt d'un matériau grand gap. Le SiC reste un excellent choix pour les applications fonctionnant à haute température. Quant au GaN il est plus préféré pour des applications hautes fréquence et haute tension grâce à une vitesse de saturation et une tension de claquage plus élevées, une résistance à l'état passant plus faible qu'un composant Si ou SiC de géométrie comparable.

Chapitre I : Généralités sur les transistors à base de GaN

Tableau 1.1. Principaux paramètres des matériaux Si, SiC, GaN. [13]

	Si	4H-SiC	GaN
E_g (eV) (Bande interdite)	1.1	3.26	3.4
μ_n (cm²/V.s) (Mobilité des électrons)	1400	700	900
V (cm/s) (Vitesse de saturation)	10 ⁷	2.10 ⁷	2.5.10 ⁷
K_{th} (W/cm.k) (Conductivité thermique)	1.5	4.5	1.3

2.3 Le GaN vis-à-vis des autres semi-conducteurs grands gaps

Le Nitrure de Gallium (GaN) est un semi-conducteur binaire appartenant à la famille des semi-conducteurs III-V, qui se compose d'un élément de la colonne III (Ga) et d'un élément de la colonne V (N) du tableau de Mendeleïev. La bande d'énergie du GaN est directe, de valeur 3.4eV à 300k. C'est un composé cristallin qui possède une structure de type hexagonale Wurtzite pour les applications en électronique [14]. Cette dernière, notée h-GaN ou α-GaN, est considérée comme la forme la plus stable du point de vue thermique. Elle est constituée de deux sous réseaux hexagonaux compacts, l'un contenant les atomes de gallium (Ga représentés par des boules vertes) et l'autre les atomes d'azote (N représentés par des boules violettes) comme l'illustre la Figure 1.2 [15]. Cette structure est caractérisée par les paramètres de maille a et c , et aussi par le paramètre $u=c/a$, où l est la longueur de liaison Ga-N suivant l'axe c . Pour une structure Wurtzite idéale, $c/a=1.633$ et $u=0.375$ [16]. Selon la Figure 1.2, chaque atome est lié à quatre atomes de l'autre élément, formant ainsi un tétraèdre. Selon les différents types d'épitaxie dans la croissance des matériaux GaN, il existe deux polarités possibles : le GaN à face Ga et le GaN à face N, comme l'illustre dans la Figure 1.3.

Chapitre I : Généralités sur les transistors à base de GaN

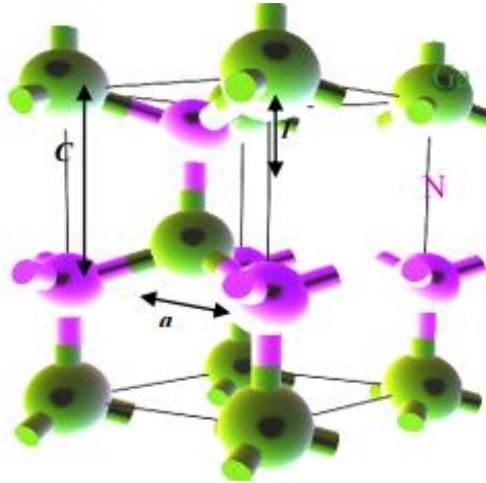


Figure 1.2. Schéma de la structure cristalline de GaN de type Wurtzite [15]

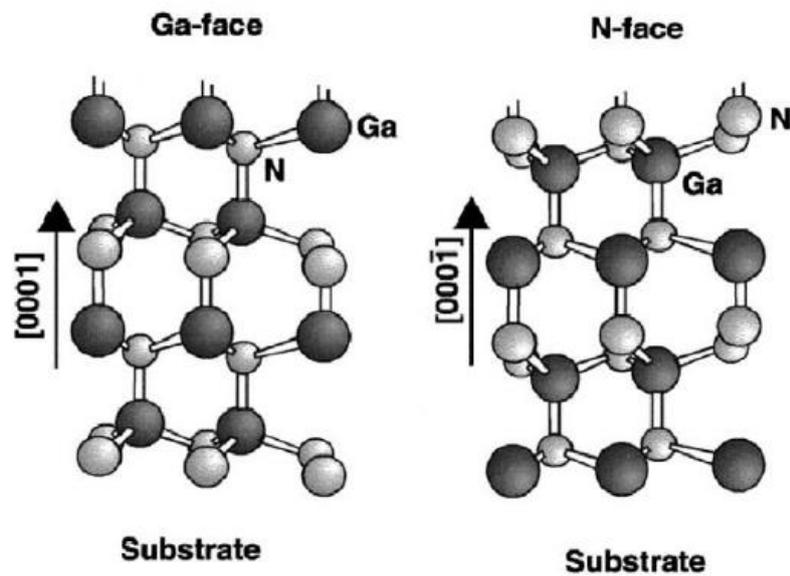


Figure 1.3. Schéma de la structure cristalline de GaN Wurtzite pour le Ga-face et le N-face [16].

Il existe, dans le GaN de type Wurtzite, deux types de polarisations électrique, dont la première est appelée spontanée et la deuxième, piézoélectrique :

Chapitre I : Généralités sur les transistors à base de GaN

-Polarisation spontanée (P_{sp})

Cette polarisation macroscopique résulte du non superposition des barycentres de charges positive et négative, ce qui est dû à la différence de l'électronégativité de l'azote et celle du gallium. Lorsque l'électronégativité de l'azote est plus importante, l'azote peut attirer facilement la répartition du nuage électronique le long d'une liaison Ga-N. On peut considérer que l'atome d'azote présente une charge négative et l'atome gallium une charge positive. Chaque liaison Ga-N présente donc un moment dipolaire, où leur somme est non nulle à cause de la non idéalité de la structure asymétrique de GaN de type Wurtzite ($c/a < 1.633$ [16]). Donc on peut dire que cette liaison est polarisée puisqu'elle agit comme si elle possède un dipôle électrique. Cette polarisation est fondamentale pour former le canal de conduction dans les hétéro-structures de transistors à base de GaN.

-Polarisation piézoélectrique (P_{pz})

La polarisation piézoélectrique apparaît dans le GaN lorsque le matériau subit une contrainte, ce qui perturbe le cristal du matériau. Cette contrainte (extension ou compression) mécanique est apparue par le désaccord de mailles lors de la croissance du GaN sur son substrat, sachant que le GaN est souvent élaboré sur saphir, SiC ou Si. La déformation de la maille du GaN entraîne un déplacement des barycentres des charges et donc une modification de la polarisation spontanée. Cet effet, pour le cas du GaN à Ga-face (polarité gallium), vient s'ajouter à la polarisation spontanée en la renforçant ou l'affaiblissant. Ces deux conséquences (renforcement ou affaiblissement) dépendent du fait que le matériau subisse une déformation en tension ou compression dans le plan perpendiculaire à l'axe de croissance, représenté dans la Figure 1.4. L'effet contraire se produit pour le cas du GaN à polarité azote. Le même effet de polarisation piézoélectrique est aussi trouvé dans le cas de l'hétérostructure AlGaIn/GaN, lorsqu'une couche plus mince d'AlGaIn (entre 20nm et 50nm) est fabriquée sur une couche plus épaisse de GaN ($> 1 \mu\text{m}$). Grâce à la somme de la polarisation spontanée et la polarisation piézoélectrique dans le cas de l'hétérostructure AlGaIn/GaN, un gaz bidimensionnel d'électrons (2DEG) de très forte densité est créé à l'interface de cette hétérostructure et qui est déterminant dans le phénomène de conduction du GaN.

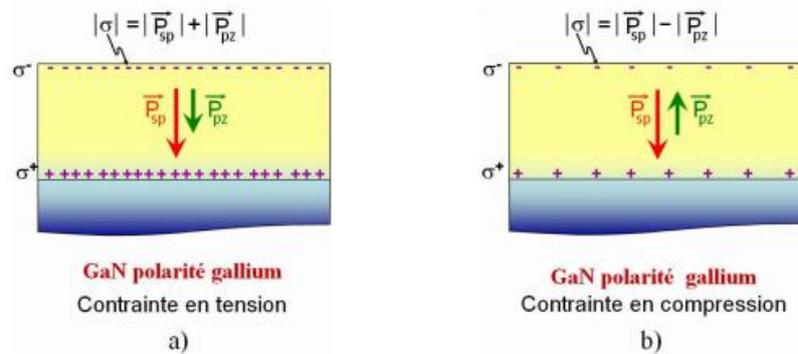


Figure 1.4. Effet de contrainte sur la polarisation et la charge surfacique d'une couche GaN polarité gallium [14].

3. La technologie de transistor à base de GaN

Le transistor à base de GaN est un HEMT (High Electron Mobility Transistor) avec une hétérostructure AlGaIn-GaN comme évoqué précédemment. Cette hétérojonction entre les deux matériaux AlGaIn et GaN permet la séparation des atomes donneurs ionisés (dopants) des électrons libres [17]. Ces électrons sont alors confinés dans une sorte de puits sous forme d'un gaz bidimensionnel d'électrons (2DEG), où ils peuvent atteindre des mobilités importantes. La présence du 2DEG sans polarisation externe rend les transistors construits avec une grille simple normalement passants (normally-on). Les premiers HEMT de la technologie GaN étaient commercialisés entre 1993 et 1994 [18], [19]. Ils étaient réalisés sur plusieurs types de substrats (Si, SiC et Saphir) et étaient dédiés pour des applications radiofréquences.

Dans la partie suivante, nous allons présenter le principe de fonctionnement de l'hétérostructure AlGaIn/GaN.

3.1 La structure de HEMT AlGaIn/GaN

Aujourd'hui, les transistors HEMT AlGaIn/GaN possèdent souvent une structure latérale. Un HEMT AlGaIn/GaN contient principalement trois contacts : un contact

Chapitre I : Généralités sur les transistors à base de GaN

Schottky (Grille), entre deux contacts ohmiques (Source et Drain), comme représenté sur le schéma de la Figure 1.5. Dans cette figure, nous allons décrire les différentes couches constituant la structure du HEMT AlGaN/GaN dans l'ordre d'empilement depuis le substrat.

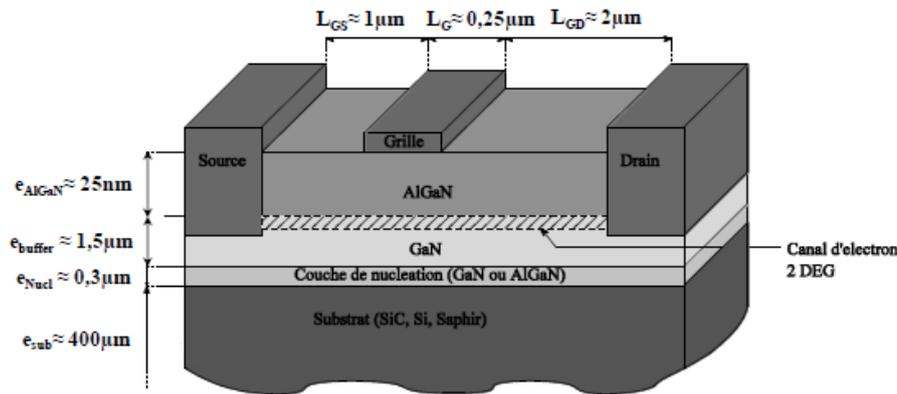


Figure 1.5. Vue en coupe du HEMT AlGaN/GaN [20]

-Le substrat

Le substrat est utilisé comme base pour le processus de croissance. Les HEMTs sont généralement cultivés sur Si, SiC ou Saphir [21]. Le choix du substrat dépend de la facilité de croissance du GaN, du coût, de la conductivité thermique, de l'accord de maille, de la dilatation thermique et de l'application. La croissance réussie de GaN sur Si attire les fondateurs du secteur en raison de la disponibilité du Si avec d'excellentes qualités à faible coût [22]. Actuellement, les meilleurs résultats, qui sont obtenus sur des substrats SiC, sont probablement reproduits en utilisant des substrats de silicium [23]. Cependant, le choix de substrat en Si entraîne des contraintes non négligeables, en ce qui concerne la qualité du produit final et sa fiabilité.

-La couche de nucléation et la couche de GaN

La couche de nucléation est une couche intermédiaire entre la couche de GaN et le substrat. Le rôle de cette couche est de réduire la déformation de traction de GaN due au désaccord de maille entre le substrat Si et la couche de GaN qui favorise les fissures de déformation. Avec une épaisseur qui varie entre $1 \mu\text{m}$ et $2 \mu\text{m}$ selon le fournisseur, la couche de GaN constitue le canal, et le gaz d'électrons bidimensionnel (2DEG) se forme par les effets de polarisations spontanée et piézoélectrique dans la partie

Chapitre I : Généralités sur les transistors à base de GaN

supérieure de cette couche. La qualité de cette couche est très importante, notamment à cause des pièges et des niveaux profonds qui dégradent les performances du composant.

-La couche d'AlGaN

La couche d'AlGaN est une couche donneuse formée par le matériau de la bande interdite large d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$, où x est la fraction molaire de l'aluminium. Il a été démontré que l'augmentation de x entraîne approximativement un changement linéaire de la densité d'électrons dans le canal [24]. Mais le taux d'aluminium ne peut être augmenté indéfiniment à cause de l'augmentation significative de la résistance du canal. En plus, au-delà d'une certaine valeur critique ($x > 0.35$) on provoque un grand désaccord de maille entre la couche AlGaN et la couche de GaN et ainsi une détérioration des propriétés piézoélectriques [16]. Dans la littérature, cette couche forme le contact Schottky avec le contact métallique de la grille et fournit de l'énergie aux électrons de conduction du courant dans le canal. L'épaisseur (3 à 30nm) et la composition de l'alliage de cette couche sont très représentatives pour déterminer la contrainte mécanique et donc la polarisation piézoélectrique dans la structure du contact de cette couche et la couche GaN. Dans l'objectif d'améliorer la performance de l'hétérostructure de AlGaN/GaN, une fine couche d'AlN s'ajoute à l'interface entre ces deux couches, ce qui est censé augmenter les performances en mobilité des transistors en engendrant une plus grande discontinuité de bande entre la couche d'AlGaN et la couche GaN. L'épaisseur optimale de cette couche d'AlN est de 1nm d'après ce qui est rapporté dans les littératures [25], [26].

3.2 Le gaz d'électrons bidimensionnel (2DEG)

Le gaz d'électrons bidimensionnel (2DEG) est obtenu par l'hétérostructure AlGaN/GaN. Cette structure est une jonction entre la couche d'AlGaN et la couche de GaN ayant des bandes interdites différentes. Lorsque l'épaisseur de la couche d'AlGaN (souvent entre 20nm et 50nm) est plus large que la couche de GaN (souvent entre 1 μm et 3 μm), la maille cristalline de la première s'adapte à celle de la deuxième en se déformant mécaniquement. A l'état relaxé de la couche GaN, la polarisation piézoélectrique vient se présenter dans la couche d'AlGaN. Les vecteurs de la polarisation spontanée et piézoélectrique sont rappelés sur la Figure 1.6(a). Cette

Chapitre I : Généralités sur les transistors à base de GaN

polarisation totale (l'équation 1.4) entraîne une accumulation d'électrons qui seront disponibles pour conduire le courant.

$$|P_{totale}| = |P_{SP}(AlGaN)| + |P_{PE}(AlGaN)| - |P_{PE}(GaN)| \quad (1.4)$$

De plus, l'hétérostructure AlGaN/GaN doit avoir un niveau de Fermi constant à l'équilibre thermodynamique. La différence entre les affinités d'électrons des deux couches et la continuité du niveau du vide induisent des discontinuités de bandes à l'interface des deux couches. Les électrons, de façon à compenser partiellement les charges de polarisations spontanée et piézoélectrique (Figure 1.6(b)), sont accumulés dans le puits triangulaire formé par la discontinuité des bandes d'énergie à l'interface côté GaN, ce qui constitue un canal de conduction (Figure 1.6(c)).

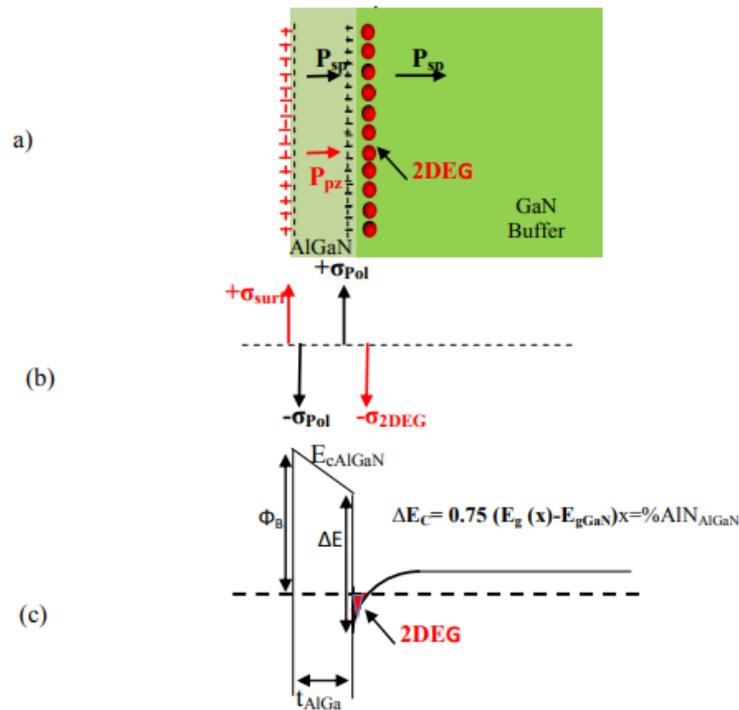


Figure 1.6. (a) Schéma des charges induites dans la structure AlGaN/GaN (b) Distribution de charges présentes dans la structure, (c) Illustration de la courbure du diagramme de bandes de l'hétérostructure AlGaN/GaN [8]

Chapitre I : Généralités sur les transistors à base de GaN

Le canal bidimensionnel assure la conduction du courant grâce à l'effet d'un champ électrique induit par une tension d'excitation. Cet effet d'accumulation d'électrons reçoit le nom de gaz d'électrons bidimensionnel (2DEG). Grâce au 2DEG, la mobilité d'électrons du HEMT AlGaIn/GaN a été estimée dans la gamme des 1000-2000cm²/Vs, selon le taux d'Al de la couche d'AlGaIn à la température ambiante, qui est significativement plus grand que le SiC par exemple [16].

3.3 Mécanismes de piégeage dans les transistors HEMT AlGaIn/GaN

Les phénomènes de piégeage résultent des états énergétiques provenant d'impuretés ou défauts, localisés dans l'empilement et qui vont capter puis réémettre les électrons ou les trous. Ces porteurs capturés ne pouvant pas participer à la conduction pendant un moment, ce qui va engendrer le changement des performances du 2DEG [27], d'où le nom de pièges. La constante de temps de capture de pièges (une durée de l'ordre de la microseconde) est d'environ 1000 fois supérieure que celle d'émission de pièges (une durée de l'ordre de la milliseconde) [28]. Dans la technologie de HEMT AlGaIn/GaN, deux principaux mécanismes de pièges sont distingués: ceux de surface du matériau [29] qui réagissent à des changements de polarisation de grille et génèrent des effets dits gate-lag, et ceux du buffer qui réagissent à des changements de polarisation de drain et génèrent des effets dits de drain-lag.

3.3.1 Effet de drain-lag

L'effet de drain-lag est lié au champ électrique relativement important généré par la tension drain-source V_{DS} . Il apparaît lors de variation brusques de cette tension V_{DS} . Cet effet engendre une chute du courant de drain-source I_{DS} lors de l'application d'une polarisation en tension [30]. Ceci est dû au phénomène de capture d'électrons par des pièges dans la couche GaN. Comme l'illustre la Figure 1.7 [31], les captures d'électrons dans les pièges de la couche de GaN épuisent partiellement le canal 2DEG et induisent une décroissance du courant de drain-source I_{DS} dès que le composant est remis à l'état ON.

Chapitre I : Généralités sur les transistors à base de GaN

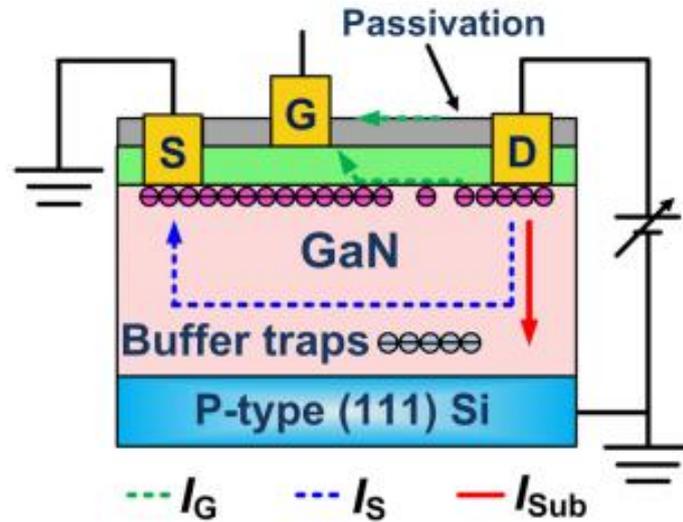


Figure 1.7. Schéma de l'effet des pièges de la couche de GaN sur les performances électriques de HEMT AlGaIn/GaN sur le substrat Si.

Pour mettre en évidence l'effet de drain-lag, des travaux de la littérature [32] proposent de surveiller le courant de drain-source I_{DS} lorsque la tension de drain-source V_{DS} varie d'une valeur relativement importante à une valeur relativement faible, puis revient à sa valeur initiale. Pour expliquer ce qui se produit comme phénomène, on divise cette procédure en trois étapes, représentées sur la Figure 1.8:

- $t < t_1$. Lors de l'application de la tension V_{DS} sur le composant HEMT, les électrons chauds du canal sont capturés par les pièges dans la couche GaN, ce qui induit une réduction de la mobilité dans le canal.

- $t_1 < t < t_2$. Lorsque la tension V_{DS} diminue brusquement, les électrons capturés dans les pièges vont être réémis dans le canal pour participer à la conduction, ce qui provoque une augmentation du courant de drain-source I_{DS}

- $t > t_2$. Lorsque la tension de V_{DS} réaugmente brusquement pour retrouver sa valeur initiale, les électrons sont accélérés par le champ électrique engendré par V_{DS} . Ces électrons sont recapturés par les pièges de la couche GaN comme dans l'étape $t < t_1$, ce qui provoque la diminution du courant de drain I_{DS} jusqu'à ce qu'il atteigne son régime établi.

Chapitre I : Généralités sur les transistors à base de GaN

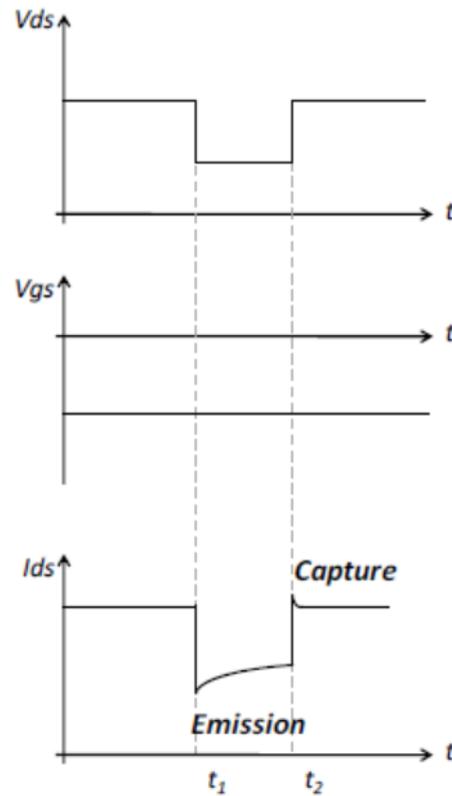


Figure 1.8. Mise en évidence d'effet de drain-lag [32].

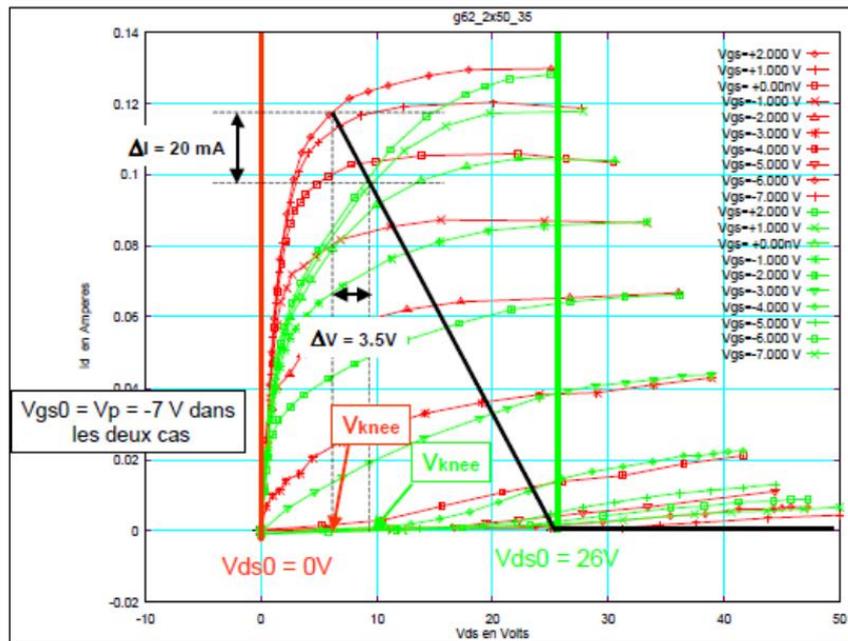
D'autres travaux se sont intéressés à observer l'influence directe de l'effet de drain-lag sur la performance de HEMT AlGaIn/GaN. Deux jeux de mesures I-V pulsées à puissance dissipée nulle sont réalisées sur un transistor HEMT AlGaIn/GaN sur SiC dans les travaux de la référence [33]. Les conditions de polarisation du transistor étaient alors proposées comme suit:

- Jeux 1 : V_{GS0} (la polarisation de repos de V_{GS}) = $V_{TH} = -7V$ (La tension de seuil du transistor), V_{DS0} (la polarisation de repos de V_{DS}) = $0V$
- Jeux 2 : $V_{GS0} = V_{TH} = -7V$, $V_{DS0} = 26V$

Comme l'illustre la Figure 1.9, on peut constater évidemment une différence assez importante au niveau du courant du drain I_{DS} dans la zone 0-26V lorsqu'on superpose les deux réseaux. Cette réduction significative est due au fait que le temps d'émission d'électron par des pièges est plus lent que la durée des pulses utilisés dans la

Chapitre I : Généralités sur les transistors à base de GaN

caractérisation I-V. De cet effet en résulte une baisse de la puissance de sortie. Dans la zone où la tension V_{DS} est supérieure à 26V, les valeurs du courant I_{DS} sont quasiment les mêmes, ce qui peut être dû au fait que le courant mesuré au-delà de $V_{DS}=26V$ représente le courant lorsque l'ensemble des électrons sont réémis par les pièges.



3.3.2 Effet de Gate-lag

On peut expliquer l'effet de Gate-lag de la même manière que l'effet de drain-lag, sauf que dans ce cas le phénomène intervient lors d'une variation brusque de la tension de grille. Lorsque le fonctionnement du HEMT AlGaIn/GaN est normalement passant, il est nécessaire de polariser une tension négative sur la grille pour bloquer le canal. L'application de cette polarisation négative crée une différence de potentiel entre la grille et le contact de drain, ce qui peut entraîner l'injection d'électrons dans les pièges de surface, comme l'illustre la Figure 1.10.

Chapitre I : Généralités sur les transistors à base de GaN

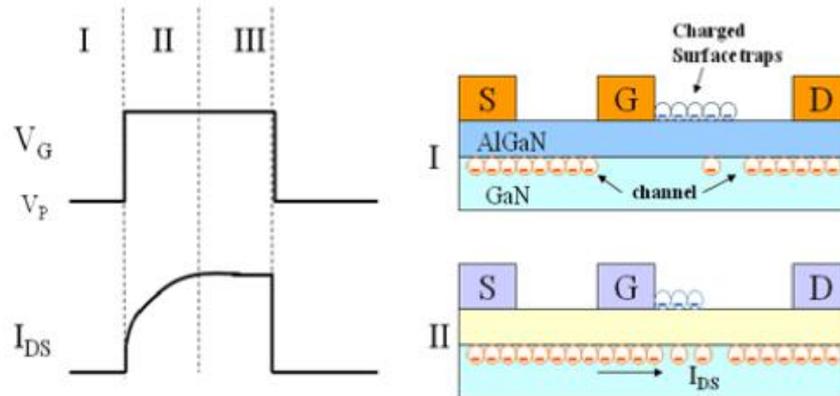


Figure 1.10. Schéma de l'effet des pièges de la surface de HEMT AlGaIn/GaN [34].

Pour mettre en évidence l'effet de gate-lag, on surveille le courant de drain-source I_{DS} lorsque la tension de grille-source V_{GS} varie d'une valeur inférieure à V_{TH} à une valeur supérieure à V_{TH} , puis revient à sa valeur initiale. Pour expliquer ce phénomène, on divise aussi cette procédure en trois étapes :

-I. Lors l'application d'une tension négative V_{GS} qui est inférieurs à V_{TH} , les électrons chauds du canal sont injectés et capturés par les pièges sur la surface, ce qui induit une réduction de la mobilité dans le canal.

-II. Lorsqu'on augmente la tension V_{GS} brutalement de l'état OFF à l'état ON, les électrons sont réémis par les pièges, ceux qui provoque une augmentation transitoire sur le courant de drain I_{DS} .

-III. Le courant de drain I_{DS} atteint son état établi. Après l'étape III, l'état du composant revient à l'étape I.

Pour mettre en évidence l'influence de l'effet de gate-lag sur la performance de transistor HEMT AlGaIn/GaN, l'idée des travaux de la référence [33] était de réaliser deux jeux de mesures I-V pulsées à puissance dissipée nulle avec deux différentes polarisations de repos de grille V_{GS0} en maintenant la polarisation de repos de drain $V_{DS0}=0V$.

-Jeux 1 : $V_{GS0} = 0V$, $V_{DS0} = 0V$.

-Jeux 2 : $V_{GS0}=V_{TH}=-3.5V$, $V_{DS0} = 0V$

Chapitre I : Généralités sur les transistors à base de GaN

Comme représenté dans la Figure 1.11, on peut observer une différence significative au niveau du courant de drain I_{DS} lorsqu'on superpose ces deux réseaux. Le courant du drain I_{DS} dans le cas de $V_{GS0}=-3,5V$ est inférieur à celui du cas de $V_{GS0}=0V$ dû au fait que le temps d'émission d'électrons par des pièges est plus lent que la durée des pulses. Ce phénomène de pièges peut donc influencer fortement sur le fonctionnement d'un amplificateur. Comme l'indique la référence [35] où l'effet de gate-lag est réduit par l'ajout d'une couche de passivation (SiO , SiO_2 , Si_3N_4) au-dessus de la couche d'AlGaN. L'ajout de cette couche peut neutraliser la charge de polarisation négative dans la couche d'AlGaN à l'aide d'une augmentation de charges positives à l'interface « couche passivation/AlGaN », ce qui conduit à l'élimination ou la diminution de la zone de déplétion créée à la surface.

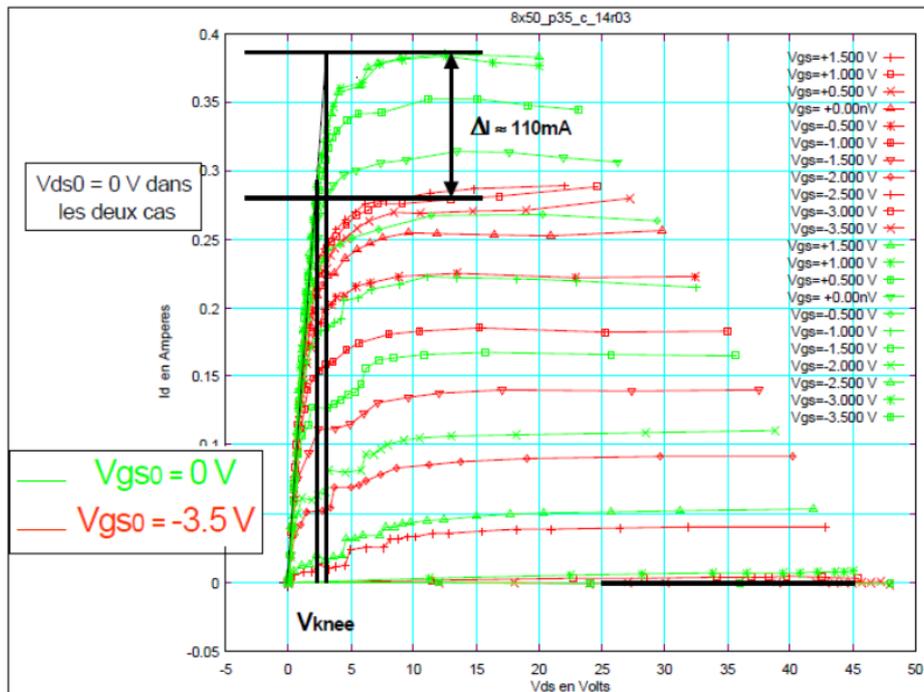


Figure 1.11. Exemple de comparaison des caractéristiques I(V) obtenues sur un transistor GaN pour deux polarisations de repos V_{GS0} [33]

3.4 Le HEMT AlGaN/GaN normalement bloqué

Grâce aux excellentes propriétés physiques, les HEMTs AlGaN/GaN peuvent être utilisés à la fois pour la mise en œuvre de dispositifs à haute fréquence, par exemple, amplificateurs RF, et pour des applications de fortes puissances (Figure 1.12). Les performances RF des HEMTs AlGaN/GaN ont été largement rapportées dans la littérature [37] [38] [39].

Dans le but d'utiliser les hétérostructures AlGaN/GaN dans l'industrie pour les systèmes de commutation, comme évoqué précédemment, une des limites fondamentales qui empêche toujours le développement du marché de ces transistors est la tension de seuil négative. Il est donc intéressant de modifier la structure de grille qui peut positivement décaler la tension de seuil afin d'obtenir des transistors Normally-OFF. Dans la section 3.4, nous allons énumérer les solutions les plus utilisées dans les HEMTs AlGaN/GaN disponibles sur le marché, en commençant par une solution intermédiaire qui n'intervient pas sur la topologie du HEMT mais plutôt sur la configuration générale du composant.

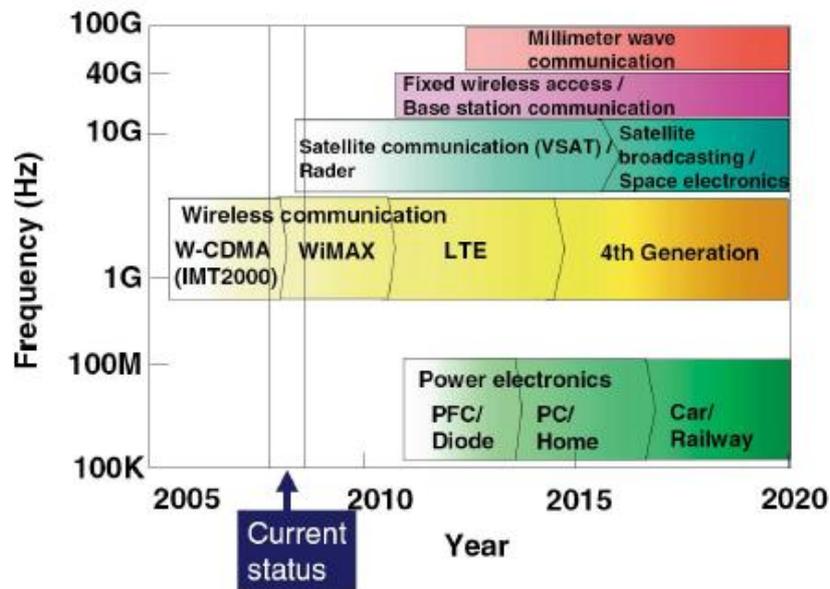


Figure 1.12. Feuille de route des domaines de commercialisation des HEMTs à base de GaN en fonction des fréquences de fonctionnement [36].

3.4.1 Solution hybride : Structure cascode (HEMT passant + MOSFET bloqué)

Le processus de fabrication du transistor GaN normalement passant est plus facile que celui du transistor GaN normalement bloqué. En revanche, le design du driver de grille pour le HEMT AlGaN/GaN normalement bloqué est très critique [40]. Dans l'objectif de facilement et directement appliquer le GaN normalement passant dans le design de circuit, un MOSFET normalement bloqué à faible tension est mis en série avec un HEMT GaN normalement passant. Ce montage est bien connu sous le nom de structure cascode, comme représenté sur la Figure 1.13.

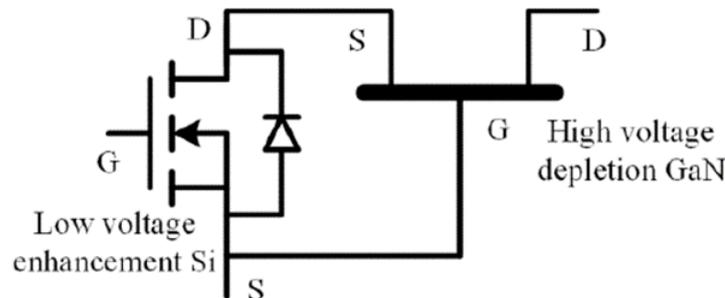


Figure 1.13. Schéma HEMT GaN + MOSFET Si en cascode [41].

Grâce à cette configuration, la tension de grille-source V_{GS} du HEMT GaN est équivalente à celle de source-drain V_{SD-Si} du MOSFET Si. L'autre avantage de cette configuration est lié à la commande du MOSFET qui pourrait être réalisée directement par un driver de grille traditionnel. En revanche, il faut prêter une grande attention au choix du MOSFET Si pour concevoir cette structure cascode. Effectivement, si la tension drain-source du MOSFET Si V_{DS-Si} est supérieure à sa tension de claquage V_{BV-Si} pendant l'état bloqué, le MOSFET Si sera défaillant. Le HEMT AlGaN/GaN sera alors défaillant si la tension V_{DS-Si} est supérieure à la valeur absolue de sa tension grille-source minimale V_{GS-GaN} . De plus, la tension V_{DS-Si} doit être supérieure à la valeur absolue de la tension de seuil V_{TH-GaN} du HEMT AlGaN/GaN pendant l'état bloqué. Pour conclure, selon la relation 1.5 [42], la tension V_{BV-Si} doit être supérieure à la valeur absolue de la tension V_{TH-GaN} , et inférieure à la valeur absolue de la tension minimale de $V_{GSmin-GaN}$. A titre d'exemple, pour un composant 600V (V_{BV-GaN}) HEMT AlGaN/GaN normalement passant, sa tension de seuil V_{TH-GaN} est de $-5,5V$ alors que sa tension de claquage de la grille (la tension minimale de grille $V_{GSmin-GaN}$)

Chapitre I : Généralités sur les transistors à base de GaN

est de -35V. Ensuite, selon la relation 1.5, un 30V (V_{BV-Si}) MOSFET Si est utilisé dans cette structure cascode qui peut assurer de mettre à l'état Off efficacement et en toute sécurité le HEMT tout en laissant une certaine marge entre la tension $V_{GSmin-GaN}$ et V_{TH-GaN} .

$$|V_{TH-GaN}| < V_{BV-Si} < |V_{GSmin-GaN}| \quad (1.5)$$

Même si cette structure est plus facile à réaliser, son inconvénient reste l'augmentation de la résistance à l'état passant à cause du MOSFET Si utilisé [43]. La Figure 1.14 montre que la structure cascode n'est pas adaptée pour les composants à faible tension, parce que le MOSFET Si ajoute une résistance supplémentaire à l'état passant $R_{DS(on)}$. Par exemple, pour un transistor 40V de la structure cascode, le MOSFET Si participe à plus que 40% du $R_{DS(on)}$, tandis que ce taux est réduit à presque 30% pour le transistor 100V, moins que 15% pour le transistor 200V et jusqu'à même moins que 5% pour le transistor 600V. Pour cette raison, la structure cascode est seulement vue pour les composants 600V.

Jusqu'à maintenant, *Transphorm* est le seul fournisseur à vendre des composants cascode de 650V à 900V [44], bien que *International Rectifier* [45] et *MicroGaN* [46] aient produit aussi des échantillons en 600V. *RFMD* proposait des échantillons en 650V GaN-sur-SiC en 2014 mais ils ont abandonné ce produit à cause du coût plus élevée lié principalement à l'utilisation de substrat SiC par rapport au substrat Si.

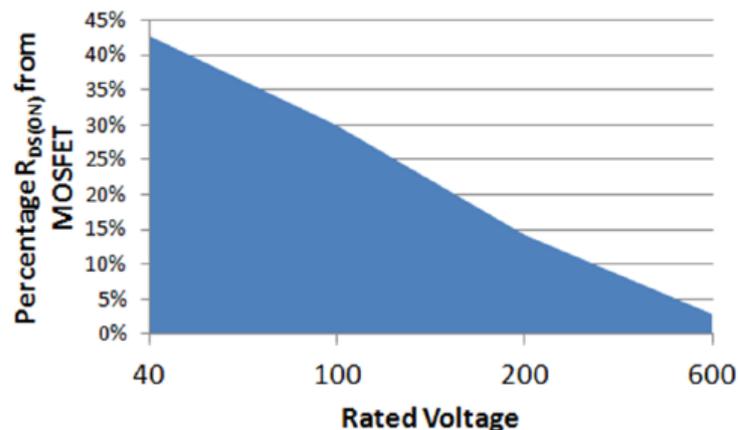


Figure 1.14. Pourcentage de la résistance à l'état passant de MOSFET-Si au composant en cascode [43]

3.4.2 Structure de grille gravée (*Recessed gate*)

Bien que le 2DEG rend le HEMT AlGaIn/GaN naturellement en mode de Normally-ON, la grille peut être modifiée pour décaler positivement la tension de seuil. Une des solutions est basée sur la structure de grille gravée qui est considérée comme l'une des plus connues pour la fabrication de HEMT AlGaIn/GaN normalement bloqué. L'idée générale est d'effectuer une profondeur de gravure dans la couche AlGaIn uniquement sous la grille pour épuiser localement le 2DEG (au-dessous de la grille) quand aucune tension de grille n'est appliquée. Une tension positive supérieure au seuil est alors requise pour améliorer ce 2DEG épuisé sous la grille et compléter le canal.

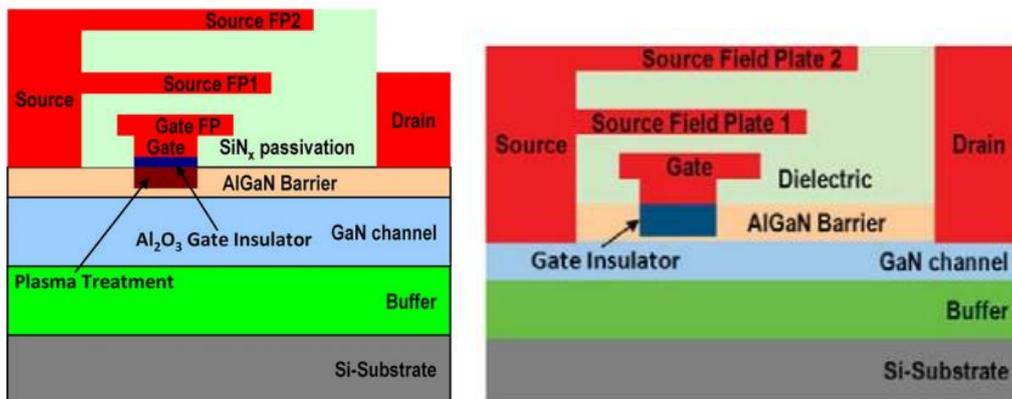


Figure 1.15. Schéma de coupe transversale du composant avec le traitement plasma [47]. (b) Schéma de coupe transversale du composant avec l'isolant AlN [49].

Une approche connue est proposée par le laboratoire *HRL* comme représenté dans la Figure 1.15(a). Un traitement plasma CF_4 (Tétra fluorure de carbone), en utilisant une combinaison du gaz à base de F- et Cl-, est appliqué au-dessous de la région de la grille ce qui conduit à l'épuisement du gaz d'électron 2DEG dans le canal sans provoquer des états de piège visibles dans le semi-conducteur [47]. Ce traitement plasma à base de F- a pour objectif de passer la tension de seuil V_{TH} de négative à positive [48]. L'ajout de plasma à base de Cl- a contribué à améliorer la transconductance et l'hystérésis de V_{TH} . Un isolant (insulator) Al_2O_3 , déposé entre la région du traitement plasma et la grille, empêche un courant de grille significatif de circuler. Cependant, le dernier composant du laboratoire *HRL* a été repensé en utilisant une architecture remplaçant le traitement plasma avec une grille gravée [49]. Comme l'illustre la Figure 1.15(b), le diélectrique AlN au lieu d' Al_2O_3 a été utilisé dans la

Chapitre I : Généralités sur les transistors à base de GaN

gravure partielle de la couche d'AlGaN comme un isolant sous la grille. Cette modification de la structure de grille a abouti à :

- **1**, une augmentation de la tension de seuil V_{TH} de 0,6V à 1,3V.
- **2**, une réduction de la résistance à l'état passant R_{DSON} de 500m Ω à 350m Ω .
- **3**, une amélioration du courant de drain maximale I_{DSMAX} de 5,5A à 10,5A.
- **4**, une amélioration de la polarisation de grille positive maximale V_{GSMAX} de +3V à +6V.

Cependant, la tension de seuil V_{TH} de ces composants n'est toujours pas élevée pour les applications de commutation de puissance, où la tension de seuil V_{TH} supérieure à 3-5V est préférable pour prévenir de mauvaises opérations causées par le bruit [50]. Pour augmenter la tension V_{TH} de ce type de structure, on envisage d'augmenter la profondeur de la gravure, selon la Figure 1.16. Lorsque la profondeur de gravure augmente, la tension V_{TH} change linéairement, elle montre un E-mode (Normally-Off) quand cette profondeur est supérieure à 15nm.

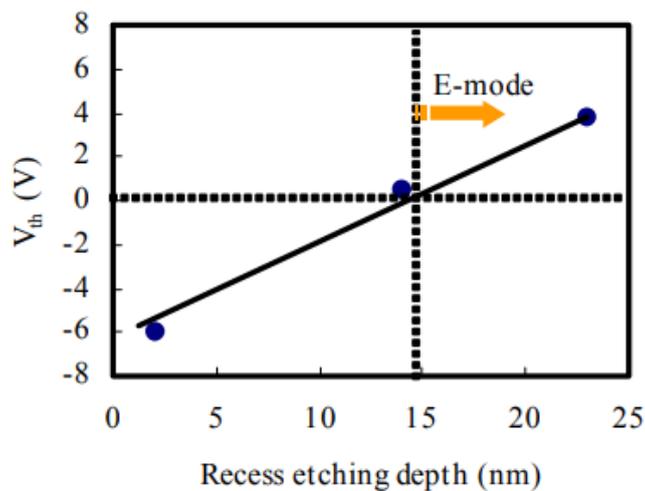


Figure 1.16. Dépendance de V_{TH} sur la profondeur de gravure pour le HEMT AlGaN/GaN avec la grille gravée [51].

Des essais sont alors faits en gravant totalement la couche AlGaN et une partie du GaN sous la grille pour former un MIS-HEMT (Metal Isolator Semiconductor HEMT). *Sharp* a développé un MIS-HEMT Normally-OFF avec gravure totale et passivation avec SiN, obtenant une tension de seuil de 5,2V (Figure 1.17). Cette tension V_{TH} élevée a été attribuée à la structure de MIS-grille gravée, qui élimine localement le 2DEG sous

Chapitre I : Généralités sur les transistors à base de GaN

la grille, ainsi que la charge négative induite par la polarisation sous la grille, ce qui décale positivement la tension de seuil V_{TH} du transistor. De plus, le 2DEG restant dans le canal sauf au-dessous de la région de la grille permet de maintenir la résistance $R_{DS(on)}$ relativement faible. Comme indiqué précédemment, la passivation avec du SiN est aussi une option préférée pour isoler la grille et minimiser le courant de fuite [53].

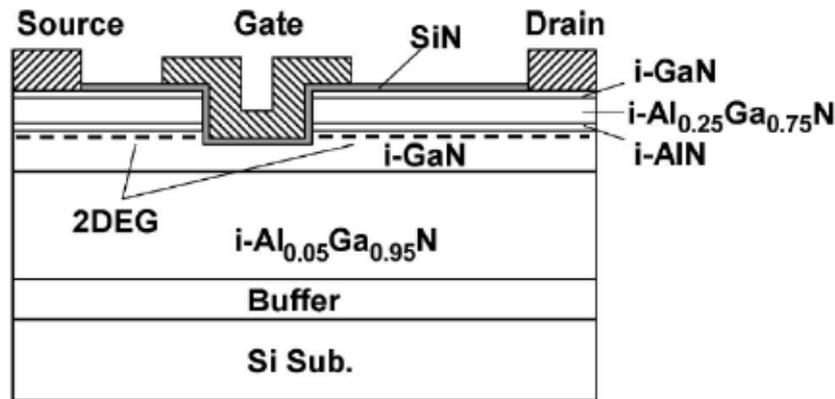


Figure 1.17. Schéma de coupe transversale de MIS-HEMT par Sharp [52].

Une autre solution pour l'obtention directe d'un HEMT AlGaN/GaN Normally-OFF est la construction du pied de grille en GaN ou AlGaN dopé p. C'est le choix des fabricants tels que EPC [54] ou Panasonic [55]. Un des composants de Panasonic, basé sur ce principe, a été choisi dans notre travail pour nos études de fiabilité. Cette structure est donc présentée en détail dans la partie suivante, et ensuite les principales études de sa fiabilité extraite de la bibliographie sont présentées et discutées.

4. Transistors GaN-GIT (Gate Injection Transistor)

4.1 Présentation des technologies GaN-GIT

La Figure 1.18(a) montre un schéma de la coupe transversale d'un 600V GaN-GIT. La caractéristique la plus notable du GIT est l'ajout d'une couche d'AlGaN dopée p (p-

Chapitre I : Généralités sur les transistors à base de GaN

AlGaN) au-dessous du contact ohmique de la grille. Le dopage est obtenu avec la croissance du AlGaN avec du Mg. La structure d'hétéroépitaxie p-AlGaN/i-AlGaN/GaN est cultivée sur le substrat Si avec la couche tampon GaN/AlN. L'épaisseur totale de la couche épitaxiée de Nitrure est de $4,7\mu\text{m}$. Le taux d'Al et l'épaisseur de la couche d'AlGaN non-dopée sont optimisés pour être respectivement 15% et 25nm, et ceux de la couche de p-AlGaN sont respectivement de 15% et 100nm. Grâce à l'ajout de la couche p-AlGaN, le potentiel au canal a été augmenté, ce qui permet au HEMT de fonctionner en Normally-OFF, comme l'illustre la Figure 1.18(b).

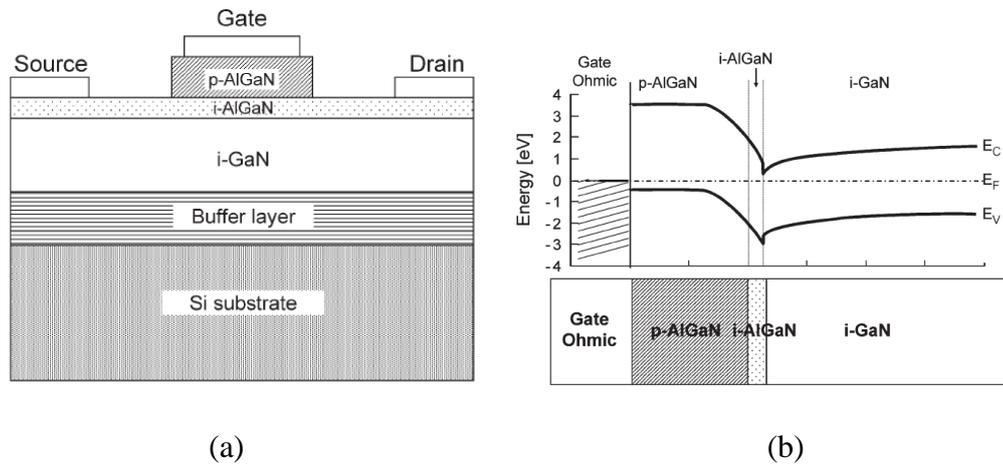


Figure 1.18. (a) Schéma de coupe transversale du GaN-GIT (b) Diagramme de bande du GaN-GIT sous un biais de la grille de 0V [56]

La Figure 1.19 illustre le principe de fonctionnement du GaN-GIT. A la tension de grille V_{GS} de 0V, le canal sous la grille est complètement épuisé, et le courant de drain I_{DS} est nul (Figure 1.19(a)). Lorsque la tension V_{GS} dépasse la tension de seuil V_{TH} (Figure 1.19(b)), le GIT fonctionne comme un transistor à effet de champ (FET). Le canal conduit et les électrons se déplacent sous l'effet du champ électrique de la tension V_{DS} . En continuant à augmenter la tension V_{GS} jusqu'à dépassement de la tension intégrée V_F de la jonction p-n (Figure 1.19(c)) entraîne l'injection de trous dans le canal de la couche p-AlGaN. Les trous injectés accumulent le même nombre d'électrons qui s'écoulent de la source pour garder le canal électriquement neutre. Les électrons accumulés sont alors déplacés avec une grande mobilité, tandis que l'injection des trous reste autour de la grille car la mobilité des trous est au moins deux ordres de grandeurs inférieures à celle des électrons. Cette modulation de conductivité entraîne une augmentation significative du courant de drain I_{DS} , qui maintient un faible courant de grille I_{GS} .

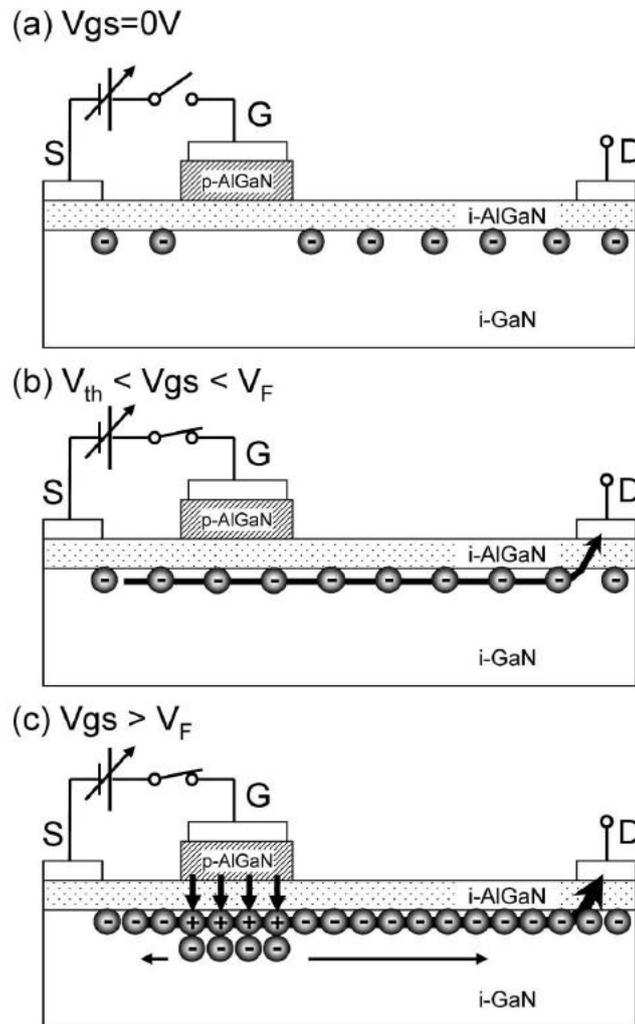


Figure 1.19. Schéma des différentes conditions de fonctionnement du GIT avec différentes tensions V_{GS} . (a) $V_{GS}=0V$, (b) $V_{TH}<V_{GS}<V_F$, (c) $V_{GS}>V_F$

Pour continuer ses développements, *PANASONIC* a développé un produit plus récent, le HD-GIT (Hybrid Drain-Embedded GIT) [57], comme l'illustre la Figure 1.20. Le composant introduit premièrement une gravure de la couche p-GaN dans la couche d'AlGaN pour obtenir une tension de seuil V_{TH} plus élevée, et deuxièmement un ajout supplémentaire de la couche p-GaN à côté de l'électrode de drain. Lorsque cette couche p-GaN est connectée électriquement au drain, les trous injectés à l'état OFF permettent efficacement de libérer les électrons de pièges pour que l'effet de courant-collaps [58] soit complètement réduit.

Chapitre I : Généralités sur les transistors à base de GaN

Cependant, il existe encore certains problèmes de fiabilité associés à la technologie GaN-GIT, comme la stabilité de la tension de seuil, le mécanisme de piégeage de charge, la dégradation induite par la polarisation positive ou induite par le biais de tension de drain élevée à l'état OFF.

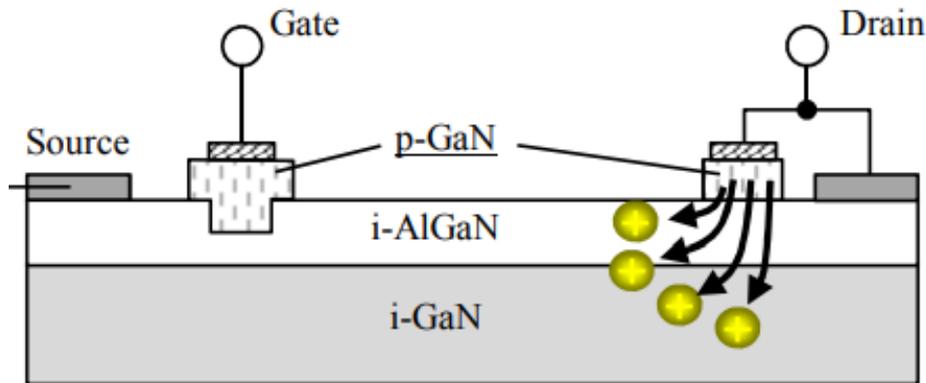


Figure 1.20. Schéma de coupe transversale du HD-GIT [57]

4.2 Etat de l'art sur les mécanismes de dégradation pour le GaN-GIT

Un aspect essentiel de l'étude des transistors à base de GaN est lié aux investigations de leur fiabilité. En fait, pendant le fonctionnement de ces composants dans des convertisseurs de haute tension, ils peuvent être soumis à des niveaux de champ électrique et de courant très élevés, ce qui est susceptible d'accélérer la dégradation du composant. Dans des applications réelles, plusieurs conditions potentiellement critiques peuvent être observées :

- Lorsque le transistor est à l'état OFF, une tension drain-source V_{DS} élevée est appliquée. Cette tension provoque un champ électrique élevé qui peut favoriser certains mécanismes de piégeage des charges, un phénomène normalement réversible. De plus, une polarisation élevée à l'état off peut induire une dégradation qui peut se transformer en défaillance catastrophique des transistors si le temps d'application est prolongé jusqu'à une certaine limite.
- Lorsque le transistor est à l'état ON, une tension grille-source V_{GS} positive (5~7V) est appliquée. Sous cette condition, une dégradation qui entraîne une

Chapitre I : Généralités sur les transistors à base de GaN

augmentation du courant de fuite de grille I_{GSS} peut être induite en fonction du temps.

- Pendant l'état transitoire, où le composant passe de l'état OFF à l'état ON, le courant de drain I_{DS} peut atteindre un pic dont la valeur peut être supérieure à la limite du composant, ce qui favorise une dégradation induite par électrons chauds "hot electrons", et aussi une augmentation de la puissance dissipée. Cette dernière provoque une augmentation de température, ce qui peut accélérer les processus de piégeage et de dégradation, limitant ainsi la durée de vie du composant.

En raison de l'ajout de la couche p-AlGa_N ou p-GaN, certains processus de dégradations assez spécifiques peuvent aussi se produire. Dans les sections suivantes, nous nous focalisons seulement sur les principaux mécanismes de dégradation des technologies GaN-GIT objets de nos études.

4.2.1 L'instabilité de la tension de seuil V_{TH}

Dans la condition réelle, le GaN-GIT devient passant par l'application d'une tension V_{GS} positive, normalement supérieure à 4V. Pendant ce temps, la tension V_{DS} est faible à cause de la différence de potentiel aux bornes de la charge provoquée par le passage d'un courant I_{DS} (Résistance, inductance etc.). Le piégeage et le dépiégeage des charges peuvent se produire principalement dans la région située sous la grille, affectant ainsi la tension de seuil V_{TH} du composant [59]. La Figure 1.21(a) présente la caractéristique I_{DS} - V_{DS} pulsée du GaN-GIT avec différentes polarisations de repos de V_{GS0} (de 0V à 6V). Durant la mesure, la durée de l'état ON est 1 μ s avec un rapport cyclique de 1%, ce qui veut dire que la durée de polarisation de repos est de 99 μ s. On peut observer une quasi-stabilité de la région linéaire, ce qui montre une stabilité de la résistance à l'état passant R_{DSON} . Cependant, à partir de la Figure 1.21(b), nous remarquons que le courant augmente dans la région saturée ce qui est dû à la baisse de la tension de seuil (NBTI : négative shift of the threshold voltage). Ce phénomène de NBTI est expliqué par l'augmentation de la mobilité des électrons 2DEG par l'injection de trous liés à la structure p-GaN. Par ailleurs, un autre phénomène qui provoque un décalage dans le sens positif de la tension de seuil V_{TH} (PBTI) est observé dans d'autres structures de type MIS-HEMT à base de GaN et s'explique par les pièges d'électrons dans la couche d'interface d'AlGa_N (Figure 1.22).

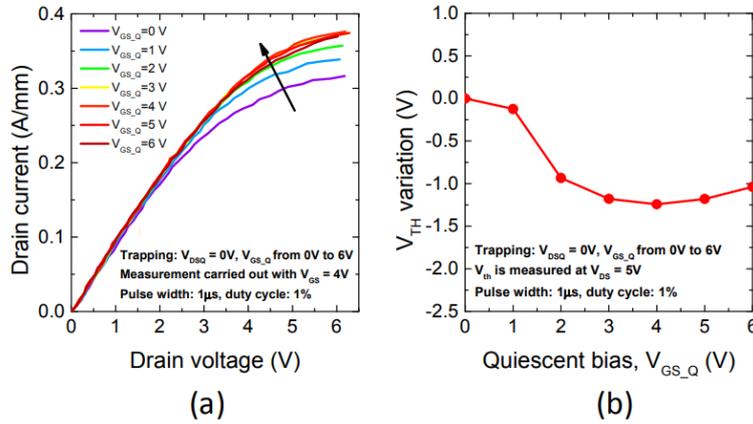


Figure 1.21. Caractéristique I_{DS} - V_{DS} pulsé avec différentes polarisations de repos V_{GS0} pour le GaN-GIT. (b) La tension de seuil V_{TH} en fonction de V_{GS0}

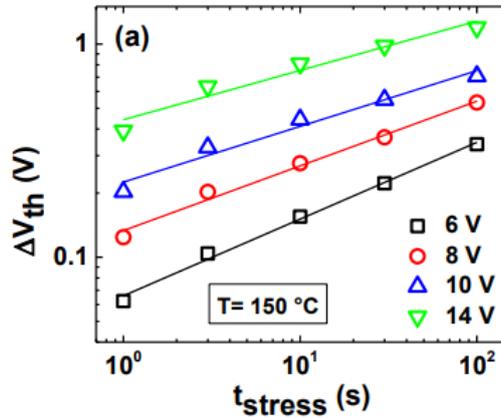


Figure 1.22. La variation de la tension de seuil V_{TH} en fonction du temps de stress avec les différentes tensions V_{GS} (de 6V à 14V) [60].

4.2.2 La dégradation induite par la forte tension V_{GS} .

En appliquant une forte tension de grille-source V_{GS} , les diagrammes de bandes du transistor subissent un changement significatif lié principalement à l'augmentation du champ électrique de la couche p-GaN. La Figure 1.23 (a) présente l'état en condition d'équilibre qui est différent de celui de la Figure 1.23 (b) qui représente le cas de

Chapitre I : Généralités sur les transistors à base de GaN

l'application d'une forte tension V_{GS} . On peut observer un changement des bandes de la couche p-GaN qui est dû au fait que la tension V_{GS} agit principalement sur cette couche. D'autre part, il a été observé que les bandes dans la couche d'AlGaIn ne sont pas significativement affectées suite à l'application de la tension V_{GS} . Sous ce fort champ électrique situé dans la couche p-GaN, les électrons du canal pourront être émis par la couche d'AlGaIn et injectés dans la couche p-GaN, ce qui induit finalement une dégradation, en fonction du temps, de la jonction métal/p-GaN à cause de la génération de point chaud (hot spot) [62] [63]. Comme l'illustre la Figure 1.24, le processus de la génération de point chaud est démontré par des mesures d'électroluminescence sous stress à une tension V_{GS} de 9V.

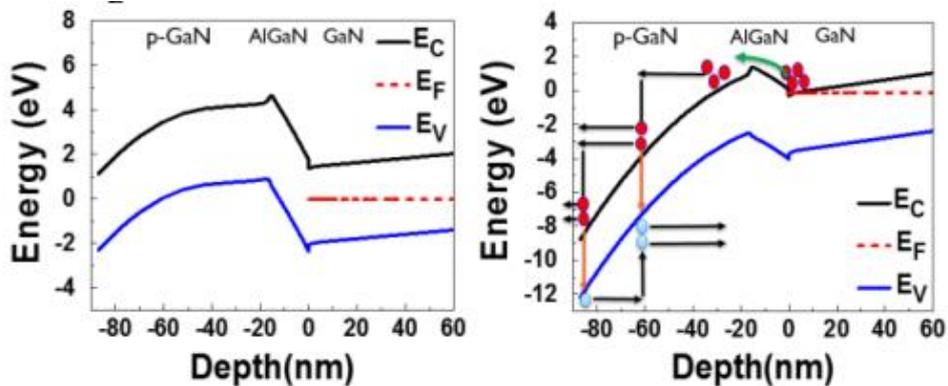


Figure 1.23. La bande de diagramme dans les conditions (a) d'équilibre, et (b) une forte tension V_{GS} , ex. $V_{GS} = 10V$ [61].

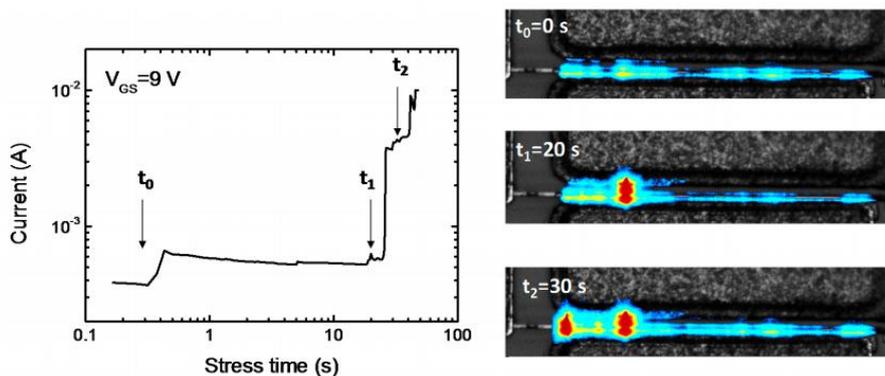


Figure 1.24. (a) Le courant I_{GS} en fonction du temps de stress sous $V_{GS} = 9V$, (b) la distribution de la lumière (EL) émise par la jonction de grille pendant le stress, à différents intervalles de temps [59].

Chapitre I : Généralités sur les transistors à base de GaN

4.2.3 La dégradation induite par la forte tension V_{DS}

Le fonctionnement du transistor impose un champ électrique non seulement sur la structure de la grille à l'état passant mais aussi entre drain et source à l'état bloqué comme représenté sur la Figure 1.25. Pour les tensions V_{DS} proches de la valeur maximale du composant, le champ électrique peut augmenter de manière significative, à la fois au niveau de la tête de la grille et à proximité du drain. Cela peut entraîner une défaillance catastrophique du composant.

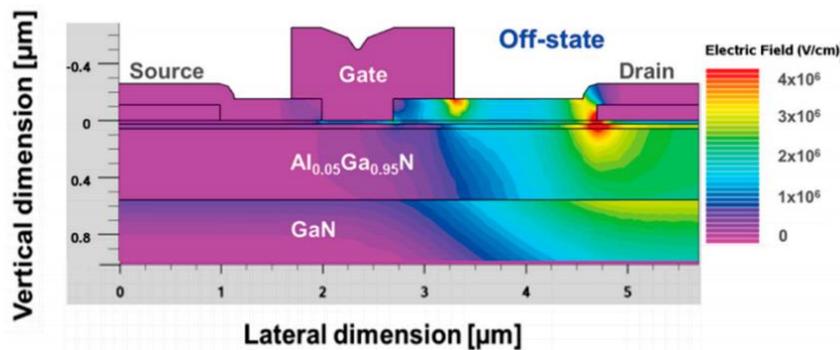


Figure 1.25. Champ électrique pour le HEMT à l'état off avec $V_{DS} = 300V$ [59].

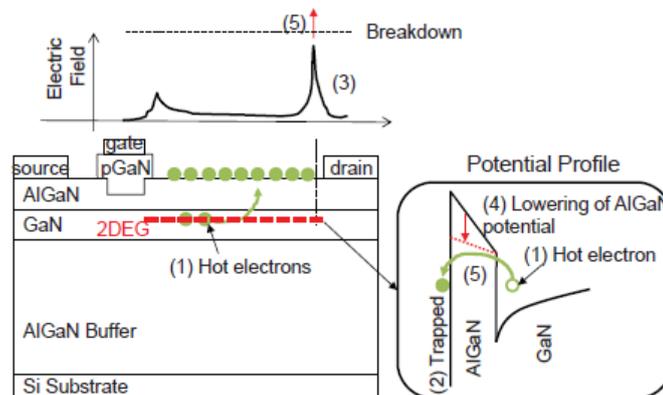


Figure 1.26. Mécanisme de défaillance induite par la forte tension V_{DS} [65].

La dégradation graduelle qui mène à la défaillance est due aux pièges des électrons chauds (hot electrons) à la surface de la couche d'AlGaIn. Ces électrons chauds sont induits au moment où le transistor passe de l'état-off à l'état-on (l'état Semi-ON) [64].

Chapitre I : Généralités sur les transistors à base de GaN

A cause de ces pièges des électrons chauds à la surface de la couche d'AlGa_N, un pic supplémentaire du champ électrique est induit côté drain, comme illustré sur la Figure 1.26. Dans ce processus, le champ électrique de la couche d'AlGa_N au-dessous du drain est abaissé au niveau de la surface en raison du fort champ électrique au bord du drain, ce qui permet plus d'électrons chauds à déplacer de la couche d'AlGa_N à la surface du côté drain. Par conséquent, le pic du champ électrique du côté drain continue à augmenter. Le composant risque de tomber en défaillance si ce pic dépasse la valeur maximale du champ électrique supporté par le composant.

5. Conclusion

Ce premier chapitre a permis dans un premier temps d'introduire les semi-conducteurs grands gaps, le SiC et le GaN, en insistant sur leurs avantages par rapport aux technologies conventionnelles en Si. Les points déterminants peuvent se résumer en : la haute mobilité électronique, la tension de claquage élevée et la bonne tenue en température. Un focus particulier a été fait sur les propriétés physiques du GaN à travers la présentation de sa structure cristalline et des effets de polarisations électriques correspondants notamment à la structure de type Wurtzite.

Dans un second temps, nous avons rappelé la structure d'un transistor HEMT AlGa_N/Ga_N en détaillant ses principaux blocs. Le confinement du gaz d'électron bidimensionnel (2DEG) formé par l'hétérostructure AlGa_N/Ga_N et principal mécanisme de conduction dans ces structures est présenté en détail. Etant principalement intéressé par les mécanismes de défaillance dans nos travaux de thèse, nous avons expliqué dans ce chapitre la mise en évidence des effets de pièges à travers l'effet de gate-lag et l'effet de drain-lag, largement discutés dans les littératures sur les HEMT AlGa_N/Ga_N.

Dans la cadre de nos travaux, nous nous sommes intéressés à l'utilisation du HEMT AlGa_N/Ga_N dans les systèmes de conversion d'énergie. Grâce à la forte mobilité du 2DEG, le fonctionnement du HEMT AlGa_N/Ga_N est normalement passant avec une tension de seuil V_{TH} négative. Les différentes technologies maîtrisées pour rendre le transistor normalement bloqué pour favoriser la simplicité des designs ou même pour des raisons de sécurité ont ensuite été décrites dans la quatrième section. Parmi d'autres techniques, nous avons retenu pour le reste de nos études la technologie GaN-GIT proposée par plusieurs fabricants (*EPC*, *PANASONIC*). Les mécanismes de dégradation et défaillance de ce type de composant dans les conditions réelles d'utilisation ont été passés en revue à la fin du chapitre afin de compléter la présentation de ces technologies. Cela constitue, pour nos travaux, une base intéressante pour la compréhension des dégradations observés lors de nos essais.

Chapitre I : Généralités sur les transistors à base de GaN

La suite de ce mémoire sera consacrée à l'étude de la fiabilité du composant 600V GaN-GIT de chez *PANASONIC*. Ce composant sera caractérisé électriquement et physiquement dans le Chapitre II et vieillis et dégradé sur des bancs spécifiques pour l'étude de sa fiabilité dans le Chapitre III.

CHAPITRE II:

Caractérisations électrique et microscopique du transistor GaN-GIT

1. Introduction

Pour mener à bien notre étude de fiabilité des transistors à base de GaN normalement bloqués, nous avons réalisé une recherche de ses composants disponibles sur le marché commercial concernant les transistors GaNs normalement bloqués. Suite à ces recherches, le transistor GaN-GIT (*Gate Injection Transistor*) de référence PGA26C09DV possédant une tension de blocage maximale de 600V et une tension de seuil V_{TH} positive, du constructeur *Panasonic* a été retenu dans le cadre de cette thèse pour diverses raisons. Par rapport aux autres topologies, le GaN-GIT propose non seulement une structure avancée (p-GaN ou p-AlGaN), mais aussi un boîtier de type TO-220 possédant trois broches, étant le plus adapté aux bancs de caractérisation et de vieillissement équipant les laboratoires GPM et Irseem.

Ce chapitre a donc pour objectif d'explorer les caractérisations électriques et microscopiques du transistor GaN-GIT. La phase de caractérisation électrique est une étape indispensable avant tout test de nouveaux composants. Cette étape permet d'obtenir les informations sur le comportement électrique des composants dans les conditions réelles de fonctionnement, ainsi que les paramètres électriques importants comme la tension de seuil V_{TH} , les courants de fuite de drain I_{DSS} et de grille I_{GSS} , la résistance à l'état passant $R_{DS(on)}$ etc. Durant les tests de vieillissement accéléré, la surveillance de ces paramètres permet d'une part d'obtenir des indications de base pour identifier la variation des performances électriques du composant, et d'autre part d'obtenir les informations utiles pour établir un modèle électrique correspondant. Quant à la caractérisation microscopique, elle est également indispensable pour une bonne connaissance de la construction physique du composant, ce qui permet de

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

corrélés les modifications structurales et les modifications du comportement électrique après les différentes phases de vieillissement accéléré.

Dans ce chapitre, la première partie est consacrée à l'évaluation des caractérisations statiques du composant en utilisant un banc de mesure I-V pulsé et un autre moyen pour la mesure des capacités intrinsèques. La seconde partie est dédiée à l'étude de l'effet thermique et à la mise en évidence de phénomènes de pièges. Quant à la troisième partie, elle est consacrée à l'analyse de la surface active de la puce du composant par les moyens d'analyse microscopique après l'étape de la décapsulation du boîtier.

2. Evaluation des caractérisations statiques des transistors GaN-GIT

2.1. La caractérisation en courant-tension

La caractérisation en courant-tension s'appuie sur deux caractéristiques d'entrée et de sortie respectivement: $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$. La caractéristique de sortie $I_{DS}-V_{DS}$ obtenue pour des valeurs de V_{GS} fixes s'obtient en appliquant les tensions de drain V_{DS} positives pour différentes tensions de polarisation de grille V_{GS} . Ce type de caractéristique nous permet d'observer le fonctionnement du composant point par point et d'estimer la résistance à l'état passant $R_{DS(on)}$. La caractéristique de transfert (ou d'entrée) $I_{DS}-V_{GS}$ obtenue pour des valeurs de tension de drain V_{DS} fixes, représente la variation du courant de drain en fonction de la tension de commande de grille sous une polarisation drain source. Elle rend compte de la performance du contrôle du courant de drain par la grille et également permet d'estimer la tension de seuil V_{TH} . Les courbes de la caractérisation en courant-tension sont obtenues par le banc de mesure en mode impulsionnel IVCAD développé par la société *AMCAD Engineering*. Comme représenté sur la Figure 2.1, la sonde de drain de référence AM222 peut fournir jusqu'à 120V en tension maximale ou 30A en courant maximal, la sonde de grille de référence AM211 fournit $\pm 15V$ en tension et $\pm 200mA$ en courant. La configuration des chronogrammes pour le pulse de drain et le pulse de grille est illustré sur la Figure 2.2. Ainsi, cette configuration nous permet de minimiser l'effet de l'auto-échauffement du composant lors de la mesure. Ceci est vérifié à partir des mesures de pulses temporels

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

du courant de drain. Toutes ces mesures de courant-tension sont effectuées lors d'une première phase à une température ambiante de 25°C pour le boîtier, le composant étant asservi par un module à effet Peltier assurant la stabilisation thermique de DUT.

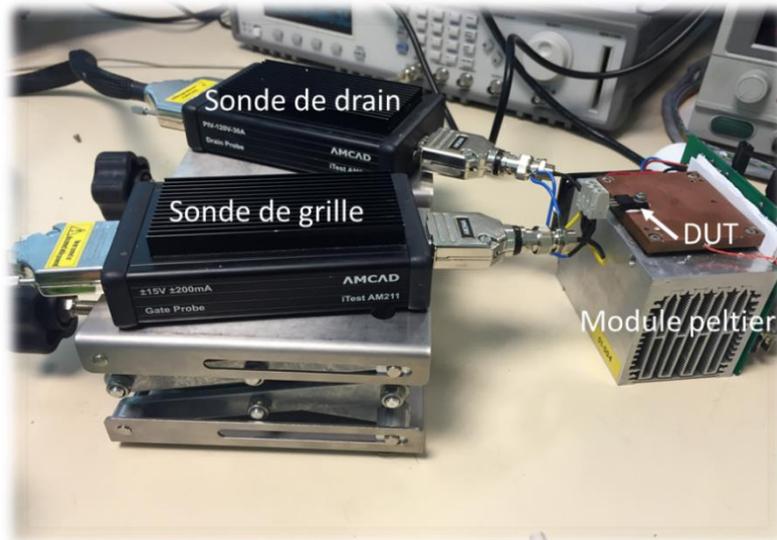


Figure 2.1. Banc de mesure IVCAD développé par la société AMCAD

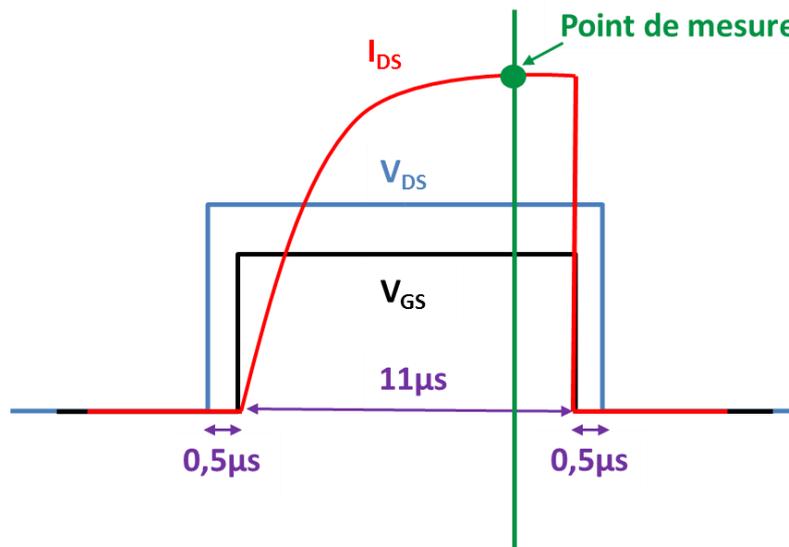


Figure 2.2. Chronogramme défini pour le pulse de drain et de grille, le point de mesure est enregistré après la stabilisation du courant I_{DS}

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

2.1.1. La caractéristique de sortie $I_{DS}-V_{DS}$

La Figure 2.3 montre l'évolution du courant de sortie pour plusieurs valeurs de V_{GS} comprise entre de 1.5V à 2.5V par pas de 0.2V pour un composant témoin. Les mesures sont effectuées à faibles valeurs de V_{DS} en raison de la limite à 30A pour la sonde de drain. Les valeurs de tensions de polarisation V_{DS} et V_{GS} sont choisies de manière à distinguer et explorer deux zones de fonctionnement différentes : une zone dite linéaire (ohmique) pour laquelle le courant de drain est proportionnel à la tension drain-source, et la zone de saturation pour laquelle le courant de drain est quasi-indépendant de la tension drain-source. Un modèle complet devra être capable de simuler les deux zones de fonctionnement.

Par ailleurs, la zone de saturation de la caractéristique $I_{DS}-V_{DS}$ permet de relever la densité maximale du courant de drain I_{DSMAX} pour une tension V_{DS} fixée. Nous pouvons obtenir la résistance à l'état passant R_{DSON} par la pente dans la zone linéaire, ce qui représente les pertes en conduction lorsque le composant est passant. R_{DSON} est calculée pour une valeur de $V_{GS}=3.7V$ pour un courant $I_{DS}=8A$ sur la courbe $I_{DS}-V_{DS}$, ces valeurs sont définies et indiquées dans le data sheet du constructeur. Le fabricant donne des valeurs de R_{DSON} typique de 71m Ω et maximale 90m Ω , selon nos mesures sur dix composants neufs, la valeur typique de R_{DSON} est entre 80m Ω et 85m Ω .

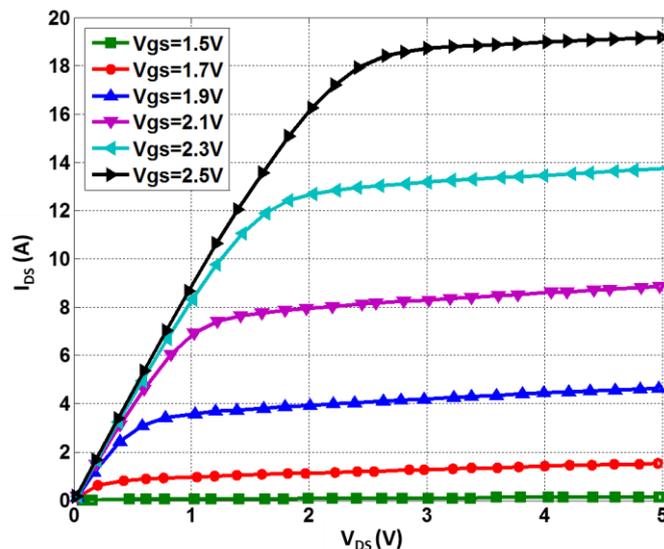


Figure 2.3. Caractéristique $I_{DS}-V_{DS}$ avec V_{GS} variant de 1.5V à 2.5V par pas de 0.2V.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

2.1.2. La caractéristique de transfert $I_{DS}-V_{GS}$

La caractéristique de transfert $I_{DS}-V_{GS}$ représente la variation du courant de drain en fonction de la tension de commande de grille sous une polarisation drain source définie. Pour effectuer nos mesures, nous avons tout d'abord placé le composant sous une forte polarisation $V_{DS}=10V$ (Figure 2.4), ce qui nous permet d'extraire directement la tension de seuil V_{TH} . Paramètre essentiel pour la caractérisation d'un transistor, la tension V_{TH} est définie comme étant la tension grille-source minimale nécessaire pour que le courant puisse commencer à traverser le canal du composant. Egalement proposée par le data sheet du constructeur, la condition d'extraction de V_{TH} à partir de la caractéristique de transfert $I_{DS}-V_{GS}$ est fixée: $V_{DS}=10V$, @ $I_{DS}=2.1mA$. La Figure 2.4(a) présente la forme logarithmique de la courbe $I_{DS}-V_{GS}$ pour extraire la valeur de V_{TH} . Le fabricant donne une valeur typique de 1.2V, minimale 0.8V et maximale 1.6V. D'après nos mesures sur dix composants, la valeur typique du V_{TH} est entre 1.22V et 1.25V.

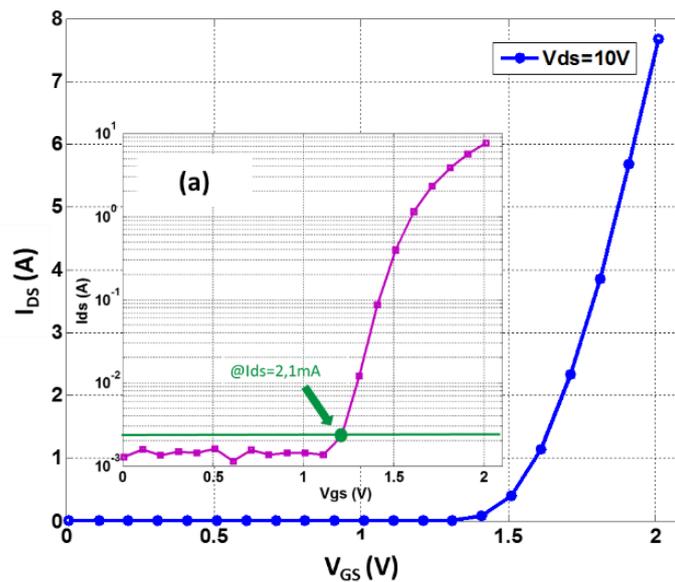


Figure 2.4. Caractéristique $I_{DS}-V_{GS}$ avec $V_{DS}=10V$.
(a). La forme logarithmique de la courbe

Lors de l'injection de trous pour GaN-GIT qui permet d'accumuler les électrons pour réaliser une modulation de conductivité, nous considérons également la

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

caractéristique du courant de grille I_{GS} en fonction de la tension de grille-source V_{GS} . Pour ne pas dépasser la limite du courant pour la sonde de drain de référence AM222, nous avons placé le composant sous une faible tension $V_{DS}=1V$, et mesuré le courant de drain I_{DS} et de grille I_{GS} en même temps. Comme l'illustre dans la Figure 2.5, nous pouvons observer que le courant de drain I_{DS} augmente drastiquement puisque V_{GS} arrive à V_{TH} lors de l'augmentation de la densité de charge dans le canal 2DEG, bien que la grille de jonction p-n ne soit pas dans l'état passant. Ensuite, le courant de grille I_{GS} commence à augmenter lorsque V_{GS} dépasse une tension intégrée V_F (estimée par 3.7V), tandis que les trous commencent à être injectés par la couche p-AlGaN, présenté dans le Chapitre I.

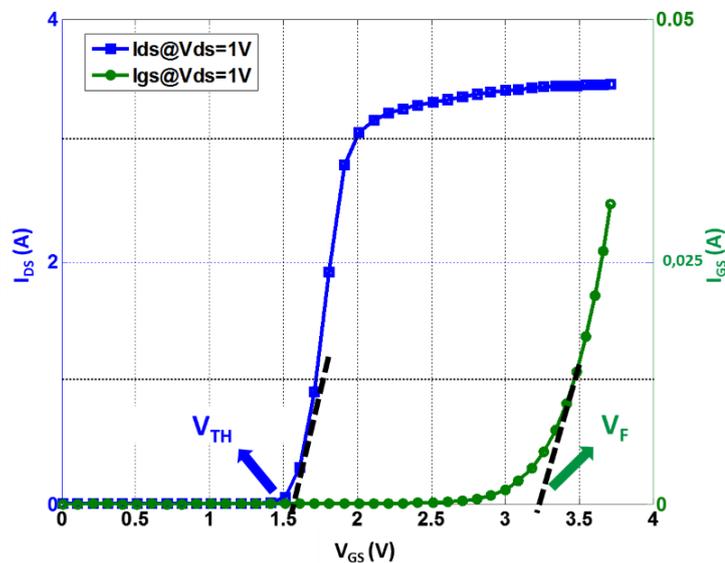


Figure 2.5. Le courant I_{DS} et I_{GS} en fonction de V_{GS} pour $V_{DS}=1V$

2.1.3. Le courant de fuite de drain et de grille

Le courant de fuite représente les pertes de puissance du composant qui comporte deux paramètres: Le courant de fuite de drain I_{DSS} et le courant de fuite de grille I_{GSS} . Les mesures sont effectuées par un *Sourcemeater* (SMU) Keithley 2636B, des sources indépendantes de tension sont exploitées (pour la tension V_{DS} et V_{GS}) et un circuit de protection par limitation de courant est intégré en cas de défaillance du transistor. Configuré par le logiciel, le banc peut fournir les pulses répétitifs de mesure durant 20s permettant de réduire l'effet de piège, ce phénomène sera mis en évidence dans la

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

section 3.2. Comme l'illustre respectivement les Figure 2.6(a) et 2.6(b), la valeur est enregistrée après dix secondes pour tous les mesures. Cependant, le courant de fuite de grille (Figure 2.6(a)) semble continuer à décroître, mais a tendance à se stabiliser. Ainsi, L'auto-échauffement du DUT est considérée négligeable car la puissance dissipée est très faibles et le DUT est maintenu en stabilité thermique sur un module Peltier asservi à une température de 25°C pendant la mesure.

Le courant de fuite de grille I_{GSS} est mesuré en reliant le drain du DUT à la source et en polarisant la grille à une tension déterminée. Dans notre cas nous fixons la condition de mesure soit $V_{GS}=4.5V$, valeur maximale (DC) indiquée dans le datasheet et $V_{DS}=0V$. Selon nos mesures sur dix composants neufs, la valeur typique du courant de fuite I_{GSS} est entre $22.5\mu A$ et $24\mu A$.

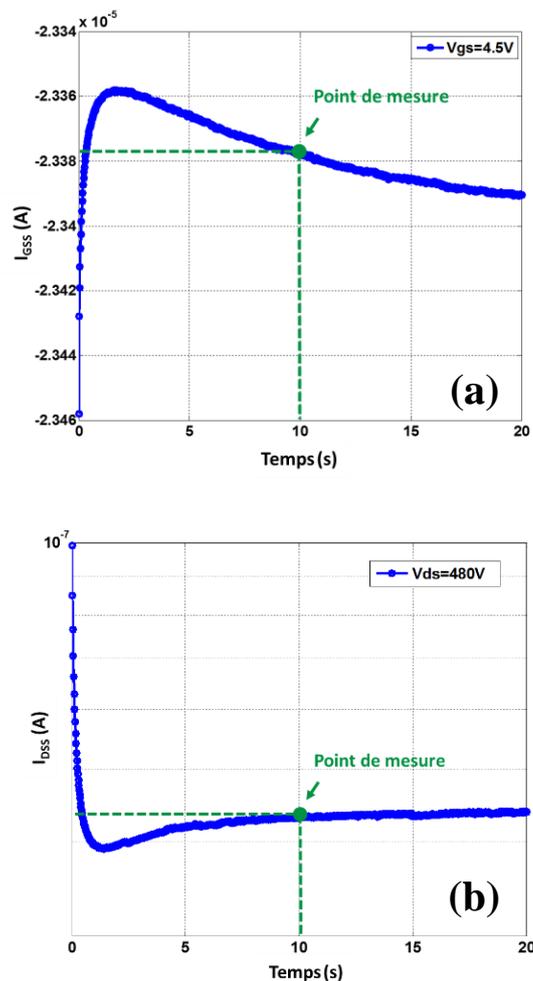


Figure 2.6. (a).Mesure du courant de fuite I_{GSS} , et (b) I_{DSS}

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

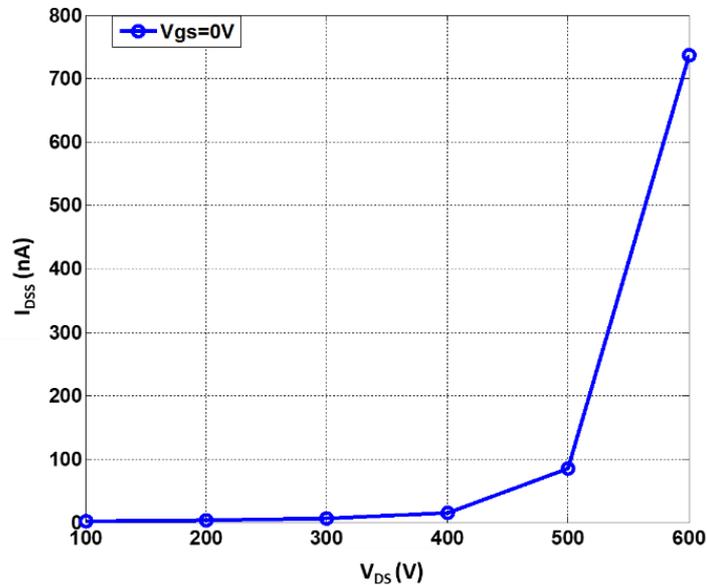


Figure 2.7. Le courant de fuite de drain I_{DSS} en fonction de la tension V_{DS} pour $V_{GS}=0V$

Le courant de fuite de drain I_{DSS} est une perte progressive de la charge électrique d'un composant électrique à l'état bloqué. En effet, la mesure consiste à relier la grille à la source afin de réaliser un court-circuit en bloquant ainsi le canal de conduction et en polarisant le drain à une tension déterminée. La Figure 2.7 présente l'évaluation du courant I_{DSS} en fonction de la tension V_{DS} jusqu'à 600V, mettant en évidence la tenue en tension du DUT. Le fabricant donne une valeur maximale de $100\mu A$. Selon nos mesures, la valeur typique de I_{DSS} pour les 10 composants neufs pour $V_{DS}=600V$ est situé entre 600nA et 750nA.

2.2. Mesures capacitives

Le comportement dynamique du transistor est principalement régi par ses trois capacités intrinsèques : la capacité entre grille et source C_{GS} , la capacité entre grille et drain C_{GD} et la capacité entre drain et source C_{DS} . En effet, ce sont ces capacités qui, par le temps nécessaire pour les charger ou les décharger, limitent la rapidité de commutation du transistor et entraînent donc des pertes par commutation dans les systèmes de conversion d'énergie. En pratique, et pour des raisons de facilité de mesure,

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

les fabricants ne donnent pas directement ces capacités mais les décrivent sous la forme suivante :

$$C_{ISS} = C_{GS} + C_{GD} \quad (2.1)$$

$$C_{RSS} = C_{GD} \quad (2.2)$$

$$C_{OSS} = C_{DS} + C_{GD} \quad (2.3)$$

Ces trois capacités (C_{ISS} , C_{RSS} et C_{OSS}) sont appelées les capacités extrinsèques, elles représentent les capacités mesurées entre les électrodes quand le drain et la source sont dynamiquement connectés. Les mesures de ces trois capacités sont définies dans le standard Jedec JEDS24 [66]. La mesure de telles capacités se fait avec un LCR-mètre. Dans notre cas, nous utilisons un LCR-mètre GW LCR-8110G capable de fonctionner jusqu'à 10MHz et qui peut être calibré en circuit ouvert et court-circuit. Ce LCR-mètre est doté d'une borne Guard qui correspond à sa masse. L'accès LO-C du LCR-mètre est au même potentiel que la borne Guard (mais pas relié par un fil). Ces capacités sont mesurées pour un signal de fréquence $F_{TEST}=1\text{MHz}$ avec une amplitude $V_{AC}=25\text{mV}$, les mesures sont enregistrées en fonction de la tension drain-source V_{DS} .

La capacité d'entrée entre grille et source C_{ISS} est mesurée avec le drain est relié à la masse en régime petit signal, cette grandeur influe sur la vitesse d'évolution du courant de drain soit la grandeur (dI_{DS}/dt) pendant une commutation. En effet, plus la capacité C_{ISS} est faible, plus le temps de montée (et/ou de descente) du courant lors d'une commutation sera réduit. Le montage permettant la mesure de cette capacité est donné en Figure 2.8. L'inductance L2 permet d'assurer une tension de grille $V_{GS}=0\text{V}$ en régime continu et doit présenter une impédance idéalement infinie à la fréquence de mesure. La capacité C1 permet d'assurer une mise à la masse du drain du transistor en régime petit signal. Elle doit présenter une impédance idéalement nulle à la fréquence de travail et une tension de service supérieure ou égale à la tension V_{DSMAX} soit 60V dans notre cas.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

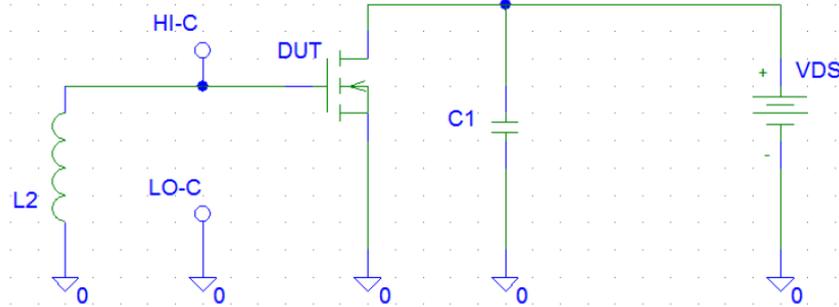


Figure 2.8. Montage pour la mesure de la capacité C_{iss} en fonction de la tension V_{DS}

La capacité de sortie entre drain et source C_{oss} est mesurée quand la grille est reliée à la masse en régime petit signal. Elle influe sur la vitesse de commutation de la tension drain-source (dV_{DS}/dt) et engendre donc des pertes par commutation. Par conséquent, plus C_{oss} faible, plus le dV_{DS}/dt est rapide. Le montage en mesure de cette capacité est donné sur la Figure 2.9. L'inductance $L1$ permet de polariser en continu V_{DS} mais doit présenter une impédance idéalement infinie à la fréquence de mesure. La capacité $C1$ est là pour éviter d'appliquer la tension continue V_{DS} sur le LCR-mètre qui ne peut pas supporter des tensions continues supérieures à quelques dizaines de Volts. Cette capacité se retrouve en série avec C_{oss} et doit donc être très supérieure à cette dernière.

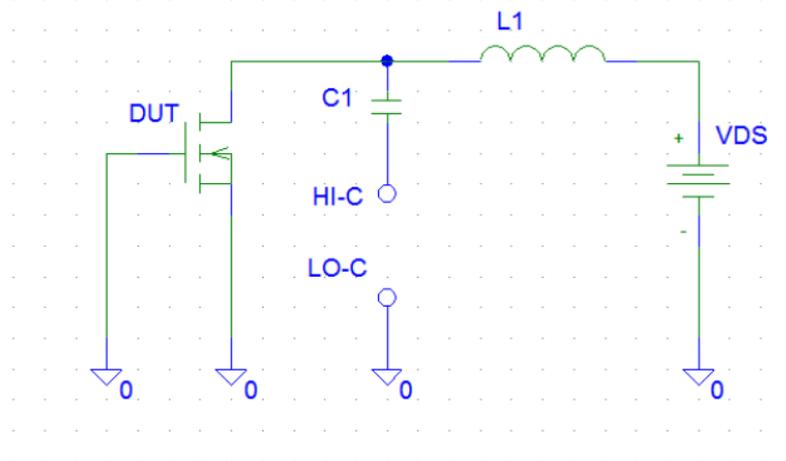


Figure 2.9. Montage pour la mesure de la capacité C_{oss} en fonction de la tension V_{DS}

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

La capacité de transfert (inverse) entre drain et grille C_{RSS} est aussi un des paramètres qui affecte la vitesse d'évolution de la tension drain-source V_{DS} pendant la commutation, et engendre également des pertes par commutation importantes. Le montage assurant la mesure de cette capacité est donné sur la Figure 2.10. La grille doit impérativement être isolée de la masse en régime petit signal, ceci est réalisé grâce à l'inductance $L2$. La capacité $C1$ est à nouveau placée dans le montage pour éviter d'appliquer la tension continue V_{DS} sur le LCR-mètre. L'utilisation du fil Guard permet d'éliminer les capacités parasites C_{ERREUR} dues à la source qui est laissée flottante par rapport au composant de mesure.

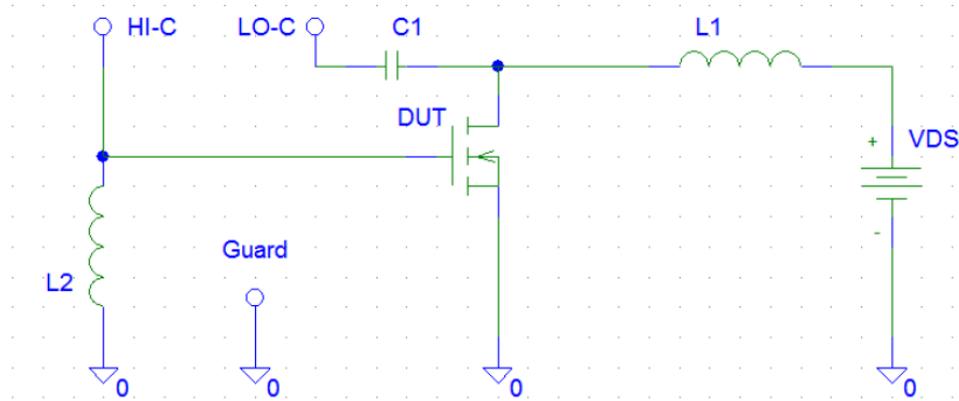


Figure 2.10. Montage pour la mesure de la capacité C_{RSS} en fonction de la tension V_{DS}

Afin de faciliter les prises de mesures sur les différents échantillons, nous avons mis en œuvre une monture de test permettant de mesurer ces trois capacités sur la même carte en configurant de manière correcte les câbles de connexions pour les montages, comme l'illustre la Figure 2.11.

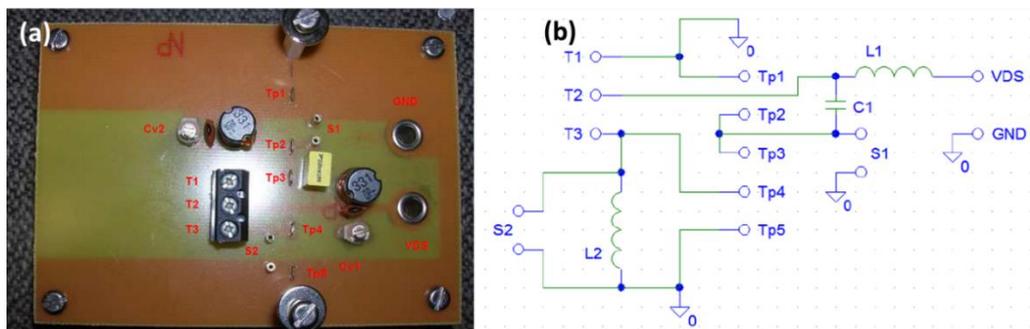


Figure 2.11. (a) Monture de test (b) Schéma de principe de la monture de test

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

La Figure 2.12(a) montre l'évolution de ces trois capacités en fonction de la tension drain-source V_{DS} jusqu'à 60V, l'allure de ces courbes est comparable à celles fournies par le fabricant en Figure 2.12(b). Pour compléter le modèle empirique du composant, nous présentons les mesures de capacités intrinsèques en fonction de leurs bornes de tensions pour la suite.

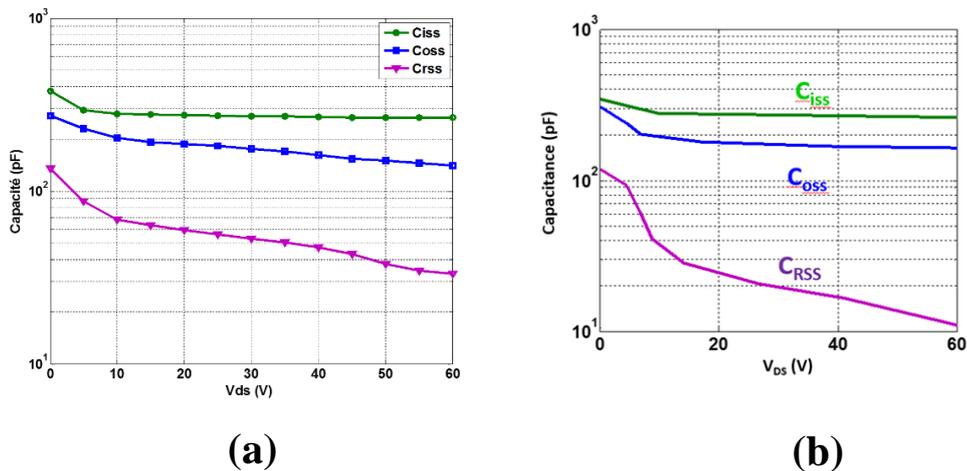


Figure 2.12. (a) Mesure des capacités C_{ISS} , C_{OSS} et C_{RSS} en fonction de la tension V_{DS} (b) Capacités fournies par le fabricant.

2.2.1. La capacité drain-source

Selon l'équation (2.2) et (2.3), la mesure de la capacité drain-source C_{DS} en fonction de V_{DS} est obtenue par la soustraction des mesures de C_{OSS} et C_{RSS} à l'état bloqué ($V_{GS}=0V$). Les montages utilisés sont ceux présentés dans la Figure 2.9 et Figure 2.10. Comme le montre la Figure 2.13, cette capacité dont l'évolution est représentée par la ligne verte présente un état quasi-constant en fonction de la tension V_{DS} à l'état bloqué. Cette caractéristique est contraire à la mesure de C_{DS} pour des transistors de JFET (Junction gate field-effect transistor) SiC [67] qui présente une tendance à décroître en fonction de V_{DS} , phénomène s'expliquant par la variation de la largeur de la zone de charge d'espace dans la zone de dérive. Notre mesure de la capacité C_{DS} présente une allure identique à celle de GaN HEMT normalement passant [68], ceci montre une situation stable sur 2DEG entre les couches AlGaN/GaN.

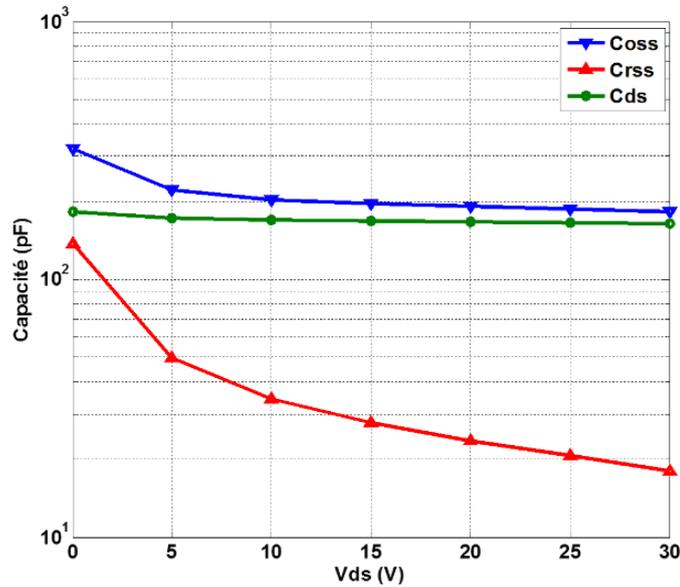


Figure 2.13. Mesure de la capacité C_{DS} (ligne verte) en fonction de la tension V_{DS}

2.2.2. La capacité grille-source

Par la soustraction des mesures des capacités C_{ISS} et C_{RSS} (équation (2.1) et (2.2)), l'évolution de la capacité C_{GS} est obtenue et représentée sur la Figure 2.14 (ligne verte) en fonction de la tension de grille V_{GS} pour une tension de drain-source $V_{DS}=0V$. Nous observons que pour des tensions inférieures à la tension V_{TH} , la capacité C_{GS} reste relativement faible à cause de la faible densité de charge. Elle augmente et tend à se stabiliser pour des tensions supérieures à la tension V_{TH} . Cette augmentation est due non seulement au gaz 2DEG formé à l'interface entre AlGaIn et le canal GaN mais aussi la région d'appauvrissement est étendue dans la région p-GaN lorsque la jonction Schottky métal/p-GaN est sous une polarisation inverse [61].

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

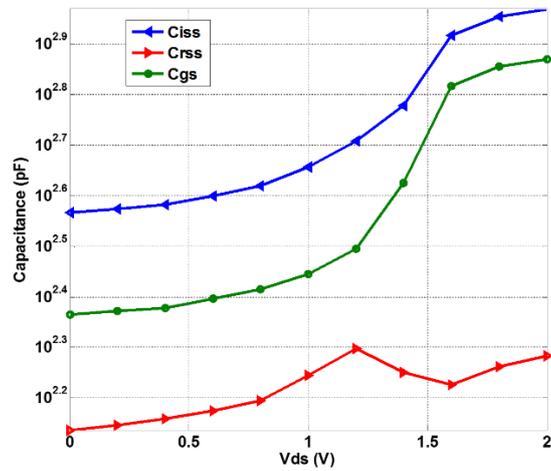


Figure 2.14. Mesure de la capacité C_{GS} en fonction de la tension V_{GS}

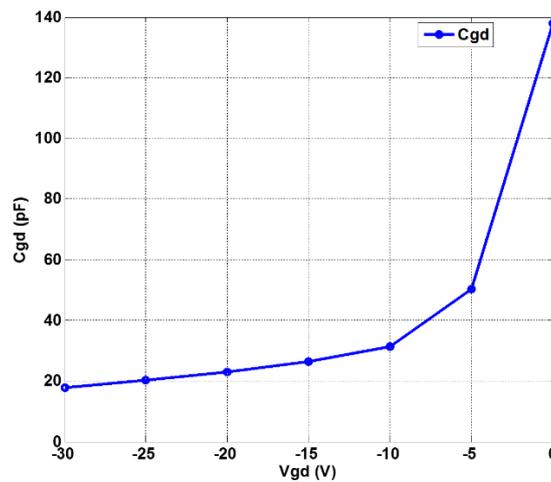


Figure 2.15. Mesure de la capacité C_{GD} en fonction de la tension V_{GD}

2.2.3. La capacité grille-drain

Selon l'équation (2.3), la capacité C_{GD} est l'opposée de la capacité C_{RSS} . La variation de la capacité C_{GD} en fonction de V_{GD} semble présenter la même allure que celle de la capacité C_{GS} en fonction de V_{GS} , comme le montré la Figure 2.15. Pour la

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

mesure de capacité $C_{GD-V_{GD}}$, la tension V_{DS} est identique à V_{DG} . Selon la courbe, un régime saturé de la capacité C_{GD} est observé pour les valeurs absolues de tension V_{GD} (ou $-V_{DS}$) devenant plus importantes. Ce phénomène peut être dû à la saturation de densité de charge dans le canal lorsque la tension V_{DS} augmente, ce qui est compatible avec l'évaluation du caractéristique $I_{DS-V_{DS}}$ représenté en Figure 2.3.

3. Mesures complémentaires

3.1. Le comportement thermique

Pour compléter l'étude sur le comportement du composant, nous présentons les mesures de caractérisations électriques réalisées à des températures variant de 25°C à 125°C . La tenue en température de jonction préconisée par le constructeur d'après la fiche technique est égale 150°C . Pour assurer la montée et la stabilisation en température, nous rappelons que le composant est placé dans une plaque de cuivre posée sur un module à l'effet Peltier. Pour chaque palier de température, un temps de quinze minutes est imposé entre deux mesures afin d'assurer une parfaite diffusion de la chaleur de la semelle jusqu'à la puce. Comme le montre la Figure 2.16, les courbes de sortie $I_{DS-V_{DS}-T}$ sont tracées pour une tension V_{GS} allant de 1.5V à 2.5V par pas de 0.2V et pour deux températures égales à $T=25^{\circ}\text{C}$ et 125°C . A partir de la tension $V_{GS}=1.9\text{V}$, nous observons une diminution significative du courant de drain I_{DS} pour la température $T=125^{\circ}\text{C}$. Cependant, pour des valeurs de $V_{GS}=1.5\text{V}$ et 1.7V , le courant I_{DS} montre une tendance à augmenter pour la température $T=125^{\circ}\text{C}$. Ce phénomène sera expliqué dans les paragraphes contenant la caractéristique $I_{DS-V_{GS}-T}$ (Figure 2.18).

A partir de la caractéristique $I_{DS-V_{DS}-T}$ pour une valeur de $V_{GS}=3.7\text{V}$, nous pouvons observer l'évolution de la résistance à l'état passant R_{DSON} (V_{DS}/I_{DS}) en fonction de température variant de 25°C à 125°C par pas de 25°C . Ces mesures sont représentées sur la Figure 2.17. Nous voyons que la résistance R_{DSON} a tendance à augmenter lorsque la température croît, étant un paramètre thermosensible.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

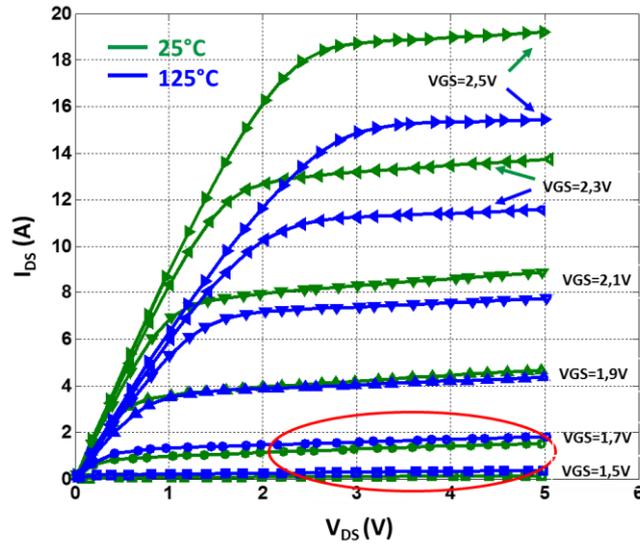


Figure 2.16. Caractéristique I_{DS} - V_{DS} pour V_{GS} variant de 1.5V à 2.5V par pas de 0.2V, pour deux températures de 25°C et 125°C

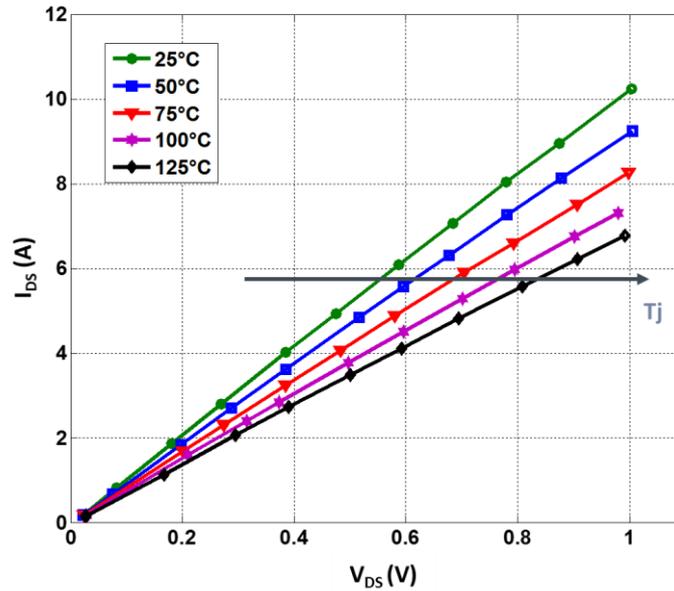


Figure 2.17. Evaluation de l'effet de la température variant entre 25°C à 125°C sur la caractéristique I_{DS} - V_{DS} pour $V_{GS}=3.7V$.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

La Figure 2.18(a) montre les courbes de transfert I_{DS} - V_{GS} - T à une tension de drain $V_{DS}=10V$ pour des températures variant de $25^{\circ}C$ à $125^{\circ}C$. Nous pouvons observer ainsi deux comportements différents sur cette caractéristique, ceux-ci également observés dans un 1200V SiC MOSFET [69]. Dans cette figure, pour des valeurs de V_{GS} relativement supérieure, I_{DS} montre un décalage dans le sens négatif en fonction de températures. Pour des valeurs de V_{GS} relativement inférieure, un décalage dans le sens positif sur I_{DS} est observé en fonction de température qui est probablement dû à la diminution de tension de seuil V_{TH} lorsque la température augmente comme le montrée par la forme logarithme sur la Figure 2.18(b). En combinant le phénomène observé précédemment sur la Figure 2.17(b), il est possible d'expliquer que l'augmentation du courant pour des faibles V_{GS} ($V_{GS}<1.8V$ pour notre cas) est principalement due à une mise en conduction du composant avec une tension grille-source plus faible. L'effet de cette tension grille-source est compensé par un apport en énergie thermique, et la diminution du courant pour des fortes V_{GS} ($V_{GS}>1.8V$ pour notre cas) est lié à l'augmentation de la résistance $R_{DS(on)}$ à des hautes températures.

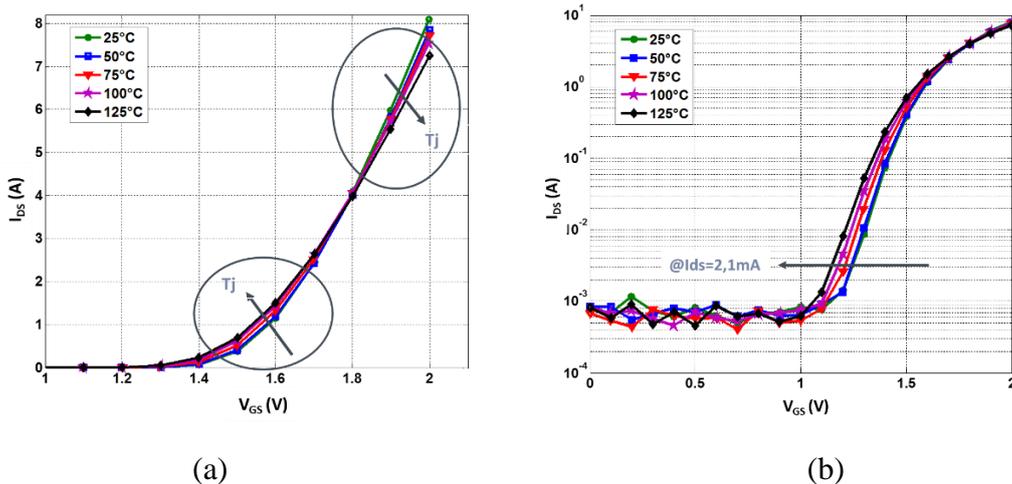


Figure 2.18. (a) Caractéristique I_{DS} - V_{GS} pour des températures variant de $25^{\circ}C$ à $125^{\circ}C$ pour une tension $V_{DS}=10V$ et (b) la forme logarithmique de cette caractéristique

3.2. Mise en évidence de phénomènes de pièges

Les transistors GaN-GITs de commutation, à cause de la présence du matériau Nitrure de Gallium, présentent des pièges, ceux-ci vont influencer en régime dynamique

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

le comportement électrique dans le fonctionnement de GaN GIT sous différents profils de mission. Comme indiqué dans le chapitre I-3.3, la méthode de mesure en régime I-V pulsé permet de mettre en évidence ces variations dynamiques en changeant les polarisations de drain et de grille au repos. Ainsi, nous effectuons des mesures en mode pulsé des caractéristiques de sortie et transfert à différentes tension de repos de grille V_{GS0} et de drain V_{DS0} .

3.2.1. Effets de polarisation V_{GS} au repos

Pour observer l'influence de la tension au repos V_{GS0} sur la variation dynamique du comportement du composant, nous avons effectué des mesures I-V pulsé suivant différentes polarisations de repos V_{GS0} en fixant la polarisation V_{DS0} à 0V. Entre chaque mesure, un délai de cinq minutes est fixé afin que le composant soit complètement relaxé. Les valeurs de la tension V_{GS0} variant de -4V à 4V sont imposées lors de la mesure I-V pulsé. Les valeurs positives de V_{GS0} place le transistor dans la condition opérationnel des applications et permet d'évaluer son impact sur $R_{DS(on)}$ et V_{TH} , et les valeurs négatives de V_{GS0} sont appliquées souvent dans certaines applications en raison de la fermeture complète du composant afin de limiter les effets des perturbations de grille qui pourraient rendre passant le transistor à cause de certains défauts.

La Figure 2.19(a) présente l'évolution de la tension V_{GS} lors du pulse pour une tension de repos $V_{GS0}=-4V$ (en rouge), $V_{GS0}=0V$ (en bleu) et $V_{GS0}=3$ (en verte) sur une durée égale à $500\mu s$. On relève le courant I_{DS} dans un pulse pour $V_{DS}=5V$ et $V_{GS}=2.5V$, comme l'illustre dans la Figure 2.19(b). Le niveau du courant I_{DS} devient plus élevé pour les polarisations de repos V_{GS0} quel que soit positive et négative par rapport celui de $V_{GS0}=0V$.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

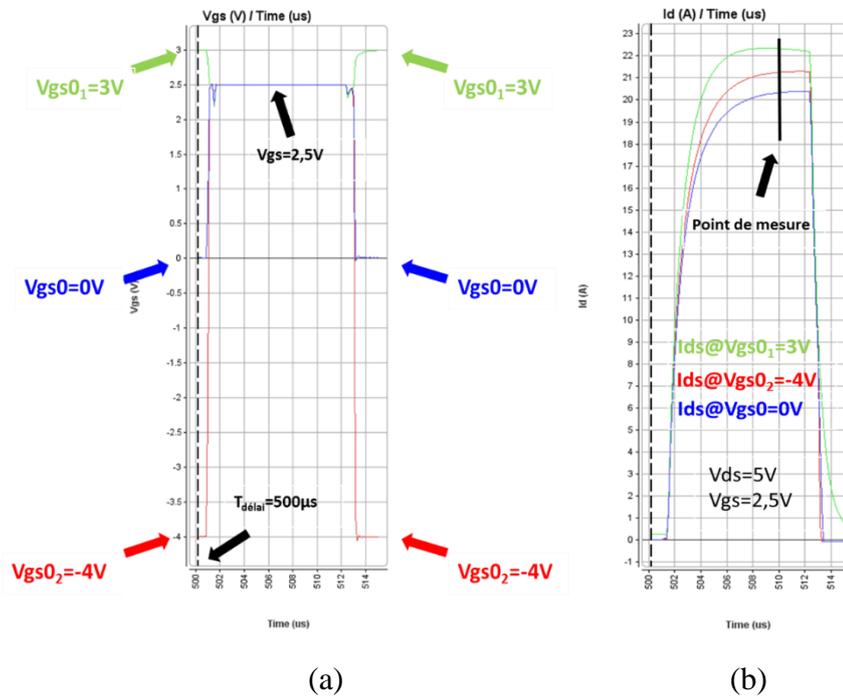
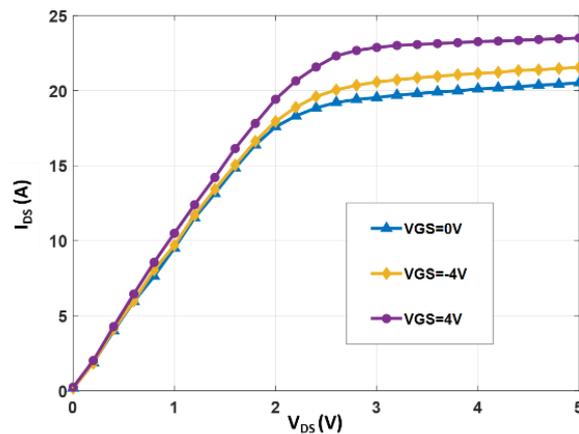


Figure 2.19. (a) Evolution de la tension V_{GS} pour un pulse lors de la mesure de la caractéristique I_{DS} - V_{DS} (b) Evolution du courant I_{DS} dans le pulse

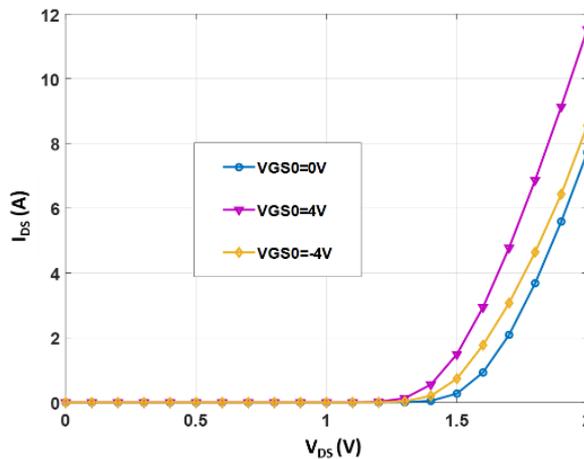
Les courbes $I_{DS}(V_{DS})$ à $V_{GS}=2.5V$ et $I_{DS}(V_{GS})$ à $V_{DS}=10V$ sont respectivement présentées dans la Figure 2.20(a) et (b), pour une polarisation de tension de grille de repos V_{GS0} de $-4V$, $0V$ et $4V$. Le courant I_{DS} a tendance à augmenter de façon significative pour les polarisations de repos V_{GS0} de $4V$ et $-4V$ par rapport une polarisation $V_{GS0}=0V$. Pour observer clairement la variation du comportement du composant sous les différentes V_{GS0} , nous avons extrait les évolutions normalisées des paramètres $R_{DS(on)}$, I_{DSSAT} et V_{TH} en fonction de V_{GS0} allant de $-4V$ à $4V$ par pas de $1V$, comme illustré dans la Figure 2.20. Dans le sens positif de V_{GS0} , une diminution de V_{TH} de 13.9% est observée, ainsi qu'une augmentation 14.6% du courant I_{DSSAT} . Ces comportements sont indiqués également dans le chapitre I-4.2.1, ceci peut être expliqué par la notion de "NBTI (*negative shift of the threshold instability*). L'injection de trous liés à la structure p-GaN sous les V_{GS0} positives induit une augmentation de la mobilité des électrons 2DEG, celle-ci mène à la diminution de la tension V_{TH} et à l'augmentation du courant I_{DSSAT} . Cependant, ce comportement est différent comparé à celui observé sur le composant de *GaN systems* dans [70], lors de la polarisation positive de V_{GS0} , montre une augmentation de V_{TH} , même si l'auteur déclare dans son manuscrit la même structure de p-GaN. Dans le sens négatif de V_{GS0} , les mêmes

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

comportements de diminution de V_{TH} et l'augmentation de I_{DSSAT} sont observés, ceci indique un processus de dé-piégeage. Sachant que le piégeage des électrons chauds à la surface de la couche d'AlGaN peut être produit lorsque le composant est exposé à une polarisation grille-drain élevée à l'état-ON [64], une polarisation de repos V_{GS0} négative à l'état OFF induit le processus d'émission des électrons des pièges dans le canal, ce qui augmente aussi la mobilité des électrons 2DEG. De plus, la résistance $R_{DS(on)}$ ne présente pas un changement significatif dans les deux sens de V_{GS0} .



(a)



(b)

Figure 2.20. (a) Caractéristiques I_{DS} - V_{DS} à $V_{GS}=2.5V$ pour $V_{GS0}=0V$, $4V$, et $-4V$.
(b) Caractéristique I_{DS} - V_{GS} à $V_{DS}=10V$ pour $V_{GS0}=0V$, $4V$, et $-4V$.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

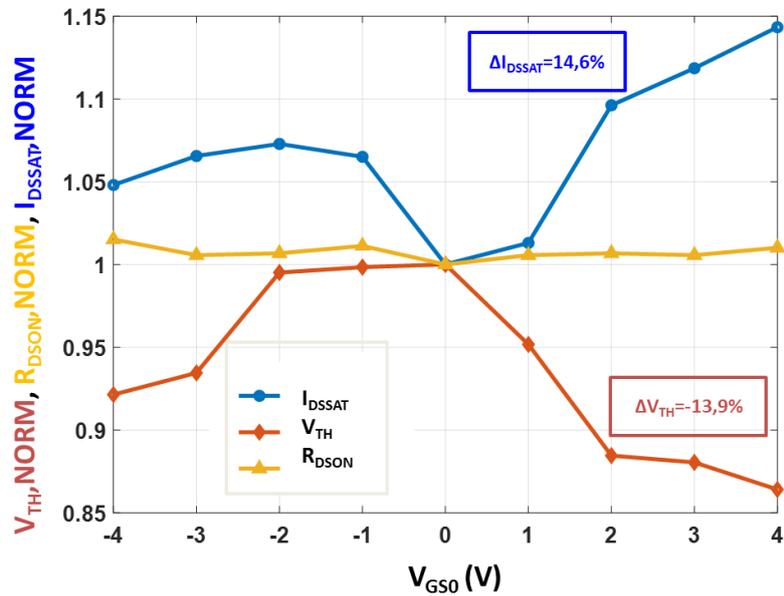


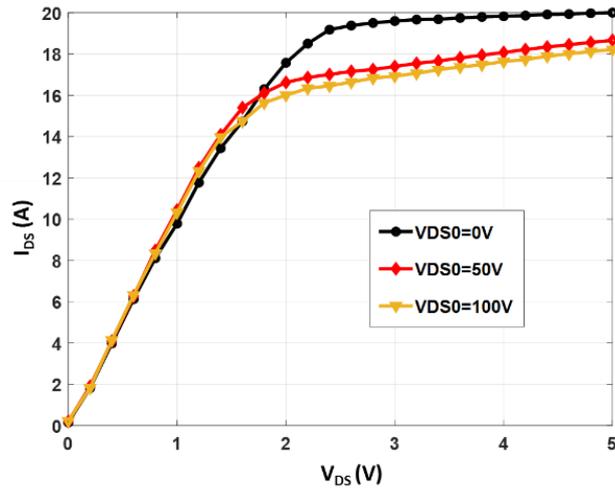
Figure 2.21. Les évolutions de I_{DSSAT} , R_{DSON} et V_{TH} pour des V_{GS0} variant de -4V à 4V par pas de 1V.

3.2.2. Effets de polarisation V_{DS} au repos

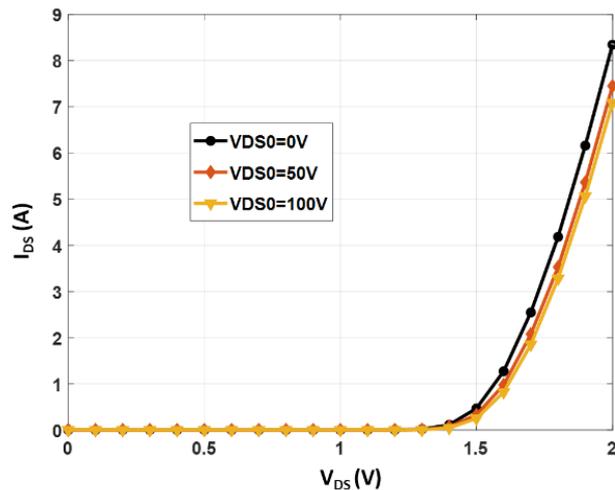
En appliquant le même principe que pour l'étude de l'effet de V_{GS0} , nous avons effectué des mesures I-V pulsées avec les différentes polarisations de repos V_{DS0} , et V_{GS0} est mise à zéro pour tous les essais. Dans l'objectif d'analyser l'impact de la tension V_{DS0} à l'état-off durant le vieillissement de type court-circuit, présenté en détail dans le chapitre III, nous appliquons les polarisations au repos V_{DS0} relativement faible durant les mesures, comparé à sa valeur maximale (600V).

Les courbes $I_{DS}(V_{DS})$ à $V_{GS}=2.5V$ et $I_{DS}(V_{GS})$ à $V_{DS}=10V$ sont respectivement présentées sur la Figure 2.22(a) et (b), avec les différentes polarisations de repos V_{DS0} de 0V, 50V et 100V. Contrairement aux réponses à l'effet de V_{GS0} , le courant I_{DS} montre une diminution significative avec l'augmentation de V_{DS0} , et la tension V_{TH} semble à présenter un décalage dans le sens positif. De même que l'effet de V_{GS0} , la résistance R_{DSON} ne présente pas un changement significatif.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT



(a)



(b)

Figure 2.22. (a) Caractéristiques I_{DS} - V_{DS} à $V_{GS}=10V$ pour $V_{DS0}=0V$, 50V, et 100V. (b) Caractéristiques I_{DS} - V_{GS} à $V_{DS}=10V$ pour $V_{DS0}=0V$, 50V, et 100V.

La Figure 2.23 illustre les évolutions normalisées des paramètres $R_{DS(on)}$, V_{TH} et I_{DSSAT} en fonction de V_{DS0} allant de 0V à 100V par pas de 25V. Lorsque V_{DS0} augmente, une augmentation de V_{TH} de 5.5% est observée, ainsi qu'une diminution 12.5% du

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

courant I_{DSSAT} . En effet, la diminution du courant est induite par les pièges liés à la surface entre le drain et la grille, surtout dans des niveaux profonds dans la couche tampon (buffer) (Voir chapitre I-4.2.3). Cependant, la variation de R_{DSON} en fonction de V_{DS0} est moins prononcée, ce qui est constatée dans la région linéaire ($V_{DS} < 1V$) sur la Figure 2.22(a). Nous supposons que l'effet de piège pour le GaN-GIT n'est pas représentatif pour les différentes polarisations V_{DS0} . Pour le GaN-GIT [65], le processus significatif d'effet de pièges est observé lorsque le composant est mis à l'état ON sous forte tension V_{DS} . Les électrons chauds sont générées au moment où le transistor passe de l'état-off ($V_{GS}=0V$, $V_{DS}=V_{DS0}$) à l'état ON ($V_{GS}>V_{TH}$), et capturés dans les pièges à la surface entre le drain et la grille en raison du champ électrique au bord du drain à l'état ON. C'est à dire, la valeur de la polarisation V_{DS0} à l'état OFF détermine le niveau de génération des électrons chauds, et la valeur de la tension V_{DS} à l'état ON fixe le niveau de capture d'électrons dans les pièges. C'est pour cela, qu'on remarque que la variation de R_{DSON} (mesurée à $V_{DS} < 1V$) n'est pas autant évidente que celle de V_{TH} (mesurée à $V_{DS} = 10V$) et I_{DSSAT} (mesuré à $V_{DS}=5V$). En résumé, l'effet des pièges n'est pas significatif à des faibles tensions V_{DS} à l'état ON.

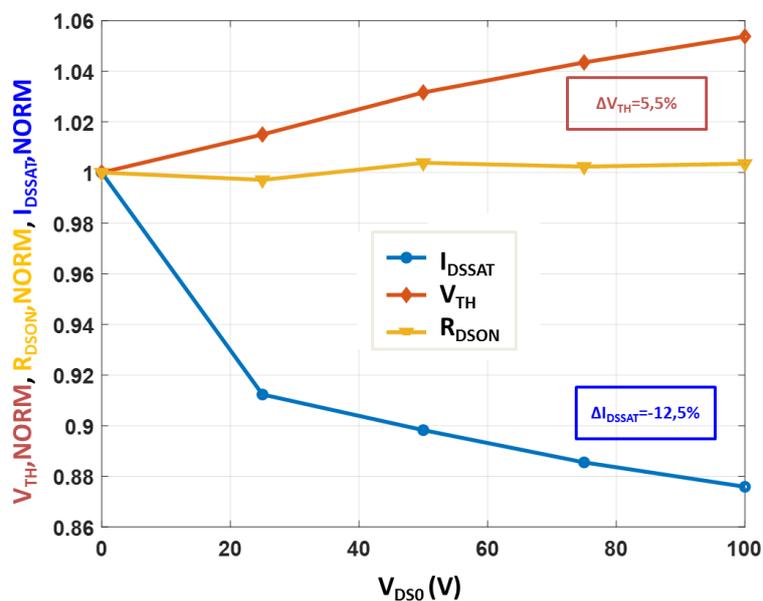


Figure 2.23. Les évolutions d' I_{DSSAT} , R_{DSON} et V_{TH} pour des V_{DS0} allant de 0V à 100V par pas de 25V.

4. Caractérisation microstructurale

Pour compléter la caractérisation électrique du composant, il est nécessaire d'étudier la structure du DUT à l'état neuf par les outils d'analyse à l'échelle microscopique. La phase de caractérisation microstructurale en comparant le composant neuf et vieilli permet de comprendre les changements dans la structure associés aux changements des caractérisations électriques et d'identifier les défauts générés par le test de vieillissement. Pour répondre à cet objectif, nous allons présenter dans cette section le processus d'analyse de la structure microscopique du composant à l'état neuf.

4.1. Préparation de l'échantillon

La partie active de transistor, la puce, est souvent protégée par un package (boîtier), de type TO-220 pour notre cas. Il est par conséquent nécessaire pour accéder à la zone active en enlevant la résine époxyde du package. L'ouverture du boîtier est opérée en deux étapes : d'abord par le laser, puis lors d'une seconde étape ensuite par l'attaque chimique.

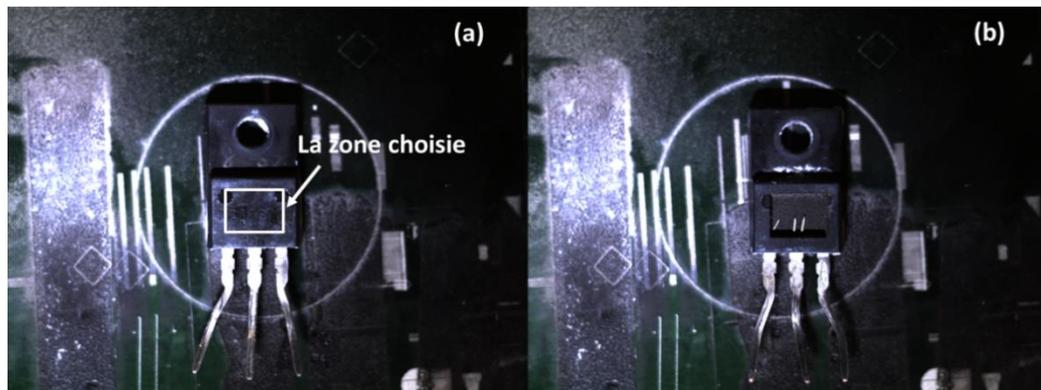


Figure 2.24. Ouverture par ablation laser du (a) DUT à l'état neuf et (b) DUT après une ablation laser

Pour ce faire, nous utilisons d'abord un laser de découpe de type SESAME 1000 pour décapsuler une zone d'intérêt définie, comme l'illustre la Figure 2.24(a). L'ablation laser nécessite de connaître au préalable la location de la puce afin de définir

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

la zone à découper. Le processus de décapsulation sur cette zone se déroule sur plusieurs passages du faisceau laser. La définition géométrique de la zone et la densité du laser sont contrôlés par une interface logicielle. La Figure 2.24(b) présente un composant après la décapsulation par l'ablation laser. Ce processus est stoppé dès le début d'apparition des fils de bondings, car ces dernières fabriquées en Al (Aluminium) risquent de se chauffer avec le laser et ainsi endommager le composant.

Comme indiqué précédemment, l'étape suivante consiste en l'attaque chimique, ce qui se fait manuellement en appliquant sur la zone choisie l'acide nitrique HNO_3 et l'acide sulfurique H_2SO_4 . Ces deux types d'acide n'attaquent pas les semi-conducteurs. Le composant est déposé sur une plaque chauffante à 125°C , les effets de l'attaque chimique sont amplifiés à température élevée. L'acide est versé par goutte à l'aide d'une pipette à l'intérieur de la zone décapsulée par l'ablation laser. Sous l'effet de l'acide réchauffé, une partie de la résine est attaquée. Le composant doit alors être rincé à l'eau puis séché parfaitement à l'aide d'un papier dédié à cet effet. Cette étape doit être répétée autant de fois que nécessaire jusqu'à ce que la puce soit totalement dégagée. Après la phase de décapsulation complète, la surface active de puce conservant les métallisations et la passivation est contrôlée par microscopie optique, comme l'illustre sur la Figure 2.25. Après la réalisation du processus de la décapsulation, la surface active de la puce est accessible à l'analyse par MEB (microscope électronique à balayage), cette étape de l'étude sera présentée dans les prochains paragraphes.

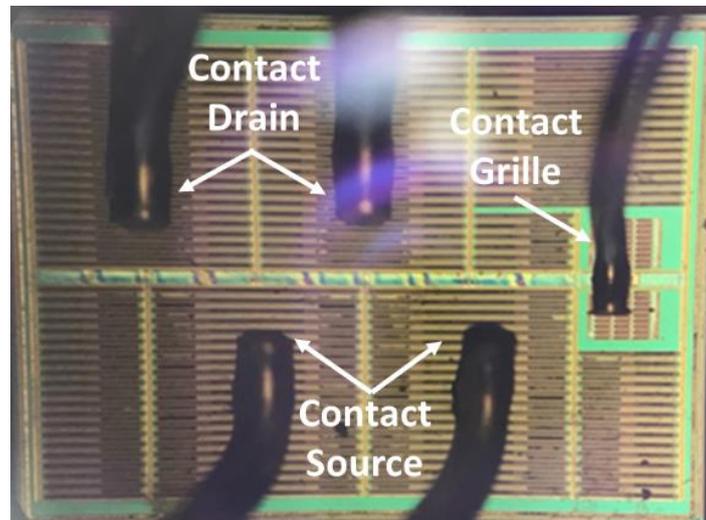


Figure 2.25. Surface active de la puce après la décapsulation complète observée par le microscope optique

4.2. Caractérisation structurale au microscope électronique à balayage

Le microscope électronique à balayage (MEB ou SEM pour *Scanning Electron Microscopy*) permet d'observer la matière à l'échelle microscopique. Cette technique est capable de produire des images en haute résolution de la surface d'un échantillon en le projetant par le balayage d'un faisceau d'électrons accéléré. Cette méthode se base sur l'interaction entre la sonde électronique et l'échantillon, ce qui permet de générer des électrons secondaires de basse énergie qui sont accélérés vers un détecteur d'électrons secondaires qui amplifie le signal. Dans le laboratoire *GPM*, nous travaillons principalement sur le Thermo Fisher Helios G4 PFIB (Plasma Focused Ion Beam) qui combine la nouvelle colonne PFIB et la colonne Elstar™ MEB monochrome pour offrir les performances les plus avancées des faisceaux d'ions et d'électrons focalisés. L'échantillon est placé sur une plate-forme dans lequel l'angle d'inclinaison peut être ajusté à 360°.

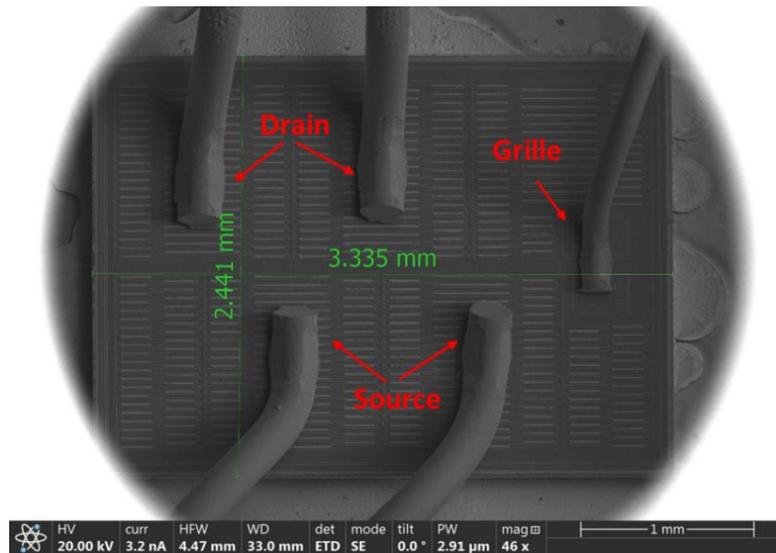


Figure 2.26. Vue de La surface active de la puce observée par le MEB

Selon la Figure 2.26, nous pouvons observer clairement une vue de la surface active de la puce, celle-ci ayant une dimension de 2.4mm x 3.3mm. Quatre fils de bondings sont connectés respectivement aux zones de métallisation de source et drain, et un cinquième est relié au bloc de la grille. Sur la Figure 2.27, nous observons que la

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

puce est composée par nombreuse doigts élémentaires en forme rectangulaire et parallèle, dont certaines parties ont des fenêtres (présentant par la ligne pointillée en rouge). Ces fenêtres, en absence de la couche passivation, permettent de réaliser le contact direct avec le fil bonding. Nous pouvons observer les différents types des doigts élémentaires qui possèdent les fenêtres sur la zone de la source ou drain, comme illustré respectivement sur la Figure 2.27(a) et (b). En parallèle de ces doigts élémentaires, nous trouvons ainsi une partie verticale qui n'a pas de fenêtre, selon la Figure 2.27 (c).

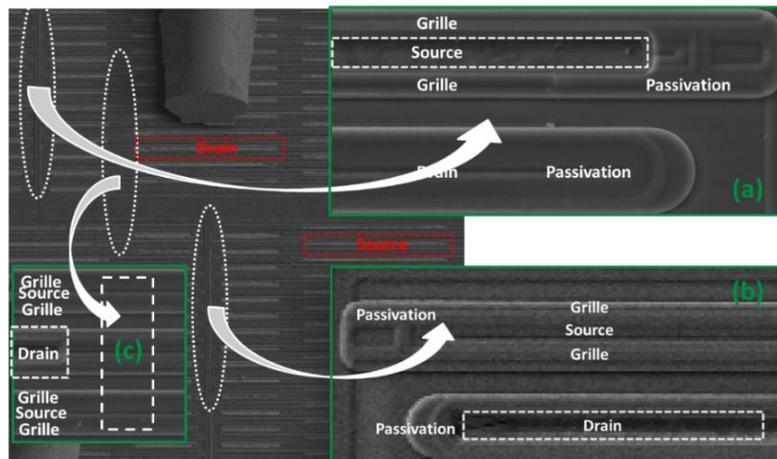


Figure 2.27. Vue des différents doigts élémentaires de la puce.

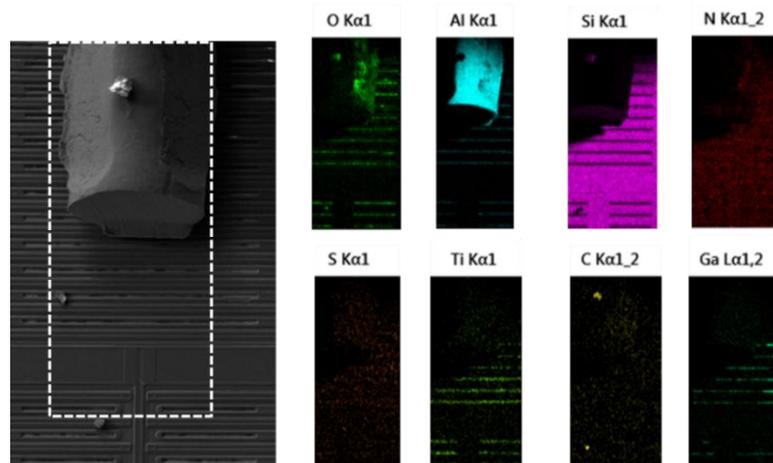


Figure 2.28. Composition chimique de la surface autour le fil de bonding par EDS.

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

A l'aide de l'analyse chimique par EDS (*Energy-Dispersive Spectrometry*), nous pouvons observer les matériaux principaux constituant la puce. La Figure 2.28 montre une cartographie chimique par EDS sur la surface autour le fil de bonding. L'aluminium est présent au niveau de fil de bonding pour assurer le contact métallique. Une couche de passivation en SiN_x ou SiO_x sur la quasi-totalité de la puce sauf les fenêtres qui a pour fonction de protéger la structure active de l'environnement chimique extérieur, isoler électriquement les métallisations supérieures et minimiser les courants de fuite surfaciques. Après recuit à haute température, une couche de Ti/TiN est déposée et observée dans les fenêtres des doigts élémentaires qui présentent une faible résistance de contact et des surfaces métalliques très lisses [71] [72].

La Figure 2.29 montre la coupe transversale de deux cellules élémentaires (Figure 2.29(a) et (b)) par la découpe de PFIB, où nous pouvons identifier les différentes couches constitutives d'une cellule. Une différence entre ces deux cellules est l'existence de la fenêtre dans la cellule (Figure 2.29(b)), ce qui provoque un trou en absence de métal à côté de drain (marqué par la ligne pointillée en violet). L'existence des trous sont probablement due à l'acide H_2SO_4 qui attaque l'Aluminium. Comme indiqué précédemment, les fils bondings sont soudés sur ces fenêtres pour réaliser un contact direct, le métal n'est donc plus existant sur ce type de cellule après l'attaque chimique de H_2SO_4 .

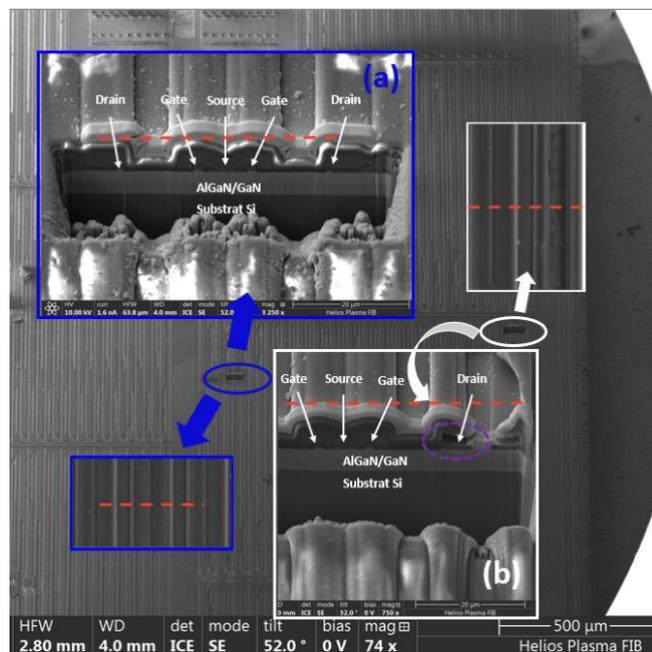


Figure 2.29. Coupe transversale des cellules élémentaires (a) sans fenêtre et (b) avec la fenêtre sur le drain par PFIB

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

Par l'analyse EDS, nous pouvons également observer les matériaux principaux dans la zone de grille-source, comme l'illustre la Figure 2.30. Sur cette vue, nous retrouvons un bloc de p-GaN, ce qui est une partie représentative pour la structure GaN-GIT. L'analyse EDS sur la zone choisie nous permet de montrer, du haut vers le bas, la passivation $\text{SiO}_2/\text{SiN}_x$, le métal Al pour réaliser le contact ohmique avec la source, le métal Al pour réaliser le contact Schottky avec la grille, la couche p-GaN avec la longueur de $1,56\mu\text{m}$, une couche AlGaIn/GaN, une couche de nucléation composé d'AlN et le substrat Si.

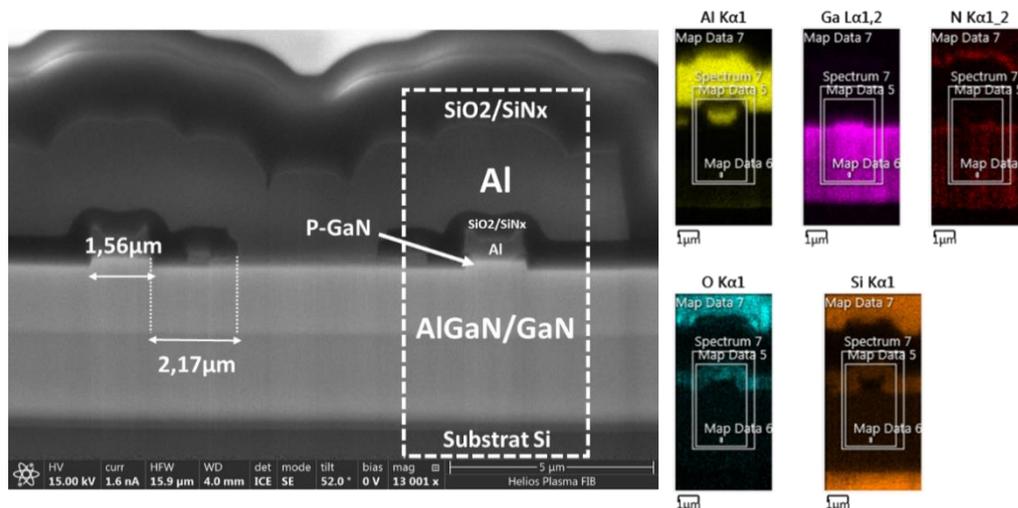


Figure 2.30. Coupe transversale de la puce côté de grille-source et l'analyse EDS sur la zone choisie (ligne pointillée)

La Figure 2.31 présente une cellule complète comprenant le drain, la grille et la source. Un bloc, similaire à la couche p-GaN au-dessous de la grille, est observé à côté de la couche métallique du drain. Ce type de structure est conforme à celle annoncée par Panasonic en 2015, nommée HD-GIT (Hybrid-drian-embedded GIT), comme l'illustre la Figure 2.31(a). Le bloc p-GaN à côté du drain est connecté électriquement à la couche métallique du drain. L'objectif est de libérer efficacement les électrons piégés pendant la phase de commutation par l'effet d'injection de trous. En effet, Panasonic a fabriqué un composant de référence PGA26E07BA avec le package DFN 8x8 en 2016 qui est basé sur la nouvelle structure (HD-GIT). Mais nous avons aussi trouvé ce type de structure (double p-GaN) dans les composants que nous avons étudiés (référence PGA26C09DV avec le package TO-220). Cependant, pour nos composants la structure de grille gravée présentée sur la Figure 2.31(a) n'a pas pu être observée à l'échelle microscopique. Pour ne pas confondre ces deux types de

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

composants, nous notons le composant de notre étude de référence PGA26C09DV par GaN-GIT dans ce manuscrit.

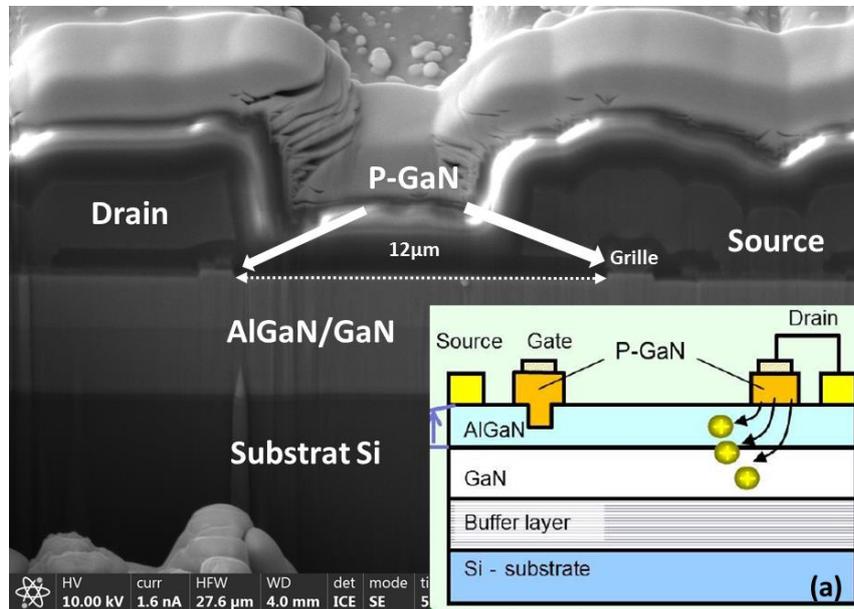


Figure 2.31. Coupe transversale d'une cellule complète, (a) Coupe transversale de la structure HD-GIT [74]

Cette dernière observation nous permet aussi d'expliquer la stabilité de l'évolution de la résistance $R_{DS(on)}$ en fonction de la polarisation de repos V_{DS0} , comme le montre la Figure 2.23. En effet, grâce à l'ajout de la couche p-GaN à côté du drain, les trous injectés sous l'effet de champ électrique au bord du drain permettent de libérer la plupart des électrons piégés pour que l'effet de courant-collaps soit efficacement réduit.

5. Conclusion

Afin de contrôler l'état du composant durant le test de vieillissement accéléré, les caractérisations électriques sont primordiales. Nous avons défini dans ce chapitre les différents indicateurs électriques pouvant être scrutés. Pour le cas d'étude, le composant GaN-GIT de référence PGA26C09DV de chez Panasonic, les paramètres suivants ont été retenus : la résistance à l'état passant $R_{DS(on)}$, le courant de saturation I_{DSSAT} , la tension de seuil V_{TH} , le courant de fuite de drain I_{DSS} , le courant de fuite de

Chapitre II : Caractérisations électrique et microscopique du transistor GaN-GIT

grille I_{GSS} et les trois capacités intrinsèques en fonction de tensions ($C_{GS-V_{GS}}$, $C_{GD-V_{GD}}$, $C_{DS-V_{DS}}$), l'ensemble de ces paramètres caractérisent le comportement statique et dynamique du composant. La dépendance en température variant de 25°C à 125°C sur les caractéristiques $I_{DS-V_{DS}}$ et $I_{DS-V_{GS}}$ est ainsi évaluée. Dans cette phase, nous avons observé un décalage dans le sens positif sur le courant I_{DS} pour des valeurs de V_{GS} inférieures à 1.8V et un décalage dans le sens négatif sur le courant I_{DS} pour des valeurs de V_{GS} supérieures à 1.8V.

Concernant la problématique de piégeage abondamment mentionnée dans les travaux bibliographiques sur le transistor à base de AlGaN/GaN, l'impact de la polarisation au repos V_{GS0} et V_{DS0} a été présenté. L'évolution des indicateurs électriques en fonction des différentes tensions de repos V_{GS0} et V_{DS0} a été mise en évidence par le phénomène d'effet de piège. Selon ces caractérisations électriques, du point de vue du fonctionnement du transistor, la température, ainsi que l'effet de piège induit par certaines contraintes, semble être déterminants sur le vieillissement du composant.

En complément de la réalisation des mesures électriques, nous avons présenté aussi une partie des moyens de microscopie optique et électronique mis en œuvre dans ces travaux permettant la caractérisation à petite échelle. Concernant l'analyse microstructure sur un composant commerciale, il est indispensable de préparer les échantillons en décapsulant le boîtier du composant. Nous avons appliqué l'ablation laser et puis l'attaque chimique pour réaliser la décapsulation en face avant du composant. Enfin, la surface active de la puce est présentée, permettant de procéder à la caractérisation en microscopie MEB. La coupe transversale d'une cellule élémentaire a été montrée par le processus PFIB et ses matériaux principaux constituant chaque couche ont été observés par l'analyse EDS.

Ce chapitre a permis d'obtenir une connaissance approfondie du composant GaN-GIT de chez *Panasonic* depuis les paramètres électrothermique jusqu'à sa caractérisation microscopique de la surface active de la puce. Dans le chapitre III, nous allons présenter le test de vieillissement accéléré en court-circuit. Le PEM (*photon emission microscopy*), étant un moyen d'identification microscopique, sera présenté afin de nous aider à mieux comprendre le lien entre la structure de la coupe transversale et la variation des paramètres électriques.

CHAPITRE III:

Test de vieillissement accéléré en court-circuit

1. Introduction

Ce chapitre est consacré à l'étude de la fiabilité du composant GaN-GIT PGA26C09DV de *Panasonic*. Pour acquérir des informations sur la fiabilité d'un composant, deux types d'essai sont généralement pratiqués: l'essai en robustesse et le vieillissement accéléré. La robustesse du composant électronique se définit comme la stabilité de ses performances lorsqu'il est soumis à une contrainte externe présentant de fortes variations d'amplitude. Cette contrainte externe de nature électrothermique génère un changement incontrôlable et brutal du courant circulant dans le composant ou de la tension à ses bornes. Le fonctionnement en régime de fortes contraintes, comme par exemple le régime de court-circuit, est traité comme un mode de fonctionnement accidentel lors d'un défaut du système de commande du composant. Dans la phase de régime de court-circuit, le composant est dans un état de conduction mais avec la pleine tension d'alimentation à ses bornes. Dans ces conditions, il arrive que le composant ne puisse plus remplir les fonctionnalités attendues à cause de ce stress et une destruction catastrophique et permanente est alors induite. Ce test a donc pour but d'évaluer la capacité du composant à dissiper l'énergie fournie par le stress. En surveillant la variation des formes d'ondes des courants circulant dans le composant et/ou celles des tensions présentes sur ses accès du composant jusqu'à la défaillance durant le régime de court-circuit, nous pouvons évaluer le mode de défaillance. Le défaut pourra ensuite être localisé par une analyse de la structure à l'échelle microscopique.

Afin d'étudier les mécanismes de vieillissement associés à une dégradation progressive mais irréversible des propriétés du composant en fonction du temps, le test de vieillissement accéléré est probablement le moyen le plus utilisé pour évaluer

Chapitre III : Test de vieillissement accéléré en court-circuit

expérimentalement la fiabilité du composant. En appliquant des stress d'amplitude relativement faible par rapport celle utilisée dans les tests de robustesse mais cela de façon répétitive ou même continue sur le composant, nous pouvons évaluer les performances du composant à l'aide d'un suivi régulier de certains paramètres électriques durant le test. Les tests accélérés peuvent être classés en fonction du ou des facteurs accélérant le vieillissement qui sont souvent liés à une température élevée, une pression, une haute tension, un courant ou une fréquence. Les principaux types de tests de vieillissement accélérés, tels que HTRB (*High Temperature Reverse Bias*) [73], HTOL (*High Temperature Operating Life*) [75], DCLT (*DC Life Test*) [76] etc., sont proposés dans le cadre de la qualification d'une filière «JEDEC» [77].

Dans ce chapitre, nous proposons un nouveau test de vieillissement accéléré en court-circuit à faible tension mais répétitif pour reproduire un endommagement cumulé similaire à celui pouvant apparaître en opération réelle. Après avoir présenté l'état de l'art sur les essais en régime de court-circuit des composants de puissance, nous détaillerons la méthodologie retenue durant ce travail pour effectuer le vieillissement accéléré et le banc de test associé. Ensuite les résultats du suivi régulier de caractérisations électriques durant le vieillissement seront analysés pour permettre une étude des modes de dégradation. Finalement, une comparaison de l'analyse microscopique de la structure entre un composant à l'état neuf et un à l'état dégradé après stress sera menée pour confirmer les hypothèses faites sur les zones concernées en utilisant des techniques comme le MEB, le PEM et le FIB.

2. Etat de l'art sur les régimes de court-circuit

2.1. Introduction

Comme indiqué précédemment, le régime de court-circuit est un mode de fonctionnement accidentel qui est l'un des plus utilisés pour les tests de qualification des semi-conducteurs de puissance. La capacité à supporter un événement de type court-circuit est l'un des paramètres clé de ces composants. Quand cet événement apparaît, suite à un défaut de commande, le composant doit résister au court-circuit en présence de la tension nominale d'alimentation pendant un certain temps (généralement 10 μ s) [78] jusqu'à ce que le contrôleur du système de commande identifie le défaut et intervienne pour couper la tension d'alimentation. Pendant la phase de court-circuit,

Chapitre III : Test de vieillissement accéléré en court-circuit

une importante quantité d'énergie est transmise au composant sous test et elle provoque un auto-échauffement de celui-ci. C'est cet auto-échauffement qui est généralement considéré comme la cause racine des défaillances.

2.2. Aperçu sur les tests de court-circuit des transistors à base de GaN

Jusqu'à aujourd'hui, de nombreux papiers ont été publiés sur le sujet du comportement en court-circuit pour les composants de puissance à base de GaN de type « normalement bloqué » que soit sur la robustesse ou le vieillissement accéléré. Dans un premier temps, pour connaître les tests de robustesse correspondant, nous nous sommes intéressés aux travaux suivants:

- Une étude sur la robustesse d'un 200V HEMT AlGaIn/GaN commercial [79].
- Une étude expérimentale sur la robustesse d'un 600V HEMT AlGaIn/GaN commercial [80].

La Figure 3.1 illustre les formes d'ondes de courant de drain I_{DS} et tension d'alimentation V_{DS} pendant la phase de court-circuit à $V_{GS}=4V$ pour différentes tensions drain/source V_{DS} (50V, 75V, 100V, 125V). A $V_{DS}=50V$, le composant présente un comportement stable et supporte bien cette contrainte durant 10 μ s et le courant présente un pic au début du test puis décroît jusqu'à une valeur constante de 30A. Les comportements instables peuvent être observés pour les tensions $V_{DS}=75V$ et 100V. Dans ces deux cas, le courant I_{DS} présente une pente positive après 4 μ s de court-circuit. En s'appuyant sur l'évolution de la caractéristique du composant en fonction de la température, ce type de comportement instable est probablement dû à la réduction de la tension de seuil V_{TH} et l'augmentation du courant de fuite à forte température induites par la phase de court-circuit. Le composant est détruit après seulement 2 μ s à cause de l'augmentation du courant I_{DS} pour la tension $V_{DS}=125V$.

La Figure 3.2 présente aussi les formes d'ondes du courant de drain I_{DS} et de la tension d'alimentation V_{DS} à $V_{GS}=5V$ pendant la phase de court-circuit. En effet, sous la tension d'alimentation $V_{DS}=270V$, certains composants peuvent résister à 500 μ s de régime de court-circuit, alors que les autres sont détruits après seulement quelques centaines de nanosecondes sous $V_{DS}=400V$. Sur la forme du courant et juste avant la destruction, aucun signe précurseur n'est détecté permettant d'expliquer ce comportement. Après la destruction, la grille, le drain et la source du composant sont

Chapitre III : Test de vieillissement accéléré en court-circuit

tous les trois en court-circuit et les caractéristiques électriques des composants ne peuvent donc pas être mesurées après stress pour analyser le mécanisme de défaillance.

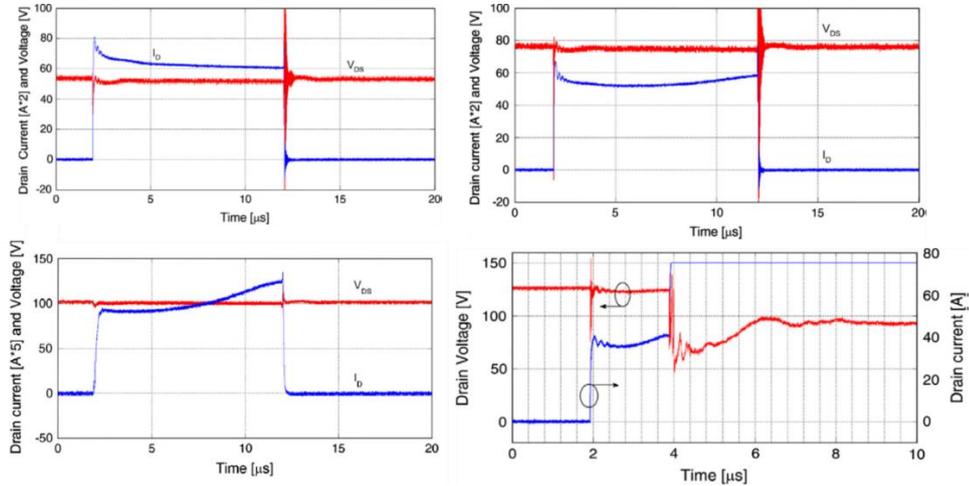


Figure 3.1. Evolution du courant de court-circuit I_{DS} avec les différentes tensions d'alimentation V_{DS} (50V, 75V, 100V, 125V) pour un 200V HEMT AlGaIn/GaN commercial [79].

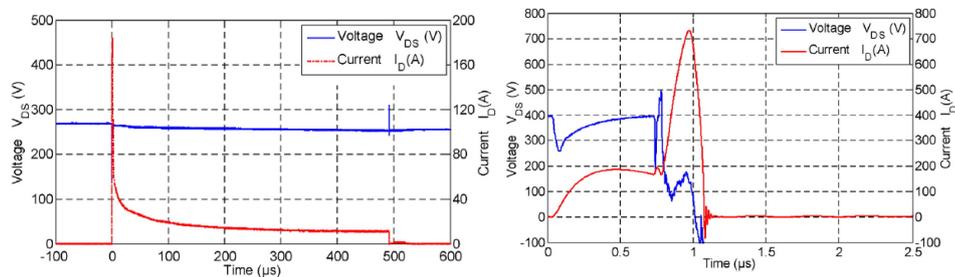


Figure 3.2. Evolution du courant de court-circuit I_{DS} avec la tension d'alimentation $V_{DS}=270V$ et $400V$ pour un 600V HEMT AlGaIn/GaN commercial [80].

Le temps jusqu'à défaillance semble être très court et la température n'arrive pas à atteindre à la valeur maximale de jonction du composant. La défaillance du composant est donc due non seulement une température élevée induite par le court-circuit, mais aussi un type de défaillance prématurée [81]. Ce type de défaillance prématurée peut être expliqué en termes d'effet d'électrons chauds, qui induit la génération de pièges sous la surface de la grille. L'effet de pièges générés peut modifier le champ électrique vers le bord du drain en le faisant augmenter, puis, le composant

Chapitre III : Test de vieillissement accéléré en court-circuit

est détruit lorsque le champ électrique au bord du drain dépasse le champ électrique critique du composant. Ce mécanisme de défaillance a été expliqué en détail dans le chapitre I.

Afin d'obtenir des informations suffisantes sur le composant avant sa défaillance, un nouveau type de test de vieillissement accéléré est proposé ; il s'agit d'un test de vieillissement en court-circuit répétitif sous basse tension V_{DS} qui permet d'obtenir une dégradation graduelle et non-catastrophique des composants. Dans un premier temps, pour mettre au point ce test répétitif en court-circuit, nous nous sommes reportés aux travaux d'une étude sur le test de vieillissement accéléré en appliquant les pulses de court-circuit répétitifs sur le composant 600V GaN-GIT [9].

La Figure 3.3 [82] montre l'évolution de formes d'ondes pour le courant I_{DS} et pour la tension V_{GS} durant le test répétitif en court-circuit avec une durée d'impulsion de 100μ et la tension d'alimentation V_{DS} de 300V. Durant ce test répétitif, le pic du courant I_{DS} présente une diminution significative quand le nombre d'impulsions augmente, et la tension V_{GS} montre une augmentation régulière qui indique une réduction de courant de grille I_G . Le composant est finalement détruit après 7,000 pulses. Après l'estimation de la température durant le test de court-circuit, la température moyenne du composant sous test répétitif est inférieure à la limite de température maximale. Une hypothèse de mécanisme de dégradation a été proposée : durant le test répétitif, une fissure dans la structure du composant se forme et se développe progressivement en raison de la contrainte thermique accumulée. L'analyse microscopique de la coupe transversale du composant est donc très intéressante de pouvoir répondre cette hypothèse.

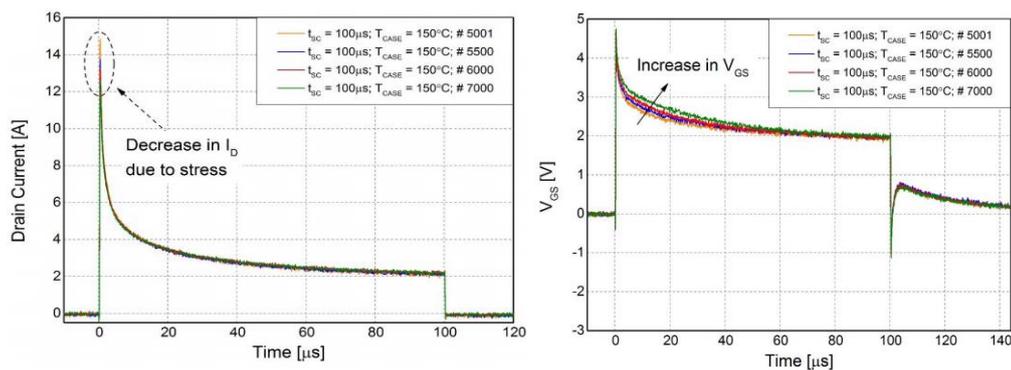


Figure 3.3. Evolution du courant I_{DS} et de la tension V_{GS} durant le test répétitifs en court-circuit avec la tension $V_{DS}=300V$ pour un 600V transistor en GaN commercial [82].

Chapitre III : Test de vieillissement accéléré en court-circuit

Afin d'analyser cette dégradation progressive et irréversible des propriétés du matériau (comme la fissure), nous proposons dans ce manuscrit d'étudier le vieillissement accéléré de test répétitif en court-circuit à faible puissance. En plus, la surveillance de l'évolution des caractérisations électriques durant le vieillissement accéléré est prise en compte, ainsi que l'analyse microscopique entre le composant à l'état neuf et celui à l'état dégradé. Nous allons les présenter en détail dans les sections suivantes.

3. Méthodologie retenue et description du banc de test associé

3.1. Méthodologie des essais de vieillissements

Pour servir notre objectif qui est donc de ne pas détruire le composant mais d'avoir des dégradations progressives et irréversibles mesurables sur ses caractéristiques électriques, nous proposons un vieillissement accéléré du composant à faible puissance mais ayant une énergie, par pulse, plus élevée que pour le test répétitif en court-circuit présenté dans [81]. L'élévation de température répétitive générée par l'énergie à dissiper par le composant pendant le court-circuit provoque une évolution des paramètres électriques qui sont mesurés régulièrement. Cela montre effectivement une dégradation lente contrairement à ce qui se passe pour les tests de robustesse où le composant est détruit en une ou quelques impulsions. Ce type de test est similaire au test de cycle de puissance qui utilise la commutation répétitive et la température élevée de fonctionnement générée par auto-échauffement pour dégrader le composant. Cette méthodologie, qui a été appliquée dans le laboratoire *IRSEEM* sur le composant SiC MOSFET [83] et qui a réussi à montrer une dégradation significative du composant au niveau micro-structurel représentée par un affaissement ou une dilatation de la couche d'oxyde, est utilisée pour la première fois dans l'étude du composant GaN-GIT.

3.2. Synoptique du banc de test

Chapitre III : Test de vieillissement accéléré en court-circuit

La Figure 3.4(a) et (b) présente notre banc de vieillissement par mises en court-circuit répétitives et son schéma équivalent. La tension V_{DS} est fixée à certaine valeur qui est relativement faible (quelques dizaines de Volts) par rapport à la tension maximale du composant (600V). En utilisant un driver AN34092B [84] qui est spécialement conçu pour piloter des GaN-GIT, le composant est maintenu à l'état passant grâce à la tension de grille $V_{GS} = 3.5V$; puis bloqué en mettant la tension V_{GS} à $-4V$. Cette tension V_{GS} négative assure que le DUT est bien bloqué, sachant que la tension de seuil d'un GaN-GIT est faible (environ 1V) et que le problème de blocage de GaN-GIT est un point à surveiller [85]. Le courant I_{DS} est surveillé en utilisant une résistance de shunt de 0.01Ω à quatre fils placée dans le drain du transistor et un circuit intégré spécialement conçu pour la mesure de courant côté alimentation. La carte de comptage permet de fournir un nombre donné d'impulsion. La durée d'une impulsion peut être modifiée selon les besoins et la période des impulsions est réglée par la fréquence du générateur de pulse. Un exemple de signaux relevés à l'oscilloscope pendant un pulse est donné sur la Figure 3.5. Il s'agit du courant de drain et des tensions drain/source et grille/source synchronisés sur l'impulsion de commande.

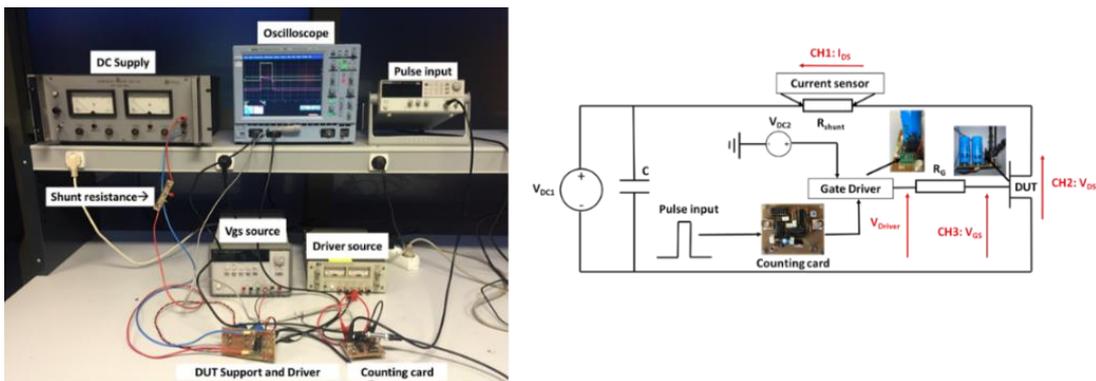


Figure 3.4. (a) Vue du banc de vieillissement en court-circuit répétitif (b) Le schéma équivalent du banc de vieillissement en court-circuit répétitif.



Figure 3.5. Formes d'ondes I_{DS} , V_{DS} et V_{GS} pendant un pulse.

3.3. Le comportement du composant pendant le court-circuit

Dans cette partie, nous présentons quelques tests préliminaires afin de mieux connaître le comportement du composant durant la phase de court-circuit avec différentes conditions du stress et pour une seule impulsion. Pour tous les tests, nous avons fixé la tension de grille V_{GS} à $-4V$ pour l'état off et à $+3.5V$ pour l'état on ; ce qui correspond aux préconisations du fondeur. Les paramètres restant à modifier sont donc la durée d'impulsion T_{SC} et la tension d'alimentation V_{DS} .

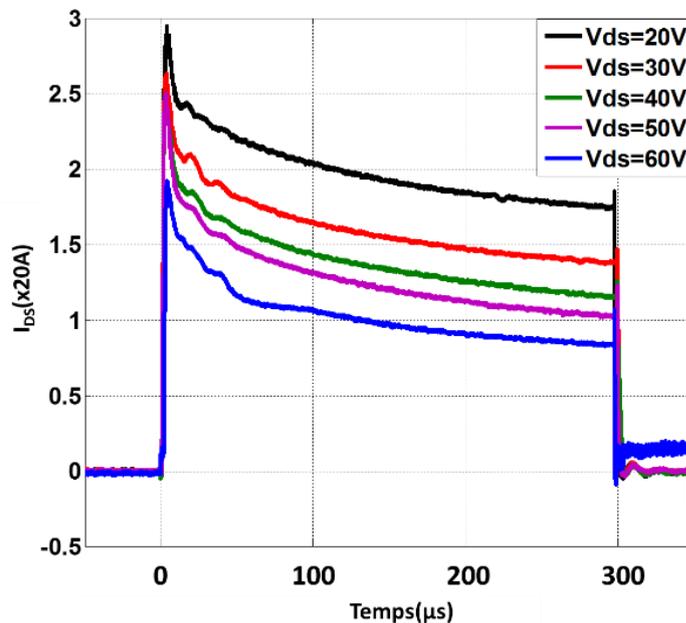


Figure 3.6. Evolution du courant de court-circuit I_{DS} en fonction de la tension V_{DS}

Dans un premier temps, en fixant à $300\mu s$ de la durée d'impulsion, nous pouvons suivre l'évolution du courant I_{DS} en fonction de la tension V_{DS} ; ce comportement est illustré sur la Figure 3.6 : pour des tensions V_{DS} comprises entre 20V et 60V par pas de 10V. Entre chaque étape d'augmentation de la tension d'alimentation V_{DS} , une période de 30 minutes est respectée afin de s'assurer que le composant est retourné à l'équilibre thermique. Sur cette courbe, nous remarquons que la valeur du courant I_{DS} en fin d'impulsion diminue lorsque la tension V_{DS} augmente, ce qui pourrait être dû à une puissance dissipée plus élevée amenant une augmentation de température et donc une

Chapitre III : Test de vieillissement accéléré en court-circuit

mobilité des porteurs plus faible qui n'est pas compensée par un champ électrique plus important. De plus, le pic de courant I_{DS} décroît aussi lors que la tension V_{DS} augmente, ce qui peut être expliqué par une augmentation rapide de la température, bien que ces pics apparaissent au début de l'impulsion. Des résultats similaires sont rapportés dans les travaux [80] qui montrent une diminution de 8% sur le pic du courant I_{DS} à $V_{DS}=270V$ par rapport celui à $V_{DS}=400V$. Pour le cas $V_{DS}=60V$, un phénomène anormal est observé à la fin d'impulsion. Il semble que le transistor ne se bloque pas en fin d'impulsion de commande mais nous n'avons pas pu déterminer si cela était bien le cas ou s'il s'agissait d'un dysfonctionnement du circuit de mesure de courant qui atteignait alors sa tension maximale de fonctionnement.

La Figure 3.7 illustre les formes d'ondes du courant I_{DS} pendant la phase de court-circuit pour une tension V_{DS} égale à 20V et pour différentes durées d'impulsion T_{SC} variant de 100 μs à 400 μs par pas de 100 μs . Sur cette courbe on observe que le courant I_{DS} en fin d'impulsion diminue en raison de l'auto-échauffement.

Ces deux types de tests préliminaires nous permettent de comprendre le comportement du composant dans la phase de court-circuit et de choisir les conditions de tests pour les tests répétitifs en court-circuit.

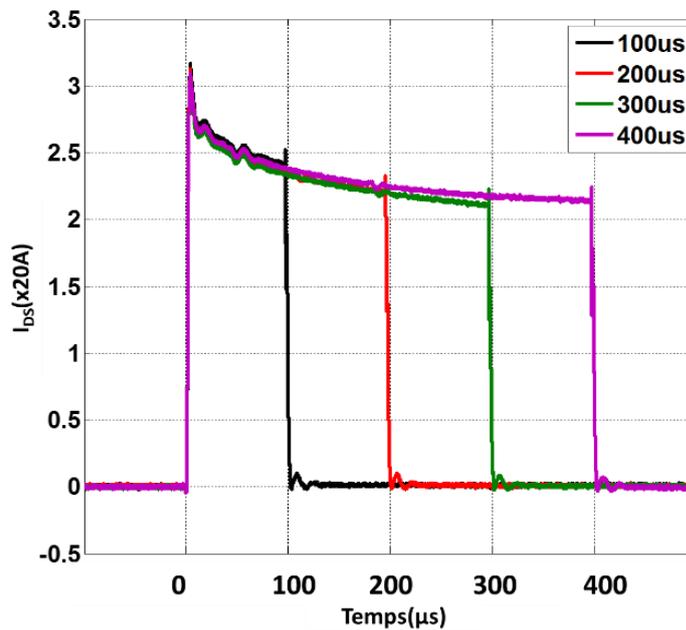


Figure 3.7. Evolution du courant de court-circuit I_{DS} en fonction de la durée d'impulsion T_{SC} .

4. Vieillissement accéléré des transistors GaN-GIT en régime de court-circuit

4.1. Stratégie de vieillissement

Pour le projet *EMOCAVI*, nous nous intéressons aux dégradations liées à l'énergie à dissiper par le transistor pendant un pulse de court-circuit afin de modéliser ce comportement. Il nous faut donc observer l'impact de différentes énergies à dissiper sur le comportement du composant d'étude. Exprimée par l'équation 3.1, cette énergie à dissiper peut être ajustée en jouant sur la tension V appliquée au composant et sur la durée d'impulsion T_{sc} .

$$E_{SC} = V \times \int_0^{T_{sc}} I \times dt = V \times I_{moyen} \times T_{SC} \quad (3.1)$$

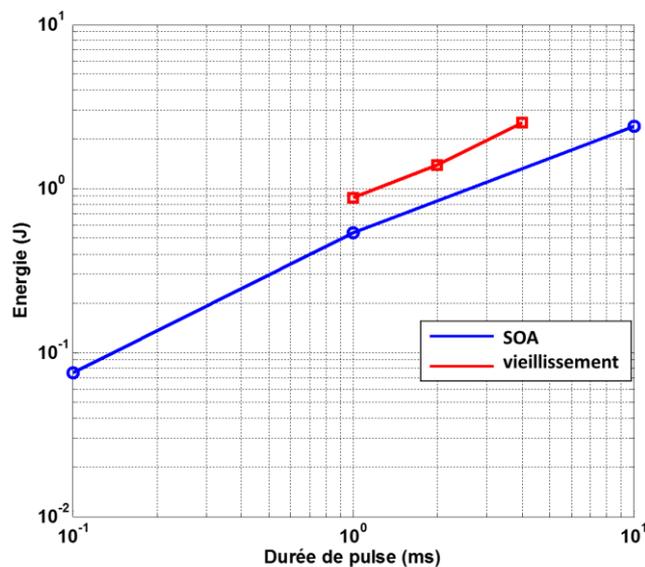


Figure 3.8. Conditions des tests de vieillissements comparés aux limites de la zone de fonctionnement (SOA) pour $V_{DS}=35V$.

Chapitre III : Test de vieillissement accéléré en court-circuit

La Figure 3.8 illustre la relation entre l'énergie à dissiper et la durée d'impulsion T_{sc} . Sur cette figure, la limite de la zone de fonctionnement (SOA : Safe Operating Area) est représentée par la courbe bleue dont les valeurs sont dérivées de la SOA donnée par le fondeur. La courbe rouge représente l'énergie à dissiper pour les durées d'impulsion 1ms, 2ms et 4ms, durées retenues pour les essais de vieillissement sur notre composant d'étude. Ces valeurs ont été retenues pour $V_{DS}=35V$ car ces énergies qui varient entre 0.88J (impulsion la plus courte) et 2.52J (impulsion la plus longue) sont toutes au-delà de la SOA sans être beaucoup plus grandes. Cela nous permet donc de vieillir rapidement les composants sans avoir d'effet destructif trop rapide interdisant toute caractérisation électrique après stress.

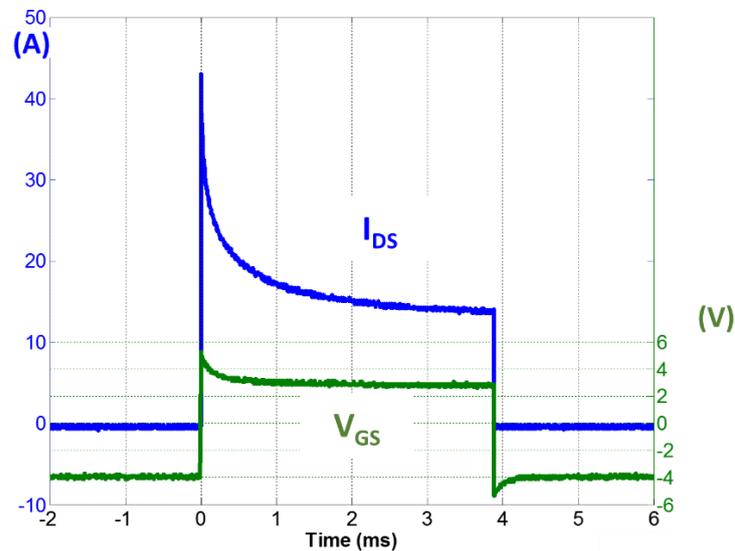


Figure 3.9. Evolution du courant I_{DS} et de la tension $T_{sc}=4ms$ et $V_{DS}=35V$.

La Figure 3.9 illustre les formes d'ondes du courant I_{DS} et de la tension V_{GS} pour une durée d'impulsion $T_{SC}=4ms$. Les tests sont effectués à température ambiante, sous une tension d'alimentation fixe $V_{DS}=35V$ avec une tension de grille positive $V_{GS}=3.5V$ pour l'état On et une tension négative $V_{GS}=-4V$ pour l'état Off. De plus la période de répétition des impulsions est fixée à 1s ; ce qui garantit que le composant ne sera pas détruit à cause de l'effet d'accumulation de quantité de chaleur mais que cette énergie thermique est suffisante pour participer au stress. Pour une durée d'impulsion $T_{SC}=4ms$, la température moyenne du composant, mesurée sur le boîtier, s'établit à environ $80^{\circ}C$ pour une température ambiante de $25^{\circ}C$.

Chapitre III : Test de vieillissement accéléré en court-circuit

Les critères d'arrêt ou les critères de défaillance déterminent la limite à partir de laquelle les défauts apparus vont s'accroître et conduire soit à une dégradation plus importante soit à la destruction du composant. Dans notre cas d'étude, nous choisissons trois critères d'arrêt des tests :

- Le composant est défaillant après un certain nombre de cycles répétitifs.
- Une variation significative des paramètres électriques est observée durant le test de vieillissement accéléré. Le critère retenu est une variation de +/- 20% de ces paramètres signifiant que le composant n'est plus apte à commuter normalement et sera donc considéré comme défaillant.
- Le composant a subi un nombre élevé de cycles répétitifs mais aucune variation significative ne peut être observée.

Dans les sections suivantes, nous allons présenter les résultats de vieillissement accélérés pour des durées d'impulsion de 1ms, 2ms et 4ms de la durée. Ces résultats nous permettent d'analyser le comportement du composant pour différentes énergies à dissiper.

4.2. Suivi du vieillissement par court-circuit

Les tests de vieillissement, réalisés sur trois composants de GaN GIT nommés PAC#1, PAC#2 et PAC#3 avec différentes énergies à dissiper, ont été menés en utilisant des séries d'impulsion. Avant ces tests, les trois composants ont été caractérisés comme décrit dans le chapitre II.

Tableau 3.1 Conditions de mesures pour les paramètres électriques

Paramètre électrique	Condition de mesure
R_{DS(on)} (Résistance à l'état passant)	$V_{GS}=3,7V$, $I_{DS}=8A$ déduite de la courbe $I_{DS}-V_{DS}$
I_{DSSAT} (Courant de saturation)	$V_{DS}=5V$, $V_{GS}=2,5V$ déduite de la courbe $I_{DS}-V_{DS}$
V_{TH} (Tension de seuil)	$V_{DS}=10V$, $I_{DS}=2,1mA$ déduite de la courbe $I_{DS}-V_{GS}$
I_{DSS} (Courant de fuite de drain)	$V_{DS}=600V$, $V_{GS}=0V$
I_{GSS} (Courant de fuite de grille)	$V_{GS}=4,5V$, $V_{DS}=0V$

Chapitre III : Test de vieillissement accéléré en court-circuit

Pendant le vieillissement, le banc est arrêté toutes les 8000 impulsions et le composant est repassé en phase de caractérisation après une phase de retour à la température ambiante. Les conditions de caractérisations électriques sont résumées dans le Tableau 3.1.

4.3. Analyse et discussions des résultats

Suite aux tests de vieillissement, les trois composants ont montrés des signes de vieillissement plus ou moins importants selon la durée des impulsions et donc les énergies à dissiper. Le statut pour tous les trois composants est décrit ci-dessous et résumé dans le Tableau 3.2:

- PAC#1 : a subi 190000 impulsions de durée $T_{SC}=1ms$. Aucune défaillance permanente n'a pu être observée durant le stress.
- PAC#2 : a été stressé 150000 impulsions de durée $T_{SC}=2ms$. Ensuite, nous avons utilisé ce composant pour continuer le stress répétitif avec $T_{SC}=4ms$. Après avoir seulement subi 8,000 impulsions supplémentaires de durée $T_{SC}=4ms$, un phénomène anormal a pu être observé au niveau du courant I_{DS} pendant le court-circuit.
- PAC#3 : a subi 33000 impulsions de durée $T_{SC}=4ms$. Le composant a été détruit au bout de 33000 impulsions ; les trois électrodes du composant étant en court-circuit. Les derniers paramètres électriques enregistrés sont ceux après 32000 impulsions.

Tableau 3.2 Statut des composants PAC#1, PAC#2 et PAC#3 après vieillissement.

DUT	PAC#1	PAC#2	PAC#2/PAC#3
V_{DS} (V)	35	35	35
La durée d'impulsion	1ms	2ms	4ms
Energie dissipée	147.6 mJ/mm ²	232.75 mJ/mm ²	420 mJ/mm ²
Nombre de cycles	190000	150000	8000/33000
Le statut	Dégradé	Dégradé	Détruit/Détruit

4.3.1. La forme d'onde de courant I_{DS} de court-circuit

Dans cette partie, nous allons présenter l'évolution des paramètres électriques qui ont été suivis pendant le vieillissement accéléré en court-circuit pour les trois composants. La Figure 3.10 présente d'abord l'évolution des courant I_{DS} avant et après le vieillissement en court-circuit de PAC#3 ayant subi des contraintes avec une durée d'impulsion $T_{SC}=4ms$. Cette courbe nous permet d'observer directement le comportement du composant suite à la dégradation amenée par le vieillissement accéléré.

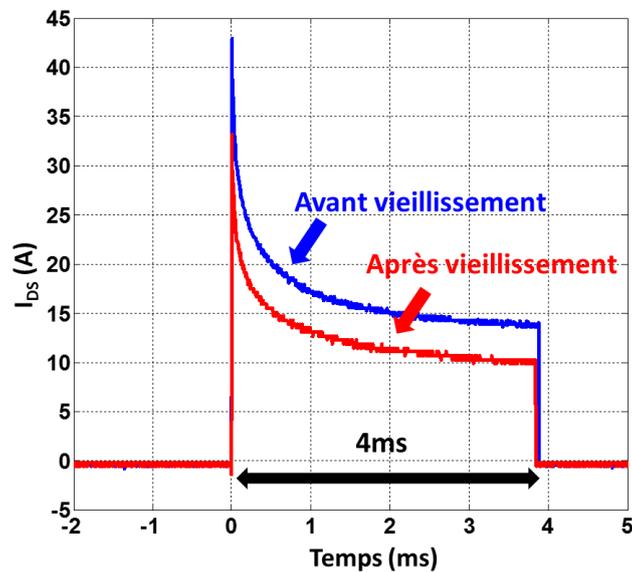


Figure 3.10. Courant I_{DS} avant et après vieillissement pour le composant PAC#3

Durant le premier pulse du test de vieillissement (courbe bleue de la Figure 3.10), le courant I_{DS} augmente rapidement après la mise en conduction du composant jusqu'à atteindre une valeur de 43A, puis il diminue au cours de vieillissement à cause d'auto-échauffement du composant. La courbe rouge représente le courant de drain I_{DS} du dernier pulse du vieillissement avant la destruction ; le composant ayant déjà subi 32000 cycles. En comparant cette évolution avant et après le vieillissement en court-circuit, tout d'abord, nous remarquons une réduction significative du pic du courant maximal. En effet, lors de la mesure durant le dernier pulse du test de vieillissement, le courant maximal n'atteint que 33A présentant ainsi une réduction de 10A par rapport

Chapitre III : Test de vieillissement accéléré en court-circuit

à celui mesuré lors du premier pulse. En plus, dans la zone de stabilisation du courant, une diminution de 4A est aussi clairement observée. Cette évolution a pu aussi être observée pour les deux autres composants pour leurs durées d'impulsions respectivement mais avec les diminutions de courant I_{DS} moins importantes avant et après le vieillissement. Ces premiers résultats confirment bien que les tests de vieillissement sous les conditions précédemment définies produisent effectivement une modification du comportement des composants. Cette modification est certainement le résultat d'une dégradation réversible générée par l'effet de température élevée et une dégradation irréversible induite par le test répétitif en court-circuit. La partie irréversible de cette dégradation est observable sur la résistance à l'état passant R_{DSON} comme nous le verrons par la suite.

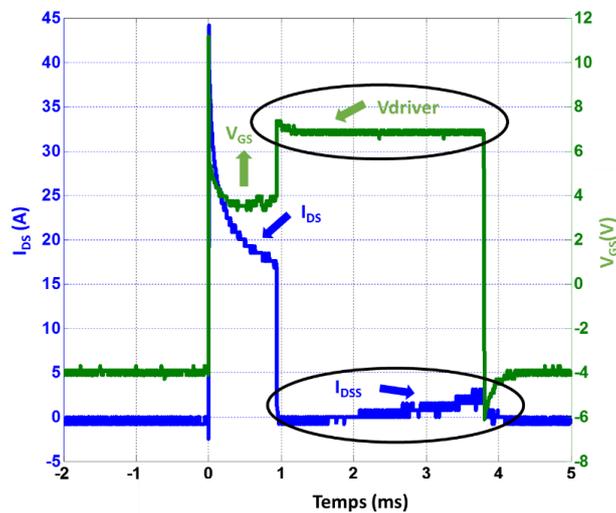


Figure 3.11. Courant I_{DS} avant et après le vieillissement pour le composant PAC#2

La Figure 3.11 présente un phénomène spécial sur le composant PAC #2 après qu'il ait subi 8000 cycles répétitifs avec $T_{SC}=4ms$, sachant que avant le test sous 4ms, PAC#2 a été subi 150000 cycles répétitifs avec des impulsions de durée $T_{SC}=2ms$. Dans un premier temps, le courant de drain de court-circuit I_{DS} s'annule brutalement après seulement 1ms. Dans le même temps, la sortie du driver, qui à ce moment fonctionne en générateur de courant et fournit normalement le courant de grille nécessaire au maintien du GaN-GIT à l'état On, sature à la tension d'alimentation positive de ce driver. Cela signifie que le courant de grille du GIT est très faible ou nul et que le transistor passe dans un état voisin de l'état Off. Néanmoins, on observe tout de même, en fin d'impulsion, une augmentation du courant I_{DS} ; courant qui devient nettement

Chapitre III : Test de vieillissement accéléré en court-circuit

supérieur au courant de fuite normal. Ce phénomène est difficile à expliquer car il disparaît si l'on stresse à nouveau le composant avec $T_{SC}=2\text{ms}$ et les caractérisations électriques sont normales.

Afin de mieux comprendre ce phénomène, nous pouvons le résumer comme suit :

-Lorsque l'on fait les caractérisations électriques à la température ambiante pour le composant PAC#2, elles sont normales et aucune défaillance permanente n'est observée sur le composant.

-Les tests répétitifs pour d'autres composants à l'état neuf fonctionnent normalement ; ce qui permet d'éliminer une défaillance du driver ou du reste de la carte de test.

-Ce phénomène spécial sur le composant PAC #2 disparaît lorsque la durée d'impulsion est réduite à 2ms.

-Ce phénomène se produit seulement après un certain nombre d'impulsions lors du début de tests répétitifs avec $T_{SC}=4\text{ms}$.

Pour ce phénomène, nous pouvons conclure qu'il est dû à une défaillance temporaire à haute température, un circuit ouvert ou de haute impédance apparaît entre la grille et la source du GaN-GIT. Lorsque cette défaillance temporaire apparaît, le driver ne peut plus fournir un courant constant ($\approx 10\text{mA}$) pour maintenir le transistor dans un état On franc. Cependant, ce type de comportement semble permettre de diminuer le courant de drain et permet de protéger le composant d'une destruction entre le drain et la source. Ce type de comportement a déjà été rapporté dans la littérature à l'occasion de test de robustesse en court-circuit sur un BJT SiC [86] et qualifié de défaillance d'autoprotection.

4.3.2. L'évolution de caractéristique courant-tension

La caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS}=2.5\text{V}$ pour le composant PAC#3 durant le vieillissement avec $T_{SC}=4\text{ms}$ est montré par la Figure 3.12. Suite aux mesures régulières toutes les 8000 impulsions, nous avons observé une baisse régulière et significative du courant I_{DS} à la fois dans la région linéaire et dans la région non-linéaire. Pour la réduction de la région linéaire, la cause est principalement due à l'augmentation de la résistance à l'état on $R_{DS(on)}$. Cette réduction de courant I_{DS} pour la région linéaire peut être induite par la dégradation de la couche de métallisation de la source. Cela aura aussi un impact sur la zone non-linéaire.

Chapitre III : Test de vieillissement accéléré en court-circuit

La Figure 3.13 montre l'évolution de caractéristique de transfère $I_{DS}-V_{GS}$ à $V_{DS}=10V$ pour le composant PAC#3 durant le vieillissement avec $T_{SC}=4ms$. Une réduction significative et régulière peut être observée sur la région linéaire.

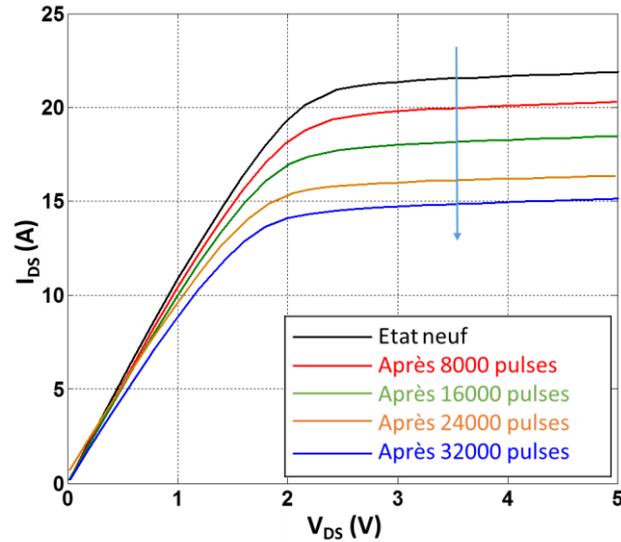


Figure 3.12. Caractéristique $I_{DS}-V_{DS}$ à $V_{GS}=2.5V$ durant le vieillissement pour PAC#3

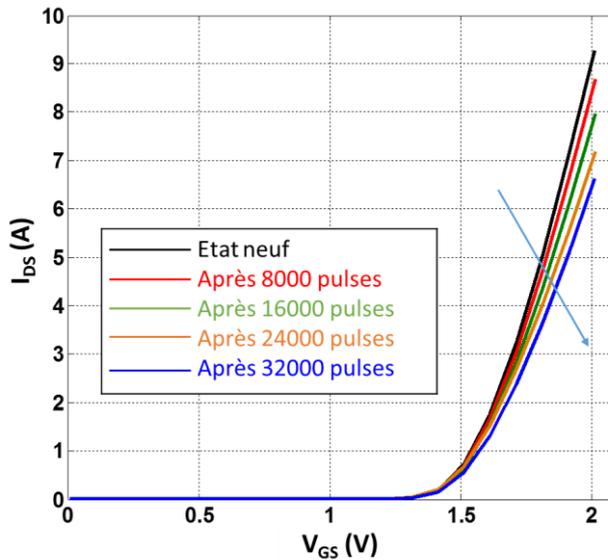


Figure 3.13. Caractéristique $I_{DS}-V_{GS}$ à $V_{DS}=10V$ durant le vieillissement pour PAC#3

Chapitre III : Test de vieillissement accéléré en court-circuit

4.3.3. L'évolution de la résistance à l'état passant R_{DSON}

Le premier paramètre que nous avons observé est R_{DSON} la résistance à l'état passant mesurée à 25°C par extraction sur la caractéristique de sortie $I_{DS}-V_{DS}$. L'évolution de R_{DSON} en fonction du nombre de court-circuit durant le vieillissement pour les trois composants, PAC#1, PAC#2 et PAC#3, est présentée sur la Figure 3.14.

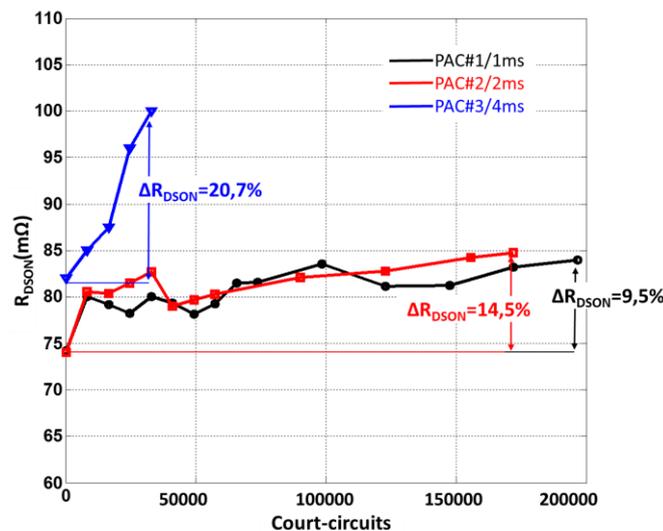


Figure 3.14. Evolution de R_{DSON} en fonction du nombre de court-circuit, mesurée à 25°C pour PAC#1, PAC#2 et PAC#3.

Nous observons une augmentation progressive de R_{DSON} durant le vieillissement pour tous les composants qui fait de ce paramètre un bon indicateur du vieillissement. La hausse est d'environ :

- 9.5% pour PAC#1 avec $T_{SC}=1ms$ après 190000 impulsions de court-circuit,
- 14.5% pour PAC#2 avec $T_{SC}=2ms$ après 170000 impulsions de court-circuit,
- 20.7% pour PAC#3 avec $T_{SC}=4ms$ après 33000 impulsions de court-circuit.

Cette évolution traduit une dégradation significative, soit au niveau des fils de bonding, soit au niveau de la métallisation de source ; ce qui plus probable. En effet, des résultats similaires ont été observés sur des composants SiC où l'augmentation constatée de R_{DSON} était accompagnée d'une dégradation importante de la métallisation due à la fusion/reconstitution de l'aluminium de la couche de source au cours du vieillissement [82]. Ainsi, nous pouvons conclure à partir de cette évolution que plus l'énergie par

Chapitre III : Test de vieillissement accéléré en court-circuit

pulse appliquée sur le composant est élevée, plus la dégradation de $R_{\text{DS(on)}}$ durant le test de vieillissement est importante et touche particulièrement la résistance de métal de source R_s .

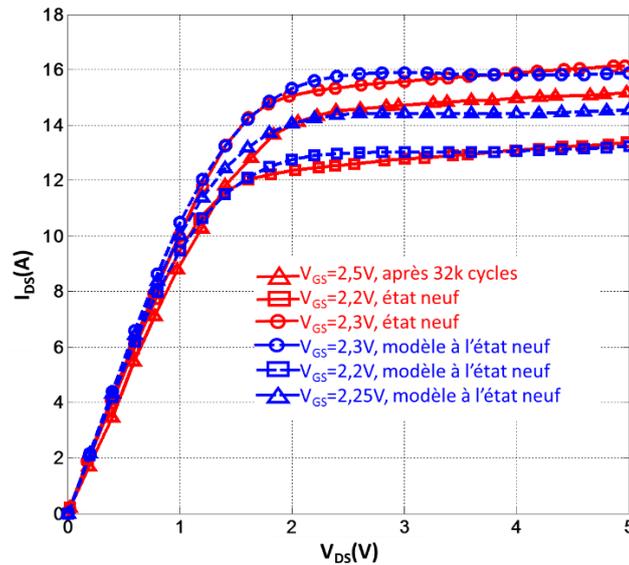


Figure 3.15. Caractéristique $I_{\text{DS}}-V_{\text{DS}}$ -état neuf, -état dégradé (après 32000 pulses) pour PAC#3

Pour confirmer cette hypothèse de l'augmentation de la résistance R_s de la couche de métallisation de source expliquant l'augmentation de $R_{\text{DS(on)}}$, nous avons utilisé les caractéristiques I-V du transistor à l'état neuf, celles à l'état vieilli pour le composant PAC#3 et le modèle de simulation du GaN-GIT qui sera présenté en détail dans le chapitre 4. Pour ce composant qui a subi 33000 impulsions de court-circuit, la $R_{\text{DS(on)}}$ présente une augmentation d'environ 20m Ω . Si l'on impute cette augmentation à R_s , la tension de commande grille/source effective V_{GSeff} s'exprime en fonction de la résistance R_s et de la tension de commande appliquée V_{GSapp} comme écrit dans l'équation 4.2. Sur la Figure 3.15, la courbe rouge montre que le courant de saturation $I_{\text{DS}}@V_{\text{GS}}=2.5\text{V}$ après 32000 cycles répétitifs de pulse (courbe rouge+triangle) se situe entre $I_{\text{DS}}@V_{\text{GS}}=2.2\text{V}$ (courbe rouge + carré) et $I_{\text{DS}}@V_{\text{GS}}=2.3\text{V}$ (courbe rouge + rond) à l'état neuf. Nous pouvons supposer que pour le composant vieilli, la tension effective V_{GSeff} , pour $V_{\text{GSapp}}=2.5\text{V}$, est estimée à 2.25V. En appliquant ce résultat au modèle empirique de simulation du composant, on voit que cette hypothèse est validée par la coïncidence des courbes $I_{\text{DS}}@V_{\text{GS}}=2.5\text{V}$ après 32000 impulsions de court-circuit et $I_{\text{DS}}@V_{\text{GS}}=2.25\text{V}$ à l'état neuf (courbe bleue + triangle). Pour une chute d'environ

Chapitre III : Test de vieillissement accéléré en court-circuit

0.25V de la tension de grille, nous pouvons estimer la variation de la résistance R_S à $16.7\text{m}\Omega$ pour un courant de saturation $I_{DS}=15\text{A}$. Cette variation de $16.7\text{m}\Omega$ pour R_S par rapport la variation de $20\text{m}\Omega$ pour $R_{DS(on)}$ montre bien que la cause principale est la dégradation de métallisation de source. Néanmoins, cette conclusion demande à être confirmée par des analyses micro-structurelles.

$$V_{GSeffective} = V_{GSappliquée} - R_S \times I_{DS} \quad (4.2)$$

4.3.4. L'évolution de la tension de seuil V_{TH}

Par extraction de la caractéristique de transfert $I_{DS}-V_{GS}$ à partir des mesures I-V, l'évolution de la tension de seuil, V_{TH} , en fonction du nombre de court-circuit pour les trois composants PAC#1, PAC#2 et PAC#3, a pu être obtenue et est présentée sur la Figure 3.16.

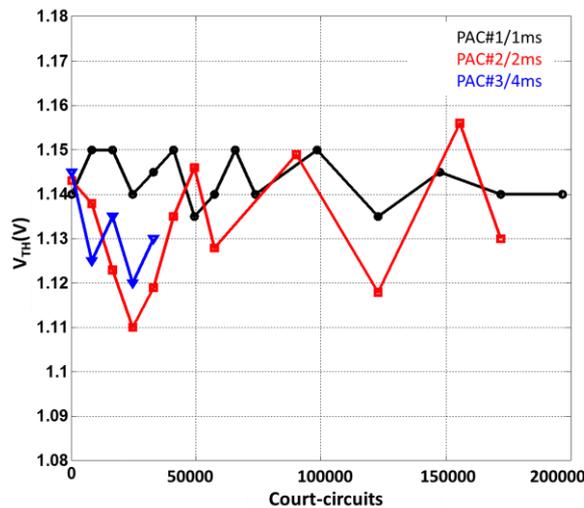


Figure 3.16. Tension de seuil V_{TH} , en fonction du nombre de court-circuit, mesurée à 25°C pour PAC#1, PAC#2 et PAC#3

Sur cette courbe, aucune variation significative et régulière n'est enregistrée au cours de vieillissement pour les trois composants : V_{TH} reste stable durant le

Chapitre III : Test de vieillissement accéléré en court-circuit

vieillissement accéléré avec toutefois des écarts restant inférieurs à 4%. Des variations similaires aux nôtres sont observées pour un composant GaN-GIT durant un test de vieillissement en court-circuit répétitif sous haute tension jusqu'à apparition de la défaillance [87]. Rappelons que la tension de seuil V_{TH} d'un composant SiC MOSFET augmente progressivement et de façon significative durant un test de vieillissement en court-circuit, à cause de la dégradation de la couche d'oxyde [83]. Nous pouvons donc supposer que pour un composant GaN-GIT la tension V_{TH} reste stable au cours du vieillissement car elle est liée, comme indiqué dans le chapitre 1, à la présence sous la grille, de la couche p-GaN qui n'est probablement pas dégradée durant ce type de vieillissement accéléré.

4.3.5. L'évolution du courant de fuite de grille

Comme indiqué précédemment, nous supposons que la dégradation du composant ne se situe pas du côté grille car aucune variation significative et régulière sur la tension de seuil V_{TH} n'est observée durant le vieillissement. Pour mieux connaître l'état côté grille et renforcer l'hypothèse de la non-dégradation du côté grille durant les tests de vieillissement en court-circuit, l'évolution du courant de fuite de grille I_{GSS} est présentée par la Figure 3.17.

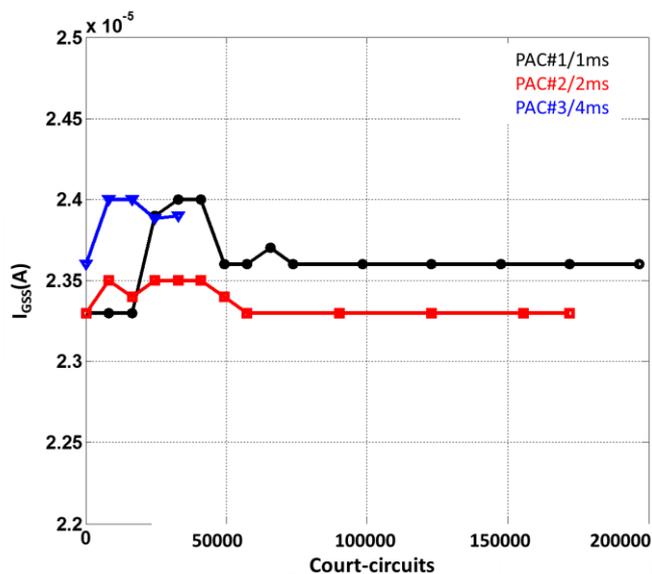


Figure 3.17. Courant de grille I_{GSS} en fonction du nombre de court-circuit, mesuré à 25°C pour PAC#1, PAC#2 et PAC#3

Chapitre III : Test de vieillissement accéléré en court-circuit

Comme l'illustrent ces courbes, le courant de fuite I_{GSS} reste stable à 3% près pour les trois composants. A titre de comparaison il faut noter que la valeur du courant de fuite de grille I_{GSS} reste assez élevée (exprimé en dizaines de μA) par rapport à celle des SiC MOSFET (exprimée en pA) [88] ; ce qui est dû au fait que le GaN-GIT n'est pas un composant à grille isolée.

4.3.6. L'évolution du courant de fuite de drain

La figure 3.18 présente l'évolution du courant de fuite de drain I_{DSS} en fonction de nombre d'impulsions de court-circuit pour les trois composants. Pour le composant PAC#1, le courant de fuite I_{DSS} augmente progressivement jusqu'à atteindre une hausse d'environ 30% après 190000 impulsions de court-circuit. Une augmentation de ce courant d'environ 36% est observée sur le composant PAC#2 après 150,000 impulsions de court-circuit. L'évolution du courant I_{DSS} pour le composant PAC#3 montre une augmentation d'environ 35% après seulement 32,000 impulsions de court-circuit.

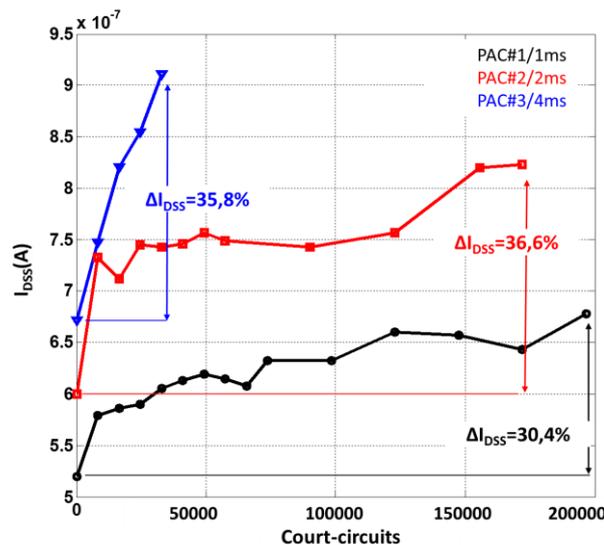


Figure 3.18. Courant de drain I_{DSS} en fonction du nombre de court-circuit mesuré à 25°C pour PAC#1, PAC#2 et PAC#3

Cette évolution va dans le même sens que celle de R_{DSON} durant le vieillissement présentée sur la Figure 3.14 : la dégradation est d'autant plus importante et plus rapide que l'énergie appliquée est plus élevée. En comparant avec les autres caractéristiques

Chapitre III : Test de vieillissement accéléré en court-circuit

électriques, nous notons que le courant de fuite I_{DSS} est un indicateur pertinent du vieillissement des GaN-GIT car sensible au vieillissement. Des résultats similaires [89] ont rapportés lors de l'étude du vieillissement en cycle de puissance d'un transistor sur GaN du fondeur *GaN systems*, l'hypothèse avancée étant l'augmentation du courant de fuite I_{DSS} due au décollement de la couche de brasure menant à une baisse sur la conductivité thermique.

4.3.7. Les mesures complémentaires – l'évolution des capacités

Afin de mieux comprendre le mécanisme de défaillance, nous avons réalisé des mesures C-V avant et après le vieillissement accéléré pour le cas de 4ms. Les grandeurs mesurées sont les capacités C_{ISS} , C_{OSS} et C_{RSS} habituellement mesurées sur les transistors de puissance.

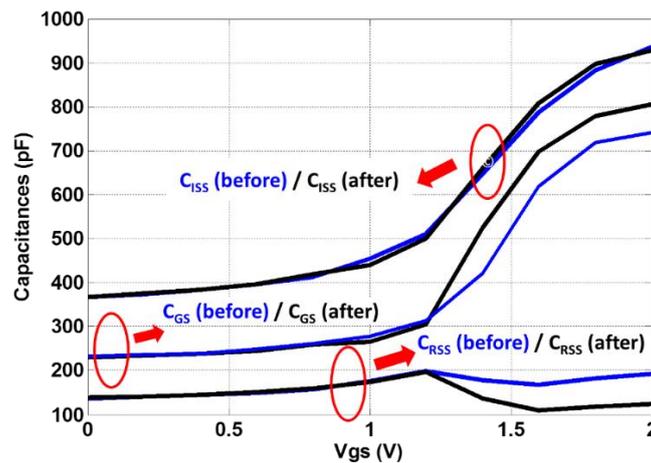


Figure 3.19. Capacités C_{GS} , C_{ISS} et C_{RSS} en fonction de V_{GS} , mesurée à 25°C pour le PAC#3

La Figure 3.19 présente l'évolution de C_{GS} en fonction de V_{GS} obtenue par calcul de différence entre C_{ISS} et C_{RSS} . Sur cette figure on ne constate aucune variation entre avant et après le vieillissement pour les trois capacités à condition que la tension V_{GS} reste inférieure à V_{TH} . En revanche, pour V_{GS} supérieure à V_{TH} , on observe une capacité C_{ISS} inchangée mais une augmentation significative de C_{GS} et une diminution de $C_{GD}=C_{RSS}$. Puisque ces deux changements opposés pour la capacité C_{GS} et C_{RSS} ne se produisent que dans le cas où V_{GS} est supérieure à V_{TH} , nous pouvons supposer que

Chapitre III : Test de vieillissement accéléré en court-circuit

c'est un processus de piégeage et dé-piégeage uniquement visible à l'état on qui provoque ce phénomène. Ainsi, ces deux mécanismes opposés se produisent à proximité de la source et du drain, ce qui laisse C_{ISS} invariante avant et après les tests répétitifs en court-circuit.

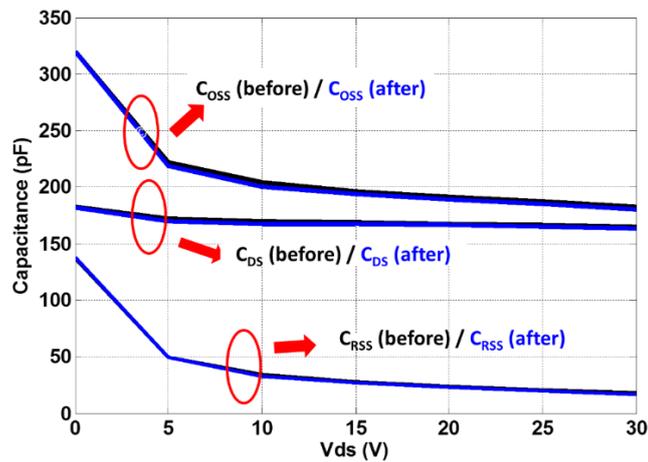


Figure 3.20. Capacités C_{DS} , C_{OSS} et C_{RSS} en fonction de V_{DS} , mesurée à 25°C pour le PAC#3

La Figure 3.20 montre l'évolution de C_{DS} en fonction de V_{DS} obtenue par calcul de la différence entre C_{OSS} et C_{RSS} avant et après le vieillissement accéléré. En comparant les courbes avant (courbe bleue) et après (courbe noire), aucune variation significative n'a pu être trouvée. Comme les bornes de drain et de source sont reliées pour la mesure de C_{ISS} et celles de grille et de source pour la mesure de C_{OSS} , en combinant les mesures de C_{RSS} et en utilisant les équations (2.2) et (2.3) de chapitre II, on peut calculer l'évolution de C_{GD} en fonction de V_{GD} avant et après le vieillissement accéléré ; ce résultat est présenté dans la Figure 3.21. Une diminution de la capacité C_{GD} pour la tension V_{GD} supérieure à 1.2V peut être clairement observée.

D'après les évolutions des capacités, la capacité C_{GD} , équivalente à C_{RSS} , peut être considérée comme un indicateur de dégradation pertinent et intéressant compte-tenu de la simplicité de sa mesure. Pour confirmer la dégradation de C_{GD} , nous avons réalisé 20000 impulsions de court-circuit de durée 4ms sur un autre composant neuf noté PAC#4. En utilisant le point $C_{GD}@V_{GD}=2V$ comme indicateur, nous résumons les mesures dans le Tableau 3.3 qui montre clairement la diminution significative de C_{GD} observée pour les trois composants.

Chapitre III : Test de vieillissement accéléré en court-circuit

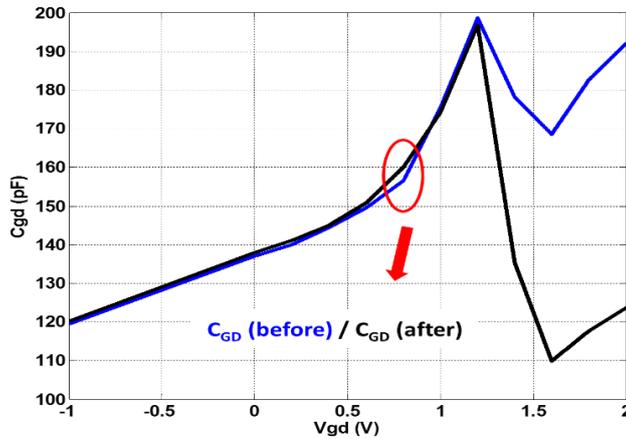


Figure 3.21. Capacité C_{GD} (équivalente à C_{RSS}) en fonction de V_{GD} , mesurée à 25°C pour le PAC#3

Tableau 3.3 Mesure de C_{GD} avant et après le test à $V_{GS}=2V$

Echantillon	Etat neuf	Etat dégradé	% C_{GD}
PAC#4	194.78pF	137.6pF	-29.35%
PAC#3	186.3pF	125.3pF	-32.7%
PAC#2	192.17pF	123.6pF	-35.6%

Les variations opposées de C_{GS} et de C_{RSS} en fonction de V_{GS} et au-delà de V_{TH} peuvent être expliquées par la Figure 3.22. A l'état neuf, la structure, montrée sur la Figure 3.22(a), fait apparaître des pièges du côté source dans la couche d'AlGaIn et à la surface du côté drain. Après le test de vieillissement accéléré, de nouveaux pièges sont activés de ces deux côtés, comme l'illustre la Figure 3.22(b). A l'état normal (sans aucun potentiel appliqué sur les électrodes), les pièges côté source sont déjà remplis par les électrons, mais la plupart de ceux du côté drain sont vides. Lorsqu'une tension V_{GS} au-delà de V_{TH} est appliquée sur la grille, les pièges du côté source commencent à libérer leurs électrons en raison du champ électrique, et ceux du côté drain commencent à capturer des électrons du canal (2DEG), comme l'illustre la Figure 3.22(c).

Chapitre III : Test de vieillissement accéléré en court-circuit

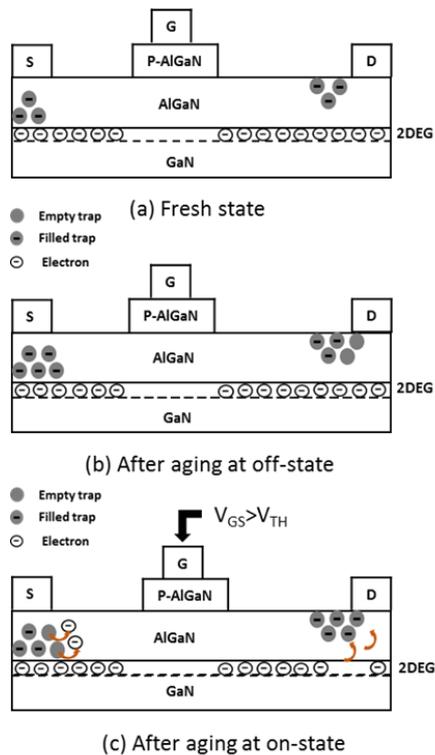


Figure 3.22. Effet de piégeage et dé-piégeage proposé durant le test de vieillissement accéléré.

4.3.8. Les mesures complémentaires – l'évolution du courant de grille à l'état on

Sachant que c'est l'ajout de la couche P-AlGaN sous le grille qui permet un fonctionnement normalement bloqué et que c'est l'injection de trous par la grille qui permet de rétablir le canal sous la grille, il est donc très intéressant d'analyser cette injection de trous au cours vieillissement accéléré en surveillant le courant de grille. L'évolution de la caractéristique $I_{GS}-V_{GS}$ à $V_{DS}=1V$, avant et après le test répétitif en court-circuit pour $T_{SC}=4ms$, est présentée sur la Figure 3.23. Pour le composant PAC#4, malgré une réduction de 32% du courant I_{DS} , le courant I_{GS} montre seulement une diminution de 14%, car le courant de grille I_{GS} n'est pas la seule cause de diminution du courant I_{DS} . Comme pour l'évolution de capacités, nous avons résumé l'évolution du courant $I_{GS}@V_{DS}=1V$, $V_{GS}=3.7V$ pour les trois composants sur Tableau 3.4. Le composant PAC#2 présente la plus forte réduction du courant I_{GS} après le vieillissement

Chapitre III : Test de vieillissement accéléré en court-circuit

accéléré ; ce qui est probablement dû au fait que ce composant a subi le plus grand nombre d'impulsions (150000 en 2ms et 8000 en 4ms) de court-circuit. Quoiqu'il en soit, les résultats indiquent que le courant I_{GS} à V_{GS} au-delà de V_F est aussi un indicateur de vieillissement car il diminue significativement au cours des tests de court-circuit répétitifs.

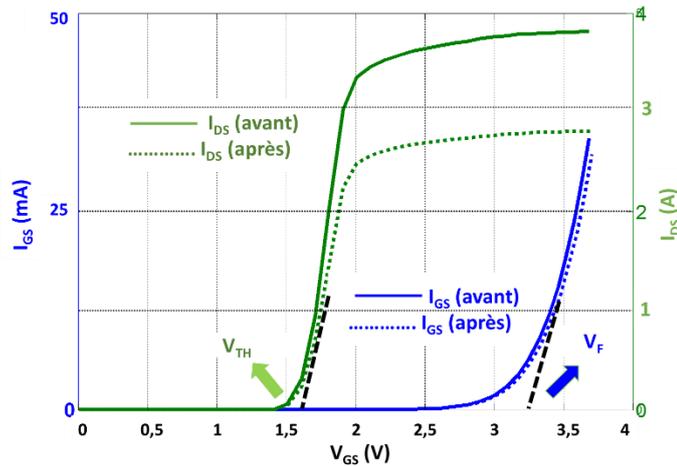


Figure 3.23. Courant I_{DS} et I_{GS} à $V_{DS}=1V$ en fonction de V_{GS} , mesurée à $25^{\circ}C$ pour PAC#4.

Tableau 3.4 Mesure d' I_{GS} avant et après le test à $V_{GS}=3.7V$ et $V_{DS}=1V$.

Echantillon	Etat neuf	Etat dégradé	% I_{GS}
PAC#2	23.7mA	15.7mA	-33.7%
PAC#3	27.7mA	22.9mA	-17.3%
PAC#4	35.2mA	30.3mA	-13.9%

5. Analyse microscopique des défaillances

Le test de vieillissement en court-circuit réalisé sur les transistors GaN-GIT a montré quels étaient les indicateurs électriques du vieillissement. Comme indiqué précédemment, nous supposons qu'une des dégradations est probablement localisée sur la couche métallique de la source. Afin de comprendre les changements dans la structure associés aux changements des indicateurs électriques, une analyse de la

Chapitre III : Test de vieillissement accéléré en court-circuit

microstructure est présentée dans cette section en comparant les composants neufs et vieillis.

5.1. Analyses en électroluminescence

Nous savons déjà que la puce du composant est composée par nombreux doigts élémentaires d'après la caractérisation microscopique montrée dans le chapitre II. Afin de localiser des sites endommagés, la comparaison des signatures d'électroluminescence des composants neufs et vieillis est une solution qui est considérée semi-destructrice car elle nécessite l'ouverture du boîtier tout en préservant la fonctionnalité du composant. Cette méthode est utilisée pour mettre en évidence des sites émissifs sur la surface de la puce, qui peuvent être la conséquence de dégradations ou d'anomalies du composant. Le composant est alimenté sous différentes tensions afin de solliciter le composant en champ ou en courant pour faire apparaître des émissions de lumière. L'émission de lumière n'est pas toujours signe de défaut. En effet, un défaut peut se manifester par l'apparition ou l'absence de lumière en un point spécifique ; Ainsi, l'émission lumineuse peut être aussi le signe d'un fonctionnement normal. Il est donc indispensable d'étudier la signature lumineuse du transistor à son état neuf pour la comparer avec celle d'un composant vieilli. Pour ce travail, nous avons utilisé le microscope HAMAMATSU PHEMOS 1000 disponible au GPM. Il est constitué d'un microscope optique classique doté d'un détecteur de photons très sensible placé dans une chambre noire. Le microscope est doté de quatre optiques (x5, x20, x50 et x100), le détecteur quant à lui est constitué d'une caméra Si-CCD refroidie à -70°C afin de limiter le bruit thermique intrinsèque.

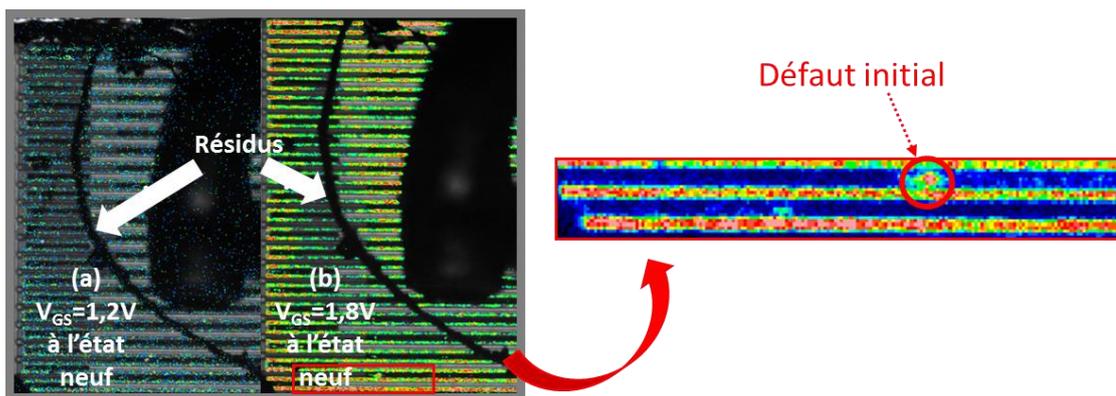


Figure 3.24. Signature en photoémission du composant à l'état neuf à (a) $V_{GS}=1,2V$ et (b) $V_{GS}=1,8V$.

Chapitre III : Test de vieillissement accéléré en court-circuit

La Figure 3.24 présente la signature de la puce à l'état neuf autour un fil de bonding sous différentes conditions de polarisations V_{GS} . Nous remarquons des sites émissifs qui forment des rectangles très allongés rouge/vert qui sont les doigts élémentaires de grille-source car aucune polarisation n'est appliquée au drain qui apparaît en bleu/noir. Cependant, nous observons un point émissif, entouré en rouge, pour la polarisation $V_{GS}=1.8V$, ce qui peut être considéré comme un défaut initial de fabrication.

Comme le montre la Figure 3.25, pour un composant vieilli, nous observons de nombreux points continus émissifs dans un doigt élémentaire de drain, séparés des sites émissifs rectangulaires grille-source comme pour un composant à l'état neuf. Ces points continus émissifs sont alors probablement les signatures du défaut généré par le test de vieillissement en court-circuit. Cette technique permet donc de localiser la zone d'intérêt mais ne permet pas d'expliquer la nature du défaut. Ces doigts élémentaires seront étudiés à des échelles plus petites par le MEB couplé avec le PFIB.

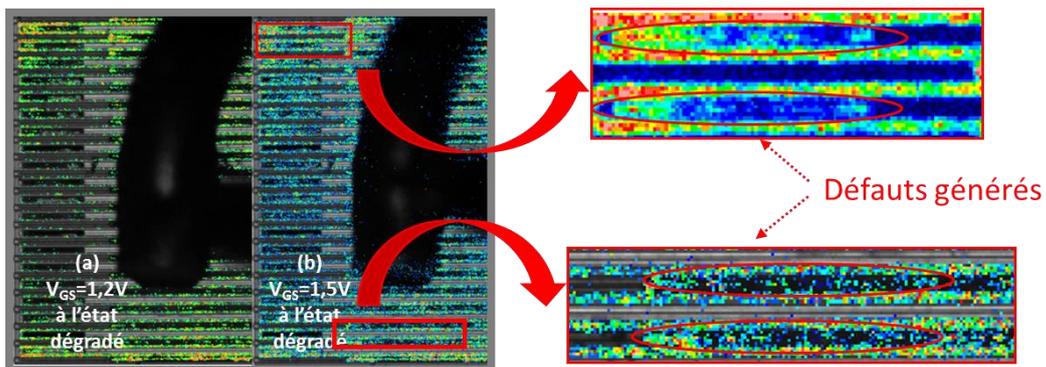


Figure 3.25. Signature en photoémission du composant à l'état dégradé à (a) $V_{GS}=1.2V$ et (b) $V_{GS}=1.5V$.

5.2. Analyses microstructurales en MEB

Avec les informations provenant de caractérisations électriques et des observations en photoémission, des zones d'intérêt ont été identifiées pour orienter l'exploration de la microstructure par PFIB en MEB.

Avant de passer à l'analyse microscopique sur les zones choisies grâce à la photoémission, nous sommes aussi intéressés à une observation de la couche de surface de la puce pour un composant qui avait été violemment détruit pendant le test en court-circuit. La Figure 3.26 montre une vue globale de la puce pour ce composant détruit.

Chapitre III : Test de vieillissement accéléré en court-circuit

La surface de la puce est endommagée de façon catastrophique ; ce qui est probablement due à une élévation très importante de la température de la puce à cause des conditions trop sévères du stress.

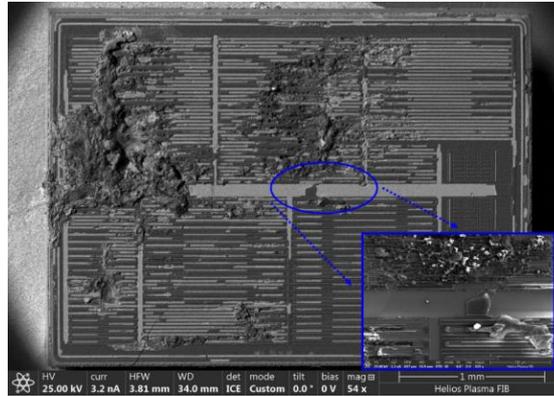


Figure 3.26. Vue de la surface de la puce pour un composant détruit en court-circuit.

Au MEB, des usinages PFIB sont réalisés dans la zone d'intérêt qui contient les points continus émissifs pour le composant à l'état dégradé et dans la même zone pour le composant à l'état neuf. Une vue globale sur la région de découpe pour le composant dégradé (PAC#2) qui est toujours fonctionnel est montré sur la Figure 3.27.

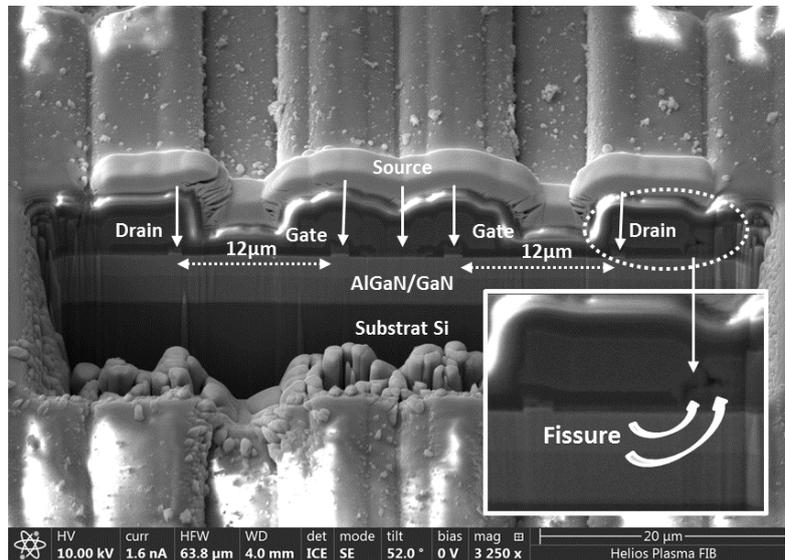


Figure 3.27. Vue de la découpe par PFIB pour le composant à l'état dégradé (PAC#2).

Chapitre III : Test de vieillissement accéléré en court-circuit

Sur cette figure, nous pouvons observer une distance de $12\mu\text{m}$ entre la grille et le drain, et la source se trouve entre deux contacts de grille. Certains défauts peuvent être clairement montrés dans la zone de drain marquée par le cercle pointillé, ce qui se traduit par des fissures dans le métal d'Al. Lorsque le composant est stressé par une tension V_{DS} pendant le test de vieillissement en court-circuit répétitif, nous pouvons émettre l'hypothèse que ces fissures sont la conséquence du champ électrique drain-source et l'élévation de température.

Un grossissement sur la région de grille-source est montré sur la Figure 3.28. Comme le montre la Figure 3.28(a) pour le composant à l'état neuf, entre les deux plots p-GaN de grille, on trouve une couche métallique au-dessus de la couche AlGaIn/GaN ; cette couche d'Aluminium réalise le contact ohmique de source. Cette couche métallique pour un composant à l'état neuf présente une forme rectangulaire et uniforme. Sur la Figure 3.28(b) pour un composant dégradé (PAC#2), nous observons une altération de cette couche métallique de source où apparaissent des cavités. En se basant sur le contraste de la Figure 3.28, nous pourrions émettre l'hypothèse que cette dégradation de la couche métallique de source est bien responsable de l'augmentation de $R_{\text{DS(on)}}$ constatée durant le test de vieillissement accéléré en court-circuit répétitif. Ces cavités sont probablement dues à la diffusion du Si provenant de la passivation en $\text{SiO}_2/\text{SiN}_x$ lors des phases de haute température induites durant le test. Cette hypothèse ne peut être validée que par une analyse plus fine au MET (Microscope Electronique à Transmission) avec l'analyse EDX (Energie Dispersive de rayon X).

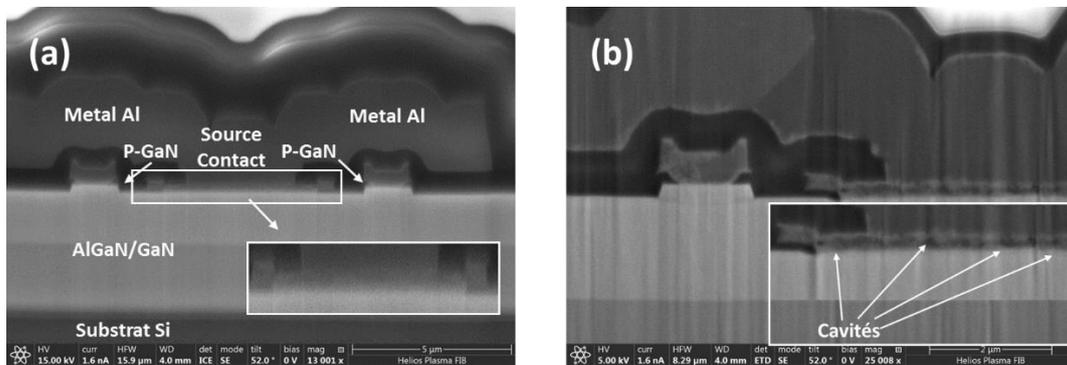


Figure 3.28. Coupe transversale de la région grille-source pour (a) le composant à l'état neuf et (b) le composant à l'état dégradé (PAC#2)

6. Conclusion

Ce chapitre a été consacré à l'étude de la variation des caractéristiques des transistors GaN-GIT pendant le test de vieillissement accéléré en régime de court-circuit répétitif. Nous avons présenté tout d'abord l'état de l'art sur ce type de test pour les GaN-GIT, en particulier le test en régime de court-circuit a été largement appliqué pour l'étude de robustesse sur les composants de puissance. Nous proposons dans le cadre de ce travail d'utiliser ce test en régime de court-circuit répétitifs mais sous contraintes de faible puissance afin d'étudier la dégradation sur le composant GaN-GIT.

Ensuite, le banc de test associé au test de vieillissement accéléré en régime de court-circuit répétitif a été décrit en détail, ainsi que la philosophie du protocole expérimental proposé. En fixant la tension V_{DS} et V_{GS} , Nous avons effectué des essais sous différentes durées d'impulsion T_{SC} (1ms, 2ms, 4ms) pour étudier l'impact d'énergies différentes sur le composant GaN-GITs.

Avant et après le test de court-circuit répétitif de durée $T_{SC}=4ms$, les formes d'ondes du courant (I_{DS}) et des tensions (V_{GS} et V_{DS}) ainsi que les caractéristiques $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$ ont été présentées. En étudiant ces résultats expérimentaux, les observations ont souligné une dégradation significative (la réduction du courant I_{DS}) pour le composant PAC#3, ainsi qu'un phénomène spécial (la fermeture d'autoprotection) pour le composant PAC#2.

Parallèlement, des caractérisations électriques régulières ont été réalisées pour toutes les durées d'impulsion afin de suivre l'évolution des courants de fuite de grille I_{GSS} et de drain I_{DSS} , la tension de seuil V_{TH} , la résistance à l'état passant R_{DSON} et le courant de saturation I_{DSSAT} . Parmi les paramètres surveillés, R_{DSON} , I_{DSS} et I_{DSSAT} sont apparus comme des indicateurs pertinents du vieillissement car présentant des variations significatives.

D'autre part, les caractéristiques C-V ainsi que l'évolution du courant de grille I_{GS} ont été aussi étudiés pour le test en court-circuit répétitif de durée $T_{SC}=4ms$ afin de compléter les mesures. L'évolution de la capacité C_{RSS} à l'état ON montre une décroissance, qui est probablement due à l'activation des pièges après le test. De plus, la réduction du courant I_{GS} observée durant le test réduit à son tour l'effet d'injection de trous ; ce qui est lié directement à la réduction du courant I_{DSSAT} .

Enfin, nous avons mené des investigations en vue d'étudier les mécanismes de dégradation des transistors GaN-GIT ayant subi des tests de vieillissement en régime de court-circuit répétitif. Pour ce faire, des analyses en électroluminescence ont été

Chapitre III : Test de vieillissement accéléré en court-circuit

effectuées entre le composant neuf et celui dégradé afin de localiser les défauts susceptibles d'avoir été causés par le vieillissement. Des observations au MEB par PFIB sur des composants neufs et dégradés dans les zones choisies grâce à la photoluminescence peuvent confirmer les hypothèses proposées pour expliquer les dégradations observées. Néanmoins, seule l'image EDX par MET pourra permettre d'identifier plus finement l'origine des défauts observés dans la structure microscopique du composant.

CHAPITRE IV:

Modélisation de vieillissement d'un transistor GaN-GIT

1. Introduction

La nécessité d'un comportement fiable et stable de l'électronique haute température est aujourd'hui une préoccupation majeure dans les applications militaires et industrielles où les composants fonctionnent dans des conditions difficiles. Grâce aux avantages de HEMT AlGa_N/Ga_N, le développement de cette technologie reçoit actuellement beaucoup d'attention. Par conséquent, il est nécessaire de développer des modèles afin de décrire efficacement le comportement des HEMT AlGa_N/Ga_N, ce qui est crucial pour la conception et la simulation de circuits et de systèmes basés sur cette technologie prometteuse. Nous allons décrire dans cette partie le principe de la modélisation des HEMTs AlGa_N/Ga_N. Comparé au modèle physique [90] et au modèle tabulaire [91], le modèle empirique qui représente le comportement du composant en utilisant des éléments de circuit équivalent est plus simple et plus facile à implémenter dans les simulateurs commerciaux et a donc été largement utilisé dans la conception de circuits [92]. Bien que de tels modèles ne reposent pas sur le comportement physique du composant, ils décrivent les caractéristiques d'entrée, de sortie et de transfert du composant, en les ajoutant par rapport à des mesures, au moyen de paramètres n'ayant pas toujours de sens physique. Fondamentalement, la génération de modèles empiriques non linéaires nécessite des fonctions non linéaires tenant compte de la source de courant (fonction I-V) et de la variation dynamique de la charge (fonction C-V). Les paramètres de ces fonctions sont extraits par le processus d'optimisation qui permet de minimiser l'erreur entre le modèle et la mesure.

Dans ce chapitre, la première partie est consacrée à la présentation de l'ensemble des modèles qui sont rapportés dans la littérature. La seconde partie est dédiée à l'introduction de l'algorithme d'optimisation que nous avons appliqué pour extraire les

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

paramètres. Ces modèles sont codés en Matlab puis implémentés dans un circuit de simulation ADS afin de valider les modèles. Pour compléter le modèle, les modèles de dépendance en température ambiante et de vieillissement seront pris en compte sur le modèle de source du courant. Modèle empirique non-linéaire

2. Modèle empirique non-linéaire

2.1. Introduction

La topologie du modèle non-linéaire des caractéristiques I-V est présentée à la Figure 4.1. Ce modèle permet une description assez complète du comportement statique du transistor pour un point de polarisation de repos donné. Il se décompose de plusieurs éléments, dont les éléments principaux sont le modèle de la source du courant (I_{DS}), la diode d'entrée D_{GS} , et les capacités intrinsèques C_{GS} , C_{GD} et C_{DS} .

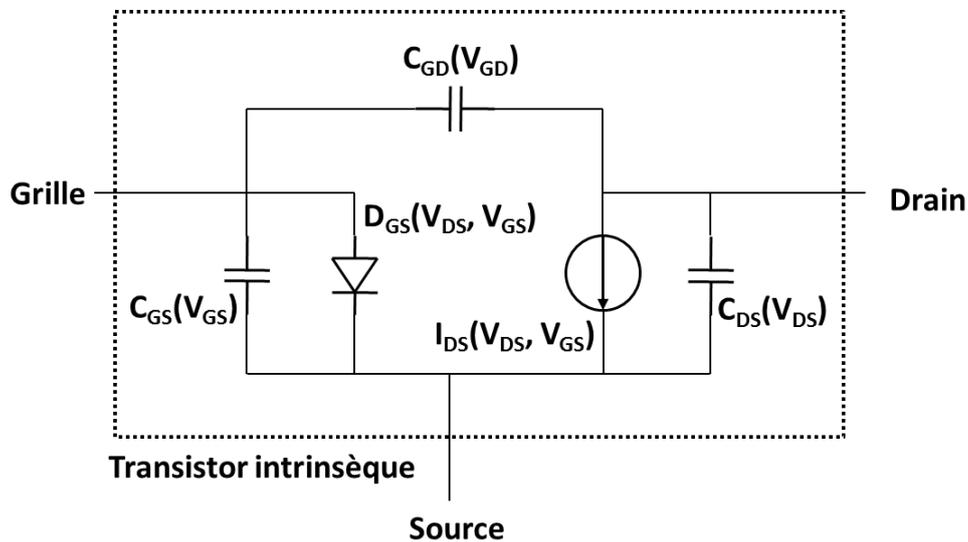


Figure 4.1. Modèle non-linéaire pour le GaN GIT de notre étude.

2.2. Modèle de source de courant commandée en tension

L'effet principal du HEMT AlGaIn/GaN est, comme pour un transistor à effet de champ, décrit par une source de courant non-linéaire commandée par les tensions V_{GS} et V_{DS} . Le modèle de cette source de courant non-linéaire que nous avons retenu, car adapté à la modélisation empirique, est le modèle COBRA proposé par T. J. Brazil [93] en 1991, modifié par I. Kalfass [94] en 2004. Ce modèle sert à décrire l'ensemble de la zone linéaire et saturée pour les caractéristiques I_{DS} - V_{DS} en fonction des différentes tensions V_{GS} . Les expressions de base qui ont servi pour ce modèle sont données par les équations 4.1(a) à 4.1(f).

$$I_{DS} = corzlin * \beta * V_{eff}^{num} * \tanh[\alpha * V_{DS} * (1 + \zeta * V_{eff}^\eta)] \quad (4.1(a))$$

$$num = \frac{\lambda}{1 + \mu * V_{GS} * V_{DS}^2 + \xi * V_{eff}^\eta} \quad (4.1(b))$$

$$V_{eff} = \frac{1}{2} * [V_{GS} - V_{t1} + \sqrt{(V_{GS} - V_{t1})^2 + \delta^2}] \quad (4.1(c))$$

$$V_{t1} = (1 + \beta^2) * V_{t0} - \gamma * V_{DS} \quad (4.1(d))$$

$$corzlin = \frac{1}{2} * \{1 + \tanh[\alpha * (V_{DS} - V_{cor}(V_{GS}))]\} \quad (4.1(e))$$

$$V_{cor}(v) = b + c * v \quad (4.1(f))$$

Les équations 4.1(b)-4.1(f) sont intégrées dans l'équation 4.1(a) pour former une équation globale décrivant la source du courant I_{DS} . Ces 13 paramètres, écrits en rouge et décrivant les différentes propriétés de la courbe I_{DS} - V_{DS} pour différents conditions de fonctionnement (V_{GS} et V_{DS}) doivent être optimisés pour faire coïncider le modèle avec les mesures issues du banc I-V pulsé IV-CAD présenté dans le chapitre 2. La

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

description et la signification physique des paramètres du modèle COBRA modifié sont résumées dans le Tableau 4.1 suivant :

Tableau 4.1. Paramètres de l'équation et leur rôle dans le modèle Cobra [95]

Paramètres	Unités	Description
α	V-1	Dans la zone résistive (ou linéaire), le composant se comporte comme une résistance contrôlée par la grille, α ajuste la pente de la caractéristique dans cette zone
β	S	Détermine la transconductance maximale
γ	Sans unité	Détermine la conductance de sortie
δ	V	Règle la tension de seuil
ζ	V ⁻¹	Introduit une dépendance en V_{DS} dans α
ξ	V ⁻¹	Fixe le début de la compression de la transconductance g_m
μ	V ⁻²	Prend en compte le courant d'ionisation par impact
V_{t0}	V	Tension grille source où la transconductance est maximale
λ	Sans unité	Introduit une dépendance en V_{DS} dans V_{t0}
η	Sans unité	Fixe la pente de la compression de la transconductance g_m

2.3. Modèle du courant de diode

La diode d'entrée, D_{GS} , représente le générateur de courant non-linéaire permettant de modéliser le courant positif de grille (courant de conduction de la diode Schottky de grille) mesuré pour les valeurs positives de V_{GS} et des valeurs faibles de V_{DS} . Afin de simplifier le modèle, nous supposons que le courant de grille-source I_{GS} domine le courant de grille et que l'équation 4.2 peut être utilisée pour modéliser ce courant.

$$I_{GS} = I_{SGS} * [e^{(\alpha V_{GS})} - 1] \quad (4.2)$$

De plus, une résistance de fuite R_{leak} peut être ajoutée parallèlement à cette diode afin de prendre en compte le courant de fuite de grille.

2.4. Modèle des capacités intrinsèques

Pour rendre le modèle entièrement non-linéaire, nous allons inclure une définition des capacités permettant de valider le fonctionnement grand signal du modèle. La modélisation des capacités non-linéaires C_{GS} , C_{GD} et C_{DS} est réalisée en paramétrant une fonction apte à décrire leurs variations en fonction de la tension à leurs bornes. Pour ce biais, on peut réduire la description de ces capacités à une fonction à une dimension. Les capacités non-linéaires C_{GS} et C_{GD} peuvent être représentées par une forme utilisant des tangentes hyperboliques, donnée par l'équation 4.3 proposée dans [96]:

$$C_{GX} = C_0 + \frac{(C_1 - C_0)}{2} \left[1 + \tanh(a \cdot (V_m + V_p)) \right] - \frac{C_2}{2} \left[1 + \tanh(b \cdot (V_p + V_{GX})) \right] \quad (4.3)$$

Où C_{GX} et V_{GS} valent respectivement C_{GS} et V_{GS} ou C_{GD} et V_{GD} .

Dans les applications d'amplification de puissance, la capacité drain-source C_{DS} est habituellement gardée constante [97]. Selon la caractérisation C_{DS} en fonction de V_{DS} dans le chapitre 2, nous avons trouvé que la capacité C_{DS} peut bien être traitée comme une constante.

3. Méthodologie d'extraction des paramètres

3.1. La procédure d'extraction des paramètres

La méthode d'extraction sélectionnée repose sur l'identification des paramètres à partir des caractéristiques électriques expérimentales du GaN-GIT. L'objectif de l'optimisation est d'estimer les valeurs de l'ensemble des paramètres inconnus du modèle en minimisant l'erreur entre les données expérimentales et les données issues du modèle. Pour cette raison, et pour le cas de notre transistor GaN-GIT, nous cherchons à optimiser :

-Le modèle de source du courant, pour différentes tension V_{GS} variant de 1.5V à 2.5V, et pour une température ambiante $T=25^\circ\text{C}$,

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

- Le modèle du courant de grille I_G pour différentes tensions,
- Le modèle des capacités intrinsèques, à la température ambiante $T=25^\circ\text{C}$,

Afin de répondre au problème d'optimisation, nous considérons le modèle comme une boîte noire avec des vecteurs "paramètres d'entrée" notés \mathbf{E} et des vecteurs "paramètres de sortie" après le processus d'optimisation notés \mathbf{S} . Le processus d'extraction, basé sur l'identification des paramètres d'un modèle à partir de données expérimentales, comporte essentiellement cinq étapes, comme l'illustre la Figure 4.2:

- La saisie des données expérimentales,
- Le choix d'un modèle,
- La définition de la fonction d'objectif qui dépend étroitement du problème posé ; à savoir la corrélation entre les données expérimentales et celles obtenues à l'aide du modèle
- Le choix de la méthode de résolution, c'est-à-dire l'algorithme d'optimisation, qui doit tendre vers l'optimum global ; c'est-à-dire la solution,
- L'analyse des résultats pour vérifier leurs validités.

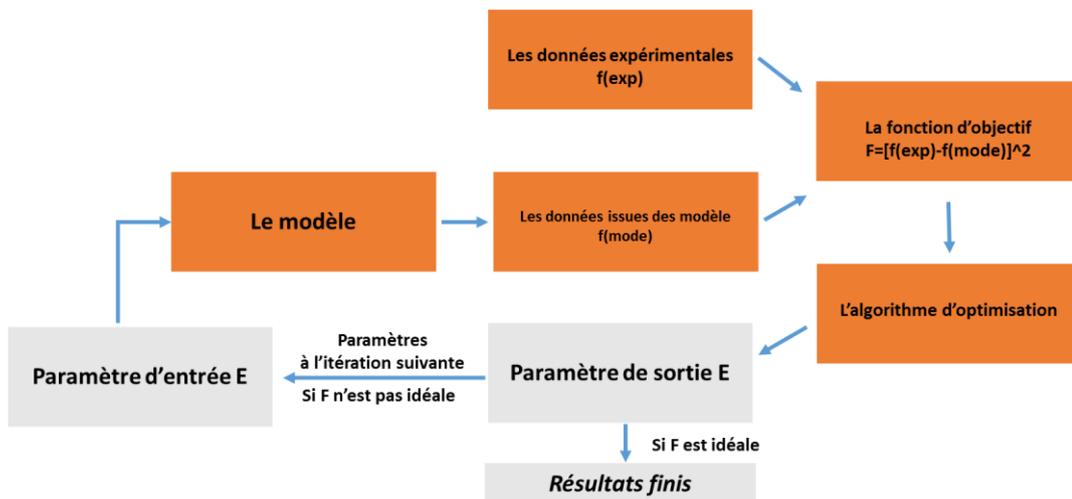


Figure 4.2. Synoptique de la phase d'optimisation.

Parmi ces 5 étapes, un point important dans la procédure est le choix de la fonction d'objectif, \mathbf{F} , qui est l'erreur entre les données expérimentales notées $f(\text{exp})$ et les données issues du modèle notées $f(\text{mod})$. Nous optons pour une fonction scalaire

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

représentant l'écart quadratique entre l'expérimentation et le modèle, il s'agit de l'erreur quadratique moyenne qui s'écrit sous la forme donnée par l'équation 4.4.

$$F = [f(exp) - f(mod)]^2 \quad (4.4)$$

Dans notre cas, les données expérimentales, ainsi que les données issues du modèle sont représentés par différents points. A titre l'exemple, pour le modèle de source du courant, les données expérimentales sont des points (valeur du courant I_{DS}) en fonction de la tension V_{DS} et V_{GS} , ceux qui représentent les résultats dans les courbes I-V. Notre objectif est donc d'essayer à faire correspondre tous les points pendant la procédure d'optimisation. L'équation 4.4 se réécrit sous l'équation 4.5.

$$F = \sum_{i=1}^N [f_i(exp) - f_i(mod)]^2 \quad (4.5)$$

Où N est l'ensemble des points et l'indice i représente un point particulier.

3.2. Méthodes d'optimisation

Les méthodes d'optimisation sont des procédures numériques qui permettent de trouver la solution d'un problème de minimisation de la fonction d'objectif. Pour notre problème d'optimisation n'est pas très compliqué, nous avons retenu une solution simple et couramment utilisée qui l'algorithme de "Levenberg-Marquardt", développé par Kenneth Levenberg [98], puis publié par Donald Marquardt [99].

Pour appliquer l'algorithme de "Levenberg-Marquardt" à notre problème, nous traitons la fonction d'objectif F comme indiqué par l'équation 4.6.

$$F = \sum_{i=1}^N [f_{i,exp} - f_i(x_i, \beta)]^2 \quad (4.6)$$

D'où N est l'ensemble des points et l'indice i représente un point particulier. Le vecteur β représente l'ensemble des paramètres à optimiser pour que F soit minimale ou nulle.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

Comme tous les autres algorithmes de minimisation numérique, l'algorithme de "Levenberg-Marquardt" est une procédure itérative. Pour commencer la minimisation, nous proposons une solution initiale pour le vecteur $\boldsymbol{\beta}$, puis à chaque itération, le vecteur $\boldsymbol{\beta}$ est remplacé par une nouvelle estimation $\boldsymbol{\beta} + \boldsymbol{\delta}$. La solution au problème initial revient donc à déterminer le paramètre $\boldsymbol{\delta}$. Pour cela les fonctions $f_i(x_i, \boldsymbol{\beta} + \boldsymbol{\delta})$ sont approchées par estimation linéaire comme indiqué dans l'équation 4.7.

$$f_i(x_i, \boldsymbol{\beta} + \boldsymbol{\delta}) \approx f_i(x_i, \boldsymbol{\beta}) + J_i \boldsymbol{\delta} \quad (4.7)$$

Où J_i est la matrice jacobienne de $f_i(x_i, \boldsymbol{\beta})$ en $\boldsymbol{\beta}$ donnée par l'équation 4.8.

$$J_i = \frac{df(x_i, \boldsymbol{\beta})}{d\boldsymbol{\beta}} \quad (4.8)$$

La fonction d'objectif est alors donnée par l'équation 4.9.

$$\begin{aligned} F(x_i, \boldsymbol{\beta} + \boldsymbol{\delta}) &\approx \sum_{i=1}^N [(f_{i,exp} - f_i(x_i, \boldsymbol{\beta}) - J_i \boldsymbol{\delta})]^2 \\ &= \|\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta}) - J_i \boldsymbol{\delta}\|^2 \\ &= [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta}) - J_i \boldsymbol{\delta}]^T [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta}) - J_i \boldsymbol{\delta}] \\ &= [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})]^T [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})] - [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})]^T J_i \boldsymbol{\delta} \\ &\quad - (J_i \boldsymbol{\delta})^T [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})] + \boldsymbol{\delta}^T J_i^T J_i \boldsymbol{\delta} \\ &= [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})]^T [\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})] - 2[\mathbf{f}_{i,exp} - \mathbf{f}_i(x_i, \boldsymbol{\beta})]^T J_i \boldsymbol{\delta} \\ &\quad + \boldsymbol{\delta}^T J_i^T J_i \boldsymbol{\delta} \end{aligned} \quad (4.9)$$

Au lieu de trouver directement un $\boldsymbol{\beta}$ tel que $\mathbf{F} = \mathbf{0}$, nous essayons de trouver un minimum local de $F(x_i, \boldsymbol{\beta} + \boldsymbol{\delta})$, qui est nécessairement un point stationnaire. C'est-à-

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

dire que nous voulons trouver δ tel que $\nabla F(x_i, \beta + \delta) = \mathbf{0}$. Nous obtenons donc une nouvelle formulation donnée par l'équation 4.10.

$$(J^T J)\delta = J^T [f_{i,exp} - f_i(x_i, \beta)] \quad (4.10)$$

La contribution de *Levenberg-Marquardt* est d'avoir modifié l'équation 4.8 par l'ajout un paramètre "amortissant" comme indiqué dans l'équation 4.11

$$(J^T J + \lambda \text{diag}(J^T J))\delta = J^T [f_{i,exp} - f_i(x_i, \beta)] \quad (4.11)$$

Où I est une matrice identité et le facteur d'amortissement λ est ajusté à chaque nouvelle itération. Si la diminution de F est rapide, on peut utiliser une valeur de λ plus faible, ce qui rapproche l'algorithme de celui de Gauss-Newton. Si en revanche une itération est peu efficace, on peut augmenter λ , ce qui rapproche cette fois la méthode de celle du gradient.

Cet algorithme permet d'obtenir une solution numérique au problème de minimisation d'une fonction, souvent non linéaire et dépendant de plusieurs paramètres. Cet algorithme repose sur une méthode dérivée de l'algorithme de Gauss-Newton et de l'algorithme du gradient. En revanche, il est plus stable que celui de Gauss-Newton car il trouve une solution même si la solution initiale est très éloignée du minimum.

Le logiciel Matlab propose une fonction "lsqcurvefit" dans sa "toolbox optimisation" [100] qui permet de résoudre des problèmes d'ajustement de courbes non linéaire (data-fitting) au sens des moindres carrés. Cette fonction est basée sur l'algorithme de "Levenberg-Marquardt". Son appel est décrit souvent comme suit :

$[\beta, \text{resnorm}, \text{exitflag}, \text{output}, \text{lambda}, \text{jacobian}] = \text{lsqcurvefit}(\text{fun}, \beta_0, \text{xdata}, \text{ydata}, \text{lb}, \text{ub})$

Où :

- "fun" est la fonction de base,

- "xdata" et "ydata" sont des matrices de même taille qui contiennent les données expérimentales,

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

-“ β_0 ” représente un vecteur des paramètres inconnus, qui peut être défini dans la gamme “ \mathbf{lb} ” < “ β_0 ” < “ \mathbf{ub} ”,

-“ β ” est le vecteur des paramètres déjà déterminés après le processus d’optimisation,

-“**resnorm**” représente la valeur finale de la fonction d’objectif $\sum [fun(x, xdata) - ydata]^2$,

-“**exitflag**” décrit la condition d’arrêt,

-“**output**” représente l’information sur le processus d’optimisation,

-“**lambda**” est “ λ ” utilisée dans l’équation 4.9,

-“**Jacobian**” est la matrice “**J**” utilisée dans l’équation 4.9.

4. Extraction des paramètres des modèles

4.1. Détermination des paramètres de source de courant

Le réseau modélisé ici est celui correspondant à la mesure I-V pulsé à polarisation de repos $V_{GS0}=V_{DS0}=0V$ à une température ambiante de $25^\circ C$. Il s’agit une caractéristique de sortie sans prendre en compte l’effet de piège, l’effet de la température ni celui de l’auto-échauffement. La Figure 4.3 montre une comparaison entre la mesure I-V impulsionnelle et les caractéristiques obtenues issus du modèle I-V à une température ambiante de $25^\circ C$. Nous obtenons une bonne corrélation entre la mesure et le modèle. Les 13 paramètres pour la source de courant principale sont extraits par la procédure d’optimisation et récapitulées dans le tableau 4.2.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

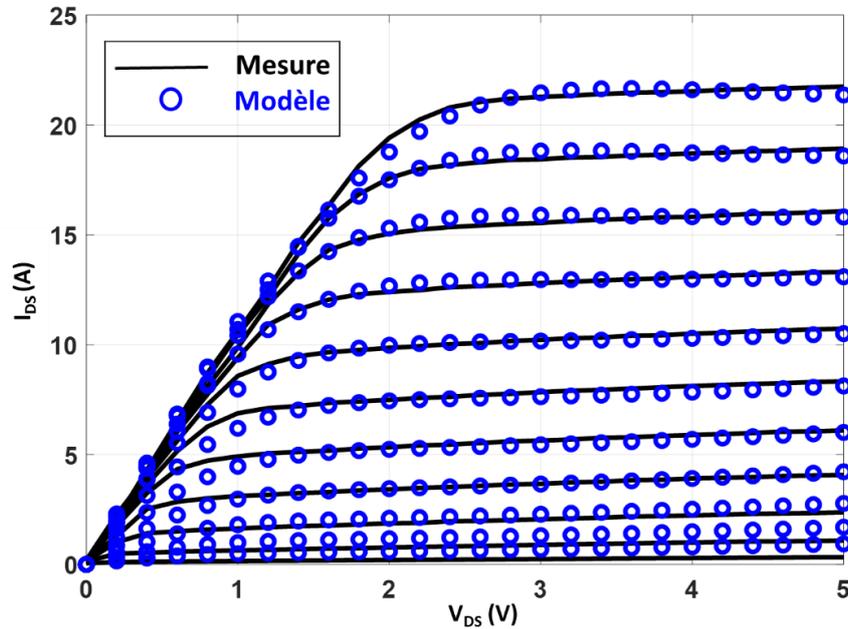


Figure 4.3. Comparaison mesures / modèle des réseaux IV en impulsion pour VGS variant de 1.5V à 2.5V par pas de 1V pour le GaN-GIT.

Tableau 4.2. Valeurs des paramètres de la source de courant

β	α	ζ	a	b	c	λ
41.5370	42.8440	-1.0378	35	6	3	1172.7
μ	ξ	η	δ	V_{t0}	γ	
1.244	653.6048	46.9513	10.4663	0.0175	-0.0733	

4.2. Détermination de la diode D_{GS}

Le réseau modélisé ici est la mesure pulsé du courant I_{GS} en fonction de V_{GS} variant de 0V à 4V pour $V_{DS} = 1V$. Ce réseau, prenant en compte l'effet d'injection de trous, permet d'évaluer le courant de grille pour des tensions V_{GS} positives plus élevées. La Figure 4.4 montre une comparaison entre la mesure I_{GS} impulsionnelle et les caractéristiques obtenues avec le modèle de la diode D_{GS} à une température ambiante de 25°C. Grâce à une bonne corrélation entre les mesures et le modèle, les valeurs des paramètres de la diode idéale ont été déterminées et sont reportées dans le Tableau 4.3.

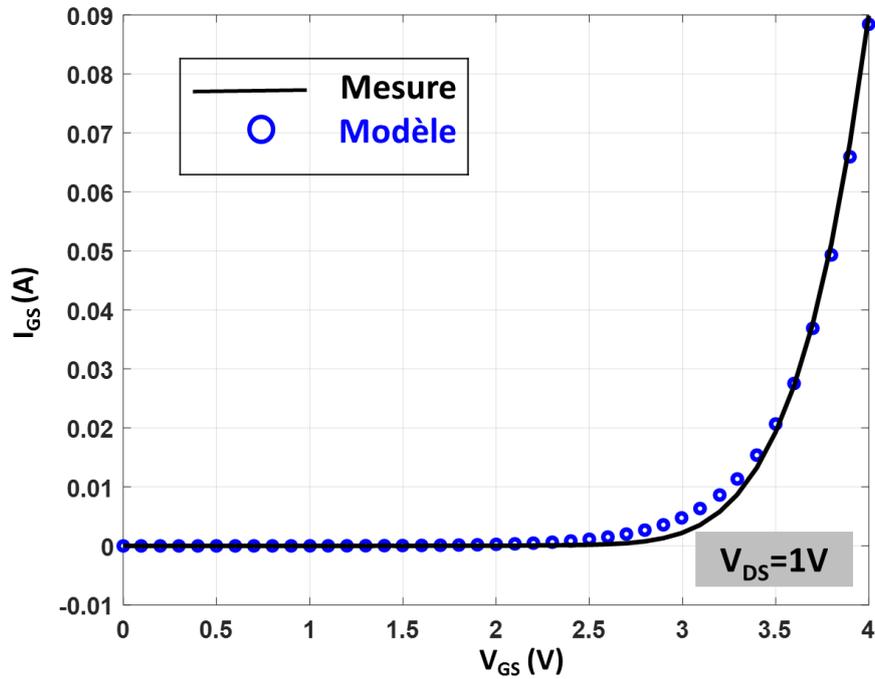


Figure 4.4. Comparaison mesure/modèle du courant de grille I_{GS} en fonction de V_{GS} pour $V_{DS}=1V$.

Tableau 4.3. Valeurs des paramètres de la diode.

I_{SGS}	alphags
$7.77e^{-7}$	2.9113

4.3. Détermination des capacités C_{GS} , C_{GD}

Comme précédemment, les paramètres des modèles de capacités C_{GS} et C_{GD} sont obtenus à partir de la mesure de ces deux capacités en fonction de la tension à leurs bornes. La Figure 4.5(a) illustre la comparaison entre le modèle et la mesure pour la capacité C_{GS} en fonction de V_{GS} allant de 0V à 2V. La capacité C_{GD} en fonction de V_{GD} pour allant de -30V à 0V donnée sur la Figure 4.5(b) permet une comparaison entre le modèle et la mesure. Les valeurs des paramètres pour ces deux capacités sont données au Tableau 4.4.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

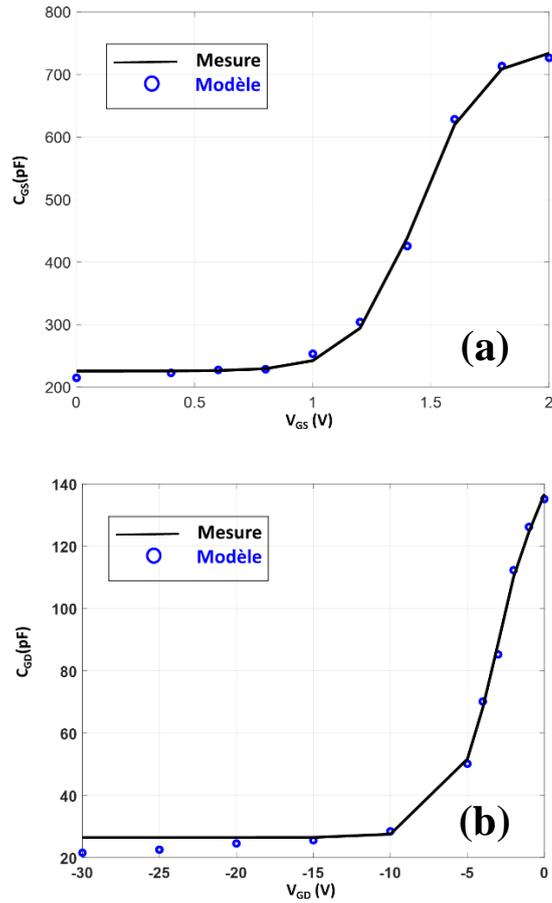


Figure 4.5. Comparaison entre mesure et modèle de capacités (a) C_{GS} en fonction de V_{GS} et (b) C_{GD} en fonction de V_{GD} .

Tableau 4.4. Valeurs des paramètres des capacités C_{GS} et C_{GD} .

C_{GS}		C_{GD}	
C_0	237.0858	C_0	22.0258
C_1	752.5503	C_1	24.2257
a	3.8118	a	-46.5629
V_M	-1.4459	V_M	1.8214
C_2	11.1970	C_2	-128.9348
b	5.4199	b	0.3412
V_P	7.12	V_P	3.0173

5. Modélisation complémentaire et validation du modèle

5.1. L'effet thermique

Afin de compléter le modèle de source du courant, nous proposons dans cette partie d'ajouter la dépendance en température sur le modèle du courant. Pour un composant de puissance fonctionnant en commutation, la température du composant n'évolue pas du fait d'une puissance DC à dissiper car le composant n'est pas polarisé comme dans un amplificateur de puissance RF et on pourrait penser qu'il n'est pas donc nécessaire de compléter le modèle thermique par l'impédance thermique. Cependant, à cause des pertes en commutation qui modifient la température du composant ou d'une variation de la température ambiante, les performances du composant peuvent évoluer ; il est donc nécessaire de prendre cet effet dans le modèle. Pour la source de courant du modèle COBRA, on peut prendre en compte l'effet de la température du GaN-GIT en faisant apparaître une dépendance en température des paramètres appelés β qui influe sur la zone saturée, α qui influe sur la zone linéaire et V_{t0} qui permet de caler le passage de la zone linéaire à la zone saturée en fonction de la tension grille-source.

Afin d'établir la dépendance de température sur ces trois paramètres de la source de courant, nous fixons les autres paramètres en lançant le processus d'optimisation sur les mesures $I_{DS}-V_{DS}$ avec V_{GS} allant de 2V à 2.5V pour des températures allant de 25°C à 125°C. Après avoir optimisé le modèle de source du courant pour chaque température, on constate alors que ces trois paramètres du modèle COBRA varient effectivement avec la température. Leurs évolutions en température sont montrées dans la Figure 4.6.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

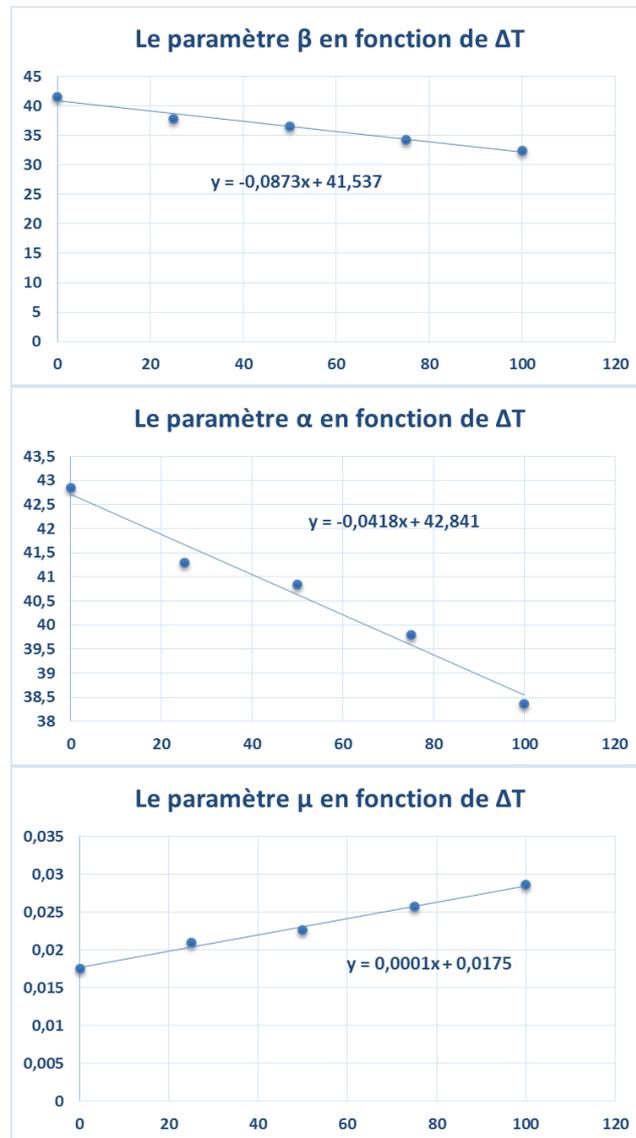


Figure 4.6. Evolution des paramètres de la source de courant en fonction de la température ambiante.

Nous avons choisi d'utiliser une fonction linéaire classique pour les trois paramètres comme par les équations 4.12 à 4.14.

$$\beta(T) = \beta_{initial} + X_{\beta}\Delta T \quad (4.12)$$

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

$$\alpha(T) = \alpha_{initial} + X_{\alpha}\Delta T \quad (4.13)$$

$$V_{t0}(T) = V_{t0initial} + X_{V_{t0}}\Delta T \quad (4.14)$$

Les valeurs de X_{β} , X_{α} et $X_{V_{t0}}$ sont respectivement égales à -0.0873 , -0.0418 et 0.0001 . Le résultat obtenu pour la source de courant du composant GaN-GIT est présenté dans la Figure 4.7 pour des températures variant de 50°C à 125°C par pas de 25°C .

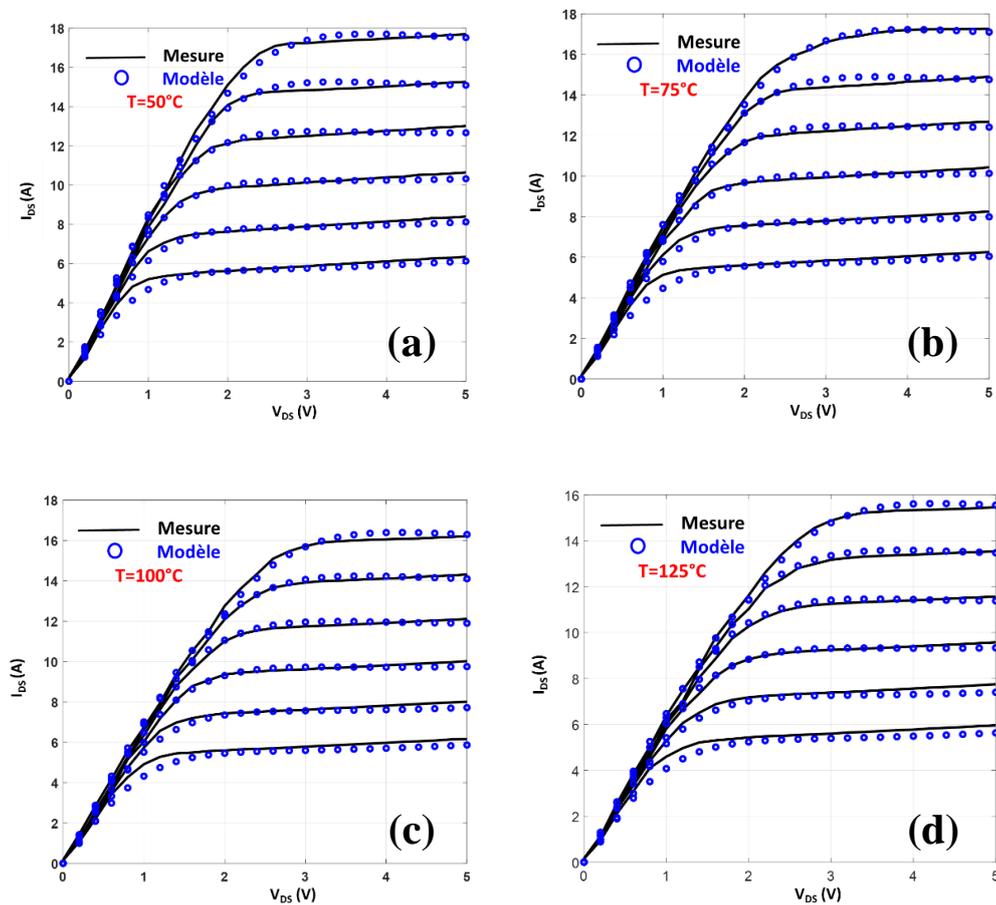


Figure 4.7. Comparaison mesures-modèle des courbes $I_{DS} - V_{DS}$ avec V_{GS} allant de 2V à 2.5V pour 50°C (a), 75°C (b), 100°C (c) et 125°C (d).

5.2. Modélisation et validation du processus de vieillissement

5.2.1. Modélisation du vieillissement

Pour répondre à l'objectif du projet EMOCAMI, nous devons établir un modèle du processus de vieillissement lié à l'énergie vue par le composant lors de son vieillissement. Autrement dit, nous allons rajouter une dépendance en énergie de la source de courant dans le modèle COBRA. Cette énergie est liée à deux paramètres pendant notre test de mise en court-circuit répétitive : la durée d'impulsion T_{sc} et le nombre de série subies N_{sc} (1 série = 4096 impulsions). Lorsqu'une dégradation se manifeste par une réduction du courant I_{DS} , nous avons supposé qu'une modification des paramètres β , α et V_{t0} suffisait pour faire correspondre les mesures sur un GaN-GIT vieilli en énergie et le modèle du GaN-GIT comme c'est le cas pour la température.

Afin d'établir la dépendance en énergie de ces trois paramètres de la source de courant, nous fixons les autres paramètres en lançant le processus d'optimisation sur les mesures I_{DS} - V_{DS} avec V_{GS} allant de 2V à 2.5V en fonction de T_{sc} et N_{sc} . Après avoir optimisé le modèle de source de courant pour chaque test de vieillissement, nous pouvons obtenir les évolutions de ces trois paramètres pour les durées d'impulsion $T_{sc}=1ms$, $T_{sc}=2ms$ et $T_{sc}=4ms$ en fonction du nombre de séries d'impulsions N_{sc} , comme l'illustre dans la Figure 4.8. Comme les résultats de mesures après vieillissement proviennent de trois transistors différents, un pour chaque durée d'impulsion, et pour éviter les inévitables problèmes de dispersion d'un composant à l'autre, les résultats présentés sur la Figure 4.8 sont en fait les paramètres β , α et V_{t0} normalisés à leurs valeurs à l'état neuf, notées respectivement $\beta(0)$, $\alpha(0)$ et $V_{t0}(0)$, pour chaque composant.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

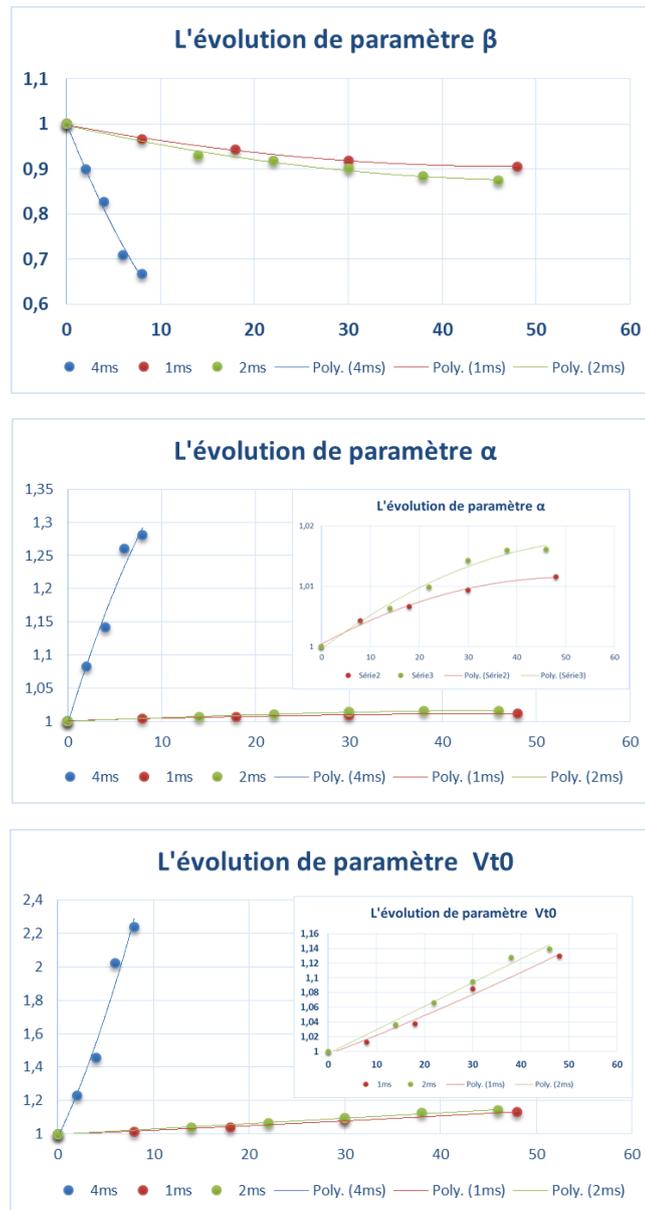


Figure 4.8. Evolution des paramètres β , α et V_{t0} de la source de courant en fonction de T_{sc} et N_{sc} .

En observant ces courbes, nous remarquons que les paramètres β , α ont tendance, par rapport à leur valeur à l'état neuf, à évoluer moins rapidement quand le nombre d'impulsions augmente. Cela suggère une dépendance logarithmique de β , α par rapport au nombre d'impulsions. Ce type de dépendance pour une dégradation est

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

connu pour les capacités, les phénomènes d'injection de porteurs chauds pour les transistors MOSFET [100] mais aussi lorsque des phénomènes de piégeage/dépiégeage de porteurs sont mis en jeu comme c'est le cas pour des composants GaN [101]. Ce type de vieillissement peut être décrit par une expression de la forme donnée par l'équation 4.15 [102].

$$\Delta u(t) = A \log(1 + Bt) \quad (4.15)$$

Où $\Delta u(t) = U(t) - U(0)$ représente la variation du paramètre U en fonction du temps t avec A et B deux constantes à déterminer.

Dans notre cas nous travaillons sur des grandeurs du type $\frac{U(t)}{U(0)} = u(t) = 1 + \frac{\Delta u(t)}{U(0)}$ donc nous cherchons des fonctions du type donné par l'équation 4.16.

$$u(t) = 1 + A \log(1 + Bt) \quad (4.16)$$

Où $u(t)$ représente le paramètre à optimiser et t n'est plus le temps mais N_{sc} le nombre d'impulsions de court-circuit que le composant a subi.

En lançant l'optimisation pour les 3 durées d'impulsion, nous pouvons obtenir respectivement les valeurs A et B pour les trois paramètres β , α et V_{t0} en fonction de la durée de l'impulsion comme le montre dans le Tableau 4.5.

Tableau 4.5. Détermination des coefficients A et B pour les paramètres β , α et V_{t0} .

β	A	B
1ms	-0.0493	0.1266
2ms	-0.0677	0.1158
4ms	-0.8441	0.0624

α	A	B
1ms	0.0039	0.3058
2ms	0.0092	0.1125
4ms	0.7887	0.0563

V_{t0}	A	B
1ms	1.9112	0.0014
2ms	1.7079	0.0019
4ms	33.6566	0.0046

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

Ensuite, il faut introduire le paramètre T_{SC} durée de l'impulsion ; c'est-à-dire d'exprimer les A et B pour chaque grandeur β , α et V_{t0} en fonction de T_{SC} . Pour cela, nous utilisons des fonctions de la forme donnée par l'équation 4.17.

$$U = C \exp(1 + Dt) \quad (4.17)$$

Où U représente le paramètre à estimer A ou B et t est la durée d'impulsion.

Les résultats, visibles sur les Figure 4.9, Figure 4.9 et Figure 4.11 montrent que l'estimation est correcte pour les six paramètres avec toutefois une erreur importante pour le coefficient A de V_{t0} pour les faibles durées d'impulsion.

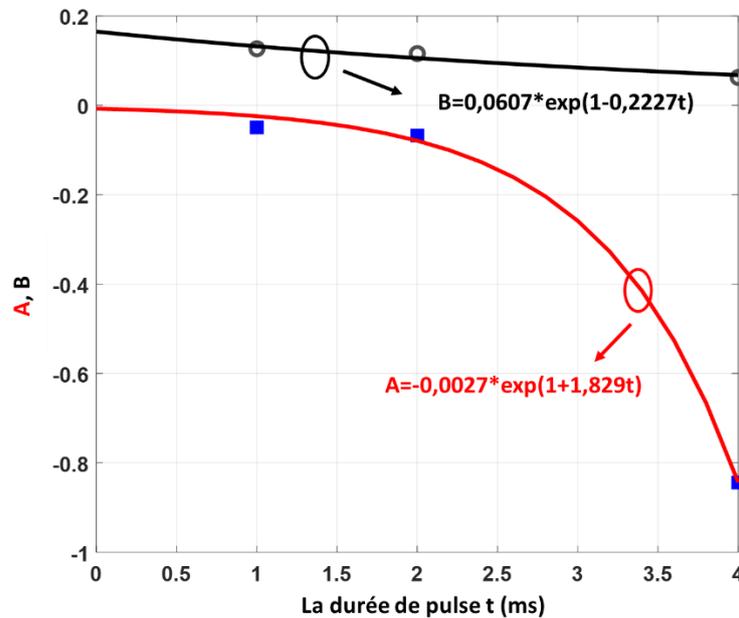


Figure 4.9. Evolutions de A et B en fonction de la durée de pulse pour β .

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

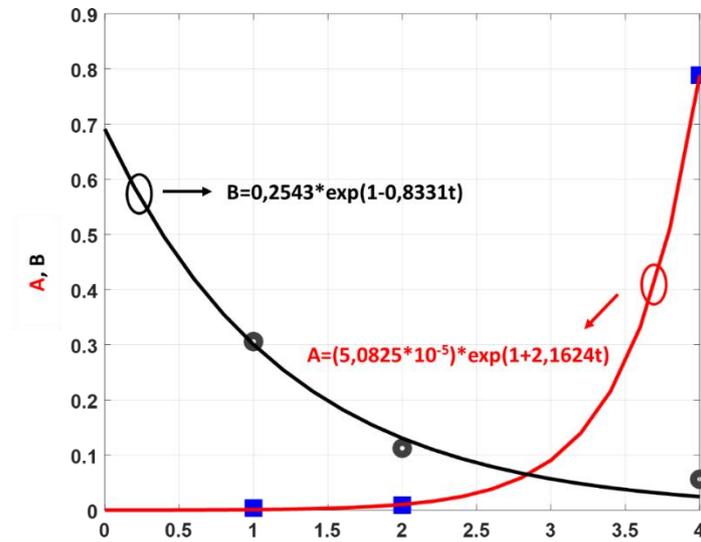


Figure 4.10. Evolutions de A et B en fonction de la durée de pulse pour α .

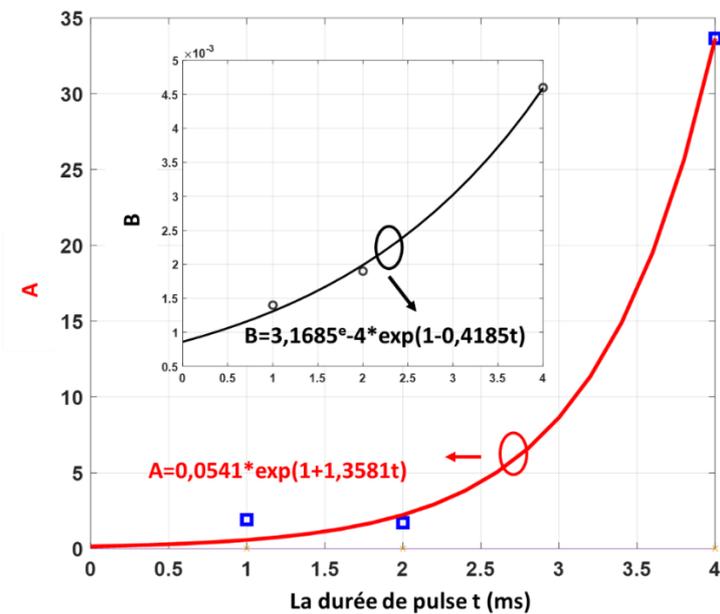


Figure 4.11. Evolutions de A et B en fonction de la durée de pulse pour V_{10} .

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

Finalelement en combinant les équations sur les Figures 4.09 à 4.11, nous sommes capables d'exprimer les paramètres β , α et V_{t0} en fonction de T_{sc} la durée de pulse, de N_{sc} le nombre d'impulsion subi et de leurs valeurs à l'état neuf, notées respectivement $\beta(0)$, $\alpha(0)$ et $V_{t0}(0)$, comme le montrent les équations 4.18 à 4.20

$$\beta/\beta(0) = 1 + [-0.0027 * \exp(1 + 1.829 * T_{sc})] * \log(1 + [0.0607 * \exp(1 - 0.2227 * T_{sc})] * N_{sc}) \quad (4.18)$$

$$\alpha/\alpha(0) = 1 + [(5.0825 * 10^{-5}) * \exp(1 + 2.1264 * T_{sc})] * \log(1 + [0.2543 * \exp(1 - 0.8331 * T_{sc})] * N_{sc}) \quad (4.19)$$

$$V_{t0}/V_{t0}(0) = 1 + [0.0541 * \exp(1 + 1.3581 * T_{sc})] * \log(1 + [(3.1685 * 10^{-4}) * \exp(1 - 0.4185 * T_{sc})] * N_{sc}) \quad (4.20)$$

5.2.2. La validation du modèle

Le modèle de source de courant contenant le processus de vieillissement est implémenté dans un circuit en utilisant l'environnement de simulation ADS (*Advanced Design System*) afin de le valider. Dans ADS, une fonctionnalité intéressante pour implémenter notre modèle est la possibilité de définir rapidement et facilement des composants personnalisés non linéaire basé sur une équation phénoménologique en utilisant la primitive SDD (*Symbolically-defined device*). Ces composants peuvent être définis comme des multiports sont modélisés directement sur le schéma en spécifiant les équations liant les courants et tensions présents sur les différents ports du dispositif. Une fois que le modèle est défini, il peut être utilisé dans un moteur de simulation d'ADS.

La Figure 4.12 montre le modèle d'une source courant ayant trois ports :

- Deux ports P1 et P2 à haute impédance ($I[1,0]=0$ et $I[2,0]=0$) pour commander la source de courant et qui représentent respectivement V_{GS} et V_{DS} ,
- Un port P3 sur lequel on récupère le courant de sortie du modèle noté I_{DS} ($I[3,0]=ids$).

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

Dans la partie définition des variables et équations entourée de noir, nous pouvons décrire les relations entre ces trois ports par des équations :

- $V_{gs} = v_1$ qui dit que le port 1 représente la grille,
- $V_{ds} = v_2$ qui dit que le port 2 représente le drain,
- La source est implicitement à la masse,
- L'expression du courant i_{ds} .

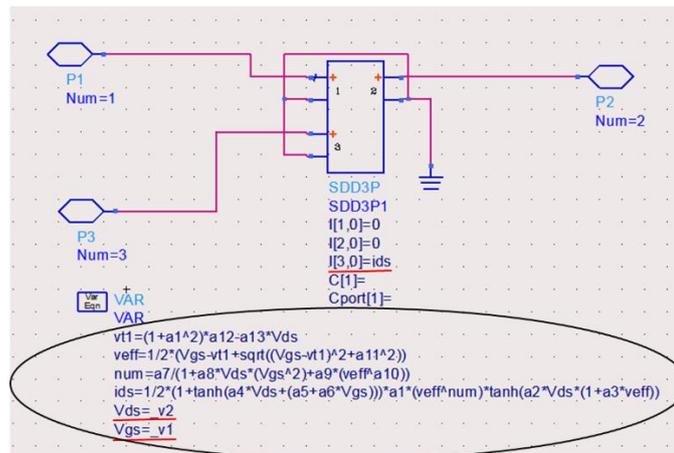


Figure 4.12. Le modèle SDD d'une source de courant.

Les paramètres de l'équation de la source de courant sont les a_1 - a_{13} qui sont utilisés dans le schéma, avec en particulier a_1 , a_2 et a_{13} qui représentent respectivement β , α et V_{t0} . L'interface utilisateur pour la simulation est illustrée dans la Figure 4.13. Grâce au mode « tune » nous pouvons obtenir différents résultats en faisant varier manuellement les valeurs de la température T , de la durée d'impulsion t_1 exprimée ms et de t_2 le nombre de série de 4096 impulsions.

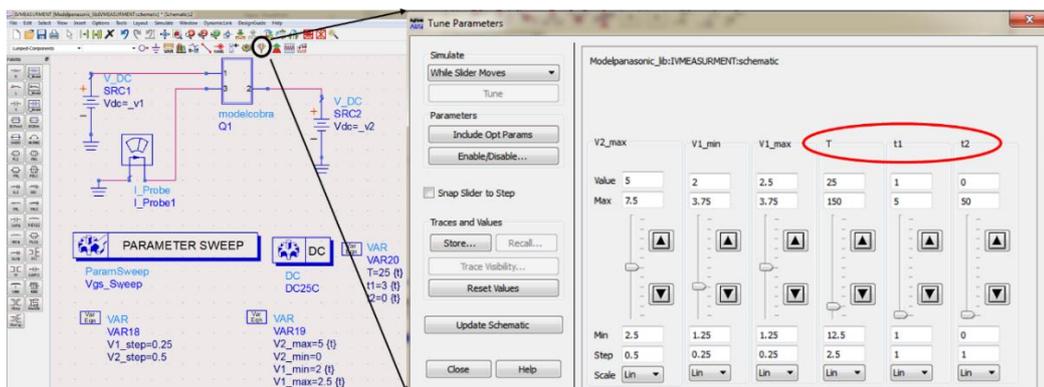


Figure 4.13. L'interface utilisateur pour la simulation.

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

Afin de valider la fiabilité du modèle, nous avons effectué une comparaison entre le modèle et la mesure pour $T_{SC}=2\text{ms}$. Pour cela, nous avons tout d'abord identifié les paramètres du modèle pour le composant PAC#2 avant vieillissement puis simulé un vieillissement en remplaçant les paramètres β , α et V_{t0} par ceux calculés avec les équations 4.18-4.20. En comparant les mesures I-V à 14^{ième} série (Figure 4.14 (a)) et la 46^{ième} série (Figure 4.14(b)), nous observons une bonne corrélation entre les résultats fournis par notre modèle de vieillissement et ceux obtenus par la mesure, ce qui montre un modèle fiable.

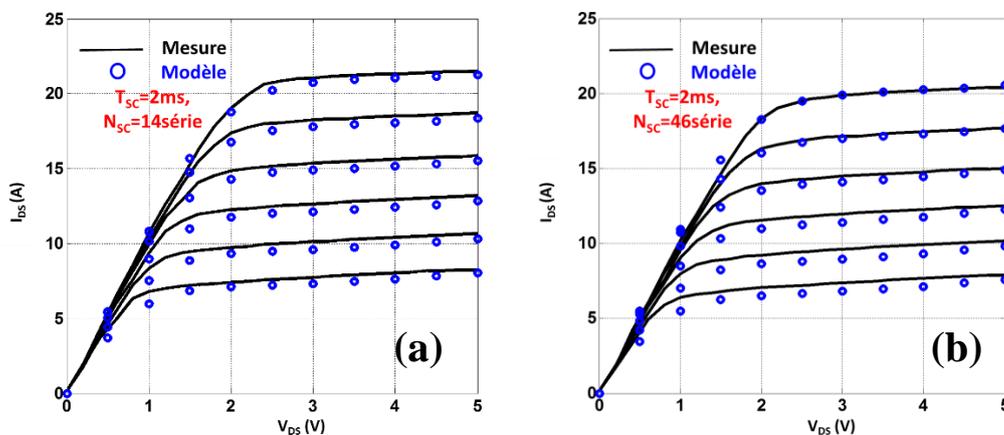


Figure 4.14. Comparaison mesures-modèle des courbes $I_{DS} - V_{DS}$ avec V_{GS} allant de 2V à 2.5V, $T_{sc}=2\text{ms}$ et à (a) $N_{sc}=14$ série, (b) $N_{sc}=46$ série

Un des objectifs du modèle est d'estimer par simulation la reproduction du processus de vieillissement sous des conditions qu'on n'a pas fait l'objet d'expérimentations. En se reportant au chapitre 3, nous avons déjà des résultats pour le test de vieillissement en court-circuit pour des durées d'impulsion égales à 1ms, 2ms et 4ms, mais pour une durée d'impulsion de 3ms aucun essai n'a été fait. Nous pouvons donc utiliser notre modèle pour estimer la dérive des caractéristiques du GaN-GIT dans ces conditions. Comme l'illustre la Figure 4.15, nous avons simulé la caractéristique $I_{DS}-V_{DS}$ à la 8^{ième} série de court-circuit pour une durée d'impulsion de 3ms (courbe trait épais bleu clair). Nous pouvons aussi observer que la différence entre chaque durée d'impulsion montre bien une variation non-linéaire du courant I_{DS} en fonction de cette durée, ce qui confirme notre hypothèse.

En fixant la durée d'impulsion à 3ms, nous pouvons obtenir une simulation de l'évolution de la caractéristique $I_{DS}-V_{DS}$ en fonction du nombre de séries subi par le

Chapitre IV : Modélisation de vieillissement d'un transistor GaN-GIT

transistor pendant le test de court-circuit, comme le montre la Figure 4.16. Nous observons clairement une baisse significative et régulière sur le courant I_{DS} comme celle observée sur la Figure 3.12 du chapitre 3.

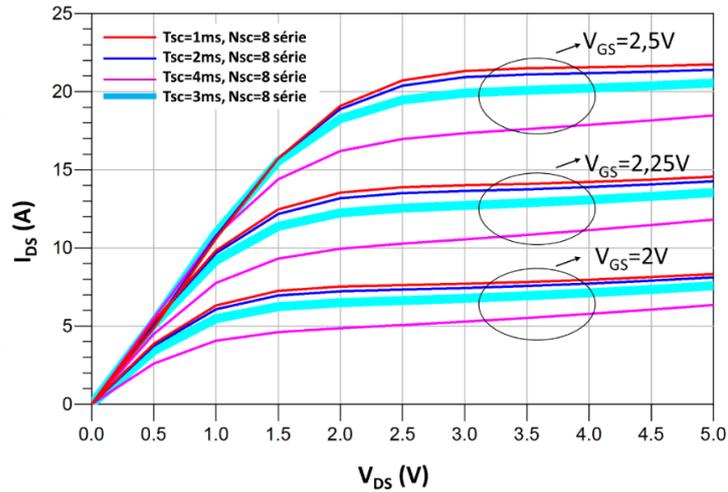


Figure 4.15. Caractéristique I_{DS} - V_{DS} avec V_{GS} allant de 2V à 2.5V par pas de 0.25V à la 8^{ième} série de court-circuit pour différentes durées d'impulsion.

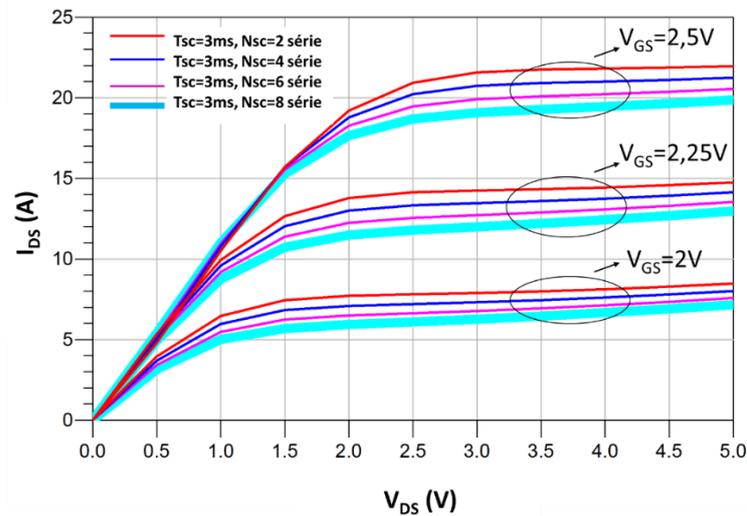


Figure 4.16. Caractéristique I_{DS} - V_{DS} avec V_{GS} allant de 2V à 2.5V par pas de 0.25V pour une impulsion de court-circuit $T_{SC}=3ms$ en fonction du nombre de série.

6. Conclusion

Ce chapitre vient clôturer la partie consacrée à la modélisation de GaN-GIT du fondeur *Panasonic*. Nous avons tout d'abord présenté les différents éléments nécessaires à la réalisation du modèle complet de notre composant. Notre modèle en grand signal, qui contient un modèle de source de courant pour I_{DS} et I_{GS} et le modèle des trois capacités intrinsèques, permet de décrire correctement le comportement électrique du composant GaN-GIT.

Pour ces modèles qui contiennent plusieurs équations empiriques avec de nombreux paramètres à déterminer, la méthodologie d'extraction de ces paramètres inconnus est une étape indispensable et importante. Le procédé d'extraction de ces paramètres a été réalisé à l'aide d'une approche d'optimisation avec utilisant l'algorithme de "Levenberg-Marquardt". Grâce à cette méthode, nous avons obtenu rapidement des résultats après optimisation donnant une bonne corrélation entre mesures et modèle.

Pour compléter le modèle Cobra de source de courant I_{DS} , nous avons effectué certaines modifications afin de prendre en compte tout d'abord l'effet de température qui permet de modéliser la dépendance à la température ambiante du courant I_{DS} . La température ambiante a été intégrée dans l'équation du modèle en tant qu'une variable indépendante. Une très bonne corrélation a été obtenue entre les mesures et le modèle pour des températures allant de 25°C à 125°C. Ensuite, nous avons aussi réussi à rajouter le processus de vieillissement qui permet de modéliser la variation du courant I_{DS} en fonction de la durée d'impulsion de court-circuit T_{SC} et N_{SC} le nombre de série subi par le transistor pendant le test de vieillissement accéléré en court-circuit. En implémentant ce modèle Cobra modifié dans le logiciel ADS en utilisant la primitive SDD, nous pouvons ainsi estimer le processus de vieillissement avec une durée d'impulsion de 3ms sans avoir à mener les expérimentations.

Comme futur travail, nous pensons intégrer le processus de vieillissement sur le modèle du courant I_{GS} et celui des capacités intrinsèques pour compléter l'ensemble du modèle du GaN-GIT. Nous allons également créer un modèle petit signal afin d'extraire les éléments extrinsèques que sont les résistances, les inductances et les capacités extérieures. Malgré les améliorations possibles, ce modèle de GaN-GIT contenant le processus de vieillissement est très intéressant d'autant qu'il peut être implémenté, au-delà d'ADS, dans d'autres moteurs de simulation comme Spice ou VHDL-AMS pour la simulation d'un convertisseur de puissance complet pour faire une validation complète au niveau système.

Conclusion générale et perspectives

L'ensemble des travaux présentés dans ce mémoire de thèse s'inscrit dans le cadre d'une démarche globale visant d'une part, la compréhension des phénomènes et mécanismes de dégradation engendrés par un vieillissement accéléré en régime court-circuit répétitif, et d'autre part la modélisation de ce processus de vieillissement.

Le choix du transistor s'est porté sur un transistor commercial de GaN-GIT de chez *Panasonic*, de type normalement bloqué. En effet, les études menées sur les semi-conducteurs à base de GaN concluent à un réel intérêt pour cette technologie grâce aux propriétés physiques des matériaux GaN et AlGa_N, et aux performances tout à fait intéressantes en terme de tenue en tension et rapidité de commutation.

Cependant, l'utilisation de cette technologie reste encore aujourd'hui limitée bien que ces composants soient disponibles sur le marché. Cette technologie doit être éprouvée, c'est ce constat qui nous a menés à développer dans ces travaux de thèse des investigations sur les performances et la fiabilité de ces composants vis-à-vis de conditions sévères de fonctionnement.

Pour aborder cette problématique, un état de l'art a été développé au premier chapitre. Une comparaison générale des propriétés physiques des technologies usuelles Si, GaN, et SiC a été menée pour mettre en évidence les avantages de la technologie à base de GaN.

En effet, les transistors HEMTs AlGa_N/Ga_N opèrent à des valeurs de champ électrique, de fréquence et de température plus élevées. La réalisation d'un fonctionnement normalement bloqué est fortement appréciée pour des applications de commutation de puissance en raison de la sécurité et la simplicité du design de circuit. Parmi ces technologies, le GaN-GIT (*Gate Injection Transistor*) représente une solution obtenue en rajoutant une couche p-GaN ou p-AlGa_N. Disponible sur le marché, ce composant est choisi pour nos travaux, sa structure et son fonctionnement sont présentés à la fin du premier chapitre I ainsi que l'état de l'art sur les mécanismes de dégradation pour cette technologie.

Le deuxième chapitre a permis de dispenser une connaissance approfondie du composant d'étude, depuis les caractérisations électrothermiques (caractéristiques I-V-T, courant de fuite, capacités intrinsèques) jusqu'à sa caractérisation structurale par l'outil microscopique. Le composant GaN-GIT de référence PGA26C09DV de chez

Conclusion générale et perspectives

Panasonic a été choisi dans le cadre de nos études. Dans un premier temps, la résistance à l'état passant R_{DSON} , la tension de seuil V_{TH} , les courants de fuite de drain I_{DSS} et de grille I_{GSS} et les trois capacités intrinsèques aux bornes de leurs tensions ($C_{GS-V_{GS}}$, $C_{GD-V_{GD}}$, $C_{DS-V_{DS}}$) sont retenus afin de caractériser le comportement statique et dynamique du composant d'étude. Ensuite, nous avons effectué la phase des caractéristiques I-V pour des températures variant de 25°C à 125°C. Dans cette phase, nous avons observé un décalage dans le sens positif sur le courant I_{DS} pour des valeurs de V_{GS} inférieures à 1.8V et un décalage dans le sens négatif sur le courant I_{DS} pour des valeurs de V_{GS} supérieures à 1.8V. Pour compléter les mesures, les caractérisations à différentes tension de repos (V_{GS0} et V_{DS0}) ont été évaluées. Il est à noter que la résistance R_{DSON} reste stable pour tous les cas, ce qui peut être expliqué par deux façons : Premièrement, l'effet de piège dépend de la tension V_{DS} à l'état ON. Par conséquent, plus V_{DS} sera forte, plus cet effet est représentatif. Deuxièmement, la caractérisation microstructurale montre une structure HD-GIT (double p-GaN) avec un ajout supplémentaire du bloc p-GaN au bord du drain, ce qui peut réduire efficacement l'effet de piège localisé entre le drain et la source grâce à l'effet d'injection des trous. Enfin, après l'ouverture du composant par attaque laser et chimique, une caractérisation microstructurale a été présentée en utilisant les techniques en microscopie optique et électronique afin de procéder à l'examen direct de la zone active. Ces caractérisations permettent de disposer de toutes les informations nécessaires à l'étude de vieillissement et la modélisation du composant.

Le troisième chapitre est consacré au test de vieillissement accéléré. Afin d'obtenir des dégradations progressives et de pouvoir exploiter des informations pertinentes sur les mécanismes de dégradation du composant avant sa défaillance catastrophique, nous proposons un test de vieillissement accéléré en court-circuit répétitif à faible puissance mais à une énergie élevée par rapport la limite de la zone de fonctionnement (SOA : Safe Operating Area). Cette méthodologie ainsi que le banc de test associé est présentée en détail dans ce chapitre. L'objectif est d'observer et d'analyser la dégradation liée à différents niveaux d'énergie. Durant notre test de vieillissement en court-circuit répétitif, le paramètre variable est l'énergie dissipée, fonction de la durée d'impulsion. Nous avons effectué les tests sous des durées d'impulsion de 1ms, 2ms et 4ms, les caractérisations électriques sont mesurées régulièrement afin d'explorer l'impact de l'énergie sur le comportement électrique du composant d'étude. Selon les mesures régulières des caractérisations électriques durant le vieillissement, nous pouvons confirmer que plus l'énergie par pulse appliquées sur le composant est élevée, plus la dégradation des paramètres comme R_{DSON} et I_{DSS} est importante. En considérant les mesures sur les capacités intrinsèques et le courant de grille I_{GS} pendant le vieillissement en 4ms, la capacité C_{GD} (ou C_{RSS}) et le courant I_{GS} à V_{GS} au-delà de V_F

Conclusion générale et perspectives

(la tension intégrée) peuvent être considérés comme les indicateurs de dégradation pertinents et intéressants.

Pour faire suite à cette phase de caractérisation électrique, une analyse microscopique est mise en œuvre par comparaison entre le composant à l'état neuf et celui à l'état dégradé. Cette analyse a commencé par la microscopie à émission de photons qui a montré l'évolution du comportement de la puce lors du vieillissement par les changements de son électroluminescence. Les points continus émissifs ont été observés pour le composant vieilli qui sont probablement les signatures de défauts générés par le test de vieillissement. En effet, cette technique permet de localiser la zone d'intérêt mais ne permet pas d'expliquer la nature du défaut. Les zones d'intérêt nécessitent donc une analyse plus approfondie en observant la coupe transversale de la structure par le MEB (Microscopie électronique à balayage) et PFIB (Plasma Focus Ions Beam). Cette étape permet une analyse physique de mécanismes de dégradation au niveau de la structure. Grâce à la comparaison sur la zone d'intérêt entre le composant à l'état neuf et celui à l'état dégradé, nous avons observé les deux défauts physiques. Le premier se traduit par des fissures situées dans le métal d'Al au niveau de drain, le deuxième présente des cavités dans la couche métallique qui sert à réaliser le contact ohmique au niveau de source, ce qui explique l'augmentation de la résistance R_{DSON} .

Le dernier chapitre du mémoire propose une méthodologie de modélisation électrique du composant d'étude comprenant les éléments comme la source du courant et les capacités intrinsèques. Ces éléments, capables de représenter de façon fidèle le comportement électrique du composant, sont décrits par des équations basées sur des paramètres empiriques. La méthodologie d'extraction des paramètres inconnus est alors détaillée dans ce chapitre. Pour compléter le modèle de source du courant, nous avons rajouté dans un premier temps une dépendance en température ambiante. Ensuite, des modifications sur certains paramètres sont effectuées afin de modéliser le processus de vieillissement lié à l'énergie dissipée. Enfin, le modèle développé est implémenté dans le logiciel ADS (*Advanced Design System*) au moyen SDD (*Symbolically-defined device*) pour valider et estimer le processus de vieillissement. Par l'interface du logiciel ADS, la simulation pour le cas de la durée d'impulsion $T_{\text{sc}}=2\text{ms}$ et N_{sc} (le nombre de série de court-circuits) =14 et 46, est montrée par une bonne corrélation avec les mesures, ce qui valide la fiabilité de notre modèle établi. Enfin, nous avons réussi à simuler le comportement du composant d'étude pour le cas $T_{\text{sc}}=3\text{ms}$ par le modèle, ce qui est comparable au cas de $T_{\text{sc}}=1\text{ms}$, 2ms , et 4ms .

Conclusion générale et perspectives

Pour conclure sur ce mémoire de thèse, nous proposons quelques perspectives comme continuité des travaux réalisés. Une première perspective concerne une étude plus complète sur le test de vieillissement en court-circuit répétitif. Il s'agit tout d'abord d'une étude de l'impact des différentes tensions V_{DS} (en fixant la durée d'impulsion) sur la variation du comportement du composant d'étude. Ensuite, le test de court-circuit répétitif à haute puissance sera pris en compte. Il faudra aussi analyser le mécanisme de dégradation sous le test de court-circuit répétitif avec une tension V_{DS} élevée (600V par exemple) et une durée d'impulsion courte de quelques μs . Nous supposons que les mécanismes de défaillance entre le test à haute puissance et celui à faible puissance seront différents même si l'énergie dissipée par chaque pulse est équivalente.

Une autre perspective à ce travail concerne l'analyse microscopique plus approfondie. Bien que l'on ait déjà localisé les défauts sur la structure de la coupe transversale, l'étude de l'identification de l'origine de ces défauts reste encore à approfondir. Pour cela, l'image EDX par MET sera fortement appréciée dans la structure microscopique du composant pour un travail futur.

Enfin, la troisième perspective porte sur la modélisation du composant d'étude. Nous avons déjà modifié le modèle COBRA de la source du courant afin d'obtenir une dépendance en température, ainsi qu'une dépendance en énergie qui permet de modéliser la variation du courant I_{DS} en fonction de la durée d'impulsion et le nombre de série subis lors du vieillissement accéléré en court-circuit. Le même type de modification (rajout de la dépendance en température et en énergie) est souhaité pour les autres éléments (source du courant I_{GS} , les capacités intrinsèques) afin de rendre le modèle plus précis. Il serait aussi nécessaire d'aborder les éléments extrinsèques (par le modèle petit signal) afin de compléter le comportement global.

Ce modèle pourrait pour les concepteurs, servir à aider au design des circuits de conversion d'énergie basés sur l'utilisation de ces nouvelles technologies de composants.

Publications relatives à ce travail

Journaux scientifiques

“Experimental and microscopic analysis of 600V GaN-GIT under the short-circuit aging tests.”, **J-Z FU**, F. Fouquet, F. Cuvilly, M. Kadi, P. Dherbécourt, International Journal of Information Science & Technology (IJIST), Submis en octobre 2018.

“Evolution of C-V and I-V characteristics for a commercial 600V GaN GIT power device under repetitive short-circuit tests”, **J-Z FU**, F. Fouquet, M. Kadi, P. Dherbécourt, Microelectronics reliability, Vol 88-90, Pages 652-655, September 2018.

Conférences internationales avec actes et comité de lecture

“Aging of GaN GIT under repetitive short-circuit tests”, **J-Z FU**, F. Fouquet, M. Kadi, P. Dherbécourt, IEEE Workshop on Wide Bandgap Power Devices and Applications in Aisa (Wipda – Aisa), May 2018

“Experimental study of 600V GaN transistor under the short-circuit aging tests”, **J-Z FU**, F. Fouquet, M. Kadi, P. Dherbécourt, 19th IEEE Mediterranean Electrotechnical Conference (Melecon), May 2018

“Etude expérimentale sur le régime de court-circuit pour un 600V GaN transistor”, **J-Z FU**, F. Fouquet, M. Kadi, P. Dherbécourt, Telecom’2017&10^{ème} JFMMA Conference, May 2017.

Références bibliographiques

- [1]. S. J. Pearton and F. Ren, “GaN Electronics”. *Adv. Mater*, 12(21):1571–1580, November 2000.
- [2]. A. Lidow, J. Strydom, M. de Rooij, D. Reusch, “GaN Transistors for Efficiency Power Conversion”, 2nd Edition. El Segundo, CA: Power Conversion Publications, Sept. 2014.
- [3]. H. Qin, B. Zhao, X. Nie, J. Wen and Y. Yan, “Overview of SiC power devices and its applications in power electronic converters”, IEEE 8th Conference on Industrial Electronics and Applications (ICIEA), June 2013.
- [4]. US Department of Energy. Quadrennial Technology Review 2015 - Wide Bandgap Semiconductors for Power Electronics - Technology Assessments. Technical report, U.S. Department of Energy, 2015.
- [5]. EPC. (2016). About EPC [Online]. Available: <http://epcco.com/epc/AboutEPC.aspx>
- [6]. S. Mbarek, “Fiabilité et analyse physique des défaillances des composants électroniques sous contraintes électrothermiques pour des applications en mécatronique”, thèse de doctorat, Université de Rouen, Dec. 2017
- [7]. O. Dhouha, “Etude d’interrupteur en carbure de silicium et potentiel d’utilisation dans des applications aéronautiques”, Thèse de doctorat, ENS-Cachan, Dec. 2015
- [8]. S. Bouzid-driad, “Réalisation et caractérisation de transistors HEMTs GaN pour des applications dans le domaine millimétrique”, thèse de doctorat, Université des sciences et technologies de Lille, Dec. 2013
- [9]. J. Lehmann, “Caractérisation électrique d’hétérostructures AlGaN/GaN pour des applications de puissance”, thèse de doctorat, Université Grenoble alpes, Oct. 2015

Références bibliographiques

- [10]. F. A. Marino, N. Faralli, D. K. Ferry, S. M. Goodnick, and M. Saraniti, “Figures of merit in high-frequency and high-power GaN HEMTs,” *Journal of Physics : Conference Series*, vol. 193, pp. 012040–, 2009. 7
- [11]. R.S. Pengelly, S.M. Wood, J.W. Milligan, S.T. Sheppard, W.L. Pribble, “A review of GaN on SiC high electron mobility power transistors and MMICs”, *IEEE Transactions on Microwave Theory and Techniques*, Feb. 2012.
- [12]. K.J. Chen, O. Haberlen, A. Lidow, C.L. Tsai, T. Ueda, Y. Uemoto, Y. Wu, *GaN-on-Si power technology : devices and applications*, *IEEE Transactions on Electron Devices*, Feb. 2017
- [13]. H. Okumura, “Present status and future prospect of widegap semiconductor high-power devices” *Japanese Journal of Applied Physics*, Oct. 2006
- [14]. T.D.H. Nguyen, “Réalisation et caractérisation de HEMTs AlGaN/GaN sur silicium pour applications à haute tension”, thèse de doctorat, Université paris sud, Jan.2014
- [15]. Heinz Schulz and K.H. Thiemann, “Crystal structure refinement of Al and Ga ” *Solid State Communications* 23, 815 (1977).
- [16]. O. Ambacher et al, “Two dimensional selectron gases induced by spontaneous and piezoelectric polarization charges in N- and G-face AlGaN/GaN heterostructures ” *J.appl.phys.* (1999)85, pp.3222-3232.
- [17]. J.A Smart, A. T. Schremer, N.C. Weimann, O. Ambacher, L.F. Eastman, and J.R Shealy, “AlGaN/GaN heterostructures on insulating AlGaN nucleation layers”, *Appl. Phys. Lett.* 75. 388 (1999).
- [18]. M. Asif Khan, J. N. Kuznia, D. T. Olson, W. J. Schaff, J. W. Burm, and M. S. Shur. “Microwave performance of a 0.25 um gate AlGaN/GaN heterostructure field effect transistor”. *Applied Physics Letters*, 65(9) :1121–1123, August 1994.
- [19]. M. Meneghini, G. Meneghesso, and E. Zanoni. “Power GaN Devices Materials”, *Applications and Reliability*, 2017.
- [20]. M. Avcu, “Caractérisation des effets parasites dans les HEMTs GaN : développement d’un banc de mesure 3ω ”, thèse de doctorat, Université de Limoges, 2014.

Références bibliographiques

- [21]. H. Amano, L. Akasaki et al, "Effects of the buffer layer in metalorganic vapour phase epitaxy of GaN on sapphire substrate", *Thin Solid Films*, Vol 163, Sep 1988.
- [22]. G. Purvis, "AZZURRO provides GaN-on-Si wafers for 1KV device", *III-Vs Review*, Vol.19, Iss.5, Jun 2006
- [23]. S. Rajan, P. Waltereit, C. Poblenz, S.J. Heikman, D.S. Green, J.S. Speck, U.K. Mishra, "Power performance of AlGaIn-GaN HEMTs grown on SiC by plasma-assisted MBE", *IEEE Electron Device Letters*, May. 2004
- [24]. S. Khandelwal, N. Goyal, "A physics-based analytical model for 2DEG charge density in AlGaIn/GaN HEMT devices", *IEEE Transactions on Electron Devices*. Oct 2011
- [25]. M. Miyoshi, T. Egawa, and H. Ishikawa, "Study on mobility enhancement in MOVPEgrown AlGaIn/GaN HEMT structures using a thin AlN interfacial layer", *Solid-State Electronics*, vol. 50, pp. 1515-1521, 2006.
- [26]. I. Smorchkova, L. Chen, T. Mates, L. Shen, S. Heikman, B. Moran, S. Keller, S. DenBaars, J. Speck, and U. Mishra, "AlN/GaN and AlGaIn/AlN/GaN two-dimensional electron gas structures grown by plasma-assisted molecular-beam epitaxy", *Journal of Applied Physics*, vol. 90, pp. 5196, 2001.
- [27]. Z. Ouarch, "Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa: Application à la simulation de la dynamique lente des circuits non linéaires micro-ondes," Thèse de doctorat, Université de Limoges, mars 1995
- [28]. C. Lagarde, "Modélisation de transistor de puissance en technologie GaN : Conception d'un amplificateur de type doherthy pour les émetteurs à puissance adaptative". Thèse de doctorat, Université de limoges, Sep, 2006.
- [29]. W. Mickanin, P. Canfield, E. Finchem, and B. Odekirk, "Frequency-dependent transients in GaAs MESFETs: Process, geometry, and material effects," in *GaAs IC Symp. Dig.*, 1989, pp. 211–214.
- [30]. P. B. Klein, S. C. Binari, K. Ikossi-Anastasiou, A. E. Wickenden, D. D. Koleske, R. L. Henry, and D. S. Katzer, "Investigation of traps producing current collapse in AlGaIn/GaN high electron mobility transistors", *Electronics Letters*, vol. 37, pp. 661, 2001.

Références bibliographiques

- [31]. S. Yang, C. Zhou, Q. Jiang, J. Lu, B. Huang, “Investigation of buffer traps in AlGa_N/Ga_N on Si devices by thermally stimulated current spectroscopy and back-gating measurement”, *Journal of Applied Physics*, Jan. 2014
- [32]. G. Callet, “Caractérisation et modélisation de transistors HEMT AlGa_N/Ga_N et InAlN/Ga_N pour l’amplification de puissance en radio-fréquence”, thèse de doctorat, Déc. 2011.
- [33]. C. Charbonniaud, “Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ Ga_N pour l’amplification de puissance micro-onde”, thèse de doctorat, Université de limoges, Oct. 2005
- [34]. U. K. Mishra, “AlGa_N/Ga_N transistors for power electronics,” *Electron Devices Meeting (IEDM)*, San Francisco, USA 6-8 december, vol. 77, pp. 3.2.1 {13.2.4, 2010. 3, 23, 28, 29
- [35]. W. Lu, V. Kumar, R. Schwindt, E. Piner, I. Adesida, "A comparative study of surface passivation on AlGa_N/Ga_N HEMTs", *Solid-State Electronics* 46 (2002) 1441–1444
- [36]. T. Kikkawa, K. Makiyama, T. Ohki, M. Kanamura, K. Imanishi, N. Hara, and K. Joshin, “High performance and high reliability AlGa_N/Ga_N HEMTs,” *physica status solidi (a)*, vol. 206, no. 6, pp. 1135–1144, 2009.
- [37]. M. Microvic et al, “High frequency Ga_N HEMTs for RF MMIC applications”, *IEEE International Electron Devices Meeting*, Dec, 2016
- [38]. Kelvin Yuk, G. R. Branner, Can Cui, "Future directions for Ga_N in 5G and satellite communications", *circuits and Systems (MWSCAS) 2017 IEEE 60th International Midwest Symposium on*, pp. 803-806, 2017.
- [39]. D. Marcon et al, “Ga_N-on-Si HEMTs for 50V RF applications”, *European Microwave Intergrated Circuit Conference*, Oct. 2012
- [40]. D. Bortis, O. Knecht, D. Neumayr and J W. Kolar, “Comprehensive Evaluation of Ga_N GIT in Low- and High-Frequency Bridge Leg Applications” *IEEE 8th IPEMC-ECCE Asia*, 2016.
- [41]. X. Huang, Z. Liu, Q. Li, F-C. Lee, “Evaluation and application of 600V Ga_N HEMT in Cascode Structure”, 2013

Références bibliographiques

- [42]. D. Jung et al, “Design and evaluation of cascode GaN FET for switching power conversion systems”, Journal ETRI, Feb. 2017
- [43]. Alex Lidow, Michael de Rooij, Johan Strydom, David Reusch, Efficient Power Conversion Corp. “GaN Transistors for Efficient Power Conversion”, APEC 2013 educational seminar S7, pp. 16.
- [44]. <https://www.transphormusa.com/en/products/>
- [45]. T. McDonald, “GaN based power conversion: moving on!,” presented at the IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2013.
- [46]. MicroGaN GmbH. (2015). “MGG1T0617D-CO MicroGaN 600-V N-off switch” [Online]. Available: <http://www.microgan.com/includes/products/MGG1T0617D-CO.pdf>
- [47]. R. Chu, A. Corrión, M. Chen, R. Li, D. Wong, D. Zehnder, B. Hughes, K. Boutros, “1200-V normally off GaN-on-Si field-effect transistors with low dynamic on-resistance,” IEEE Electron Device Letters, vol. 32, no. 5, pp. 632-634, May 2011,
- [48]. Y. Cai, Y. G. Zhou, K. J. Chen, and K. M. Lau, “High-performance enhancement-mode AlGaIn/GaN HEMTs using Fluoride-based plasma treatment,” IEEE Electron Device Lett., vol. 26, no. 7, pp. 435–437, Jul. 2005.
- [49]. R. Chu, B. Hughes, M. Chen, D. Brown, R. Li, S. Khalil, D. Zehnder, S. Chen, A. Williams, A. Garrido, M. Musni, K. Boutros, "Normally-Off GaN-on-Si transistors enabling nanosecond power switching at one kilowatt," 71st Annual Device Research Conference, Notre Dame, Indiana, 23-26 June 2013, pp.199-200.
- [50]. T. Kachi, “GaN power devices for automotive applications,” in Proc. IEEE Compound Semicond. IC Symp. Tech. Dig, pp. 13–16, 2007,
- [51]. T. Imada, M. Kanamura, and T. Kikkawa. Enhancement-mode GaN MIS-HEMTs for power supplies. In The 2010 International Power Electronics Conference – ECCE ASIA -, pages 1027–1033. IEEE, June 2010.
- [52]. Tohru Oka and Tomohiro Nozawa. AlGaIn/GaN Recessed MIS-Gate HFET With High-Threshold-Voltage Normally-Off Operation for Power Electronics Applications. IEEE Electron Device Letters, 29(7) :668–670, July 2008.

Références bibliographiques

- [53]. P. Moens et al, “An industrial process for 650V rated GaN-on-Si power devices using in-situ SiN as a gate dielectric”. IEEE 26th International Symposium on Power Semiconductor Devices & IC’s (ISPSD), pages 374–377. June 2014.
- [54]. Efficient Power Conversion, “EPC-2010 enhancement mode power transistor,” device datasheet, Feb. 2013.
- [55]. Panasonic, “600V GaN power transistor,” presented at IEEE Applied Power Electronics Conference and Exposition, Long Beach, CA, Mar. 2013.
- [56]. Y. Uemoto, H. Ishida, T. Tanaka, “Gate Injection Transistor (GIT) – A Normally-off AlGaIn/GaN Power Transistor Using Conductivity Modulation,” IEEE Transactions on Electron Devices, vol. 54, no. 12, Dec. 2007
- [57]. Saichiro Kaneko et al, “Current-collapse-free operations up to 850 V by GaNGIT utilizing hole injection from drain”. IEEE 27th International Symposium on Power Semiconductor Devices & IC’s (ISPSD), pages 41–44. IEEE, May 2015.
- [58]. T. Mizutani, Y. Ohno, M. Akita, S. Kishimoto, K. Maezawa, “A study on current collapse in AlGaIn/GaN HEMTs induced by bias stress”, IEEE Transactions on Electron Devices, Sep. 2003
- [59]. M. Megeghini, O. Hilt, J. Wuerfl, G. Meneghesso, “Technology and Reliability of normally-off GaN HEMT with p-type gate”, Energie, Jan. 2017
- [60]. E. Acurio, F. Crupi, P. Magnone, L. Trojman, G. Meneghesso, and F. Iucolano, "On recoverable behavior of PBTI in AlGaIn/GaN MOS-HEMT," Solid-State Electronics, vol. 132, pp.49-56, 2017.
- [61]. T-L. Wu et al, “Forward bias gate breakdown mechanism in enhancement-mode p-GaN gate AlGaIn/GaN high electron mobility transistor (HEMTs)”, IEEE Electron device letters, 2015
- [62]. Zaroni, E.; Danesin, F.; Meneghini, M.; Cetronio, A.; Lanzieri, C.; Peroni, M.; Meneghesso, G. Localized Damage in AlGaIn/GaN HEMTs Induced by Reverse-Bias Testing. IEEE Electron Device Lett. 2009, 30, 427–429.
- [63]. Meneghini, M.; Rossetto, I.; Rizzato, V.; Stoffels, S.; van Hove, M.; Posthuma, N.; Wu, T.; Marcon, D.; Decoutere, S.; Meneghesso, G.; et al. Gate Stability of GaN-Based HEMTs with P-Type Gate. Electronics 2016,

Références bibliographiques

- [64]. M. Meneghini, C. de Santi, T. Ueda, T. Tanaka, D. Ueda, E. Zanoni, and G. Meneghesso, "Time- and Field-Dependent Trapping in GaN-Based Enhancement-Mode Transistors With p-Gate," *IEEE Electron Devices Letters* 33, pp.375-377 2012.
- [65]. K. Tanaka et al, "Reliability of Hybrid-Drain-embedded gate injection transistor", *IEEE International reliability physics symposium*, Avril. 2017
- [66]. Joint Electron Device Engineering Council. Power MOSFETs (Standard No. JESD24). July 1985
- [67]. R. Mousa, "Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension", thèse de doctorat, INSA de Lyon, 2009.
- [68]. G. Callet et al, "A new nonlinear HEMT model for AlGaN/GaN switch applications", *International journal of microwave and wireless technologies*, 2(3-4), 283-291. 2010,
- [69]. R. Ouaida, "Vieillessement et mécanismes de dégradation sur des composants de puissance en carburant de silicium (SiC) pour des applications haute température", thèse de doctorat, Université Lyon, 2014.
- [70]. A. E. Duarte, "Etude de la fiabilité des transistors HEMT AlGaN/GaN de puissance en condition opérationnelle", thèse de doctorat, Université de Rouen, 2018
- [71]. W. Jatal, U. Baumann, K. Tonisch, F. Schwierz, et J. Pezoldt, "High frequency performance of GaN high electron mobility transistors on 3C-SiC/Si substrates with Au-Free ohmic contacts", *IEEE Electron device letters*, 2013.
- [72]. A. Soltani et al, "High performance TiN gate contact on AlGaN/GaN transistor using a mechanically strain induced P-doping", *Applied Physic Letters* 104, 233506 2014
- [73]. X. Liao et al, "Investigation of high-temperature-reverse-bias (HTRB) degradation on AlGaN/GaN HEMTs", *IEEE International Conference on Electron Devices and Solide-State Circuits*, Jun. 2014.
- [74]. "Novel GIT Structure Solves Current Collapse In GaN Power HEMTs", http://www.how2power.com/pdf_view.php?url=/newsletters/1509/articles/H2PToday1509_design_Panasonic.pdf

Références bibliographiques

- [75]. M. Rzin et al, “Schottky gate AlGa_N/Ga_N HEMTs : Investigation with DC and low frequency noise measurements after 7000 hours HTOL test”, International Conference on Noise and Fluctuations (ICNF), Jun. 2015
- [76]. A. Sozza, C. Dua, E. Morvan, B. Grimber, S.L. Delage, “A 3000 hours DC Life Test on AlGa_N/Ga_N HEMT for RF and microwave applications”, Microelectronics Reliability, Vol. 45, Issues 9-11, Sep. 2005
- [77]. “Stress-Test-Driven Qualification of Integrated Circuits”, JEDEC Solid State Technology Association. JEDEC Standard No. 47I (Revision of JESD47H.01, April 2011), 2012
- [78]. X. Huang et al, “Experimental study of 650V AlGa_N/Ga_N HEMT short-circuit safe operating area (SCSOA)”, IEEE International Symposium on Power Semiconductor Devices&IC’s, Jun. 2014
- [79]. C. Abbate, F. Iannuzzo, G. Busatto, “Thermal instability during short-circuit of normally-off AlGa_N/Ga_N HFETs”, Microelectronics Reliability, July 2013
- [80]. M. Landel, C. Gautier, D. Labrousse, S. Lefebvre, “Experimental study of the short-circuit robustness of 600V E-mode Ga_N transistors”, Microelectronics reliability, July 2016
- [81]. P.J. Martinez et al, “Unstable behaviour of normally-off Ga_N E-HEMT under short-circuit”, Semiconductor Science and Technology, Mars 2018.
- [82]. A. Castellazzi, A. Fayyaz, S. Zhu, T. Oeder, M. Pfof, "Single pulse short-circuit robustness and repetitive stress aging of Ga_N GITs", IEEE Reliability Physics Symposium (IRPS), 2018.
- [83]. S. Mbarek, F. Fouquet, P. Dherbecourt, M. Masmoudi, O. Latry, “Gate oxide degradation of SiC MOSFET under short-circuit aging tests,” Microelectronics Reliability, Vol 64, pp 415-418, Sep. 2016
- [84]. https://industrial.panasonic.com/content/data/SC/ds/ds8/c2/FLY000070_EN.pdf
- [85]. D. Bortis et al “Comprehensive evaluation of Ga_N GIT in low and high frequency bridge leg applications”, the 8th International Power Electronics and Motion Control Conference, May 2016.

Références bibliographiques

- [86]. C. Chen et al, “Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs”, *Microelectronics Reliability*, Jun. 2015
- [87]. K. Tanaka, T. Morita, M. Ishida, T. Hatsuda, T. Ueda, K. Yokoyama, A. Ikoshi, M. Hikita, M. Toki, M. Yanagihara et Y. Uemoto, “Reliability of hybrid-drain-embedded gate injection transistor”, *IEEE Reliability physics symposium (IRPS)*, June 2017.
- [88]. D. Othman, “Etude de la robustesse de transistors MOSFET SiC pour des applications aéronautiques”, *Journées JCGE’2014 – SEEDS*, Jun 2014
- [89]. S. Song et al, “Failure mechanism analysis of a discrete 650V enhancement mode GaN-on-Si power device with reverse conduction accelerated power cycling test”, *Microelectronics Reliability*, July 2017
- [90]. Mari D, Bernardoni M, Sozzi G, et al. “A physical large-signal model for GaN HEMTs including selfheating and trap-related dispersion.” *Microelectronic Reliability* 51(2): 229–234. 2011;
- [91]. Jarndal A, et al. “Large-signal model for AlGaIn/GaN HEMTs suitable for RF switching-mode power amplifiers design.” *Solid State Electron* 2010; 54:696–700.
- [92]. Sang L, Xu Y, Cao R, Chen Y, Guo Y, Xu R. Modeling of GaN HEMT by using an improved k-nearest neighbors algorithm. *J Electromagn Waves Appl*, 25:949–959. 2011;
- [93]. T.J. Brazil “A universal large-signal equivalent circuit model for GaAs MESFET” In *Proc. 21st EuMC*, Stuttgart, Germany, pp. 921-926, 1991,
- [94]. I. Kallfass, C. Schick, H ; Schumacher, T. J. Brazil, “A universal large-signal model for hetero field effect transistors”, *Proc. 12th GaAs Symposium*, European Microwave Week, Amsterdam, Netherlands, October 2004
- [95]. C. Teyssandier, “Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa : Analyse des effets parasites”, thèse de doctorat, Univeristé de Limoges, Mars 2008.
- [96]. G. Callet, “A new nonlinear HEMT model for AlGaIn/GaN switch applications”, *International Journal of Microwave and Wireless Technologies*, Aug. 2010.

Références bibliographiques

- [97]. O. Jardel, F. De Groot, T. Reveyard, J.C. Jacquet, C. Charbonniaud, J.P. Teyssier, D. Floriot, R. Quéré, "An electrothermal model for AlGaIn/GaN power HEMTs including trapping effects to improve large-signal simulation results on high VSWR," IEEE Transactions on Microwave Theory and Techniques, vol. 55, pp. 2660-2669, December 2007.
- [98]. Levenberg, Kenneth, "A Method for the Solution of Certain Non-Linear Problems in Least Squares". Quarterly of Applied Mathematics. 2: 164–168, 1944
- [99]. Marquardt, Donald, "An Algorithm for Least-Squares Estimation of Nonlinear Parameters". SIAM Journal on Applied Mathematics. 11 (2): 431–441. doi:10.1137/0111030, 1963
- [100]. <https://fr.mathworks.com/help/optim/ug/lscurvefit.html>
- [101]. J. B. Bernstein, M. Gurfinkel, X. Li, J. Walters, Y. Shapira, M. Talmor, "Electronic circuit reliability modeling", Microelectronics reliability, Dec. 2005
- [102]. K. Sutaria, "Modeling and simulation tools for aging effects in scaled CMOS design," , thèse de doctorat, Arizona state University, Dec. 2014
- [103]. A. Feinberg, P. Ersland, V. Kapar, and A. Widom, "Parametric degradation in transistors, IEEE Annual reliability and maintainability symposium, 2005. Proceedings.